参考資料

*Application Note*

# *AM243x/AM64x 上の OSPI PSRAM を使用した DDR レス設計*

*Aryamaan Chaurasia, Laxman Chinnannavar*

## 概要

このアプリケーション ノートでは、産業用リアルタイム アプリケーション向けの DDR メモリに代わる低コストな選択肢となる外部 OSPI PSRAM を使用して、AM64x プロセッサの OSPI を評価します。DDR のコスト増大と供給制約という課題に対処するため、このアプリケーション ノートでは、変更済み TMDS243EVM 上の APS6408L OSPI PSRAM デバイスを使用したコード実行とデータ ストレージの実装について詳しく説明します。産業用の用途でこのアプローチを検証するために、このアプリケーション ノートでは PROFINET 通信プロファイルを使用した包括的な性能ベンチマークを提供します。これらの測定値により、読み取り/書き込みスループット、CPU 負荷、高速起動時間が定量化されます。

システム エンジニアは、OSPI PSRAM を AM64x の設計に統合する方法、OSPI PSRAM からコードを実行するためのブートローダの構成方法、測定した性能データを活用した産業用制御システム、モーター ドライブ、PROFINET アプリケーションの最適化方法を習得できます。

## 目次

**1 概要** ..... 2
**2 ハードウェア アーキテクチャ** ..... 3
2.1 評価基板の構成 ..... 3
2.2 APS6408L PSRAM デバイス ..... 3
**3 ソフトウェア アーキテクチャ** ..... 4
**4 実装ガイド** ..... 5
4.1 前提条件 ..... 5
4.2 サンプル アプリケーション ..... 5
4.3 OSPI PSRAM をカスタム アプリケーションに統合 ..... 7
**5 性能分析とベンチマーク** ..... 9
5.1 読み取り/書き込みスループット ..... 9
5.2 シミュレーション アプリケーション ベンチマーク ..... 9
5.3 PROFINET ベンチマーク ..... 11
**6 まとめ** ..... 14
**7 参考資料** ..... 15
**8 改訂履歴** ..... 16

## 商標

Sitara™ and Code Composer Studio™ are trademarks of Texas Instruments.
FreeRTOS™ is a trademark of Amazon Web Services, Inc.
TIA Portal™ and SIMATIC™ are trademarks of Siemens AG.
Saleae™ is a trademark of Saleae, Inc.
すべての商標は、それぞれの所有者に帰属します。


Copyright © 2026 Texas Instruments Incorporated

# 1 概要

DDR メモリのコスト増大と入手性の制約は、特にコストに敏感な産業用アプリケーションにおいて、組込みシステム設計者にとって重大な懸念事項となっています。グローバルなサプライ チェーンの制約と需要の増加は、部品表 (BOM) コストに大きな影響を及ぼしており、エンジニアは代替のメモリ アーキテクチャを評価する必要が生じています。

AM64x Sitara™ プロセッサ ファミリは、外部疑似 SRAM (PSRAM) デバイスをサポートするオクタル シリアル ペリフェラル インターフェイス (OSPI) コントローラにより、この課題に対処します。OSPI PSRAM デバイスにより、プロセッサは外部メモリからコードを直接実行できるため、大容量の内部 RAM バッファを必要とせずに利用可能なコード空間を効果的に拡大できます。

このアプリケーション ノートでは、APS6408L 8MB OSPI PSRAM デバイスを使用した、変更済み TMDS243EVM への OSPI PSRAM サポートの完全な実装について説明します。この実装には、ハードウェア構成、低レベルのドライバ アーキテクチャ、ブートローダの変更点が含まれており、インプレース実行 (XIP) 動作をサポートします。産業用途でのこのアプローチを検証するために、PROFINET 通信プロファイルを使用して包括的な性能ベンチマークが提供されています。これらのベンチマークにより、読み取り/書き込みスループット、CPU 負荷、高速起動時間が定量化され、エンジニアは厳しいアプリケーション要件に対して OSPI PSRAM の性能を評価できます。


Copyright © 2026 Texas Instruments Incorporated

# 2 ハードウェ アアーキテクチャ

## 2.1 評価基板の構成

AP Memory の OSPI PSRAM は、デフォルトの TMDS243EVM では使用できず、PROC101E1_OSPI 回路図に準拠した変更済み TMDS243EVM でのみ使用できます。デフォルトの評価基板に加えた変更は、OSPI NOR フラッシュと OSPI PSRAM の間で OSPI 信号を多重化する TS3DDR3812RUAR 高速スイッチを追加したことです。

OSPI_SW_SEL 信号は、I2C1 で制御される TCA6424A I/O エクスパンダのピン 23 によって駆動されます。OSPI_SW_SEL がアサートされる (High に駆動される) と、OSPI 信号が OSPI PSRAM に配線され、SoC は OSPI PSRAM と通信できるようになります。デフォルトでは、OSPI_SW_SEL は Low なので、OSPI 信号が OSPI NOR フラッシュに配線され、OSPI NOR フラッシュからのデフォルト ブートが有効になります。

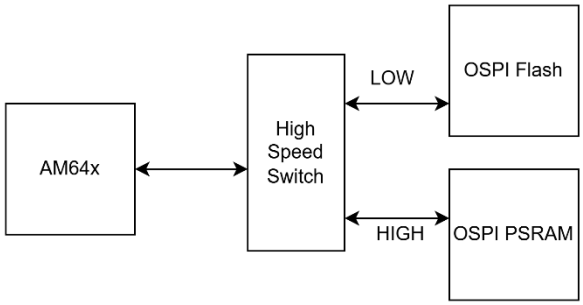



**図 2-1. 高速スイッチを使用した OSPI 信号の配線**

## 2.2 APS6408L PSRAM デバイス

APS6408L-OBMx は、最大 200MHz のオクタル DDR をサポートする AP Memory の揮発性メモリです。APS6408L-OBMx のメモリ容量は 8MB で、読み取りおよび書き込み動作で 1KB のリニアバーストラップをサポートしています。

現在の AM64x OSPI コントローラでは、外部メモリ デバイスからの XIP を PHY モードで実行できないため、OSPI PSRAM からのコード実行にはタップモードを使用します。

タップモードでは、AM64x デバイスは DDR 動作で最大 25MHz、SDR 動作で最大 50MHz の出力 OSPI クロック周波数をサポートしています。

これは、OSPI PSRAM が 25MHz の出力 OSPI クロック周波数で動作し、オクタル DDR を使用していることを意味します。DQS (データ ストローブ) は使用されていないため、OSPI PSRAM は固定レイテンシモードに設定され、OSPI PSRAM からデータを読み取ろうとするときに発生する可能性のある自動セルフリフレッシュの衝突を考慮しています。

OSPI PSRAM と OSPI NOR フラッシュは同じ OSPI コントローラを共有しているため、0x60000000 から始まるメモリマップ領域は、両方のデバイスで同じです。このため、バスの競合や、いずれかのメモリ デバイスの内容が誤って上書きされることを防ぐ高速スイッチが実装されています。

### *2.2.1 OSPI PSRAM の構成*

**表 2-1. OSPI PSRAM の構成**

| フィールド | 値 |
|---|---|
| OSPI 入力クロック周波数 | 200MHz |
| OSPI クロック デバイダ | 8 |
| リニア バースト読み取りコマンド | 0x20 |
| リニア バースト書き込みコマンド | 0xA0 |
| レジスタ読み取りコマンド | 0x40 |
| レジスタ書き込みコマンド | 0xC0 |
| リセット コマンド | 0xFF |
| 行境界の交差 | 有効 |


English Document: SDAA565
Copyright © 2026 Texas Instruments Incorporated

# 3 ソフトウェア アーキテクチャ

OSPI PSRAM の実装は、Beyond-SDK リポジトリにまとめられたサンプル アプリケーション、SDK パッチ、リファレンス ドキュメントの集合として提供されます。2 つのパッチにより、OSPI PSRAM をサポートするように MCU+ SDK を拡張しています。最初のパッチは、バイト単位の転送を DMA 対応の MEMCPY 動作に置き換えることで OSPI DAC (ダイレクト アクセス コントローラ) の書き込み動作を最適化し、2 番目のパッチは、基板レベルの API、デバイス固有の APS6408L サポート、OSPI NOR フラッシュと OSPI PSRAM 間の多重化用の I/O エクスパンダ制御などの完全な OSPI PSRAM ドライバ スタックを追加しています。

サンプル アプリケーションでは、OSPI PSRAM を統合するための 3 つの主な使用事例を示します。SBL OSPI PSRAM と SBL SD PSRAM という 2 つのセカンダリ ブートローダ (SBL) サンプルは、動的スイッチ制御を伴いながら不揮発性ストレージから OSPI PSRAM へブート時にセクションをロードする方法を示し、XIP 動作を実現します。OSPI PSRAM I/O の例では、基本的な読み取り/書き込みの検証とスループット測定を行い、OSPI コントローラと OSPI PSRAM デバイス間の通信検証テストとして機能します。Hello World サンプルは、OSPI PSRAM メモリ領域にアプリケーション セクションを配置するために必要な、リンカの構成と SysConfig 設定を示しています。

サンプル、パッチ、ドキュメントは Beyond-SDK リポジトリにあります。

- SBL OSPI PSRAM の例は、次のパスにあります。Beyond-SDK/am64x/mcupsdk/ospi_psram/examples/drivers/boot/sbl_ospi_psram
- SBL SD PSRAM の例は、次のパスにあります。Beyond-SDK/am64x/mcupsdk/ospi_psram/examples/drivers/boot/sbl_sd_psram
- Hello World の例は、次のパスにあります。Beyond-SDK/am64x/mcupsdk/ospi_psram/examples/hello_world_psram
- OSPI PSRAM I/O の例は、次のパスにあります。Beyond-SDK/am64x/mcupsdk/ospi_psram/examples/drivers/ospi/ospi_psram_io
- アプリケーション イメージをフラッシュするための .cfg ファイルは、次のパスにあります。Beyond-SDK/am64x/mcupsdk/ospi_psram/tools/boot/sbl_prebuilt/am64x-evm/default_sbl_ospi_psram.cfg
- パッチは、次のパスの "patches" フォルダにあります。Beyond-SDK/am64x/mcupsdk/ospi_psram/patches
- OSPI PSRAM データシートと PROC101E1_OSPI 回路図は、次のパスの "Docs" フォルダにあります。Beyond-SDK/am64x/mcupsdk/ospi_psram/Docs


Copyright © 2026 Texas Instruments Incorporated

# 4 実装ガイド

## 4.1 前提条件

- 以下に示すすべてのサンプル アプリケーションをフラッシュに書き込んで実行するには、変更済み TMDS243EVM が必要です。
- 以下のすべてのサンプル アプリケーションとパッチは、AM64x MCU+ SDK 12.00.00.27 [1] および AM64x Industrial Communications SDK 2026.00.00.06 [2] と互換性があります。
- 以下のサンプル アプリケーションを構築する前に、パッチを適用してください。

## 4.2 サンプル アプリケーション

### *4.2.1 セカンダリ ブートローダ*

#### 4.2.1.1 SBL OSPI PSRAM

このセカンダリ ブートローダは、OSPI NOR フラッシュから OSPI PSRAM に XIP イメージ (.mcelf_xip 拡張子で終わるイメージ) を転送することで、OSPI PSRAM からのコード実行を可能にします。この例では、OSPI NOR フラッシュと OSPI PSRAM を動的に切り替えることで、OSPI PSRAM などのさまざまなメモリ領域に各種のセクションをロードする方法も示します。

SBL OSPI PSRAM を使用して OSPI PSRAM からコードを実行できるようにするには、次の手順を実行します。

1. サンプルをビルドした後、default_sbl_ospi_psram.cfg で指定されたオフセットを使用して、.mcelf.hs_fs および .mcelf_xip イメージをフラッシュします。
2. UART ブートモードでバイナリをフラッシュした後、評価基板の電源をオフにし、OSPI ブートモードに切り替えてから、評価基板の電源をオンにします。

---

**注**

XIP イメージが書き込まれるオフセットは、SBL OSPI PSRAM の例の main.c ファイルで定義されている XIP_FLASH_OFFSET と一致する必要があるため、.cfg ファイルで指定されているオフセットを使用します。

---

OSPI_SW_SEL を High に駆動すると、OSPI PSRAM の以下のメモリ レイアウトが DAC モードで CPU に表示されます。

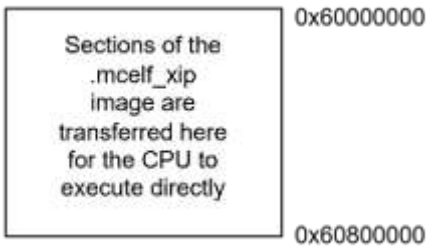



**図 4-1. OSPI PSRAM のメモリ レイアウト**

OSPI_SW_SEL を Low に駆動すると、OSPI NOR フラッシュの以下のメモリ レイアウトが DAC モードで CPU に表示されます。


Copyright © 2026 Texas Instruments Incorporated

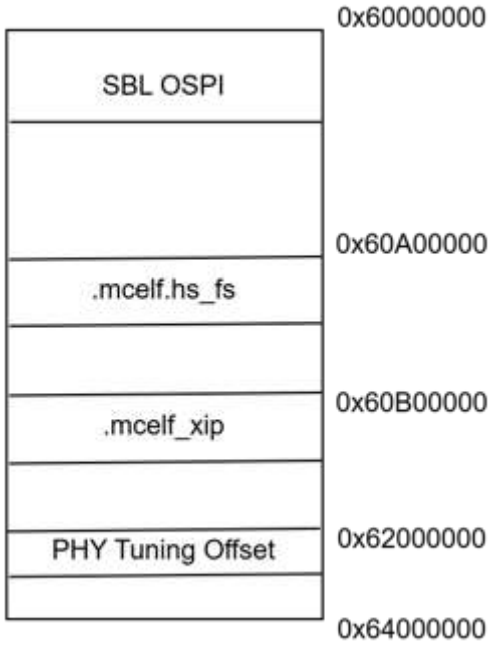



**図 4-2. OSPI NOR フラッシュのメモリ レイアウト**

**注**

OSPI PSRAM 用に定義するメモリ領域は常に「キャッシュ有効」としてマークし、メモリ領域内でフラッシュ書き込みを行う場合は OSPI NOR フラッシュのメモリ領域を「強く順序付け」としてマークする必要があります。

#### 4.2.1.2 SBL SD PSRAM

このセカンダリ ブートローダは、SD カードから OSPI PSRAM に XIP イメージを転送することで、OSPI PSRAM からのコード実行を可能にします。

SBL SD PSRAM を使用して OSPI PSRAM からコードを実行できるようにするには、次の手順を実行します。

1. sbl_sd_psram の例から tiboot3.bin ファイルを SD カードにコピーします。.mcelf.hs_fs バイナリの名前を app に、.mcelf_xip バイナリの名前を app_xip に変更し、SD カードにコピーします。
2. SD カードを挿入し、SD ブート モードを設定してから、評価基板の電源をオンにします。

**注**

上記の例では、OSPI PSRAM からのコード実行の有効化と動作のみを示しています。バッファのサイズ、OCRAM (オンチップ RAM) 領域、および上記の 2 つの SBL で定義されている値は、アプリケーションに合わせて変更できます。

### *4.2.2 OSPI PSRAM I/O*

この例では、SoC に搭載されている OSPI コントローラと OSPI PSRAM 間の通信を示します。このアプリケーションは、ランダムに生成された 512KB のデータを OSPI PSRAM に書き込み、同じデータを読み戻して比較します。送受信されたデータに不一致がない場合は、読み取りおよび書き込みスループットが計算されます。

この例を実行するには、SBL NULL を使用した後、Code Composer Studio™ (CCS) で .out ファイルをロードして実行します。このアプリケーションは、セクション 4.2.1.1 および セクション 4.2.1.2 で説明する手順に従って、SBL OSPI PSRAM または SBL SD PSRAM を使用して実行することもできます。


Copyright © 2026 Texas Instruments Incorporated

### 4.2.3 OSPI PSRAM からコードを実行する Hello World

この例では、OSPI PSRAM を有効にし、アプリケーションのセクションを OSPI PSRAM に配置するようにメモリ領域を構成する方法を示します。

このサンプル アプリケーションは、セクション 4.2.1.1 および セクション 4.2.1.2 で説明する手順に従って、SBL OSPI PSRAM または SBL SD PSRAM を使用して実行することもできます。

## 4.3 OSPI PSRAM をカスタム アプリケーションに統合

アプリケーションのセクションを OSPI PSRAM から実行できるようにするには、次の手順を実行します。

1. SBL OSPI PSRAM または SBL SD PSRAM を使用し、セクション 4.2.1.1 および セクション 4.2.1.2 で詳しく説明する必要な構成を実行します。
2. アプリケーション側で SysConfig を開き、MPU ARMv7 モジュールで、OSPI PSRAM が使用するメモリマップ領域に、図 4-3 に示す次のメモリ構成を追加します。

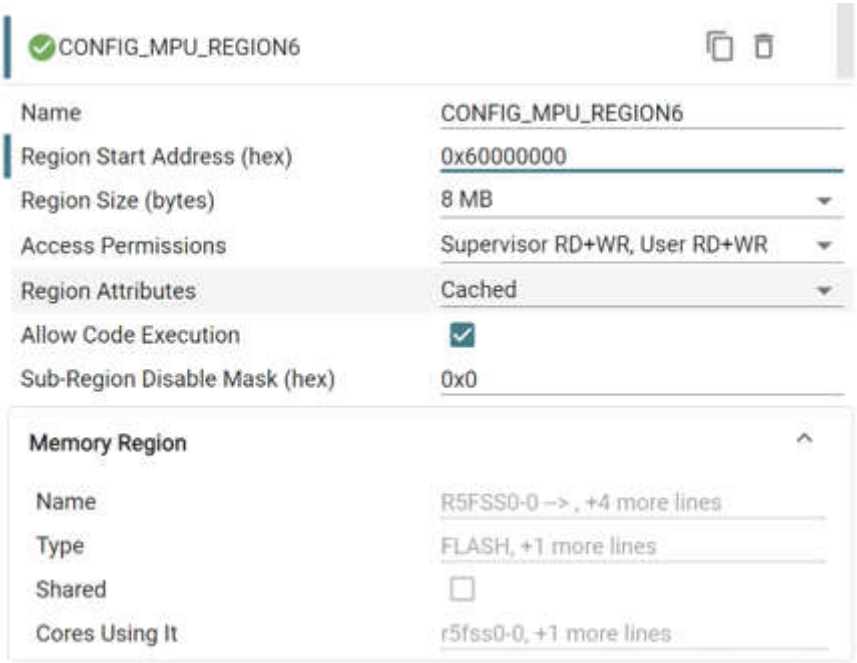



**図 4-3. OSPI PSRAM の MPU 領域構成**

3. 次に、Memory Region (メモリ領域) タブで、図 4-4 に示すように次のメモリ領域を追加します。

**注**

OSPI NOR フラッシュと OSPI PSRAM は同じメモリ領域を共有しているため、0x60000000 から始まるメモリ領域は「フラッシュ」タイプとして設定されます。これは命名規則にすぎません。上記の手順を実行することで、同じメモリ領域を OSPI PSRAM として構成できます。


Copyright © 2026 Texas Instruments Incorporated

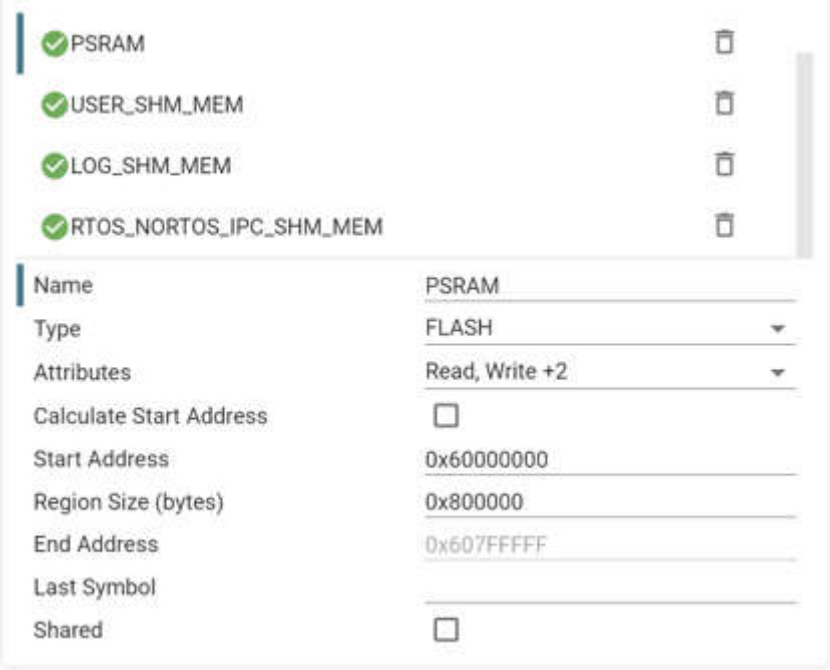



**図 4-4. OSPI PSRAM のメモリ領域構成**

4. 上記の手順を完了したら、「セクション」タブで、図 4-5 に示すように、必要なセクションを OSPI PSRAM メモリ領域に配置します。

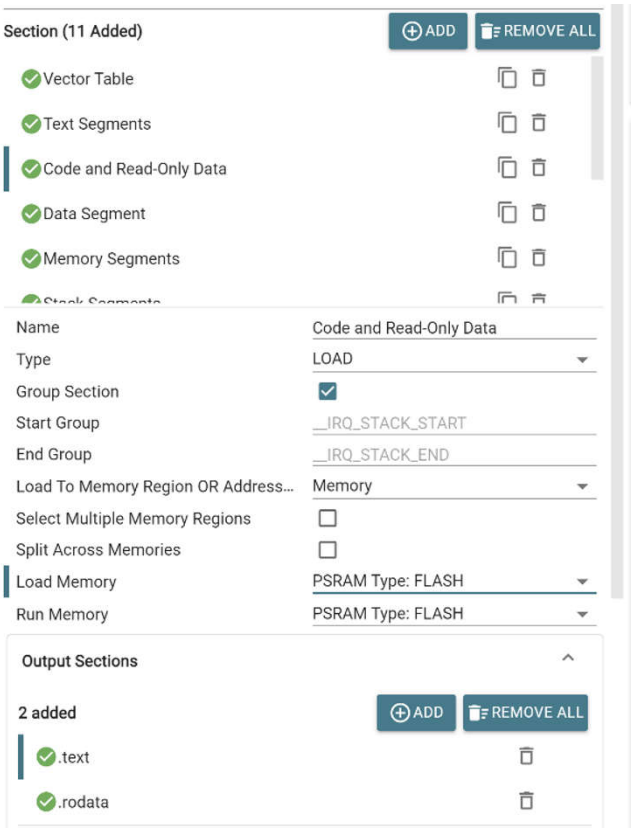



**図 4-5. OSPI PSRAM にロードするためのセクションの構成**


Copyright © 2026 Texas Instruments Incorporated

# 5 性能分析とベンチマーク

**注**

XIP では PHY チューニングに制限があるため、以下のベンチマークは OSPI PSRAM および OSPI NOR フラッシュをタップモードで動作させて取得したものです。タップモードでは、出力 OSPI クロック周波数が 25MHz に制限されます。

表 5-1 に、スループットのベンチマーク測定に使用する設定と、2 つのシミュレーション例を示します。

**表 5-1. シミュレーション例のベンチマーク セットアップ**

| | |
|---|---|
| ボード | 変更済み TMDS243EVM |
| デバイス | AM6442 |
| DDR4 部品 | MT40A1G16KD-062E |
| OSPI NOR フラッシュ部品 | S28HS512TGABHM010 |
| OSPI PSRAM 部品 | APS6408L-OBMx |
| コア | R5F |

## 5.1 読み取り/書き込みスループット

表 5-2 に、各種メモリ デバイスで得られた読み取りおよび書き込みのスループットを示します。

**表 5-2. 各種メモリ デバイスにおける読み取り/書き込みスループット**

| メモリ デバイス | DDR | | OSPI PSRAM | | OSPI NOR フラッシュ | |
|---|---|---|---|---|---|---|
| インターフェイス周波数 | 800MHz | | 25MHz DDR | | 25MHz DDR | |
| DMA | 有効 | | 有効 | | 有効 | |
| 理論スループット | 3200MBps | | 50MBps | | 50MBps | |
| メモリマップ領域 | キャッシュ有効 | | キャッシュ有効 | | 強く順序付け | |
| 動作 | 書き込み | 読み出し | 書き込み | 読み出し | 書き込み | 読み出し |
| データサイズ - 512KB | 975MBps | 975MBps | 40.2MBps | 49.9MBps | 0.43MBps(1) | 48.7MBps |

(1) TMDS243EVM に搭載されているデフォルトの S28HS512T OSPI NOR フラッシュは、OSPI コントローラによる DAC 書き込みをサポートしていません。このため、INDAC (間接アクセスコントローラ) 書き込みが使用されますが、これらは DMA および PHY をサポートしていません。

## 5.2 シミュレーション アプリケーション ベンチマーク

### *5.2.1 XIP ベンチマーク*

使用例：XIP ベンチマーク

表 5-3 に、XIP ベンチマークの例で得られた性能指標を示します。

**表 5-3. XIP ベンチマークの性能指標**

| メモリ デバイス | OCRAM | DDR | OSPI PSRAM (25MHz DDR) | OSPI NOR フラッシュ (25MHz DDR) |
|---|---|---|---|---|
| MPU 領域の構成 | | | | |
| リージョン属性 | キャッシュ有効 | キャッシュ有効 | キャッシュ有効 | キャッシュ有効 |
| セクション | | | | |
| RO データ、テキスト | OCRAM | DDR | PSRAM | フラッシュ |
| アプリケーションの残りの部分 | OCRAM | OCRAM | OCRAM | OCRAM |
| ベンチマーク | | | | |


Copyright © 2026 Texas Instruments Incorporated

**表 5-3. XIP ベンチマークの性能指標 (続き)**

| メモリ デバイス | | | OCRAM | DDR | OSPI PSRAM (25MHz DDR) | OSPI NOR フラッシュ (25MHz DDR) |
|---|---|---|---|---|---|---|
| CPU 統計 (使用される CPU サイクル数) | FIR | 最小値 | 24072 | 24072 | 24072 | 24072 |
| | | 最大値 | 28447 | 38103 | 74978 | 93792 |
| | | 平均値 | 24512 | 25510 | 29654 | 31026 |
| | MEMCPY | 最小値 | 1565 | 1565 | 1565 | 1565 |
| | | 最大値 | 2010 | 3040 | 5203 | 8608 |
| | | 平均値 | 1614 | 1720 | 1932 | 2275 |
| OCRAM に対する相対的な劣化 (最大サイクル数) | FIR | | 1x | 約 1.3x | 約 2.6x | 約 3.3x |
| | MEMCPY | | 1x | 約 1.5x | 約 2.6x | 約 4.3x |
| OCRAM に対する相対的な劣化 (平均サイクル数) | FIR | | 1x | 約 1x | 約 1.2x | 約 1.3x |
| | MEMCPY | | 1x | 約 1.1x | 約 1.2x | 約 1.4x |

XIP ベンチマークは、コードと読み取り専用データを保持するメモリが、XIP モードで実行されている CPU バウンド ワークロードにどのように影響するかを測定します。SoC は起動し、FreeRTOS™ 上で R5F コアによりアプリケーションを実行します。アプリケーションは、FIR と MEMCPY の 2 つの関数を実行します。

リンカ コマンド ファイルは、テキストおよび読み取り専用 (RO) データ セクションをテスト対象のメモリに配置し、アプリケーションの残りの部分を OCRAM に保持します。ベースライン ケースでは、すべてのセクションが OCRAM に配置されます。各関数は合計 10 回実行され、ワーストケース、ベストケース、平均ケースの性能が CPU サイクル単位で UART ターミナルに出力されます。OCRAM の最大 CPU サイクル数 (コールドキャッシュの最初の実行から得られる) と平均 CPU サイクル数がベースラインとなり、各テストケースについて相対的な性能低下が計算されます。

### *5.2.2 オンチップ メモリ ベンチマーク*

使用例:オンチップ メモリ ベンチマーク

表 5-4 に、オンチップ メモリ ベンチマークの例で得られた性能指標を示します。

**表 5-4. オンチップ メモリ ベンチマークの性能指標**

| メモリ デバイス | OCRAM | DDR | | OSPI PSRAM (25MHz DDR) | | OSPI NOR フラッシュ (25MHz DDR) |
|---|---|---|---|---|---|---|
| MPU 領域の構成 | | | | | | |
| リージョン属性 | キャッシュ有効 | キャッシュ有効 | | キャッシュ有効 | | キャッシュ有効 |
| セクション | | | | | | |
| 起動コード | OCRAM | OCRAM | OCRAM | OCRAM | PSRAM | OCRAM |
| RO データ、テキスト | OCRAM | DDR | DDR | PSRAM | PSRAM | フラッシュ |
| RW データ | OCRAM | OCRAM | DDR | OCRAM | PSRAM | OCRAM |
| ベンチマーク | | | | | | |
| メモリ コピー サイズ (バイト) | 2250 | 2250 | 2250 | 2250 | 2250 | 2250 |
| 実行時間 (µs) | 17022 | 25871 | 30980 | 66428 | 137616 | 68925 |
| OCRAM に対する相対的な劣化 | 1x | 約 1.5x | 約 1.8x | 約 3.9x | 約 8.1x | 約 4.0x |
| 命令キャッシュ ミス数 (ICM) | 56082 | 56537 | 56808 | 59923 | 60199 | 57938 |
| データキャッシュミス数 | 38631 | 41509 | 39886 | 43520 | 42676 | 43264 |
| 実行命令数 (INST) | 6688800 約 669 万回 | 6694168 約 669 万回 | 6694944 約 669 万回 | 6700356 約 670 万回 | 6707012 約 671 万回 | 6700748 約 670 万回 |


Copyright © 2026 Texas Instruments Incorporated

**表 5-4. オンチップ メモリ ベンチマークの性能指標 (続き)**

| メモリ デバイス | OCRAM | DDR | | OSPI PSRAM (25MHz DDR) | | OSPI NOR フラッシュ (25MHz DDR) |
|---|---|---|---|---|---|---|
| ICM/秒 | 3294677<br>約 329 万回 | 2185342<br>約 219 万回 | 1833699<br>約 183 万回 | 902074<br>約 90 万回 | 437441<br>約 44 万回 | 840594<br>約 84 万回 |
| INST/秒 | 392950299<br>約 3 億 9300 万回 | 258751807<br>約 2 億 5900 万回 | 216105358<br>約 2 億 1600 万回 | 100866441<br>約 1 億 100 万回 | 48737152<br>約 4900 万回 | 97217961<br>約 9700 万回 |

**表 5-5. オンチップ メモリ ベンチマーク用に取得されたデータ ポイント**

| アプリケーション出力 | 説明 |
|---|---|
| Mem Cpy size => 2250 | 各タスクによって実行される MEMCPY のサイズ (バイト単位) |
| Exec Time in µsec => 17022 | 実行時間 (マイクロ秒) |
| Iter => 1 | テストが実行された回数 |
| Task calls => 500 | 16 個のタスクに対するランダムな順序のコール数 |
| Inst Cache miss (ICM) => 56082 | 命令キャッシュミスの合計 |
| Data Cache miss (DCM) => 38631 | データキャッシュミスの合計 |
| Num Switches => 1469 | コンテキストスイッチの総数 |
| Num Instr Exec => 6688800 | 実行された命令の総数 |
| ICM/sec => 3294677 | 1 秒あたりの命令キャッシュミス数 |
| INST/sec => 392950299 | 1 秒あたりの実行命令数 |

オンチップ メモリ ベンチマークの例では、セクションが OCRAM または外部メモリ (DDR、OSPI PSRAM、OSPI NOR フラッシュ) に配置されたシミュレーション アプリケーションの性能を測定します。このアプリケーションは、MEMCPY サイズのみが異なる同じコードを 10 通りの構成で実行します。各テストでは、16 個のタスクに対してランダムな順序で 500 回のコールが行われます。

表 5-5 に、2250 バイトの構成を示します。これは、最も命令負荷の高い構成です。OCRAM から完全に実行した場合、1 秒あたり約 330 万回の命令キャッシュミス (ICM/秒) が発生します。これは、実際の顧客アプリケーションで見られる発生率と同程度です。コピーサイズが大きい構成では、データ負荷が高くなり、反復コードで多くの時間を費やすため、ICM レートは大幅に低くなります。

## 5.3 PROFINET ベンチマーク

表 5-6 に、PROFINET のベンチマーク測定に使用する設定例を示します。

**表 5-6. PROFINET のベンチマーク セットアップ**

| | |
|---|---|
| 使用するピン | GND 用の J1 コネクタのピン 23 |
| | MCU_PORz 用の TP33 |
| | GPIO 信号用の J1 コネクタのピン 5 |
| ボード | 変更済み TMDS243EVM |
| デバイス | AM6442 |
| DDR4 部品 | MT40A1G16KD-062E |
| OSPI NOR フラッシュ部品 | S28HS512TGABHM010 |
| OSPI PSRAM 部品 | APS6408L-OBMx |
| ソフトウェア | TIA Portal™ V21 |
| PLC | SIMATIC™ S7-1500 |
| ロジック アナライザ | Saleae™ Logic 8 |


Copyright © 2026 Texas Instruments Incorporated

注

166MHz で動作する OSPI NOR フラッシュを使用して取得したデータ ポイントは、25MHz で動作する OSPI NOR フラッシュと比較した場合の性能の違いを示すためにのみ使用します。

### 5.3.1 高速起動時間を使用した場合の性能低下

使用例：PROFINET デバイス デモ

性能の低下を示すために、テスト対象のメモリにはテキストと読み取り専用のデータのみが移動されました。

表 5-7 に、高速起動 (FSU) 時間のプロファイリングに使用されるメモリ構成を示します。

**表 5-7. 高速起動時間のメモリ レイアウト構成**

| メモリ セクション | DDR ケース | OSPI PSRAM ケース | OSPI NOR フラッシュ ケース |
|---|---|---|---|
| ベクタ | TCMA | TCMA | TCMA |
| HWI と TCM テキスト | TCMA | TCMA | TCMA |
| スタック | OCRAM | OCRAM | OCRAM |
| RW データ | OCRAM | OCRAM | OCRAM |
| BSS | OCRAM | OCRAM | OCRAM |
| 起動コード | OCRAM | OCRAM | OCRAM |
| ICSS パケット バッファ | OCRAM | OCRAM | OCRAM |
| Sys Mem | OCRAM | OCRAM | OCRAM |
| テキスト (803KB) | DDR | PSRAM | フラッシュ |
| RO データ (66KB) | DDR | PSRAM | フラッシュ |

FSU 時間は、2 つのハードウェア信号の差を測定することによって得られます。最初の信号は、デバイスの電源をオンにした後で測定されます。このために、MCU_PORz 信号を使用します。2 番目の信号は、最初の PROFINET 周期的データ交換が成功した後に測定されます。2 つの信号が High になるまでの時間差が FSU 時間です。ここに示すデルタ時間は、FSU 時間から SBL 時間を引いた値であり、RO データおよびテキスト セクションが DDR/OSPI PSRAM/OSPI NOR フラッシュから実行されるのに要する時間を示します。

SBL 時間は、データ転送要件と OSPI コントローラの再構成オーバーヘッドの違いにより、メモリ構成によって大きく異なります。DDR 実行の場合、SBL はアプリケーション セクションを OSPI NOR フラッシュから DDR に転送し、103ms を必要とします。25MHz DDR で OSPI NOR フラッシュから実行する場合、初期プログラミング後にセクションは OSPI NOR フラッシュにとどまり、転送が発生しないため、SBL 時間は 55ms に短縮されます。166MHz DDR での OSPI NOR フラッシュの実行により、PHY チューニング アルゴリズムのオーバーヘッドが約 25ms 追加され、結果として SBL 時間は 81ms になります。

OSPI PSRAM からの実行は、OSPI PSRAM が揮発性であることと、OSPI コントローラを共有するアーキテクチャであることにより、194ms と最も長い SBL 時間になります。SBL は、セクションを一時的な OCRAM バッファにロードし、セクションのヘッダーを除去して、OSPI PSRAM に手動で転送する必要があり、そのプロセス全体を通じて多重化スイッチの切り替えと OSPI ドライバの再初期化が頻繁に発生します。AM64x デバイスには、単一の構成レジスタセットを備えた 1 つの OSPI コントローラのみが搭載されており、そのセクションは OSPI NOR フラッシュから OSPI PSRAM に転送する必要があります。その結果、OSPI PSRAM SBL 時間は、他の構成よりも本質的に長くなっています。

表 5-8 に、上記のセットアップを使用して得られた高速起動時間を示します。

**表 5-8. 高速起動時間の性能指標**

| 所要時間 | DDR | OSPI PSRAM (25MHz DDR) | OSPI NOR フラッシュ (25MHz DDR) | OSPI NOR フラッシュ (166MHz DDR) |
|---|---|---|---|---|
| アプリケーションの残りの部分 | OCRAM、TCM | OCRAM、TCM | OCRAM、TCM | OCRAM、TCM |
| RO データ、テキスト | DDR | PSRAM | フラッシュ | フラッシュ |


Copyright © 2026 Texas Instruments Incorporated

**表 5-8. 高速起動時間の性能指標 (続き)**

| 所要時間 | DDR | OSPI PSRAM (25MHz DDR) | OSPI NOR フラッシュ (25MHz DDR) | OSPI NOR フラッシュ (166MHz DDR) |
|---|---|---|---|---|
| SBL (ms) | 103 | 194 | 55 | 81 |
| FSU (ms) | 519 | 867 | 735 | 701 |
| デルタ (FSU-SBL) | 416 | 673 | 680 | 620 |

### *5.3.2 CPU 負荷を使用した場合の性能低下*

使用例:PROFINET デバイス デモ

性能の低下を示すために、テスト対象のメモリにはテキストと読み取り専用のデータのみが移動されました。

表 5-9 に、CPU 負荷のプロファイリングに使用されるメモリ構成を示します。

**表 5-9. CPU 負荷のメモリ レイアウト構成**

| メモリ セクション | DDR ケース | OSPI PSRAM ケース | OSPI NOR フラッシュ ケース |
|---|---|---|---|
| ベクタ | TCMA | TCMA | TCMA |
| HWI と TCM テキスト | TCMA | TCMA | TCMA |
| スタック | OCRAM | OCRAM | OCRAM |
| RW データ | OCRAM | OCRAM | OCRAM |
| BSS | OCRAM | OCRAM | OCRAM |
| 起動コード | OCRAM | OCRAM | OCRAM |
| ICSS パケット バッファ | OCRAM | OCRAM | OCRAM |
| Sys Mem | OCRAM | OCRAM | OCRAM |
| テキスト (880KB) | DDR | PSRAM | フラッシュ |
| RO データ (66KB) | DDR | PSRAM | フラッシュ |

CPU 負荷のプロファイルに使用されるメモリ レイアウトは、FSU 性能の低下を測定するために使用されるレイアウトと同じです。CPU プロファイリング用のコードが追加されたため、テキスト セクションが 803KB から 880KB に増加しました。ベース CPU 負荷は、TMDS243EVM と PLC との間に確立された通信によって生成される CPU 負荷を測定します。Netload テスト中は、TMDS243EVM が PLC と通信している間に、30Mbps のバックグラウンド トラフィックが注入されます。この注入により、CPU 負荷が大幅に増加します。

このベンチマークで使用したサイクル時間は 1ms です。表 5-10 に、各テストケースで得られた最大 (ワーストケース) の CPU 負荷を示します。データ パケットは失われず、各テスト ケースはすべてのタイミング要件を満たすことができました。

**表 5-10. CPU 負荷の性能指標**

| CPU 負荷 | DDR | OSPI PSRAM (25MHz DDR) | OSPI NOR フラッシュ (25MHz DDR) | OSPI NOR フラッシュ (166MHz DDR) |
|---|---|---|---|---|
| アプリケーションの残りの部分 | OCRAM、TCM | OCRAM、TCM | OCRAM、TCM | OCRAM、TCM |
| RO データ、テキスト | DDR | PSRAM | フラッシュ | フラッシュ |
| ベース CPU 負荷 (PLC 通信あり) | 23.31% | 65.49% | 69.57% | 34.27% |
| Netload テスト使用時の CPU 負荷 30Mbps トラフィック | 66.61% | 95.18% | 96.90% | 76.51% |


Copyright © 2026 Texas Instruments Incorporated

# 6 まとめ

このアプリケーション ノートでは、APS6408L デバイスを使用した AM64x プロセッサへの完全な OSPI PSRAM 実装について説明し、OSPI PSRAM からのコード実行に必要なハードウェアとソフトウェアの両方のアーキテクチャを詳述します。ハードウェアセクションでは、OSPI NOR フラッシュと OSPI PSRAM の間で高速マルチプレクシングを行う評価基板の構成について、詳細なデバイス仕様とともに説明します。また、ソフトウェアセクションでは、OSPI PSRAM からのコード実行に必要なドライバスタックの実装とブートローダの統合について説明します。

このアプリケーション ノートでは、OSPI PSRAM を DDR および OSPI NOR フラッシュと比較する包括的な性能分析についても説明します。XIP に現在必要とされる 25MHz タップモード クロックでは、OSPI PSRAM は読み取り 49.9MBps、書き込み 40.2MBps のスループットに達し、ワーストケースの XIP サイクル数は OCRAM の約 2.6 倍です。これに対し、OSPI NOR フラッシュは 3.3 倍から 4.3 倍です。PROFINET アプリケーションでは、テキストと読み取り専用データをテスト対象のメモリに移動するだけで、それ以外の最適化を行わなくても、OSPI PSRAM はパケット損失なしで 1ms のサイクル時間を満たしました。ベース CPU 負荷は DDR の約 2.8 倍 (65.49% 対 23.31%)、SBL 後の起動時間は DDR の約 1.6 倍 (673ms 対 416ms) でした。

これらの性能特性により、システム エンジニアは産業用制御システム、モーター ドライブ、PROFINET アプリケーション向けの AM64x 設計に OSPI PSRAM を統合するのに役立ちます。


Copyright © 2026 Texas Instruments Incorporated

# 7 参考資料

1. テキサス・インスツルメンツ、『AM64x MCU+ SDK』、設計リソース。
2. テキサス・インスツルメンツ、『AM64x Industrial Communications SDK』、設計リソース。


Copyright © 2026 Texas Instruments Incorporated

# 8 改訂履歴

| Changes from Revision * (October 2026) to Revision A (October 2026) | Page |
|---|---|
| • タイトルに AM243x を追加 | 0 |
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新 | 0 |
| • ドキュメント全体を通してボード名を TMDS64EVM から TMDS243EVM に変更 | 2 |
| • 表 5-2 を修正し、インターフェイス周波数を表示するように変更 | 9 |


Copyright © 2026 Texas Instruments Incorporated

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月