参考資料

Application Brief

TI 負荷ドライバを使用した 48V から 12V/5V への短絡テスト

Miguel Robertson

概要

12V と 48V で構成される車載混載電源システムは、レール間短絡イベントの影響を受けやすくなります。図 1 は、車両内の ECU から見た場合のこのようなイベントの挙動を示しています。これらのイベントが発生すると、48V レールから 12V レールへ大量の電流が流れ込みます。これにより、以下の問題が発生します。

1. 48V レールからの大電流の引き込み
2. 12V レールの電圧上昇
3. 12V/5V 負荷ドライバ両端における逆方向のエネルギー サージ

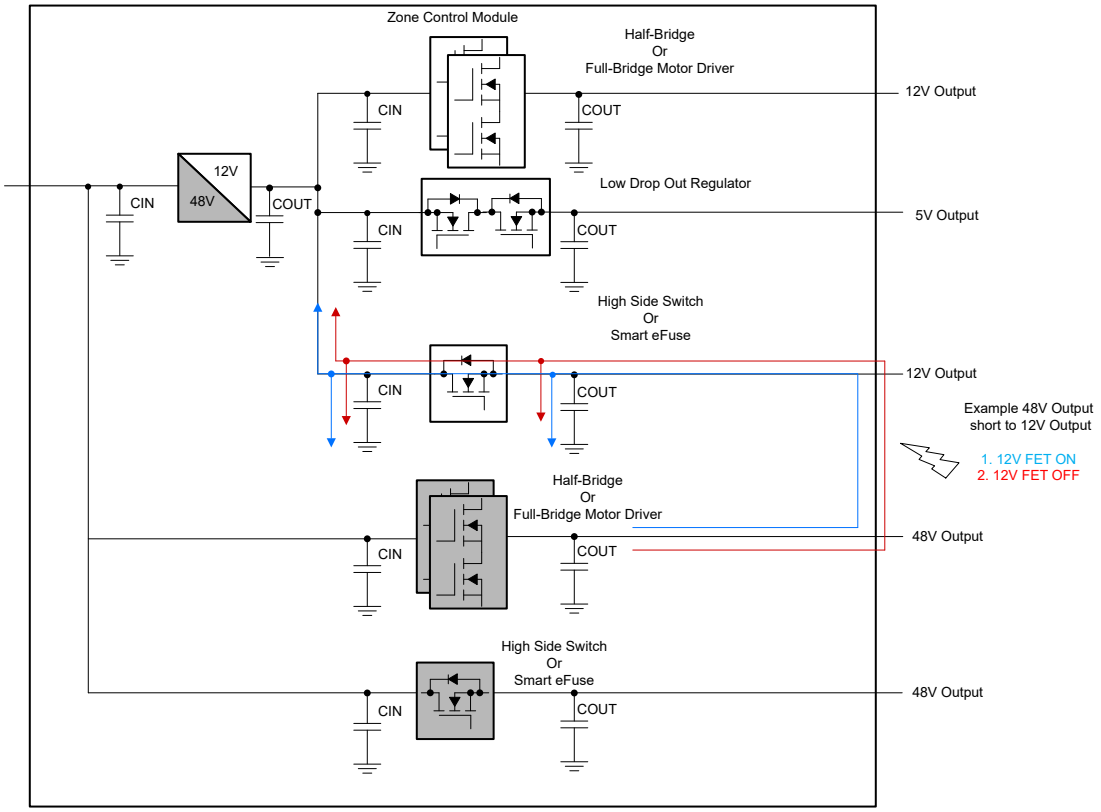


図 1. 48V -> 12V 短絡の概要図

ゾーン コントロール モジュール (ZCM) アプリケーションでは、多くのデバイスがこれらの短絡イベントの影響を受けやすくなります。影響を受けるデバイスは、入力と出力の 2 つのカテゴリに分類されます。このホワイト ペーパーでは、以下の出力 (オフボード負荷ドライバ) デバイス タイプに焦点を当てます。

1. スマート eFuse
2. ハイサイド スイッチ (HSS)
3. モーター ドライバ (MD)
4. 電圧トラッキング低ドロップアウト レギュレータ (LDO)

English Document: SBAA825

Copyright © 2026 Texas Instruments Incorporated

48V 負荷ドライバのシャットダウン動作

48V から 12V/5V への短絡では、低電圧側デバイスの安全性は 48V 負荷ドライバが電力を遮断する能力に依存します。したがって、48V 負荷ドライバのシャットダウン動作を考慮することが重要です。これは、下流の 12V および 5V デバイスの生存性に大きく影響するためです。以下の 2 つの過電流保護動作が備わっています。

1. 即時シャットダウン：短絡電流スレッショルドに達すると、FET が即座にオフになります。
2. 電流レギュレーション：デバイスは電流を制限し、サーマル シャットダウン (TSD) に達したときにのみ FET をオフにします。

スマート eFuse

被試験デバイス (DUT) の 12V スマート eFuse として、TPS2HCS08-Q1 を選択しました。48V 負荷ドライバとして 48V HSS (TPS1HTC30-Q1) と 48V MD (DRV8163-Q1) の両方を使用してテストを実施しました。これは、両者の異なる動作応答が下流の 12V デバイスの生存性に影響を与えるためです。

図 2 に、48V HSS に TPS1HTC30-Q1 を、スマート eFuse に TPS2HCS08-Q1 を使用した最初のテスト設定を示します。

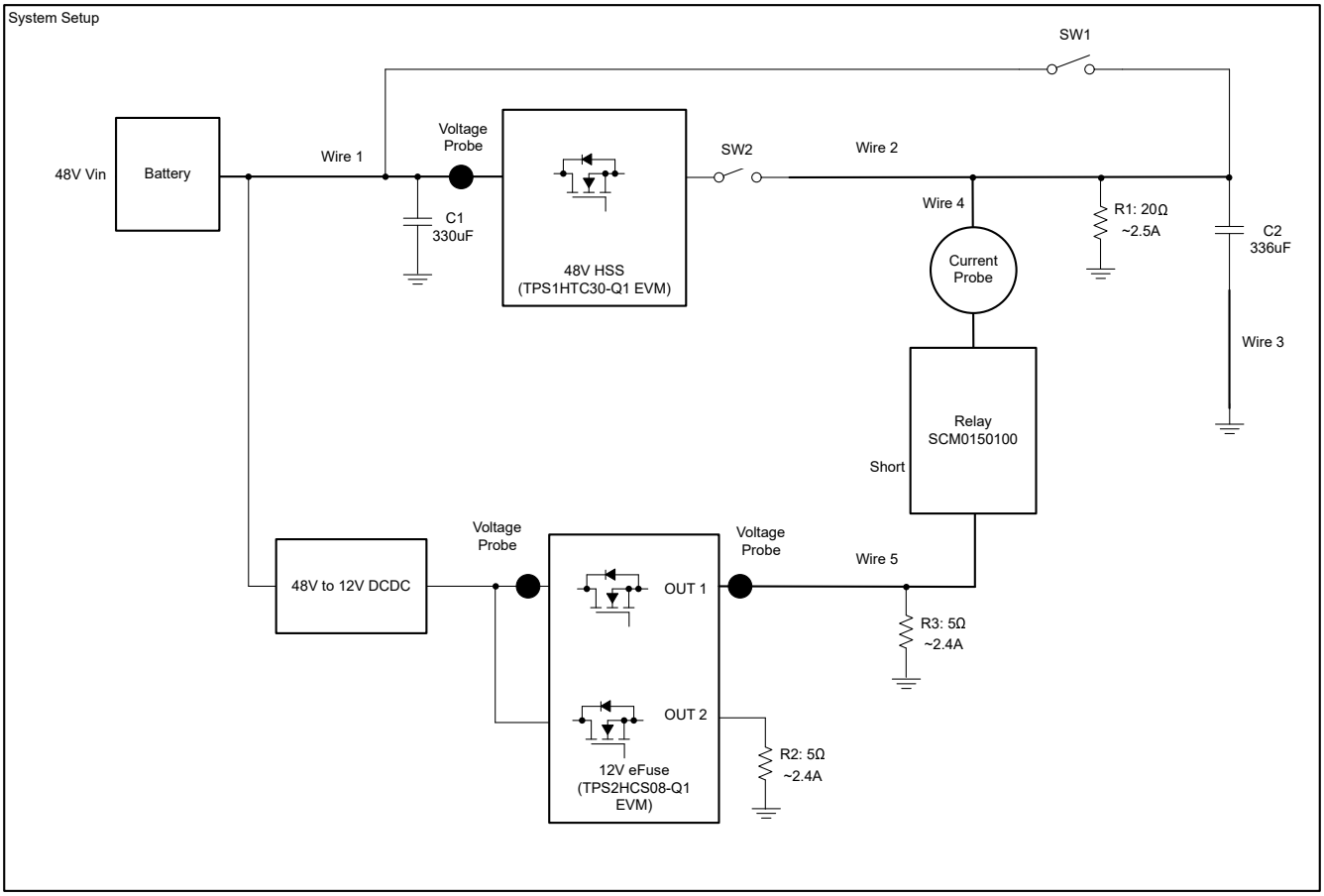


図 2. TPS2HCS08-Q1 と TPS1HTC30-Q1 を使用したテスト設定

実施した手順については、テスト手順およびセットアップ パラメータ を参照してください。

図 3 および 図 4 に、結果を示しています。

Copyright © 2026 Texas Instruments Incorporated

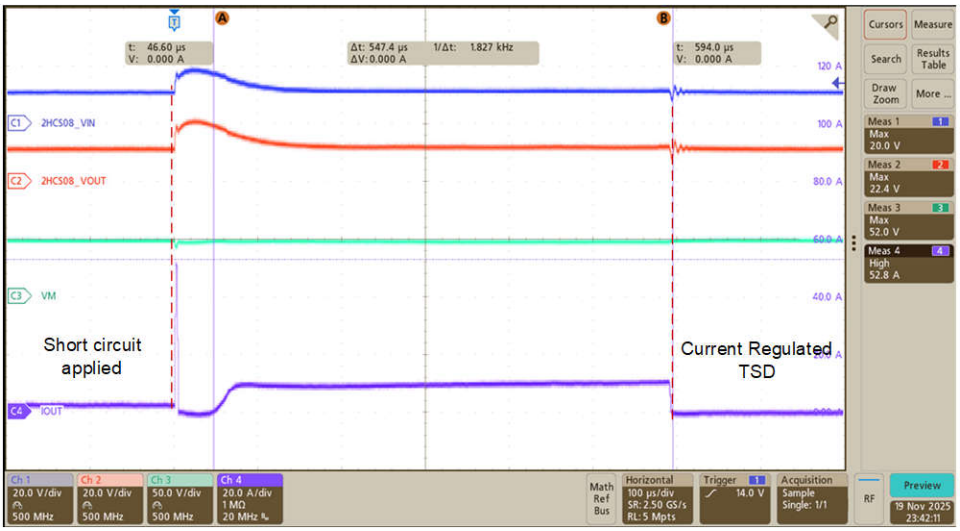


図 3. TPS2HCS08-Q1 の FET オン状態での TPS1HTC30-Q1 への短絡

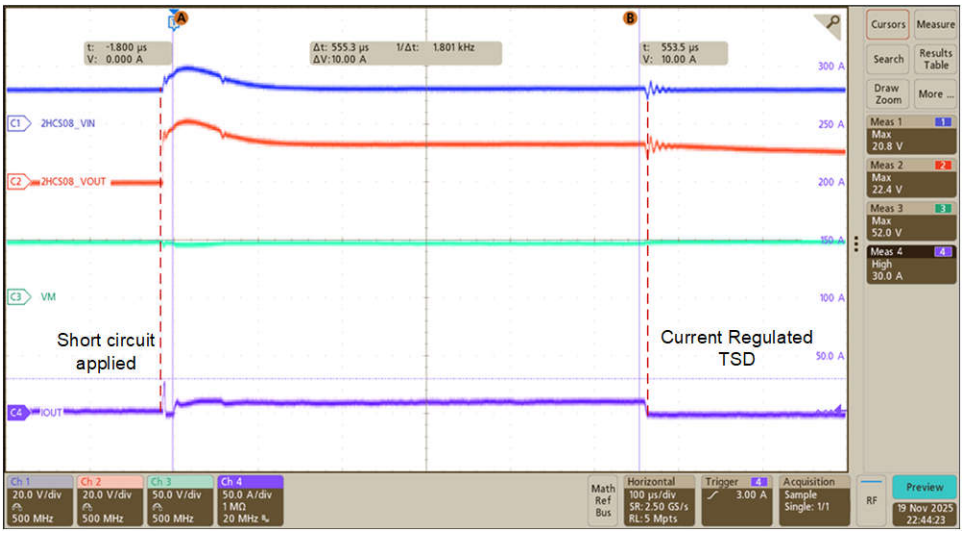


図 4. TPS2HCS08-Q1 の FET オフ状態での TPS1HTC30-Q1 への短絡

図 3 および 図 4 は、12V eFuse の FET が初期状態でオンの場合 (図 3) と初期状態でオフの場合 (図 4) において、12V eFuse 出力を 48V HSS 出力に短絡させた結果を示しています。どちらの結果でも、48V 入力レールは安定した状態を維持したまま、12V eFuse チャネルの入力と出力で電圧上昇が見られます。短絡電流は、TPS1HTC30-Q1 データシートに記載されている想定動作と一致しています。繰り返し行ったテストにおいて、故障は観測されませんでした。

図 5 に、48V HSS に DRV8163-Q1 を、スマート eFuse に TPS2HCS08-Q1 を使用した 2 番目のテスト設定を示します。

Copyright © 2026 Texas Instruments Incorporated

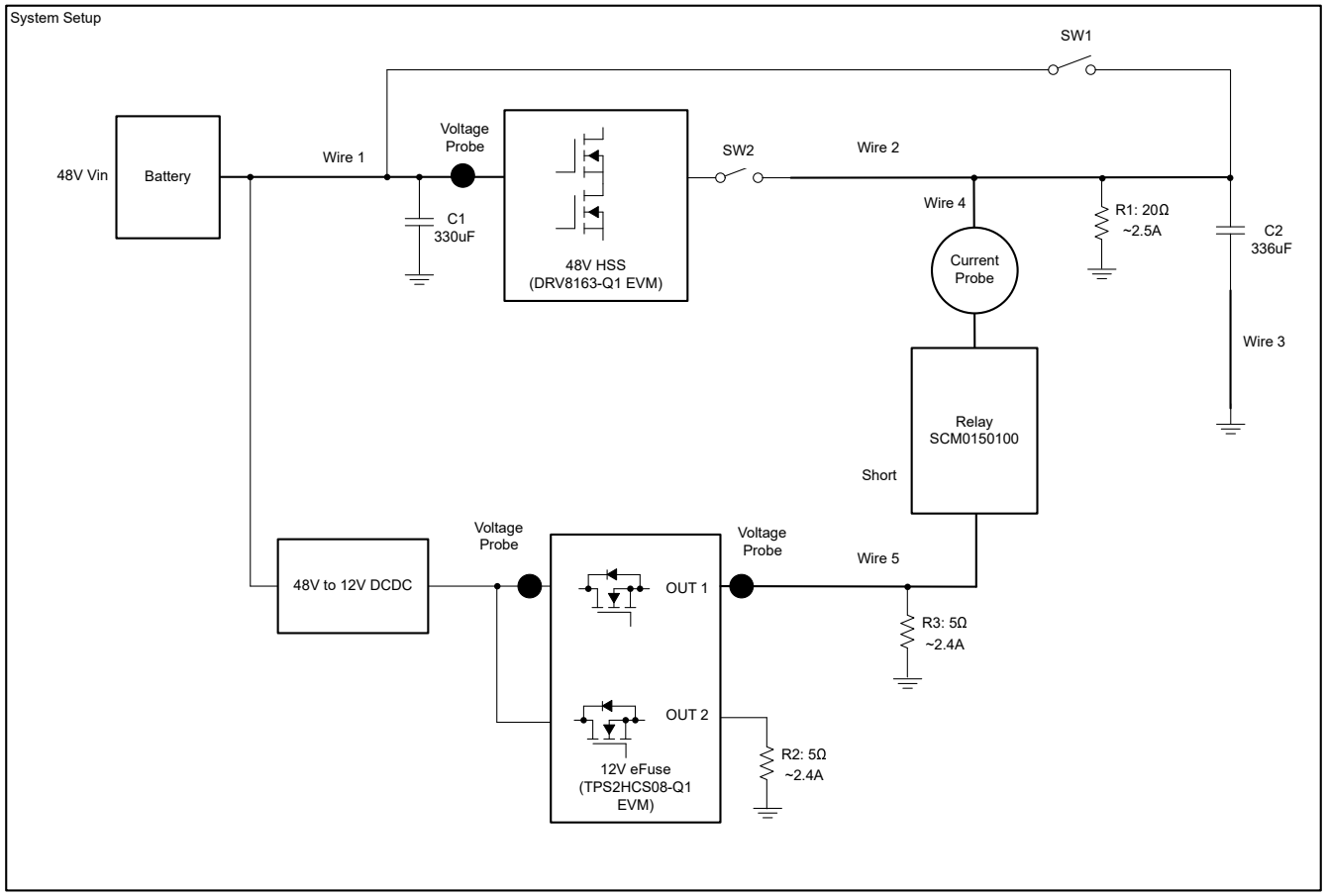


図 5. TPS2HCS08-Q1 と DRV8163-Q1 を使用したテスト設定

実施した手順については、テスト手順およびセットアップ パラメータ を参照してください。

図 6 および 図 7 に、結果を示しています。

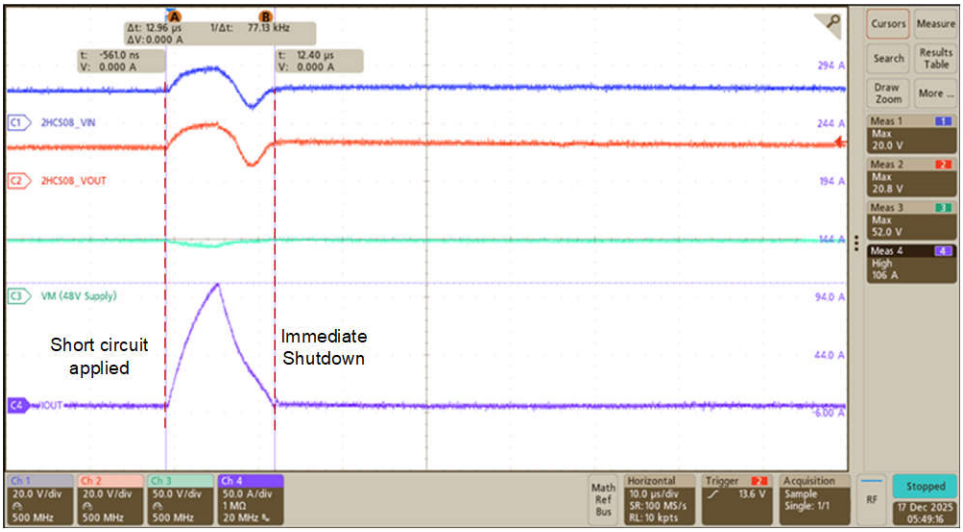


図 6. TPS2HCS08-Q1 の FET オン状態での DRV8163-Q1 への短絡

Copyright © 2026 Texas Instruments Incorporated

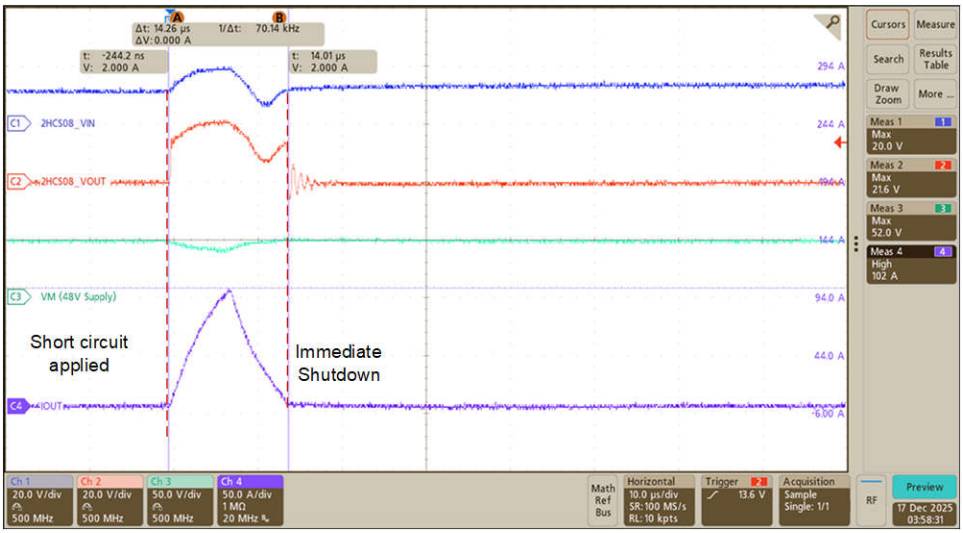


図 7. TPS2HCS08-Q1 の FET オフ状態での DRV8163-Q1 への短絡

図 6 および 図 7 は、12V eFuse の FET が初期状態でオンの場合 (図 6) と初期状態でオフの場合 (図 7) において、12V eFuse 出力を 48V MD 出力に短絡させた結果を示しています。どちらの結果でも、48V バッテリ レールは比較的安定した状態を維持したまま、12V eFuse チャネルの入力と出力で電圧上昇が見られます。短絡電流は、設定された短絡スレッショルドにおける DRV8163-Q1 の想定動作と一致しています。繰り返し行ったテストにおいて、故障は観測されませんでした。

スマート eFuse テストの概要:

上述のいずれのテストでも、デバイスの損傷は観測されませんでした。これらの結果から、12V スマート eFuse には追加の保護回路は不要です。

結論として、配線インダクタンスは、HSS よりもモーター ドライバ (または即時短絡シャットダウン機能を備えた IC) に大きな影響を与える可能性があります。V = Ldi/dt であるため、V が一定であると仮定すると、L が増加すれば di/dt は減少します。したがって、ケーブル インダクタンスによってこれらのデバイスの短絡曲線下の面積が広がる可能性があり、TPS2HCS08 にかかるエネルギーに影響を及ぼすことがあります。HSS デバイスは TSD (サーマル シャットダウン) に達するとシャットダウンするため、配線インダクタンスの重要性は比較的低いと考えられます。これらの HSS デバイスにかかるエネルギーは異なる場合がありますが、デバイスがそのエネルギーにさらされる時間も同様に変化します。最終的に HSS で懸念されるのはインダクタンスではなく静電容量であり、これによってデバイスに放出されるエネルギー量が決まり、デバイスの生存時間が左右されます。

ハイサイド スイッチ (HSS)

12V DUT として TPS4HC120-Q1 を選択しました。実施した手順については、テスト手順およびセットアップ パラメータを参照してください。

図 8 に、48V HSS に TPS1HTC30-Q1 を、HSS に TPS4HC120-Q1 を使用した最初のテスト設定を示します。

Copyright © 2026 Texas Instruments Incorporated

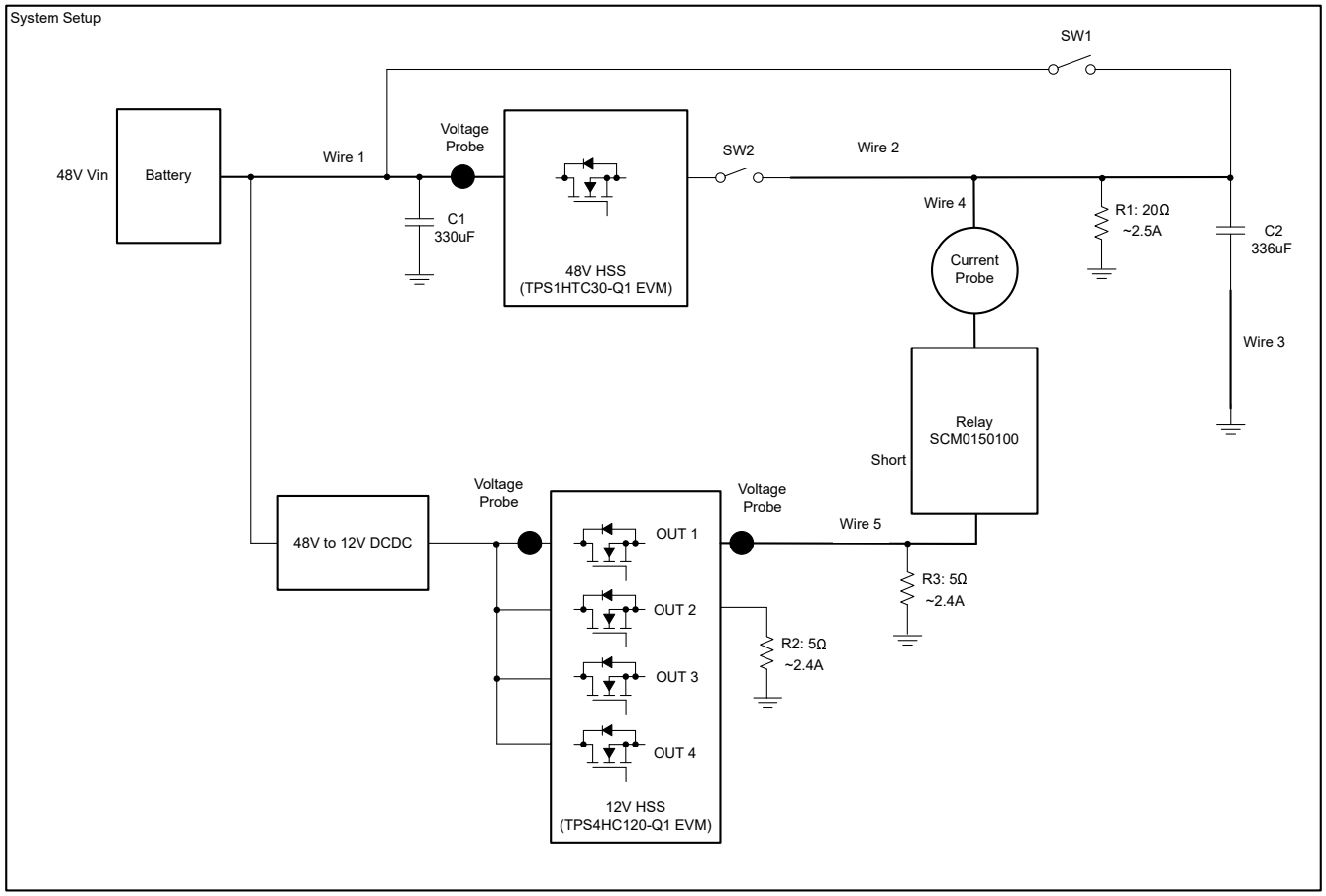


図 8. TPS4HC120-Q1 と TPS1HTC30-Q1 を使用したテスト設定

図 9 および 図 10 に、テスト結果を示しています。

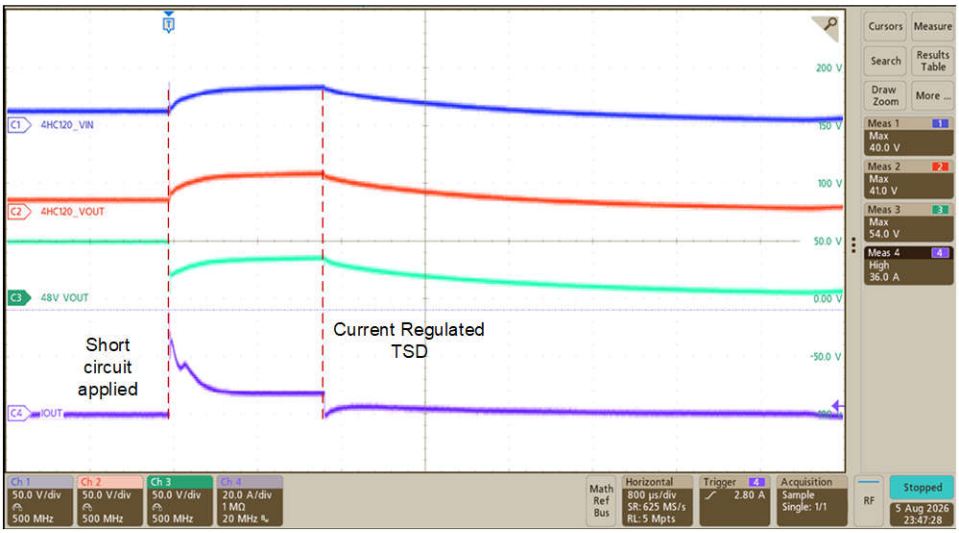


図 9. TPS4HC120-Q1 の FET オン状態での TPS1HTC30-Q1 への短絡 (8A CL)

Copyright © 2026 Texas Instruments Incorporated



図 10. TPS4HC120-Q1 の FET オン状態での TPS1HTC30-Q1 への短絡 (16A CL)

図 11 に、48V HSS に DRV8163-Q1 を、HSS に TPS4HC120-Q1 を使用した 2 番目のテスト設定を示します。

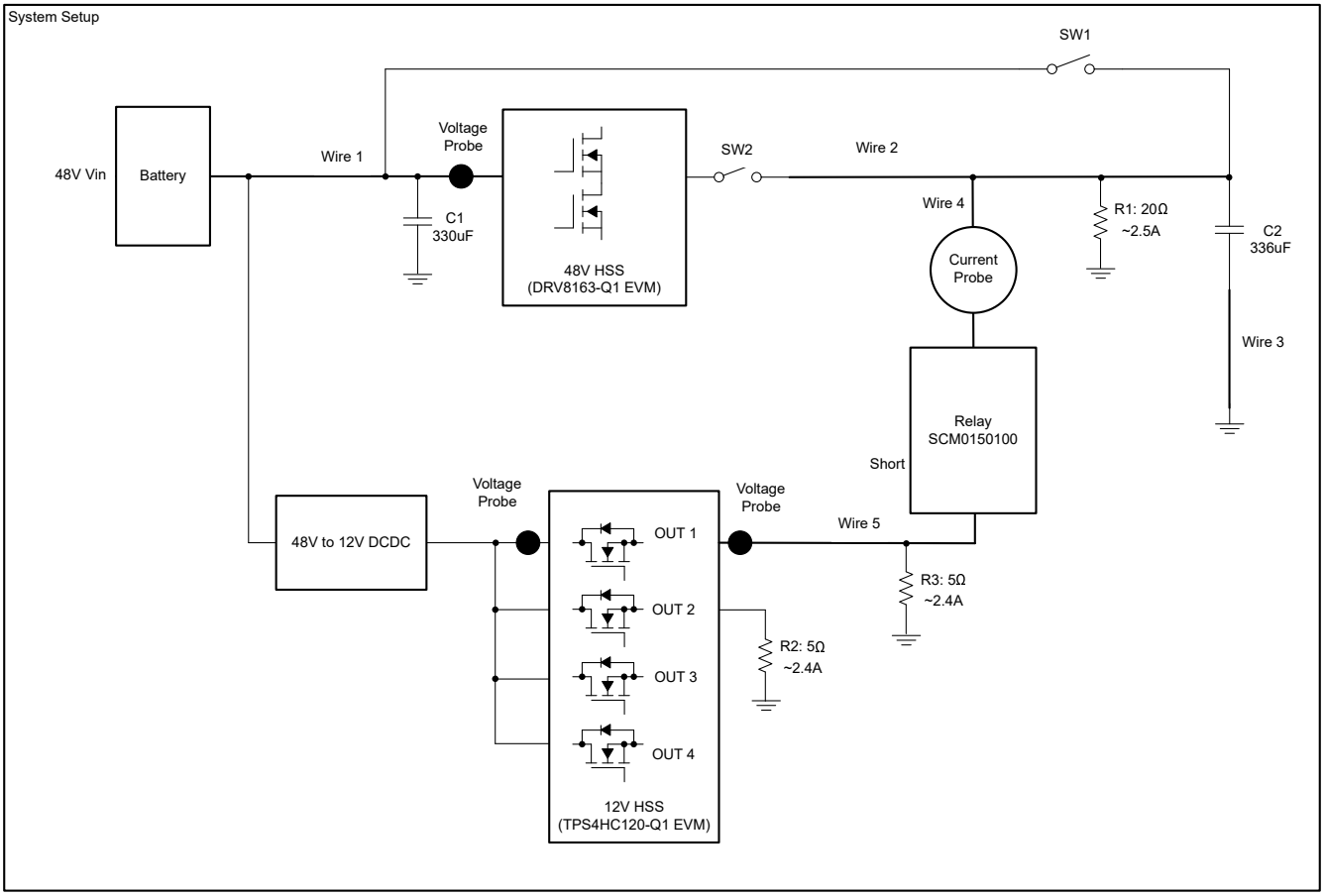


図 11. TPS4HC120-Q1 と DRV8163-Q1 を使用したテスト設定

図 12 にテスト結果を示します。

Copyright © 2026 Texas Instruments Incorporated

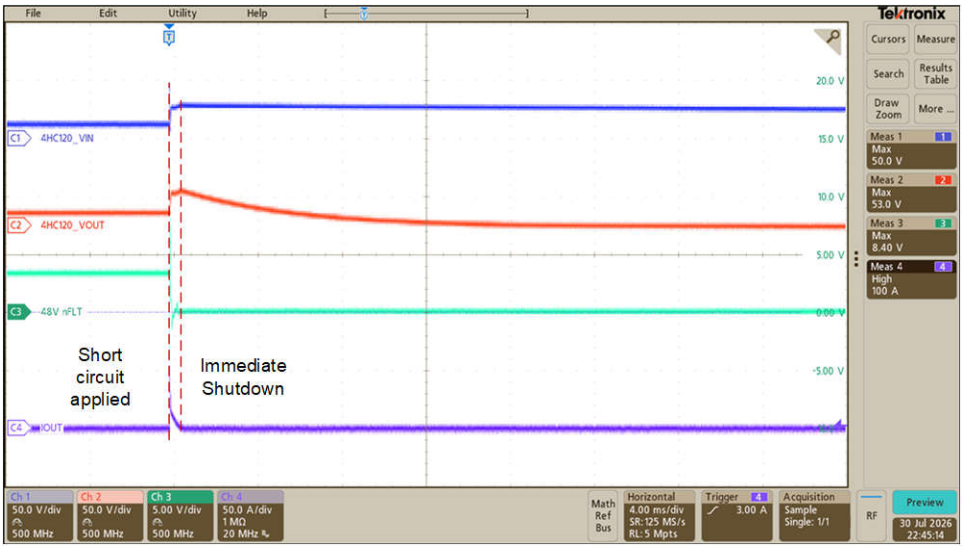


図 12. TPS4HC120-Q1 の FET と DRV8163-Q1 間の短絡

HSS テストの概要

DRV8163-Q1 に短絡した場合、短絡保護 (SCP) によって出力がオフになり、下流の TPS4HC120-Q1 が保護されます。TPS1HTC30-Q1 に短絡した場合、電流制限応答では TPS4HC120-Q1 が損傷する前に電流の流れを確実に遮断できません。

推奨される保護対策：逆電流によるデバイスの損傷を防ぐため、HSS 入力に直列の入力ブロッキング ダイオードを配置します。

モータードライバ (MD)

12V DUT として DRV8245-Q1 を選択しました。実施した手順については、テスト手順およびセットアップ パラメータ を参照してください。

図 13 に、48V HSS に TPS1HTC30-Q1 を、MD に DRV8245-Q1 を使用した最初のテスト設定の詳細を示します。

Copyright © 2026 Texas Instruments Incorporated

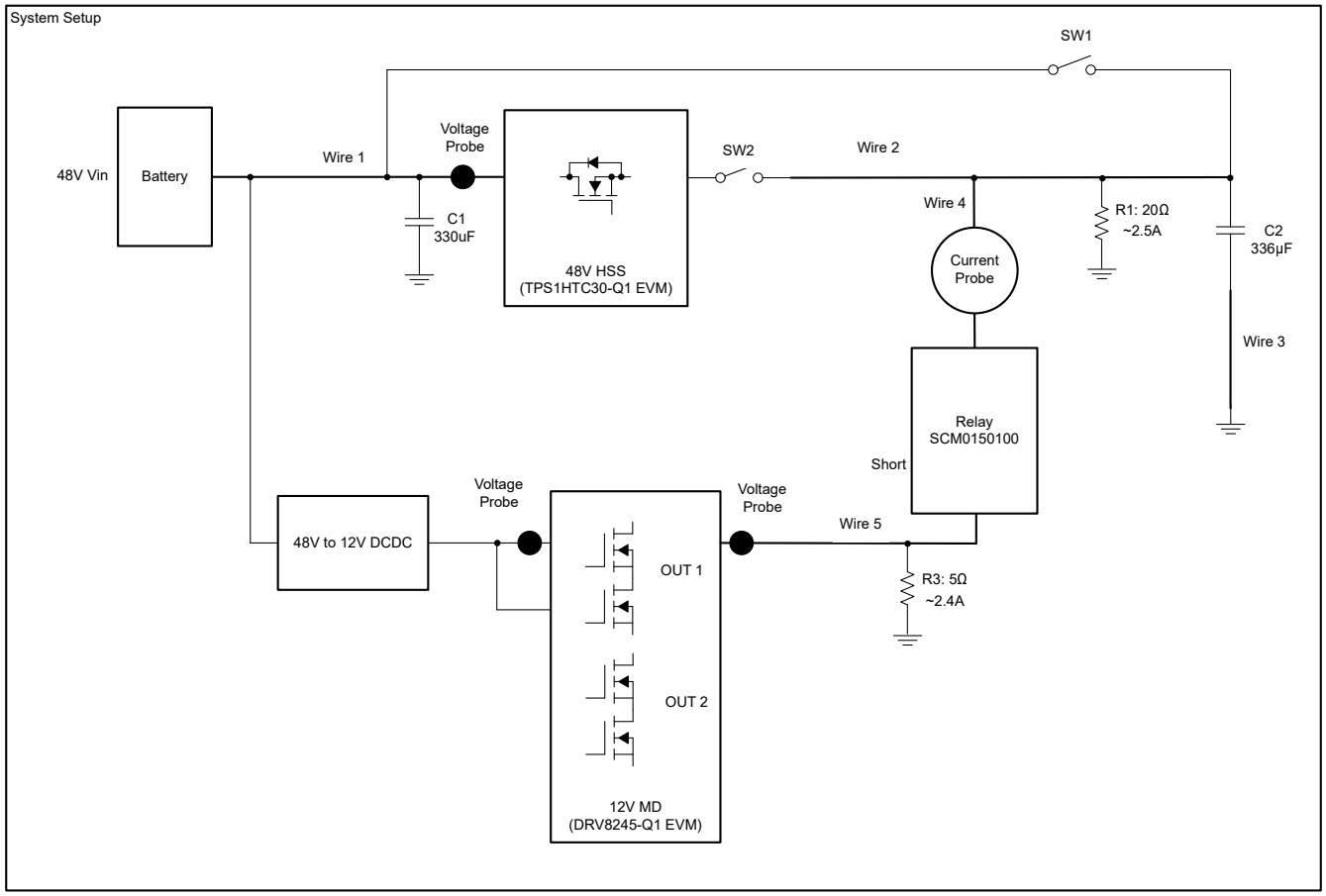


図 13. DRV8245-Q1 と TPS1HTC30-Q1 を使用したテスト設定

図 14 および 図 15 に、結果を示しています。

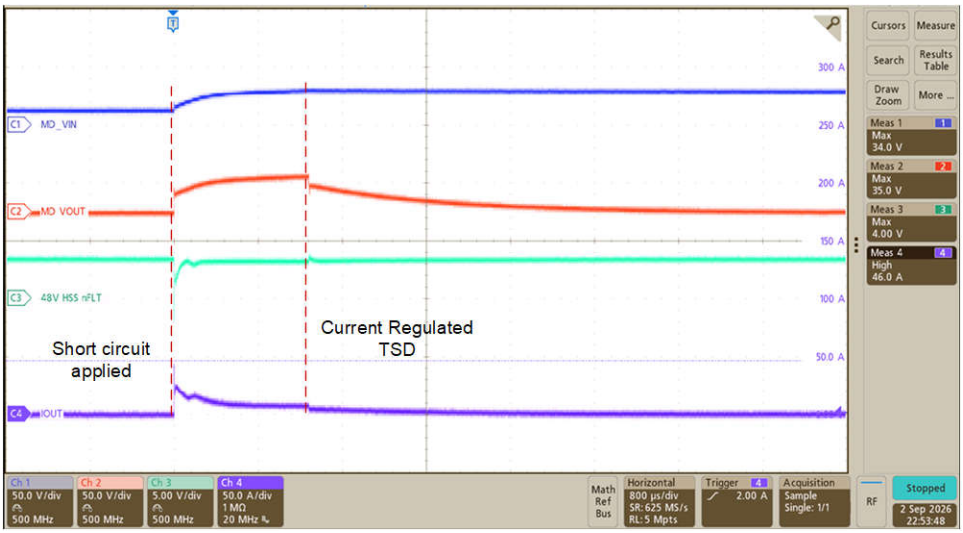


図 14. DRV8245-Q1 の FET と TPS1HTC30-Q1 間の短絡 (8A CL)

Copyright © 2026 Texas Instruments Incorporated

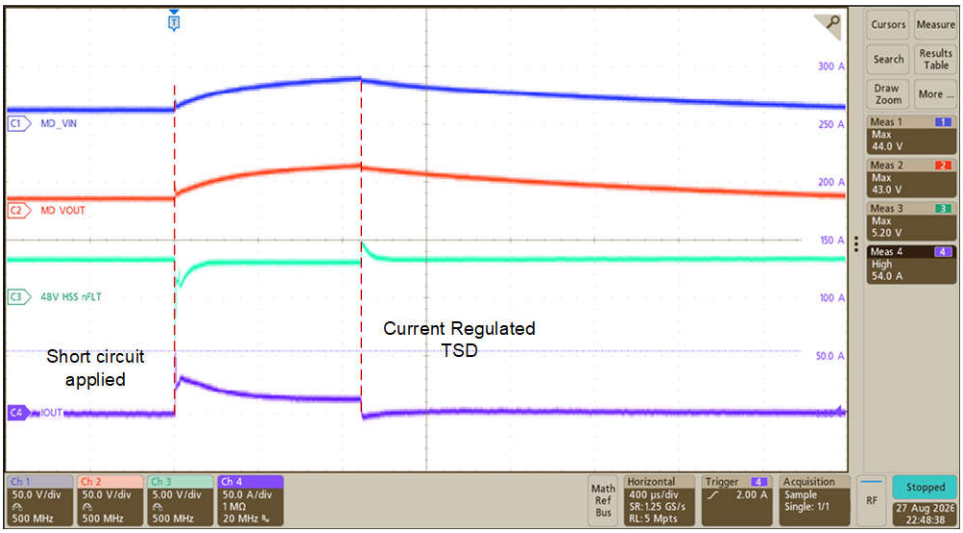


図 15. DRV8245-Q1 の FET と TPS1HTC30-Q1 間の短絡 (16A CL)

図 16 に、48V HSS に DRV8163-Q1 を、MD に DRV8245-Q1 を使用した 2 番目のテスト設定を示します。

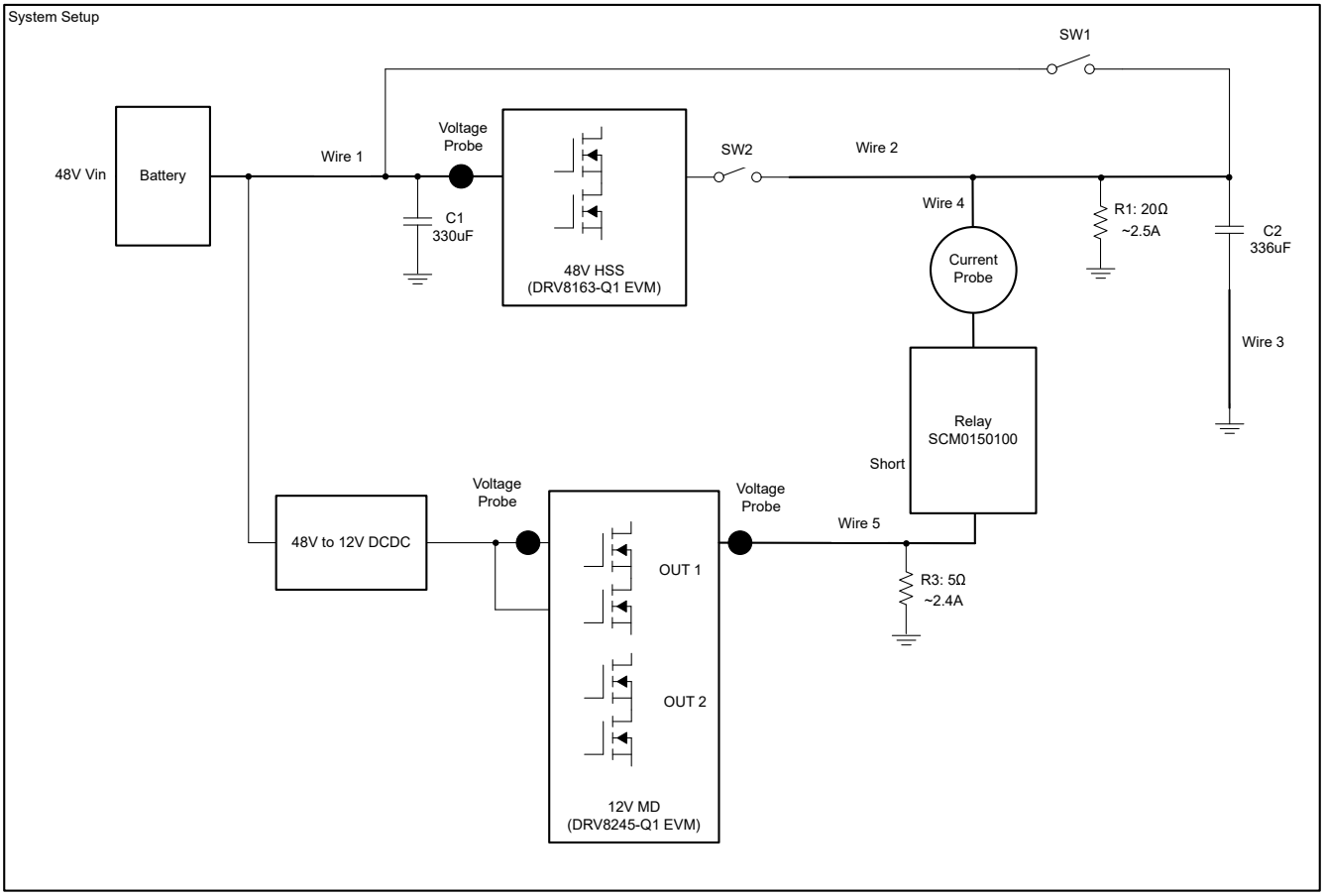


図 16. DRV8245-Q1 と DRV8163-Q1 を使用したテスト設定

実施した手順については、テスト手順およびセットアップ パラメータ を参照してください。

図 17 にテスト結果を示します。

Copyright © 2026 Texas Instruments Incorporated

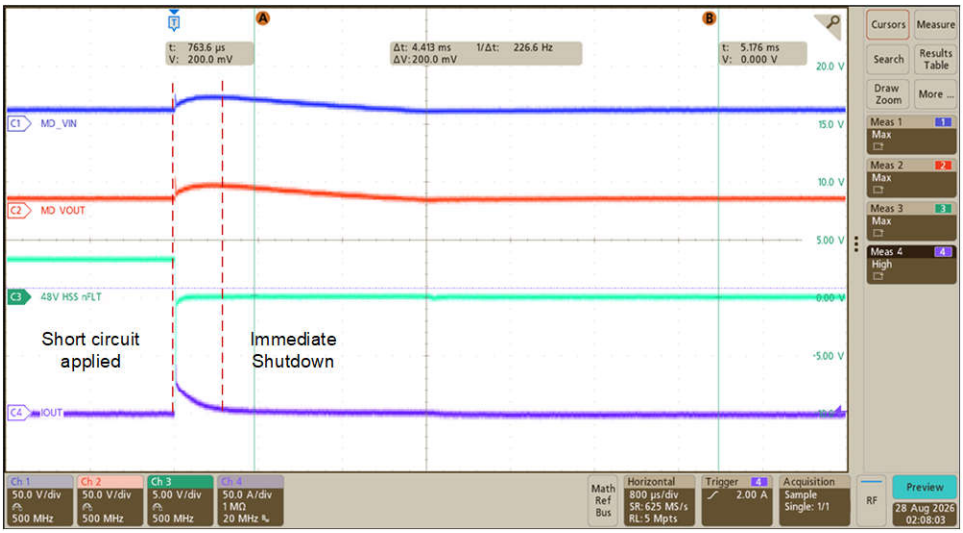


図 17. DRV8245-Q1 の FET オン状態での DRV8163-Q1 への短絡

MD テストの概要:

TPS1HTC30-Q1 に短絡した場合、DRV8245-Q1 への逆電流の流入を防ぐのに間に合うようにデバイスがオフになることは検証されていません。DRV8163-Q1 に短絡した場合、DRV8163-Q1 は SCP によってオフになりますが、DRV8245-Q1 の絶対最大定格電圧を超える前に遮断が行われません。

推奨される保護対策

- 逆電流によるデバイスの損傷を防ぐため、12V MD の入力に直列の入力ブロッキング ダイオードを配置する
- 出力電圧をデバイスの絶対最大定格未満にクランプするため、12V MD の出力に出力 TVS ダイオードを配置する

電圧トラッキング LDO

トラッキング LDO は、長いワイヤ ハーネスを介してオフボードの負荷やセンサに電力を供給するため、12V 電源から電力供給されている場合でも、出力側で 48V バッテリへの短絡の影響を受けやすくなります。DUT として TPS7B4255-Q1 を選択しました。実施した手順については、テスト手順のセクションを参照してください。

図 18 に、48V HSS に TPS1HTC30-Q1 を、LDO に TPS7B4255-Q1 を使用した最初のテスト設定を示します。

English Document: SBAA825
Copyright © 2026 Texas Instruments Incorporated

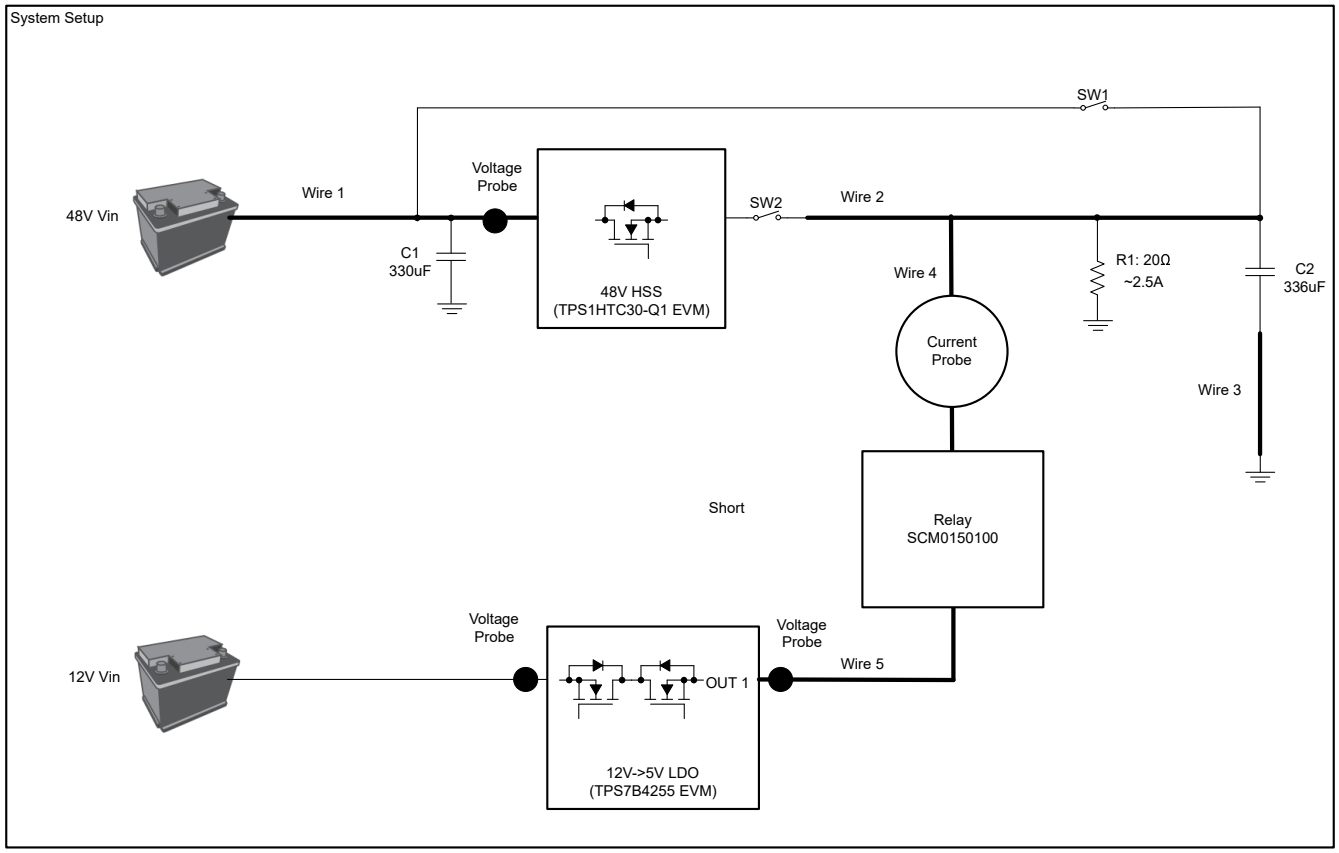


図 18. TPS7B4255-Q1 と TPS1HTC30-Q1 を使用したテスト設定

図 19 にテスト結果を示します。

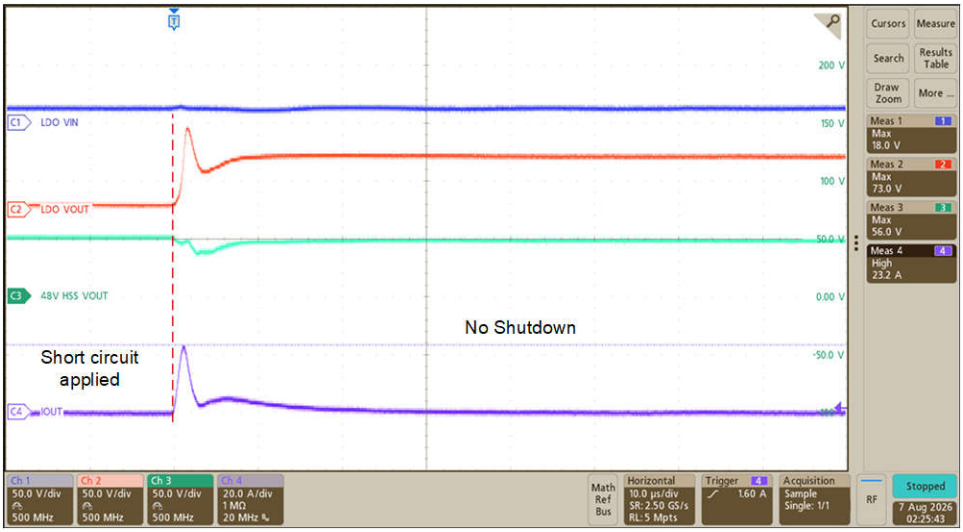


図 19. TPS7B4255-Q1 と TPS1HTC30-Q1 間の短絡 (8A CL)

図 20 に、48V HSS に DRV8163-Q1 を、LDO に TPS7B4255-Q1 を使用した 2 番目のテスト設定を示します。

Copyright © 2026 Texas Instruments Incorporated

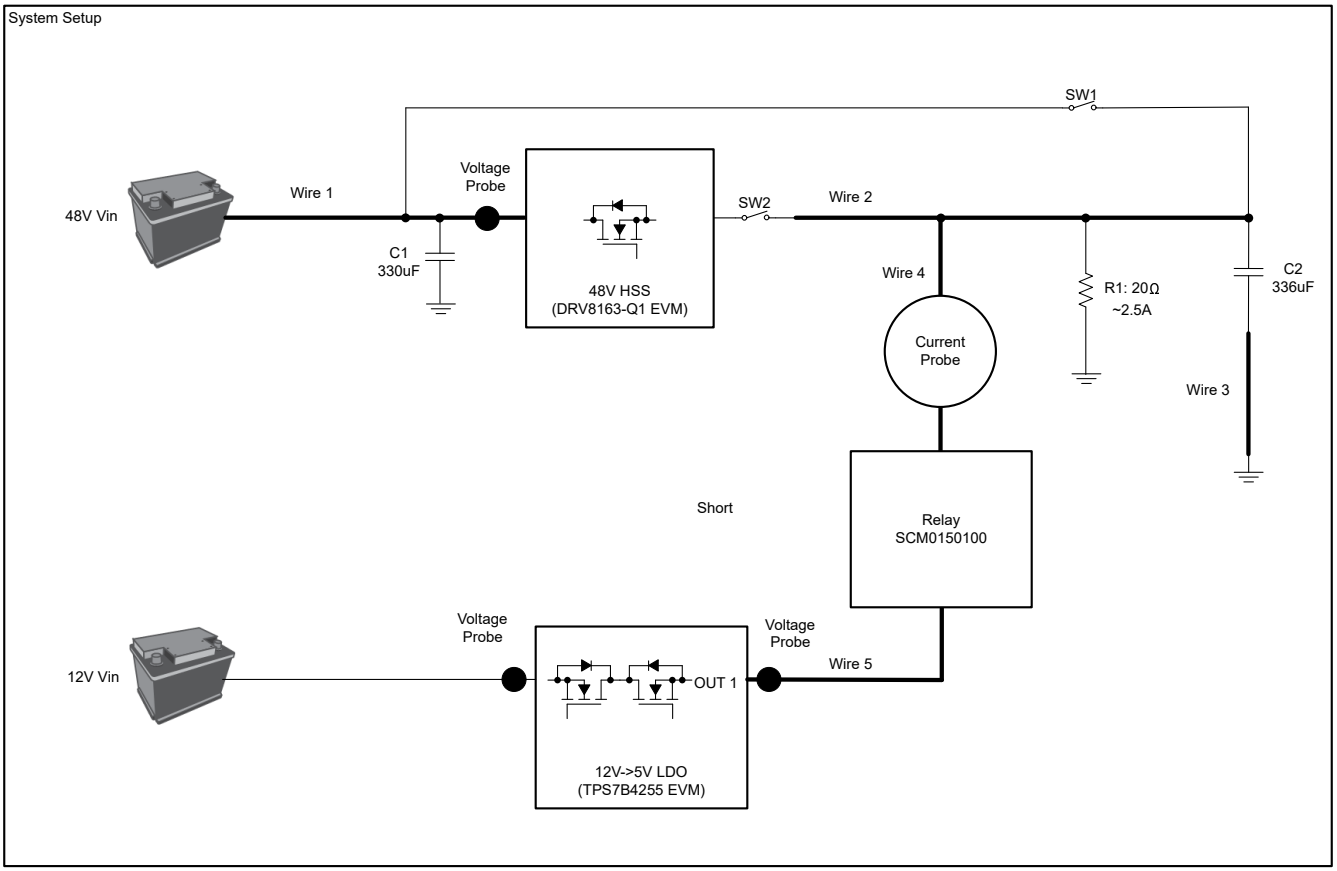


図 20. TPS7B4255-Q1 と DRV8163-Q1 を使用したテスト設定

図 21 および 図 22 に、結果を示しています。

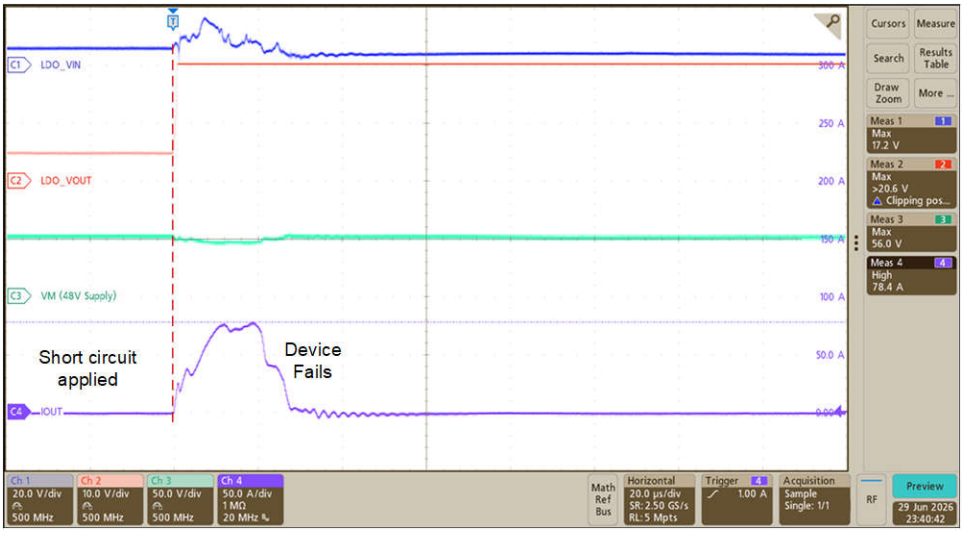


図 21. TPS7B4255-Q1 と DRV8163-Q1 間の短絡 (追加 C_{OUT} = 0µF)

English Document: SBAA825
Copyright © 2026 Texas Instruments Incorporated

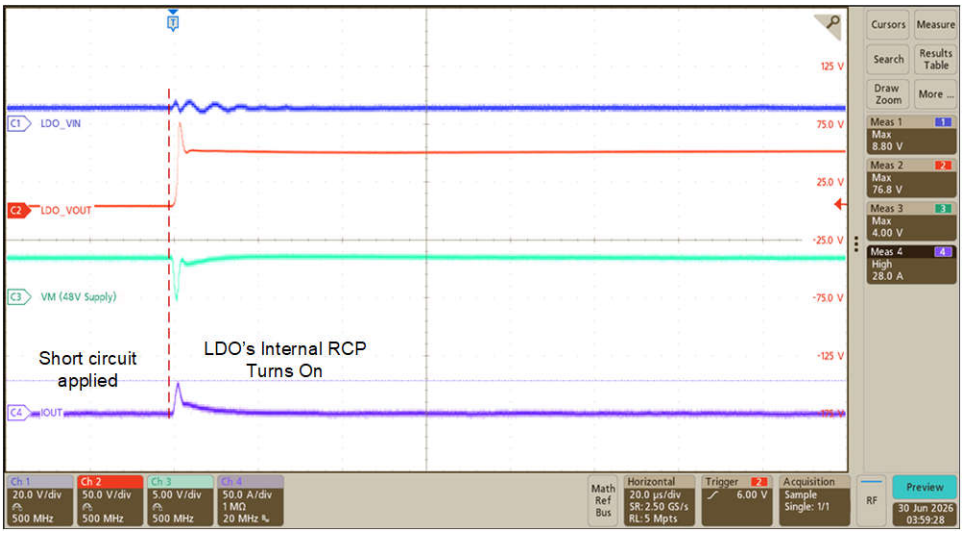


図 22. TPS7B4255-Q1 と DRV8163-Q1 間の短絡 (追加 C_{OUT} = 2.2µF)

トラッキング LDO テストの概要

追加の出力容量がない場合:デバイスの内蔵逆電流保護 (RCP) が十分に速く応答せず、内部 FET に大電流が流れて損傷を引き起こします。所定のテスト条件における TPS7B4255-Q1 の RCP 応答時間は最大 0.5µs です。したがって、逆電流状態は 0.5µs 未満で発生することになり、これは 12V 車載バッテリへの出力短絡に必要なタイムスケールよりも短い時間です

追加の出力容量がある場合 (最小 2.2µF でテスト済み):デバイスは損傷を免れます。追加の静電容量により、損傷が発生する前に LDO が RCP をアクティブ化 (0.5µs 以内) するのに十分な応答時間が確保されます。しかし、デバイスは損傷を免れるものの、V_{OUT} の絶対最大定格は依然として超過します。したがって、C_{OUT} をさらに追加するだけでは十分な保護対策とは言えません。

LDO における逆電流の防止に関する詳細については、『LDO の基礎:逆電流の防止』を参照してください

トラッキング LDO の保護を維持することを検証するため、図 23 の回路が提案されています。

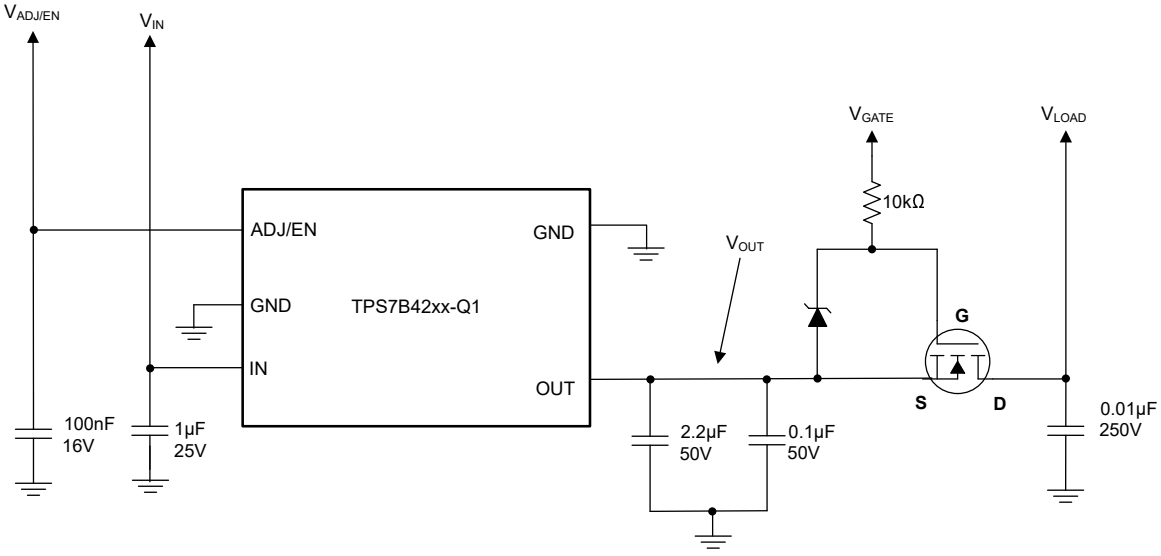


図 23. LDO 保護回路

この保護回路は、出力で 48V バッテリへの短絡が発生した際、OUT の電圧を定常状態の V_{GATE} + V_{DIODE} に制限します。

Copyright © 2026 Texas Instruments Incorporated

通常動作から出力短絡への高速過渡状態では、保護 FET を介したリークの結果、初期段階で OUT に高い電圧が発生する可能性があります。TPS7B4255-Q1 の公称 V_{OUT} を最大 35V にプログラムした場合でも、電圧過渡はデバイスの絶対最大定格内に制限されます。短絡状態が継続すると、OUT の電圧は最終的に V_{GATE} + V_{DIODE} に落ち着きます。これは、LDO が OUT の高い電圧を検出すると出力を下げようと動作し、それによって V_{GATE} が Low に駆動されて保護 FET がオフになるためです。LDO 出力の短絡が解除されると、出力が回復し、保護 FET はオン状態に戻ります。

テスト結果および保護設計の概要

表 1. テスト結果

12V DUT	48V 負荷ドライバ (シャットダウン動作)	故障 / 不具合の有無	追加保護の必要性
スマート eFuse (TPS2HCS08-Q1)	即時	なし	なし
	電流レギュレーション	なし	
HSS (TPS4HC120-Q1)	即時	なし	あり
	電流レギュレーション	あり	
MD (DRV8245-Q1)	即時	あり	あり
	電流レギュレーション	あり	
電圧トラッキング LDO (TPS7B4255-Q1)	即時	あり	あり
	電流レギュレーション	あり	

表 2. 保護設計

使用事例	設計	コスト	長所	短所
単方向低電流負荷ドライバ	入力ブロッキング ダイオード	Low	シンプルな設計	低効率
大電流 / 低 Rds(on) ハイサイド スイッチ	逆電流ブロック FET	High	高い電力効率	大型サイズ
			堅牢	
電圧トラッキング LDO	LDO アクティブ クランプ	Med	高い電力効率	大型サイズ
			堅牢	
フル (H) ブリッジ モータードライバ (双方向負荷ドライバ)	TVS 出力クランプ	Med	シンプルな設計	エネルギー制限

テスト手順およびセットアップ パラメータ

TPS1HTC30-Q1 48V HSS を使用する場合のテスト手順:

1. 両方のスイッチ (SW1、SW2) とリレーが開いていることを確認します。
2. SW1 を閉じます。
3. 48V 電源をオンにします。
4. TPS1HTC30-Q1 の FET をイネーブルにします。
5. SW2 を閉じます。
6. SW1 を開きます。
7. リレーを駆動して、48V レールと低電圧側レールの間に短絡を発生させます。

DRV8163-Q1 48V MD を使用する場合のテスト手順:

1. 両方のスイッチ (SW1、SW2) とリレーが開いていることを確認します。
2. SW1 を閉じます。
3. 48V 電源をオンにします。
4. DRV8163-Q1 の HS FET を駆動します。
5. SW2 を閉じます。
6. SW1 を開きます。
7. リレーを駆動して、48V レールと低電圧側レールの間に短絡を発生させます。

Copyright © 2026 Texas Instruments Incorporated

すべてのテスト設定で、以下のテスト設定パラメータを使用しました。

表 3. テスト設定パラメータ

記号	値
C1	330uF
C2	336uF
R1	20 Ω
R2	5 Ω
R3	5 Ω
ワイヤ 1	3.5m (18AWG)
ワイヤ 2	1m (18AWG)
ワイヤ 3	1m (18AWG)
ワイヤ 4	300mm (18AWG)
ワイヤ 5	300mm (18AWG)

まとめ

TI は 48V 対応デバイスの市場リーダーであるだけでなく、車載アプリケーションにおける 48V 採用に関連するシステムレベルの課題についても積極的にテストと解決に取り組んでいます。これらの課題の中で最も差し迫ったものの 1 つが、負荷ドライバ間における 48V から 12V/5V レールへの短絡イベントのリスクです。特定のデバイスが単独でこれらのイベントに耐えられる場合でも、追加の保護回路が必要な場合でも、TI は 48V アーキテクチャへ移行するお客様に包括的なシステム レベルのソリューションを提供できる体制を整えています。

商標

すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月