参考資料

Application Note

TJA1103 から DP83TC1103x-Q1 へのロールオーバ ガイド

Drew Miller

概要

DP83TC1103x-Q1 PHY は TJA1103 とピン互換があるように設計されています。このドキュメントは、TJA1103 の設計を DP83TC1103x-Q1 の設計に変更するためのリファレンスとして役立ちます。多くの場合、TJA1103 に使用されているのと同じボード設計を使用して DP83TC1103x-Q1 をサポートできます。ただし、PHY をサポートする受動部品の調整が必要になる場合があります。

目次

1 概要 2
2 共通機能と相違点 2
3 ピン配置の比較とピンの規定 3
3.1 DP83TC1103A-Q1 のピン配置の比較とピンの規定 3
3.2 DP83TC1103B-Q1 のピン配置の比較とピンの規定 5
4 電源に関する推奨事項 7
5 ストラップ構成 8
5.1 DP83TC1103A-Q1 のストラップ構成 9
5.2 DP83TC1103B-Q1 のストラップ構成 10
6 レジスタ設定 11
6.1 リーダー モードの設定 11
6.2 自律モード設定 11
6.3 MII の構成 11
6.4 SGMII の構成 11
7 共通回路図 12
7.1 DP83TC1103A-Q1 共通回路図 12
7.2 DP83TC1103B-Q1 共通回路図 13
8 まとめ 15
9 参考資料 15

商標

すべての商標は、それぞれの所有者に帰属します。

English Document: SDAA314
Copyright © 2026 Texas Instruments Incorporated

1 概要

DP83TC1103A-Q1 PHY は RGMII、RMII、MII をサポートしており、TJA1103A とピン互換があるように設計されています。同様に、DP83TC1103B-Q1 PHY は SGMII をサポートしており、TJA1103B とピン互換があるように設計されています。このアプリケーション ノートでは、DP83TC1103x-Q1 PHY を使用した設計の参考となるように、DP83TC1103x-Q1 と TJA1103 デバイスのピンを比較し、ピンの規定について説明します。

ジェネリック型番	サポートされる MAC インターフェイス
DP83TC1103A-Q1	MII、RMII、RGMII
DP83TC1103B-Q1	SGMII

2 共通機能と相違点

DP83TC1103x-Q1 と TJA1103 は同じパッケージで同様の機能を備えているため、ほとんどの基板設計でどちらの PHY もサポートできます。次の表に、これらの PHY の共通機能と相違点を示します。

表 2-1. 共通機能と相違点

パラメータ	DP83TC1103x-Q1 と TJA1103 の共通機能	DP83TC1103x-Q1 と TJA1103 の違い
パッケージ	36-WQFN 6mm × 6mm 0.5mm ピッチ 同様の DAP サイズ	該当なし
ピン配置	MDI、xMII、共通電源、クロックなどの主要なピン。	DP83TC1103x-Q1 では、未使用の電源ピンの代わりに未接続 (NC) ピンが配置され、GPIO の代わりに予約済みピンが配置されている場合があります。
電源レール	単一電源 3.3V モード。	DP83TC1103x-Q1 では、2.5V 電源モードはサポートされていません。個別電源 (TI デュアル電源) モードはサポートされていません。
インターフェイス	DP83TC1103A-Q1/TJA1103A: • RGMII • RMII-clkmode、rev-RMII モード • MII DP83TC1103B-Q1/TJA1103B: • SGMII	DP83TC1103A-Q1 / TJA1103A:RMII モード
ストラップ	特定の共通 PHY アドレスをサポート。特定のストラップ機能。	一部の TJA1103 ストラップ構成がサポートされています。TJA1103 と同じ構成にするには、DP83TC1103x-Q1 でソフトウェアの設定が必要となる場合があります。詳細については、「ストラップ構成」を参照してください。
特長	TC-10 802.1AS	DP83TC1103x-Q1 は JTAG をサポートしていません

Copyright © 2026 Texas Instruments Incorporated

3 ピン配置の比較とピンの規定

3.1 DP83TC1103A-Q1 のピン配置の比較とピンの規定

DP83TC1103A-Q1 は、TJA1103A とピン互換があるように設計されていますが、若干の違いがあります。これを次の図に示します。

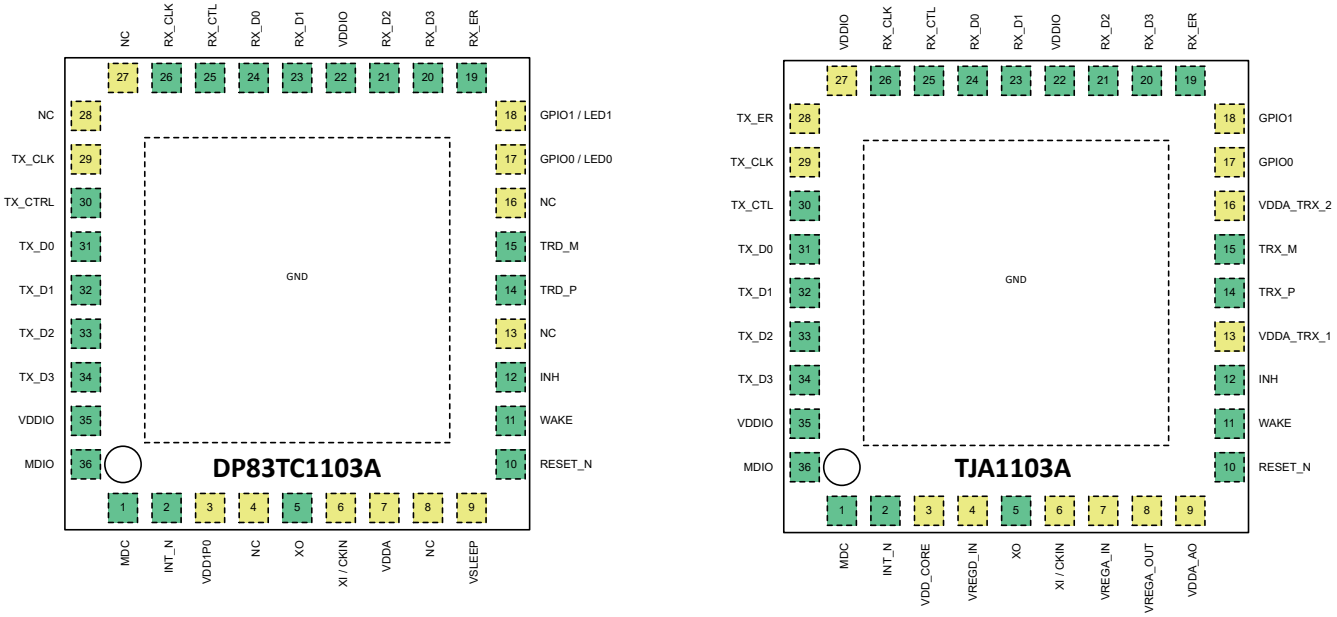

図 3-1. DP83TC1103A-Q1 と TJA1103A のピン配置の関係

凡例	
同じコア機能を持つピン	ピンに異なる機能が割り当てられているか、回路図レベルでの処理が必要な場合がある。表 3-1 を参照してください。

表 3-1 に、DP83TC1103A-Q1 と TJA1103A のピンの違いを示します。この表の処理は、機能設計に必要な最小限のものです。より詳細な処理については、DP83TC1103A-Q1 共通回路図 を参照してください。

表 3-1. DP83TC1103A-Q1 と TJA1103A とのピン配置の違い

ピン番号	DP83TC1103A-Q1 のピン名	TJA1103A のピン名	処理が必要	注
3	VDD1P0	VDD_CORE	なし	DP83TC1103A-Q1 では、内部 LDO デカップリング コンデンサに使用します。外部電源への接続をすべて切り離します。「電源に関する推奨事項」を参照してください。
4	NC	VREGD_IN	なし	DP83TC1103x-Q1 では、デジタル ドメインの電圧レギュレータはダイ内部で接続されています。外部接続は不要です。
5	XO	XO	オプション	水晶振動子の電力を調整するために、直列抵抗を配置できます。
6	XI	XI	オプション	TI では、水晶振動子を使用する際に最適な EMC 性能を得るため、100Ω の直列抵抗を推奨します。
7	VDDA	VREGA	なし	両デバイスとも 3.3V 電源レール。「電源に関する推奨事項」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 3-1. DP83TC1103A-Q1 と TJA1103A とのピン配置の違い (続き)

ピン番号	DP83TC1103A-Q1 のピン名	TJA1103A のピン名	処理が必要	注
8	NC	VREGA_OUT	なし	DP83TC1103A-Q1 パッケージ NC。
9	VSLEEP	VDDA_AO	なし	TC–10 では、常時オン電源レール。「電源に関する推奨事項」を参照してください。
13	NC	VDDA_TRX_1	なし	DP83TC1103A-Q1 パッケージ NC。
16	NC	VDDA_TRX_2	なし	DP83TC1103A-Q1 パッケージ NC。
17	GPIO0 / LED0	GPIO0	オプション	目的の LED 機能を実装するには、レジスタ設定が必要になることがあります。
18	GPIO1 / LED1	GPIO1	オプション	
27	NC	VDDIO	なし	DP83TC1103A-Q1 パッケージ NC。
28	NC	TX_ER	なし	DP83TC1103A-Q1 パッケージ NC。
29	TX_CLK	TX_CLK	あり	RMII-clkmode では、TJA1103A は TX_CLK で 50MHz RMII クロック入力を受信します。DP83TC1103A-Q1 の RMII フォロワー モード (RMII-clkmode と同等) では、XI で 50MHz RMII クロック入力を受信する必要があります。RMII フォロワー モードを使用する場合は、それに応じて 50MHz クロックの配線経路を考慮しておく必要があります。

Copyright © 2026 Texas Instruments Incorporated

3.2 DP83TC1103B-Q1 のピン配置の比較とピンの規定

DP83TC1103B-Q1 は、TJA1103B とピン互換があるように設計されていますが、若干の違いがあります。これを次の図に示します。

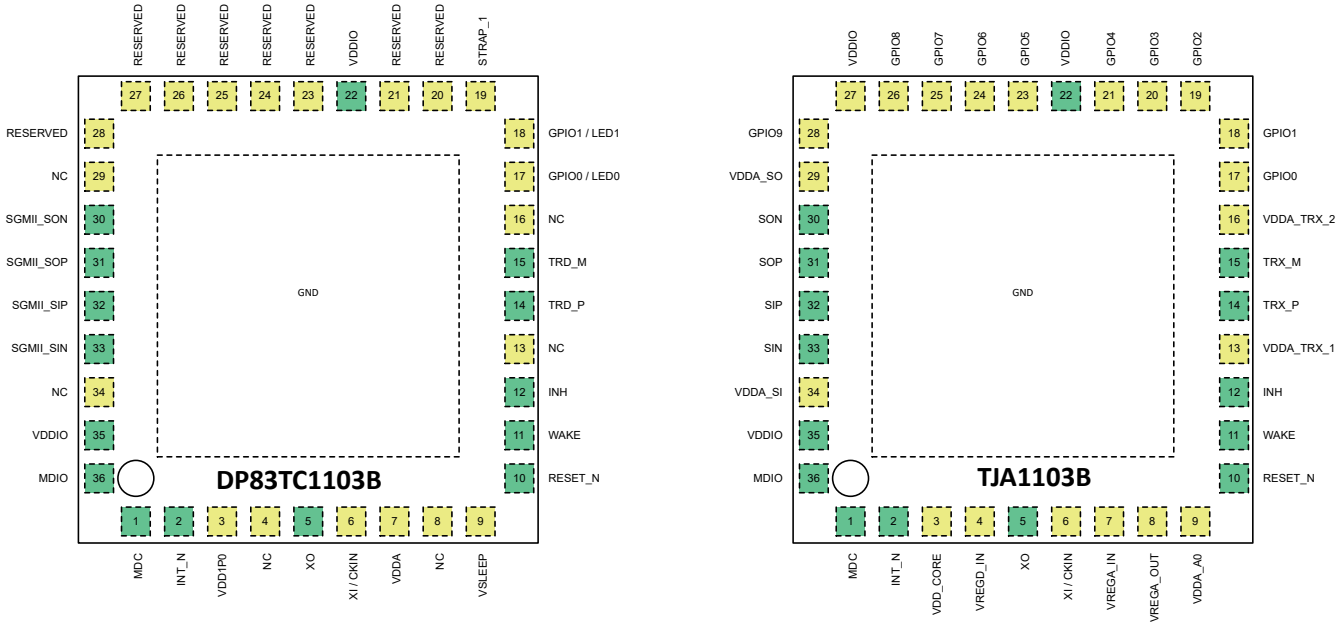

図 3-2. DP83TC1103B-Q1 と TJA1103B のピン配置の関係

凡例	
同じコア機能を持つピン	ピンに異なる機能が割り当てられているか、回路図レベルでの処理が必要な場合がある。表 3-2 を参照してください。

表 3-2 に、DP83TC1103B-Q1 と TJA1103B のピンの違いを示します。この表の処理は、機能設計に必要な最小限のものです。より詳細な処理については、DP83TC1103B-Q1 共通回路図 を参照してください。

表 3-2. DP83TC1103B-Q1 と TJA1103B とのピン配置の違い

ピン番号	DP83TC1103B-Q1 のピン名	TJA1103B のピン名	処理が必要	注
3	VDD1P0	VDD_CORE	なし	DP83TC1103B-Q1 では、内部 LDO デカップリング コンデンサに使用します。外部電源への接続をすべて切り離します。「電源に関する推奨事項」を参照してください。
4	NC	VREGD_IN	なし	DP83TC1103x-Q1 では、デジタル ドメインの電圧レギュレータはダイ内部で接続されています。外部接続は不要です。
5	XO	XO	オプション	水晶振動子の電力を調整するために、直列抵抗を配置できます。
6	XI	XI	オプション	TI では、水晶振動子を使用する際に最適な EMC 性能を得るため、100Ω の直列抵抗を推奨します。
7	VDDA	VREGA	なし	両デバイスとも 3.3V 電源レール。「電源に関する推奨事項」を参照してください。
8	NC	VREGA_OUT	なし	DP83TC1103B-Q1 パッケージ NC。
9	VSLEEP	VDDA_AO	なし	TC–10 では、常時オン電源レール。「電源に関する推奨事項」を参照してください。
13	NC	VDDA_TRX_1	なし	DP83TC1103B-Q1 パッケージ NC。

Copyright © 2026 Texas Instruments Incorporated

表 3-2. DP83TC1103B-Q1 と TJA1103B とのピン配置の違い (続き)

ピン番号	DP83TC1103B-Q1 のピン名	TJA1103B のピン名	処理が必要	注
16	NC	VDDA_TRX_2	なし	DP83TC1103B-Q1 パッケージ NC。
17	GPIO0 / LED0	GPIO0	オプション	目的の LED 機能を実装するには、レジスタ設定が必要になることがあります。
18	GPIO1 / LED1	GPIO1	オプション	
19	STRAP_1	GPIO2	オプション	DP83TC1103B-Q1 では、PHY アドレス ストラップとして使用。「DP83TC1103B-Q1 のストラップ構成」を参照してください。
20	予約済み	GPIO3	オプション	DP83TC1103B-Q1 入力。VDDIO 電圧を超えない信号に接続できます。
21	予約済み	GPIO4	オプション	
23	予約済み	GPIO5	あり	VDDIO 電圧を超えない信号に接続できます。デバイスがリセットモードに入っているとき、またはデバイスの電源がランプアップしているとき (パワーオン リセットの前)、このピンを外部から駆動することはできませんデバイスが通常の機能状態のとき、このピンは入力モードにあると想定されますが、デバイスの初期化構成が完了するまで、このピンは DP83TC1103B-Q1 によって駆動できます
24	予約済み	GPIO6	あり	VDDIO 電圧を超えない信号に接続できます。デバイスが通常の機能状態のとき、このピンは入力モードにあると想定されますが、デバイスの初期化構成が完了するまで、このピンは DP83TC1103B-Q1 によって駆動できます
25	予約済み	GPIO7	あり	
26	予約済み	GPIO8	あり	
27	予約済み	VDDIO	オプション	DP83TC1103B-Q1 入力。VDDIO 電源に接続、または VDDIO 電圧を超えない信号に接続できます。
28	予約済み	GPIO9	オプション	DP83TC1103B-Q1 入力。VDDIO 電圧を超えない信号に接続できます。
29	NC	VDDA_SO	なし	DP83TC1103B-Q1 パッケージ NC。
34	NC	VDDA_SI	なし	DP83TC1103B-Q1 パッケージ NC。

Copyright © 2026 Texas Instruments Incorporated

4 電源に関する推奨事項

ピン番号	DP83TC1103	TJA1103	注
3	VDD1P0	VDD_CORE	VDD1P0 は、DP83TC1103x-Q1 の内部 LDO に接続されています。TI では、100nF および 2.2µF のデカップリング コンデンサを推奨しています。VDD1P0 は外部電源接続を必要としません。
7	VDDA	VREGA	3.3V 電源レール。TI では、10nF および 470nF のデカップリング コンデンサを推奨しています。VDDA とシステム 3.3V 電源レールの間に、オプションのフェライトビーズを使用できます。
9	VSLEEP	VDDA_AO	TC–10 では、常時オン電源レール。TI では、100nF のデカップリング コンデンサを推奨しています。
22、35	VDDIO	VDDIO	1.8V、2.5V、または 3.3V 電源 TI では、470nF および 10nF のデカップリング コンデンサを推奨しています。

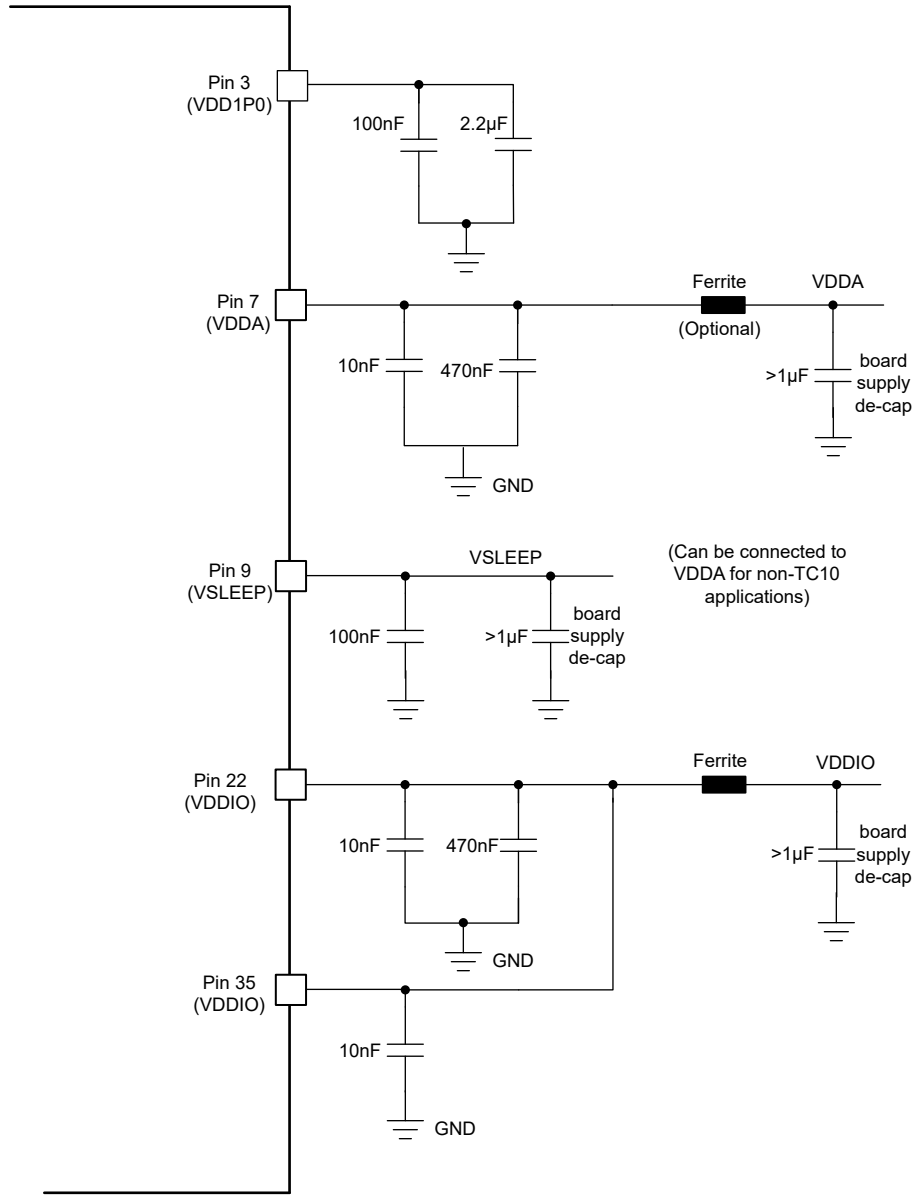

図 4-1. デカップリング ネットワーク - VDD1P0、VDDA、VSLEEP、VDDIO

Copyright © 2026 Texas Instruments Incorporated

5 ストラップ構成

DP83TC1103x-Q1 は 2 レベルのピン ストラップをサポートしています。デフォルトでは、内部プルダウン抵抗によりピンがモード 1 に設定されます。モード 2 に変更するには、外部の 2.49kΩ プルアップ抵抗を実装します。

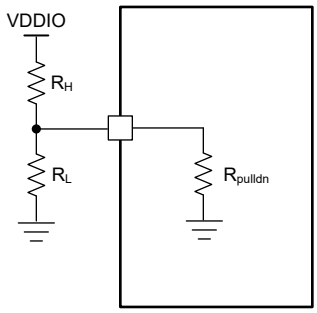

図 5-1. ストラップ回路

表 5-1. 2 レベル ストラップの推奨抵抗

モード	理想的な RH (kΩ)
1	任意の値をオープンまたはプルダウンします
2	2.49

注

- DP83TC1103x-Q1 MDI インターフェイスはフォロワー モードで起動します。リーダー モードにストラップ オプションはありません。「リーダー モードの設定」を参照してください。
- DP83TC1103x-Q1 MDI インターフェイスはマネージド モードで起動します。自律モードにストラップ オプションはありません。「自律モードの設定」を参照してください。
- DP83TC1103x-Q1 は、極性検出と訂正の無効化をサポートしていません。これはデフォルトではイネーブルです。
- DP83TC1103A-Q1 には、MII を有効化するためのストラップ オプションはありません。「MII の構成」を参照してください。
- DP83TC1103B-Q1 には、SGMII を有効化するためのストラップ オプションはありません。「SGMII の構成」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.1 DP83TC1103A-Q1 のストラップ構成

表 5-2. ブートストラップ

ピン名	ピン番号	ドメイン	デフォルト モード	ストラップ機能		説明
GPIO0	17	VDDIO	1	モード	PHY_AD[2]	PHY_AD：PHY アドレス ID
				1	0	
				2	1	
RX_ER	19	VDDIO	1	モード	PHY_AD[1]	
				1	0	
				2	1	
RX_D3	20	VDDIO	1	モード	PHY_AD[0]	
				1	0	
				2	1	
RX_D2	21	VDDIO	1	モード	MAC[1]	MAC：MAC インターフェイスの選択
				1	0	
				2	1	
RX_D1	23	VDDIO	1	モード	MAC[0]	
				1	0	
				2	1	
GPIO1	18	VDDIO	1	モード	予約済み	GPIO1 はモード 1 に設定する必要があります。
				1	0	
				予約済み		

表 5-3. PHY アドレスのブートストラップ

PHY_AD[2:0]	GPIO0 ストラップ モード	RX_ER ストラップモード	RX_D3 ストラップ モード	説明
000	1	1	1	PHY アドレス：d27 (0x1B)
001	1	1	2	PHY アドレス：d25 (0x19)
010	1	2	1	PHY アドレス：d21 (0x15)
011	1	2	2	PHY アドレス：d19 (0x13)
100	2	1	1	PHY アドレス：d9 (0x09)
101	2	1	2	PHY アドレス：d7 (0x07)
110	2	2	1	PHY アドレス：d3 (0x03)
111	2	2	2	PHY アドレス：d1 (0x01)

表 5-4. MAC インターフェイス選択ブートストラップ

MAC[1]	MAC[0]	説明
0	0	RGMII-ID (RX 遅延のみ)
0	1	RGMII (ID なし)
1	0	RMII リーダー
1	1	RMII フォロワー

Copyright © 2026 Texas Instruments Incorporated

5.2 DP83TC1103B-Q1 のストラップ構成

表 5-5. ブートストラップ

ピン名	ピン番号	ドメイン	デフォルト モード	ストラップ機能		説明
GPIO0	17	VDDIO	1	モード	PHY_AD[1]	PHY_AD：PHY アドレス ID
				1	0	
				2	1	
RX_ER	19	VDDIO	1	モード	PHY_AD[0]	
				1	0	
				2	1	
GPIO1	18	VDDIO	1	モード	予約済み	GPIO1 はモード 1 に設定する必要があります。
				1	0	
				予約済み		

表 5-6. PHY アドレスのブートストラップ

PHY_AD[1:0]	GPIO0 ストラップ モード	RX_ER ストラップモード	説明
00	1	1	PHY アドレス：d27 (0x1B)
01	1	2	PHY アドレス：d21 (0x15)
10	2	1	PHY アドレス：d9 (0x09)
11	2	2	PHY アドレス：d3 (0x03)

Copyright © 2026 Texas Instruments Incorporated

6 レジスタ設定

DP83TC1103x-Q1 は、Clause 22 の間接アクセス方式を使用して、Clause 45 のレジスタへのアクセスをサポートしています。詳細については、データシートを参照してください。

6.1 リーダー モードの設定

デフォルトでは、DP83TC1103x-Q1 デバイスはフォロワー モードで起動します。PHY は、リーダー モードに設定できます。

表 6-1. リーダー モードの設定

MMD [HEX]	レジスタ [HEX]	値 [HEX]	説明
01	0834	C000	PHY をリーダー モードに設定

6.2 自律モード設定

デフォルトでは、DP83TC1103x-Q1 デバイスはマネージド モードで起動します。PHY は、自律モードに設定できます。

表 6-2. 自律モード設定

MMD [HEX]	レジスタ [HEX]	値 [HEX]	書き込みマスク [HEX]	説明
1F	018B	0040	0040	PHY を自律モードに設定

6.3 MII の構成

DP83TC1103A-Q1 には MII ストラップ オプションはありません。MII は、レジスタの設定で有効にできます。

表 6-3. MII の構成

MMD [HEX]	レジスタ [HEX]	値 [HEX]	説明
1F	0600	0020	RGMII を無効化
1F	0648	0100	RMII を無効化

6.4 SGMII の構成

デフォルトでは、DP83TC1103B-Q1 は、SGMII が無効になっている状態で電源がオンになります。SGMII は、レジスタの設定で有効にする必要があります。

表 6-4. SGMII の構成

MMD [HEX]	レジスタ [HEX]	値 [HEX]	説明
1F	0608	027B	SGMII をイネーブルにします
1F	0600	0020	RGMII を無効化
1F	0648	0100	RMII を無効化

Copyright © 2026 Texas Instruments Incorporated

7 共通回路図

このセクションに含まれる共通回路図は、選択する受動部品を変えることで、DP83TC1103x-Q1 または TJA1103 のいずれかに対応した設計図になります。この回路図は、DP83TC1103x-Q1 PHY のリファレンス回路図としても使用できます。

7.1 DP83TC1103A-Q1 共通回路図

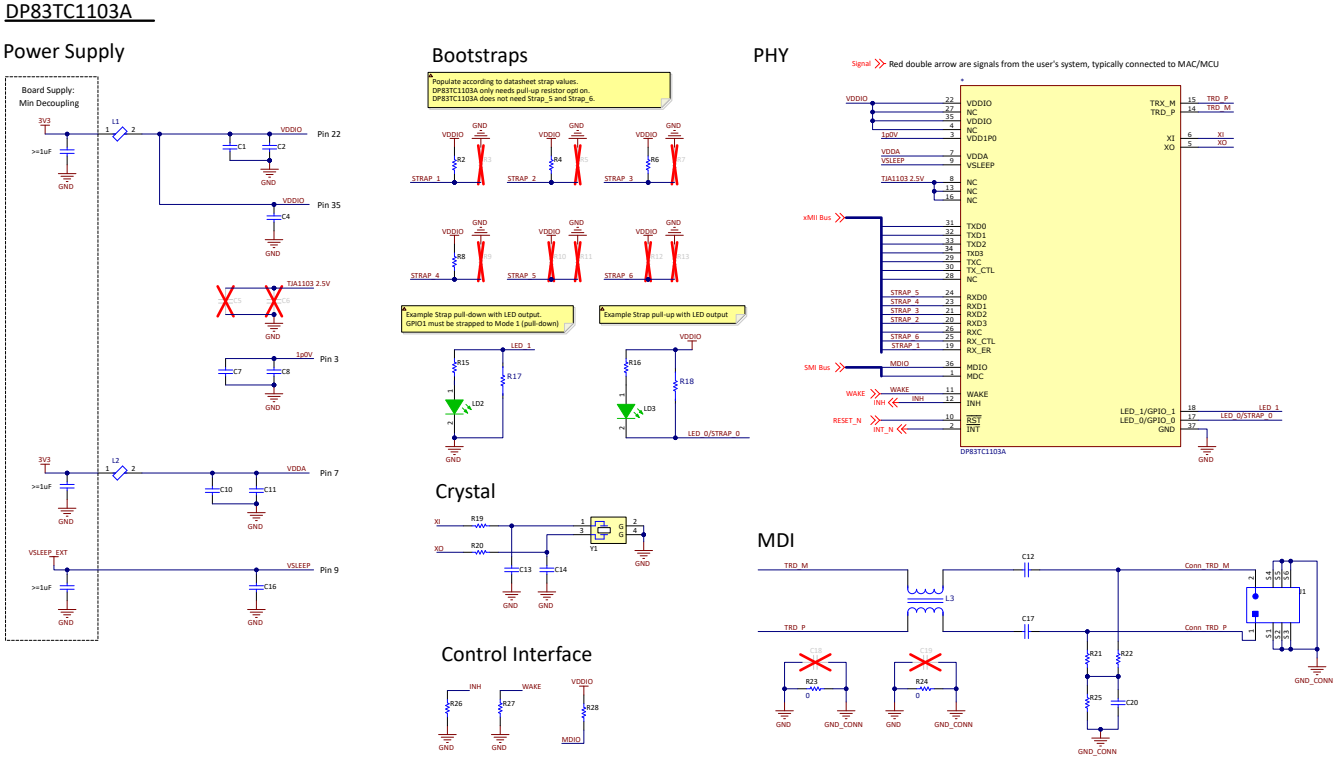

図 7-1. DP83TC1103A-Q1 共通回路図

表 7-1. DP83TC1103A-Q1 共通回路図部品リスト

機能ブロック	参照記号	DP83TC1103A-Q1 部品の値
VDDIO	L1	BLM18KG601SH1D
	C1	470nF
	C2	10nF
	C4	10nF
TJA1103 2.5V	C5	DNP
	C6	DNP
1.0V	C7	2.2µF
	C8	100nF
VDDA	L2	BLM18KG601SH1D
	C10	470nF
	C11	10nF
VSLEEP	C16	100nF
制御インターフェイス	R26	10kΩ
	R27	10kΩ
	R28	2.2kΩ
水晶振動子	R19	100 Ω
	R20	0 Ω

Copyright © 2026 Texas Instruments Incorporated

表 7-1. DP83TC1103A-Q1 共通回路図部品リスト (続き)

機能ブロック	参照記号	DP83TC1103A-Q1 部品の値
MDI	L3	DLW43MH201XK2L、DLW32MH201XK2、AE2002、ACT1210L-201
	C12	0.1µF
	C17	0.1µF
	R21	1kΩ
	R22	1kΩ
	R25	100kΩ
	C20	4.7nF
	C18	DNP
	C19	DNP
	R23	0 Ω
	R24	0 Ω

7.2 DP83TC1103B-Q1 共通回路図

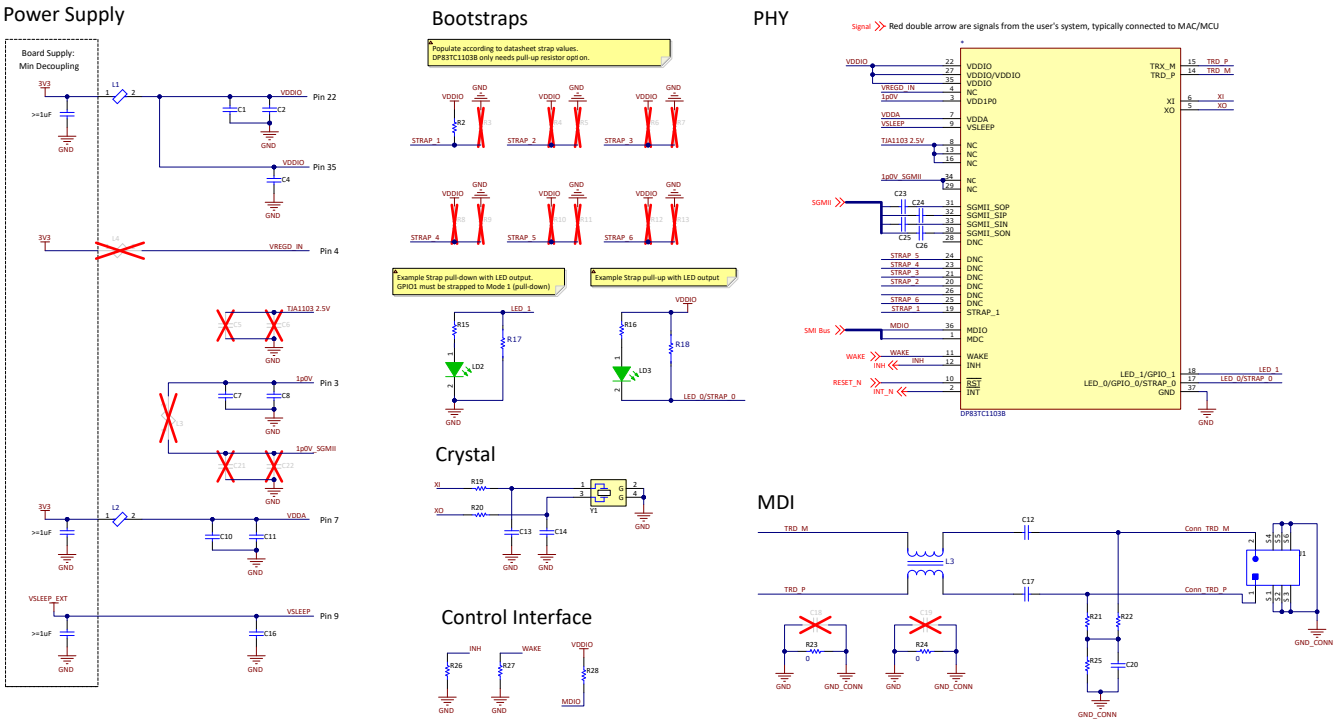

図 7-2. DP83TC1103B-Q1 共通回路図

機能ブロック	参照記号	DP83TC1103B-Q1
VDDIO	L1	BLM18KG601SH1D
	C1	470nF
	C2	10nF
	C4	10nF
TJA1103 2.5V	C5	DNP
	C6	DNP
1.0V	C7	2.2µF
	C8	100nF

Copyright © 2026 Texas Instruments Incorporated

機能ブロック	参照記号	DP83TC1103B-Q1
VDDA	L2	BLM18KG601SH1D
	C10	470nF
	C11	10nF
VSLEEP	C16	100nF
制御インターフェイス	R26	10kΩ
	R27	10kΩ
	R28	2.2kΩ
水晶振動子	R19	100 Ω
	R20	0 Ω
SGMII	C23	0.1µF
	C24	0.1µF
	C25	0.1µF
	C26	0.1µF
MDI	L3	DLW43MH201XK2L、DLW32MH201XK2、AE2002、ACT1210L-201
	C12	0.1µF
	C17	0.1µF
	R21	1kΩ
	R22	1kΩ
	R25	100kΩ
	C20	4.7nF
	C18	DNP
	C19	DNP
	R23	0 Ω
	R24	0 Ω
TJA1103 VREGD	L4	DNP
TJA1103 SGMII 電源	L3	DNP
	C21	DNP
	C22	DNP

Copyright © 2026 Texas Instruments Incorporated

8 まとめ

DP83TC1103x-Q1 PHY は、1 つのボード設計で複数の PHY をサポートできるようにすることで、ソーシングの柔軟性を提供しています。このアプリケーション ノートのリファレンス情報を参考にすることで、設計に DP83TC1103x-Q1 を組み込む方法をすぐに確認することができます。

9 参考資料

- テキサス・インスツルメンツ、「DP83TC1103x-Q1 100Base-T1 車載用イーサネット PHY トランシーバ、IEEE802.1AS および TC10 スリープ - ウェーク付」、データシート。

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月