参考資料

Application Note

DP83Cx トラブルシューティング ガイド

Shane Hauser

概要

DP83C8512/8522/8201F/1111 PHY は堅牢な 10/100Mbps 物理層 (PHY) トランシーバです。このアプリケーション ノートは、設計で DP83C8512/8522/8201F/1111 PHY のトラブルシューティングを支援し、PHY が意図したとおりに動作していない場合に何を確認すべきかを説明するために作成されました。

目次

1 DP83C8512/8522/8201/1111 アプリケーションの概要 2
2 アプリケーションのトラブルシューティング 2
2.1 回路図とレイアウトのチェックアウト 2
2.2 デバイスの正常性チェック 3
2.2.1 電圧チェック 3
2.2.2 RESET_N 信号をプローブします 3
2.2.3 RBIAS と CEXT をプローブします 3
2.2.4 XI クロックをプローブします 5
2.2.5 初期化中にストラップ ピンをプローブします 6
2.2.6 シリアル管理インターフェイス信号のプローブ (MDC、MDIO) 7
2.3 MDI ヘルス チェック 9
2.3.1 磁気部品 9
2.3.2 MDI 信号をプローブします 9
2.3.3 リンク品質チェック 11
2.3.4 コンプライアンス 11
2.4 MII ヘルス チェック 12
2.4.1 MII チェック 12
2.4.2 RMII チェック 14
2.5 ループバックと PRBS 17
2.5.1 ループバック モード 17
2.5.2 MAC とのパケットの送受信 18
2.5.3 BIST を使用してパケットを送受信しています 18
3 まとめ 19
4 参考資料 19

商標

すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

1 DP83C8512/8522/8201/1111 アプリケーションの概要

DP83C8512、DP83C8522、DP83C8201F、および DP83C1111 (以下「DP83CX」) は、小さくて確定的なレイテンシ、低消費電力、10BASE-Te および 100BASE-TX イーサネット プロトコルのサポートにより、リアルタイム産業用イーサネット システムの厳格な要件を満たすことができます。これらのデバイスは、高速なリンクアップ時間を達成するためのハードウェア ブートストラップ、高速リンクドロップ検出モード、システム内の他のモジュールをクロック同期させるための専用基準クロック出力 (CLKOUT) を備えています。

図 1-1 は、代表的な DP83CX のアプリケーションの概略システム ブロック図です。

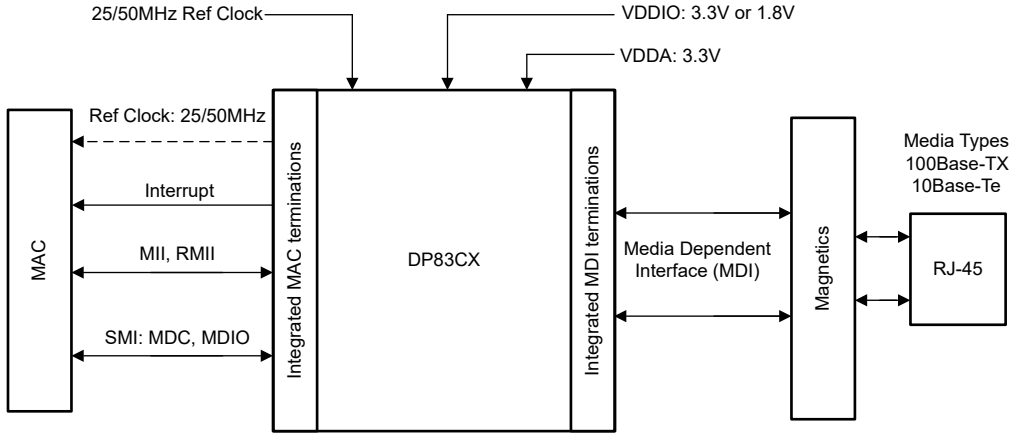


図 1-1. DP83CX のブロック図

DP83CX PHY は、イーサネット MAC とメディアの間を MDI 経由で接続できます。メディアへの接続は通常、磁気素子と RJ-45 などのコネクタを介して行われます。

2 アプリケーションのトラブルシューティング

以下のセクションでは、概要レベルの基本的なチェック アプローチからデバッグをアプローチします。このアプローチは、PHY 設計のサブシステムを分離し、アプリケーションの問題に寄与しているかどうかを確認します。

このドキュメントは、次のような一般的なイーサネットの問題を解決することを目的としています。

- ping ができない
- リンクを取得できない、または間欠的なリンクアップ
- リンクアップしているが、パケット エラーが表示されています
- レジスタにアクセスできません

特に指定のない限り、以下のセクションを順番に見ていくことをお勧めします。

2.1 回路図とレイアウトのチェックアウト

DP83CX 回路図チェックリストは、DP83CX PHY を使用した設計のベスト プラクティスを使いやすい 1 つのドキュメントにまとめたものです。PHY の動作に必要な接続とコンポーネントを詳しく説明するために、このドキュメントを通すことを推奨します。

以下のセクションでは、PHY に電源が供給され、正しく初期化された場合に予想される動作を示します。予期される動作から逸脱した場合、不適切なペリフェラル回路によるエラーが原因である可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.2 デバイスの正常性チェック

このセクションでは、PHY の電源が供給され、正しく初期化されていることを確認するデバイスの状態チェックについて説明します。PHY が次の場合、このセクションはスキップできます。

- リンク パートナーに接続されている場合、またはイーサネット ケーブルが接続されていない場合に FLP 信号を表示する場合、リンクアップ (LED 表示またはレジスタ ステータス)、および
- レジスタ アクセスに応答する (該当する場合)。

2.2.1 電圧チェック

DP83CX PHY には、十分な電力を供給するとともに、このデバイス用に特性評価されている以下のデカップリング方式が必要です。

- レールあたり
  - 1x 10nF、1x 100nF、1x 1uF、1x 10uF

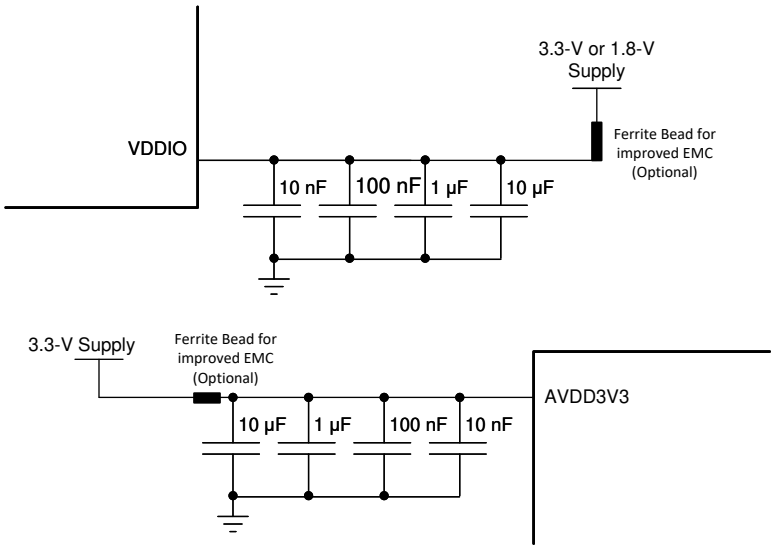


図 2-1. 電源デカップリングに関する推奨事項

デバイスの電源を投入し、ピンにできるだけ近い場所で DC 測定を行います。各測定値が、表 2-1 で定義されている制限範囲内であることを確認します。

表 2-1. 推奨動作条件

	最小値	標準値	最大値	単位
AVDD3V3	3	3.3	3.6	V
VDDIO (3.3V)	3	3.3	3.6	
VDDIO (1.8V)	1.62	1.8	1.98	

2.2.2 RESET_N 信号をプローブします

DP83CX PHY のリセット機能はアクティブ Low です。このピンには弱い内部プルアップ抵抗があり、未接続のままにするか、外部で駆動しない場合にデフォルト状態になります。

コントローラが RESET_N 信号を low に駆動していないことを確認します。そうしないと、デバイスはリセット状態に保持され、レジスタ コマンドに応答せず、リンク アップもしません。

2.2.3 RBIAS と CEXT をプローブします

RBIAS ピンは PHY の動作に重要です。この部品は、デバイス内の内部基準電流を設定するために使用されます。部品選定に関する指針は、RBIAS の許容誤差が 1% である単一の 6.49kΩ 部品です。許容範囲が大きくなる可能性があるため、複数の連続して 1 つの構成部品を使用することをお勧めします。

Copyright © 2026 Texas Instruments Incorporated

適切に電力が供給されれば、電源が立ち上げられてから 0V に戻る前に RBIAS ピンを約 60us にわたってプローブすると、1V の信号が表示されます。デバイスがアクティブの間、CEXT は 1.7V の信号を供給する必要があります。

CH 1 (3.3V 電源) 、CH 2 (CEXT)

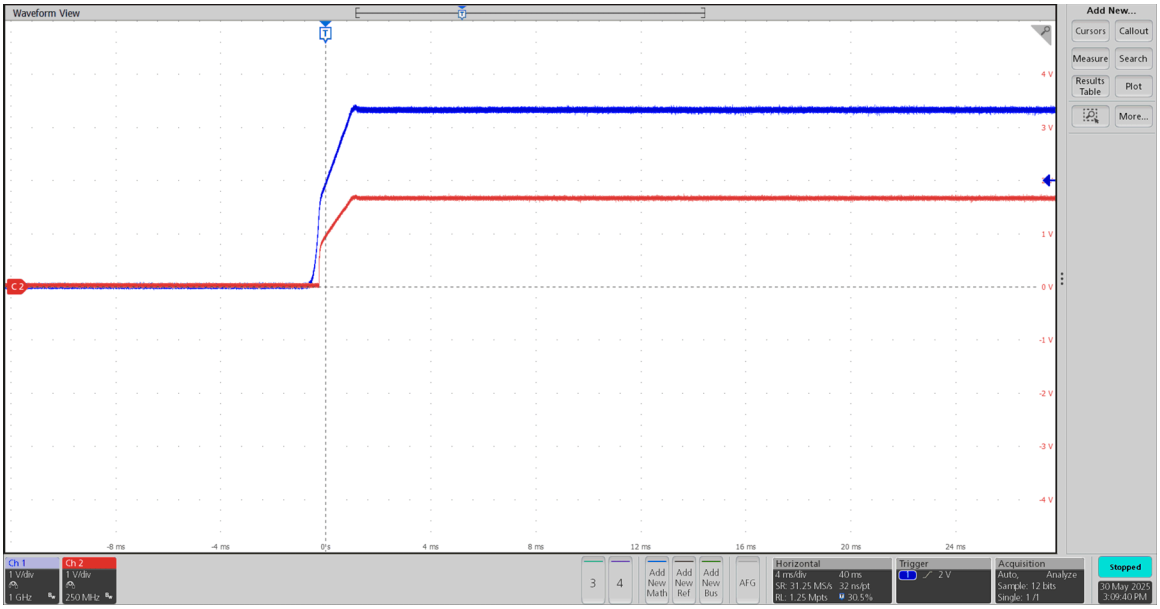


図 2-2. CEXT ランプ

CH 1 (3.3V 電源) 、CH 2 (RBIAS)。トリガー ポイントでパルスを通知します

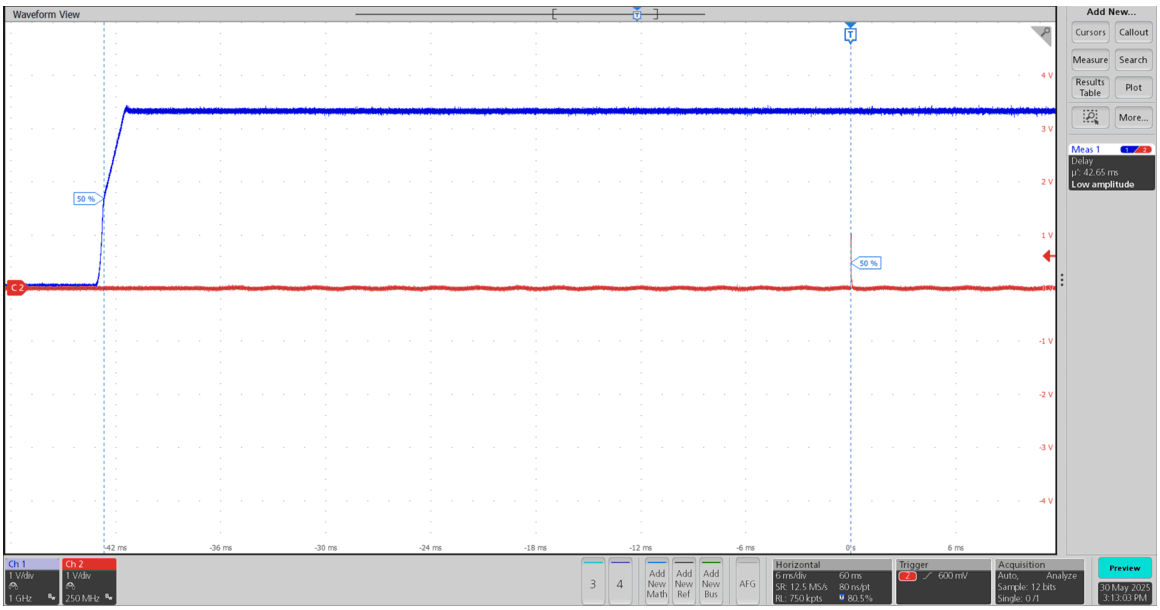


図 2-3. RBIAS パルス遅延と VDDA3V3 ランプとの関係

Copyright © 2026 Texas Instruments Incorporated

CH 1 (3.3V 電源)、CH 2 (RBIAS)

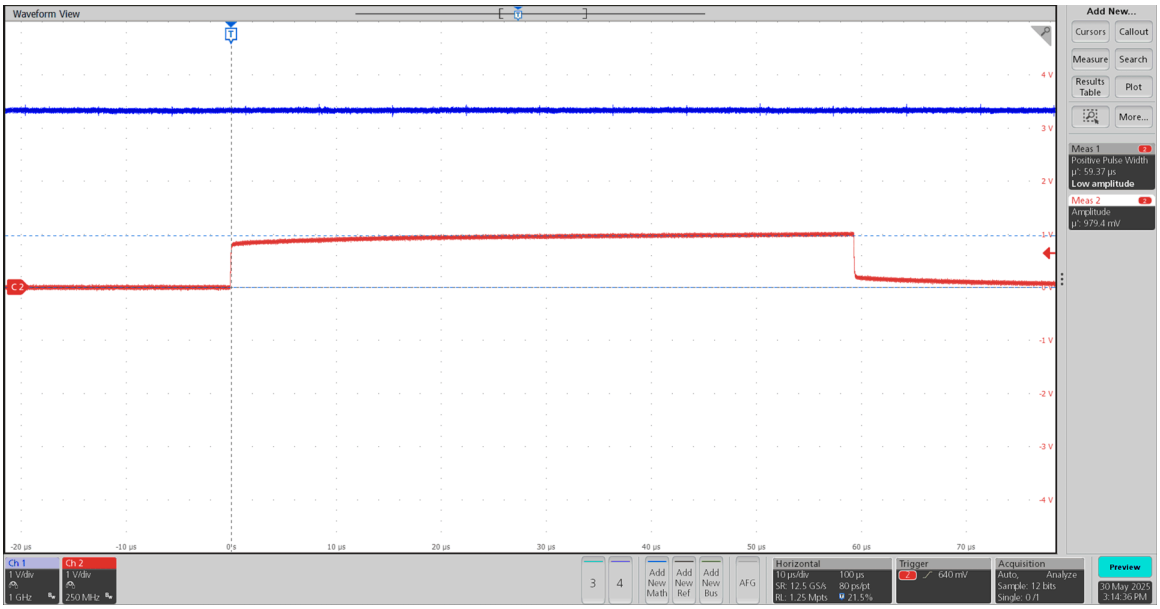


図 2-4. RBIAS パルス幅

2.2.4 XI クロックをプローブします

以下のガイドラインは、適合する水晶振動子の参照用の主な仕様です。

表 2-2. 25MHz 水晶振動子仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度	-100		100	ppm
負荷容量			15	40	pF
ESR				50	Ω

表 2-3. 25MHz 発振器の仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
周波数			25		MHz
周波数の許容誤差	動作温度			±50	ppm
周波数安定性	1 年の経年劣化			±50	ppm
立ち上がり / 立ち下がり時間	20%～80%			5	ns
対称	デューティ サイクル	40%		60%	
ジッタ RMS	積分帯域:12kHz ～ 5MHz			11	ps

周波数とシグナル インテグリティを確認します。リンクの整合性のため、参照クロックは次のものでなければなりません。

- MII および RMII リーダー モード
  - 25MHz ±50ppm
- RMII フォロワ モード
  - 50MHz ±50ppm

水晶振動子をクロックソースとして使用する場合は、CLK_OUT 信号をプローブすることを推奨します。水晶振動子ノードでプローブを行うと、容量性負荷が変化するため、動作周波数が変化することがあります。

Copyright © 2026 Texas Instruments Incorporated

注

水晶振動子ネットワークを使った設計の詳細については、『*テキサス インスツルメンツのイーサネット物理層トランシーバの選択と仕様*』アプリケーション ノートを参照してください。

CLK_OUT のデフォルト信号は、XI リファレンスのバッファ付きバージョンであり、代表的な測定を行います。ストラップのために CLK_OUT が利用できない場合、または予期せず存在しない場合、XI ピンをプローブする必要がありますが、結果を軽く取る必要があります。

2.2.5 初期化中にストラップ ピンをプローブします

PHY には、あらかじめ設定されたモードに本デバイスを構成するためのストラップ ピンがあります。これらのピンの電圧は、デバイスが一方のモードにあるかどうかを決定する唯一の要因です。

ストラップに対するサンプリング時間中の期待値は、外部ストラップ ネットワーク (該当する場合は PU または PD 抵抗で構成) と、内部抵抗により、PHY がサンプリングする分圧器が形成されることです。この回路で設定される DC バイアスに影響を与える必要は、ライン上の他の部品はありません。

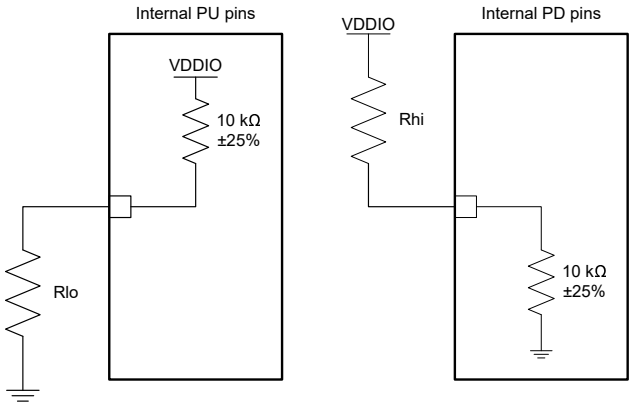


図 2-5. ストラップ回路

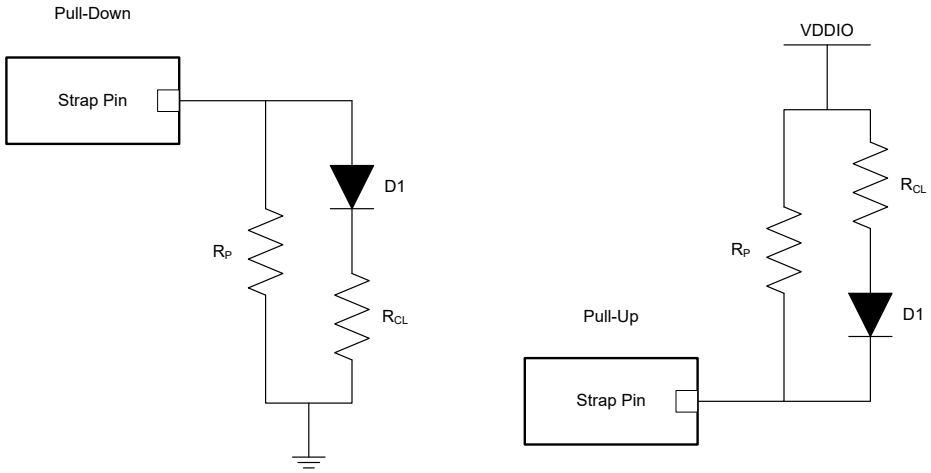


図 2-6. LED ストラップ回路

ただし、場合によっては、ボード上の他のデバイス (MAC など) がこれらのピンを予期せずプルまたは駆動することがあります。ストラップ値はレジスタから読み出すことができます。値は Reg 0x0467 (SOR1) および Reg 0x0468 (SOR2) で使用できます。問題にパワー サイクルの依存性が存在する場合、ストラップは限界になり、これらのレジスタに対してサイクルを繰り返して、PHY が意図しない状態にストラップされているかどうかを判定できます。

測定は、電源オン時および電源オン後に、RESET_N 信号がアサートされているときに行うことができます。

Copyright © 2026 Texas Instruments Incorporated

2.2.6 シリアル管理インターフェイス信号のプローブ (MDC、MDIO)

2.2.6.1 レジスタ値の読み出しと確認

必要に応じて、ステーション管理インターフェイスは、デバッグ中に重要なステータスフィールドを提供するのに役立ちます。ただし、この通信が正確であることを確認して、複合的な問題を回避してください。このピンは PHY のオープンドレインであるため、MDIO に VDDIO へのプルアップ抵抗が接続されていることを確認します。アイドル時は、電圧を VDDIO にする必要があります。SMI アクセスが次の順序に従っていることを確認します。

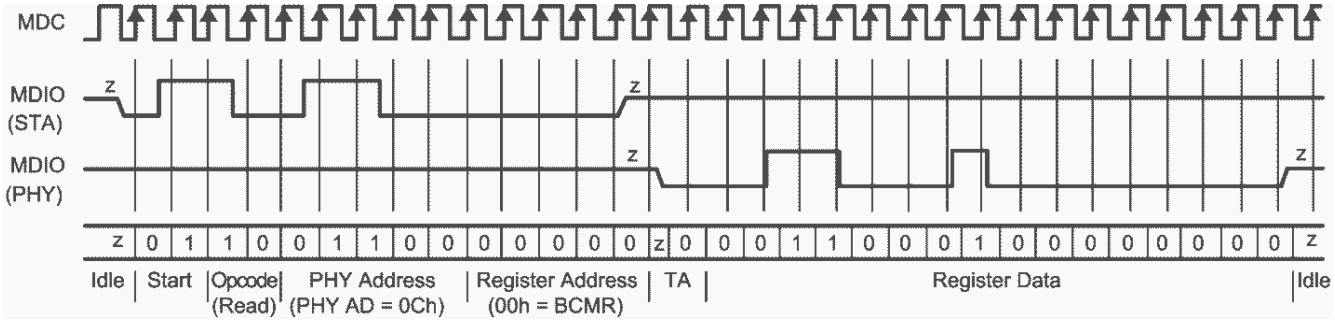


図 2-7. SMI 読み取り動作

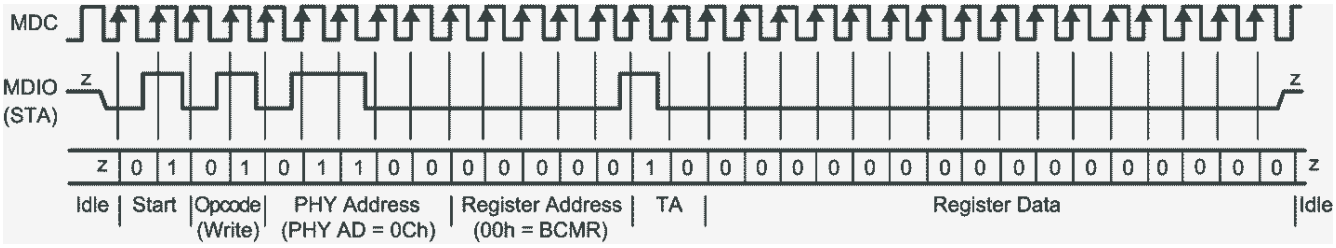


図 2-8. SMI 書き込み動作

レジスタを読み出し、データシートに示されているデフォルト値を確認します。一部のレジスタは、ストラップ オプションによって異なる場合があることに注意します。表 2-4 に、PHY の動作と、オートネゴシエーションがイネーブルの場合の 10/100Mbps のリンクに対して予測されるレジスタ値を示します。

表 2-4. レジスタ値基準

レジスタ アドレス	レジスタ値		コメント
	10Mbps	100Mbps	
0x0000	3100		オートネゴシエーション制御、MII ループバック
0x0001	786D		リンク ステータス
0x0010	4717 または 0017	4715 または 0715	PHY のステータス
0x0011	0108		PWDN/INT
0x0015	0000		RX エラー カウンタ

PHY が所定の速度でリンクされている場合は、これらの値を参考にして、予想される動作との差異を特定します。すべてのレジスタを必ずしも同じにする必要はありません。たとえば、レジスタ 0x0001 の値は、PHY がリンクアップされているかどうかによって異なります。

例:PHY に 10Mbps で電源を供給しリンクした後、レジスタ 0x10 はレジスタ 0x17 で読み出されます。ビット [4、2、1、0] が high であることを意味します。これらのビットは、オートネゴシエーションが完了し、全二重、10Mbps モードで有効なリンクが確立されていることを示しています。

表 2-4 に示されている期待値と異なる値についてこのプロセスを繰り返すことで、問題が発生した場合に PHY の正確な状態を診断できます。

English Document: SDAA449
Copyright © 2026 Texas Instruments Incorporated

2.2.6.1.1 拡張レジスタ アクセス

```
Write procedure for MMD 1F registers:
write reg<000D> = 0x001F
write reg<000E> = <address>
write reg<000D> = 0x401F
write reg<000E> = <value>
Read procedure for MMD 1F registers:
write reg<000D> = 0x001F
write reg<000E> = <address>
write reg<000D> = 0x401F
read reg<000E>
```

拡張レジスタ空間でレジスタを読み書きするには、以下の手順を参照してください。

注

以前の書き込みおよび読み取り手順は、アドレスが 0x0 ～ 0x1F 以外のレジスタに使用されますが、一般的な任意のアドレスに使用できます

Copyright © 2026 Texas Instruments Incorporated

2.3 MDI ヘルス チェック

このセクションでは、MDI デバイス セクションが正しく動作していることを確認するデバイスのヘルス チェックについて説明します。PHY が次の場合、このセクションはスキップできます。

- デバイスを介してトラフィックを送信するときに、Reg 0x15 を介してリンクアップされ、パケット エラーが報告されません

2.3.1 磁気部品

以下のガイドラインは、互換性のある磁気素子を参照するための主な仕様を示しています。

表 2-5. 磁気絶縁の要件

パラメータ	テスト条件	標準値	単位
巻線比	公差 ±2%	1:1	-
挿入損失	1 ～ 100MHz	-1	dB
リターン ロス	1 ～ 30MHz	-16	dB
	30 ～ 60MHz	-12	dB
	60 ～ 80MHz	-10	dB
差動と同相モードの除去比	1 ～ 50MHz	-30	dB
	50 ～ 150MHz	-20	dB
クロストーク	30MHz	-35	dB
	60MHz	-30	dB
絶縁	HPOT	1500	Vrms

これらの正確な要件を満たすことができない場合は、次のような手当を行うことができます。

- 巻数比
  - 2% で設計されていますが、3% も許容されます。
- インダクタンス
  - 大きいインダクタンスを推奨します。通常の数は 350µH の周りにあります。
- 挿入損失
  - データシートに記載されている各範囲で、指定された値に比べて、可能な限り 0dB に近い値です。仕様が標準値として -1dB である場合は、-1dB、-0.9dB などを持つコンポーネントを見つけることをお勧めします。
- リターン ロス
  - または、データシートに規定されている振幅より低い値です。標準仕様で -16dB が指定されている場合は、-16dB、-17dB などのコンポーネントを見つけることをお勧めします。

2.3.2 MDI 信号をプローブします

デフォルト設定では、オートネゴシエーションと Auto-MDIX を有効にできます。リンク パルスはチャネル送信 (TD_P、TD_M) で確認できる必要があり、受信ペア (RD_P、RD_M) に切り替えることもあります。MDI に設定されている場合、このパルスは送信ペアでのみ使用可能ですが、MDI-X に設定されている場合、これは受信ペアでのみ使用可能です。

MDI 信号の測定には、100Ω の差動で終端された短いイーサネット ケーブルを使用する必要があります。図 2-9 に、終端ケーブルを示します。図 2-10 に、終端ケーブルを使用して測定を行うための接続図を示します。

Copyright © 2026 Texas Instruments Incorporated

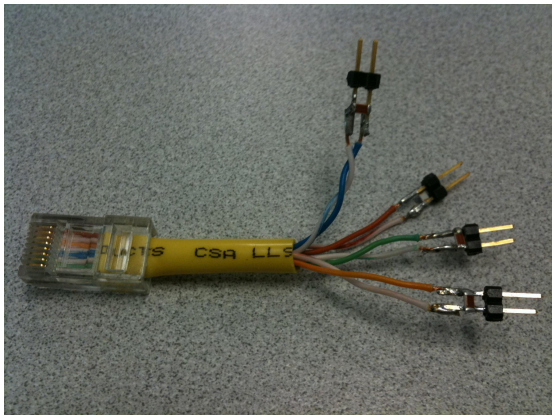


図 2-9. MDI 信号測定用の 100Ω 終端ケーブル

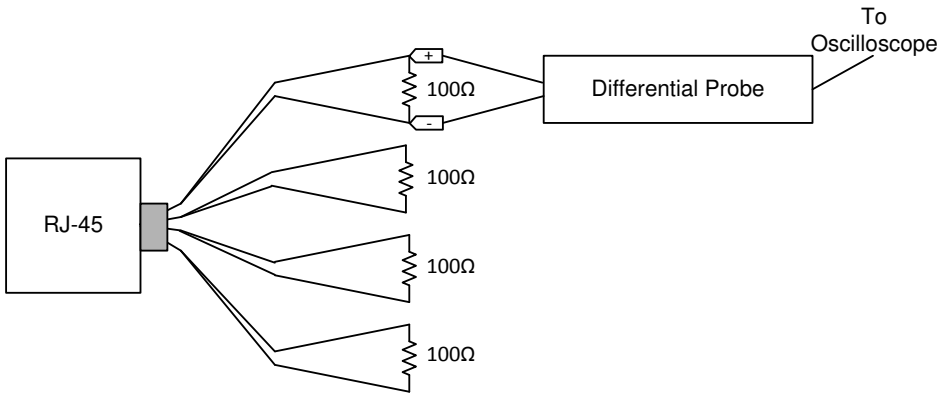


図 2-10. 100M 終端ケーブルの接続図

オートネゴテーション リンク パルスの幅は公称 100ns です。パルスは 62µs または 125µs によって間隔が空けられ、バースト形式で送信されます。バーストは通常 2ms の持続時間で、16ms ごとに発生します。図 2-11 に、リンク パルスを示します。

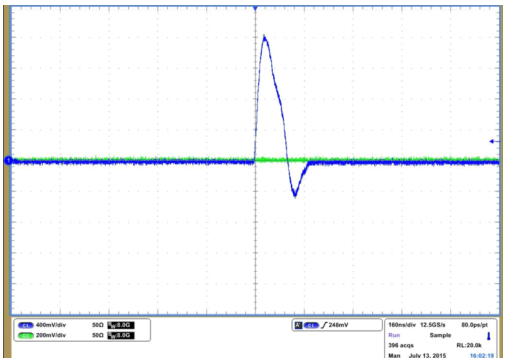


図 2-11. リンク パルス

Copyright © 2026 Texas Instruments Incorporated

2.3.3 リンク品質チェック

有効なリンクを確立し、キー ステータス レジスタの値を確認し、リンク LED が点灯していることを視覚的に確認したら、次のデータ転送デバッグ手順で MAC インターフェイスをチェックします。

リンクの問題の原因として考えられるものがいくつかあります。

1. リンク パートナーの送信に問題があります
2. ケーブルの長さと品質
3. 25MHz リファレンス クロックのクロック品質
4. MDI 信号品質

PHY に電力が供給され、リンク パートナーに接続されている状態では、以下のレジスタをから読み取り、リンクの状態を判定できます。

表 2-6. リンク品質 MSE レジスタ

チャネル	レジスタ アドレス
A	0x225

特定のチャネルについては、レジスタ値を読み出して MSE (平均二乗誤差) を決定し、10 進数に変換してから、表 2-7 を参照してリンク品質を決定します。

$$SNR\left(dB\right) = 10\log\left(0.5\right) - 10\log\left(\frac{MSE}{2^{17}}\right)$$

表 2-7. リンク品質範囲

リンクの品質	SNR 範囲
非常に良好	SNR > 22dB
良	19.5dB < SNR < 22dB
不良	SNR < 19.5dB

2.3.4 コンプライアンス

IEEE 準拠測定は、信号特性を検証するために行うことができます。これらの測定の詳細と構成の適切な方法については、アプリケーション ノート『*イーサネット コンプライアンス テスト用に DP8382x を設定する方法*』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

2.4 MII ヘルス チェック

このセクションでは、デバイスの MII セクションが正しく動作していることを確認するデバイスのヘルス チェックについて説明します。

2.4.1 MII チェック

メディア独立インターフェース (MII) は、PHY を MAC に接続する同期 4 ビット幅ニブル データ インターフェイスです。MII は IEEE 802.3-2002 条項 22 に完全準拠しています。MII 信号の概要は以下の通りです。

表 2-8. MII の信号

機能	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
信号の送受信	TX_EN
	RX_DV
ライン ステータス信号	CRS
	COL
エラー信号	RX_ER

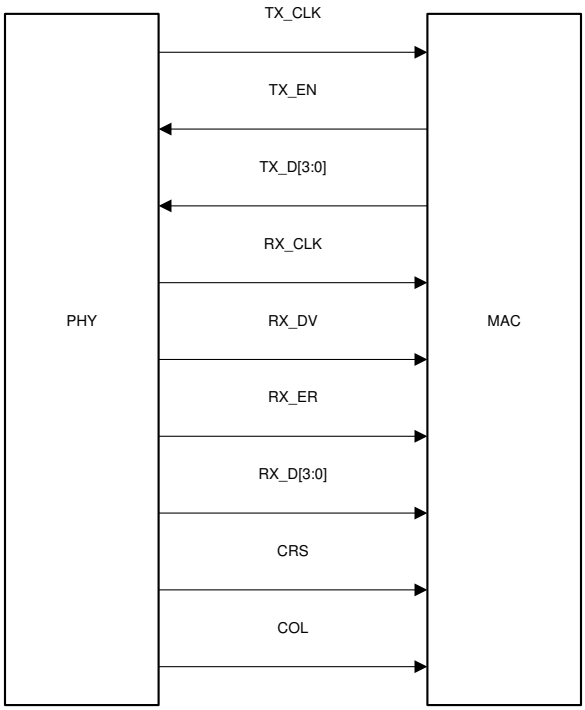


図 2-12. MII シグナリング

以下の波形を参照して、100BASE-Tx MII モードで予想される MAC データおよびクロック信号を確認してください。表 2-9 に、波形に示されているデータシートから取得された仕様を示します。PHY が 10Mbps でリンクされていない場合、またはリンクされていない場合は MII 信号を 2.5MHz である必要があり、100Mbps でリンクされている場合は 25MHz である必要があります。TX_CLK と RX_CLK はどちらも PHY の出力であることに注意してください。

MAC バス (TX または RX) に問題があると思われる場合は、トレースのレシーバ側のラインを調べ、レシーバのセットアップ時間とホールド時間が VIH/VIL と一致することを確認します。これらの仕様に違反する典型的な症状は、PHY がクリーン トラフィックを示している間に MAC でパケット エラーが発生することです (Reg 0x15)。

表 2-9. 100m MII 受信タイミング

テスト条件	最小値	標準値	最大値	単位
RX_CLK High / Low 時間	16	20	24	ns

Copyright © 2026 Texas Instruments Incorporated

表 2-9. 100m MII 受信タイミング (続き)

テスト条件	最小値	標準値	最大値	単位
RX_CLK 立ち上がりからの RX_D[3:0]、RX_ER、RX_DV の遅延	20		28	ns

表 2-10. 100m MII 送信タイミング

テスト条件	最小値	標準値	最大値	単位
TX_CLK High / Low 時間	16	20	24	ns
TX_CLK までの TX_D[3:0]、TX_ER、TX_EN のセットアップ	10			ns
TX_CLK からの TX_D[3:0]、TX_ER、TX_EN のホールド	0			ns

表 2-11. 10m MII 受信タイミング

テスト条件	最小値	標準値	最大値	単位
RX_CLK High / Low 時間	160	200	240	ns
RX_CLK 立ち上がりからの RX_D[3:0]、RX_ER、RX_DV の遅延	100		300	ns

表 2-12. 10M MII 送信タイミング

テスト条件	最小値	標準値	最大値	単位
TX_CLK High / Low 時間	190	200	240	ns
TX_CLK までの TX_D[3:0]、TX_ER、TX_EN のセットアップ	25			ns
TX_CLK からの TX_D[3:0]、TX_ER、TX_EN のホールド	0			ns

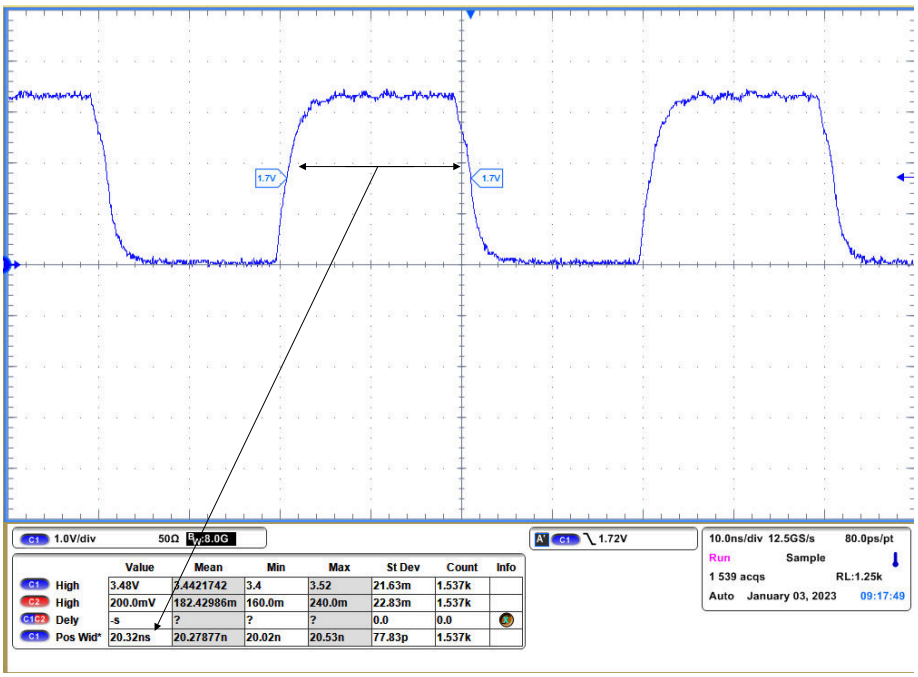


図 2-13. 100M RX_CLK High 時間

Copyright © 2026 Texas Instruments Incorporated

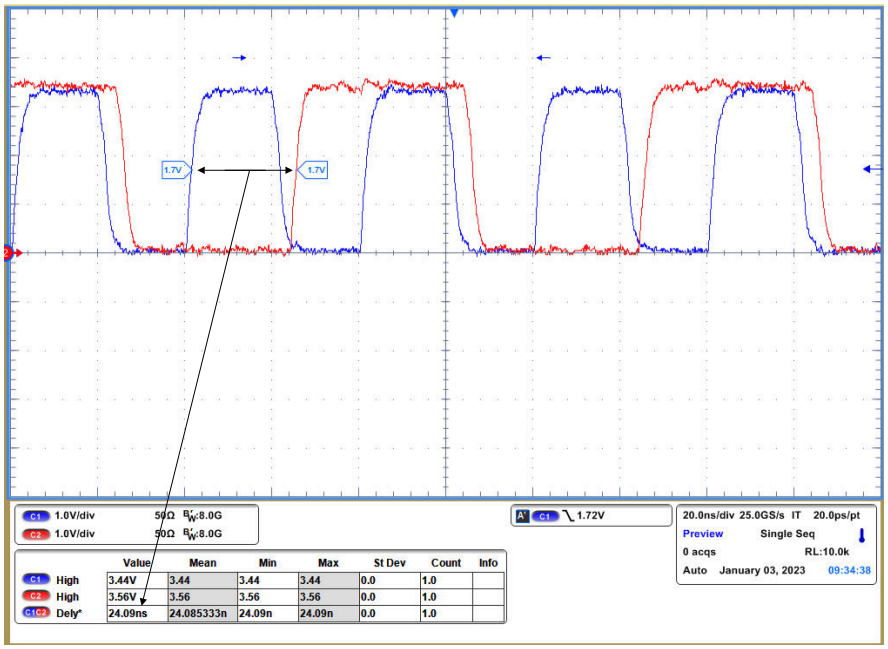


図 2-14. RX_CLK 立ち上がりからの 100M RX_D1 の遅延

2.4.2 RMII チェック

RMII 仕様 v1.2 で指定されているように、Reduced Media Independent Interface は、IEEE 802.3 条項 22 で規定されている MII のピン数を削減した代替手段を提供します。アーキテクチャとしては、RMII 仕様は MII の両側に追加の整合レイヤを提供しますが、MII がない場合に実装できます。

RMII リーダー動作では、PHY は、XI ピンに接続された 25MHz CMOS レベル発振器、または、XI ピンと XO ピンの間に接続された 25MHz 水晶振動子のいずれかで動作します。PHY から、基準となる 50MHz 出力クロックを MAC に接続する必要があります。

RMII フォロワ動作では、PHY は XI ピンに接続された 50MHz CMOS レベル発振器で動作し、MAC と同じクロックを共有します。または、ホスト MAC から供給される 50MHz クロックを使用して PHY を動作させることもできます。

RMII 仕様には、次の特性があります。

- 100BASE-TX および 10BASE-Te のサポート
- MAC から PHY (または外部ソース) に供給される単一のクロック リファレンス
- 独立した 2 ビット幅の送受信データ パスを提供
- MII インターフェイスと同じレベルの CMOS 信号レベルを使用

このモードでは、送信パスと受信パスの両方の内部 50MHz 基準クロックを使用し、データ転送はクロック サイクルごとに 2 ビットです。RMII 信号の概要は以下の通りです。

表 2-13. RMII の信号

FUNCTION	ピン
受信データ ライン	TX_D[1:0]
送信データ ライン	RX_D[1:0]
受信制御信号	TX_EN
送信制御信号	CRS_DV

Copyright © 2026 Texas Instruments Incorporated

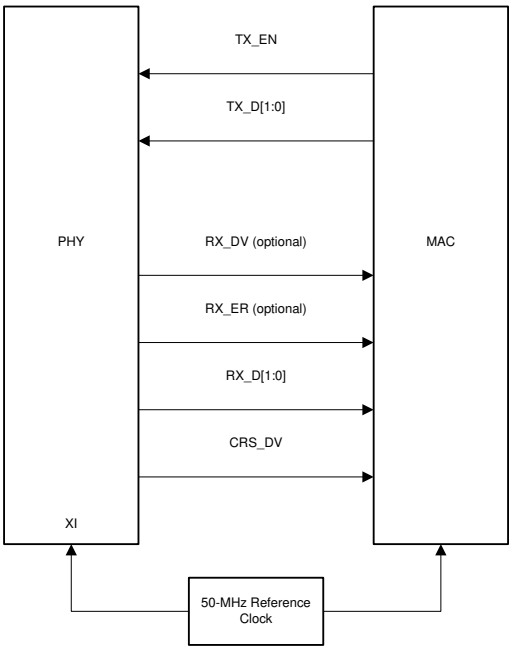


図 2-15. RMII フォロワー信号 — MAC フォロワの構成

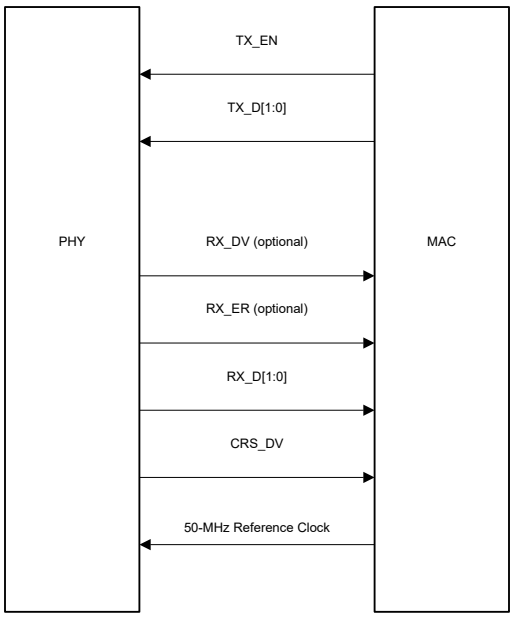


図 2-16. RMII フォロワー信号 — MAC リーダ設定

Copyright © 2026 Texas Instruments Incorporated

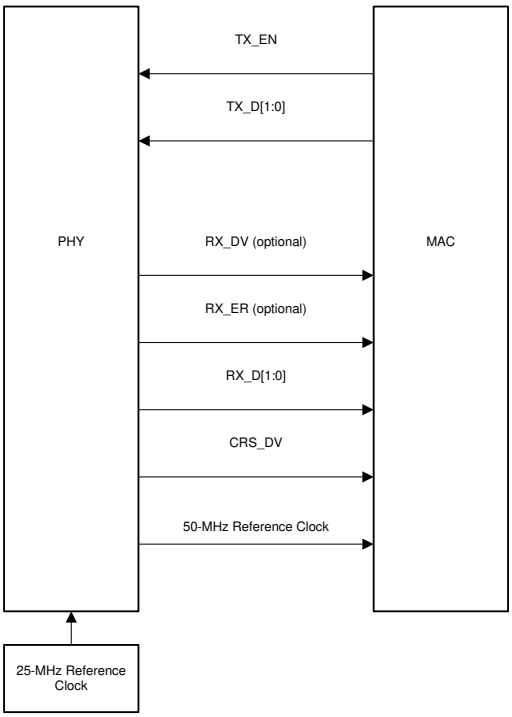


図 2-17. RMII リーダー信号

TX_D[1:0] のデータは、RMII リーダー モードとフォロワ モードでは、50MHz クロックを基準にして PHY でラッチされます。RX_D[1:0] のデータは、50MHz クロックを基準として提供されます。また、CRX_DV は RX_DV 信号として構成できます。これにより、受信データを簡単に回復でき、RX_DV を CRS_DV 表示から分離する必要もありません。

CH 1 (RMII 50MHz クロック)、CH 2 (RX_D0)

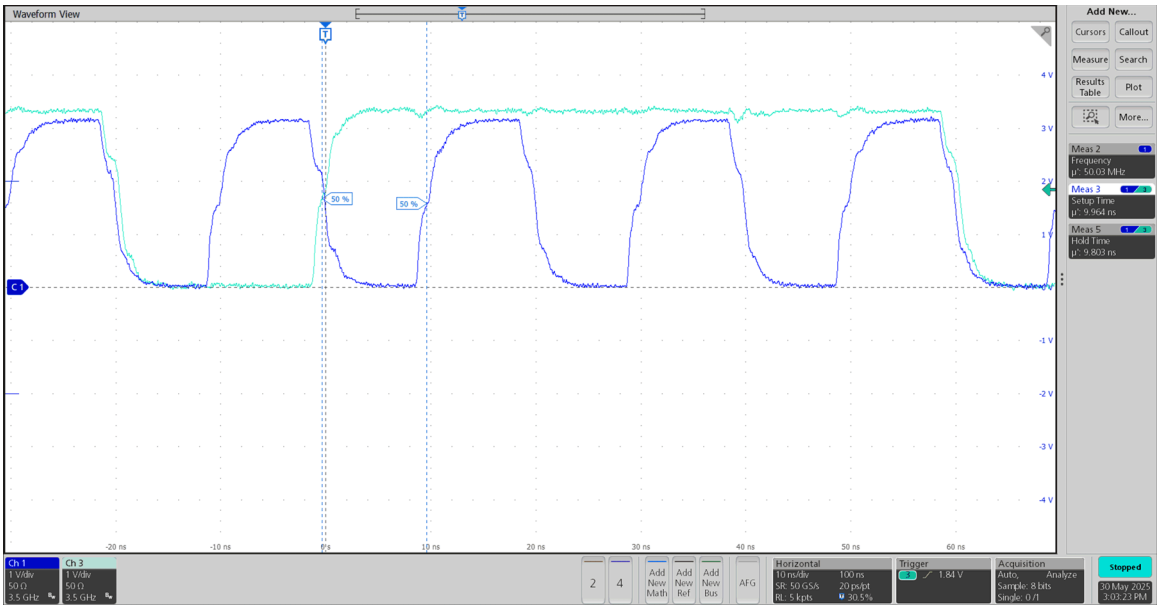


図 2-18. RMII クロックおよびデータ

Copyright © 2026 Texas Instruments Incorporated

2.5 ループバックと PRBS

2.5.1 ループバック モード

PHY 内の各種機能ブロックをテストおよび検証するループバックの複数オプションがあります。ループバック モードを有効化すると、MII および MDI データ パスのインサーキット テストが可能となります。PHY は、ニアエンド ループバック モードのいずれか、またはファー エンド (リバース) ループバックのいずれかに構成できます。

MII ループバックは、BMCR (Reg 0x0) を使って設定されます。その他のすべてのループバック モードは、BISCR (Reg 0x16) を使用して有効化します。ループバック モードはすべての速度 (10/100) およびすべての MAC インターフェイスでサポートされています。

図 2-19 に、各ループバック モードを検証するために使用できる各種データ パスを示します。

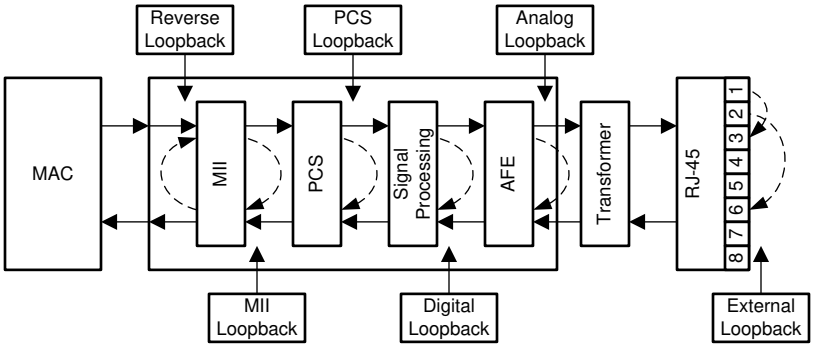
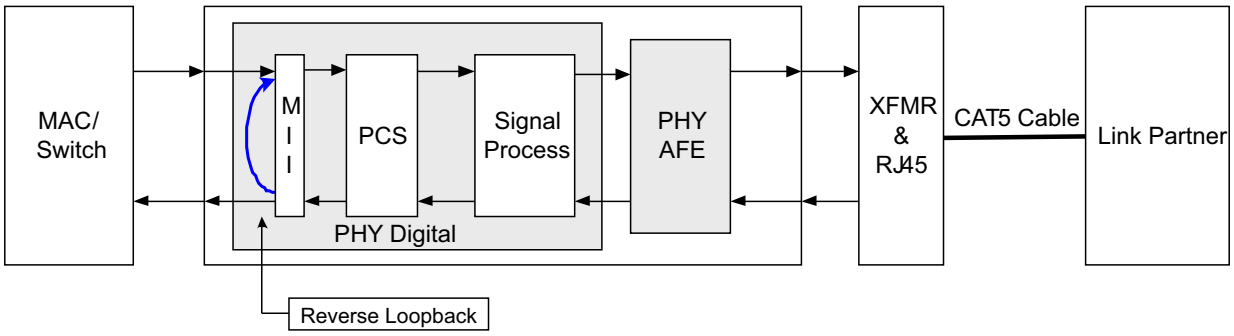


図 2-19. ループバック モードのブロック図



Copyright © 2016, Texas Instruments Incorporated

図 2-20. 逆方向ループバック モードのブロック図

アナログ ループバックは通常、PHY の内部データ パスの完全な検証に使用されるのに対し、リバース ループバックは、リンク パートナーとともに使用して MDI 上のデータ パスを検証します。

```
// Digital Loopback

begin
0000 2100 //Disables Auto-Neg, Selects 100 Mbps
0016 0104 //Select Digital Loopback
0122 2000 //This helps PRBS LOCK
0123 2000 //This helps PRBS LOCK
0130 47FF //This helps PRBS LOCK
001F 4000 //Soft Reset
end
```

```
// Reverse Loopback

begin
0016 0110 //Select Digital Loopback
```


Copyright © 2026 Texas Instruments Incorporated

```
001F 4000 //Soft Reset
end
```

2.5.2 MAC とのパケットの送受信

MAC を使用してパケットを生成およびチェックできる場合、および PHY にリバース ループバック機能を備えた現用リンク パートナーがある場合は、次のように完全なデータパスを確認します。

1. 電源を供給し、PHY を MAC とワーキング リンク パートナーに接続します。
2. リンク パートナーの逆ループバックを有効化します (DP83CX リンク パートナーの場合、0x16 を 0010 に書き込みます)。
3. MAC から PHY にテスト パケットを送信します。
4. MAC が同じテスト パケットを受信することを確認します。

MAC が同じテスト パケットを問題なく受信した場合、MAC → PHY → MDI を経由するフル データ パスが有効になります。このテストに合格しない場合は、MII ループバックを実行して、データ パスに沿って問題を切り分けます。

1. 電源を入れ、PHY を MAC に接続します。
2. PHY の MII ループバックをイネーブルします (レジスタ 0x0[14] =「1」を書き込みます)。
3. MAC から PHY にテスト パケットを送信します。
4. MAC が同じテスト パケットを受信することを確認します。

MAC が同じテスト パケットを受信すると、MAC → PHY を経由するデータ パスが有効であり、問題が MDI データ パスに分離されています。このテストに合格しない場合、問題は MAC インターフェイスまたは内部データ パス上にある可能性があります。MAC インターフェイスを確認するには、『MAC インターフェイスのデバッグ』を参照してください。内部データ パスを確認するには、次のスクリプトを使用して、アナログ ループバックで PRBS を実行します。

2.5.3 BIST を使用してパケットを送受信しています

本デバイスは、内部 PRBS 内蔵セルフテスト (BIST) 回路を備えており、インサーキット テストまたは診断に適しています。BIST 回路を使用して、送信および受信データ パスの整合性をテストできます。BIST は、さまざまなループバック モードを使用して実行でき、データ パスの特定の部分に問題を切り分けることができます。BIST は、可変コンテンツと IPG を含むパケット化されたデータを生成します。

MAC でパケットを生成および確認できない場合は、PRBS パケット生成およびチェック機能を使用してデータパスを確認します。

PRBS および現用リンク パートナーでリバースループバックを実行するには、次の手順を実行します。

1. PHY に電源を供給し、リンク パートナーに接続します。
2. PHY で PRBS パケット生成をイネーブルします (レジスタ 0x16 から 5000 を書き込みます)。
3. リンク パートナーの逆ループバックを有効化します (DP83CX リンク パートナーの場合、レジスタ 0x16 を 0010 に書き込みます)。
4. 少なくとも 1 秒待ってから、PHY の PRBS ロック ステータスを確認します (レジスタ 0x16[11:10] を読み出します)。

レジスタ 0x16[11] が high の場合、PHY → MDI を経由するデータ パスが有効です。このテストに合格しない場合は、PHY の内部データパスまたは MDI に問題がある可能性があります。内部データ パスを確認するには、次のスクリプトを使用して、アナログ ループバックで PRBS を実行します。内部データパスが有効である場合、問題は MDI に切り分けられます (リンク パートナーが動作していると仮定します)。

以下に、100Mbps のアナログ ループバックによる BIST を実行するためのレジスタ読み取り/書き込みシーケンスの例を示します。

```
// Analog Loopback
begin
0000 2100 //Disables Auto-Neg, Selects 100 Mbps
0016 0108 //Select Analog Loopback
030B 3380 //This helps PRBS LOCK
001F 4000 //Soft Reset
```


Copyright © 2026 Texas Instruments Incorporated

```
0010      // LSB '5' expected.

0016 3108 //Enables PRBS Checker Config & Packet Generation Enable
          //After you write '3108' the register should Read 3b04. (Bit 11 & 9 go high)
001B 807D //Lock Error Counter's Value
001B
end
```

```
//DP83CX Digital Loopback 100Mbps PRBS Packet Generator
begin

0000 2100 //Disable Auto Negotiation and Chooses 100 Mbps
0016 0104 //Enable Digital Loopback
0122 2000
0123 2000
0130 47FF
001F 4000 //Soft Reset

0010      //Bit 0 = '1' confirms Link (No Link expected for 10 Mbps)
          //Bit 1 = '0' confirms 100 Mbps Speed

0016 3104 //Enables PRBS Checker Config & Packet Generation Enable
          //After you write '3104' the register should Read 3b04. (Bit 11 & 9 go high)
001B 807D //Lock Error Counter's Value
001B
end
```

注

ベスト プラクティスは、デバッグの各スクリプトの先頭にハードリセット (Reg 0x0[15]) を含めて、以前の設定が結果に影響を与えないようにすることです。

3 まとめ

このアプリケーション ノートでは、新しいアプリケーションを評価し、予想される機能を確認するための推奨フローを紹介します。ステップバイステップの推奨事項を活用すると、DP83CX PHY を使用した設計のボード立ち上げと初期評価を容易に実施できます。

4 参考資料

- テキサス インスツルメンツ、『*イーサネット準拠テスト用に DP8382x を構成する方法*』アプリケーション ノート。
- テキサス インスツルメンツ、『*IEEE イーサネット準拠テストの合格方法*』アプリケーション ノート。

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月