# マッチングされた N-JFET を使用した、3 線式 RTD 測定での導線抵抗の相殺

**John Caldwell**
Technologist, linear amplifiers

3 線式センシングは、センサのインピーダンスがセンサに接続するリード線と同程度である場合のセンサ インターフェイスに対する一般的なアプローチです。このようなセンサの一般的な例に、測温抵抗体 (RTD) があります。Pt100 RTD の抵抗値は 0℃で 100Ω です。導線抵抗が 1Ω であっても、測定温度に 2.5℃ を超える誤差が発生する可能性があります。3 線式測定では、マッチングされた電流源を使用して、センサ接続リードの両端での電圧降下が等しくなるようにして、測定から除外できるようにします。

マッチングされた 2 つの電流源を作成するシンプルで低コストなアプローチとして、モノリシックなデュアル N チャネル JFET である **JFE2325** と抵抗 2 個を使用した 3 線式レシオメトリック RTD 測定回路を**図 1** に示します。このソリューションは、電源電圧が比較的低い場合でも動作できます。適切に動作させるには、JFET 電流源回路の両端の電圧降下が JFET のピンチオフ電圧 (JFE2325 の場合は 1.08V) を上回る必要があります。

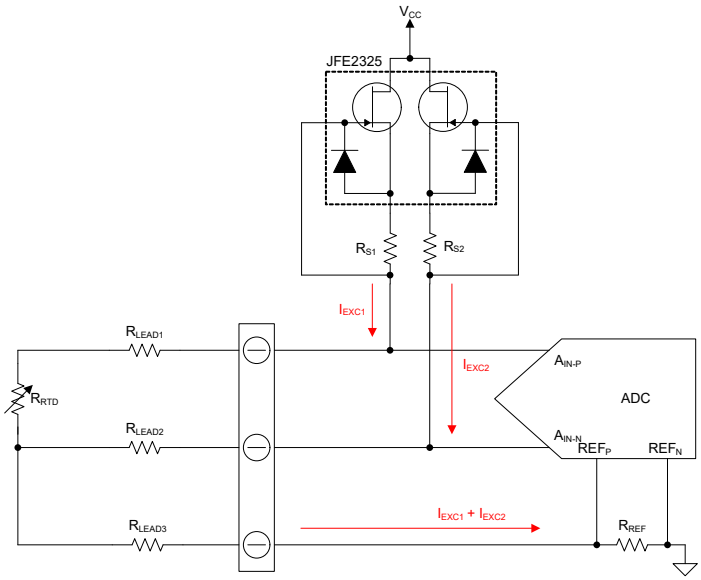



***図 1.*** *JFE2325 デュアル JFET をマッチングされた電流源として使用した 3 線式レシオメトリック RTD 測定*

ADC の各入力における電圧の計算式を使用すると、3 線式アプローチの利点を理解することができます。

$$V_{AIN-P} = I_{EXC1}(R_{LEAD1} + R_{RTD}) + (I_{EXC1} + I_{EXC2})(R_{LEAD3} + R_{REF}) \quad (1)$$

$$V_{AIN-N} = I_{EXC2}(R_{LEAD2}) + (I_{EXC1} + I_{EXC2})(R_{LEAD3} + R_{REF}) \quad (2)$$

$R_{LEAD1} = R_{LEAD2} = R_{LEAD}$、$I_{EXC1} = I_{EXC2} = I_{EXC}$ の場合、ADC が検出する作動入力電圧は、**式 3** に簡略化できます。

$$V_{ADC} = V_{AIN-P} - V_{AIN-N} = I_{EXC}(R_{LEAD} + R_{RTD}) + 2I_{EXC}(R_{LEAD3} + R_{REF}) - I_{EXC}R_{LEAD} - 2I_{EXC}(R_{LEAD3} + R_{REF}) = I_{EXC}R_{RTD} \quad (3)$$

3 番目の導線と基準抵抗の両端での電圧降下は、両方の ADC 入力に共通であるため、除去されます。

最後に、測定はレシオメトリックであるため、励起電流の絶対値と温度範囲全体での安定性は、2 つの電流源間でのマッチングほど重要ではありません。ADC 出力は、**式 4** に示すように、RTD 抵抗と基準抵抗の比のみで決定されます。

$$\text{Output Code} = 2^{n-1} \times \frac{V_{RTD}}{V_{REF}} = 2^{n-1} \times \frac{I_{EXC}R_{RTD}}{2 \times I_{EXC}R_{REF}} = 2^{n-2} \times \frac{R_{RTD}}{R_{REF}} \quad (4)$$

## 電流源の計算

**図 2** に示すように、N-JFET のソースと直列に抵抗を配置し、その抵抗の下にゲートを接続することで、非常に単純な JFET 電流源が構成されます。電流がソース抵抗 $R_S$ を流れると、抵抗はゲートを基準として JFET ソースの電圧を上昇させ、JFET チャネルのピンチオフを増大させて、負のフィードバックによりドレイン ソース間電流 $I_{DS}$ を制御します。

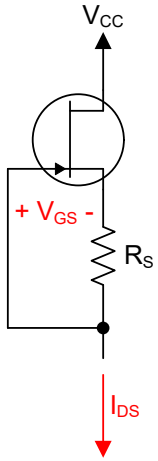



***図 2.*** *ゲートをソース抵抗の下に接続することで構成される単純な JFET 電流源*

JFET 電流源の出力電流を決定する最も簡単な方法は、JFET データシートに記載されている $I_{DS}$ とゲート ソース間電圧 ($V_{GS}$) 曲線を使用することです。この JFE2325 の曲線を再現したものが**図 3** です。

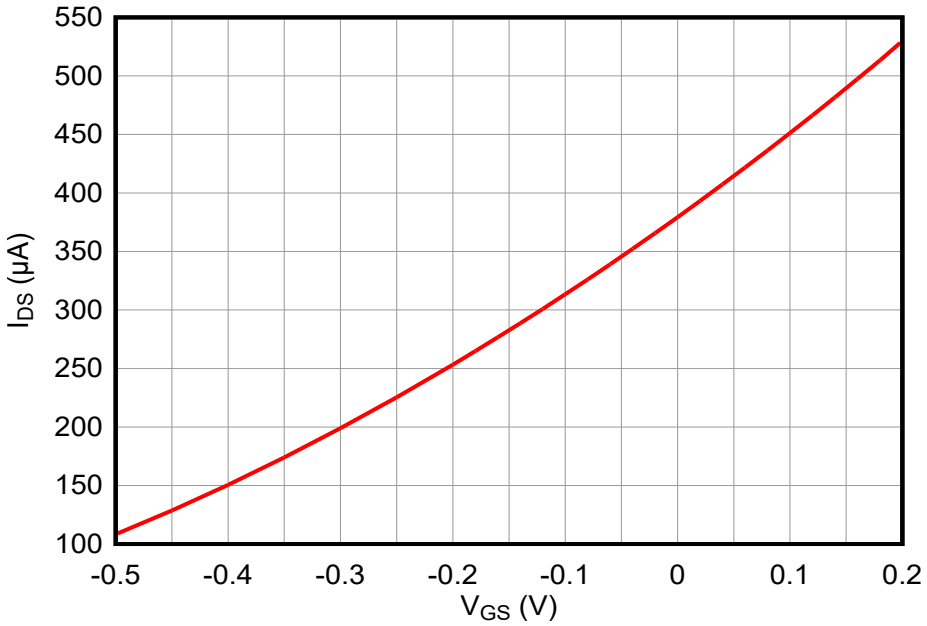



***図 3.*** *JFE2325 のドレイン ソース間電流 ($I_{DS}$) とゲート ソース間電圧 ($V_{GS}$) との関係*

$R_S$ 両端の電圧降下はゲート ソース間電圧と等しい (ただし極性は逆になる) ことを考慮すると、**式 5** に示すように、$R_S$ の値を計算し、目的の $I_{DS}$ の発生に必要な $V_{GS}$ を得ることができます。

$$V_{GS} = -I_{DS}R_{DS} \rightarrow R_S = \frac{-V_{GS}}{I_{DS}} \tag{5}$$

**図 3** から、ドレイン電流が 200µA の場合、JFE2325 で –0.3V の $V_{GS}$ が必要であることがわかりますこの値を**式 5** に代入すると、**式 6** の $R_S$ が求められます。

$$R_S = \frac{-V_{GS}}{I_D} = \frac{-(-0.3V)}{200\mu A} = 1.5k\Omega \tag{6}$$

JFET のピンチオフ電圧 $V_P$ とドレイン ソース間飽和電流 $I_{DSS}$ がわかっている場合、$I_{DS}$ は**式 7** で直接計算できます。

$$I_{DS} = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \tag{7}$$

**式 5** の $V_{GS}$ を挿入すると、**式 8** が得られます。

$$I_{DS} = I_{DSS}\left(1 - \frac{-I_{DS}R_S}{V_P}\right)^2 = I_{DSS}\left(1 + \frac{I_{DS}R_S}{V_P}\right)^2 \tag{8}$$

**式 8** を展開し、標準的な二次式 ($ax^2 + bx + c = 0$) に入れて、二次式 (**式 10** および **式 9**) を使用して解くことができます。

$$\left(\frac{I_{DSS}R_S^2}{V_P^2}\right)I_{DS}^2 + \left(\frac{2I_{DSS}R_S}{V_P} - 1\right)I_{DS} + I_{DSS} = 0 \tag{9}$$

$$x = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a} \tag{10}$$

ここで、a、b、c は**式 11**、**式 12**、**式 13** で定義されます。

$$a = \left(\frac{I_{DSS}R_S^2}{V_P^2}\right) \quad (11)$$

$$b = \left(\frac{2I_{DSS}R_S}{V_P} - 1\right) \quad (12)$$

$$c = I_{DSS} \quad (13)$$

このアプローチでは 2 つの根が与えられますが、2 つの根のうち一方のみが電流源からの出力電流に対して有効な値になります。JFE2325 の $I_{DSS}$ と $V_P$ の標準値 385μA、–1.079V を使用すると、1.5kΩ ソース抵抗での $I_{DS}$ は 200.4μA と算出されます。

## 2 つの電流源間の不一致を推定する

2 つの電流源間の不一致を計算するには、JFET パラメータの不一致が結果の出力電流に及ぼす影響を調べる必要があります。ディスクリート JFET は、$I_{DSS}$ および $V_P$ 値に関して非常に広い許容誤差を持っています。ただし、JFE2325 の 2 つの JFET は、最新の IC レイアウト手法を使用して同じダイ上に構築されているため、2 つの JFET のパラメータは互いにほぼ一致しています。**図 4** は、74,000 以上のユニットから得られた、JFE2325 の 2 つの JFET の $I_{DSS}$ 不一致に関する製造ヒストグラムです。ヒストグラムから、2 つの JFET の $I_{DSS}$ が平均値の 3 標準偏差で 2% 以内で一致していることがわかります。$I_{DSS}$ 不一致の最大値 (平均から 6 標準偏差を示す) は、JFE2325 のデータシートで 5% に規定されています。

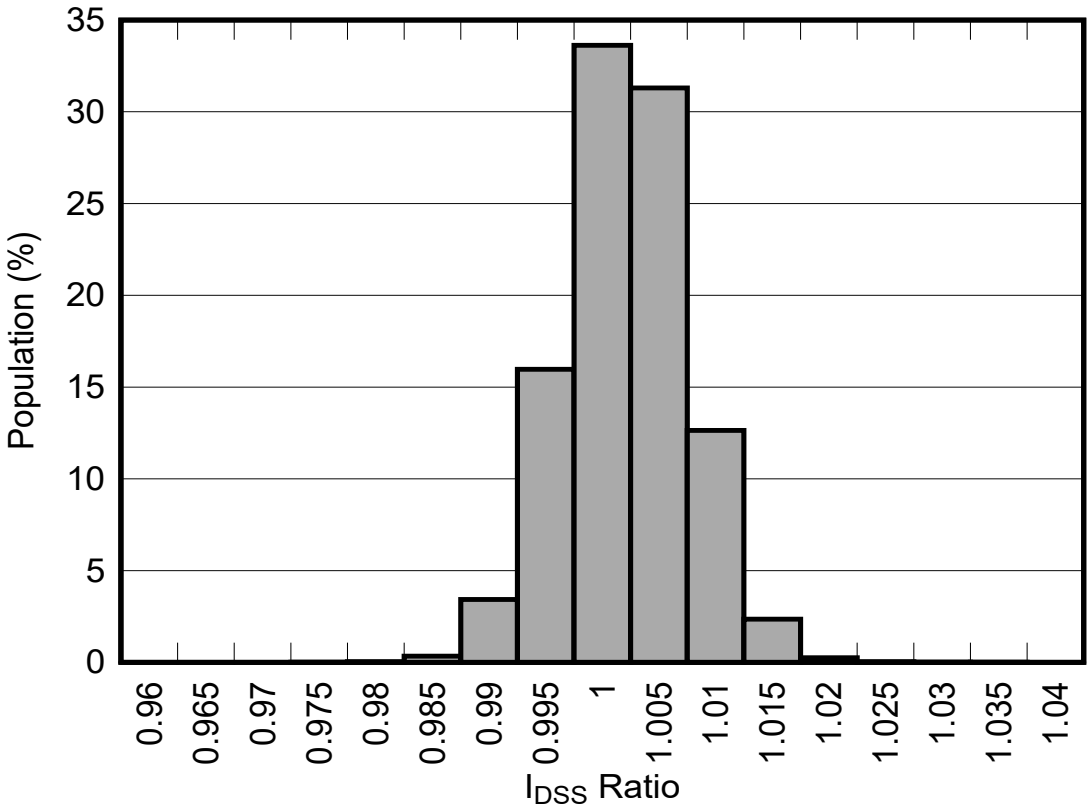



***図 4.*** *JFE2325 の 2 つの内部 JFET 間における $I_{DSS}$ 不一致の製造ヒストグラム*

JFET の $I_{DSS}$ と $V_P$ は独立したパラメータではありません。むしろ、2 つの数値は相関しています。$I_{DSS}$ が増加すると、$V_P$ はゼロからさらに遠ざかります。**図 5** に、JFE2325 の $I_{DSS}$ と $V_P$ (プロットではゲート ソース間カットオフ電圧 $V_{GSC}$ と呼ばれる) のこの相関関係を示します。

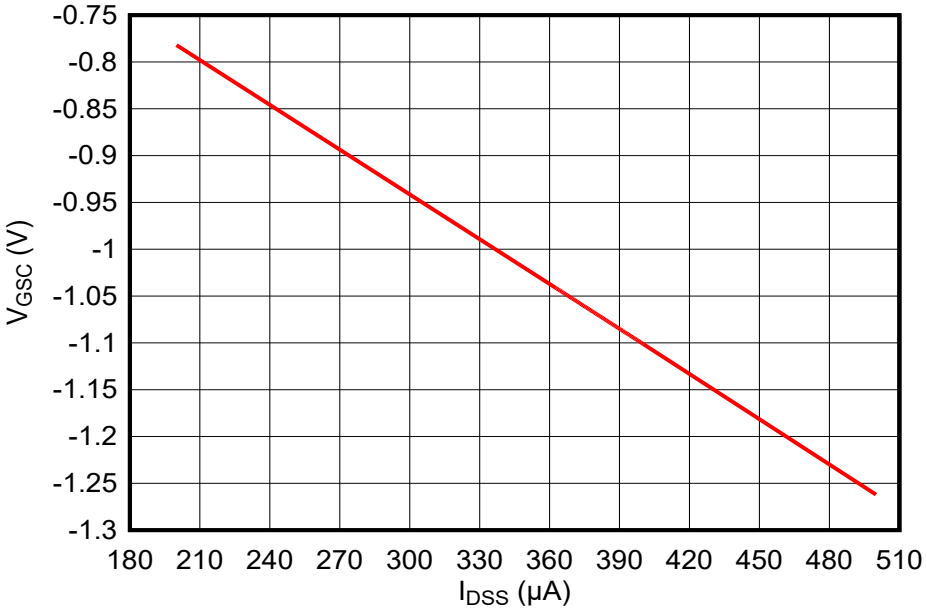



***図 5.*** *ピンチオフ電圧、またはゲート ソース間のカットオフ電圧 ($V_{GSC}$) と JFE2325 の $I_{DSS}$ との関係*

このプロットから線形方程式を抽出し、特定の $I_{DSS}$ 値が与えられた JFET のピンチオフ電圧を推定して、**式 14** を得ることができます。

$$V_P = -1592.6 \times I_{DSS} - 0.4656V \quad (14)$$

**表 1** に、JFE2325 に存在する 3 つの JFET の $I_{DSS}$ と $V_P$ の値と、その結果として得られる $I_{DS}$ を示します。JFET1 は、内部 JFET の公称のケースになります。JFET2 は JFET1 に比べて $I_{DSS}$ に 2% の不一致があり、平均から 3 標準偏差に相当します。JFET3 は JFET1 と比較して $I_{DSS}$ に 5% の不一致があり、平均から 6 標準偏差に相当します。

| | $I_{DSS}$ | $V_P$ | $I_{DS}$ ($R_S$ = 1.5kΩ |
|---|---|---|---|
| JFET1 (公称) | 385.0µA | -1.079V | 200.4µA |
| JFET2 (2% 不一致) | 377.3µA | -1.066V | 197.1µA |
| JFET3 (5% 不一致) | 365.8µA | -1.048V | 192.2µA |

***表 1.*** *JFE2325 の不一致 JFET のパラメータ*

各 JFET から構築された電流源の結果として得られる $I_{DS}$ は、$I_{DSS}$ と $V_P$ のそれぞれの値で **式 9** を解くことで計算されます。電流源の不一致は、**式 15** および **式 16** で計算されます。

$$\text{Mismatch}(\pm 3\sigma,\ \%) = 100 \times \frac{|200.4\mu A - 197.1\mu A|}{200.4\mu A} = 1.647\% \quad (15)$$

$$\text{Mismatch}(\pm 6\sigma,\ \%) = 100 \times \frac{|200.4\mu A - 192.2\mu A|}{200.4\mu A} = 4.092\% \quad (16)$$

**図 6** に示すように、ソース抵抗 $R_S$ に負荷ラインを追加した状態で、$I_{DS}$ と $V_{GS}$ のプロットを表示することもできます。$I_{DS}$ 値は、JFET の曲線と $R_S$ の負荷ラインが交差する点になります。

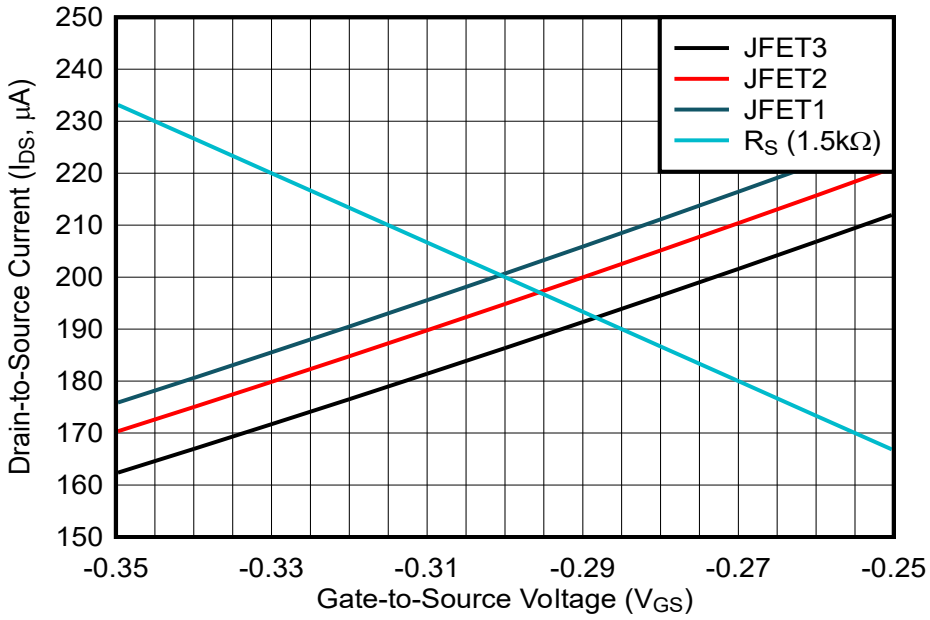



***図 6.*** *1.5kΩ 負荷ラインを使用した表 1 に示されている 3 つの JFET の $I_{DS}$ と $V_{GS}$ のプロット*

JFET2 と JFET3 は $I_{DSS}$ が小さいデバイスであるため、$V_{GS}$ 値がゼロに近い位置で $R_S$ 負荷ラインと交差しており、JFET チャネルのピンチオフが実質的に減少していることに注意してください。逆に、JFET $I_{DSS}$ が大きくなると、$R_S$ により $V_{GS}$ が 0V から遠くなり、JFET チャネルのピンチオフが増大します。このため、JFET の $I_{DSS}$ 値の不一致が 2% でも、電流源からの出力電流の不一致は 2% になりません。$R_S$ を増加させると、2 つの電流源間の不一致が減少しますが、電流源の出力電流が減少するという欠点があります。

## まとめ

3 線式構成は、RTD 測定における導線の抵抗に起因する誤差を除去するための一般的かつ効果的な方法です。ただし、3 線式システムでは、誤差を効果的に除去するために、よくマッチングした電流源ペアが必要です。これらの整合電流源は、JFE2325 などのモノリシックな N-JFET ペアを使用することで簡単に作成できます。JFE2325 には、非常に小型の 0.8mm × 1mm パッケージで、高度にマッチングされた JFET デバイス 2 個が同じダイ上に搭載されています。この 2 個の JFET は同じシリコン領域を共有するため、ディスクリートのシングル JFET と比較すると、パラメータのマッチングが非常に優れています。また、JFET にソース抵抗を追加すると、負のフィードバックが発生するため、JFET パラメータの変化による出力電流の変動が低減されます。この方法では、非常に優れたマッチングを備えた 2 つの電流源を、超低コストな小型ソリューション サイズで提供し、広い範囲の電源電圧で動作できるようになります。

## 参考資料

1. Joseph Wu、『**RTD 測定の基本ガイド**』
2. テキサス インスツルメンツ、『**JFE2325 デュアル、ローパワー、N チャネル JFET、エレクトレット マイク向け**』

## 著者について

John Caldwell は、リニア アンプ BU の技術者です。あらゆる製品ラインにわたって、次世代の高性能シグナル コンディショニング アンプを定義する業務に取り組んでいます。John は、リニア アンプの開発と、高精度かつ低ノイズの回路設計に関して 15 年

以上の経験を持っています。John はバージニア工科大学で電気工学の学士号と理学修士号を取得しました。また、米国で 3 つの特許を取得し、30 以上の記事を公開しています。

**重要なお知らせ**:ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

すべての商標は、それぞれの所有者に帰属します。

© 2026 Texas Instruments Incorporated

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月