

# EVM User's Guide: TLV672XEVN

## TLV672X 評価基板



### 説明

TLV672X 評価基板 (EVM) は、TLV6722 の主な機能を評価するためのプラットフォームです。TLV6722 デバイスは、OSFP モジュール側の INT/RSTn および LPWn/PRSn 回路を、小型の DSBGA-9 (YBJ) パッケージに統合しています。TLV672XEVN は、OSFP ホスト側のコンポーネントをサポートしており、TLV6722 のアプリケーション内での機能を実証できます。

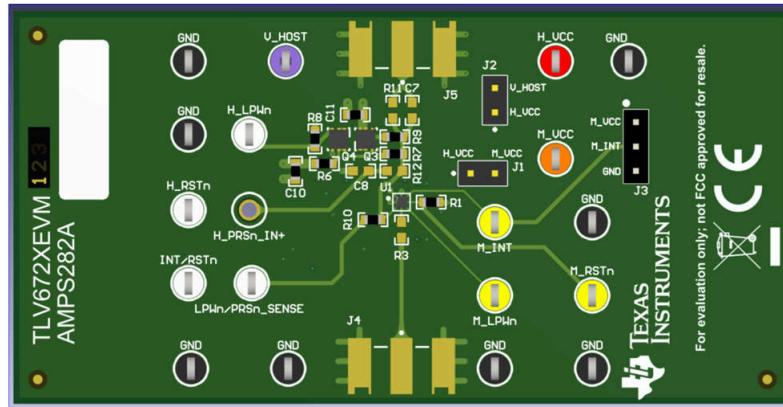
### 特長

- 基板上に実装された、OSFP MSA 準拠のホスト側受動部品およびスイッチ

- OSFP MSA ホスト側ロジック極性に合わせるための、オンボード ロジック反転
- すべての TLV6722 入出力信号を容易にプロービングできる、オンボード テスト ポイント

### アプリケーション

- 光学モジュール



TLV672XEVN

## 1 評価基板の概要

### 1.1 はじめに

TLV672XEVM は、TLV6722 の主な機能と性能を評価するためのプラットフォームです。TLV672XEVM は、TLV6722 デバイスのみを評価するように構成したり、ホスト側受動部品を含めてアプリケーション内での機能を実証するように構成したりすることができます。

このユーザー ガイドでは、TLV672XEVM の特性、動作、および使用方法について説明します。このドキュメント全体を通して、評価ボード、評価基板、EVM という用語は TLV672XEVM と同じものです。この資料には、回路図、PCB レイヤー プロット、包括的な部品表 (BOM) が含まれています。

### 1.2 キットの内容

表 1-1 は EVM キットの内容を示しています。部品が不足している場合は、テキサス インスツルメンツ製品情報センターにお問い合わせください。

表 1-1. キットの内容

項目	数量
TLV672XEVM	1

### 1.3 仕様

TLV672XEVM は、TLV6722 のアプリケーション内での機能を実証することを目的としています。電磁両立性 (EMC) テストを実施するためのレイアウトにはなっていません。TLV672XEVM 上の部品選定は、OSFP MSA に記載されているように、INT/RSTn および LPWn/PRSn 回路をエミュレートすることを目的としていますが、実際のアプリケーション回路の指針として使用するべきではありません。

## 1.4 製品情報

TLV6722 は、OSFP MSA で定義されているモジュール側の INT/RSTn および LPWn/PRSn 回路を完全に統合したデバイスです。これには、OSFP MSA 定義の電圧ゾーンを設定するための高精度トリム抵抗 R2、R3、R13、正確な M\_RSTn、M\_LPWn 出力を実現するための統合リファレンスとデュアル チャネルコンパレータ、割り込み機能用の M\_INT オープンドレイン バッファが含まれます。

## 2 ハードウェア

### 2.1 推奨機器

- DC の電源
- 任意波形ジェネレータ
- オシロスコープ

### 2.2 クイック スタート手順

---

#### 注

デバイスへのすべての接続がボード上で完了するまで、電源および任意波形ジェネレータをオンにしないでください。

---

以下の構成は、単一電源構成で 3.3V ロジックの TLV6722 を評価するために使用されます。

- J1 ピン 1 (H\_VCC) と J1 ピン 2 (M\_VCC) をジャンパで短絡します。
- J2 ピン 1 (H\_VCC) と J1 ピン 2 (V\_HOST) をジャンパで短絡します。
- J3 ピン 2 (M\_INT) と J3 ピン 3 (GND) をジャンパで短絡します。
- TP17 (H\_LPWn) と TP15 (H\_RSTn) を両端グラバーのケーブルで短絡します。
- 電源の正端子を 3.3V に設定し、出力を無効化します。
- 電源の正端子を TP1 (H\_VCC) に接続します。
- 電源グランド端子を TP10 (GND) に接続します。
- 任意波形ジェネレータ (AWG) を、3.3V の高電圧と 0V の低電圧で 50kHz の方形波を生成するように設定し、出力を無効化します。
- AWG 出力信号を TP17 (H\_LPWn) に、グランド端子を TP7 (GND) に接続します。
- TP12 (M\_RSTn) は、ハイインピーダンス終端のオシロスコープ チャネルに接続し、グランドリードは可能な限り GND に接続します。
- TP14 (M\_LPWn) は、ハイインピーダンス終端のオシロスコープ チャネルに接続し、グランドリードは可能な限り GND に接続します。
- TP15 (H\_RSTn) は、ハイインピーダンス終端のオシロスコープ チャネルに接続し、グランドリードは可能な限り GND に接続します。
- まず、DC 電源出力を有効にして、3.3V で TLV672XEVN に電力を供給します。次に、AWG 出力を有効にして、H\_LPWn と H\_RSTn への入力信号を生成します。
- オシロスコープの波形を監視して、コンパレータ出力がスイッチングし、ホスト信号とモジュール信号の極性が一致していることを確認します。

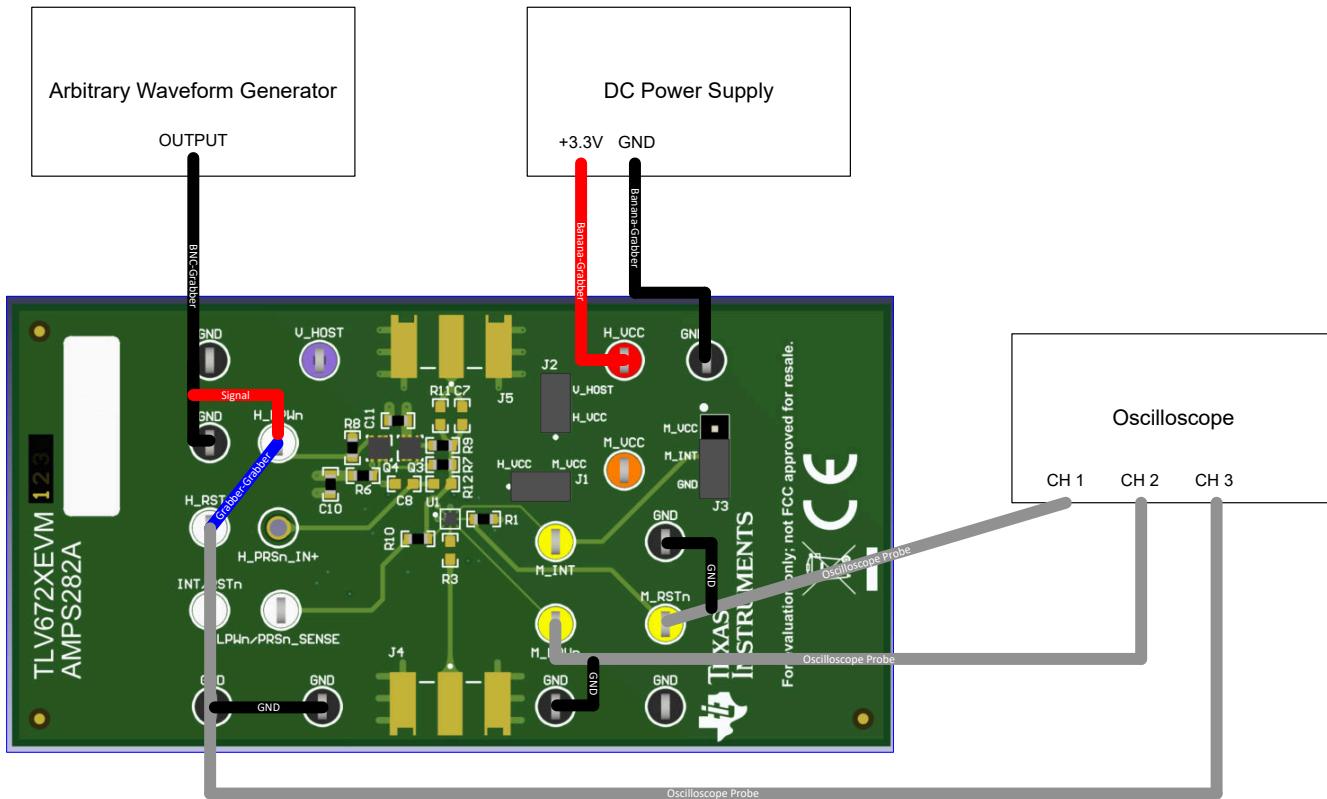


図 2-1. クイック スタート接続

2.3 構成

### 2.3.1 電源電圧

TLV672XEVIM は、H\_VCC、M\_VCC、V\_HOST 電源を個別に使用して動作させることができます。H\_VCC は、OSFP MSA INT/RSTn 回路の入力電圧ゾーンを設定し、TLV6722 に電力を供給します。INT/RSTn 回路の適切な電圧ゾーンを設定するために、H\_VCC に公称 3.3V の電力を供給してください。M\_VCC は、M\_LPWN プッシュプル出力と M\_INT デジタル入力のロジックレベルを設定します。M\_VCC には、H\_VCC と同じ電圧から最小 1.1V までの電圧を供給できます。V\_HOST は、ホストロジックインバータと、OSFP LPWN/PRSN 回路のプルアップネットワークに電力を供給します。OSFP MSA LPWN/PRSN 回路の適切な電圧ゾーンを設定するため、V\_HOST に公称 3.3V の電力を供給してください。H\_VCC と M\_VCC は、J1 のジャンパを使用して短絡できます。H\_VCC と V\_HOST は、J2 のジャンパを使用して短絡できます。3 つの電源レール (H\_VCC、M\_VCC、V\_HOST) のすべてに、GND への電源バイパスコンデンサが備わっています。

### 2.3.2 入力

TLV672XEVM には、INT/RSTn および LPWn/PRSh ノードに抵抗とスイッチが含まれており、アプリケーション内での動作を実証します。以下では、V\_HOST に 3.3V が印加されていることを前提として、入力動作を説明します。

- H\_RSTn が 3.3V に駆動されると、Q2 はハイインピーダンスになり、INT/RSTn は OSFP 電圧ゾーン 2 (M\_INT = LOW) または電圧ゾーン 3 (M\_INT = HIGH) になります
  - H\_RSTn が GND に駆動されると、Q2 は INT/RSTn を GND に引き下げる、INT/RSTn は OSFP 電圧ゾーン 1 になります
  - H\_LPWn が 3.3V に駆動されると、(TLV672XEV M R9) 15kΩ 抵抗が LPWn/PRSsn から V\_HOST へ接続され、LPWn/PRSsn は OSFP 電圧ゾーン 2 になります
  - H\_LPWn が GND に駆動されると、(TLV672XEV M R9) 15kΩ 抵抗は LPWn/PRSsn から切り離され、LPWn/PRSsn は OSFP 電圧ゾーン 1 になります

TLV672XEVN は、TLV6722 の INT/RSTn および LPWn/PRSn 入力に、TP11 および TP18 のテストポイントを備えています。ユーザーが入力抵抗やスイッチをバイパスしたい場合、これらのテストポイントを使用して、INT/RSTn および LPWn/PRSn ノードを直接駆動できます。入力スイッチや抵抗をバイパスする場合でも、V\_HOST に電力を供給し、H\_RSTn を 3.3V に駆動して、INT/RSTn ドライバがグランドに短絡しないようにしてください。

TLV6722 を評価する別の方針は、TLV672XEVN をこのデバイスのみを搭載する構成にすることです。ユーザーは R4、R9、R7 の実装を解除し、V\_HOST を GND に接続することで、ホスト側受動部品の影響を取り除くことができます。

M\_INT は、INT/RSTn 回路内の内部  $8\text{k}\Omega$  抵抗の接続を決定する TLV6722 へのデジタル入力です。M\_INT の動作を以下に示します。

- M\_INT が GND に駆動されると、 $8\text{k}\Omega$  抵抗は GND に接続されます。
- M\_INT が M\_VCC に駆動されると、 $8\text{k}\Omega$  抵抗がオープンになります (GND から切り離されます)。

M\_INT は TLV6722 へのデジタル入力であるため、M\_INT ノードは、必ず明確に定義された電圧で駆動してください。J3 のジャンパを使用して M\_INT を M\_VCC または GND に短絡させるほか、TP13 の M\_INT ピンを直接駆動することもできます。

### 2.3.3 出力

TLV672XEVN では、TLV6722 のコンパレータ出力が、ボード上のテスト ポイントに接続されています。

M\_RSTn のオープンドレイン出力は、 $10\text{k}\Omega$  抵抗を介して M\_VCC にプルアップされています。出力は、M\_RSTn テスト ポイント TP12 を通じて測定できます。

M\_LPWn のプッシュプル出力は、M\_LPWn テスト ポイント TP14 を通じて測定できます。

### 3 ハードウェア設計ファイル

#### 3.1 回路図

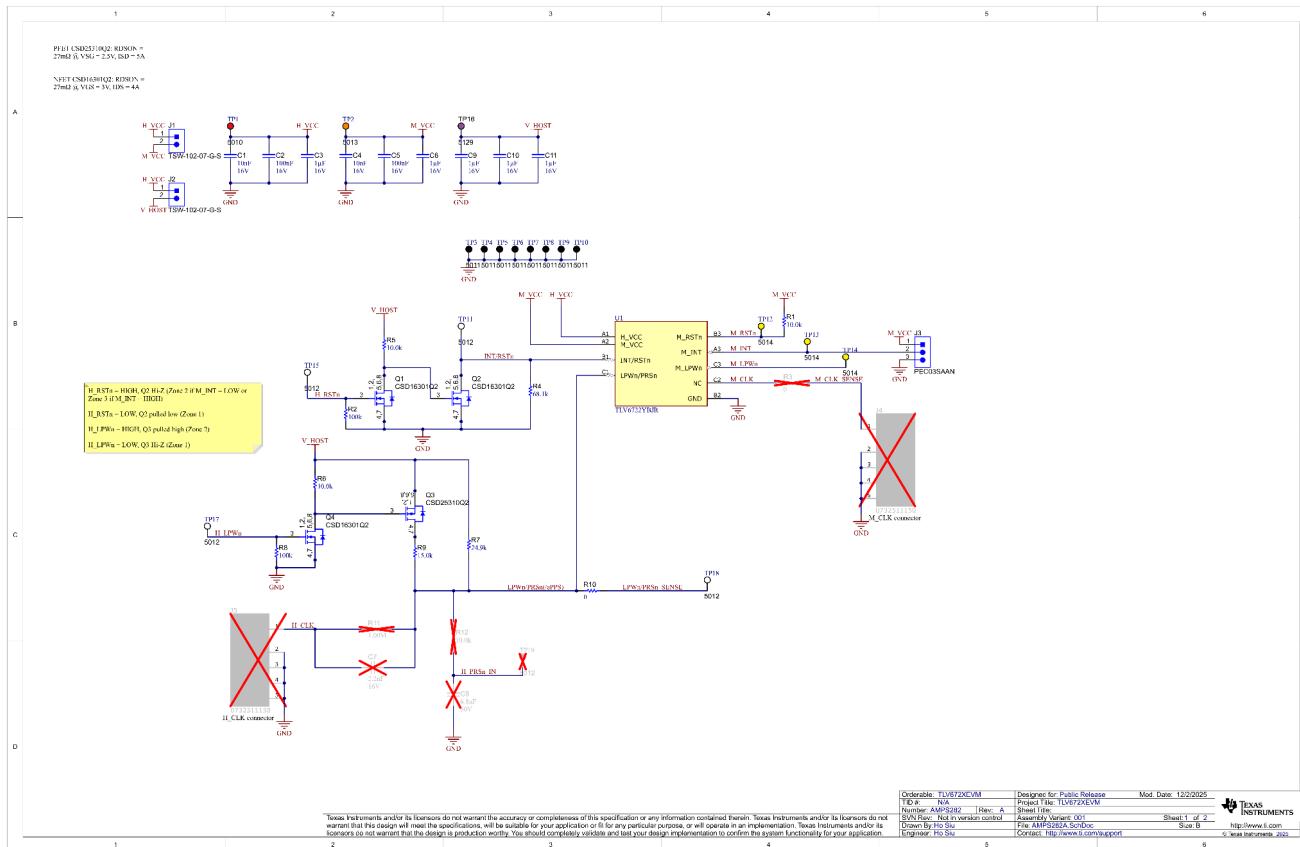


図 3-1. TLV672XEVN の回路図

#### 3.2 PCB のレイアウト

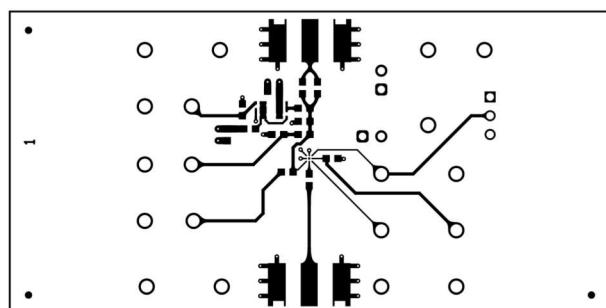


図 3-2. TLV672XEVN (第 1 層)

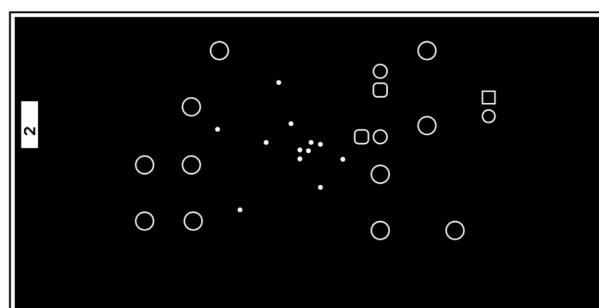


図 3-3. TLV672XEVN (第 2 層)

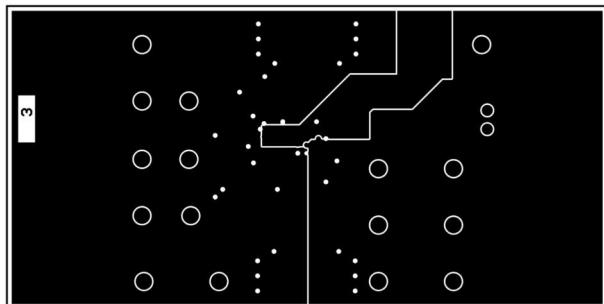


図 3-4. TLV672XEV (第 3 層)

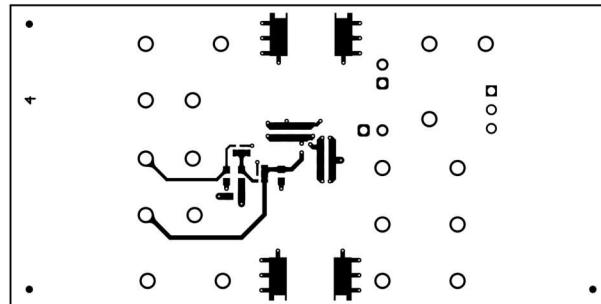


図 3-5. TLV672XEV (第 4 層)

### 3.3 部品表 (BOM)

表 3-1. TLV672XEV 部品表

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
C1、C4	2	0.01uF	コンデンサ、セラミック、0.01uF、16V、±10%、X7R、0603	0603	885012206040	Wurth Elektronik
C2、C5	2	0.1uF	CAP、CERM、0.1uF、16V、±10%、X7R、0603	0603	CL10B104KO8WP-NC	Samsung Electro-Mechanics
C3、C6、C9、C10、C11	5	1uF	コンデンサ、セラミック、1uF、16V、±10%、X7R、0603	0603	EMK107B7105KA-T	Taiyo Yuden
H1、H2、H3、H4	4		バンボン、半球、0.44 X 0.20、クリア	透明なバンボン	SJ-5303 (CLEAR)	3M
J1、J2	2		ヘッダ、100mil、2x1、金、TH	2x1 ヘッダー	TSW-102-07-G-S	Samtec
J3	1		ヘッダ、100mil、3x1、Tin、TH	ヘッダ、3 ピン、100mil、Tin	PEC03SAAN	Sullins Connector Solutions
LBL1	1		熱転写プリントラベル、幅 0.650 インチ x 高さ 0.200 インチ、ロールあたり 10,000	PCB ラベル 0.650 x 0.200 インチ	THT-14-423-10	Brady
Q1、Q2、Q4	3		MOSFET、N-CH、25V、5A、DQK0006C (WSON-6)	DQK0006C	CSD16301Q2	テキサス・インスツルメンツ
Q3	1		MOSFET、P-CH、-20V、-20A、DQK0006C (WSON-6)	DQK0006C	CSD25310Q2	テキサス・インスツルメンツ
R1、R5、R6	3	10.0kΩ	RES、10.0k、1%、0.1W、0603	0603	RC0603FR-0710KL	Yageo
R2、R8	2	100kΩ	抵抗、100k、1%、0.1W、0603	0603	RC0603FR-07100KL	Yageo
R4	1	68.1kΩ	抵抗、68.1k、1%、0.1W、0603	0603	RC0603FR-0768K1L	Yageo
R7	1	24.9kΩ	RES、24.9k、1%、0.1W、0603	0603	RC0603FR-0724K9L	Yageo
R9	1	15.0kΩ	抵抗、15.0k、1%、0.1W、0603	0603	RC0603FR-0715KL	Yageo
R10	1	0	抵抗、0.5%、0.1W、0603	0603	MCR03EZPJ000	Rohm

**表 3-1. TLV672XEVN 部品表 (続き)**

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
TP1	1		テスト ポイント、多目的、赤色、TH	赤色多目的テスト ポイント	5010	Keystone Electronics
TP2	1		テスト ポイント、ミニチュア、オレンジ、TH	オレンジの多目的 テスト ポイント	5013	Keystone Electronics
TP3、TP4、TP5、 TP6、TP7、TP8、 TP9、TP10	8		テスト ポイント、多目的、黒色、TH	黒色多目的テスト ポイント	5011	Keystone Electronics
TP11、TP15、 TP17、TP18	4		テスト ポイント、多目的、白色、TH	白色多目的テスト ポイント	5012	Keystone Electronics
TP12、TP13、 TP14	3		テスト ポイント、多目的、黄色、TH	黄色 多目的テスト ポイント	5014	Keystone Electronics
TP16	1		テスト ポイント、多目的、紫色、TH	紫色 多目的テスト ポイント	5129	Keystone Electronics
U1	1		OSFP/OSFP-XD モジュール低速信号コントローラ、ePPS サポート付き	DSBGA9	TLV6722YBJR	テキサス・インスツルメンツ

## 4 追加情報

### 4.1 商標

すべての商標は、それぞれの所有者に帰属します。

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月