

# EVM User's Guide: TMDSCNCD263P

## AM263Px 制御カードの評価基板

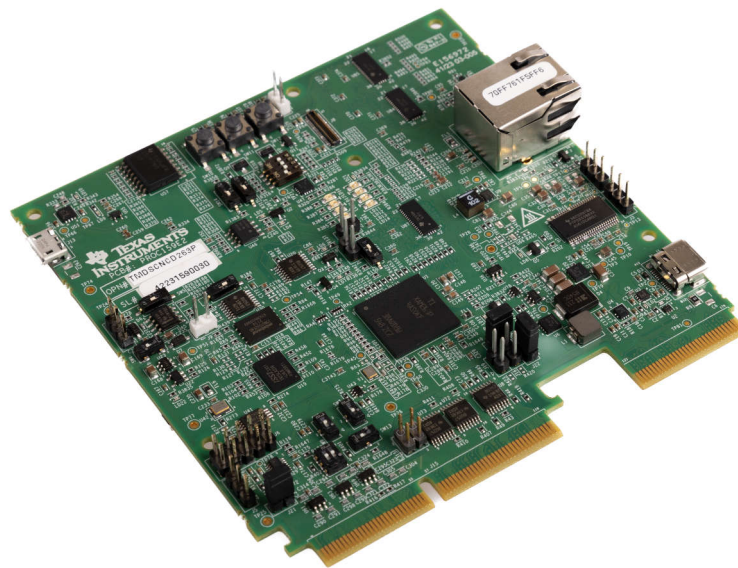


### 説明

AM263Px controlCARD 評価ボード (EVM) は、テキサス・インスツルメンツの Sitara™ AM263Px シリーズのマイクロコントローラ (MCU) 用の評価 / 開発ボードです。この評価基板には、プログラミングおよびデバッグ用のオンボード エミュレーションが搭載され、ユーザーが制御可能なボタンや LED を備えたシンプルなユーザー インターフェイスが用意されているため、AM263Px MCU での開発を簡単に始めることができます。また、この制御カードを使用すると、高速エッジコネクタ (HSEC) ベースボードドッキングステーションを使用して、ヘッダピンから主な信号にアクセスすることができ、迅速なプロトタイプ製作が可能です。

### 特長

- 5V、3A の USB Type-C® 入力経路で電力を供給
- 安全関連アプリケーション向けに設計されたマルチレール電源
- 1 個の RJ45 イーサネットポートと、オンボードの産業用イーサネット PHY を搭載
- 車載または産業用イーサネット PHY 向けの付加的なイーサネットアドオンボードコネクタ
- オンボードの XDS110 デバッグプローブ
- 迅速なプロトタイプ製作が可能な 180 ピン HSEC インターフェイス
- 3 つのプッシュボタン：
  - PORz
  - ユーザー割り込み
  - RESETz
- LED：
  - 電源ステータス
  - ユーザーテスト
  - イーサネット接続
  - I2C 駆動アレイ
- オンボード CAN トランシーバとの CAN 接続
- ハードウェアレゾルバにより、2 つの追加の逐次比較型 ADC を使用してモーター位置センシングを高速化
- 専用 FSI コネクタ
- TI のテストオートメーションヘッダ
- マイクロ SD カードコネクタへの MMC インターフェイス
- オンボードメモリ
  - 1Gb QSPI NAND フラッシュ
  - 256Mb OSPI NOR フラッシュ
  - 1Mb I2C EEPROM



## 目次

説明.....	1
特長.....	1
<b>1 評価基板の概要.....</b>	<b>3</b>
1.1 概要.....	3
1.2 キットの内容.....	4
1.3 製品情報.....	4
<b>2 ハードウェア.....</b>	<b>7</b>
2.1 部品の識別.....	7
2.2 コンプライアンス.....	8
2.3 電源要件.....	8
2.4 機能ブロック図.....	16
2.5 リセット.....	17
2.6 クロック.....	19
2.7 ブート モードの選択.....	20
2.8 JTAG バスの選択.....	21
2.9 ヘッダ情報.....	21
2.10 GPIO へのマッピング.....	23
2.11 プッシュ ボタン.....	24
2.12 インターフェイス.....	25
2.13 HSEC のピン配置とピンマルチプレクサ マッピング.....	47
<b>3 ハードウェア設計ファイル.....</b>	<b>57</b>
<b>4 追加情報.....</b>	<b>58</b>
4.1 サポートが必要な場合.....	58
4.2 商標.....	58
<b>5 関連資料.....</b>	<b>59</b>
5.1 補足事項.....	59
<b>6 参考資料.....</b>	<b>61</b>
6.1 参考資料.....	61
6.2 この設計で使用するその他の TI 部品.....	61
<b>7 改訂履歴.....</b>	<b>61</b>

## 1 評価基板の概要

### 1.1 概要

AM263Px 制御カードは、AM263Px とすべてのペリフェラルを簡単かつ迅速にプロトタイプ製作できるように開発されました。AM263Px SoC (システム オン チップ) の多くのインターフェイスを有効にするために、複数のオンボードトランシーバと PHY があります。このユーザー ガイドでは、評価基板の設計の詳細、および各インターフェイスの適切な使用方法について説明しています。また、ユーザー ガイドでは、ピン ヘッダの説明、テスト ポイント、マルチプレクサ / スイッチ信号のルーティングなど、基板の多数の重要な要素についても詳細に説明しています。

#### 序文: はじめにお読みください

##### 1.1.1 Sitara MCU+ Academy

テキサス インストルメンツ は、サポート対象デバイスの MCU+ ソフトウェアとツールを使用した設計を行うためのリソースとして、[MCU+ Academy](#) を提供しています。MCU+ Academy は、開発開始の基礎から高度な開発トピックに至るまで、使いやすいトレーニング モジュールを取り揃えています。

##### 1.1.2 重要な使用上の注意

#### 注


AM263Px 制御カードの E1 バージョンには、PRU-ICSS MDIO の信号配線のみが含まれます。CPSW MDIO を使用するには、ブルー ワイヤによる修正を行う必要があります。ブルー ワイヤによる修正を行わない場合、RGMII2 インターフェイスに接続されたイーサネット PHY は、オンボードのイーサネット PHY と正しく機能しません。手配線による修正を行うと、TCAN1043 (U29) をオンボードのイーサネット PHY と同時に使用することはできません。詳細情報については、[セクション 5.1.A](#) を参照してください。

#### 注

AM263Px 制御カードを機能させるには 5V、3A の電源が必要です。USB Type-C ケーブルが付属していますが、5V、3A の電源はキットに付属していません。[Belkin USB-C ウォール チャージャ](#)は、制御カードおよび付属の Type-C ケーブルと使用できることが知られています。電源要件の詳細については、[セクション 2.3](#) を参照してください。電源入力ที่ไม่十分な場合は、赤色の LED (LD1) が点灯します。電源ステータス LED の詳細については、[セクション 2.3.2](#) を参照してください。

#### 注

TMDSCNCD263P は PMIC U7 を搭載しており、通常動作時にケース温度が 55°C を超えることがあります。このユーザー ガイドの説明と、以下の表の PCB 警告ステッカーを追加し、高温部品についてユーザーに警告しています。

	注意事項	高温面。 触れるとやけどの原因になることがあります。 触れないでください！
---	------	---

#### 注

外部電源または電源アクセサリの要件:

- 公称出力電圧: 5-VDC
- 最大出力電流: 3000mA
- 効率レベル V

#### 注

TI は、UL、CSA、VDE、CCC、PSE などの該当する地域の安全規格に準拠した外部電源またはアクセサリの使用を推奨します。

## 1.2 キットの内容

Sitara AM263Px 制御カード開発キットには、以下のものが含まれています。

- AM263Px Sitara シリーズ制御カード開発ボード
- Type-A から USB Micro-B への接続ケーブル (長さ 1m)

---

**注**

IO ケーブルの最大長が 3m を超えないことを推奨します。

---

付属しない:

- HSEC 180 ピン ベースボードドッキングステーション
- スタンドオフ
- USB Type-C 5V/3A AC/DC 電源とケーブル

## 1.3 製品情報

AM263Px Sitara Arm® マイコンは、次世代の産業用および車載用組込み製品の複雑なリアルタイム処理ニーズを満たすように開発されています。AM263Px MCU ファミリーは、最大 4 つの 400MHz Arm® Cortex™-R5F コアを内蔵した複数のピン互換デバイスで構成されています。オプションとして、Arm R5F サブシステムをプログラムして、複数の機能安全構成用にロックステップ モードまたはデュアル コア モードで動作させることができます。産業用通信サブシステム (PRU-ICSS) を使用することで、PROFINET®、TSN、EtherNet/IP™、EtherCAT™ (その他多数)、標準的なイーサネット接続、さらにカスタム I/O インターフェイスなどの産業用イーサネット通信プロトコルを統合できます。このファミリーは、高度なアナログ センシング モジュールとデジタル アクチュエータ モジュールを搭載した、将来のモーター制御およびデジタル電源アプリケーション向けに設計されています。

複数の R5F コアをクラスタ サブシステムに配置し、256KB の共有密結合メモリ (TCM) と 3MB の共有 SRAM を備えているため、外部メモリの必要性が非常に小さくなっています。拡張 ECC をオンチップメモリ、ペリフェラル、およびインターコネクタに備えることで、高度な信頼性を確保しています。ハードウェアセキュリティマネージャ (HSM) が管理する粒度の細かいファイアウォールにより、開発者はセキュリティ重視のシステム設計要件を厳格に実装できます。AM263Px デバイスでは、暗号化アクセラレーションとセキュア ブートも利用できます。

詳細な情報については、AM263Px データシート ([SPRSP81](#)) を参照してください。

### 1.3.1 HSEC 180 ピン制御カードドッキングステーション

TMDSHSECDOCK 180 ピンドッキングステーションと TMDSHSECDOCK-AM263 AM263x-CC HSEC ドックは、テキサスインスツルメンツから購入できます。どちらのドッキングステーションも、迅速なプロトタイプ製作を可能にし、AM263Px 制御カードの開発機能を強化するベースボードです。各ドッキングステーションの機能を比較します。

表 1-1. AM263Px 制御カード HSEC ドックの比較

機能	TMDSHSECDOCK	TMDSHSECDOCK-AM263
USB Type-C 電源入力	✓	✓
GPIO プレイクアウト ヘッド	✓	✓
カスタマイズ可能な配線取り回しとプロトタイプ製作に活用できるブレッドボード領域	✓	
2 チャンネル MCAN トランシーバ		✓
2 チャンネル LIN トランシーバ		✓
MIPI-60 デバッグ ヘッド		✓
14 ピン JTAG ヘッド	✓	✓
ADC の入力シグナルコンディショニング		✓

#### 注

TMDSHSECDOCK のみ: TMDSHSECDOCK パワー スイッチは、AM263Px 制御カードの電力要件を満たすために EXT-ON 側に切り替える必要があります。EXT-ON は、電源が制御カードドックのパレルコネクタから供給されていることを示します。mini-USB (USB-ON) コネクタは、AM263Px 制御カードの電力要件を満たしていません。

AM263Px 制御カードは、Type-C 接続から供給される電圧が HSEC ドッキングステーションから供給される電圧以上である限り Type-C 接続から電力を供給するパワー マルチプレクサ (TPS2121RUXT) を搭載しています。したがって、Type-C 接続が存在し、かつ電力供給される HSEC ドッキングステーションに制御カードが接続されている場合、パワー マルチプレクサは Type-C から供給される電圧を制御カードの VMAIN にルーティングします。Type-C 接続がなく、HSEC ドッキングステーション経由で電圧が供給されている場合、パワー マルチプレクサはその電圧を制御カードの VMAIN にルーティングします。

ドッキングステーションの詳細については、『TMDSHSECDOCK 情報ガイド』または『TMDSHSECDOCK-AM263 ユーザーガイド』を参照してください。

### 1.3.2 セキュリティ

AM263Px 制御カードは、HS-FS (High Security, Field Securable: 高度セキュリティ対応、フィールドでのセキュア化可能) デバイスを搭載しています。HS-FS デバイスは、1 回のプログラミングを使用して、デバイスを HS-FS から HS-SE (High Security, Security Enforced: 高度セキュリティ対応、セキュリティ強化) に変換できます。

AM263Px デバイスは、顧客キーがプログラムされていない HS-FS 状態の TI 工場出荷時に以下の属性を備えています。

- セキュア ブート プロセスを強制的に実行しない
- M4 JTAG ポートは閉じている
- R5 JTAG ポートはオープン
- セキュリティ サブシステム ファイアウォールは閉じている
- SoC ファイアウォールはオープン
- ROM ブートには TI の署名付きバイナリが想定されている (暗号化はオプション)
- TIFS-MCU バイナリは、TI の秘密鍵によって署名されている

ワンタイム プログラマブル (OTP) Keywriter は、セキュア デバイスを HS-FS から HS-SE に変換します。OTP Keywriter は、顧客キーをデバイスの eFuse にプログラムして、セキュア ブートを強制し、信頼できるルートを確認します。セキュア ブートを使用するには、1 つのイメージを暗号化し (オプション)、顧客キーを使用して署名する必要があります。このイメージは、SoC によって検証されます。HS-SE 状態のセキュア デバイスには、次の属性があります。

- M4、R5 JTAG ポートの両方が閉じている
- セキュリティ サブシステムと SoC ファイアウォールの両方が閉じている
- TIFS-MCU と SBL は、アクティブな顧客キーを使用して署名する必要がある

## 2 ハードウェア

### 2.1 部品の識別

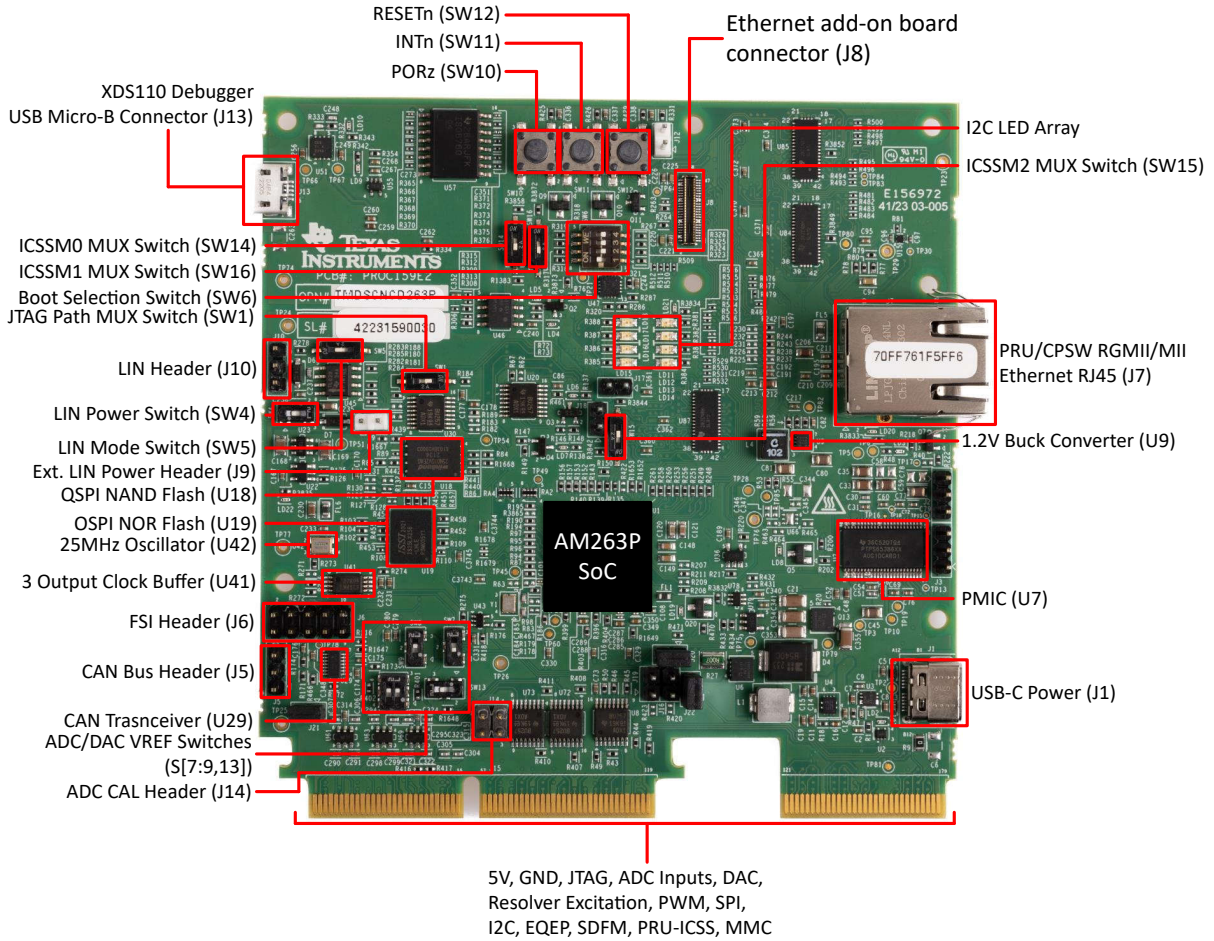


図 2-1. 部品識別 (正面)

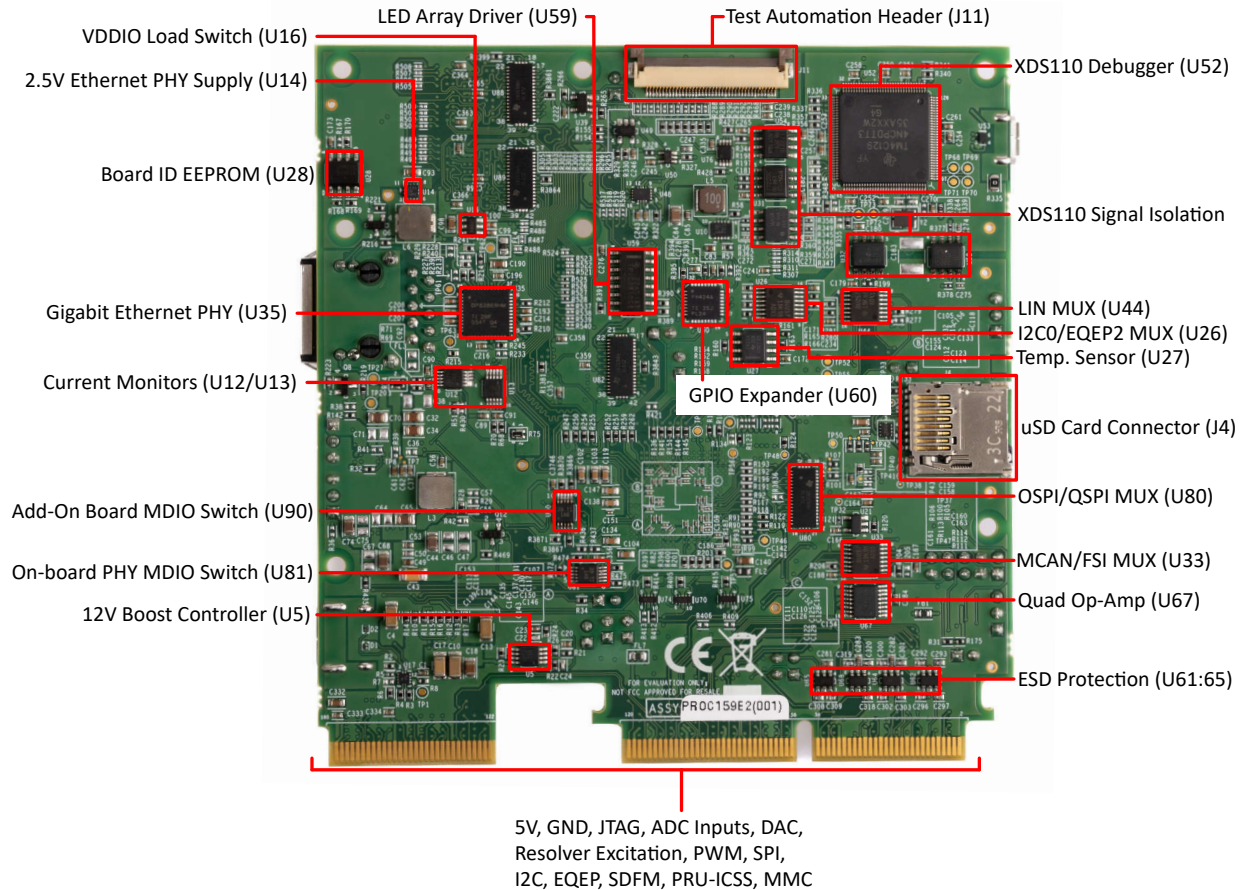


図 2-2. 部品識別 (背面)

## 2.2 コンプライアンス

選択されたすべての部品は、RoHS と REACH への適合性を満たしています。

本製品に取り付けられている部品は、静電放電 (ESD) の影響を受けやすくなっています。本製品は、ESD が制御された環境で使用することを推奨します。これには、ESD の蓄積を抑えるために温度や湿度が制御された環境も含まれます。また、本製品との接続時には、リストストラップや ESD マットなどの ESD 保護具の使用が推奨されます。

本製品は実験室に類似した基本的な電磁環境で使用され、EN IEC 61326-1:2021 に準拠した規格が適用されます。

## 2.3 電源要件

AM263Px 制御カードには、5V、3A の USB Type-C 入力から、または 5V、3A の HSEC 接続 (ドッキングステーションから供給される) から電力が供給されます。以下のセクションでは、AM263Px 制御カード、サポート部品、リファレンス電圧に電力を供給する配電ネットワークのトポロジについて説明します。

AM263Px 制御カードと互換性のある電源設計:

- USB Type-C 入力を使用する場合:
  - USB-C レセプタクル対応の 5V、3A 電源アダプタ
  - キャプティブ USB-C ケーブル搭載、5V、3A 電源アダプタ
  - 電力供給に対応した PC USB Type-C ポート
    - Thunderbolt
    - USB ロゴの後ろのバッテリー

	USB 2.0 High Speeds 480 MBit/s	USB 3.0 (USB 3.1 Gen 1) Super Speed 5 GBit/s	USB 3.1 Gen 2 Super Speed Plus 10 GBit/s
Does NOT support Power Delivery			
Does support Power Delivery			
Thunderbolt			
Does support Power Delivery			

図 2-3. USB Type-C 電力供給分類

- HSEC DC バレル ジャック電源入力を使用する場合：
  - 15W 以上の電源アダプタ

AM263Px 制御カードと互換性のない電源設計：

- USB Type-C 入力を使用する場合：
  - 次のような任意の USB アダプタ ケーブル：
    - Type-A - Type-C
    - micro-B - Type-C
    - DC バレル ジャック - Type-C
  - USB-C® キャプティブ ケーブルまたはレセプタクルを使用する、5V、1.5A 電源アダプタ
  - PC USB Type-C ポートには 3A は使用不可

### 2.3.1 USB Type-C コネクタを使用した電源入力

AM263Px 制御カードには、USB Type-C 接続から電力を供給できます。USB Type-C ソースは 5V で 3A を供給でき、電流ソース能力を CC1 および CC2 信号経由でアダプタイズします。この評価基板では、USB Type-C コネクタの CC1 と CC2 がポートコントローラ IC (TUSB320LAIRWBR) に接続されています。このデバイスは、CC ピンを使用してポートの接続 / 未接続、ケーブルの方向、役割の検出、Type-C 電流モードのポート制御を判断します。CC ロジックは、検出された役割に応じて、Type-C 電流モードをデフォルト、中、または高のいずれかとして検出します。

ポートピンは、抵抗を使用してグラウンドにプルダウンされ、上向きポート (UFP) モードの IC を構成します。UFP モードでの正しい接続を判定するため、VBUS 検出が実装されています。OUT1 および OUT2 ピンは NOR ゲートに接続されています。OUT1 ピンと OUT2 ピンの両方のアクティブ "Low" は、接続された状態の大電流 (3A) をアダプタイズします。これにより、ロードスイッチ (TPS22965DSGT) が VBUS\_MAIN 電源を供給し、デバイスの電源レールを生成する他のレギュレータに電力を供給できるようになります。

UFP モードでは、ポートコントローラ IC は常に両方の CC ピンにプルダウン抵抗を提示します。ポートコントローラ IC は、接続されている DFP からの Type-C モード電流アダプタイズメントに対応する電圧レベルを検出するため、CC ピンを監視します。ポートコントローラ IC は CC ピンをデバウンスし、VBUS が検出されるまで待機してから、接続を成功させます。UFP として構成されているポートコントローラ デバイスは、OUT1 および OUT2 GPIO を使用して、DFP のアダプタイズされた電流レベルを検出してシステムに通信します。

AM263Px 制御カードの電源要件は、5V、3A です。ソースが必要な電力を供給できない場合、NOR ゲートの出力は Low になり、VBUS\_MAIN パワー スイッチが無効化されます。したがって、電源要件が満たされていない場合、VSYST\_A\_3V3 を除くすべての電源はオフの状態のままです。このボードは、ソースが 5V、3A を供給できる場合のみ完全にオンになります。

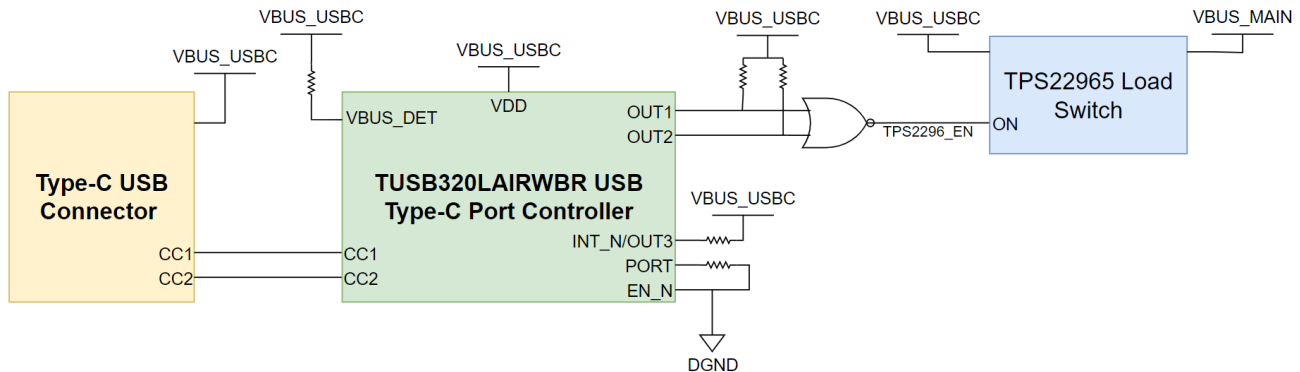


図 2-4. Type-C CC の構成

表 2-1. USB Type-C ケーブルの電流ソース能力と状態

OUT1	OUT2	広告
H	H	非接続状態でのデフォルト電流
H	L	接続状態でのデフォルト電流
L	H	接続状態での中電流 (1.5A)
L	L	接続状態での高電流 (3.0A)

AM263Px 制御カードには、各電源レールに対応するパワー マネージメント統合チップ (PMIC) をベースとする電源が含まれています。電源の初期段では、Type-C USB コネクタから 5V 電源が供給され、PMIC が必要とするすべての電圧が生成されます。その後、PMIC の LDO 出力を介して基板の残りの部分に供給されます。PMIC の詳細については、[セクション 2.3.5](#) を参照してください。

### 2.3.2 電源ステータス LED

複数の電源表示 LED をオンボード実装しており、主要電源の出力ステータスをユーザーに通知できます。以下の表に示すように、LED はさまざまなドメインにわたる電源ステータスを示します。

**表 2-2. 電源ステータス LED (1)**

名称	デフォルトのステータス	動作	機能
LD1	OFF	Type-C CC ロジック	電源エラー通知。Type-C 接続が 5V、3A を供給していない
LD2	オン	VMAIN_12V0	VMAIN 12V 電源の電源インジケータ
LD3	オン	VSYS_3V3_LDO1	PMIC LDO 3.3V 電源の電源インジケータ
LD4	オン	VSYS_1V2_PG	1.2V 電源レールのパワー グッド インジケータ
LD5	オン	VSYS_TA_3V3	電源インジケータ テスト オートメーション ヘッドの 3.3V 電源
LD6	OFF	USER_LED0	ユーザーがプログラム可能な赤色 LED
LD7	OFF	USER_LED1	ユーザーがプログラム可能な緑色 LED
LD8	オン	PMIC_SAFE_OUT2	PMIC からの安全エラー インジケータ出力
LD9	OFF	XDS110_PROG_STAZ1	XDS 構成後に LED が点灯
LD10	OFF	XDS110_PROG_STAZ2	
LD19	OFF	SAFETY_ERROR	AM263Px からの安全エラー出力ステータスピン
LD20	オン	VCC_1V8_LDO4	電源インジケータ PMIC LDO 1.8V 電源
LD21	オン	VDD_5V0_LDO3	PMIC LDO 5.0V 電源の電源インジケータ
LD22	オン	VSYS_3V3_LDO2	PMIC LDO 3.3V 電源の電源インジケータ

(1) LD[19:22] は、制御カードの E1 バージョンには含まれていません。

#### 注

LD9 はデフォルトでオンになっています。LED がオフの場合、PMIC からの安全エラー出力を示します。

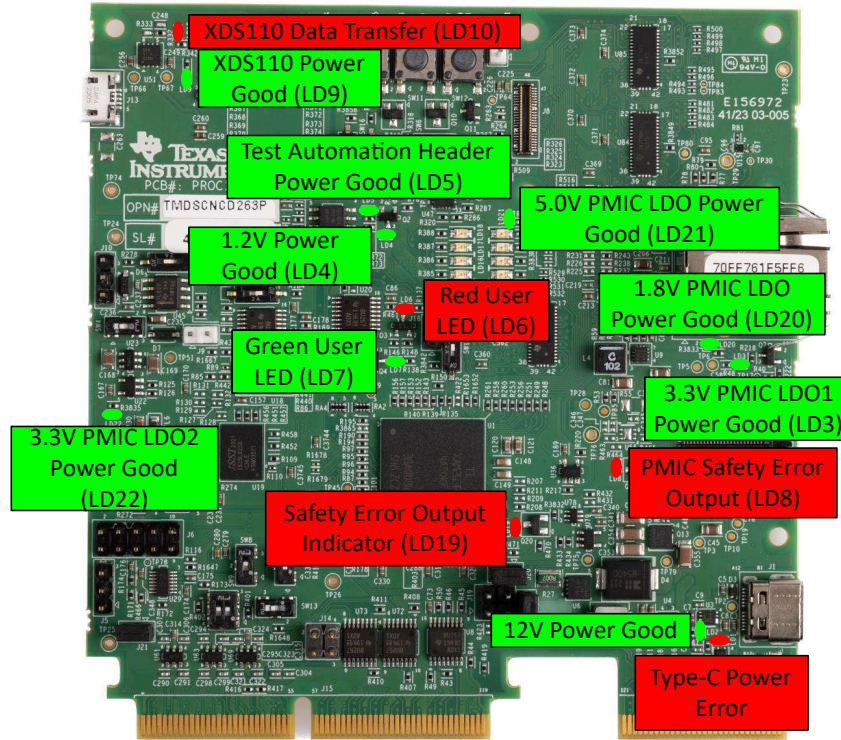


図 2-5. 電源ステータス LED

### 2.3.3 電源ツリー

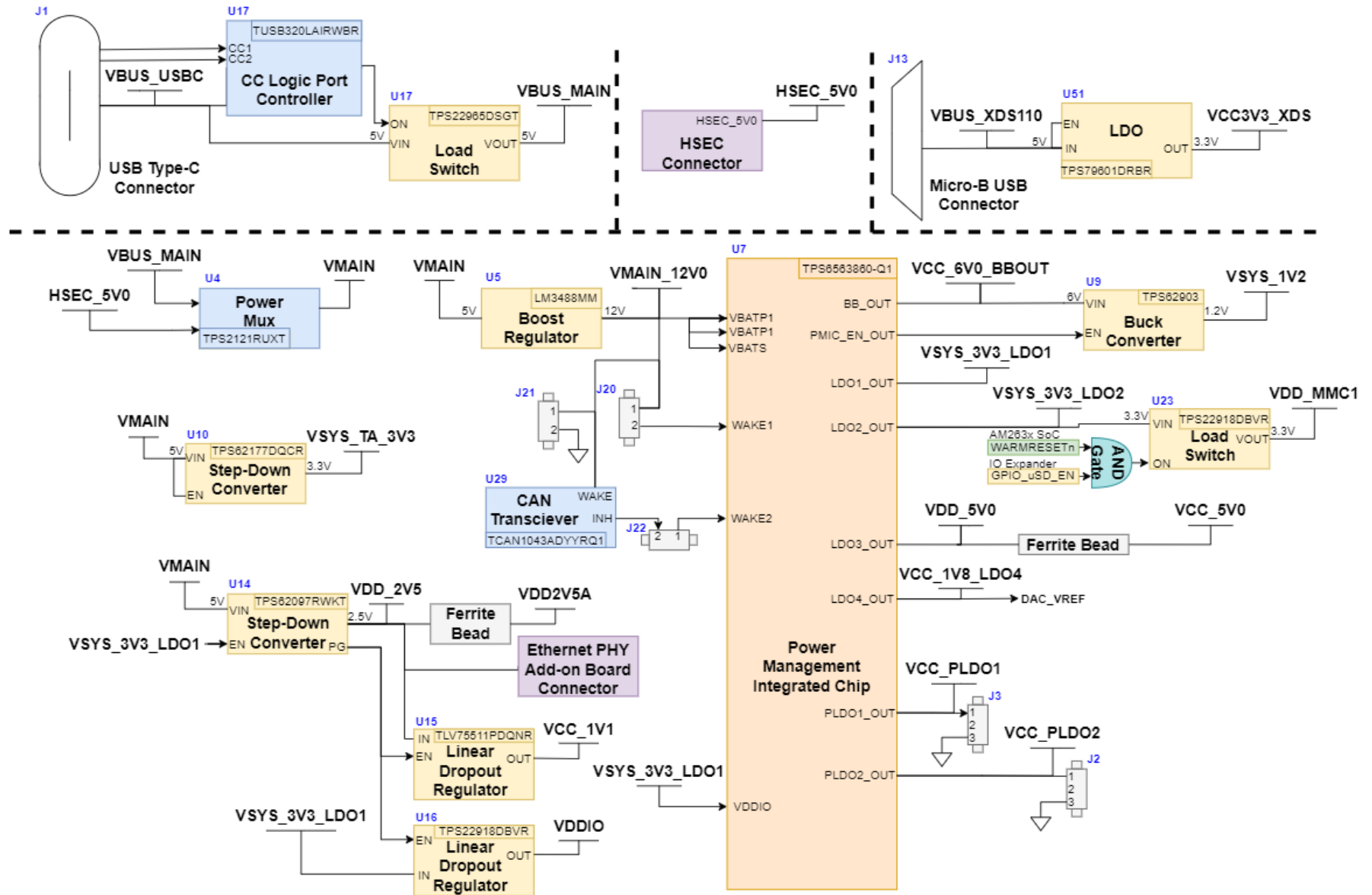


図 2-6. 電源ツリー

### 2.3.4 電源シーケンス

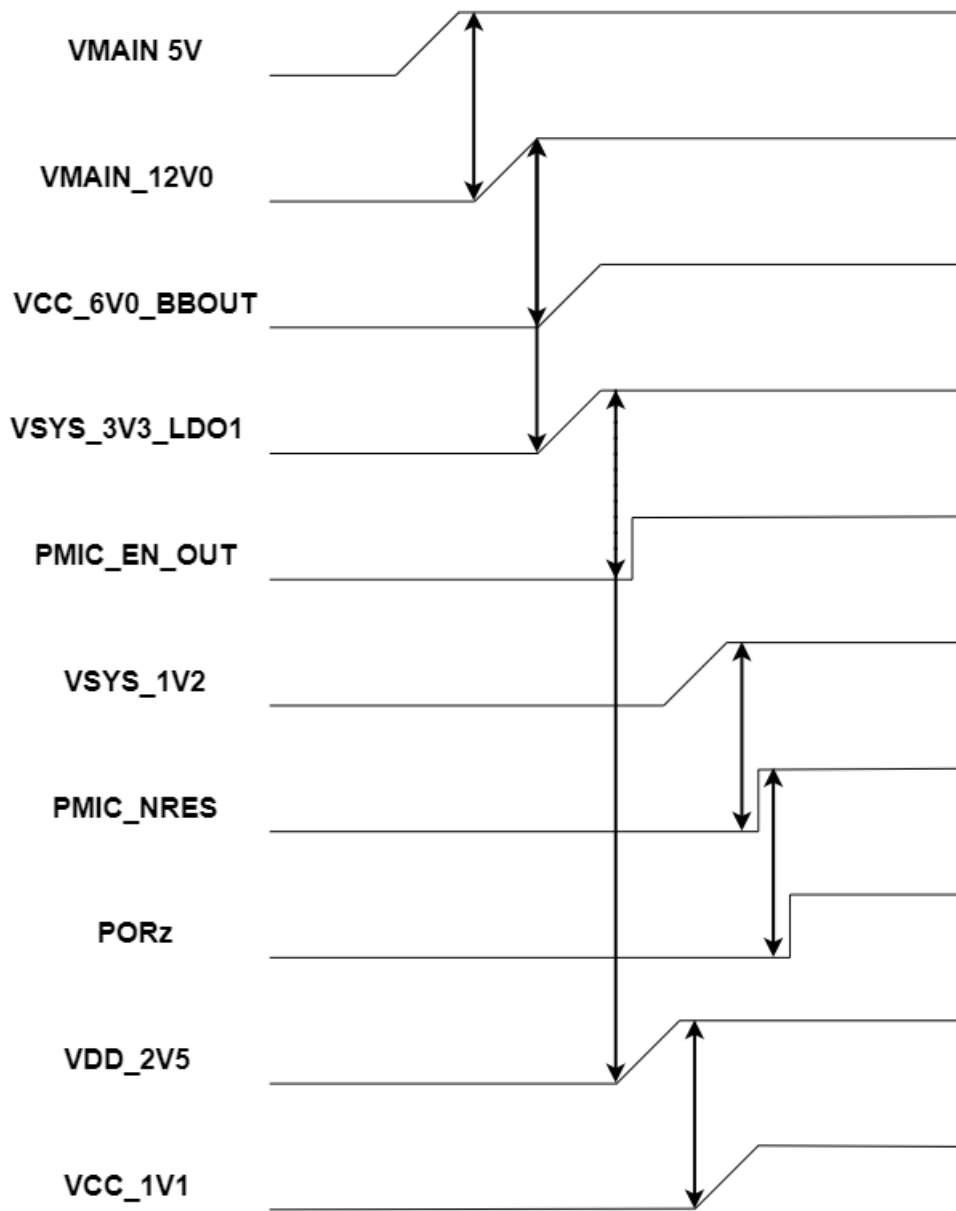


図 2-7. 電源シーケンス図

注

LDO[2:4]\_OUT と PLDO[1:2]\_OUT、および関連する電源は意図的にこの図に含まれていません。これらの LDO 出力は、デフォルトで電源オンになっておらず、これらの電源レールを有効にするには SPI 書き込みが必要なためです。

### 2.3.5 PMIC

AM263Px 制御カードは、安全関連アプリケーション (TPS6563860-Q1) のマイコン向けのマルチレール電源を使用します。PMIC は、マイコン、CAN、その他のオンボード ペリフェラルに電力を供給する複数の電源レールを内蔵しています。

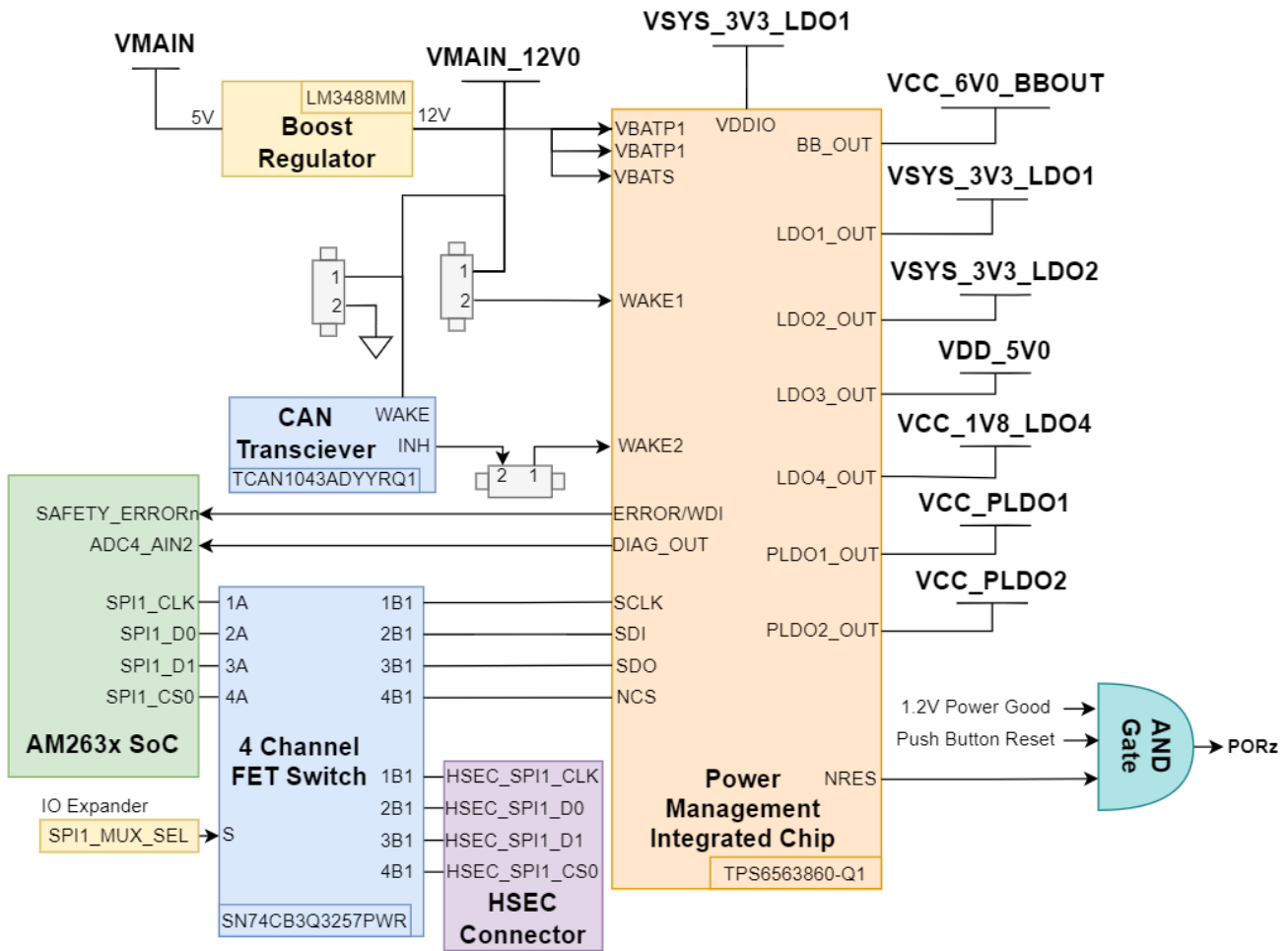


図 2-8. PMIC

#### 注

BB\_OUT および LDO1\_OUT はデフォルトで電源オンになっています。LDO[2:4]\_OUT および PLDO[1:2]\_OUT は、デフォルトでは電源オンになっていないため、これらの電源レールを有効にするための SPI 書き込みが必要です。

PMIC は、WAKE1 (VMAIN\_12V0) からのウェークアップ、または CAN トランシーバ (INH) からのウェークアップをサポートしています。

PMIC 内部の独立した電圧モニタリング ユニットを使って、バッテリー電源のすべての内部電源レールおよびレギュレータ出力において、低電圧と過電圧を監視します。すべての電源は、電流制限に加え、過熱警告およびシャットダウン機能により保護されています。

## 2.4 機能ブロック図

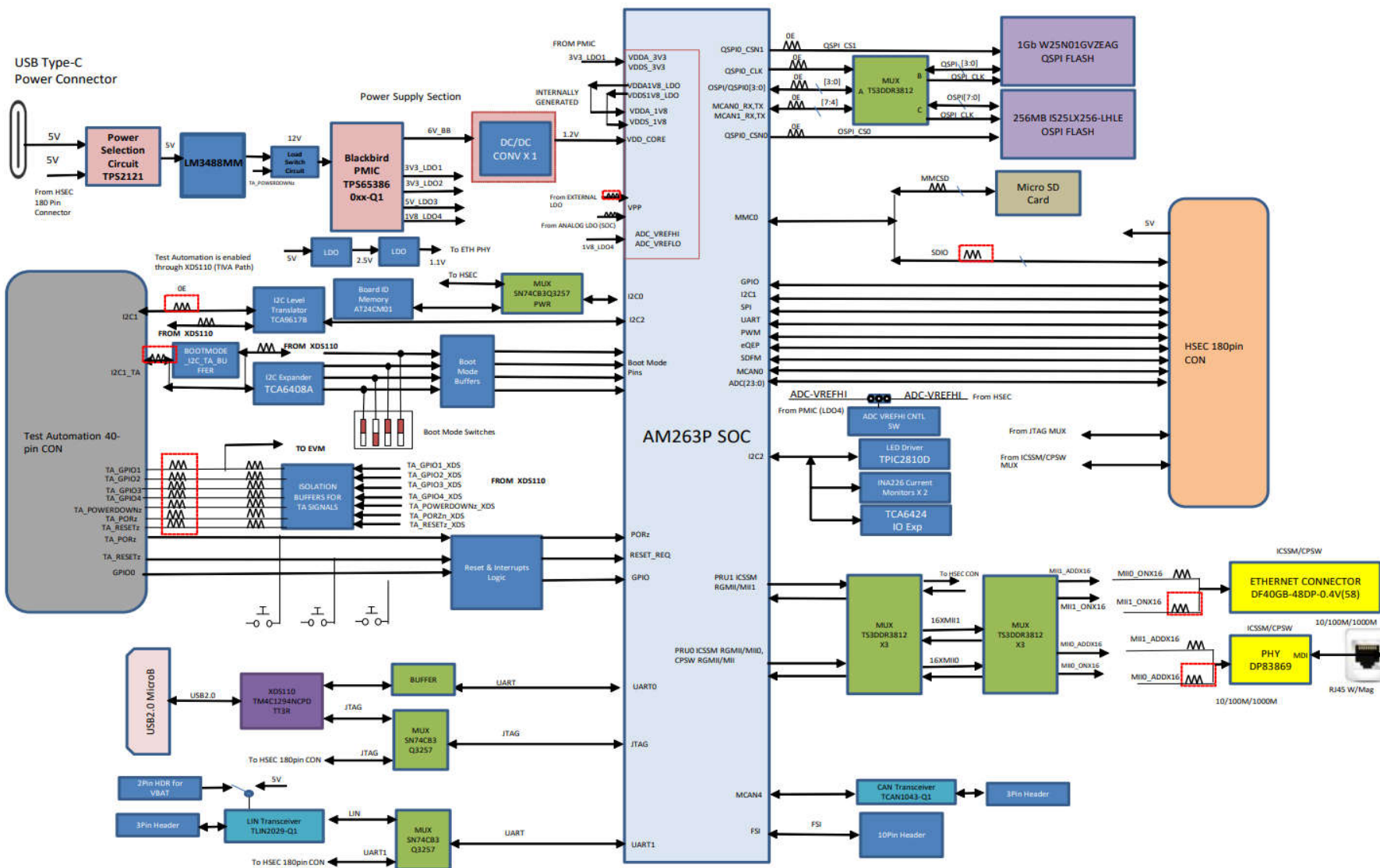


図 2-9. AM263Px 制御カードのブロック図

## 2.5 リセット

図 2-10 に、AM263Px 制御カードのリセットアーキテクチャを示します。

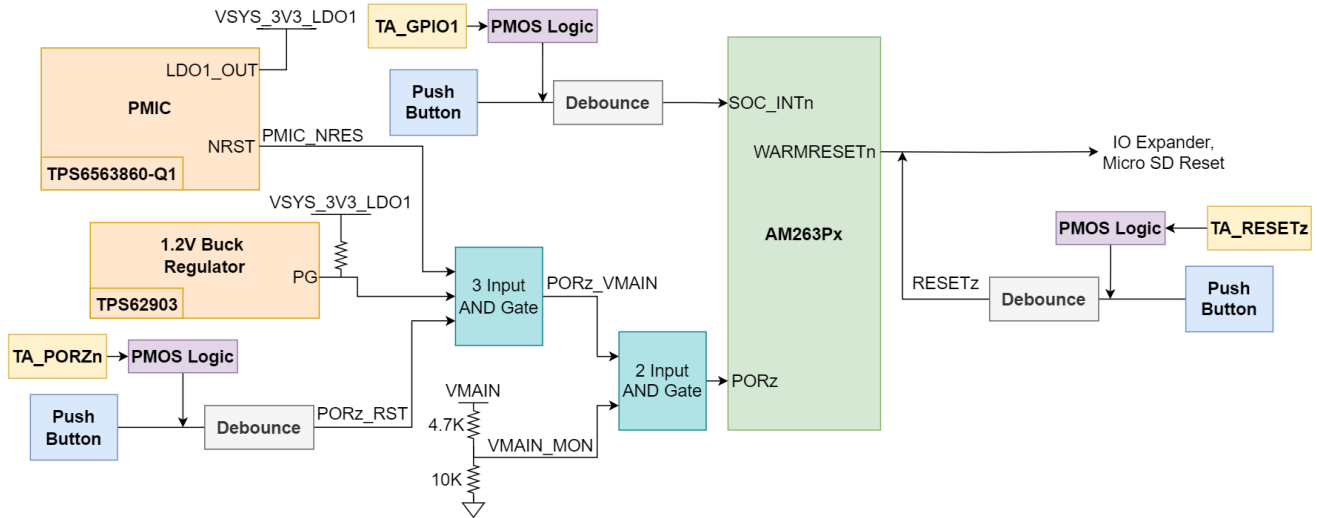


図 2-10. リセットアーキテクチャ

AM263Px SoC には以下のリセット機能があります。

- PORz は、MAIN ドメインのパワーオンリセットです。
- WARMRESEZn は、MAIN ドメインへのウォームリセットです。

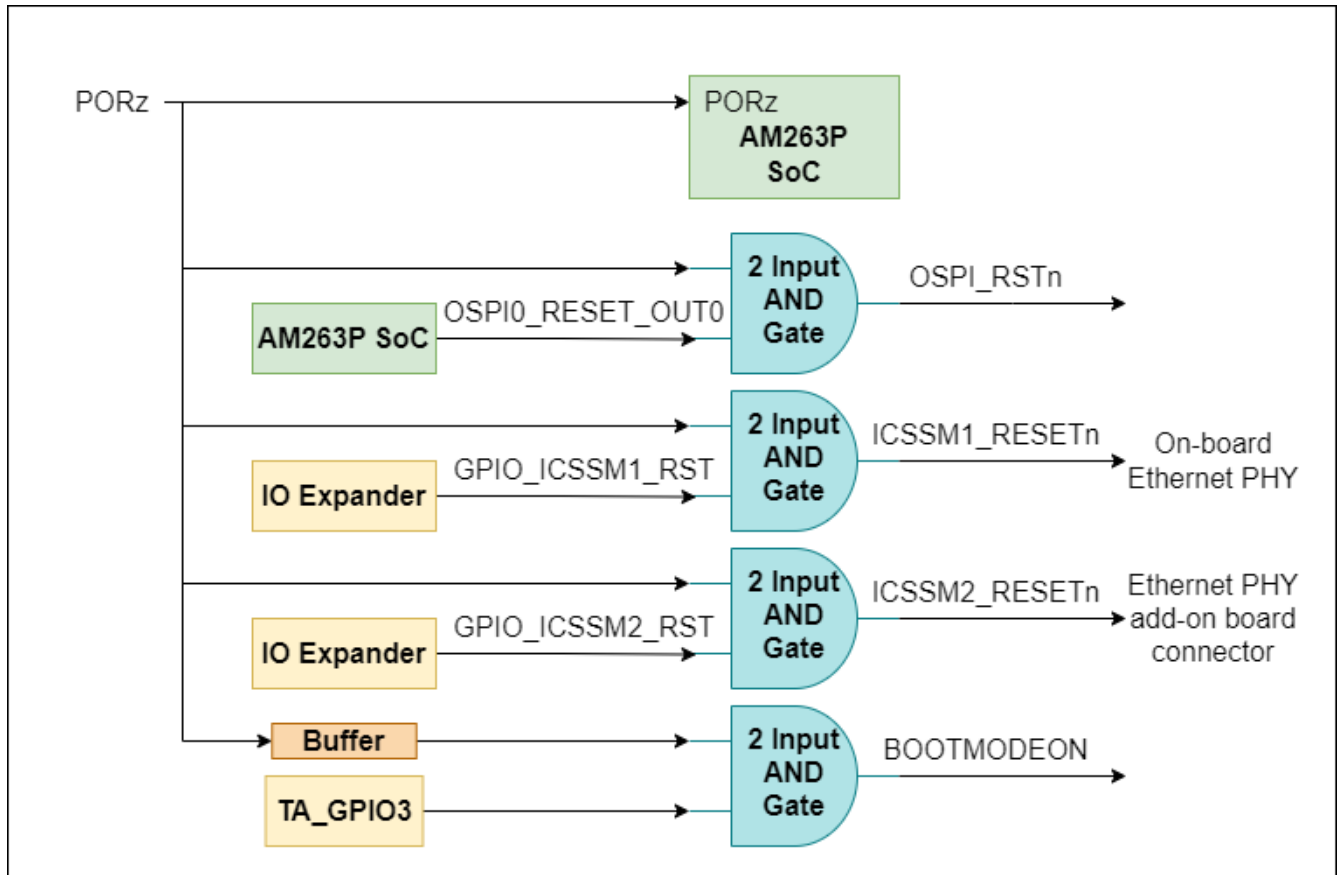


図 2-11. PORz リセット信号ツリー

PORz 信号は、以下の場合にメインドメインのパワーオンリセットを生成する 3 入力 AND ゲートによって駆動されます。

- PMIC は NRES を駆動し、MCU リセット出力信号を Low にします。
- 1.2V 降圧レギュレータは、パワー グッド信号に Low 信号を出力します。
- ユーザー プッシュ ボタン (SW10) が押されました。
- テスト オートメーション ヘッドはロジック "Low" 信号 (TA\_PORZn) を P チャネル MOSFET ゲートに出力するため、PMOS の V<sub>GS</sub> はゼロ未満になります。したがって、PORz 信号は、グラウンドに直接接続された PMOS ドレインに接続されます。

PORz 信号は以下のように接続されます。

- AM263Px SoC PORz 入力
- OSPI フラッシュリセット
- オンボード ギガビット イーサネット PHY リセット
- イーサネット アドオン ボード コネクタ
- BOOTMODE パッファ出力イネーブル
- 高速エッジ コネクタ (HSEC)

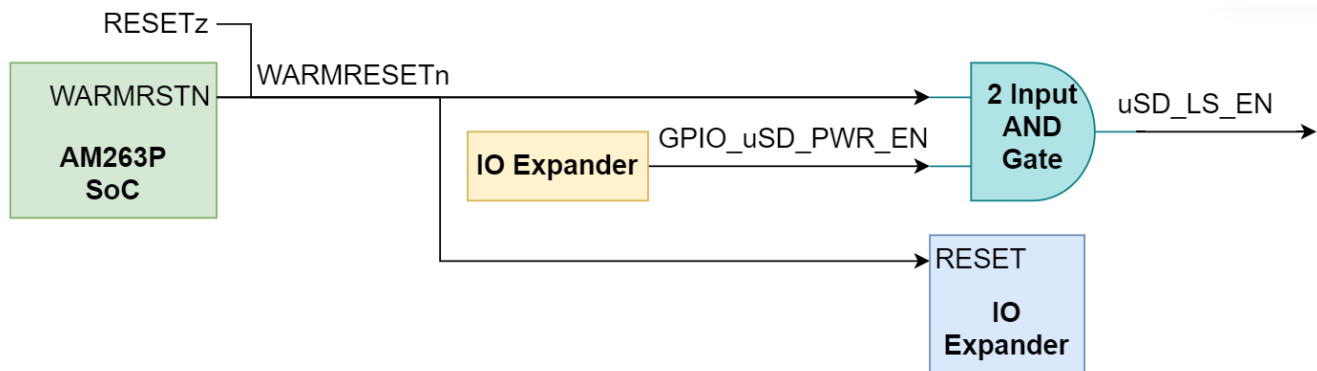


図 2-12. WARMRESETn リセット信号ツリー

WARMRESETn 信号は、以下の場合、メインドメインへのウォームリセットを生成します。

- ユーザー プッシュ ボタン (SW12) が押されました。
- テスト オートメーション ヘッドはロジック LOW 信号 (TA\_RESETz) を P チャネル MOSFET ゲート出力するため、PMOS の V<sub>GS</sub> はゼロ未満になります。したがって、RESETz 信号は、グラウンドに直接接続された PMOS ドレインに接続されます。

WARMRESETn 信号は次のように接続されます。

- AM263Px SoC WARMRESETN 出力
- プッシュ ボタン + PMOS ロジックから生成される RESETz 信号
- IO エクスパンダのリセット
- microSD のリセット
- HSEC

AM263Px 制御カードには SoC への外部割り込み INTn もあり、以下の場合に発生します。

- ユーザー プッシュ ボタン (SW11) が押されました。
- テスト オートメーション ヘッドはロジック LOW 信号 (TA\_GPIO1) を P チャネル MOSFET ゲート出力するため、PMOS の V<sub>GS</sub> はゼロ未満になります。したがって、INTn 信号は、グラウンドに直接接続された PMOS ドレインに接続されます。

## 2.6 クロック

AM263Px SoC では、XTAL\_XI 用の 25MHz クロック入力が必要です。SoC と 3 つのイーサネット PHY に必要なすべてのリファレンス クロックは、1 つの 4 出力クロック バッファ (LMK1C1103PWR) から生成されます。このクロック バッファは、デフォルトでは 1 つの 25MHz LVCMOS 発振器から供給されます。3.3V から 1.8V へのレベル変換に、クロック バッファを使用します。

制御カードには、UART-USB JTAG をサポートするために、TM4C129 マイコン用の 16MHz クロック ソースも必要です。

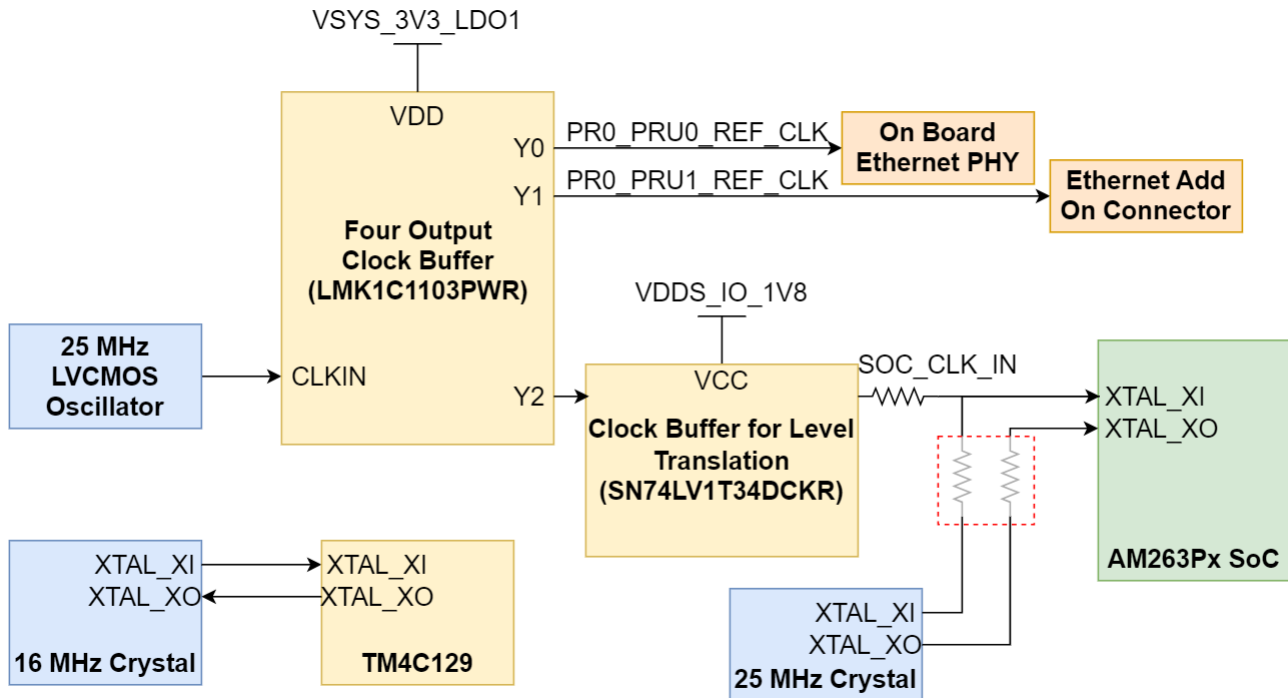


図 2-13. 発振器のクロック ツリー

または、SoC クロック入力を 1 つの 25MHz 水晶振動子から供給することもできます。水晶振動子を使用する場合、実装すべき抵抗と未実装にすべき抵抗があります。水晶振動子をクロック ソースとして使用する場合、AM263Px CLKOUT0 信号を使用してイーサネット PHY リファレンス クロック信号用の 4 つの出力クロック バッファを供給します。

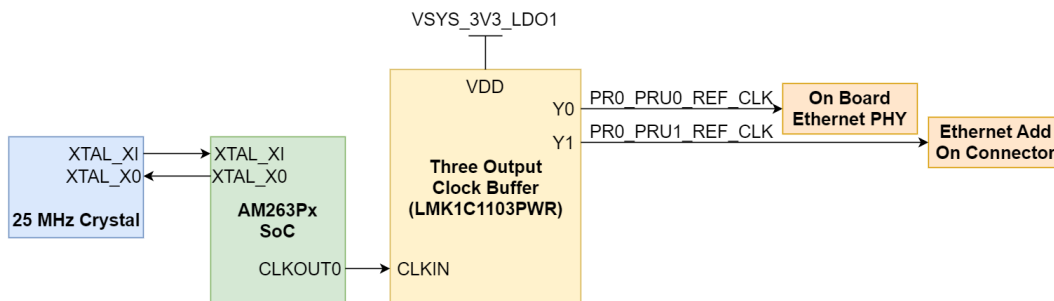


図 2-14. 水晶振動子のクロック ツリー

以下の表に、各クロックソース構成ごとに実装すべき抵抗と、非実装 (DNI) とすべき抵抗を示します。

**表 2-3. クロックソース**

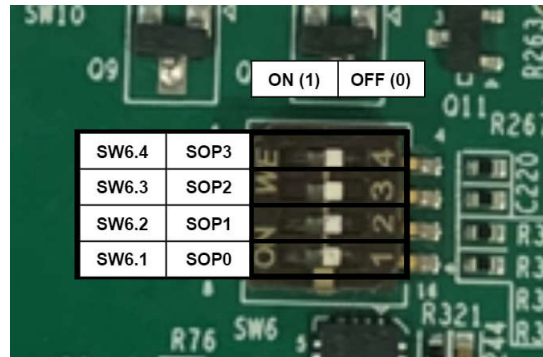
クロックソース	実装	DNI
25MHz LVCMOS 発振器 (デフォルト)	R273, R176	R178, R179, R271
25MHz 水晶振動子	R178, R179, R271	R273, R176

## 2.7 ブートモードの選択

AM263Px のブートモードは、DIP スイッチ (SW6) またはテストオートメーションヘッダによって選択されます。PORz がトグルされたとき、テストオートメーションヘッダは、I2C IO 拡張バッファを使用してブートモードを駆動します。サポートされているブートモードを、表 2-4 に示します。

**表 2-4. サポートされているブートモード**

ブートモード / ペリフェラル	ブートメディア / ホスト	注
QSPI(4S), 50MHz	フラッシュメモリ	ROM は OSPI コントローラを QSPI 4S モードで構成し、外部フラッシュからイメージをダウンロードし、障害が発生した場合に UART フォールバックブートモードをサポートします。
UART	外部ホスト	ROM は UART0 を 115200bps のボーレートで構成し、x モデムプロトコルを使用して外部 PC 端末からイメージをダウンロードします。
QSPI(1S), 50MHz	フラッシュメモリ	ROM は OSPI コントローラを QSPI 1S モードで構成し、外部フラッシュからイメージをダウンロードし、障害が発生した場合に UART フォールバックブートモードをサポートします。
OSPI(8S), 50MHz	フラッシュメモリ	ROM は OSPI コントローラを 8S モードに構成し、外部フラッシュからイメージをダウンロードし、障害が発生した場合に UART フォールバックブートモードをサポートします。
xSPI (1S->8D), 25MHz, SFDP	QSPI フラッシュ / 外部ホスト	ROM は OSPI コントローラを xSPI 8D モードで構成し、読み取りコマンドのために SFDP 表を読み取り、外部フラッシュからイメージをダウンロードします。SFDP によるフラッシュは JEDEC 標準リビジョン D のみサポートされています。
DevBoot	該当なし	SBL なし。開発目的でのみ使用される。



**図 2-15. SW6 のスイッチ位置**

**表 2-5. ブートモードの選択表**

ブートモード	SPI0_D0_pad (SOP3)	SPI0_CLK_pad (SOP2)	OSPI_D1 (SOP1)	OSPI_D0 (SOP0)
QSPI(4S), 50MHz	0	0	0	0
UART	0	0	0	1
QSPI(1S), 50MHz	0	0	1	0
OSPI(8S), 50MHz	0	0	1	1
xSPI (1S->8D), 25MHz, SFDP	1	1	0	0
DevBoot	1	0	1	1
サポートされていない起動モード	上記に定義されていない他のすべての組み合わせ。			

## 2.8 JTAG パスの選択

AM263Px 制御カードを使用すると、オンボード XDS110 を介して、または HSEC ドッキングステーション経由で外部エミュレータを使用して、SoC に JTAG 接続することができます。スイッチ (SW1) は、マルチプレクサ (U30) の選択ラインを駆動して、SoC の JTAG パスを決定するために使用されます。次の図は、2 つある JTAG パスの SW1 の適切なスイッチ位置を示しています。

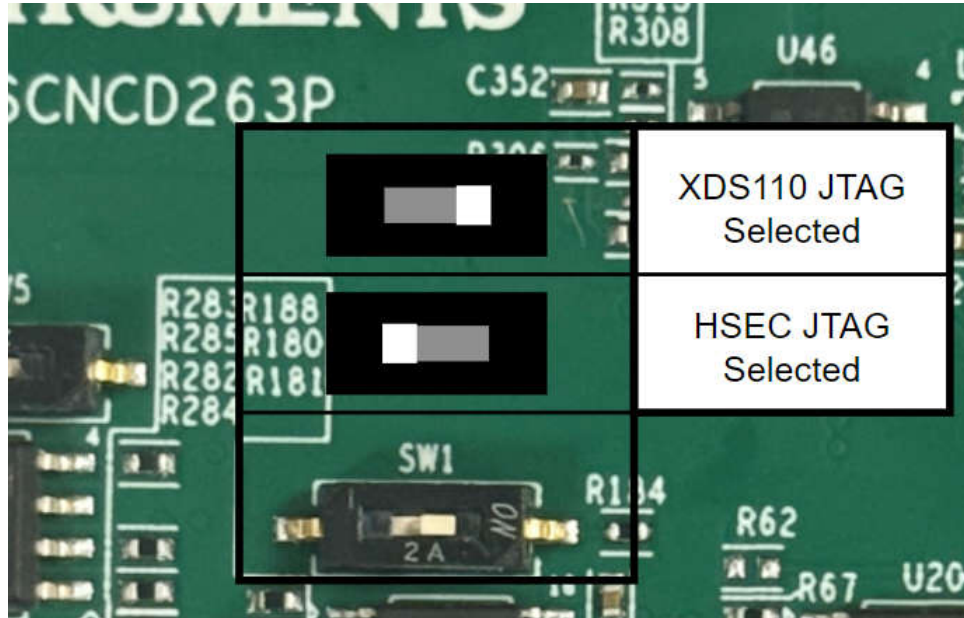


図 2-16. JTAG パスのスイッチの位置

## 2.9 ヘッド情報

この AM263Px のバージョンには、11 種類のヘッドがあります。各ヘッドの場所については、[セクション 2.1](#) を参照してください。各ヘッドピンの信号の詳細を以下に示します。

- PMIC ヘッダー
  - PMIC の詳細については、[表 2-6](#) を参照してください。

表 2-6. PMIC

記号	ピン 1	ピン 2	ピン 3
J2	VCC_PLDO2	NC	DGND
J3	VCC_PLDO1	NC	DGND
J20	VMAIN_12V0	PMIC_WKUP1	該当なし
J21	TCAN_WAKE	DGND	該当なし

- テストオートメーションブートモード制御ヘッド
  - テストオートメーションヘッドの詳細については、[表 2-7](#) を参照してください。

表 2-7. テストオートメーションヘッド

記号	ピン 1	ピン 2
J12	TA_GPIO3	DGND

- MCAN ヘッダー
  - MCAN インターフェイスの詳細については、[表 2-8](#) を参照してください。

表 2-8. MCAN ヘッダー

記号	ピン 1	ピン 2	ピン 3
J5	MCAN4_CAN_H	DGND	MCAN4_CAN_L
J21	TCAN_WAKE	DGND	該当なし
J22	PMIC_WKUP2	MCAN INH	該当なし

- FSI ヘッダー

- FSI インターフェイスの詳細については、[表 2-9](#) を参照してください。

表 2-9. FSI ヘッダー

記号	ピン 1	ピン 2	ピン 3	ピン 4	ピン 5	ピン 6	ピン 7	ピン 8	ピン 9	ピン 10
J6	FSIRX2_CLK	FSITX2_CLK	DGN D	DGN D	FSIRX2_DAT A0	FSITX2_DAT A0	FSIRX2_DAT A1	FSITX2_DAT A1	DGN D	VSYS_3V3A

- PRU-ICSS IEP ヘッダー

- PRU-ICSS の詳細については、[表 2-10](#) を参照してください。

表 2-10. PRU-ICSS IEP ヘッダー

記号	ピン 1	ピン 2
J19	PR0_IEP0_EDIO_DATA_IN_OUT_31	DGND
J18	PR0_IEP0_EDC_SYNC_OUT1	DGND
J17	PR0_IEP0_EDIO_DATA_IN_OUT_30	DGND
J16	PR0_IEP0_EDC_SYNC_OUT0	DGND

- LIN ヘッダー

- LIN インターフェイスの詳細については、[表 2-11](#) を参照してください。

表 2-11. LIN ヘッダー

記号	ピン 1	ピン 2	ピン 3
J10	VLIN	LIN	DGND
J9	VBAT_LIN	DGND	該当なし

## 2.10 GPIO へのマッピング

表 2-12. GPIO マッピング表

SI 番号	GPIO 名称	GPIO	ピン名	機能	ネット名	アクティブ ステータス
1	SoC への割り込み	GPIO21	LIN2_RXD	割り込み	SOC_INTn	Low
2	イーサネット PHY コネクタへの割り込み	GPIO67	EPWM12_A	割り込み	ICSSM2_PWDN/INTn	Low
3	ユーザー定義の LED	GPIO58	EPWM7_B	GPIO	USER_LED1	優先順位が高い
4	オンボード イーサネット PHY 割り込み	GPIO68	EPWM12_B	割り込み	ICSSM1_INT	Low
5	ユーザー定義の LED	GPIO22	LIN2_TXD	GPIO	USER_LED0	優先順位が高い
8	オンボード イーサネット PHY へのリセット入力	GPIO35	RGMI11_TXC	リセット	GPIO_ICSSM1_RST	Low
9	イーサネット コネクタへのリセット入力	GPIO36	RGMI11_TX_CTL	リセット	GPIO_ICSSM2_RST	Low
10	PMIC から SoC への割り込み	GPIO29	RGMI11_RXC	割り込み	PMIC_INTn	Low
11	OSPI/QSPI マルチプレクサを選択	GPIO37	RGMI11_TD0	MUX SEL	OSPI/QSPI_MUX_SEL	優先順位が高い
<b>IO エクスパンダ 01</b>						
12	OSPI へのリセット入力		P00	リセット	GPIO_OSPI_RSTn	Low
13	クロック バッファへのイネーブル制御		P01	イネーブル	CLK_BUF_EN	High
14	ICSS MII1 HSEC マルチプレクサの選択ライン		P02	マルチプレクサの選択	ICSSM1_MUX_SEL	SW16
15	ICSS オンボード PHY の選択ライン		P03	マルチプレクサの選択	ICSSM2_MUX_SEL	SW15
16	OSPI と HSEC UART の選択ライン		P04	マルチプレクサの選択	FSI_MUX_SEL	優先順位が高い
17	ADC マルチプレクサの選択ライン		P05	マルチプレクサの選択	ADC3_MUX_SEL	優先順位が高い
18	ADC マルチプレクサの選択ライン		P06	マルチプレクサの選択	ADC4_MUX_SEL	優先順位が高い
19	SD ロード スイッチへのイネーブル制御		P07	ロード SW イネーブル	GPIO_uSD_PWR_EN	High
20	ADC マルチプレクサの選択ライン		P10	マルチプレクサの選択	ADC5_MUX_SEL	優先順位が高い
21	I2C0 マルチプレクサの選択ライン		P11	マルチプレクサの選択	I2C0_MUX_SEL	優先順位が高い
22	SPI1 マルチプレクサの選択ライン		P12	マルチプレクサの選択	SPI1_MUX_SEL	優先順位が高い
23	UART2 マルチプレクサの選択ライン		P13	マルチプレクサの選択	UART2_MUX_SEL	優先順位が高い
24	1.7V LDO へのイネーブル制御		P14	LDO イネーブル	VPP_LDO_EN	優先順位が高い
25	LIN/UART マルチプレクサの選択ライン		P15	マルチプレクサの選択	LIN_MUX_SEL	優先順位が高い
26	ADC マルチプレクサの選択ライン		P16	マルチプレクサの選択	ADC1_MUX_SEL	優先順位が高い
27	ADC マルチプレクサの選択ライン		P17	マルチプレクサの選択	ADC2_MUX_SEL	優先順位が高い
28	HSEC GPIO		P20	GPIO	HSEC_GPIO	優先順位が高い
29	MCAN トランシーバのスタンバイ信号		P21	MCAN スタンバイ	MCAN1_STB	High
30	オンボード PHY 用の MDIO 信号の選択		P22	マルチプレクサの選択	MDIO/MDC_MUX_SEL1	High
31	イーサネット アドオン ボード用の MDIO 信号の選択		P23	マルチプレクサの選択	MDIO/MDC_MUX_SEL2	High
32	ICSS MII0 HSEC マルチプレクサの選択ライン		P24	マルチプレクサの選択	ICSSM0_MUX_SEL	SW14

## 2.11 プッシュ ボタン

制御カードには、プロセッサにリセット入力とユーザー割り込みを提供する、複数のユーザー プッシュ ボタンが用意されています。

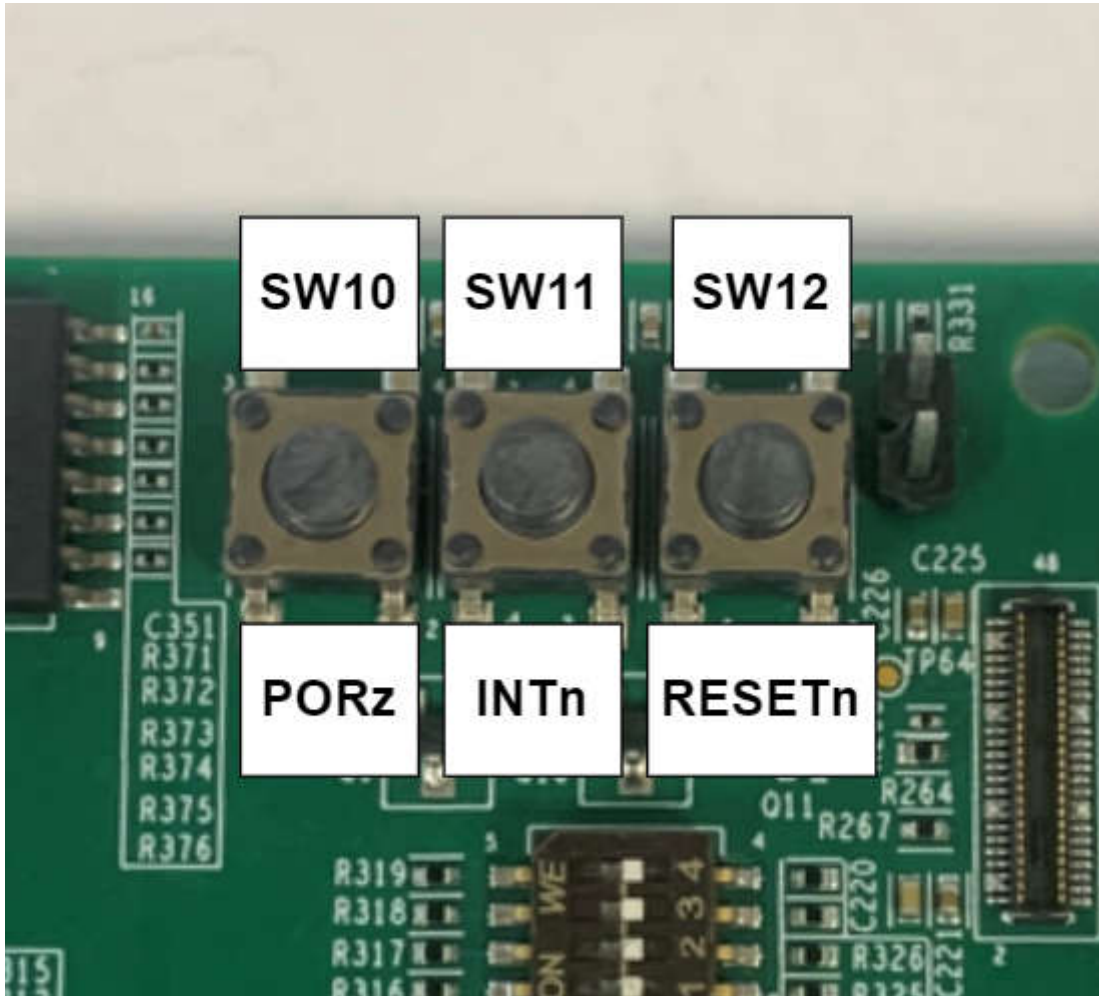


図 2-17. プッシュ ボタン

AM263Px 制御カード基板の上面に配置されているプッシュ ボタンの一覧を表 2-13 に示します。

表 2-13. 制御カードのプッシュ ボタン

プッシュ ボタン	信号	機能
SW11	INTn	ユーザー割り込み信号
SW10	PORz	SoC PORz リセット入力
SW12	RESETn	SoC ウォームリセット入力

## 2.12 インターフェイス

### 2.12.1 メモリ インターフェイス

#### 2.12.1.1 OSPI/QSPI

AM263Px 制御カードには、AM263Px SoC の QSPI0 インターフェイスに接続された 1Gbit QSPI NAND フラッシュメモリ デバイス (W25N01GVZEAG) が搭載されています。QSPI は、メモリ速度が最大 104MHz のシングル データレートに対応しています。QSPI フラッシュには 3.3V IO 電源 (VSYS\_3V3\_LDO1) から電力が供給されます。

**注**

通常、フラッシュメモリ用のリセットピンがあります。制御カードで使用される WSON パッケージにはリセットピンはありません。

QSPI0\_D0/D1 信号は、BOOTMODE 制御ロジックにも使用されます。10kΩ の抵抗がありますが、これは値のラッチ後に BOOTMODE 制御ロジックを分離するために使用されます。

AM263Px 制御カードには、AM263Px SoC の OSPI0 インターフェイスに接続された 256Mbit OSPI NOR フラッシュメモリ デバイス (IS25LX256-LHLE) も搭載されています。

2 つのフラッシュメモリ間のメモリ データ信号のルーティングを制御する高速データ スイッチがあります。AM263Px SoC の GPIO37 は、高速データ スイッチの選択ラインを駆動するために使用されます。選択ラインにはプルアップ抵抗があるため、デフォルトで OSPI メモリ デバイスが選択されます。

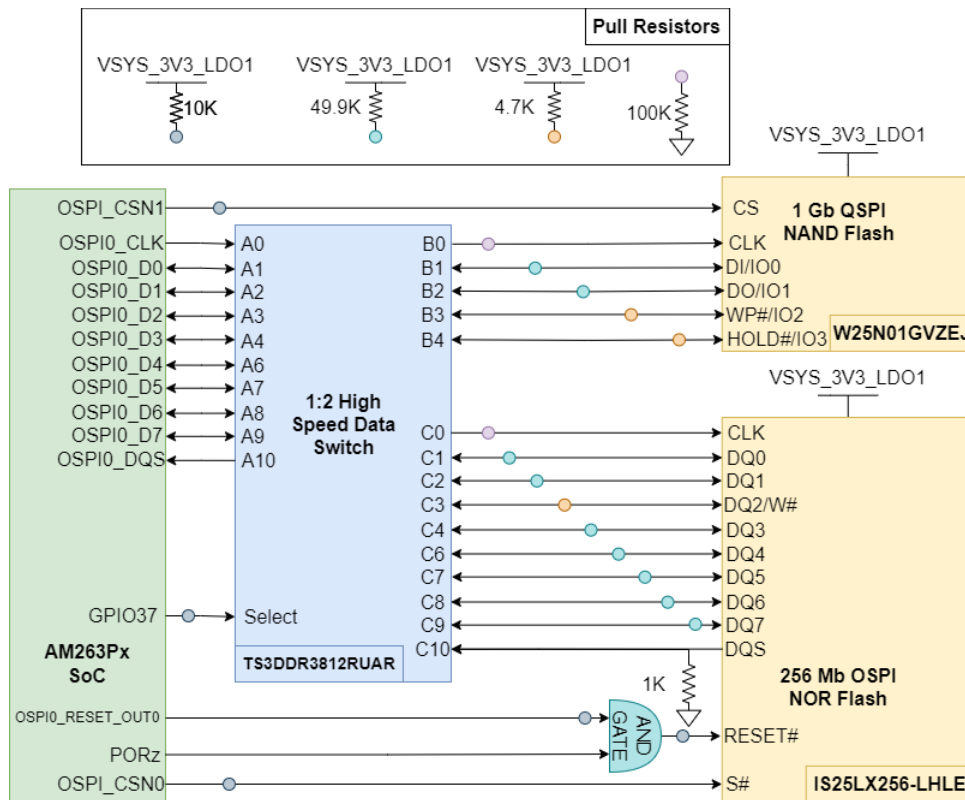


図 2-18. OSPI/QSPI インターフェイス

表 2-14. メモリ マルチプレクサ表

選択	条件	マルチプレクサ機能
High	OSPI NOR フラッシュを選択	A → B ポート
Low	QSPI NAND フラッシュを選択	A → C ポート

### 2.12.1.2 基板 ID EEPROM

AM263Px 制御カードには、I2C ベースの 1Mbit EEPROM (CAT23M01WI-GT3) が搭載されており、ボード構成の詳細が保存されます。基板 ID EEPROM は、1:2 マルチプレクサ (SN74CB3Q3257PWR) 経由で AM263Px の I2C0 インターフェイスに接続されています。EEPROM のデフォルトの I2C アドレスは、アドレスピン A1 と A2 をグラウンドにプルダウンすることで 0x50 に設定されます。EEPROM の書き込み保護ピンはデフォルトでグラウンドにプルダウンされているため、書き込み保護は無効になっています。10kΩ プルダウン抵抗 (R273) を取り外し、3.3V の IO 電圧電源にプルアップ抵抗 (R268) を取り付けると、書き込み保護を有効にするオプションもあります。

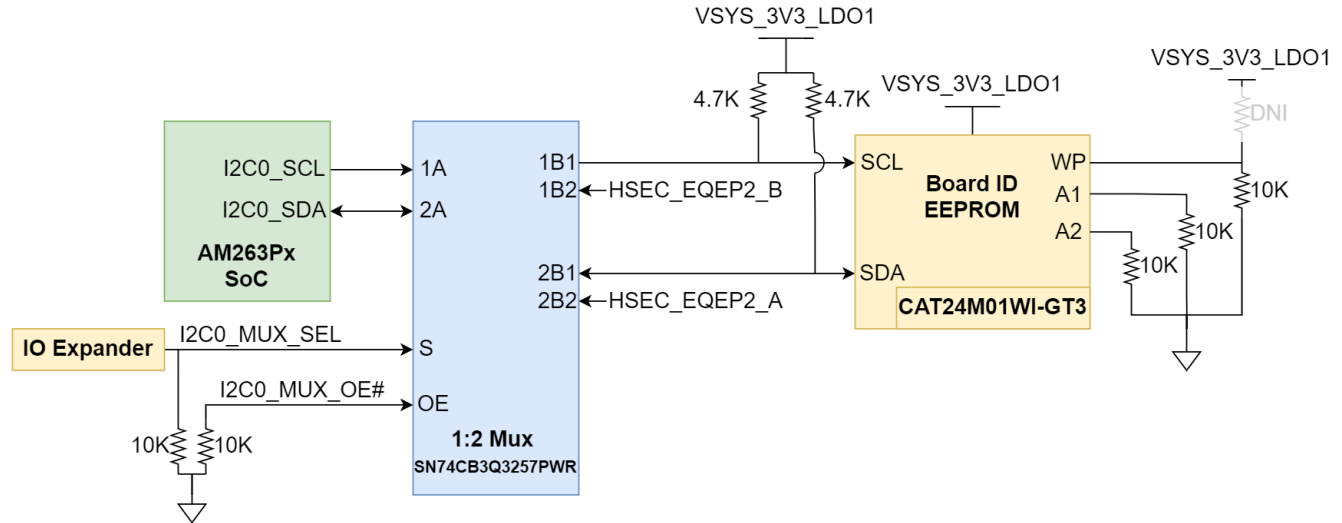


図 2-19. 基板 ID EEPROM

GPIO エクスパンダは、1:2 マルチプレクサの選択信号 (I2C0\_MUX\_SEL) を制御するために使用されます。

表 2-15. EEPROM マルチプレクサ表

選択	条件	マルチプレクサ機能
High	HSEC EQEP を選択	A → B2 ポート
Low	I2C0 を選択	A → B1 ポート

### 2.12.2 イーサネット インターフェイス

AM263Px SoC には、2 つの個別のイーサネット インターフェイスが搭載されています。1 つ目のインターフェイスはギガビット イーサネット スイッチ (CPSW) サブシステムで、2 つのポートがあり、選択可能な MII、RMII、RGMII インターフェイスを備えています。

#### 注

制御カードで使用される ZCZ\_S パッケージでは、CPSW イーサネット ポートの 1 つの代わりにレゾルバ インターフェイスが装備されています。したがって、制御カードでアクセスできる CPSW ポートは RGMII2/RMII2/MII2 だけです。

2 つ目のイーサネット インターフェイスはプログラマブルリアルタイム ユニット産業用通信サブシステム (PRU-ICSS) で、2 基のコア (PRU0、PRU1) を搭載しており、それぞれをリアルタイム イーサネット ポートとして構成することができます。

各イーサネット インターフェイスには、PHY 管理用の関連する管理データ入出力 (MDIO) モジュールがあります。CPSW 信号と PRU-ICSS MDIO 信号は、どのポートが PHY にルーティングされるかに基づいて、PHY にルーティングされます。制御カードには、オンボード PHY コネクタまたはイーサネット アドオン ボード コネクタにどの MDIO モジュールをルーティングするかを決定する 2 つのアナログ スイッチが含まれています。

ギガビット イーサネット スイッチ (ポート 2) からのイーサネット ポートと、PRU0 用に構成可能なリアルタイム イーサネット ポート (PR0\_PRU0\_MII0) は、SoC の同じボールにルーティングされており、ピンマルチプレクサの構成によって、一度に使用されるペリフェラルが決定されます。

制御カードには、オンボード ギガビット イーサネット PHY トランシーバ (DP83869HMRGZT) が搭載されています。オンボード PHY の詳細については、[セクション 2.12.2.2](#) を参照してください。車載または産業用の付加的なイーサネット PHY に対応するために、さまざまなイーサネット アドオン ボードを接続するための外部コネクタも実装しています。イーサネット アドオン ボード コネクタに接続できるボードの詳細については、該当するボードのユーザー ガイドを参照してください。

また、制御カードには複数の 1:2 マルチプレクサ / デマルチプレクサ高速スイッチも搭載されており、HSEC、オンボード イーサネット PHY、イーサネット アドオン ボード コネクタ間のすべてのイーサネット ポートをルーティングします。制御カードにおけるすべてのイーサネット ルーティングの詳細については、[セクション 2.12.2.1](#) を参照してください。

### 2.12.2.1 制御カードのイーサネット ルーティング

AM263Px SoC には、複数のイーサネット ポートと MDIO モジュールが搭載されており、マルチプレクサ / アナログスイッチの設定や、基板に実装されている 0Ω 抵抗に基づいて、さまざまな接続先へルーティングできます。3 つの単極単投 (SPST) スイッチと、IO エクスパンダからの IO 制御信号により、マルチプレクサ / アナログスイッチのルーティング状態が決定されます。

図 2-20 に、すべてのイーサネット ポートと MDIO 信号のルーティング方式の概要を示します。

表 2-16 に、制御カードにおけるイーサネットおよび MDIO ルーティングの利用可能なさまざまな構成を示します。デフォルト設定は構成 1 で、緑色で強調表示されています。

#### 注

各種構成では、0Ω 抵抗の半田付けと取り外しが必要です。

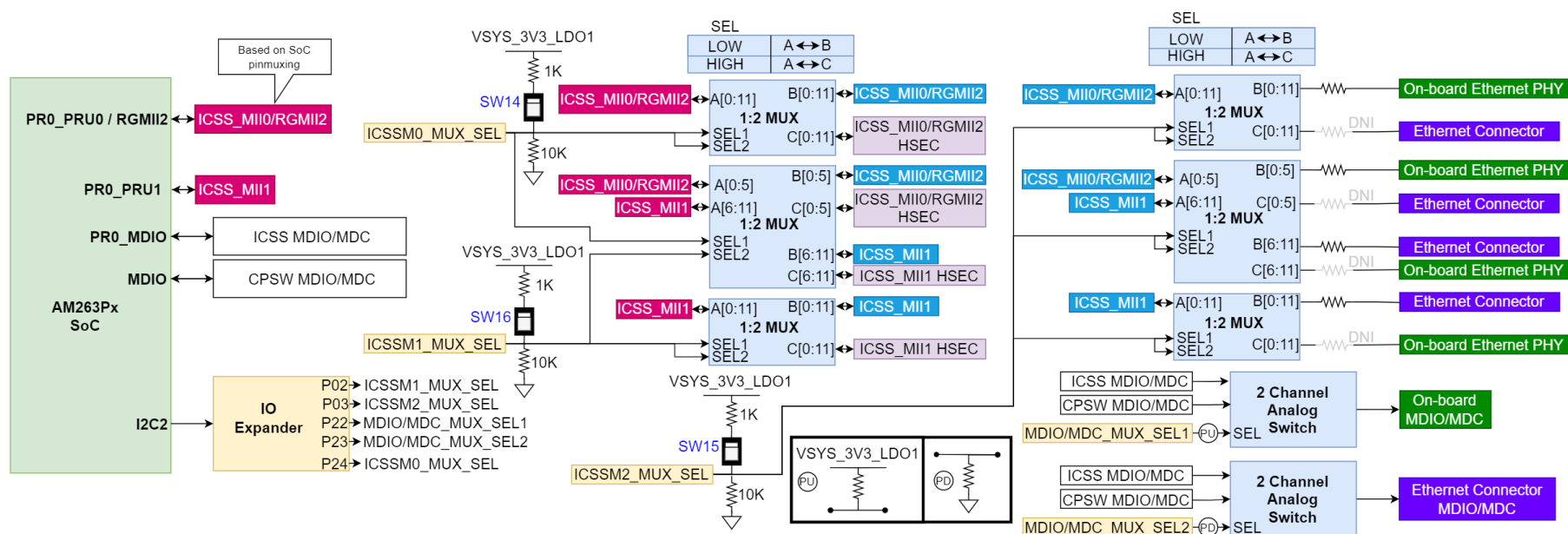


図 2-20. イーサネット ルーティングの概要

出荷時のデフォルトの状態を示す

部品の半田付け / 半田除去を必要とする領域を示す

表 2-16. イーサネット ルーティング

SoC ソース	接続先	構成#	ICSSM0_MUX_SEL (SW14)	ICSSM1_MUX_SEL (SW16)	ICSSM2_MUX_SEL (SW15)	MDIO/MDC_MUX_SEL1	MDIO/MDC_MUX_SEL2	R476:R484 R493:R500	R509:R516 R525:R532	R485:R492 R501:R508	R517:R524 R533:R540	
			IO エクスパンダ または SW[14:16] により制御			IO エクスパンダにより制御		部品の半田付けと取り外しが必要				
CPSW RGMII2	オンボード PHY	1 デフォルト	Low	Low	Low	High	Low	POP	POP	DNI	DNI	
PRU1 MII1	イーサネット アドオン コネクタ											
該当なし	HSEC											
PRU MII0	接続なし											
PRU0 MII0	オンボード PHY	2	Low	Low	Low	Low	Low	POP	POP	DNI	DNI	
PRU1 MII1	イーサネット アドオン コネクタ											
該当なし	HSEC											
CPSW RGMII2	接続なし											
PRU1 MII1	オンボード PHY	3	Low	Low	High	Low	Low	DNI	DNI	POP	POP	
PRU0 MII0	イーサネット アドオン コネクタ											
該当なし	HSEC											
CPSW RGMII2	接続なし											
PRU1 MII1	オンボード PHY	4	Low	Low	High	Low	High	DNI	DNI	POP	POP	
CPSW RGMII2	イーサネット アドオン コネクタ											
該当なし	HSEC											
PRU0 MII0	接続なし											
PRU0 MII0	オンボード PHY	5	Low	High	Low	Low	X	POP	X	DNI	X	
該当なし	イーサネット アドオン コネクタ											
PRU1 MII1	HSEC											
CPSW RGMII2	接続なし											
CPSW RGMII2	オンボード PHY	6	Low	High	Low	High	X	POP	X	DNI	X	
該当なし	イーサネット アドオン コネクタ											
PRU1 MII1	HSEC											
PRU0 MII0	接続なし											
該当なし	オンボード PHY	7	Low	High	High	X	Low	X	DNI	DNI	POP	
PRU0 MII0	イーサネット アドオン コネクタ											
PRU1 MII1	HSEC											
CPSW RGMII2	接続なし											
該当なし	オンボード PHY	8	Low	High	High	X	High	X	DNI	DNI	POP	
CPSW RGMII2	イーサネット アドオン コネクタ											
PRU1 MII1	HSEC											
PRU0 MII0	接続なし											

表 2-16. イーサネット ルーティング (続き)

SoC ソース	接続先	構成#	ICSSM0_ MUX_SEL (SW14)	ICSSM1_ MUX_SEL (SW16)	ICSSM2_ MUX_SEL (SW15)	MDIO/MDC_ MUX_SEL1	MDIO/MDC_ MUX_SEL2	R476:R484 R493:R500	R509:R516 R525:R532	R485:R492 R501:R508	R517:R524 R533:R540
該当なし	オンボード PHY	9	High	Low	Low	X	Low	X	POP	X	DNI
PRU1 MII1	イーサネット アドオン コネクタ										
PR_MII0 または RGMII2	HSEC										
該当なし	接続なし										
PRU1 MII1	オンボード PHY	10	High	Low	High	Low	X	X	DNI	X	POP
該当なし	イーサネット アドオン コネクタ										
PR_MII0 または RGMII2	HSEC										
該当なし	接続なし										
該当なし	オンボード PHY	11	High	High	X	X	X	X	X	X	X
該当なし	イーサネット アドオン コネクタ										
PR_MII0 または RGMII2 PR_MII1	HSEC										
	接続なし										

### 2.12.2.2 オンボード イーサネット PHY

AM263Px 制御カードは、信号のルーティング方法に応じて、RGMII 信号の 1 ポートと、PRU-ICSS の PRU0 コアまたは PRU-ICSS の PRU1 コアのいずれかを使用して、48 ピンのイーサネット PHY (DP83869HMRGZT) に接続します (セクション 2.12.2.1 を参照)。PHY は、PRU0 コアに接続されている場合、1Gbit 動作をアダプタイズするように構成されます。PHY が PRU1 コアに接続されている場合、10/100Mbit 動作用に構成されます。PHY のイーサネット データ信号は、RJ45 コネクタで終端されています。LED は、リンクのステータスとアクティビティを示すために使用されます。

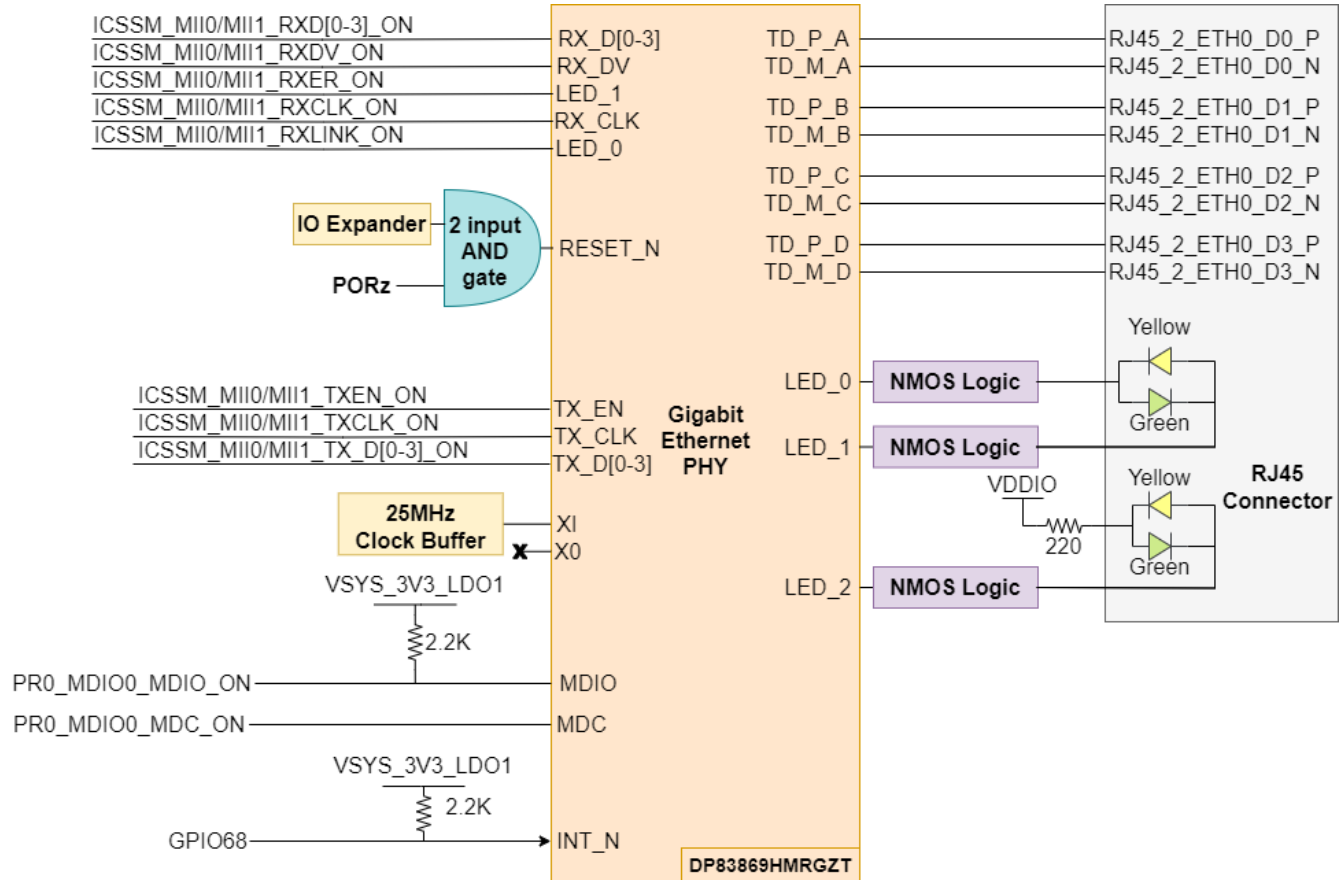


図 2-21. 制御カードのオンボード イーサネット PHY

イーサネット PHY には、個別の電源が 3 つ必要です。イーサネット PHY 用の 1.1V および 2.5V 電源専用 LDO が 2 つあります。イーサネット PHY の VDDIO 電源は、ロード スイッチ (U16) から供給されます。このスイッチは、2.5V のパワー グッド信号が High に駆動されると有効になります。

CPSW 信号の RGMII2 ポートは、PRU-ICSS イーサネット信号と同じボールに内部で多重化されています。RGMII2 を使用するには、ボールを RGMII2 に適切なマルチプレクサ モードに設定する必要があります。

AM263Px SoC 付近の送信および受信クロック信号には、直列終端抵抗があります。

SoC から PHY への MDIO 信号と割り込み信号を正常に動作させるには、I/O 電源電圧への 2.2KΩ プルアップ抵抗が必要です。割り込み信号は、AM263Px SoC からマッピングされた GPIO 信号によって駆動されます。

イーサネット PHY のリセット信号は、2 入力 AND ゲートによって駆動されます。ゲートの AND 入力、IO エクスパンダと PORz によって生成される GPIO 信号です。

イーサネット PHY は、デバイスを特定の動作モードに設定するために、多くの機能ピンをストラップ オプションとして使用します。

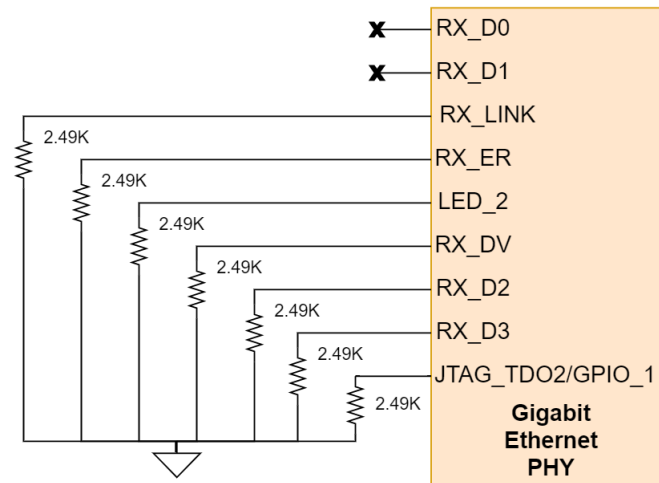


図 2-22. 産業用イーサネット PHY のストラップ抵抗

表 2-17. 産業用ギガビットイーサネット PHY のストラップ抵抗

機能ピン	デフォルト モード	CC のモード	機能
RX_D0	0	0	PHY アドレス:0000
RX_D1	0	0	
JTAG_TDO/GPIO_1	0	0	RGMII to Copper
RX_D3	0	0	
RX_D2	0	0	
LED_0	0	0	自動ネゴシエーション、1000/100/10 アドバタイズ、自動 MDI-X
RX_ER	0	0	
LED_2	0	0	ポート ミラーリングが無効
RX_DV	0	0	

### 2.12.2.3 RJ45 コネクタでの LED 表示

AM263Px 制御カードには、AM263Px SoC の PRU0 の ICSSM ポート用に RJ45 ネットワーク ポートが 1 つあります。各 RJ45 コネクタには 2 色 LED が 2 つあり、リンクとアクティビティを示すために使用されます。

- ICSSM PRU0 ポートの RJ45 コネクタ LED 表示:

表 2-18. ICSSM PRU1 RJ45 コネクタの LED 表示

LED	色	表示
右の LED	緑	イーサネット PHY 電源が確立
	黄	10BT 速度でリンク確立
左の LED	緑	リンク OK
	黄	1000BT 速度でリンク確立

### 2.12.2.4 イーサネット アドオン ボード コネクタ

AM263Px 制御カードは、信号のルーティング方法に応じて、RGMII 信号の 1 ポートと、PRU-ICSS の PRU0 コアまたは PRU-ICSS の PRU1 コアのいずれかを使用して、48 ピンのシールドコネクタに接続します (セクション 2.12.2.1 を参照)。互換性のある TI イーサネット アドオン ボードを制御カードに接続して、AM263Px SoC で産業用または車載用イーサネット機能を実現できます。

表 2-19. イーサネット アドオン ボード コネクタのピン配置

ピン番号	信号	説明	説明	信号	ピン番号
1	GND	グラウンド	PMIC 外部電圧モニタ	EXT_VMON2	2
3	ICSSM_MII0/ MII1_TXCLK_ADD	送信クロック	2.5V 電源	VDD_2V5	4
5	GND	グラウンド	2.5V 電源	VDD_2V5	6
7	ICSSM_MII0/ MII1_TXD0_ADD	送信データ 0	グラウンド	GND	8
9	ICSSM_MII0/ MII1_TXD1_ADD	送信データ 1	イーサネット PHY への割り込み	ICSSM2_PWDN/INTn	10
11	ICSSM_MII0/ MII1_TXD2_ADD	送信データ 2	イーサネット PHY へのリセット入力	ICSSM2_RESETn	12
13	ICSSM_MII0/ MII1_TXD3_ADD	送信データ 3	衝突検出	ICSSM_MII0/ MII1_COL_ADD	14
15	GND	グラウンド	グラウンド	GND	16
17	GND	グラウンド	グラウンド	GND	18
19	ICSSM_MII0/ MII1_RXCLK_ADD	受信クロック	MDIO クロック	PR0_MDIO0_MDC_ADD	20
21	GND	グラウンド	MDIO データ	PR0_MDIO0_MDIO_ADD	22
23	ICSSM_MII0/ MII1_RXD0_ADD	受信データ 0	グラウンド	GND	24
25	ICSSM_MII0/ MII1_RXD1_ADD	受信データ 1	インビビット (抑止)	ICSSM_INH	26
27	ICSSM_MII0/ MII1_RXD2_ADD	受信データ 2	PRUx リファレンス クロック	PR0_PRU1_REF_CLK	28
29	ICSSM_MII0/ MII1_RXD3_ADD	受信データ 3	搬送波検知	ICSSM_MII0/ MII1_CRD_ADD	30
31	GND	グラウンド	グラウンド	GND	32
33	GND	グラウンド	グラウンド	GND	34
35	ICSSM_MII0/ MII1_TXEN_ADD	送信の有効化	ボード接続の検出	ICSSM_BRD_CONN_DETECT	36
37	ETH_EEPROM_A2	EEPROM I2C アドレス ビット [2]	IEEE 1588 SFD	1588_SFD	38
39	ICSSM_MII0/ MII1_RXER_ADD	受信データ エラー	I2C クロック	I2C0_SCL	40
41	GND	グラウンド	I2C データ	I2C0_SDA	42
43	ICSSM_MII0/ MII1_RXLINK_ADD	受信インジケータ	IO 電圧電源	VDDIO	44
45	ICSSM_MII0/ MII1_RXDV_ADD	受信データ有効	IO 電圧電源	VDDIO	46
47	ETH_EEPROM_A0	EEPROM I2C アドレス ビット [0]	オーディオ ビット クロック	GPIO_2/CLKOUT	48

互換性のあるイーサネット アドオン ボードを以下に示します。

- [DP83826-EVM-AM2](#) 産業用イーサネット アドオン ボード
- [DP83TG720-EVM-AM2](#) 車載用イーサネット アドオン ボード

TMDSCNCD263P でのイーサネット アドオン ボード使用の詳細については、上記のツール ページをご覧ください。

### 2.12.3 I2C

AM263Px 制御カードは、3 つの AM263Px SoC I2C (Inter-Integrated Circuit) ポートを使用し、さまざまなターゲットのコントローラとして動作します。通信を有効にするためには、I2C のデータおよびクロックラインはすべて、3.3V の IO 電圧電源にプルアップすることが重要です。

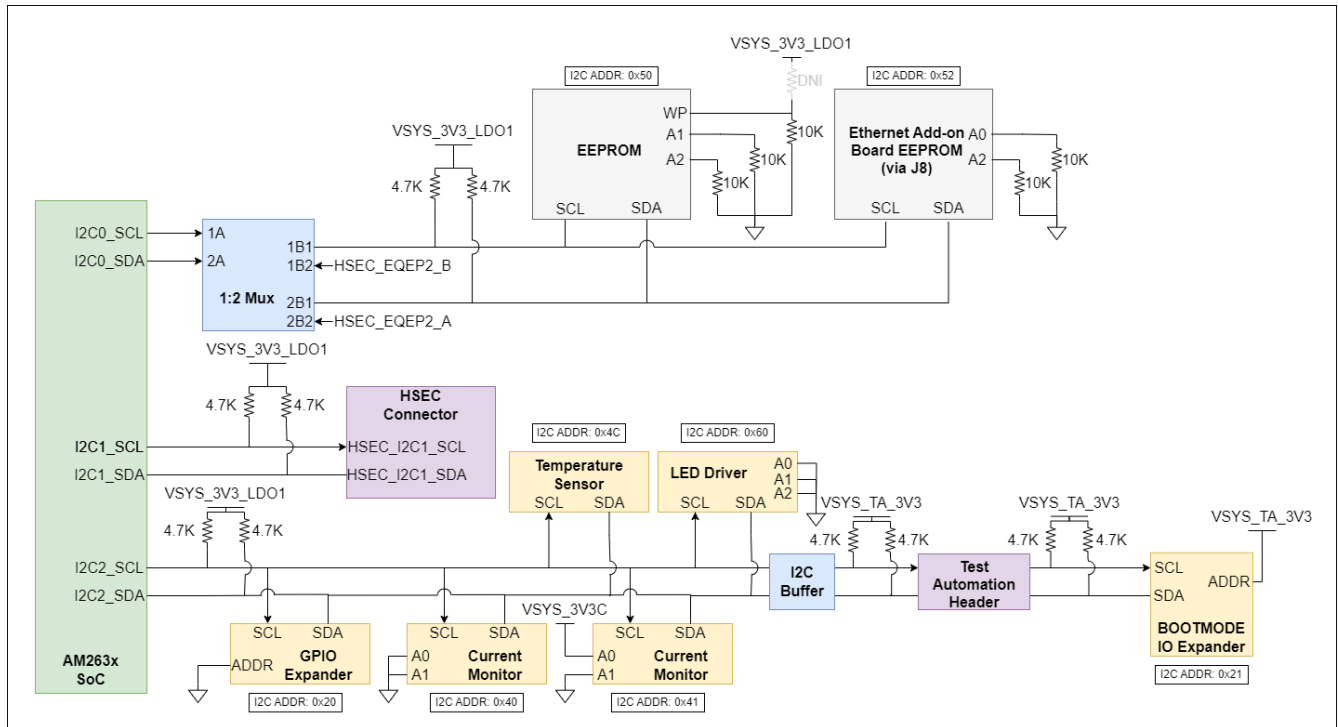


図 2-23. I2C インスタンス ツリー

表 2-20. I2C アドレッシング

ターゲット	I2C インスタンス	I2C アドレス ビットの説明	デバイス設定	CC 構成	I2C アドレス
基板 ID EEPROM	I2C0	デバイス アドレスの最初の 4 ビットは 1010 に設定され、次の 2 ビットは A2 ピンと A1 ピンによって設定されます。7 番目のビット a16 は最上位内部アドレスビットです	0b10110[A2][A1][a16] A1/A2 はグラウンドに接続されています	0b1010000	0x50
イーサネット アドオン ボード EEPROM	I2C0	デバイス アドレスの最初の 4 ビットは 1010 で、次の 3 ビットは A2、A1、A0 ピンによって決定されます。	0b1010[A2][A1] [A0]A2/A0 はグラウンドに接続されています。A1 はイーサネット アドオン ボード上でプルアップされません	0b1010010	0x52
GPIO エクスパンダ	I2C2	ターゲット アドレスの最初の 6 ビットは 010000 に設定され、次のビットは IO エクスパンダのアドレスピンによって決定されます	0b010000[ADDR] ADDR ピンはグラウンドに接続されています	0b0100000	0x20
BOOTMODE IO エクスパンダ	I2C2/ I2C1_TA	ターゲット アドレスの最初の 6 ビットは 010000 に設定され、次のビットは IO エクスパンダのアドレスピンによって決定されます	0b010000[ADDR] ADDR ピンを 3.3V IO 電源に接続	0b0100001	0x21
電流監視	I2C2	ターゲット アドレスの最初の 3 ビットは 100 で、次の 4 ビットは、A1 と A0 に何が接続されているかによって決定されます	デバイスのデータシートのアドレスピン表を参照してください。	0b1000000	0x40
電流監視	I2C2	ターゲット アドレスの最初の 3 ビットは 100 で、次の 4 ビットは、A1 と A0 に何が接続されているかによって決定されます	デバイスのデータシートのアドレスピン表を参照してください。	0b1000001	0x41
温度センサ	I2C2	型番 TMP411Ax の場合、1001100 の固定値です	該当なし	0b1001100	0x4C

表 2-20. I2C アドレッシング (続き)

ターゲット	I2C インスタンス	I2C アドレス ビットの説明	デバイス設定	CC 構成	I2C アドレス
LED ドライバ	I2C2	ターゲット アドレスの最初の 4 ビットは 1100 で、次の 3 ビットは A2、A1、A0 によって決定されます	0b1100[A2][A1][A0] A2/A1/A0 はすべてグラウンドに接続されています	0b1100000	0x60

注

下線付きのアドレス ビットは、デバイス アドレッシングに基づいて固定されており、構成できません。

### 2.12.4 産業用アプリケーションの LED

AM263Px 制御カードは、産業用通信 LED に使用する LED ドライバ (TPIC2810D) を搭載しています。ドライバは 8 つの緑色の LED に接続されており、I2C アドレスは 0x60 です。

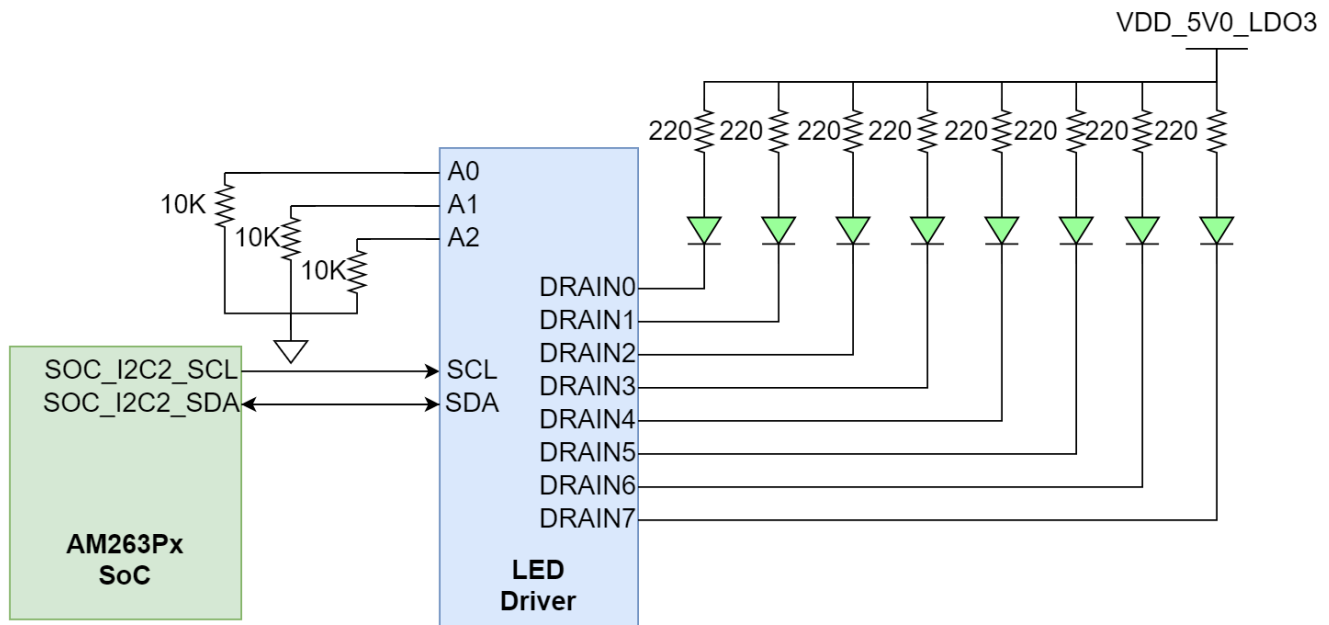


図 2-24. 産業用アプリケーション LED ドライバ

### 2.12.5 SPI

AM263Px 制御カードは、AM263Px SoC の 2 つの SPI インスタンス (SPI0、SPI1) を HSEC 180 ピン コネクタにマッピングします。各 SPI クロック信号について、SoC の近くに直列終端抵抗を配置します。

PMIC と HSEC コネクタとの間で SPI1 をルーティングする 4 チャンネル FET スイッチがあります。この FET スイッチには、IO エクスパンダの SPI1\_MUX\_SEL で駆動される選択ラインがあります。また、選択ラインには外部プルダウン抵抗があるため、SPI 信号用の PMIC ルーティングがデフォルト状態になります。

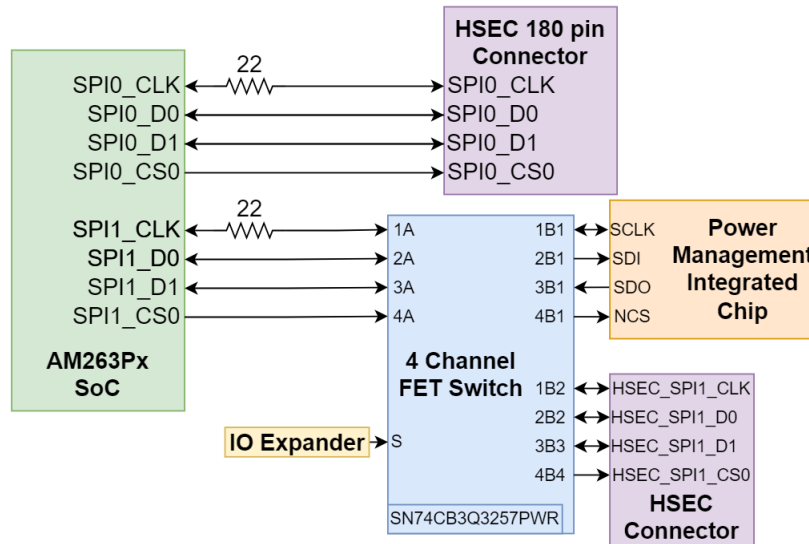


図 2-25. SPI

### 2.12.6 UART

AM263Px 制御カードは、端末アクセス用の USB2.0 - UART ブリッジとして XDS110 を使用します。AM263Px SoC の UART0 送信および受信信号は、3.3V IO 電圧電源 (VSYS\_3V3C) から 3.3V XDS 電源に変換するためのデュアルチャンネル絶縁バッファ (ISO7221CDR) を使用して XDS110 にマッピングされています。XDS110 は、USB 2.0 信号用に micro-B USB コネクタに接続されています。過渡電圧抑制デバイス (TPD4E004DRYR) により、USB 2.0 信号への ESD 保護が提供されています。micro-B USB コネクタの VBUS 5V 電源は、低ドロップアウトレギュレータ (TPS79601DRBR) にマッピングされ、3.3V XDS 電源を生成します。XDS110 には個別の 3.3V 電源があるため、制御カードへの電源が切り離されても、エミュレータは接続を維持できます。

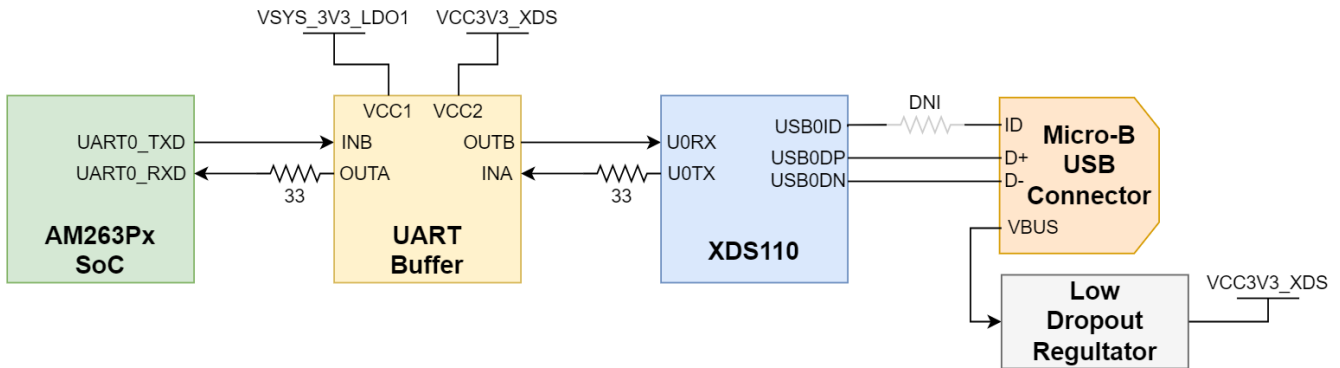


図 2-26. UART-USB ブリッジ、エミュレーション用

制御カードは、送信信号と受信信号を AM263Px SoC から HSEC コネクタにマッピングした、追加の UART1 および UART2 インスタンスをサポートしています。UART1 を使用するには、1:2 マルチプレクサの選択ラインを High にする必要があります。選択ラインは、IO エクスパンダから供給される GPIO 信号 (LIN\_MUX\_SEL) によって駆動されます。UART2 を使用するには、1:2 マルチプレクサの選択ラインを High にする必要があります。選択ラインは、IO エクスパンダから供給される GPIO 信号 (UART2\_MUX\_SEL) によって駆動されます。

表 2-21. UART マルチプレクサ選択ロジック

インスタンス	選択	条件	機能
UART1	Low	LIN を選択	A → B1
	High	HSEC UART1 を選択	A → B2

表 2-21. UART マルチプレクサ選択ロジック (続き)

インスタンス	選択	条件	機能
UART2	Low	SOC_INTN/USER_LED0 を選択	A → B1
	High	HSEC UART2 を選択	A → B2

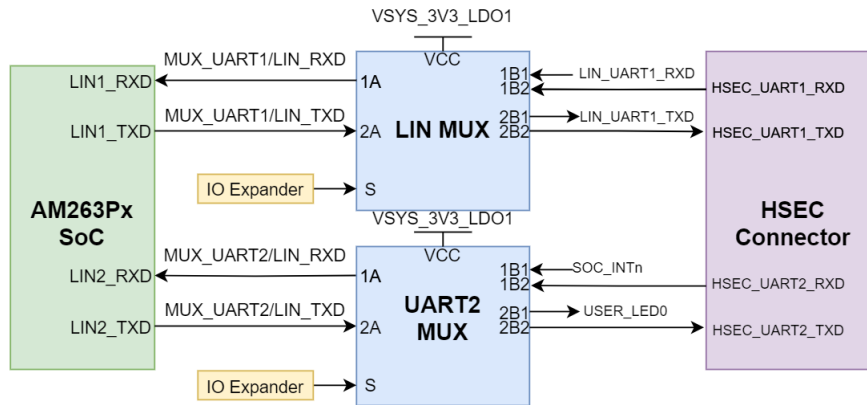


図 2-27. UART 1:2 マルチプレクサから HSEC への接続

### 2.12.7 MCAN

この制御カードには、AM263Px SoC の MCAN4 インターフェイスに接続されているシングル MCAN トランシーバ (TCAN1024H-Q1) が搭載されています。AM263Px SoC の MCAN5 インターフェイスは、HSEC コネクタに直接マッピングされます。

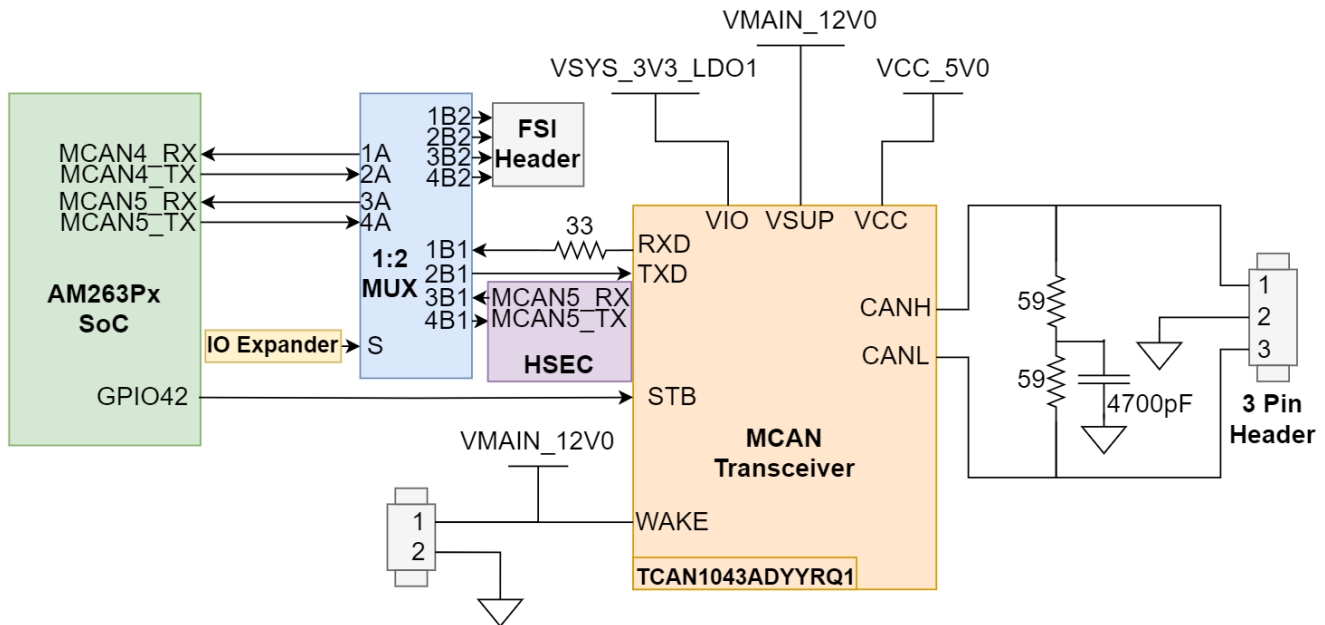


図 2-28. MCAN トランシーバ

MCAN トランシーバには 3 つの電源入力があり、VIO はトランシーバの I/O レベル シフト電源電圧、VCC はトランシーバの 5V 電源電圧、VSUP は 12V の電源電圧です。SoC CAN データ送信データ入力はトランシーバの TXD にマッピングされ、トランシーバの CAN 受信データ出力は SoC の MCAN RX 信号にマッピングされます。トランシーバの近くに直列終端抵抗が配置されます。

スタンバイ制御信号は、IO エクスパンダから供給される GPIO 信号です。STB 制御入力はアクティブ "High" であり、弱い内部プルアップが原因でデフォルトのスタンバイ モードになるのを防ぐため、プルダウン抵抗を使用してトランシーバを通常モードで動作させることができます。

EMI 性能を向上させるために、本システムでは CANH 信号と CANL 信号には 120Ω の分割終端を施しています。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

low レベルと high レベルの CAN バス入出力ラインは、3 ピン ヘッダで終端されています。

MCAN 信号は、1:2 信号ルーティング マルチプレクサを経由します。マルチプレクサの選択ラインにはプルダウン抵抗があるため、MCAN 信号ルーティングがデフォルト設定となります。

**表 2-22. MCAN および FSI マルチプレクサ**

選択	条件	機能
Low	MCAN 信号を選択	A → B1
High (デフォルト)	FSI 信号を選択	A → B2

### 2.12.8 FSI

AM263Px 制御カードは、SoC 信号を 10 ピン ヘッダに終端することで、高速シリアル インターフェイスをサポートしています。インターフェイスには、受信信号と送信信号の両方に対応する 2 本のデータラインとクロックラインがあります。ヘッダは、3.3V の IO 電圧電源 (VSYS\_3V3\_LDO1) に接続されています。

FSI 信号は、1:2 信号ルーティング マルチプレクサを経由します。マルチプレクサの選択ラインにはプルアップ抵抗があるため、FSI 信号ルーティングがデフォルト設定となります。MCAN4 および MCAN5 を使用するには、IO エクスパンダの FSI\_MUX\_SEL GPIO をロジック "Low" 出力として構成する必要があります。

表 2-23. MCAN および FSI マルチプレクサ

選択	条件	機能
Low	MCAN 信号を選択	A → B1
High (デフォルト)	FSI 信号を選択	A → B2

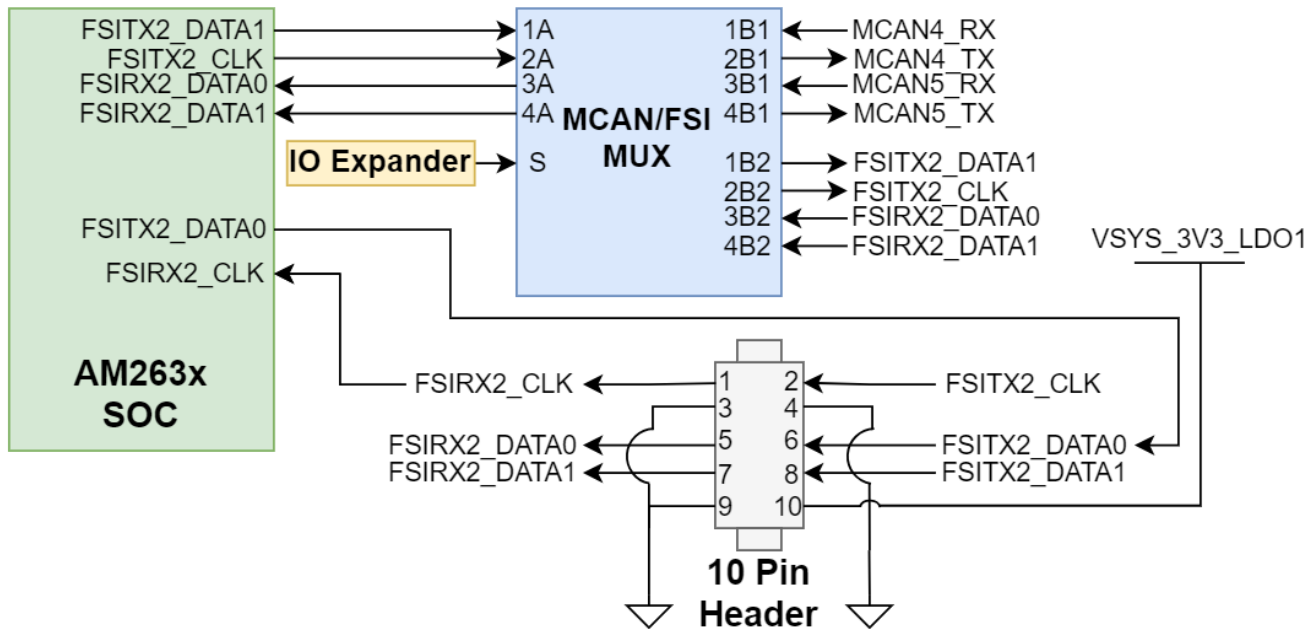


図 2-29. FSI ヘッダー

### 2.12.9 JTAG

AM263Px 制御カードには、XDS110 クラスのオンボード エミュレータが搭載されています。この制御カードには、AM263Px SoC からの JTAG 信号を HSEC コネクタにマッピングするオプションもあります。

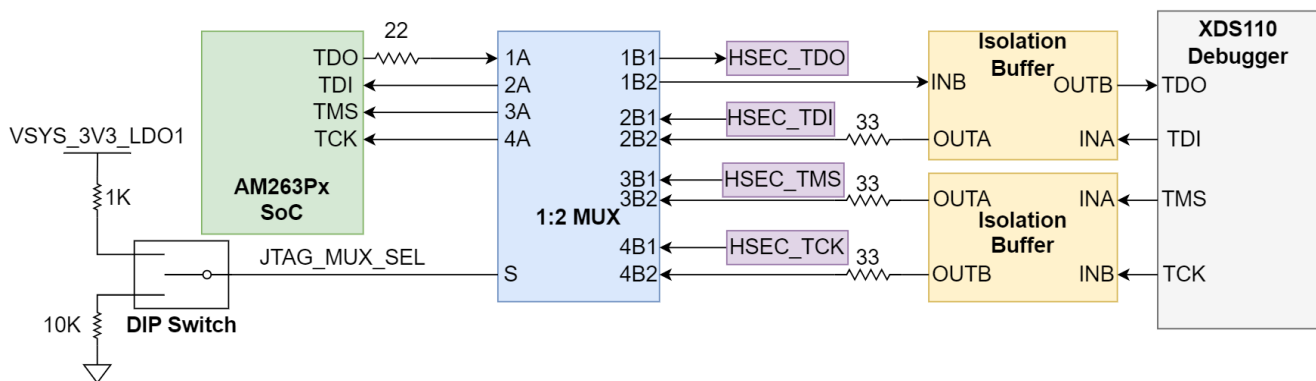


図 2-30. JTAG

DIP スイッチ (SW1) は、AM263Px SoC JTAG 信号のパスを決定する 1:2 マルチプレクサ (SN74CB3Q3257PWR) の選択ラインを駆動するために使用されます。

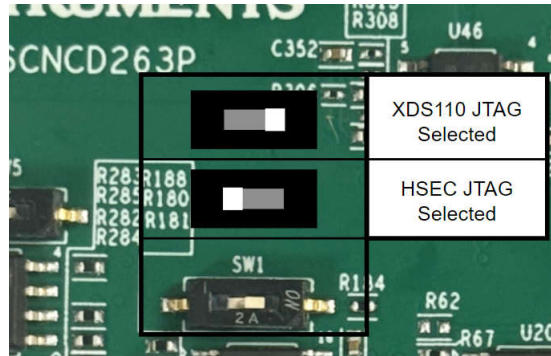


図 2-31. JTAG パス スイッチ

制御カードには、XDS110 エミュレーションに必要な回路がすべて搭載されています。エミュレータは、USB 2.0 micro-B コネクタを使用して、UART-USB ブリッジから生成された USB 2.0 信号とのインターフェイスを確立します。コネクタからの VBUS 電源はエミュレーション回路の電源として使用されているため、制御カードの電源が切り離されてもエミュレータへの接続が失われることはありません。

XDS110 は、2 つの電源ステータス LED を制御します。詳細については、[セクション 2.3.2](#) を参照してください。

#### 2.12.10 テストオートメーションヘッダー

AM263Px 制御カードは 40 ピンのテストオートメーションヘッダに対応しており、パワーダウン、PORz、ウォームリセット、ブートモード制御などの基本動作を外部コントローラによって操作できます。

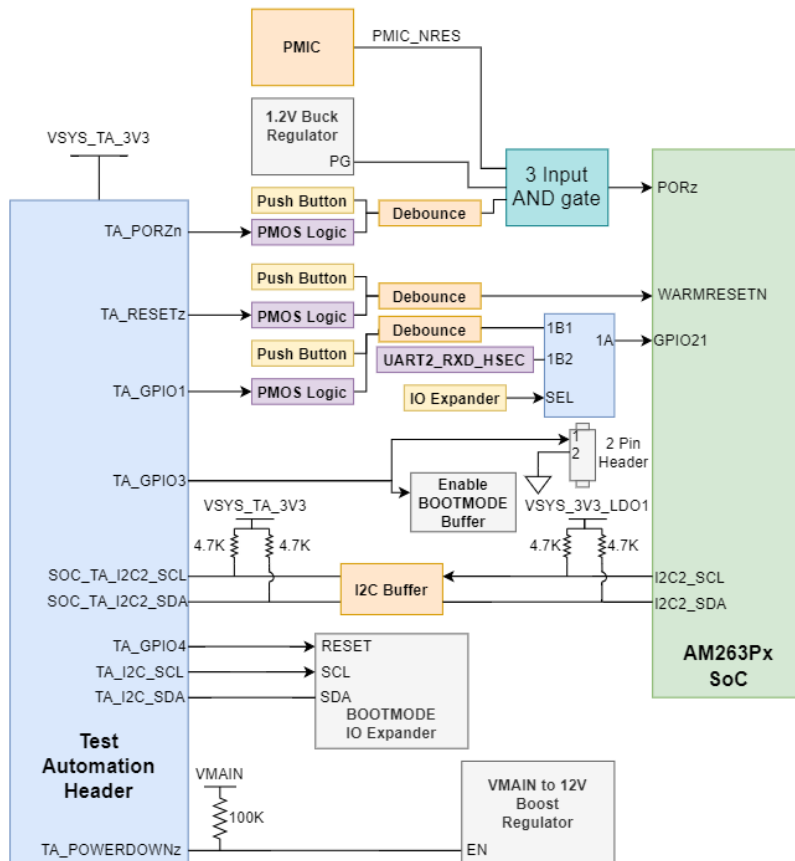


図 2-32. テストオートメーションヘッダー

テストオートメーション回路は、専用の 3.3V 電源 (VSYS\_TA\_3V3) から電力を供給されます。この電源は、5V から 3.3V への降圧レギュレータ (TPS62177DQCR) によって生成されます。

AM263Px SoC I2C2 インスタンスは、テストオートメーションヘッダとブートモード IO エクスパンダ (TCA6408ARGTR) の両方に接続されています。

表 2-24 に、テストオートメーション用 GPIO のマッピングを示します。

表 2-24. テストオートメーションヘッダの GPIO マッピング

信号名	説明	方向
TA_POWERDOWN	ロジック "Low" のとき、DC/DC 変換の最初の段で使用する 3.3V 降圧レギュレータ (TPS62913RPUR) が無効化されます。	出力
TA_PORZn	ロジック "Low" のとき、PMOS V <sub>GS</sub> がゼロ未満であるため PORz 信号を接地し、MAIN ドメインへのパワーオンリセットが生成されます。	出力
TA_RESEZ	ロジック "Low" のとき、PMOS V <sub>GS</sub> がゼロ未満であるため WARMRESEZn 信号を接地し、MAIN ドメインへのウォームリセットが生成されます。	出力
TA_GPIO1	ロジック "Low" のとき、PMOS V <sub>GS</sub> がゼロ未満であるため INTn 信号を接地し、SoC への割り込みが生成されます。	出力
TA_GPIO3	ロジック "Low" のとき、ブートモードバッファの出力イネーブルが無効化されます。	出力
TA_GPIO4	ブートモード IO エクスパンダ (TCA6408ARGTR) のリセット信号。	出力

### 2.12.11 LIN

AM263Px 制御カードは、3 ピンヘッダの 2 番目のピンに LIN バスを出力する LIN トランシーバ (TLIN2029-Q1) を使用することで、ローカル相互接続ネットワーク通信をサポートしています。

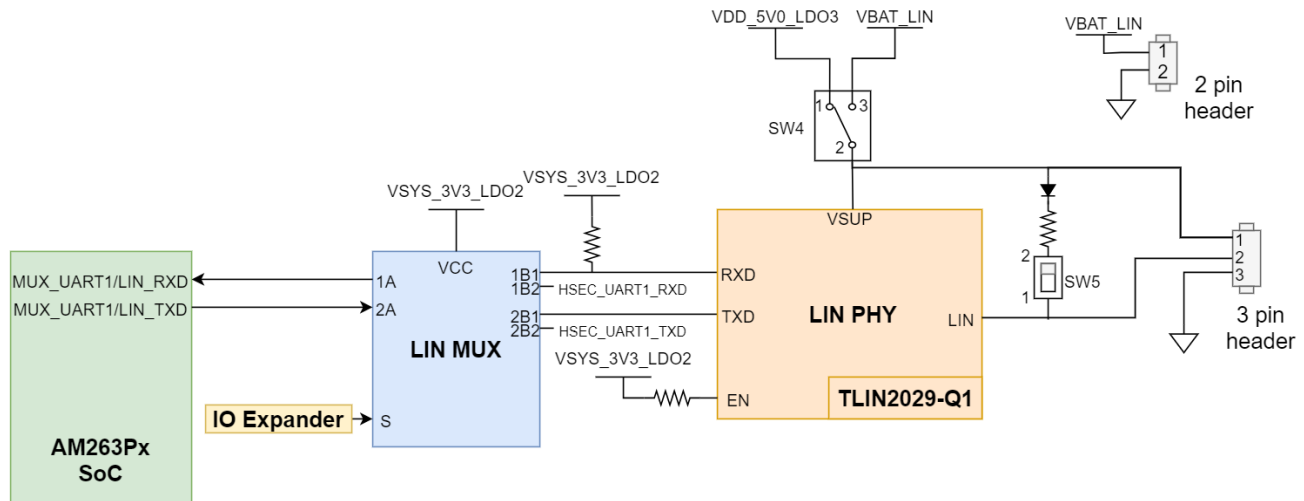


図 2-33. LIN PHY

LIN の送信信号および受信信号は、AM263Px 内部で、UART1 の送信信号および受信信号と多重化されています。内部が多重化されているため、外部では 1:2 マルチプレクサ (SN74CB3Q3257PWR) が使用されており、その選択ラインは GPIO エクスパンダによって駆動されます。

表 2-25. LIN マルチプレクサ選択ロジック

選択ロジック	条件	機能
Low	LIN を選択	A → B1
High	HSEC UART を選択	A → B2

AM263Px SoC には LIN RX 信号用のプルアップが内蔵されていないため、プロセッサの I/O 電源電圧に外部プルアップ抵抗が必要です。

AM263Px 制御カードは、LIN トランシーバの電圧電源を制御するための双極単投スイッチ (SW4) を内蔵しています。

表 2-26. LIN スイッチ ロジック

LIN 電圧スイッチの位置	電圧電源を選択
ピン 1-2	VMAIN、USB-C 接続または HSEC 電源接続からの 5V 電源出力。
ピン 2-3	VBAT_LIN、2 ピン ヘッダのピン 1 からの外部電圧電源

また、LIN ノード アプリケーションを駆動する単極投スイッチ (SW5) も内蔵されています。

表 2-27. LIN ノード アプリケーション スイッチ

LIN ノード アプリケーション スイッチの位置	LIN ノード アプリケーション
ピン 1	デバイス ノード アプリケーション
ピン 2	コントローラ ノード アプリケーション

I/O 電圧電源が立ち上がると、LIN トランシーバが通常動作モードになるように、制御カードが LIN トランシーバのイネーブル ピンをプルアップします。

### 2.12.12 MMC

AM263Px 制御カードには、AM263Px SoC の MMC0 インスタンスにマッピングされる microSD カード インターフェイスがあります。

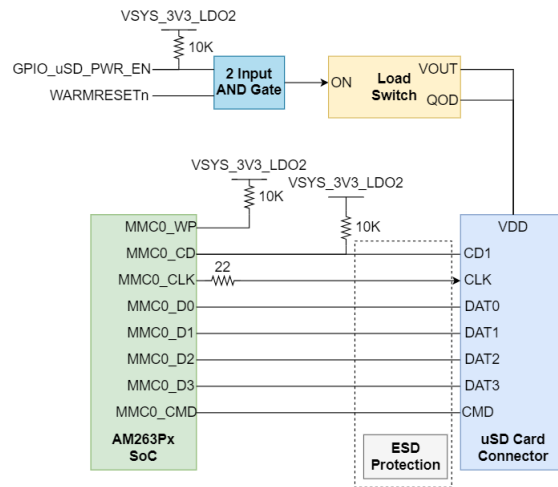


図 2-34. microSD コネクタ インターフェイス

ロード スイッチ (TPS22918DBVR) は、マイクロ SD カード コネクタへの電力供給に使用します。このロード スイッチは、リセット時にカードの電源 サイクルを行うために、WARMRESETn と GPIO\_uSD\_PWR\_EN の間における 2 入力 AND ゲートの出力によって駆動されます。ロード スイッチでは、クイック出力放電 (QOD) を使用して、リセット時に電源電圧が公称値の 10% 未満に達することを確認します。

MMC 信号に対するインライン ESD 保護機能は、6 チャンネル過渡電圧サプレッサ デバイス (TPD6E001RSER) として搭載されています。

SD カード コネクタの書き込み保護 (WP) 信号とカード検出 (CD) 信号は、3.3V IO 電圧電源にプルアップされます。

MMC クロック信号には直列終端抵抗が搭載されています。

### 2.12.13 ADC および DAC

AM263Px 制御カードは、AM263Px SoC にマッピングされ、HSEC コネクタに終端された 24 の ADC 信号チャネルをサポートしています。すべての ADC 信号は ESD 保護されています (TPD4E001DBVR)。

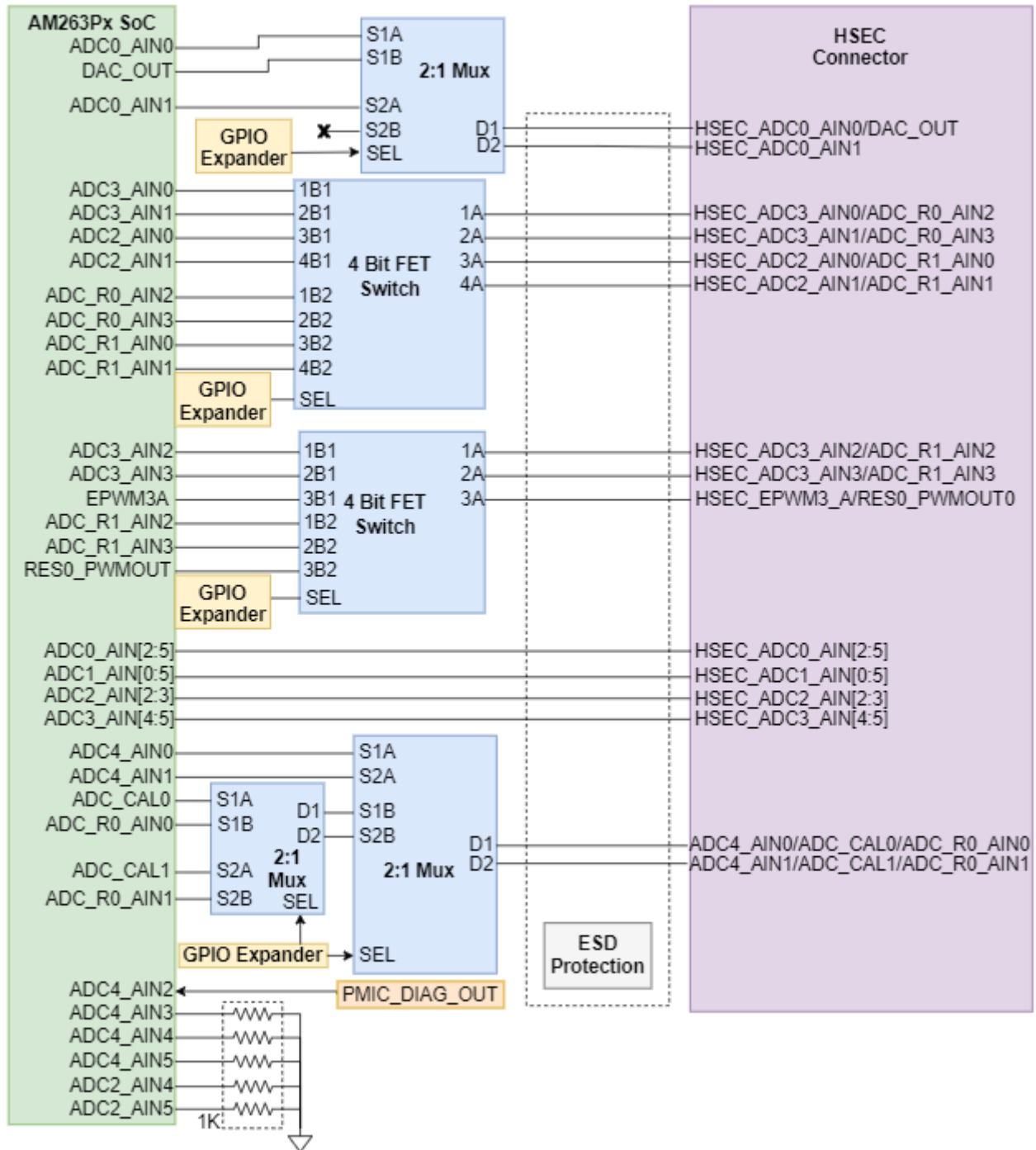


図 2-35. ADC HSEC の接続

HSEC コネクタとの間における ADC 信号のパスを決定する 2 つのマルチプレクサ (TMUX1136DQAR) があります。

表 2-28. ADC マルチプレクサ選択ロジック

マルチプレクサ選択信号	条件	機能	説明
ADC1_MUX_SEL	SEL 信号が High	S1A → D1	HSEC_ADC0_AIN0 を選択
		S2A → D2	HSEC_ADC0_AIN1 を選択
	SEL 信号が Low	S1B → D1	HSEC_DAC_OUT を選択
		S2B → D2	HSEC_DAC_OUT を選択
ADC2_MUX_SEL	SEL 信号が High	S1A → D1	HSEC_ADC4_AIN0 を選択
		S2A → D2	HSEC_ADC4_AIN1 を選択
	SEL 信号が Low	S1B → D1	ADC_CAL0 を選択
		S2B → D2	ADC_CAL1 を選択

ADC および DAC のリファレンス電圧を構成するために使用される 3 つのスイッチがあります。

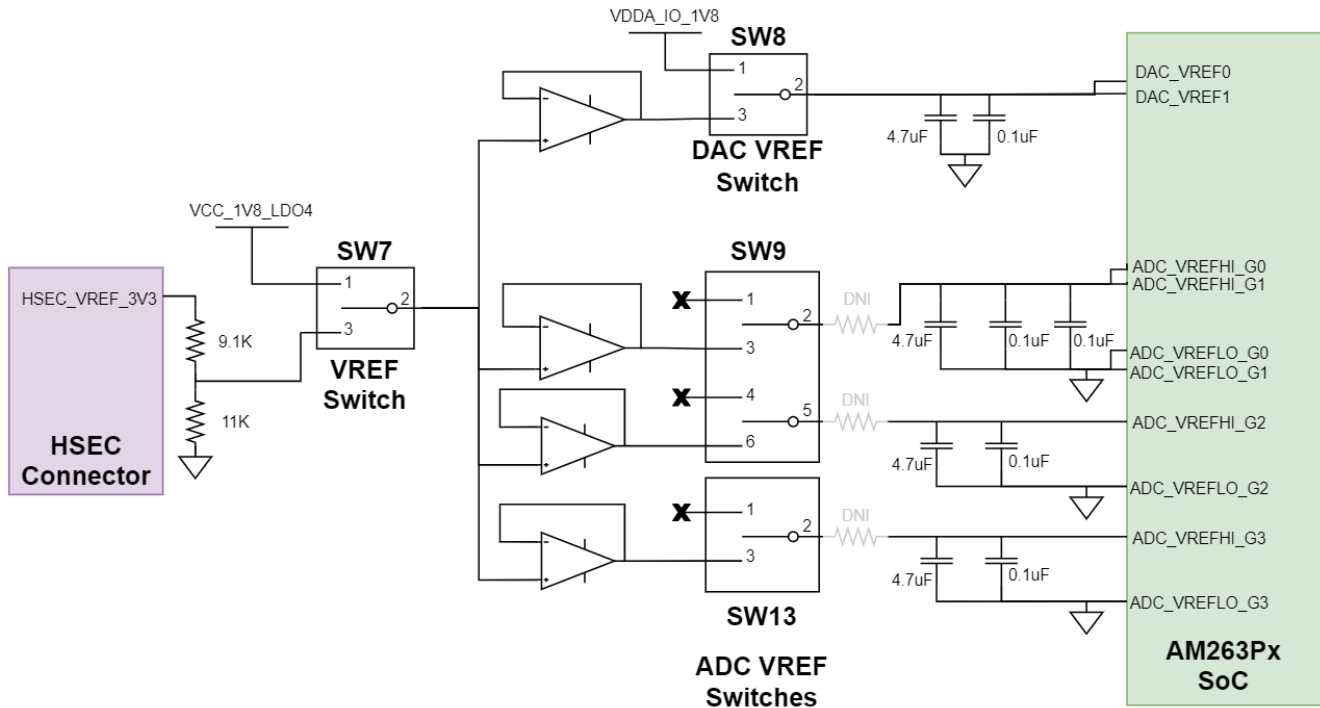


図 2-36. ADC スイッチのルーティング

- VREF スイッチ (SW7) は単極双投スイッチで、ADC と DAC に使用する 1.8V リファレンスを制御します。

表 2-29. VREF スイッチ

VREF スイッチの位置	リファレンスの選択
ピン 1-2	オンボードの 1.8V リファレンス (REF3318AIDBZT)
ピン 2-3	HSEC VREF

- DAC VREF スイッチ (SW8) は、AM263Px SoC の DAC VREF 入力を制御する単極双投スイッチです。

表 2-30. DAC VREF スイッチ

DAC VREF スイッチの位置	リファレンスの選択
ピン 1-2	AM263Px オンダイ LDO
ピン 2-3	VREF スイッチの出力

- ADC VREF スイッチ (SW9) は、AM263Px SoC の ADC VREF 入力を制御する 2 つの単極双投スイッチを内蔵しています。

## 注

AM263Px MCU+ SDK ADC サンプルを適切に機能させるには、SW9.1 をピン 1-2 の位置にし、SW9.2 をピン 4-5 の位置にする必要があります。

表 2-31. ADC VREF スイッチ

ADC VREF スイッチの位置	リファレンスの選択
ピン 1-2	開 - リファレンスを AM263Px オンダイ LDO リファレンスにすることができます
ピン 2-3	VREF スイッチの出力
ピン 4-5	開 - リファレンスを AM263Px オンダイ LDO リファレンスにすることができます
ピン 5-6	VREF スイッチの出力

## 2.13 HSEC のピン配置とピンマルチプレクサ マッピング

表 2-32 に、180 高速エッジ コネクタのピン配置と、各ピンで使用可能なすべてのピンマルチプレクサ オプションを示します。表 2-33 に、すべての AM263Px ボールと、各ボールで使用可能なピンマルチプレクサ モード オプションを示します。

表 2-32. HSEC のピン配置

ピン番号	ボール	パッケージ信号名	多重化信号オプション	多重化信号オプション	信号パッケージ名	ボール	ピン番号
1		NC	NC		NC	NC	2
3	D5	HSEC_TMS	TMS		NC	NC	4
5	B3	HSEC_TCK	TCK		TDO	HSEC_TDO	C4
7		GND	GND		TDI	HSEC_TDI	C5
9	V15/ T5	HSEC_ADC0_AIN0/ DAC_OUT	HSEC_ADC0_AIN0/DAC_OUT		GND	GND	10
11	U15/ T5	HSEC_ADC0_AIN1/ DAC_OUT	HSEC_ADC0_AIN1/DAC_OUT		ADC1_AIN0	ADC1_AIN0	T11
13		GND	GND		ADC1_AIN1	ADC1_AIN1	U11
15	T14	ADC0_AIN2	ADC0_AIN2		GND	GND	16
17	U14	ADC0_AIN3	ADC0_AIN3		ADC1_AIN2	ADC1_AIN2	T12
19		GND	GND		ADC1_AIN3	ADC1_AIN3	V12
21	U13	ADC0_AIN4	ADC0_AIN4		GND	GND	22
23	R14	ADC0_AIN5	ADC0_AIN5		ADC1_AIN4	ADC1_AIN4	U12
25	U6/ U16	ADC4_AIN0/ADC_CAL0	ADC4_AIN0/ADC_CAL0		ADC1_AIN5	ADC1_AIN5	R12
27	V5/T 15	ADC4_AIN1/ADC_CAL1	ADC4_AIN1/ADC_CAL1		ADC3_AIN0/ADC_R0_AIN2	ADC3_AIN0/ ADC_R0_AIN2	U7/ U18
29		GND	GND		ADC3_AIN1/ADC_R0_AIN3	ADC3_AIN1/ ADC_R0_AIN3	U8/ T17
31	R10/ R16	ADC2_AIN0/ ADC_R1_AIN0	ADC2_AIN0/ADC_R1_AIN0		GND	GND	32
33	T10/ R18	ADC2_AIN1/ ADC_R1_AIN1	ADC2_AIN1/ADC_R1_AIN1		ADC3_AIN2/ADC_R1_AIN2	ADC3_AIN2/ ADC_R1_AIN2	T7/ P18
35		GND	GND		ADC3_AIN3/ADC_R1_AIN3	ADC3_AIN3/ ADC_R1_AIN3	R7/ P17
37	U10	ADC2_AIN2	ADC2_AIN2		GND	GND	38
39	T9	ADC2_AIN3	ADC2_AIN3		ADC3_AIN4	ADC3_AIN4	V8
41		NC	NC		ADC3_AIN5	ADC3_AIN5	U9
43		GND	GND		NC	NC	44
45		HSEC_VREF_3V3	HSEC_VREF_3V3		GND	GND	46
47		GND	GND		HSEC_5V0	HSEC_5V0	48
49	B2	EPWM0_A	EPWM0_A, GPIO43		EPWM2_A, GPIO47, EPWM2_A	EPWM2_A	C2
51	B1	EPWM0_B	EPWM0_B, GPIO44		EPWM2_B, GPIO48, EPWM2_B	EPWM2_B	C1
53	D3	EPWM1_A	EPWM1_A, GPIO45		EPWM3_A, GPIO49, EPWM3_A	EPWM3_A	E2
55	D2	EPWM1_B	EPWM1_B, GPIO46, EPWM4_B		EPWM3_B, GPIO50, EPWM6_A	EPWM3_B	E3
57	D1	EPWM4_A	EPWM4_A, GPIO51		EPWM6_A, SPI5_D0, FSIRX1_CLK, GPIO55, EPWM3_B	EPWM6_A	E1
59	E4	EPWM4_B	EPWM4_B, FSITX1_CLK, GPIO52, EPWM1_B		EPWM6_B, SPI5_D1, FSIRX1_D0, GPIO56, EPWM6_B	EPWM6_B	F3

表 2-32. HSEC のピン配置 (続き)

ピン番号	ボール	パッケージ信号名	多重化信号オプション	多重化信号オプション	信号パッケージ名	ボール	ピン番号
61	F2	EPWM5_A	EPWM5_A, SPI5_CS0, FSITX1_D0, GPIO53	EPWM7_A, SPI6_CS0, FSIRX1_D1, GPIO57, EPWM7_A	EPWM7_A	F4	62
63	G2	EPWM5_B	EPWM5_B, SPI5_CLK, FSITX1_D1, GPIO54, EPWM8_B	EPWM7_B, SPI6_CLK, GPIO58, EPWM5_B	EPWM7_B	F1	64
65		GND	GND	NC	NC		66
67	C10	SPI0_D0	SPI0_D0, FSITX0_D0, GPIO13, CHANNEL2	PR0_PRU1_GPIO19, UART3_RXD, PR0_IEP0_EDC_SYNC_OUT0, TRC_CLK, XBAROUT13, GPIO119, EQEP1_A	EQEP1_A	D15	68
69	B11	SPI0_D1	SPI0_D1, FSITX0_D1, GPIO14, CHANNEL3	PR0_PRU1_GPIO18, UART3_TXD, PR0_IEP0_EDIO_DATA_IN_OUT31, TRC_CTL, XBAROUT14, GPIO120, EQEP1_B	EQEP1_B	C15	70
71	A11	SPI0_CLK	SPI0_CLK, UART3_TXD, LIN3_TXD, FSITX0_CLK, GPIO12, CHANNEL1	CLKOUT1, GPIO122, SDFM0_CLK0, EQEP1_STROBE	EQEP1_STROBE	B16	72
73	C11	SPI0_CS0	SPI0_CS0, UART3_RXD, LIN3_RXD, GPIO11, CHANNEL0	EXT_REFCLK0, XBAROUT15, GPIO121, EQEP1_INDEX	EQEP1_INDEX	P2	74
75	B10	SPI1_D0	SPI1_D0, UART5_TXD, XBAROUT3, FSIRX0_D0, GPIO17, CHANNEL6	LIN1_RXD, UART1_RXD, SPI2_CS0, OSPI_ECC_FAIL, XBAROUT5, GPIO19, OSPI_RESET_OUT1	UART1_RXD	A9	76
77	D9	SPI1_D1	SPI1_D1, UART5_RXD, XBAROUT4, FSIRX0_D1, GPIO18, CHANNEL7	LIN1_TXD, UART1_TXD, SPI2_CLK, OSPI_RESET_OUT0, XBAROUT6, GPIO20	UART1_TXD	B9	78
79	A10	SPI1_CLK	SPI1_CLK, UART4_RXD, LIN4_RXD, XBAROUT2, FSIRX0_CLK, GPIO16, CHANNEL5	EPWM10_A, UART1_CTSn, SPI7_D0, MCAN5_RX, FSIRX2_D0, GPIO63, EPWM7_B	MCAN5_RX	G4	80
81	C9	SPI1_CS0	SPI1_CS0, UART4_TXD, LIN4_TXD, XBAROUT1, GPIO15, CHANNEL4	EPWM10_B, UART2_RTSn, SPI7_D1, MCAN5_TX, OSPI_RESET_OUT0, FSIRX2_D1, GPIO64, EPWM10_B	MCAN5_TX	J3	82
83		GND	GND	HSEC_5V0	HSEC_5V0		84
85	C8	I2C1_SDA	I2C1_SDA, SPI3_CLK, XBAROUT8, GPIO24	EPWM11_A, UART2_CTSn, OSPI_ECC_FAIL, MCAN6_RX, OSPI_RESET_OUT1, OSPI_CSn0, GPIO65	EPWM11_A	H1	86
87	D7	I2C1_SCL	I2C1_SCL, SPI3_CS0, XBAROUT7, GPIO23	NC	NC		88
89	L17	EPWM21_A	PR0_MDIO0_MDIO, EPWM21_A, GPIO85, EPWM21_A	PR0_MDIO0_MDC, EPWM21_B, GPIO86, EPWM21_B	EPWM21_B	L18	90
91	D14	SDFM0_D0	PR0_ECAP0_APWM_OUT, GPIO123, SDFM0_D0	I2C0_SDA, GPIO134, EQEP2_A, SDFM1_CLK2	EQEP2_A	B13	92
93	A13	EQEP2_B	I2C0_SCL, GPIO135, EQEP2_B, SDFM1_CLK3	MCAN2_RX, UART2_RTSn, GPIO137, EQEP2_INDEX, SDFM1_D3	EQEP2_INDEX	A12	94
95	B12	EQEP2_STROBE	MCAN2_TX, UART1_RTSn, GPIO136, EQEP2_STROBE, SDFM1_D2	NC	NC		96
97		GND	GND	MDIO0_MDIO, GPIO41	HSEC_GPIO	N16	98
99	D13	SDFM0_D1	PR0_PRU1_GPIO17, UART5_CTSn, PR0_IEP0_EDIO_DATA_IN_OUT30, GPIO125, SDFM0_D1	UART4_CTSn, SPI4_CS0, GPIO131, EQEP0_B, SDFM1_D0	EQEP0_B	A14	100
101	A16	SDFM0_CLK1	PR0_PRU1_GPIO7, CPTS0_TS_SYNC, UART5_RTSn, PR0_IEP0_EDC_SYNC_OUT1, I2C3_SDA, GPIO124, SDFM0_CLK1	UART4_RTSn, SPI4_CLK, GPIO130, EQEP0_A, SDFM1_CLK0	EQEP0_A	B14	102
103	C13	SDFM0_D2	UART5_RXD, GPIO127, SDFM0_D2, CHANNEL0	UART4_TXD, LIN4_TXD, SPI4_D0, GPIO132, EQEP0_STROBE, SDFM1_CLK1, CHANNEL2	EQEP0_STROBE	C12	104
105	B15	SDFM0_CLK2	UART5_TXD, I2C3_SCL, GPIO126, SDFM0_CLK2, CHANNEL8	UART4_RXD, LIN4_RXD, SPI4_D1, GPIO133, EQEP0_INDEX, SDFM1_D1, CHANNEL3	EQEP0_INDEX	D11	106
107	C14	SDFM0_D3	MCAN3_RX, GPIO129, SDFM0_D3, CHANNEL1	PR0_PRU0_GPIO5, RMII2_RX_ER, MII2_RX_ER, EPWM22_A, GPIO87, EPWM22_A	MII0_RXER	G17	108
109	A15	SDFM0_CLK3	MCAN3_TX, UART5_RXD, GPIO128, SDFM0_CLK3, CHANNEL9	PR0_PRU0_GPIO9, PR0_UART0_CTSn, MII2_COL, EPWM22_B, GPIO88	MII0_COL	F17	110
111		GND	GND	HSEC_5V0	HSEC_5V0		112
113		PMIC_SAFE_OUT1	PMIC_SAFE_OUT1	PMIC_WKUP1	PMIC_WKUP1		114
115		NC	NC	NC	NC		116
117		VCC_5V0	VCC_5V0	HSEC_5V0	HSEC_5V0		118
119		VSYS_3V3_LDO1	VSYS_3V3_LDO1	PORz	PORz		120

表 2-32. HSEC のピン配置 (続き)

ピン番号	ボール	パッケージ信号名	多重化信号オプション	多重化信号オプション	信号パッケージ名	ボール	ピン番号
121	G18	ICSS_MII0_CRS	PR0_PRU0_GPIO10, RMII2_CRS_DV, PR0_UART0_RTsn, MII2_CRS, EPWM23_A, GPIO89, EPWM22_B	PR0_PRU0_GPIO8, EPWM23_B, GPIO90, EPWM29_A	ICSS_MII0_RXLINK	G15	122
123	K15	ICSS_MII0_RXCLK	PR0_PRU0_GPIO6, RMII2_REF_CLK, RGMII2_RXC, MII2_RXCLK, EPWM24_A, GPIO91, EPWM24_A	PR0_PRU0_GPIO4, RGMII2_RX_CTL, MII2_RXDV, EPWM24_B, GPIO92, EPWM24_B	ICSS_MII0_RXDV	K16	124
125	K17	ICSS_MII0_RXD0	PR0_PRU0_GPIO0, RMII2_RXD0, RGMII2_RD0, MII2_RXD0, EPWM25_A, GPIO93, EPWM25_A	PR0_PRU0_GPIO1, RMII2_RXD1, RGMII2_RD1, MII2_RXD1, EPWM25_B, GPIO94, EPWM25_B	ICSS_MII0_RXD1	K18	126
127	J18	ICSS_MII0_RXD2	PR0_PRU0_GPIO2, RGMII2_RD2, MII2_RXD2, EPWM26_A, GPIO95, EPWM26_A	PR0_PRU0_GPIO3, RGMII2_RD3, MII2_RXD3, EPWM26_B, GPIO96, EPWM26_B	ICSS_MII0_RXD3	J17	128
129	H18	ICSS_MII0_TXCLK	PR0_PRU0_GPIO16, RGMII2_TXC, MII2_TXCLK, EPWM27_A, GPIO97, EPWM27_A	PR0_PRU0_GPIO15, RMII2_TX_EN, RGMII2_TX_CTL, MII2_TX_EN, EPWM27_B, GPIO98	ICSS_MII0_TXEN	L16	130
131	M16	ICSS_MII0_TXD0	PR0_PRU0_GPIO11, RMII2_TXD0, RGMII2_TD0, MII2_TXD0, EPWM28_A, GPIO99, EPWM28_A	PR0_PRU0_GPIO12, RMII2_TXD1, RGMII2_TD1, MII2_TXD1, EPWM28_B, GPIO100, EPWM28_B	ICSS_MII0_TXD1	M15	132
133	H17	ICSS_MII0_TXD2	PR0_PRU0_GPIO13, RGMII2_TD2, MII2_TXD2, EPWM29_A, GPIO101, EPWM27_B	PR0_PRU0_GPIO14, RGMII2_TD3, MII2_TXD3, EPWM29_B, GPIO102, EPWM29_B	ICSS_MII0_TXD3	H16	134
135		GND	GND	NC	NC		136
137	F15	ICSS_MII1_RXER	PR0_PRU1_GPIO5, SPI5_CS0, TRC_DATA0, EPWM30_A, GPIO103, CHANNEL6, EPWM30_A	PR0_PRU1_GPIO9, SPI5_CLK, PR0_UART0_RXD, TRC_DATA1, EPWM30_B, GPIO104, CHANNEL7	ICSS_MII1_COL	C18	138
139	D17	ICSS_MII1_CRS	PR0_PRU1_GPIO10, SPI5_D0, PR0_UART0_TXD, TRC_DATA2, EPWM31_A, GPIO105, RES0_PWMOUT0, EPWM31_A	PR0_PRU1_GPIO8, SPI5_D1, TRC_DATA3, EPWM31_B, GPIO106, RES0_PWMOUT1, EPWM31_B	ICSS_MII1_RXLINK	D18	140
141	E16	ICSS_MII1_RXCLK	PR0_PRU1_GPIO6, MCAN0_RX, FSITX2_CLK, TRC_DATA4, GPIO107	PR0_PRU1_GPIO4, MCAN0_TX, FSITX2_D0, TRC_DATA5, GPIO108	ICSS_MII1_RXDV	F16	142
143	F18	ICSS_MII1_RXD0	PR0_PRU1_GPIO0, MCAN1_RX, FSITX2_D1, TRC_DATA6, GPIO109, EPWM23_A	PR0_PRU1_GPIO1, MCAN1_TX, FSIRX2_CLK, TRC_DATA7, GPIO110	ICSS_MII1_RXD1	G16	144
145	E17	ICSS_MII1_RXD2	PR0_PRU1_GPIO2, MCAN4_RX, FSIRX2_D0, TRC_DATA8, GPIO111	PR0_PRU1_GPIO3, MCAN4_TX, FSIRX2_D1, TRC_DATA9, GPIO112, EPWM23_B	ICSS_MII1_RXD3	E18	146
147	C16	ICSS_MII1_TXCLK	PR0_PRU1_GPIO16, MCAN5_RX, FSITX3_CLK, TRC_DATA10, GPIO113	PR0_PRU1_GPIO15, MCAN5_TX, FSITX3_D0, TRC_DATA11, GPIO114	ICSS_MII1_TXEN	A17	148
149	B18	ICSS_MII1_TXD0	PR0_PRU1_GPIO11, MCAN6_RX, SPI6_CS0, FSITX3_D1, TRC_DATA12, EPWM16_A, GPIO115	PR0_PRU1_GPIO12, MCAN6_TX, SPI6_CLK, FSIRX3_CLK, TRC_DATA13, EPWM16_B, GPIO116	ICSS_MII1_TXD1	B17	150
151	D16	ICSS_MII1_TXD2	PR0_PRU1_GPIO13, MCAN7_RX, SPI6_D0, FSIRX3_D0, TRC_DATA14, XBAROUT11, GPIO117, RES0_PWMOUT0	PR0_PRU1_GPIO14, MCAN7_TX, SPI6_D1, FSIRX3_D1, TRC_DATA15, XBAROUT12, GPIO118, RES0_PWMOUT1	ICSS_MII1_TXD3	C17	152
153	K4	HSEC_EPWM13_A	EPWM13_A, UART1_Rln, SPI7_CLK, OSPI_D3, GPIO69	EPWM13_B, UART1_DTRn, SPI7_D0, OSPI_ECC_FAIL, GPIO70, EPWM13_B	EPWM13_B	K3	154
155		NC	NC	NC	NC		156
157		GND	GND	HSEC_5V0	HSEC_5V0		158
159		NC	NC	NC	NC		160
161	B8	UART2_RXD	LIN2_RXD, UART2_RXD, SPI2_D0, GPIO21	LIN2_TXD, UART2_TXD, SPI2_D1, GPIO22	UART2_TXD	A8	162
163	B6	HSEC_MMC0_CLK	MMC_CLK, UART0_RXD, LIN0_RXD, MCAN0_RX, EPWM17_A, GPIO77, SDFM1_CLK0, EPWM17_A	MMC_CMD, UART0_TXD, LIN0_TXD, MCAN0_TX, EPWM17_B, GPIO78, SDFM1_D0, EPWM17_B	HSEC_MMC0_CMD	A4	164
165	B5	HSEC_MMC0_D0	MMC_DAT0, UART2_RXD, I2C1_SCL, MCAN1_RX, EPWM18_A, GPIO79, SDFM1_CLK1, EPWM18_A	MMC_DAT1, MCAN1_TX, EPWM18_B, GPIO80, SDFM1_D1, EPWM18_B	HSEC_MMC0_D1	B4	166
167	A3	HSEC_MMC0_D2	MMC_DAT2, UART2_TXD, I2C1_SDA, MCAN4_RX, EPWM19_A, GPIO81, SDFM1_CLK2, EPWM19_A	MMC_DAT3, UART3_RTsn, MCAN4_TX, EPWM19_B, GPIO82, SDFM1_D2, EPWM19_B	HSEC_MMC0_D3	A2	168
169	C6	HSEC_MMC0_WP	MMC_SDWP, UART0_RTsn, I2C2_SCL, MCAN5_RX, EPWM20_A, GPIO83, SDFM1_CLK3, EPWM20_A	MMC_SDCD, UART0_CTSn, I2C2_SDA, MCAN5_TX, EPWM20_B, GPIO84, SDFM1_D3, EPWM20_B	HSEC_MMC0_SDCD	A5	170
171		PMIC_COMP2_IN+	PMIC_COMP2_IN+	NC	PMIC_WKUP2		172
173		PMIC_COMP2_IN-	PMIC_COMP2_IN-	NC	NC		174

**表 2-32. HSEC のピン配置 (続き)**

ピン番号	ボール	パッケージ信号名	多重化信号オプション	多重化信号オプション	信号パッケージ名	ボール	ピン番号
175		PMIC_COMP1_IN+	PMIC_COMP1_IN+		NC	NC	176
177		PMIC_COMP1_IN-	PMIC_COMP1_IN-		PMIC_SAFE_OUT2	PMIC_SAFE_OUT2	178
179		GND	GND		HSEC_5V0	HSEC_5V0	180

表 2-33. ピンマルチプレクサ マッピング表

ボール	ピンリスト	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
P1	OSPI0_CSn0	OSPI0_CSn0						OSPI_D0	GPIO0			
R3	OSPI0_CSn1	OSPI0_CSn1		MCAN5_TX		SPI4_CS1	XBAROUT0	UART2_RTSn	GPIO1	FSIRX2_D1		EPWM10_B
N2	OSPI0_CLK	OSPI0_CLK		MCAN7_RX		SPI7_CS0		UART3_CTSn	GPIO2			EPWM12_A
N1	OSPI0_D0	OSPI0_D0		MCAN7_TX		SPI7_CLK		UART1_DCDn	GPIO3			EPWM12_B
N4	OSPI0_D1	OSPI0_D1				SPI7_D0		UART1_Rln	GPIO4			EPWM13_A
M4	OSPI0_D2	OSPI0_D2						OSPI_D6	GPIO5			
P3	OSPI0_D3	OSPI0_D3						OSPI_D4	GPIO6			
M1	MCAN0_RX	MCAN0_RX	SPI4_CS0	OSPI_D4				OSPI_DQS	GPIO7			
L1	MCAN0_TX	MCAN0_TX	SPI4_CLK	OSPI_D5				OSPI_D2	GPIO8			
L2	MCAN1_RX	MCAN1_RX	SPI4_D0	OSPI_D6				OSPI_CLK	GPIO9			
K1	MCAN1_TX	MCAN1_TX	SPI4_D1	OSPI_D7		SPI7_D1		UART1_DTRn	GPIO10			EPWM13_B
C11	SPI0_CS0	SPI0_CS0	UART3_RXD	LIN3_RXD					GPIO11		CHANNEL0	
A11	SPI0_CLK	SPI0_CLK	UART3_TXD	LIN3_TXD				FSITX0_CLK	GPIO12		CHANNEL1	
C10	SPI0_D0	SPI0_D0						FSITX0_D0	GPIO13		CHANNEL2	
B11	SPI0_D1	SPI0_D1						FSITX0_D1	GPIO14		CHANNEL3	
C9	SPI1_CS0	SPI1_CS0	UART4_TXD	LIN4_TXD			XBAROUT1		GPIO15		CHANNEL4	
A10	SPI1_CLK	SPI1_CLK	UART4_RXD	LIN4_RXD			XBAROUT2	FSIRX0_CLK	GPIO16		CHANNEL5	
B10	SPI1_D0	SPI1_D0	UART5_TXD				XBAROUT3	FSIRX0_D0	GPIO17		CHANNEL6	
D9	SPI1_D1	SPI1_D1	UART5_RXD				XBAROUT4	FSIRX0_D1	GPIO18		CHANNEL7	
A9	LIN1_RXD	LIN1_RXD	UART1_RXD	SPI2_CS0	OSPI_ECC_FAIL		XBAROUT5		GPIO19	OSPI_RESET_OUT1		
B9	LIN1_TXD	LIN1_TXD	UART1_TXD	SPI2_CLK	OSPI_RESET_OUT0		XBAROUT6		GPIO20			
B8	LIN2_RXD	LIN2_RXD	UART2_RXD	SPI2_D0					GPIO21			
A8	LIN2_TXD	LIN2_TXD	UART2_TXD	SPI2_D1					GPIO22			
D7	I2C1_SCL	I2C1_SCL		SPI3_CS0			XBAROUT7		GPIO23			
C8	I2C1_SDA	I2C1_SDA		SPI3_CLK			XBAROUT8		GPIO24			
C7	UART0_RTSn	UART0_RTSn	I2C2_SCL	SPI3_D0	MCAN3_TX		XBAROUT9		GPIO25			
B7	UART0_CTSn	UART0_CTSn	I2C2_SDA	SPI3_D1	MCAN3_RX	SPI0_CS1	XBAROUT10		GPIO26			
A7	UART0_RXD	UART0_RXD	LIN0_RXD						GPIO27			
A6	UART0_TXD	UART0_TXD	LIN0_TXD						GPIO28			
R17	RGMII1_RXC	RGMII1_RXC	RMII1_REF_CLK	MII1_RXCLK				FSITX0_CLK	GPIO29	EQEP2_A		EPWM14_A
M18	RGMII1_TX_CTL	RGMII1_TX_CTL	RMII1_TX_EN	MII1_TX_EN				FSITX1_D0	GPIO36	EQEP0_STROBE		EPWM15_B
P16	RGMII1_TD0	RGMII1_TD0	RMII1_TXD0	MII1_TXD0				FSITX1_D1	GPIO37	EQEP1_A	EPWM15_A	EPWM15_B
M17	MDIO0_MDC	MDIO0_MDC							GPIO42			
B2	EPWM0_A	EPWM0_A							GPIO43			EPWM0_A
B1	EPWM0_B	EPWM0_B							GPIO44			EPWM0_B
D3	EPWM1_A	EPWM1_A							GPIO45			EPWM1_A
D2	EPWM1_B	EPWM1_B							GPIO46			EPWM1_B
C2	EPWM2_A	EPWM2_A							GPIO47			EPWM2_A
C1	EPWM2_B	EPWM2_B							GPIO48			EPWM2_B
E2	EPWM3_A	EPWM3_A							GPIO49			EPWM3_A

表 2-33. ピンマルチプレクサ マッピング表 (続き)

ボール	ピンリスト	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
E3	EPWM3_B	EPWM3_B							GPIO50			EPWM6_A
D1	EPWM4_A	EPWM4_A							GPIO51			EPWM4_A
E4	EPWM4_B	EPWM4_B						FSITX1_CLK	GPIO52			EPWM1_B
F2	EPWM5_A	EPWM5_A			SPI5_CS0			FSITX1_D0	GPIO53			EPWM5_A
G2	EPWM5_B	EPWM5_B			SPI5_CLK			FSITX1_D1	GPIO54			EPWM8_B
E1	EPWM6_A	EPWM6_A			SPI5_D0			FSIRX1_CLK	GPIO55			EPWM3_B
F3	EPWM6_B	EPWM6_B			SPI5_D1			FSIRX1_D0	GPIO56			EPWM6_B
F4	EPWM7_A	EPWM7_A			SPI6_CS0			FSIRX1_D1	GPIO57			EPWM7_A
F1	EPWM7_B	EPWM7_B			SPI6_CLK				GPIO58			EPWM5_B
G3	EPWM8_A	EPWM8_A	UART4_TXD	I2C3_SDA	SPI6_D0			FSITX2_CLK	GPIO59			EPWM8_A
H2	EPWM8_B	EPWM8_B	UART4_RXD	I2C3_SCL	SPI6_D1			FSITX2_D0	GPIO60			EPWM9_B
G1	EPWM9_A	EPWM9_A			SPI7_CS0	MCAN4_RX		FSITX2_D1	GPIO61			EPWM9_A
J2	EPWM9_B	EPWM9_B	UART1_RTSn		SPI7_CLK	MCAN4_TX		FSIRX2_CLK	GPIO62			EPWM11_B
G4	EPWM10_A	EPWM10_A	UART1_CTSn		SPI7_D0	MCAN5_RX		FSIRX2_D0	GPIO63			EPWM7_B
J3	EPWM10_B	EPWM10_B	UART2_RTSn		SPI7_D1	MCAN5_TX	OSPI_RESET_OUT0	FSIRX2_D1	GPIO64			EPWM10_B
H1	EPWM11_A	EPWM11_A	UART2_CTSn	OSPI_ECC_FAIL		MCAN6_RX	OSPI_RESET_OUT1	OSPI_CS0	GPIO65			EPWM11_A
J1	EPWM11_B	EPWM11_B	UART3_RTSn	OSPI_RESET_OUT0		MCAN6_TX		OSPI_D1	GPIO66			EPWM12_B
K2	EPWM12_A	EPWM12_A	UART3_CTSn	SPI4_CS1		MCAN7_RX		OSPI_D5	GPIO67			EPWM12_A
J4	EPWM12_B	EPWM12_B	UART1_DCDn	SPI7_CS0		MCAN7_TX		OSPI_D7	GPIO68			EPWM10_A
K4	EPWM13_A	EPWM13_A	UART1_RIn	SPI7_CLK				OSPI_D3	GPIO69			EPWM13_A
K3	EPWM13_B	EPWM13_B	UART1_DTRn	SPI7_D0				OSPI_ECC_FAIL	GPIO70			EPWM13_B
L3	UART1_RXD	UART1_RXD	LIN1_RXD	OSPI_LBCLKO			EPWM16_A		GPIO75			EPWM16_A
M3	UART1_TXD	UART1_TXD	LIN1_TXD	OSPI_DQS			EPWM16_B		GPIO76			EPWM16_B
B6	MMC_CLK	MMC_CLK	UART0_RXD	LIN0_RXD	MCAN0_RX		EPWM17_A		GPIO77	SDFM1_CLK0		EPWM17_A
A4	MMC_CMD	MMC_CMD	UART0_TXD	LIN0_TXD	MCAN0_TX		EPWM17_B		GPIO78	SDFM1_D0		EPWM17_B
B5	MMC_DAT0	MMC_DAT0	UART2_RXD	I2C1_SCL	MCAN1_RX		EPWM18_A		GPIO79	SDFM1_CLK1		EPWM18_A
B4	MMC_DAT1	MMC_DAT1			MCAN1_TX		EPWM18_B		GPIO80	SDFM1_D1		EPWM18_B
A3	MMC_DAT2	MMC_DAT2	UART2_TXD	I2C1_SDA	MCAN4_RX		EPWM19_A		GPIO81	SDFM1_CLK2		EPWM19_A
A2	MMC_DAT3	MMC_DAT3	UART3_RTSn		MCAN4_TX		EPWM19_B		GPIO82	SDFM1_D2		EPWM19_B
C6	MMC_SDWP	MMC_SDWP	UART0_RTSn	I2C2_SCL	MCAN5_RX		EPWM20_A		GPIO83	SDFM1_CLK3		EPWM20_A
A5	MMC_SDCD	MMC_SDCD	UART0_CTSn	I2C2_SDA	MCAN5_TX		EPWM20_B		GPIO84	SDFM1_D3		EPWM20_B
L17	PR0_MDIO0_MDIO	PR0_MDIO0_MDIO					EPWM21_A		GPIO85			EPWM21_A
L18	PR0_MDIO0_MDC	PR0_MDIO0_MDC					EPWM21_B		GPIO86			EPWM21_B
G17	PR0_PRU0_GPIO5	PR0_PRU0_GPIO5			RMII2_RX_ER		MII2_RX_ER	EPWM22_A	GPIO87			EPWM22_A
F17	PR0_PRU0_GPIO9	PR0_PRU0_GPIO9				PR0_UART0_CTSn	MII2_COL	EPWM22_B	GPIO88			
G18	PR0_PRU0_GPIO10	PR0_PRU0_GPIO10			RMII2_CRS_DV	PR0_UART0_RTSn	MII2_CRS	EPWM23_A	GPIO89			EPWM22_B
G15	PR0_PRU0_GPIO8	PR0_PRU0_GPIO8						EPWM23_B	GPIO90			EPWM29_A
K15	PR0_PRU0_GPIO6	PR0_PRU0_GPIO6			RMII2_REF_CLK	RGMII2_RXC	MII2_RXCLK	EPWM24_A	GPIO91			EPWM24_A

表 2-33. ピンマルチプレクサ マッピング表 (続き)

ボール	ピンリスト	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
K16	PR0_PRU0_GPIO4	PR0_PRU0_GPIO4			RGMI2_RX_CTL	MII2_RXDV	EPWM24_B		GPIO92			EPWM24_B
K17	PR0_PRU0_GPIO0	PR0_PRU0_GPIO0		RMII2_RXD0	RGMI2_RD0	MII2_RXD0	EPWM25_A		GPIO93			EPWM25_A
K18	PR0_PRU0_GPIO1	PR0_PRU0_GPIO1		RMII2_RXD1	RGMI2_RD1	MII2_RXD1	EPWM25_B		GPIO94			EPWM25_B
J18	PR0_PRU0_GPIO2	PR0_PRU0_GPIO2			RGMI2_RD2	MII2_RXD2	EPWM26_A		GPIO95			EPWM26_A
J17	PR0_PRU0_GPIO3	PR0_PRU0_GPIO3			RGMI2_RD3	MII2_RXD3	EPWM26_B		GPIO96			EPWM26_B
H18	PR0_PRU0_GPIO1 6	PR0_PRU0_GPIO1 6			RGMI2_TXC	MII2_TXCLK	EPWM27_A		GPIO97			EPWM27_A
L16	PR0_PRU0_GPIO1 5	PR0_PRU0_GPIO1 5		RMII2_TX_EN	RGMI2_TX_CTL	MII2_TX_EN	EPWM27_B		GPIO98			
M16	PR0_PRU0_GPIO1 1	PR0_PRU0_GPIO1 1		RMII2_TXD0	RGMI2_TD0	MII2_TXD0	EPWM28_A		GPIO99			EPWM28_A
M15	PR0_PRU0_GPIO1 2	PR0_PRU0_GPIO1 2		RMII2_TXD1	RGMI2_TD1	MII2_TXD1	EPWM28_B		GPIO100			EPWM28_B
H17	PR0_PRU0_GPIO1 3	PR0_PRU0_GPIO1 3			RGMI2_TD2	MII2_TXD2	EPWM29_A		GPIO101			EPWM27_B
H16	PR0_PRU0_GPIO1 4	PR0_PRU0_GPIO1 4			RGMI2_TD3	MII2_TXD3	EPWM29_B		GPIO102			EPWM29_B
F15	PR0_PRU1_GPIO5	PR0_PRU1_GPIO5		SPI5_CS0		TRC_DATA0	EPWM30_A		GPIO103		CHANNEL6	EPWM30_A
C18	PR0_PRU1_GPIO9	PR0_PRU1_GPIO9		SPI5_CLK	PR0_UART0_RX D	TRC_DATA1	EPWM30_B		GPIO104		CHANNEL7	
D17	PR0_PRU1_GPIO1 0	PR0_PRU1_GPIO1 0		SPI5_D0	PR0_UART0_TX D	TRC_DATA2	EPWM31_A		GPIO105	RES0_PWMOUT0		EPWM31_A
D18	PR0_PRU1_GPIO8	PR0_PRU1_GPIO8		SPI5_D1		TRC_DATA3	EPWM31_B		GPIO106	RES0_PWMOUT1		EPWM31_B
E16	PR0_PRU1_GPIO6	PR0_PRU1_GPIO6	MCAN0_RX		FSITX2_CLK	TRC_DATA4			GPIO107			
F16	PR0_PRU1_GPIO4	PR0_PRU1_GPIO4	MCAN0_TX		FSITX2_D0	TRC_DATA5			GPIO108			
F18	PR0_PRU1_GPIO0	PR0_PRU1_GPIO0	MCAN1_RX		FSITX2_D1	TRC_DATA6			GPIO109			EPWM23_A
G16	PR0_PRU1_GPIO1	PR0_PRU1_GPIO1	MCAN1_TX		FSIRX2_CLK	TRC_DATA7			GPIO110			
E17	PR0_PRU1_GPIO2	PR0_PRU1_GPIO2	MCAN4_RX		FSIRX2_D0	TRC_DATA8			GPIO111			
E18	PR0_PRU1_GPIO3	PR0_PRU1_GPIO3	MCAN4_TX		FSIRX2_D1	TRC_DATA9			GPIO112			EPWM23_B
C16	PR0_PRU1_GPIO1 6	PR0_PRU1_GPIO1 6	MCAN5_RX		FSITX3_CLK	TRC_DATA10			GPIO113			
A17	PR0_PRU1_GPIO1 5	PR0_PRU1_GPIO1 5	MCAN5_TX		FSITX3_D0	TRC_DATA11			GPIO114			
B18	PR0_PRU1_GPIO1 1	PR0_PRU1_GPIO1 1	MCAN6_RX	SPI6_CS0	FSITX3_D1	TRC_DATA12	EPWM16_A		GPIO115			
B17	PR0_PRU1_GPIO1 2	PR0_PRU1_GPIO1 2	MCAN6_TX	SPI6_CLK	FSIRX3_CLK	TRC_DATA13	EPWM16_B		GPIO116			
D16	PR0_PRU1_GPIO1 3	PR0_PRU1_GPIO1 3	MCAN7_RX	SPI6_D0	FSIRX3_D0	TRC_DATA14	XBAROUT11		GPIO117	RES0_PWMOUT0		
C17	PR0_PRU1_GPIO1 4	PR0_PRU1_GPIO1 4	MCAN7_TX	SPI6_D1	FSIRX3_D1	TRC_DATA15	XBAROUT12		GPIO118	RES0_PWMOUT1		
D15	PR0_PRU1_GPIO1 9	PR0_PRU1_GPIO1 9		UART3_RXD	PR0_IEP0_EDC_ SYNC_OUT0	TRC_CLK	XBAROUT13		GPIO119		EQEP1_A	
C15	PR0_PRU1_GPIO1 8	PR0_PRU1_GPIO1 8		UART3_TXD	PR0_IEP0_EDIO_ DATA_IN_OUT3 1	TRC_CTL	XBAROUT14		GPIO120		EQEP1_B	
P2	EXT_REFCLK0	EXT_REFCLK0					XBAROUT15		GPIO121		EQEP1_INDEX	

表 2-33. ピンマルチプレクサ マッピング表 (続き)

ボール	ピンリスト	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
B16	SDFM0_CLK0	CLKOUT1							GPIO122	SDFM0_CLK0	EQEP1_STROBE	
D14	SDFM0_D0	PR0_ECAP0_APW M_OUT							GPIO123	SDFM0_D0		
A16	SDFM0_CLK1	PR0_PRU1_GPIO7	CPTS0_TS_SYNC	UART5_RTSn	PR0_IEP0_EDC_ SYNC_OUT1		I2C3_SDA		GPIO124	SDFM0_CLK1		
D13	SDFM0_D1	PR0_PRU1_GPIO1 7		UART5_CTSn	PR0_IEP0_EDIO _DATA_IN_OUT3 0				GPIO125	SDFM0_D1		
B15	SDFM0_CLK2	UART5_TXD					I2C3_SCL		GPIO126	SDFM0_CLK2	CHANNEL8	
C13	SDFM0_D2	UART5_RXD							GPIO127	SDFM0_D2	CHANNEL0	
A15	SDFM0_CLK3	MCAN3_TX	UART5_RXD						GPIO128	SDFM0_CLK3	CHANNEL9	
C14	SDFM0_D3	MCAN3_RX							GPIO129	SDFM0_D3	CHANNEL1	
B14	EQEP0_A	UART4_RTSn			SPI4_CLK				GPIO130	EQEP0_A	SDFM1_CLK0	
A14	EQEP0_B	UART4_CTSn			SPI4_CS0				GPIO131	EQEP0_B	SDFM1_D0	
C12	EQEP0_STROBE	UART4_TXD	LIN4_TXD		SPI4_D0				GPIO132	EQEP0_STROBE	SDFM1_CLK1	CHANNEL2
D11	EQEP0_INDEX	UART4_RXD	LIN4_RXD		SPI4_D1				GPIO133	EQEP0_INDEX	SDFM1_D1	CHANNEL3
B13	I2C0_SDA	I2C0_SDA							GPIO134	EQEP2_A	SDFM1_CLK2	
A13	I2C0_SCL	I2C0_SCL							GPIO135	EQEP2_B	SDFM1_CLK3	
B12	MCAN2_TX	MCAN2_TX	UART1_RTSn						GPIO136	EQEP2_STROBE	SDFM1_D2	
A12	MCAN2_RX	MCAN2_RX	UART2_RTSn						GPIO137	EQEP2_INDEX	SDFM1_D3	
M2	CLKOUT0	CLKOUT0							GPIO138			
C3	WARMRSTn	WARMRSTn										
D4	SAFETY_ERRORn	SAFETY_ERRORn										
C5	TDI	TDI										
C4	TDO	TDO										
D5	TMS	TMS										
B3	TCK	TCK										
LB	OSPI_CLKLB	OSPI_CLKLB										
R2	PORz	PORz										
T1	XTAL_XI	XTAL_XI										
R1	XTAL_XO	XTAL_XO										
V15	ADC0_AIN0	ADC0_AIN0										
U15	ADC0_AIN1	ADC0_AIN1										
T14	ADC0_AIN2	ADC0_AIN2										
U14	ADC0_AIN3	ADC0_AIN3										
U13	ADC0_AIN4	ADC0_AIN4										
R14	ADC0_AIN5	ADC0_AIN5										
T11	ADC1_AIN0	ADC1_AIN0										
U11	ADC1_AIN1	ADC1_AIN1										
T12	ADC1_AIN2	ADC1_AIN2										
V12	ADC1_AIN3	ADC1_AIN3										
U12	ADC1_AIN4	ADC1_AIN4										

**表 2-33. ピンマルチプレクサ マッピング表 (続き)**

ボール	ピンリスト	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
R12	ADC1_AIN5	ADC1_AIN5										
R10	ADC2_AIN0	ADC2_AIN0										
T10	ADC2_AIN1	ADC2_AIN1										
U10	ADC2_AIN2	ADC2_AIN2										
T9	ADC2_AIN3	ADC2_AIN3										
V9	ADC2_AIN4	ADC2_AIN4										
T8	ADC2_AIN5	ADC2_AIN5										
U7	ADC3_AIN0	ADC3_AIN0										
U8	ADC3_AIN1	ADC3_AIN1										
T7	ADC3_AIN2	ADC3_AIN2										
R7	ADC3_AIN3	ADC3_AIN3										
V8	ADC3_AIN4	ADC3_AIN4										
U9	ADC3_AIN5	ADC3_AIN5										
U6	ADC4_AIN0	ADC4_AIN0										
V5	ADC4_AIN1	ADC4_AIN1										
V4	ADC4_AIN2	ADC4_AIN2										
U5	ADC4_AIN3	ADC4_AIN3										
V3	ADC4_AIN4	ADC4_AIN4										
U4	ADC4_AIN5	ADC4_AIN5										
V14	ADC_VREFHI_G0	ADC_VREFHI_G0										
V13	ADC_VREFLO_G0	ADC_VREFLO_G0										
V10	ADC_VREFHI_G1	ADC_VREFHI_G1										
V11	ADC_VREFLO_G1	ADC_VREFLO_G1										
V6	ADC_VREFHI_G2	ADC_VREFHI_G2										
V7	ADC_VREFLO_G2	ADC_VREFLO_G2										
U16	ADC_CAL0	ADC_CAL0										
T15	ADC_CAL1	ADC_CAL1										
T13	DAC_VREF0	DAC_VREF0										
T6	DAC_VREF1	DAC_VREF1										
T5	DAC_OUT	DAC_OUT										
U1	RSVD_U1	RSVD_U1										
U2	VSYS_MON	VSYS_MON										
U3	RSVD_U3	RSVD_U3										
V2	RSVD_V2	RSVD_V2										
U17	ADC_CAL2	ADC_CAL2										
T18	ADC_R0_AIN0	ADC_R0_AIN0										
T16	ADC_R0_AIN1	ADC_R0_AIN1										
U18	ADC_R0_AIN2	ADC_R0_AIN2										
T17	ADC_R0_AIN3	ADC_R0_AIN3										
V16	ADC_VREFLO_G3	ADC_VREFLO_G3										
V17	ADC_VREFHI_G3	ADC_VREFHI_G3										

**表 2-33. ピンマルチプレクサ マッピング表 (続き)**

ボール	ピンリスト	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
R16	ADC_R1_AIN0	ADC_R1_AIN0										
R18	ADC_R1_AIN1	ADC_R1_AIN1										
P18	ADC_R1_AIN2	ADC_R1_AIN2										
P17	ADC_R1_AIN3	ADC_R1_AIN3										
N17	ADC_CAL3	ADC_CAL3										

### 3 ハードウェア設計ファイル

評価基板に対応する最新の設計ファイルを含む zip ファイルをダウンロードするには、次の[リンク](#)をクリックしてください。

## 4 追加情報

### 4.1 サポートが必要な場合

ご意見・ご質問等がございましたら、テキサス インスツルメンツ製品情報センター (PIC) と[テキサス インスツルメンツ E2E™ フォーラム](#)によって Sitara MCU と AM263Px 制御カード開発キットのサポートが提供されます。PIC の連絡先情報は [テキサス インスツルメンツの Web サイト](#)に掲載しております。各デバイスの詳細情報については、[セクション 6.1](#) を参照してください。

### 4.2 商標

Sitara™ and E2E™ are trademarks of Texas Instruments.

Cortex™ is a trademark of Arm Limited.

EtherNet/IP™ is a trademark of ODVA, Inc.

EtherCAT™ is a trademark of PROFIBUS Nutzerorganisation e.V. (PNO).

USB Type-C® and USB-C® are registered trademarks of USB Implementers Forum.

Arm® is a registered trademark of Arm Limited.

PROFINET® is a registered trademark of PROFIBUS Nutzerorganisation e.V. (PNO).

すべての商標は、それぞれの所有者に帰属します。

## 5 関連資料

### 5.1 補足事項

#### 5.1.A E1 基板の変更点

- OSPI の変更 - すべての E1 基板に出荷時から実装済み。

AM263Px 制御カード E1 の初期の設計には、OSPI の DQ0 および DQ1 信号ラインに 2.5 インチのスタブが存在していました。これらのスタブは、OSPI ペリフェラル使用の信頼性の低下につながります。以下は、すべての E1 バージョンの制御カードで実装された変更点のリストです。

- 終端抵抗とマルチプレクサの隣にあるビアの外側で、OSPI DQ0 および DQ1 のパターンを切断しました。
  - R91 から U80 ピン 4 へのブルー ワイヤを半田付けしました。
  - R90 から U80 ピン 3 へのブルー ワイヤを半田付けしました。
  - 10kΩ 抵抗の片側を、上記で追加したブルー ワイヤのそれぞれに半田付けしました。
  - R122 と R119 を取り外しました。
  - R91 ブルー ワイヤの 10kΩ 抵抗から、U48 に最も近い R122 パッドへブルー ワイヤを追加しました。
  - R90 ブルー ワイヤの 10kΩ 抵抗から、U48 に最も近い R119 パッドへブルー ワイヤを追加しました。
- CPSW イーサネットの変更 - ユーザーが実装する必要があります。

---

注

この変更は E1 基板には行われていません。

---

---

注

これは、E2 バージョン以降の基板には適用されません。

---

---

注

この基板では、CPSW RGMII2 を有効にするため、デフォルトで PRU0 MII0 信号がルーティングされています。次の変更に従う必要があります

---

---

注

AM263Px 制御カードの E1 バージョンでは、MCAN トランシーバとオンボード イーサネットを同時に使用することはできません。

---

E1 AM263Px 制御カードでは、関連する MDIO を含む CPSW RGMII2 ギガビット イーサネット ポートを有効にするため、ブルー ワイヤ修正がありました。変更内容は以下のとおりです。

- **MDIO0\_MDIO** をオンボード イーサネット **PHY** にルーティング:
  - R208 を取り外し、SoC の L17 に接続されていない露出パッドから、HSEC ピン 96 へワイヤを半田付けします。
- **MDIO0\_MDC** をオンボード イーサネット **PHY** にルーティング:
  - R466 を取り外し、MCAN1\_STB 信号に接続されている R466 パッドからワイヤを半田付けします。
  - R211 を取り外し、MCAN1\_STB ワイヤのもう一方の端を、SoC の L18 に接続されていない R211 露出パッドに半田付けします。
- **TCAN1043** イネーブルを **Low** に駆動
  - MCAN1\_STB は MDIO0\_MDC 用にルーティングされているため、MCAN1\_STB パターンでのリーク電流を避けるため、MCAN トランシーバを無効化する必要があります。

#### 5.1.B E2 の設計変更

AM263Px 制御カードの E2 リビジョンには、設計上のさまざまな変更が加えられています。変更内容は以下のとおりです。

- MDIO 信号をルーティングする場所を制御するため、MDIO/MDC アナログ スイッチを追加
- 各種 LED インジケータを追加

- PORz が押されたことを示す SoC SAFETY\_ERRORn LED (LD19)
  - PMIC LDO 出力用に電源ステータス LED を追加 (LD20、LD21、LD22)
3. **CAN INH** 信号の **PMIC** へのルーティングのためにジャンパ (**J22**) を追加
  4. **FSI/MCAN** マルチプレクサ (**U33**) の選択ラインのデフォルト状態を **High** から **Low** に変更
  5. イーサネットポートと **MDIO** 信号のルーティングに多重化を追加
  6. **ADC** マルチプレクサ上の信号を再編成

### 5.1.C A の設計変更

AM263Px 制御カードの A リビジョンには、設計上のさまざまな変更が加えられています。変更内容は以下のとおりです。

1. **VPP\_1V7** ネットにテストポイント **TP76** を追加
2. イーサネットアドオンコネクタの **I2C** アドレス構成を、評価基板のコネクタ (**J8**) で設定されるように変更。
  - イーサネットアドオンボード EEPROM I2C アドレスビットは、**J8-37** (アドレスビット **A2**) と **J8-47** (アドレスビット **A0**) で設定されています。**A2** ビットと **A0** ビットは両方とも **10kΩ** の抵抗を介してプルダウンされます。**J8** に接続されているすべてのイーサネットアドオンボードには、**I2C** アドレス **0x52** があります。
3. **OSPI** フラッシュのリセット回路を変更。**AM263Px** SoC の信号 **OSPI0\_RESET\_OUT0** を **PORz** を扱う **AND** ゲートへの入力として使用し、**IO** エクスパンダ信号を置き換え。

### 5.1.D B の設計変更

AM263Px 制御カードの B リビジョンには、設計上のさまざまな変更が加えられています。変更内容は以下のとおりです。

1. 昇圧コンバータ部品 (**U5**) を **TPS61089RNR** に変更
2. **U76** 標準プッシュプル出力バッファをオープンドレイン出力バッファに変更

## 6 参考資料

### 6.1 参考資料

このドキュメントに加えて、以下のドキュメントが [www.ti.com](http://www.ti.com) からダウンロードできます。

- [AM263P4 Sitara™ マイコン](#)
- [AM263Px Sitara™ マイコン データシート](#)
- [AM263Px Sitara™ マイコン テクニカル リファレンス マニュアル](#)
- [AM263Px Sitara™ マイコン TRM レジスタ補遺](#)
- [テキサス インスツルメンツ Code Composer Studio](#)
- [XDS110 ファームウェアの更新](#)

### 6.2 この設計で使用するその他の TI 部品

この制御カードは、その機能のために TI の他のさまざまな部品を使用しています。これらの部品の総合的なリストと、TI 製品ページへのリンクを以下に示します。

- [TPS212x パワー マルチプレクサ](#)
- [LM3488 昇圧 DC/DC コンバータ](#)
- [TUSB320LAI USB Type-C 構成のチャネル ロジックおよびポート制御](#)
- [TPS62177 降圧コンバータ](#)
- [TPS62903 降圧コンバータ](#)
- [I2C インターフェイス搭載 INA228 電流モニタ](#)
- [TPS62097 降圧コンバータ](#)
- [TLV755P 低ドロップアウト レギュレータ](#)
- [TPS22918 ロード スイッチ](#)
- [TMP411 温度センサ](#)
- [TCAN1043A-Q1 CAN FD トランシーバ](#)
- [XDS110 JTAG デバッグ プロブ](#)
- [DP83869HM 10/100/1000 イーサネット物理層トランシーバ](#)
- [LMK1C110x LVCMOS クロック バッファ](#)
- [TLIN2029-Q1 LIN トランシーバ](#)

## 7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from JANUARY 31, 2026 to MAY 31, 2026 (from Revision D (January 2026) to Revision E (May 2026))

	Page
• SI 番号 15 を「ICSS オンボード PHY のラインの選択ライン」から「ICSS オンボード PHY の選択ライン」に更新....	23
• 重複したテキストを削除.....	42
• TI E2E フォーラムへのリンクを変更.....	58

### Changes from AUGUST 31, 2024 to JANUARY 31, 2026 (from Revision C (August 2024) to Revision D (January 2026))

	Page
• LD9 のデフォルト状態を更新し、注記を追加。.....	11

<b>Changes from Revision B (May 2024) to Revision C (August 2024)</b>	<b>Page</b>
• [特長] OSPI/QSPI/EEPROM メモリ サイズを正しい値 / 単位に更新。.....	1
• [キットの内容] キットの内容から USB Type-C ケーブル (長さ 1m) を削除。.....	4
• [HSEC 180 ピン制御カードドッキングステーション] AM263x HSEC ドック (TMDSHSECDOCK-AM263) の情報を追加。.....	5
• [機能ブロック図] 評価基板 Rev A に合わせてブロック図を更新。.....	16
• [リセット] PORz 信号リセット ツリーのブロック図を更新し、Rev A の実装を反映。.....	17
• [GPIO マッピング] GPIO マッピング表を更新.....	23
• [OSPI/QSPI] QSPI メモリ サイズを 1Gbit に更新。Rev A の変更を反映するように OSPI/QSPI インターフェイスのブロック図を更新。.....	25
• [OSPI/QSPI] OSPI メモリサイズを 256Mbit に更新.....	25
• [オンボード イーサネット PHY] 評価基板 Rev A の図を更新。PHY の型番を訂正。.....	31
• [I2C] イーサネット アドオン ボード コネクタ I2C0 接続を示すため、図と表を更新。.....	35
• [MCAN] 選択ラインがデフォルトで HIGH であることを示すように、MCAN/FSI マルチプレクサ表を更新。.....	38
• [ADC および DAC] SDK サンプル用の SW9 位置に関する注記を追加。.....	44

## STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an "EVM" or "EVMs") to the User ("User") in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.
  - 1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM ("Software") shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software
  - 1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.
2. *Limited Warranty and Related Remedies/Disclaimers:*
  - 2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.
  - 2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.
  - 2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

### **WARNING**

**Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.**

**User shall operate the Evaluation Kit within TI's recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI's recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI's instructions for electrical ratings of interface circuits such as input, output and electrical loads.**

**NOTE:**

**EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGRADATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.**

### 3 Regulatory Notices:

#### 3.1 United States

##### 3.1.1 Notice applicable to EVMs not FCC-Approved:

**FCC NOTICE:** This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

##### 3.1.2 For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:

#### **CAUTION**

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

#### **FCC Interference Statement for Class A EVM devices**

*NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instruction manual, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.*

#### **FCC Interference Statement for Class B EVM devices**

*NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:*

- Reorient or relocate the receiving antenna.
- Increase the separation between the equipment and receiver.
- Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.
- Consult the dealer or an experienced radio/TV technician for help.

#### 3.2 Canada

##### 3.2.1 For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247

#### **Concerning EVMs Including Radio Transmitters:**

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

#### **Concernant les EVMs avec appareils radio:**

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

#### **Concerning EVMs Including Detachable Antennas:**

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

### Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur.

#### 3.3 Japan

3.3.1 *Notice for EVMs delivered in Japan:* Please see [http://www.tij.co.jp/lstds/ti\\_ja/general/eStore/notice\\_01.page](http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_01.page) 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html>

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。技術適合証明を受けていないものご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。日本テキサス・イ

ンスツルメンツ株式会社

東京都新宿区西新宿 6 丁目 2 4 番 1 号

西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see [http://www.tij.co.jp/lstds/ti\\_ja/general/eStore/notice\\_02.page](http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_02.page)

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。 <https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html>

#### 3.4 European Union

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive):*

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

- 
- 4 *EVM Use Restrictions and Warnings:*
    - 4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.
    - 4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.
    - 4.3 *Safety-Related Warnings and Restrictions:*
      - 4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.
      - 4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.
    - 4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.
  5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.
  6. *Disclaimers:*
    - 6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.
    - 6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.
  7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.
-

8. *Limitations on Damages and Liability:*

8.1 *General Limitations.* IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMNITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.

10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月