

EVM User's Guide: SK-AM62, SK-AM62B, SK-AM62B-P1

AM62x SK 評価基板



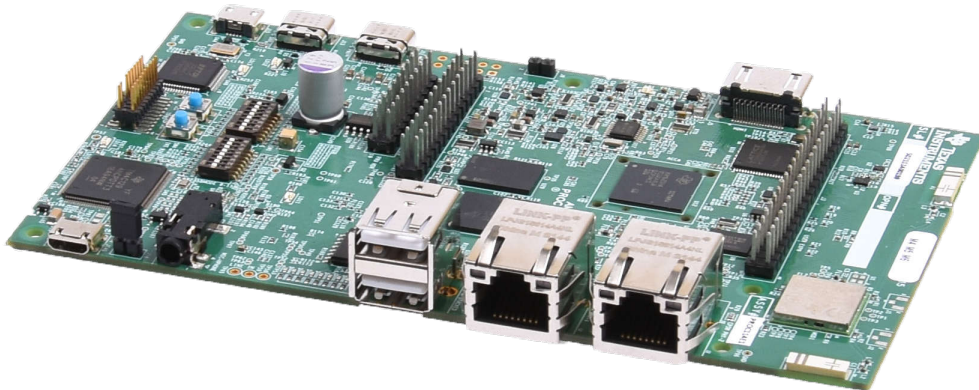
説明

AM62x スタータキット (SK) 評価基板 (EVM) は、AM62x SoC (システム オン チップ) をベースとしたスタンドアロンのテスト / 開発プラットフォームです。AM62x プロセッサは、クワッドコアの 64 ビット Arm®-Cortex®-A53 マイクロプロセッサ、シングルコアの Arm®-Cortex®R5F マイコン (MCU)、Arm®-Cortex®-M4F MCU で構成されています。

SK-AM62 は、ディスクリット電源設計を活用する汎用アプリケーションに適した、AM62x スタータキットの 1 つのバージョンです。SK-AM62B は SK-AM62 の新バージョンであり、高度セキュリティとフィールドでのセキュア化対応 (HS-FS) シリコンを採用しているため、セキュリティアプリケーションで鍵と暗号化をカスタマイズできます。SK-AM62B-P1 は、SK-AM62 の最新バージョンであり、電力効率の優れたポータブル アプリケーションと固定アプリケーションの実現に適した設計を採用した TPS64219 および TPS64220 PMIC をオンボード搭載しています。さらに、SK-AM62B-P1 はセキュリティがイネーブルになっているため、セキュア ブート、デバッグ セキュリティ、ファイアウォールを実現できます。

特長

- 処理機能: 4 個の Arm Cortex-A53、3D GPU (グラフィックス処理ユニット)、1 個の Cortex-M4F、2 個の PRU-SS を搭載した AM6254
- ディスプレイ: デュアル ディスプレイに対応し、最大 2K のディスプレイ解像度をサポート。1 個のデュアルチャネル LVDS。オーディオ コーデック TLV320AIC3106 を搭載し、DPI または RGB444 を経由する 1 個の HDMI コネクタ
- Wi-Fi® と Bluetooth® の各モジュールをサポートする M.2 Key E インターフェイス サポート搭載、TSN をサポートする 2 個の RJ-45 イーサネット 1000/100Mbps 搭載
- コネクティビティ: 1 個の Type-A USB 2.0、USB ブートをサポートする 1 個の Type-C デュアル ロール デバイス (DRD) USB 2.0、オンボードの XDS110 JTAG (ジョイント テスト アクション グループ) エミュレータ、USB 2.0-B を経由する 4 個の UART (ユニバーサル非同期レシーバ / トランスミッタ)
- ストレージ: 2GB DDR4、SK (スタータキット) 上のブート可能なインターフェイス、取り外し可能な microSD、USB、QSPI (クワッド シリアル ペリフェラル インターフェイス)、イーサネット、UART
- ソフトウェア: TI プロセッサ SDK Linux®、RT-Linux、TI プロセッサ SDK Android™ AM62x、および Wi-Fi を含めすぐに使用できるデモ



このリファレンスデザインは HDMI®技術を採用しています。

目次

説明.....	1
特長.....	1
1 評価基板の概要.....	4
1.1 概要.....	4
1.2 キットの内容.....	4
2 ハードウェア.....	5
2.1 システムの説明.....	5
3 追加情報.....	67
3.1 評価基板のリビジョンおよびアセンブリ バリエーション.....	67
3.2 既知の問題と修正.....	67
3.3 商標.....	71
4 準拠および認証.....	72
4.1 EMC、EMI、ESD への準拠.....	72
規制準拠.....	72
5 参考資料.....	73
6 改訂履歴.....	73

図の一覧

図 2-1. SK-AM62 の上面図.....	5
図 2-2. SK-AM62B-P1 Rev B の上面図.....	6
図 2-3. SK-AM62 の背面図.....	7
図 2-4. SK-AM62B-P1 Rev B の底面図.....	8
図 2-5. SK-AM62 基板の機能ブロック図.....	10
図 2-6. SK-AM62B 基板の機能ブロック図.....	11
図 2-7. TPS65219 PMIC 搭載 SK-AM62-P1 基板の機能ブロック図.....	12
図 2-8. TPS65219 PMIC 搭載 SK-AM62B-P1 基板の機能ブロック図.....	13
図 2-9. SD ブートモード スイッチの設定例 (E2 以降).....	15
図 2-10. SD ブートモード スイッチの設定例 (E1).....	15
図 2-11. AM62x SKEVM のクロック アーキテクチャ.....	17
図 2-12. SoC WKUP ドメイン.....	17
図 2-13. SK-AM62 と SK-AM62-P1 の MMC2 - Wilink インターフェイス.....	36
図 2-14. SK-AM62B と SK-AM62B-P1 の MMC2 - M.2 コネクタ インターフェイス.....	37
図 2-15. 電源のブロック図.....	47
図 2-16. パワーアップ シーケンス.....	48
図 2-17. パワーダウン シーケンス.....	49
図 2-18. パワー シーケンスのブロック図.....	50
図 2-19. SD ブート (E2 以降) 用のブートモード スイッチの構成.....	53
図 2-20. SD ブート (E1) 用のブートモード スイッチの構成.....	54
図 3-1. E1 基板の PRU コネクタ位置の誤り.....	68
図 3-2. I2C バッファ セクションの回路図.....	70
図 3-3. AM62x SK E3 の位置 (底面).....	70
図 3-4. OLDI ディスプレイリセット ロジック回路.....	71
図 3-5. PCBA 裏面画像.....	71

表の一覧

表 2-1. インターフェイス マッピング.....	14
表 2-2. 電力テスト ポイント.....	16
表 2-3. クロック表.....	18
表 2-4. ディスプレイ コネクタのピン配置 (ディスプレイと E3 評価基板を使用).....	19
表 2-5. ディスプレイ コネクタのピン配置 (E1 / E2).....	20
表 2-6. CSI カメラ コネクタ J19 のピン配置.....	21
表 2-7. JTAG コネクタ (J17) のピン配置.....	24
表 2-8. テスト オートメーション コネクタ (J23) のピン配置.....	26
表 2-9. UART ポート インターフェイス.....	27
表 2-10. IO エクスパンダ信号の詳細.....	40

表 2-11. GPIO へのマッピング.....	42
表 2-12. Type-C ポートの電源ロール.....	44
表 2-13. 推奨外部電源.....	44
表 2-14. SoC 電源.....	50
表 2-15. INA I2C デバイス アドレス (E1).....	51
表 2-16. INA I2C デバイス アドレス (E2).....	51
表 2-17. ブート モードのピン マッピング.....	54
表 2-18. PLL リファレンス クロックの選択 BOOTMODE [2:0].....	54
表 2-19. ブート デバイス選択 BOOT-MODE [6:3].....	55
表 2-20. バックアップ ブート モードの選択 BOOT-MODE [12:10].....	55
表 2-21. プライマリ ブート メディアの構成 BOOT-MODE [9:7].....	56
表 2-22. バックアップ ブート メディア構成 BOOT-MODE [13].....	56
表 2-23. ユーザー テスト LED.....	56
表 2-24. PRU ヘッダー (J10) のピン配置.....	57
表 2-25. 40 ピン ユーザー拡張コネクタ.....	58
表 2-26. ピン MCU コネクタ (J9).....	61
表 2-27. 評価基板のプッシュ ボタン.....	62
表 2-28. I2C マッピング表 (SK-AM62 E3 および SK-AM62-P1 バリエーション).....	63
表 2-29. I2C マッピング表 (SK-AM62 E2).....	65
表 3-1. SK 評価基板の PCB 設計リビジョンおよびアセンブリ バリエーション.....	67
表 3-2. AM62x SK 評価基板の既知の問題と変更.....	67

1 評価基板の概要

1.1 概要

SKEVM を使用すると、HDMI® (DPI 経由) や LVDS を使用した優れたデュアル ディスプレイ機能や、シリアル、イーサネット、USB、その他のインターフェイスを使用した産業用通信手法を体験できます。

この SKEVM は、HDMI ディスプレイまたは外部 LVDS パネルを用いたディスプレイアプリケーション (例: HMI やコントロール パネル) に使用でき、最大 2K 解像度まで対応します。最大 1.4GHz で動作する高性能なクワッド A53 ARM コアと、産業用の豊富なインターフェイスにより、PLC、オートメーション制御、モニタ/スーパーバイザ システムなど、幅広いアプリケーションに対応した制御機能と通信機能を実現します。加えて、SKEVM は他のプロセッサまたはシステムと通信できるほか、通信ゲートウェイとして動作することも可能です。TI の Code Composer Studio™ のような標準的な開発ツールを使用し、組み込み済みエミュレーション ロジックを通じてエミュレーションとデバッグを実施することもできます。

本テクニカル ユーザー ガイドでは、AM62x SoC を中心に構築された低コストのスタータ キット、AM62x SKEVM のハードウェア アーキテクチャについて説明します。AM62x プロセッサは、クワッドコアの 64 ビット Arm®-Cortex® A53 マイクロプロセッサ、シングルコアの Arm Cortex-R5F MCU、および Arm Cortex-M4F MCU で構成されています。

注

この評価ボードは量産開始前のリリースであり、量産システムにコピーしてはいけない既知の問題がいくつかあります。E1 評価基板を製品写真に示します。

注

IO ケーブルの最大長が 3m を超えないことを推奨します。

1.2 キットの内容

- EVM
- クイック スタート ガイド

2 ハードウェア

2.1 システムの説明

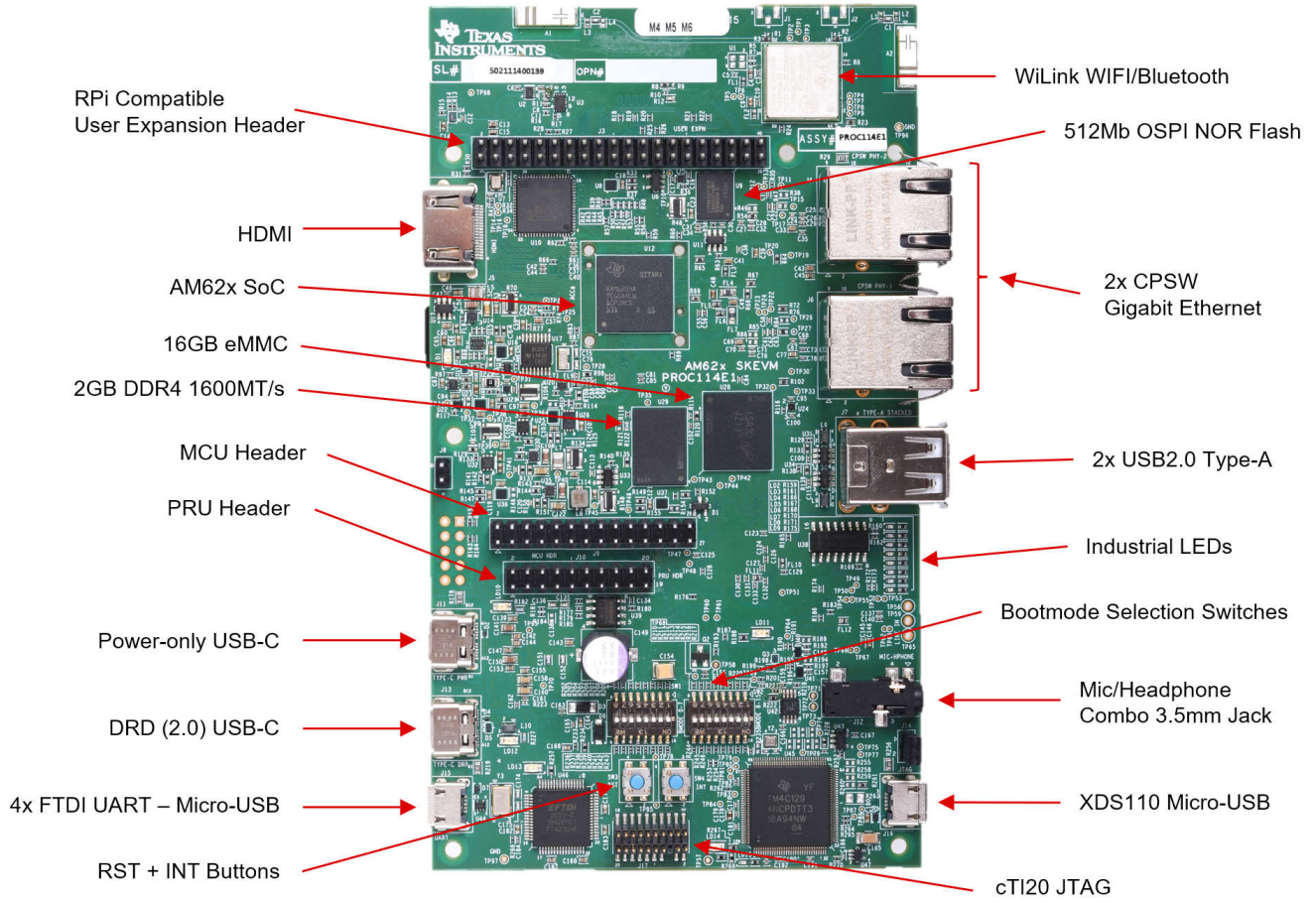


図 2-1. SK-AM62 の上面図

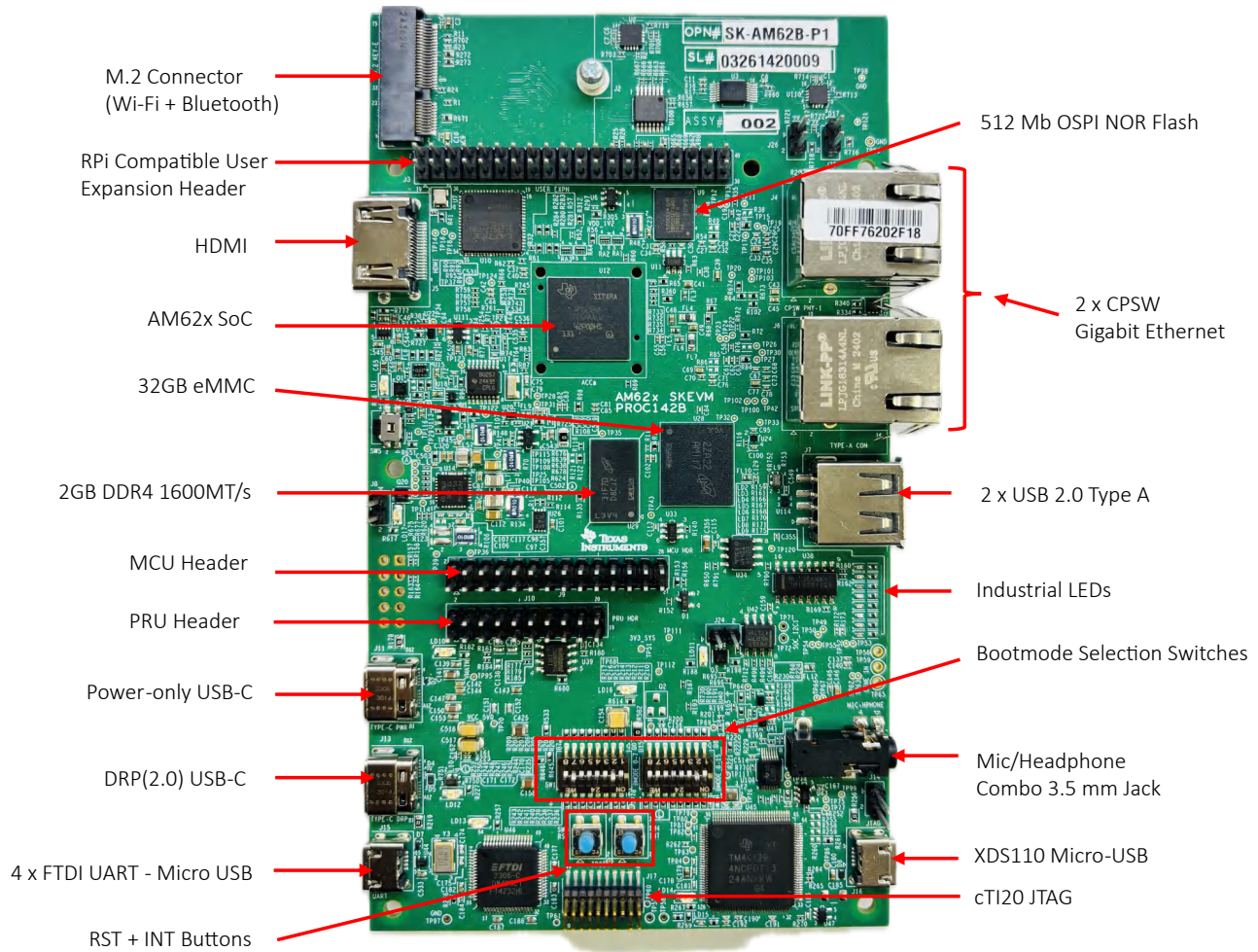


図 2-2. SK-AM62B-P1 Rev B の上面図

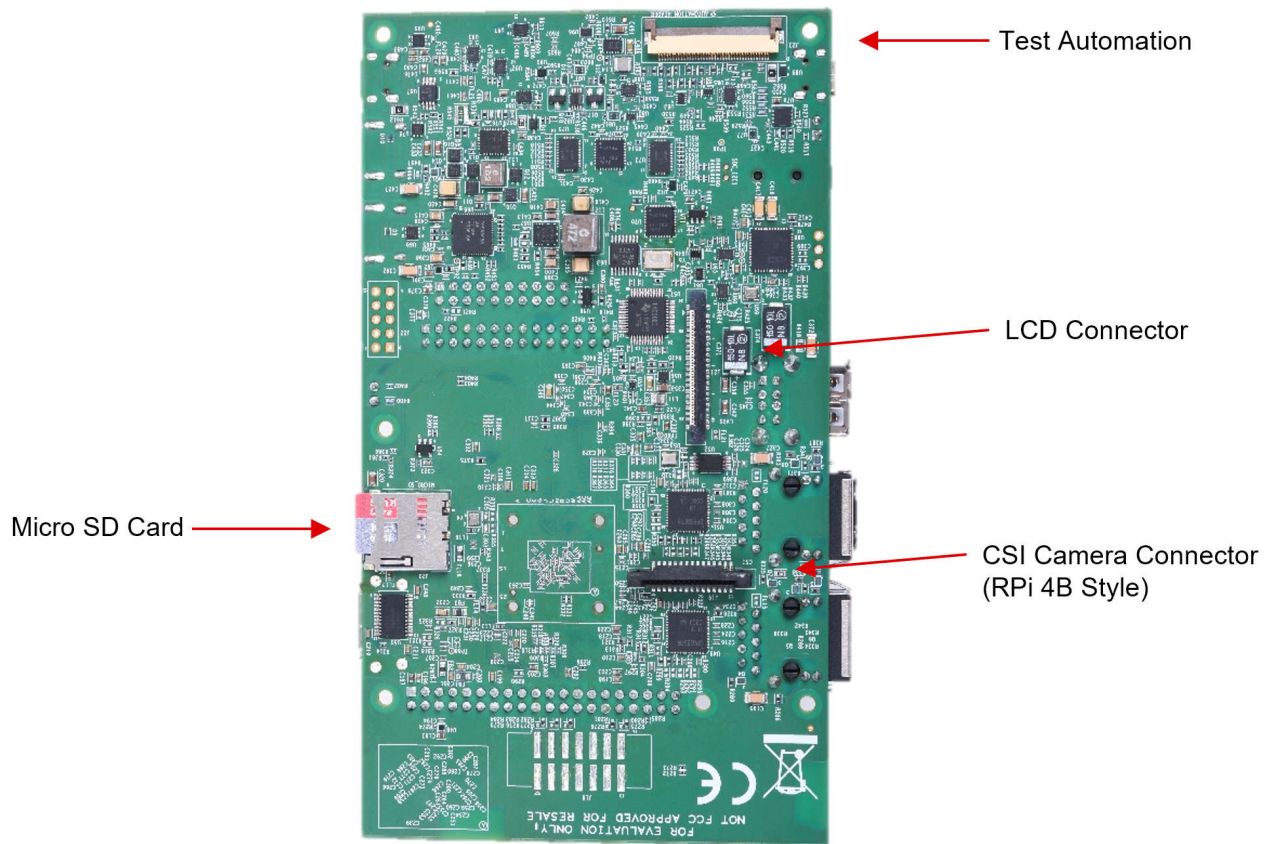


図 2-3. SK-AM62 の背面図

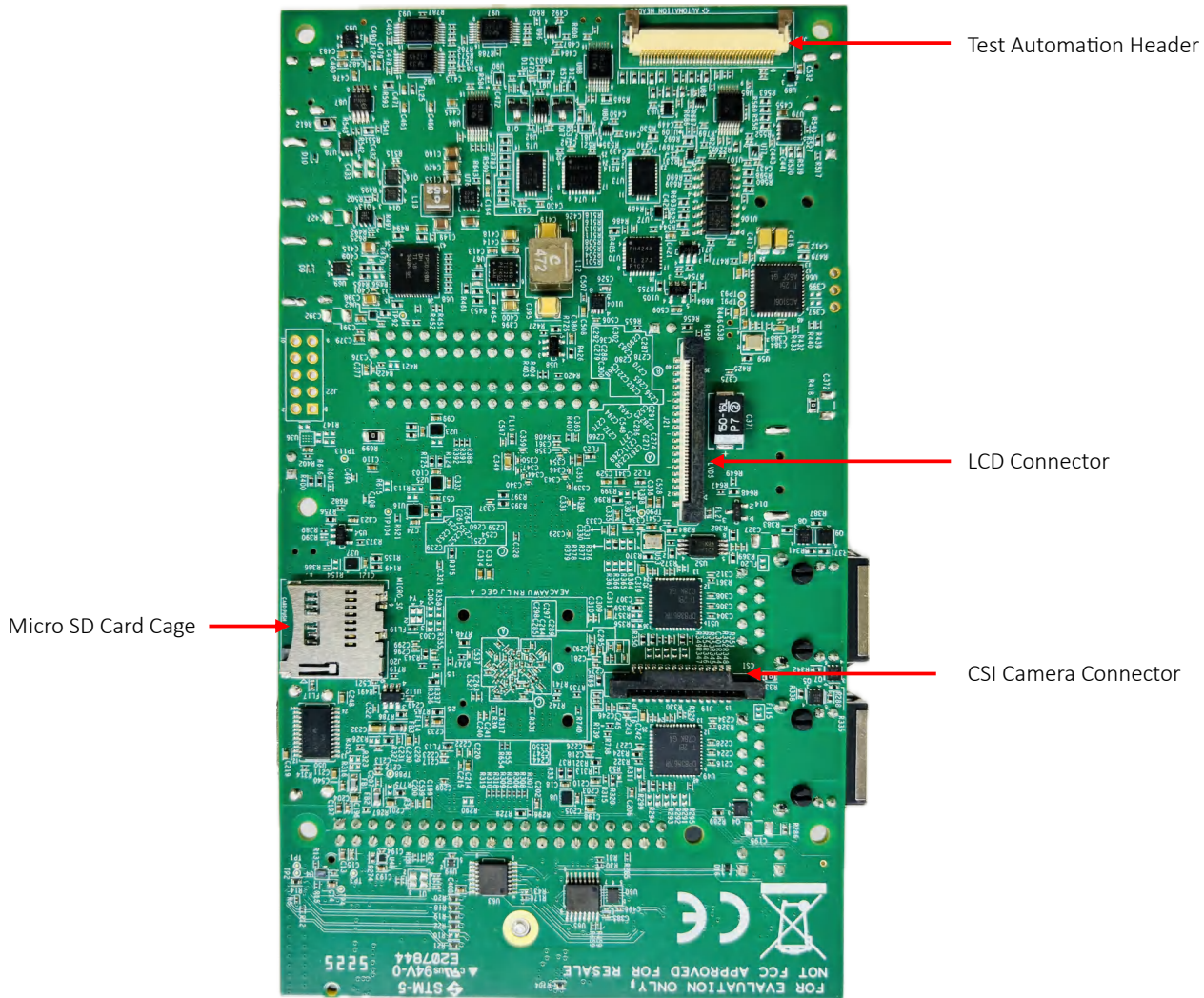


図 2-4. SK-AM62B-P1 Rev B の底面図


2.1.1 主な特長

AM62x SKEVM は、高性能のスタンドアロン開発プラットフォームです。これを使用することによって、テキサス インストルメンツの AM62x システム オン チップ (SoC) 用の産業用アプリケーションの評価と開発を行うことができます。

以下のセクションでは、SKEVM の主な特長について説明します。

2.1.1.1 温度コンプライアンス

プロセッサの温度が高くなります。周囲温度が高い場合は特に注意してください。プロセッサはやけどの危険があるほど熱くなりませんが、SoC 周辺の熱が増加するため、評価基板を取り扱うときは注意してください。

	Caution	Caution Hot surface. Contact may cause burns. Do not touch!
---	----------------	--

2.1.1.2 プロセッサ

- AM62x SoC、13mm × 13mm、0.5mm ピッチ、423 ピン VCA FBGA

2.1.1.3 電源

- USB Type-C ポート (入力範囲 5V ~ 15V) x 2
- ディスクリートレギュレータ、LDO を使用して、プロセッサおよびペリフェラル用に最適化された電源ソリューション

2.1.1.4 メモリ

- 最大 1600MT/s のデータレートに対応するした 2GB DDR4
- UHS-1 対応の マイクロ SD カード スロット
- 512Mbit オクタル SPI フラッシュ メモリ
- 512Kbit インタ インテグレートド サーキット (I2C) 基板 ID EEPROM
- 16GB の eMMC フラッシュ

2.1.1.5 JTAG / エミュレータ

- XDS110 オンボード エミュレータ
- 外付けエミュレータからの 20 ピン JTAG 接続に対応

2.1.1.6 サポートされるインターフェイスおよびペリフェラル

- USB2.0 Type C インターフェイス x 1、DFP、UFP の役割をサポート
- USB2.0 ホスト インターフェイス x 1、Type A
- 1x HDMI インターフェイス
- オーディオ ライン入力および マイク+ ヘッドフォン出力
- Wi-Fi と Bluetooth の両方に対応する Wilink WL1837 モジュール
- 10/100/1000Mbps のデータ レートをサポートする、ギガビット イーサネット ポート x 2 (2 つの RJ45 コネクタ)。
- microB USB コネクタ経由のクワッド ポート UART to USB 回路
- 産業用イーサネット LED
- 電流監視用 INA デバイス
- SoC と DDR4 付近に温度監視用温度センサ x 2

2.1.1.7 アプリケーション固有のアドオン基板をサポートするための拡張コネクタ / ヘッダー

- CSI カメラ ヘッダー
- LVDS ディスプレイコネクタ
- ユーザー拡張コネクタ
- PRU ヘッダー
- MCU ヘッダー

2.1.2 機能ブロック図 (SK-AM62 および SK-AM62B)

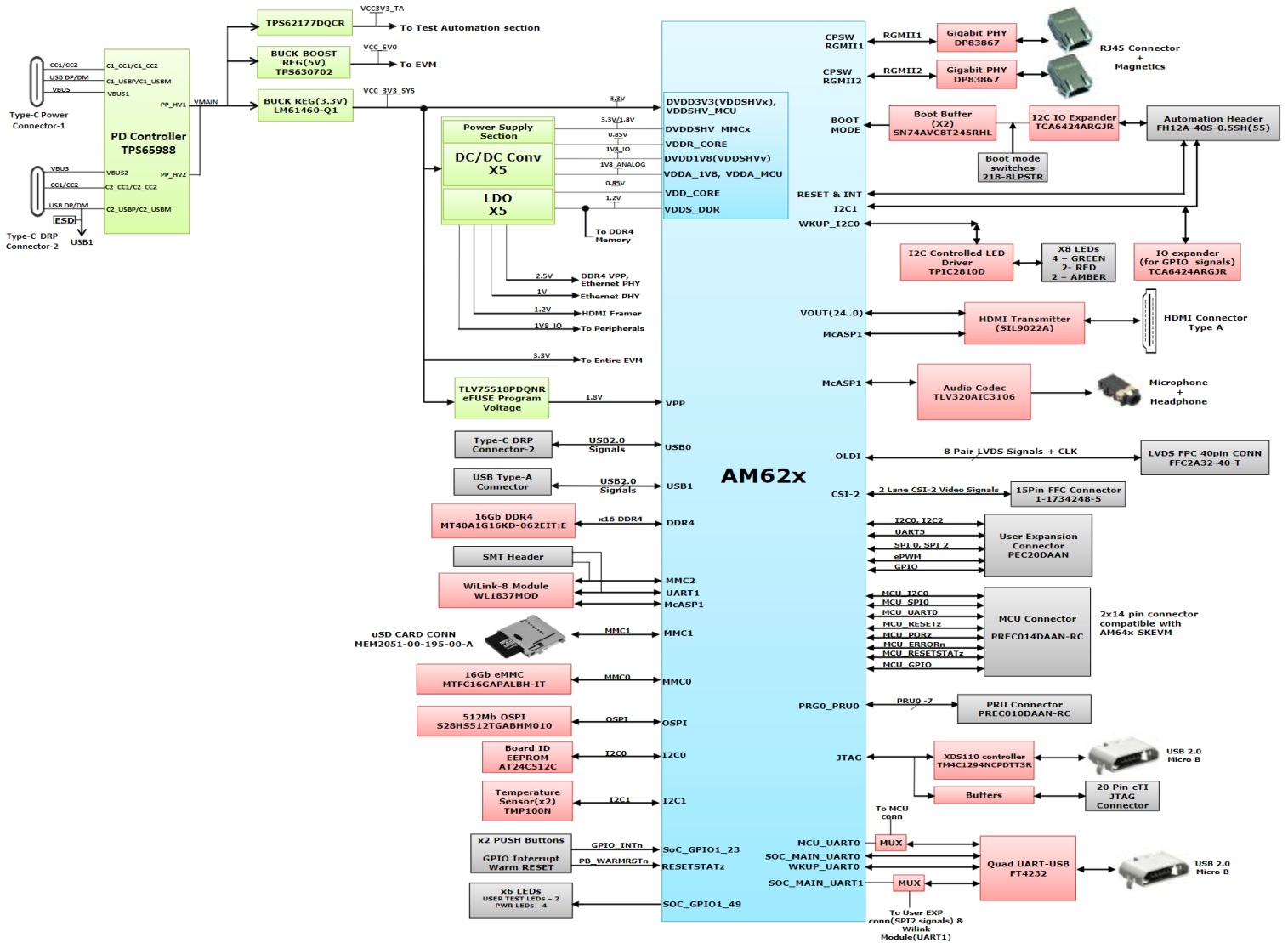


図 2-5. SK-AM62 基板の機能ブロック図

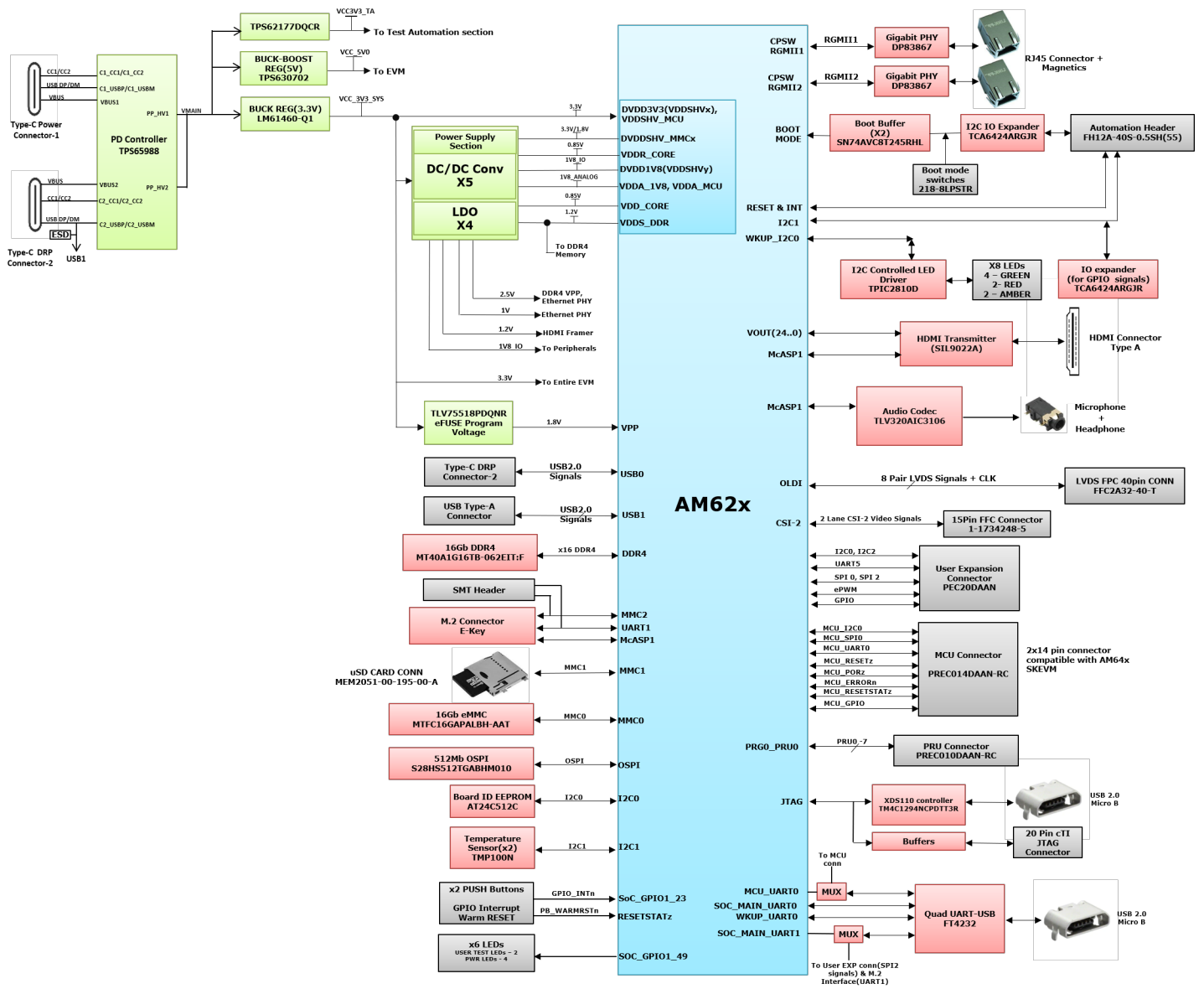


図 2-6. SK-AM62B 基板の機能ブロック図

2.1.3 機能ブロック図 (SK-AM62-P1 および SK-AM62B-P1)

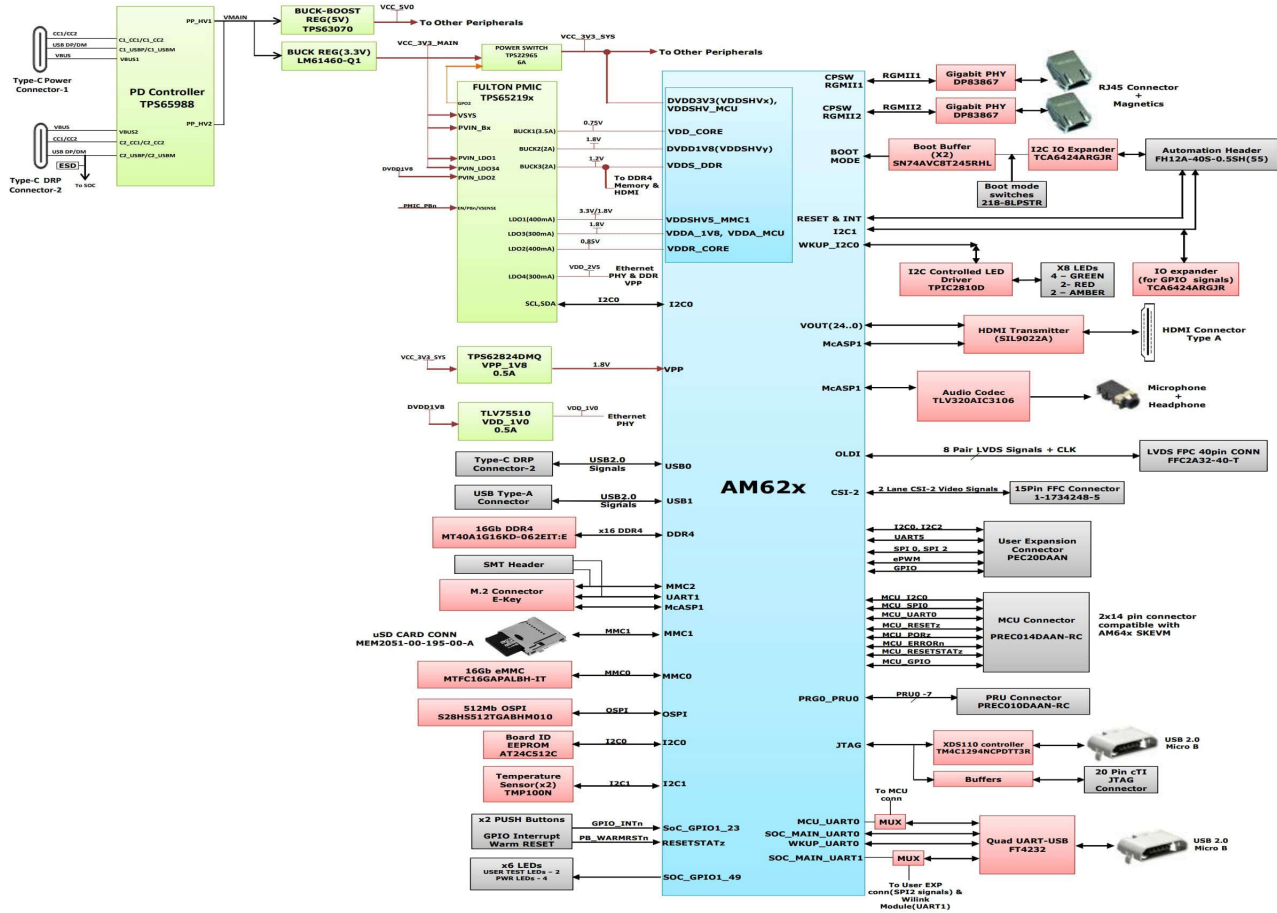


図 2-7. TPS65219 PMIC 搭載 SK-AM62-P1 基板の機能ブロック図

2.1.4 AM62x SKEVM のインターフェイス マッピング

表 2-1 は次のとおりです。

表 2-1. インターフェイス マッピング

インターフェイス名	SoC 上のポート	デバイス部品番号
メモリ – DDR4	DDR0	MT40A1G16KD-062E:E
メモリ – OSPI	OSPI0	S28HS512TGABHM010
メモリ – Micro SD ソケット	MMC1	MEM2051-00-195-00-A
メモリ – eMMC	MMC0	MTFC16GAPALBH-IT
メモリ – 基板 ID EEPROM	SoC_I2C0	AT24C512C-MAHM-T
イーサネット 1 – RGMII	SoC_RGMII1	DP83867IRRGZ
イーサネット 2 – RGMII	SoC_RGMII2	DP83867IRRGZ
LED ドライバ – 通信 LED 8 個	WKUP_I2C0	TPIC2810D
PRU ヘッダー – 2x10 HDR	PR0_PRU0_GPO と SoC_I2C0	PREC010DAAN-RC
ユーザー拡張コネクタ – 2x20 HDR	SPI0, SPI2, UART5, SoC_I2C0, SoC_I2C2, GPIO	PEC20DAAN
MCU ヘッダー – 2x14 HDR	MCU_UART0, MCU_MCAN0, MCU_SPI0, MCU_I2C0, MCU GPIO	PREC014DAAN-RC
USB – 2.0 Type C	USB0	TUSB4020BIPHP + AU-Y1008-2
USB – 2.0 Type A	USB1	-
LVDS ディスプレイ コネクタ	OLDI0	FFC2A32-40-T
CSI インターフェイス	CSI0	1-1734248-5
HDMI	VOU0	SiI9022ACNU + TPD12S016PWR + 10029449-001RLF
オーディオ コーデック	McASP2 と SoC_I2C1	TLV320AIC3106IRGZT + SJ-43514-SMT
GPIO ポート エクスパンダ	SoC_I2C1	TCA6424ARGJR
UART 端子 (UART-to-USB)	SoC_UART[1:0], WKUP_UART0, MCU_UART0	FT4232HL + 629105150521
テスト オートメーション ヘッダー	SoC_I2C1	FH12A-40S-0.5SH
温度センサ	SoC_I2C1	TMP100NA/3K
電流モニタ	SoC_I2C1	INA231AIYFDR
接続 – Wilink モジュール	MMC2, McASP2 および SoC_UART2	WL1837MODGIMOST

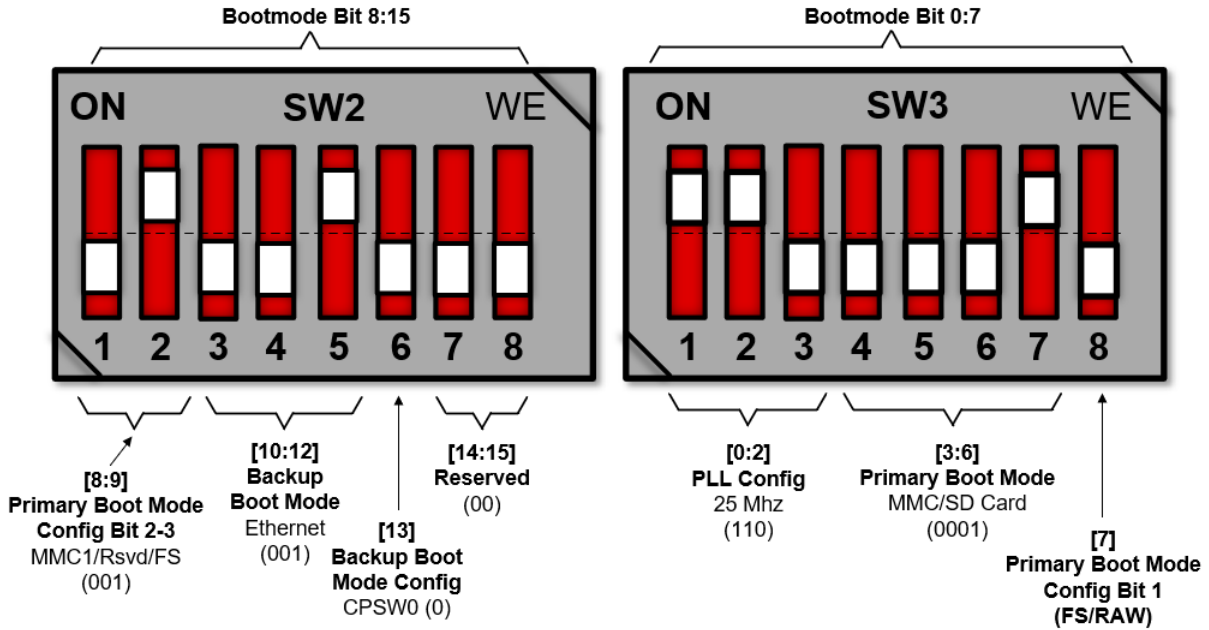
2.1.5 電源オン/オフの手順

評価基板への電力供給は、2 つの USB Type-C ポートのいずれかに PD 電圧と電流を供給する外部電源を通じて供給されます。

2.1.5.1 電源オンの手順

- SKEVM ブートスイッチ セレクタ (SW1, SW2) を選択したブート モードに設定します。以下に、SD カードのブートモードとブート無しの例を示します。
- ブートメディアを接続します (該当する場合)。
- PD 対応の USB Type-C ケーブルを、SKEVM の Type-C (J11 または J13) コネクタに取り付けます。
- Type-C ケーブルのもう一方の端を AC 電源アダプタまたは Type C ソース デバイス (ノートコンピュータなど) に接続します。
- LD10 または LD12 の LED が点灯していることを目視で確認します。
- XDS110 JTAG と UART のデバッグ コンソール出力は、それぞれ micro-USB ポート J16 と J15 に接続されています。

uSD Boot (MMC1) – 25 Mhz PLL – Ethernet (CPSW0) Backup – From Rev E2



No Boot – 25 Mhz PLL – From Rev E2

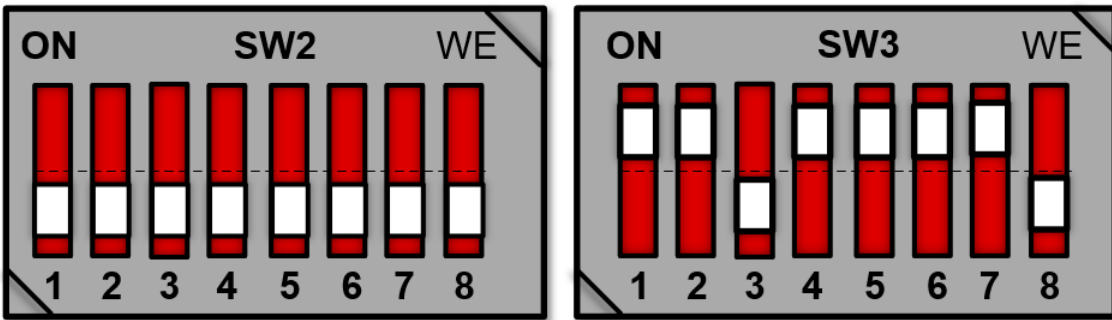
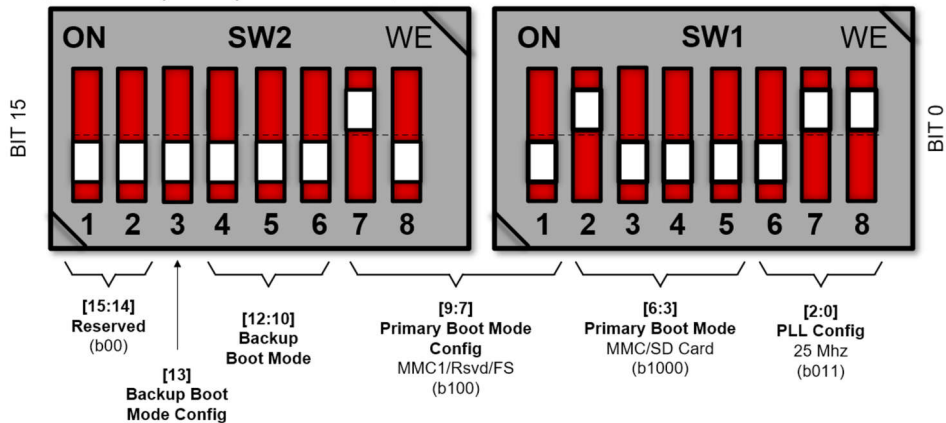


図 2-9. SD ブートモードスイッチの設定例 (E2 以降)

uSD Boot (MMC1) – 25 Mhz PLL



Note: Actual Board Silkscreen May Appear Inverted in this Orientation. Follow Physical Switch Text

図 2-10. SD ブートモードスイッチの設定例 (E1)

2.1.5.2 電源オフの手順

1. AC/DC コンバータから AC 電源を切り離します。

2. SKEVM から USB Type-C ケーブルを取り外します。

2.1.5.3 電力テストポイント

基板上的の各電力出力のテストポイントを、表 2-2 に示します。

表 2-2. 電力テストポイント

シリアル番号	電源	テストポイント	電圧
1	VBUS_TYPEC1	C398.1	5V-15V
2	VBUS_TYPEC2	C415	5V-15V
3	VMAIN	TP95	5V-15V
4	VCC_5V0	TP70	5V
5	VCC_3V3_SYS	TP51	3.3V
6	VDD_2V5	TP42	2.5V
7	VPP_1V8	TP31	1.8V
8	VDD_1V0	TP33	1.0V
9	VDD_1V1	TP44	1.1V
10	VDD_1V2	TP10	1.2V
11	VDDA1V8	TP36	1.8V
12	VCC_1V8	TP41	1.8V
13	VDDSHV_SDIO	TP29	1.8V/3.3V
14	VCC1V2_DDR	TP40	1.2V
15	VCC_CORE	TP45	0.85V
16	VDD_CORE	TP46	0.85V
17	VCC_0V85	TP39	0.85V
18	VDDR_CORE	TP38	0.85V
19	DDR_VREFCA	TP43	0.6V
20	VCC3V3_TA	TP87	3.3V
21	VCC3V3_XDS	TP77	3.3V
22	VCC_3V3_FT4232	C482.1	3.3V

2.1.6 ペリフェラルと主要コンポーネントの概要

以下のセクションでは、AM62x SK 評価基板のさまざまなインターフェイスと回路の概要について説明します。

2.1.6.1 クロック処理

図 2-11 に、AM62x SKEVM のクロック アーキテクチャを示します。

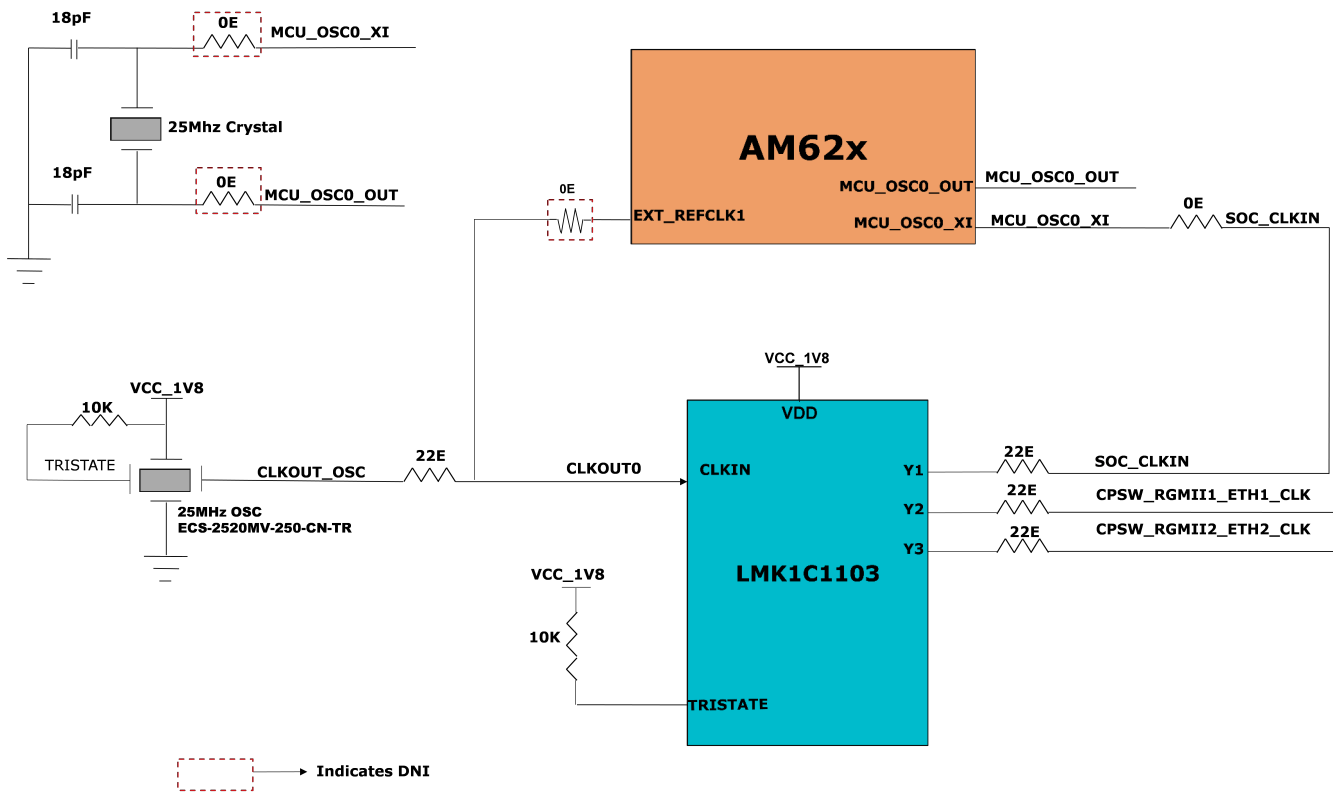


図 2-11. AM62x SKEVM のクロック アーキテクチャ

クロック ジェネレータ (型番 LMK1C1103PWR) は、SoC と 2 つのイーサネット PHY に 25MHz クロックを供給するために使用されます。LMK1C1103PWR は 1:4 の LVCMOS クロック バッファで、25MHz 水晶振動子 / LVCMOS リファレンス入力を取り込み、3 つの 25MHz LVCMOS クロックを出力します。クロック バッファのソースは、SoC からの CLKOUT0 ピンまたは 25MHz 発振器のいずれかであり、抵抗セットを使用して選択します。デフォルトでは、AM62x SKEVM のクロック バッファへの入力として発振器が使用されます。クロック バッファの出力 Y2 と Y3 は、2 つのギガビットイーサネット PHY のリファレンス クロック入力として使用されます。

AM62x SoC には、SoC (32.768KHz) の WKUP ドメインにクロックを供給するために、1 つの外部水晶振動子が取り付けられています。

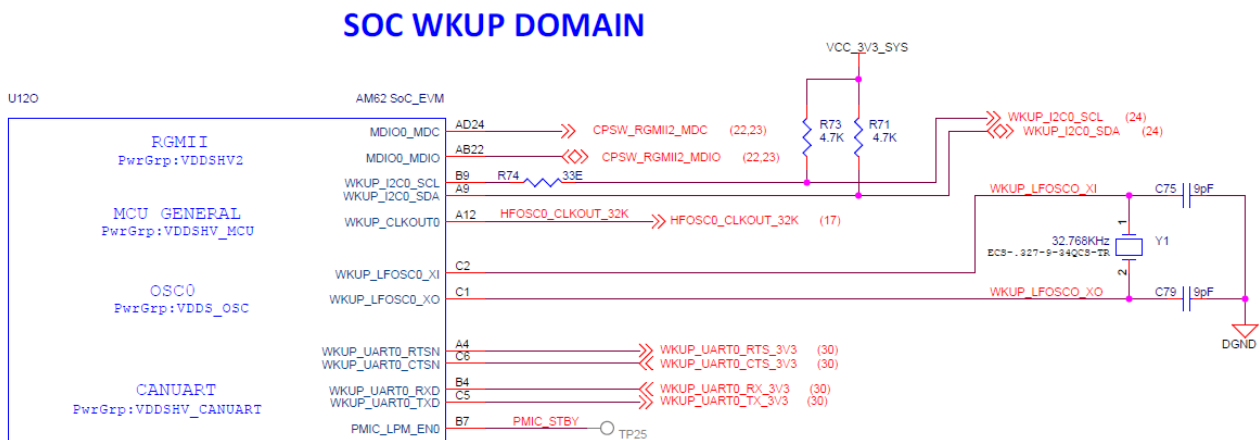


図 2-12. SoC WKUP ドメイン

2.1.6.1.1 ペリフェラル リファレンス クロック

XDS110、USB ハブ、FT4232、HDMI トランスミッタ、オーディオ コーデックなどのペリフェラルに必要なクロック入力は、個別の水晶振動子または発振器を使用してローカルで生成されます。評価基板のペリフェラルにリファレンス クロックを供給するために使用される水晶振動子または発振器を、下の表に示します。

表 2-3. クロック表

ペリフェラル	メーカー型番	説明	周波数
XDS110 エミュレータ	ECS-.327-9-34QCS-TR	CRY 32.768KHz 9pF SMD	32.768KHz
FT4232 ブリッジ	ECS-120-18-30B-AGN-TR	CRY 12.000MHz 18pF SMD	12.000MHz
オーディオ コーデック	KC2520Z12.2880C1KX00	OSC 12.288MHz CMOS SMD	12.288MHz
USB ハブ (E1 のみ)	ECS-240-20-30B-AGL-TR	CRY 24.000MHz 20pF SMD	24.000MHz
HDMI トランスミッタ	KC2520Z12.2880C1KX00	OSC 12.288MHz CMOS SMD	12.288MHz

HDMI トランスミッタが必要とするクロックは、オンボード発振器または SoC の AUDIO_EXT_REFCLK1 のいずれかから供給できます。これらは、抵抗マルチプレクサで選択できます。SoC の EXT_REFCLK1 は、SKEVM のユーザー拡張コネクタにクロックを供給するために使用されます。Wilink モジュールへの 32KHz クロックは、電圧変換バッファを介して AM62x SoC の WKUP_CLKOUT0 によって供給されます。

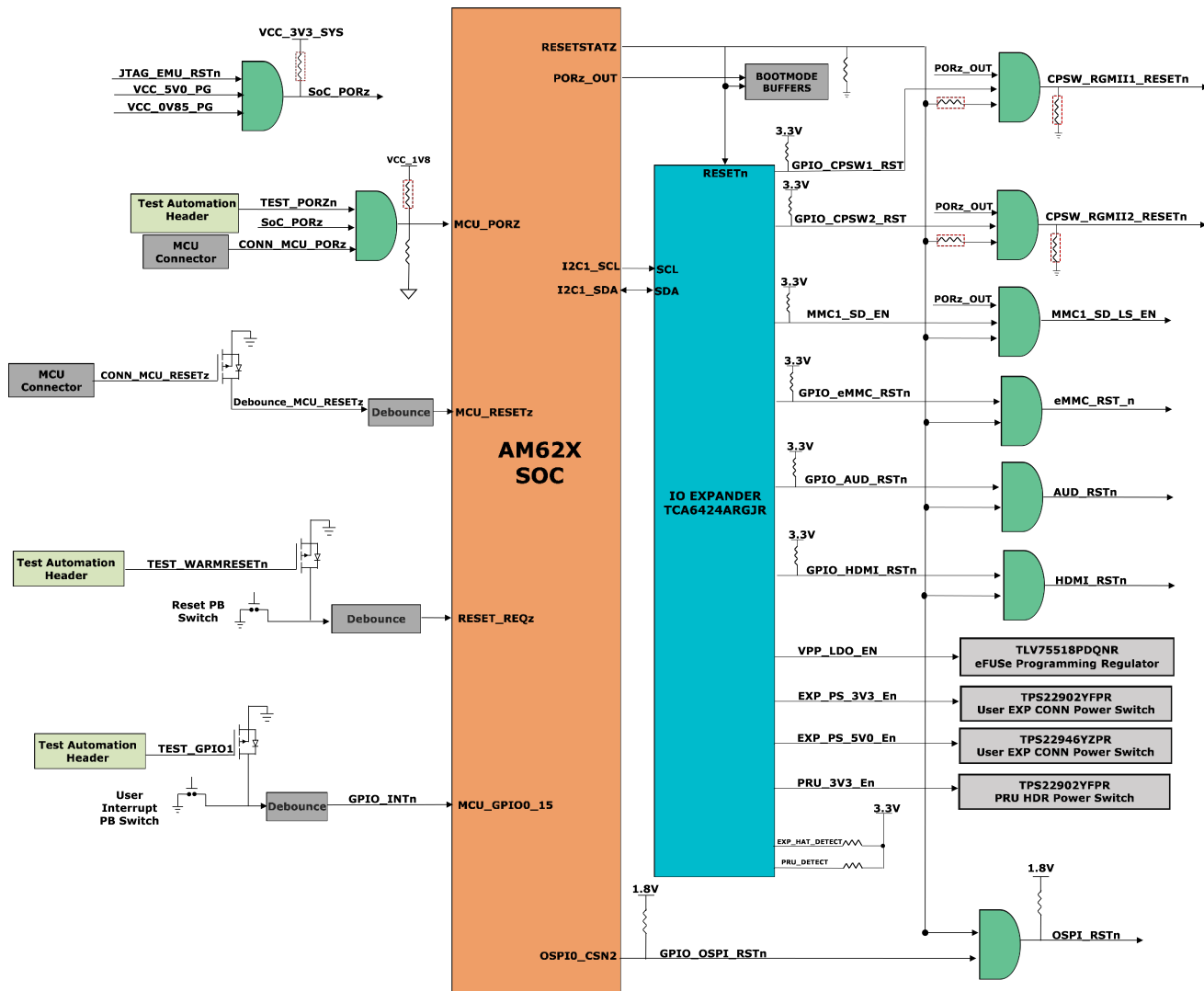
2.1.6.2 リセット

AM62x SKEVM のリセット アーキテクチャを以下に示します。

SoC には次のリセット機能があります。

- RESETSTATz は、マインドメインのウォームリセット ステータス出力です
- PORz_OUT は、メインドメインのパワーオンリセット ステータス出力です
- RESET_REQz は、メインドメインのウォームリセット入力です
- MCU_PORz は、MCU ドメインのパワーオン / コールドリセット入力です。
- MCU_RESETx は、MCU ドメインのウォームリセット入力です
- MCU_RESETx は、MCU ドメインのウォームリセット ステータス出力です。

パワーオンリセット時に、マインドメインに接続されているすべてのペリフェラル デバイスは RESETSTATz によってリセットされます。



2.1.6.3 OLDI ディスプレイ インターフェイス

AM62x SoC の OLDI0 ディスプレイ インターフェイスは、40 ピン LVDS ディスプレイ コネクタ (J21、GCT 製メーカー型番 FFC2A32-40-T) に接続されています。OLDI インターフェイスは、デュアルチャネル 8 ビット LVDS 出力をサポートします。ピン配置とコネクタの向きは E1 と E2 の基板上で共通ですが、将来の「最終版」E3 基板とは異なります。E1 / E2 配線を E3 にアップデートするアダプタが利用可能です。E3 評価基板向けの設計済みディスプレイは、このアダプタなしで E1 / E2 の評価基板上に接続しないでください。

表 2-5 に、ディスプレイ コネクタのピン配置の詳細を示します。

表 2-4. ディスプレイ コネクタのピン配置 (ディスプレイと E3 評価基板を使用)

ピン番号。	信号	ピン番号。	信号
1	VCC_3V3_SYS(EEPROM_VDD)	21	CH1_LVDS_A2P
2	SoC_I2C0_SCL	22	GND
3	SoC_I2C0_SDA	23	CH1_LVDS_A3N
4	NC	24	CH1_LVDS_A3P
5	NC	25	GND
6	GND	26	CH1_LVDS_A0N
7	GND	27	CH2_LVDS_A0P
8	OLDI_RESETn	28	GND
9	TS_INT#	29	CH2_LVDS_A1N

表 2-4. ディスプレイコネクタのピン配置 (ディスプレイと E3 評価基板を使用) (続き)

ピン番号。	信号	ピン番号。	信号
10	GND	30	CH2_LVDS_A1P
11	CH1_LVDS_A0N	31	GND
12	CH1_LVDS_A0P	32	CH2_LVDS_CLKN
13	GND	33	CH2_LVDS_CLKP
14	CH1_LVDS_A1N	34	GND
15	CH1_LVDS_A1P	35	CH2_LVDS_A2N
16	GND	36	CH2_LVDS_A2P
17	CH1_LVDS_CLKN	37	GND
18	CH1_LVDS_CLKP	38	CH2_LVDS_A3N
19	GND	39	CH2_LVDS_A3P
20	CH1_LVDS_A2N	40	GND

表 2-5. ディスプレイコネクタのピン配置 (E1 / E2)

ピン番号。	信号	ピン番号。	信号
40	VCC_3V3_SYS(EEPROM_VDD)	20	CH1_LVDS_A2P
39	GND	19	GND
38	SoC_I2C0_SCL	18	GND
37	SoC_I2C0_SDA	17	CH1_LVDS_A3N
36	NC	16	CH2_LVDS_A0N
35	NC	15	CH1_LVDS_A3P
34	NC	14	CH2_LVDS_A0P
33	TS_INT	13	GND
32	TS_RST	12	GND
31	GND	11	CH2_LVDS_A1N
30	GND	10	CH2_LVDS_CLKN
29	CH1_LVDS_A0N	9	CH2_LVDS_A1P
28	CH1_LVDS_A1N	8	CH2_LVDS_CLKP
27	CH1_LVDS_A0P	7	GND
26	CH1_LVDS_A1P	6	GND
25	GND	5	CH2_LVDS_A2N
24	GND	4	CH2_LVDS_A3N
23	CH1_LVDS_CLKN	3	CH2_LVDS_A2P
22	CH1_LVDS_A2N	2	CH2_LVDS_A3P
21	CH1_LVDS_CLKP	1	GND

2.1.6.4 CSI インターフェイス

AM62x SoC の CSI-2 インターフェイスは、RPI カメラ モジュール互換の 15 ピン カメラ FPC コネクタ 1-1734248-5 に終端されています。これらのモジュールは、2 レーンの CSI RX 信号をサポートしています。SoC は 4 つの CSI RX レーンをサポートしていますが、SKEVM では 2 つのみがピン配置されています。

CSI コネクタのピン配置は、RPI カメラ コネクタと互換性があります。表 2-6 には、15 ピン CSI コネクタのピン配置が示されています。SoC I2C1 信号も CSI ヘッダーに接続されています。IO エクスパンダの GPIO 信号は、カメラ GPIO のものに接続されています。

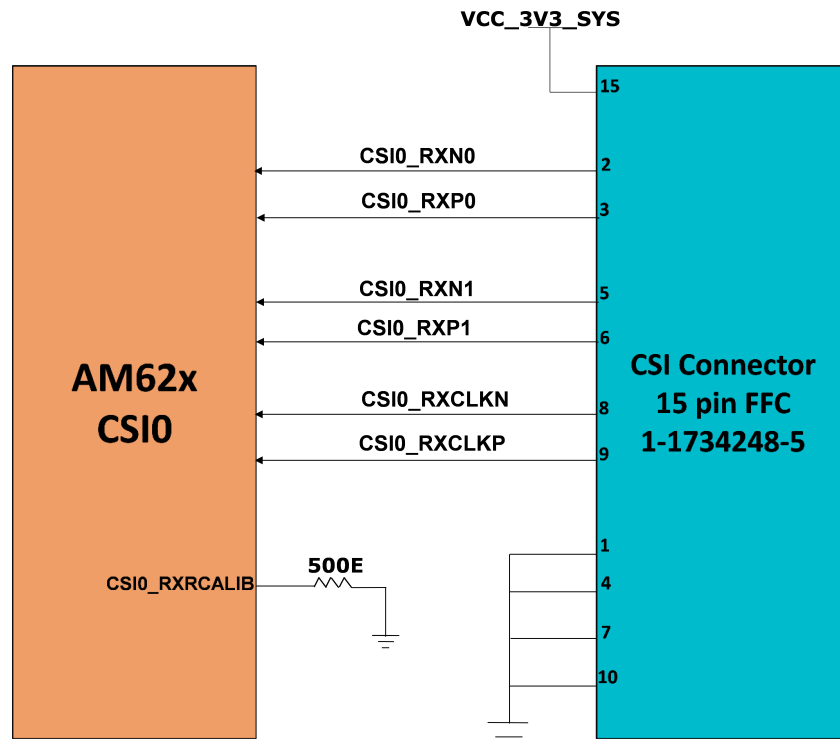


表 2-6. CSI カメラ コネクタ J19 のピン配置

ピン番号	ピン構成
1	グラウンド
2	CSIO_RXN0
3	CSIO_RXP0
4	グラウンド
5	CSIO_RXN1
6	CSIO_RXP1
7	グラウンド
8	CSIO_RXCLKN
9	CSIO_RXCLKP
10	グラウンド
11	CSI_GPIO1
12	CSI_GPIO2
13	SoC_I2C1_SCL
14	SoC_I2C1_SDA
15	VCC_3V3_SYS

2.1.6.5 オーディオ コーデック インターフェイス

AM62x SKEVM には、TI の低消費電力 TLV320AIC3106 ステレオ オーディオ コーデックが搭載されており、McASP 経由で AM62x SIP とのインターフェイスを確立します。

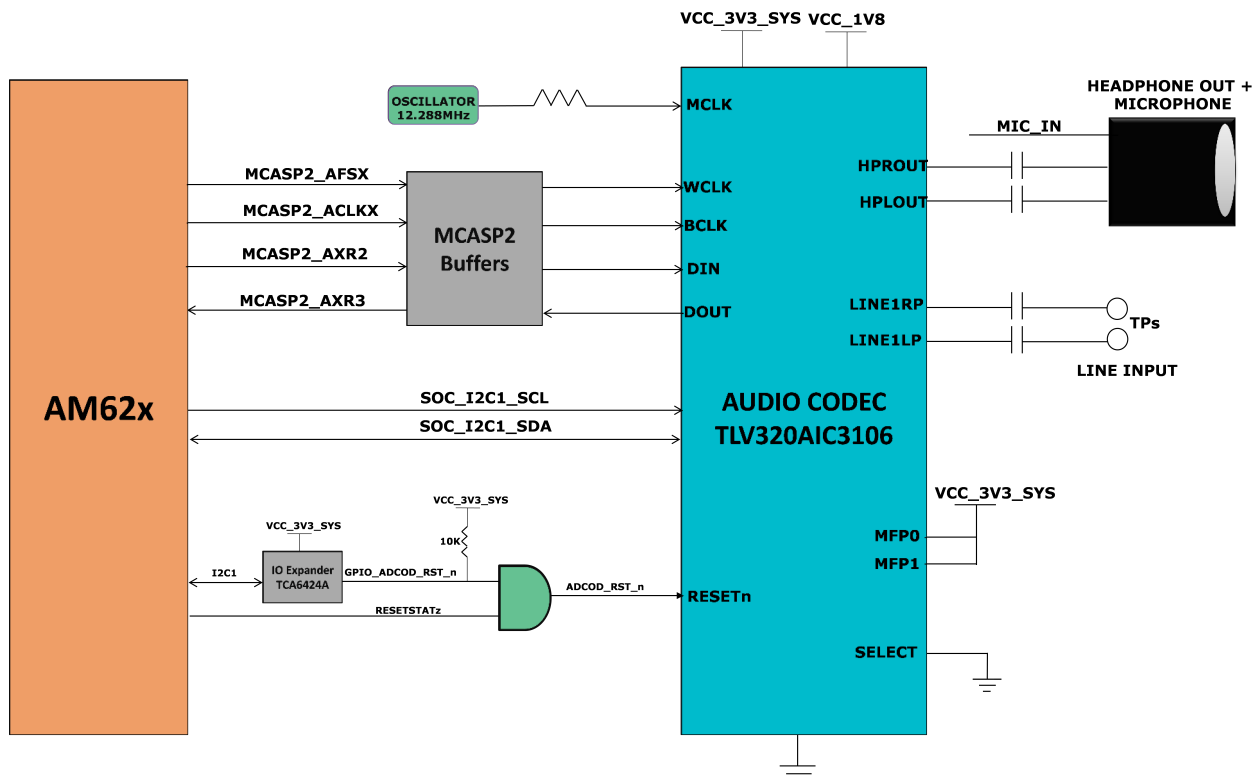
TLV320AIC3106 は、ステレオ ヘッドフォン アンプを内蔵した低消費電力ステレオ オーディオ コーデックであり、シングル エンドまたは完全差動構成でプログラマブルな複数の入力と出力を備えています。TLV320AIC3106 の録音パスには、内蔵マイクバイアス、デジタル制御のステレオ マイク プリアンプ、自動ゲイン制御 (AGC) が含まれており、複数のアナログ入力の間に ミックス/マルチプレクサ 機能があります。ステレオ オーディオ DAC は、8kHz ~ 96kHz のサンプリング レートをサポートします。

MIC およびヘッドフォン出力用に、標準 3.5mm TRRS オーディオ ジャック コネクタ (メーカー型番 SJ-43514) が 1 つ提供されています。オーディオ コーデックのライン入力は、テスト ポイントに終端しています。

I2C を制御インターフェイスとして選択するには、選択ピンを "LOW" に保持する必要があります。コーデックは I2C インターフェイス経由で構成できます。この場合、ピン MFPO と MFP1 ピンを High または Low に駆動することにより I2C アドレスを設定できます。これらのピンはどちらも High に設定されているため、デバイス アドレスは 0x1B に設定されています。オーディオ コーデックの未使用の入出力は、グランドに接続されています。

オーディオ コーデックへのコントローラ クロック入力である MCLK は、12.288MHz の発振器から供給されます。コーデックのオーディオ シリアル データ バス ビット クロック BCLK は、バッファを介して AM62x SoC によって駆動されます。オーディオ シリアル データ バス入出力 DIN、DOUT は、バッファ経由で SoC の MCASP2_AXR2 と MCASP2_AXR3 に接続されます。RESETSTATz の AND 出力と、IO エクスパンダ経由で供給される GPIO は、オーディオ コーデックをリセットするために使用されます。

TLV320AIC3106 は、3.3V のアナログ電源、1.8V のデジタル コア電源、3.3V のデジタル I/O 電源で動作します。



2.1.6.6 HDMI ディスプレイ インターフェイス

AM62x SoC の DSS (ディスプレイ サブ システム) インターフェイスは、SKEVM で使用され、標準的な Type-A コネクタ経由で HDMI インターフェイスを提供します。この SKEVM は、Lattice Semiconductor の SiI9022A HDMI トランスミッタを搭載しており、24 ビットの平行 RGB DSS 出力ストリームおよび McASP を HDMI 準拠のデジタル オーディオ / ビデオ信号に変換します。

使用されるデータ マッピング フォーマットは RGB888 です。データ バス幅は 24 ビットです。

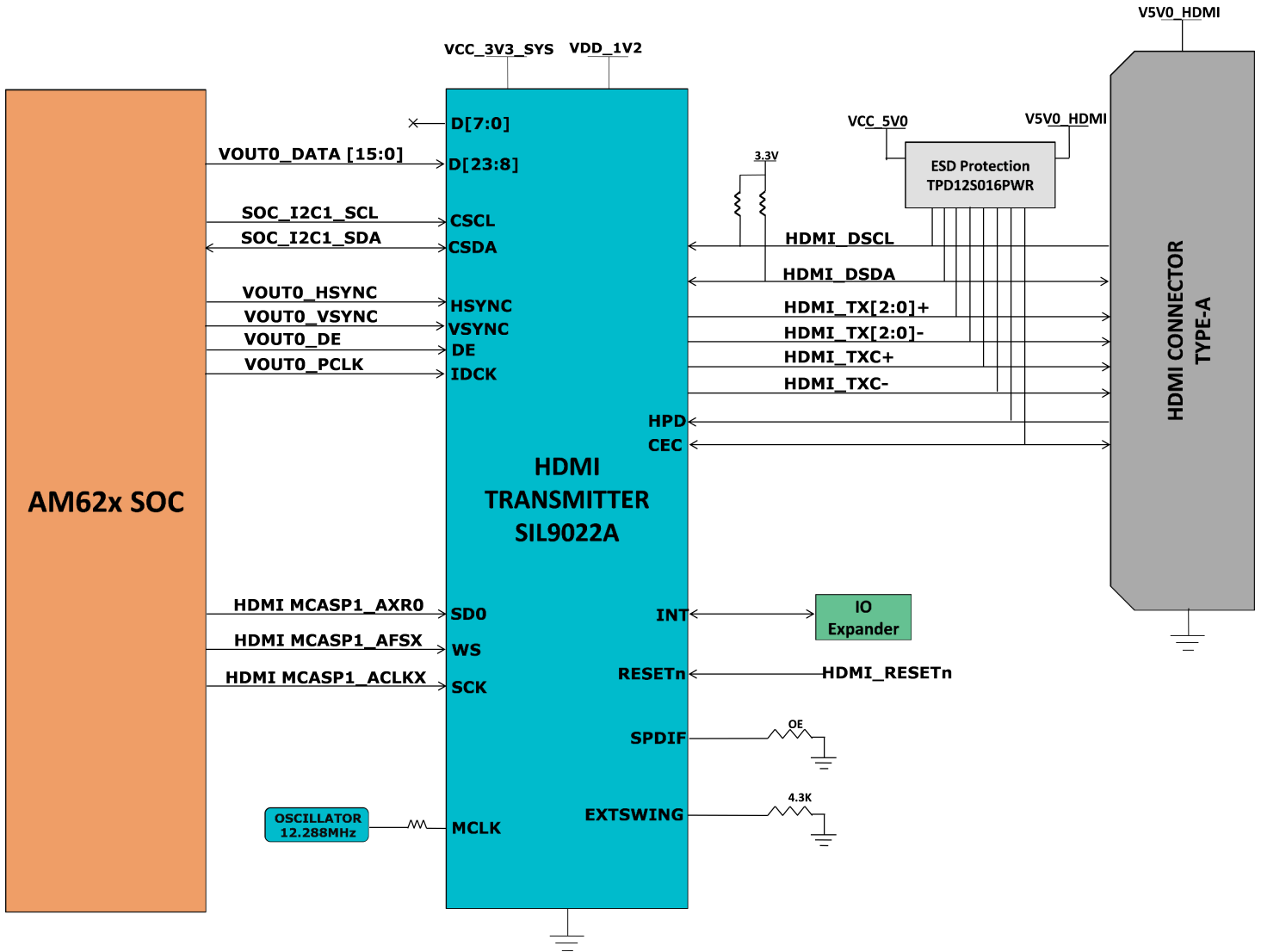
SoC_I2C1 は、互換モード レジスタ、TPI レジスタ、CPI レジスタにアクセスするために、HDMI トランスミッタに接続されています。SiI9022A を使用するには、SoC がデバイスをセットアップする必要があります。これは、SoC と SiI9022A の間の I2C インターフェイスを介して行われます。オーディオ データは、McASP1 インスタンスを介して SoC から HDMI トランスミッタに送信されます。HDMI_I2C バスは、接続されたシンク デバイスの EDID と HDCP データにアクセスします。

TMDS 差動データ ペアとトランスミッタからの差動クロック信号は、HDMI ESD デバイス (メーカー型番 TPD12S016PWR) 経由で HDMI コネクタに接続されています。このデータは、オンボードの 5V 電源から HDMI コネクタに供給される電流を制限するロード スイッチとしても機能します。

HDMI フレーマには、3.3V ボード IO 電源と専用 LDO (メーカー型番 TLV75512PDQNR) から供給される 1.2V で給電されます。

注

本ドキュメントの「既知の問題」セクションを参照してください。SK-AM62 E1 基板は 16 ビット YUV 422 ビデオ出力を搭載する予定でしたが、配線が誤っていました。SK-AM62 の E2 以降のバリエーションおよび、SK-AM62-P1 のすべてのバリエーションには、フル 24 ビット 平行 RGB888 インターフェイスを搭載しています。



2.1.6.7 JTAG インターフェイス

AM62x SKEVM 基板には、XDS110 クラスのオンボード エミュレーション機能が搭載されています。このエミュレータの接続には USB 2.0 micro-B コネクタが使用され、回路はバス電源供給方式の USB デバイスとして機能します。コネクタからの VBUS 電源はエミュレーション回路に電源として使用されているため、SKEVM 電源が切り離されてもエミュレータへの接続が失われることはありません。電圧変換バッファは、XDS110 回路を SKEVM の他の部分から分離するために使用されます。

オプションとして、SKEVM の JTAG インターフェイスは、20 ピンの標準 JTAG cTI ヘッダー J17 を通じて提供されます。これにより、外部 JTAG エミュレータ ケーブルを接続することができます。電圧変換バッファは、cTI ヘッダーの JTAG 信号を SKEVM の他の部分から分離するために使用されます。XDS110 セクションと cTI ヘッダー セクションの電圧トランスレータの出力はマルチプレクサによって切り替えられ、AM62x の JTAG インターフェイスに接続されています。存在

検出回路を使用して cTI 20 ピン JTAG コネクタへの接続が検出されると、マルチプレクサはオンボードのエミュレーション回路の代わりに cTI コネクタからの 20 ピン信号を AM62x SoC にルーティングします。

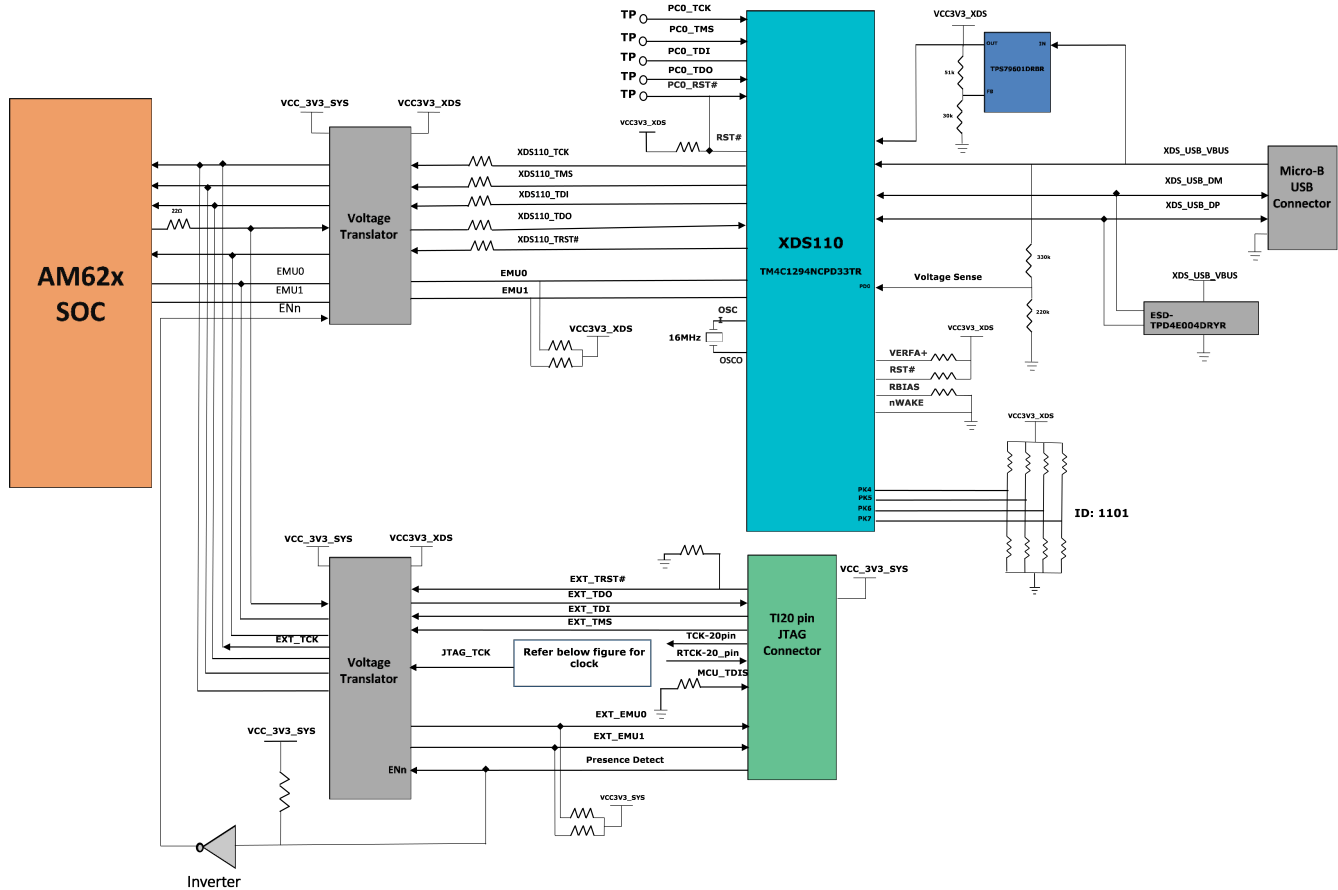


表 2-7 に、cTI 20 ピン JTAG コネクタのピン配列を示します。USB 信号には、ESD 電流パルスを VCC または GND に誘導する ESD 保護デバイス (型番 TPD4E004) が用いられています。TPD4E004 は、IEC 61000-4-2 で規定されている最大 $\pm 15\text{kV}$ の人体モデル (HBM) の ESD パルスから保護し、 $\pm 8\text{kV}$ の接触放電と $\pm 12\text{kV}$ のエアギャップ放電を提供します。

表 2-7. JTAG コネクタ (J17) のピン配置

ピン番号。	信号
1	JTAG_TMS
2	JTAG_TRST#
3	JTAG_TDI
4	JTAG_TDIS
5	VCC3V3_SYS
6	NC
7	JTAG_TDO
8	SEL_XDS110_INV
9	JTAG_cTI_RTCK
10	DGND
11	JTAG_cTI_TCK
12	DGND

表 2-7. JTAG コネクタ (J17) のピン配置 (続き)

ピン番号。	信号
13	JTAG_EMU0
14	JTAG_EMU1
15	JTAG_EMU_RSTn
16	DGND
17	NC
18	NC
19	NC
20	DGND

2.1.6.8 テスト オートメーション ヘッダー

AM62x SIP SKEVM は、40 ピンのテスト オートメーション ヘッダー (FH12A-40S-0.5SH) を搭載しており、パワー ダウン、POR、ウォームリセット、ブート モード制御などの基本動作を外部コントローラで操作できます。

テスト オートメーション回路は、専用レギュレータ (メーカー型番:TPS62177DQCR) から生成された 3.3V 電源によって駆動されます。型番 TPS62177DQCR) を使用した RPi 拡張インターフェイスをサポートしています。SoC の I2C1 は、テスト オートメーション ヘッダーに接続されています。テスト オートメーション ヘッダーのもう一つの I2C インスタンス (BOOTMODE_I2C) は、メーカー型番 TCA6424ARGJR の 24 ビット I2C ブート モード IO エクспанダに接続されており、AM62x SoC のブート モードを制御できます。

テスト オートメーション回路には電圧変換回路があり、コントローラは AM62x で使用される IO 電圧から絶縁されています。AM62x のブート モードは、ユーザーが DIP スイッチで、もしくは I2C IO エクспанダを経由してテスト オートメーション ヘッダで制御する必要があります。ブート モード バッファは、DIP スイッチまたは I2C IO エクспанダによって駆動されるブート モード制御を分離するために使用されます。ブート モードは、ボード上の 2 つの 8 ビット DIP スイッチを使用して制御ことができ、スイッチが ON 位置に設定されている場合はプルアップ抵抗をバッファの出力に、OFF 位置に設定されている場合は弱いプルダウン抵抗に接続します。バッファの出力は AM62x SoC のブート モードピンに接続され、リセット サイクル中にブート モードが必要な場合にのみ出力が有効になります。

テスト オートメーション ヘッダーによってブート モードを設定する場合、必要なスイッチ値が I2C IO エクспанダ出力に設定されます。これにより、DIP スイッチ値が上書きされ、SoC に目的のブート値が与えられます。ブート モード用に使用されるピンにはそれ以外の機能もあるため、これらは、通常動作時にブート モード バッファをディスエーブルにすることによって分離されます。

テスト オートメーション ヘッダーからのパワー ダウン信号は、基板上の専用電源を除くすべてのレールをパワー ダウンするように SKEVM 基板に指示します。同様に、PORZn 信号は SoC にハードリセットを行い、WARM_RESETn は SoC にウォームリセットを行います。テスト オートメーション ヘッダーからの 1 つの割り込み信号は、SoC GPIO (MCU_GPIO0_15) に入力され、外部割り込みを実現します。

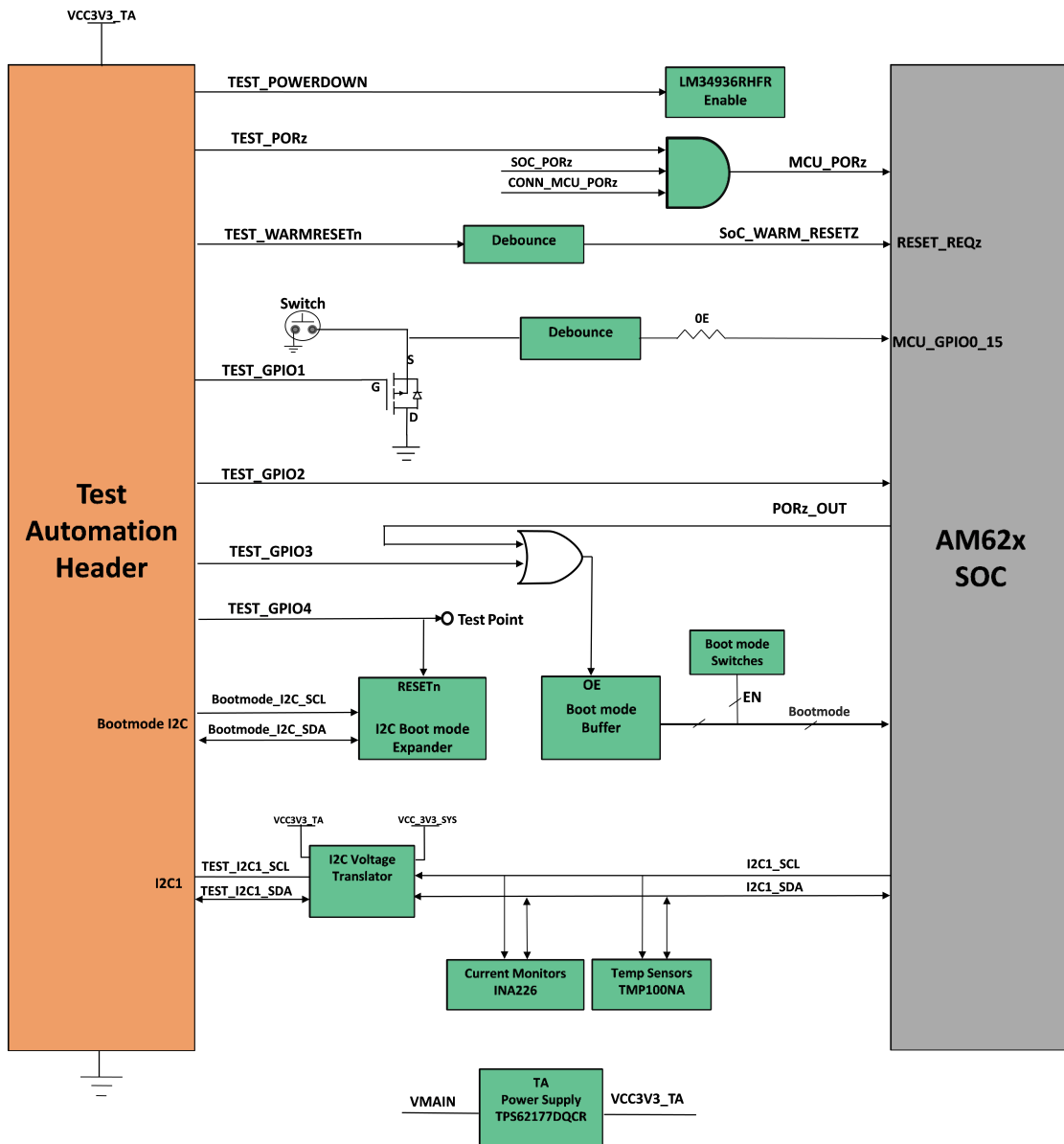


表 2-8. テストオートメーションコネクタ (J23) のピン配置

ピン番号。	信号	IO 方向	ピン番号。	信号	IO 方向
1	VCC3V3_TA	電源	21	NC	該当なし
2	VCC3V3_TA	電源	22	NC	該当なし
3	VCC3V3_TA	電源	23	NC	該当なし
4	NC	該当なし	24	NC	該当なし
5	NC	該当なし	25	DGND	電源
6	NC	該当なし	26	TEST_POWERDOWN	入力
7	DGND	電源	27	TEST_PORZn	入力
8	NC	該当なし	28	TEST_WARMRESETh	入力
9	NC	該当なし	29	NC	該当なし
10	NC	該当なし	30	TEST_GPIO1	双方向
11	NC	該当なし	31	TEST_GPIO2	双方向
12	NC	該当なし	32	TEST_GPIO3	入力
13	NC	該当なし	33	TEST_GPIO4	入力

表 2-8. テスト オートメーション コネクタ (J23) のピン配置 (続き)

ピン番号。	信号	IO 方向	ピン番号。	信号	IO 方向
14	NC	該当なし	34	DGND	電源
15	NC	該当なし	35	NC	該当なし
16	DGND	電源	36	SoC_I2C1_TA_SCL	双方向
17	NC	該当なし	37	BOOTMODE_I2C_SCL	双方向
18	NC	該当なし	38	SoC_I2C1_TA_SDA	双方向
19	NC	該当なし	39	BOOTMODE_I2C_SDA	双方向
20	NC	該当なし	40	DGND	電源

2.1.6.9 UART インターフェイス

AM62x により提供される SoC の 4 つの UART ポート (MCU UART0、WKUP UART0、SoC UART0、SoC UART1) は、UART から USB への変換機能を実現するために FTDI FT4232HL とインターフェイスされ、基板上的 USB micro-B コネクタ (J15) に終端されています。USB ケーブルを使用して AM62X SKEVM をホストに接続すると、コンピュータで仮想 COM ポートが確立され、任意の端末エミュレーション アプリケーションで使用できます。FT4232HL はバス電源供給方式です。

この回路はバス電源供給方式で電源供給されているため、SKEVM の電源が切れても COM ポートへの接続が失われることはありません。

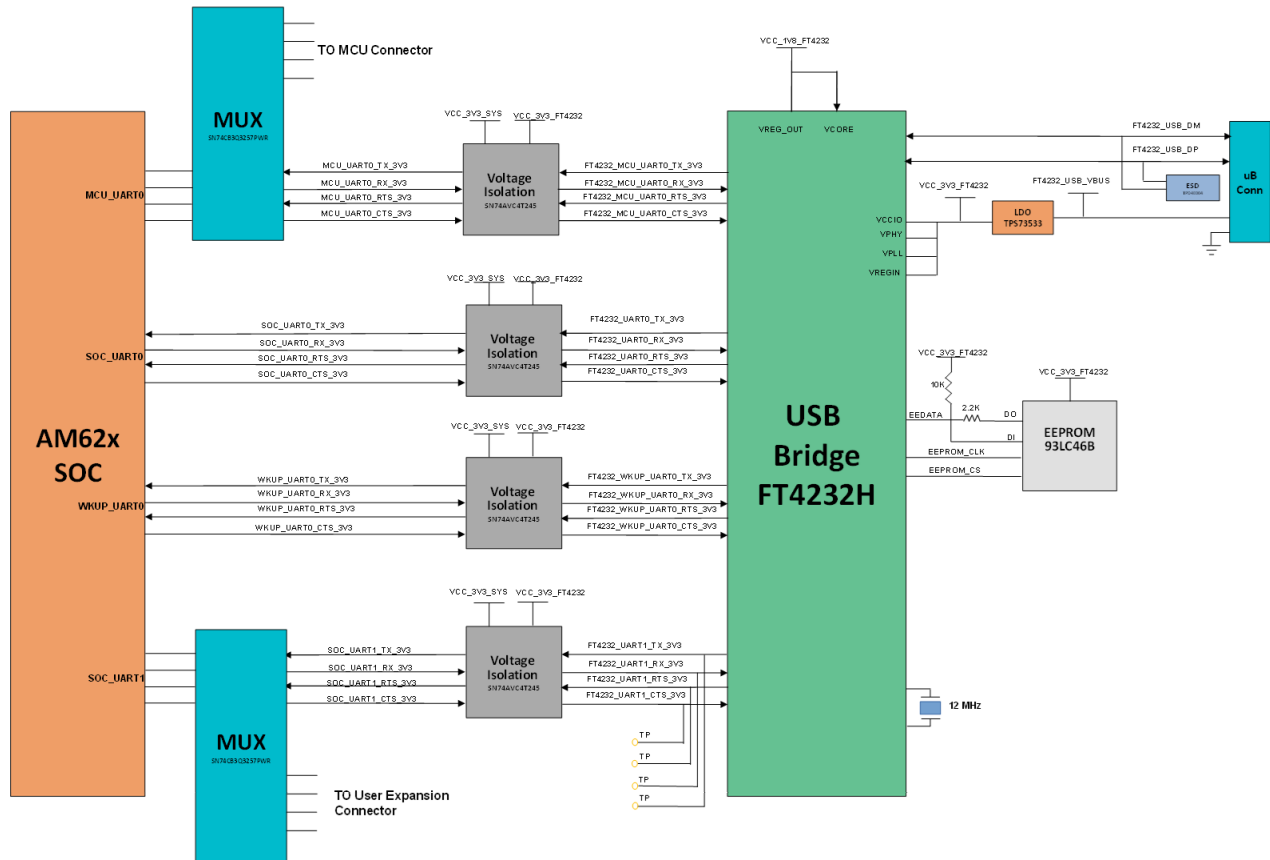
表 2-9. UART ポート インターフェイス

UART ポート	USB から UART へのブリッジ	USB コネクタ	COM ポート
SoC_UART0	FT4232HL	J15	COM1
SoC_UART1			COM2
WKUP_UART0			COM3
MCU_UART0			COM4

FT4232 チップは、接続された外部 SPI EEPROM からの構成ファイルを使用して、「シングルチップ USB から 4 チャンネル UART」モードで動作するよう構成されています。EEPROM (93LC46B) は、1Mbit/s のクロック レートに対応しています。EEPROM は、FTDI の Web サイトから入手できる FT_PROG というユーティリティプログラムを使用して、USB 経由で回路内でプログラム可能です。FT_PROG は、1 つまたは複数の基板がコンピュータに接続されているときに、ユーザーが基板のシリアル番号を使用して接続されている COM ポートを識別できるように、基板のシリアル番号をプログラムするためにも使用されます。

注

SK-AM62 評価基板のバージョン E2 以降 (および SK-AM62-P1 のすべてのリビジョン)、CTS/RTS ピンが他の用途に転用されたため、SoC UART0 はハードウェア フロー制御用に接続されなくなりました。さらに、UART1 は、拡張コネクタ、FT4232 (デフォルト)、Wilink Bluetooth UART のいずれかに切り替えることができます。



2.1.6.10 USB インターフェイス

2.1.6.10.1 USB 2.0 タイプ A インターフェイス

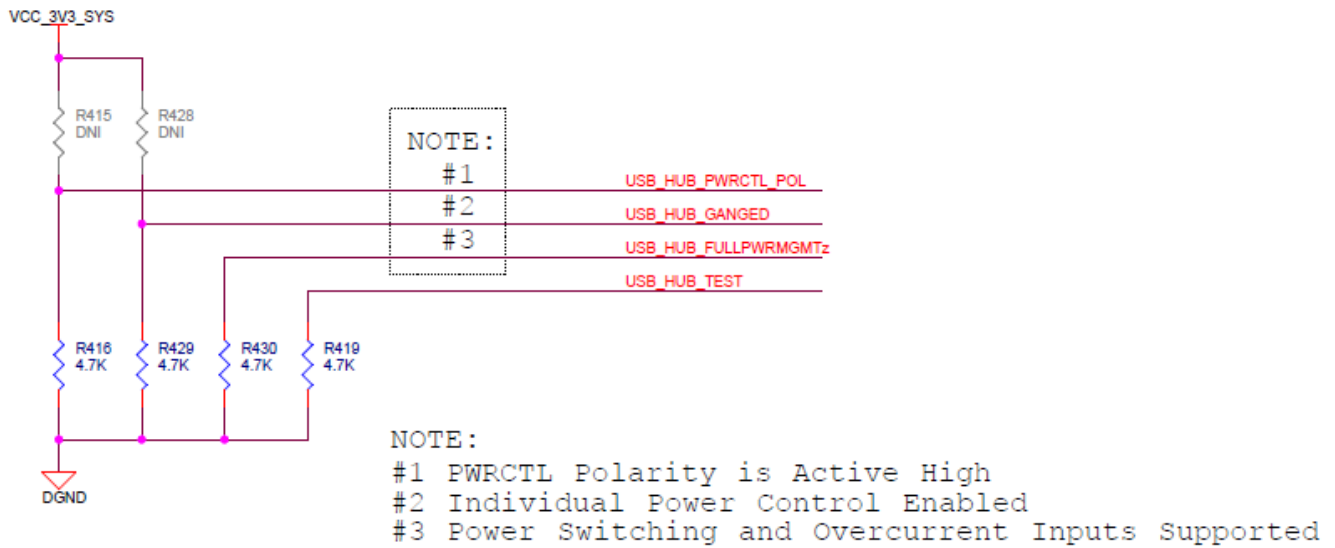
USB 2.0 ホスト インターフェイスは、AM62x SoC の USB1 コントローラ上の USB Type-A ポートを通じて提供されます。USB 信号は、E1 で USB 2.0 ハブ (メーカー型番 TUSB4020BI) に接続され、2 つの USB 2.0 ホスト ポートを提供します。TUSB4020BI は、2 ポートの USB 2.0 ハブです。上流ポートでハイスピード / フルスピード USB 接続を、下流ポートでハイスピード、フルスピード、ロースピード USB 接続を提供します。オンチップ 24MHz 水晶振動器は、USB ハブにクロックを供給するために使用されます。SoC の USB0_DRVVBUS は、抵抗デバイダ ネットワーク経由でハブの USB_VBUS ピンに接続され、電圧レベルを 1.155V 未満に制限します。ハブへのリセットは、SoC RESETSTATz 出力から供給されます。

USB ハブの GANGED/SMBA2/HS_UP ピンと FULLPWRMGMTz/SMBA1 ピンがプルダウンされると、電源の切り替えが有効な場合にポートの各電源制御を可能にします。USB ハブの PWRCTL_POL ピンがプルダウンされると、PWRCTL 極性がアクティブ High になります。ハブの PWRCTL1/BATEN1 ピンと PWRCTL2/BATEN2 ピンが接続されると、下流ポートの VBUS 電源制御用に電流制限スイッチのピンを有効化します。USB2.0 ポートは、USB2.0 仕様に従い、最大 500mA、5V をデバイスに供給します。USB ハブのストラップ オプションは次のとおりです。

E2 および今後のリビジョンでは、USB ハブが廃止され、オンボード USB コントローラを単一の Type-A コネクタに直接接続するようになっています。

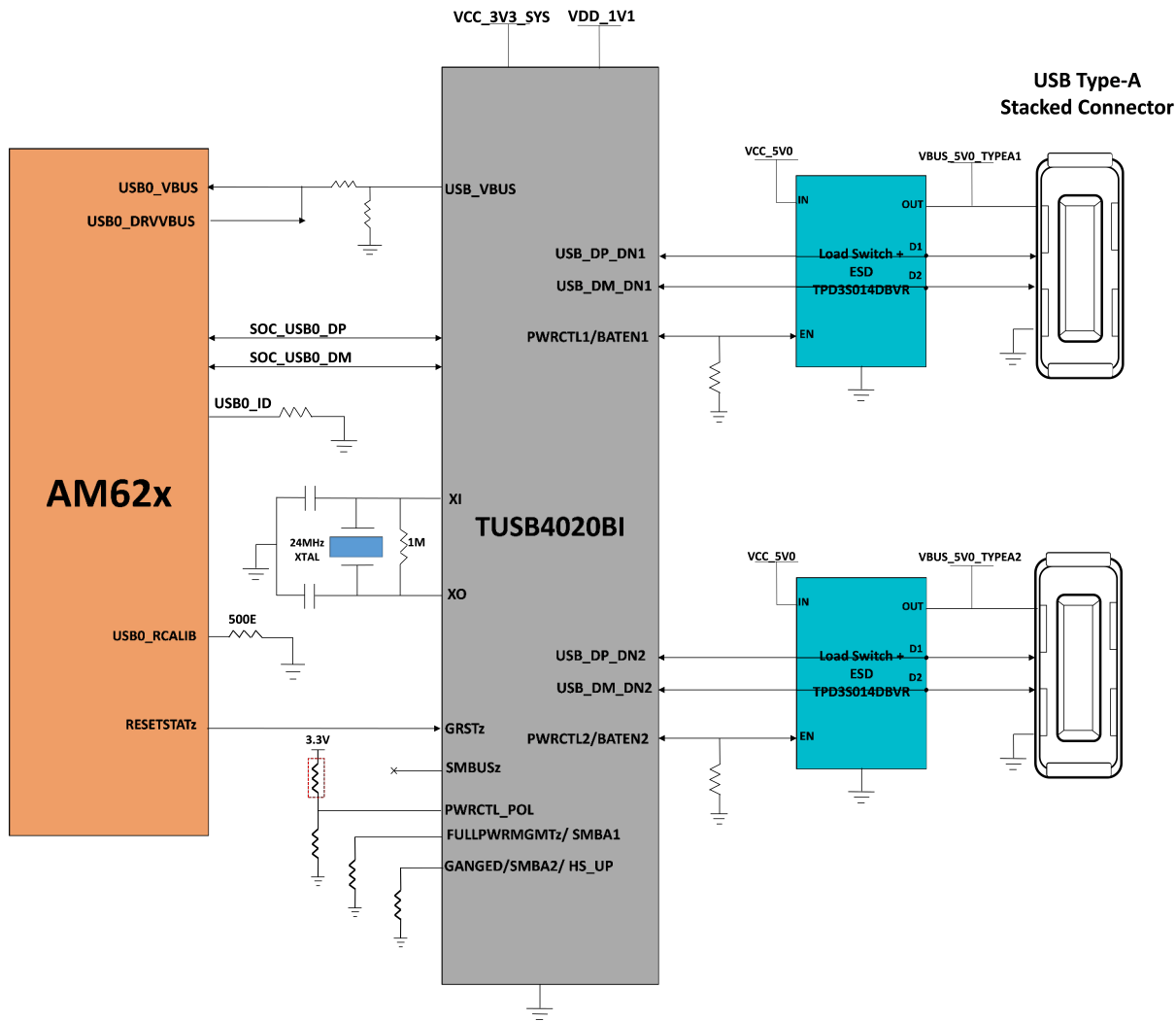
注

SK-AM62 E1 とそれ以降の実装の USB サブシステムの違いにおける詳細については、[セクション 3.2.3](#) を参照してください。



Type-A コネクタからの USB データラインは、電流制限ロード スイッチと ESD 保護 IC (メーカー型番 TPD3S014DBVR) に接続されています。このスイッチは、電流を 500mA に制限し、IEC 61000-4-2 で規定されている最大レベルを上回る ESD 衝撃を吸収します。

USB ハブは、基板の IO 電源からの 3.3V と、専用 LDO (メーカー型番 TLV75511PDQNR) からの 1.1V で給電されます。



2.1.6.10.2 USB 2.0 Type C インターフェイス

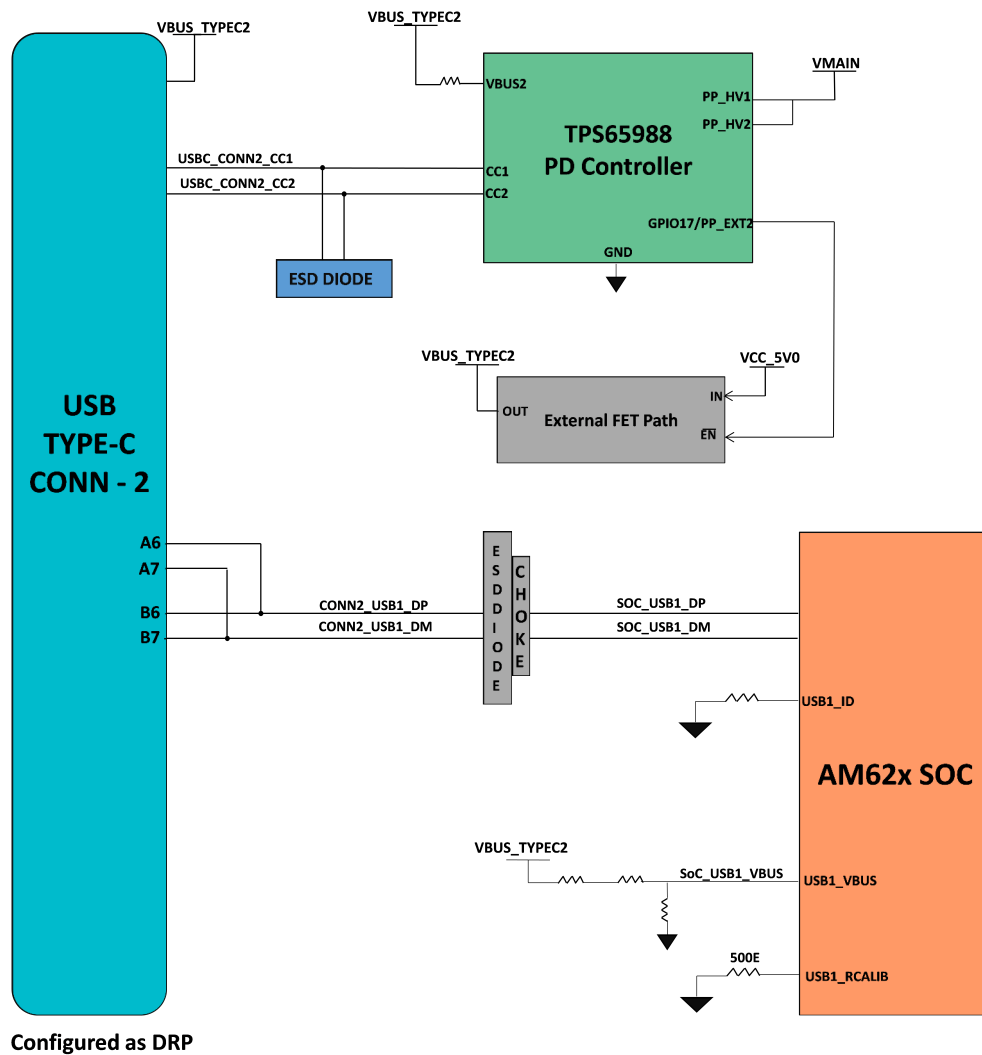
SKEVM では、USB Type-C コネクタ J13 (メーカー型番 2012670005) によって USB 2.0 インターフェイスが提供され、最大 480Mbps のデータレートに対応しています。J13 はデータ通信と電源コネクタとしても使用します。また、PD コントローラ TPS65988DHRSHR IC を使用して DRP ポートとして構成されているため、ホストとしてもデバイスとしても動作できます。ポートの役割は、コネクタに接続されるデバイスのタイプと、そのデバイスがシンクまたはソースのどちらであるかによって決まります。ポートが DFP として機能している場合、500mA で最大 5V を供給できます。

J13 からの USB 2.0 データラインの DP と DM は、チョークおよび ESD 保護デバイスを介して、AM62x SoC の USB0 インターフェイスに接続されています。SoC への USB0_VBUS は、抵抗デバイダ ネットワークを介して供給されます。

EMI / EMC に対処するため、USB データラインにはコモン モード チョーク (メーカー型番 DLW21SZ900HQ2B) が配置されています。USB2.0 DP/DM 信号の ESD 衝撃を放散させるため、ESD 保護デバイス (型番 ESD122DMXR) が搭載されています。CC 信号には ESD 保護デバイス (部品番号 TPD1E01B04DPLT) が搭載されており、ESD 衝撃を放散させるため、Type-C コネクタ J13 の VBUS レールには TVS2200DRVR IC が組み込まれています。

注

E1 とそれ以降の実装の USB サブシステムの違いにおける詳細については、[セクション 3.2.3](#) を参照してください。



2.1.6.11 メモリ インターフェイス

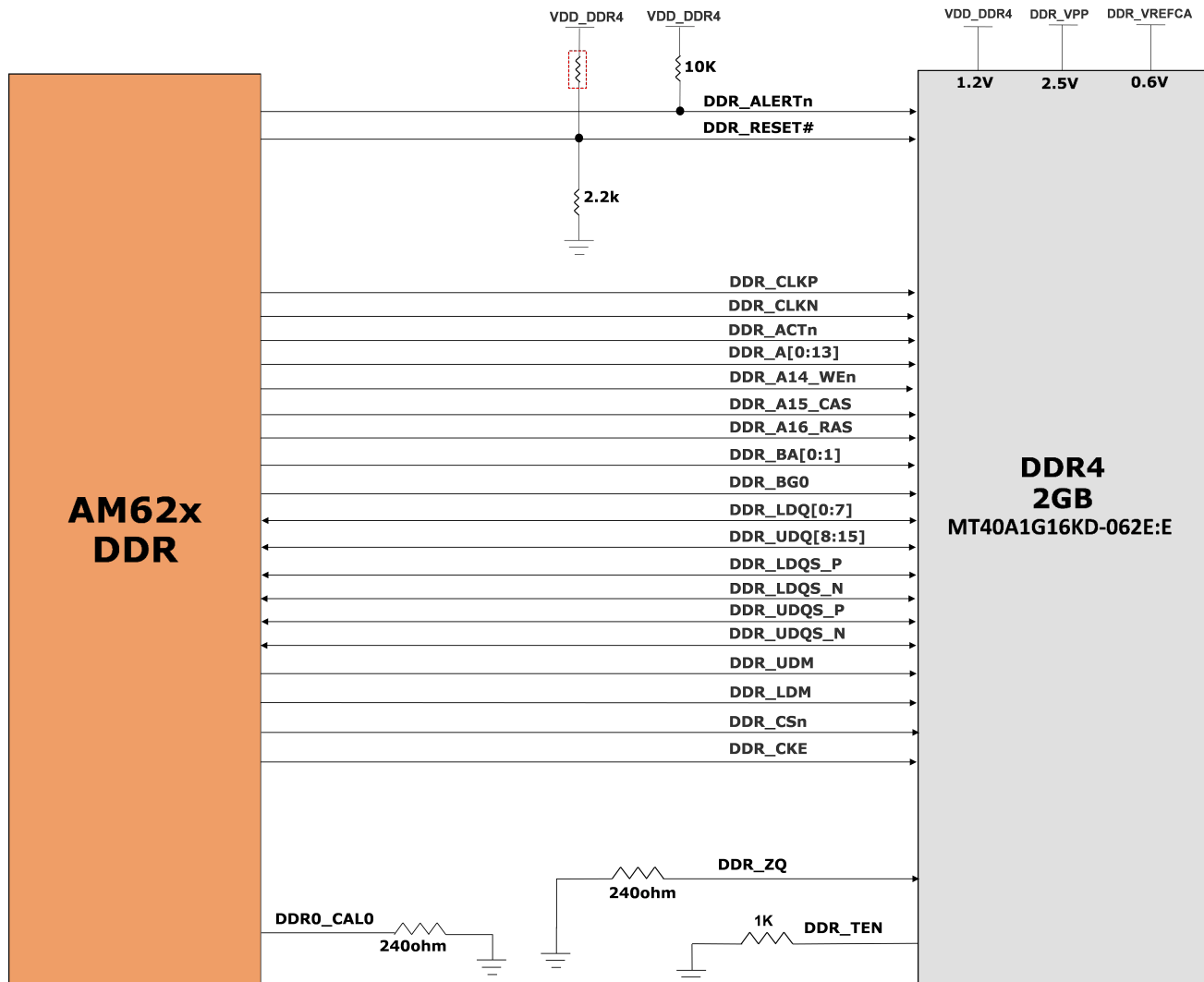
2.1.6.11.1 DDR4 インターフェイス

AM62x SKEVM には、最大 1600MT/s で動作する 16 ビット幅、2GB の DDR4 メモリが搭載されています。Micron 社製の MT40A1G16KD-062E:E が使用されています。これは、2 つの x8 構成の 8Gb Micron ダイを組み合わせて 1 つの x16 インターフェイスを構成しています。DDR メモリは、オンボード (シングルチップ) に取り付けられています。DDR4 デバイスの配置と配線は、ポイントツーポイントです。

SK-AM62B と SK-AM62B-P1 RevA EVM には、EOL (製品寿命) の問題があるため、Micron 製の MT40A1G16TB-062E:F パーツが付属しています。

DDR4 は 1.2V を必要とするため、電力要求が減少します。このデバイスでは、制御、コマンド、アドレスピン用として 1.2V の I/O 電源、2.5V 電源でアクティブになる DRAM、0.6V のリファレンス電圧が必要です。

DDR4 リセットはアクティブ "Low" 信号であり、SoC によって制御され、信号がプルダウンされてデフォルトのアクティブ状態が設定されます。また、プルアップ用のフットプリントも実装済みです。



2.1.6.11.2 OSPI インターフェイス

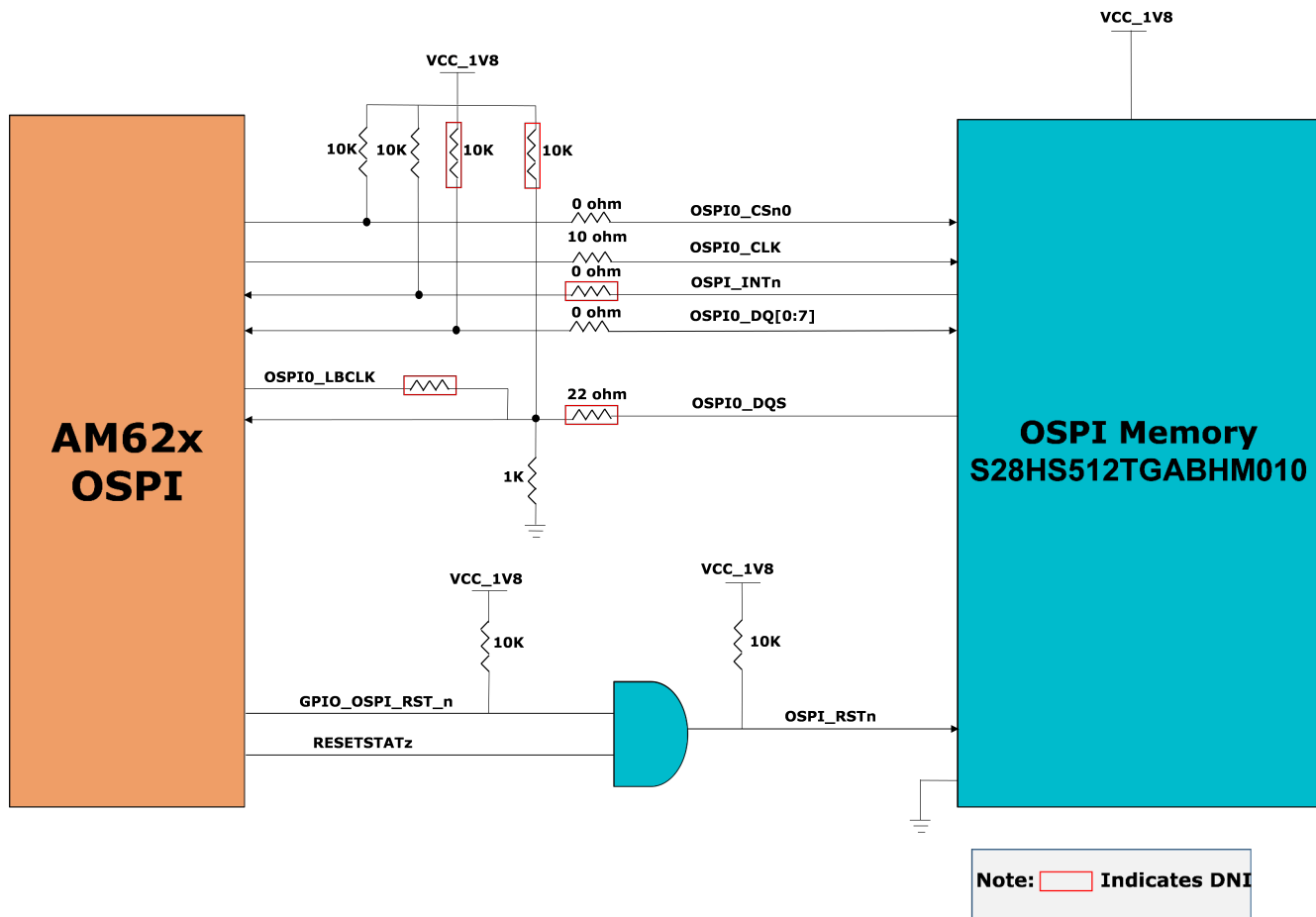
AM62x SKEVM 基板は、AM62x SoC の OSPI0 インターフェイスに接続された 512Mbit OSPI メモリ デバイス (Cypress 型番 S28HS512TGABHM010) を搭載しています。OSPI インターフェイスは、最高 200MBps SDR および 400MBps DDR (クロック速度 200MHz) のメモリ速度でシングル データレートおよびダブル データレートに対応しています。

OSPI および QSPI の実装: DATA[7:0]、DQS、INT#、および CLK 信号には 0Ω 抵抗が設けられています。バスのフローティングを防ぐため、DATA[7:0] には外部プルアップ抵抗を実装できるフットプリントが用意されています。OSPI メモリのフットプリントでは、QSPI メモリまたは OSPI メモリのいずれかを取り付けることもできます。QSPI フラッシュを実装する場合は、OSPI_DATA[4:7] ピンに配置された 0Ω の直列抵抗は取り外します。

リセット: OSPI フラッシュのリセットは、AM62x の RESETSTATz と SoC GPIO の GPIO_OSPI_RSTn 信号を論理積する回路に接続されています。これにより、ウォームおよびコールドリセットのリセットが適用されます。デフォルトのアクティブ状態を設定するために、SoC ピンからの GPIO_OSPI_RSTn にプルアップが提供されています。

電源: OSPI フラッシュは 1.8V IO 電源から電力を供給されます。1.8V 電源は、OSPI フラッシュメモリの VCC ピンと VCCQ ピンの両方に供給されます。

SoC の OSPI インターフェイスは、SoC の VDDSHV1 電源グループから電力を供給され、1.8V IO 電源に接続されています。



2.1.6.11.3 MMC インターフェイス

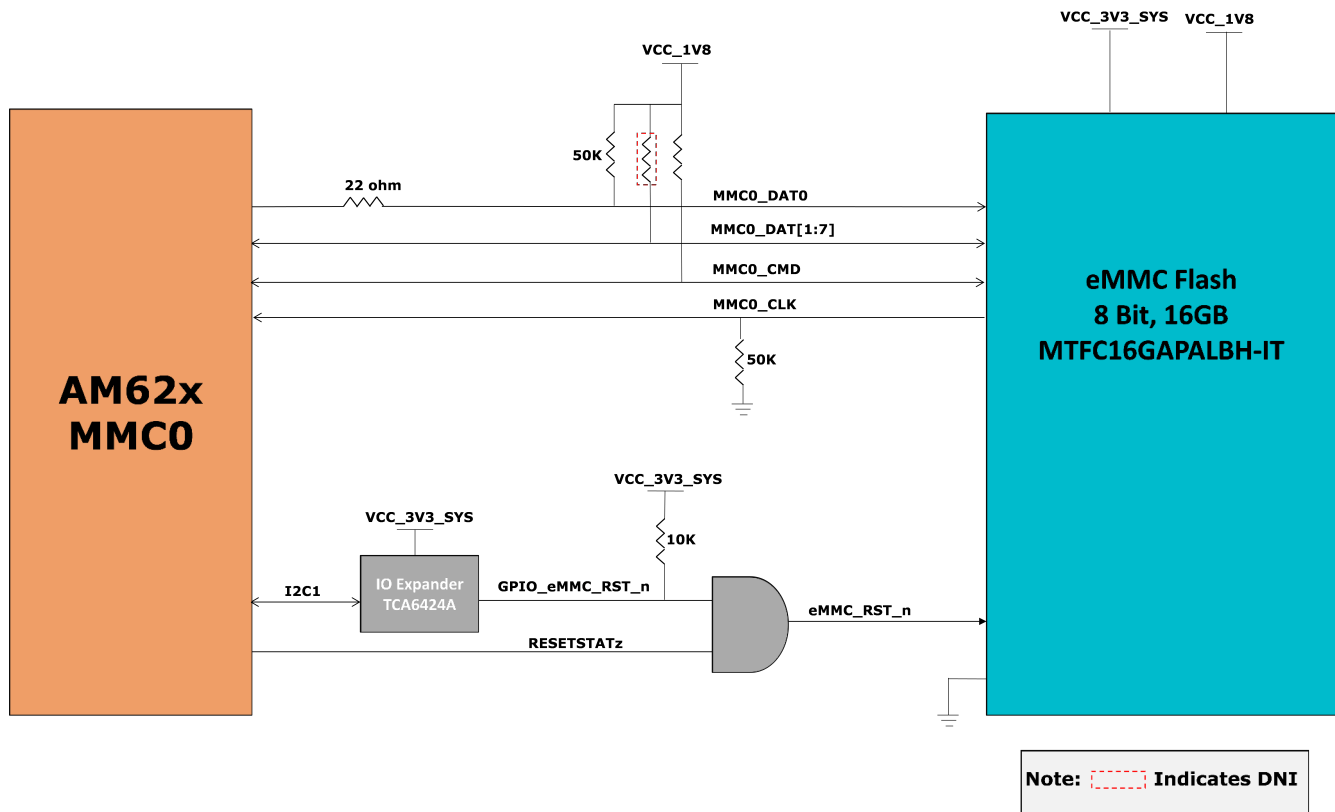
AM62x SoC には、3 つの MMC ポート (MMC0、MMC1、MMC2) があります。MMC0 は eMMC フラッシュに接続されており、MMC1 は基板上的のマイクロ SD ソケットとインターフェイスされ、MMC2 は WiFi インターフェイス用の Wilink モジュールに接続されています。

2.1.6.11.3.1 MMC0 - eMMC インターフェイス

この SKEVM 基板には、AM62x SoC の MMC0 ポートに接続された 16GB の eMMC フラッシュ メモリ (Micron、型番 MTFC16GAPALBH-IT) が搭載されています。このフラッシュは、最大 200MHz の HS400 ダブル データ レートをサポートする MMC0 インターフェイスの 8 ビットに接続されています。

SK-AM62B RevA と SK-AM62B-P1 RevA のリビジョン基板では、32GB の eMMC フラッシュ メモリ (Micron、型番 MTFC32GAZAQHD-IT) にアップグレードされています。

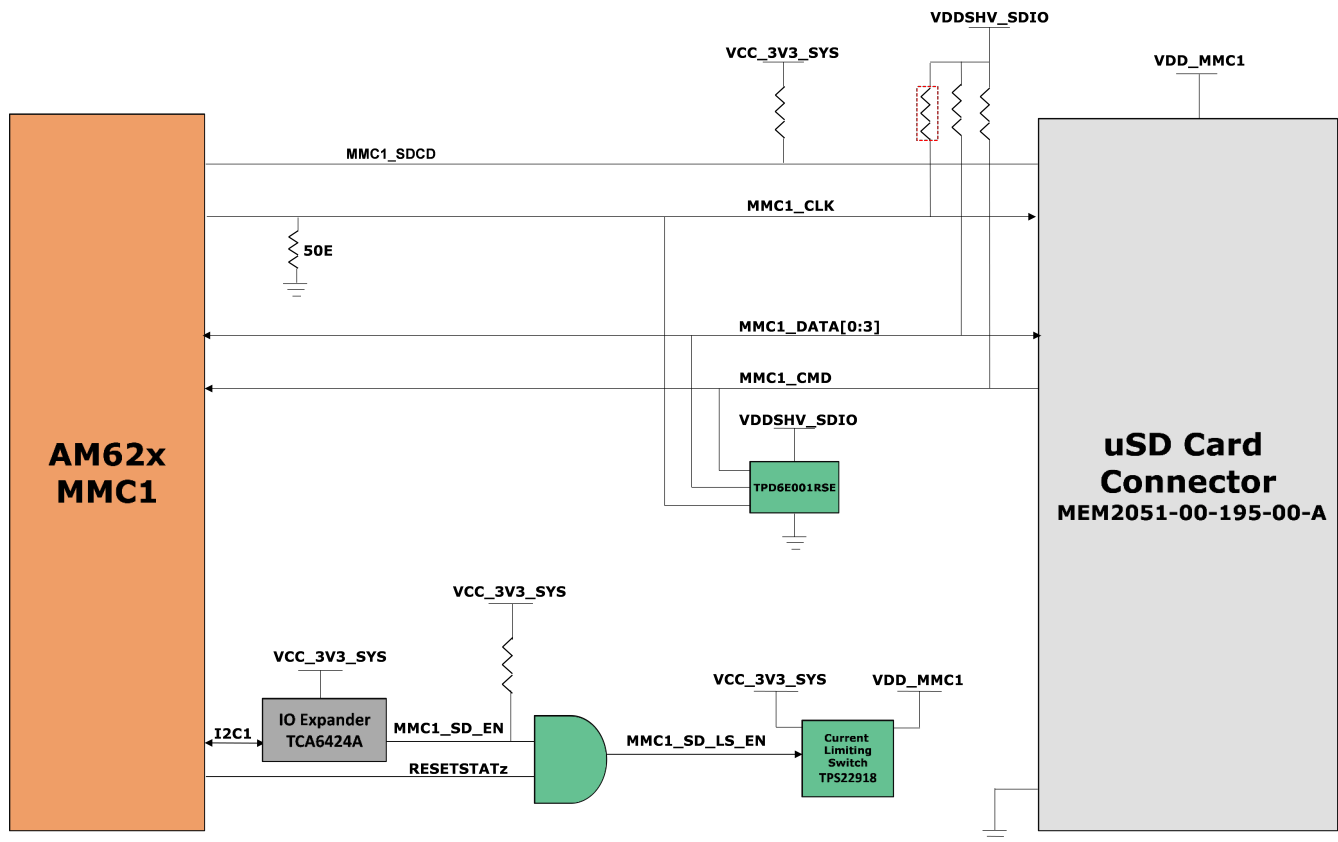
eMMC デバイスには、NAND メモリ用の 3.3V、eMMC インターフェイス用の 1.8V の 2 つの電源が必要です。SoC の MMC0 インターフェイスは、1.8V IO 電源に接続された VDDSHV4 電源ドメインから電力が供給されます。



2.1.6.11.3.2 MMC1 — マイクロ SD インターフェイス

この SKEVM 基板には、AM62x SoC の MMC1 ポートに接続されたマイクロ SD カード インターフェイスが搭載されています。MicroSD カード ソケット (メーカー型番 MEM2051-00-195-00-A) は、AM62x SoC の MMC1 ポートとのインターフェイスに使用されます。1.8V および 3.3V の両方での IO 動作を含め、UHS1 動作がサポートされています。マイクロ SD カード インターフェイスは、SD モードで動作するようにデフォルトで設定されています。高速カードの場合、SoC の ROM コードはカードとコントローラがサポートできる最速の速度を検出しようと試み、1.8V への切り替えを行うことが可能です。

SD カード コネクタの電源は、ロード スイッチ (メーカー型番 TPS22918DBVR) を使用して提供され、RESETSTATz、PORz_OUT、IO エクスパンダの GPIO 出力の論理積によって制御されます。データ信号、クロック信号、コマンド信号用に、ESD 保護デバイス (部品番号 TPD6E001RSE) が搭載されています。TPD6E001RSE は TVS ダイオードを内蔵したライン終端デバイスで、IEC 61000-4-2 に準拠したシステムレベルの ESD 保護、±8kV の接触放電、±15kV のエアギャップ放電を提供します。



2.1.6.11.3.3 MMC2 - Wilink インターフェイス

AM62x SKEVM には、TI の WiLink モジュール (型番 WL1837MODGIMOCT) が搭載されており、バッファ経由で MMC2、UART2 インスタンス、McASP2 インターフェイスに接続されています。このモジュールは、IEEE 規格 802.11a/b/g/n データレート (20 または 40MHz の SISO、または 20MHz の MIMO) に対応する MMC2 インターフェイスの 4 ビット IO に接続されています。このモジュールには、VBAT_IN に 3.3V、VIO_IN に 1.8V の 2 つの電源が必要です。WiLink モジュールへの電源は、オンボードの電源レールから供給されます。

SoC の MMC2 インターフェイスは、1.8V IO 電源に接続された VDDSHV6 電源ドメインから電力が供給されます。

WiLink モジュールは SK-AM62B および SK-AM62B-P1 RevA 評価基板から削除されました。拡張モジュールとして M.2 コネクタが実装されています。この拡張インターフェイスは主に Wi-Fi / BT モジュールで使用して、以下のインターフェイスをサポートしています:セキュア データ/セキュア デジタル IO (SDIO)、ユニバーサル非同期レシーバ/トランスミッタ (UART)、マルチチャネル オーディオ シリアル ポート (McASP)。

注:このインターフェイスのアドオンワイヤレス ネットワーク モジュールには、Embedded Artist EAR00388 WiFi および Bluetooth モジュールなどがあります。

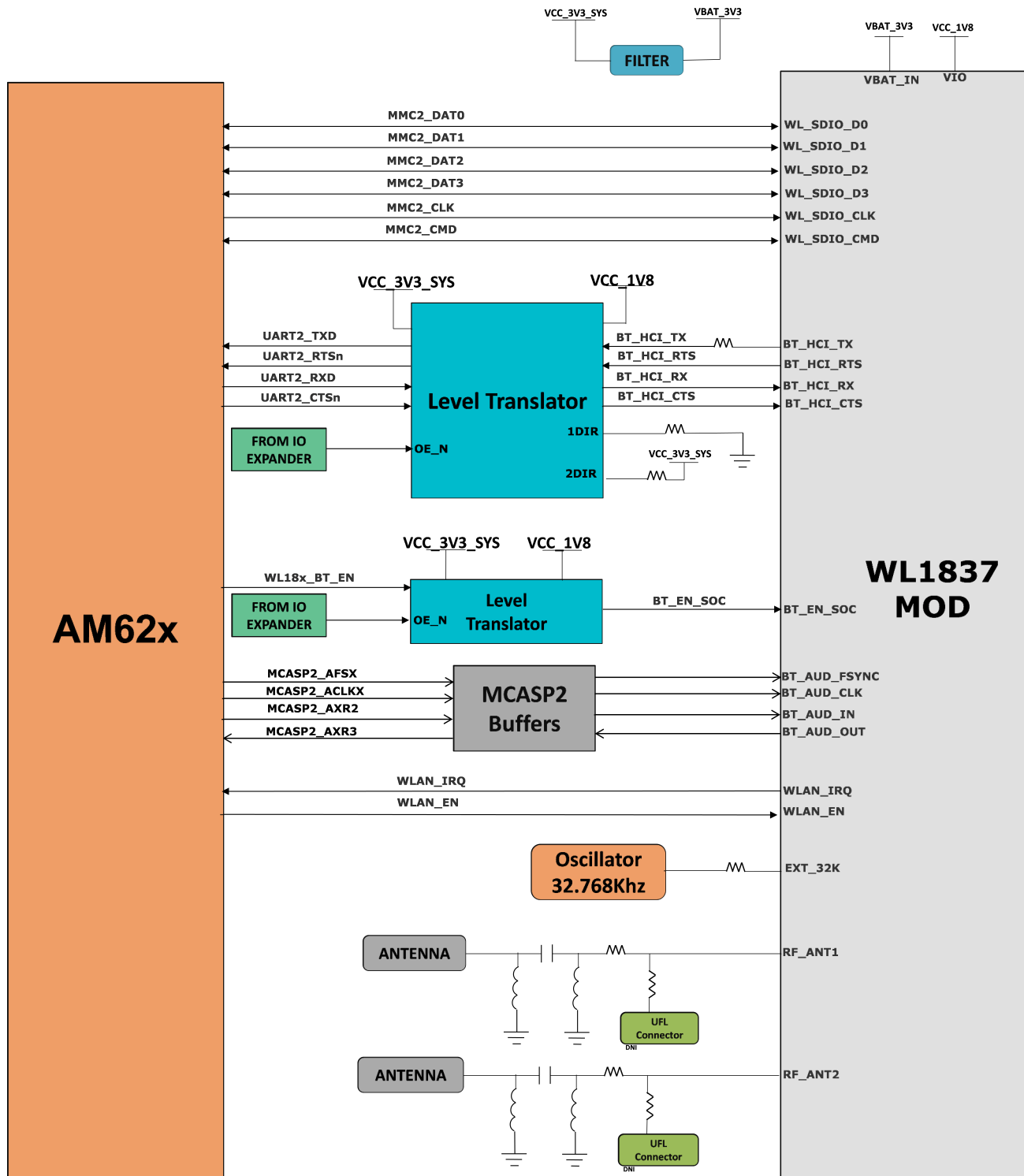


図 2-13. SK-AM62 と SK-AM62-P1 の MMC2 - Wilink インターフェイス

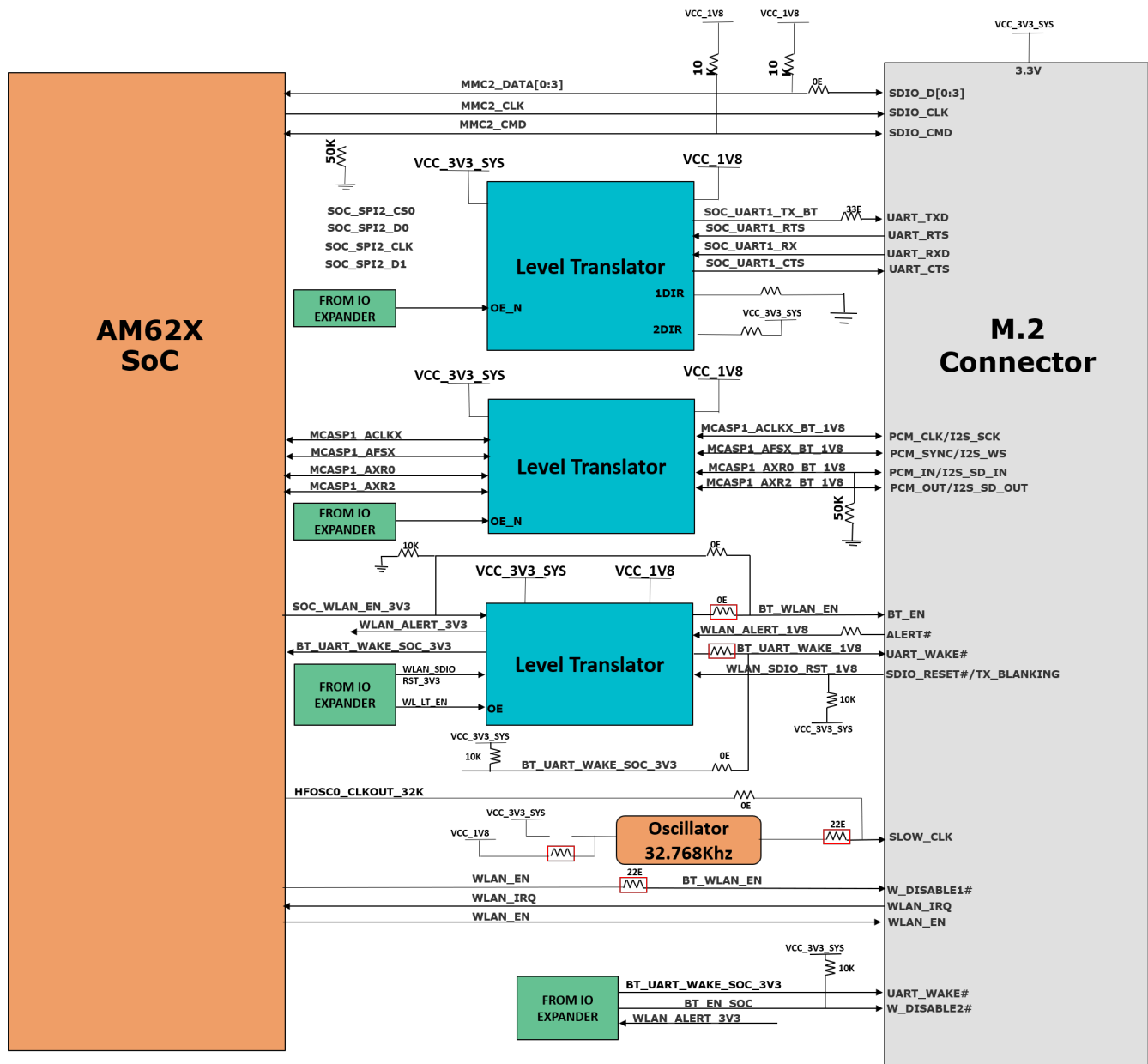


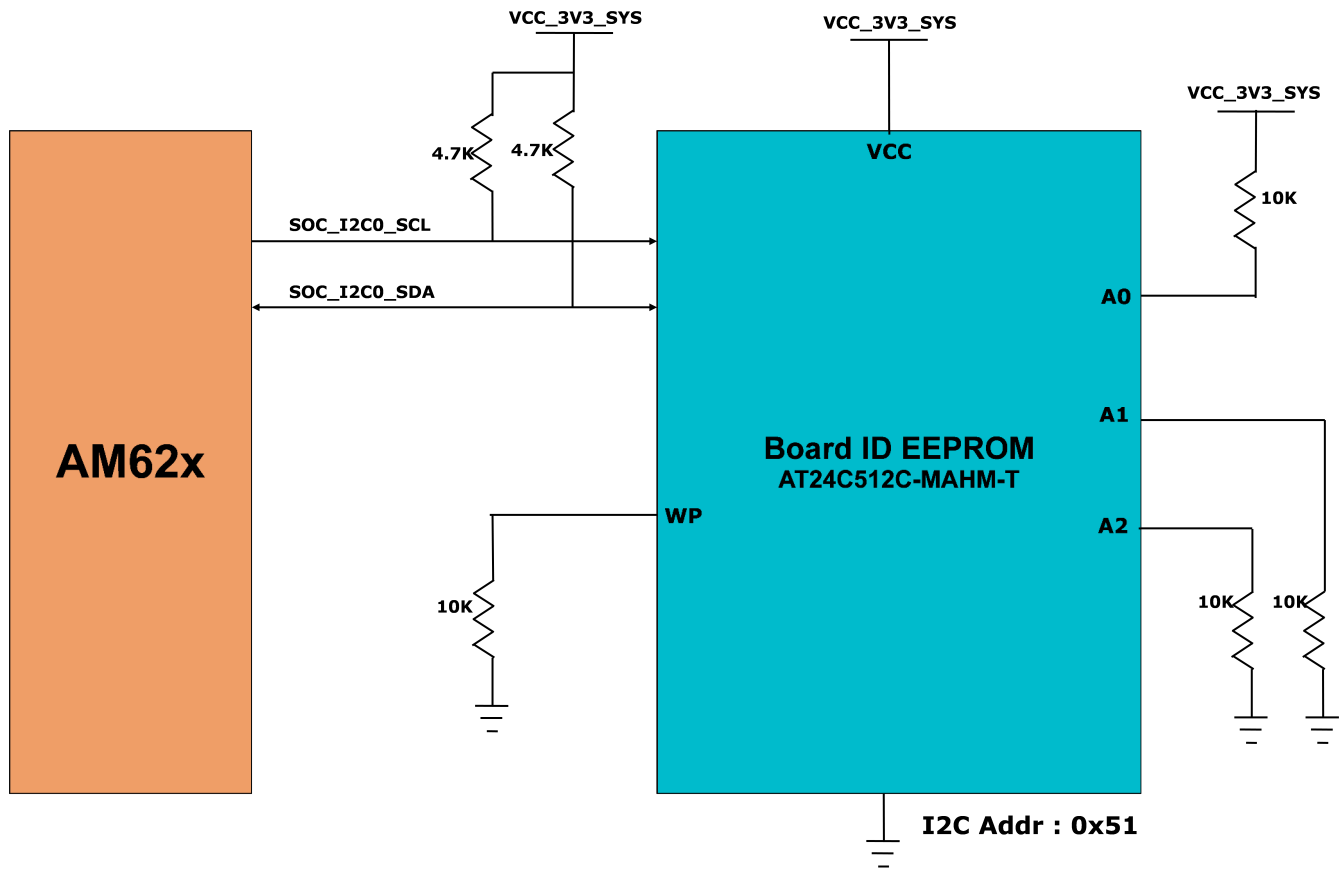
図 2-14. SK-AM62B と SK-AM62B-P1 の MMC2 - M.2 コネクタ インターフェイス

2.1.6.11.4 EEPROM

AM62x SKEVM 基板は、オンボード EEPROM に保存されているバージョンとシリアル番号で識別されます。EEPROM は、AM62x SoC の SoC I2C0 ポートからアクセスできます。

基板 ID EEPROM の I2C アドレスは 0x51 に設定されています。

AM62x SKEVM には、512kb EEPROM である AT24C512C-MAHM-T が搭載されています。メモリの最初の 259 バイトは、各基板の識別情報であらかじめプログラムされています。残りの 65277 バイトは、データまたはコードの保存用にユーザーが使用できます。



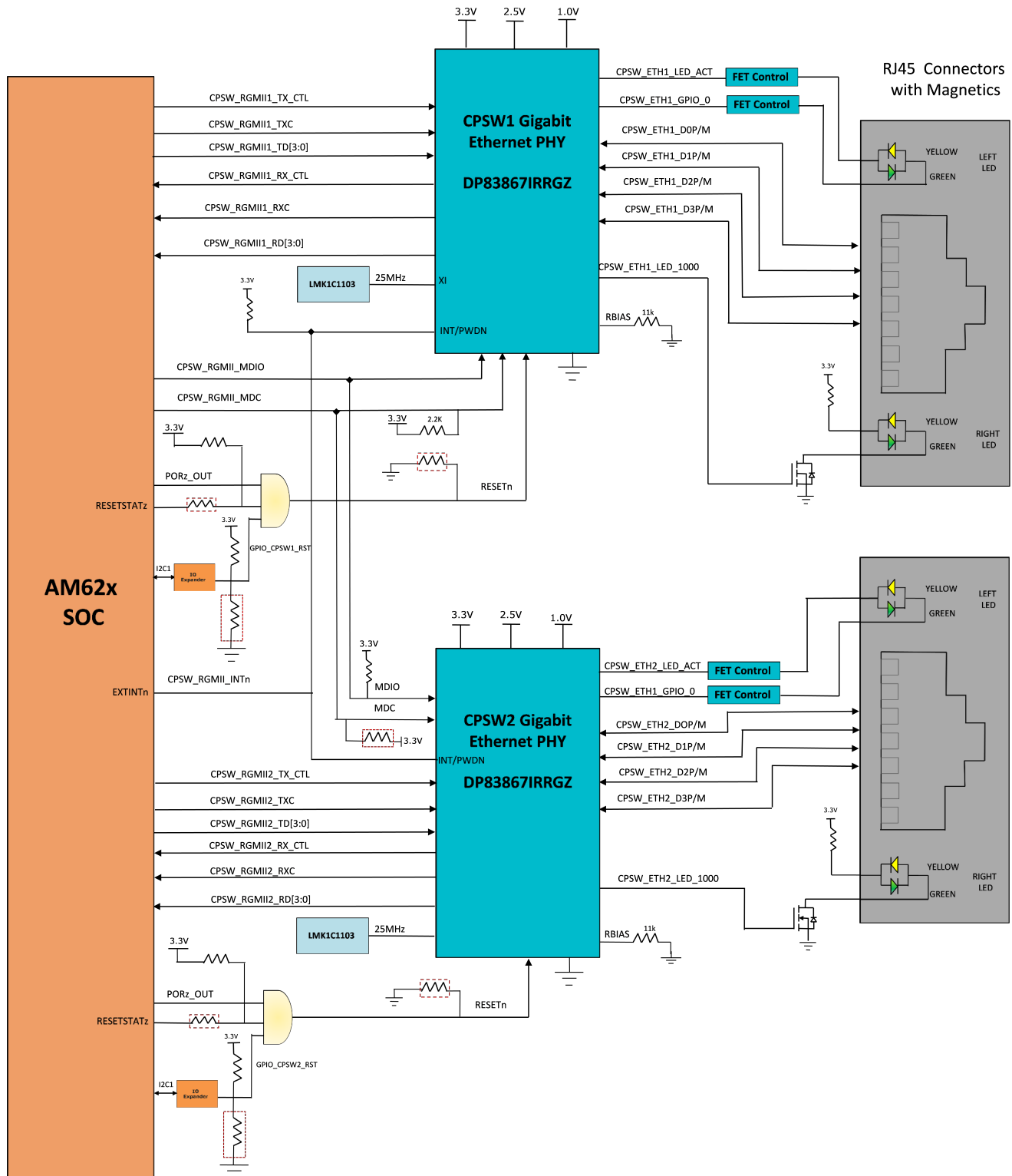
2.1.6.12 イーサネット インターフェイス

AM62x SKEVM には、外部通信向けに、1 ギガビット速度のイーサネット ポートが 2 つあります。AM62x SoC の RGMII ギガビット イーサネット CPSW ポートの 2 つのチャンネルは、個別のギガビット イーサネット PHY トランシーバ DP83867 に接続されています。これらのトランシーバは、内蔵された磁気部品を使用して 2 つの RJ45 コネクタで最終的に終端されます。

PHY DP83867 の 48 ピン バージョンは、AM62x 内部の遅延に対応するように内部遅延が設定され、1Gb 動作を伝達するように構成されています。CPSW_RGMII1 ポートおよび CPSW_RGMII2 ポートは、外部 PHY トランシーバと通信するために、共通の MDIO バスを使用しています。

イーサネット 10/100/1G 接続には、基板上で Link-PP の 2 つのシングル ポート RJ45 コネクタ (メーカー型番 LPJG16314A4NL) が使用されます。RJ45 コネクタには、1000BASE-T リンクと送受信アクティビティを示すための磁気素子および LED が内蔵されています。

イーサネット PHY への IO 電源は 3.3V の IO レベルに設定されています。



2.1.6.12.1 CPSW イーサネット PHY 2 のデフォルト構成

AM62x SoC の CPSW_RGMII2 ポートに接続されている DP83867 は以下の構成になっています。

PHY アドレス: 00001

Auto_neg: 有効

ANGsel 10/100/1000

RGMII Clk スキュー Tx:0ns

RGMII Clk スキュー Rx:2ns

2 つの CPSW RGMII PHY から生成された割り込みは互いに接続され、AM62x SoC の EXTINTn ピンに接続されています。

LED1 は RJ45 右 LED (緑色) に接続され、1000MHz リンクを示します。

LED2 は RJ45 左 LED (黄色) に接続され、送受信アクティビティを示します。

GPIO_0 は RJ45 左 LED (緑) に接続され、10/100MHz リンクを示します。

LED 制御は、外付けの MOSFET によって行われます。

2.1.6.12.2 CPSW イーサネット PHY 1 のデフォルト構成

DP83867 のデフォルト構成は、PHY の特定のピンにある複数の抵抗プルアップおよびプルダウン値を使用して決定されています。取り付け済みの値に応じて、搭載しているプルアップ / プルダウン オプションを使用して、各構成ピンを 4 つのモードのいずれかに設定することができます。AM62x SKEVM は、RGMII インターフェイスをサポートする 48 ピン QFN パッケージを使用しています。

DP83867 PHY は、抵抗ストラッピングに基づいて 4 つのレベル構成を使用して、4 つの異なる電圧範囲を生成します。これらの抵抗は、通常 PHY によって駆動されてプロセッサへの入力となる、RX データおよび制御ピンに接続されます。各モードの電圧範囲を以下に示します。

モード 1 - 0V ~ 0.3V

モード 2 - 0.462V ~ 0.6303V

モード 3 - 0.7425V ~ 0.9372V

モード 4 - 2.2902V ~ 2.9304V

LED_0 を除くすべてのストラッピング ピンには、プルアップおよびプルダウンの両方のフットプリントが用意されています。LED_0 はミラー イネーブル用で、デフォルトではモード 1 に設定されています。モード 4 は適用されず、モード 2 およびモード 3 のオプションは使用しません。

AM62x SoC の CPSW_RGMII1 ポートに接続されている DP83867 は以下の構成になっています。

PHY アドレス:00000

Auto_neg:有効

ANGsel 10/100/1000

RGMII Clk スキュー Tx:0ns

RGMII Clk スキュー Rx:2ns

2.1.6.13 GPIO ポート エクスパンダ

AM62x SKEVM で使用されている I/O エクスパンダは、24 ビットの I2C ベース I/O エクスパンダであり、ドーター カードのプラグイン検出や、接続されている各種ペリフェラル デバイスに対するリセット信号やイネーブル信号の生成に使用されます。AM62x SoC の SoC_I2C1 バスは、I/O エクスパンダとのインターフェイスに使用されます。I/O エクスパンダの I2C デバイス アドレスは 0x22 です。エクスパンダによって制御される信号のリストについては、表 2-10 を参照してください。

表 2-10. IO エクスパンダ信号の詳細

ピン番号。	信号	方向	デバイス
P00	GPIO_CPSW2_RST	出力	CPSW イーサネット PHY-1 リセット制御 GPIO
P01	GPIO_CPSW1_RST	出力	CPSW イーサネット PHY-2 リセット制御 GPIO
P02	PRU_DETECT	入力	PRU ボード検出
P03	MMC1_SD_EN	出力	SD カード ロード スイッチの有効化

表 2-10. IO エクスパンダ信号の詳細 (続き)

ピン番号。	信号	方向	デバイス
P04	VPP_LDO_EN	出力	SoC eFuse 電圧 (VPP = 1.8V) レギュレータのイネーブル
P05	EXP_PS_3V3_EN	出力	EXP CONN 3.3V パワー スイッチのイネーブル
P06	EXP_PS_5V0_EN	出力	EXP CONN 5V パワー スイッチのイネーブル
P07	EXP_HAT_DETECT	入力	EXP CONN HAT ボード検出
P10	GPIO_AUD_RSTn	出力	オーディオ コーデックリセット制御 GPIO
P11	GPIO_eMMC_RSTn	出力	eMMC リセット制御 GPIO
P12	UART1_FET_BUF_EN	出力	UART1 FET バッファのイネーブル
P13	WL_LT_EN	出力	Wilink レベル変換器のイネーブル
P14	GPIO_HDMI_RSTn	出力	HDMI トランスミッタリセット制御 GPIO (抵抗の実装変更により OLID_RSTn としても使用可能)
P15	CSI_GPIO1	該当なし	Raspberry Pi カメラ CSI0 GPIO1
P16	CSI_GPIO2	該当なし	Raspberry Pi カメラ CSI0 GPIO2
P17	PRU_3V3_EN	出力	PRU パワー スイッチのイネーブル
P20	HDMI_INTn	入力	HDMI 割り込み
P21	PD_I2C_IRQ	入力	USB-C パワー デリバリコントローラからの入力割り込み
P22	AUD_BUF_EN	出力	MCASP のイネーブルおよび方向制御
P23	WL_BUF_EN	出力	
P24	AUD_BUFF_CLK_DIR	出力	
P25	UART1_FET_SEL	出力	
P26	TS_INT#	出力	OLDI ディスプレイ タッチ スクリーンの割り込み
P27	IO_EXP_TEST_LED	出力	ユーザー テスト LED の制御に使用される GPIO

2.1.6.14 GPIO へのマッピング

表 2-11 に、AM62x SKEVM ペリフェラルを搭載した AM62x SoC の GPIO へのマッピングの詳細を示します。

表 2-11. GPIO へのマッピング

シリアル番号	GPIO 名称	GPIO ネット名	機能	使用 GPIO	SoC 多重化信号名	制御の方向	デフォルト状態	アクティブ状態	SoC 側の電圧	SK-EVM の電圧
1	WLAN インターフェイスのイネーブル	WLAN/EN	イネーブル	GPIO0_71	MMC2_SD_CD	出力	Low	High	VDDSHV6	SoC_DVDD1V8
2	WLAN 割り込み	WLAN_IRQ	割り込み	GPIO0_72	MMC2_SD_WP	入力	High	Low	VDDSHV6	SoC_DVDD1V8
3	BT インターフェイスのイネーブル	BT_EN_SOC	イネーブル	MCU_GPIO0_1	MCU_SPIO_CS0	出力	Low	High	VDDSHV_MCU	SoC_DVDD3V3
4	CPSW イーサネット PHY 割り込み	CPSW_RGMII_INTn/ PRu_INTn	割り込み	GPIO1_31	EXTINTn	入力	High	Low	VDDSHV0	SoC_DVDD3V3
	PRU コネクタ割り込み									
5	OSPI リセット制御 GPIO	GPIO_OSPI_RSTn	リセット	GPIO0_12	OSPI0_CSn1	出力	High	Low	VDDSHV1	SoC_DVDD1V8
6	OSPI 割り込み	OSPI_INTn	割り込み	GPIO0_13	OSPI0_CSn2	入力	High	Low	VDDSHV1	SoC_DVDD1V8
7	SD カード IO 電圧の選択	VSEL_SD	イネーブル	GPIO0_31	GPMC0_CLK	出力	Low	High	VDDSHV3	SoC_DVDD3V3
8	IO エクスパンダ割り込み	MCU_GPIO0_15	割り込み	MCU_GPIO0_15	MCU_MCAN1_TX	入力	High	Low	VDDSHV_CANUART	SoC_DVDD3V3
9	テストオートメーションコネクタからの GPIO1 のテスト/ユーザー割り込み									
10	ユーザー テスト LED 1	SOC_GPIO_49	GPIO	GPIO1_49	MMC1_SD_WP	出力	Low	High	VDDSHV0	SoC_DVDD3V3
IO エクスパンダ - 01										
1	eMMC リセット制御 GPIO	GPIO_eMMC_RSTn	リセット	IO エクスパンダ - P00		出力	High	Low	VDDSHV0	SoC_DVDD3V3
2	CPSW イーサネット PHY-1 リセット制御 GPIO	GPIO_CPSW1_RST	リセット	IO エクスパンダ - P01		出力	High	Low	VDDSHV0	SoC_DVDD3V3
3	CPSW イーサネット PHY-2 リセット制御 GPIO	GPIO_CPSW2_RST	リセット	IO エクスパンダ - P02		出力	High	Low	VDDSHV0	SoC_DVDD3V3
4	SD カード ロードスイッチの有効化	MMC1_SD_EN	イネーブル	IO エクスパンダ - P03		出力	High	Low	VDDSHV0	SoC_DVDD3V3
5	SOC eFuse 電圧 (VPP = 1.8V) レギュレータのイネーブル	VPP_LDO_EN	イネーブル	IO エクスパンダ - P04		出力	Low	High	VDDSHV0	SoC_DVDD3V3
6	EXP CONN 3.3V パワー スwitch のイネーブル	RPI_PS_3V3_EN	イネーブル	IO エクスパンダ - P05		出力	Low	High	VDDSHV0	SoC_DVDD3V3
7	EXP CONN 5V パワー スwitch のイネーブル	RPI_PS_5V0_EN	イネーブル	IO エクスパンダ - P06		出力	Low	High	VDDSHV0	SoC_DVDD3V3
8	オーディオコーデック リセット制御 GPIO	GPIO_AUD_RSTn	リセット	IO エクスパンダ - P07		出力	High	Low	VDDSHV0	SoC_DVDD3V3
9	EXP CONN HAT ボード検出	RPI_HAT_DETECT	検出	IO エクスパンダ - P010		入力	High	Low	VDDSHV0	SoC_DVDD3V3

表 2-11. GPIO へのマッピング (続き)

シリアル番号	GPIO 名称	GPIO ネット名	機能	使用 GPIO	SoC 多重化信号名	制御の方向	デフォルト状態	アクティブ状態	SoC 側の電圧	SK-EVM の電圧
10	PRU ボード検出	PRU_DETECT	検出	IO エクスパンダ - P11		入力	High	Low	VDDSHV0	SoC_DVDD3V3
11	SoC UART1 マルチプレクサの選択	UART1_MUX_SEL	選択	IO エクスパンダ - P12		出力	Low	High	VDDSHV0	SoC_DVDD3V3
12	WiLink レベル変換器のイネーブル	WL_LT_EN	イネーブル	IO エクスパンダ - P13		出力	Low	High	VDDSHV0	SoC_DVDD3V3
13	HDMI トランスミッタリセット制御 GPIO	GPIO_HDMI_RSTn	リセット	IO エクスパンダ - P14		出力	High	Low	VDDSHV0	SoC_DVDD3V3
14	Raspberry Pi カメラ CSI0 GPIO1	CSI_GPIO1	入力/出力	IO エクスパンダ - P15		該当なし	該当なし	該当なし	VDDSHV0	SoC_DVDD3V3
15	Raspberry Pi カメラ CSI0 GPIO2	CSI_GPIO2	入力/出力	IO エクスパンダ - P16		該当なし	該当なし	該当なし	VDDSHV0	SoC_DVDD3V3
16	PRU パワー スイッチのイネーブル	PRU_3V3_EN	イネーブル	IO エクスパンダ - P17		出力	Low	High	VDDSHV0	SoC_DVDD3V3
17	HDMI 割り込み	HDMI_INTn	割り込み	IO エクスパンダ - P20		入力	High	Low	VDDSHV0	SoC_DVDD3V3
18	テスト オートメーションコネクタからの GPIO2 のテスト	TEST_GPIO2	AM62X との通信用 GPIO	IO エクスパンダ - P21		入力	High	Low	VDDSHV0	SoC_DVDD3V3
19	MCASP2 イネーブルおよび方向制御	AUD_BUF_EN	イネーブル	IO エクスパンダ - P22		出力	Low	High	VDDSHV0	SoC_DVDD3V3
20		WL_BUF_EN	イネーブル	IO エクスパンダ - P23		出力	High	Low	VDDSHV0	SoC_DVDD3V3
21		AUD_BUF_CLK_DIR	方向制御	IO エクスパンダ - P24		出力	High	Low	VDDSHV0	SoC_DVDD3V3
22		WL_BUF_CLK_DIR	方向制御	IO エクスパンダ - P25		出力	High	Low	VDDSHV0	SoC_DVDD3V3
23	OLDI ディスプレイバックライト イネーブル	VLED_ENB	イネーブル	IO エクスパンダ - P26		出力	Low	High	VDDSHV0	SoC_DVDD3V3
24	ユーザー テスト LED 2	IO_EXP_TEST_LED	GPIO	IO エクスパンダ - P27		出力	Low	High	VDDSHV0	SoC_DVDD3V3

2.1.6.15 電源

2.1.6.15.1 電源要件

AM62x SKEVM では、2 つの USB Type-C コネクタのいずれかを通じて電力を供給できます：

- コネクタ 1(J11) - 電源ロール – SINK、データロールなし
- コネクタ 2(J13) - 電源ロール – DRP、データロール – USB2.0 DFP または UFP

AM62x SK 評価基板は、5V ~ 15V の電圧入力範囲と、3A の電流に対応しています。USB PD コントローラ (メーカー型番 TPS65988DHRSHR) は、ケーブル検出時の PD ネゴシエーションに使用され、基板に必要な電力を取得します。コネクタ 1 は UFP ポートとして構成され、データロールはありません。コネクタ 2 は DRP ポートとして構成され、コネクタ 1 によって基板に電力が供給されている場合にのみ DFP として動作します。両方のコネクタが外部電源に接続されている場合、PD の電力供給能力が最も高いポートが基板の電源として選択されます。

表 2-12. Type-C ポートの電源ロール

J11(UFP)	J13(DRP)	基板電源	注記
接続済み	NC	ON - J11	J11 は UFP で、電力のシンクのみを行います。ペリフェラルが接続されている場合に J13 は DFP として動作します。
NC	接続済み	ON - J13	J13 は UFP で、電力のシンクのみを行います。
接続済み	接続済み	ON - J11 または J13	基板は、PD の電力供給能力が最も高いポートから電力を供給されます。

PD IC は、パワーアップ時に SPI EEPROM を使用して必要な構成をロードし、互換性のある電源と電力供給能力をネゴシエートします。

構成ファイルは、ヘッダー J22 を使用して EEPROM にロードされます。EEPROM がプログラムされると、PD は SPI 通信を介して構成ファイルを取得します。構成ファイルがロードされると、PD は必要な電源要件を満たすために電源とネゴシエートします。

注

EEPROM には、PD コントローラの動作に必要な構成ファイルがあらかじめプログラムされています。

SKEVM 基板に電力を供給しているコネクタを識別するために、両方の Type-C コネクタには電源表示 LED が搭載されています。

外部電源 (Type-C 出力) は 評価基板の電源として使用可能ですが、SKEVM キットには含まれていません。

外部電源の要件 (Type-C) は次のとおりです。

最小電圧: 5VDC、推奨最小電流: 3000mA

最大電圧: 15VDC、最大電流: 5000mA

表 2-13. 推奨外部電源

DigiKey 型番	メーカー	メーカー部品番号
1939-1794-ND	GlobTek, Inc.	TR9CZ3000USBCG2R6BF2
Q1251-ND	Qualtek	QADC-65-20-08CB

注

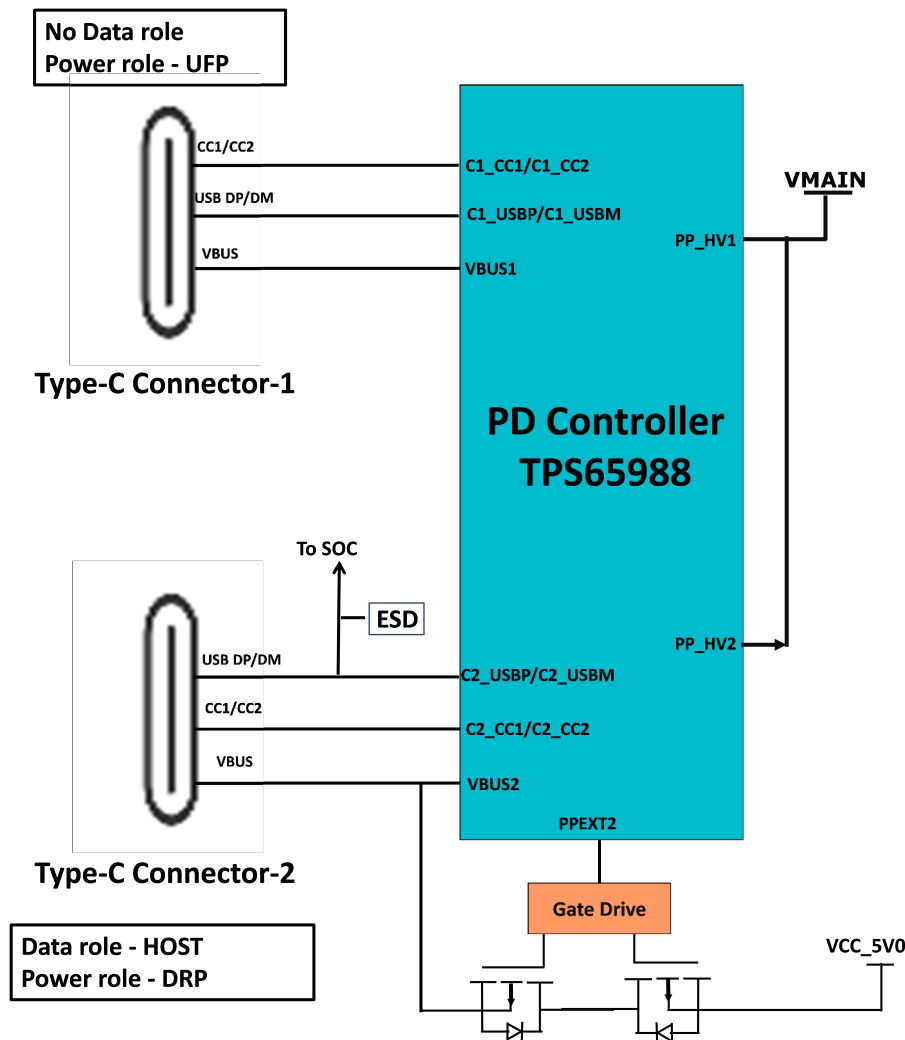
SK-AM62 は電源用に USB PD を実装しているため、デバイスと電源アダプタの両方がサポートする最大電圧 / 電流の組み合わせにネゴシエートすることができます。そのため、電源アダプタが USB-C PD 仕様に準拠している限り、電源が上記の最大電圧と電流の要件を超えても許容されます。

2.1.6.15.2 電源入力

Type-C コネクタ (VBUS ラインと CC ライン) はどちらも、デュアル PD コントローラ (メーカー型番 TPS65988) に接続されています。TPS65988 は、スタンドアロンの USB Type-C およびパワー デリバリ (PD) コントローラであり、2 つの USB

Type-C コネクタのケーブルのプラグと向きを検出します。ケーブルを検出すると、TPS65988 は USB PD プロトコルを使用して CC ワイヤで通信を行います。ケーブルの検出と USB PD ネゴシエーションが完了すると、TPS65988 は適切な電力パスを有効にします。TPS65988 の 2 つの内部電力パスは、2 つの Type-C ポートのシンクパスとして構成され、DFP として動作する場合には Type-C CONN 2 から 5V を供給するための外部 FET パスが提供されています。外部 FET パスは、PD コントローラの GPIO17/PP_EXT2 によって制御されています。

TPS65988 PD コントローラは、CC ネゴシエーションにより、3A (最大 15V) の出力を供給できます。両方の Type-C コネクタからの VBUS ピンは、PD コントローラの VBUS ピンに接続されています。PD の出力は VMAIN です。この VMAIN は、オンボードの昇降圧レギュレータと降圧レギュレータに供給され、SKEVM 用の 5V と 3.3V の固定電源を生成します。



以下のセクションでは、SKEVM ボード、サポートコンポーネント、リファレンス電圧に電力を供給する電源分配ネットワークのトポロジについて説明します。

AM62x SKEVM 基板には、ディスクリート電源コンポーネントに基づく電源ソリューションが搭載されています。電源供給の初期段は、2 つの USB Type-C コネクタ J11 と J13 のいずれかからの VBUS 電圧になります。USB Type-C デュアル PD コントローラ (メーカー型番 TPS65988DHRSHR) は、システムに必要な電力のネゴシエーションに使用されます。

昇降圧コントローラ LM34936RHFR と降圧コンバータ LM61460-Q1 は、それぞれ 5V と 3.3V の生成に使用され、レギュレータへの入力には PD 出力が使用されます。これらの 3.3V と 5V は、AM62x SKEVM 基板の電源リソースの主要な電圧です。

降圧レギュレータ LM61460-Q1 から生成された 3.3V 電源は、各種 SoC レギュレータおよび LDO への入力電源です。昇降圧レギュレータ LM34936RHFR から生成された 5V 電源は、オンボードのペリフェラルの電源に使用されます。

分圧回路は、DDR4 に DDR_VREFCA (0.6V) 電源を供給するために使用します。

基板上で使用されるディスクリートレギュレータと LDO は次のとおりです。

- TPS62824DMQR – PHY および DDR ペリフェラル用に VDD_2V5 レールを生成
- TLV75510PDQNR — イーサネット PHY 用の VDD_1V0 を生成
- TLV75511PDQNR – USB ハブ用の VDD_1V1 を生成
- TLV75512PDQNR — HDMI トランスミッタ用の VDD_1V2 を生成
- TPS74518PQWDRVRQ1 — SoC 用の 1.8V アナログ電源を生成
- TPS6282518DMQR – SoC 用の 1.8V IO 電源を生成
- TLV7103318QDSERQ1 — SoC 用の VDDSHV5_MMC1 (SD インターフェイス) 電源を生成
- TPS62824DMQR – SoC および DDR 用の DDR 電源を生成
- TPS62826DMQR — SoC 用のコア電源を生成
- TPS74501PDRVR – SoC 用の VDDR_CORE 電源を生成

基板には、以下の用途向けに専用レギュレータも搭載されています：

- TPS62177 レギュレータ - テスト オートメーション セクションの常時オン回路に電力を供給
- TLV75518 LDO - SoC の e-Fuse プログラミング
- TPS79601 LDO - XDS110 オンボード エミュレータ
- TPS73533 LDO - FT4232 UART-to-USB ブリッジ

さらに、テスト オートメーション ヘッダーからの GPIO も LM34936RHFR イネーブル ピンに接続されており、テスト オートメーション ボード経由で SKEVM のオン / オフを制御します。これは、すべての他の電源が派生する LM34936RHFR の VCC_5V0 出力だけを無効化します。SoC には異なる IO グループがあります。各 IO グループには、以下の表に示す特定の電源から電力が供給されます。

2.1.6.15.3 電源

AM62x SKEVM は、DC/DC コンバータのアレイを使用して、基板上のさまざまなメモリ、クロック、SoC、その他の部品に必要な電圧と電力を供給します。

以下の図に、電源レールの生成に使用される各種のディスクリートレギュレータおよび LDO と、AM62x SKEVM 上の各ペリフェラルの消費電流を示します。

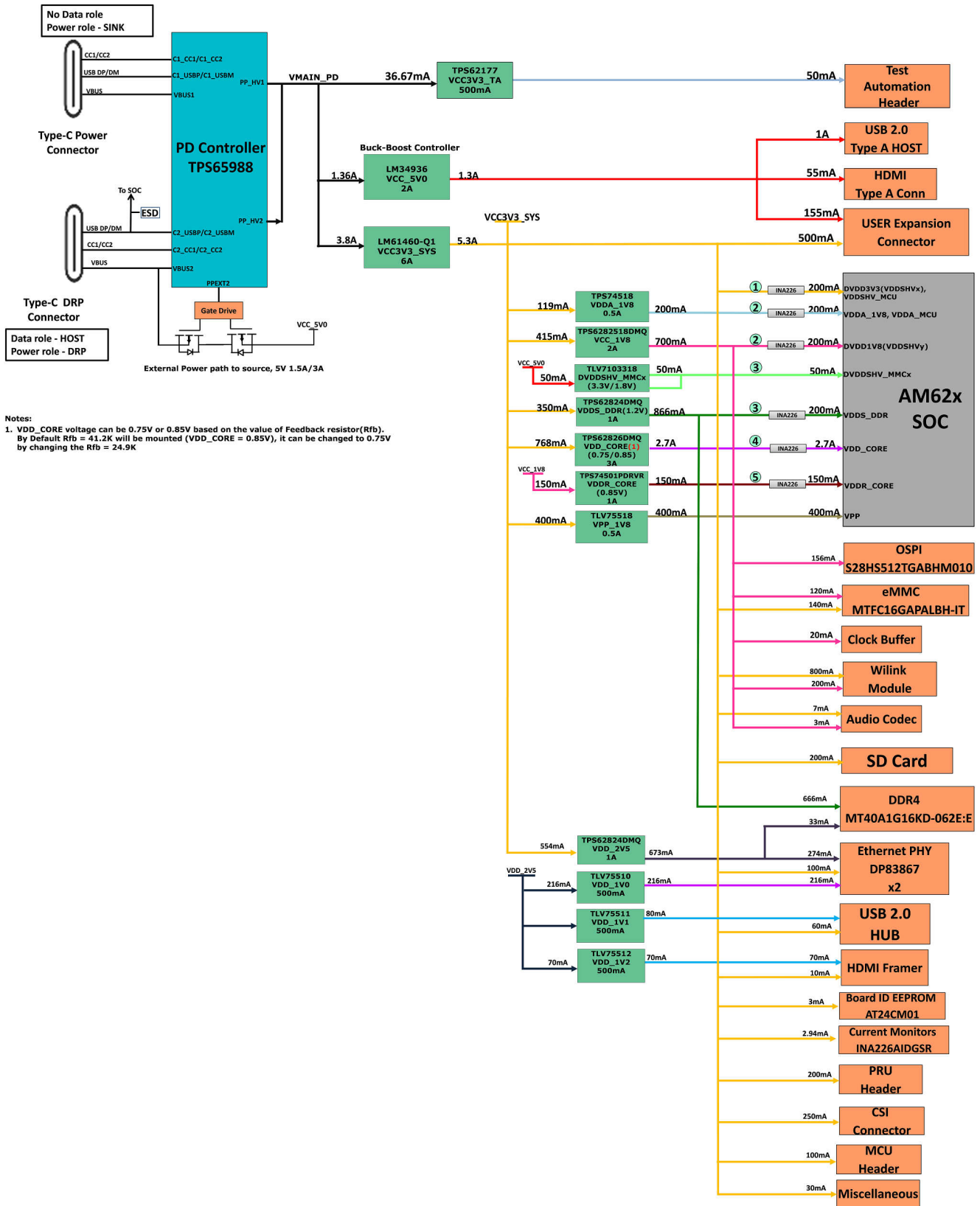


図 2-15. 電源のブロック図

2.1.6.15.4 電源シーケンス

下の図は、AM62x SKEVM の全電源のパワーアップおよびパワーダウン シーケンスを示しています。AM62x SoC の電源レールは赤色で示されています。

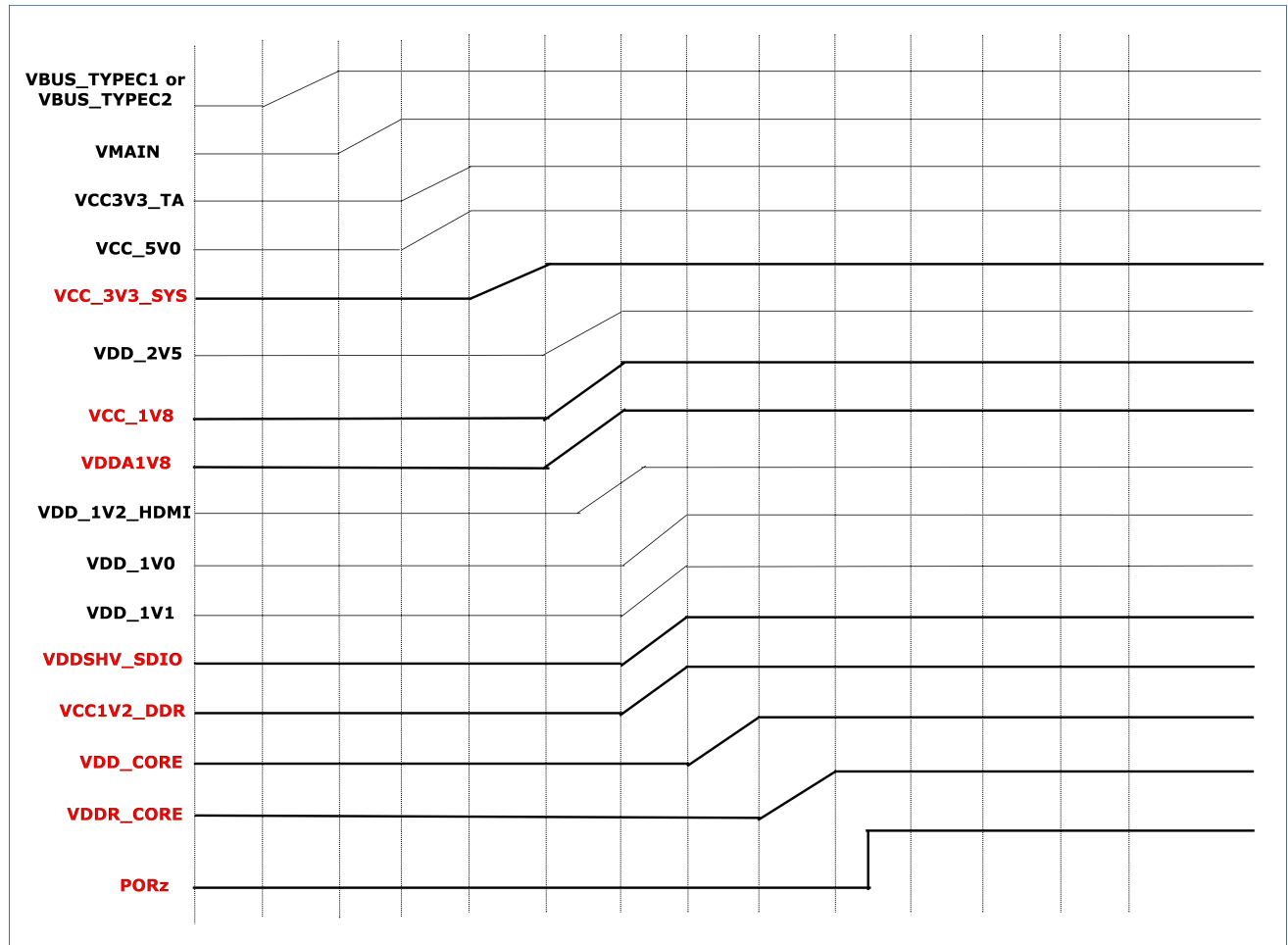


図 2-16. パワーアップ シーケンス

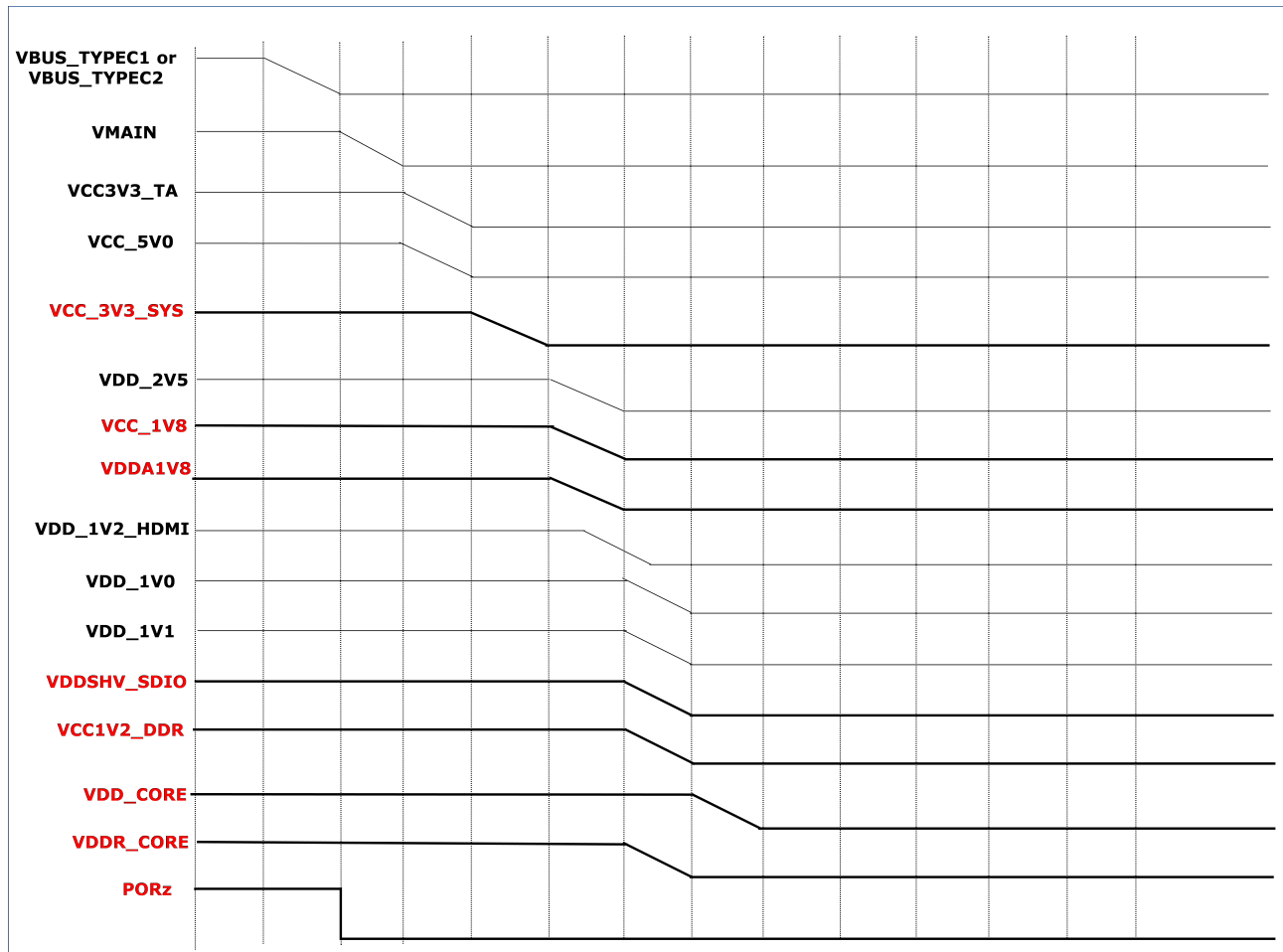


図 2-17. パワーダウンシーケンス

表 2-14. SoC 電源 (続き)

シリアル番号	電源	SoC 電源レール	IO 電源グループ	電圧
3	VDDA_1V8	VDDA_1V8_CSIRX の詳細を示します。	CSI	1.8
		VDDA_1V8_USB	USB	
		VDDA_1V8_MCU		
		VDDA_1V8_OLDI	OLDI	
		VDDA_1V8_OSCO	OSCO	
		VDDA_PLL0、VDDA_PLL1、VDDA_PLL2		
4	VDD_DDR4	VDDS_DDR	DDR0	1.2
		VDDS_DDR_C		
5	VPP_1V8	VPP_1V8		1.8
6	SoC_VDDSHV5_SDIO	VDDSHV5	MMC1	
7	SoC_DVDD1V8	VDDSHV0	総則	1.8
		VDDSHV1	OSPI	
		VDDSHV4	MMC0	
		VDDSHV6	MMC2	
		VMON_1P8_SOC		
8	SoC_DVDD3V3	VDDSHV0	総則	3.3
		VDDSHV2	RGMII	
		VDDSHV3	GPMC	
		VDDSHV_MCU	MCU 全般	
		VMON_3P3_SOC		
		VDDA_3P3_USB	USB	

2.1.6.15.6 電流監視

INA231 電源監視デバイスは、AM62x プロセッサの各種電源レールの電流と電圧を監視するために使用されます。INA231 は、I2C インターフェイス (SoC_I2C1) で AM62x と接続されています。負荷電流測定用に、4 端子の高精度シャント抵抗が実装されています。

表 2-15. INA I2C デバイス アドレス (E1)

ソース	電源ネット	デバイス アドレス	電源レールに接続されているシャントの値
VCC_CORE	VDD_CORE	0x40	10mΩ ± 1%
VCC_0V85	VDDR_CORE	0x41	10mΩ ± 1%
VCC_3V3_SYS	SoC_DVDD3V3	0x4C	10mΩ ± 1%
VCC_1V8	SoC_DVDD1V8	0x4B	10mΩ ± 1%
VDDA1V8	VDDA_1V8	0x4E	10mΩ ± 1%
VCC1V2_DDR	VDD_DDR4	0x46	10mΩ ± 1%

表 2-16. INA I2C デバイス アドレス (E2)

ソース	電源ネット	デバイス アドレス	電源レールに接続されているシャントの値
VCC_CORE	VDD_CORE	0x40	10mΩ ± 1%
VCC_0V85	VDDR_CORE	0x41	10mΩ ± 1%
VCC_3V3_SYS	SoC_DVDD3V3	0x4C	10mΩ ± 1%
VCC_1V8	SoC_DVDD1V8	0x45	10mΩ ± 1%
VDDA1V8	VDDA_1V8	0x4E	10mΩ ± 1%

表 2-16. INA I2C デバイス アドレス (E2) (続き)

ソース	電源ネット	デバイス アドレス	電源レールに接続されているジャントの値
VCC1V2_DDR	VDD_DDR4	0x46	10mΩ ± 1%

2.1.6.16 AM62x SKEVM のユーザー設定 / 構成

2.1.6.16.1 評価基板 DIP スイッチ

AM62x SKEVM には、SoC ブート モードと関連パラメータを設定するための 8 ポジション DIP スイッチが 2 つ搭載されています。

2.1.6.16.2 ブート モード

SK 評価基板のブート モードは、SW1 および SW2 の 2 つのスイッチからなる 2 つのバンクによって、もしくは、テスト オートメーション コネクタに接続された I2C バッファによって定義されます。これにより、AM62x SoC のブート モードは、ユーザー (DIP スイッチ制御) またはテスト オートメーション コネクタによって制御できます。

スイッチ (SW1 と SW2) のすべてのビットには、弱いプルダウン抵抗と強いプルアップ抵抗があります (以下に図示)。オフ設定のときは Low ロジック レベル (「0」) が、オン設定のときは High ロジック レベル (「1」) が提供されます。

注

E1 と将来のリビジョンでブート モードの向きが変更されました。基板のシルクスクリーンに従ってください。

uSD Boot (MMC1) – 25 Mhz PLL – Ethernet (CPSW0) Backup – From Rev E2

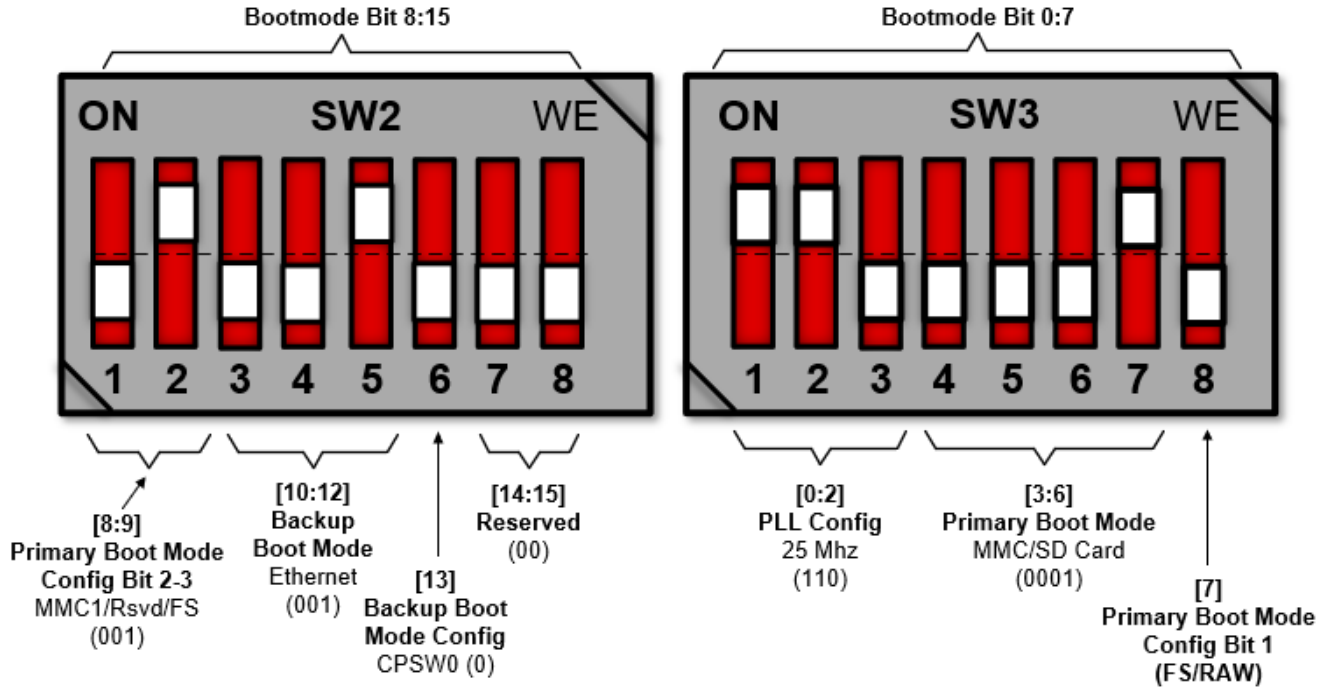
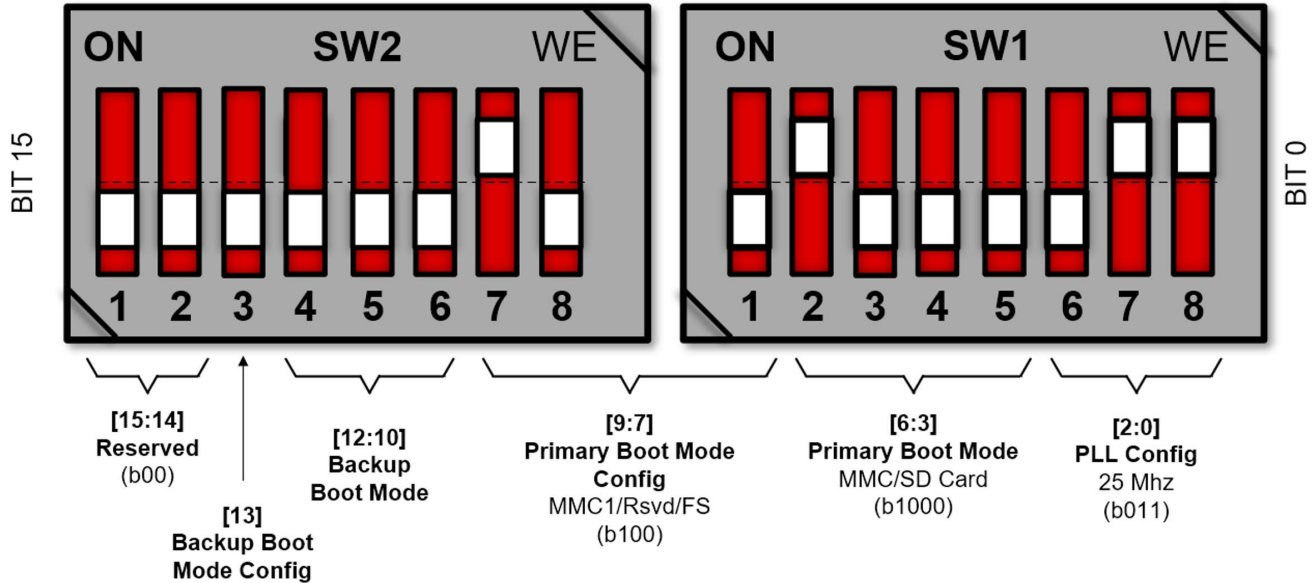


図 2-19. SD ブート (E2 以降) 用のブートモードスイッチの構成

uSD Boot (MMC1) – 25 Mhz PLL



Note: Actual Board Silkscreen May Appear Inverted in this Orientation. Follow Physical Switch Text

図 2-20. SD ブート (E1) 用のブートモードスイッチの構成

SoC のブート モード ピンは、通常動作時には代替機能が関連付けられています。このため、代替ピン機能に対応するために、バッファ IC を使用して分離が可能です。バッファの出力は AM62x のブートモード ピンに接続され、リセット サイクル中にブートモードが必要な場合に出力が有効になります。バッファへの入力、DIP スイッチ回路と、テスト オートメーション回路によって設定された I2C バッファ セットの出力に接続されています。テスト オートメーション回路がブートモードを制御する場合は、すべてのスイッチを手動でオフ位置に設定できます。ブートモード バッファは、SoC の電源がサイクルされてもブートモードが維持されるように、常時オンの電源から電源供給されます。

スイッチ SW1 と SW2 の各ビット [15:0] は、SoC ブート モードの設定に使用されます。

このブート モード機能へのスイッチ マッピングを以下の表に示します。

表 2-17. ブートモードのピン マッピング

ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
予約済み	予約済み	バックアップブートモードの構成	バックアップブートモード			プライマリブートモードの構成			プライマリブートモード				PLL の構成		

- BOOT-MODE [0:2] – PLL の構成のシステム クロック周波数を示します。デフォルトでは、このビットは 25MHz に設定されています。

表 2-18 に、PLL リファレンス クロック選択の詳細を示します。

表 2-18. PLL リファレンス クロックの選択 BOOTMODE [2:0]

ビット 2	ビット 1	ビット 0	PLL REF CLK (MHz)
OFF	OFF	OFF	RSVD
OFF	OFF	ON	RSVD
OFF	ON	OFF	24
OFF	ON	ON	25
ON	OFF	OFF	26

表 2-18. PLL リファレンス クロックの選択 BOOTMODE [2:0] (続き)

ビット 2	ビット 1	ビット 0	PLL REF CLK (MHz)
ON	OFF	ON	RSVD
ON	ON	OFF	RSVD
ON	ON	ON	RSVD

- **BOOT-MODE [3:6]** – このモードにより、POR 後に、ブート元となる周辺機器やメモリなど、要求されたブート モードを選択するためのプライマリ ブート モード設定が行われます。表 2-19 に、プライマリ ブート デバイス選択の詳細を示します。

表 2-19. ブート デバイス選択 BOOT-MODE [6:3]

ビット 6	ビット 5	ビット 4	ビット 3	プライマリ ブート デバイスの選択
OFF	OFF	OFF	OFF	シリアル NAND
OFF	OFF	OFF	ON	OSPI
OFF	OFF	ON	OFF	QSPI
OFF	OFF	ON	ON	SPI
OFF	ON	OFF	OFF	イーサネット RGMII1
OFF	ON	OFF	ON	イーサネット RMII1
OFF	ON	ON	OFF	I2C
OFF	ON	ON	ON	UART
ON	OFF	OFF	OFF	MMC / SD カード
ON	OFF	OFF	ON	eMMC
ON	OFF	ON	OFF	USB0
ON	OFF	ON	ON	GPMC NAND
ON	ON	OFF	OFF	GPMC NOR
ON	ON	OFF	ON	予約済み
ON	ON	ON	OFF	xSPI
ON	ON	ON	ON	ブートなし / デバイス ブート

- **BOOT-MODE [10:12]** – プライマリ ブート デバイスに障害が発生した場合に、バックアップ ブート モード、つまりブート元となるペリフェラル / メモリを選択します。

表 2-20 に、バックアップ ブート モードの選択の詳細を示します。

表 2-20. バックアップ ブート モードの選択 BOOT-MODE [12:10]

ビット 12	ビット 11	ビット 10	バックアップ ブート デバイスの選択
OFF	OFF	OFF	なし (バックアップ モードなし)
OFF	OFF	ON	USB
OFF	ON	OFF	予約済み
OFF	ON	ON	UART
ON	OFF	OFF	イーサネット
ON	OFF	ON	MMC/SD
ON	ON	OFF	SPI
ON	ON	ON	I2C

- **BOOT-MODE [9:7]** – これらのピンはオプション設定を提供し、選択されたプライマリ ブート デバイスと組み合わせて使用されます。

表 2-21 に、プライマリ ブート メディアの構成の詳細を示します。

表 2-21. プライマリ ブート メディアの構成 BOOT-MODE [9:7]

ビット 9	ビット 8	ビット 7	ブート デバイス
予約済み	読み取りモード 2	読み取りモード 1	シリアル NAND
速度	入力クロック	チップ選択	OSPI
予約済み	入力クロック	チップ選択	QSPI
予約済み	モード	チップ選択	SPI
クロック出力	遅延	リンク ステータス	イーサネット RGMII
クロック出力	クロック ソース	予約済み	イーサネット RMII
バスリセット	予約済み	アドレス	I2C
予約済み	予約済み	予約済み	UART
ポート	予約済み	サンプリング周波数 / 生データ	MMC/SD カード
予約済み	予約済み	電圧	eMMC
予約済み	モード	レーン スワップ	USB0
予約済み	予約済み		GPMC NAND
予約済み	予約済み		GPMC NOR
予約済み	予約済み		予約済み
SFDP	読み取りコマンド	モード	xSPI
予約済み	予約済み	なし / デバイス	ブートなし / デバイス ブート

- BOOT-MODE [13] – これらのピンはオプション設定を提供し、バックアップ ブート デバイスと組み合わせて使用されます。スイッチ SW2.6 をオンにすると 1 が設定され、オフにすると 0 が設定されます。各デバイスの TRM を参照してください。
- BOOT-MODE [14:15] – 予約済み。

表 2-22 にバックアップ ブート メディア構成のオプションを示します。

表 2-22. バックアップ ブート メディア構成 BOOT-MODE [13]

ビット 13	ブート デバイス
予約済み	なし
モード	USB
予約済み	予約済み
予約済み	UART
IF	イーサネット
ポート	MMC/SD
予約済み	SPI
予約済み	I2C

2.1.6.16.3 ユーザー テスト LED

AM62x SKEVM 基板には、ユーザー定義による機能用に 2 つの LED が搭載されています。

表 2-23 に、ユーザー テスト LED と、その制御に使用される関連 GPIO を示します。

表 2-23. ユーザー テスト LED

シリアル番号	LED	使用 GPIO	SCH ネット名
1	LD1	GPIO1_49	SOC_GPIO1_49
2	LD11	U70.24(P27)	IO_EXP_TEST_LED

2.1.6.17 拡張ヘッダ

AM62x SKEVM は、3 個の拡張ヘッダー、1 個の 40 ピン ユーザー拡張コネクタ、1 個の 20 ピン PRU ヘッダー、1 個の 28 ピン MCU ヘッダーを搭載しています。

2.1.6.17.1 PRU コネクタ

AM62x SKEVM は 20 ピン PRU ヘッダーを搭載しており、PRG0 インターフェイスに低速で接続できます。

PRG0 ポート (PRG0_PRU0) からの PRU_ICSSG 信号は、10x2 規格 0.1 インチ (2.54mm) 間隔のレセプタクル コネクタ (メーカー型番 PREC010DAAN-RC) に接続されています。コネクタには PR0_PRU0_GPO [0: 7]、SoC_I2C0、+3.3V PWR、グランドリファレンスが備わっています。PRU ヘッダーからの INTn 信号は、CPSW PHY 割り込みと一緒に配線され、SoC の EXTINTn ピンに接続されています。

3.3V 電源の電流は 500mA に制限されます。これは、ロードスイッチ TPS22902YFPR を使用して実現しています。ロードスイッチのイネーブルは、IO エクスパンダによって制御されています。PRU コネクタから配線されている信号を、表 2-24 に示します

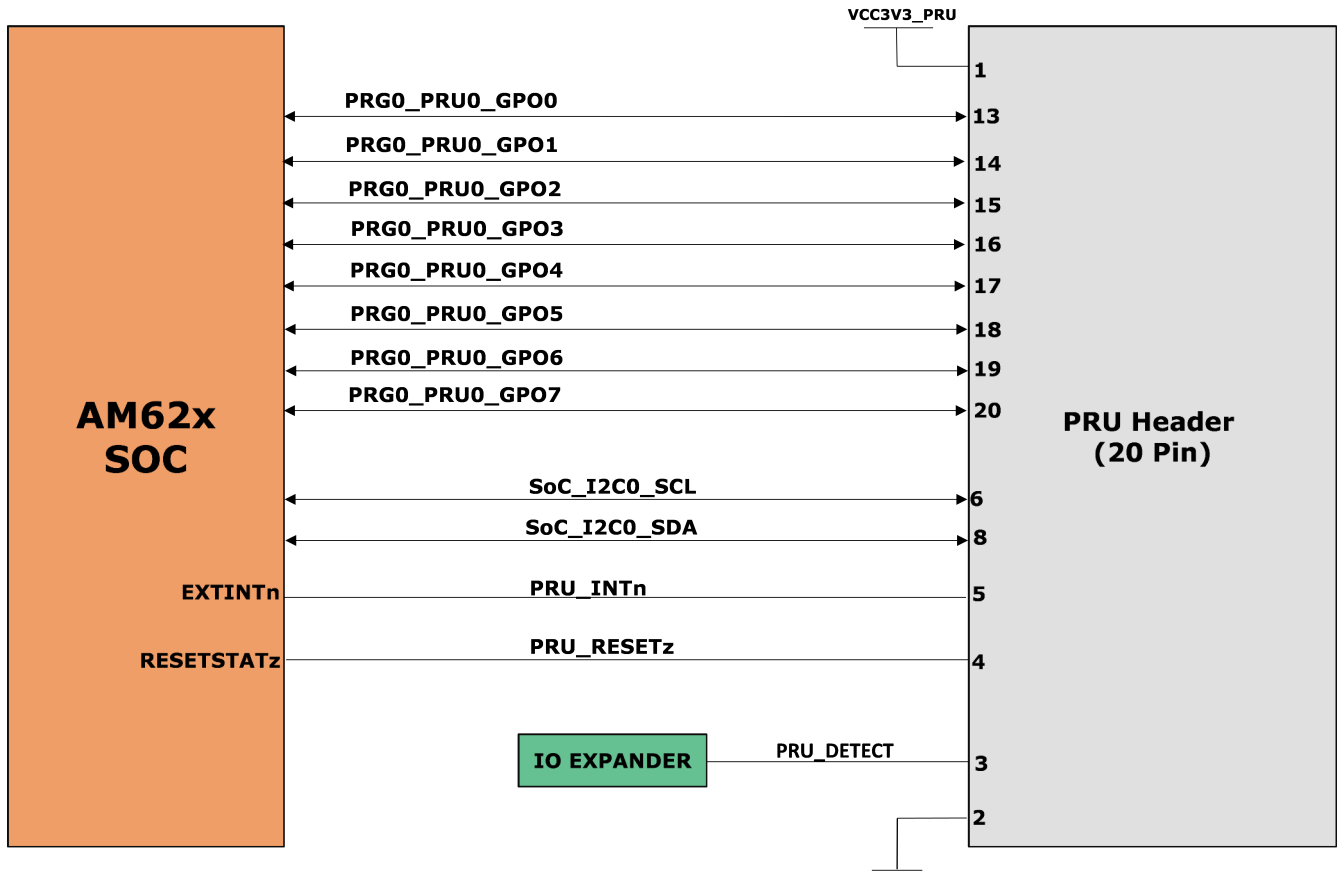


表 2-24. PRU ヘッダー (J10) のピン配置

ピン番号	SOC ボール番号	ネット名	ピン多重化信号
1	-	VCC3V3_PRU	
2	-	DGND	
3	-	PRU_DETECT	
4	F22	PRU_RESETz	RESETSTATz
5	D16	PRU_INTn	EXTINTn/ GPIO1_31
6	B16	SoC_I2C0_SCL	I2C0_SCL/ PR0_IEP0_EDIO_DATA_IN_OUT30/ SYNC0_OUT/ OBSCLK0/ UART1_DCDn/ EQEP2_A_EHRPWM_SOCA/ GPIO1_26/ ECAP1_IN_APWM_OUT / SPI2_CS0
7	-	NC	
8	A16	SoC_I2C0_SDA	I2C0_SDA/ PR0_IEP0_EDIO_DATA_IN_OUT31/ SPI2_CS2/ TIMER_IO5/ UART1_DSRn/ EQEP2_B/ EHRPWM_SOCA/ GPIO1_27/ ECAP2_IN_APWM_OUT
9	-	NC	
10	-	NC	

表 2-24. PRU ヘッダー (J10) のピン配置 (続き)

ピン番号。	SOC ボール番号	ネット名	ピン多重化信号
11	-	NC	
12	-	NC	
13	M25	PR0_PRU0_GPO0	GPMC0_AD0/ PR0_PRU1_GPO8/ PR0_PRU1_GPI8/ MCASP2_AXR4/ PR0_PRU0_GPO0/ PR0_PRU0_GPI0/ TRC_CLK/ GPIO0_15/ DDR0_IO_PLL_TESTOUT0P/ DDR0_IO_PLL_TESTOUT1P/ GPIO1_112/ LED_DIO0
14	N23	PR0_PRU0_GPO1	GPMC0_AD1/ PR0_PRU1_GPO9/ PR0_PRU1_GPI9/ MCASP2_AXR5/ PR0_PRU0_GPO1/ PR0_PRU0_GPI1/ TRC_CTL/ GPIO0_16/ DDR0_IO_PLL_REFCLK_TEST0P/ DDR0_IO_PLL_REFCLK_TEST1P/ GPIO1_113/ LED_DIO1
15	N24	PR0_PRU0_GPO2	GPMC0_AD2/ PR0_PRU1_GPO10/ PR0_PRU1_GPI10/ MCASP2_AXR6/ PR0_PRU0_GPO2/ PR0_PRU0_GPI2/ TRC_DATA0/ GPIO0_17
16	N25	PR0_PRU0_GPO3	GPMC0_AD3/PR0_PRU1_GPO11/PR0_PRU1_GPI11/MCASP2_AXR7/PR0_PRU0_GPO3/ PR0_PRU0_GPI3/TRC_DATA1/GPIO0_18
17	P24	PR0_PRU0_GPO4	GPMC0_AD4/PR0_PRU1_GPO12/PR0_PRU1_GPI12/MCASP2_AXR8/PR0_PRU0_GPO4/ PR0_PRU0_GPI4/TRC_DATA2/GPIO0_19
18	P22	PR0_PRU0_GPO5	GPMC0_AD5/PR0_PRU1_GPO13/PR0_PRU1_GPI13/MCASP2_AXR9/PR0_PRU0_GPO5/ PR0_PRU0_GPI5/TRC_DATA3/GPIO0_20
19	P21	PR0_PRU0_GPO6	GPMC0_AD6/PR0_PRU1_GPO14/PR0_PRU1_GPI14/MCASP2_AXR10/PR0_PRU0_GPO6/ PR0_PRU0_GPI6/TRC_DATA4/GPIO0_21
20	R23	PR0_PRU0_GPO7	GPMC0_AD7/PR0_PRU1_GPO15/PR0_PRU1_GPI15/MCASP2_AXR11/PR0_PRU0_GPO7/ PR0_PRU0_GPI7/TRC_DATA5/GPIO0_22

2.1.6.17.2 ユーザー拡張コネクタ

AM62x SKEVM は、40 ピン ユーザー拡張コネクタ (メーカー型番 PEC20DAAN) を使用した RPi 拡張インターフェイスをサポートしています。これらの基板を接続できるようにするには、4 つの取り付け穴をコネクタに合わせて取り付ける必要があります。

40 ピンのユーザー拡張コネクタには、以下のインターフェイスおよび IO が含まれるものとします。

- 2x SPI: 2 CS 付き SPI0 および 3 CS 付き SPI2
- 2x I2C: SoC_I2C0、SoC_I2C2
- 1 x UART: UART5
- 2x PWM: EHRPWM0_A、EHRPWM1_B
- 1 x CLK: CLKOUT0
- 9x GPIO: MAIN ドメインからの GPIO
- 5V および 3.3V 電源 (電流制限: 155mA と 500mA)

5V および 3.3V の各電源は、それぞれ 155mA および 500mA に電流制限されます。これは、2 個の個別ロードスイッチ TPS22902YFPR および TPS22946YZPR を使用して実現しています。ロードスイッチのイネーブルは、I2C ベースの GPIO ポート エクスパンダを介して駆動されます。

ユーザー拡張コネクタからルーティングされる信号を、表 2-25 に示します。

表 2-25. 40 ピン ユーザー拡張コネクタ

ピン番号。	SoC ボール	ネット名	ピン多重化信号
1	-	VCC3V3_EXP	
2	-	VCC5V0_EXP	
3	K24	SoC_I2C2_SDA	GPMC0_CSN3/ GPMC0_A20/ UART4_TXD/ MCASP1_AXR5/ TRC_DATA18/ GPIO0_44/ MCASP1_ACLKR
4	-	VCC5V0_EXP	
5	K22	SoC_I2C2_SCL	GPMC0_CSN2/ MCASP1_AXR4/ UART4_RXD/ PR0_PRU0_GPO19/ PR0_PRU0_GPI19/ TRC_DATA17/ GPIO0_43/ MCASP1_AFSR
6	-	DGND	

表 2-25. 40 ピン ユーザー拡張コネクタ (続き)

ピン番号。	SoC ボール	ネット名	ピン多重化信号
7	A18	EXP_CLKOUT0	EXT_REFCLK1/ SYNC1_OUT/ SPI2_CS3/ SYSCLKOUT0/ TIMER_IO4/ CLKOUT0/ CP_GEMAC_CPTS0_RFT_CLK/ GPIO1_30/ ECAP0_IN_APWM_OUT
8	E15	EXP_UART5_TXD	UART5_TXD/ TIMER_IO3/ SYNC3_OUT/ UART1_RIn/ EQEP2_S/ PR0_UART0_TXD/ GPIO1_25/ MCASP2_AXR1/ EHRPWM_TZn_IN4
9	-	DGND	
10	C15	EXP_UART5_RXD	UART5_RXD/ TIMER_IO2/ SYNC2_OUT/ UART1_DTRn/ EQEP2_I/ PR0_UART0_RXD/ GPIO1_24/ MCASP2_AXR0/ EHRPWM_TZn_IN3
11	B20	EXP_SPI2_CS1	MCASP0_ACLKX/ SPI2_CS1/ ECAP2_IN_APWM_OUT/ GPIO1_11/ EQEP1_A
12	E19	EXP_SPI2_CS0/EHRPWM0_A	MCASP0_AFSR/ SPI2_CS0/ UART1_RXD/ EHRPWM0_A/ GPIO1_13/ EQEP1_S
13	L21	EXP_GPIO0_42	GPMC0_CSn1/ PR0_PRU1_GPO16/ PR0_PRU1_GPI16/ MCASP2_AXR15/ PR0_PRU0_GPO18/ PR0_PRU0_GPI18/ TRC_DATA16/ GPIO0_42
14	-	DGND	
15	L23	EXP_GPIO0_32	GPMC0_ADVn_ALE/ MCASP1_AXR2/ PR0_PRU0_GPO9/ PR0_PRU0_GPI9/ TRC_DATA7/ GPIO0_32
16	V25	EXP_GPIO0_38	GPMC0_WAIT1/ VOUT0_EXTPLCKIN/ GPMC0_A21/ UART6_RXD/ GPIO0_38/ EQEP2_I
17	-	VCC3V3_EXP	
18	K25	EXP_GPIO0_39	GPMC0_WPn/ AUDIO_EXT_REFCLK1/ GPMC0_A22/ UART6_TXD/ PR0_PRU0_GPO15/ PR0_PRU0_GPI15/ TRC_DATA13/ GPIO0_39
19	B13	EXP_SPI0_D0	SPI0_D0/ CP_GEMAC_CPTS0_HW1TSPUSH/ EHRPWM1_B/ GPIO1_18
20	-	DGND	
21	B14	EXP_SPI0_D1	SPI0_D1/ CP_GEMAC_CPTS0_HW2TSPUSH/ HRPWM_TZn_IN0/ GPIO1_19
22	E24	EXP_GPIO0_14	OSPI0_CSn3/ OSPI0_RESET_OUT0/ OSPI0_ECC_FAIL/ MCASP1_ACLKR/ MCASP1_AXR3/ UART5_TXD/ GPIO0_14
23	A14	EXP_SPI0_CLK	SPI0_CLK/ CP_GEMAC_CPTS0_TS_SYNC/ EHRPWM1_A/ GPIO1_17
24	A13	EXP_SPI0_CS0	SPI0_CS0/ EHRPWM0_A/ PR0_ECAP0_SYNC_IN/ GPIO1_15
25	-	DGND	
26	C13	EXP_SPI0_CS1	SPI0_CS1/ CP_GEMAC_CPTS0_TS_COMP/ EHRPWM0_B/ ECAP0_IN_APWM_OUT/ GPIO1_16/ EHRPWM_TZn_IN5
27	A16	SoC_I2C0_SDA	I2C0_SDA/ PR0_IEP0_EDIO_DATA_IN_OUT31/ SPI2_CS2/ TIMER_IO5/ UART1_DSrn/ EQEP2_B/ EHRPWM_SOCA/ GPIO1_27/ ECAP2_IN_APWM_OUT
28	B16	SoC_I2C0_SCL	I2C0_SCL/ PR0_IEP0_EDIO_DATA_IN_OUT30/ SYNC0_OUT/ OBSCLK0/ UART1_DCDn/ EQEP2_A EHRPWM_SOCA/ GPIO1_26/ ECAP1_IN_APWM_OUT / SPI2_CS0
29	N20	EXP_GPIO0_36	GPMC0_BE1n/ MCASP2_AXR12/ PR0_PRU0_GPO13/ PR0_PRU0_GPI13/ TRC_DATA11/ GPIO0_36
30	-	DGND	

表 2-25. 40 ピン ユーザー拡張コネクタ (続き)

ピン番号。	SoC ボール	ネット名	ピン多重化信号
31	L24	EXP_GPIO0_33	GPMC0_OEn_REn/ MCASP1_AXR1/ PR0_PRU0_GPO10/ PR0_PRU0_GPI10/ TRC_DATA8/ GPIO0_33
32	M22	EXP_GPIO0_40/ PR0_ECAP0_IN_APWM_OUT	GPMC0_DIR/ PR0_ECAP0_IN_APWM_OUT/ MCASP2_AXR13/ PR0_PRU0_GPO16/ PR0_PRU0_GPI16/ TRC_DATA14/ GPIO0_40/ EQEP2_S
33	E18	EXP_EHRPWM1_B	MCASP0_AXR0/ PR0_ECAP0_IN_APWM_OUT/ AUDIO_EXT_REFCLK0/ PR0_UART0_TXD/ EHRPWM1_B/ GPIO1_10/ EQEP0_I
34	-	DGND	
35	A19	EXP_SPI2_D1/ ECAP2_IN_APWM_OUT	MCASP0_AXR2/ SPI2_D1/ UART1_RTSn/ UART6_TXD/ PR0_IEP0_EDIO_DATA_IN_OUT29/ ECAP2_IN_APWM_OUT/ PR0_UART0_TXD/ GPIO1_8/ EQEP0_B
36	B18	EXP_SPI2_CS2	MCASP0_AXR1/ SPI2_CS2/ ECAP1_IN_APWM_OUT/ PR0_UART0_RXD/ EHRPWM1_A/ GPIO1_9/ EQEP0_S
37	M21	EXP_GPIO0_41	GPMC0_CSn0/ MCASP2_AXR14/ PR0_PRU0_GPO17/ PR0_PRU0_GPI17/ TRC_DATA15/ GPIO0_41
38	B19	EXP_SPI2_D0	MCASP0_AXR3/ SPI2_D0/ UART1_CTSn/ UART6_RXD/ PR0_IEP0_EDIO_DATA_IN_OUT28/ ECAP1_IN_APWM_OUT/ PR0_UART0_RXDGPIO1_7 EQEP0_A
39	-	EXP_HAT_DETECT	
40	A20	EXP_SPI2_CLK	MCASP0_ACLKR/ SPI2_CLK/ UART1_TXD/ EHRPWM0_B/ GPIO1_14/ EQEP1_I

2.1.6.17.3 MCU コネクタ

AM62x SKEVM は、14x2 の標準的な 0.1 インチ (2.54mm) 間隔の MCU コネクタを搭載しており、このコネクタには SoC の MCU ドメインに接続された信号が含まれます。13 個の信号には、MCU_I2C0、MCU_UART0 (フロー制御付き)、MCU_SPI0、および MCU_MCAN0 信号が含まれ、マイコン ヘッダーに接続されています。ヘッダーで提供される追加の制御信号には、CONN_MCU_RESETz、CONN_MCU_PORz、MCU_RESETSTATz、MCU_SAFETY_ERRORn、3.3V IO、および GND が含まれます。AM62x SoC からの MCU_UART0 信号は、マルチプレクサ (メーカー型番: SN74CB3Q3257PWR) 経由でマイコン ヘッダーと FT4232 ブリッジの両方に接続されています。マイコン ヘッダーには、ボード ID メモリ インターフェイスは含まれていません。許容される電流制限は、3.3V レールでは 100mA です。

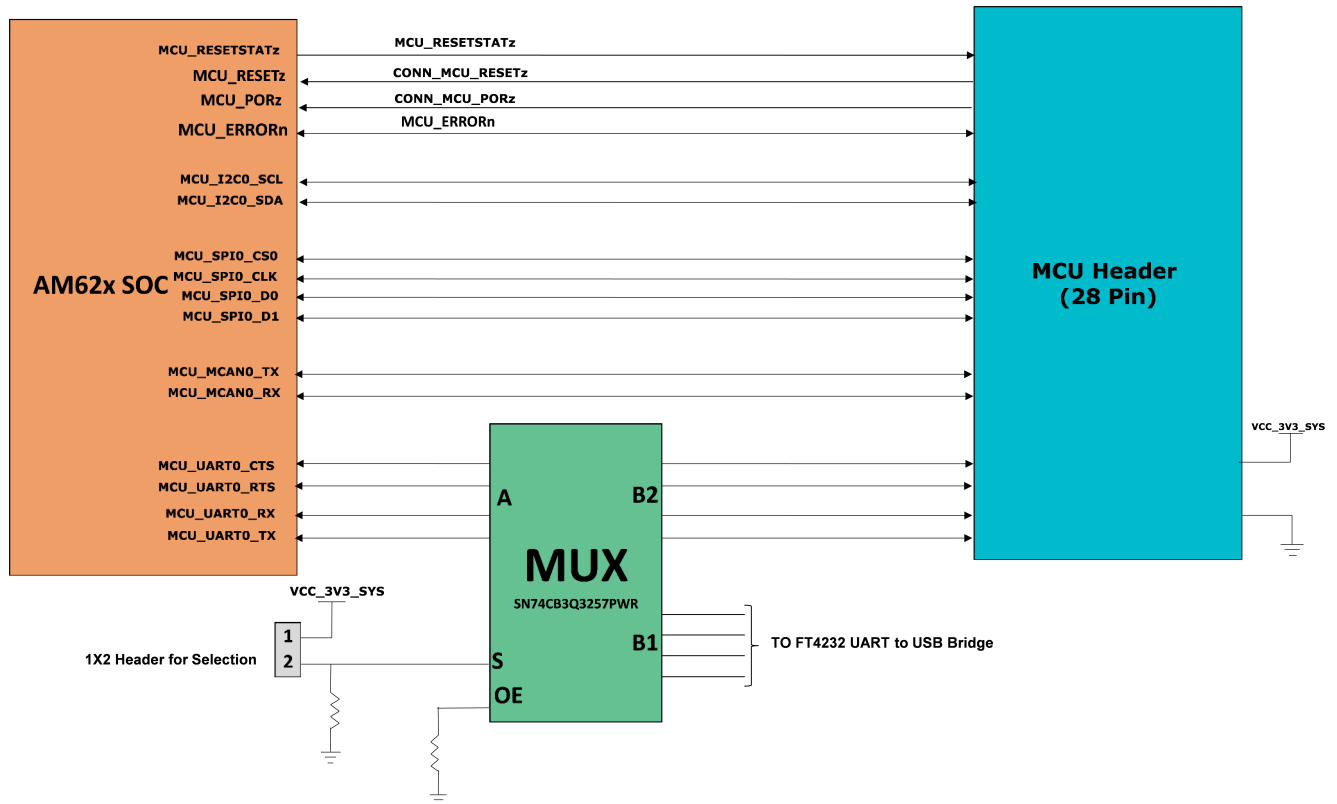


表 2-26. ピン MCU コネクタ (J9)

ピン番号。	SOC ボール番号	ネット名	ピン多重化信号
1	-	VCC_3V3_SYS	
2	-	DGND	
3	-	NC	
4	C9	MCU_SPI0_D1	MCU_SPI0_D1/MCU_GPIO0_4
5	-	NC	
6	D9	MCU_SPI0_D0	MCU_SPI0_D0/MCU_GPIO0_3
7	-	DGND	
8	B8	MCU_SPI0_CS1	MCU_SPI0_CS1/ MCU_OBSCLK0/ MCU_SYSCCLKOUT0/ MCU_EXT_REFCLK0/ MCU_TIMER_IO1/ MCU_GPIO0_1
9	-	NC	
10	E5	MCU_GPIO0_15	MCU_MCAN1_TX/ MCU_TIMER_IO2/ MCU_SPI1_CS1/ MCU_EXT_REFCLK0/ MCU_GPIO0_15
11	D4	MCU_GPIO0_16	MCU_MCAN1_RX/ MCU_TIMER_IO3/ MCU_SPI0_CS2/ MCU_SPI1_CS2/ MCU_SPI1_CLK/ MCU_GPIO0_16
12	A6	MCU_UART0_CTS_CONN	MCU_UART0_CTSn/ MCU_TIMER_IO0/ MCU_SPI1_D0/MCU_GPIO0_7
13	B5	MCU_UART0_RXD_CONN	MCU_UART0_RXD/ MCU_GPIO0_5

表 2-26. ピン MCU コネクタ (J9) (続き)

ピン番号。	SOC ボール番号	ネット名	ピン多重化信号
14	-	NC	
15	-	DGND	
16	D6	MCU_MCAN0_TX	MCU_MCAN0_TX/ WKUP_TIMER_IO0/ MCU_SPI0_CS3/ MCU_GPIO0_13
17	B6	MCU_UART0_RTS_CONN	MCU_UART0_RTSn/ MCU_TIMER_IO1/ MCU_SPI1_D1/MCU_GPIO0_8
18	A7	MCU_SPI0_CLK	MCU_SPI0_CLK/MCU_GPIO0_2
19	A5	MCU_UART0_TXD_CONN	MCU_UART0_TXD/ MCU_GPIO0_6
20	-	DGND	
21	D10	MCU_I2C0_SDA	MCU_I2C0_SDA/ MCU_GPIO0_18
22	B3	MCU_MCAN0_RX	MCU_MCAN0_RX/ MCU_TIMER_IO0/ MCU_SPI1_CS3/ MCU_GPIO0_14
23	B12	MCU_RESETSTATz	MCU_RESETSTATz/ MCU_GPIO0_21
24	A8	MCU_I2C0_SCL	MCU_I2C0_SCL/ MCU_GPIO0_17
25	E11	CONN_MCU_RESETz	MCU_RESETz
26	D1	MCU_SAFETY_ERRORz_3V3	MCU_ERRORN
27	-	DGND	
28	D2	CONN_MCU_PORz	MCU_PORz

2.1.6.18 割り込み

AM62x SKEVM は、プロセッサにリセット入力とユーザー割り込みを提供する 2 つの割り込みをサポートしています。

割り込みは基板上面にあるプッシュ ボタンで、表 2-27 に示します

表 2-27. 評価基板のプッシュ ボタン

シリアル 番号	プッシュ ボタン	信号	機能
1	SW3	SoC_WARM_RESETZ	メインドメイン ウォームリセット入力
2	SW4	GPIO_MCU	MCU_GPIO0_15 に割り込みを生成

2.1.6.19 I2C アドレス マッピング

SK 評価基板では、3 つの I2C インターフェイスが使用されています。

- SoC_I2C0 インターフェイス: SoC I2C [0] は、基板 ID EEPROM、ユーザー拡張コネクタ ヘッダー、USB PD コントローラ、PRU ヘッダー、OLDI ディスプレイ タッチ インターフェイスに接続されています。
- SoC I2C (1) インターフェイス: SoC I2C [1] は、テスト オートメーション ヘッダー、電流モニタ、温度センサ、オーディオコーデック、HDMI トランスミッタ、CSI カメラ コネクタ、GPIO ポート エクスパンダに接続されています。
- SoC I2C (2) インターフェイス: SoC の I2C [2] は、ユーザー拡張コネクタ ヘッダーに接続されています
- MCU I2C (0) インターフェイス: MCU I2C [0] は MCU ヘッダーに接続されています。
- WKUP I2C (0) インターフェイス: SoC の I2C [0] は LED ドライバに接続されています

下の図は I2C ツリーを示しており、表は AM62x SKEVM のすべての I2C アドレス マッピングの詳細を示しています。

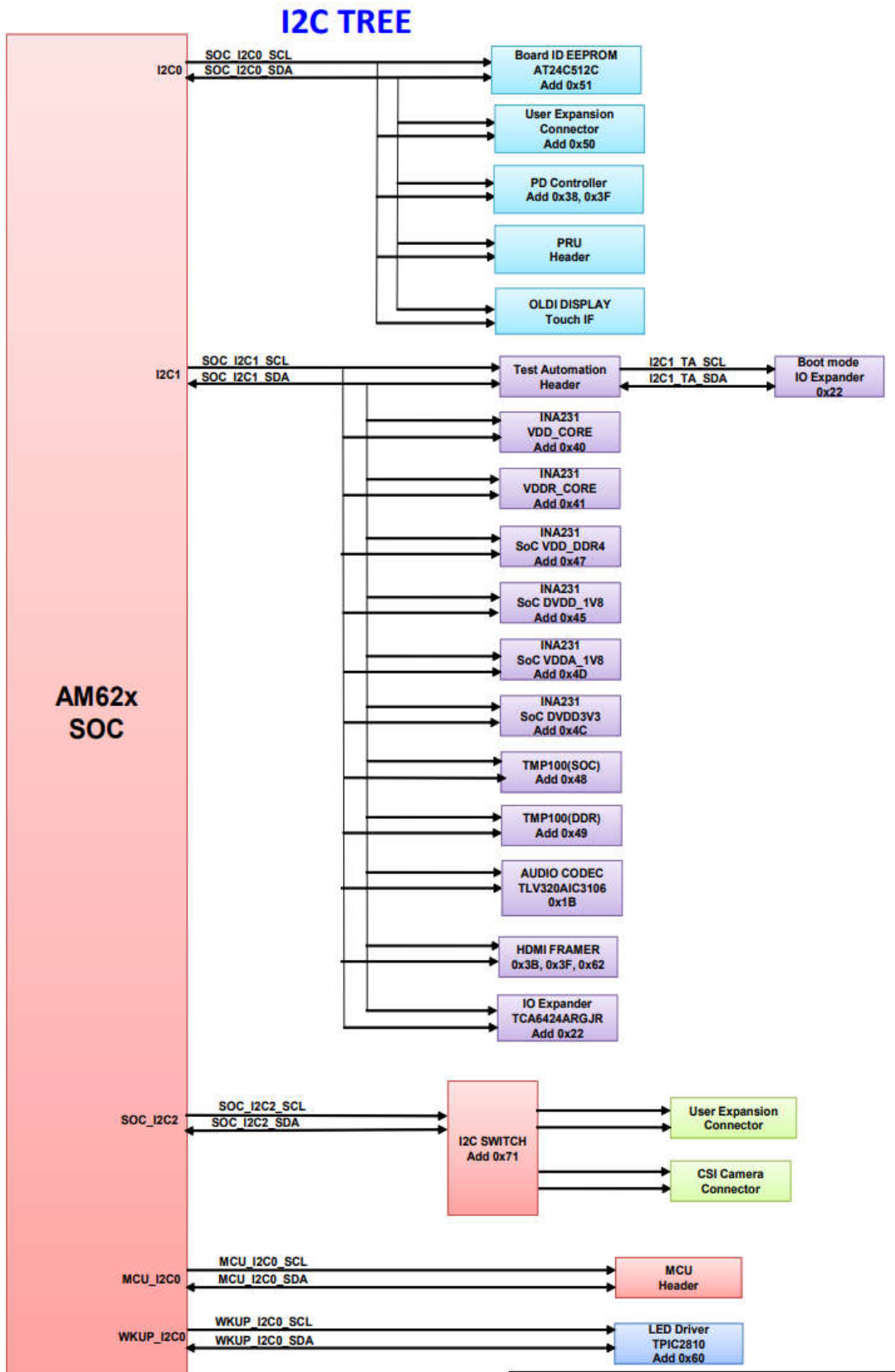


表 2-28. I2C マッピング表 (SK-AM62 E3 および SK-AM62-P1 バリエーション)

I2C ポート	デバイス / 機能	型番	I2C アドレス
SoC_I2C0	基板 ID EEPROM	AT24C512C-MAHM-T	0x51

表 2-28. I2C マッピング表 (SK-AM62 E3 および SK-AM62-P1 バリエーション) (続き)

I2C ポート	デバイス / 機能	型番	I2C アドレス
SoC_I2C0	ユーザー拡張コネクタ	<コネクタ インターフェイス>	
SoC_I2C0	USB PD コントローラ	TPS65988DHRSHR	0x38, 0x3F
SoC_I2C0	PRU ヘッダー	<コネクタ インターフェイス>	
SoC_I2C0	OLDI ディスプレイタッチ インターフェイス		
SoC_I2C1	テスト オートメーション ヘッダー	<コネクタ インターフェイス>	
SoC_I2C1	電流モニタ	INA231AIYFDR	0x40, 0x41, 0x47, 0x45, 0x4D, 0x4C
SoC_I2C1	温度センサ	TMP100NA/3K	0x48, 0x49
SoC_I2C1	オーディオ コーデック	TLV320AIC3106IRGZT	0x1B
SoC_I2C1	HDMI トランスミッタ	SiI9022ACNU	0x3B, 0x3F, 0x62
SoC_I2C1	GPIO ポート エクスパンダ	TCA6424ARGJR	0x22
SoC_I2C2	CSI カメラ コネクタ		
SoC_I2C2	ユーザー拡張コネクタ	<コネクタ インターフェイス>	
MCU_I2C0	MCU ヘッダー	<コネクタ インターフェイス>	
WKUP_I2C0	LED ドライバ	TPIC2810D	0x60
その他			
BOOTMODE_I2C	I2C ブートモード バッファ	TCA6424ARGJR	0x22
BOOTMODE_I2C	テスト オートメーション ヘッダー	<コネクタ インターフェイス>	

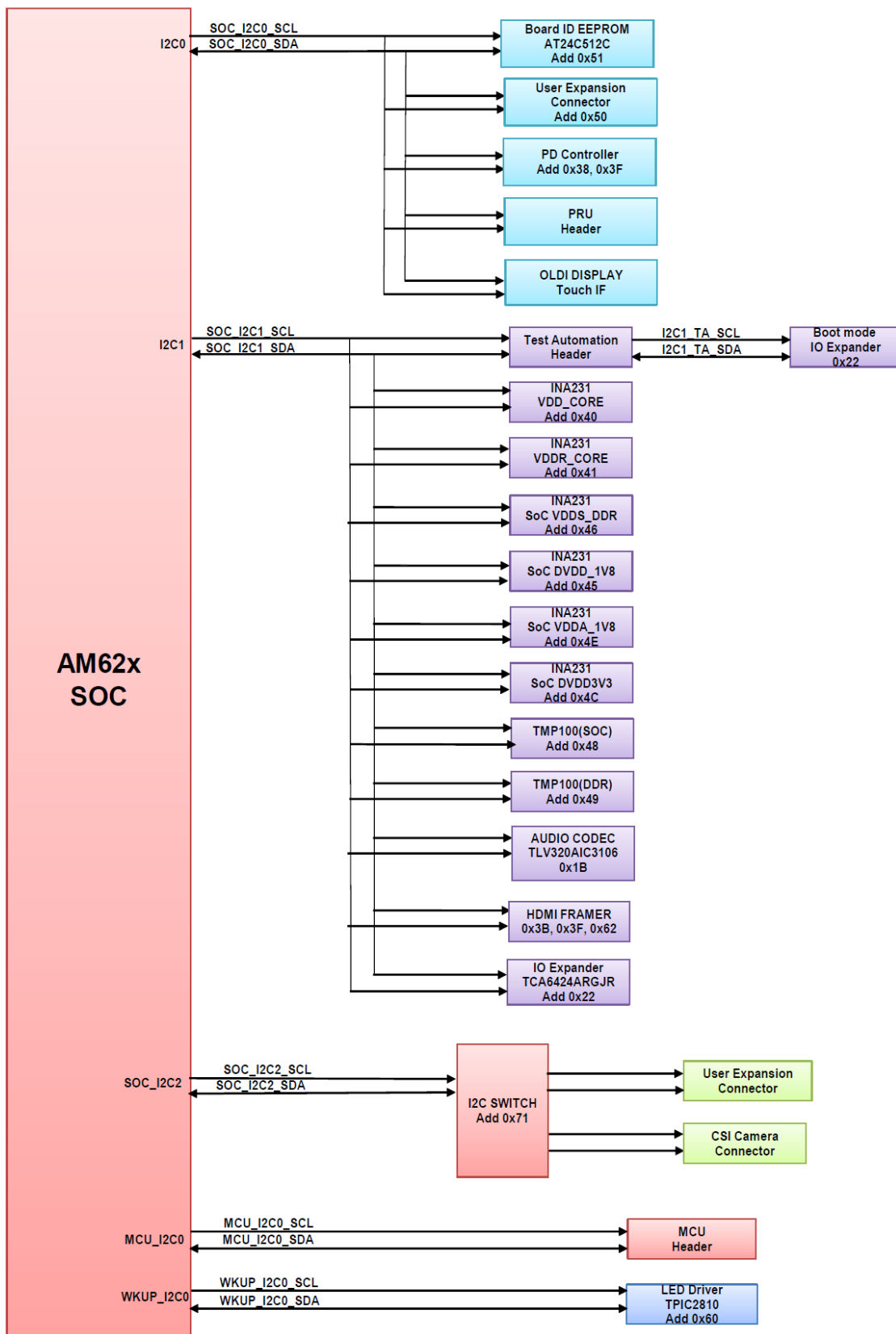


表 2-29. I2C マッピング表 (SK-AM62 E2)

I2C ポート	デバイス / 機能	型番	I2C アドレス
SoC_I2C0	基板 ID EEPROM	AT24C512C-MAHM-T	0x51

表 2-29. I2C マッピング表 (SK-AM62 E2) (続き)

I2C ポート	デバイス / 機能	型番	I2C アドレス
SoC_I2C0	ユーザー拡張コネクタ	<コネクタ インターフェイス>	
SoC_I2C0	USB PD コントローラ	TPS65988DHRSHR	0x38, 0x3F
SoC_I2C0	PRU ヘッダー	<コネクタ インターフェイス>	
SoC_I2C0	OLDI ディスプレイタッチ インターフェイス		
SoC_I2C1	テスト オートメーション ヘッダー	<コネクタ インターフェイス>	
SoC_I2C1	電流モニタ	INA231AIYFDR	0x40, 0x41, 0x46, 0x45, 0x4E, 0x4C
SoC_I2C1	温度センサ	TMP100NA/3K	0x48, 0x49
SoC_I2C1	オーディオ コードブック	TLV320AIC3106IRGZT	0x1B
SoC_I2C1	HDMI トランスミッタ	SiI9022ACNU	0x3B, 0x3F, 0x62
SoC_I2C1	GPIO ポート エクスパンダ	TCA6424ARGJR	0x22
SoC_I2C2	CSI カメラ コネクタ		
SoC_I2C2	ユーザー拡張コネクタ	<コネクタ インターフェイス>	
MCU_I2C0	MCU ヘッダー	<コネクタ インターフェイス>	
WKUP_I2C0	LED ドライバ	TPIC2810D	0x60
その他			
BOOTMODE_I2C	I2C ブートモード バッファ	TCA6424ARGJR	0x22
BOOTMODE_I2C	テスト オートメーション ヘッダー	<コネクタ インターフェイス>	

3 追加情報

3.1 評価基板のリビジョンおよびアセンブリ バリエーション

各 AM62x SK 評価基板の PCB 設計リビジョンおよびアセンブリのバリエーションを以下の表に一覧で示します。各 PCB リビジョンは、PCB 上にシルクスクリーンで示されています。各アセンブリ バリエーションは、追加のステッカー ラベルに示されています。

表 3-1. SK 評価基板の PCB 設計リビジョンおよびアセンブリ バリエーション

OPN	PCB のリビジョン	アセンブリ バリエーション	リビジョンとアセンブリ バリエーションの説明
SK-AM62	PROC114E1	該当なし (単一バリエーションのみ)	AM62x SK 評価基板の最初のプロトタイプ、初期リリース リビジョン。ディスクリット電源設計を使用して Sitara™ AM62x MPU を実装
SK-AM62	PROC114E2	該当なし	AM62x SK 評価基板の 2 番目のプロトタイプ、初期リリース リビジョン。HDMI 経由の 24 ビット RGB 出力の有効化に重点を置いた多数の変更とバグ修正が実施されています。
SK-AM62	PROC114E3	該当なし	AM62x SK 評価基板の 3 番目のプロトタイプ、初期リリース リビジョン。LVDS およびマルチメディア パリフェラルに関連する多数の変更を実装。
SK-AM62B	PROC114A	002	AM62x SK 評価基板ディスクリット バージョンの量産リリース。SoC の HS-FS バージョンを実装。
SK-AM62-P1	PROC142E1	該当なし	AM62x SK 評価基板の最初のプロトタイプ、初期リリース バージョン。TPS65219 PMIC を実装。
SK-AM62B-P1	PROC142A	002	AM62x SK 評価基板 PMIC バージョンの量産リリース。SoC の HS-FS バージョンを実装。
SK-AM62B-P1	PROC142B	002	AM62x SK 評価基板 PMIC バージョンの量産リリース。いくつかの設計と既知の問題を更新。

3.2 既知の問題と修正

このセクションでは、各 EVM リビジョンにおける現時点での既知の問題と、それに対する適用可能な回避方法について説明します。パッチが適用された問題には、EVM アセンブリに変更ラベルが付けられています。

表 3-2. AM62x SK 評価基板の既知の問題と変更

問題の番号	問題のタイトル	問題の説明	影響を受けるバリエーション
1	HDMI、DSS の色が正しくない	E1 基板上の HDMI トランスミッタの色が正しくありません。	E1
2	J9 および J10 ヘッダの位置	E1 上の MCU と PRU の各ヘッダの位置が誤っています	E1
3	E1 で USB ブートが対象外	E1 基板では USB ブートが使用できません	E1
4	OLDI コネクタの向きとピン配置	OLDI コネクタのピン配置が変更されました。また、E1 / E2 の基板ボードにはアダプタが必要です。	E1、E2
5	E2 で Bluetooth が対象外	E2 基板で Bluetooth が動作しません。	E1、E2
6	イーサネット PHY CLK スキューのデフォルトストラップ	デフォルトの PHY Tx CLK スキューは 0ns に設定する必要があります	E1、E2
7	TEST_POWERDOWN 信号が短絡	VMain からの逆流を回避するために、抵抗を変更する必要があります	E1、E2
8	SD カード検出信号	MMC1_SDCD ラインは、特定の条件下で SoC にスプリアス割り込みを発生させる可能性があります。	E1、E2
9	PD コントローラ I2C2 IRQ のピン配置なし	PD コントローラからの I2C_IRQ 信号がピンに割り当てられていないため、USB ホストおよびデバイス モードの動作に問題が発生します。	E1、E2

表 3-2. AM62x SK 評価基板の既知の問題と変更 (続き)

問題の番号	問題のタイトル	問題の説明	影響を受けるバリエーション
10	INA 電流モニタ アドレスの変更	INA アドレスラインがスプリアス アドレス変更に変更されました。	E1, E2
11	テスト オートメーション I2C バッファの変更	バッファ IC タイプの問題により、テスト オートメーション インターフェイスから I2C1 バスにアクセスする際に問題が発生していました。	E1, E2, E3
12	ODLI ディスプレイのタッチ不具合	評価基板での電源投入後、OLDI ディスプレイタッチ機能が動作しない	E3, Rev A

3.2.1 問題 1 - E1 で HDMI/DSS の色表示が正しくない

該当する評価基板のリビジョン: E1

問題の説明: AM62x DSS 出力の YUV 422 を SIL9022A HDMI トランスミッタに正しく配線されていないため、色が E1 基板で黄色に表示されます。

修正方法: AM62x SK 評価基板 E2 以降では、フル 24 ビット RGB 888 カラー出力に移行しており、その結果、カラースペースも拡張されています。

3.2.2 問題 2 - E1 上の J9 と J10 のヘッダー位置

該当する評価基板のリビジョン: E1

問題の説明: AM62x SK 評価基板のリビジョン E1 では、J9 と J10 のそれぞれに 1 組のピンが誤って取り付けられています。つまり、MCU と PRU の両方に接続するその他の Sitara SK 評価基板用に設計された基板はこのリビジョンには適合しません。

修正方法: リビジョン E2 およびそれ以降では、ヘッダーが想定どおりに取り付けられています。

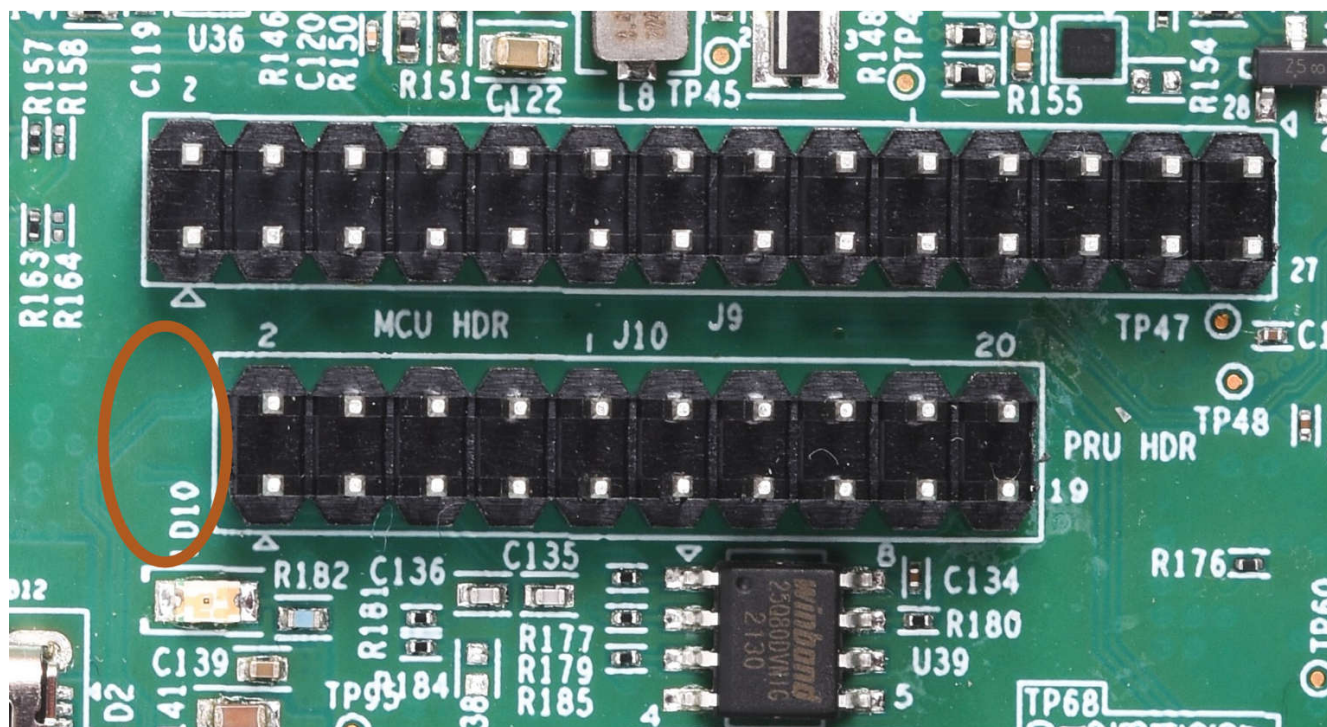


図 3-1. E1 基板の PRU コネクタ位置の誤り

3.2.3 問題 3 - E1 で USB ブートが対象外

該当する評価基板のリビジョン: E1

問題の説明: USB0 ポートはハブ IC を経由して Type-A コネクタに配線されているため、E1 基板では USB ブートをサポートできません。

修正方法: E2 基板以降では、USB1 が Type-A コネクタに接続され、ブートに使用される USB0 コントローラが 2 番目の USB Type-C ポートに移動されており、DFU と MSC ブートの両方がサポートされています。基板レイアウトと BOM を簡略化するため、USB ハブ IC も廃止されました。

3.2.4 問題 4 - OLDI コネクタの向きとピン配置

該当する評価基板のリビジョン: E1、E2

問題の説明: ケーブル上での差動配線を改善するため、OLDI コネクタのピン配置はバージョン E2 以降で更新されました。ピン配置変更の詳細については、[セクション 2.1.6.3](#) を参照してください。

重要な注意事項: E1 および E2 の基板を TI 推奨の OLDI ディスプレイに接続するには、アダプタが必要です。アダプタなしで、E1 または E2 の基板をそのような LCD に接続しないでください。

3.2.5 問題 5 - E2 評価基板で Bluetooth が対象外

該当する評価基板のリビジョン: E2

問題の説明: U3 バッファの同じチャネルでの RX と TX 両方の UART 信号が誤った配線になっているため、E2 バージョンの評価基板では Bluetooth 機能がサポートされません。これは E1 評価基板には影響はありません。また、E3 以降に修正されます。

3.2.6 問題 6 - イーサネット PHY CLK スキューのデフォルトストラップの変更

該当する評価基板のリビジョン: E1、E2

問題の説明: RGMII1 および RGMII2 PHY (U51 および U49) は、Tx クロック スキュー = 2ns のストラップ抵抗を備えています。AM62x MAC で Tx に対して内部遅延が常時有効になっているため、TX クロック スキューは 0ns に設定する必要があります。Rx のクロック スキューは 2ns のままにする必要があります。

3.2.7 問題 7 - TEST_POWERDOWN の変更

該当する評価基板のリビジョン: E1、E2

問題の説明: TEST_POWERDOWN (VCC3V3_TA にプルアップ) 信号と VCC_5V0_EN (VMAIN にプルアップ) 信号が 0Ω の抵抗を介して短絡されていました。VMAIN からの逆流を防ぐために、VMAIN に接続された VCCC_5V0_EN のプルアップ抵抗を DNI にし、VCC3V3_TA にプルされる R585 を実装しています

3.2.8 問題 8 - MMC1_SDCD のスプリアス割り込み

該当する評価基板のリビジョン: E2、E1

問題の説明: VDD_MMC1_SD 電源が Low になった際、MMC1_SDCD ラインが Low になることが観測され、SoC にスプリアス割り込みが発生しました。

修正方法: U18 ESD チップの VCC を、VCC_3V3_SYS レールに接続するよう変更しました。

3.2.9 問題 9 - PD コントローラの I2C2_IRQ がピン配置されていない

該当する評価基板のリビジョン: E2、E1

問題の説明:

USB ホストおよびデバイス モードの動作に関して、コントローラの I2C レジスタの変更を読み取るには、PD コントローラからの I2C_IRQ 信号が必要でした

修正方法: PD コントローラからの I2C2_IRQ は IO EXP GPIO P21 (U70.18) に接続され、TEST_GPIO2 はテストポイントに終端されています。

3.2.10 問題 10 - INA 電流モニタアドレスの変更

該当する評価基板のリビジョン: E2、E1

問題の説明:

INA デバイスのアドレスピンが SDA ラインに接続されていると、バスの初期化方法によっては、スプリアス アドレスが変更される可能性があります。

修正方法:U23 と U25 を VCC / GND と SCL の残りの組み合わせを使用して 0x4D および 0x47 に移動しました。

3.2.11 問題 11 - テストオートメーション I2C バッファの変更

該当する評価基板のリビジョン:E1、E2、E3

問題の説明:

テスト オートメーション インターフェイスで使用されるバッファには、バッファ B 側のプルアップなしという特別な条件があります。評価基板では、バス設計が原因でこの条件に対応できませんでした。このため、現在の構成では、テストオートメーションコネクタから I2C1 バスへの通信を防止しています。

修正方法:TC9A9801DGK バッファと、ピン 2 からピン 7 およびピン 3 からピン 6 のブリッジを取り外します。これらは不要になるため、デバイスの SCLB 側にあるプルアップ抵抗も取り外す必要があります。(E3 上の U42、R499、R498 の場合。その他のリビジョンについては個別の回路図および基板関連ファイルを参照)。IC は **TC9A9517DR** に置き換えることができますが、非互換性は同じではありません。SK-AM62-P1 E2 およびそれ以降の基板では、この変更が行われています。IC を置き換える場合、B 側のプルアップを保持する必要があります。

I2C BUS BUFFER

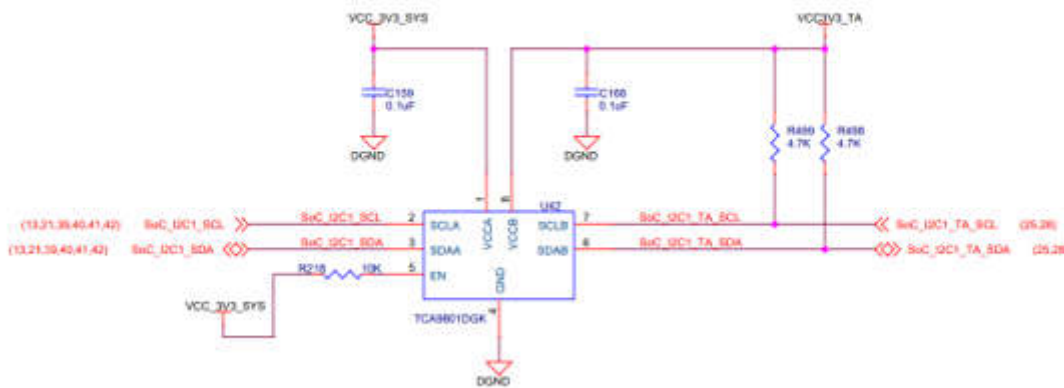


図 3-2. I2C バッファ セクションの回路図

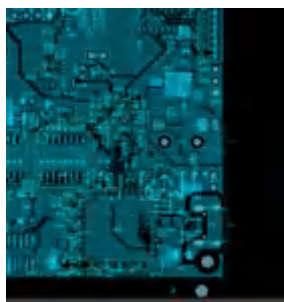


図 3-3. AM62x SK E3 の位置 (底面)

3.2.12 問題 12 - ODLI ディスプレイのタッチ不具合

該当する評価基板のリビジョン:E3、Rev A

問題の説明:評価基板の電源がオンの時に、OLDI ディスプレイ タッチ機能が動作しない。

修正方法:この問題を改善するには、R684 抵抗、C509 コンデンサ、U105 電源を VCC_3V3_SYS に変更する必要があります。詳細については 図 3-4 を参照してください。リワーク情報については、図 3-5 に従ってください。

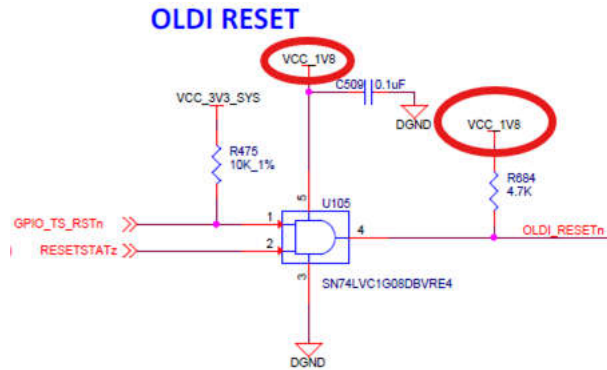


図 3-4. OLDI ディスプレイリセット ロジック回路

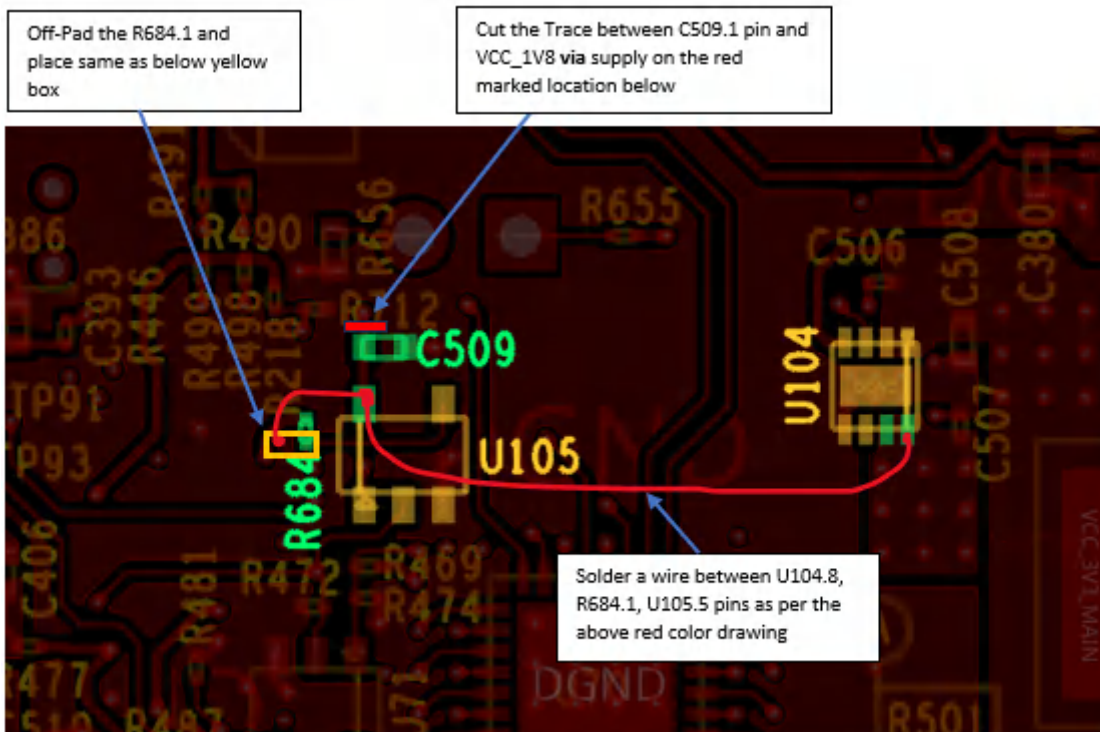


図 3-5. PCBA 裏面画像

3.3 商標

Android™ is a trademark of Google LLC.

Sitara™ is a trademark of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Wi-Fi® is a registered trademark of Wi-Fi Alliance.

Bluetooth® is a registered trademark of Bluetooth SIG.

Linux® is a registered trademark of Linus Torvalds.

すべての商標は、それぞれの所有者に帰属します。

HDMI、HDMI High-Definition Multimedia Interface、HDMI トレードドレス、および HDMI ロゴは、HDMI Licensing Administrator Inc. の商標または登録商標です。

4 準拠および認証

4.1 EMC、EMI、ESD への準拠

本製品に取り付けられているコンポーネントは、静電気放電 (ESD) の影響を受けやすくなっています。本製品は、ESD が制御された環境で使用することを推奨します。これには、ESD の蓄積を抑えるために温度や湿度が制御された環境も含まれます。また、本製品との接続時には、リストストラップや ESD マットなどの ESD 保護具の使用が推奨されます。

本製品は実験室に類似した基本的な電磁環境で使用され、EN IEC 61326-1:2021 に準拠した規格が適用されます。

規制準拠

これにより、テキサス インストルメンツは無線機器「Sitara プロセッサ用 AM62x スタータ キット」がディレクティブ 2014/53/EU に準拠していることを宣言します。

EU 適合宣言書の全文は、以下の [Web サイト](#) で参照できます。

RF 曝露情報


このデバイスはテスト済みで、無線周波数 (RF) の暴露に関して適用される規制値に適合しています。この装置は、常に人体への離隔距離を最低 20cm 確保して設置および操作する必要があります。

EIRP 電源

WLAN 2.4GHz 帯域で伝送される最大 RF 電力は、19dBm です。WLAN 5GHz 帯域で伝送される最大 RF 電力は、19.4dBm (およそ 5150MHz ~ 5350MHz) および 18.4dBm (およそ 5470MHz ~ 5725MHz) です。

Bluetooth で伝送される最大 RF 電力は 14dBm、Bluetooth Low Energy (BLE) は 8.9dBm です。

このデバイスは、5.15 ~ 5.25GHz 帯内での屋内使用のみに制限されています。屋内での使用が制限されている国を以下に示します。

	AT	BE	BG	HR	CY	CZ	DK
	EE	FI	FR	DE	EL	HU	IE
	IT	LV	LT	LU	MT	NL	PL
	PT	RO	SK	SI	ES	SE	IS
	LI	NO	CH	TR	UK(NI)		

欧州廃電気電子機器指令 (WEEE)



このシンボルは、地域の法律および規制に従って、対象の製品またはバッテリーが家庭廃棄物とは別に処分されなければならないことを意味します。この製品が製品寿命に達したら、地方当局が指定した回収ポイントに持ち込んでください。製品の適切なリサイクルは、人々の健康と環境を保護します。

5 参考資料

- カスタム ボード設計、セルフレビュー、立ち上げの各フェーズにおける参照資料: <https://e2e.ti.com/support/processors-group/processors/f/processors-forum/1596731/faq-am625-am623-am620-q1-am625-q1-am625sip---collaterals-for-reference-during-different-phases-of-custom-board-design-self-review-and-bring-up>
- すべての Sitara プロセッサ ファミリー向けのカスタム ボード設計に関連するマスター リスト。他の利用可能な設計資料との併用が可能です: <https://e2e.ti.com/support/processors-group/processors/f/processors-forum/1395812/faq-custom-board-hardware-design--master-complete-list-of-faqs-for-all-sitara-processor-am62x-am62ax-am62d-q1-am62px-am62l-am64x-am243x-am335x-families>
- プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータ キットに関する FAQ (よくある質問): <https://e2e.ti.com/support/processors-group/processors/f/processors-forum/1280721/faq-am625-am623-am620-q1-am625-q1-am625sip-custom-board-hardware-design---faqs-related-to-processor-collaterals-functioning-peripherals-interface-and-starter-kit>
- カスタム ボード回路図のセルフレビュー: <https://e2e.ti.com/support/processors-group/processors/f/processors-forum/1455706/faq-am625-am623-am620-q1-am625-q1-am625sip-design-recommendations-custom-board-hardware-design---custom-board-schematics-self-review>

6 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from AUGUST 31, 2025 to FEBRUARY 28, 2026 (from Revision D (August 2025) to Revision E (February 2026))

	Page
• SK-AM62B-P1 Rev B の上面図の画像を追加。.....	5
• SK-AM62B-P1 Rev B の底面図の画像を追加。.....	5
• SK 評価基板の PCB 設計リビジョンおよびアセンブリ バリエーション表を更新。.....	67
• 問題 12 - ODLI ディスプレイのタッチ不具合を追加.....	70
• 参考資料セクションを追加。.....	73

STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an "EVM" or "EVMs") to the User ("User") in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.
 - 1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM ("Software") shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software
 - 1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.
2. *Limited Warranty and Related Remedies/Disclaimers:*
 - 2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.
 - 2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.
 - 2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

WARNING

Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.

User shall operate the Evaluation Kit within TI's recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI's recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI's instructions for electrical ratings of interface circuits such as input, output and electrical loads.

NOTE:

EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGRADATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.

3 Regulatory Notices:

3.1 United States

3.1.1 Notice applicable to EVMs not FCC-Approved:

FCC NOTICE: This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

3.1.2 For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:

CAUTION

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

FCC Interference Statement for Class A EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instruction manual, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.

FCC Interference Statement for Class B EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:

- Reorient or relocate the receiving antenna.
- Increase the separation between the equipment and receiver.
- Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.
- Consult the dealer or an experienced radio/TV technician for help.

3.2 Canada

3.2.1 For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247

Concerning EVMs Including Radio Transmitters:

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

Concernant les EVMs avec appareils radio:

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

Concerning EVMs Including Detachable Antennas:

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur.

3.3 Japan

3.3.1 *Notice for EVMs delivered in Japan:* Please see http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_01.page 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html>

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。技術適合証明を受けていないものご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。日本テキサス・イ

ンスツルメンツ株式会社

東京都新宿区西新宿 6 丁目 2 4 番 1 号

西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_02.page

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。 <https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html>

3.4 European Union

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive):*

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

-
4. *EVM Use Restrictions and Warnings:*
 - 4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.
 - 4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.
 - 4.3 *Safety-Related Warnings and Restrictions:*
 - 4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.
 - 4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.
 - 4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.
 5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.
 6. *Disclaimers:*
 - 6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.
 - 6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.
 7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.

8. *Limitations on Damages and Liability:*

8.1 *General Limitations.* IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMNITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.

10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月