

## Design Guide: TIDA-011002

# 低コストの IO-Link<sup>®</sup> マスタ モジュール リファレンス デザイン



### 説明

このリファレンス デザインは、最大 400µs のサイクル タイム、COM3、各ポート L+ において 1A の出力、さらに追加の DI/DO をサポートする 8 ポート IO-Link ゲートウェイを実装することで、IO-Link コントローラ ゲートウェイの開発を加速します。このデザインは、AM261x に統合された産業用通信サブシステム (ICSS) を使用して、EtherCAT<sup>®</sup>、PROFINET<sup>®</sup>、EtherNet/IP、および Modbus<sup>®</sup> 伝送制御プロトコル (TCP) などのイーサネットベースの産業プロトコルをサポートします。このハードウェア設計は、業界標準の EMI/EMC 要件を満たすようにテストおよび開発されています。

### 特長

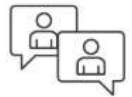
- 各ポート 1A、COM3、400µs をサポートする 8 ポート IO-Link コントローラ
- 10/100Mbit マルチプロトコル産業用イーサネット
- EtherCAT、PROFINET、EtherNet/IP、MQTT、Modbus をサポート
- EMI/ EMC 試験済みのデザイン

### アプリケーション

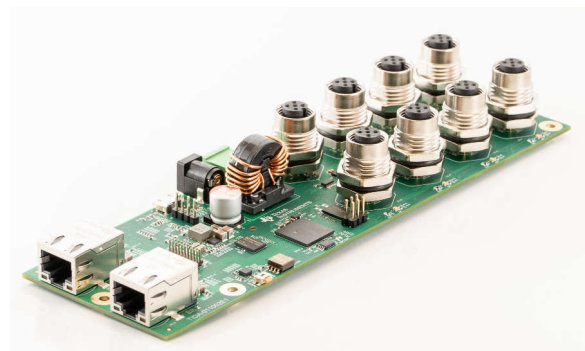
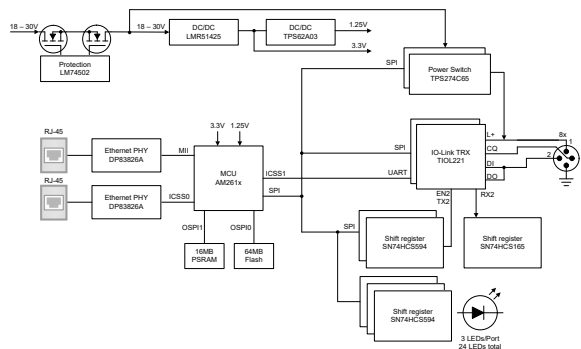
- 通信モジュール
- スタンドアロンのリモート IO

### リソース

<a href="#">TIDA-011002</a>	デザイン フォルダ
<a href="#">AM2612</a>	プロダクト フォルダ
<a href="#">DP83826AI</a>	プロダクト フォルダ
<a href="#">TIOL221</a>	プロダクト フォルダ
<a href="#">TPS274C65</a>	プロダクト フォルダ
<a href="#">LMR51425</a>	プロダクト フォルダ
<a href="#">TPS62A03</a>	プロダクト フォルダ
<a href="#">LM74502</a>	プロダクト フォルダ
<a href="#">SN74HCS594</a>	プロダクト フォルダ
<a href="#">TSM36CA</a>	プロダクト フォルダ
<a href="#">LMK3C0105</a>	プロダクト フォルダ



テキサス・インスツルメンツの™ E2E サポート エキスパートにお問い合わせください。



## 1 システムの説明

センサとアクチュエータはオートメーションの最も基本的なユニットであり、ネットワーク接続された複数のシステムに情報を供給し、それらのシステムからの命令に従って動作します。従来、センサやアクチュエータのようなデバイスは、インテリジェンスがごく限定的なインターフェイスを経由して制御ユニットに接続していました。その結果、交換できる構成情報や診断情報はごくわずか、または皆無でした。新しいデバイスを設置する場合、使用場所で手動による設定が必要になります。診断機能がなければ、ジャスト インタイムの予防保守を実施することはできません。

**IO-Link** (国際電気標準会議 [IEC] 61131-9) は、オープン規格をベースとするプロトコルであり、センサやアクチュエータのような小型デバイスに関するインテリジェント制御のニーズに対処します。この標準は、デバイスとプライマリコントローラの間で、低速のポイント ツー ポイント シリアル通信を実現します。この場合のマスタは通常、フィールドバスや PLC に到達するためのゲートウェイとして機能します。接続の確立後にこのインテリジェントリンクを使用すると、データ交換、構成、診断を目的とする通信を容易に実施できます。

シールドなしの 3 線ケーブルは最大 20m の長さに対応し、一般的に M12 コネクタを両側に取り付けて、IO-Link 接続を確立します。データレートは最大 230kbps に対応しており、非同期の最小サイクルタイムは 400 $\mu$ s (+10%) です。4 つの動作モードは、双方向の入出力 (I/O)、デジタル入力、デジタル出力、非アクティブ化に対応しています。

セキュリティメカニズムとディタミニスティック (確定的) なデータ配信は規定されていません。IODD (IO Device Description、IO デバイス記述) というプロファイルは、通信プロパティ、デバイスパラメータ、ID (識別子) とプロセスと診断に関するデータ、デバイスとメーカーに関する固有の情報を保持しています。

IO-Link システムを配備する多くの利点として、標準化済みの配線、データ可用性の向上、リモートの監視と構成、複数のデバイスのシンプルな置き換え、先進的な診断機能を上げることができます。IO-Link を採用すると、ファクトリのマネージャは、センサからの更新情報を受け取り、今後の保守や交換に関する計画を立てることができます。交換を必要としているセンシングユニットまたはアクチュエータユニットの交換と、PLC から IO-Link マスター経由での新しいユニットの構成を実施すると、手動のセットアップが不要になり、ダウンタイムを短縮できます。ファクトリの現場へ足を運ばずに、ある構成から他の構成へと製造をリモートで切り替えることができるので、製品のカスタマイズがいっそう容易になります。工場では、IO-Link マスターが既存の標準 I/O 設備および配線との下位互換性を備えているため、生産ラインを容易に IO-Link にアップグレードできます。これらの機能により、全体的なコストを削減し、プロセス効率を向上させるとともに、装置の稼働率を高めることができます。

## 2 システム概要

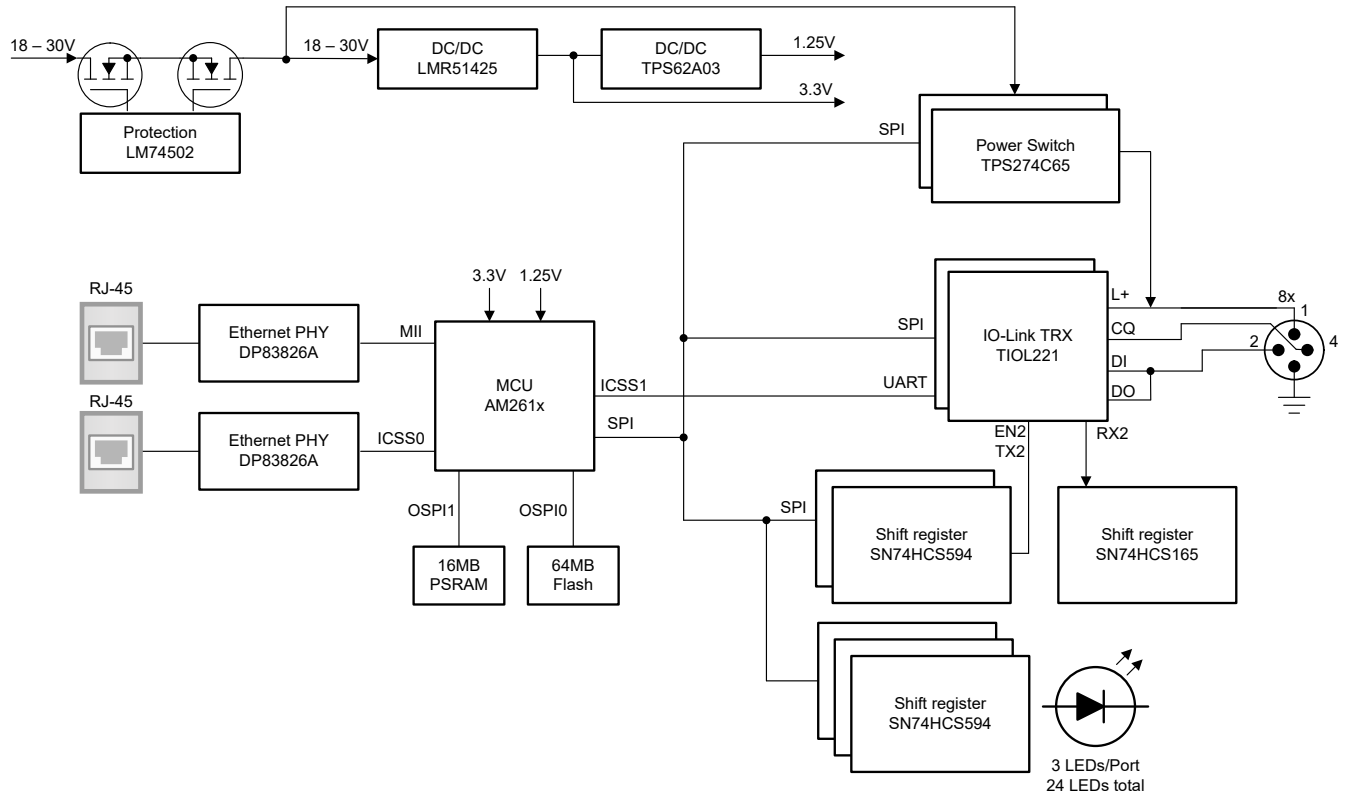


図 2-1. ブロック図

### 2.1 設計上の考慮事項

図 2-2 に、リファレンス デザインの簡易ブロック図を示します。このデザインは、主に四つのブロックに分けることができます：電源、イーサネット インターフェイス、IO-Link インターフェイス、および処理部です。

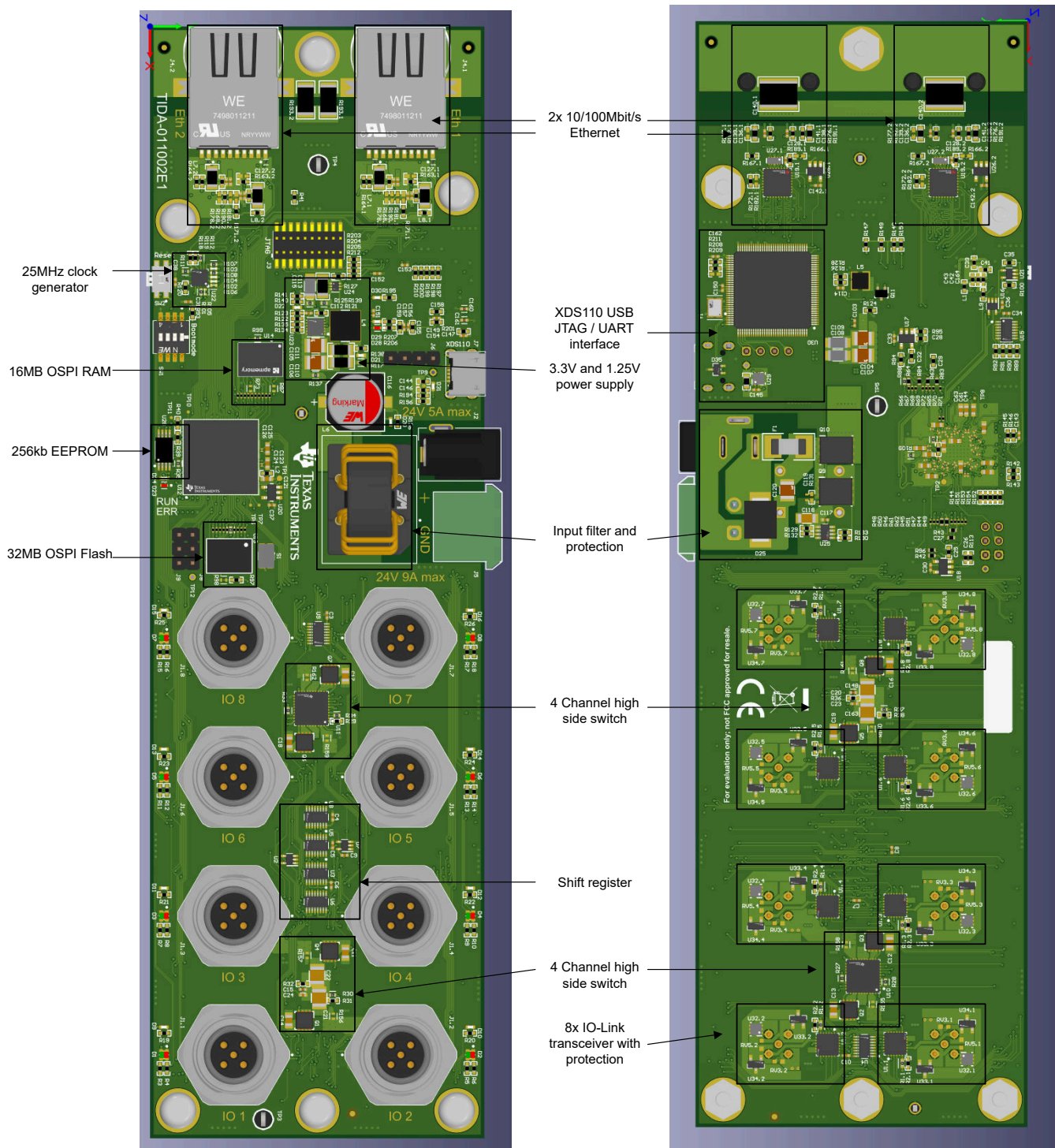


図 2-2. リファレンス デザインの機能ブロック

図 2-2 は、これらのブロックが実際の基板上のどこに配置されているかを示します。電源部は二つの独立したブロックで構成されており、一つは LM74502 による入力保護、もう一つは LMR51425 および TPS62A03 による二つの DC/DC コンバータを実装しています。保護回路は、一定の電流を処理するために、より広い基板スペースを必要とします。二つの DC/DC レギュレータを備えた電源部は、より小さい面積で実装されています。

イーサネット インターフェイスは、DP83826A PHY およびトランスを内蔵した RJ45 コネクタを使用して実装されており、スペースを削減できます。二つの PHY (およびマイコン) は、25MHz の共通クロック ソース LMK3C0105 からクロック供給を受けています。

IO-Link ポートについては、各ポートに一つの TIOL221 を使用しており、各ポートでデジタル IO も利用可能となっています。四つのポートでは、L+ ラインへ電源を供給するために一つの TPS274C65 ハイサイド スイッチを使用しているため、8 個のポートには二つの TPS274C65 デバイスが必要です。この設計では、L+ ラインに 1A を供給するとともに、各出力に逆電流ブロックも実装しています。TPS274C65 は SPI を備えており、各ポートの消費電流を監視するための ADC を内蔵しています。

処理には AM261 マイコンを使用します。AM261 マイコンには、16MB の外部 RAM と 32MB のフラッシュが搭載されています。このプロセッサは、500MHz で動作するデュアルコア Arm Cortex-R5F を搭載しています。AM261 の二つの内部 ICSS は、IO-Link および各種産業用イーサネットインターフェイスを実装しています。

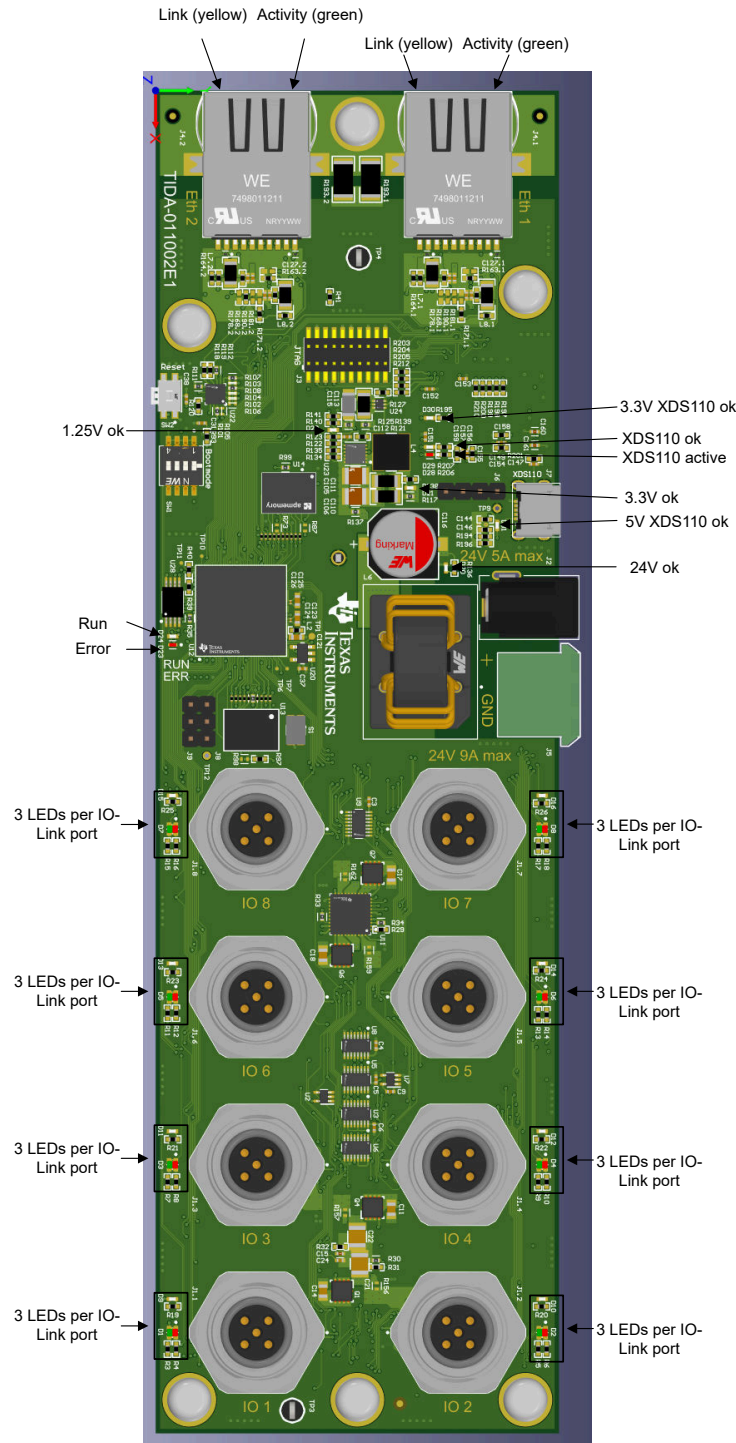


図 2-3. LED および想定用途

このリファレンス デザインでは、一部の LED はハードウェア ステータス表示用として使用されており、一部は自由にプログラム可能です。

LED	機能
D20	保護後は 24V
D21	3.3V 利用可能
D22	1.25V 利用可能
D23	AM261 GPIO 13 によって制御されるエラー LED

LED	機能
D24	AM261 GPIO 11 によって制御されるステータス LED
D28	XDS110 デバッガのアクティビティ LED
D29	XDS110 デバッガの準備完了 LED
D30	XDS110 の 3.3V を使用可能
D31	XDS110 の 5V を使用可能
D1~D16	IO-Link ポート横の LED (各ポートにつき三つの LED、シフトレジスタ経由で自由にプログラム可能)
RJ45 コネクタの内部 LED	リンク LED とアクティビティ LED (イーサネット PHY の MDIO レジスタを使用して再プログラム可能)

## 2.2 主な使用製品

### 2.2.1 AM2612

AM261x Sitara® Arm® マイコンは、Sitara AM26x リアルタイムマイコンファミリの製品で、次世代の産業用および車載用組み込み製品の複雑なリアルタイム処理ニーズを満たすように開発されています。AM261x デバイスは、スケーラブルな Arm Cortex® R5F 性能と包括的なペリフェラル セットを備えており、広範なアプリケーション向けに設計されているほか、安全機能とリアルタイム制御向けに最適化されたペリフェラルを提供します。

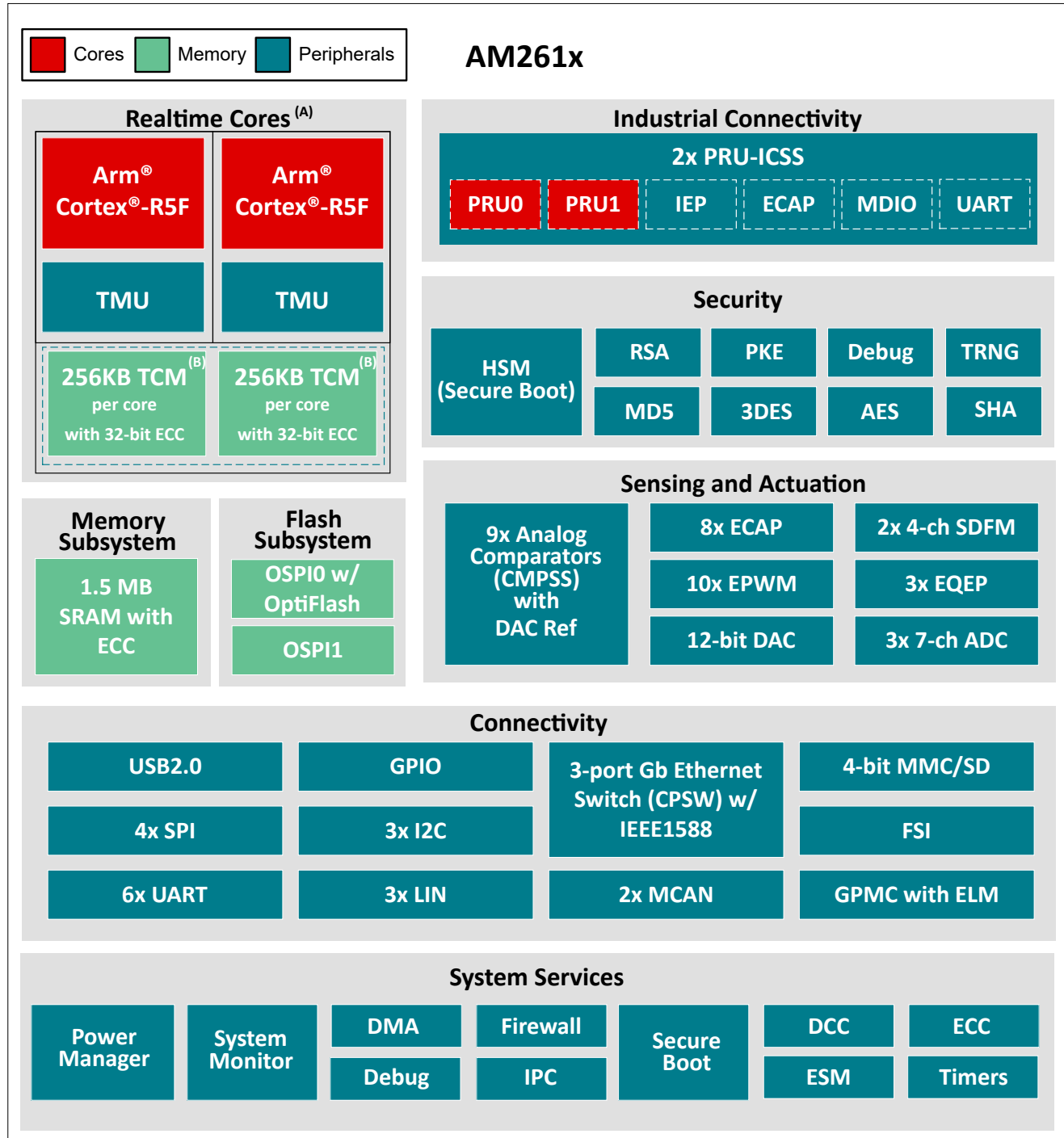


図 2-4. AM261x の機能ブロック図

主な機能と特長:

- ギガビットイーサネット、USB、OSPI/QSPI、CAN、UART、SPI、GPIO など、システムレベルのコネクティビティをサポートするペリフェラル。
- ハードウェアセキュリティマネージャ (HSM) が管理する粒度の細かいファイアウォールにより、開発者はセキュリティ重視のシステム設計要件を厳格に実装できます。
- 最大二つの R5F コアがクラスタに配置され、コアごとに 256KB の共有密結合メモリ (TCM) と 1.5MB の共有 SRAM を備えているため、外部メモリの必要性が非常に低くなっています。

## 2.2.2 TIOL221

TIOL221 トランシーバは、アクティブ逆極性保護機能を備えたデュアル低消費電力出力ドライバを内蔵しています。デバイスが 3 線式のインターフェイス経由で IO-Link マスターに接続されているとき、コントローラはリモート ノードとの通信を開始してデータを交換でき、TIOL221 は通信の完全な物理レイヤとして機能します。このデバイスには、補助 DI チャンネルも内蔵されています。

このデバイスは、最大 1.2kV (500Ω) の IEC 61000-4-5 サージに耐えることができ、また、逆極性保護を内蔵しています。構成可能で拡張された診断機能を有する SPI に加えて、シンプルなピン プログラマブル インターフェイスによりコントローラの回路と簡単に接続できます。出力電流制限は、外付け抵抗を使用して構成するか、SPI 経由で構成済みの制限値を使用して構成できます。TIOL221 はウェークアップパルスを駆動するように構成することができ、IO-Link のマスターアプリケーションで使用できます。低電圧、過電流、過熱状態に対するフォルト通知および内部保護機能を備えています。

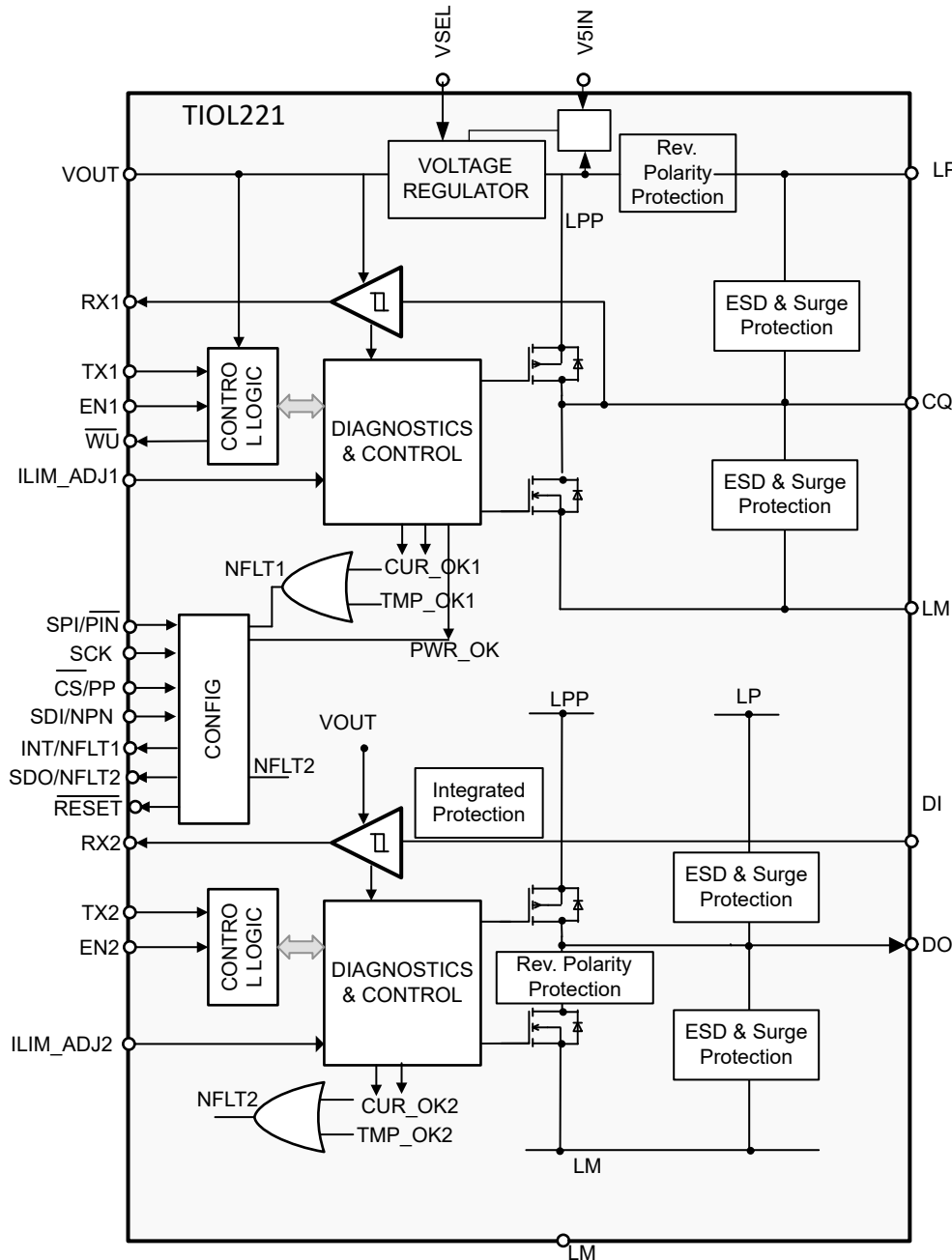


図 2-5. ブロック図

### 2.2.3 DP83826A

DP83826Ax は、小さく決定論的なレイテンシ、低消費電力、10BASE-Te および 100BASE-TX イーサネット プロトコルのサポートにより、リアルタイム産業用イーサネット システムの厳格な要件を満たすことができます。このデバイスは、高速なリンクアップ時間を達成するためのハードウェア ブートストラップ、高速リンクドロップ検出モード、システム内の他のモジュールをクロック同期させるための専用基準クロック出力 (CLKOUT) を備えています。

二つの構成可能なモードとして、BASIC モードと ENHANCED モードがあります。BASIC モードは、一般的なイーサネットピン配置を使用する標準イーサネット モードです。ENHANCED イーサネット モードは、追加機能およびハードウェア ブートストラップ構成により、標準 Ethernet モードに加え、複数の産業用イーサネット フィールド バス アプリケーションをサポートします。

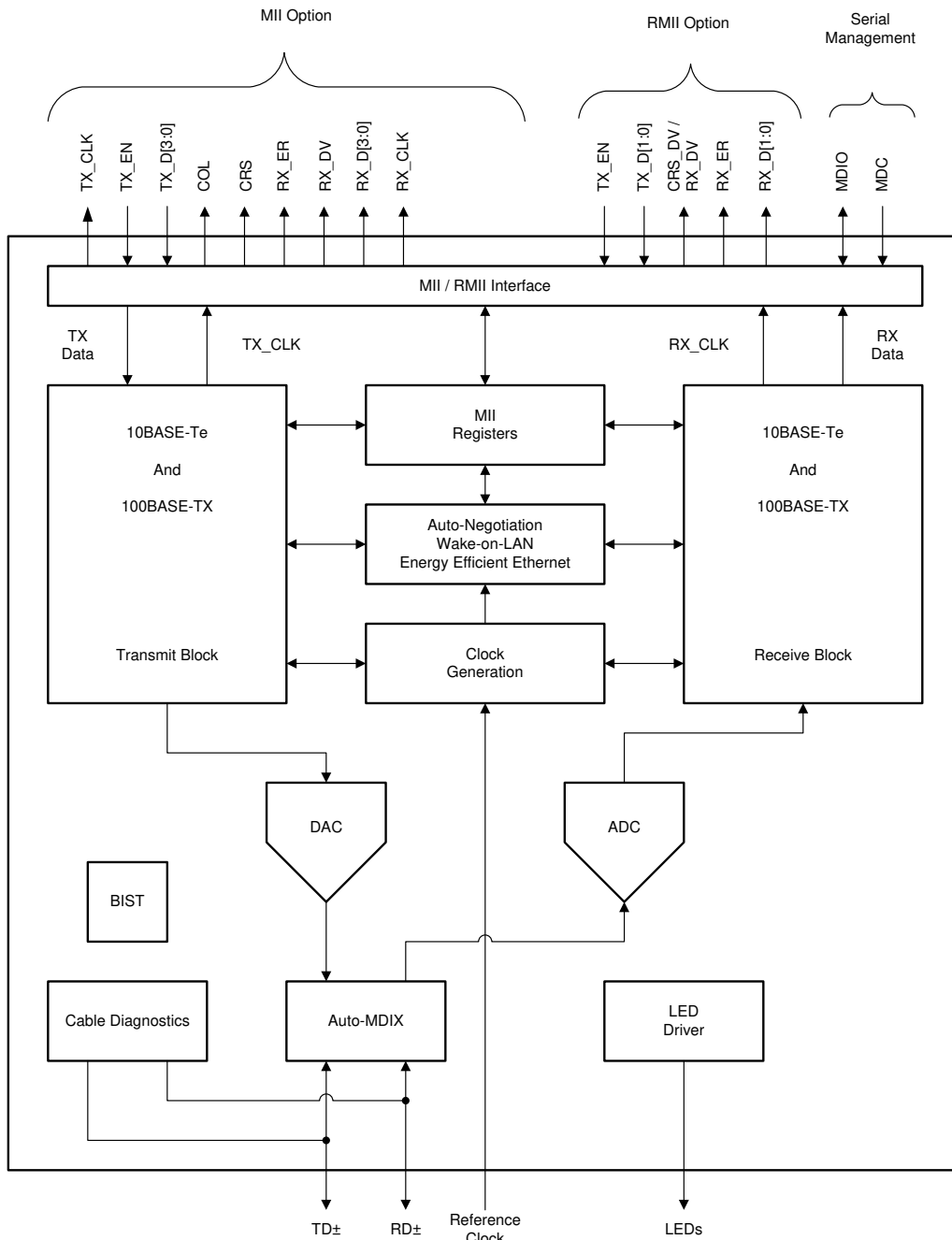


図 2-6. 機能ブロック図

## 2.2.4 TPS274C65

TPS274C65xS デバイスは、シリアル インターフェイス (SPI) 制御のクワッド チャネル スマート ハイサイド スイッチで、産業用制御システムの要件を満たすように設計されています。72mΩ の低い RDSON により、大きな出力負荷電流が供給される場合でもデバイスの消費電力が最小限に抑えられます。このデバイスは、保護および診断機能を内蔵しており、短絡や負荷障害などの有害な事象が発生した場合でもシステムを確実に保護します。このデバイスは、出力負荷電流に関係なく保護を提供するために、250mA ~ 2.45A の調整可能な信頼性の高い電流制限を備えて故障を防止します。

TPS274C65xS には構成可能な突入電流期間があり、大きい突入電流の負荷、容量性負荷の高速充電、白熱電球の駆動に対してターンオン時に、より高い電流制限を設定します。

また、TPS274C65xS は、正確な電流センス機能と内蔵 A/D コンバータ (AS) も搭載しており、負荷診断機能を改善することができます。負荷電流をデジタルで報告することで、このデバイスはあらゆる絶縁バリアを越えた通信を可能にし、同時に予知保全や負荷診断を可能にしてシステムの寿命を向上させます。オン状態またはオフ状態でのオープンロード検出や短絡検出などの追加診断機能も統合されています。

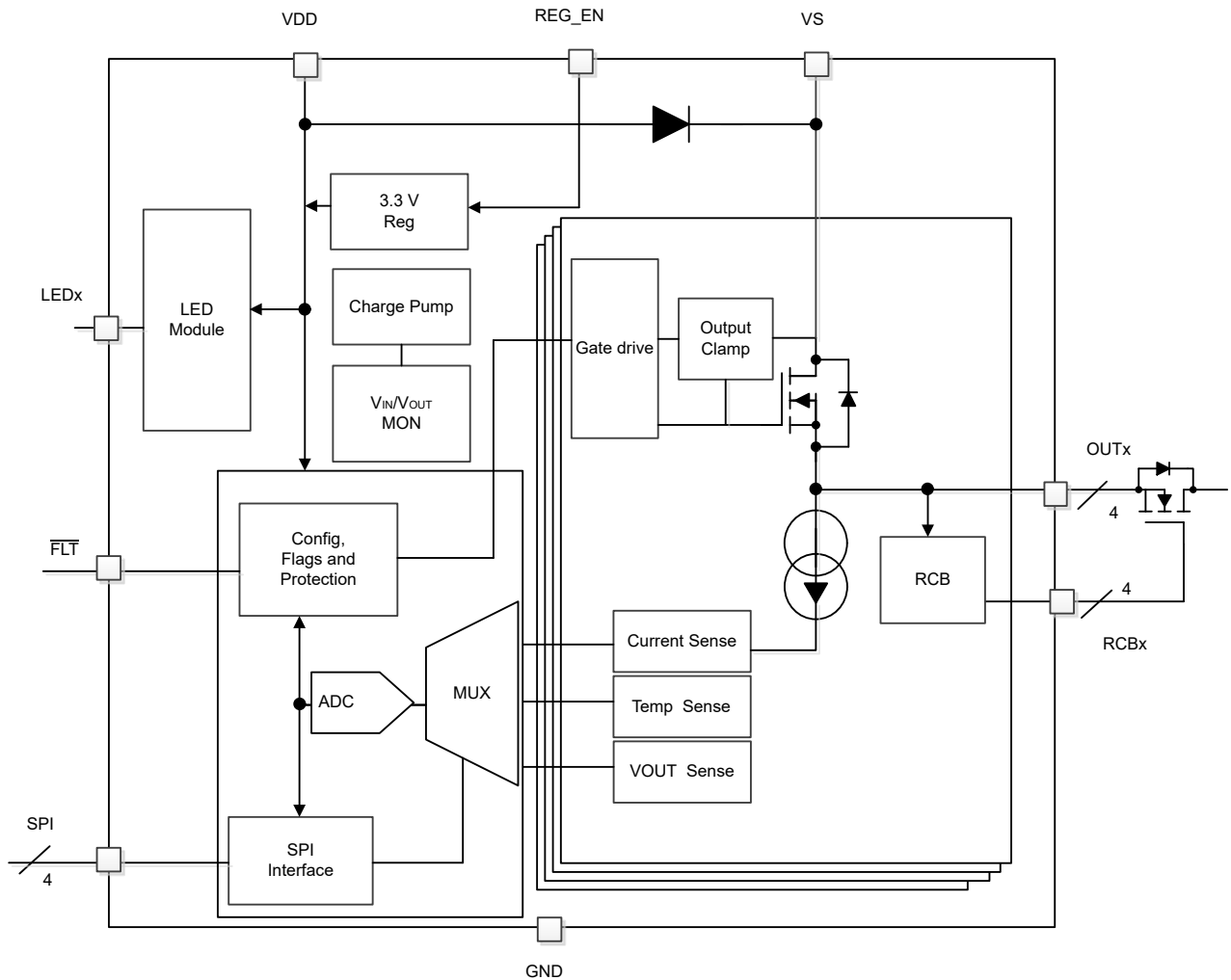


図 2-7. 機能ブロック図

## 2.2.5 LMK3C0105

LMK3C0105 は、SSC 対応の 5 出力リファレンスレス クロック ジェネレータです。このデバイスは、テキサス・インスツルメンツ独自のバルク弾性波 (BAW) 技術に基づいており、水晶振動子や外部クロックリファレンスを用いることなく、 $\pm 25\text{ppm}$  のクロック出力を供給します。このデバイスは、5 つの SSC クロック、5 つの非 SSC クロック、または SSC クロックと非 SSC クロックのミックスを同時に供給できます。5 つの出力に対して、最大 3 つの異なる出力周波数を生成できます。各出力チャンネルでは、四つの LVCMOS クロックを生成する周波数ソースとして、FOD を選択できます。REF\_CTRL ピンは、五番目の LVCMOS クロック出力として機能し、ソースとして FOD のいずれかを選択できます。

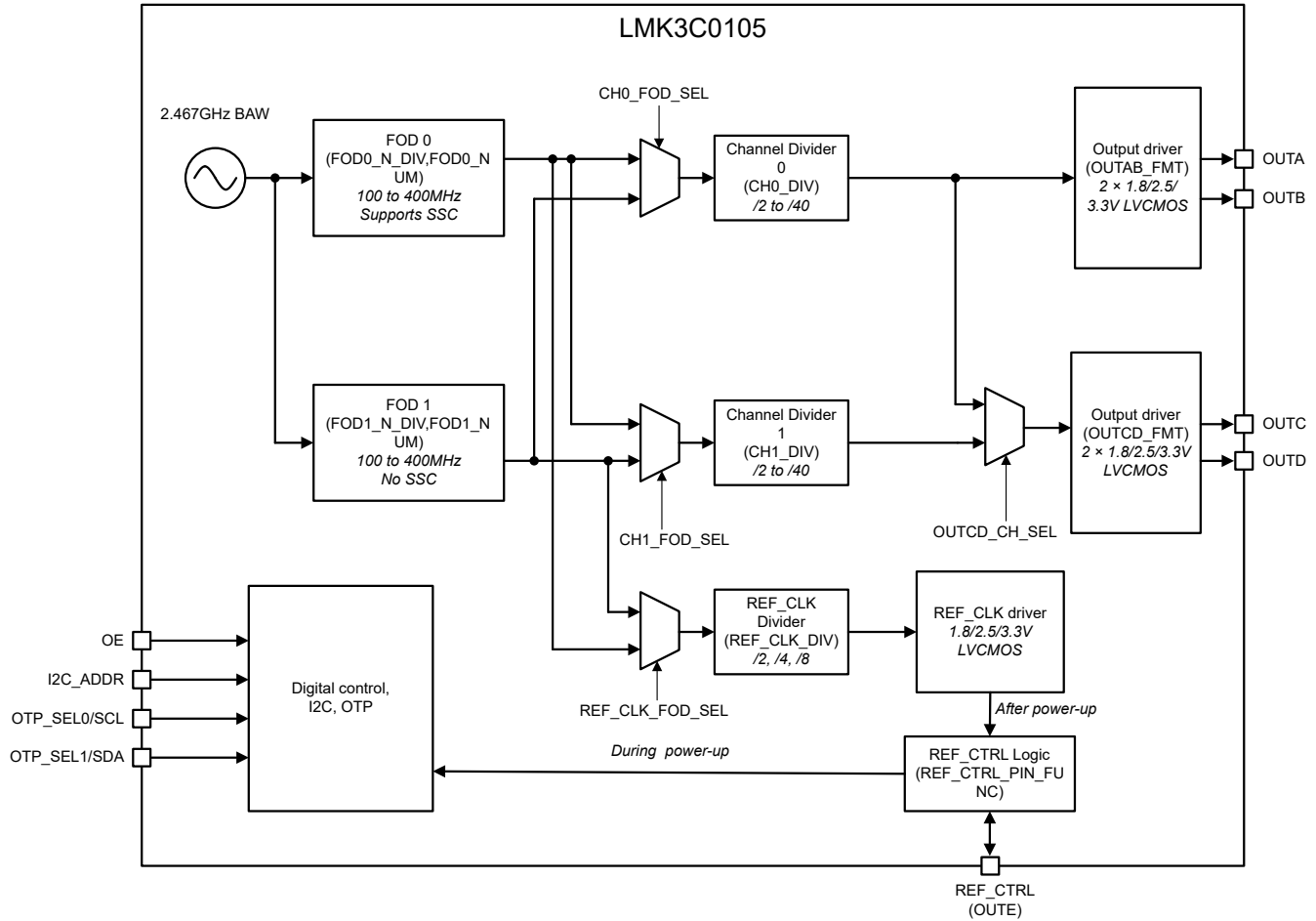


図 2-8. LMK3C0105 の機能ブロック図

## 2.2.6 LM74502

LM74502 および LM74502H は、外付けの双方向接続された N チャネル MOSFET と組み合わせて動作するコントローラであり、低損失の逆極性保護および負荷切り離し機能を提供します。このデバイスは、過電圧保護機能を備えたロードスイッチとして、ハイサイド MOSFET を駆動するように構成することもできます。入力電源電圧範囲が 3.2V ~ 65V と広いため、12V、24V、48V 入力のシステムなど多くの一般的な DC バス電圧を制御できます。

このデバイスは、最低 -65V の負の電源電圧に耐えられ、負荷を保護できます。LM74502 および LM74502H には逆電流ブロック機能がなく、入力逆極性保護専用で設計されています。

LM74502 コントローラは、外付け N チャネル MOSFET 用のチャージポンプゲート駆動を提供します。イネーブルピンが Low の場合、コントローラはオフになり、消費電力は約 1 $\mu$ A に抑えられます。このため、スリープモードに入るとシステム電流が小さくなります。LM74502 および LM74502H はプログラム可能な過電圧および低電圧保護を搭載し、これらのフォルトイベントが発生した場合、入力ソースから負荷を遮断します。これらのデバイスは 2.9mm  $\times$  1.6mm の 8 ピン DDF パッケージで供給され、-40 $^{\circ}$ C ~ +125 $^{\circ}$ C の温度範囲で動作が規定されています。

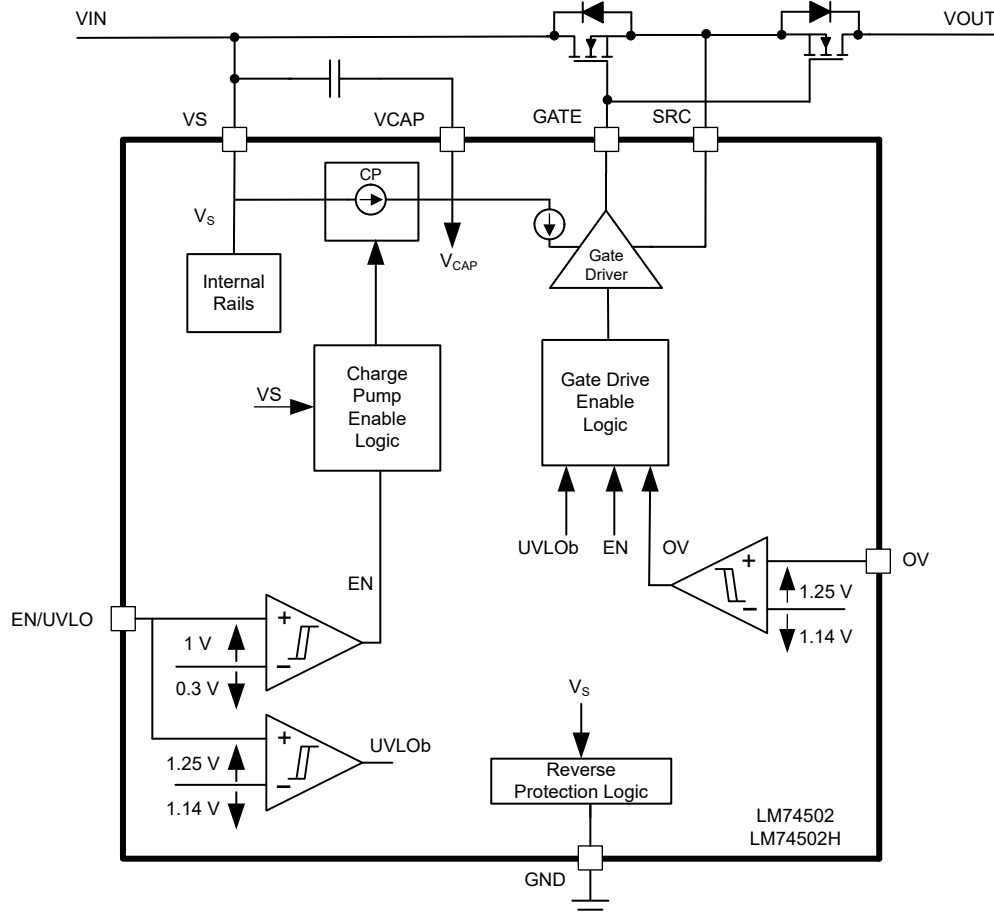


図 2-9. 機能ブロック図

## 2.2.7 LMR51425

LMR514x5 は、最大 2.5A または 3.5A の負荷電流を駆動でき、VIN が広く使いやすい同期整流降圧コンバータです。このデバイスは、4V~36V の広い入力電圧範囲で動作し、レギュレートされていない電源からの電源調整を行うさまざまな産業用アプリケーションに適しています。

LMR514x5 は外付け抵抗により 200kHz~1.1MHz の可変スイッチング周波数を実現し、効率または外付け部品サイズを最適化する柔軟性があります。このデバイスには、軽負荷時に高効率を実現するパルス周波数変調 (PFM バージョン) と、一定の周波数を維持しながら、全負荷範囲にわたって出力電圧リップルが小さい強制パルス幅変調 (FPWM バージョン) があります。ソフトスタートと補償回路が内部に実装されており、最小限の外付け部品のみでデバイスを使用できます。

このデバイスには、サイクル単位の電流制限、ヒカップモード短絡保護、過剰な電力消費時のサーマルシャットダウンなどの保護機能が組み込まれています。LMR514x5 は、WSO-12 パッケージで供給されます。

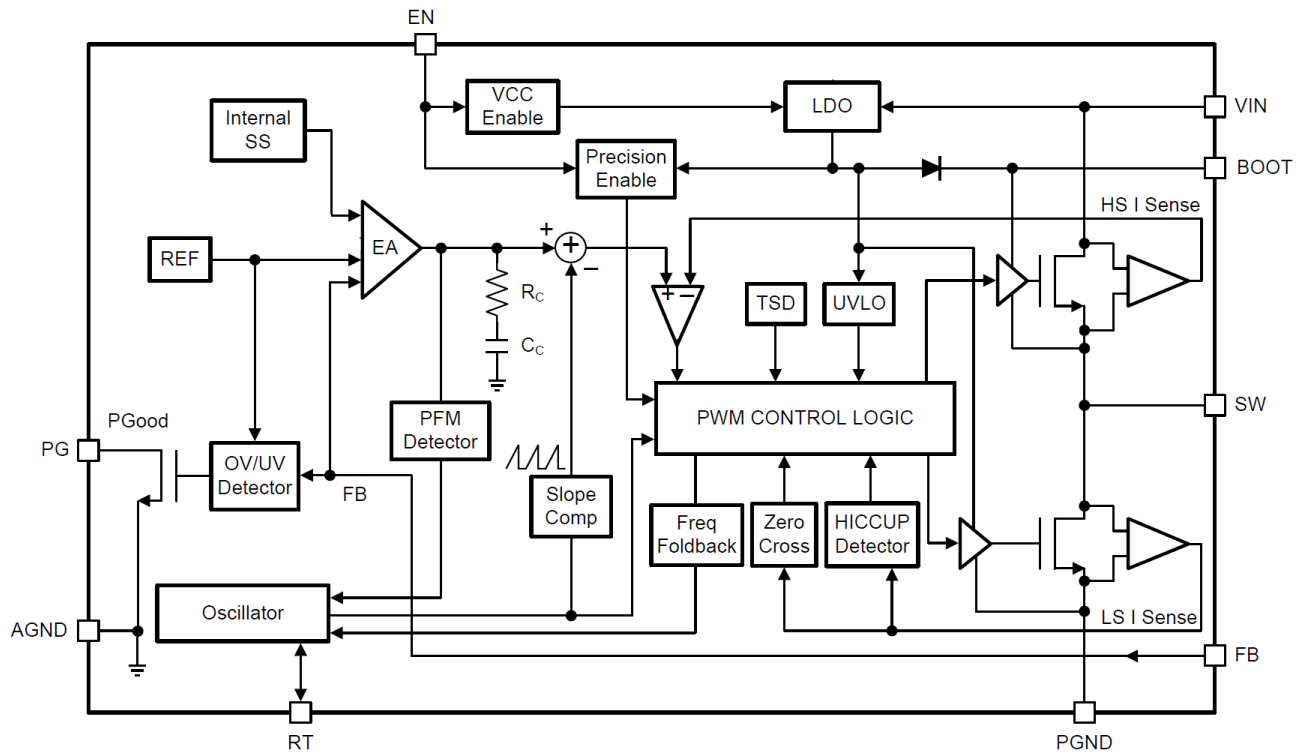


図 2-10. 機能ブロック図

## 2.2.8 TPS62A03

TPS62A03 および TPS62A03A は同期整流降圧型 DC/DC コンバータで、高効率と小型の設計サイズ向けに最適化されています。このデバイスには、最大 3A の出力電流を供給できるスイッチが内蔵されています。中負荷から高負荷では、デバイスはパルス幅変調 (PWM) モードで、2.2MHz のスイッチング周波数で動作します。軽負荷時には、TPS62A03 は自動的にパワーセーブモード (PSM) へ移行し、負荷電流範囲の全体にわたって高い効率を維持します。このデバイスの TPS62A03A バリエーションは、固定スイッチング周波数で、負荷電流範囲全体にわたって PWM モードで動作します。シャットダウン時には、両デバイスの消費電流は最小限に抑えられます。

TPS62A03 および TPS62A03A は、外付けの分圧抵抗によって出力電圧を変更できます。内部のソフトスタート回路により、スタートアップ時の突入電流が制限されます。過電流保護とサーマルシャットダウンにより、障害状況でデバイスとアプリケーションを保護します。パワーグッド信号は、出力電圧が適切にレギュレーションされていることを示します。

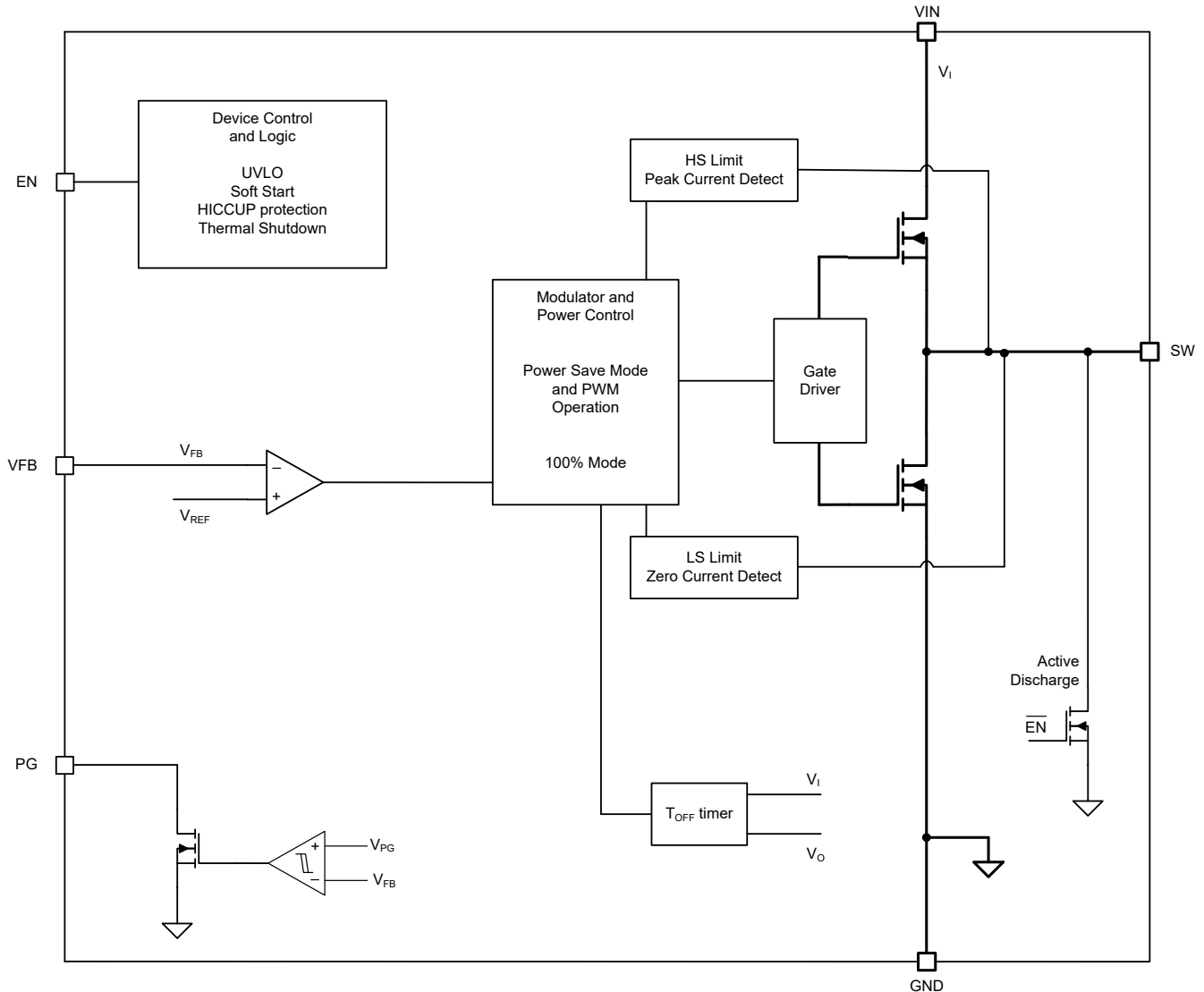


図 2-11. 機能ブロック図

### 2.2.9 TSM36CA

TSM36CA は 36V 双方向 TVS 保護ダイオードで、ESD やサージなどの有害な過渡電圧をクランプするよう設計されています。TSM36CA は、最大 20A の IEC 61000-4-5 故障電流を確実にシャントして、システムを高電力過渡事象や落雷から保護します。TSM36CA デバイスは、最大  $\pm 30\text{kV}$  の ESD 衝撃 (接触放電および気中放電) を吸収する定格を備えており、IEC 61000-4-2 国際規格 (レベル 4) で規定されている最大レベルを超えています。

また、TSM36CA は、業界標準の SMA パッケージに比べて約 50% 小型化された小型のリード付き SOT-23 (DBZ) パッケージで供給されています。非常に低いデバイスリーク電流および低容量により、保護対象ラインへの影響を最小限に抑えます。

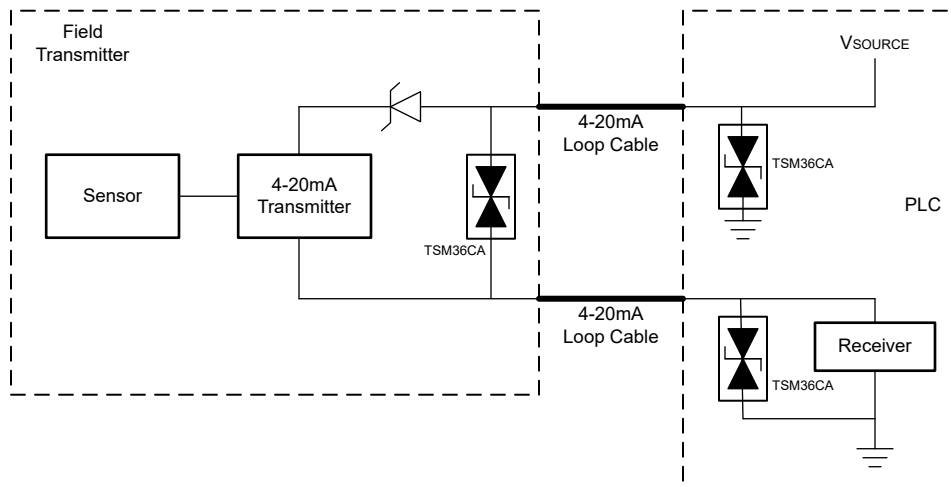


図 2-12. 代表的なアプリケーションの図

### 2.2.10 TVS3300

TVS3300 は、最大 35A の IEC 61000-4-5 故障電流を確実にシャントして、システムを高電力過渡事象や落雷から保護します。このデバイスは、 $42\Omega$  のインピーダンスを介して結合される IEC 61000-4-5 の開放回路電圧 1kV まで耐えられるようにすることで、一般的な産業用信号ラインの EMC 要件に対応するオプションを提供します。TVS3300 は、独自のフィードバック機構を使用して、故障時に精密でフラットなクランプ特性を提供し、システムへの印加電圧を 40V 未満に抑えます。厳格な電圧レギュレーションにより、設計者は電圧許容誤差の狭いシステム部品を安心して選択できるため、堅牢性を損なうことなくシステムのコストと複雑さを低減できます。

さらに、TVS3300 は、 $1\text{mm} \times 1.1\text{mm}$  の WCSP パッケージおよび  $2\text{mm} \times 2\text{mm}$  の SON パッケージで提供されており、省スペース用途向けに設計されています。これにより、業界標準の SMA および SMB パッケージと比較して、最大 90% のサイズ削減を実現します。リーク電流と容量が極めて小さいため、保護するラインへの影響も最小限に抑えられます。製品寿命にわたって高い保護性能を提供するために、TI では、TVS3300 に対して、高温環境下で 4000 回の繰り返しサージ印加試験を実施しており、その後もデバイス性能に変化がないことを確認しています。

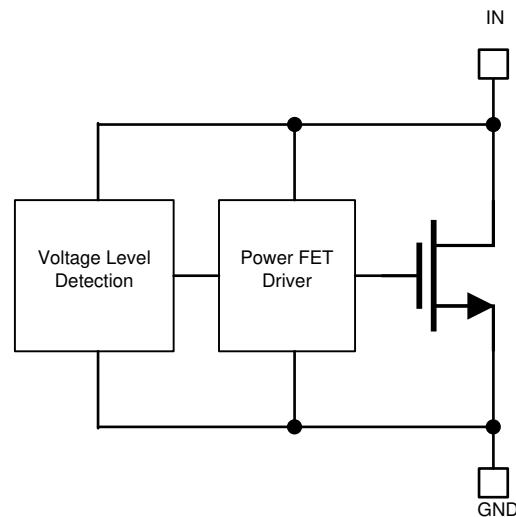


図 2-13. 機能ブロック図

### 2.2.11 SN74HCS594

SN74HCS594 デバイスには 8 ビットのシリアル イン / パラレル アウトのシフトレジスタが搭載されており、8 ビットの D タイプ ストレージレジスタへデータを供給します。すべての入力はシュミットトリガを備えているため、低速エッジまたはノイズの多い入力信号による誤ったデータ出力を解消できます。ストレージレジスタはパラレル出力を備えています。シフトレジスタとストレージレジスタの両方に対して、独立したクロックとダイレクト オーバーライディング クリア (SRCLR、RCLR) 入力が提供されます。カスケード接続用にシリアル出力 (QH') が用意されています。

シフトレジスタ (SRCLK) とストレージレジスタ (RCLK) クロックの両方がポジティブ エッジトリガです。両方のクロックと一緒に接続されている場合、シフトレジスタはストレージレジスタより 1 カウントパルス前になります。

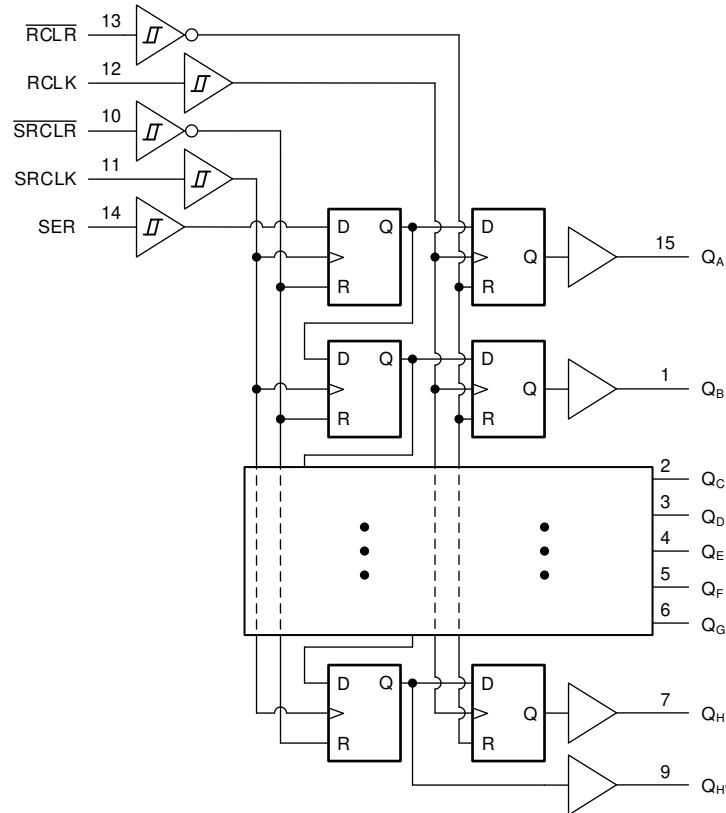


図 2-14. SN74HCS594 の論理図 (正論理)

## 2.2.12 SN74HCS165

SN74HCS165 は、シュミットトリガ入力を備えたパラレルまたはシリアル入力、シリアル出力、8 ビットシフトレジスタです。

このデバイスには、「データ読み込み」と「データシフト」の二つの動作モードがあります。

シフトまたはロード (SH/ LD) 入力を Low 状態に保持すると、内部レジスタに八つの文字が入力された入力 (A ~ H) のデータがロードされます。この操作は非同期です。この状態では、出力 (Q) は入力 H と同じ状態となり、反転出力 ( $\bar{Q}$ ) はその反対の状態となります。

シフトまたはロード (SH/ LD) 入力が High 状態に保持されると、クロックパルスが受信されるまで、内部レジスタは現在の状態を保持します。クロック (CLK) 入力の立ち上がりエッジで、シリアル入力からのデータが最初のレジスタに読み込まれ、内部レジスタ内のデータは一ビット分シフトされます。最後のレジスタの初期値が削除されます。出力 (Q) は常に最後のレジスタと同じ状態となり、反転出力 ( $\bar{Q}$ ) はその反対の状態となります。クロック禁止 (CLK INH) 入力を High に保持すると、クロックパルスが検出されないようにできます。CLK と CLK INH は交換可能な入力です。

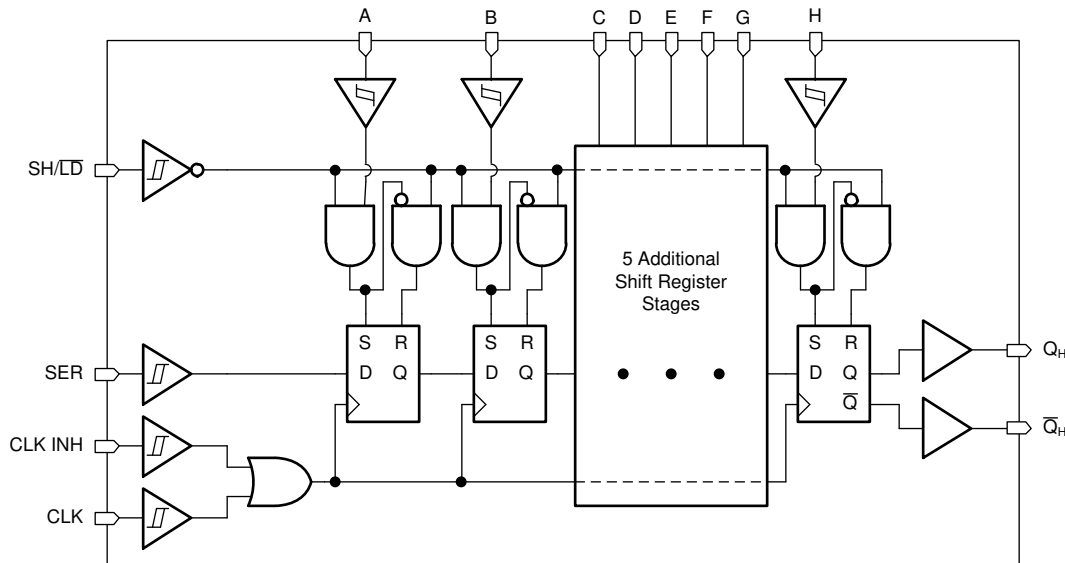


図 2-15. SN74HCS165 の論理図 (正論理)

### 2.2.13 ESD204

ESD204 は、低クランプ電圧と高い差動帯域幅を備えているため、高速信号を良好に通過させながら、下流側デバイスに対して高い保護性能を提供します。チャンネル当たり 0.55pF の低容量を備えたこのデバイスは、HDMI 2.0、HDMI 1.4、USB 3.0、および 1G イーサネットなど、最大 6Gbps の高速インターフェイスを保護するよう設計されています。低い動的抵抗と低クランプ電圧により、過渡イベントに対するシステムレベルの保護性能を維持します。

ESD204 は、業界標準の USON-10 (DQA) パッケージで提供されています。このパッケージは、フロー スルー配線および 0.5mm のピンピッチを特長としており、実装を容易にするとともに、設計時間を短縮します。

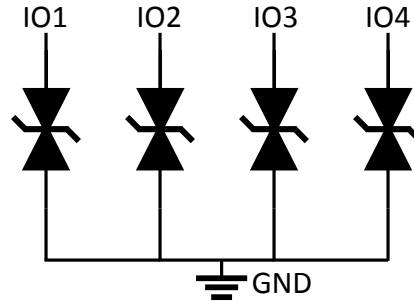


図 2-16. 機能ブロック図

### 2.2.14 ESD441

ESD441 は、データラインや他の I/O ポートを保護するための単方向 ESD 保護ダイオードです。ESD441 は、IEC 61000-4-2 国際標準 (レベル 4 以上) に従い、±30kV までの ESD 衝撃を放散できることが規定されています。

本デバイスは、標準値 1pF の I/O 容量を備えており、USB 2.0 などの高速インターフェイス向けに保護を提供します。非常に低い動的抵抗 (0.1Ω) とクランプ電圧 (16TLP で 7.6V) は、過渡事象に対するシステムレベルの保護のために指定されています。

30kV の ESD 定格と 6A のサージ耐性を備えており、小型パッケージで堅牢な過渡保護を提供し、ポータブル電子機器やウェアラブルなどスペースに制約のあるアプリケーションで 5.5V の電源レールを保護します。

ESD441 は、業界標準の 0201 および 0402 パッケージで提供されています。



図 2-17. 機能ブロック図

### 2.2.15 TPD2E2U06

TPD2E2U06 はデュアル チャネルの低容量 TVS ダイオード ESD 保護デバイスです。このデバイスは、IEC 61000-4-2 に準拠した  $\pm 25\text{kV}$  の接触放電および  $\pm 30\text{kV}$  の気中放電 ESD 保護を提供します。TPD2E2U06 の  $1.5\text{pF}$  のライン容量により、このデバイスは幅広いアプリケーションに適した優れた選択肢となります。

代表的なアプリケーション インターフェイスとして、USB 2.0、LVDS、および I2C があります。

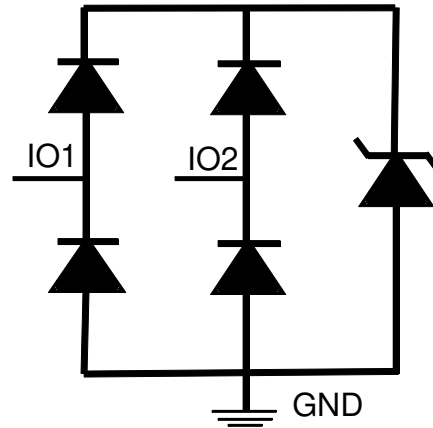


図 2-18. 機能ブロック図

### 2.2.16 TPS7A3701

TPS7A37 は、超低ドロップアウト性能および逆電流保護を実現するために NMOS パストラジスタを採用した LDO レギュレータファミリに属しています。これらの機能に加え、イネーブル入力を備えていることから、TPS7A37 はポータブルアプリケーションに適した優れた選択肢となります。このレギュレータファミリでは、幅広い選択肢の固定出力電圧バージョンと、可変出力バージョンから選ぶことができます。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

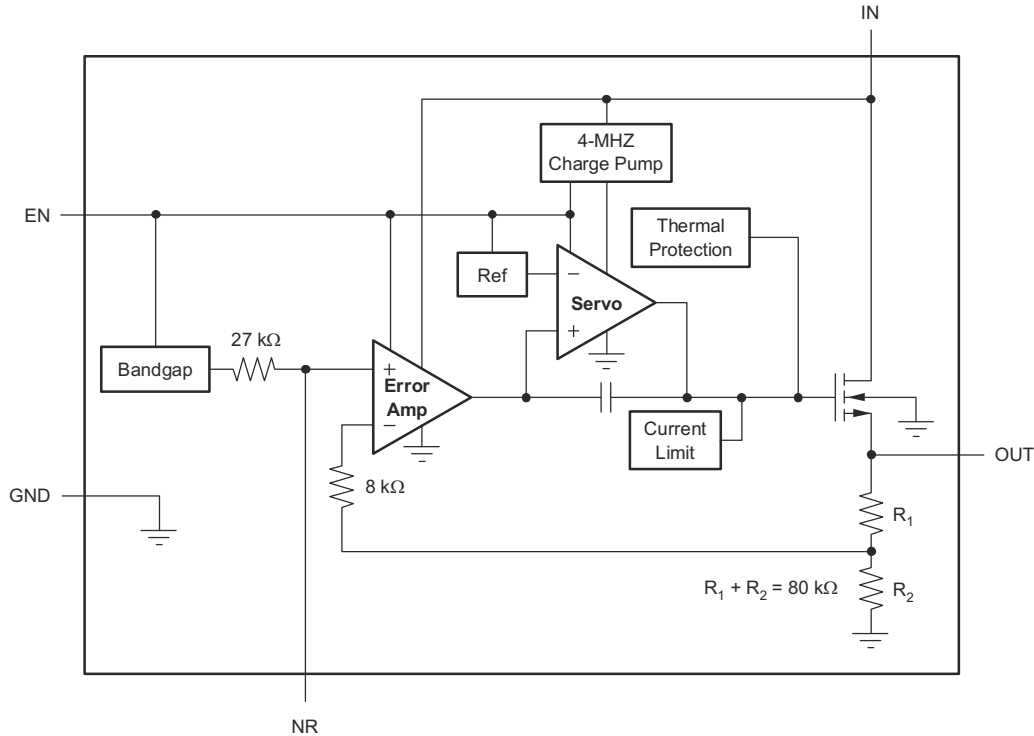


図 2-19. 固定電圧バージョン

## 2.2.17 MSP432E401

SimpleLink™ MSP432E401Y Arm Cortex-M4 マイコン (MCU) は、高い性能と高度な統合機能を提供します。MSP432E4 製品ファミリは、大規模な制御処理機能と接続機能を必要とする、コスト効率に優れたアプリケーション向けに位置付けられており、次のような用途に適しています：

- 産業用通信機器
- ネットワーク アプライアンス、ゲートウェイ、およびアダプタ
- 住宅と商業施設の監視と制御
- リモート コネクティビティと監視
- セキュリティおよびアクセス システム
- 産 HMI コントロール パネル
- ファクトリ オートメーション制御
- 試験および計測機器
- 防火およびセキュリティ システム
- モーション制御および電力変換
- 医療用計測装置
- ゲーム機器
- 電子販売時点情報管理 (POS) ディスプレイ
- スマート エネルギーとスマート グリッド機器
- インテリジェントな照明制御
- 車両追跡

MSP432E401Y マイコンは、多数の通信機能を統合しており、性能と消費電力のバランスを保ちながら、重要なリアルタイム制御をサポートできる、高接続性を備えた新しいクラスの設計向けに最適化されています。このマイコンは、統合された通信ペリフェラルに加え、高性能なアナログ機能およびデジタル機能を備えており、ヒューマン マシン インターフェイスからネットワーク接続型システム管理コントローラまで、さまざまな用途向けに強力な基盤を提供します。

MSP432E401Y マイコンは、Arm の開発ツール、システム オン チップ (SoC) インフラストラクチャ、および大規模なユーザー コミュニティを利用できる環境を提供します。さらに、このマイコンは、メモリ要件とコストを削減するために、Arm の Thumb 互換 Thumb-2 命令セットを採用しています。

最後に、SimpleLink SDK を使用する場合、MSP432E401Y マイコンは、SimpleLink シリーズのすべての製品とコード互換性があり、要件に応じた柔軟な対応を可能にします。

TI は、開発期間を短縮するために、以下のツールを提供しています：

- 評価ボードおよび開発ボード
- ホワイト ペーパーやアプリケーション ノートなどのサポート ドキュメント
- 使いやすいペリフェラル ドライブライブラリ
- 強力なサポート、販売、およびディストリビュータ ネットワーク

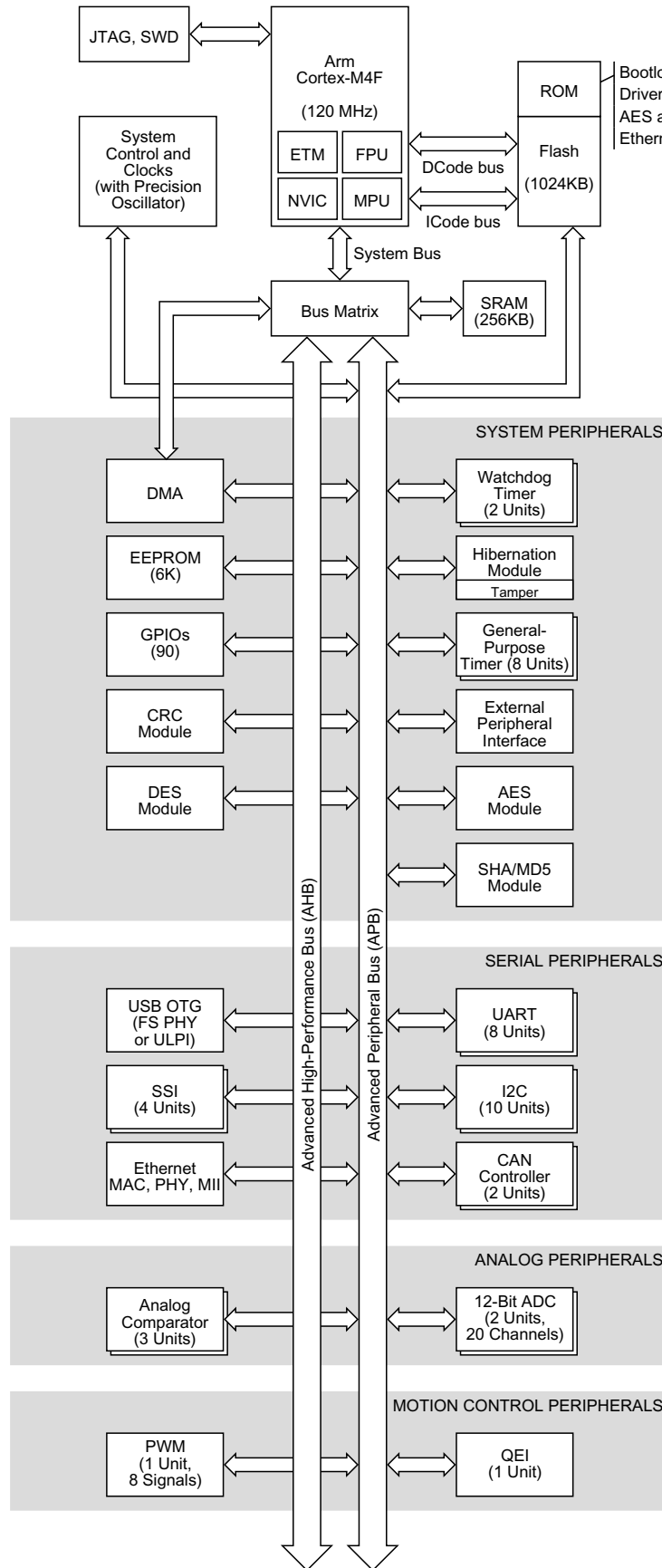


図 2-20. ハイレベル ブロック図

### 2.2.18 CSD18540Q5B

この 1.8mΩ、60V の NexFET™ パワー MOSFET は、SON 5mm × 6mm パッケージを採用し、電力変換アプリケーションにおける損失を最小限に抑えるよう設計されています。

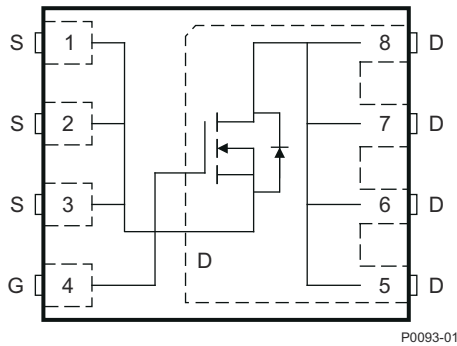


図 2-21. 上面図

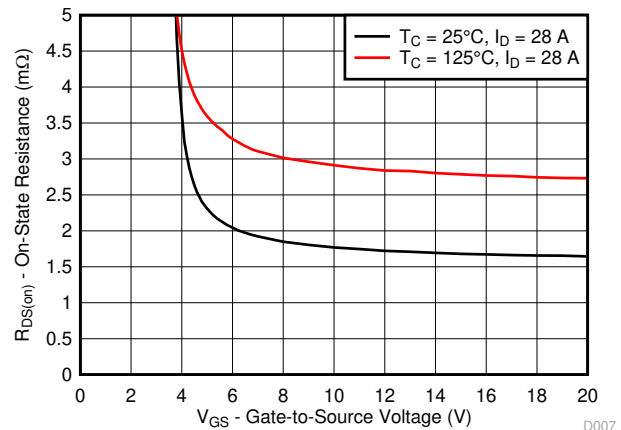


図 2-22. R<sub>DS(on)</sub> と V<sub>GS</sub> との関係

### 2.2.19 CSD18543Q3A

この 60V、8.1mΩ、SON 3.3mm × 3.3mm NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計されています。

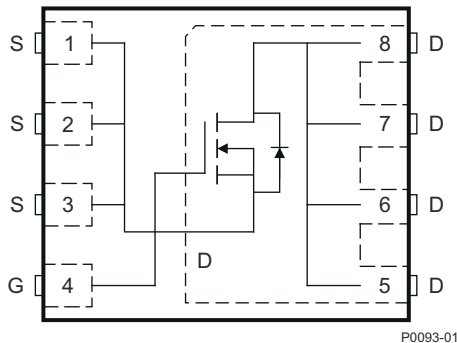


図 2-23. 上面図

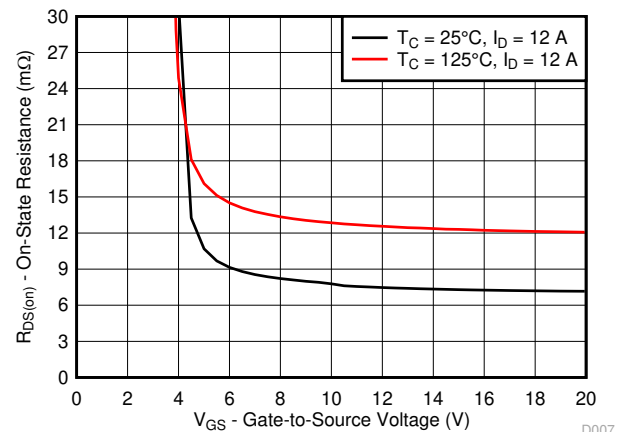


図 2-24. R<sub>DS(on)</sub> と V<sub>GS</sub> との関係

### 3 システム設計理論

このセクションでは、部品選定、レイアウトのヒント、および EMC ガイドラインを含む、リファレンス デザインのハードウェアアーキテクチャと主要な実装について説明します。

#### 3.1 電源および保護

設計の簡素化およびコスト効率向上のために、この設計では **PMIC** を使用せず、電源レール数も最小限に抑えています。すべての部品は、入力電圧で直接動作する (**IO-Link** トランシーバ、ハイサイド スイッチ) か、**3.3V** レールで動作する (イーサネット **PHY**、フラッシュ、**RAM**、シフトレジスタ、クロック回路) 構成となっています。CPU コアには **1.25V** が必要で、個別のレギュレータが必要です。CPU に必要な **1.8V** は、CPU 内部で **3.3V** から生成されるため、追加の **DC/DC** または **LDO** は不要です。

これにより、電源ツリーは以下に示すブロック図のように簡素化されます。**PMIC** を使用しない構成では、ユーザー側で電源シーケンスを管理し、電源が安定した後に **CPU** のリセットを解除する必要があります。図 3-1 に、設計された電源シーケンスも示します。

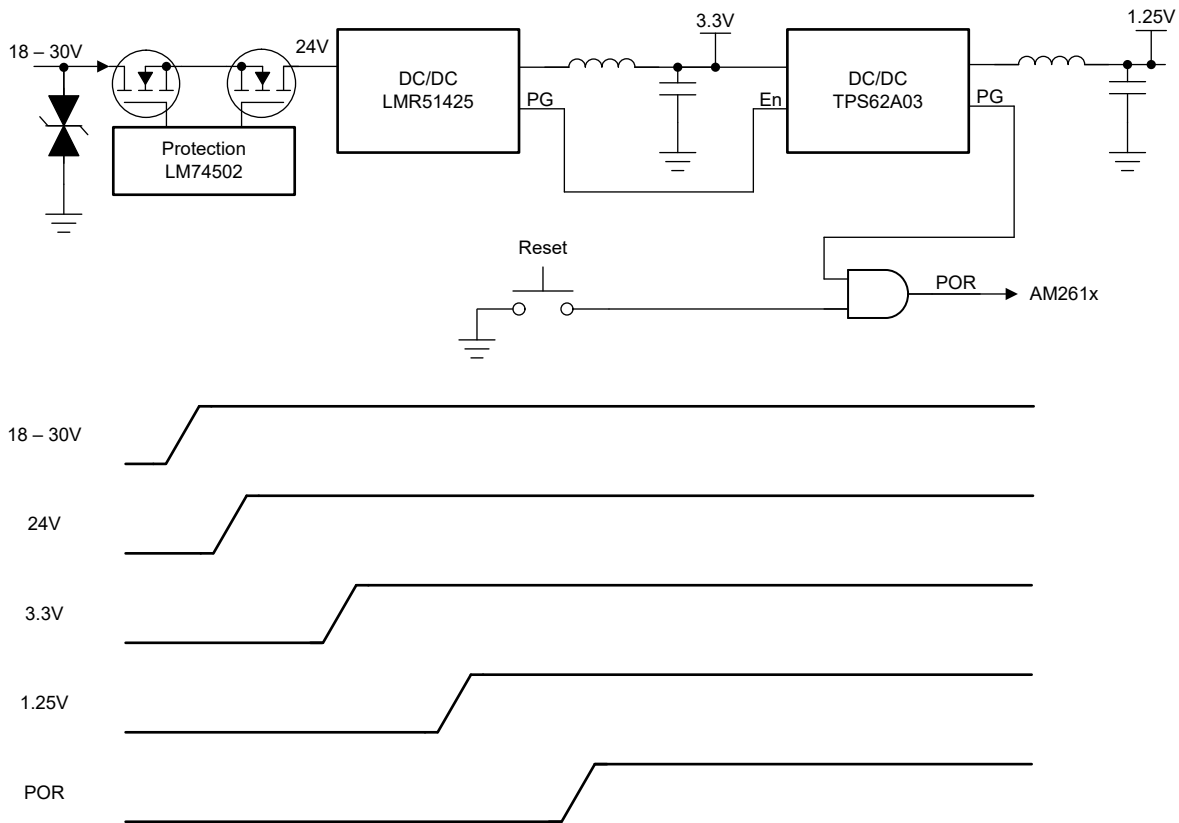


図 3-1. 電源ツリーとリセットの生成

##### 3.1.1 LM74502 入力保護

LM74502 は二つの FET を駆動しており、全電流を流す必要があります。各ポートでは **1A** の **L+** 電流が許容されているため、**8** ポートでは合計で **8A** を超えます。CSD18540Q5B はこの用途向けに設計されており、CSD18531Q5A についても、より低電流向けオプションとして評価済みです。

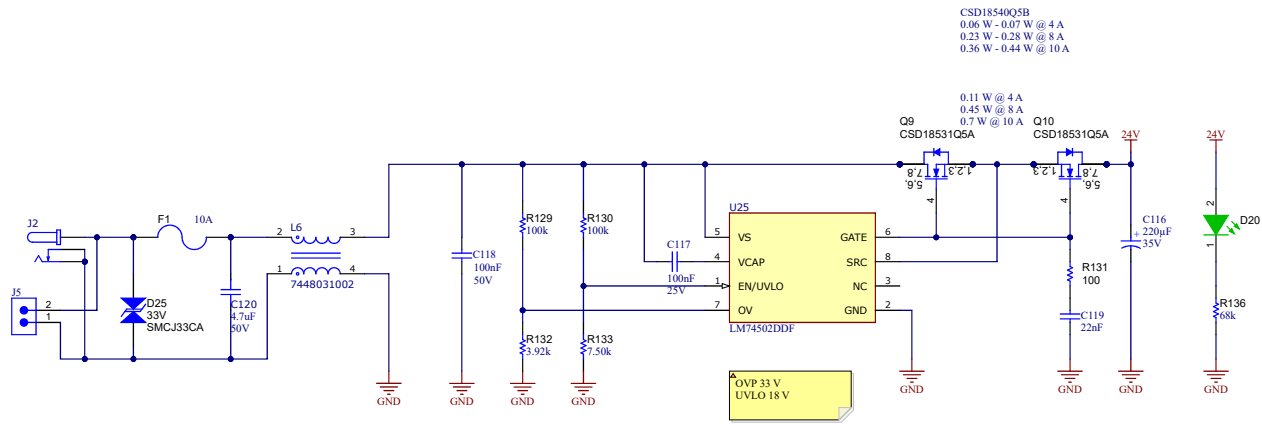


図 3-2. LM74502 による入力保護

LM74502 は、電圧が 18V 以上になるとシステムをオンにし、電圧が 33V を超えるとシステムをオフにするよう設定されています。33V を超える電圧 (サージ イベント時や大きな過電圧時など) が発生した場合、TVS ダイオードによって安全なレベルにクランプされ、LM74502 および FET の損傷を防止します。

スムーズな起動を実現するために、FET のゲートのスルーレートを制限しています。スルーレートが制限されている間、FET は一定時間リニア領域で動作します。SOA 内で FET を動作させることを確認してください。ただし、システムの起動時には大きな電流は流れません。起動時にはコンデンサを充電するだけでよく、その他のシステムの電流は初期段階では 100mA 程度です。大電流動作は、CPU がハイサイドスイッチを初期化して出力をオンにした後に開始されます。ユーザーがこの動作を制御しており、FET が完全にオンになった後まで動作を遅延させることができます。

同相モードフィルタ インダクタは、最初の DC/DC のスイッチング周波数を十分に減衰できるように選定されています。最初の DC/DC は 500kHz の FPWM モードで動作しており、同相モード インダクタには 26dB の減衰特性が規定されています。同相モードフィルタは、最大電流を処理できる能力が必要です。最大定格電流が 10A のため、選択したインダクタはこのアプリケーションに適しています。

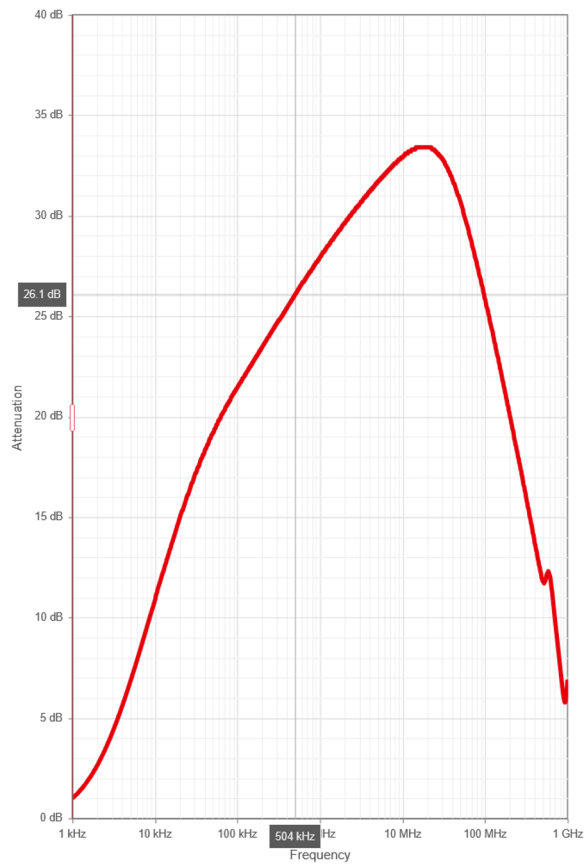


図 3-3. CMC フィルタ 7448031002 の減衰

同相モードフィルタの入力側にもコンデンサを配置することで、差動漏れインダクタンスによって差動モードフィルタが構成されます。図 4-46 および図 4-47 は、フィルタリングが要件を満たすことを示しています。

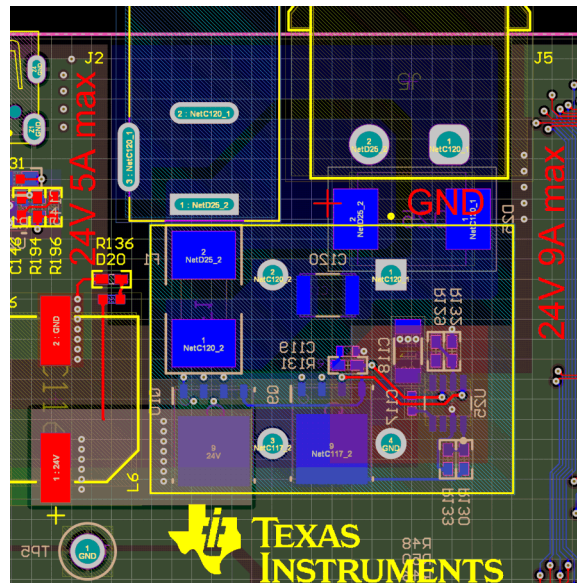


図 3-4. 入力保護のレイアウト

図 3-4 に、LM74502 および入力フィルタ部品のレイアウトを示します。使いやすさを向上させるために、二つの電源コネクタを並列に配置しています。これらのコネクタの一つはバレル ジャックであり、多くのアダプタが利用可能です。特別な

電源は不要なため、開発時でもこれらのコネクタを容易に使用できます。バレル ジャックは 5A に制限されるため、より大きな電流に対応できる二つ目のコネクタを配置しています。テスト中は両方のコネクタを使用できます。

PCB のプレーンはインダクタの半分までを横切っており、同相モード インダクタのコネクタ側へ配線する際には、インダクタと重なるプレーンは配置していません。この設計により、内部プレーンと DC コネクタ間の寄生容量を最小限に抑え、GND やその他のプレーン上の HF ノイズがフィルタをバイパスすることを防止しています。

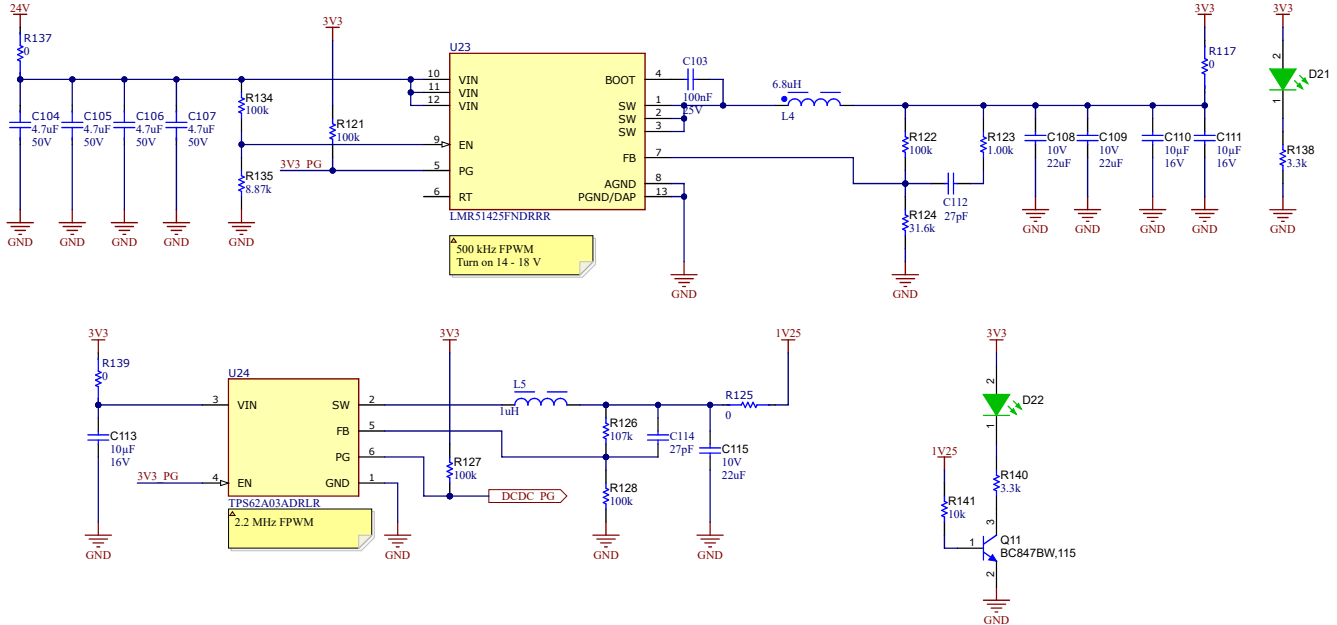


図 3-5. LMR51425 と TPS62A03 による電源

この回路図は、両方の DC/DC レギュレータを示しています。500kHz の FPWM モードで動作する LMR51425 のバリアントを使用して、24V を直接 3.3V に降圧しています。この設計には、電流ステップ応答をやや高速化するために、フィードバック経路にフィードフォワード ネットワークが含まれています。

選択したコンデンサのサイズは 1206 と 1210 です。この設計では、ディレーティング後の容量値が設計容量を満たすように、複数のコンデンサを使用しています。パワーグッド信号 (オープンドレイン) は電源シーケンスに使用され、1.25V コンバータ TPS62A03 が有効になるため、意図したとおりに動作するプルアップ抵抗が必要です。

入力および出力は 0Ω 抵抗を介してシステムに接続されており、DC/DC をシステムから切り離して個別に評価できるようにしています。また、フェライト ビーズによる追加フィルタが必要になった場合に備えて、フットプリントも確保しています。

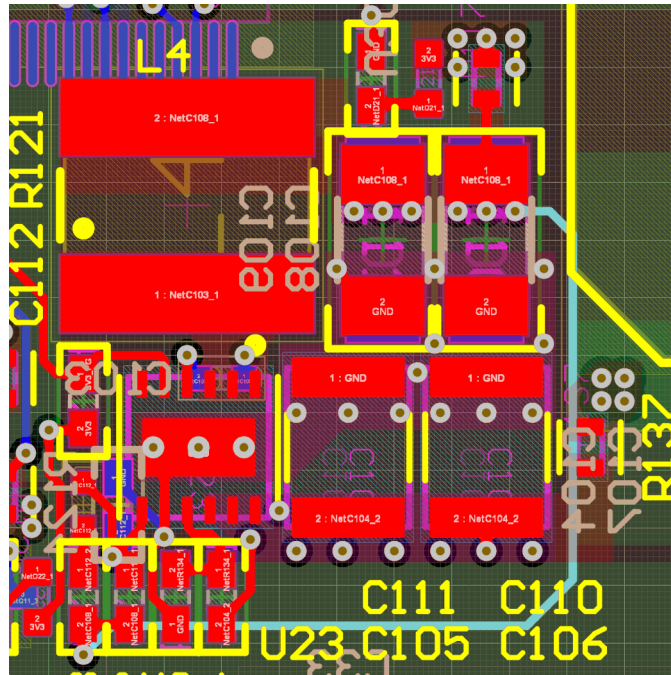


図 3-6. LMR51425 のレイアウト

図 3-6 に LMR51425 DC/DC レギュレータのレイアウトを示します。入力側および出力側のコンデンサは互いに隣接して配置されており、DC/DC の入力ピンおよびインダクタの出力側の近くに配置されています。コンデンサとインダクタのサイズは、電流ループを非常に小さく維持するのに役立ちます。PCB の両面にコンデンサを配置しており、これらは多数のビアによって相互接続されています。プレーンは、入力側および出力側の電流がコンデンサを経由するような形で配線および接続されています。インダクタは IC 側から巻線が開始される構造となっているため、ノイズの多い部分を最小限に抑えることができ、さらに巻線によってスイッチング ノイズのシールド効果も得られます。これらの機能により、DC/DC からの放射型 EMI を低減します。

TPS62A03 は CPU コアへ電源を供給するため、厳しい負荷ステップ許容範囲を満たす必要があります。1.25V レールは 1.188V ~ 1.32V を受け入れ、ピーク電流は 1.5A になります。ここで選定した TPS62A03 のバリエーションは FPWM モードで動作しており、FPWM モードは負荷過渡応答に対してより優れた特性を示します。DC/DC および特に CPU 側のフィルタリング コンデンサによって、規定範囲内を維持しやすくなります。このデバイスによる事前試験では、電源レールが規定範囲内に維持されることが確認されています。

TPS62A03 は、3.3V レールが安定し、パワー グッドが解除された後に有効化されます。TPS62A03 のパワー グッドは、CPU をリセットから解放します。

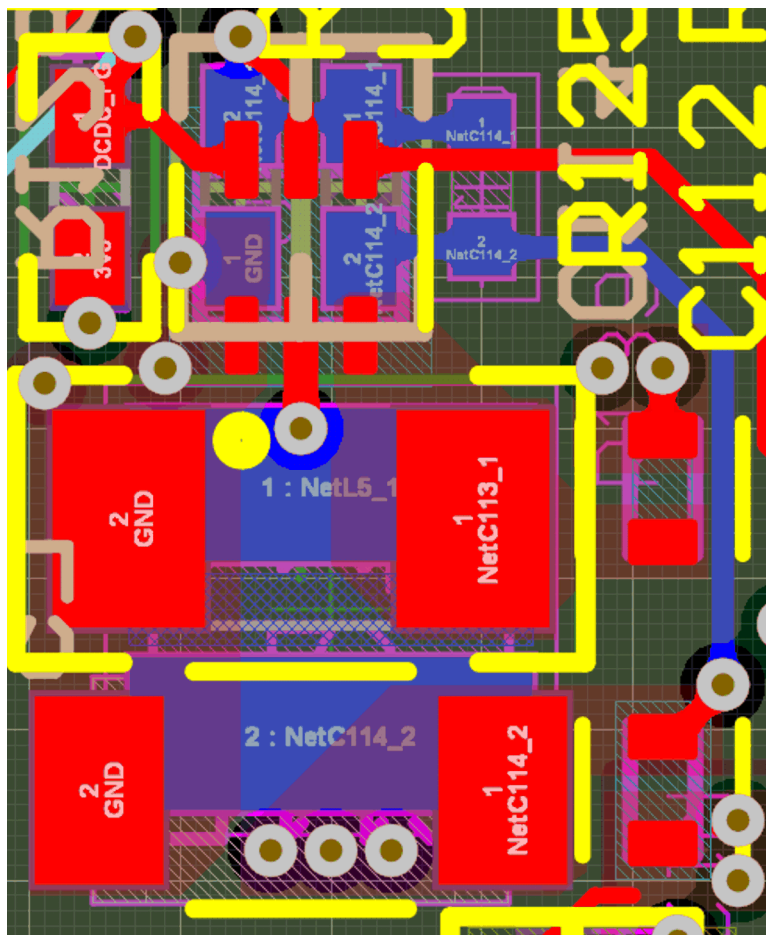


図 3-7. TPS62A03 のレイアウト

このレイアウトは、一般的なスイッチングレギュレータと同様のルールに従っています。この設計では、電流ループのサイズを小さくするために、インダクタを基板裏面に配置し、コンデンサを表面に配置しています。

### 3.2 イーサネット

産業用イーサネットの実装には、二つの DP83826A PHY を使用します。構成の柔軟性を高めるために、デバイスは拡張モードに設定されています。PHY は、高速リンクドロップを有効にして、MII モードを使用するように設定されています。両方の PHY が MDIO バス上で異なるアドレスを持っていることを確認します。

回路の堅牢性を高めるために、いくつかの重要な仕組みを採用しています。図 3-8 に、PHY からネットワークケーブルへのメディア依存インターフェイス MDI 接続を示します。この接続は基板外へ引き出されるため、PHY が外部から損傷を受けたり干渉を受けたりしないよう、保護する必要があります。また、接続は基板からノイズを生じさせません。

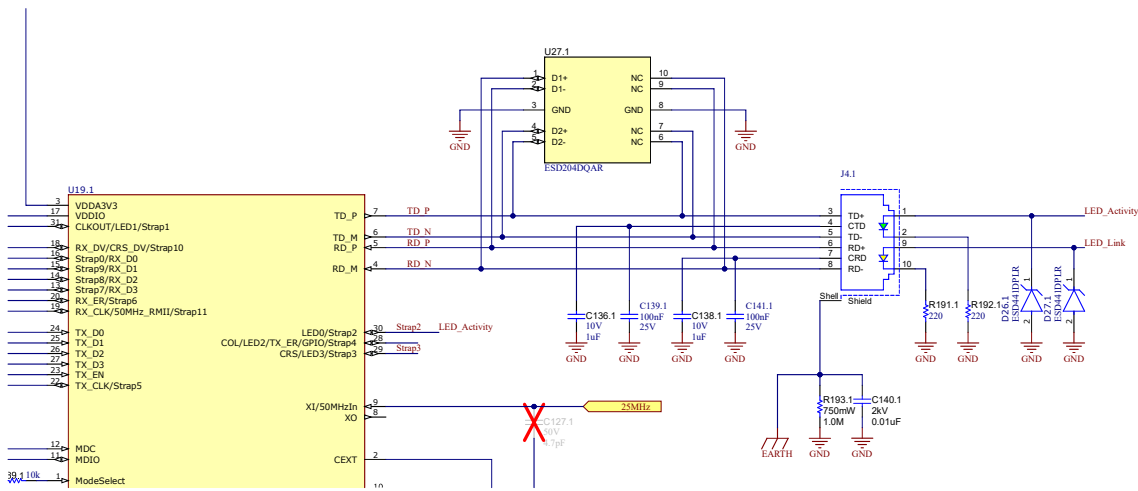


図 3-8. イーサネット MDI の保護

コネクタ J4 には、トランスの両側にイーサネットトランスと同相チョークが含まれているため、このコネクタはイーサネット信号のシグナル インテグリティを向上させます。また、J4 コネクタには、ケーブル側の終端が含まれます。

また、このトランスは一次側と二次側の間に絶縁を持つことで、バーストや ESD などの外部からのコモン モード信号に対する保護も提供します。しかし、このトランスには寄生容量が存在するため、これらの信号は非常に高い帯域幅を持っており、パルスが PHY 側へ伝わる可能性があります。バーストは約 100MHz、ESD は約 1GHz です。ノイズをクランプするために、ESD ダイオード U27.1 を使用します。この ESD ダイオードのピン配置により、スタブや追加のビアなしでイーサネット信号を配線できます。図 3-9 に、ルーティングを示します。

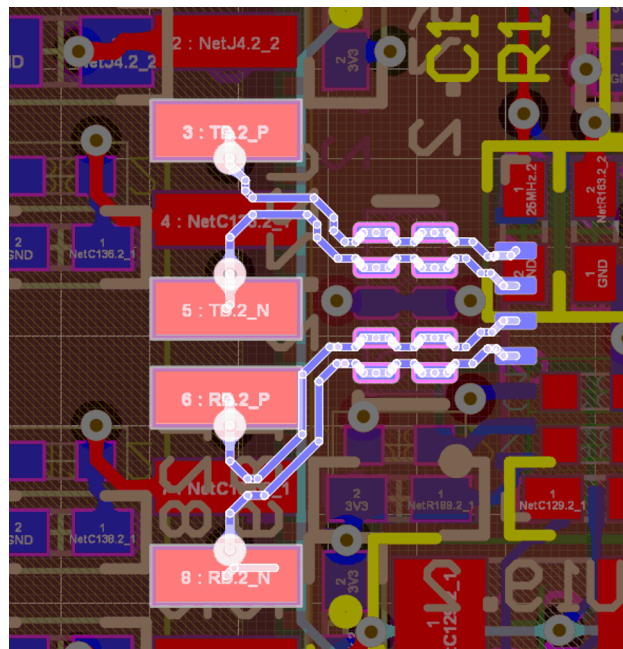


図 3-9. ESD ダイオードの配置と MDI の配線

ESD パルスはコネクタ横の LED を介して基板内部へ侵入する可能性もあるため、PHY が損傷したりリセットを発行したりしないように、LED ラインについても ESD ダイオード D26.1 および D27.1 によってクランプしています。

C140.1 と R192.1 は、システムの GND とケーブル シールドの間の HF 接続に重要です。このコンデンサは高周波ノイズに対して絶縁バリアを短絡する役割を果たし、時間の経過とともに電荷が蓄積される可能性があります。コンデンサを放電するには、R192.1 が重要です。図 3-10 はコンデンサのサイズを示しています。高周波において非常に低インピーダンスの短絡経路を提供できる、大容量コンデンサの使用が推奨されています。長く細いパターンは避けてください。内部

層を接続するには、複数のビアを使用します。抵抗の配置は重要ではありません。抵抗および配線間隔によって、EFTバースト時に発生する高電圧に対応できます。

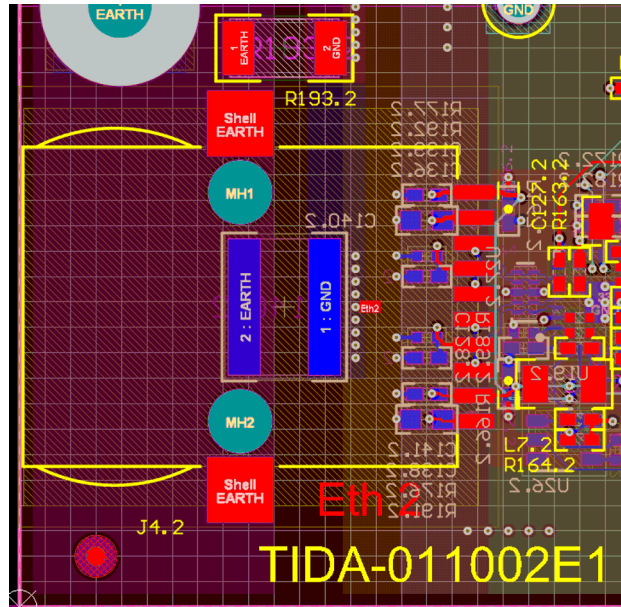


図 3-10. イーサネット EMI コンデンサの配置

図 3-8 に、クロックラインに負荷をかけ、必要に応じてスルーレートを低減するためにオプションの小さなコンデンサを使用する方法を示します。このケースでは、試験の結果、そのコンデンサは不要であることが確認されています。

図 3-11 に、イーサネット PHY のリセットライン上に小さなコンデンサを配置するオプションを示します。ESD 耐性を向上させる必要がある場合は、これらのコンデンサを実装します。基板下のプレーンに ESD パルスが発生すると、すべての配線に結合し、信号へ干渉を与える可能性があります。駆動能力の弱い長いパターンでは、このような小容量コンデンサによってレベルを安定させ、リセットを防止できる場合があります。コンデンサはデバイスの入力にできるだけ近い場所に配置します。

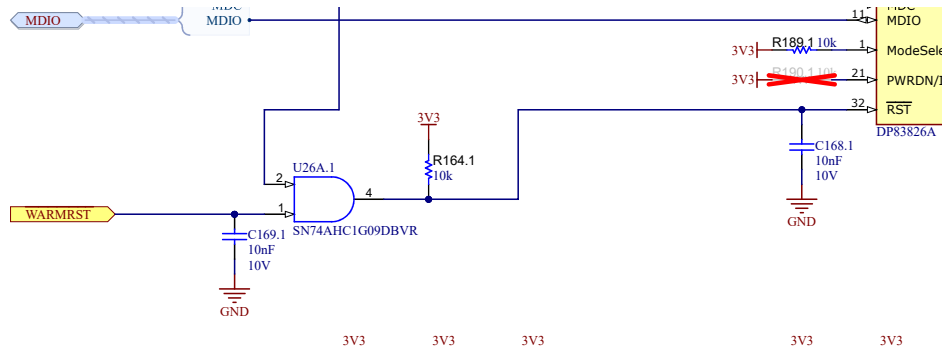


図 3-11. リセット端子上的コンデンサによる ESD 耐性向上

イーサネット PHY の電源のフィルタリングについては、図 3-12 を参照してください。異なる容量値のコンデンサ群とフェライトビーズを用意することを検討してください。コンデンサの周波数に対するインピーダンス特性によっては、単一のコンデンサで十分な場合があります。

注

必要に応じて、EMC 試験時にフェライトビーズを評価できますが、フェライトビーズは PHY から発生してシステムの電源ツリーへ流入するノイズを低減します。

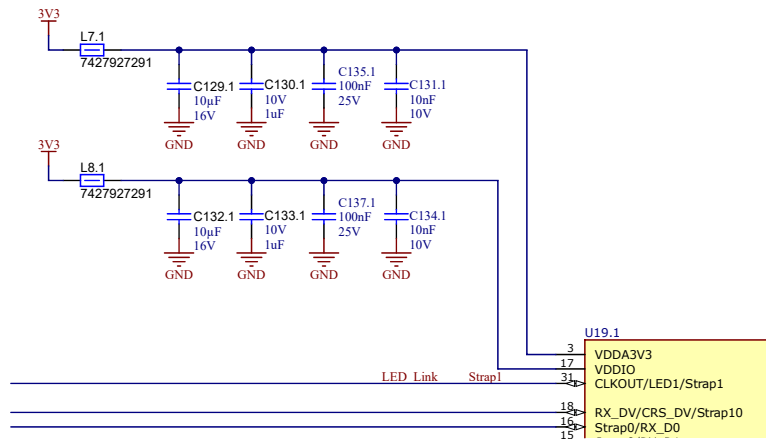


図 3-12. イーサネット PHY の電源でのフィルタリング

電源配線はコンデンサを経由するように配線し、すべての電流がコンデンサをバイパスする必要がある構成にします。この配線により、寄生成分はできるだけ小さくなります。

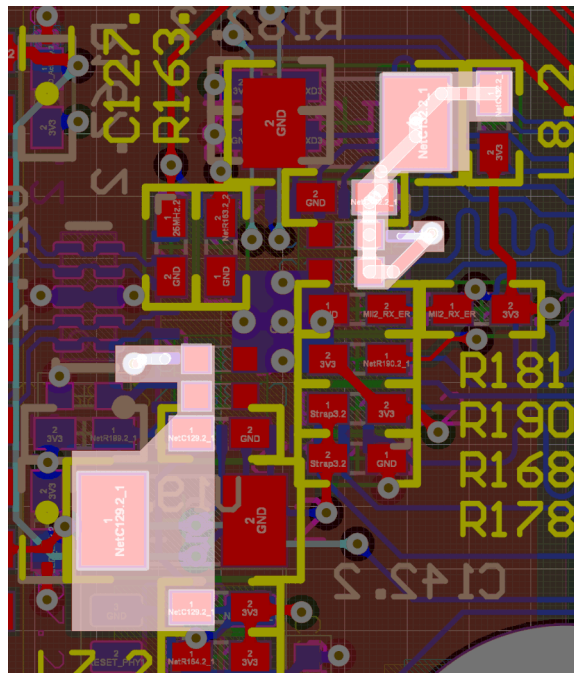


図 3-13. コンデンサを経由した電源ライン配線

### 3.3 IO-Link HSS

接続された IO-Link デバイスの L+ ラインを制御するために、TPS274C65 を二個使用しています。ハイサイドスイッチはアドレス指定 SPI モードで動作するよう構成されているため、両方のデバイスを一つの CS でアクセスできます。異なるのは、SPI 経由で送信されるアドレスのみです。

図 3-14 に、デバイスの接続方法を示します。両方のデバイスは同じ方法で接続されていますが、異なるアドレスを設定するために、R38 と R131 の抵抗値のみが異なります。ハイサイドスイッチには、外部 FET による逆電流ブロックを行うオプションがあります。この機能には、CSD18543Q3A を使用しています。この必要がない場合、複数の FET を取り外して短絡することが可能です。

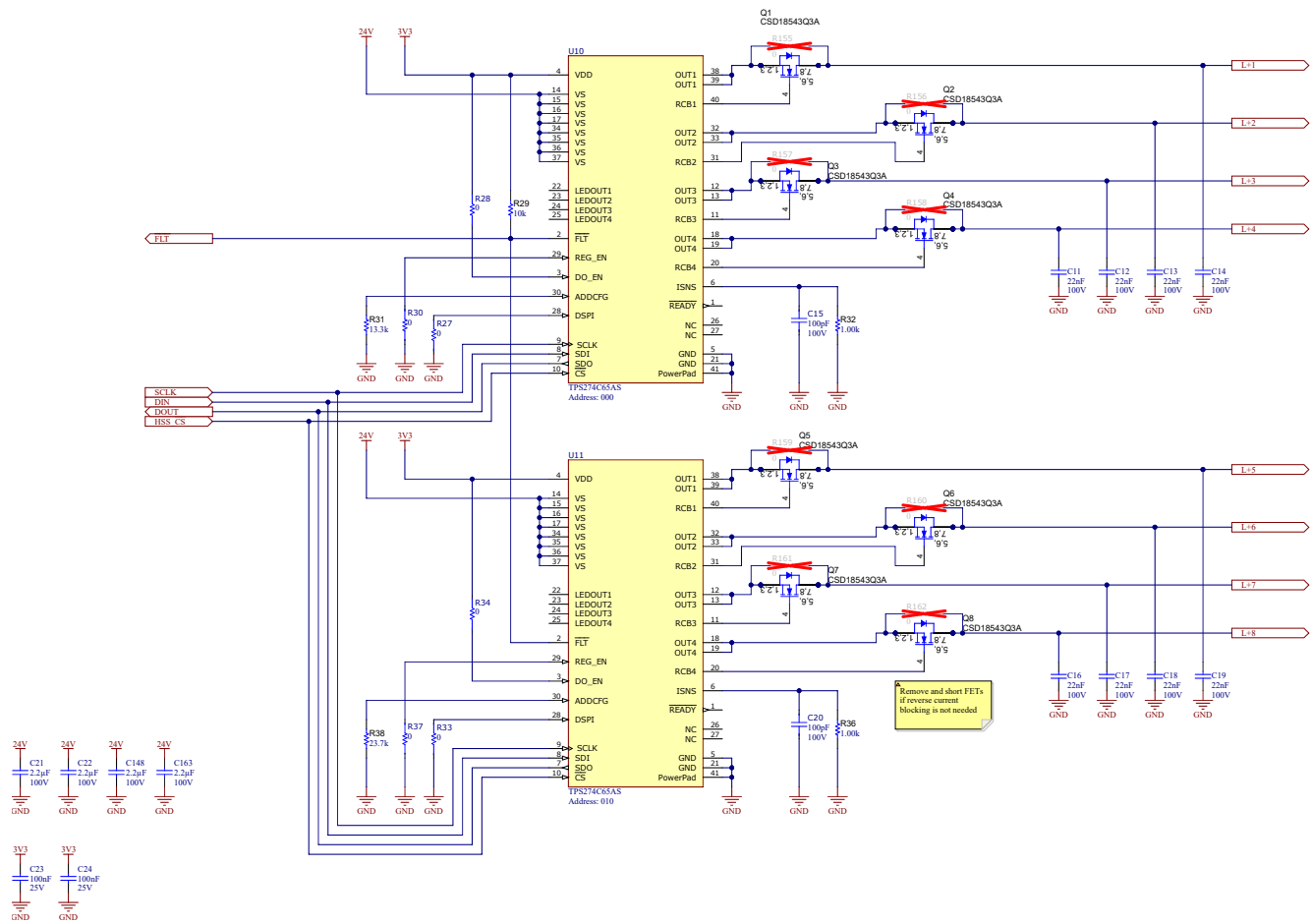


図 3-14. ハイサイド スイッチ

### 3.4 LED およびデジタル IO 用のシフトレジスタ

プロセッサの GPIO を節約するために、IO-Link ポートのデジタル IO および LED はシフトレジスタチェーンを介して制御されています。デジタル IO は TIOL221 の SPI を介して読み取りおよび設定できますが、各 TIOL221 の SPI が個別のチップセレクト端子を必要とするため、一回の SPI 転送で済む方式と比べて、より多くのソフトウェアオーバーヘッドが発生します。

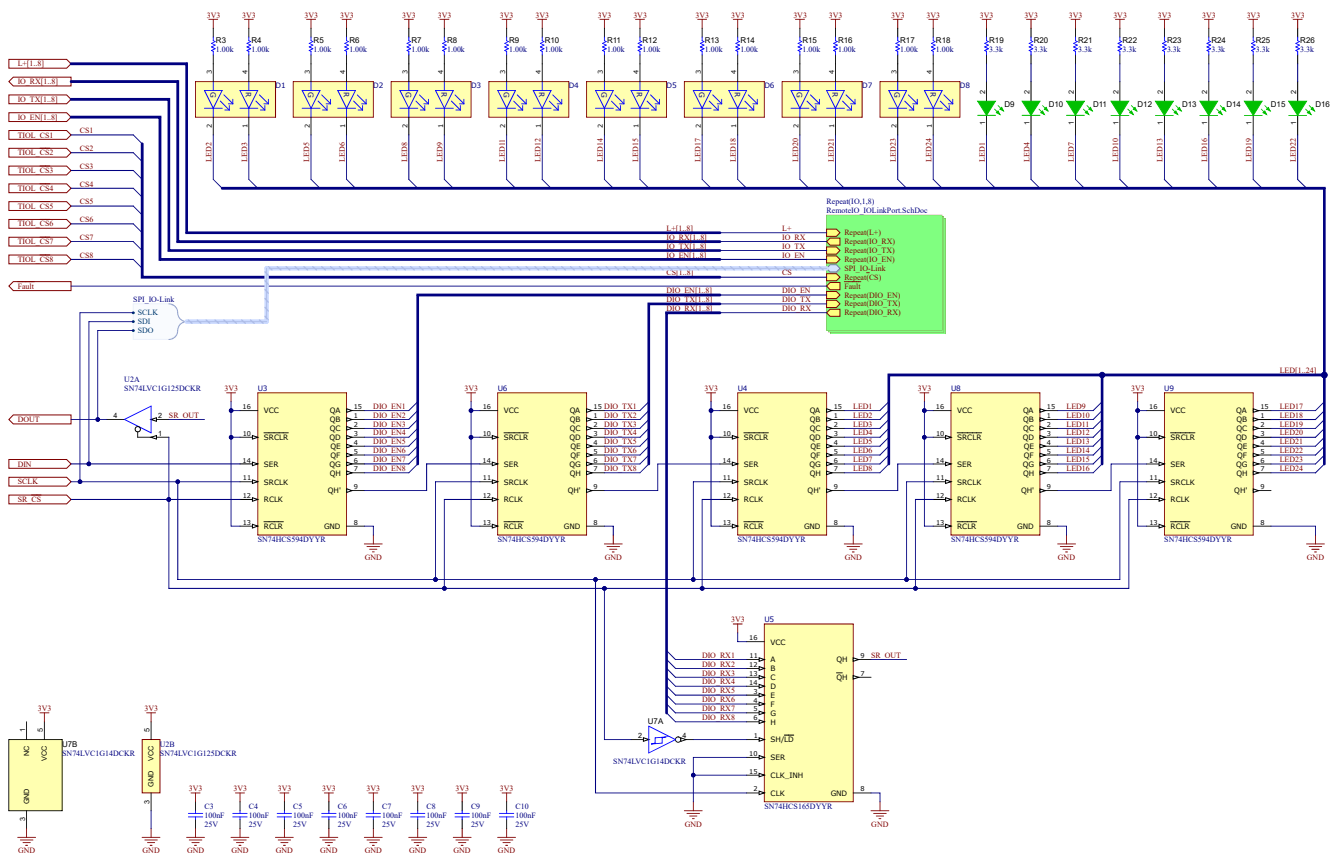


図 3-15. すべての LED および DIO の制御にシフトレジスタを使用

図 3-15 に、シフトレジスタチェーンを示します。五つの SN74HCS594 を接続して、24 個の LED、デジタル IO のイネーブル信号、および DIO 出力信号用の 40 ビットレジスタを構成しています。DIO ラインのレベルを読み戻すために、すべての TIOL221 の RX 信号を SN74HCS165 シフトレジスタに接続しています。DIO 入力のレベルは、CS が Low になったときにラッチされ (U7 は正しいロジックを実現するために必要)、SPI 転送中はその状態が保持されます。この SPI は基板上の他の SPI パリフェラルと DIN および DOUT 信号を共有しているため、DOUT をトライステート状態にする必要があります。これは、CS が High のときに U2 を使用することで実現しています。

### 3.5 IO-Link の保護

IO-Link ポートにはそれほど多くの保護は必要ありませんが、CQ ラインおよび DI/DO ラインに GND 接続された 1nF の小容量コンデンサを追加することで、ノイズ感度を向上できます。ポートをサージから保護するために、必要に応じて追加のダイオードを使用します。この設計では、TVS3300 と TSM36 の組み合わせを使用し、評価を行いました。MOV を追加するためのフットプリントも用意されています。

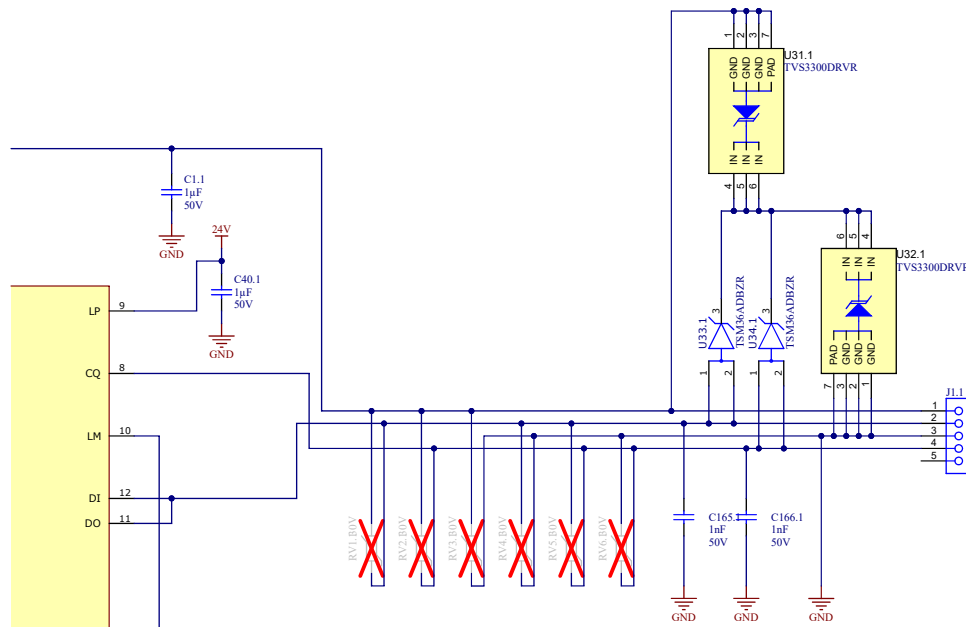


図 3-16. 保護用 IO-Link ポートのダイオードおよびコンデンサ

### 3.6 CPU とブート

プロセッサを起動するためには、起動元に応じて SOP ピンを正しく設定する必要があります。スイッチ SW1 は U15 を介してリセット時に接続され、プロセッサへ必要な設定を提供します。

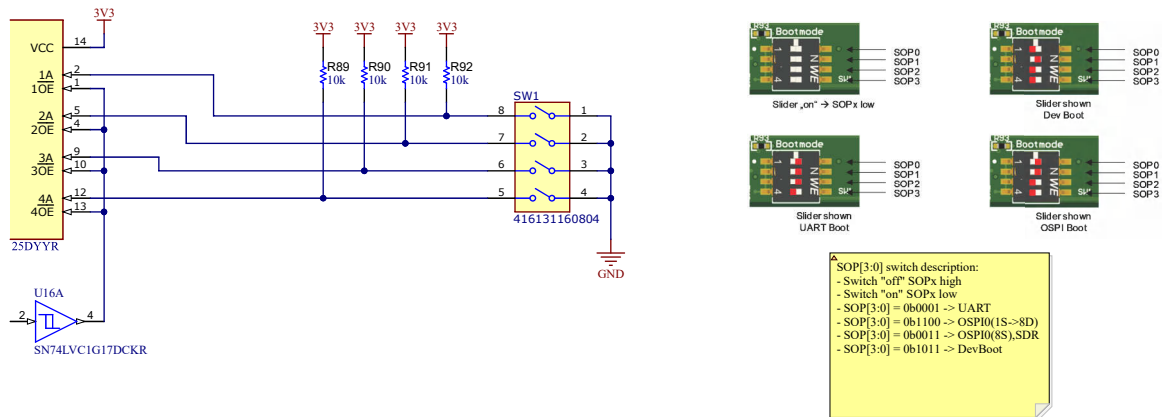


図 3-17. ブート モード スイッチ

ブート デバイス	SW1 (1 = オン, 0 = オフ)
UART	1110
Dev Boot	0100
OSPI	1100

このリファレンス デザインでは、AM261 評価基板およびすべてのソフトウェア サンプルよりも大容量のフラッシュを使用しているため、SDK のブートローダー関連のファイルを変更し、syscfg によって生成される ti\_board\_open\_close.c ファイルが以下のようになるようにする必要があります。この構成により、最高 133MHz の高速 OSPI モードでブートできます。

```
/* FLASH Attrs */
Flash_Attrs gFlashAttrs_MX25LM51245GXDI00 =
```

```

{
    .flashName = "MX25LM51245GXDI00",
    .deviceId = 0x853A,
    .manufacturerId = 0xC2,
    .flashSize = 67108864,
    .blockCount = 1024,
    .blockSize = 65536,
    .pageCount = 256,
    .pageSize = 256,
    .sectorCount = 16384,
    .sectorSize = 4096,
    .phyTuningOffset = 0x80000,
};

/* FLASH DevConfig */
Flash_DevConfig gFlashDevCfg_MX25LM51245GXDI00 =
{
    .cmdExtType = OSPI_CMD_EXT_TYPE_INVERSE,
    .enable4BAddr = TRUE,
    .addrByteSupport = 2,
    .fourByteAddrEnSeq = 0x20,
    .cmdWren = 0x06,
    .cmdRdsr = 0x05,
    .srwip = (1 << 0),
    .srwel = (1 << 1),
    .xspiwipRdCmd = 0x05,
    .xspiwipReg = 0x00000000,
    .xspiwipBit = (1 << 0),
    .resetType = 0x10,
    .eraseCfg = {
        .blockSize = 65536,
        .sectorSize = 4096,
        .cmdBlockErase3B = 0xD8,
        .cmdBlockErase4B = 0xDC,
        .cmdSectorErase3B = 0x20,
        .cmdSectorErase4B = 0x21,
        .cmdChipErase = 0xC7,
    },
    .idCfg = {
        .cmd = 0x9F, /* Constant */
        .numBytes = 3,
        .dummy4 = 0,
        .dummy8 = 20,
        .addrSize = 0
    },
    .protocolCfg = {
        .protocol = FLASH_CFG_PROTO_8D_8D_8D,
        .isDtr = TRUE,
        .cmdRd = 0xEE,
        .cmdWr = 0x12,
        .modeClksCmd = 0,
        .modeClksRd = 0,
        .dummyClksCmd = 20,
        .dummyClksRd = 20,
        .enableType = 0,
        .enableSeq = 0x04,
        .protoCfg = {
            .isAddrReg = TRUE,
            .cmdRegRd = 0x71,
            .cmdRegWr = 0x72,
            .cfgReg = 0x00000000,
            .shift = 0,
            .mask = 0x00,
            .cfgRegBitP = 0,
        },
        .strDtrCfg = {
            .isAddrReg = TRUE,
            .cmdRegRd = 0x71,
            .cmdRegWr = 0x72,
            .cfgReg = 0x00000000,
            .shift = 1,
            .mask = 0x00,
            .cfgRegBitP = 1,
        },
        .dummyCfg = {
            .isAddrReg = TRUE,
            .cmdRegRd = 0x71,
            .cmdRegWr = 0x72,
        }
    }
};
    
```

```
.cfgReg = 0x00000003,  
.shift = 0,  
.mask = 0x01,  
.cfgRegBitP = 3,  
},  
},  
.flashWriteTimeout = 152,  
.flashBusyTimeout = 76000000,  
};
```

このプロセッサは、IO-Link と産業用イーサネットを実装する二個の ICSS を搭載しています。8 つすべての IO-Link ポートは、一つの ICSS によって処理されます。イーサネットは、二番目のプロセッサとインターフェイスします。AM261 で利用可能なスタックの詳細については、[産業用通信 SDK リリースノート](#)を参照してください。

## 4 ハードウェア、ソフトウェア、テスト要件、テスト結果

### 4.1 ハードウェア要件

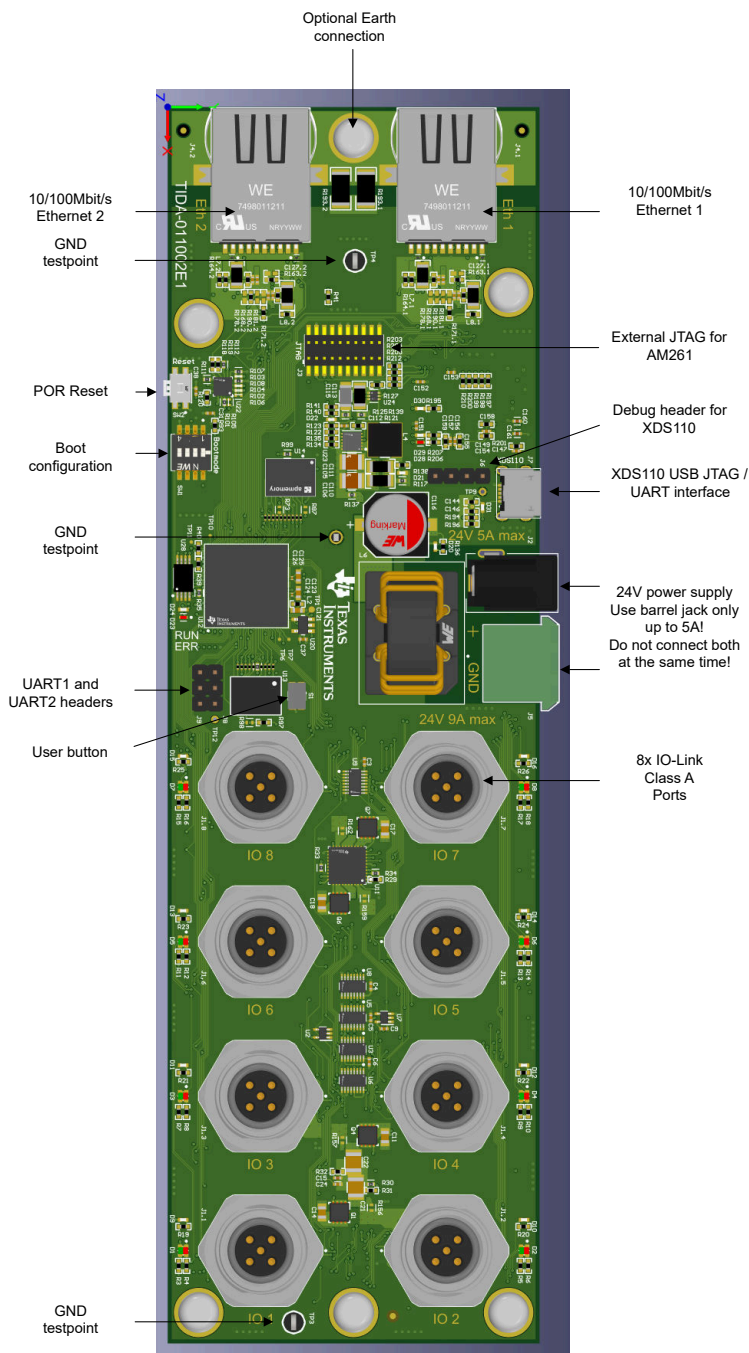


図 4-1. リファレンス デザインのインターフェイスとコネクタ

図 4-1 に、このリファレンス デザインの評価に使用したテスト構成を示します。ソフトウェアは、統合された XDS110 を使用して USB 経由でデザインに読み込まれます。この XDS110 により、CPU のロードおよびデバッグ用の JTAG アクセスが可能になるほか、UART の一つにもアクセスできます。この UART を使用して、内蔵 OSPI フラッシュをプログラミングできます。ブート構成が UART ブートに設定されている場合、フラッシュの書き込みには、AM261 向け mcu\_plus\_sdk の一部である uart\_uniflash.py を使用できます。その後、ユーザーによる追加の操作なしで、OSPI フラッシュからプログラムを開始できます。

一部のテストでは、IO-Link デバイスを 8 つの IO-Link ポートのいずれかに接続し、リファレンス デザインからデータを取得するために PC を RJ45 コネクタに接続します。

## 4.2 ソフトウェア要件

このリファレンス デザインは、産業用通信 SDK から入手できる IO-Link マスタ デモを使用しており、多少の変更を加える方法で、ハイサイド スイッチをオンにすることができます。一部のテストでは、ハイサイド スイッチから ADC 値を読み戻すための追加ファームウェア機能を実装しています。

## 4.3 テスト設定

各種テストの具体的な接続と設定については、「テスト結果」のセクションを参照してください。

## 4.4 テスト結果

### 4.4.1 ハイサイド スイッチ TPS274C65

IO-Link ポートの L+ ラインを駆動するハイ サイド スイッチのターンオン動作は、異なる負荷条件で評価されています。ここでは、1A に設定した電子負荷、150Ω と 1000μF の RC 並列接続、短絡状態、および一般的な IO-Link デバイス (SICK OD1000 距離センサ) を使用して評価を行っています。20V と 30V の電源電圧で、これらすべてのテストを繰り返します。すべての試験において、ハイサイド スイッチは電流制限を 1A (ILIM\_REG = 0x8) に設定し、突入電流制限も同じレベル (INRUSH\_LIMIT = 0) に設定しています。また、突入電流遅延は 10ms (ILIM\_DURATION = 0x5) に設定しています。この遅延は電流測定には現れないはずですが。一部のテストは、自動リトライ (AUTO\_RETRY\_DIS) を使用して、かつ使用しないで実行されます。

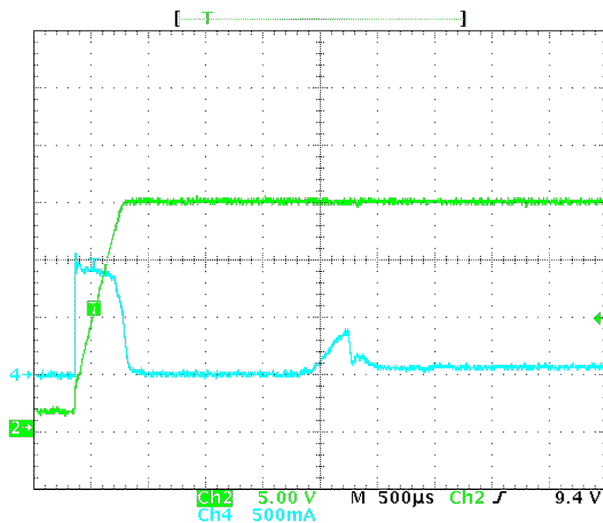


図 4-2. 20V における SICK OD1000 センサ接続時のターンオン動作

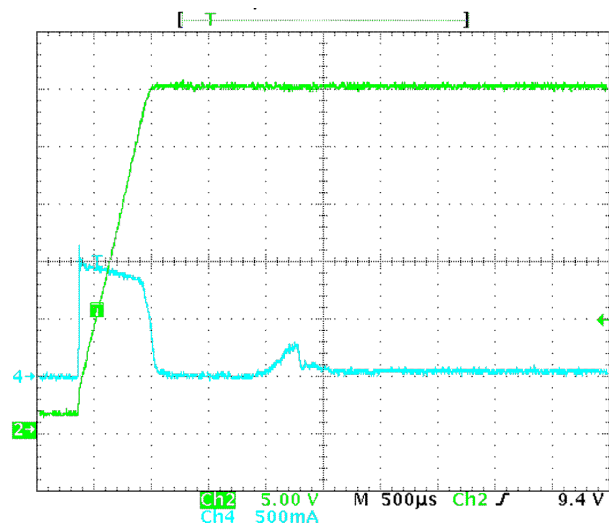


図 4-3. 30V における SICK OD1000 センサ接続時のターンオン動作

図 4-2 および図 4-3 に、センサ接続時の起動動作を示します。約 500μs の間、電流制限に達しており、その間に電圧はそれぞれ 20V および 30V まで線形に上昇しています。この間に、おそらくセンサ内部のコンデンサが充電され、その後センサが動作を開始します。TPS274C65 は、中断や再起動なしで電流を駆動します。

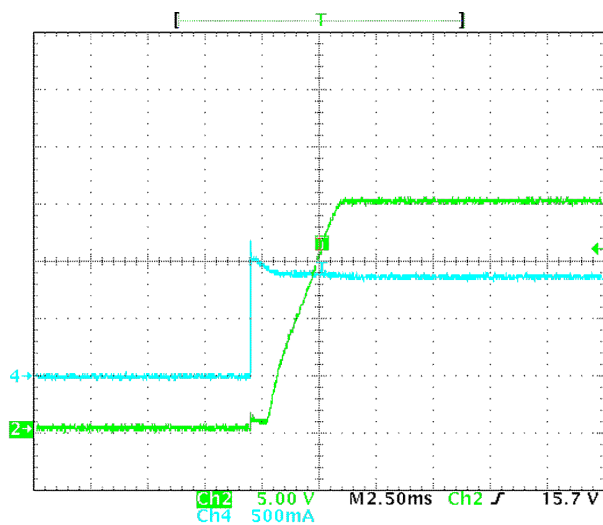


図 4-4. 20V で電子負荷に動作をオンにします

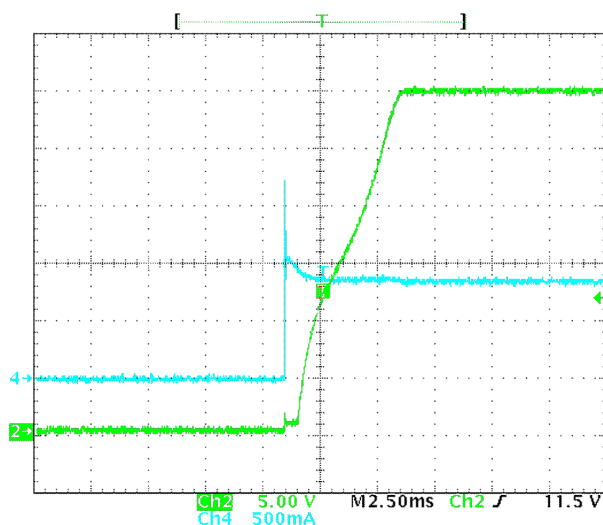


図 4-5. 30V で電子負荷に動作をオンにします

図 4-4 および図 4-5 は、電子負荷を使用した試験では、出力電圧が 2.5 ~ 4ms 以内に公称値まで上昇することを示しています。電子負荷は、非常に低い電圧ですでに作動し、高速な立ち上がり時間で動作します。電子負荷の内部容量により、スルーレートが制限されます。

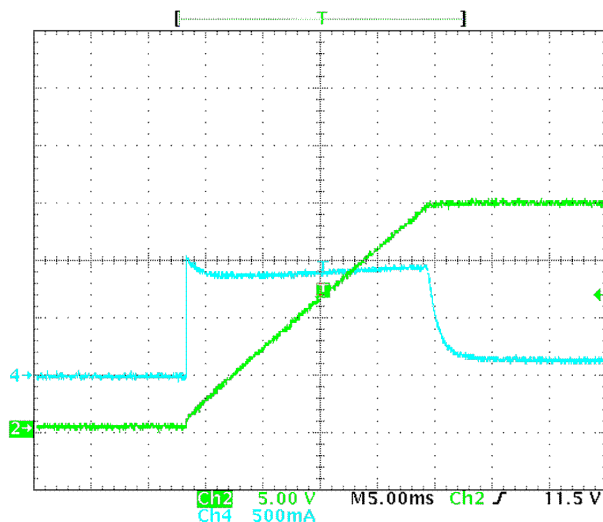


図 4-6. 20V における RC 並列ネットワークへのターンオン動作

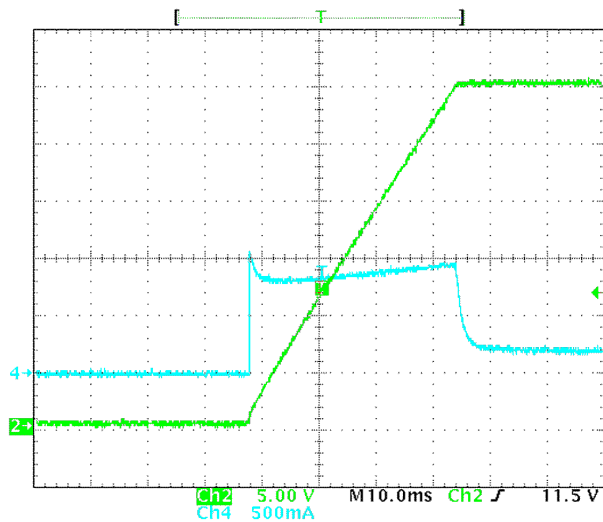


図 4-7. 30V における RC 並列ネットワークへのターンオン動作

この試験では、突入電流が大きい場合のハイサイドスイッチの動作と、デバイスが少なくとも 20mA の電流を供給できるかを確認しています。1000 $\mu$ F および 150 $\Omega$  の RC ネットワークを使用して評価を行っています。図 4-6 および図 4-7 は、結果を示しています。ハイサイドスイッチは約 22ms ~ 40ms の間、電流制限に達しており、その間も電流供給を中断することなく 20mAs を超える電流を供給しています。

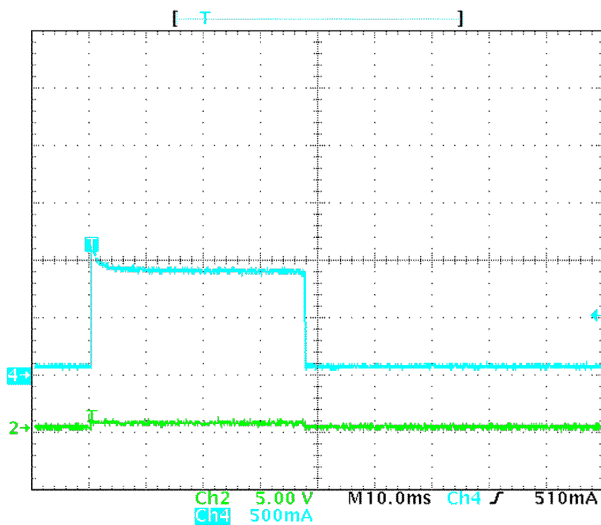


図 4-8. 20V における自動再試行無効時の短絡へのターンオン動作

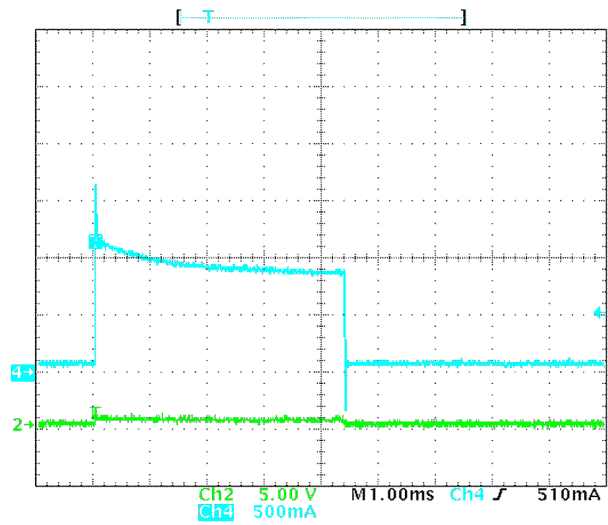


図 4-9. 30V における自動再試行無効時の短絡へのターンオン動作

図 4-8 と図 4-9 に、短絡状態になったときにハイサイドスイッチがどのように動作するかを示します。スイッチは、20V 時には 37ms の間 1A を供給し、30V 時には 4.4ms の間供給します。配線およびマルチメータのシャントが直列に挿入されており、それらも測定に含まれるため、出力電圧はわずかに上昇しています。

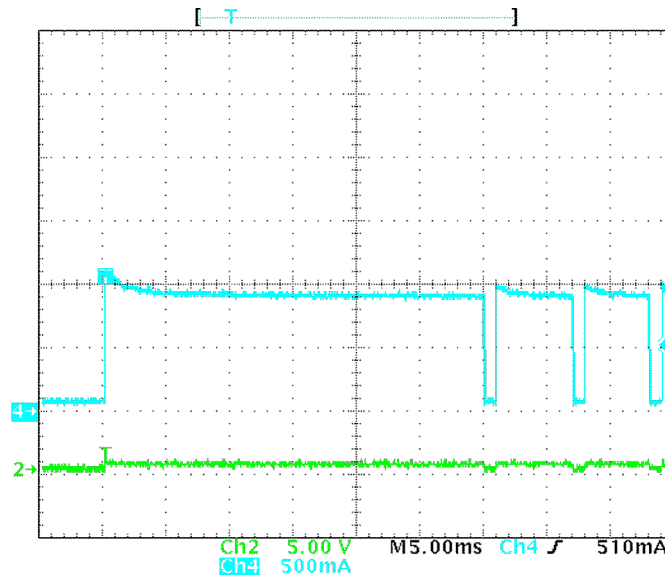


図 4-10. 20V における自動再試行有効時の短絡へのターンオン動作

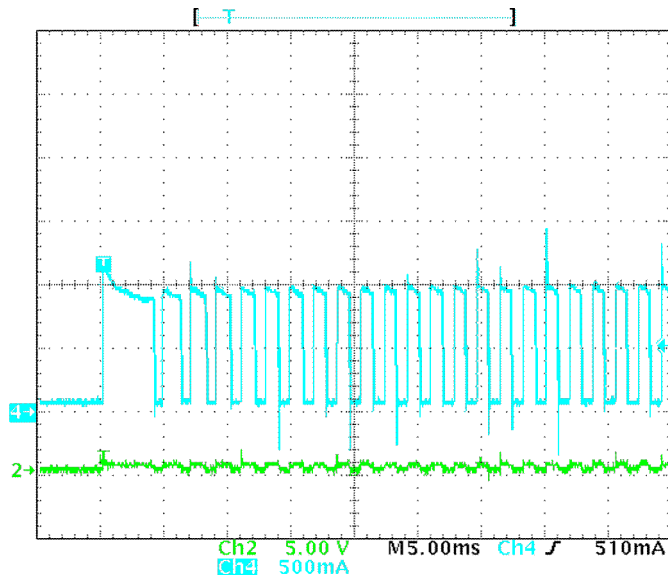


図 4-11. 30V における自動再試行有効時の短絡へのターンオン動作

図 4-10 と図 4-11 に、自動再試行が有効になっていて、短絡が発生した場合のデバイスの動作を示します。前述のとおり、このデバイスは一定時間定電流を供給した後、オンとオフを切り替える動作を開始します。どちらの場合も、デバイスを冷却する必要があるため、オフ時間は同じです。時間は電源電圧によって異なります。30V 使用時は 20V 使用時よりもはるかに大きな電力損失を処理する必要があるため、デバイスはより早く臨界温度に達し、より速くオフになります。

次の試験では、1A の電流が流れている通常動作中に突然短絡が発生した場合の、ハイサイド スイッチの動作を示します。

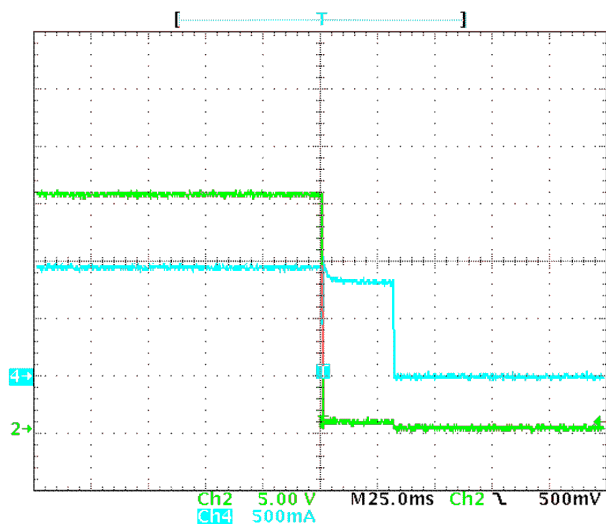


図 4-12. 20V で短絡、自動再試行なし

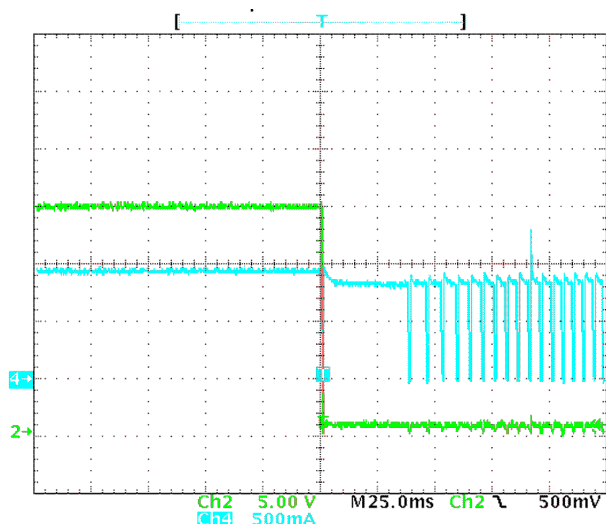


図 4-13. 20V で短絡、自動再試行あり

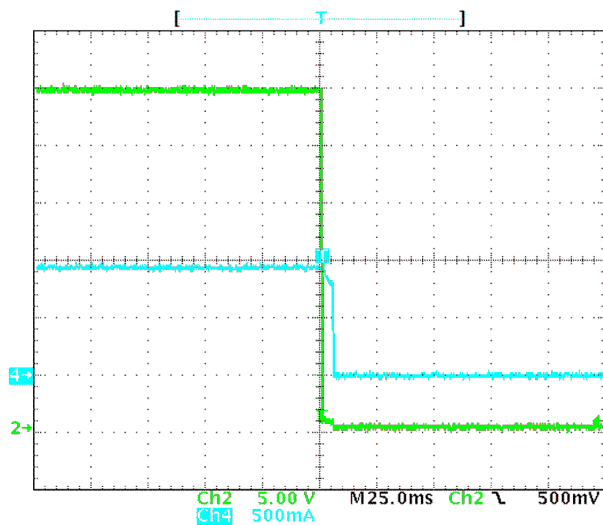


図 4-14. 30V で短絡、自動再試行なし

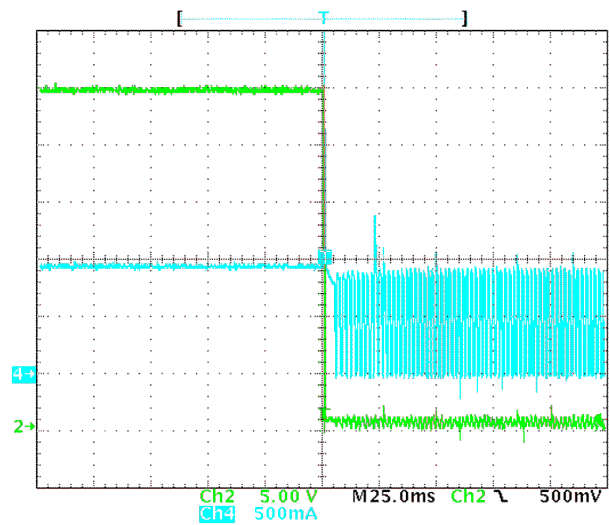


図 4-15. 30V で短絡、自動再試行あり

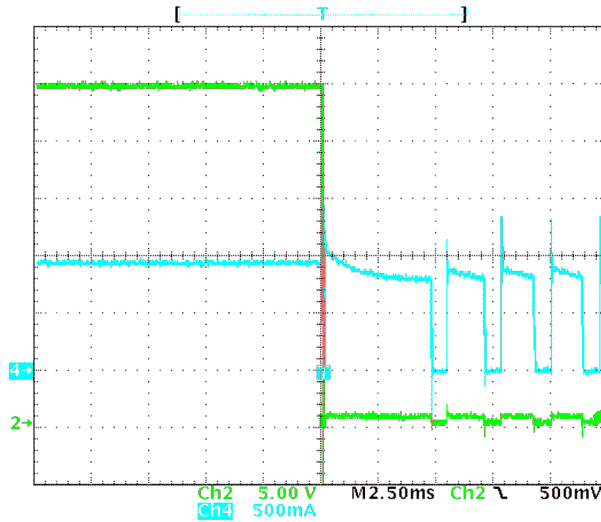


図 4-16. 30V で短絡、自動再試行あり、高速タイムベース

ハイサイドスイッチは電流を約 1A に制限し、スイッチがオフになるまで一定時間、電流を流し続けます。想定されるように、電流制限と再試行のタイミングは、電源電圧によって異なります。供給電圧が高いほど、電流制限時の電力損失は大きくなり、動作時間は短くなります。

図 4-17 および図 4-18 に、次の二つのテストを示します。これらのテストは、初期電流を流れずに短絡を印加することで行われます。興味深いことに、このデバイスは短絡が発生するとほぼ即座にオフになり、その後、設定されたレベルまで電流を制御するのに約 100 $\mu$ s かかります。

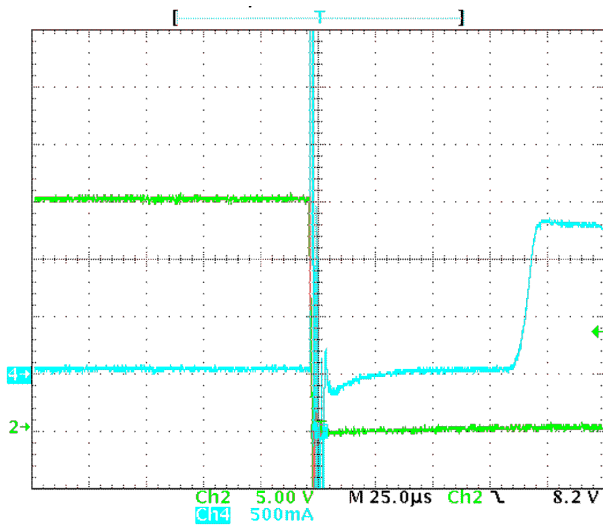


図 4-17. 20V で短絡

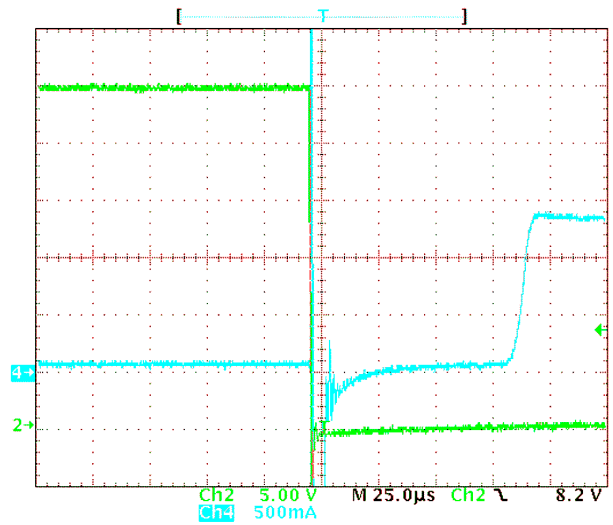


図 4-18. 30V で短絡

すべてのチャンネルに 1A の負荷を接続した場合の、ハイサイド スイッチの熱特性についても評価を行いました。この試験では、四つのすべてのチャンネルに電子負荷を接続し、熱的に安定した状態に達するまで動作させました。どちらの構成でも、デバイスは最大で 42°C まで温度が上がります。すべてのテストは室温でハウジングなしで行われます。

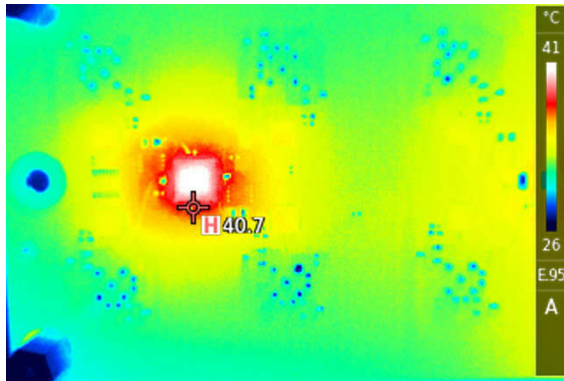


図 4-19. 20V、4× 1A 出力電流時のサーマル イメージ

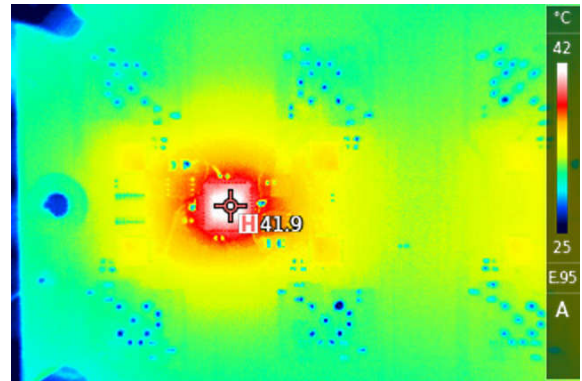


図 4-20. 30V、4× 1A 出力電流時のサーマル イメージ

図 4-21 に、ハイサイド スイッチの電流測定機能を示します。x 軸はデバイスから引き出される電流を示し、y 軸はデバイスによって報告された電流およびオフセットを示します。

電圧測定機能についても同様の試験を実施しています。図 4-22 は、曲線歪みの原因となる内部電圧制限検出を示しています。

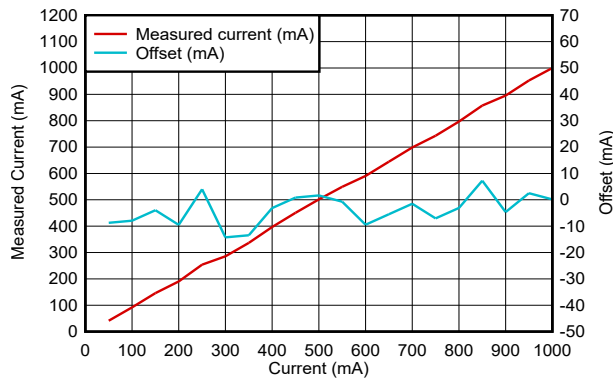


図 4-21. 電流の測定

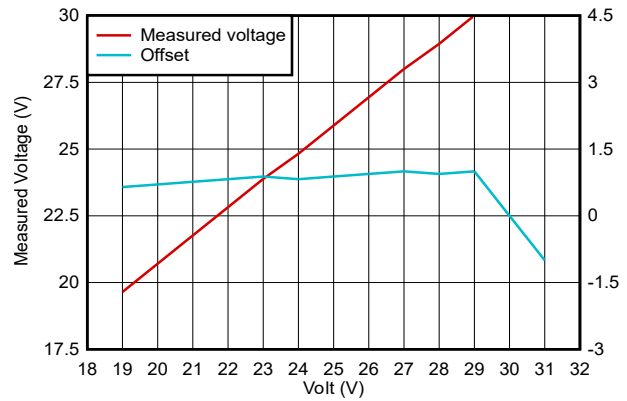
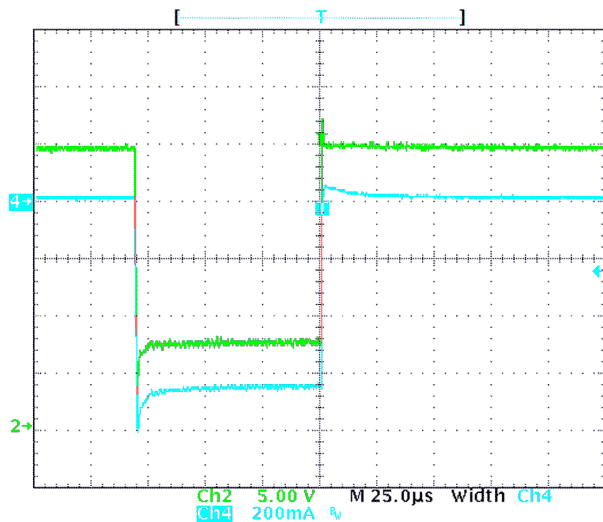


図 4-22. 電圧測定

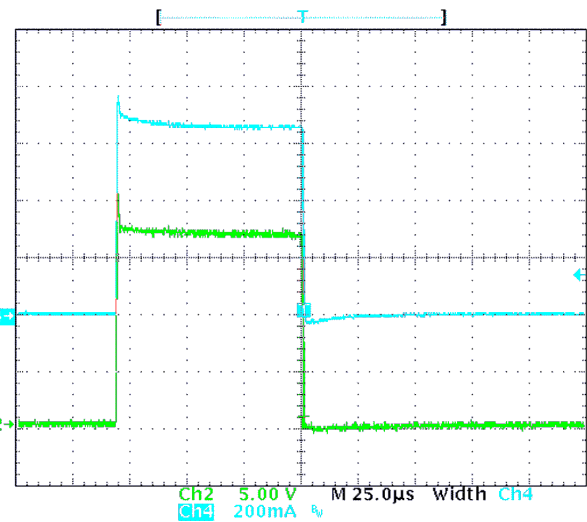
#### 4.4.2 TIOL221

IO-Link 通信を開始するためには、接続された IO-Link デバイスにウェークアップ信号を送出するために、CQ ラインを少なくとも 500mA で駆動できることが重要です。この機能は、CQ と L- の間に 22Ω 抵抗を接続して評価します (ロー サイドドライバを評価する場合は CQ と L+ の間に接続します)。この構成により、TIOL221 の出力ドライバは、許容差を含めて電流制限状態となります。最大電流も観測されます。図 4-23 および図 4-24 に、適切なウェークアップを駆動するために必要な 500mA を超える電流駆動能力を示します。パルスの長さは、許容誤差の範囲内です。



緑 = CQ 電圧

青 = CQ 電流



緑 = CQ 電圧

青 = CQ 電流

図 4-23. CQ ライン ローサイドドライバウェークパルス

図 4-24. CQ ライン ハイサイドドライバウェークパルス

TIOL221 には、入力端子 CQ および DI に対して、50µA の強度を持つ弱いプルアップ/プルダウン電流源も内蔵されています。図 4-25 に、これらの電流シンクの一つの例を示します。この例では CQ ラインの弱いプルダウン電流ソースを示しており、図 4-26 でテストされた 5mA IO-Link プルダウン電流シンクとは異なります。この電流シンクは、最小 5mA、標準値 8.5mA のプルダウン電流を供給するよう規定されています。8.45mA でのテストは、標準値に非常に近くなっています。

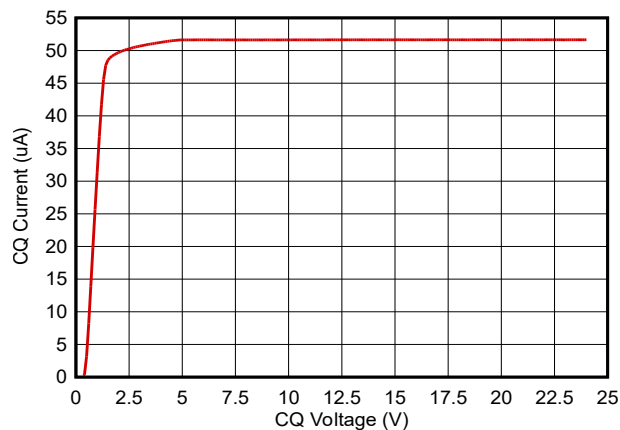


図 4-25. CQ 50µA の弱いプルダウン

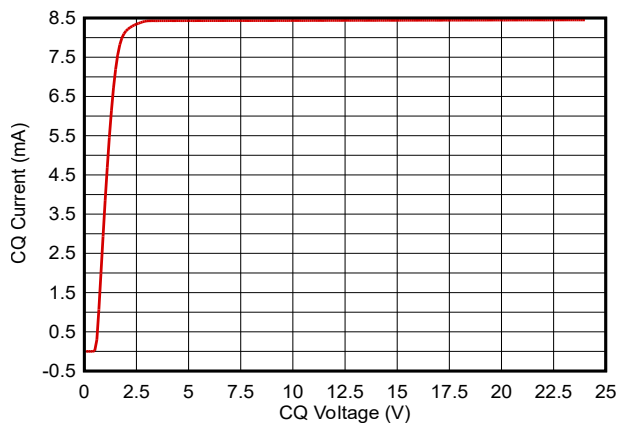


図 4-26. CQ IO-Link プルダウン

図 4-27 から図 4-30 に、さまざまな電流制限でのデジタル出力チャネルの動作を示します。DO ラインには電子負荷を接続し、電圧が低下するまで電流を増加させています。予想どおり、電流が設定された電流制限値未満である場合、デバイスは電圧を 24V に維持します。ある時点で電圧は急激に低下し、それ以上電流は増加しなくなります。

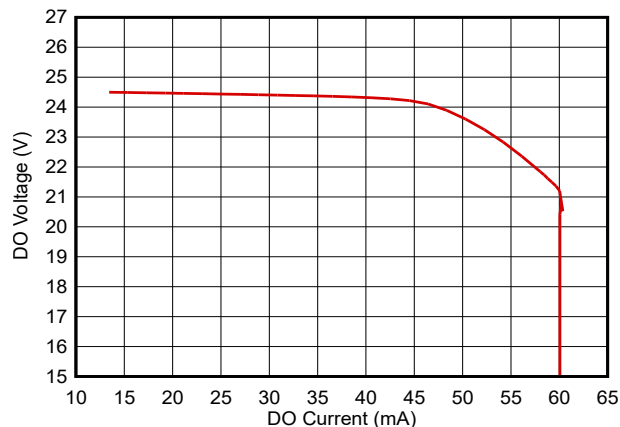


図 4-27. 35mA 設定時の DO ドライバ電流制限

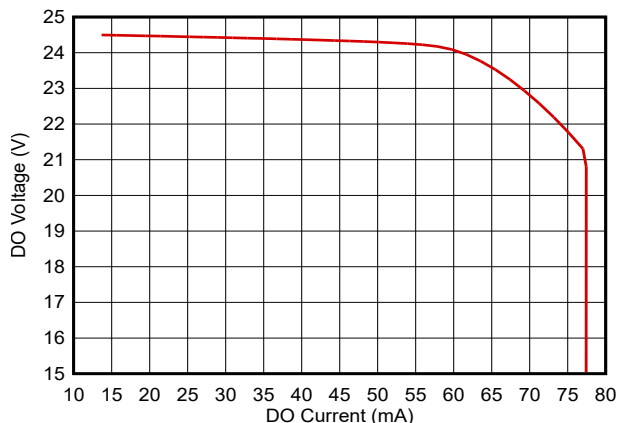


図 4-28. 50mA 設定時の DO ドライバ電流制限

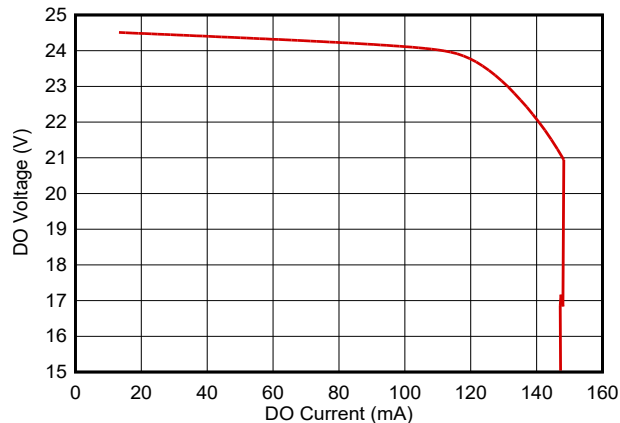


図 4-29. 100mA 設定時の DO ドライバ電流制限

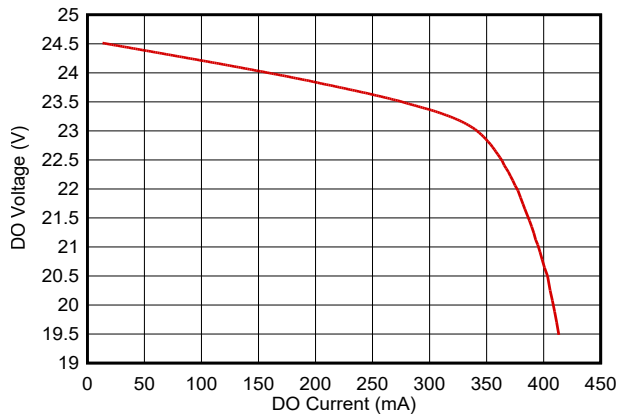


図 4-30. 300mA 設定時の DO ドライバ電流制限

#### 4.4.3 入力保護とスタートアップ

このリファレンス デザインには、逆電圧、過電圧、および低電圧に対する保護機能が含まれています。この保護機能は、突入電流制限と EMI フィルタリングも提供します。

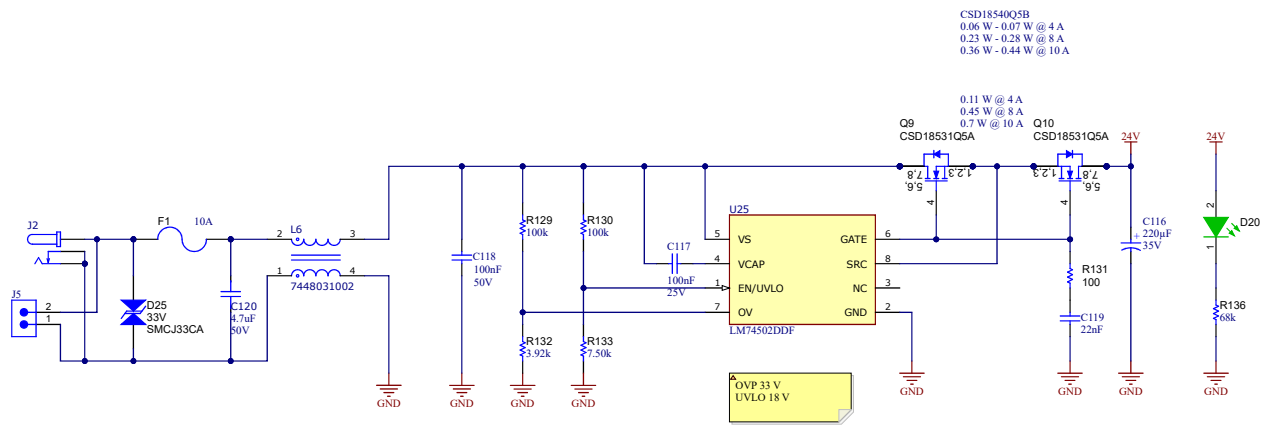
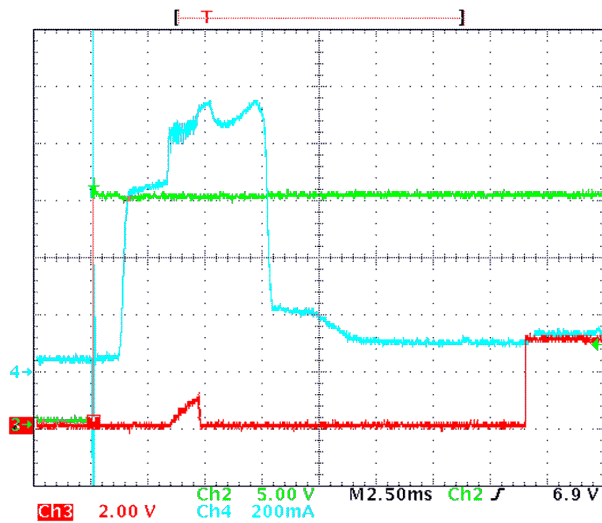


図 4-31. 入力保護

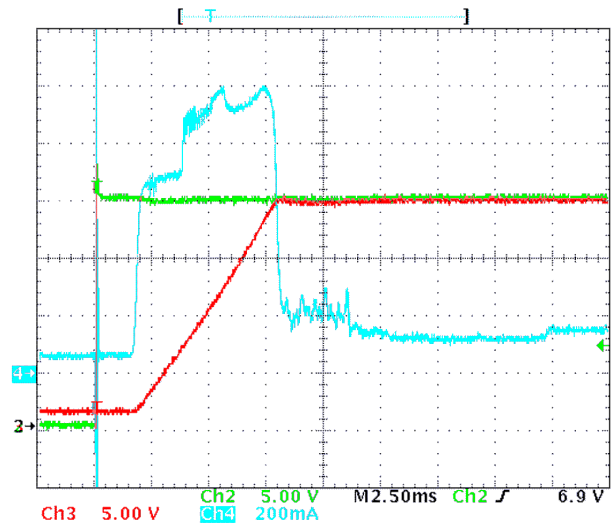
すべてのテストは、図 4-31 に示す回路図スニペットのみを含むもので行われています。

突入動作について見ると、図 4-32 ~ 図 4-37 に、電圧印加後の内部 24V レールの立ち上がり、突入電流、および異なる入力電圧条件における CPU リセット解除のタイミングを示します。そのため、入力電圧は J5 に高速な立ち上がり時間 (ホットプラグ) で印加され、電流は電流クランプを使用して測定し、その他の電圧は回路内で測定しています。



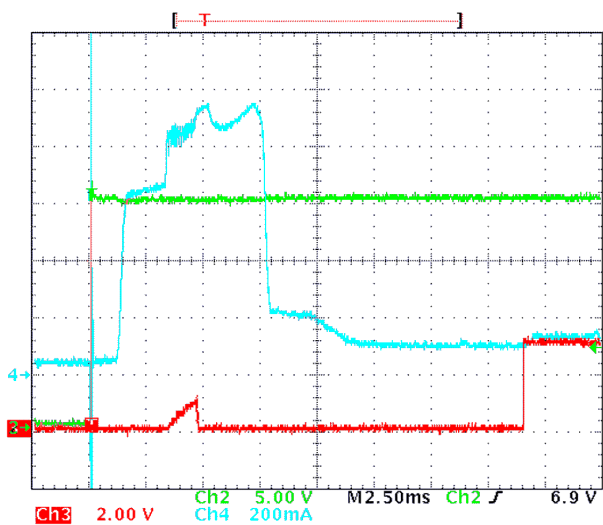
緑 = 入力電圧 J5  
青 = 入力電流  
赤 = 24V ネットでの電圧

図 4-32. CPU リセットが解放されるまで 20V で電源投入



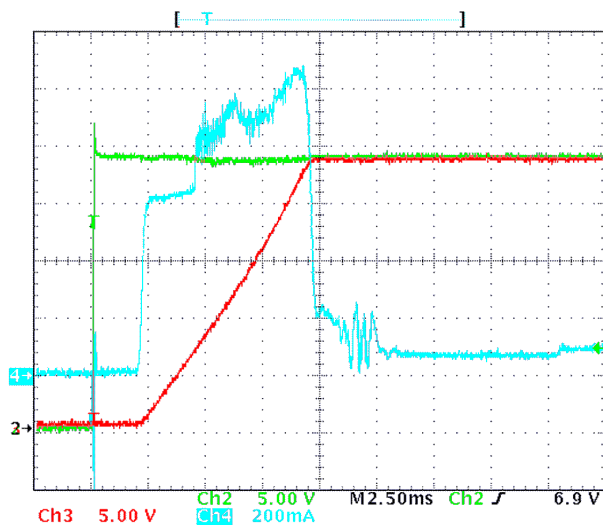
緑 = 入力電圧 J5  
青 = 入力電流  
赤 = 24V ネットでの電圧

図 4-33. 20V での突入電流



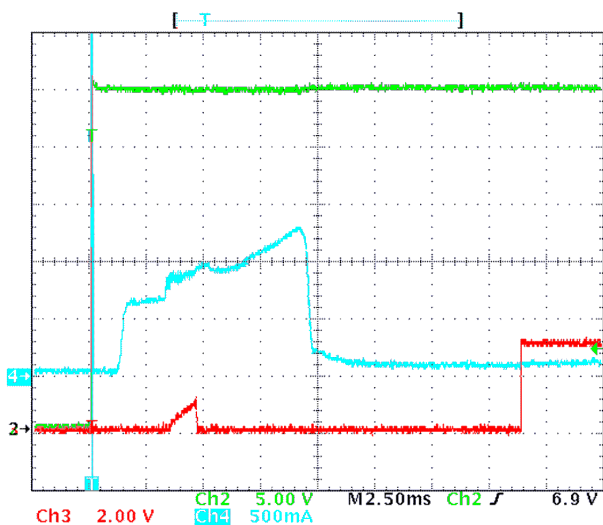
緑 = 入力電圧 J5  
青 = 入力電流  
赤 = リセット信号

図 4-34. CPU リセットが解放されるまで 24V で電源投入



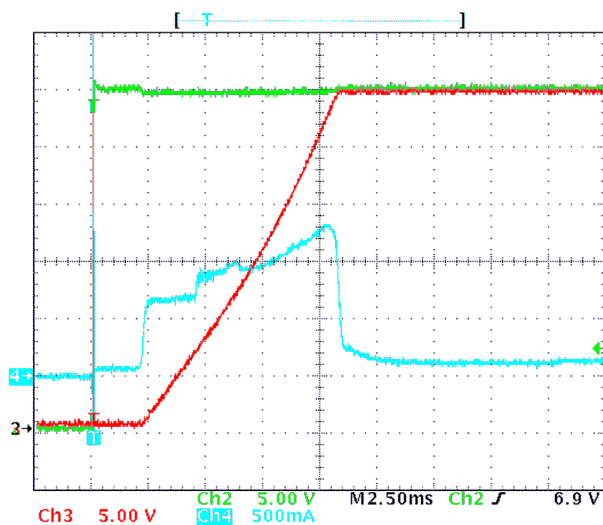
緑 = 入力電圧 J5  
青 = 入力電流  
赤 = 24V ネットでの電圧

図 4-35. 24V での突入電流



緑 = 入力電圧 J5  
青 = 入力電流  
赤 = リセット信号

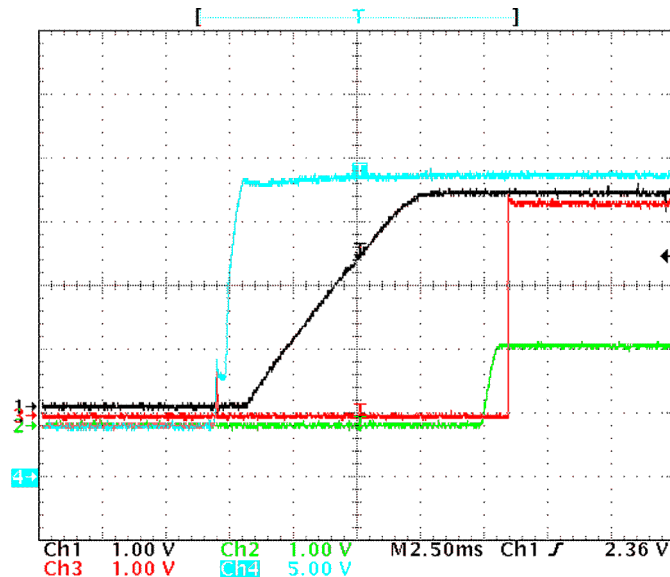
図 4-36. 30V における CPU リセット解除までの電源投入



緑 = 入力電圧 J5  
青 = 入力電流  
赤 = 24V ネットでの電圧

図 4-37. 30V での突入電流

上記のプロットでは、ホットプラグ動作と C120 の組み合わせによって、トリガポイントで電流スパイクが発生しています。その後、入力コンデンサ C116 (および最初の DC/DC の近くに配置されたコンデンサ) が充電され、突入電流が発生します。電流波形を詳しく確認すると、リセット解除時には入力電流が増加するため、そのタイミングも確認できます。突入が完了し、内部 24V レールが 18V に達した後、図 4-38 に示すように、内部 DC/DC コンバータが次々と起動します。



緑 = 1.25V レール      黒 = 3.3V レール      青 = 入力電流      赤 = リセット信号

図 4-38. リセット解除までの DC/DC コンバータの起動動作

次の表に、得られたスルーレート、突入ピーク電流、および CPU 起動までの時間をまとめます。

電源電圧	立ち上がり時間内部 24V	CPU 開始までの時間	ピーク電流
20V	5ms	18ms	900mA
24V	7.5ms	18ms	1.1A
30V	8ms	18ms	1.3A

タイミングに加えて、低電圧保護および過電圧保護の電圧についても確認を行い、以下の表に示します。電圧レベルは設計範囲内にあり、ヒステリシスについても、規定された許容範囲内で期待どおりの値となっています。

UVLO の公称ヒステリシスは 90mV であり、電圧分割回路 R130/R133 (100k/7.5k) により、 $0.09V / (7.5k / (100k + 7.5k)) = 1.29V$  となります

OVLO の公称ヒステリシスは 100mV であり、電圧分割回路 R129/R132 (100k/3.92k) により、 $0.1V / (3.92k / (100k + 3.92k)) = 2.65V$  となります

テストケース	電圧レベル
低電圧立ち下がり	16.3V
低電圧立ち上がり	17.5V
低電圧ヒステリシス	1.2V
過電圧立ち上がり	33.2V
過電圧立ち下がり	30.7V
過電圧ヒステリシス	2.5V

二つのパス FET の Q9 および Q10 は、基板全体の電流を流す必要があります。すべてのポートに 1A の負荷が接続されると、この電流は合計で 8A を少し超え、一定の電力損失が発生します。以下のサーマル イメージは、9A の負荷時に、室温環境下で FET の温度が 70°C まで上昇することを示しています。アプリケーションや周囲温度 / 筐体条件によっては、この発熱量が過大になる場合があります。

システム負荷が 5A の場合、FET の温度上昇は 50°C 未満に抑えられます。設計上の同時使用率によっては、これでも十分実用的な選択肢となる可能性があります。それ以外の場合は、CSD18540Q5B などの別の FET を使用することで、電力損失を低減できます。

ヒューズの消費電力にも注意してください。ここで使用している 10A ヒューズは、7.3mΩ、標準電圧降下 110mV と規定されています。これにより、さらに 730mW から 1.1W が発生します。この製品は、CSD18531Q5A FET よりも大きくなっています。

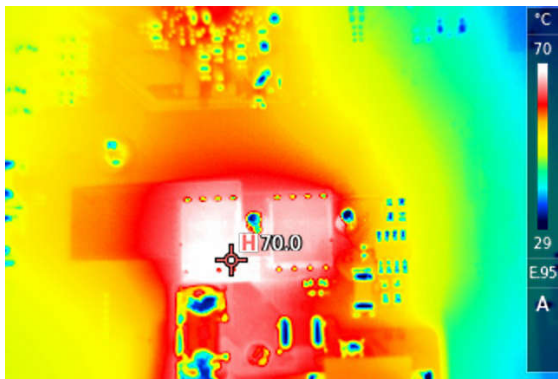


図 4-39. 9A 負荷時の CSD18531Q5A

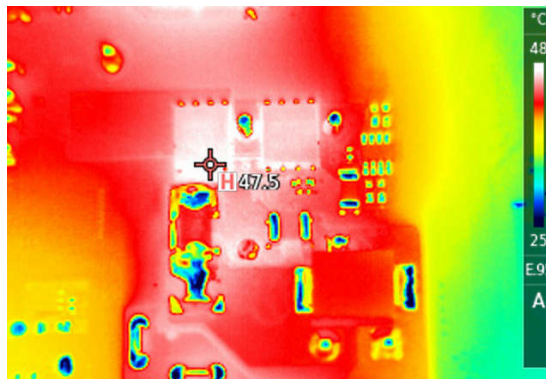


図 4-40. 5A 負荷時の CSD18531Q5A

図 4-41 に示すように、9A 負荷時では、CSD18540Q5B を使用した領域は CSD18531Q5A と比較して約 20K 低温となっており、これは想定どおりの結果です。5A の負荷では、それほど差はありません。

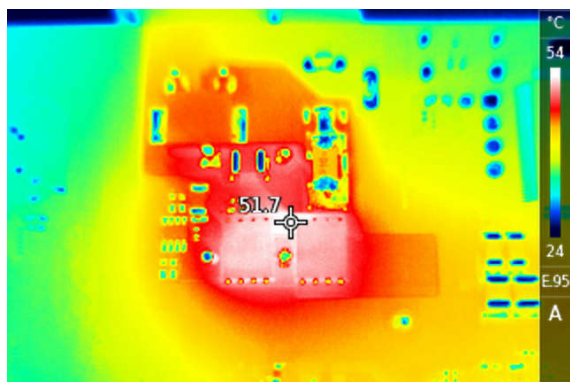


図 4-41. 9A 負荷時の CSD18540Q5B

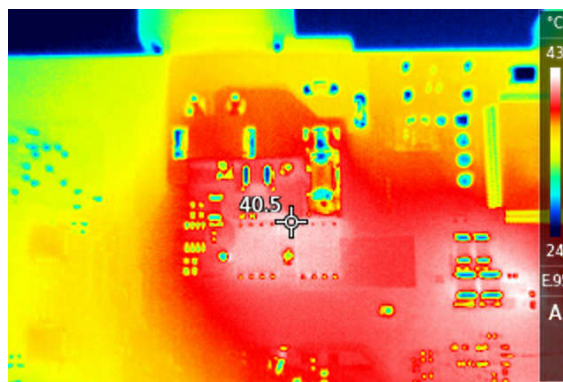


図 4-42. 5A 負荷時の CSD18540Q5B

#### 4.4.4 EMC、EMI への準拠

このリファレンス デザインは、IO-Link マスタ製品向けの EMI および EMC 要件を満たすことを目的として試験されています。このセクションでは、試験の詳細について説明します。

仕様	テスト	クラス	制限値	結果	詳細
CISPR 32	放射 EMI		クラス B	合格	セクション CISPR 32 - 放射エミッション
EN61000-6-3	DC-IN		EN61000-6-3 EMCL AC	合格	EN61000-6-3 - 伝導エミッション
EN61000-6-3	イーサネット		EN61000-6-3 EMCL AC	合格	EN61000-6-3 - 伝導エミッション
IEC 61000-4-2	ESD	A	1Hz で 6kV CD、15kV HCP	合格	IEC 61000-4-2 - 静電放電 (ESD)
EN 61000-4-3	放射耐性	A	80MHz – 1GHz 20V/m 1GHz – 6GHz 10V/m	合格	EN 61000-4-3 - 放射イミュニティ
IEC 61000-4-4	DC-IN	A	2kV	合格	IEC 61000-4-4 バースト / EFT
IEC 61000-4-4	イーサネット	A	2kV crit.A/3kV crit.B	合格	IEC 61000-4-4 バースト / EFT
IEC 61000-4-4	IO-Link	A	2kV	合格	IEC 61000-4-4 バースト / EFT

仕様	テスト	クラス	制限値	結果	詳細
IEC 61000-4-5	シールド イーサネット	A	500/1000/2000V	合格	IEC 61000-4-5 サージ
IEC 61000-4-5	IO-Link		500V (ライン間)、2kV (ライン - アース間)、42Ω	合格	IEC 61000-4-5 サージ
IEC 61000-4-6	DC-IN	A	150kHz ~ 80MHz 20V/m	合格	IEC 61000-4-6 伝導耐性
IEC 61000-4-6	IO-Link	A	150kHz ~ 80MHz 20V/m	合格	IEC 61000-4-6 伝導耐性
IEC 61000-4-6	イーサネット	A	150kHz ~ 80MHz 20V/m	合格	IEC 61000-4-6 伝導耐性

#### 4.4.5 CISPR 32 放射エミッション

TIDA-011002 リファレンス デザインのエミッションを評価するために、基板および追加の IO-Link センサをチャンバ内に配置しています。両方のイーサネット ポートは、二つのメディア コンバータを使用してファイバに変換されます。イーサネット信号がチャンバーから出力されます。電力は外部 24V 電源から供給されます。センサとの IO-Link 通信を確立し、プロセッサ データはイーサネットを介して外部の PC へ送信しています。さらに、iperf3 を使用してイーサネットトラフィックを生成しています。両方のイーサネット ポートはスイッチとして動作しているため、この方法により両ポートへ最大負荷をかけています。

図 4-44 に、チャンバ内の設定を示します。

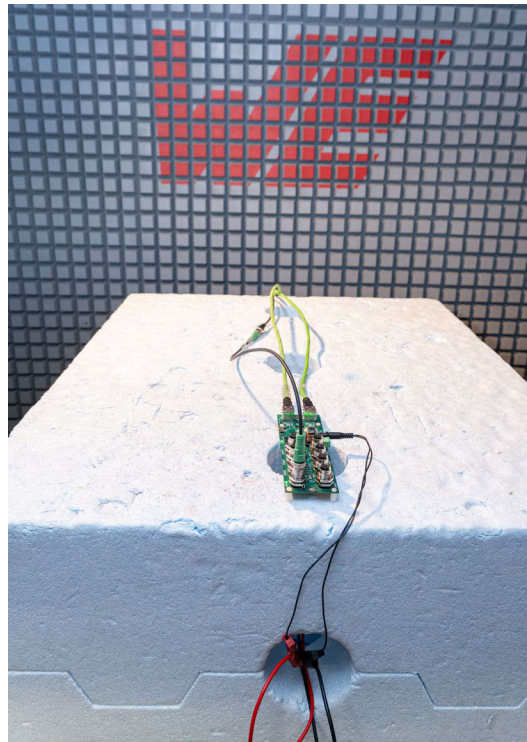


図 4-43. 放射エミッションの結果

完了したセットアップを実行した時点で、これらの測定を実施しました。

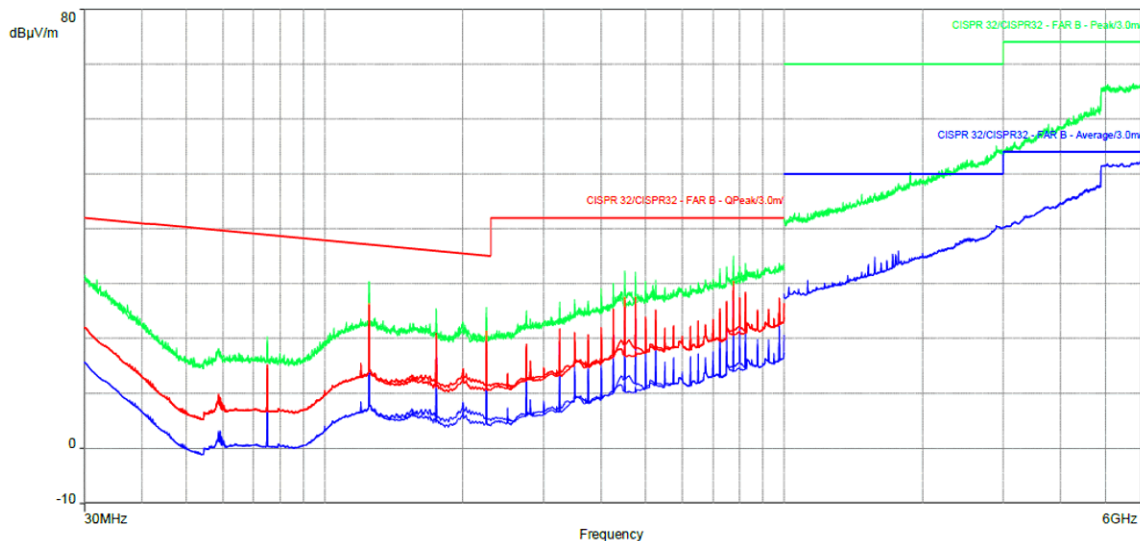


図 4-44. 試験チャンバ内の放射エミッション試験セットアップ

このリファレンス デザインは CISPR32 クラス B 規制値を十分下回っており、これらの要求事項を満たしています。残っている可視周波数成分は 25MHz の高調波であり、主に発振器からプロセッサおよび二つのイーサネット PHY へ接続される配線によって発生していると考えられます。パターンを内部層に配置してシールドすることで、エミッションをさらに低減できます。

#### 4.4.6 EN61000-6-3 伝導エミッション

この試験では、DUT がポートを介して外部へ放射するエネルギーを測定します。エネルギーを測定するために、イーサネット ポートおよび DC 入力は結合ネットワークを介して接続されています。このリファレンス デザインは IO-Link 通信を確立するよう構成されており、イーサネット ポートには iperf3 を使用して最大負荷をかけています。図 4-45 にテスト構成を示します。イーサネット ポート用の二つの CDN は手前側に配置されており、DC ポートに接続された LISN は奥側に配置されています。IO-Link センサは、ポートの一つに接続されています。この試験は、イーサネット ポートおよび電源ラインに対して実施されます。試験セットアップは同一であり、測定に使用しない CDN 出力は 50Ω で終端されています。

この種の機器では、電源ラインに対するエミッションの規制値は規定されていないため、測定には比較的厳しい制限値を適用しています。

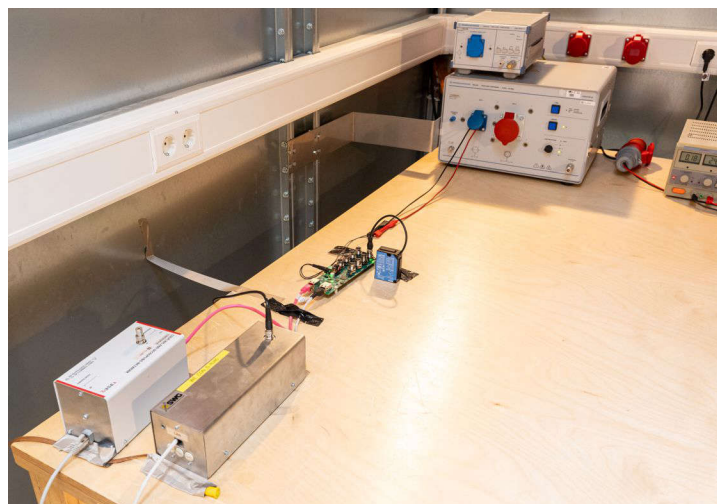


図 4-45. 伝導エミッション試験セットアップ

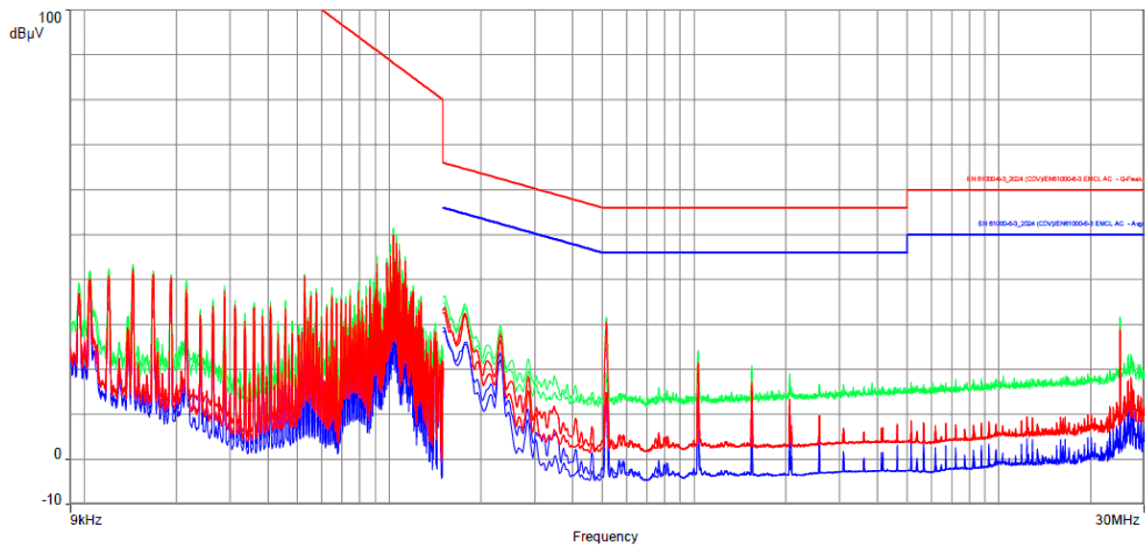


図 4-46. アース接続なし DC ポートの伝導エミッション

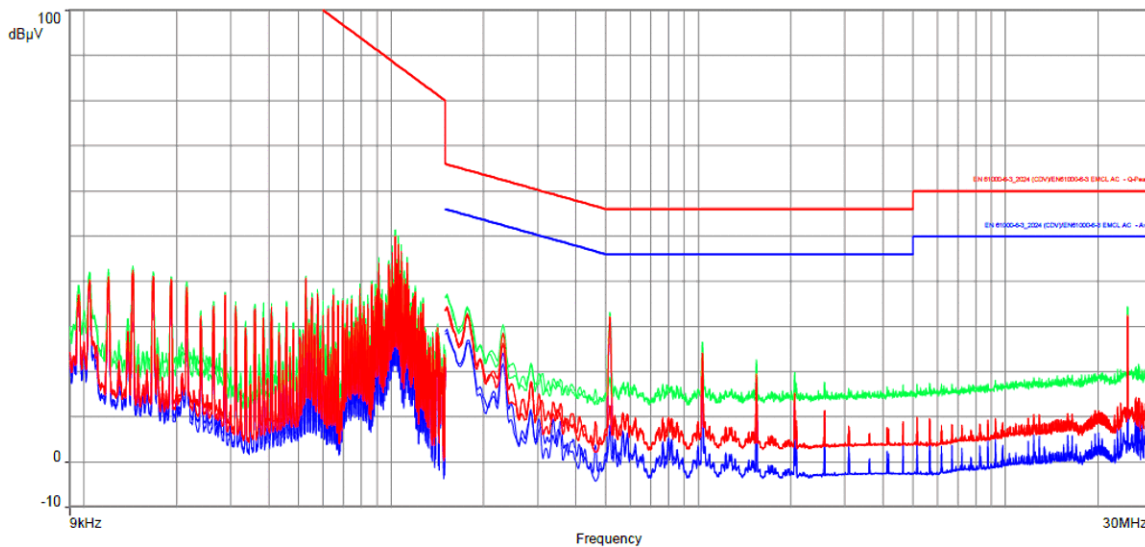


図 4-47. アース接続あり DC ポートの伝導エミッション

図 4-46 および図 4-47 に、機能接地あり/なしの両条件における DC ポート (24V および GND ライン) の伝導エミッションを示します。二つの測定結果に大きな差はありません。25MHz のピークは、アース接続時の方が約 5dB 高くなっていますが、それでも規制値を約 30dB 下回っています。

ノイズは 150kHz 未満に存在しており、ピークは 2.5kHz ごとに現れています。これはプロセス データ交換周波数と一致しています。システムは、400μs ごとにプロセス データを交換するよう構成されており、これは 2.5kHz に相当します。

最初の DC/DC コンバータの 500kHz のスイッチング周波数は確認できますが、十分に抑制されています。

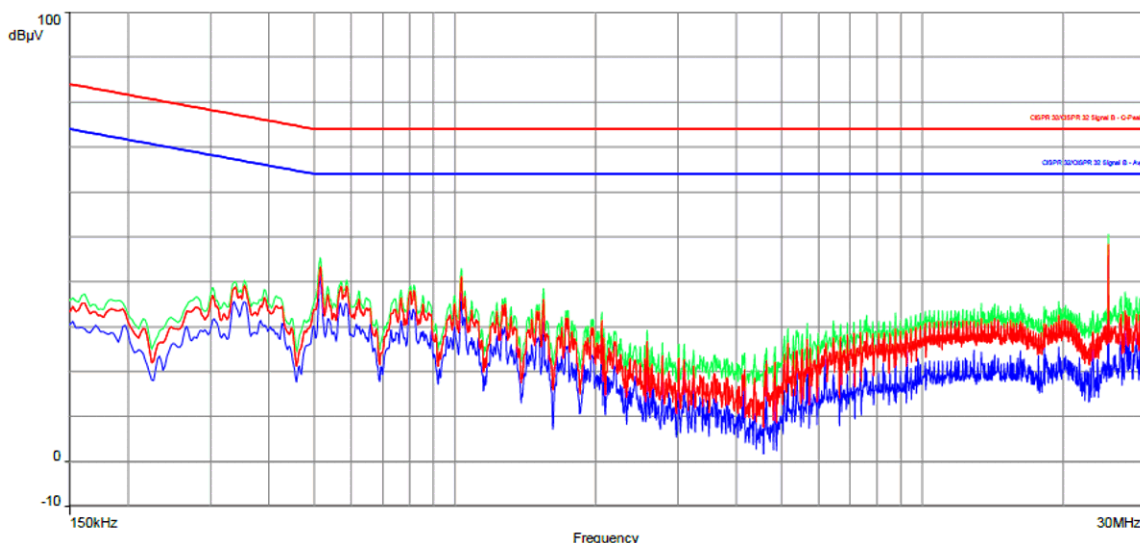


図 4-48. イーサネット ポートでの伝導放出

図 4-48 に、イーサネット ポートで放出される電圧を示します。この電圧は、両方のイーサネット ポートのシールドで同一です。シールドにも問題はありません。25MHz のクロックは確認できますが、規制値を 20dB 以上回っています。

#### 4.4.7 IEC 61000-4-2 – 静電放電 (ESD)

このテストでは、イーサネットと IO-Link の両方の通信がアクティブであり、故障率が監視されます。このリファレンス デザインは、バッテリーから電力で動作します。図 4-49 および図 4-50 にセットアップを示します。

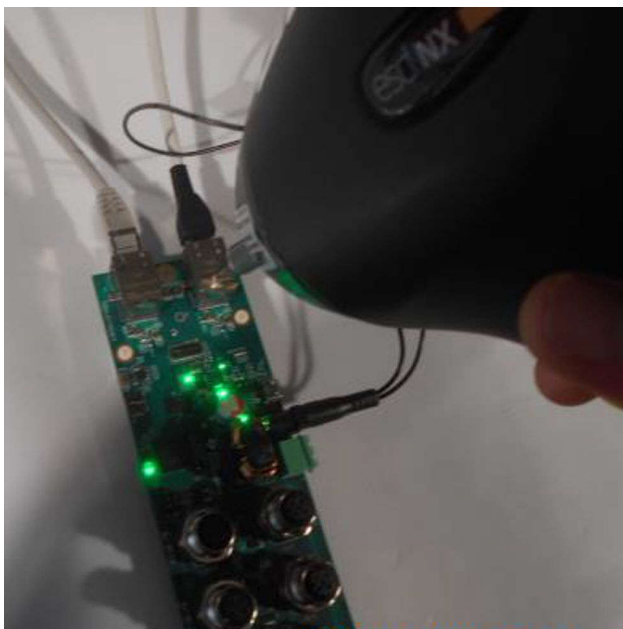
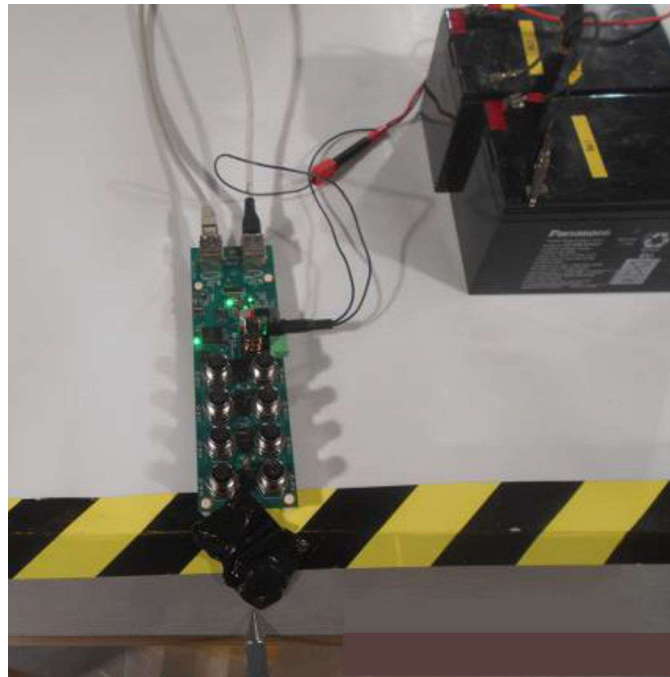


図 4-49. イーサネット ポートへの ESD 接触放電


**図 4-50. 水平カップリング プレーン (HCP) への ESD 放電**

このリファレンス デザインは、イーサネット ポートに対して 1Hz の繰り返し周波数で  $\pm 6\text{kV}$  の印加を受けても、リンク切れやデータ損失を発生させることなく動作することが期待されています。HCP を使用することで、このデザインはデータ損失やリンク切れを発生させることなく  $\pm 15\text{kV}$  に対応できます。どちらの場合も、クラス A の性能が満たされ、IO-Link 規格に規定されている要件を上回っています。

PHY の近くに配置されたリセットライン上の  $4.7\text{nF}$  の小容量コンデンサは、これらの要件を満たす上で重要な役割を果たします。

#### 4.4.8 EN 61000-4-3 放射イミュニティ

放射イミュニティ試験を行うために、試験設定は放射エミッション試験のセットアップと非常によく似た構成になっています。今回は、アンテナを使用してリファレンス デザインに HF を照射します。イーサネット接続および IO-Link 接続を監視した結果、エラーは確認されませんでした。試験では、 $80\text{MHz} \sim 1\text{GHz}$  の範囲で  $20\text{V/m}$ 、 $1\text{GHz} \sim 6\text{GHz}$  の範囲で  $10\text{V/m}$  を使用しました。これらのレベルは、IO-Link 仕様で規定されているレベルを超えています。

#### 4.4.9 IEC 61000-4-4 バースト / EFT

すべてのバースト試験において、全体の設定はほぼ同じで、IO-Link およびイーサネットを有効にした状態で、エラーを監視します。違いは、パルスが適用される場所です。このテストでは、 $5\text{kHz}$  と  $100\text{kHz}$  のパルスを使用します。

##### 4.4.9.1 DC ポート

最初のテストは、DC ポートで実行します。バーストは、ジェネレータ内部の結合ネットワークを使用して印加されています。場合によっては、結合ネットワークのインダクタンスによって、リファレンス デザイン内の内部電源が起動できなくなることがあります。低電圧保護、大きな突入電流、およびインダクタンスにより、何らかの発振が発生します。図 4-52 に示すように、結合ネットワークの出力に  $1000\mu\text{F}$  のコンデンサを追加することで、発振を防止します。

データ試験および監視用にラップトップへ接続されるイーサネット ラインには、ラップトップに印加される電圧を低減し、この機器の影響を抑えるため、フェライト クランプによるデカップリングを施しています。

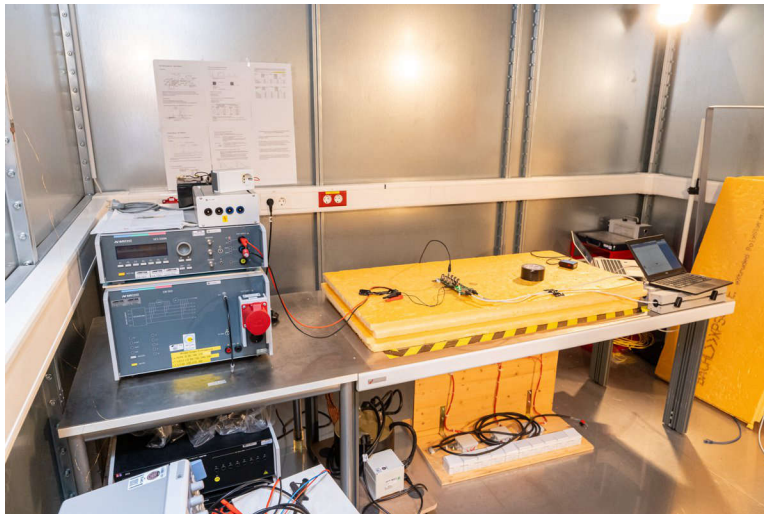


図 4-51. DC ポートでのバースト テスト



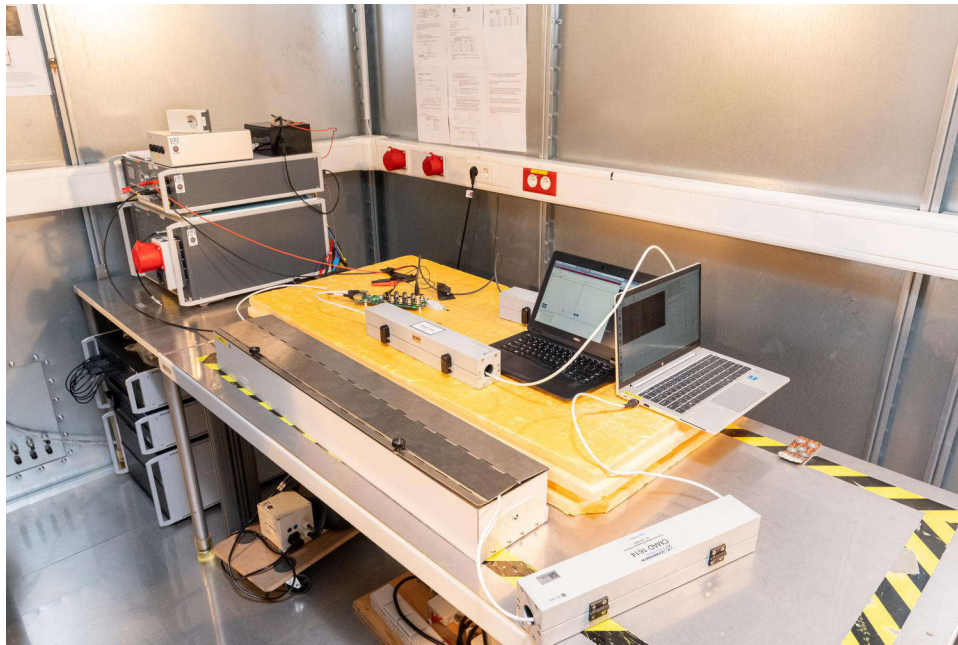
図 4-52. 結合ネットワークへの追加容量

アース接続なしで、両方の電源ラインに同相モード信号としてパルスを印加した場合でも、IO-Link およびイーサネット通信は 2kV で安定しており、クラス A 性能を満たしています。

アース接続ありの場合、IO-Link 通信は 1kV では正常に動作しクラス A を満たしますが、2kV では通信が中断し、クラス B 性能となります。トランシーバの CQ ラインを 1nF コンデンサで GND にデカップリングすることで、性能を向上できます。この構成でも、2kV でクラス A 性能を達成できます。

#### 4.4.9.2 イーサネット

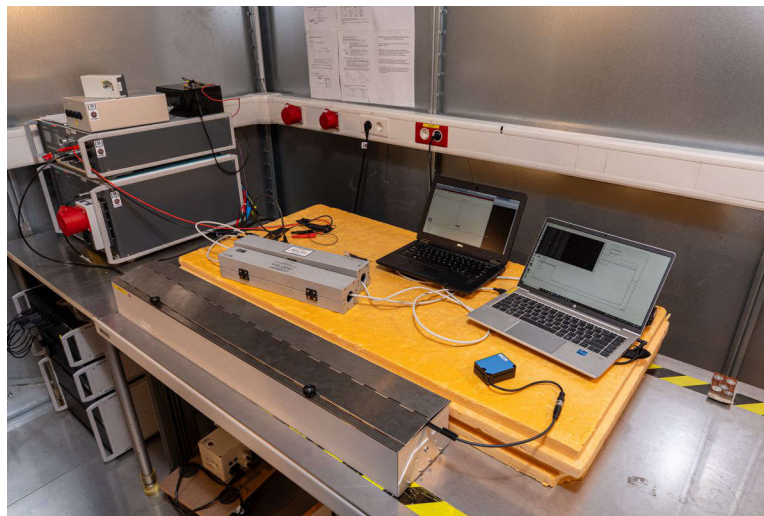
バーストテストは、図 4-53 に示すように、イーサネットポートでも実行されます。バーストは、容量性クランプを使用してシステムに結合されます。ここでも、ラップトップはフェライトを使用して絶縁されています。


**図 4-53. イーサネットポートでのバーストテスト**

イーサネット通信は  $2\text{kV}$  でエラーがなく、クラス A のパフォーマンスを満たしています。 $3\text{kV}$  では、破損したパケットが観察され、データレートが低下します。使用するアプリケーション プロトコル (サイクルタイム内で再送信が可能な場合) によっては、これらの結果はクラス A 性能として分類することもできますが、このデザインではクラス B 性能として定義しています。この電圧ではリンクの降下は確認されていません。ラップトップなどの補助装置は、この電圧でデータ損失を引き起こす可能性があります。

#### 4.4.9.3 IO-Link

IO-Link ラインにバーストパルスを注入するために、容量性クランプを使用し、ケーブルをクランプ内に通しています。[図 4-54](#) にテスト設定を示します


**図 4-54. IO-Linkポートでのバーストテスト**

アース接続がない場合、 $2\text{kV}$  でクラス A 性能を達成できます。

アース接続がある場合、 $1\text{kV}$  でクラス A 性能を達成できます。DC ポートで試験を行う場合、CQ ラインに  $1\text{nF}$  の小容量コンデンサを追加することで、 $2\text{kV}$  においてもクラス A 性能を満たすよう性能を向上できます。

#### 4.4.9.4 まとめ

すべてのテストは IO-Link の要件を満たしており、要件を上回る可能性があります。次の表に、各テストの概要を示します。TI では、堅牢性を向上させるため、TIOL221 の CQ ラインに小容量コンデンサを追加することを推奨しています。破損した M シーケンスの数は記録していませんが、IO-Link 通信の再起動が必要かどうかは記録しました。

テスト	電圧	結果	コメント
アース未接続の DC ポート	2kV	クラス A	
アース接続された DC ポート	1kV	クラス A	
アース接続された DC ポート	2kV	クラス B	IO-Link は通信を再開します
アース接続ありの DC ポートおよび CQ ラインに 1nF を実装した構成	2kV	クラス A	
イーサネット ポート	2kV	クラス A	
イーサネット ポート	3kV	クラス B	プロトコル クラス A に応じて、イーサネットにパケット損失が発生する可能性があります
アース未接続の IO-Link ポート	2kV	クラス A	
アース接続された IO-Link ポート	1kV	クラス A	
アース接続された IO-Link ポート	2kV	クラス B	IO-Link は通信を再開します
アース接続ありの IO-Link ポートおよび CQ ラインに 1nF を実装した構成	2kV	クラス A	

#### 4.4.10 IEC 61000-4-5 サージ

イーサネット ケーブルへのサージ試験では、セットアップは前述とほぼ同様ですが、一本のケーブルを長尺ケーブルに変更し、そのケーブルのシールドをサージ ジェネレータへ接続しています。リファレンス デザインのアースはアースに接続されています。図 4-55 に設定を示します。

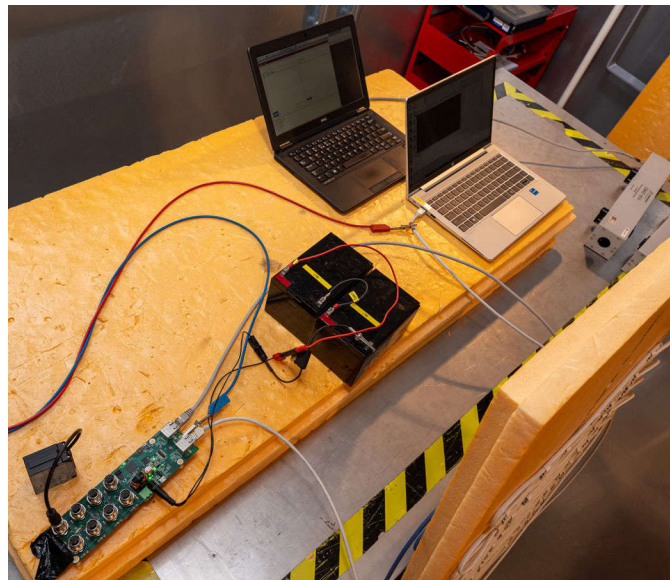


図 4-55. イーサネット ポートでのサージ テスト

この試験は、 $2\Omega$  のソース インピーダンスおよび最大 2kV の電圧条件で実施されています。このリファレンス デザインでは干渉は確認されず、通信も継続して動作しており、クラス A 基準を満たしています。

このセットアップでは、通信実行中に IO-Link ポートでテストを行うことはできません。このケーブルはシールドされていないため、サージは結合ネットワークを介して、ライン間およびライン対アースなどの異なる構成で各ラインへ印加する必要があります。インピーダンスは  $42\Omega$  で、電流は減少します。ただし、結合ネットワークを介した場合、COM2 または COM3

では通信できません。そのため、サージパルスを印加した後に、IO-Link の機能を確認しました。すべての構成において、試験完了後も IO-Link ポートは正常に動作しています。

#### 4.4.11 IEC 61000-4-6 伝導耐性

伝導型 RF 耐性をテストするために、IO-Link 通信とイーサネット通信が確立されています。イーサネットに負荷をかけ、パケット損失の有無を確認するために、Iperf3 を実行しています。RF ノイズは DC ポート、IO-Link、およびイーサネットに結合されていますが、通信には干渉していません。図 4-56 にテスト構成を示します。RF ノイズを結合するために、結合ネットワーク (CDN) を使用しています。CDNm を介して通信するために、IO-Link は COM3 ではなく COM2 を使用するよう設定する必要があります。

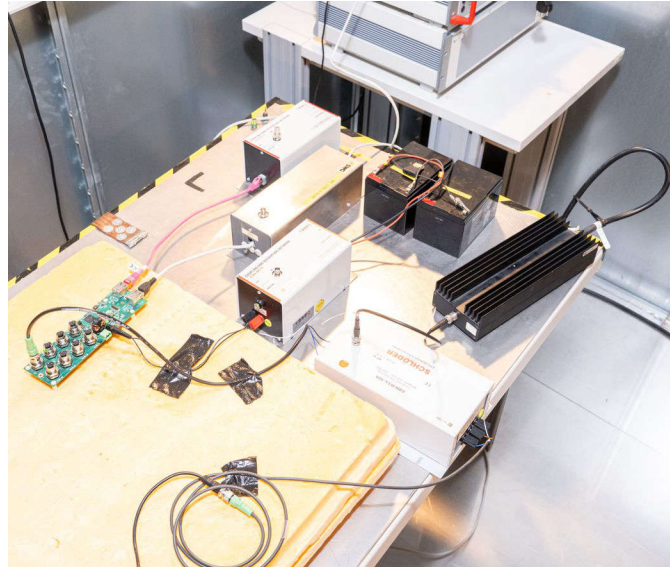


図 4-56. 伝導耐性構成

20V の RF 電圧を印加しても、いずれのポートの通信にも干渉は発生せず、このテスト セットアップは IO-Link の要件を上回る性能を示しています。

#### 4.5 イーサネット準拠

二つのイーサネットポートは、100 BASE-TX 規格に準拠していることをテスト済みです。ポートは自動 MDI-X をサポートし、RX と TX を交換できるため、この代替構成もテストされます。結果を次の表にまとめます。

テスト	測定時	値 Eth 1	値 Eth 1 MDI-X	値 Eth 2	値 Eth 2 MDI-X	結果
マスク テスト	ツイスト ペア アクティブ出 カインターフェイス テンプレ レート	合格	合格	合格	合格	合格
ANSI 9.1.9	ジッタ ベースから上部	401ps	389ps	352ps	397ps	合格
ANSI 9.1.9	ジッタ ベースから下部	448ps	452ps	475ps	493ps	合格
ANSI 9.1.2.2	UTP DOV ベースから上 部	958.7mV	956mV	957.1mV	954mV	合格
ANSI 9.1.2.2	UTP DOV ベースから下 部	968.1mV	967.8mV	967.5mV	961.9mV	合格
ANSI 9.1.4	信号振幅シンメトリ	0.998	0.996	0.997	0.999	合格
ANSI 9.1.3	正方向オーバーシュート	2.2%	2.7%	2.5%	2.7%	合格
ANSI 9.1.3	負方向オーバーシュート	2.6%	2.5%	2.4%	2.1%	合格
ANSI 9.1.6	ベースを上部に立ち上げ	3.189ns	3.237ns	3.003ns	3.030ns	合格

テスト	測定時	値 Eth 1	値 Eth 1 MDI-X	値 Eth 2	値 Eth 2 MDI-X	結果
ANSI 9.1.6	上部からベースに立ち下げ	3.421ns	3.434ns	3.330ns	3.440ns	合格
ANSI 9.1.6	下部からベースに立ち上げ	3.492ns	3.598ns	3.383ns	3.429ns	合格
ANSI 9.1.6	ベースから下部に立ち下げ	3.201ns	3.243ns	3.118ns	3.203ns	合格
ANSI 9.1.6	立ち上がり / 立ち下がりの 対称性	303ps	361ps	379ps	410ps	合格
ANSI 9.1.8	デューティサイクルの歪み	25.1ps	27.8ps	26.9ps	27.1ps	合格

## 5 設計とドキュメントのサポート

### 5.1 デザイン ファイル

#### 5.1.1 回路図

回路図をダウンロードするには、[TIDA-011002](#) のデザイン ファイルを参照してください。

#### 5.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-011002](#) のデザイン ファイルを参照してください。

#### 5.1.3 PCB レイアウトに関する推奨事項

##### 5.1.3.1 レイアウト プリント

レイヤ プロットをダウンロードするには、[TIDA-011002](#) のデザイン ファイルを参照してください。

### 5.2 ソフトウェア

#### IND-COMMS-SDK

産業用リアルタイム通信ソフトウェア開発キット

### 5.3 ドキュメントのサポート

1. テキサス インスツルメンツ、『[LMR436x0-Q1, 36V, 1A/2A, 車載用降圧コンバータ, TJMAX 150°C](#) で 2.5μA 未満の IQ、4mm2 HotRod™ QFN』データシート
2. テキサス インスツルメンツ、『[TPS62850x-Q1 2.7V ~ 6V, 1A/2A/3A 車載用降圧コンバータ, SOT583 パッケージ](#)』データシート
3. テキサス インスツルメンツ、『[TLIN1021A-Q1 故障保護 LIN トランシーバ, インビットおよびウェイク付き](#)』データシート

### 5.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

### 5.5 商標

テキサス・インスツルメンツの™, SimpleLink™, NexFET™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH.

PROFINET® is a registered trademark of PROFIBUS Nutzerorganisation e.V. (PNO).

Modbus® is a registered trademark of Schneider Electric USA, Inc.

Sitara® is a registered trademark of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited.

すべての商標は、それぞれの所有者に帰属します。

## 6 著者について

**STEFFEN GRAF** は、ドイツのフライジングにあるテキサス インストルメンツの EMEA 本社でシステム エンジニアとして働いています。彼は、世界中の顧客をサポートする産業システムに重点を置いた、システム エンジニアリング チームの一員として活動しています。

9 年以上にわたり、Steffen は、SPE、PoDL、APL を含むさまざまな Ethernet 技術に加え、IO-Link などの産業用通信プロトコルに関する経験を積んできました。特に、ハードウェア レベル設計、ファームウェア 検証、EMI/EMC テストに重点を置いています。

Steffen は、ダルムシュタット応用科学大学でマイクロエレクトロニクスを専攻し、2017 年に電気工学の修士号を取得しました。

## 7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (March 2026) to Revision A (May 2026)	Page
• セクション 1 ～ 7 を追加.....	2

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月