CC13x2、CC26x2 SimpleLink™ ワイヤレス マイコン

Technical Reference Manual

Literature Number: JADU124G
JANUARY 2018 – REVISED JUNE 2024

目次

はじめにお読みください 65
このマニュアルについて 65
デバイス 65
レジスタ コール、フィールド コール、およびビット コール 65
関連資料 66
1.1 商標 67
1 アーキテクチャの概要 68
1.1 ターゲット アプリケーション 69
1.2 概要 69
1.3 機能概要 72
1.3.1 Arm® Cortex®-M4F 72
1.3.2 オンチップ メモリ 73
1.3.3 無線 74
1.3.4 セキュリティ コア 74
1.3.5 汎用タイマー 75
1.3.6 ダイレクト メモリ アクセス 75
1.3.7 システム制御およびクロック 76
1.3.8 シリアル通信ペリフェラル 76
1.3.9 プログラマブル I/O 79
1.3.10 センサ コントローラ 79
1.3.11 乱数生成器 80
1.3.12 cJTAG と JTAG 80
1.3.13 電源システム 81
2 Arm® Cortex®-M4F プロセッサ 83
2.1 Arm® Cortex®-M4F プロセッサの紹介 84
2.2 ブロック図 84
2.3 概要 85
2.3.1 システム レベル インターフェイス 85
2.3.2 統合構成可能デバッグ 85
2.3.3 トレース ポート インターフェイス ユニット 86
2.3.4 浮動小数点演算ユニット (FPU) 86
2.3.5 メモリ保護ユニット (MPU) 86
2.3.6 Arm® Cortex®-M4F システム コンポーネントの詳細 86
2.4 プログラミング モデル 87
2.4.1 ソフトウェア実行時のプロセッサ モードおよび特権レベル 87
2.4.2 スタック 87
2.4.3 例外および割り込み 87
2.4.4 データの種類 88
2.5 Arm® Cortex®-M4F コア レジスタ 88
2.5.1 コア レジスタ マップ 89
2.5.2 コア レジスタの説明 89
2.6 命令セットの概要 104
2.6.1 Arm® Cortex®-M4F 命令 104
2.6.2 ロードおよびストアのタイミング 111
2.6.3 他の Cortex®プロセッサとのバイナリ互換性 112
2.7 浮動小数点演算ユニット (FPU) 113

Copyright © 2026 Texas Instruments Incorporated

2.7.1 FPU について ... 113
2.7.2 FPU 機能の説明 ... 113
2.7.3 FPU プログラマ モデル ... 118
2.8 メモリ保護ユニット (MPU) ... 119
2.8.1 MPU の概要 ... 119
2.8.2 MPU の機能説明 ... 119
2.8.3 MPU プログラマ モデル ... 119
2.9 Arm® Cortex®-M4F プロセッサ レジスタ ... 120
2.9.1 CPU_DWT レジスタ ... 121
2.9.2 CPU_FPB レジスタ ... 149
2.9.3 CPU_ITM レジスタ ... 160
2.9.4 CPU_SCS レジスタ ... 201
2.9.5 CPU_TPIU レジスタ ... 306
3 メモリ マップ ... 319
3.1 メモリ マップ ... 319
4 Arm® Cortex®-M4F ペリフェラル ... 321
4.1 Arm® Cortex®-M4F ペリフェラルの概要 ... 322
4.2 機能説明 ... 322
4.2.1 SysTick ... 323
4.2.2 NVIC ... 323
4.2.3 SCB ... 324
4.2.4 ITM ... 325
4.2.5 FPB ... 325
4.2.6 TPIU ... 325
4.2.7 DWT ... 327
5 割り込みとイベント ... 328
5.1 例外モデル ... 329
5.1.1 例外状態 ... 329
5.1.2 例外タイプ ... 330
5.1.3 例外ハンドラ ... 332
5.1.4 ベクタ テーブル ... 332
5.1.5 例外の優先度 ... 333
5.1.6 割り込み優先度グループ化 ... 333
5.1.7 例外のエントリと戻り値 ... 334
5.2 フォルト処理 ... 336
5.2.1 故障のタイプ ... 336
5.2.2 故障のエスカレーションとハード故障 ... 337
5.2.3 フォルト ステータス レジスタおよびフォルト アドレス レジスタ ... 337
5.2.4 ロックアップ ... 337
5.3 イベント ファブリック ... 338
5.3.1 概要 ... 338
5.3.2 イベント ファブリックの概要 ... 339
5.4 AON イベント ファブリック ... 340
5.4.1 共通入力イベント リスト ... 340
5.4.2 イベント サブスクライバ ... 340
5.5 マイコン イベント ファブリック ... 341
5.5.1 共通入力イベント リスト ... 341
5.5.2 イベント サブスクライバ ... 345
5.6 AON イベント ... 346
5.7 割り込みおよびイベント レジスタ ... 347
5.7.1 AON_EVENT レジスタ ... 348
5.7.2 EVENT レジスタ ... 364
6 JTAG インターフェイス ... 492
6.1 トップレベル デバッグ システム ... 493
6.2 cJTAG ... 495
6.2.1 cJTAG コマンド ... 497
6.2.2 プログラミング シーケンス ... 500

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

6.3 ICEPick ... 501
6.3.1 セカンダリ TAP ... 502
6.3.2 ICEPick レジスタ ... 503
6.3.3 ルータ スキャン チェーン ... 506
6.3.4 TAP ルーティング レジスタ ... 507
6.4 ICEMelter ... 511
6.5 シリアル ワイヤ ビューア (SWV) ... 513
6.6 Halt In Boot (HIB) ... 513
6.7 デバッグおよびシャットダウン ... 513
6.8 WUC TAP でサポートされているデバッグ機能 ... 514
6.9 プロファイラ レジスタ ... 514
6.10 バウンダリ スキャン ... 516
7 パワー、リセット、およびクロック マネージメント (PRCM) ... 520
7.1 概要 ... 521
7.2 システム CPU モード ... 522
7.3 供給システム ... 522
7.3.1 内部 DC/DC コンバータおよびグローバル LDO ... 522
7.4 デジタル電源パーティショニング ... 523
7.4.1 MCU_VD ... 525
7.4.2 AON_VD ... 525
7.5 クロック管理 ... 525
7.5.1 システム クロック ... 525
7.5.2 MCU_VD のクロック ... 529
7.5.3 AON_VD のクロック ... 531
7.6 電力モード ... 531
7.6.1 起動状態 ... 532
7.6.2 アクティブ モード ... 532
7.6.3 アイドル モード ... 532
7.6.4 スタンバイ モード ... 533
7.6.5 シャットダウン モード ... 535
7.7 リセット ... 535
7.7.1 システム リセット ... 535
7.7.2 MCU_VD パワー ドメインおよびモジュールのリセット ... 537
7.7.3 AON_VD のリセット ... 537
7.8 PRCM レジスタ ... 537
7.8.1 DDI_0_OSC のレジスタ ... 538
7.8.2 PRCM レジスタ ... 560
7.8.3 AON_PMCTL レジスタ ... 640
8 汎用命令メモリ システム (VIMS) ... 655
8.1 概要 ... 656
8.2 VIMS の構成 ... 657
8.2.1 VIMS モード ... 657
8.2.2 VIMS フラッシュ ライン バッファ ... 659
8.2.3 VIMS アービトレーション ... 659
8.2.4 VIMS キャッシュ TAG プリフェッチ ... 659
8.3 VIMS ソフトウェアに関する注意事項 ... 659
8.3.1 フラッシュ プログラムまたは更新 ... 660
8.3.2 VIMS 保持 ... 660
8.4 ROM ... 661
8.5 フラッシュ ... 661
8.5.1 フラッシュ メモリの保護 ... 662
8.5.2 メモリのプログラミング ... 662
8.5.3 フラッシュ メモリのプログラミング ... 662
8.5.4 パワー マネージメントの要件 ... 662
8.6 ROM 機能 ... 664
8.7 VIMS レジスタ ... 664

Copyright © 2026 Texas Instruments Incorporated

8.7.1 FLASH レジスタ 665
8.7.2 VIMS レジスタ 795
9 SRAM 798
9.1 概要 799
9.2 主な機能 799
9.3 データ保持期間 799
9.4 パリティおよび SRAM エラー サポート 799
9.5 SRAM の自動初期化 799
9.6 パリティ デバッグ動作 799
9.7 SRAM レジスタ 799
9.7.1 SRAM_MMR レジスタ 800
9.7.2 SRAM レジスタ 805
10 ブートローダー 811
10.1 ブートローダ機能 812
10.1.1 ブートローダーの無効化 812
10.1.2 ブートローダー バックドア 812
10.2 ブートローダー インターフェイス 813
10.2.1 パケット処理 814
10.2.2 トランスポート層 817
10.2.3 シリアル バス コマンド 818
11 デバイス設定 830
11.1 顧客構成 (CCFG) 831
11.2 CCFG レジスタ 832
11.2.1 CCFG レジスタ 833
11.3 工場出荷時構成 (FCFG) 863
11.4 FCFG レジスタ 863
11.4.1 FCFG1 のレジスタ 864
12 暗号化 951
12.1 AES およびハッシュ暗号化プロセッサの概要 952
12.2 機能説明 952
12.2.1 デバッグ機能 953
12.2.2 例外処理 953
12.3 パワー マネージメントとスリープ モード 953
12.4 ハードウェアの説明 954
12.4.1 AHB スレーブ バス 954
12.4.2 AHB マスタ バス 954
12.4.3 割り込み 954
12.5 モジュールの説明 955
12.5.1 概要 955
12.5.2 モジュールのメモリ マップ 955
12.5.3 DMA コントローラ 958
12.5.4 マスタ制御および選択モジュール 961
12.5.5 AES エンジン 963
12.5.6 キー エリア レジスタ 967
12.6 AES モジュールの性能 968
12.6.1 概要 968
12.6.2 DMA ベース動作の性能 970
12.7 プログラミング ガイドライン 970
12.7.1 リセット後のワンタイム初期化 970
12.7.2 DMAC およびマスタ制御 971
12.7.3 ハッシュ化 972
12.7.4 暗号化と復号化 979
12.7.5 例外処理 986
12.8 規則および準拠規格 1009
12.8.1 このマニュアルで使用されている規則 1009
12.8.2 コンプライアンス 1011

Copyright © 2026 Texas Instruments Incorporated

12.9 暗号化レジスタ....1011
12.9.1 CRYPTO レジスタ....1012
13 I/O コントローラ (IOC)....1119
13.1 概要....1120
13.2 IOC の概要....1120
13.3 I/O マッピングと構成....1121
13.3.1 基本 I/O マッピング....1121
13.3.2 AUXIO から DIO ピンへのマッピング....1121
13.3.3 I/O を使用した外部 LNA/PA (レンジ エクステンダ) の制御....1121
13.3.4 32kHz システム クロック (LF クロック) を DIO に割り当てる....1122
13.4 DIO ピンのエッジ検出....1122
13.4.1 DIO を GPIO 入力として構成し、エッジ検出時に割り込みを生成....1122
13.5 未使用の I/O ピン....1123
13.6 GPIO....1123
13.7 I/O ピン機能....1124
13.8 ペリフェラル PORTID....1126
13.9 I/O ピン....1127
13.9.1 入出力モード....1127
13.10 IOC レジスタ....1128
13.10.1 AON_IOC レジスタ....1129
13.10.2 GPIO レジスタ....1135
13.10.3 IOC レジスタ....1159
14 マイクロ ダイレクト メモリ アクセス (µDMA)....1321
14.1 µDMA の紹介....1322
14.2 ブロック図....1323
14.3 機能説明....1323
14.3.1 チャネル割り当て....1324
14.3.2 優先順位....1325
14.3.3 調停サイズ....1325
14.3.4 要求タイプ....1325
14.3.5 チャネル構成....1326
14.3.6 転送モード....1328
14.3.7 転送サイズとインクリメント....1336
14.3.8 ペリフェラル インターフェイス....1336
14.3.9 ソフトウェア要求....1336
14.3.10 割り込みとエラー....1337
14.4 初期化および構成....1338
14.4.1 モジュールの初期化....1338
14.4.2 メモリ間転送の設定....1338
14.5 µDMA レジスタ....1339
14.5.1 UDMA レジスタ....1340
15 タイマ....1362
15.1 汎用タイマー....1363
15.2 ブロック図....1364
15.3 機能説明....1364
15.3.1 GPTM のリセット条件....1365
15.3.2 タイマ モード....1365
15.3.3 GPT ブロックの同期....1374
15.3.4 連結された 16 ビットおよび 32 ビットの GPTM レジスタ値へのアクセス....1376
15.4 初期化および構成....1376
15.4.1 ワンショットおよび周期タイマ モード....1377
15.4.2 入力エッジカウント モード....1377
15.4.3 入力エッジ — タイミング モード....1378
15.4.4 PWM モード....1378
15.4.5 DMA トリガ イベントの生成....1379
15.5 GPTM レジスタ....1379

Copyright © 2026 Texas Instruments Incorporated

15.5.1 GPT レジスタ 1380
16 リアルタイム クロック (RTC) 1417
16.1 概要 1418
16.2 機能仕様 1418
16.2.1 機能概要 1418
16.2.2 フリーランニング カウンタ 1418
16.2.3 チャネル 1419
16.2.4 イベント 1420
16.3 RTC レジスタ情報 1420
16.3.1 レジスタ アクセス 1420
16.3.2 スリープへの移行とスリープからのウェークアップ 1420
16.3.3 AON_RTC:SYNC レジスタ 1421
16.4 RTC レジスタ 1421
16.4.1 AON_RTC レジスタ 1422
17 ウォッチドッグ タイマ (WDT) 1438
17.1 概要 1439
17.2 機能説明 1439
17.3 初期化および構成 1440
17.4 WDT レジスタ 1440
17.4.1 WDT レジスタ 1441
18 真性乱数生成器 (TRNG) 1451
18.1 概要 1452
18.2 ブロック図 1452
18.3 TRNG ソフトウェア リセット 1453
18.4 割り込み要求 1453
18.5 TRNG 動作の説明 1454
18.5.1 TRNG シャットダウン 1454
18.5.2 TRNG アラーム 1455
18.5.3 TRNG エントロピー 1455
18.6 TRNG の Low レベル プログラミング ガイド 1456
18.6.1 初期化 1456
18.7 TRNG レジスタ 1458
18.7.1 TRNG レジスタ 1459
19 AUX ドメイン センサ コントローラおよびペリフェラル 1485
19.1 概要 1486
19.1.1 AUX のブロック図 1487
19.2 電源およびクロックの管理 1488
19.2.1 動作モード 1488
19.2.2 使用シナリオ 1490
19.2.3 SCE クロック エミュレーション 1492
19.2.4 AUX RAM の保持 1492
19.3 センサ コントローラ 1492
19.3.1 Sensor Controller Studio 1492
19.3.2 センサ コントローラ エンジン (SCE) 1497
19.4 デジタル ペリフェラル モジュール 1510
19.4.1 概要 1510
19.4.2 AIODIO 1510
19.4.3 SMPH 1513
19.4.4 SPIM 1514
19.4.5 時間 / デジタル コンバータ (TDC) 1518
19.4.6 Timer01 1528
19.4.7 Timer2 1530
19.5 アナログ ペリフェラル モジュール 1539
19.5.1 概要 1539
19.5.2 A/D コンバータ (ADC) 1541
19.5.3 COMPA 1544
19.5.4 COMPB 1546

Copyright © 2026 Texas Instruments Incorporated

19.5.5 リファレンス DAC 1549
19.5.6 ISRC 1553
19.6 イベントのルーティングと使用 1555
19.6.1 AUX イベント バス 1555
19.6.2 外部ピンでのイベント観測 1558
19.6.3 MCU ドメインからのイベント 1558
19.6.4 MCU ドメインへのイベント 1558
19.6.5 AON ドメインからのイベント 1559
19.6.6 AON ドメインへのイベント 1561
19.6.7 µDMA インターフェイス 1561
19.7 センサ コントローラ エイリアス レジスタ空間 1562
19.8 AUX ドメイン センサ コントローラおよびペリフェラル レジスタ 1567
19.8.1 ADI_4_AUX のレジスタ 1568
19.8.2 AUX_AIODIO レジスタ 1581
19.8.3 AUX_EVCTL レジスタ 1608
19.8.4 AUX_SMPH レジスタ 1651
19.8.5 AUX_TDC レジスタ 1661
19.8.6 AUX_TIMER01 のレジスタ 1679
19.8.7 AUX_TIMER2 のレジスタ 1692
19.8.8 AUX_ANAIF レジスタ 1738
19.8.9 AUX_SYSIF レジスタ 1756
19.8.10 AUX_SPIM レジスタ 1811
19.8.11 AUX_MAC レジスタ 1821
19.8.12 AUX_SCE レジスタ 1863
20 バッテリ モニタおよび温度センサ (BATMON) 1874
20.1 概要 1875
20.2 機能説明 1875
20.3 BATMON レジスタ 1875
20.3.1 AON_BATMON レジスタ 1876
21 UART (ユニバーサル非同期レシーバ / トランスミッタ) 1897
21.1 概要 1898
21.2 ブロック図 1899
21.3 信号の説明 1899
21.4 機能説明 1899
21.4.1 送信および受信ロジック 1900
21.4.2 ボーレート生成 1900
21.4.3 データ転送 1901
21.4.4 モデム ハンドシェイク サポート 1901
21.4.5 FIFO 動作 1902
21.4.6 割り込み 1902
21.4.7 ループバック動作 1904
21.5 DMA へのインターフェイス 1905
21.6 初期化および構成 1907
21.7 UART レジスタ 1908
21.7.1 UART レジスタ 1909
22 同期式シリアル インターフェイス (SSI) 1932
22.1 概要 1933
22.2 ブロック図 1934
22.3 信号の説明 1935
22.4 機能説明 1935
22.4.1 ビット レート生成 1935
22.4.2 FIFO 動作 1936
22.4.3 割り込み 1936
22.4.4 フレーム フォーマット 1937
22.5 DMA 動作 1945
22.6 初期化および構成 1945

Copyright © 2026 Texas Instruments Incorporated

22.7 SSI レジスタ 1946
22.7.1 SSI レジスタ 1947
23 I2C (Inter-Integrated Circuit) 1959
23.1 概要 1960
23.2 ブロック図 1960
23.3 機能説明 1961
23.3.1 I2C バス機能の概要 1961
23.3.2 使用可能な速度モード 1964
23.3.3 割り込み 1965
23.3.4 ループバック動作 1965
23.3.5 コマンド シーケンスのフロー チャート 1966
23.4 初期化および構成 1973
23.5 I2C レジスタ 1973
23.5.1 I2C のレジスタ 1974
24 インタ IC サウンド (I2S) 1996
24.1 概要 1997
24.2 ブロック図 1998
24.3 信号の説明 1999
24.4 機能説明 1999
24.4.1 依存関係 1999
24.4.2 ピン構成 2000
24.4.3 シリアル形式構成 2000
24.4.4 I2S 2000
24.4.5 左揃え (LJF) 2001
24.4.6 右揃え (RJF) 2002
24.4.7 DSP 2003
24.4.8 クロック構成 2004
24.5 メモリ インターフェイス 2005
24.5.1 サンプル ワード長 2005
24.5.2 チャネル マッピング 2005
24.5.3 メモリ内のサンプル ストレージ 2006
24.5.4 DMA 動作 2007
24.6 サンプルスタンプ ジェネレータ 2010
24.6.1 サンプルスタンプ カウンタ 2010
24.6.2 スタートアップ トリガ 2011
24.6.3 Samplestamp キャプチャ 2011
24.6.4 一定のオーディオ レイテンシの実現 2011
24.7 エラー検出 2012
24.8 使用法 2012
24.8.1 スタートアップ シーケンス 2012
24.8.2 シャットダウン シーケンス 2012
24.9 I2S レジスタ 2012
24.9.1 I2S のレジスタ 2013
25 無線 2045
25.1 RF コア 2046
25.1.1 ハイレベルな説明および概要 2046
25.2 無線ドアベル 2048
25.2.1 特別な起動プロセス 2048
25.2.2 コマンドおよびステータス レジスタとイベント 2049
25.2.3 RF コア割り込み 2049
25.2.4 無線タイマ 2050
25.3 RF コア HAL 2052
25.3.1 ハードウェア サポート 2052
25.3.2 ファームウェア サポート 2052
25.3.3 コマンドの定義 2065
25.3.4 データ キュー操作の即時コマンド 2092

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.4 データ キューの使用状況 2095
25.4.1 内部無線 CPU 動作専用のデータ キュー操作 2095
25.4.2 無線 CPU 使用状況モデル 2098
25.5 IEEE 802.15.4 2099
25.5.1 IEEE 802.15.4 コマンド 2099
25.5.2 割り込み 2109
25.5.3 データ処理 2109
25.5.4 無線動作コマンド 2111
25.5.5 即時コマンド 2125
25.6 Bluetooth® Low Energy 2126
25.6.1 Bluetooth® Low Energy コマンド 2126
25.6.2 割り込み 2149
25.7 データ処理 2149
25.7.1 受信バッファ 2149
25.7.2 送信バッファ 2150
25.8 無線動作コマンドの説明 2150
25.8.1 Bluetooth® 5 無線セットアップ コマンド 2150
25.8.2 Bluetooth® Low Energy パケット転送用無線動作コマンド 2151
25.8.3 Coded PHY のコーディング選択 2153
25.8.4 パラメータのオーバーライド 2154
25.8.5 リンク レイヤ接続 2154
25.8.6 スレーブ コマンド 2159
25.8.7 マスタ コマンド 2160
25.8.8 レガシー アドバタイザ 2161
25.8.9 Bluetooth® 5 アドバタイザコマンド 2166
25.8.10 スキャナ コマンド 2171
25.8.11 イニシエータ コマンド 2179
25.8.12 汎用レシーバ コマンド 2186
25.8.13 PHY テスト送信コマンド 2187
25.8.14 ホワイトリストの処理 2189
25.8.15 バックオフ手順 2189
25.8.16 AUX ポインタ処理 2190
25.8.17 デバイス アドレスの動的変更 2191
25.9 即時コマンド 2191
25.9.1 アドバタイズ ペイロード コマンドを更新 2191
25.10 独自の無線 2192
25.10.1 パケット フォーマット 2192
25.10.2 コマンド 2192
25.10.3 割り込み 2201
25.10.4 データ処理 2201
25.10.5 無線動作コマンドの説明 2202
25.10.6 即時コマンド 2216
25.11 無線レジスタ 2217
25.11.1 RFC_RAT レジスタ 2218
25.11.2 RFC_DBELL レジスタ 2228
25.11.3 RFC_PWR レジスタ 2245
26 改訂履歴 2247

図の一覧

図 1-1. CC13x2 と CC26x2 のブロック図 70
図 1-2. CC13x2 および CC26x2 電源システム 81
図 2-1. CPU のブロック図 85
図 2-2. TPIU のブロック図 86
図 2-3. Arm® Cortex®-M4F レジスタ セット 88
図 2-4. FPU レジスタ バンク 113
図 2-5. CTRL レジスタ 123

Copyright © 2026 Texas Instruments Incorporated

図 2-6. CYCCNT レジスタ 125
図 2-7. CPICNT レジスタ 126
図 2-8. EXCCNT レジスタ 127
図 2-9. SLEEPCNT レジスタ 128
図 2-10. LSUCNT レジスタ 129
図 2-11. FOLDCNT レジスタ 130
図 2-12. PCSR レジスタ 131
図 2-13. COMP0 レジスタ 132
図 2-14. MASK0 レジスタ 133
図 2-15. FUNCTION0 レジスタ 134
図 2-16. COMP1 レジスタ 136
図 2-17. MASK1 レジスタ 137
図 2-18. FUNCTION1 レジスタ 138
図 2-19. COMP2 レジスタ 141
図 2-20. MASK2 レジスタ 142
図 2-21. FUNCTION2 レジスタ 143
図 2-22. COMP3 レジスタ 145
図 2-23. MASK3 レジスタ 146
図 2-24. FUNCTION3 レジスタ 147
図 2-25. CTRL レジスタ 150
図 2-26. REMAP レジスタ 151
図 2-27. COMP0 レジスタ 152
図 2-28. COMP1 レジスタ 153
図 2-29. COMP2 レジスタ 154
図 2-30. COMP3 レジスタ 155
図 2-31. COMP4 レジスタ 156
図 2-32. COMP5 レジスタ 157
図 2-33. COMP6 レジスタ 158
図 2-34. COMP7 レジスタ 159
図 2-35. STIM0 レジスタ 162
図 2-36. STIM1 レジスタ 163
図 2-37. STIM2 レジスタ 164
図 2-38. STIM3 レジスタ 165
図 2-39. STIM4 レジスタ 166
図 2-40. STIM5 レジスタ 167
図 2-41. STIM6 レジスタ 168
図 2-42. STIM7 レジスタ 169
図 2-43. STIM8 レジスタ 170
図 2-44. STIM9 レジスタ 171
図 2-45. STIM10 レジスタ 172
図 2-46. STIM11 レジスタ 173
図 2-47. STIM12 レジスタ 174
図 2-48. STIM13 レジスタ 175
図 2-49. STIM14 レジスタ 176
図 2-50. STIM15 レジスタ 177
図 2-51. STIM16 レジスタ 178
図 2-52. STIM17 レジスタ 179
図 2-53. STIM18 レジスタ 180
図 2-54. STIM19 レジスタ 181
図 2-55. STIM20 レジスタ 182
図 2-56. STIM21 レジスタ 183
図 2-57. STIM22 レジスタ 184
図 2-58. STIM23 レジスタ 185
図 2-59. STIM24 レジスタ 186
図 2-60. STIM25 レジスタ 187
図 2-61. STIM26 レジスタ 188

Copyright © 2026 Texas Instruments Incorporated

図 2-62. STIM27 レジスタ 189
図 2-63. STIM28 レジスタ 190
図 2-64. STIM29 レジスタ 191
図 2-65. STIM30 レジスタ 192
図 2-66. STIM31 レジスタ 193
図 2-67. TER レジスタ 194
図 2-68. TPR レジスタ 196
図 2-69. TCR レジスタ 197
図 2-70. LAR レジスタ 199
図 2-71. LSR レジスタ 200
図 2-72. ICTR レジスタ 205
図 2-73. ACTLR レジスタ 206
図 2-74. STCSR レジスタ 207
図 2-75. STRVR レジスタ 208
図 2-76. STCVR レジスタ 209
図 2-77. STCR レジスタ 210
図 2-78. NVIC_ISER0 レジスタ 211
図 2-79. NVIC_ISER1 レジスタ 214
図 2-80. NVIC_ICER0 レジスタ 215
図 2-81. NVIC_ICER1 レジスタ 218
図 2-82. NVIC_ISPR0 レジスタ 219
図 2-83. NVIC_ISPR1 レジスタ 222
図 2-84. NVIC_ICPR0 レジスタ 223
図 2-85. NVIC_ICPR1 レジスタ 226
図 2-86. NVIC_IABR0 レジスタ 227
図 2-87. NVIC_IABR1 レジスタ 230
図 2-88. NVIC_IPR0 レジスタ 231
図 2-89. NVIC_IPR1 レジスタ 232
図 2-90. NVIC_IPR2 レジスタ 233
図 2-91. NVIC_IPR3 レジスタ 234
図 2-92. NVIC_IPR4 レジスタ 235
図 2-93. NVIC_IPR5 レジスタ 236
図 2-94. NVIC_IPR6 レジスタ 237
図 2-95. NVIC_IPR7 レジスタ 238
図 2-96. NVIC_IPR8 レジスタ 239
図 2-97. NVIC_IPR9 レジスタ 240
図 2-98. CPUID レジスタ 241
図 2-99. ICSR レジスタ 242
図 2-100. VTOR レジスタ 244
図 2-101. AIRCR レジスタ 245
図 2-102. SCR レジスタ 247
図 2-103. CCR レジスタ 248
図 2-104. SHPR1 レジスタ 250
図 2-105. SHPR2 レジスタ 251
図 2-106. SHPR3 レジスタ 252
図 2-107. SHCSR レジスタ 253
図 2-108. CFSR レジスタ 255
図 2-109. HFSR レジスタ 258
図 2-110. DFSR レジスタ 259
図 2-111. MMFAR レジスタ 261
図 2-112. BFAR レジスタ 262
図 2-113. AFSR レジスタ 263
図 2-114. ID_PFR0 レジスタ 264
図 2-115. ID_PFR1 レジスタ 265
図 2-116. ID_DFR0 レジスタ 266
図 2-117. ID_AFR0 レジスタ 267

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

図 2-118. ID_MMFR0 レジスタ....268
図 2-119. ID_MMFR1 レジスタ....269
図 2-120. ID_MMFR2 レジスタ....270
図 2-121. ID_MMFR3 レジスタ....271
図 2-122. ID_ISAR0 レジスタ....272
図 2-123. ID_ISAR1 レジスタ....273
図 2-124. ID_ISAR2 レジスタ....274
図 2-125. ID_ISAR3 レジスタ....275
図 2-126. ID_ISAR4 レジスタ....276
図 2-127. CPACR レジスタ....277
図 2-128. MPU_TYPE レジスタ....278
図 2-129. MPU_CTRL レジスタ....279
図 2-130. MPU_RNR レジスタ....281
図 2-131. MPU_RBAR レジスタ....282
図 2-132. MPU_RASR レジスタ....283
図 2-133. MPU_RBAR_A1 レジスタ....285
図 2-134. MPU_RASR_A1 レジスタ....286
図 2-135. MPU_RBAR_A2 レジスタ....287
図 2-136. MPU_RASR_A2 レジスタ....288
図 2-137. MPU_RBAR_A3 レジスタ....289
図 2-138. MPU_RASR_A3 レジスタ....290
図 2-139. DHCSR レジスタ....291
図 2-140. DCRSR レジスタ....294
図 2-141. DCRDR レジスタ....296
図 2-142. DEMCR レジスタ....297
図 2-143. STIR レジスタ....299
図 2-144. FPCCR レジスタ....300
図 2-145. FPCAR レジスタ....302
図 2-146. FPDSCR レジスタ....303
図 2-147. MVFR0 レジスタ....304
図 2-148. MVFR1 レジスタ....305
図 2-149. SSPSR レジスタ....307
図 2-150. CSPSR レジスタ....308
図 2-151. ACPR レジスタ....309
図 2-152. SPPR レジスタ....310
図 2-153. FFSR レジスタ....311
図 2-154. FFCR レジスタ....312
図 2-155. FSCR レジスタ....313
図 2-156. CLAIMMASK レジスタ....314
図 2-157. CLAIMSET レジスタ....315
図 2-158. CLAIMTAG レジスタ....316
図 2-159. CLAIMCLR レジスタ....317
図 2-160. DEVID レジスタ....318
図 5-1. ベクタ テーブル....332
図 5-2. 例外スタック フレーム....334
図 5-3. イベント ファブリックの概念....338
図 5-4. イベント ファブリックの概要 (簡易版)....339
図 5-5. AON イベント ファブリックの WUC サブスクライバ....340
図 5-6. MCUWUSEL レジスタ....349
図 5-7. MCUWUSEL1 レジスタ....354
図 5-8. EVTOMCUSEL レジスタ....359
図 5-9. RTCSEL レジスタ....363
図 5-10. CPUIRQSEL0 レジスタ....369
図 5-11. CPUIRQSEL1 レジスタ....370
図 5-12. CPUIRQSEL2 レジスタ....371
図 5-13. CPUIRQSEL3 レジスタ....372

Copyright © 2026 Texas Instruments Incorporated

図 5-14. CPUIRQSEL4 レジスタ ... 373
図 5-15. CPUIRQSEL5 レジスタ ... 374
図 5-16. CPUIRQSEL6 レジスタ ... 375
図 5-17. CPUIRQSEL7 レジスタ ... 376
図 5-18. CPUIRQSEL8 レジスタ ... 377
図 5-19. CPUIRQSEL9 レジスタ ... 378
図 5-20. CPUIRQSEL10 レジスタ ... 379
図 5-21. CPUIRQSEL11 レジスタ ... 380
図 5-22. CPUIRQSEL12 レジスタ ... 381
図 5-23. CPUIRQSEL13 レジスタ ... 382
図 5-24. CPUIRQSEL14 レジスタ ... 383
図 5-25. CPUIRQSEL15 レジスタ ... 384
図 5-26. CPUIRQSEL16 レジスタ ... 385
図 5-27. CPUIRQSEL17 レジスタ ... 386
図 5-28. CPUIRQSEL18 レジスタ ... 387
図 5-29. CPUIRQSEL19 レジスタ ... 388
図 5-30. CPUIRQSEL20 レジスタ ... 389
図 5-31. CPUIRQSEL21 レジスタ ... 390
図 5-32. CPUIRQSEL22 レジスタ ... 391
図 5-33. CPUIRQSEL23 レジスタ ... 392
図 5-34. CPUIRQSEL24 レジスタ ... 393
図 5-35. CPUIRQSEL25 レジスタ ... 394
図 5-36. CPUIRQSEL26 レジスタ ... 395
図 5-37. CPUIRQSEL27 レジスタ ... 396
図 5-38. CPUIRQSEL28 レジスタ ... 397
図 5-39. CPUIRQSEL29 レジスタ ... 398
図 5-40. CPUIRQSEL30 レジスタ ... 399
図 5-41. CPUIRQSEL31 レジスタ ... 401
図 5-42. CPUIRQSEL32 レジスタ ... 402
図 5-43. CPUIRQSEL33 レジスタ ... 403
図 5-44. CPUIRQSEL34 レジスタ ... 404
図 5-45. CPUIRQSEL35 レジスタ ... 405
図 5-46. CPUIRQSEL36 レジスタ ... 406
図 5-47. CPUIRQSEL37 レジスタ ... 407
図 5-48. RFCSEL0 レジスタ ... 408
図 5-49. RFCSEL1 レジスタ ... 409
図 5-50. RFCSEL2 レジスタ ... 410
図 5-51. RFCSEL3 レジスタ ... 411
図 5-52. RFCSEL4 レジスタ ... 412
図 5-53. RFCSEL5 レジスタ ... 413
図 5-54. RFCSEL6 レジスタ ... 414
図 5-55. RFCSEL7 レジスタ ... 415
図 5-56. RFCSEL8 レジスタ ... 416
図 5-57. RFCSEL9 レジスタ ... 417
図 5-58. GPT0ACAPTSEL レジスタ ... 420
図 5-59. GPT0BCAPTSEL レジスタ ... 423
図 5-60. GPT1ACAPTSEL レジスタ ... 426
図 5-61. GPT1BCAPTSEL レジスタ ... 429
図 5-62. GPT2ACAPTSEL レジスタ ... 432
図 5-63. GPT2BCAPTSEL レジスタ ... 435
図 5-64. UDMACH1SSEL レジスタ ... 438
図 5-65. UDMACH1BSEL レジスタ ... 439
図 5-66. UDMACH2SSEL レジスタ ... 440
図 5-67. UDMACH2BSEL レジスタ ... 441
図 5-68. UDMACH3SSEL レジスタ ... 442
図 5-69. UDMACH3BSEL レジスタ ... 443

Copyright © 2026 Texas Instruments Incorporated

図 5-70. UDMACH4SSEL レジスタ....444
図 5-71. UDMACH4BSEL レジスタ....445
図 5-72. UDMACH5SSEL レジスタ....446
図 5-73. UDMACH5BSEL レジスタ....447
図 5-74. UDMACH6SSEL レジスタ....448
図 5-75. UDMACH6BSEL レジスタ....449
図 5-76. UDMACH7SSEL レジスタ....450
図 5-77. UDMACH7BSEL レジスタ....451
図 5-78. UDMACH8SSEL レジスタ....452
図 5-79. UDMACH8BSEL レジスタ....453
図 5-80. UDMACH9SSEL レジスタ....454
図 5-81. UDMACH9BSEL レジスタ....455
図 5-82. UDMACH10SSEL レジスタ....456
図 5-83. UDMACH10BSEL レジスタ....457
図 5-84. UDMACH11SSEL レジスタ....458
図 5-85. UDMACH11BSEL レジスタ....459
図 5-86. UDMACH12SSEL レジスタ....460
図 5-87. UDMACH12BSEL レジスタ....461
図 5-88. UDMACH13BSEL レジスタ....462
図 5-89. UDMACH14BSEL レジスタ....463
図 5-90. UDMACH15BSEL レジスタ....468
図 5-91. UDMACH16SSEL レジスタ....469
図 5-92. UDMACH16BSEL レジスタ....470
図 5-93. UDMACH17SSEL レジスタ....471
図 5-94. UDMACH17BSEL レジスタ....472
図 5-95. UDMACH21SSEL レジスタ....473
図 5-96. UDMACH21BSEL レジスタ....474
図 5-97. UDMACH22SSEL レジスタ....475
図 5-98. UDMACH22BSEL レジスタ....476
図 5-99. UDMACH23SSEL レジスタ....477
図 5-100. UDMACH23BSEL レジスタ....478
図 5-101. UDMACH24SSEL レジスタ....479
図 5-102. UDMACH24BSEL レジスタ....480
図 5-103. GPT3ACAPTSEL レジスタ....481
図 5-104. GPT3BCAPTSEL レジスタ....484
図 5-105. AUXSEL0 レジスタ....487
図 5-106. CM3NMISEL0 レジスタ....488
図 5-107. I2SSTMPSEL0 レジスタ....489
図 5-108. FRZSEL0 レジスタ....490
図 5-109. SWEV レジスタ....491
図 6-1. トップレベル デバッグ システム....493
図 6-2. JTAG ステート マシン....494
図 6-3. cJTAG の概念図....495
図 6-4. データ シフト レジスタ....504
図 6-5. 命令レジスタ....504
図 6-6. バイパス レジスタ....504
図 6-7. デバイス識別レジスタ....504
図 6-8. ユーザー コード レジスタ....505
図 6-9. ICEPick 識別レジスタ....505
図 6-10. 接続レジスタ....506
図 6-11. ルータ DR スキャン チェーン....506
図 6-12. プロファイラ レジスタ....514
図 6-13. バウンダリ スキャン セル....517
図 7-1. パワー セービング機能の階層....521
図 7-2. CC13x2 および CC26x2 電源システム....523
図 7-3. CC13x2 および CC26x2 のデジタル電源パーティショニング....524

Copyright © 2026 Texas Instruments Incorporated

図 7-4. クロック・ソース 525
図 7-5. システム クロックの多重化 528
図 7-6. MCU_VD のクロック 530
図 7-7. CTL0 レジスタ 540
図 7-8. CTL1 レジスタ 542
図 7-9. RADCEXTCFG レジスタ 543
図 7-10. AMPCOMPCTL レジスタ 544
図 7-11. AMPCOMPTH1 レジスタ 545
図 7-12. AMPCOMPTH2 レジスタ 546
図 7-13. ANABYPASSVAL1 レジスタ 547
図 7-14. ANABYPASSVAL2 レジスタ 548
図 7-15. ATESTCTL レジスタ 549
図 7-16. ADCDOUBLERNANOAMPCTL レジスタ 550
図 7-17. XOSCHFCTL レジスタ 551
図 7-18. LFOSCCTL レジスタ 552
図 7-19. RCOSCHFCTL レジスタ 553
図 7-20. RCOSCMFCTL レジスタ 554
図 7-21. STAT0 レジスタ 555
図 7-22. STAT1 レジスタ 557
図 7-23. STAT2 レジスタ 559
図 7-24. INFRCLKDIVR レジスタ 564
図 7-25. INFRCLKDIVS レジスタ 565
図 7-26. INFRCLKDIVDS レジスタ 566
図 7-27. VDCTL レジスタ 567
図 7-28. CLKLOADCTL レジスタ 568
図 7-29. RFCCLKG レジスタ 570
図 7-30. VIMSCLKG レジスタ 571
図 7-31. SECDMACLKGR レジスタ 572
図 7-32. SECDMACLKGS レジスタ 574
図 7-33. SECDMACLKGDS レジスタ 575
図 7-34. GPIOCLKGR レジスタ 576
図 7-35. GPIOCLKGS レジスタ 577
図 7-36. GPIOCLKGDS レジスタ 578
図 7-37. GPTCLKGR レジスタ 579
図 7-38. GPTCLKGS レジスタ 580
図 7-39. GPTCLKGDS レジスタ 581
図 7-40. I2CCLKGR レジスタ 582
図 7-41. I2CCLKGS レジスタ 583
図 7-42. I2CCLKGDS レジスタ 584
図 7-43. UARTCLKGR レジスタ 585
図 7-44. UARTCLKGS レジスタ 586
図 7-45. UARTCLKGDS レジスタ 587
図 7-46. SSICLKGR レジスタ 588
図 7-47. SSICLKGS レジスタ 589
図 7-48. SSICLKGDS レジスタ 590
図 7-49. I2SCLKGR レジスタ 591
図 7-50. I2SCLKGS レジスタ 592
図 7-51. I2SCLKGDS レジスタ 593
図 7-52. SYSBUSCLKDIV レジスタ 594
図 7-53. CPUCLKDIV レジスタ 595
図 7-54. PERBUSCPUCLKDIV レジスタ 596
図 7-55. PERDMACLKDIV レジスタ 597
図 7-56. I2SBCLKSEL レジスタ 598
図 7-57. GPTCLKDIV レジスタ 599
図 7-58. I2SCLKCTL レジスタ 600
図 7-59. I2SMCLKDIV レジスタ 601

Copyright © 2026 Texas Instruments Incorporated

図 7-60. I2SBCLKDIV レジスタ 602
図 7-61. I2SWCLKDIV レジスタ 603
図 7-62. RESETSECDMA レジスタ 604
図 7-63. RESETGPIO レジスタ 605
図 7-64. RESETGPT レジスタ 606
図 7-65. RESETI2C レジスタ 607
図 7-66. RESETUART レジスタ 608
図 7-67. RESETSSI レジスタ 609
図 7-68. RESETI2S レジスタ 610
図 7-69. PDCTL0 レジスタ 611
図 7-70. PDCTL0RFC レジスタ 612
図 7-71. PDCTL0SERIAL レジスタ 613
図 7-72. PDCTL0PERIPH レジスタ 614
図 7-73. PDSTAT0 レジスタ 615
図 7-74. PDSTAT0RFC レジスタ 616
図 7-75. PDSTAT0SERIAL レジスタ 617
図 7-76. PDSTAT0PERIPH レジスタ 618
図 7-77. PDCTL1 レジスタ 619
図 7-78. PDCTL1CPU レジスタ 620
図 7-79. PDCTL1RFC レジスタ 621
図 7-80. PDCTL1VIMS レジスタ 622
図 7-81. PDSTAT1 レジスタ 623
図 7-82. PDSTAT1BUS レジスタ 624
図 7-83. PDSTAT1RFC レジスタ 625
図 7-84. PDSTAT1CPU レジスタ 626
図 7-85. PDSTAT1VIMS レジスタ 627
図 7-86. RFCBITS レジスタ 628
図 7-87. RFCMODESEL レジスタ 629
図 7-88. RFCMODEHWOPT レジスタ 630
図 7-89. PWRPROFSTAT レジスタ 631
図 7-90. MCUSRAMCFG レジスタ 632
図 7-91. RAMRETEN レジスタ 633
図 7-92. OSCIMSC レジスタ 634
図 7-93. OSCRIS レジスタ 635
図 7-94. OSCICR レジスタ 639
図 7-95. AUXSCECLK レジスタ 641
図 7-96. RAMCFG レジスタ 642
図 7-97. PWRCTL レジスタ 643
図 7-98. PWRSTAT レジスタ 644
図 7-99. SHUTDOWN レジスタ 645
図 7-100. RECHARGECFG レジスタ 646
図 7-101. RECHARGESTAT レジスタ 647
図 7-102. OSCCFG レジスタ 648
図 7-103. RESETCTL レジスタ 649
図 7-104. SLEEPCTL レジスタ 652
図 7-105. JTAGCFG レジスタ 653
図 7-106. JTAGUSERCODE レジスタ 654
図 8-1. VIMS の概要 656
図 8-2. VIMS モードの切り替えフローチャート 657
図 8-3. GPRAM モードの VIMS モジュール 657
図 8-4. オフ モードの VIMS モジュール 658
図 8-5. キャッシュ モードの VIMS モジュール 658
図 8-6. RAM 保持のないソフトウェアに関する注意事項 660
図 8-7. GPRAM 保持 661
図 8-8. フラッシュの電源の状態 663
図 8-9. STAT レジスタ 671

Copyright © 2026 Texas Instruments Incorporated

図 8-10. CFG レジスタ 672
図 8-11. SYSCODE_START レジスタ 673
図 8-12. FLASH_SIZE レジスタ 674
図 8-13. FWLOCK レジスタ 675
図 8-14. FWFLAG レジスタ 676
図 8-15. EFUSE レジスタ 677
図 8-16. EFUSEADDR レジスタ 678
図 8-17. DATAUPPER レジスタ 679
図 8-18. DATALOWER レジスタ 680
図 8-19. EFUSECFG レジスタ 681
図 8-20. EFUSESTAT レジスタ 682
図 8-21. ACC レジスタ 683
図 8-22. BOUNDARY レジスタ 684
図 8-23. EFUSEFLAG レジスタ 685
図 8-24. EFUSEKEY レジスタ 686
図 8-25. EFUSERELEASE レジスタ 687
図 8-26. EFUSEPINS レジスタ 688
図 8-27. EFUSECRA レジスタ 689
図 8-28. EFUSEREAD レジスタ 690
図 8-29. EFUSEPROGRAM レジスタ 691
図 8-30. EFUSEERROR レジスタ 692
図 8-31. SINGLEBIT レジスタ 693
図 8-32. TWOBIT レジスタ 694
図 8-33. SELFTESTCYC レジスタ 695
図 8-34. SELFTESTSIGN レジスタ 696
図 8-35. FRDCTL レジスタ 697
図 8-36. FSPRD レジスタ 698
図 8-37. FEDACCTL1 レジスタ 699
図 8-38. FEDACSTAT レジスタ 700
図 8-39. FBPROT レジスタ 701
図 8-40. FBSE レジスタ 702
図 8-41. FBBUSY レジスタ 703
図 8-42. FBAC レジスタ 704
図 8-43. FBFALLBACK レジスタ 705
図 8-44. FBPRDY レジスタ 706
図 8-45. FPAC1 レジスタ 707
図 8-46. FPAC2 レジスタ 708
図 8-47. FMAC レジスタ 709
図 8-48. FMSTAT レジスタ 710
図 8-49. FLOCK レジスタ 711
図 8-50. FVREADCT レジスタ 712
図 8-51. FVHVCT1 レジスタ 713
図 8-52. FVHVCT2 レジスタ 714
図 8-53. FVHVCT3 レジスタ 715
図 8-54. FVNVCT レジスタ 716
図 8-55. FVSLP レジスタ 717
図 8-56. FVWLCT レジスタ 718
図 8-57. FEFUSECTL レジスタ 719
図 8-58. FEFUSESTAT レジスタ 720
図 8-59. FEFUSEDATA レジスタ 721
図 8-60. FSEQPMP レジスタ 722
図 8-61. FBSTROBES レジスタ 723
図 8-62. FPSTROBES レジスタ 724
図 8-63. FBMODE レジスタ 725
図 8-64. FTCR レジスタ 726
図 8-65. FADDR レジスタ 727

Copyright © 2026 Texas Instruments Incorporated

図 8-66. FTCTL レジスタ 728
図 8-67. FWPWRITE0 レジスタ 729
図 8-68. FWPWRITE1 レジスタ 730
図 8-69. FWPWRITE2 レジスタ 731
図 8-70. FWPWRITE3 レジスタ 732
図 8-71. FWPWRITE4 レジスタ 733
図 8-72. FWPWRITE5 レジスタ 734
図 8-73. FWPWRITE6 レジスタ 735
図 8-74. FWPWRITE7 レジスタ 736
図 8-75. FWPWRITE_ECC レジスタ 737
図 8-76. FSWSTAT レジスタ 738
図 8-77. FSM_GLBCTL レジスタ 739
図 8-78. FSM_STATE レジスタ 740
図 8-79. FSM_STAT レジスタ 741
図 8-80. FSM_CMD レジスタ 742
図 8-81. FSM_PE_OSU レジスタ 743
図 8-82. FSM_VSTAT レジスタ 744
図 8-83. FSM_PE_VSU レジスタ 745
図 8-84. FSM_CMP_VSU レジスタ 746
図 8-85. FSM_EX_VAL レジスタ 747
図 8-86. FSM_RD_H レジスタ 748
図 8-87. FSM_P_OH レジスタ 749
図 8-88. FSM_ERA_OH レジスタ 750
図 8-89. FSM_SAV_PPUL レジスタ 751
図 8-90. FSM_PE_VH レジスタ 752
図 8-91. FSM_PRG_PW レジスタ 753
図 8-92. FSM_ERA_PW レジスタ 754
図 8-93. FSM_SAV_ERA_PUL レジスタ 755
図 8-94. FSM_TIMER レジスタ 756
図 8-95. FSM_MODE レジスタ 757
図 8-96. FSM_PGM レジスタ 758
図 8-97. FSM_ERA レジスタ 759
図 8-98. FSM_PRG_PUL レジスタ 760
図 8-99. FSM_ERA_PUL レジスタ 761
図 8-100. FSM_STEP_SIZE レジスタ 762
図 8-101. FSM_PUL_CNTR レジスタ 763
図 8-102. FSM_EC_STEP_HEIGHT レジスタ 764
図 8-103. FSM_ST_MACHINE レジスタ 765
図 8-104. FSM_FLES レジスタ 766
図 8-105. FSM_WR_ENA レジスタ 767
図 8-106. FSM_ACC_PP レジスタ 768
図 8-107. FSM_ACC_EP レジスタ 769
図 8-108. FSM_ADDR レジスタ 770
図 8-109. FSM_SECTOR レジスタ 771
図 8-110. FMC_REV_ID レジスタ 772
図 8-111. FSM_ERR_ADDR レジスタ 773
図 8-112. FSM_PGM_MAXPUL レジスタ 774
図 8-113. FSM_EXECUTE レジスタ 775
図 8-114. FSM_SECTOR1 レジスタ 776
図 8-115. FSM_SECTOR2 レジスタ 777
図 8-116. FSM_BSLE0 レジスタ 778
図 8-117. FSM_BSLE1 レジスタ 779
図 8-118. FSM_BSLP0 レジスタ 780
図 8-119. FSM_BSLP1 レジスタ 781
図 8-120. FSM_PGM128 レジスタ 782
図 8-121. FCFG_BANK レジスタ 783

Copyright © 2026 Texas Instruments Incorporated

図 8-122. FCFG_WRAPPER レジスタ 784
図 8-123. FCFG_BNK_TYPE レジスタ 785
図 8-124. FCFG_B0_START レジスタ 786
図 8-125. FCFG_B1_START レジスタ 787
図 8-126. FCFG_B2_START レジスタ 788
図 8-127. FCFG_B3_START レジスタ 789
図 8-128. FCFG_B4_START レジスタ 790
図 8-129. FCFG_B5_START レジスタ 791
図 8-130. FCFG_B6_START レジスタ 792
図 8-131. FCFG_B7_START レジスタ 793
図 8-132. FCFG_B0_SSIZE0 レジスタ 794
図 8-133. STAT レジスタ 796
図 8-134. CTL レジスタ 797
図 9-1. PER_CTL レジスタ 801
図 9-2. PER_CHK レジスタ 802
図 9-3. PER_DBG レジスタ 803
図 9-4. MEM_CTL レジスタ 804
図 9-5. BANK0_y レジスタ 806
図 9-6. BANK1_y レジスタ 807
図 9-7. BANK2_y レジスタ 808
図 9-8. BANK3_y レジスタ 809
図 9-9. BANK4_y レジスタ 810
図 10-1. 送受信プロトコルのシーケンス図 814
図 10-2. シリアル バス パケット形式 816
図 11-1. EXT_LF_CLK レジスタ 835
図 11-2. MODE_CONF_1 レジスタ 836
図 11-3. SIZE_AND_DIS_FLAGS レジスタ 838
図 11-4. MODE_CONF レジスタ 840
図 11-5. VOLT_LOAD_0 レジスタ 842
図 11-6. VOLT_LOAD_1 レジスタ 843
図 11-7. RTC_OFFSET レジスタ 844
図 11-8. FREQ_OFFSET レジスタ 845
図 11-9. IEEE_MAC_0 レジスタ 846
図 11-10. IEEE_MAC_1 レジスタ 847
図 11-11. IEEE_BLE_0 レジスタ 848
図 11-12. IEEE_BLE_1 レジスタ 849
図 11-13. BL_CONFIG レジスタ 850
図 11-14. ERASE_CONF レジスタ 851
図 11-15. CCFG_TI_OPTIONS レジスタ 852
図 11-16. CCFG_TAP_DAP_0 レジスタ 853
図 11-17. CCFG_TAP_DAP_1 レジスタ 854
図 11-18. IMAGE_VALID_CONF レジスタ 855
図 11-19. CCFG_PROT_31_0 レジスタ 856
図 11-20. CCFG_PROT_63_32 レジスタ 858
図 11-21. CCFG_PROT_95_64 レジスタ 860
図 11-22. CCFG_PROT_127_96 レジスタ 862
図 11-23. MISC_CONF_1 レジスタ 868
図 11-24. MISC_CONF_2 レジスタ 869
図 11-25. HPOSC_MEAS_5 レジスタ 870
図 11-26. HPOSC_MEAS_4 レジスタ 871
図 11-27. HPOSC_MEAS_3 レジスタ 872
図 11-28. HPOSC_MEAS_2 レジスタ 873
図 11-29. HPOSC_MEAS_1 レジスタ 874
図 11-30. CONFIG_CC26_FE レジスタ 875
図 11-31. CONFIG_CC13_FE レジスタ 876
図 11-32. CONFIG_RF_COMMON レジスタ 877

Copyright © 2026 Texas Instruments Incorporated

図 11-33. CONFIG_SYNTH_DIV2_CC26_2G4 レジスタ 878
図 11-34. CONFIG_SYNTH_DIV2_CC13_2G4 レジスタ 879
図 11-35. CONFIG_SYNTH_DIV2_CC26_1G レジスタ 880
図 11-36. CONFIG_SYNTH_DIV2_CC13_1G レジスタ 881
図 11-37. CONFIG_SYNTH_DIV4_CC26 レジスタ 882
図 11-38. CONFIG_SYNTH_DIV4_CC13 レジスタ 883
図 11-39. CONFIG_SYNTH_DIV5 レジスタ 884
図 11-40. CONFIG_SYNTH_DIV6_CC26 レジスタ 885
図 11-41. CONFIG_SYNTH_DIV6_CC13 レジスタ 886
図 11-42. CONFIG_SYNTH_DIV10 レジスタ 887
図 11-43. CONFIG_SYNTH_DIV12_CC26 レジスタ 888
図 11-44. CONFIG_SYNTH_DIV12_CC13 レジスタ 889
図 11-45. CONFIG_SYNTH_DIV15 レジスタ 890
図 11-46. CONFIG_SYNTH_DIV30 レジスタ 891
図 11-47. FLASH_NUMBER レジスタ 892
図 11-48. FLASH_COORDINATE レジスタ 893
図 11-49. FLASH_E_P レジスタ 894
図 11-50. FLASH_C_E_P_R レジスタ 895
図 11-51. FLASH_P_R_PV レジスタ 896
図 11-52. FLASH_EH_SEQ レジスタ 897
図 11-53. FLASH_VHV_E レジスタ 898
図 11-54. FLASH_PP レジスタ 899
図 11-55. FLASH_PROG_EP レジスタ 900
図 11-56. FLASH_ERA_PW レジスタ 901
図 11-57. FLASH_VHV レジスタ 902
図 11-58. FLASH_VHV_PV レジスタ 903
図 11-59. FLASH_V レジスタ 904
図 11-60. USER_ID レジスタ 905
図 11-61. FLASH_OTP_DATA3 レジスタ 907
図 11-62. ANA2_TRIM レジスタ 908
図 11-63. LDO_TRIM レジスタ 909
図 11-64. MAC_BLE_0 レジスタ 910
図 11-65. MAC_BLE_1 レジスタ 911
図 11-66. MAC_15_4_0 レジスタ 912
図 11-67. MAC_15_4_1 レジスタ 913
図 11-68. FLASH_OTP_DATA4 レジスタ 914
図 11-69. MISC_TRIM レジスタ 916
図 11-70. RCOSC_HF_TEMPCOMP レジスタ 917
図 11-71. ICEPICK_DEVICE_ID レジスタ 918
図 11-72. FCFG1_REVISION レジスタ 919
図 11-73. MISC_OTP_DATA レジスタ 920
図 11-74. IOCONF レジスタ 921
図 11-75. CONFIG_IF_ADC レジスタ 922
図 11-76. CONFIG_OSC_TOP レジスタ 923
図 11-77. SOC_ADC_ABS_GAIN レジスタ 924
図 11-78. SOC_ADC_REL_GAIN レジスタ 925
図 11-79. SOC_ADC_OFFSET_INT レジスタ 926
図 11-80. SOC_ADC_REF_TRIM_AND_OFFSET_EXT レジスタ 927
図 11-81. AMPCOMP_TH1 レジスタ 928
図 11-82. AMPCOMP_TH2 レジスタ 929
図 11-83. AMPCOMP_CTRL1 レジスタ 930
図 11-84. ANABYPASS_VALUE2 レジスタ 931
図 11-85. VOLT_TRIM レジスタ 932
図 11-86. OSC_CONF レジスタ 933
図 11-87. FREQ_OFFSET レジスタ 935
図 11-88. MISC_OTP_DATA_1 レジスタ 936

Copyright © 2026 Texas Instruments Incorporated

図 11-89. SHDW_DIE_ID_0 レジスタ....937
図 11-90. SHDW_DIE_ID_1 レジスタ....938
図 11-91. SHDW_DIE_ID_2 レジスタ....939
図 11-92. SHDW_DIE_ID_3 レジスタ....940
図 11-93. SHDW_OSC_BIAS_LDO_TRIM レジスタ....941
図 11-94. SHDW_ANA_TRIM レジスタ....942
図 11-95. OSC_CONF1 レジスタ....943
図 11-96. DAC_BIAS_CNF レジスタ....944
図 11-97. TFW_PROBE レジスタ....945
図 11-98. TFW_FT レジスタ....946
図 11-99. DAC_CAL0 レジスタ....947
図 11-100. DAC_CAL1 レジスタ....948
図 11-101. DAC_CAL2 レジスタ....949
図 11-102. DAC_CAL3 レジスタ....950
図 12-1. DMA コントローラと統合....958
図 12-2. 対称暗号処理のステップ....969
図 12-3. HMAC ステップ....976
図 12-4. PKA エンジン....989
図 12-5. 動作シーケンス....1007
図 12-6. インターリーブ動作シーケンス....1007
図 12-7. 基本的な PKCP 動作シーケンス....1008
図 12-8. DMACH0CTL レジスタ....1017
図 12-9. DMACH0EXTADDR レジスタ....1018
図 12-10. DMACH0LEN レジスタ....1019
図 12-11. DMASTAT レジスタ....1020
図 12-12. DMASWRESET レジスタ....1021
図 12-13. DMACH1CTL レジスタ....1022
図 12-14. DMACH1EXTADDR レジスタ....1023
図 12-15. DMACH1LEN レジスタ....1024
図 12-16. DMABUSCFG レジスタ....1025
図 12-17. DMAPORTERR レジスタ....1026
図 12-18. DMAHWVER レジスタ....1027
図 12-19. KEYWRITEAREA レジスタ....1028
図 12-20. KEYWRITTENAREA レジスタ....1031
図 12-21. KEYSIZE レジスタ....1033
図 12-22. KEYREADAREA レジスタ....1034
図 12-23. AESKEY2_y レジスタ....1035
図 12-24. AESKEY3_y レジスタ....1036
図 12-25. AESIV_y レジスタ....1037
図 12-26. AESCTL レジスタ....1038
図 12-27. AESDATALEN0 レジスタ....1041
図 12-28. AESDATALEN1 レジスタ....1042
図 12-29. AESAUTHLEN レジスタ....1043
図 12-30. AESDATAOUT0 レジスタ....1044
図 12-31. AESDATAIN0 レジスタ....1045
図 12-32. AESDATAOUT1 レジスタ....1047
図 12-33. AESDATAIN1 レジスタ....1048
図 12-34. AESDATAOUT2 レジスタ....1050
図 12-35. AESDATAIN2 レジスタ....1051
図 12-36. AESDATAOUT3 レジスタ....1053
図 12-37. AESDATAIN3 レジスタ....1054
図 12-38. AESTAGOUT_y レジスタ....1056
図 12-39. HASHDATAIN1 レジスタ....1057
図 12-40. HASHDATAIN2 レジスタ....1058
図 12-41. HASHDATAIN3 レジスタ....1059
図 12-42. HASHDATAIN4 レジスタ....1060

Copyright © 2026 Texas Instruments Incorporated

図 12-43. HASHDATAIN5 レジスタ 1061
図 12-44. HASHDATAIN6 レジスタ 1062
図 12-45. HASHDATAIN7 レジスタ 1063
図 12-46. HASHDATAIN8 レジスタ 1064
図 12-47. HASHDATAIN9 レジスタ 1065
図 12-48. HASHDATAIN10 レジスタ 1066
図 12-49. HASHDATAIN11 レジスタ 1067
図 12-50. HASHDATAIN12 レジスタ 1068
図 12-51. HASHDATAIN13 レジスタ 1069
図 12-52. HASHDATAIN14 レジスタ 1070
図 12-53. HASHDATAIN15 レジスタ 1071
図 12-54. HASHDATAIN16 レジスタ 1072
図 12-55. HASHDATAIN17 レジスタ 1073
図 12-56. HASHDATAIN18 レジスタ 1074
図 12-57. HASHDATAIN19 レジスタ 1075
図 12-58. HASHDATAIN20 レジスタ 1076
図 12-59. HASHDATAIN21 レジスタ 1077
図 12-60. HASHDATAIN22 レジスタ 1078
図 12-61. HASHDATAIN23 レジスタ 1079
図 12-62. HASHDATAIN24 レジスタ 1080
図 12-63. HASHDATAIN25 レジスタ 1081
図 12-64. HASHDATAIN26 レジスタ 1082
図 12-65. HASHDATAIN27 レジスタ 1083
図 12-66. HASHDATAIN28 レジスタ 1084
図 12-67. HASHDATAIN29 レジスタ 1085
図 12-68. HASHDATAIN30 レジスタ 1086
図 12-69. HASHDATAIN31 レジスタ 1087
図 12-70. HASHIOBUFCTRL レジスタ 1088
図 12-71. HASHMODE レジスタ 1091
図 12-72. HASHINLENL レジスタ 1092
図 12-73. HASHINLENH レジスタ 1093
図 12-74. HASHDIGESTA レジスタ 1094
図 12-75. HASHDIGESTB レジスタ 1095
図 12-76. HASHDIGESTC レジスタ 1096
図 12-77. HASHDIGESTD レジスタ 1097
図 12-78. HASHDIGESTE レジスタ 1098
図 12-79. HASHDIGESTF レジスタ 1099
図 12-80. HASHDIGESTG レジスタ 1100
図 12-81. HASHDIGESTH レジスタ 1101
図 12-82. HASHDIGESTI レジスタ 1102
図 12-83. HASHDIGESTJ レジスタ 1103
図 12-84. HASHDIGESTK レジスタ 1104
図 12-85. HASHDIGESTL レジスタ 1105
図 12-86. HASHDIGESTM レジスタ 1106
図 12-87. HASHDIGESTN レジスタ 1107
図 12-88. HASHDIGESTO レジスタ 1108
図 12-89. HASHDIGESTP レジスタ 1109
図 12-90. DMAPROTCTL レジスタ 1111
図 12-91. SWRESET レジスタ 1112
図 12-92. IRQTYPE レジスタ 1113
図 12-93. IRQEN レジスタ 1114
図 12-94. IRQCLR レジスタ 1115
図 12-95. IRQSET レジスタ 1116
図 12-96. IRQSTAT レジスタ 1117
図 12-97. HWVER レジスタ 1118
図 13-1. IOC の概要 (概略版) 1120

Copyright © 2026 Texas Instruments Incorporated

図 13-2. 汎用 I/O ピン (簡略図)....1127
図 13-3. IOSTRMIN レジスタ....1130
図 13-4. IOSTRMED レジスタ....1131
図 13-5. IOSTRMAX レジスタ....1132
図 13-6. CLK32KCTL レジスタ....1133
図 13-7. TCKCTL レジスタ....1134
図 13-8. DOUT3_0 レジスタ....1137
図 13-9. DOUT7_4 レジスタ....1138
図 13-10. DOUT11_8 レジスタ....1139
図 13-11. DOUT15_12 レジスタ....1140
図 13-12. DOUT19_16 レジスタ....1141
図 13-13. DOUT23_20 レジスタ....1142
図 13-14. DOUT27_24 レジスタ....1143
図 13-15. DOUT31_28 レジスタ....1144
図 13-16. DOUT31_0 レジスタ....1145
図 13-17. DOUTSET31_0 レジスタ....1147
図 13-18. DOUTCLR31_0 レジスタ....1149
図 13-19. DOUTTGL31_0 レジスタ....1151
図 13-20. DIN31_0 レジスタ....1153
図 13-21. DOE31_0 レジスタ....1155
図 13-22. EVFLAGS31_0 レジスタ....1157
図 13-23. IOCFG0 レジスタ....1161
図 13-24. IOCFG1 レジスタ....1166
図 13-25. IOCFG2 レジスタ....1171
図 13-26. IOCFG3 レジスタ....1176
図 13-27. IOCFG4 レジスタ....1181
図 13-28. IOCFG5 レジスタ....1186
図 13-29. IOCFG6 レジスタ....1191
図 13-30. IOCFG7 レジスタ....1196
図 13-31. IOCFG8 レジスタ....1201
図 13-32. IOCFG9 レジスタ....1206
図 13-33. IOCFG10 レジスタ....1211
図 13-34. IOCFG11 レジスタ....1216
図 13-35. IOCFG12 レジスタ....1221
図 13-36. IOCFG13 レジスタ....1226
図 13-37. IOCFG14 レジスタ....1231
図 13-38. IOCFG15 レジスタ....1236
図 13-39. IOCFG16 レジスタ....1241
図 13-40. IOCFG17 レジスタ....1246
図 13-41. IOCFG18 レジスタ....1251
図 13-42. IOCFG19 レジスタ....1256
図 13-43. IOCFG20 レジスタ....1261
図 13-44. IOCFG21 レジスタ....1266
図 13-45. IOCFG22 レジスタ....1271
図 13-46. IOCFG23 レジスタ....1276
図 13-47. IOCFG24 レジスタ....1281
図 13-48. IOCFG25 レジスタ....1286
図 13-49. IOCFG26 レジスタ....1291
図 13-50. IOCFG27 レジスタ....1296
図 13-51. IOCFG28 レジスタ....1301
図 13-52. IOCFG29 レジスタ....1306
図 13-53. IOCFG30 レジスタ....1311
図 13-54. IOCFG31 レジスタ....1316
図 14-1. µDMA のブロック図....1323
図 14-2. ピンポン µDMA トランザクションの例....1329
図 14-3. メモリ スキャッタ/ギャザー、設定、構成....1331

Copyright © 2026 Texas Instruments Incorporated

図 14-4. メモリ スキャッタ/ギャザー、µDMA コピー シーケンス 1333
図 14-5. ペリフェラルのスキャッタ収集、設定、および構成 1334
図 14-6. ペリフェラルのスキャッタ収集、µDMA のコピー シーケンス 1335
図 14-7. STATUS レジスタ 1342
図 14-8. CFG レジスタ 1344
図 14-9. CTRL レジスタ 1345
図 14-10. ALTCTRL レジスタ 1346
図 14-11. WAITONREQ レジスタ 1347
図 14-12. SOFTREQ レジスタ 1348
図 14-13. SETBURST レジスタ 1349
図 14-14. CLEARBURST レジスタ 1350
図 14-15. SETREQMASK レジスタ 1351
図 14-16. CLEARREQMASK レジスタ 1352
図 14-17. SETCHANNELEN レジスタ 1353
図 14-18. CLEARCHANNELEN レジスタ 1354
図 14-19. SETCHNLPRIALT レジスタ 1355
図 14-20. CLEARCHNLPRIALT レジスタ 1356
図 14-21. SETCHNLPRIORITY レジスタ 1357
図 14-22. CLEARCHNLPRIORITY レジスタ 1358
図 14-23. ERROR レジスタ 1359
図 14-24. REQDONE レジスタ 1360
図 14-25. DONEMASK レジスタ 1361
図 15-1. GPTM モジュールのブロック図 1364
図 15-2. 入力エッジカウント モードの例、カウント ダウン 1368
図 15-3. 入力エッジ時間モードの例 1369
図 15-4. 16 ビット PWM モードの例 1372
図 15-5. CCP 出力、GPT:TnMATCHR > GPT:TnILR 1372
図 15-6. CCP 出力、GPT:TnMATCHR = GPT:TnILR 1373
図 15-7. CCP 出力、GPT:TnILR > GPT:TnMATCHR 1373
図 15-8. タイマ デイジーチェーン 1374
図 15-9. CFG レジスタ 1382
図 15-10. TAMR レジスタ 1383
図 15-11. TBMR レジスタ 1386
図 15-12. CTL レジスタ 1389
図 15-13. SYNC レジスタ 1391
図 15-14. IMR レジスタ 1392
図 15-15. RIS レジスタ 1394
図 15-16. MIS レジスタ 1396
図 15-17. ICLR レジスタ 1397
図 15-18. TAILR レジスタ 1398
図 15-19. TBILR レジスタ 1399
図 15-20. TAMATCHR レジスタ 1400
図 15-21. TBMATCHR レジスタ 1401
図 15-22. TAPR レジスタ 1402
図 15-23. TBPR レジスタ 1403
図 15-24. TAPMR レジスタ 1404
図 15-25. TBPMR レジスタ 1405
図 15-26. TAR レジスタ 1406
図 15-27. TBR レジスタ 1407
図 15-28. TAV レジスタ 1408
図 15-29. TBV レジスタ 1409
図 15-30. TAPS レジスタ 1410
図 15-31. TBPS レジスタ 1411
図 15-32. TAPV レジスタ 1412
図 15-33. TBPV レジスタ 1413
図 15-34. DMAEV レジスタ 1414

Copyright © 2026 Texas Instruments Incorporated

図 15-35. VERSION レジスタ....1415
図 15-36. ANDCCP レジスタ....1416
図 16-1. AON_RTC チャネル....1419
図 16-2. CTL レジスタ....1423
図 16-3. EVFLAGS レジスタ....1425
図 16-4. SEC レジスタ....1426
図 16-5. SUBSEC レジスタ....1427
図 16-6. SUBSECINC レジスタ....1428
図 16-7. CHCTL レジスタ....1429
図 16-8. CH0CMP レジスタ....1430
図 16-9. CH1CMP レジスタ....1431
図 16-10. CH2CMP レジスタ....1432
図 16-11. CH2CMPINC レジスタ....1433
図 16-12. CH1CAPT レジスタ....1434
図 16-13. SYNC レジスタ....1435
図 16-14. TIME レジスタ....1436
図 16-15. SYNCLF レジスタ....1437
図 17-1. WDT のブロック図....1440
図 17-2. LOAD レジスタ....1442
図 17-3. VALUE レジスタ....1443
図 17-4. CTL レジスタ....1444
図 17-5. ICR レジスタ....1445
図 17-6. RIS レジスタ....1446
図 17-7. MIS レジスタ....1447
図 17-8. TEST レジスタ....1448
図 17-9. INT_CAUS レジスタ....1449
図 17-10. LOCK レジスタ....1450
図 18-1. 乱数生成器のブロック図....1452
図 18-2. TRNG ポーリング モード....1457
図 18-3. 割り込みサービス ルーチン....1458
図 18-4. OUT0 レジスタ....1461
図 18-5. OUT1 レジスタ....1462
図 18-6. IRQFLAGSTAT レジスタ....1463
図 18-7. IRQFLAGMASK レジスタ....1464
図 18-8. IRQFLAGCLR レジスタ....1465
図 18-9. CTL レジスタ....1466
図 18-10. CFG0 レジスタ....1468
図 18-11. ALARMCNT レジスタ....1470
図 18-12. FROEN レジスタ....1471
図 18-13. FRODETUNE レジスタ....1472
図 18-14. ALARMMASK レジスタ....1473
図 18-15. ALARMSTOP レジスタ....1474
図 18-16. LFSR0 レジスタ....1475
図 18-17. LFSR1 レジスタ....1476
図 18-18. LFSR2 レジスタ....1477
図 18-19. HWOPT レジスタ....1478
図 18-20. HWVER0 レジスタ....1479
図 18-21. IRQSTATMASK レジスタ....1480
図 18-22. HWVER1 レジスタ....1481
図 18-23. IRQSET レジスタ....1482
図 18-24. SWRESET レジスタ....1483
図 18-25. IRQSTAT レジスタ....1484
図 19-1. AUX ドメインのブロック図....1487
図 19-2. AUX 状態図....1488
図 19-3. ADC ウィンドウ モニタ - 実行コード....1493
図 19-4. ADC ウィンドウ モニタ....1494

Copyright © 2026 Texas Instruments Incorporated

図 19-5. タスク テスト 1495
図 19-6. ヘルプ ビューア 1496
図 19-7. MAC のブロック図 1504
図 19-8. MAC タイミング図 1505
図 19-9. SCE ウェークアップおよびイベント インターフェイス 1506
図 19-10. VDDR 再充電の電源ノイズを避ける 1509
図 19-11. AUX I/O ブロック図 1512
図 19-12. AUX_SPIM のブロック図 1515
図 19-13. SPI タイミング図 : PHA = 0 1517
図 19-14. SPI タイミング図 : PHA = 1 1517
図 19-15. AUX_TDC のブロック図 1519
図 19-16. 位相幅のタイミング要件 1523
図 19-17. 周波数の測定波形 1523
図 19-18. 任意の時間測定 1 1524
図 19-19. 任意の時間測定 2 1525
図 19-20. 任意時間測定 3 1526
図 19-21. 任意の時間測定 4 1527
図 19-22. パルス カウンティング 1528
図 19-23. AUX_TIMER01 のブロック図 1529
図 19-24. AUX_TIMER2 のブロック図 1530
図 19-25. 周期、パルス幅の測定 1535
図 19-26. センター整列 PWM 1536
図 19-27. エッジ整列 PWM 1537
図 19-28. AUX アナログ ブロック図 1540
図 19-29. ADC のブロック図 1541
図 19-30. COMPA のブロック図 1545
図 19-31. COMPB のブロック図 1547
図 19-32. リファレンス DAC のブロック図 1549
図 19-33. DAC サンプル クロック フェーズ 1550
図 19-34. サンプル クロック周期設定 1550
図 19-35. ISRC のブロック図 1554
図 19-36. MUX0 レジスタ 1569
図 19-37. MUX1 レジスタ 1570
図 19-38. MUX2 レジスタ 1571
図 19-39. MUX3 レジスタ 1572
図 19-40. ISRC レジスタ 1573
図 19-41. COMP レジスタ 1574
図 19-42. MUX4 レジスタ 1575
図 19-43. ADC0 レジスタ 1576
図 19-44. ADC1 レジスタ 1577
図 19-45. ADCREF0 レジスタ 1578
図 19-46. ADCREF1 レジスタ 1579
図 19-47. LPMBIAS レジスタ 1580
図 19-48. IOMODE レジスタ 1583
図 19-49. GPIODIE レジスタ 1591
図 19-50. IOPOE レジスタ 1592
図 19-51. GPIODOUT レジスタ 1593
図 19-52. GPIODIN レジスタ 1594
図 19-53. GPIODOUTSET レジスタ 1595
図 19-54. GPIODOUTCLR レジスタ 1596
図 19-55. GPIODOUTTGL レジスタ 1597
図 19-56. IO0PSEL レジスタ 1598
図 19-57. IO1PSEL レジスタ 1599
図 19-58. IO2PSEL レジスタ 1600
図 19-59. IO3PSEL レジスタ 1601
図 19-60. IO4PSEL レジスタ 1602

Copyright © 2026 Texas Instruments Incorporated

図 19-61. IO5PSEL レジスタ 1603
図 19-62. IO6PSEL レジスタ 1604
図 19-63. IO7PSEL レジスタ 1605
図 19-64. IOMODEL レジスタ 1606
図 19-65. IOMODEH レジスタ 1607
図 19-66. EVSTAT0 レジスタ 1610
図 19-67. EVSTAT1 レジスタ 1612
図 19-68. EVSTAT2 レジスタ 1614
図 19-69. EVSTAT3 レジスタ 1616
図 19-70. SCEWEVCFG0 レジスタ 1618
図 19-71. SCEWEVCFG1 レジスタ 1621
図 19-72. DMACTL レジスタ 1624
図 19-73. SWEVSET レジスタ 1625
図 19-74. EVTOAONFLAGS レジスタ 1626
図 19-75. EVTOAONPOL レジスタ 1628
図 19-76. EVTOAONFLAGSCLR レジスタ 1629
図 19-77. EVTOMCUFLAGS レジスタ 1630
図 19-78. EVTOMCUPOL レジスタ 1632
図 19-79. EVTOMCUFLAGSCLR レジスタ 1634
図 19-80. COMBEVTOMCUMASK レジスタ 1636
図 19-81. EVOBSCFG レジスタ 1638
図 19-82. PROGDLY レジスタ 1641
図 19-83. MANUAL レジスタ 1642
図 19-84. EVSTAT0L レジスタ 1643
図 19-85. EVSTAT0H レジスタ 1644
図 19-86. EVSTAT1L レジスタ 1645
図 19-87. EVSTAT1H レジスタ 1646
図 19-88. EVSTAT2L レジスタ 1647
図 19-89. EVSTAT2H レジスタ 1648
図 19-90. EVSTAT3L レジスタ 1649
図 19-91. EVSTAT3H レジスタ 1650
図 19-92. SMPH0 レジスタ 1652
図 19-93. SMPH1 レジスタ 1653
図 19-94. SMPH2 レジスタ 1654
図 19-95. SMPH3 レジスタ 1655
図 19-96. SMPH4 レジスタ 1656
図 19-97. SMPH5 レジスタ 1657
図 19-98. SMPH6 レジスタ 1658
図 19-99. SMPH7 レジスタ 1659
図 19-100. AUTOTAKE レジスタ 1660
図 19-101. CTL レジスタ 1662
図 19-102. STAT レジスタ 1663
図 19-103. RESULT レジスタ 1665
図 19-104. SATCFG レジスタ 1666
図 19-105. TRIGSRC レジスタ 1667
図 19-106. TRIGCNT レジスタ 1672
図 19-107. TRIGCNTLOAD レジスタ 1673
図 19-108. TRIGCNTCFG レジスタ 1674
図 19-109. PRECTL レジスタ 1675
図 19-110. PRECNTR レジスタ 1678
図 19-111. T0CFG レジスタ 1680
図 19-112. T0CTL レジスタ 1683
図 19-113. T0TARGET レジスタ 1684
図 19-114. T0CNTR レジスタ 1685
図 19-115. T1CFG レジスタ 1686
図 19-116. T1CTL レジスタ 1689

Copyright © 2026 Texas Instruments Incorporated

図 19-117. T1TARGET レジスタ....1690
図 19-118. T1CNTR レジスタ....1691
図 19-119. CTL レジスタ....1694
図 19-120. TARGET レジスタ....1696
図 19-121. SHDWTARGET レジスタ....1697
図 19-122. CNTR レジスタ....1698
図 19-123. PRECFG レジスタ....1699
図 19-124. EVCTL レジスタ....1700
図 19-125. PULSETRIG レジスタ....1701
図 19-126. CH0EVCFG レジスタ....1702
図 19-127. CH0CCFG レジスタ....1706
図 19-128. CH0PCC レジスタ....1709
図 19-129. CH0CC レジスタ....1710
図 19-130. CH1EVCFG レジスタ....1711
図 19-131. CH1CCFG レジスタ....1715
図 19-132. CH1PCC レジスタ....1718
図 19-133. CH1CC レジスタ....1719
図 19-134. CH2EVCFG レジスタ....1720
図 19-135. CH2CCFG レジスタ....1724
図 19-136. CH2PCC レジスタ....1727
図 19-137. CH2CC レジスタ....1728
図 19-138. CH3EVCFG レジスタ....1729
図 19-139. CH3CCFG レジスタ....1733
図 19-140. CH3PCC レジスタ....1736
図 19-141. CH3CC レジスタ....1737
図 19-142. ADCCTL レジスタ....1739
図 19-143. ADCFIFOSTAT レジスタ....1742
図 19-144. ADCFIFO レジスタ....1744
図 19-145. ADCTRIG レジスタ....1745
図 19-146. ISRCCTL レジスタ....1746
図 19-147. DACCTL レジスタ....1747
図 19-148. LPMBIASCTL レジスタ....1749
図 19-149. DACSMPLCTL レジスタ....1750
図 19-150. DACSMPLCFG0 レジスタ....1751
図 19-151. DACSMPLCFG1 レジスタ....1752
図 19-152. DACVALUE レジスタ....1754
図 19-153. DACSTAT レジスタ....1755
図 19-154. OPMODEREQ レジスタ....1759
図 19-155. OPMODEACK レジスタ....1761
図 19-156. PROGWU0CFG レジスタ....1762
図 19-157. PROGWU1CFG レジスタ....1765
図 19-158. PROGWU2CFG レジスタ....1768
図 19-159. PROGWU3CFG レジスタ....1771
図 19-160. SWWUTRIG レジスタ....1774
図 19-161. WUFLAGS レジスタ....1775
図 19-162. WUFLAGSCLR レジスタ....1777
図 19-163. WUGATE レジスタ....1779
図 19-164. VECCFG0 レジスタ....1780
図 19-165. VECCFG1 レジスタ....1781
図 19-166. VECCFG2 レジスタ....1782
図 19-167. VECCFG3 レジスタ....1783
図 19-168. VECCFG4 レジスタ....1784
図 19-169. VECCFG5 レジスタ....1785
図 19-170. VECCFG6 レジスタ....1786
図 19-171. VECCFG7 レジスタ....1787
図 19-172. EVSYNCRATE レジスタ....1788

Copyright © 2026 Texas Instruments Incorporated

図 19-173. PEROPRATE レジスタ 1789
図 19-174. ADCCLKCTL レジスタ 1790
図 19-175. TDCCLKCTL レジスタ 1791
図 19-176. TDCREFCLKCTL レジスタ 1792
図 19-177. TIMER2CLKCTL レジスタ 1793
図 19-178. TIMER2CLKSTAT レジスタ 1794
図 19-179. TIMER2CLKSWITCH レジスタ 1795
図 19-180. TIMER2DBGCTL レジスタ 1796
図 19-181. CLKSHIFTDET レジスタ 1797
図 19-182. RECHARGETRIG レジスタ 1798
図 19-183. RECHARGEDET レジスタ 1799
図 19-184. RTCSUBSECINC0 レジスタ 1800
図 19-185. RTCSUBSECINC1 レジスタ 1801
図 19-186. RTCSUBSECINCCTL レジスタ 1802
図 19-187. RTCSEC レジスタ 1803
図 19-188. RTCSUBSEC レジスタ 1804
図 19-189. RTCEVCLR レジスタ 1805
図 19-190. BATMONBAT レジスタ 1806
図 19-191. BATMONTEMP レジスタ 1807
図 19-192. TIMERHALT レジスタ 1808
図 19-193. TIMER2BRIDGE レジスタ 1809
図 19-194. SWPWRPROF レジスタ 1810
図 19-195. SPIMCFG レジスタ 1812
図 19-196. MISOCFG レジスタ 1813
図 19-197. MOSICTL レジスタ 1814
図 19-198. TX8 レジスタ 1815
図 19-199. TX16 レジスタ 1816
図 19-200. RX8 レジスタ 1817
図 19-201. RX16 レジスタ 1818
図 19-202. SCLKIDLE レジスタ 1819
図 19-203. DATAIDLE レジスタ 1820
図 19-204. OP0S レジスタ 1823
図 19-205. OP0U レジスタ 1824
図 19-206. OP1SMUL レジスタ 1825
図 19-207. OP1UMUL レジスタ 1826
図 19-208. OP1SMAC レジスタ 1827
図 19-209. OP1UMAC レジスタ 1828
図 19-210. OP1SADD16 レジスタ 1829
図 19-211. OP1UADD16 レジスタ 1830
図 19-212. OP1SADD32 レジスタ 1831
図 19-213. OP1UADD32 レジスタ 1832
図 19-214. CLZ レジスタ 1833
図 19-215. CLS レジスタ 1834
図 19-216. ACCSHIFT レジスタ 1835
図 19-217. ACCRESET レジスタ 1836
図 19-218. ACC15_0 レジスタ 1837
図 19-219. ACC16_1 レジスタ 1838
図 19-220. ACC17_2 レジスタ 1839
図 19-221. ACC18_3 レジスタ 1840
図 19-222. ACC19_4 レジスタ 1841
図 19-223. ACC20_5 レジスタ 1842
図 19-224. ACC21_6 レジスタ 1843
図 19-225. ACC22_7 レジスタ 1844
図 19-226. ACC23_8 レジスタ 1845
図 19-227. ACC24_9 レジスタ 1846
図 19-228. ACC25_10 レジスタ 1847

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

図 19-229. ACC26_11 レジスタ....1848
図 19-230. ACC27_12 レジスタ....1849
図 19-231. ACC28_13 レジスタ....1850
図 19-232. ACC29_14 レジスタ....1851
図 19-233. ACC30_15 レジスタ....1852
図 19-234. ACC31_16 レジスタ....1853
図 19-235. ACC32_17 レジスタ....1854
図 19-236. ACC33_18 レジスタ....1855
図 19-237. ACC34_19 レジスタ....1856
図 19-238. ACC35_20 レジスタ....1857
図 19-239. ACC36_21 レジスタ....1858
図 19-240. ACC37_22 レジスタ....1859
図 19-241. ACC38_23 レジスタ....1860
図 19-242. ACC39_24 レジスタ....1861
図 19-243. ACC39_32 レジスタ....1862
図 19-244. CTL レジスタ....1864
図 19-245. FETCHSTAT レジスタ....1865
図 19-246. CPUSTAT レジスタ....1866
図 19-247. WUSTAT レジスタ....1867
図 19-248. REG1_0 レジスタ....1868
図 19-249. REG3_2 レジスタ....1869
図 19-250. REG5_4 レジスタ....1870
図 19-251. REG7_6 レジスタ....1871
図 19-252. LOOPADDR レジスタ....1872
図 19-253. LOOPCNT レジスタ....1873
図 20-1. CTL レジスタ....1878
図 20-2. MEASCFG レジスタ....1879
図 20-3. TEMPP0 レジスタ....1880
図 20-4. TEMPP1 レジスタ....1881
図 20-5. TEMPP2 レジスタ....1882
図 20-6. BATMONP0 レジスタ....1883
図 20-7. BATMONP1 レジスタ....1884
図 20-8. IOSTRP0 レジスタ....1885
図 20-9. FLASHPUMPP0 レジスタ....1886
図 20-10. BAT レジスタ....1887
図 20-11. BATUPD レジスタ....1888
図 20-12. TEMP レジスタ....1889
図 20-13. TEMPUPD レジスタ....1890
図 20-14. EVENTMASK レジスタ....1891
図 20-15. EVENT レジスタ....1892
図 20-16. BATTUL レジスタ....1893
図 20-17. BATTLL レジスタ....1894
図 20-18. TEMPUL レジスタ....1895
図 20-19. TEMPLL レジスタ....1896
図 21-1. UART モジュールのブロック図....1899
図 21-2. UART 文字フレーム....1900
図 21-3. µDMA の例....1906
図 21-4. DR レジスタ....1910
図 21-5. RSR レジスタ....1912
図 21-6. ECR レジスタ....1913
図 21-7. FR レジスタ....1914
図 21-8. IBRD レジスタ....1916
図 21-9. FBRD レジスタ....1917
図 21-10. LCRH レジスタ....1918
図 21-11. CTL レジスタ....1920
図 21-12. IFLS レジスタ....1922

Copyright © 2026 Texas Instruments Incorporated

図 21-13. IMSC レジスタ....1923
図 21-14. RIS レジスタ....1925
図 21-15. MIS レジスタ....1927
図 21-16. ICR レジスタ....1929
図 21-17. DMACTL レジスタ....1931
図 22-1. SSI モジュールのブロック図....1934
図 22-2. TI 同期シリアル フレーム フォーマット (シングル転送)....1938
図 22-3. TI の同期シリアル フレーム フォーマット (連続転送)....1938
図 22-4. SPO = 0 および SPH = 0 での Motorola SPI フォーマット (単発送信)....1939
図 22-5. SPO = 0 および SPH = 0 での Motorola SPI フォーマット (連続送信)....1939
図 22-6. SPO = 0 および SPH = 1 での Motorola SPI フレーム フォーマット....1940
図 22-7. SPO = 1、SPH = 0 の Motorola SPI フレーム形式 (単一転送)....1941
図 22-8. SPO = 1、SPH = 0 の Motorola SPI フレーム形式 (連続転送)....1941
図 22-9. SPO = 1 および SPH = 1 での Motorola SPI フレームフォーマット....1942
図 22-10. MICROWIRE フレーム形式 (シングル フレーム)....1942
図 22-11. MICROWIRE フレーム形式 (連続転送)....1943
図 22-12. MICROWIRE フレーム形式、SSIFss 入力セットアップ、ホールド要件....1944
図 22-13. CR0 レジスタ....1948
図 22-14. CR1 レジスタ....1950
図 22-15. DR レジスタ....1951
図 22-16. SR レジスタ....1952
図 22-17. CPSR レジスタ....1953
図 22-18. IMSC レジスタ....1954
図 22-19. RIS レジスタ....1955
図 22-20. MIS レジスタ....1956
図 22-21. ICR レジスタ....1957
図 22-22. DMACR レジスタ....1958
図 23-1. I^2C ブロック図....1960
図 23-2. I^2C バス構成....1961
図 23-3. START 条件と STOP 条件....1961
図 23-4. 7 ビット アドレスによるデータ転送の完了....1963
図 23-5. 最初のバイトの R/S ビット....1963
図 23-6. I^2C バスでのビット転送中のデータ有効性....1963
図 23-7. マスタ単一 TRANSMIT....1966
図 23-8. マスタ単一 RECEIVE....1967
図 23-9. 反復スタート条件付きマスタ TRANSMIT....1968
図 23-10. 反復スタート条件付きマスタ RECEIVE....1969
図 23-11. 反復スタート条件付き TRANSMIT 後の反復スタート付きマスタ RECEIVE....1970
図 23-12. 反復スタート条件付き RECEIVE 後の反復スタート付きマスタ TRANSMIT....1971
図 23-13. スレーブ コマンド シーケンス....1972
図 23-14. SOAR レジスタ....1976
図 23-15. SSTAT レジスタ....1977
図 23-16. SCTL レジスタ....1978
図 23-17. SDR レジスタ....1979
図 23-18. SIMR レジスタ....1980
図 23-19. SRIS レジスタ....1981
図 23-20. SMIS レジスタ....1982
図 23-21. SICR レジスタ....1983
図 23-22. MSA レジスタ....1984
図 23-23. MSTAT レジスタ....1985
図 23-24. MCTRL レジスタ....1987
図 23-25. MDR レジスタ....1989
図 23-26. MTPR レジスタ....1990
図 23-27. MIMR レジスタ....1991
図 23-28. MRIS レジスタ....1992
図 23-29. MMIS レジスタ....1993

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

図 23-30. MICR レジスタ....1994
図 23-31. MCR レジスタ....1995
図 24-1. I²S モジュールのブロック図....1998
図 24-2. I²S シリアル形式....2000
図 24-3. LJF シリアル形式....2001
図 24-4. RJF シリアル形式....2002
図 24-5. DSP シリアル フォーマット (ゼロ データ遅延)....2003
図 24-6. 1 つの ADx ピンでの 16 ビット モノラル I²S、LJF、RJF 形式。メモリ内の 6 フレームを表示....2006
図 24-7. 1 つの ADx ピンでの 16 ビット ステレオ I²S、LJF、RJF 形式。メモリ内の 3 フレームを表示....2006
図 24-8. 1 つの ADx ピンでの 24 ビット ステレオ I²S、LJF、RJF 形式。メモリ内の 2 フレームを表示....2006
図 24-9. AD0 ピンおよび AD1 ピンでの 16 ビット I²S 形式。メモリ内の 2 フレームを表示....2007
図 24-10. AD0 ピンおよび AD1 ピンでの 16 ビット DSP 形式。メモリ内の 2 フレームを表示....2007
図 24-11. サンプルスタンプ ジェネレータ....2010
図 24-12. AIFWCLKSRC レジスタ....2015
図 24-13. AIFDMACFG レジスタ....2016
図 24-14. AIFDIRCFG レジスタ....2017
図 24-15. AIFFMTCFG レジスタ....2018
図 24-16. AIFWMASK0 レジスタ....2019
図 24-17. AIFWMASK1 レジスタ....2020
図 24-18. AIFPWMVALUE レジスタ....2021
図 24-19. AIFINPTRNEXT レジスタ....2022
図 24-20. AIFINPTR レジスタ....2023
図 24-21. AIFOUTPTRNEXT レジスタ....2024
図 24-22. AIFOUTPTR レジスタ....2025
図 24-23. STMPCTL レジスタ....2026
図 24-24. STMPXCNTCAPT0 レジスタ....2027
図 24-25. STMPXPER レジスタ....2028
図 24-26. STMPWCNTCAPT0 レジスタ....2029
図 24-27. STMPWPER レジスタ....2030
図 24-28. STMPINTRIG レジスタ....2031
図 24-29. STMPOUTTRIG レジスタ....2032
図 24-30. STMPWSET レジスタ....2033
図 24-31. STMPWADD レジスタ....2034
図 24-32. STMPXPERMIN レジスタ....2035
図 24-33. STMPWCNT レジスタ....2036
図 24-34. STMPXCNT レジスタ....2037
図 24-35. STMPXCNTCAPT1 レジスタ....2038
図 24-36. STMPWCNTCAPT1 レジスタ....2039
図 24-37. IRQMASK レジスタ....2040
図 24-38. IRQFLAGS レジスタ....2041
図 24-39. IRQSET レジスタ....2043
図 24-40. IRQCLR レジスタ....2044
図 25-1. 外部依存性を伴う限定的な RF コアの概要....2047
図 25-2. HAL のハードウェア サポート....2048
図 25-3. 無線動作コマンドおよび即時コマンドの CMDR レジスタ....2052
図 25-4. ダイレクト コマンドの CMDR レジスタ....2053
図 25-5. CMDSTA レジスタの形式....2054
図 25-6. RX キュー エントリ要素 (ステイプル フィールドはオプション)....2111
図 25-7. CSMA-CA 動作....2121
図 25-8. 受信バッファ エントリ要素....2150
図 25-9. 標準パケット フォーマット....2192
図 25-10. 高度なパケット フォーマット....2192
図 25-11. 受信バッファのエントリ要素....2202
図 25-12. RATCNT レジスタ....2219
図 25-13. RATCH0VAL レジスタ....2220
図 25-14. RATCH1VAL レジスタ....2221

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

図 25-15. RATCH2VAL レジスタ 2222
図 25-16. RATCH3VAL レジスタ 2223
図 25-17. RATCH4VAL レジスタ 2224
図 25-18. RATCH5VAL レジスタ 2225
図 25-19. RATCH6VAL レジスタ 2226
図 25-20. RATCH7VAL レジスタ 2227
図 25-21. CMDR レジスタ 2229
図 25-22. CMDSTA レジスタ 2230
図 25-23. RFHWIFG レジスタ 2231
図 25-24. RFHWIEN レジスタ 2233
図 25-25. RFCPEIFG レジスタ 2234
図 25-26. RFCPEIEN レジスタ 2237
図 25-27. RFCPEISL レジスタ 2239
図 25-28. RFACKIFG レジスタ 2242
図 25-29. SYSGPOCTL レジスタ 2243
図 25-30. PWMCLKEN レジスタ 2246

表の一覧

表 2-1. プロセッサ モード、特権レベル、およびスタック使用の概要 87
表 2-2. プロセッサ レジスタ マップ 89
表 2-3. Cortex® 汎用レジスタ 0 (R0) 90
表 2-4. Cortex® 汎用レジスタ 1 (R1) 90
表 2-5. Cortex® 汎用レジスタ 2 (R2) 90
表 2-6. Cortex® 汎用レジスタ 3 (R3) 90
表 2-7. Cortex® 汎用レジスタ 4 (R4) 92
表 2-8. Cortex® 汎用レジスタ 5 (R5) 92
表 2-9. Cortex® 汎用レジスタ 6 (R6) 92
表 2-10. Cortex® 汎用レジスタ 7 (R7) 93
表 2-11. Cortex® 汎用レジスタ 8 (R8) 93
表 2-12. Cortex® 汎用レジスタ 9 (R9) 93
表 2-13. Cortex® 汎用レジスタ 10 (R10) 94
表 2-14. Cortex® 汎用レジスタ 11 (R11) 94
表 2-15. Cortex® 汎用レジスタ 12 (R12) 94
表 2-16. スタック ポインタ (SP) 95
表 2-17. リンク レジスタ (LR) 95
表 2-18. プログラム カウンタ (PC) 96
表 2-19. PSR の組み合わせ 96
表 2-20. プログラム ステータス レジスタ (PSR) または (xPSR) 96
表 2-21. 優先度マスク レジスタ (PRIMASK) 100
表 2-22. 故障マスク レジスタ (FAULTMASK) 101
表 2-23. ベース優先度マスク レジスタ (BASEPRI) 102
表 2-24. 制御レジスタ (CONTROL) 103
表 2-25. Arm® Cortex®-M4F 命令セットの概要 104
表 2-26. Arm®Cortex®-M4F DSP 命令セットの概要 108
表 2-27. FPU 命令セット 114
表 2-28. デフォルトの NaN 値 116
表 2-29. QNaN と SNaN の処理 117
表 2-30. Arm® Cortex®-M4F 浮動小数点システム レジスタ 118
表 2-31. MPU レジスタ 119
表 2-32. Arm® Cortex®-M4F プロセッサ レジスタ 120
表 2-33. CPU_DWT レジスタ 121
表 2-34. CPU_DWT アクセス タイプ コード 121
表 2-35. CTRL レジスタ フィールドの説明 123
表 2-36. CYCCNT レジスタ フィールドの説明 125
表 2-37. CPICNT レジスタ フィールドの説明 126
表 2-38. EXCCNT レジスタ フィールドの説明 127

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 2-39. SLEEPCNT レジスタのフィールドの説明 128
表 2-40. LSUCNT レジスタ フィールドの説明 129
表 2-41. FOLDCNT レジスタのフィールドの説明 130
表 2-42. PCSR レジスタ フィールドの説明 131
表 2-43. COMP0 レジスタのフィールドの説明 132
表 2-44. MASK0 レジスタのフィールドの説明 133
表 2-45. FUNCTION0 レジスタのフィールドの説明 134
表 2-46. COMP1 レジスタのフィールドの説明 136
表 2-47. MASK1 レジスタのフィールドの説明 137
表 2-48. FUNCTION1 レジスタのフィールドの説明 138
表 2-49. COMP2 レジスタのフィールドの説明 141
表 2-50. MASK2 レジスタのフィールドの説明 142
表 2-51. FUNCTION2 レジスタのフィールドの説明 143
表 2-52. COMP3 レジスタのフィールドの説明 145
表 2-53. MASK3 レジスタのフィールドの説明 146
表 2-54. FUNCTION3 レジスタのフィールドの説明 147
表 2-55. CPU_FPB レジスタ 149
表 2-56. CPU_FPB アクセス タイプ コード 149
表 2-57. CTRL レジスタ フィールドの説明 150
表 2-58. REMAP レジスタ フィールドの説明 151
表 2-59. COMP0 レジスタのフィールドの説明 152
表 2-60. COMP1 レジスタのフィールドの説明 153
表 2-61. COMP2 レジスタのフィールドの説明 154
表 2-62. COMP3 レジスタのフィールドの説明 155
表 2-63. COMP4 レジスタのフィールドの説明 156
表 2-64. COMP5 レジスタのフィールドの説明 157
表 2-65. COMP6 レジスタのフィールドの説明 158
表 2-66. COMP7 レジスタのフィールドの説明 159
表 2-67. CPU_ITM レジスタ 160
表 2-68. CPU_ITM アクセス タイプ コード 161
表 2-69. STIM0 レジスタのフィールドの説明 162
表 2-70. STIM1 レジスタのフィールドの説明 163
表 2-71. STIM2 レジスタのフィールドの説明 164
表 2-72. STIM3 レジスタのフィールドの説明 165
表 2-73. STIM4 レジスタのフィールドの説明 166
表 2-74. STIM5 レジスタのフィールドの説明 167
表 2-75. STIM6 レジスタのフィールドの説明 168
表 2-76. STIM7 レジスタのフィールドの説明 169
表 2-77. STIM8 レジスタのフィールドの説明 170
表 2-78. STIM9 レジスタのフィールドの説明 171
表 2-79. STIM10 レジスタのフィールドの説明 172
表 2-80. STIM11 レジスタのフィールドの説明 173
表 2-81. STIM12 レジスタのフィールドの説明 174
表 2-82. STIM13 レジスタのフィールドの説明 175
表 2-83. STIM14 レジスタのフィールドの説明 176
表 2-84. STIM15 レジスタのフィールドの説明 177
表 2-85. STIM16 レジスタのフィールドの説明 178
表 2-86. STIM17 レジスタのフィールドの説明 179
表 2-87. STIM18 レジスタのフィールドの説明 180
表 2-88. STIM19 レジスタのフィールドの説明 181
表 2-89. STIM20 レジスタのフィールドの説明 182
表 2-90. STIM21 レジスタのフィールドの説明 183
表 2-91. STIM22 レジスタのフィールドの説明 184
表 2-92. STIM23 レジスタのフィールドの説明 185
表 2-93. STIM24 レジスタのフィールドの説明 186
表 2-94. STIM25 レジスタのフィールドの説明 187

Copyright © 2026 Texas Instruments Incorporated

表 2-95. STIM26 レジスタのフィールドの説明 188
表 2-96. STIM27 レジスタのフィールドの説明 189
表 2-97. STIM28 レジスタのフィールドの説明 190
表 2-98. STIM29 レジスタのフィールドの説明 191
表 2-99. STIM30 レジスタのフィールドの説明 192
表 2-100. STIM31 レジスタのフィールドの説明 193
表 2-101. TER レジスタのフィールドの説明 194
表 2-102. TPR レジスタのフィールドの説明 196
表 2-103. TCR レジスタのフィールドの説明 197
表 2-104. LAR レジスタのフィールドの説明 199
表 2-105. LSR レジスタのフィールドの説明 200
表 2-106. CPU_SCS レジスタ 201
表 2-107. CPU_SCS アクセス タイプ コード 204
表 2-108. ICTR レジスタ フィールドの説明 205
表 2-109. ACTLR レジスタ フィールドの説明 206
表 2-110. STCSR レジスタ フィールドの説明 207
表 2-111. STRVR レジスタ フィールドの説明 208
表 2-112. STCVR レジスタ フィールドの説明 209
表 2-113. STCR レジスタ フィールドの説明 210
表 2-114. NVIC_ISER0 レジスタのフィールドの説明 211
表 2-115. NVIC_ISER1 レジスタのフィールドの説明 214
表 2-116. NVIC_ICER0 レジスタのフィールドの説明 215
表 2-117. NVIC_ICER1 レジスタのフィールドの説明 218
表 2-118. NVIC_ISPR0 レジスタのフィールドの説明 219
表 2-119. NVIC_ISPR1 レジスタのフィールドの説明 222
表 2-120. NVIC_ICPR0 レジスタのフィールドの説明 223
表 2-121. NVIC_ICPR1 レジスタのフィールドの説明 226
表 2-122. NVIC_IABR0 レジスタのフィールドの説明 227
表 2-123. NVIC_IABR1 レジスタのフィールドの説明 230
表 2-124. NVIC_IPR0 レジスタのフィールドの説明 231
表 2-125. NVIC_IPR1 レジスタのフィールドの説明 232
表 2-126. NVIC_IPR2 レジスタのフィールドの説明 233
表 2-127. NVIC_IPR3 レジスタのフィールドの説明 234
表 2-128. NVIC_IPR4 レジスタのフィールドの説明 235
表 2-129. NVIC_IPR5 レジスタのフィールドの説明 236
表 2-130. NVIC_IPR6 レジスタのフィールドの説明 237
表 2-131. NVIC_IPR7 レジスタのフィールドの説明 238
表 2-132. NVIC_IPR8 レジスタのフィールドの説明 239
表 2-133. NVIC_IPR9 レジスタのフィールドの説明 240
表 2-134. CPUID レジスタ フィールドの説明 241
表 2-135. ICSR レジスタ フィールドの説明 242
表 2-136. VTOR レジスタ フィールドの説明 244
表 2-137. AIRCR レジスタ フィールドの説明 245
表 2-138. SCR レジスタ フィールドの説明 247
表 2-139. CCR レジスタ フィールドの説明 248
表 2-140. SHPR1 レジスタのフィールドの説明 250
表 2-141. SHPR2 レジスタのフィールドの説明 251
表 2-142. SHPR3 レジスタのフィールドの説明 252
表 2-143. SHCSR レジスタ フィールドの説明 253
表 2-144. CFSR レジスタ フィールドの説明 255
表 2-145. HFSR レジスタ フィールドの説明 258
表 2-146. DFSR レジスタ フィールドの説明 259
表 2-147. MMFAR レジスタ フィールドの説明 261
表 2-148. BFAR レジスタ フィールドの説明 262
表 2-149. AFSR レジスタ フィールドの説明 263
表 2-150. ID_PFR0 レジスタのフィールドの説明 264

Copyright © 2026 Texas Instruments Incorporated

表 2-151. ID_PFR1 レジスタのフィールドの説明 265
表 2-152. ID_DFR0 レジスタのフィールドの説明 266
表 2-153. ID_AFR0 レジスタのフィールドの説明 267
表 2-154. ID_MMFR0 レジスタのフィールドの説明 268
表 2-155. ID_MMFR1 レジスタのフィールドの説明 269
表 2-156. ID_MMFR2 レジスタのフィールドの説明 270
表 2-157. ID_MMFR3 レジスタのフィールドの説明 271
表 2-158. ID_ISAR0 レジスタのフィールドの説明 272
表 2-159. ID_ISAR1 レジスタのフィールドの説明 273
表 2-160. ID_ISAR2 レジスタのフィールドの説明 274
表 2-161. ID_ISAR3 レジスタのフィールドの説明 275
表 2-162. ID_ISAR4 レジスタのフィールドの説明 276
表 2-163. CPACR レジスタ フィールドの説明 277
表 2-164. MPU_TYPE レジスタのフィールドの説明 278
表 2-165. MPU_CTRL レジスタのフィールドの説明 279
表 2-166. MPU_RNR レジスタのフィールドの説明 281
表 2-167. MPU_RBAR レジスタのフィールドの説明 282
表 2-168. MPU_RASR レジスタのフィールドの説明 283
表 2-169. MPU_RBAR_A1 レジスタのフィールドの説明 285
表 2-170. MPU_RASR_A1 レジスタのフィールドの説明 286
表 2-171. MPU_RBAR_A2 レジスタのフィールドの説明 287
表 2-172. MPU_RASR_A2 レジスタのフィールドの説明 288
表 2-173. MPU_RBAR_A3 レジスタのフィールドの説明 289
表 2-174. MPU_RASR_A3 レジスタのフィールドの説明 290
表 2-175. DHCSR レジスタ フィールドの説明 291
表 2-176. DCRSR レジスタ フィールドの説明 294
表 2-177. DCRDR レジスタ フィールドの説明 296
表 2-178. DEMCR レジスタ フィールドの説明 297
表 2-179. STIR レジスタ フィールドの説明 299
表 2-180. FPCCR レジスタ フィールドの説明 300
表 2-181. FPCAR レジスタ フィールドの説明 302
表 2-182. FPDSCR レジスタ フィールドの説明 303
表 2-183. MVFR0 レジスタのフィールドの説明 304
表 2-184. MVFR1 レジスタのフィールドの説明 305
表 2-185. CPU_TPIU レジスタ 306
表 2-186. CPU_TPIU アクセス タイプ コード 306
表 2-187. SSPSR レジスタ フィールドの説明 307
表 2-188. CSPSR レジスタ フィールドの説明 308
表 2-189. ACPR レジスタ フィールドの説明 309
表 2-190. SPPR レジスタ フィールドの説明 310
表 2-191. FFSR レジスタ フィールドの説明 311
表 2-192. FFCR レジスタ フィールドの説明 312
表 2-193. FSCR レジスタ フィールドの説明 313
表 2-194. CLAIMMASK レジスタのフィールドの説明 314
表 2-195. CLAIMSET レジスタのフィールドの説明 315
表 2-196. CLAIMTAG レジスタのフィールドの説明 316
表 2-197. CLAIMCLR レジスタのフィールドの説明 317
表 2-198. DEVID レジスタ フィールドの説明 318
表 3-1. メモリ マップ 319
表 4-1. コア ペリフェラル レジスタ領域 322
表 5-1. 例外タイプ 331
表 5-2. 例外リターン動作 335
表 5-3. フォルト 336
表 5-4. フォルト ステータスおよびフォルト アドレス レジスタ 337
表 5-5. マイコン イベント ファブリック入力イベント 341
表 5-6. フリーズ サブスクライバ イベントの選択 345

Copyright © 2026 Texas Instruments Incorporated

表 5-7. AON イベント....346
表 5-8. AON_EVENT レジスタ....348
表 5-9. AON_EVENT アクセス タイプ コード....348
表 5-10. MCUWUSEL レジスタのフィールドの説明....349
表 5-11. MCUWUSEL1 レジスタのフィールドの説明....354
表 5-12. EVTOMCUSEL レジスタのフィールドの説明....359
表 5-13. RTCSEL レジスタ フィールドの説明....363
表 5-14. EVENT レジスタ....364
表 5-15. EVENT のアクセス タイプ コード....368
表 5-16. CPUIRQSEL0 レジスタのフィールドの説明....369
表 5-17. CPUIRQSEL1 レジスタのフィールドの説明....370
表 5-18. CPUIRQSEL2 レジスタのフィールドの説明....371
表 5-19. CPUIRQSEL3 レジスタのフィールドの説明....372
表 5-20. CPUIRQSEL4 レジスタのフィールドの説明....373
表 5-21. CPUIRQSEL5 レジスタのフィールドの説明....374
表 5-22. CPUIRQSEL6 レジスタのフィールドの説明....375
表 5-23. CPUIRQSEL7 レジスタのフィールドの説明....376
表 5-24. CPUIRQSEL8 レジスタのフィールドの説明....377
表 5-25. CPUIRQSEL9 レジスタのフィールドの説明....378
表 5-26. CPUIRQSEL10 レジスタのフィールドの説明....379
表 5-27. CPUIRQSEL11 レジスタのフィールドの説明....380
表 5-28. CPUIRQSEL12 レジスタのフィールドの説明....381
表 5-29. CPUIRQSEL13 レジスタのフィールドの説明....382
表 5-30. CPUIRQSEL14 レジスタのフィールドの説明....383
表 5-31. CPUIRQSEL15 レジスタのフィールドの説明....384
表 5-32. CPUIRQSEL16 レジスタのフィールドの説明....385
表 5-33. CPUIRQSEL17 レジスタのフィールドの説明....386
表 5-34. CPUIRQSEL18 レジスタのフィールドの説明....387
表 5-35. CPUIRQSEL19 レジスタのフィールドの説明....388
表 5-36. CPUIRQSEL20 レジスタのフィールドの説明....389
表 5-37. CPUIRQSEL21 レジスタのフィールドの説明....390
表 5-38. CPUIRQSEL22 レジスタのフィールドの説明....391
表 5-39. CPUIRQSEL23 レジスタのフィールドの説明....392
表 5-40. CPUIRQSEL24 レジスタのフィールドの説明....393
表 5-41. CPUIRQSEL25 レジスタのフィールドの説明....394
表 5-42. CPUIRQSEL26 レジスタのフィールドの説明....395
表 5-43. CPUIRQSEL27 レジスタのフィールドの説明....396
表 5-44. CPUIRQSEL28 レジスタのフィールドの説明....397
表 5-45. CPUIRQSEL29 レジスタのフィールドの説明....398
表 5-46. CPUIRQSEL30 レジスタのフィールドの説明....399
表 5-47. CPUIRQSEL31 レジスタのフィールドの説明....401
表 5-48. CPUIRQSEL32 レジスタのフィールドの説明....402
表 5-49. CPUIRQSEL33 レジスタのフィールドの説明....403
表 5-50. CPUIRQSEL34 レジスタのフィールドの説明....404
表 5-51. CPUIRQSEL35 レジスタのフィールドの説明....405
表 5-52. CPUIRQSEL36 レジスタのフィールドの説明....406
表 5-53. CPUIRQSEL37 レジスタのフィールドの説明....407
表 5-54. RFCSEL0 レジスタのフィールドの説明....408
表 5-55. RFCSEL1 レジスタのフィールドの説明....409
表 5-56. RFCSEL2 レジスタのフィールドの説明....410
表 5-57. RFCSEL3 レジスタのフィールドの説明....411
表 5-58. RFCSEL4 レジスタのフィールドの説明....412
表 5-59. RFCSEL5 レジスタのフィールドの説明....413
表 5-60. RFCSEL6 レジスタのフィールドの説明....414
表 5-61. RFCSEL7 レジスタのフィールドの説明....415
表 5-62. RFCSEL8 レジスタのフィールドの説明....416

Copyright © 2026 Texas Instruments Incorporated

表 5-63. RFCSEL9 レジスタのフィールドの説明....417
表 5-64. GPT0ACAPTSEL レジスタのフィールドの説明....420
表 5-65. GPT0BCAPTSEL レジスタのフィールドの説明....423
表 5-66. GPT1ACAPTSEL レジスタのフィールドの説明....426
表 5-67. GPT1BCAPTSEL レジスタのフィールドの説明....429
表 5-68. GPT2ACAPTSEL レジスタのフィールドの説明....432
表 5-69. GPT2BCAPTSEL レジスタのフィールドの説明....435
表 5-70. UDMACH1SSEL レジスタのフィールドの説明....438
表 5-71. UDMACH1BSEL レジスタのフィールドの説明....439
表 5-72. UDMACH2SSEL レジスタのフィールドの説明....440
表 5-73. UDMACH2BSEL レジスタのフィールドの説明....441
表 5-74. UDMACH3SSEL レジスタのフィールドの説明....442
表 5-75. UDMACH3BSEL レジスタのフィールドの説明....443
表 5-76. UDMACH4SSEL レジスタのフィールドの説明....444
表 5-77. UDMACH4BSEL レジスタのフィールドの説明....445
表 5-78. UDMACH5SSEL レジスタのフィールドの説明....446
表 5-79. UDMACH5BSEL レジスタのフィールドの説明....447
表 5-80. UDMACH6SSEL レジスタのフィールドの説明....448
表 5-81. UDMACH6BSEL レジスタのフィールドの説明....449
表 5-82. UDMACH7SSEL レジスタのフィールドの説明....450
表 5-83. UDMACH7BSEL レジスタのフィールドの説明....451
表 5-84. UDMACH8SSEL レジスタのフィールドの説明....452
表 5-85. UDMACH8BSEL レジスタのフィールドの説明....453
表 5-86. UDMACH9SSEL レジスタのフィールドの説明....454
表 5-87. UDMACH9BSEL レジスタのフィールドの説明....455
表 5-88. UDMACH10SSEL レジスタのフィールドの説明....456
表 5-89. UDMACH10BSEL レジスタのフィールドの説明....457
表 5-90. UDMACH11SSEL レジスタのフィールドの説明....458
表 5-91. UDMACH11BSEL レジスタのフィールドの説明....459
表 5-92. UDMACH12SSEL レジスタのフィールドの説明....460
表 5-93. UDMACH12BSEL レジスタのフィールドの説明....461
表 5-94. UDMACH13BSEL レジスタのフィールドの説明....462
表 5-95. UDMACH14BSEL レジスタのフィールドの説明....463
表 5-96. UDMACH15BSEL レジスタのフィールドの説明....468
表 5-97. UDMACH16SSEL レジスタのフィールドの説明....469
表 5-98. UDMACH16BSEL レジスタのフィールドの説明....470
表 5-99. UDMACH17SSEL レジスタのフィールドの説明....471
表 5-100. UDMACH17BSEL レジスタのフィールドの説明....472
表 5-101. UDMACH21SSEL レジスタのフィールドの説明....473
表 5-102. UDMACH21BSEL レジスタのフィールドの説明....474
表 5-103. UDMACH22SSEL レジスタのフィールドの説明....475
表 5-104. UDMACH22BSEL レジスタのフィールドの説明....476
表 5-105. UDMACH23SSEL レジスタのフィールドの説明....477
表 5-106. UDMACH23BSEL レジスタのフィールドの説明....478
表 5-107. UDMACH24SSEL レジスタのフィールドの説明....479
表 5-108. UDMACH24BSEL レジスタのフィールドの説明....480
表 5-109. GPT3ACAPTSEL レジスタのフィールドの説明....481
表 5-110. GPT3BCAPTSEL レジスタのフィールドの説明....484
表 5-111. AUXSEL0 レジスタのフィールドの説明....487
表 5-112. CM3NMISEL0 レジスタのフィールドの説明....488
表 5-113. I2SSTMPSEL0 レジスタのフィールドの説明....489
表 5-114. FRZSEL0 レジスタのフィールドの説明....490
表 5-115. SWEV レジスタ フィールドの説明....491
表 6-1. 参考資料....492
表 6-2. IEEE 1149.7 機能サブセット....495
表 6-3. OScan スキャン パケットの内容....496

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 6-4. cJTAG コマンド....498
表 6-5. スレーブ TAP 順序....502
表 6-6. レジスタの要約....503
表 6-7. 命令レジスタ Opcodes....503
表 6-8. デバイス識別レジスタの説明....505
表 6-9. ユーザー コード レジスタの説明....505
表 6-10. ICEPick 識別レジスタの説明....505
表 6-11. 接続レジスタの説明....506
表 6-12. ルータ DR スキャン チェーンの説明....506
表 6-13. コントロール ブロック レジスタ....507
表 6-14. All0s レジスタ....508
表 6-15. ICEPick 制御レジスタ....508
表 6-16. ICEPick リンク モード レジスタ....508
表 6-17. ICEPick TAP リンク モード....508
表 6-18. テスト TAP リンク レジスタ....509
表 6-19. セカンダリ テスト TAP レジスタ (STTR)....509
表 6-20. デバッグ TAP リンク レジスタ....509
表 6-21. セカンダリ デバッグ TAP レジスタ (SDTR)....510
表 6-22. リセット制御....511
表 6-23. WUC TAP でサポートされているデバッグ機能....514
表 6-24. プロファイラ レジスタのフィールド....514
表 6-25. デバイスごとのバウンダリ スキャン I/O....517
表 7-1. パワー セービング機能....521
表 7-2. TI-RTOS のパワー モード....521
表 7-3. システム CPU モード....522
表 7-4. システム クロック....526
表 7-5. TI-RTOS で定義される電源モード....531
表 7-6. スタンバイ モードで CC13x2 と CC26x2 を設定するシーケンス例....533
表 7-7. シャットダウンへのシーケンスの例....535
表 7-8. DDI_0_OSC のレジスタ....538
表 7-9. DDI_0_OSC のアクセス タイプ コード....538
表 7-10. CTL0 レジスタのフィールドの説明....540
表 7-11. CTL1 レジスタのフィールドの説明....542
表 7-12. RADCEXTCFG レジスタのフィールドの説明....543
表 7-13. AMPCOMPCTL レジスタのフィールドの説明....544
表 7-14. AMPCOMPTH1 レジスタのフィールドの説明....545
表 7-15. AMPCOMPTH2 レジスタのフィールドの説明....546
表 7-16. ANABYPASSVAL1 レジスタのフィールドの説明....547
表 7-17. ANABYPASSVAL2 レジスタのフィールドの説明....548
表 7-18. ATESTCTL レジスタのフィールドの説明....549
表 7-19. ADCDOUBLERNANOAMPCTL レジスタのフィールドの説明....550
表 7-20. XOSCHFCTL レジスタのフィールドの説明....551
表 7-21. LFOSCCTL レジスタのフィールドの説明....552
表 7-22. RCOSCHFCTL レジスタのフィールドの説明....553
表 7-23. RCOSCMFCTL レジスタのフィールドの説明....554
表 7-24. STAT0 レジスタのフィールドの説明....555
表 7-25. STAT1 レジスタのフィールドの説明....557
表 7-26. STAT2 レジスタのフィールドの説明....559
表 7-27. PRCM レジスタ....560
表 7-28. PRCM のアクセス タイプ コード....563
表 7-29. INFRCLKDIVR レジスタのフィールドの説明....564
表 7-30. INFRCLKDIVS レジスタのフィールドの説明....565
表 7-31. INFRCLKDIVDS レジスタのフィールドの説明....566
表 7-32. VDCTL レジスタ フィールドの説明....567
表 7-33. CLKLOADCTL レジスタのフィールドの説明....568
表 7-34. RFCCLKG レジスタのフィールドの説明....570

Copyright © 2026 Texas Instruments Incorporated

表 7-35. VIMSCLKG レジスタのフィールドの説明 571
表 7-36. SECDMACLKGR レジスタのフィールドの説明 572
表 7-37. SECDMACLKGS レジスタのフィールドの説明 574
表 7-38. SECDMACLKGDS レジスタのフィールドの説明 575
表 7-39. GPIOCLKGR レジスタのフィールドの説明 576
表 7-40. GPIOCLKGS レジスタのフィールドの説明 577
表 7-41. GPIOCLKGDS レジスタのフィールドの説明 578
表 7-42. GPTCLKGR レジスタのフィールドの説明 579
表 7-43. GPTCLKGS レジスタのフィールドの説明 580
表 7-44. GPTCLKGDS レジスタのフィールドの説明 581
表 7-45. I2CCLKGR レジスタのフィールドの説明 582
表 7-46. I2CCLKGS レジスタのフィールドの説明 583
表 7-47. I2CCLKGDS レジスタのフィールドの説明 584
表 7-48. UARTCLKGR レジスタのフィールドの説明 585
表 7-49. UARTCLKGS レジスタのフィールドの説明 586
表 7-50. UARTCLKGDS レジスタのフィールドの説明 587
表 7-51. SSICLKGR レジスタのフィールドの説明 588
表 7-52. SSICLKGS レジスタのフィールドの説明 589
表 7-53. SSICLKGDS レジスタのフィールドの説明 590
表 7-54. I2SCLKGR レジスタのフィールドの説明 591
表 7-55. I2SCLKGS レジスタのフィールドの説明 592
表 7-56. I2SCLKGDS レジスタのフィールドの説明 593
表 7-57. SYSBUSCLKDIV レジスタのフィールドの説明 594
表 7-58. CPUCLKDIV レジスタのフィールドの説明 595
表 7-59. PERBUSCPUCLKDIV レジスタのフィールドの説明 596
表 7-60. PERDMACLKDIV レジスタのフィールドの説明 597
表 7-61. I2SBCLKSEL レジスタのフィールドの説明 598
表 7-62. GPTCLKDIV レジスタのフィールドの説明 599
表 7-63. I2SCLKCTL レジスタのフィールドの説明 600
表 7-64. I2SMCLKDIV レジスタのフィールドの説明 601
表 7-65. I2SBCLKDIV レジスタのフィールドの説明 602
表 7-66. I2SWCLKDIV レジスタのフィールドの説明 603
表 7-67. RESETSECDMA レジスタのフィールドの説明 604
表 7-68. RESETGPIO レジスタのフィールドの説明 605
表 7-69. RESETGPT レジスタのフィールドの説明 606
表 7-70. RESETI2C レジスタのフィールドの説明 607
表 7-71. RESETUART レジスタのフィールドの説明 608
表 7-72. RESETSSI レジスタのフィールドの説明 609
表 7-73. RESETI2S レジスタのフィールドの説明 610
表 7-74. PDCTL0 レジスタのフィールドの説明 611
表 7-75. PDCTL0RFC レジスタのフィールドの説明 612
表 7-76. PDCTL0SERIAL レジスタのフィールドの説明 613
表 7-77. PDCTL0PERIPH レジスタのフィールドの説明 614
表 7-78. PDSTAT0 レジスタのフィールドの説明 615
表 7-79. PDSTAT0RFC レジスタのフィールドの説明 616
表 7-80. PDSTAT0SERIAL レジスタのフィールドの説明 617
表 7-81. PDSTAT0PERIPH レジスタのフィールドの説明 618
表 7-82. PDCTL1 レジスタのフィールドの説明 619
表 7-83. PDCTL1CPU レジスタのフィールドの説明 620
表 7-84. PDCTL1RFC レジスタのフィールドの説明 621
表 7-85. PDCTL1VIMS レジスタのフィールドの説明 622
表 7-86. PDSTAT1 レジスタのフィールドの説明 623
表 7-87. PDSTAT1BUS レジスタのフィールドの説明 624
表 7-88. PDSTAT1RFC レジスタのフィールドの説明 625
表 7-89. PDSTAT1CPU レジスタのフィールドの説明 626
表 7-90. PDSTAT1VIMS レジスタのフィールドの説明 627

Copyright © 2026 Texas Instruments Incorporated

表 7-91. RFCBITS レジスタのフィールドの説明....628
表 7-92. RFCMODESEL レジスタのフィールドの説明....629
表 7-93. RFCMODEHWOPT レジスタのフィールドの説明....630
表 7-94. PWRPROFSTAT レジスタのフィールドの説明....631
表 7-95. MCUSRAMCFG レジスタのフィールドの説明....632
表 7-96. RAMRETEN レジスタのフィールドの説明....633
表 7-97. OSCIMSC レジスタのフィールドの説明....634
表 7-98. OSCRIS レジスタ フィールドの説明....635
表 7-99. OSCICR レジスタ フィールドの説明....639
表 7-100. AON_PMCTL レジスタ....640
表 7-101. AON_PMCTL アクセス タイプ コード....640
表 7-102. AUXSCECLK レジスタのフィールドの説明....641
表 7-103. RAMCFG レジスタのフィールドの説明....642
表 7-104. PWRCTL レジスタのフィールドの説明....643
表 7-105. PWRSTAT レジスタのフィールドの説明....644
表 7-106. SHUTDOWN レジスタのフィールドの説明....645
表 7-107. RECHARGECFG レジスタのフィールドの説明....646
表 7-108. RECHARGESTAT レジスタのフィールドの説明....647
表 7-109. OSCCFG レジスタのフィールドの説明....648
表 7-110. RESETCTL レジスタのフィールドの説明....649
表 7-111. SLEEPCTL レジスタのフィールドの説明....652
表 7-112. JTAGCFG レジスタのフィールドの説明....653
表 7-113. JTAGUSERCODE レジスタのフィールドの説明....654
表 8-1. VIMS メモリの有効な保持の組み合わせ....660
表 8-2. CC13x2 および CC26x2 のメモリ書き込み / 消去保護 (1) (2) (3)....662
表 8-3. FLASH レジスタ....665
表 8-4. FLASH のアクセス タイプ コード....670
表 8-5. STAT レジスタ フィールドの説明....671
表 8-6. CFG レジスタ フィールドの説明....672
表 8-7. SYSCODE_START レジスタのフィールドの説明....673
表 8-8. FLASH_SIZE レジスタのフィールドの説明....674
表 8-9. FWLOCK レジスタ フィールドの説明....675
表 8-10. FWFLAG レジスタ フィールドの説明....676
表 8-11. EFUSE レジスタ フィールドの説明....677
表 8-12. EFUSEADDR レジスタのフィールドの説明....678
表 8-13. DATAUPPER レジスタのフィールドの説明....679
表 8-14. DATALOWER レジスタのフィールドの説明....680
表 8-15. EFUSECFG レジスタのフィールドの説明....681
表 8-16. EFUSESTAT レジスタのフィールドの説明....682
表 8-17. ACC レジスタ フィールドの説明....683
表 8-18. BOUNDARY レジスタのフィールドの説明....684
表 8-19. EFUSEFLAG レジスタのフィールドの説明....685
表 8-20. EFUSEKEY レジスタのフィールドの説明....686
表 8-21. EFUSERELEASE レジスタのフィールドの説明....687
表 8-22. EFUSEPINS レジスタのフィールドの説明....688
表 8-23. EFUSECRA レジスタのフィールドの説明....689
表 8-24. EFUSEREAD レジスタのフィールドの説明....690
表 8-25. EFUSEPROGRAM レジスタのフィールドの説明....691
表 8-26. EFUSEERROR レジスタのフィールドの説明....692
表 8-27. SINGLEBIT レジスタのフィールドの説明....693
表 8-28. TWOBIT レジスタ フィールドの説明....694
表 8-29. SELFTESTCYC レジスタのフィールドの説明....695
表 8-30. SELFTESTSIGN レジスタのフィールドの説明....696
表 8-31. FRDCTL レジスタ フィールドの説明....697
表 8-32. FSPRD レジスタ フィールドの説明....698
表 8-33. FEDACCTL1 レジスタのフィールドの説明....699

Copyright © 2026 Texas Instruments Incorporated

表 8-34. FEDACSTAT レジスタのフィールドの説明 700
表 8-35. FBPROT レジスタ フィールドの説明 701
表 8-36. FBSE レジスタ フィールドの説明 702
表 8-37. FBBUSY レジスタ フィールドの説明 703
表 8-38. FBAC レジスタ フィールドの説明 704
表 8-39. FBFALLBACK レジスタのフィールドの説明 705
表 8-40. FBPRDY レジスタ フィールドの説明 706
表 8-41. FPAC1 レジスタのフィールドの説明 707
表 8-42. FPAC2 レジスタのフィールドの説明 708
表 8-43. FMAC レジスタ フィールドの説明 709
表 8-44. FMSTAT レジスタ フィールドの説明 710
表 8-45. FLOCK レジスタ フィールドの説明 711
表 8-46. FVREADCT レジスタのフィールドの説明 712
表 8-47. FVHVCT1 レジスタのフィールドの説明 713
表 8-48. FVHVCT2 レジスタのフィールドの説明 714
表 8-49. FVHVCT3 レジスタのフィールドの説明 715
表 8-50. FVNVCT レジスタ フィールドの説明 716
表 8-51. FVSLP レジスタ フィールドの説明 717
表 8-52. FVWLCT レジスタ フィールドの説明 718
表 8-53. FEFUSECTL レジスタのフィールドの説明 719
表 8-54. FEFUSESTAT レジスタのフィールドの説明 720
表 8-55. FEFUSEDATA レジスタのフィールドの説明 721
表 8-56. FSEQPMP レジスタのフィールドの説明 722
表 8-57. FBSTROBES レジスタのフィールドの説明 723
表 8-58. FPSTROBES レジスタのフィールドの説明 724
表 8-59. FBMODE レジスタ フィールドの説明 725
表 8-60. FTCR レジスタ フィールドの説明 726
表 8-61. FADDR レジスタ フィールドの説明 727
表 8-62. FTCTL レジスタ フィールドの説明 728
表 8-63. FWPWRITE0 レジスタのフィールドの説明 729
表 8-64. FWPWRITE1 レジスタのフィールドの説明 730
表 8-65. FWPWRITE2 レジスタのフィールドの説明 731
表 8-66. FWPWRITE3 レジスタのフィールドの説明 732
表 8-67. FWPWRITE4 レジスタのフィールドの説明 733
表 8-68. FWPWRITE5 レジスタのフィールドの説明 734
表 8-69. FWPWRITE6 レジスタのフィールドの説明 735
表 8-70. FWPWRITE7 レジスタのフィールドの説明 736
表 8-71. FWPWRITE_ECC レジスタのフィールドの説明 737
表 8-72. FSWSTAT レジスタのフィールドの説明 738
表 8-73. FSM_GLBCTL レジスタのフィールドの説明 739
表 8-74. FSM_STATE レジスタのフィールドの説明 740
表 8-75. FSM_STAT レジスタのフィールドの説明 741
表 8-76. FSM_CMD レジスタのフィールドの説明 742
表 8-77. FSM_PE_OSU レジスタのフィールドの説明 743
表 8-78. FSM_VSTAT レジスタのフィールドの説明 744
表 8-79. FSM_PE_VSU レジスタのフィールドの説明 745
表 8-80. FSM_CMP_VSU レジスタのフィールドの説明 746
表 8-81. FSM_EX_VAL レジスタのフィールドの説明 747
表 8-82. FSM_RD_H レジスタのフィールドの説明 748
表 8-83. FSM_P_OH レジスタのフィールドの説明 749
表 8-84. FSM_ERA_OH レジスタのフィールドの説明 750
表 8-85. FSM_SAV_PPUL レジスタのフィールドの説明 751
表 8-86. FSM_PE_VH レジスタのフィールドの説明 752
表 8-87. FSM_PRG_PW レジスタのフィールドの説明 753
表 8-88. FSM_ERA_PW レジスタのフィールドの説明 754
表 8-89. FSM_SAV_ERA_PUL レジスタのフィールドの説明 755

Copyright © 2026 Texas Instruments Incorporated

表 8-90. FSM_TIMER レジスタのフィールドの説明 756
表 8-91. FSM_MODE レジスタのフィールドの説明 757
表 8-92. FSM_PGM レジスタのフィールドの説明 758
表 8-93. FSM_ERA レジスタのフィールドの説明 759
表 8-94. FSM_PRG_PUL レジスタのフィールドの説明 760
表 8-95. FSM_ERA_PUL レジスタのフィールドの説明 761
表 8-96. FSM_STEP_SIZE レジスタのフィールドの説明 762
表 8-97. FSM_PUL_CNTR レジスタのフィールドの説明 763
表 8-98. FSM_EC_STEP_HEIGHT レジスタのフィールドの説明 764
表 8-99. FSM_ST_MACHINE レジスタのフィールドの説明 765
表 8-100. FSM_FLES レジスタのフィールドの説明 766
表 8-101. FSM_WR_ENA レジスタのフィールドの説明 767
表 8-102. FSM_ACC_PP レジスタのフィールドの説明 768
表 8-103. FSM_ACC_EP レジスタのフィールドの説明 769
表 8-104. FSM_ADDR レジスタのフィールドの説明 770
表 8-105. FSM_SECTOR レジスタのフィールドの説明 771
表 8-106. FMC_REV_ID レジスタのフィールドの説明 772
表 8-107. FSM_ERR_ADDR レジスタのフィールドの説明 773
表 8-108. FSM_PGM_MAXPUL レジスタのフィールドの説明 774
表 8-109. FSM_EXECUTE レジスタのフィールドの説明 775
表 8-110. FSM_SECTOR1 レジスタのフィールドの説明 776
表 8-111. FSM_SECTOR2 レジスタのフィールドの説明 777
表 8-112. FSM_BSLE0 レジスタのフィールドの説明 778
表 8-113. FSM_BSLE1 レジスタのフィールドの説明 779
表 8-114. FSM_BSLP0 レジスタのフィールドの説明 780
表 8-115. FSM_BSLP1 レジスタのフィールドの説明 781
表 8-116. FSM_PGM128 レジスタのフィールドの説明 782
表 8-117. FCFG_BANK レジスタのフィールドの説明 783
表 8-118. FCFG_WRAPPER レジスタのフィールドの説明 784
表 8-119. FCFG_BNK_TYPE レジスタのフィールドの説明 785
表 8-120. FCFG_B0_START レジスタのフィールドの説明 786
表 8-121. FCFG_B1_START レジスタのフィールドの説明 787
表 8-122. FCFG_B2_START レジスタのフィールドの説明 788
表 8-123. FCFG_B3_START レジスタのフィールドの説明 789
表 8-124. FCFG_B4_START レジスタのフィールドの説明 790
表 8-125. FCFG_B5_START レジスタのフィールドの説明 791
表 8-126. FCFG_B6_START レジスタのフィールドの説明 792
表 8-127. FCFG_B7_START レジスタのフィールドの説明 793
表 8-128. FCFG_B0_SSIZE0 レジスタのフィールドの説明 794
表 8-129. VIMS レジスタ 795
表 8-130. VIMS のアクセス タイプ コード 795
表 8-131. STAT レジスタ フィールドの説明 796
表 8-132. CTL レジスタ フィールドの説明 797
表 9-1. SRAM_MMR レジスタ 800
表 9-2. SRAM_MMR アクセス タイプ コード 800
表 9-3. PER_CTL レジスタのフィールドの説明 801
表 9-4. PER_CHK レジスタのフィールドの説明 802
表 9-5. PER_DBG レジスタのフィールドの説明 803
表 9-6. MEM_CTL レジスタのフィールドの説明 804
表 9-7. SRAM レジスタ 805
表 9-8. SRAM のアクセス タイプ コード 805
表 9-9. BANK0_y レジスタのフィールドの説明 806
表 9-10. BANK1_y レジスタのフィールドの説明 807
表 9-11. BANK2_y レジスタのフィールドの説明 808
表 9-12. BANK3_y レジスタのフィールドの説明 809
表 9-13. BANK4_y レジスタのフィールドの説明 810

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 10-1. プロトコル アクノリッジとアクノリッジなしバイト ... 816
表 10-2. シリアル インターフェースの構成 ... 817
表 10-3. サポートされているブートローダ コマンド ... 818
表 10-4. 定義されたステータス値 ... 822
表 10-5. CCFG フィールド ID とフィールド値を定義 ... 827
表 11-1. CCFG レジスタ ... 833
表 11-2. CCFG のアクセス タイプ コード ... 834
表 11-3. EXT_LF_CLK レジスタのフィールドの説明 ... 835
表 11-4. MODE_CONF_1 レジスタのフィールドの説明 ... 836
表 11-5. SIZE_AND_DIS_FLAGS レジスタのフィールドの説明 ... 838
表 11-6. MODE_CONF レジスタのフィールドの説明 ... 840
表 11-7. VOLT_LOAD_0 レジスタのフィールドの説明 ... 842
表 11-8. VOLT_LOAD_1 レジスタのフィールドの説明 ... 843
表 11-9. RTC_OFFSET レジスタのフィールドの説明 ... 844
表 11-10. FREQ_OFFSET レジスタのフィールドの説明 ... 845
表 11-11. IEEE_MAC_0 レジスタのフィールドの説明 ... 846
表 11-12. IEEE_MAC_1 レジスタのフィールドの説明 ... 847
表 11-13. IEEE_BLE_0 レジスタのフィールドの説明 ... 848
表 11-14. IEEE_BLE_1 レジスタのフィールドの説明 ... 849
表 11-15. BL_CONFIG レジスタのフィールドの説明 ... 850
表 11-16. ERASE_CONF レジスタのフィールドの説明 ... 851
表 11-17. CCFG_TI_OPTIONS レジスタのフィールドの説明 ... 852
表 11-18. CCFG_TAP_DAP_0 レジスタのフィールドの説明 ... 853
表 11-19. CCFG_TAP_DAP_1 レジスタのフィールドの説明 ... 854
表 11-20. IMAGE_VALID_CONF レジスタのフィールドの説明 ... 855
表 11-21. CCFG_PROT_31_0 レジスタのフィールドの説明 ... 856
表 11-22. CCFG_PROT_63_32 レジスタのフィールドの説明 ... 858
表 11-23. CCFG_PROT_95_64 レジスタのフィールドの説明 ... 860
表 11-24. CCFG_PROT_127_96 レジスタのフィールドの説明 ... 862
表 11-25. FCFG1 のレジスタ ... 864
表 11-26. FCFG1 のアクセス タイプ コード ... 867
表 11-27. MISC_CONF_1 レジスタのフィールドの説明 ... 868
表 11-28. MISC_CONF_2 レジスタのフィールドの説明 ... 869
表 11-29. HPOSC_MEAS_5 レジスタのフィールドの説明 ... 870
表 11-30. HPOSC_MEAS_4 レジスタのフィールドの説明 ... 871
表 11-31. HPOSC_MEAS_3 レジスタのフィールドの説明 ... 872
表 11-32. HPOSC_MEAS_2 レジスタのフィールドの説明 ... 873
表 11-33. HPOSC_MEAS_1 レジスタのフィールドの説明 ... 874
表 11-34. CONFIG_CC26_FE レジスタのフィールドの説明 ... 875
表 11-35. CONFIG_CC13_FE レジスタのフィールドの説明 ... 876
表 11-36. CONFIG_RF_COMMON レジスタのフィールドの説明 ... 877
表 11-37. CONFIG_SYNTH_DIV2_CC26_2G4 レジスタのフィールドの説明 ... 878
表 11-38. CONFIG_SYNTH_DIV2_CC13_2G4 レジスタのフィールドの説明 ... 879
表 11-39. CONFIG_SYNTH_DIV2_CC26_1G レジスタのフィールドの説明 ... 880
表 11-40. CONFIG_SYNTH_DIV2_CC13_1G レジスタのフィールドの説明 ... 881
表 11-41. CONFIG_SYNTH_DIV4_CC26 レジスタのフィールドの説明 ... 882
表 11-42. CONFIG_SYNTH_DIV4_CC13 レジスタのフィールドの説明 ... 883
表 11-43. CONFIG_SYNTH_DIV5 レジスタのフィールドの説明 ... 884
表 11-44. CONFIG_SYNTH_DIV6_CC26 レジスタのフィールドの説明 ... 885
表 11-45. CONFIG_SYNTH_DIV6_CC13 レジスタのフィールドの説明 ... 886
表 11-46. CONFIG_SYNTH_DIV10 レジスタのフィールドの説明 ... 887
表 11-47. CONFIG_SYNTH_DIV12_CC26 レジスタのフィールドの説明 ... 888
表 11-48. CONFIG_SYNTH_DIV12_CC13 レジスタのフィールドの説明 ... 889
表 11-49. CONFIG_SYNTH_DIV15 レジスタのフィールドの説明 ... 890
表 11-50. CONFIG_SYNTH_DIV30 レジスタのフィールドの説明 ... 891

Copyright © 2026 Texas Instruments Incorporated

表 11-51. FLASH_NUMBER レジスタのフィールドの説明 892
表 11-52. FLASH_COORDINATE レジスタのフィールドの説明 893
表 11-53. FLASH_E_P レジスタのフィールドの説明 894
表 11-54. FLASH_C_E_P_R レジスタのフィールドの説明 895
表 11-55. FLASH_P_R_PV レジスタのフィールドの説明 896
表 11-56. FLASH_EH_SEQ レジスタのフィールドの説明 897
表 11-57. FLASH_VHV_E レジスタのフィールドの説明 898
表 11-58. FLASH_PP レジスタのフィールドの説明 899
表 11-59. FLASH_PROG_EP レジスタのフィールドの説明 900
表 11-60. FLASH_ERA_PW レジスタのフィールドの説明 901
表 11-61. FLASH_VHV レジスタのフィールドの説明 902
表 11-62. FLASH_VHV_PV レジスタのフィールドの説明 903
表 11-63. FLASH_V レジスタのフィールドの説明 904
表 11-64. USER_ID レジスタのフィールドの説明 905
表 11-65. FLASH_OTP_DATA3 レジスタのフィールドの説明 907
表 11-66. ANA2_TRIM レジスタのフィールドの説明 908
表 11-67. LDO_TRIM レジスタのフィールドの説明 909
表 11-68. MAC_BLE_0 レジスタのフィールドの説明 910
表 11-69. MAC_BLE_1 レジスタのフィールドの説明 911
表 11-70. MAC_15_4_0 レジスタのフィールドの説明 912
表 11-71. MAC_15_4_1 レジスタのフィールドの説明 913
表 11-72. FLASH_OTP_DATA4 レジスタのフィールドの説明 914
表 11-73. MISC_TRIM レジスタのフィールドの説明 916
表 11-74. RCOSC_HF_TEMPCOMP レジスタのフィールドの説明 917
表 11-75. ICEPICK_DEVICE_ID レジスタのフィールドの説明 918
表 11-76. FCFG1_REVISION レジスタのフィールドの説明 919
表 11-77. MISC_OTP_DATA レジスタのフィールドの説明 920
表 11-78. IOCONF レジスタのフィールドの説明 921
表 11-79. CONFIG_IF_ADC レジスタのフィールドの説明 922
表 11-80. CONFIG_OSC_TOP レジスタのフィールドの説明 923
表 11-81. SOC_ADC_ABS_GAIN レジスタのフィールドの説明 924
表 11-82. SOC_ADC_REL_GAIN レジスタのフィールドの説明 925
表 11-83. SOC_ADC_OFFSET_INT レジスタのフィールドの説明 926
表 11-84. SOC_ADC_REF_TRIM_AND_OFFSET_EXT レジスタのフィールドの説明 927
表 11-85. AMPCOMP_TH1 レジスタのフィールドの説明 928
表 11-86. AMPCOMP_TH2 レジスタのフィールドの説明 929
表 11-87. AMPCOMP_CTRL1 レジスタのフィールドの説明 930
表 11-88. ANABYPASS_VALUE2 レジスタのフィールドの説明 931
表 11-89. VOLT_TRIM レジスタのフィールドの説明 932
表 11-90. OSC_CONF レジスタのフィールドの説明 933
表 11-91. FREQ_OFFSET レジスタのフィールドの説明 935
表 11-92. MISC_OTP_DATA_1 レジスタのフィールドの説明 936
表 11-93. SHDW_DIE_ID_0 レジスタのフィールドの説明 937
表 11-94. SHDW_DIE_ID_1 レジスタのフィールドの説明 938
表 11-95. SHDW_DIE_ID_2 レジスタのフィールドの説明 939
表 11-96. SHDW_DIE_ID_3 レジスタのフィールドの説明 940
表 11-97. SHDW_OSC_BIAS_LDO_TRIM レジスタのフィールドの説明 941
表 11-98. SHDW_ANA_TRIM レジスタのフィールドの説明 942
表 11-99. OSC_CONF1 レジスタのフィールドの説明 943
表 11-100. DAC_BIAS_CNF レジスタのフィールドの説明 944
表 11-101. TFW_PROBE レジスタのフィールドの説明 945
表 11-102. TFW_FT レジスタのフィールドの説明 946
表 11-103. DAC_CAL0 レジスタのフィールドの説明 947
表 11-104. DAC_CAL1 レジスタのフィールドの説明 948
表 11-105. DAC_CAL2 レジスタのフィールドの説明 949
表 11-106. DAC_CAL3 レジスタのフィールドの説明 950

Copyright © 2026 Texas Instruments Incorporated

表 12-1. 詳細なメモリ マップ (1) 955
表 12-2. サポートされている DMAC 動作 960
表 12-3. ALGSEL フラグの有効な組み合わせ 961
表 12-4. AES_KEY 963
表 12-5. AES_KEY 963
表 12-6. CCM の場合 964
表 12-7. CBC-MAC の場合 964
表 12-8. GCM の場合 964
表 12-9. AES 初期化ベクタ レジスタ 964
表 12-10. 初期化ベクタ、通常の非 ECB モード (CBC/CTR) に使用 964
表 12-11. GCM 用 965
表 12-12. 初期化ベクトル、CCM に使用 965
表 12-13. 初期化ベクトル、CBC-MAC に使用 965
表 12-14. 動作モード別の入出力ブロック フォーマット 966
表 12-15. AES タグ出力レジスタ 967
表 12-16. GCM、CCM、CBC-MAC の場合 967
表 12-17. DMA ベース動作の性能表 970
表 12-18. PKCP 演算 (1) 991
表 12-19. PKCP 演算の入力ベクトルに関する制限 991
表 12-20. 結果ベクトルのメモリ アロケーション 992
表 12-21. PKCP 結果ベクトルとベクトル オーバーラップの制限 992
表 12-22. ExpMod 演算 993
表 12-23. 演算の制限 993
表 12-24. 結果ベクトルおよびスクラッチパッド領域のメモリ割り当て (PKA_DPTR から開始) 994
表 12-25. 結果ベクトルと入力ベクトルのオーバーラップ制限 994
表 12-26. 必要な RAM サイズ 995
表 12-27. 奇数乗の最大数 995
表 12-28. PKA RAM ベクトル割り当ての例 996
表 12-29. 基本 PKCP 関数の拡張 997
表 12-30. PKA_SHIFT 結果の値 997
表 12-31. 演算の制限 997
表 12-32. 結果ベクトルと入力ベクトルのオーバーラップ制限 997
表 12-33. 結果とベクトル スクラッチパッド領域のメモリ割り当て (1) 997
表 12-34. PKCP 動作用のクロック 999
表 12-35. ECC での動作 999
表 12-36. PKA_SHIFT 結果の値 999
表 12-37. 演算の制限 1000
表 12-38. 入力ベクトルと出力ベクトルのオーバーラップ制限 1000
表 12-39. 結果ベクトルとスクラッチ パッド領域のメモリ割り当て (1) (2) 1000
表 12-40. PKA RAM ベクトル割り当て 1001
表 12-41. PKCP 動作のクロック 1002
表 12-42. 5 つのシミュレーションにおける処理性能値 1003
表 12-43. ECC 動作の性能値 1003
表 12-44. ECC-MUL 演算の性能値 1004
表 12-45. シーケンサ ROM インターフェイス情報 1005
表 12-46. レジスタ アドレス マップ 1005
表 12-47. PKCP 制御、シーケンサおよびステータス、ハードウェアおよびファームウェア リビジョン レジスタ 1006
表 12-48. 略称 1009
表 12-49. 式と命名規則 1010
表 12-50. CRYPTO レジスタ 1012
表 12-51. CRYPTO のアクセス タイプ コード 1015
表 12-52. DMACH0CTL レジスタのフィールドの説明 1017
表 12-53. DMACH0EXTADDR レジスタのフィールドの説明 1018
表 12-54. DMACH0LEN レジスタのフィールドの説明 1019
表 12-55. DMASTAT レジスタのフィールドの説明 1020
表 12-56. DMASWRESET レジスタのフィールドの説明 1021

Copyright © 2026 Texas Instruments Incorporated

表 12-57. DMACH1CTL レジスタのフィールドの説明 1022
表 12-58. DMACH1EXTADDR レジスタのフィールドの説明 1023
表 12-59. DMACH1LEN レジスタのフィールドの説明 1024
表 12-60. DMABUSCFG レジスタのフィールドの説明 1025
表 12-61. DMAPORTERR レジスタのフィールドの説明 1026
表 12-62. DMAHWVER レジスタのフィールドの説明 1027
表 12-63. KEYWRITEAREA レジスタのフィールドの説明 1028
表 12-64. KEYWRITTENAREA レジスタのフィールドの説明 1031
表 12-65. KEYSIZE レジスタのフィールドの説明 1033
表 12-66. KEYREADAREA レジスタのフィールドの説明 1034
表 12-67. AESKEY2_y レジスタのフィールドの説明 1035
表 12-68. AESKEY3_y レジスタのフィールドの説明 1036
表 12-69. AESIV_y レジスタのフィールドの説明 1037
表 12-70. AESCTL レジスタ フィールドの説明 1038
表 12-71. AESDATALEN0 レジスタのフィールドの説明 1041
表 12-72. AESDATALEN1 レジスタのフィールドの説明 1042
表 12-73. AESAUTHLEN レジスタのフィールドの説明 1043
表 12-74. AESDATAOUT0 レジスタのフィールドの説明 1044
表 12-75. AESDATAIN0 レジスタのフィールドの説明 1046
表 12-76. AESDATAOUT1 レジスタのフィールドの説明 1047
表 12-77. AESDATAIN1 レジスタのフィールドの説明 1049
表 12-78. AESDATAOUT2 レジスタのフィールドの説明 1050
表 12-79. AESDATAIN2 レジスタのフィールドの説明 1052
表 12-80. AESDATAOUT3 レジスタのフィールドの説明 1053
表 12-81. AESDATAIN3 レジスタのフィールドの説明 1055
表 12-82. AESTAGOUT_y レジスタのフィールドの説明 1056
表 12-83. HASHDATAIN1 レジスタのフィールドの説明 1057
表 12-84. HASHDATAIN2 レジスタのフィールドの説明 1058
表 12-85. HASHDATAIN3 レジスタのフィールドの説明 1059
表 12-86. HASHDATAIN4 レジスタのフィールドの説明 1060
表 12-87. HASHDATAIN5 レジスタのフィールドの説明 1061
表 12-88. HASHDATAIN6 レジスタのフィールドの説明 1062
表 12-89. HASHDATAIN7 レジスタのフィールドの説明 1063
表 12-90. HASHDATAIN8 レジスタのフィールドの説明 1064
表 12-91. HASHDATAIN9 レジスタのフィールドの説明 1065
表 12-92. HASHDATAIN10 レジスタのフィールドの説明 1066
表 12-93. HASHDATAIN11 レジスタのフィールドの説明 1067
表 12-94. HASHDATAIN12 レジスタのフィールドの説明 1068
表 12-95. HASHDATAIN13 レジスタのフィールドの説明 1069
表 12-96. HASHDATAIN14 レジスタのフィールドの説明 1070
表 12-97. HASHDATAIN15 レジスタのフィールドの説明 1071
表 12-98. HASHDATAIN16 レジスタのフィールドの説明 1072
表 12-99. HASHDATAIN17 レジスタのフィールドの説明 1073
表 12-100. HASHDATAIN18 レジスタのフィールドの説明 1074
表 12-101. HASHDATAIN19 レジスタのフィールドの説明 1075
表 12-102. HASHDATAIN20 レジスタのフィールドの説明 1076
表 12-103. HASHDATAIN21 レジスタのフィールドの説明 1077
表 12-104. HASHDATAIN22 レジスタのフィールドの説明 1078
表 12-105. HASHDATAIN23 レジスタのフィールドの説明 1079
表 12-106. HASHDATAIN24 レジスタのフィールドの説明 1080
表 12-107. HASHDATAIN25 レジスタのフィールドの説明 1081
表 12-108. HASHDATAIN26 レジスタのフィールドの説明 1082
表 12-109. HASHDATAIN27 レジスタのフィールドの説明 1083
表 12-110. HASHDATAIN28 レジスタのフィールドの説明 1084
表 12-111. HASHDATAIN29 レジスタのフィールドの説明 1085
表 12-112. HASHDATAIN30 レジスタのフィールドの説明 1086

Copyright © 2026 Texas Instruments Incorporated

表 12-113. HASHDATAIN31 レジスタのフィールドの説明....1087
表 12-114. HASHIOBUFCTRL レジスタのフィールドの説明....1088
表 12-115. HASHMODE レジスタのフィールドの説明....1091
表 12-116. HASHINLENL レジスタのフィールドの説明....1092
表 12-117. HASHINLENH レジスタのフィールドの説明....1093
表 12-118. HASHDIGESTA レジスタのフィールドの説明....1094
表 12-119. HASHDIGESTB レジスタのフィールドの説明....1095
表 12-120. HASHDIGESTC レジスタのフィールドの説明....1096
表 12-121. HASHDIGESTD レジスタのフィールドの説明....1097
表 12-122. HASHDIGESTE レジスタのフィールドの説明....1098
表 12-123. HASHDIGESTF レジスタのフィールドの説明....1099
表 12-124. HASHDIGESTG レジスタのフィールドの説明....1100
表 12-125. HASHDIGESTH レジスタのフィールドの説明....1101
表 12-126. HASHDIGESTI レジスタのフィールドの説明....1102
表 12-127. HASHDIGESTJ レジスタのフィールドの説明....1103
表 12-128. HASHDIGESTK レジスタのフィールドの説明....1104
表 12-129. HASHDIGESTL レジスタのフィールドの説明....1105
表 12-130. HASHDIGESTM レジスタのフィールドの説明....1106
表 12-131. HASHDIGESTN レジスタのフィールドの説明....1107
表 12-132. HASHDIGESTO レジスタのフィールドの説明....1108
表 12-133. HASHDIGESTP レジスタのフィールドの説明....1109
表 12-134. ALGSEL レジスタ フィールドの説明....1110
表 12-135. DMAPROTCTL レジスタのフィールドの説明....1111
表 12-136. SWRESET レジスタのフィールドの説明....1112
表 12-137. IRQTYPE レジスタのフィールドの説明....1113
表 12-138. IRQEN レジスタ フィールドの説明....1114
表 12-139. IRQCLR レジスタ フィールドの説明....1115
表 12-140. IRQSET レジスタ フィールドの説明....1116
表 12-141. IRQSTAT レジスタのフィールドの説明....1117
表 12-142. HWVER レジスタ フィールドの説明....1118
表 13-1. PA および LNA の RF コア データ信号....1121
表 13-2. CC13x2 および CC26x2 ピンのマッピング....1124
表 13-3. CC13x2 および CC26x2 の PORTID....1126
表 13-4. AON_IOC レジスタ....1129
表 13-5. AON_IOC のアクセス タイプ コード....1129
表 13-6. IOSTRMIN レジスタのフィールドの説明....1130
表 13-7. IOSTRMED レジスタのフィールドの説明....1131
表 13-8. IOSTRMAX レジスタのフィールドの説明....1132
表 13-9. CLK32KCTL レジスタのフィールドの説明....1133
表 13-10. TCKCTL レジスタ フィールドの説明....1134
表 13-11. GPIO レジスタ....1135
表 13-12. GPIO のアクセス タイプ コード....1135
表 13-13. DOUT3_0 レジスタのフィールドの説明....1137
表 13-14. DOUT7_4 レジスタのフィールドの説明....1138
表 13-15. DOUT11_8 レジスタのフィールドの説明....1139
表 13-16. DOUT15_12 レジスタのフィールドの説明....1140
表 13-17. DOUT19_16 レジスタのフィールドの説明....1141
表 13-18. DOUT23_20 レジスタのフィールドの説明....1142
表 13-19. DOUT27_24 レジスタのフィールドの説明....1143
表 13-20. DOUT31_28 レジスタのフィールドの説明....1144
表 13-21. DOUT31_0 レジスタのフィールドの説明....1145
表 13-22. DOUTSET31_0 レジスタのフィールドの説明....1147
表 13-23. DOUTCLR31_0 レジスタのフィールドの説明....1149
表 13-24. DOUTTGL31_0 レジスタのフィールドの説明....1151
表 13-25. DIN31_0 レジスタのフィールドの説明....1153
表 13-26. DOE31_0 レジスタのフィールドの説明....1155

Copyright © 2026 Texas Instruments Incorporated

表 13-27. EVFLAGS31_0 レジスタのフィールドの説明....1157
表 13-28. IOC レジスタ....1159
表 13-29. IOC のアクセス タイプ コード....1160
表 13-30. IOCFG0 レジスタのフィールドの説明....1161
表 13-31. IOCFG1 レジスタのフィールドの説明....1166
表 13-32. IOCFG2 レジスタのフィールドの説明....1171
表 13-33. IOCFG3 レジスタのフィールドの説明....1176
表 13-34. IOCFG4 レジスタのフィールドの説明....1181
表 13-35. IOCFG5 レジスタのフィールドの説明....1186
表 13-36. IOCFG6 レジスタのフィールドの説明....1191
表 13-37. IOCFG7 レジスタのフィールドの説明....1196
表 13-38. IOCFG8 レジスタのフィールドの説明....1201
表 13-39. IOCFG9 レジスタのフィールドの説明....1206
表 13-40. IOCFG10 レジスタのフィールドの説明....1211
表 13-41. IOCFG11 レジスタのフィールドの説明....1216
表 13-42. IOCFG12 レジスタのフィールドの説明....1221
表 13-43. IOCFG13 レジスタのフィールドの説明....1226
表 13-44. IOCFG14 レジスタのフィールドの説明....1231
表 13-45. IOCFG15 レジスタのフィールドの説明....1236
表 13-46. IOCFG16 レジスタのフィールドの説明....1241
表 13-47. IOCFG17 レジスタのフィールドの説明....1246
表 13-48. IOCFG18 レジスタのフィールドの説明....1251
表 13-49. IOCFG19 レジスタのフィールドの説明....1256
表 13-50. IOCFG20 レジスタのフィールドの説明....1261
表 13-51. IOCFG21 レジスタのフィールドの説明....1266
表 13-52. IOCFG22 レジスタのフィールドの説明....1271
表 13-53. IOCFG23 レジスタのフィールドの説明....1276
表 13-54. IOCFG24 レジスタのフィールドの説明....1281
表 13-55. IOCFG25 レジスタのフィールドの説明....1286
表 13-56. IOCFG26 レジスタのフィールドの説明....1291
表 13-57. IOCFG27 レジスタのフィールドの説明....1296
表 13-58. IOCFG28 レジスタのフィールドの説明....1301
表 13-59. IOCFG29 レジスタのフィールドの説明....1306
表 13-60. IOCFG30 レジスタのフィールドの説明....1311
表 13-61. IOCFG31 レジスタのフィールドの説明....1316
表 14-1. チャネル割り当て....1324
表 14-2. 要求タイプのサポート状況....1325
表 14-3. 制御構造メモリ マップ....1326
表 14-4. チャネル制御構造....1327
表 14-5. µDMA 読み取りの例:8 ビット ペリフェラル....1336
表 14-6. µDMA 割り込みの割り当て....1337
表 14-7. UDMA レジスタ....1340
表 14-8. UDMA のアクセス タイプ コード....1340
表 14-9. STATUS レジスタ フィールドの説明....1342
表 14-10. CFG レジスタ フィールドの説明....1344
表 14-11. CTRL レジスタ フィールドの説明....1345
表 14-12. ALTCTRL レジスタのフィールドの説明....1346
表 14-13. WAITONREQ レジスタのフィールドの説明....1347
表 14-14. SOFTREQ レジスタのフィールドの説明....1348
表 14-15. SETBURST レジスタのフィールドの説明....1349
表 14-16. CLEARBURST レジスタのフィールドの説明....1350
表 14-17. SETREQMASK レジスタのフィールドの説明....1351
表 14-18. CLEARREQMASK レジスタのフィールドの説明....1352
表 14-19. SETCHANNELEN レジスタのフィールドの説明....1353
表 14-20. CLEARCHANNELEN レジスタのフィールドの説明....1354
表 14-21. SETCHNLPRIALT レジスタのフィールドの説明....1355

Copyright © 2026 Texas Instruments Incorporated

表 14-22. CLEARCHNLPRIALT レジスタのフィールドの説明....1356
表 14-23. SETCHNLPRIORITY レジスタのフィールドの説明....1357
表 14-24. CLEARCHNLPRIORITY レジスタのフィールドの説明....1358
表 14-25. ERROR レジスタ フィールドの説明....1359
表 14-26. REQDONE レジスタのフィールドの説明....1360
表 14-27. DONEMASK レジスタのフィールドの説明....1361
表 15-1. 汎用タイマ機能....1365
表 15-2. プリスケーラ付き 16 ビット タイマの構成....1367
表 15-3. 入力エッジカウント モードでタイマが有効である場合のカウンタ値....1367
表 15-4. 入力イベントカウント モードでタイマが有効である場合のカウンタ値....1368
表 15-5. PWM モードでタイマを有効にした際のカウンタ値....1371
表 15-6. GPTM モードのタイムアウト アクション....1374
表 15-7. GPT レジスタ....1380
表 15-8. GPT のアクセス タイプ コード....1381
表 15-9. CFG レジスタのフィールドの説明....1382
表 15-10. TAMR レジスタのフィールドの説明....1383
表 15-11. TBMR レジスタのフィールドの説明....1386
表 15-12. CTL レジスタのフィールドの説明....1389
表 15-13. SYNC レジスタのフィールドの説明....1391
表 15-14. IMR レジスタのフィールドの説明....1392
表 15-15. RIS レジスタのフィールドの説明....1394
表 15-16. MIS レジスタのフィールドの説明....1396
表 15-17. ICLR レジスタのフィールドの説明....1397
表 15-18. TAILR レジスタのフィールドの説明....1398
表 15-19. TBILR レジスタのフィールドの説明....1399
表 15-20. TAMATCHR レジスタのフィールドの説明....1400
表 15-21. TBMATCHR レジスタのフィールドの説明....1401
表 15-22. TAPR レジスタのフィールドの説明....1402
表 15-23. TBPR レジスタのフィールドの説明....1403
表 15-24. TAPMR レジスタのフィールドの説明....1404
表 15-25. TBPMR レジスタのフィールドの説明....1405
表 15-26. TAR レジスタのフィールドの説明....1406
表 15-27. TBR レジスタのフィールドの説明....1407
表 15-28. TAV レジスタのフィールドの説明....1408
表 15-29. TBV レジスタのフィールドの説明....1409
表 15-30. TAPS レジスタのフィールドの説明....1410
表 15-31. TBPS レジスタのフィールドの説明....1411
表 15-32. TAPV レジスタのフィールドの説明....1412
表 15-33. TBPV レジスタのフィールドの説明....1413
表 15-34. DMAEV レジスタのフィールドの説明....1414
表 15-35. VERSION レジスタのフィールドの説明....1415
表 15-36. ANDCCP レジスタのフィールドの説明....1416
表 16-1. AON_RTC レジスタ....1422
表 16-2. AON_RTC アクセス タイプ コード....1422
表 16-3. CTL レジスタ フィールドの説明....1423
表 16-4. EVFLAGS レジスタのフィールドの説明....1425
表 16-5. SEC レジスタ フィールドの説明....1426
表 16-6. SUBSEC レジスタ フィールドの説明....1427
表 16-7. SUBSECINC レジスタのフィールドの説明....1428
表 16-8. CHCTL レジスタ フィールドの説明....1429
表 16-9. CH0CMP レジスタのフィールドの説明....1430
表 16-10. CH1CMP レジスタのフィールドの説明....1431
表 16-11. CH2CMP レジスタのフィールドの説明....1432
表 16-12. CH2CMPINC レジスタのフィールドの説明....1433
表 16-13. CH1CAPT レジスタのフィールドの説明....1434
表 16-14. SYNC レジスタ フィールドの説明....1435

Copyright © 2026 Texas Instruments Incorporated

表 16-15. TIME レジスタ フィールドの説明 1436
表 16-16. SYNCLF レジスタ フィールドの説明 1437
表 17-1. WDT レジスタ 1441
表 17-2. WDT のアクセス タイプ コード 1441
表 17-3. LOAD レジスタのフィールドの説明 1442
表 17-4. VALUE レジスタのフィールドの説明 1443
表 17-5. CTL レジスタのフィールドの説明 1444
表 17-6. ICR レジスタのフィールドの説明 1445
表 17-7. RIS レジスタのフィールドの説明 1446
表 17-8. MIS レジスタのフィールドの説明 1447
表 17-9. TEST レジスタのフィールドの説明 1448
表 17-10. INT_CAUS レジスタのフィールドの説明 1449
表 17-11. LOCK レジスタのフィールドの説明 1450
表 18-1. イベント 1453
表 18-2. 周辺モジュールの初期化 1456
表 18-3. TRNG の初期化シーケンス 1456
表 18-4. TRNG 割り込みモード 1458
表 18-5. TRNG レジスタ 1459
表 18-6. TRNG のアクセス タイプ コード 1460
表 18-7. OUT0 レジスタのフィールドの説明 1461
表 18-8. OUT1 レジスタのフィールドの説明 1462
表 18-9. IRQFLAGSTAT レジスタのフィールドの説明 1463
表 18-10. IRQFLAGMASK レジスタのフィールドの説明 1464
表 18-11. IRQFLAGCLR レジスタのフィールドの説明 1465
表 18-12. CTL レジスタ フィールドの説明 1466
表 18-13. CFG0 レジスタのフィールドの説明 1468
表 18-14. ALARMCNT レジスタのフィールドの説明 1470
表 18-15. FROEN レジスタ フィールドの説明 1471
表 18-16. FRODETUNE レジスタのフィールドの説明 1472
表 18-17. ALARMMASK レジスタのフィールドの説明 1473
表 18-18. ALARMSTOP レジスタのフィールドの説明 1474
表 18-19. LFSR0 レジスタのフィールドの説明 1475
表 18-20. LFSR1 レジスタのフィールドの説明 1476
表 18-21. LFSR2 レジスタのフィールドの説明 1477
表 18-22. HWOPT レジスタ フィールドの説明 1478
表 18-23. HWVER0 レジスタのフィールドの説明 1479
表 18-24. IRQSTATMASK レジスタのフィールドの説明 1480
表 18-25. HWVER1 レジスタのフィールドの説明 1481
表 18-26. IRQSET レジスタ フィールドの説明 1482
表 18-27. SWRESET レジスタのフィールドの説明 1483
表 18-28. IRQSTAT レジスタのフィールドの説明 1484
表 19-1. AUX 動作モード 1489
表 19-2. AUX 動作クロック レート 1490
表 19-3. タスク テストとタスク デバッグ 1495
表 19-4. メモリ ワード アクセス 1498
表 19-5. I/O ワード アクセス 1499
表 19-6. I/O ビット アクセス 1499
表 19-7. レジスタ アクセス 1499
表 19-8. 論理演算 1499
表 19-9. 算術演算 1500
表 19-10. シフト演算 1500
表 19-11. プログラム フロー制御 1500
表 19-12. プログラム フローの条件 1501
表 19-13. ループ フロー制御 1501
表 19-14. パワー マネージメント 1501
表 19-15. その他 1502

Copyright © 2026 Texas Instruments Incorporated

表 19-16. SCE イベント インターフェイス 1502
表 19-17. ウェークアップ イベント インターフェイス 1507
表 19-18. ウェークアップ ベクトル優先度 1507
表 19-19. デジタル ペリフェラル 1510
表 19-20. AUX I/O 制御 1511
表 19-21. セマフォ リソース アロケーション 1513
表 19-22. TDC カウンタ クロック ソース 1521
表 19-23. TDC リファレンス クロック ソース 1521
表 19-24. 位相幅のタイミング要件 1523
表 19-25. 周波数測定のタイミング要件 1523
表 19-26. 任意の時間測定 1 1524
表 19-27. 任意の時間測定 2 1525
表 19-28. 任意時間測定 3 1526
表 19-29. 任意の時間測定 4 1527
表 19-30. チャネル アクション 1532
表 19-31. アナログ ペリフェラル 1539
表 19-32. ADC クロック ソース 1543
表 19-33. AUX イベント バス 1556
表 19-34. AUX イベント サブスクライバ 1557
表 19-35. 非同期イベント検出 1557
表 19-36. MCU へのイベント 1559
表 19-37. AON へのイベント 1561
表 19-38. エイリアス レジスタ マッピング 1562
表 19-39. AUX ドメイン センサ コントローラおよびペリフェラル レジスタ 1567
表 19-40. ADI_4_AUX のレジスタ 1568
表 19-41. ADI_4_AUX のアクセス タイプ コード 1568
表 19-42. MUX0 レジスタのフィールドの説明 1569
表 19-43. MUX1 レジスタのフィールドの説明 1570
表 19-44. MUX2 レジスタのフィールドの説明 1571
表 19-45. MUX3 レジスタのフィールドの説明 1572
表 19-46. ISRC レジスタ フィールドの説明 1573
表 19-47. COMP レジスタ フィールドの説明 1574
表 19-48. MUX4 レジスタのフィールドの説明 1575
表 19-49. ADC0 レジスタのフィールドの説明 1576
表 19-50. ADC1 レジスタのフィールドの説明 1577
表 19-51. ADCREF0 レジスタのフィールドの説明 1578
表 19-52. ADCREF1 レジスタのフィールドの説明 1579
表 19-53. LPMBIAS レジスタのフィールドの説明 1580
表 19-54. AUX_AIODIO レジスタ 1581
表 19-55. AUX_AIODIO アクセス タイプ コード 1581
表 19-56. IOMODE レジスタのフィールドの説明 1583
表 19-57. GPIODIE レジスタのフィールドの説明 1591
表 19-58. IOPOE レジスタのフィールドの説明 1592
表 19-59. GPIODOUT レジスタのフィールドの説明 1593
表 19-60. GPIODIN レジスタのフィールドの説明 1594
表 19-61. GPIODOUTSET レジスタのフィールドの説明 1595
表 19-62. GPIODOUTCLR レジスタのフィールドの説明 1596
表 19-63. GPIODOUTTGL レジスタのフィールドの説明 1597
表 19-64. IO0PSEL レジスタのフィールドの説明 1598
表 19-65. IO1PSEL レジスタのフィールドの説明 1599
表 19-66. IO2PSEL レジスタのフィールドの説明 1600
表 19-67. IO3PSEL レジスタのフィールドの説明 1601
表 19-68. IO4PSEL レジスタのフィールドの説明 1602
表 19-69. IO5PSEL レジスタのフィールドの説明 1603
表 19-70. IO6PSEL レジスタのフィールドの説明 1604
表 19-71. IO7PSEL レジスタのフィールドの説明 1605

Copyright © 2026 Texas Instruments Incorporated

表 19-72. IOMODEL レジスタのフィールドの説明 1606
表 19-73. IOMODEH レジスタのフィールドの説明 1607
表 19-74. AUX_EVCTL レジスタ 1608
表 19-75. AUX_EVCTL アクセス タイプ コード 1609
表 19-76. EVSTAT0 レジスタのフィールドの説明 1610
表 19-77. EVSTAT1 レジスタのフィールドの説明 1612
表 19-78. EVSTAT2 レジスタのフィールドの説明 1614
表 19-79. EVSTAT3 レジスタのフィールドの説明 1616
表 19-80. SCEWEVCFG0 レジスタのフィールドの説明 1618
表 19-81. SCEWEVCFG1 レジスタのフィールドの説明 1621
表 19-82. DMACTL レジスタのフィールドの説明 1624
表 19-83. SWEVSET レジスタのフィールドの説明 1625
表 19-84. EVTOAONFLAGS レジスタのフィールドの説明 1626
表 19-85. EVTOAONPOL レジスタのフィールドの説明 1628
表 19-86. EVTOAONFLAGSCLR レジスタのフィールドの説明 1629
表 19-87. EVTOMCUFLAGS レジスタのフィールドの説明 1630
表 19-88. EVTOMCUPOL レジスタのフィールドの説明 1632
表 19-89. EVTOMCUFLAGSCLR レジスタのフィールドの説明 1634
表 19-90. COMBEVTOMCUMASK レジスタのフィールドの説明 1636
表 19-91. EVOBSCFG レジスタのフィールドの説明 1638
表 19-92. PROGDLY レジスタのフィールドの説明 1641
表 19-93. MANUAL レジスタのフィールドの説明 1642
表 19-94. EVSTAT0L レジスタのフィールドの説明 1643
表 19-95. EVSTAT0H レジスタのフィールドの説明 1644
表 19-96. EVSTAT1L レジスタのフィールドの説明 1645
表 19-97. EVSTAT1H レジスタのフィールドの説明 1646
表 19-98. EVSTAT2L レジスタのフィールドの説明 1647
表 19-99. EVSTAT2H レジスタのフィールドの説明 1648
表 19-100. EVSTAT3L レジスタのフィールドの説明 1649
表 19-101. EVSTAT3H レジスタのフィールドの説明 1650
表 19-102. AUX_SMPH レジスタ 1651
表 19-103. AUX_SMPH アクセス タイプ コード 1651
表 19-104. SMPH0 レジスタのフィールドの説明 1652
表 19-105. SMPH1 レジスタのフィールドの説明 1653
表 19-106. SMPH2 レジスタのフィールドの説明 1654
表 19-107. SMPH3 レジスタのフィールドの説明 1655
表 19-108. SMPH4 レジスタのフィールドの説明 1656
表 19-109. SMPH5 レジスタのフィールドの説明 1657
表 19-110. SMPH6 レジスタのフィールドの説明 1658
表 19-111. SMPH7 レジスタのフィールドの説明 1659
表 19-112. AUTOTAKE レジスタのフィールドの説明 1660
表 19-113. AUX_TDC レジスタ 1661
表 19-114. AUX_TDC アクセス タイプ コード 1661
表 19-115. CTL レジスタ フィールドの説明 1662
表 19-116. STAT レジスタ フィールドの説明 1663
表 19-117. RESULT レジスタ フィールドの説明 1665
表 19-118. SATCFG レジスタ フィールドの説明 1666
表 19-119. TRIGSRC レジスタのフィールドの説明 1667
表 19-120. TRIGCNT レジスタのフィールドの説明 1672
表 19-121. TRIGCNTLOAD レジスタのフィールドの説明 1673
表 19-122. TRIGCNTCFG レジスタのフィールドの説明 1674
表 19-123. PRECTL レジスタ フィールドの説明 1675
表 19-124. PRECNTR レジスタのフィールドの説明 1678
表 19-125. AUX_TIMER01 のレジスタ 1679
表 19-126. AUX_TIMER01 のアクセス タイプ コード 1679
表 19-127. T0CFG レジスタのフィールドの説明 1680

Copyright © 2026 Texas Instruments Incorporated

表 19-128. T0CTL レジスタのフィールドの説明 1683
表 19-129. T0TARGET レジスタのフィールドの説明 1684
表 19-130. T0CNTR レジスタのフィールドの説明 1685
表 19-131. T1CFG レジスタのフィールドの説明 1686
表 19-132. T1CTL レジスタのフィールドの説明 1689
表 19-133. T1TARGET レジスタのフィールドの説明 1690
表 19-134. T1CNTR レジスタのフィールドの説明 1691
表 19-135. AUX_TIMER2 のレジスタ 1692
表 19-136. AUX_TIMER2 のアクセス タイプ コード 1693
表 19-137. CTL レジスタ フィールドの説明 1694
表 19-138. TARGET レジスタ フィールドの説明 1696
表 19-139. SHDWTARGET レジスタのフィールドの説明 1697
表 19-140. CNTR レジスタ フィールドの説明 1698
表 19-141. PRECFG レジスタ フィールドの説明 1699
表 19-142. EVCTL レジスタ フィールドの説明 1700
表 19-143. PULSETRIG レジスタのフィールドの説明 1701
表 19-144. CH0EVCFG レジスタのフィールドの説明 1702
表 19-145. CH0CCFG レジスタのフィールドの説明 1706
表 19-146. CH0PCC レジスタのフィールドの説明 1709
表 19-147. CH0CC レジスタのフィールドの説明 1710
表 19-148. CH1EVCFG レジスタのフィールドの説明 1711
表 19-149. CH1CCFG レジスタのフィールドの説明 1715
表 19-150. CH1PCC レジスタのフィールドの説明 1718
表 19-151. CH1CC レジスタのフィールドの説明 1719
表 19-152. CH2EVCFG レジスタのフィールドの説明 1720
表 19-153. CH2CCFG レジスタのフィールドの説明 1724
表 19-154. CH2PCC レジスタのフィールドの説明 1727
表 19-155. CH2CC レジスタのフィールドの説明 1728
表 19-156. CH3EVCFG レジスタのフィールドの説明 1729
表 19-157. CH3CCFG レジスタのフィールドの説明 1733
表 19-158. CH3PCC レジスタのフィールドの説明 1736
表 19-159. CH3CC レジスタのフィールドの説明 1737
表 19-160. AUX_ANAIF レジスタ 1738
表 19-161. AUX_ANAIF アクセス タイプ コード 1738
表 19-162. ADCCTL レジスタのフィールドの説明 1739
表 19-163. ADCFIFOSTAT レジスタのフィールドの説明 1742
表 19-164. ADCFIFO レジスタのフィールドの説明 1744
表 19-165. ADCTRIG レジスタのフィールドの説明 1745
表 19-166. ISRCCTL レジスタのフィールドの説明 1746
表 19-167. DACCTL レジスタのフィールドの説明 1747
表 19-168. LPMBIASCTL レジスタのフィールドの説明 1749
表 19-169. DACSMPLCTL レジスタのフィールドの説明 1750
表 19-170. DACSMPLCFG0 レジスタのフィールドの説明 1751
表 19-171. DACSMPLCFG1 レジスタのフィールドの説明 1752
表 19-172. DACVALUE レジスタのフィールドの説明 1754
表 19-173. DACSTAT レジスタのフィールドの説明 1755
表 19-174. AUX_SYSIF レジスタ 1756
表 19-175. AUX_SYSIF アクセス タイプ コード 1757
表 19-176. OPMODEREQ レジスタのフィールドの説明 1759
表 19-177. OPMODEACK レジスタのフィールドの説明 1761
表 19-178. PROGWU0CFG レジスタのフィールドの説明 1762
表 19-179. PROGWU1CFG レジスタのフィールドの説明 1765
表 19-180. PROGWU2CFG レジスタのフィールドの説明 1768
表 19-181. PROGWU3CFG レジスタのフィールドの説明 1771
表 19-182. SWWUTRIG レジスタのフィールドの説明 1774
表 19-183. WUFLAGS レジスタのフィールドの説明 1775

Copyright © 2026 Texas Instruments Incorporated

表 19-184. WUFLAGSCLR レジスタのフィールドの説明....1777
表 19-185. WUGATE レジスタ フィールドの説明....1779
表 19-186. VECCFG0 レジスタのフィールドの説明....1780
表 19-187. VECCFG1 レジスタのフィールドの説明....1781
表 19-188. VECCFG2 レジスタのフィールドの説明....1782
表 19-189. VECCFG3 レジスタのフィールドの説明....1783
表 19-190. VECCFG4 レジスタのフィールドの説明....1784
表 19-191. VECCFG5 レジスタのフィールドの説明....1785
表 19-192. VECCFG6 レジスタのフィールドの説明....1786
表 19-193. VECCFG7 レジスタのフィールドの説明....1787
表 19-194. EVSYNCRATE レジスタのフィールドの説明....1788
表 19-195. PEROPRATE レジスタのフィールドの説明....1789
表 19-196. ADCCLKCTL レジスタのフィールドの説明....1790
表 19-197. TDCCLKCTL レジスタのフィールドの説明....1791
表 19-198. TDCREFCLKCTL レジスタのフィールドの説明....1792
表 19-199. TIMER2CLKCTL レジスタのフィールドの説明....1793
表 19-200. TIMER2CLKSTAT レジスタのフィールドの説明....1794
表 19-201. TIMER2CLKSWITCH レジスタのフィールドの説明....1795
表 19-202. TIMER2DBGCTL レジスタのフィールドの説明....1796
表 19-203. CLKSHIFTDET レジスタのフィールドの説明....1797
表 19-204. RECHARGETRIG レジスタのフィールドの説明....1798
表 19-205. RECHARGEDET レジスタのフィールドの説明....1799
表 19-206. RTCSUBSECINC0 レジスタのフィールドの説明....1800
表 19-207. RTCSUBSECINC1 レジスタのフィールドの説明....1801
表 19-208. RTCSUBSECINCCTL レジスタのフィールドの説明....1802
表 19-209. RTCSEC レジスタ フィールドの説明....1803
表 19-210. RTCSUBSEC レジスタのフィールドの説明....1804
表 19-211. RTCEVCLR レジスタのフィールドの説明....1805
表 19-212. BATMONBAT レジスタのフィールドの説明....1806
表 19-213. BATMONTEMP レジスタのフィールドの説明....1807
表 19-214. TIMERHALT レジスタのフィールドの説明....1808
表 19-215. TIMER2BRIDGE レジスタのフィールドの説明....1809
表 19-216. SWPWRPROF レジスタのフィールドの説明....1810
表 19-217. AUX_SPIM レジスタ....1811
表 19-218. AUX_SPIM のアクセス タイプ コード....1811
表 19-219. SPIMCFG レジスタのフィールドの説明....1812
表 19-220. MISOCFG レジスタのフィールドの説明....1813
表 19-221. MOSICTL レジスタのフィールドの説明....1814
表 19-222. TX8 レジスタのフィールドの説明....1815
表 19-223. TX16 レジスタのフィールドの説明....1816
表 19-224. RX8 レジスタのフィールドの説明....1817
表 19-225. RX16 レジスタのフィールドの説明....1818
表 19-226. SCLKIDLE レジスタのフィールドの説明....1819
表 19-227. DATAIDLE レジスタのフィールドの説明....1820
表 19-228. AUX_MAC レジスタ....1821
表 19-229. AUX_MAC アクセス タイプ コード....1822
表 19-230. OP0S レジスタのフィールドの説明....1823
表 19-231. OP0U レジスタのフィールドの説明....1824
表 19-232. OP1SMUL レジスタのフィールドの説明....1825
表 19-233. OP1UMUL レジスタのフィールドの説明....1826
表 19-234. OP1SMAC レジスタのフィールドの説明....1827
表 19-235. OP1UMAC レジスタのフィールドの説明....1828
表 19-236. OP1SADD16 レジスタのフィールドの説明....1829
表 19-237. OP1UADD16 レジスタのフィールドの説明....1830
表 19-238. OP1SADD32 レジスタのフィールドの説明....1831
表 19-239. OP1UADD32 レジスタのフィールドの説明....1832

Copyright © 2026 Texas Instruments Incorporated

表 19-240. CLZ レジスタ フィールドの説明 1833
表 19-241. CLS レジスタ フィールドの説明 1834
表 19-242. ACCSHIFT レジスタのフィールドの説明 1835
表 19-243. ACCRESET レジスタのフィールドの説明 1836
表 19-244. ACC15_0 レジスタのフィールドの説明 1837
表 19-245. ACC16_1 レジスタのフィールドの説明 1838
表 19-246. ACC17_2 レジスタのフィールドの説明 1839
表 19-247. ACC18_3 レジスタのフィールドの説明 1840
表 19-248. ACC19_4 レジスタのフィールドの説明 1841
表 19-249. ACC20_5 レジスタのフィールドの説明 1842
表 19-250. ACC21_6 レジスタのフィールドの説明 1843
表 19-251. ACC22_7 レジスタのフィールドの説明 1844
表 19-252. ACC23_8 レジスタのフィールドの説明 1845
表 19-253. ACC24_9 レジスタのフィールドの説明 1846
表 19-254. ACC25_10 レジスタのフィールドの説明 1847
表 19-255. ACC26_11 レジスタのフィールドの説明 1848
表 19-256. ACC27_12 レジスタのフィールドの説明 1849
表 19-257. ACC28_13 レジスタのフィールドの説明 1850
表 19-258. ACC29_14 レジスタのフィールドの説明 1851
表 19-259. ACC30_15 レジスタのフィールドの説明 1852
表 19-260. ACC31_16 レジスタのフィールドの説明 1853
表 19-261. ACC32_17 レジスタのフィールドの説明 1854
表 19-262. ACC33_18 レジスタのフィールドの説明 1855
表 19-263. ACC34_19 レジスタのフィールドの説明 1856
表 19-264. ACC35_20 レジスタのフィールドの説明 1857
表 19-265. ACC36_21 レジスタのフィールドの説明 1858
表 19-266. ACC37_22 レジスタのフィールドの説明 1859
表 19-267. ACC38_23 レジスタのフィールドの説明 1860
表 19-268. ACC39_24 レジスタのフィールドの説明 1861
表 19-269. ACC39_32 レジスタのフィールドの説明 1862
表 19-270. AUX_SCE レジスタ 1863
表 19-271. AUX_SCE アクセス タイプ コード 1863
表 19-272. CTL レジスタ フィールドの説明 1864
表 19-273. FETCHSTAT レジスタ フィールドの説明 1865
表 19-274. CPUSTAT レジスタのフィールドの説明 1866
表 19-275. WUSTAT レジスタ フィールドの説明 1867
表 19-276. REG1_0 レジスタのフィールドの説明 1868
表 19-277. REG3_2 レジスタのフィールドの説明 1869
表 19-278. REG5_4 レジスタのフィールドの説明 1870
表 19-279. REG7_6 レジスタのフィールドの説明 1871
表 19-280. LOOPADDR レジスタのフィールドの説明 1872
表 19-281. LOOPCNT レジスタのフィールドの説明 1873
表 20-1. AON_BATMON レジスタ 1876
表 20-2. AON_BATMON のアクセス タイプ コード 1876
表 20-3. CTL レジスタ フィールドの説明 1878
表 20-4. MEASCFG レジスタのフィールドの説明 1879
表 20-5. TEMPP0 レジスタのフィールドの説明 1880
表 20-6. TEMPP1 レジスタのフィールドの説明 1881
表 20-7. TEMPP2 レジスタのフィールドの説明 1882
表 20-8. BATMONP0 レジスタのフィールドの説明 1883
表 20-9. BATMONP1 レジスタのフィールドの説明 1884
表 20-10. IOSTRP0 レジスタのフィールドの説明 1885
表 20-11. FLASHPUMPP0 レジスタのフィールドの説明 1886
表 20-12. BAT レジスタ フィールドの説明 1887
表 20-13. BATUPD レジスタ フィールドの説明 1888
表 20-14. TEMP レジスタ フィールドの説明 1889

Copyright © 2026 Texas Instruments Incorporated

表 20-15. TEMPUPD レジスタのフィールドの説明 1890
表 20-16. EVENTMASK レジスタのフィールドの説明 1891
表 20-17. EVENT レジスタ フィールドの説明 1892
表 20-18. BATTUL レジスタ フィールドの説明 1893
表 20-19. BATTLL レジスタ フィールドの説明 1894
表 20-20. TEMPUL レジスタ フィールドの説明 1895
表 20-21. TEMPLL レジスタ フィールドの説明 1896
表 21-1. UART の信号 1899
表 21-2. フロー制御モード 1902
表 21-3. UART レジスタ 1909
表 21-4. UART のアクセス タイプ コード 1909
表 21-5. DR レジスタのフィールドの説明 1910
表 21-6. RSR レジスタのフィールドの説明 1912
表 21-7. ECR レジスタのフィールドの説明 1913
表 21-8. FR レジスタのフィールドの説明 1914
表 21-9. IBRD レジスタのフィールドの説明 1916
表 21-10. FBRD レジスタのフィールドの説明 1917
表 21-11. LCRH レジスタのフィールドの説明 1918
表 21-12. CTL レジスタのフィールドの説明 1920
表 21-13. IFLS レジスタのフィールドの説明 1922
表 21-14. IMSC レジスタのフィールドの説明 1923
表 21-15. RIS レジスタのフィールドの説明 1925
表 21-16. MIS レジスタのフィールドの説明 1927
表 21-17. ICR レジスタのフィールドの説明 1929
表 21-18. DMACTL レジスタのフィールドの説明 1931
表 22-1. SSI の信号 1935
表 22-2. SSI レジスタ 1947
表 22-3. SSI のアクセス タイプ コード 1947
表 22-4. CR0 レジスタのフィールドの説明 1948
表 22-5. CR1 レジスタのフィールドの説明 1950
表 22-6. DR レジスタ フィールドの説明 1951
表 22-7. SR レジスタ フィールドの説明 1952
表 22-8. CPSR レジスタ フィールドの説明 1953
表 22-9. IMSC レジスタ フィールドの説明 1954
表 22-10. RIS レジスタ フィールドの説明 1955
表 22-11. MIS レジスタ フィールドの説明 1956
表 22-12. ICR レジスタ フィールドの説明 1957
表 22-13. DMACR レジスタ フィールドの説明 1958
表 23-1. I^2C マスタ タイマ期間と速度モードとの関係の例 1964
表 23-2. I2C のレジスタ 1974
表 23-3. I2C のアクセス タイプ コード 1974
表 23-4. SOAR レジスタ フィールドの説明 1976
表 23-5. SSTAT レジスタ フィールドの説明 1977
表 23-6. SCTL レジスタ フィールドの説明 1978
表 23-7. SDR レジスタ フィールドの説明 1979
表 23-8. SIMR レジスタ フィールドの説明 1980
表 23-9. SRIS レジスタ フィールドの説明 1981
表 23-10. SMIS レジスタ フィールドの説明 1982
表 23-11. SICR レジスタ フィールドの説明 1983
表 23-12. MSA レジスタ フィールドの説明 1984
表 23-13. MSTAT レジスタ フィールドの説明 1985
表 23-14. MCTRL レジスタ フィールドの説明 1987
表 23-15. MDR レジスタ フィールドの説明 1989
表 23-16. MTPR レジスタ フィールドの説明 1990
表 23-17. MIMR レジスタ フィールドの説明 1991
表 23-18. MRIS レジスタ フィールドの説明 1992

Copyright © 2026 Texas Instruments Incorporated

表 23-19. MMIS レジスタ フィールドの説明 1993
表 23-20. MICR レジスタ フィールドの説明 1994
表 23-21. MCR レジスタ フィールドの説明 1995
表 24-1. シリアル オーディオ ピン インターフェイス 1999
表 24-2. I2S のレジスタ 2013
表 24-3. I2S のアクセス タイプ コード 2014
表 24-4. AIFWCLKSRC レジスタのフィールドの説明 2015
表 24-5. AIFDMACFG レジスタのフィールドの説明 2016
表 24-6. AIFDIRCFG レジスタのフィールドの説明 2017
表 24-7. AIFFMTCFG レジスタのフィールドの説明 2018
表 24-8. AIFWMASK0 レジスタのフィールドの説明 2019
表 24-9. AIFWMASK1 レジスタのフィールドの説明 2020
表 24-10. AIFPWMVALUE レジスタのフィールドの説明 2021
表 24-11. AIFINPTRNEXT レジスタのフィールドの説明 2022
表 24-12. AIFINPTR レジスタのフィールドの説明 2023
表 24-13. AIFOUTPTRNEXT レジスタのフィールドの説明 2024
表 24-14. AIFOUTPTR レジスタのフィールドの説明 2025
表 24-15. STMPCTL レジスタのフィールドの説明 2026
表 24-16. STMPXCNTCAPT0 レジスタのフィールドの説明 2027
表 24-17. STMPXPER レジスタのフィールドの説明 2028
表 24-18. STMPWCNTCAPT0 レジスタのフィールドの説明 2029
表 24-19. STMPWPER レジスタのフィールドの説明 2030
表 24-20. STMPINTRIG レジスタのフィールドの説明 2031
表 24-21. STMPOUTTRIG レジスタのフィールドの説明 2032
表 24-22. STMPWSET レジスタのフィールドの説明 2033
表 24-23. STMPWADD レジスタのフィールドの説明 2034
表 24-24. STMPXPERMIN レジスタのフィールドの説明 2035
表 24-25. STMPWCNT レジスタのフィールドの説明 2036
表 24-26. STMPXCNT レジスタのフィールドの説明 2037
表 24-27. STMPXCNTCAPT1 レジスタのフィールドの説明 2038
表 24-28. STMPWCNTCAPT1 レジスタのフィールドの説明 2039
表 24-29. IRQMASK レジスタのフィールドの説明 2040
表 24-30. IRQFLAGS レジスタのフィールドの説明 2041
表 24-31. IRQSET レジスタ フィールドの説明 2043
表 24-32. IRQCLR レジスタ フィールドの説明 2044
表 25-1. ブート プロセスの一部として選択された機能を有効化するための RFCBITS の形式 2048
表 25-2. CMDSTA レジスタの結果バイトの値 2054
表 25-3. 共通の無線機動作ステータス コード 2055
表 25-4. トリガ定義バイトの形式 2058
表 25-5. サポートされているトリガ タイプ 2058
表 25-6. 外部イベント トリガの時間パラメータのフィールド 2058
表 25-7. 条件バイトの形式 2059
表 25-8. 条件ルール 2060
表 25-9. 無線操作コマンドのフォーマット 2061
表 25-10. データ エントリ キュー構造 2061
表 25-11. 一般データ エントリ構造 2062
表 25-12. ポインタ エントリ構造内のポインタ フィールド 2063
表 25-13. 部分読み取り用 RX エントリのフィールド 2063
表 25-14. 無線操作の終了コマンド 2065
表 25-15. CMD_RADIO_SETUP コマンド フォーマット 2066
表 25-16. ハードウェア レジスタ オーバーライド エントリのフォーマット 2067
表 25-17. 配列イニシエータのフォーマット 2067
表 25-18. ADI レジスタ オーバーライド エントリのフォーマット 2069
表 25-19. ファームウェア定義パラメータ オーバーライド エントリのフォーマット 2069
表 25-20. MCE/RFE オーバーライド モード エントリのフォーマット 2069
表 25-21. 中心周波数エントリのフォーマット 2070

Copyright © 2026 Texas Instruments Incorporated

表 25-22. 20dBm PA TX 出力エントリ....2070
表 25-23. End of List エントリのフォーマット....2070
表 25-24. CMD_FS_POWERUP コマンドの形式....2072
表 25-25. CMD_FS コマンドの形式....2073
表 25-26. CMD_RX_TEST コマンドのフォーマット....2074
表 25-27. CMD_TX_TEST コマンド フォーマット....2075
表 25-28. CMD_SYNC_STOP_RAT コマンド フォーマット....2076
表 25-29. CMD_SYNC_START_RAT コマンドの形式....2076
表 25-30. CMD_COUNT コマンドの形式....2077
表 25-31. CMD_COUNT の追加の終了要因....2077
表 25-32. CMD_SCH_IMM コマンドの形式....2077
表 25-33. CMD_SCH_IMM の終了ステータス....2078
表 25-34. CMD_COUNT_BRANCH コマンドの形式....2078
表 25-35. CMD_COUNT_BRANCH の追加の終了原因....2078
表 25-36. CMD_PATTERN_CHECK コマンドの形式....2079
表 25-37. CMD_PATTERN_CHECK のその他の終了原因....2080
表 25-38. CMD_UPDATE_RADIO_SETUP コマンドの形式....2081
表 25-39. CMD_TRIGGER コマンドの書式....2081
表 25-40. CMD_GET_FW_INFO コマンドの形式....2082
表 25-41. CMD_READ_RFREG コマンドの形式....2083
表 25-42. CMD_SET_RAT_CMP コマンドの形式....2083
表 25-43. CMD_SET_RAT_CPT コマンドの形式....2084
表 25-44. CMD_DISABLE_RAT_CH コマンドの形式....2084
表 25-45. CMD_SET_RAT_OUTPUT コマンドの形式....2086
表 25-46. CMD_ARM_RAT_CH コマンド形式....2086
表 25-47. CMD_DISARM_RAT_CH コマンドの形式....2088
表 25-48. CMD_SET_TX_POWER コマンドの形式....2088
表 25-49. CMD_SET_TX20_POWER コマンドの形式....2090
表 25-50. CMD_UPDATE_FS コマンドの形式....2090
表 25-51. CMD_MODIFY_FS コマンドの形式....2091
表 25-52. CMD_BUS_REQUEST コマンドのフォーマット....2091
表 25-53. CMD_ADD_DATA_ENTRY コマンドの形式....2092
表 25-54. CMD_REMOVE_DATA_ENTRY コマンドの形式....2092
表 25-55. CMD_FLUSH_QUEUE コマンドの形式....2093
表 25-56. CMD_CLEAR_RX コマンド フォーマット....2093
表 25-57. CMD_REMOVE_PENDING_ENTRIES コマンドの形式....2094
表 25-58. バックグラウンド レベルでの IEEE 802.15.4 無線機動作コマンド....2099
表 25-59. フォアグラウンド レベルでの IEEE 802.15.4 無線機動作コマンド....2099
表 25-60. フォアグラウンド レベルでの共通無線機動作コマンド....2099
表 25-61. IEEE 802.15.4 の即時コマンド....2099
表 25-62. IEEE 802.15.4 RX コマンド構造....2100
表 25-63. IEEE 802.15.4 エネルギー検出スキャン コマンド構造....2100
表 25-64. IEEE 802.15.4 CSMA-CA コマンド構造....2101
表 25-65. IEEE 802.15.4 TX コマンド構造....2101
表 25-66. IEEE 802.15.4 受信 ACK コマンドの構造....2101
表 25-67. IEEE 802.15.4 CCA 即時コマンド構造の変更....2103
表 25-68. IEEE 802.15.4 フレーム フィルタリング変更即時コマンド構造....2103
表 25-69. IEEE 802.15.4 ソース マッチング エントリ有効化または無効化即時コマンド構造....2103
表 25-70. IEEE 802.15.4 CCA 状態要求即時コマンド構造....2104
表 25-71. RX コマンド....2104
表 25-72. 受信キュー エントリ構成ビット フィールド....2105
表 25-73. CCA 構成ビット フィールド....2105
表 25-74. フレーム フィルタリング構成ビット フィールド....2106
表 25-75. フレーム タイプ フィルタリング ビット フィールド....2106
表 25-76. ショート アドレス エントリ構造....2108

Copyright © 2026 Texas Instruments Incorporated

表 25-77. 拡張アドレス リスト構造 2108
表 25-78. ショート アドレス リスト構造 2108
表 25-79. 受信相関 / CRC 結果ビット フィールド 2108
表 25-80. IEEE 802.15.4 に適用可能な割り込みの定義 2109
表 25-81. フォアグラウンド レベルの動作とバックグラウンド レベルの動作で許可されている組み合わせ 2111
表 25-82. IEEE 802.15.4 無線動作ステータス コード 2112
表 25-83. RX 動作のカウンタ インクリメントおよび割り込み発生の条件 2115
表 25-84. 受信動作の終了 2117
表 25-85. CSMA-CA 動作の終了 2122
表 25-86. 送信動作の終了 2123
表 25-87. 受信 ACK 動作の終了 2124
表 25-88. バックグラウンド レベル動作の ABORT 完了 2124
表 25-89. 従来の Bluetooth® Low Energy 無線動作コマンド 2126
表 25-90. Bluetooth® Low Energy 5 無線動作コマンド 2127
表 25-91. Bluetooth® Low Energy 即時コマンド 2127
表 25-92. 従来の Bluetooth® Low Energy 無線操作コマンド構造 (1) 2127
表 25-93. Bluetooth® Low Energy 5 無線操作コマンド構造 (1) 2128
表 25-94. Bluetooth® Low Energy 5 無線セットアップコマンド構造 (1) 2129
表 25-95. アドバタイズ ペイロード コマンドを更新 (1) 2130
表 25-96. 従来のスレーブ コマンド (1) 2130
表 25-97. 従来のマスタ コマンド (1) 2131
表 25-98. 従来のアドバタイザ コマンド (1) 2131
表 25-99. 従来のスキャナ コマンド (1) 2133
表 25-100. 従来のイニシエータ コマンド (1) 2134
表 25-101. 汎用 RX コマンド (1) 2135
表 25-102. TX テスト コマンド (1) 2135
表 25-103. Bluetooth® 5 スレーブ コマンド (1) 2137
表 25-104. Bluetooth® 5 マスタ コマンド (1) 2137
表 25-105. 拡張アドバタイザ コマンド (1) 2138
表 25-106. セカンダリ チャネル アドバタイザ コマンド (1) 2138
表 25-107. Bluetooth® 5 スキャナ コマンド (1) 2139
表 25-108. Bluetooth® 5 イニシエータ コマンド (1) 2142
表 25-109. マスタ コマンドおよびスレーブ コマンド 2143
表 25-110. アドバタイザ コマンド 2143
表 25-111. レガシー スキャナ コマンド 2144
表 25-112. レガシー イニシエータ コマンド 2144
表 25-113. Bluetooth®Low Energy 5 スキャナおよびイニシエータ コマンド 2144
表 25-114. 汎用 RX コマンド 2145
表 25-115. TX テスト コマンド 2145
表 25-116. 受信キュー エントリ構成ビット フィールド (1) 2146
表 25-117. シーケンス番号ステータス ビット フィールド (1) 2146
表 25-118. ホワイトリスト構造 2146
表 25-119. 広告データ ID エントリ構造 2147
表 25-120. 従来コマンドの受信ステータス バイト ビット フィールド (1) 2147
表 25-121. Bluetooth® Low Energy 5 コマンド (1) の受信ステータス ワード ビット フィールド 2147
表 25-122. マスタおよびスレーブ パケット ステータス バイト 2148
表 25-123. 共通拡張パケット エントリ フォーマット (1) 2148
表 25-124. Bluetooth® Low Energy に適用される割り込みの定義 2149
表 25-125. Bluetooth® Low Energy 無線の動作ステータス コード 2152
表 25-126. マスタ コマンドとスレーブ コマンドのコーディング選択 2153
表 25-127. アドバタイザ、スキャナ、およびイニシエータ コマンドのコーディング選択 2154
表 25-128. 受信パケットに対するアクション 2154
表 25-129. マスタおよびスレーブ コマンドのカウンタをインクリメントし、割り込みを発生させるための条件 2156
表 25-130. スレーブ動作の終了 2159
表 25-131. マスタ動作の終了 2160

Copyright © 2026 Texas Instruments Incorporated

表 25-132. さまざまなアドバタイザ コマンドの PDU タイプ 2161
表 25-133. アドバタイザの受信パケットに基づいて実行するアクション 2162
表 25-134. 受信パケットに対して実行するアクションの説明 2162
表 25-135. 接続可能な無指向アドバタイザ動作の終了 2164
表 25-136. 指向型アドバタイザ動作の終了 2165
表 25-137. 接続不可能なアドバタイズ動作の終了 2165
表 25-138. スキャン可能な無指向アドバタイザ動作の終了 2166
表 25-139. 拡張アドバタイズ操作の終了 2169
表 25-140. スキャン可能なアドバタイザで受信パケットに基づいて実行するアクション (extHdrInfo.advMode = 2) (1) 2170
表 25-141. 接続可能なアドバタイザで受信パケットに基づいて実行するアクション (extHdrInfo.advMode = 1) (1) 2170
表 25-142. 受信パケットに対して実行するアクションの説明 2170
表 25-143. 2 次チャネル アドバタイザ動作の終了 2171
表 25-144. 受信アドバタイザ アドレスのフィルタリング 2172
表 25-145. ADV_DIRECT_IND パケットの受信イニシエータ アドレスのフィルタリング 2172
表 25-146. スキャナが受信したパケットに対するアクション 2173
表 25-147. スキャナが受信したパケットに対して実行するアクションの説明 2173
表 25-148. SCAN_REQ の送信後にスキャナが受信したパケットに対するアクション 2174
表 25-149. スキャナによる受信した拡張アドバタイザ パケットへの処理 2175
表 25-150. イニシエータが拡張アドバタイザ パケットの受信時に実行するアクションの説明 2175
表 25-151. スキャナによるセカンダリ チャネル受信パケットへの処理 2176
表 25-152. スキャナが受信するセカンダリ チャネルのパケットに対して実行する処理の説明 2176
表 25-153. スキャナ動作の終了 2179
表 25-154. 受信したアドバタイズ アドレスに対するフィルタリング 2180
表 25-155. イニシエータによる受信パケットに対する動作 2180
表 25-156. イニシエータが受信したパケットに対して実行するアクションの説明 2181
表 25-157. イニシエータが拡張アドバタイザ パケットを受信時のアクション 2182
表 25-158. イニシエータが拡張アドバタイザ パケットの受信時に実行するアクションの説明 2182
表 25-159. イニシエータが受信したセカンダリ チャネル パケットに対する処理 2183
表 25-160. イニシエータが受信するセカンダリ チャネルのパケットに対して実行する処理の説明 2183
表 25-161. イニシエータによって受信された AUX_CONNECT_RSP パケットに対するアクション 2183
表 25-162. イニシエータが受信するセカンダリ チャネルのパケットに対して実行する処理の説明 2184
表 25-163. イニシエータ動作の終了 2185
表 25-164. 汎用 RX 動作の終了 2187
表 25-165. サポートされている PHY テスト パケット タイプ 2188
表 25-166. PHY テスト TX 動作の終了 2189
表 25-167. バックオフ パラメータの更新 2190
表 25-168. 独自の無線操作コマンド 2192
表 25-169. 独自の即時コマンド 2193
表 25-170. CMD_PROP_TX コマンドの構造 2193
表 25-171. CMD_PROP_TX_ADV コマンドの構造 2194
表 25-172. CMD_PROP_RX および CMD_PROP_RX_SNIFF コマンドの構造 2195
表 25-173. CMD_PROP_RX_ADV および CMD_PROP_RX_ADV_SNIFF のコマンド構造 2196
表 25-174. CMD_PROP_CS コマンドの構造 2197
表 25-175. CMD_PROP_RADIO_SETUP および CMD_PROP_RADIO_DIV_SETUP コマンドの構造 2197
表 25-176. CMD_PROP_SET_LEN コマンドの構造 2198
表 25-177. 受信コマンド 2199
表 25-178. CMD_PROP_RX_SNIFF 、CMD_PROP_RX_ADV_SNIFF 、および CMD_PROP_CS のキャリア検知フィールド 2200
表 25-179. 受信キュー エントリ構成ビット フィールド (1) 2200
表 25-180. 受信ステータス バイトのビット フィールド (1) 2200
表 25-181. 割り込み定義 2201
表 25-182. 独自の無線動作ステータス コード 2204
表 25-183. レシーバの帯域幅設定 2206

Copyright © 2026 Texas Instruments Incorporated

表 25-184. 無線の CMD_PROP_TX および CMD_PROP_TX_ADV コマンドの終了 2209
表 25-185. 受信パケットの割り込み、カウンタ、結果フィールド (1) 2211
表 25-186. 無線 CMD_PROP_RX および CMD_PROP_RX_ADV コマンドの終了 2211
表 25-187. 両方のソースがイネーブルのときのチャネル状態 2215
表 25-188. CMD_PROP_CS コマンドの終了 2216
表 25-189. CMD_PROP_RX_SNIFF および CMD_PROP_RX_ADV_SNIFF の追加終了ステータス 2216
表 25-190. RFC_RAT レジスタ 2218
表 25-191. RFC_RAT のアクセス タイプ コード 2218
表 25-192. RATCNT レジスタ フィールドの説明 2219
表 25-193. RATCH0VAL レジスタのフィールドの説明 2220
表 25-194. RATCH1VAL レジスタのフィールドの説明 2221
表 25-195. RATCH2VAL レジスタのフィールドの説明 2222
表 25-196. RATCH3VAL レジスタのフィールドの説明 2223
表 25-197. RATCH4VAL レジスタのフィールドの説明 2224
表 25-198. RATCH5VAL レジスタのフィールドの説明 2225
表 25-199. RATCH6VAL レジスタのフィールドの説明 2226
表 25-200. RATCH7VAL レジスタのフィールドの説明 2227
表 25-201. RFC_DBELL レジスタ 2228
表 25-202. RFC_DBELL のアクセス タイプ コード 2228
表 25-203. CMDR レジスタ フィールドの説明 2229
表 25-204. CMDSTA レジスタ フィールドの説明 2230
表 25-205. RFHWIFG レジスタのフィールドの説明 2231
表 25-206. RFHWIEN レジスタのフィールドの説明 2233
表 25-207. RFCPEIFG レジスタのフィールドの説明 2234
表 25-208. RFCPEIEN レジスタのフィールドの説明 2237
表 25-209. RFCPEISL レジスタのフィールドの説明 2239
表 25-210. RFACKIFG レジスタのフィールドの説明 2242
表 25-211. SYSGPOCTL レジスタのフィールドの説明 2243
表 25-212. RFC_PWR レジスタ 2245
表 25-213. RFC_PWR のアクセス タイプ コード 2245
表 25-214. PWMCLKEN レジスタのフィールドの説明 2246

Copyright © 2026 Texas Instruments Incorporated

このテクニカル リファレンス マニュアルでは、CC13x2 および CC26x2 SimpleLink™ 超低消費電力ワイヤレス マイコン (MCU) の使用方法について説明します。CC26x2 および CC13x2 デバイス プラットフォームは、同じマイコン アーキテクチャとほとんどのペリフェラルを共有しています。CC26x2 デバイスの無線は 2.4GHz ISM 周波数帯で動作し、CC13x2 デバイスの無線は Sub-1GHz 周波数帯での使用向けに設計されています。CC1352 デバイスはマルチバンド ワイヤレス MCU であり、Sub-1GHz 帯と 2.4GHz 帯の両方で動作できます。このドキュメントはデバイス プラットフォーム全体を対象としているため、サポートされているモジュールと機能については、各デバイスのデータシートを参照してください。

このマニュアルについて

この資料は、各主要な機能に対応するセクションで構成されています。各モジュールの特長と機能、およびその使用方法について説明しています。各機能については、対応するオペレーティング システムのドライバに関する資料への参照が示されています。この資料には、対応するデバイスのデータシートに収集されているデバイスまたはモジュールの性能特性は記載されていません。このマニュアルは、システム ソフトウェア開発者、ハードウェア設計者、およびアプリケーション開発者を対象としています。

デバイス

CC13x2 および CC26x2 デバイス プラットフォームには、2.4GHz (CC26x2 と CC1352) および Sub-1GHz (CC13x2) 無線の両方に加え、さまざまなメモリ サイズ、ペリフェラル、パッケージ オプションが用意されています。すべてのデバイスは、アプリケーション層とプロトコル スタックを処理する Arm® Cortex®-M4F シリーズ プロセッサ、さらに、すべての Low レベルの無線制御と処理を扱う Arm®Cortex®-M0 プロセッサを中心とした自律的な無線コアを軸にしています。ネットワーク プロセッサ オプションが利用可能です。

無線とマイコンを幅広く組み合わせたシステムが利用できるため、これらのデバイス ファミリは、ほぼすべての低消費電力 RF ノードの実装に最適です。

レジスタ コール、フィールド コール、およびビット コール

コールに適用される命名規則は次のとおりです。

- レジスタ コールの場合：<Module name> <Register name>。例：UART.UASR
- ビット フィールド コールの場合：
  - <Module name>.<Register name> [End:Start] <Field name> フィールド。例：UART.UASR[4:0] SPEED ビット フィールド
  - <Field name> field <Module name>.<Register name> [End:Start]。例：SPEED ビット フィールド UART.UASR[4:0]
- ビット コールの場合：
  - <Module name>.<Register name> [pos] <Bit name> ビット、例：UART.UASR[5] BIT_BY_CHAR ビット
  - <Bit name> bit <Module name>.<Register name> [pos]。例：BIT_BY_CHAR bit UART.UASR[5]

Copyright © 2026 Texas Instruments Incorporated

関連資料

以下の関連資料は、CC13x2 および CC26x2 デバイスの製品ページ (www.ti.com) で入手できます。

1. CC1312:
   - CC1312R データシートと正誤表 (技術資料)
   - CC1312PSIP データシートと正誤表 (技術資料)
2. CC1352:
   - CC1352R データシートと正誤表 (技術資料)
   - CC1352P データシートと正誤表 (技術資料)
3. CC2642:
   - CC2642R データシートと正誤表 (技術資料)
4. CC2652:
   - CC2652R データシートと正誤表 (技術資料)
   - CC2652P データシートと正誤表 (技術資料)
   - CC2652RSIP データシートと正誤表 (技術資料)
   - CC2652PSIP データシートと正誤表 (技術資料)
5. 『Cortex-M3/M4F 説明書セット』テクニカル ユーザー マニュアル

注

この資料のリストは、公開日時点のものです。その他の資料、アプリケーション ノート、ホワイト ペーパーについては、Web サイトをご覧ください。

その他の関連資料は以下のとおりです。

6. IEEE (米国電気電子学会)、*『IEEE Standard Test Access Port and Boundary Scan Architecture』*、*IEEE Std 1149.1a 1993 & Supplement Std.1149.1b 1994* (IEEExplore.ieee.org を参照)
7. IEEE (米国電気電子学会)、*『IEEE 1149.7 Standard for Reduced-Pin and Enhanced-Functionality Test Access Port and Boundary-Scan Architecture』* (IEEExplore.ieee.org を参照)
8. NIST (米国国立標準技術研究所)、*『NIST Special Publication 800-38A, Recommendation for Block Cipher Modes of Operation Methods and Techniques』* (NIST.gov を参照)
9. NIST (米国国立標準技術研究所)、*『NIST Special Publication 800-38D, Recommendation for Block Cipher Modes of Operation: Galois/Counter Mode (GCM) and GMAC』* (NIST.gov を参照)
10. NIST (米国国立標準技術研究所)、*『FIPS 197, Advanced Encryption Standard (AES)』* (NIST.gov を参照)
11. Bluetooth SIG、Inc.、『*Bluetooth* Specification versions 4.0, 4.1, 4.2, and 5.0』 (Bluetooth.com を参照)
12. *『Arm®v7-M Architecture Reference Manual』* (Arm.com を参照)
13. *『Arm® Debug Interface V5 Architecture Specification』* (Arm.com を参照)

Copyright © 2026 Texas Instruments Incorporated

1 商標

SimpleLink™ and EnergyTrace™ are trademarks of Texas Instruments.
CoreSight™ is a trademark of Arm Limited (or its subsidiaries).
Motorola™ is a trademark of Motorola Trademark Holdings, LLC.
Arm®, Cortex®, Thumb®, Arm7®, AMBA®, and PrimeCell® are registered trademarks of Arm Limited (or its subsidiaries).
Zigbee® is a registered trademark of Zigbee Alliance.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

Chapter 1

アーキテクチャの概要

SimpleLink™ 超低消費電力ワイヤレス マイコンの CC13x2 および CC26x2 デバイス プラットフォームは、幅広いアプリケーションに対応するソリューションを提供します。ユーザーによるこれらのアプリケーション開発を支援するため、ユーザー ガイドではデバイスのさまざまな構成ブロックの使用方法に焦点を当てています。デバイスの詳細な説明、完全な機能リスト、性能数値については、特定のデバイスのデータシートを参照してください。次のサブセクションでは、関連情報へ容易にアクセスし、本書の各章へ読者を案内する。

このデバイスプラットフォームのシステム オン チップ (SoC) は、超低消費電力向けに最適化されていると同時に、高速で対応可能なマイコン システムを実現して、短い処理時間と高集積を実現します。最大で 48MHz までの Arm®Cortex®-M4F 処理コア、フラッシュ メモリ、幅広いペリフェラルの組み合わせにより、CC13x2 および CC26x2 デバイス プラットフォームは、シングルチップ実装または低消費電力 RF ノードのネットワーク プロセッサ実装用に特別に設計されています。

1.1 ターゲット アプリケーション 69
1.2 概要 69
1.3 機能概要 72

Copyright © 2026 Texas Instruments Incorporated

1.1 ターゲット アプリケーション

CC13x2 および CC26x2 SimpleLink™ 超低消費電力ワイヤレス マイコン プラットフォームは、次のような低消費電力無線アプリケーション向けに設計されています。

- コンシューマ エレクトロニクス
- 携帯電話アクセサリ
- スポーツ用品やフィットネス用品
- HID アプリケーション
- ホーム/ビルディング オートメーション
- ライティング制御
- アラームおよびセキュリティ
- 電子棚札
- 近接タグ
- 医療
- リモート コントロール
- スマート メータリング
- アセット トラッキング
- ワイヤレス センサ ネットワーク

1.2 概要

図 1-1 に、CC13x2 および CC26x2 デバイス プラットフォームのビルディング ブロックを示します。

CC13x2 および CC26x2 デバイス プラットフォームの主な特長は次のとおりです。

- Arm® Cortex®-M4F プロセッサ コア
  - 48MHz RC 発振器および 48MHz 水晶発振器
  - ローパワー モードの間、タイミング メンテナンスのためのクロックを生成する 32kHz 水晶発振器、32kHz RC 発振器、またはローパワー 48MHz 水晶振動子
  - Arm® Cortex® SysTick タイマ
  - ネスト型ベクタ割り込みコントローラ (NVIC)
- オンチップ メモリ
  - 高速とローパワーを実現する 352kB のフラッシュと 8kB の 4 ウェイ セット アソシエイティブ キャッシュ RAM
  - 16kB 単位で保持の有無を構成可能な 32kB のシステム RAM
- パワー マネージメント
  - 広い電源電圧範囲
  - 消費電力の削減につながる高効率なオンチップ DC/DC コンバータ
  - デバイス部品の高粒度クロック ゲーティングおよび電力ゲーティング
  - 柔軟な動作周波数
    - デューティ サイクル形式のアプリケーションで低消費電力を実現する柔軟なローパワー モード
- センサ インターフェイス
  - システム CPU とは独立して起動し、センサの読み取りやデータの収集を行い、システム CPU を起動させる必要があるかどうかを判断できる自律型インテリジェント センサ インターフェイス
  - 8 つのアナログ入力チャネルを備えた 12 ビット A/D コンバータ (ADC)
  - ローパワー アナログ コンパレータ
  - シリアル通信インターフェイス

Copyright © 2026 Texas Instruments Incorporated

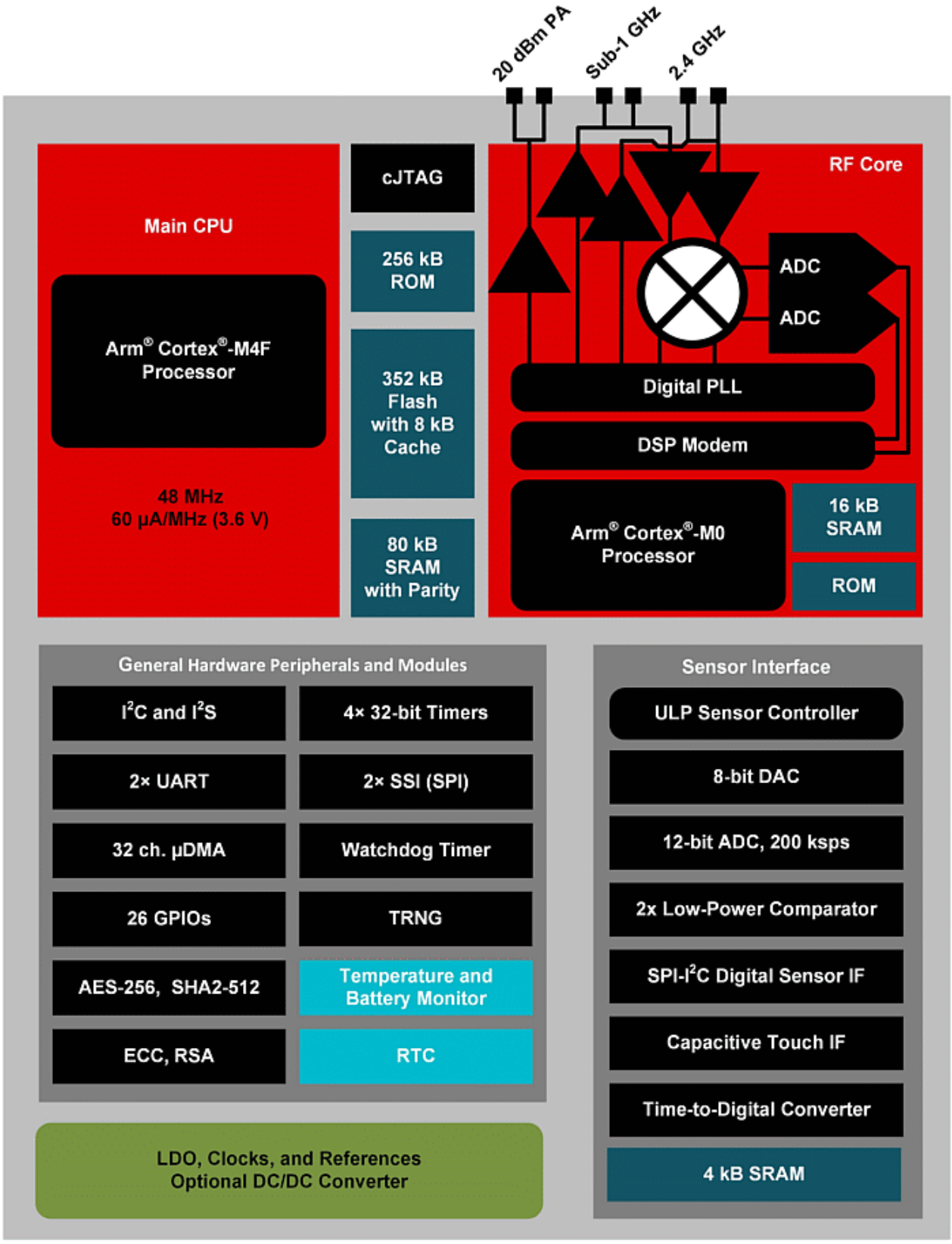


図 1-1. CC13x2 と CC26x2 のブロック図

Copyright © 2026 Texas Instruments Incorporated

- 高度なシリアル統合
  - UART (Universal asynchronous receiver/transmitter)
  - I^2C (Inter-integrated circuit) モジュール
  - 同期シリアル インターフェイス モジュール (SSI)
  - オーディオ インターフェイス I^2S モジュール
- システム連携
  - ダイレクト メモリ アクセス (DMA) コントローラ
  - 4 つの 32 ビット タイマ (最大 8 つの 16 ビット) とパルス幅変調 (PWM) 機能および同期機能
  - 32kHz リアルタイム クロック (RTC)
  - ウォッチドッグ タイマ
  - オンチップの温度および電源電圧検出
  - 通常または高駆動能力を備えた GPIO
  - ADC およびコンパレータ用のアナログ機能を備えた GPIO
  - 完全に柔軟なデジタル ピン多重化により、GPIO または任意のペリフェラル機能として使用可能
- レガシー 1149.1 JTAG サポートをそなえた IEEE 1149.7 準拠 2 ピン cJTAG
- 7 mm × 7 mm VQFN および 7 mm × 7 mm MOT パッケージ

極めて高い省電力が求められるアプリケーション向けに、CC13x2 および CC26x2 デバイス プラットフォームは、長期間の非動作時にデバイスを効率的にローパワー状態へと移行させるパワー マネージメント システムを備えています。パワーアップおよびパワーダウン シーケンサ、割り込み機能付き 32 ビット スリープ タイマ (RTC)、およびすべての電源モードでデータを保持可能な 80kB の超低リーク (ULL) RAM を搭載しており、バッテリ アプリケーションに最適なマイコンとなっています。

さらに、CC13x2 と CC26x2 の各デバイス プラットフォームには、広く利用可能な Arm®、SoC インフラストラクチャ IP アプリケーション、大規模なユーザー コミュニティといった利点があります。さらに、これらのマイコンは Arm Thumb® と互換性のある Thumb-2 説明セットを使用しているため、メモリ要件を低減することができ、それによってコストも低減できます。

TI は、評価ボードおよび開発ボード、ホワイト ペーパーとアプリケーション ノート、使いやすいペリフェラル ドライバ ライブラリ、強力なサポート、販売、代理店ネットワークなど、迅速な市場投入を可能にする包括的なソリューションを提供しています。

Copyright © 2026 Texas Instruments Incorporated

1.3 機能概要

以下のサブセクションでは、CC13x2 および CC26x2 デバイス プラットフォームの機能の概要について説明します。

1.3.1 Arm® Cortex®-M4F

以降のサブセクションでは、Arm® Cortex®-M4 プロセッサ コアと命令セット、統合システム タイマ (SysTick)、および NVIC の概要を示します。

1.3.1.1 プロセッサ コア

CC13x2 および CC26x2 デバイスのプラットフォームは、Arm® Cortex®-M4F プロセッサ コアを中心に設計されています。Arm® Cortex®-M4F プロセッサは、最小限のメモリ実装、少ピン構成、低消費電力の要求を満たす、高性能で低コストのプラットフォーム向けのコアを提供する一方、極めて優れた計算性能と、割り込みに対する並外れたシステム応答性能を備えています。

プロセッサ コアの特長は次のとおりです:

- 小スペースの組み込みアプリケーションに最適化された、32 ビット Arm® Cortex®-M4F アーキテクチャ
- 優れた処理性能と高速割り込み処理を同時に実現
- Thumb-2 は、16 ビットと 32 ビットの命令セットを組み合わせて使用し、32 ビット Arm® コアに期待される高性能を、通常は 8 ビットや 16 ビットのデバイスに適用されるほどのコンパクトなメモリ サイズ (マイクロコントローラ クラスのアプリケーションに必要な典型的なメモリ容量は、数キロバイトの範囲) で実現しています。
  - シングル サイクルの乗算命令とハードウェア除算
  - アトミックなビット操作 (ビットバンディング) により、最大限にメモリを利用し、リフェラル制御の効率化も実現
  - アンアライインド データアクセスにより、データをメモリに効率的にパッキング可能
- 高速なコード実行により、プロセッサ クロックの低速化やスリープ モードの時間の増加を可能に
- 命令用とデータ用に分離したバスを特徴とするハーバード アーキテクチャ
- 効率的なプロセッサ コア、システム、メモリ
- ハードウェア分割と高速乗算器
- タイムクリティカルなアプリケーション向けの確定的で高性能な割り込み処理
- 広範囲のブレークポイント機能とパワー モードによるデバッグを備えた、強化されたシステム デバッグ
- コンパクトな JTAG インターフェイスによりデバッグに必要なピン数を削減
- スリープ モードを内蔵した超低消費電力
- 最大 48MHz 動作

Copyright © 2026 Texas Instruments Incorporated

1.3.1.2 システム タイマ (SysTick)

Arm® Cortex®-M4F プロセッサには、内蔵システムタイマ (SysTick) が搭載されています。SysTick は、柔軟な制御メカニズムにより、単純な 24 ビットのクリア オン ライト、デクリメント、ラップ オン ゼロ カウンタを提供します。カウンタは、次のようないくつかの方法で使用できます。

- プログラマブルなレート (100Hz など) で起動し、SysTick ルーチンを呼び出す RTOS ティック タイマ
- システム クロック 11 を使用した高速アラームタイマ
- 可変レート アラームまたは信号タイマ — 期間は、使用されるリファレンス クロックおよびカウンタのダイナミック レンジの範囲に依存します
- 完了までの時間と使用した時間を測定するための単純なカウンタ
- 欠落または一致する期間に基づく内部クロック ソース制御

1.3.1.3 ネスト型ベクタ割り込みコントローラ (NVIC)

CC13x2 および CC26x2 デバイス コントローラには Arm® NVIC が含まれています。NVIC および Arm® Cortex®-M4F は、すべての例外の優先順位付けと処理をハンドラ モードで行います。例外発生時にプロセッサ状態は自動的にスタックに保存され、割り込みサービス ルーチン (ISR) の終了時にスタックから自動的に復元されます。割り込みベクタは状態保存と並行してフェッチされるため、効率的な割り込みエントリが可能になります。プロセッサはテール チェーニングをサポートします。つまり、状態の保存と復元のオーバーヘッドなしで、連続する割り込みを実行できます。ソフトウェアは、7 つの例外 (システム ハンドラ) に 8 つの優先度レベルを設定でき、デバイス割り込みも設定できます。

NVIC の機能は次のとおりです。

- 決定論的で高速な割り込み処理
  - 常に 12 サイクル、またはテール チェーニング使用時はわずか 6 サイクル
- 安全性重視アプリケーション向けに、NMI ハンドラを即時実行できる外部ノンマスカブル割り込み (NMI) 信号
- 動的に優先順位を再設定可能な割り込み
- 必要なレジスタ操作のハードウェア実装による例外的な割り込み処理

1.3.1.4 システム コントロール ブロック

システム制御ブロック (SCB) は、システム実装情報およびシステム制御機能 (システム例外の設定、制御、および報告) を提供します。

1.3.2 オンチップ メモリ

以下のサブセクションでは、オンチップ メモリ モジュールについて説明します。

1.3.2.1 SRAM

CC13x2 および CC26x2 デバイス プラットフォームは、すべての電源モードで保持機能を選択可能な、80kB の低リーク電流オンチップ SRAM を備えています。保持は 16kB ブロックごとに構成できます。さらに、8kB のフラッシュ キャッシュ RAM を再構成して、通常のシステム RAM として動作させることもできます。読み取り / 変更 / 書き込み (RMW) 操作は非常に時間がかかるため、Arm® は Arm® Cortex®-M4F プロセッサにビット バンディング技術を導入しました。ビットバンド機能対応プロセッサでは、メモリ マップ内の特定領域 (SRAM 領域およびペリフェラル領域) に対して、アドレス エイリアスを使用することで、個々のビットに単一のアトミック操作でアクセスできます。

マイクロ DMA (µDMA) コントローラを使用して、データを SRAM との間で転送することができます。

1.3.2.2 フラッシュ メモリ

フラッシュ ブロックは、デバイス用のインサーキット プログラム可能な不揮発性プログラム メモリを提供します。352kB のフラッシュ メモリは、個別に消去可能な 8kB ページのセットとして構成されています。ブロックを消去すると、ブロックの内容全体がすべて 1 にリセットされます。これらのページは個別に保護できます。読み出し専用ブロックは消去またはプログラムできないため、これらのブロックの内容が変更されないよう保護されます。不揮発性メモリには、プログラム コードや定数を保持できるだけでなく、デバイスの再起動後にも使用できるよう保持する必要があるデータをアプリケーションで保存できます。この機能を使用すると、保存済みのネットワーク固有データを使用できるため、完全な起動プロセスおよびネットワークの検索と参加プロセスを実行する必要がなくなります。

Copyright © 2026 Texas Instruments Incorporated

1.3.2.3 ROM

ROM には、ブート シーケンス、デバイス ドライバ機能、低レベル プロトコル スタック コンポーネント、シリアル ブートローダー (SPI または UART) がプログラムされています。

1.3.3 無線

CC26x2 デバイスは、複数の変調とパケット形式をサポートする、高集積低消費電力 2.4GHz 無線トランシーバです。CC1312 デバイスは、Sub-1GHz 帯域向けに最適化された同様の機能を提供します。CC1352 デバイスは、Sub-1GHz および 2.4GHz 動作用に独立した RF パスを備えた真のデュアル バンド無線です。無線サブシステムは、マイコンと無線の間のインターフェースを提供し、コマンドの発行、ステータスの読み取り、さらにイベントの自動化およびシーケンス制御を可能にします。

1.3.4 セキュリティ コア

CC13x2 および CC26x2 デバイス プラットフォームのセキュリティ コアは、256 ビット キー サポート、ローカル キー ストレージ、および DMA 機能を備えた Advanced Encryption Standard (AES) モジュールを搭載しています。また、ハッシュ エンジン (SHA-2) と公開鍵アクセラレーション (PKA) エンジンが含まれています。

AES エンジンの機能は次のとおりです。

- ECB、CBC、CBC-MAC、CTR、CCM、GCM 動作モード
- 118Mbps のスループット
- セキュア キー ストレージ メモリ
- 低レイテンシ
- SHA-224、SHA-256、SHA-384、SHA-512
- 楕円曲線計算用ハードウェア アクセラレータ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

1.3.5 汎用タイマー

汎用タイマは、タイマ入力ピンに入力される外部イベントをカウントしたり、その時間を計測したりするために使用できます。各 16 ビットまたは 32 ビットの GPTM ブロックは、タイマまたはイベント カウンタとして独立して動作するよう構成可能な二つの 16 ビット タイマ / カウンタ、または一つの 32 ビット タイマとして動作するよう構成できます。

汎用タイマ モジュール (GPTM) には、四つの 16 ビットまたは 32 ビット GPTM ブロックが含まれ、以下に示す機能オプションがあります。

- 16 ビットまたは 32 ビットの出力モード:
  - 16 または 32 ビットのプログラマブル ワンショット タイマ
  - 16 または 32 ビットのプログラマブル周期タイマ
  - 8 ビット プリスケーラを搭載した 16 ビット汎用タイマ
  - 8 ビット プリスケーラによる 16 ビット入力エッジカ ウントまたはタイムキャプチャ モード
  - 8 ビットのプリスケーラと、PWM 信号のソフトウェア設定可能な出力反転機能を備えた 16 ビット PWM モード
- カウント アップまたはカウント ダウン
- 四つの 32 ビット カウンタ、または最大八つの 16 ビット カウンタ
- 最大八つのキャプチャ / 比較ピン
- 最大四つの PWM ピン (32 ビット タイマごとに一つの PWM ピン)
- タイマ モジュールをデイジーチェーン接続することで、一つのタイマで複数のタイミング イベントを開始できます
- タイマ同期により、選択したタイマが同じクロック サイクルでカウントを開始できます
- デバッグ中にマイコンが CPU 停止フラグをアサートした際に、ユーザーが有効化できるストール機能
- タイマ割り込みがアサートされてから ISR へ入るまでの経過時間を測定する機能
- µDMA コントローラを使用した効率的な転送

1.3.5.1 ウォッチドッグ タイマ

ウォッチドッグ タイマは、ソフトウェア エラーによってシステムが正常に動作しなくなった場合や、外部デバイスが適切に応答しない場合にシステム制御を回復するために使用されます。ウォッチドッグ タイマは、事前定義されたタイムアウト値に達すると、割り込みまたはリセットを生成できます。

1.3.5.2 常時オンのドメイン

AON ドメインには、シャットダウン モード (デジタル電源がオフ) を除いて、常にイネーブルになっている回路が含まれています。このドメインには、以下の内容が含まれます。

- RTC は、動作中である限り、CC13x2 および CC26x2 デバイス プラットフォームを任意の電源状態からウェークアップさせるために使用できます。RTC には、三つの一致レジスタと一つの比較レジスタが含まれています。ソフトウェア サポートにより、RTC はクロックおよびカレンダー動作に使用できます。RTC は 32kHz の RC 発振器または 32kHz の水晶発振器からクロック供給されます。
- バッテリ モニタと温度センサには、ソフトウェアからアクセスできます。バッテリ モニタと温度センサは、バッテリの状態と粗い温度を継続的に監視します。

1.3.6 ダイレクト メモリ アクセス

CC13x2 および CC26x2 デバイス プラットフォームには、µDMA と呼ばれる DMA コントローラが含まれています。µDMA コントローラは、データ転送処理を Arm® Cortex®-M4F プロセッサから切り離して実行する手段を提供し、プロセッサおよび利用可能なバス帯域幅をより効率的に使用できるようにします。µDMA コントローラは、メモリとペリフェラル間の転送を実行できます。µDMA のチャネルは、サポートされる各オンチップ モジュールに専用に割り当てられており、ペリフェラルが追加のデータ転送を行う準備ができたときに、ペリフェラルとメモリ間のデータ転送を自動的に実行するよう設定できます。

Copyright © 2026 Texas Instruments Incorporated

1.3.7 システム制御およびクロック

システム制御によって、CC13x2 および CC26x2 デバイス プラットフォームの全体的な動作が決まります。システム制御は、デバイスに関する情報の提供、省電力機能の制御、デバイスと個別のペリフェラルのクロックの制御、リセット検出と報告の処理を行います。

- 電力制御:
  - オンチップの固定 DC/DC コンバータと低ドロップアウト (LDO) 電圧レギュレータ
  - コアのデジタル ロジックおよびアナログ回路に対するパワーアップ シーケンス、パワーダウン シーケンス、および制御を管理します
  - マイコン用の低消費電力オプション
  - オンチップ モジュール用の低消費電力オプション:
    - ソフトウェアにより、個別のペリフェラルとメモリのシャットダウンを制御します
    - RAM および構成レジスタは、すべての電力モードで保持されます
  - 外部 DC/DC レギュレータを制御するための制御ピン オプション
  - スリープ タイマまたは GPIO 割り込みからのウェークアップを構成可能
  - 電圧監視回路
- マイコン システム クロック用の複数のクロック ソース:
  - RC 発振器 (HSRCOSC):
    - 48MHz 周波数を提供するオンチップ リソース
    - 48MHz 水晶発振器 (HSXOSC) は、X48M_P 入力ピンと X48M_N 出力ピンの間に接続された外部水晶による高精度な周波数クロック ソースです。
    - 内部 32kHz の RC 発振器は、32kHz の周波数を供給するオンチップ リソースであり、電源節約モード時および RTC に使用されます。
    - 32.768kHz 水晶発振器は、X32K_Q1 入力ピンと X32K_Q2 出力ピンの間に接続された外部水晶振動子からの周波数精度の高いクロック ソースです
    - 高精度の RTC 動作または同期ネットワーク タイミングに最適です
    - デジタル入出力 (DIO) ピンの一つをクロック入力として使用することで、外部 32.768kHz クロック信号を供給することができます。
  - CPU とペリフェラルのクロック分周オプション

1.3.8 シリアル通信ペリフェラル

CC13x2 および CC26x2 デバイス プラットフォームは、次のような非同期および同期シリアル通信の両方をサポートします。

- 2 つの UART モジュール
- I^2C モジュール
- I^2S モジュール
- 2 つの SSI (SPI) モジュール

各通信機能については、以降のサブセクションで詳しく説明します。

Copyright © 2026 Texas Instruments Incorporated

1.3.8.1 UART

UART は、RS-232C シリアル通信に使用される IC です。UART には、送信機 (パラレル-シリアル コンバータ) と受信機 (シリアル-パラレル コンバータ) が含まれ、それぞれ個別にクロック供給されます。

CC13x2 および CC26x2 デバイス プラットフォームには、完全にプログラム可能な UART が 1 つ含まれています。UART は、受信 (RX)、送信 (TX)、モデム フロー制御、およびエラー条件から、個別にマスクされた割り込みを生成できます。いずれかの割り込みがアサートされ、マスク解除されている場合、モジュールは 1 つの結合割り込みを生成します。

UART の特長は次のとおりです。

- プログラム可能なボー レート ジェネレータにより、最大 3Mbps の速度が可能
- 個別の 32 × 8 TX FIFO および 32 × 16 RX FIFO により、CPU 割り込みサービス負荷を低減
- プログラム可能な FIFO 長。従来のダブル バッファ インターフェイスを提供する 1 バイト深度動作を含む
- FIFO トリガ レベルは 1/8、1/4、1/2、3/4、7/8
- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- 改行の生成と検出
- 完全にプログラム可能なシリアル インターフェイス特性:
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成 / 検出
  - 1 または 2 ストップ ビットの生成
- 完全なモデム ハンドシェイク サポート
- プログラム可能なハードウェア フロー制御
- 標準 FIFO レベル割り込み
- µDMA コントローラを使用した効率的な転送:
  - TX と RX に個別のチャネル
  - FIFO 内にデータがあるときにアサートされる単一の要求と、設定した FIFO レベルでアサートされるバースト要求を受信
  - FIFO 内に空きがあるときにアサートされる単一の要求と、設定した FIFO レベルでアサートされるバースト要求を送信

1.3.8.2 I^2C

I^2C バスは、2 線式設計 (シリアル データ ライン SDA およびシリアル クロック ライン SCL) による双方向データ転送を行います。I^2C バスは、シリアル メモリ (RAM および ROM)、ネットワーク デバイス、LCD、トーン ジェネレータなどの外部 I^2C デバイスとのインターフェイスです。I^2C バスはまた、製品の開発時や製造工程において、システムのテストや診断を行う目的で使用することも可能です。

I^2C バス上の各デバイスは、マスタまたはスレーブとして設定できます。各 I^2C モジュールは (マスタとスレーブのどちらとしても) データの送受信をサポートしており、(マスタとスレーブの両方として) 同時に動作できます。I^2C マスタとスレーブの両方で割り込みを生成できます。

CC13x2 および CC26x2 デバイス プラットフォームには、以下のような I^2C モジュールが含まれています。

- I^2C バス上のデバイスをマスタとしてもスレーブとしても指定可能:
  - マスタまたはスレーブとして、データの送受信をサポート
  - マスタとスレーブの同時動作をサポート
- I^2C モード:
  - マスタ送信
  - マスタ受信
  - スレーブ送信
  - スレーブ受信

Copyright © 2026 Texas Instruments Incorporated

- 二つの送信速度:
  - 標準 (100kbps)
  - 高速 (400kbps)
- クロック Low タイムアウト割り込み
- マスタ割り込みとスレーブ割り込みの生成:
  - マスターは、TX または RX 動作が完了したとき、(あるいはエラーにより中断されたときに) 割り込みを生成します
  - データを受信するかマスタに送信を要求された時点、あるいはスタート条件かストップ条件が検出された時点で、スレーブが割り込みを生成
  - アービトレーション機能およびクロック同期機能、マルチ マスタ対応、7 ビット アドレッシング モード

1.3.8.3 I²S

I²S モジュールにより、CC13x2 および CC26x2 デバイス プラットフォームでコーデック、DAC、ADC、DSP などの外部デバイスとの通信が可能になります。このデバイスは、I²S、RJF、LJF、DSP などのオーディオ ストリーミング フォーマットのみをサポートしており、外部デバイスの構成はサポートしていません。CC13x2 および CC26x2 デバイス プラットフォームは、外部生成および内部生成のビット クロックとワード クロック (BCLK および WCLK) の両方をサポートしています。

1.3.8.4 SSI

SSI モジュールは、パラレル データとシリアル データを相互に変換する 4 線式双方向通信インターフェイスです。SSI は、ペリフェラル デバイスから受信したデータに対してシリアル-パラレル変換を実行し、ペリフェラル デバイスへ送信するデータに対してパラレル-シリアル変換を実行します。SSI は、マスタ デバイスまたはスレーブ デバイスとして構成できます。スレーブ デバイスとして使用する場合、SSI は出力を無効にするよう構成でき、これにより 1 つのマスタ デバイスを複数のスレーブ デバイスに接続できます。TX パスと RX パスは、それぞれ独立した内部 FIFO によってバッファリングされます。

SSI には、SSI の入力クロックから出力シリアル クロックを生成するための、プログラム可能なビット レート クロック分周器およびプリスケーラも含まれています。ビット レートは入力クロックに基づいて生成され、最大ビット レートは接続されたペリフェラルによって決まります。

CC13x2 および CC26x2 デバイス プラットフォームには、次の機能を備えた SSI モジュールが 2 つ含まれています。

- Freescale SPI、MICROWIRE、または TI 同期シリアル インターフェイス向けのプログラム可能なインターフェイス動作
- マスタ モード、およびスレーブ モードをサポート
- プログラマブルなクロック ビット レートとプリスケーラ
- TX FIFO と RX FIFO 用にそれぞれ 16 ビット 8 段の FIFO をサポート
- プログラマブルなデータ -フレーム サイズ (4 ～16 ビット)
- 診断およびデバッグ テスト用の内部ループバック テスト モード
- 標準的な FIFO ベースの割り込みおよび EoT 割り込み
- µDMA コントローラを使用した効率的な転送:
  - TX と RX に個別のチャネル
  - FIFO 内にデータがあるときにアサートされる単一の要求と、FIFO にエントリが 4 つ含まれたときにアサートされるバースト要求を受信
  - FIFO に空きがある場合、送信シングル要求がアサートされ、FIFO に 4 エントリが存在する場合、バースト要求をアサート

Copyright © 2026 Texas Instruments Incorporated

1.3.9 プログラマブル I/O

I/O ピンはさまざまな接続に柔軟性を提供します。CC13x2 および CC26x2 デバイス プラットフォームは、I/O コントローラを介して任意のデジタル ペリフェラルに多重化可能で柔軟に構成できる I/O ピンをサポートしています。

注

アナログ機能、センサ コントローラ接続、高い駆動能力は、特定のピンに制限されています。詳細については、Chapter 13 を参照してください。

- 構成に応じて最大 31 個の GPIO
- 最大 5 つの 8mA 駆動強度ピン
- 完全に柔軟なデジタル ピン多重化により、GPIO または複数のペリフェラル機能のいずれかとして使用可能
- GPIO 割り込みのプログラマブル制御:
  - ピンごとの割り込み生成マスク
  - 立ち上がりまたは立ち下がりでのエッジ トリガ
- アドレス ラインを介した読み取り/書き込み動作でのビット マスク
- µDMA 転送を開始可能
- すべてのスリープ モードにおいてピン状態を保持可能
- デジタル入力として構成されたピンはシュミット トリガ
- DIO 構成のプログラマブル制御:
  - 弱プルアップまたはプルダウン抵抗
  - デジタル入力イネーブル

1.3.10 センサ コントローラ

センサ コントローラには、パワーダウン モード時に選択的に有効化できる回路が含まれています。このドメイン内のペリフェラルは、独自の省電力最適化 CPU (センサ コントローラ エンジン) であるセンサ コントローラ、またはシステム CPU から直接制御できます。センサ コントローラ エンジン CPU は、センサの読み取りや監視、その他のタスクを自律的に実行できるため、消費電力を削減し、システム CPU の負荷を軽減できます。

センサ コントローラは PC ベースの構成ツールを使用して設定します。一般的なユース ケースには、次のようなものがあります (ただし、これらに限定されません)。

- 統合 ADC を使用するアナログ センサ
- GPIO を使用し、ビット バンギング I^2C および SPI に対応するデジタル センサ
- 静電容量式センシング
- 波形生成
- キーボード スキャン
- 回転センサのポーリング用直交デコーダ
- 発振器キャリブレーション

センサ インターフェイス内のペリフェラルには、次のものが含まれます。

- アナログ コンパレータ

  超低消費電力アナログ コンパレータは、任意のアクティブ状態から CC13x2 および CC26x2 デバイス プラットフォームをウェークアップできます。構成可能な内部リファレンスをコンパレータとともに使用できます。コンパレータの出力は、割り込みまたは ADC をトリガすることもできます。
- 静電容量式センシング

  静電容量式センシングは、CC13x2 および CC26x2 デバイス プラットフォームのスタンドアロン モジュールではありません。その機能は、定電流源、時間デジタル変換器、コンパレータを使用して実現されます。このブロックのアナログ コンパレータは、超低消費電力コンパレータよりも高精度な代替としても使用できます。センサ コントローラは、ベースライン トラッキング、ヒステリシス、フィルタリング、その他の関連機能を処理します。

Copyright © 2026 Texas Instruments Incorporated

- ADC

  ADC は、8 入力と内蔵電圧リファレンスを備えた 12 ビット、200ksps の ADC です。ADC は、タイマ、I/O ピン、ソフトウェア、アナログ コンパレータ、RTC など、多くの異なるソースによってトリガできます。

  ADC は、連続したアナログ電圧を離散的なデジタル数値に変換するペリフェラルです。ADC モジュールは、12 ビットの変換分解能を備え、8 つの入力チャネルに加えて、バッテリ電圧の内部分圧と温度センサをサポートします。
- 低消費電力 UART、SPI、I^2C デジタル センサ インターフェイス

  アナログ モジュールは、最大 8 つの異なる I/O に接続できます。

1.3.11 乱数生成器

乱数生成器は、バックオフの計算またはセキュリティ キー用の真性乱数を生成します。

1.3.12 cJTAG と JTAG

ジョイント テスト アクション グループ (JTAG) ポートは、デジタル集積回路向けのテスト用アクセス ポート (TAP) およびバウンダリ スキャン アーキテクチャを規定した IEEE 規格です。JTAG ポートは、関連するテスト ロジックを制御するための標準化されたシリアル インターフェイスも提供します。TAP、命令レジスタ (IR)、データ レジスタ (DR) を使用して、組み立て済みプリント基板 (PCB) の相互接続をテストし、部品の製造情報を取得できます。JTAG ポートは、I/O ピンの監視および制御、スキャン テスト、デバッグなどのテスト容易化機能にアクセスし、それらを制御するための手段も提供します。コンパクト JTAG (cJTAG) インターフェイスには、次のような機能があります。

- IEEE1149.1-1990 準拠の TAP コントローラ
- IEEE 1149.7 cJTAG インターフェイス
- ICEPick JTAG ルータ
- JTAG 命令を保存するための 4 ビット IR チェーン
- IEEE 標準の手順:バイパス、IDCODE、SAMPLE および PRELOAD、EXTEST、INTEST
- Arm® の追加手順:APACC、DPACC、および ABORT

Copyright © 2026 Texas Instruments Incorporated

1.3.13 電源システム

1.3.13.1 供給システム

CC13x2 および CC26x2 デバイス プラットフォームでは、複数の電圧レベルが使用されます。図 1-2 に、電源システムの概要を示します。

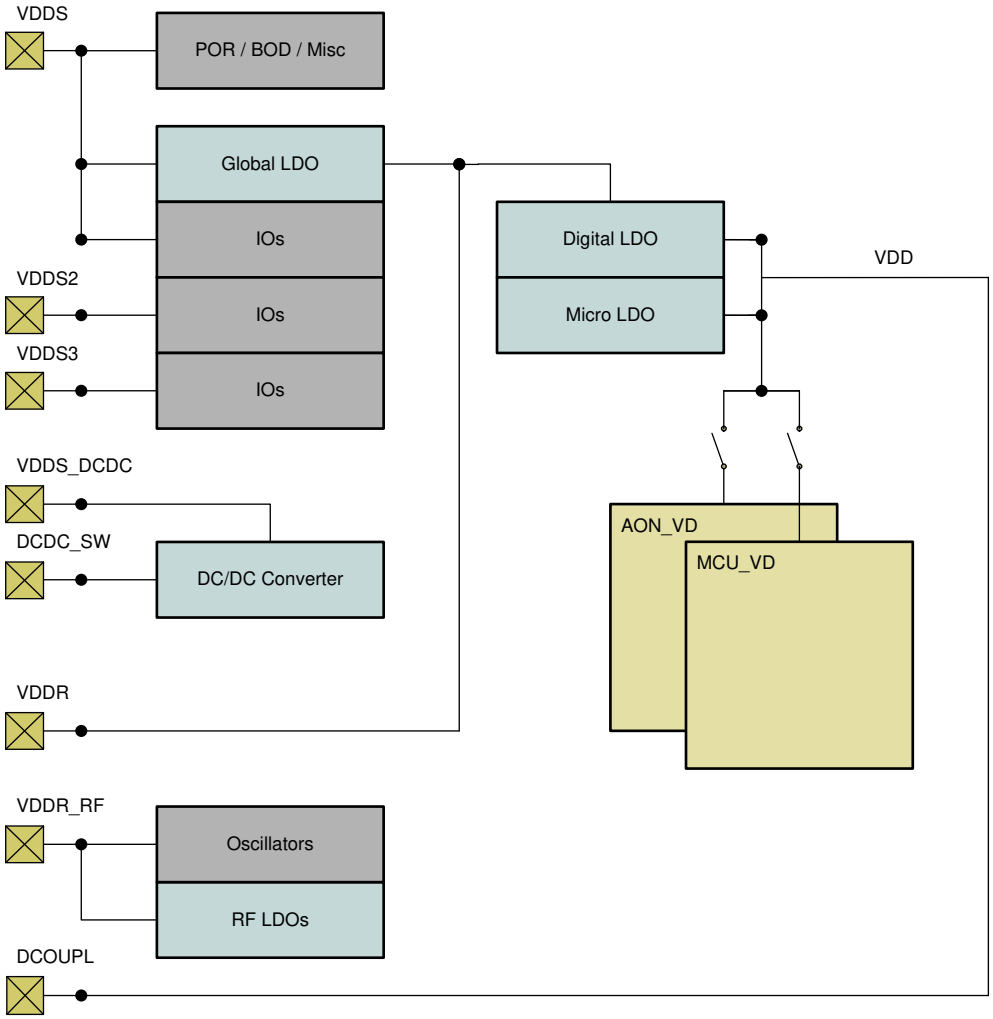


図 1-2. CC13x2 および CC26x2 電源システム

1.3.13.1.1 VDDS

CC13x2 および CC26x2 デバイス プラットフォームでは、バッテリ電圧を VDDS (電源電圧) と呼びます。この電源はシステム内で最も高い電位を持ち、通常、ユーザーが供給する唯一の電源です。

注

VDDS2 と VDDS3 は、常に VDDS と同じ電位である必要があります。

Copyright © 2026 Texas Instruments Incorporated

1.3.13.1.2 VDDR

2 つの VDDR (安定化) ピンには、通常、内部レギュレータの 1 つから電力が供給されます。消費電力を最小限に抑えるため、TI では内部 DC/DC レギュレータを使用することを推奨しています (この構成の詳細については、セクション 1.3.13.2 を参照)。

グローバル LDO の使用も選択できます。この場合、2 つの VDDR ピンを共に接続する必要があります。この場合、VDDR には 22µF デカップリング コンデンサを使用する必要がありますが、VDDR_RF にはさまざまなリファレンス デザインで推奨されるデカップリングを使用する必要があります。この設定では、VDDS_DCDC を VDDS に接続し、DCDC_SW をフローティングのままにする必要があります。

1.3.13.1.3 デジタル コア電源

CC13x2 および CC26x2 デバイス プラットフォームのデジタル コアには、VDDR に接続された 1.28V レギュレータから電源が供給されます。このレギュレータの出力は、正常な動作のために外部デカップリング コンデンサを必要とします。このコンデンサは DCOUPL ピンに接続する必要があります。

注

DCOUPL ピンを外部回路への電源供給に使用することはできません。

システムがパワーダウン状態のときは、電流供給能力が制限された小型の低消費電力レギュレータ (micro LDO) がデジタル ドメインに電源を供給し、有効なモジュールへの給電を維持します。

1.3.13.1.4 その他の内部電源

デバイスの他のいくつかのモジュール (周波数シンセサイザ、RF パワー アンプなど) には、1.4V (アナログ モジュール) または 1.28V (デジタル モジュール) で動作する個別の内部レギュレータがあります。これらのレギュレータは、必要に応じて、ファームウェアによって自動的にパワーアップまたはパワーダウンされます。

1.3.13.2 DC/DC コンバータ

オンチップ降圧モード DC/DC コンバータは、デバイスの消費電力を低減する簡単な方法を提供します。DC/DC コンバータは電源システムに統合されており、システム コントローラを介してバイアスとクロックを自動的に処理します。

DC/DC コンバータは AON_PMCTL:PWRCTL レジスタを通じて制御されます。

システムがアクティブなときに DC/DC コンバータを有効化するには、AON_PMCTL:PWRCTL.DCDC_ACTIVE ビットを設定する必要があります。DC/DC コンバータは、デバイスが Standby モードのときにも、VDDR ドメインの電圧を維持するために定期的に使用されます。

DC/DC レギュレータの出力電圧は通常 1.68V にトリムされますが、他の電圧レベルが使用されるユース ケースもあります。電圧レベルはデバイスによって自動的に制御され、ユーザーが変更することはできません。

注

DC/DC レギュレータ出力を外部回路への電源供給に使用することはできません。

Copyright © 2026 Texas Instruments Incorporated

Chapter 2

Arm® Cortex®-M4F プロセッサ

CC13x2 および CC26x2 デバイス プラットフォームは、Arm® Cortex®-M4F コアをベースとして構築され、ファクトリ オートメーションと制御、産業用制御パワー デバイス、ビル オートメーションとホーム オートメーション、ステッピング モーター制御など、コスト重視の組込みマイコン アプリケーションに対して高性能の 32 ビット コンピューティングを実現できます。

この章では、Arm® Cortex®-M4F プロセッサの CC13x2 および CC26x2 デバイス プラットフォームの実装について説明します。

命令セットの技術的詳細については、『*Cortex-M3/M4F* 命令セット テクニカル ユーザー マニュアル』を参照してください。

2.1 Arm® Cortex®-M4F プロセッサの紹介 84
2.2 ブロック図 84
2.3 概要 85
2.4 プログラミング モデル 87
2.5 Arm® Cortex®-M4F コア レジスタ 88
2.6 命令セットの概要 104
2.7 浮動小数点演算ユニット (FPU) 113
2.8 メモリ保護ユニット (MPU) 119
2.9 Arm® Cortex®-M4F プロセッサ レジスタ 120

Copyright © 2026 Texas Instruments Incorporated

2.1 Arm® Cortex®-M4F プロセッサの紹介

Arm® Cortex®-M4F プロセッサは、最小限のメモリ実装、ピン数の削減、および低消費電力というシステム要件を満たす、高性能かつ低コストなプラットフォームを提供します。以下の機能が含まれています。

- 小規模な組み込みアプリケーション向けに最適化された 32 ビット Arm® Cortex®-M4F アーキテクチャ
- 優れた処理性能と高速割り込み処理を同時に実現
- 16 ビット命令と 32 ビット命令を組み合わせた Arm Thumb®-2 テクノロジにより、マイコン クラスのアプリケーションで一般的な数キロバイト程度のコンパクトなメモリ サイズにおいて、通常は 8 ビットおよび 16 ビットデバイスに関連付けられるメモリ容量でありながら、32 ビット Arm® コアに期待される高い性能を実現します:
  - シングル サイクルの乗算命令とハードウェア除算
  - アトミックなビット操作 (ビットバンディング) により、最大限にメモリを利用し、リフェラル制御の効率化も実現
  - アンアライインド データアクセスにより、データをメモリに効率的にパッキング可能
- 高速なコード実行により、プロセッサ クロックの低速化やスリープ モードの時間の増加を可能に
- 命令用とデータ用に分離したバスを特徴とするハーバード アーキテクチャ
- 効率的なプロセッサ コア、システム、メモリ
- ハードウェア分割と高速デジタル信号処理指向の乗算累算
- 信号処理用の飽和演算
- タイムクリティカルなアプリケーション向けの確定的で高性能な割り込み処理
- 単精度浮動小数点演算機能を備えた浮動小数点演算ユニット (FPU)
- メモリ管理および保護機能を提供するメモリ保護ユニット (MPU)
- 広範囲のブレークポイント機能とトレース機能を備えた、強化されたシステム デバッグ
- ウォッチポイント生成のためのデータ マッチングによるフル デバッグ
  - DWT
  - JTAG デバッグ ポート
  - FPB
- より高い性能と電力効率を実現するための Arm7® プロセッサファミリからの移行に対応
- 標準トレースをサポート
  - ITM
  - 非同期シリアル ワイヤ出力 (SWO) 付き TPIU
- シングル サイクルのフラッシュ メモリの使用に最適化
- スリープ モードを内蔵した超低消費電力
- 48MHz 動作

2.2 ブロック図

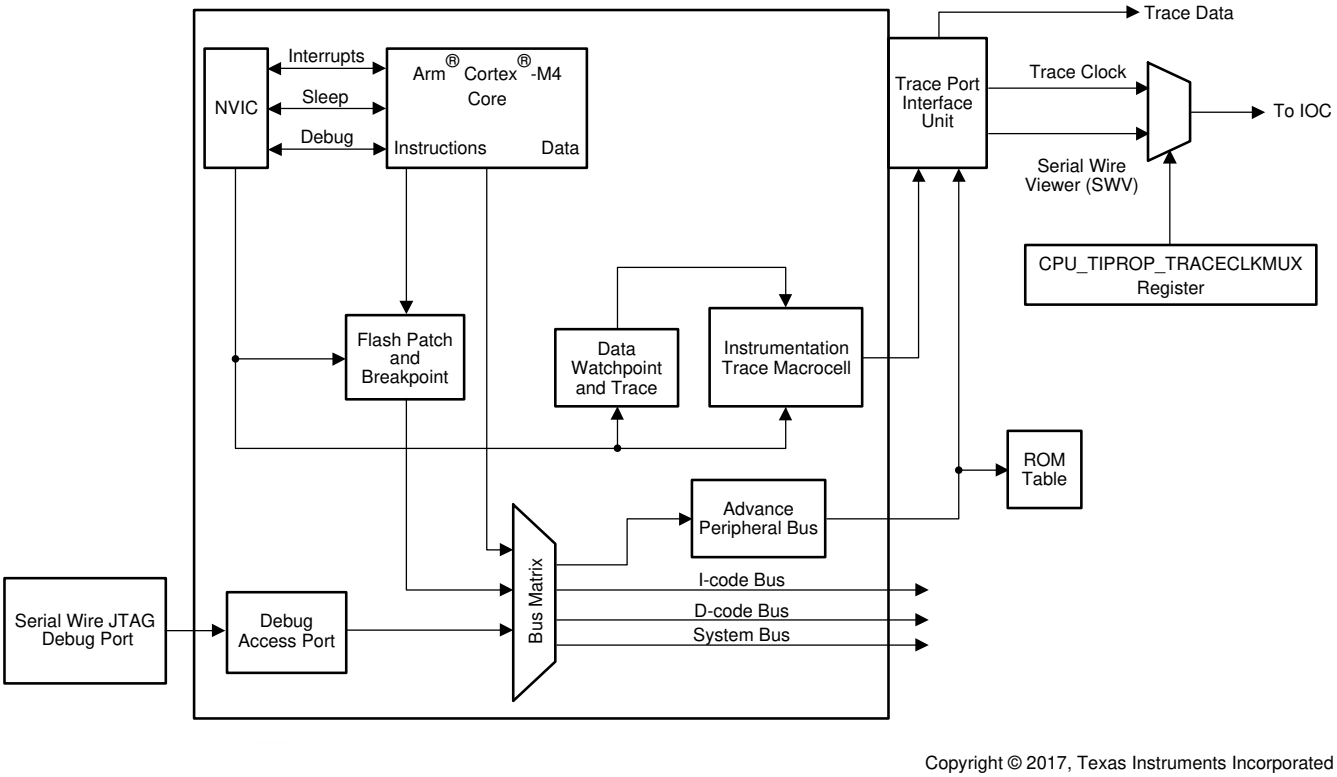
図 2-1 に、コア プロセッサ ユニット (CPU) のブロック図を示します。Arm® Cortex®-M4F プロセッサは、3 段のパイプライン ハーバード アーキテクチャを採用した高性能プロセッサ コアを基礎としており、要求の厳しい組込みアプリケーションに理想的です。このプロセッサは、効率的な命令セットと広範に最適化された設計により、優れた電力効率を実現するとともに、高度な処理性能を提供するハードウェアを備えています。この命令セットには、単一サイクルの乗算命令、SIMD 乗算命令および乗算累算機能、飽和演算、ならびに専用ハードウェアによる除算機能が含まれています。

コスト重視のデバイスの設計を容易にするため、Arm® Cortex®-M4F プロセッサは密結合したシステム コンポーネントを実装しており、プロセッサ面積を削減すると同時に、割り込み処理とシステム デバッグ能力を大幅に向上させます。Arm® Cortex®-M4F プロセッサは、Thumb-2 テクノロジをベースとした Thumb 命令セットを実装しており、高いコード密度を実現するとともに、プログラムメモリの使用量を削減します。Arm® Cortex®-M4F の命令セットは、最新の 32 ビット アーキテクチャに期待される優れた性能と、8 ビットおよび 16 ビットのマイコン並みの高いコード密度を提供します。

Arm® Cortex®-M4F プロセッサは、ネスト型ベクタ割り込みコントローラ (NVIC) をプロセッサ コアに緊密に統合しており、割り込みサービスルーチン (ISR) を高速に実行することで、割り込みレイテンシーを大幅に低減します。レジスタのハードウェア スタッキング機能と、ロード マルチプル命令およびストア マルチプル命令を中断できる機能により、割り込みレイテンシーはさらに低減されます。割り込みハンドラではアセンブラ スタブを必要としないため、ISR におけるコード オーバーヘッドが削減されます。テールチェイニングの最適化により、ISR を切り替える際のオーバーヘッドも大幅に削減されま

Copyright © 2026 Texas Instruments Incorporated

す。低消費電力設計を最適化するために、NVIC はスリープモード (ディープスリープ モードを含む) と統合されており、デバイス全体を迅速に低電力状態へ移行させることができます。



Copyright © 2017, Texas Instruments Incorporated

図 2-1. CPU のブロック図

2.3 概要

2.3.1 システム レベル インターフェイス

Arm® Cortex®-M4F プロセッサは、AMBA® テクノロジを用いた複数のインターフェイスを提供し、高速かつ低レイテンシのメモリアクセスを実現します。コアは非整列データ アクセスをサポートし、アトミック ビット操作を実装しています。これにより、高速ペリフェラル制御、システム スピンロック、スレッドセーフ ブール データ処理が可能になります。

2.3.2 統合構成可能デバッグ

Arm® Cortex®-M4F プロセッサは、Serial Wire or JTAG Debug Port (SWJ-DP) モジュールを通じて、完全なハードウェア デバッグ ソリューションを実装しています。SWJ-DP は、従来の JTAG ポートを通じて、プロセッサおよびメモリに対する高いシステム可視性を提供します。SWJ-DP の詳細については、Chapter 6 および『Arm Debug Interface V5 Architecture Specification』を参照してください。

システム トレース用に、プロセッサはデータ ウォッチポイントおよびプロファイリング ユニットとともに、Instrumentation Trace Macrocell (ITM) を統合しています。システム トレース イベントのシンプルで低コストのプロファイリングを可能にするため、シリアル ワイヤ ビューア (SWV) は、ソフトウェア生成メッセージ、データ トレース、およびプロファイリング情報のストリームを 1 本のピンからエクスポートできます。

Flash Patch and Breakpoint Unit (FPB) は、デバッガが使用できる最大 8 つのハードウェア ブレークポイント コンパレータを提供します。FPB 内のコンパレータは、CODE メモリ領域内のプログラム コードについて、最大 8 ワードのリマップ機能も提供します。リマップ機能により、フラッシュ メモリの読み出し専用領域に格納されたアプリケーションに対して、オ

Copyright © 2026 Texas Instruments Incorporated

ンチップ SRAM またはフラッシュ メモリの別の領域へのパッチ適用が可能になります。パッチが必要な場合、アプリケーションは複数のアドレスをリマップするように FPB をプログラムします。これらのアドレスにアクセスすると、そのアクセスは FPB 構成で指定されたリマップ テーブルにリダイレクトされます。

Arm® Cortex®-M4F のデバッグ機能の詳細については、『Arm Debug Interface V5 Architecture Specification』を参照してください。

2.3.3 トレース ポート インターフェイス ユニット

図 2-2 に、トレース ポート インターフェイス ユニット (TPIU) のブロック図を示します。TPIU は、ITM からの Arm® Cortex®-M4F トレース データとオフ チップのトレース ポート アナライザの間のブリッジとして機能します。

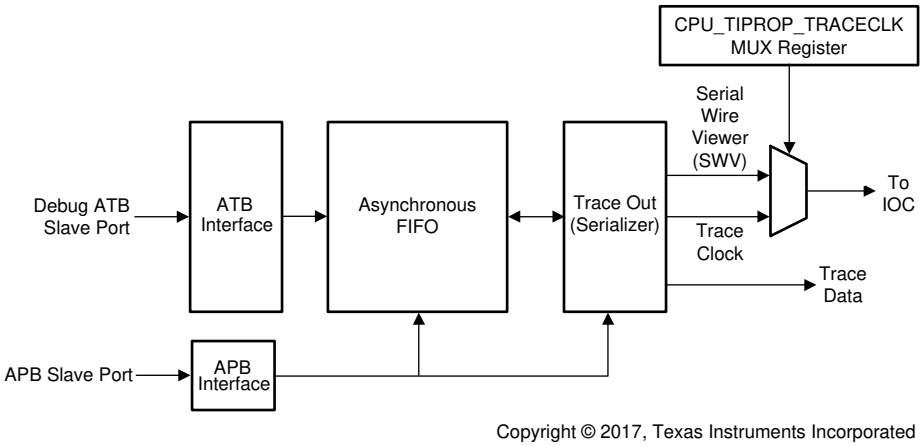


図 2-2. TPIU のブロック図

2.3.4 浮動小数点演算ユニット (FPU)

Arm® Cortex®-M4F プロセッサには、ARMv7-M 浮動小数点拡張 (FPv4-SP) の単精度版を実装した浮動小数点演算ユニット (FPU) が搭載されています。ANSI/IEEE Std 754-2008、IEEE 754 規格と呼ばれるバイナリ浮動小数点演算の IEEE 規格に準拠した浮動小数点演算機能を提供します。FPU は、『ARMv7-M アーキテクチャ リファレンス マニュアル』に記載されている、すべての単精度データ処理命令とデータ タイプをサポートしています (セクション 2.7 を参照)。

2.3.5 メモリ保護ユニット (MPU)

Arm® Cortex®-M4F プロセッサには、標準の ARMv7 Protected Memory System Architecture モデルをサポートするメモリ保護ユニット (MPU) が含まれています (セクション 2.8 を参照)。

2.3.6 Arm® Cortex®-M4F システム コンポーネントの詳細

The Arm® Cortex®-M4F には、以下のシステム コンポーネントが搭載されています。

- **SysTick**:24 ビット カウントダウン タイマ。リアルタイム オペレーティング システム (RTOS) のティック タイマとして、またはシンプルなカウンタとして使用できます (セクション 4.2.1 を参照)
- **ネスト型ベクトル割り込みコントローラ**:低レイテンシの割り込み処理をサポートする組込み型の割り込みコントローラ (INTC) (セクション 4.2.2 を参照)
- **システム コントロール ブロック**:プロセッサへのプログラミング モデル インターフェイス。システム実装情報とシステム制御 (システム例外の設定、制御、レポートなど) を提供します (セクション 4.2.3 を参照)。プロセッサの主要な制御機能とステータス機能は、SCS (システム制御スペース) 内の SCB で集中管理されます。

Copyright © 2026 Texas Instruments Incorporated

2.4 プログラミング モデル

このセクションでは、Arm® Cortex®-M4F プログラミング モデルについて説明します。ソフトウェア実行時のプロセッサ モードと特権レベル、スタック、および各コア レジスタの説明については、セクション 2.5 を参照してください。

2.4.1 ソフトウェア実行時のプロセッサ モードおよび特権レベル

Arm® Cortex®-M4F プロセッサには、2 つの動作モードがあります。

- スレッド モードは、アプリケーション ソフトウェアを実行します。プロセッサがリセット状態から復帰するとスレッド モードに入ります。
- ハンドラ モードは例外を処理します。プロセッサは、例外処理を完了すると、スレッド モードに戻ります。

さらに、Arm® Cortex®-M4F プロセッサには 2 つの特権レベル (非特権レベルと特権レベル) があります。

- 非特権モードでは、ソフトウェアには次の制約事項があります。
  - MSR および MRS 命令へのアクセス制限、および CPS 命令の使用不可
  - システム タイマ、NVIC、または SCB へのアクセス不可
- 特権モードでは、ソフトウェアはすべての命令を使用でき、プロセッサ内のすべてのリソースにアクセスできます。

スレッド モードでは、CONTROL レジスタ (表 2-24 を参照) はソフトウェアの実行が特権付きか特権なしかを制御します。ハンドラ モードでは、ソフトウェアの実行は常に特権付きです。

CONTROL レジスタに書き込むことができるのは、特権付きソフトウェアのみです。これにより、スレッド モードでソフトウェア実行時の特権レベルを変更できます。特権なしソフトウェアは、SVC 命令を使用してスーパーバイザ コールを発信し、特権付きソフトウェアに制御を渡すことができます。

2.4.2 スタック

Arm® Cortex®-M4F プロセッサはフル降順のスタックを使用しています。つまり、スタック ポインタはメモリ上の最後のスタック アイテムを示します。プロセッサが新しい項目をスタックにプッシュする際は、まずスタック ポインタを減少させ、その後、新しいメモリ位置にその項目を書き込みます。プロセッサは、メイン スタックとプロセス スタックの二つのスタックを実装しており、各スタックのポインタは独立したレジスタに保持されています (表 2-16 の SP レジスタを参照)。

スレッド モードでは、制御レジスタ (表 2-24 を参照) は、プロセッサがメイン スタックとプロセス スタックのどちらを使用するかを制御します。ハンドラ モードでは、プロセッサは常にメイン スタックを使用します。表 2-1 に、プロセッサ操作のオプションを示します。

表 2-1. プロセッサ モード、特権レベル、およびスタック使用の概要

プロセッサ モード	Use	特権レベル	使用するスタック
Thread	アプリケーション	特権または特権なし(1)	メイン スタックまたはプロセス スタック
ハンドラ	例外ハンドラ	常に特権モードで動作	メイン スタック

(1) 表 2-24 の CONTROL レジスタを参照してください。

2.4.3 例外および割り込み

例外は、ソフトウェア制御の通常のフローを変更します。割り込みおよびシステム例外のサポートは、最大 240 の外部割り込み入力をサポートする内蔵 NVIC を用いて実装されています。外部割り込みのほかに、Arm® Cortex®-M4F では、リセットや NMI など、16 の事前定義済み例外ソースもサービスします。プロセッサと NVIC は、すべての例外を優先して処理します。プロセッサは、リセットを除くすべての例外を処理するためにハンドラ モードを使用します。ソフトウェアは、レジスタを介して NVIC 外部割り込み入力に割り当てる実際の優先度を設定します。

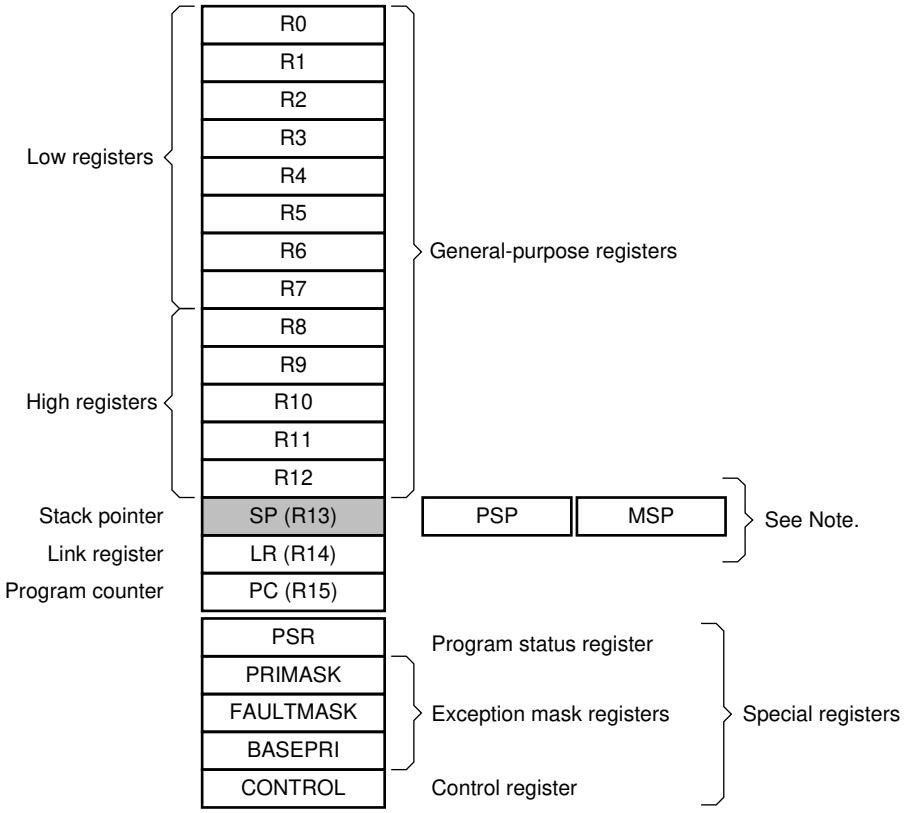
Copyright © 2026 Texas Instruments Incorporated

2.4.4 データの種類

Arm® Cortex®-M4F プロセッサは、32 ビット ワード、16 ビット ハーフワード、および 8 ビット バイトをサポートしています。このプロセッサは 64 ビットのデータ転送命令もサポートしています。すべての命令およびデータ メモリ アクセスは、リトル エンディアンです。詳細については、『M3/M4F 拡張命令セット テクニカル リファレンス マニュアル』を参照してください。

2.5 Arm® Cortex®-M4F コア レジスタ

図 2-3 に Arm® Cortex®-M4F レジスタ セットを示します。表 2-2 に、コア レジスタを示します。コア レジスタはメモリ マップされておらず、レジスタ名でアクセスされるため、ベース アドレスは N/A (該当なし) で、オフセットはありません。



注：SP のバンク バージョン

図 2-3. Arm® Cortex®-M4F レジスタ セット

Copyright © 2026 Texas Instruments Incorporated

2.5.1 コア レジスタ マップ

表 2-2. プロセッサ レジスタ マップ

名称	タイプ	リセット	説明	リンク
R0	R/W	—	Cortex 汎用レジスタ 0	セクション 2.5.2.1 を参照してください。
R1	R/W	—	Cortex 汎用レジスタ 1	セクション 2.5.2.2 を参照してください。
R2	R/W	—	Cortex 汎用レジスタ 2	セクション 2.5.2.3 を参照してください。
R3	R/W	—	Cortex 汎用レジスタ 3	セクション 2.5.2.4 を参照してください。
R4	R/W	—	Cortex 汎用レジスタ 4	セクション 2.5.2.5 を参照してください。
R5	R/W	—	Cortex 汎用レジスタ 5	セクション 2.5.2.6 を参照してください。
R6	R/W	—	Cortex 汎用レジスタ 6	セクション 2.5.2.7 を参照してください。
R7	R/W	—	Cortex 汎用レジスタ 7	セクション 2.5.2.8 を参照してください。
R8	R/W	—	Cortex 汎用レジスタ 8	セクション 2.5.2.9 を参照してください。
R9	R/W	—	Cortex 汎用レジスタ 9	セクション 2.5.2.10 を参照してください。
R10	R/W	—	Cortex 汎用レジスタ 10	セクション 2.5.2.11 を参照してください。
R11	R/W	—	Cortex 汎用レジスタ 11	セクション 2.5.2.12 を参照してください。
R12	R/W	—	Cortex 汎用レジスタ 12	セクション 2.5.2.13 を参照してください。
SP	R/W	–	スタック ポインタ	セクション 2.5.2.14 を参照してください。
LR	R/W	0xFFFF FFFF	リンク レジスタ	セクション 2.5.2.15 を参照してください。
PC	R/W	—	プログラム カウンタ	セクション 2.5.2.16 を参照してください。
PSR	R/W	0x0100 0000	プログラム ステータス レジスタ	セクション 2.5.2.17 を参照してください。
PRIMASK	R/W	0x0000 0000	優先度マスク レジスタ	セクション 2.5.2.18 を参照してください。
FAULTMASK	R/W	0x0000 0000	フォルト マスク レジスタ	セクション 2.5.2.19 を参照してください。
BASEPRI	R/W	0x0000 0000	ベース優先度マスク レジスタ	セクション 2.5.2.20 を参照してください。
制御	R/W	0x0000 0000	制御レジスタ	セクション 2.5.2.21 を参照してください。

2.5.2 コア レジスタの説明

このセクションでは、Arm® Cortex®-M4F レジスタを図 2-3 に示す順序でリストアップして説明します。コア レジスタはメモリマップされておらず、オフセットではなくレジスタ名 でアクセスします。

Copyright © 2026 Texas Instruments Incorporated

注

レジスタの説明に記載されているレジスタ タイプは、スレッド モードとハンドラ モードでのプログラム実行時のタイプを指します。デバッグ アクセスは異なる場合があります。

2.5.2.1 Cortex® 汎用レジスタ 0 (R0)

表 2-3. Cortex® 汎用レジスタ 0 (R0)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R0 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.2 Cortex® 汎用レジスタ 1 (R1)

表 2-4. Cortex® 汎用レジスタ 1 (R1)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R1 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.3 Cortex® 汎用レジスタ 2 (R2)

表 2-5. Cortex® 汎用レジスタ 2 (R2)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R2 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.4 Cortex® 汎用レジスタ 3 (R3)

表 2-6. Cortex® 汎用レジスタ 3 (R3)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	

Copyright © 2026 Texas Instruments Incorporated

表 2-6. Cortex® 汎用レジスタ 3 (R3) (続き)

説明	R3 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。
タイプ	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.5.2.5 Cortex® 汎用レジスタ 4 (R4)

表 2-7. Cortex® 汎用レジスタ 4 (R4)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R4 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.6 Cortex® 汎用レジスタ 5 (R5)

表 2-8. Cortex® 汎用レジスタ 5 (R5)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R5 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.7 Cortex® 汎用レジスタ 6 (R6)

表 2-9. Cortex® 汎用レジスタ 6 (R6)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R6 レジスタは、データ操作用の 32 ビット汎用レジスタであり、特権モードまたは非特権モードのどちらからでもアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

Copyright © 2026 Texas Instruments Incorporated

2.5.2.8 Cortex® 汎用レジスタ 7 (R7)

表 2-10. Cortex® 汎用レジスタ 7 (R7)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R7 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.9 Cortex® 汎用レジスタ 8 (R8)

表 2-11. Cortex® 汎用レジスタ 8 (R8)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R8 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.10 Cortex® 汎用レジスタ 9 (R9)

表 2-12. Cortex® 汎用レジスタ 9 (R9)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R9 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

Copyright © 2026 Texas Instruments Incorporated

2.5.2.11 Cortex® 汎用レジスタ 10 (R10)

表 2-13. Cortex® 汎用レジスタ 10 (R10)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R10 レジスタは、データ操作用の 32 ビット汎用レジスタであり、特権モードまたは非特権モードのどちらからでもアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.12 Cortex® 汎用レジスタ 11 (R11)

表 2-14. Cortex® 汎用レジスタ 11 (R11)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R11 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

2.5.2.13 Cortex® 汎用レジスタ 12 (R12)

表 2-15. Cortex® 汎用レジスタ 12 (R12)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明	R12 レジスタはデータ処理用 32 ビット汎用レジスタで、特権モードまたは非特権モードからアクセスできます。		
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															

ビット	フィールド名	説明	タイプ	リセット
31-0	データ	レジスタ データ	R/W	—

Copyright © 2026 Texas Instruments Incorporated

2.5.2.14 スタック ポインタ (SP)

表 2-16. スタック ポインタ (SP)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明			
スタック ポインタ (SP) はレジスタ R13 です。スレッド モードでは、このレジスタの機能は制御レジスタ (CONTROL) レジスタの ASP ビットに応じて変わります。ASP ビットがクリアされている場合、このレジスタは Main Stack Pointer (MSP) です。ASP ビットが設定されている場合、このレジスタは Process Stack Pointer (PSP) です。リセット時、ASP ビットはクリアされ、プロセッサはアドレス 0x0000 0000 の値を MSP にロードします。MSP には特権モードでのみアクセスできます。PSP には特権モードまたは非特権モードのどちらからでもアクセスできます。			
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SP																															

ビット	フィールド名	説明	タイプ	リセット
31-0	SP	このフィールドは、スタック ポインタのアドレスです。	R/W	—

2.5.2.15 リンク レジスタ (LR)

表 2-17. リンク レジスタ (LR)

アドレス オフセット		リセット	0xFFFF FFFF
物理アドレス		インスタンス	
説明			
リンク レジスタ (LR) はレジスタ R14 で、サブルーチン、関数呼び出し、例外からの復帰情報を格納します。LR は特権モードまたは非特権モードからアクセスできます。			
EXC_RETURN は例外エントリ時に LR にロードされます。値と説明については、表 5-2 を参照してください。			
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															

ビット	フィールド名	説明	タイプ	リセット
31-0	LINK	このフィールドは復帰アドレスです。	R/W	0xFFFF FFFF

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.5.2.16 プログラム カウンタ (PC)

表 2-18. プログラム カウンタ (PC)

アドレス オフセット		リセット	–
物理アドレス		インスタンス	
説明			
プログラム カウンタ (PC) はレジスタ R15 で、現在のプログラム アドレスを格納します。リセット時、プロセッサはアドレス 0x0000 0004 にあるリセット ベクタの値を PC にロードします。リセット時には、リセット ベクタのビット 0 の値が EPSR レジスタの THUMB ビットに読み込まれます。この値は必ず 1 である必要があります。PC レジスタには、特権モードまたは非特権モードでアクセスできます			
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PC																															

ビット	フィールド名	説明	タイプ	リセット
31-0	PC	このフィールドは、現在のプログラム アドレスです。	R/W	—

2.5.2.17 プログラム ステータス レジスタ (PSR)

表 2-19. PSR の組み合わせ

登録	タイプ	組み合わせ
PSR	R/W(2) (1)	APSR、EPSR、IPSR
IEPSR	RO	EPSR と IPSR
IAPSR	R/W	APSR と IPSR
EAPSR	R/W	APSR と EPSR

(1) プロセッサは IPSR ビットへの書き込みを無視します。
(2) MSR 命令を使用して EPSR ビットを直接読み出した場合、読み出し結果は常に 0 になります。また、これらのビットへの書き込みはプロセッサによって無視されます。

表 2-20. プログラム ステータス レジスタ (PSR) または (xPSR)

アドレス オフセット		リセット	0x0100 0000
物理アドレス		インスタンス	
説明			
xPSR とも呼ばれます			
プログラム ステータス レジスタ (PSR) は三つの機能を持ち、レジスタ内の各ビットはそれぞれの機能に割り当てられています: • アプリケーション プログラム ステータス レジスタ (APSR)、ビット 31 ～ 27 • 実行プログラム ステータス レジスタ (EPSR)、ビット 26 ～ 24、15 ～ 10 • 割り込みプログラム ステータス レジスタ (IPSR)、ビット 6–0			
PSR、IPSR、および EPSR レジスタには特権モードでのみアクセスできます。一方、APSR レジスタには特権モードおよび非特権モードのいずれからでもアクセスできます。			
APSR には、過去の命令実行によって更新された条件フラグの現在の状態が保持されています。			
EPSR には、Interrupted Load Multiple または Store Multiple 命令のための Thumb 状態ビットと If-Then (IT) 命令の実行状態ビット、または Interruptable-Continuable 命令 (ICI) フィールドが含まれます。アプリケーション ソフトウェアから MSR 命令を用いて EPSR を直接読み出した場合、読み取り値として常に 0 が返されます。アプリケーション ソフトウェアから MSR 命令を使用して EPSR への書き込みを試みても、その書き込みは常に無視されます。故障ハンドラは、スタックされた PSR の EPSR 値を調べて、故障が発生した動作を判断できます (セクション 5.1.7 を参照)。			
IPSR には、現在の ISR の例外タイプ番号が含まれています。			
これらのレジスタは、MSR 命令または MRS 命令のオペランドとしてレジスタ名を指定することで、個別に、あるいは任意の二つまたは三つすべてを組み合わせてアクセスできます。例えば、MRS 命令で PSR を指定すると、これらすべてのレジスタの内容を読み出すことができます。一方、MSR 命令では APSR を指定した場合にのみ、APSR へ書き込むことができます。表 2-20 に、PSR で可能なレジスタの組み合わせを示します。プログラム ステータス レジスタへのアクセス方法の詳細については、『Cortex-M3/M4F 命令セット テクニカル ユーザー マニュアル』の MRS および MSR 命令の説明を参照してください。			

Copyright © 2026 Texas Instruments Incorporated

表 2-20. プログラム ステータス レジスタ (PSR) または (xPSR) (続き)

タイプ	R/W

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N	Z	C	V	Q	ICI/IT		THUMB	予約済み								ICI/IT						予約済み			ISRNUM						

ビット	フィールド名	説明		タイプ	リセット
31	N	APSR ネガティブまたはそれ以下のフラグ		R/W	0
		値	**説明**		
		1	前の操作の結果は負またはそれ以下でした。		
		0	前回の演算結果が、正の値、ゼロ、大きい、または等しいことを示します		
		このビットの値は、PSR または APSR にアクセスするときのみ意味があります。			
30	Z	APSR ゼロ フラグ		R/W	0
		値	**説明**		
		1	前回の演算結果がゼロであったことを示します。		
		0	前回の演算結果がゼロ以外であったことを示します。		
		このビットの値は、PSR または APSR にアクセスするときのみ意味があります。			
29	C	APSR キャリー フラグまたはボローフラグ		R/W	0
		値	**説明**		
		1	直前の加算演算でキャリー ビットが発生した、または直前の減算演算でボローが発生しなかったことを示します。		
		0	直前の加算演算でキャリー ビットが発生しなかった、または直前の減算演算でボローが発生したことを示します。		
		このビットの値は、PSR または APSR にアクセスするときのみ意味があります。			
28	V	APSR オーバーフロー フラグ		R/W	0
		値	**説明**		
		1	前回の演算でオーバーフローが発生したことを示します。		
		0	前回の演算でオーバーフローが発生しなかったことを示します。		
		このビットの値は、PSR または APSR にアクセスするときのみ意味があります。			
27	Q	APSR スティッキー オーバーフローおよび飽和フラグ		R/W	0
		値	**説明**		
		1	オーバーフローまたは飽和が発生しました。(SSAT または USAT 命令により設定)。		
		0	リセット後、またはこのビットが最後にクリアされて以降、オーバーフローまたは飽和は発生していません。		
		このビットの値は、PSR または APSR にアクセスするときのみ意味があります。 このフラグはスティッキー フラグであり、一度命令によってセットされると、MSR 命令を使用して明示的にクリアされるまでセットされた状態を保持します。			

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

ビット	フィールド名	説明	タイプ	リセット
26 ~ 25	ICI/IT	EPSR ICI/IT ステータス これらのビットは、ビット 15:10 とともに、中断された複数のロードのための ICI フィールド、または IT 命令の複数の命令または実行状態ビットを格納します。EPSR が ICI 実行状態を保持すると、ビット 26:25 は 0 になります。If-Then ブロックには、IT 命令に続く最大四つの命令が含まれます。ブロック内の各命令は条件付きです。命令の条件はすべて同じであるか、または他の条件の逆数である場合があります。詳細については、『Cortex-M3/M4F 命令セット テクニカル ユーザー マニュアル』を参照してください。このフィールドの値は、PSR または EPSR にアクセスする場合にのみ意味を持ちます。	R/O	0x0
24	THUMB	EPSR Thumb 状態 このビットはサム状態を示し、常に設定されている必要があります。次の操作により、THUMB ビットがクリアされます。 • BLX、BX、および POP {PC} 命令 • 例外リターン時のスタック xPSR 値からの復元 • 例外エントリまたはリセット時のベクタ値のビット 0 このビットがクリアされているときに命令を実行しようとすると、故障またはロックアップが発生します。詳細については、セクション 5.2.4 を参照してください。このビットの値は、PSR または EPSR にアクセスするときのみ意味があります。	R/O	1
23 ~ 16	予約済み	予約済み	R/O	0x00
15 ~ 10	ICI/IT	EPSR ICI/IT ステータス これらのビットは、ビット 26:25 とともに、中断された複数のロードのための ICI フィールド、または IT 命令の複数の命令または実行状態ビットを格納します。LDM、STM、PUSH、または POP 命令の実行中に割り込みが発生した場合、プロセッサは複数命令のロードを一時的に停止するか、複数命令の格納を一時的に停止し、次のレジスタ オペランドをビット 15:12 への複数操作に保存します。割り込み処理の完了後、プロセッサはビット 15:12 で示されるレジスタに戻り、Load Multiple 命令または Store Multiple 命令の実行を再開します。EPSR が ICI 実行状態を保持すると、ビット 11:10 は 0 になります。If-Then ブロックには、16 ビットの IT 命令に続く最大四個の命令が含まれます。ブロック内の各命令は条件付きです。命令の条件はすべて同じであるか、または他の条件の逆数である場合があります。詳細については、『Cortex-M3/M4F 命令セット テクニカル ユーザー マニュアル』を参照してください。このフィールドの値は、PSR または EPSR にアクセスする場合にのみ意味を持ちます。	R/O	0x0
9 ~ 7	予約済み	ソフトウェアは、予約済みビットの値に依存しないものとします。将来の製品との互換性を確保するには、読み取り / 変更 / 書き込み動作の間、予約ビットの値を保持する必要があります。	R/O	0x0

Copyright © 2026 Texas Instruments Incorporated

ビット	フィールド名	説明		タイプ	リセット
6-0	ISRNUM	IPSR ISR 番号 このフィールドには、現在の ISR の例外タイプ番号が含まれています。		R/O	0x00
		値	**説明**		
		0x00	スレッド モード		
		0x01	予約済み		
		0x02	NMI		
		0x03	ハード フォールト		
		0x04	メモリ管理故障		
		0x05	バス故障		
		0x06	使用上の故障		
		0x07–0x0A	予約済み		
		0x0B	SVCall		
		0x0C	デバッグ用に予約済み		
		0x0D	予約済み		
		0x0E	PendSV		
		0x0F	SysTick		
		0x10	割り込みベクタ 0		
		0x11	割り込みベクタ 1		
		...	...		
		0x31	割り込みベクタ 33		
		0x32-0x7F	予約済み		
		詳細については、セクション 5.1.2 を参照してください。 このフィールドの値は、PSR または IPSR にアクセスする場合にのみ意味があります。			

Copyright © 2026 Texas Instruments Incorporated

2.5.2.18 優先度マスク レジスタ (PRIMASK)

表 2-21. 優先度マスク レジスタ (PRIMASK)

アドレス オフセット		リセット	0x0000 0000
物理アドレス		インスタンス	
説明			
優先マスク (PRIMASK) レジスタは、プログラム可能な優先度を持つすべての例外のアクティブ化を防止します。リセット、ノンマスカブル割り込み (NMI)、ハード フォルトは、固定優先度を持つ唯一の例外です。例外は、重要なタスクのタイミングに影響を与える可能性がある場合は無効にする必要があります。このレジスタには、特権モードでのみアクセスできます。PRIMASK レジスタへのアクセスには MSR 命令および MRS 命令を使用し、PRIMASK レジスタの値を変更するには CPS 命令を使用できます。これらの手順の詳細については、『Cortex-M3/M4F 命令セット テクニカル ユーザー マニュアル』を参照してください。例外の優先度の詳細については、セクション 5.1.2 を参照してください。			
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															PRIMASK

ビット	フィールド名	説明		タイプ	リセット
31 ~ 1	予約済み	ソフトウェアは、予約済みビットの値に依存しないものとします。将来の製品との互換性を確保するには、読み取り / 変更 / 書き込み動作の間、予約ビットの値を保持する必要があります。		R/O	0x0000 000
0	PRIMASK	優先マスク		R/W	0
		値	**説明**		
		1	設定可能な優先度を持つすべての例外のアクティブ化を防止します		
		0	影響なし		

Copyright © 2026 Texas Instruments Incorporated

2.5.2.19 故障マスク レジスタ (FAULTMASK)

表 2-22. 故障マスク レジスタ (FAULTMASK)

アドレス オフセット		リセット	0x0000 0000
物理アドレス		インスタンス	
説明			
フォルト マスク FAULTMASK レジスタは、NMI を除くすべての例外がアクティブになるのを防止します。例外によってクリティカルなタスクのタイミングに影響する可能性がある場合は、例外を無効にする必要があります。このレジスタには特権モードでのみアクセスできます。FAULTMASK レジスタへのアクセスには MSR 命令および MRS 命令を使用し、FAULTMASK レジスタの値の変更には CPS 命令を使用できます。これらの命令の詳細については、『Cortex-M3/M4F Instruction Set Technical User's Manual』を参照してください。SPMU159 例外の優先度レベルの詳細については、セクション 5.1.2 を参照してください。			
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																															FAULTMASK

ビット	フィールド名	説明		タイプ	リセット
31 ~ 1	RESERVED	予約済み		R/O	0x0000 000
0	FAULTMASK	故障マスク		R/W	0
		値	説明		
		1	NMI を除くすべての例外のアクティブ化を防止します		
		0	影響なし		
		プロセッサは、NMI ハンドラを除く任意の例外ハンドラからの終了時に、FAULTMASK ビットをクリアします。			

Copyright © 2026 Texas Instruments Incorporated

2.5.2.20 ベース優先度マスク レジスタ (BASEPRI)

表 2-23. ベース優先度マスク レジスタ (BASEPRI)

アドレス オフセット		リセット	0x0000 0000
物理アドレス		インスタンス	
説明			
Base Priority Mask BASEPRI レジスタは、例外処理の最小優先度を定義します。BASEPRI がゼロ以外の値に設定されている場合、BASEPRI 値と同じ、またはそれより低い優先度レベルのすべての例外がアクティブになるのを防止します。例外によってクリティカルなタスクのタイミングに影響する可能性がある場合は、例外を無効にする必要があります。このレジスタには特権モードでのみアクセスできます。例外の優先度レベルの詳細については、セクション 5.1.2 を参照してください。			
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																								BASEPRI			RESERVED				

ビット	フィールド名	説明	タイプ	リセット
31 ~ 8	RESERVED	予約済み	R/O	0x0000 00
7 ~ 5	BASEPRI	ベース優先度 このフィールドの値と同じ、またはそれより低いプログラム可能な優先度レベルを持つ例外はすべてマスクされます。PRIMASK レジスタを使用して、プログラム可能な優先度レベルを持つすべての例外をマスクできます。優先度の高い例外ほど、優先度レベルは低くなります。	R/W	0x0
		値 / **説明** 0x0 / すべての例外はマスクされません。 0x1 / 優先度レベル 1 ～ 7 の例外はすべてマスクされます。 0x2 / 優先度レベル 2 ～ 7 の例外はすべてマスクされます。 0x3 / 優先度レベル 3 ～ 7 の例外はすべてマスクされます。 0x4 / 優先度レベル 4 ～ 7 の例外はすべてマスクされます。 0x5 / 優先度レベル 5 ～ 7 の例外はすべてマスクされます。 0x6 / 優先度レベル 6 および 7 の例外はすべてマスクされます。 0x7 / 優先度レベル 7 の例外はすべてマスクされます。		
4-0	RESERVED	予約済み	R/O	0x0

Copyright © 2026 Texas Instruments Incorporated

2.5.2.21 制御レジスタ (CONTROL)

表 2-24. 制御レジスタ (CONTROL)

アドレス オフセット		リセット	0x0000 0000
物理アドレス		インスタンス	
説明			
制御レジスタは、プロセッサがスレッド モードで動作しているときに使用するスタックと、ソフトウェア実行時の特権レベルを制御します。このレジスタには、特権モードでのみアクセスできます。			
ハンドラ モードでは常に MSP が使用されるため、プロセッサはハンドラ モード時に行われた制御レジスタの ASP ビットへの明示的な書き込みを無視します。例外エントリおよび戻りメカニズムは、EXC_RETURN 値に基づいて、制御レジスタを自動的に更新します (表 5-2 を参照)。OS 環境では、スレッド モードで実行されるスレッドはプロセス スタックを使用し、カーネルおよび例外ハンドラはメイン スタックを使用する必要があります。デフォルトでは、スレッド モードは MSP を使用します。スレッド モードで使用するスタック ポインタを PSP に切り替えるには、Cortex-M3/M4F 命令セット テクニカル ユーザー マニュアルに記載されているように MSR 命令を使用して ASP ビットを設定するか、または表 5-2 に示す適切な EXC_RETURN 値を用いてスレッド モードへ例外復帰を実行します。			
スタック ポインタを変更する場合、ソフトウェアは MSR 命令の直後に ISB 命令を実行しなければなりません。これにより、ISB 命令以降に実行される命令では、新しいスタック ポインタが使用されることが保証されます。『Cortex-M3/M4F 命令セット テクニカル ユーザー マニュアル』を参照してください。			
タイプ	R/W		

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																														ASP	TMPL

ビット	フィールド名	説明		タイプ	リセット
31 ~ 2	予約済み	予約済み		R/O	0x0000 000
1	ASP	アクティブ スタック ポインタ		R/W	0
		値	説明		
		1	PSP は現在のスタック ポインタです。		
		0	MSP は現在のスタック ポインタです。		
		ハンドラ モードでは、このビットはゼロとして読み取られ、書き込みは無視されます。Arm Cortex-M4F は、例外返却時にこのビットを自動的に更新します。			
0	TMPL	スレッド モード権限レベル		R/W	0
		値	説明		
		1	非特権ソフトウェアはスレッド モードで実行できます。		
		0	特権ソフトウェアのみスレッド モードで実行できます。		

Copyright © 2026 Texas Instruments Incorporated

2.6 命令セットの概要

このセクションでは、次の情報を示します。

- Arm® Cortex®-M4F 命令 (セクション 2.6.1 を参照)
- ロードおよびストアのタイミング (セクション 2.6.2 を参照)
- 他の Cortex® プロセッサとのバイナリ互換性 (セクション 2.6.3 を参照)

2.6.1 Arm® Cortex®-M4F 命令

このプロセッサは、ARMv7-M Thumb 命令セットを実装しています。表 2-25 に、Arm® Cortex®-M4F 命令とそのサイクル数を示します。サイクル数は、ゼロウェイト状態のシステムに基づいています。

アセンブラ シンタックス内では、演算に応じて、<op2> フィールドを次のいずれかのオプションに置き換えることができます。

- 単純なレジスタ指定子 (例)

```
Rm
```

- 即シフトレジスタ (例)

```
Rm, LSL #4
```

- レジスタシフトレジスタ (例)

```
Rm, LSL Rs
```

- 即時値 (例)

```
#0xE000E000
```

簡潔にするため、すべてのロードおよびストアアドレッシングモードは示されていません。詳細については、「ARMv7-M アーキテクチャリファレンスマニュアル」を参照してください。

表 2-25 は、「Cycle」列で次の略語を使用しています。

P パイプラインの再充填に必要なサイクル数。これは、対象となる命令の整列と幅、およびプロセッサがアドレスを早期に推測できるかどうかによって、1 ～ 3 の範囲で変化します。

B バリ操作アを実行するために必要なサイクル数。DSB および DMB の場合、最小サイクル数はゼロです。ISB の場合、最小サイクル数はパイプラインの再充填に必要な数に相当します。

N ロードまたは保存されるレジスタリストのレジスタの数 (PC や LR を含む)。

W 適切なイベントの待機に費やしたサイクル数。

表 2-25. Arm® Cortex®-M4F 命令セットの概要

動作	説明	アセンブラ	サイクル
移動	登録	`MOV Rd, <op2>`	1
	16 ビット即値	`MOVW Rd, #<imm>`	1
	すぐにトップへ	`MOVT Rd, #<imm>`	1
	PC へ	`MOV PC, Rm`	1 + P
追加	追加	`ADD Rd, Rn, <op2>`	1
	PC に追加	`ADD PC, PC, Rm`	1 + P
	キャリーで追加	`ADC Rd, Rn, <op2>`	1
	フォームアドレス	`ADR Rd, <label>`	1

Copyright © 2026 Texas Instruments Incorporated

表 2-25. Arm® Cortex®-M4F 命令セットの概要 (続き)

動作	説明	アセンブラ	サイクル
減算	減算	`SUB Rd, Rn, <op2>`	1
	ボロー付き減算	`SBC Rd, Rn, <op2>`	1
	逆方向	`RSB Rd, Rn, <op2>`	1
乗算	乗算	`MUL Rd, Rn, Rm`	1
	乗算累算	`MLA Rd, Rn, Rm`	1
	乗算減算	`MLS Rd, Rn, Rm`	1
	符号付き Long 型	`SMULL RdLo, RdHi, Rn, Rm`	1
	符号なし Long 型	`UMULL RdLo, RdHi, Rn, Rm`	1
	符号付き Long 累算	`SMLAL RdLo, RdHi, Rn, Rm`	1
	符号なし Long 型の累算	`UMLAL RdLo, RdHi, Rn, Rm`	1
分周	符号付き	`SDIV Rd, Rn, Rm`	2 ～ 12[(1)]
	符号なし	`UDIV Rd, Rn, Rm`	2 ～ 12[(1)]
飽和	符号付き	`SSAT Rd, #<imm>, <op2>`	1
	符号なし	`USAT Rd, #<imm>, <op2>`	1
比較	比較	`CMP Rn, <op2>`	1
	負	`CMN Rn, <op2>`	1
論理	AND	`AND Rd, Rn, <op2>`	1
	排他 OR	`EOR Rd, Rn, <op2>`	1
	または	`ORR Rd, Rn, <op2>`	1
	否定論理和	`ORN Rd, Rn, <op2>`	1
	ビット クリア	`BIC Rd, Rn, <op2>`	1
	反転移動	`MVN Rd, <op2>`	1
	AND テスト	`TST Rn, <op2>`	1
	排他 OR テスト	`TEQ Rn, <op1>`	1
シフト	論理左シフト	`LSL Rd, Rn, #<imm>`	1
	論理左シフト	`LSL Rd, Rn, Rs`	1
	論理シフト右	`LSR Rd, Rn, #<imm>`	1
	論理シフト右	`LSR Rd, Rn, Rs`	1
	算術シフト右	`ASR Rd, Rn, #<imm>`	1
	算術シフト右	`ASR Rd, Rn, Rs`	1
回転	右に回転	`ROR Rd, Rn, #<imm>`	1
	右に回転	`ROR Rd, Rn, Rs`	1
	拡張あり	`RRX Rd, Rn`	1
カウント	先頭のゼロ	`CLZ Rd, Rn`	1

Copyright © 2026 Texas Instruments Incorporated

表 2-25. Arm® Cortex®-M4F 命令セットの概要 (続き)

動作	説明	アセンブラ	サイクル
ロード	ワード	LDR Rd, [Rn, <op2>]	2[2]
	PC へ	LDR PC, [Rn, <op2>]	2[2] + P
	ハーフワード	LDRH Rd, [Rn, <op2>]	2[2]
	バイト	LDRB Rd, [Rn, <op2>]	2[2]
	符号付きハーフワード	LDRSH Rd, [Rn, <op2>]	2[2]
	符号付きバイト	LDRSB Rd, [Rn, <op2>]	2[2]
	ユーザー ワード	LDRT Rd, [Rn, #<imm>]	2[2]
	ユーザー ハーフワード	LDRHT Rd, [Rn, #<imm>]	2[2]
	ユーザー バイト	LDRBT Rd, [Rn, #<imm>]	2[2]
	ユーザー符号付きハーフワード	LDRSHT Rd, [Rn, #<imm>]	2[2]
	ユーザー符号付きバイト	LDRSBT Rd, [Rn, #<imm>]	2[2]
	PC の相対値	LDR Rd,[PC, #<imm>]	2[2]
	ダブルワード	LDRD Rd, Rd, [Rn, #<imm>]	1 + N
	複数	LDM Rn, {<reglist>}	1 + N
	PC を含む複数	LDM Rn, {<reglist>, PC}	1 + N + P
ストア	ワード	STR Rd, [Rn, <op2>]	2[2]
	ハーフワード	STRH Rd, [Rn, <op2>]	2[2]
	バイト	STRB Rd, [Rn, <op2>]	2[2]
	符号付きハーフワード	STRSH Rd, [Rn, <op2>]	2[2]
	符号付きバイト	STRSB Rd, [Rn, <op2>]	2[2]
	ユーザー ワード	STRT Rd, [Rn, #<imm>]	2[2]
	ユーザー ハーフワード	STRHT Rd, [Rn, #<imm>]	2[2]
	ユーザー バイト	STRBT Rd, [Rn, #<imm>]	2[2]
	ユーザー符号付きハーフワード	STRSHT Rd, [Rn, #<imm>]	2[2]
	ユーザー符号付きバイト	STRSBT Rd, [Rn, #<imm>]	2[2]
	ダブルワード	STRD Rd, Rd, [Rn, #<imm>]	1 + N
	複数	STM Rn, {<reglist>}	1 + N
プッシュ	プッシュ	PUSH {<reglist>}	1 + N
	リンク レジスタを使用してプッシュ	PUSH {<reglist>, LR}	1 + N
Pop	Pop	POP {<reglist>}	1 + N
	ポップしてリターン	POP {<reglist>, PC}	1 + N + P

Copyright © 2026 Texas Instruments Incorporated

表 2-25. Arm® Cortex®-M4F 命令セットの概要 (続き)

動作	説明	アセンブラ	サイクル
セマフォ	排他的ロード	`LDREX Rd, [Rn, #<imm>]`	2
	排他的ハーフワード ロード	`LDREXH Rd, [Rn]`	2
	排他的バイト ロード	`LDREXB Rd, [Rn]`	2
	排他的ストア	`STREX Rd, Rt, [Rn,#<imm>]`	2
	排他的ハーフワード ストア	`STREXH Rd, Rt, [Rn]`	2
	排他的バイト ストア	`STREXB Rd, Rt, [Rn]`	2
	排他モニタのクリア	`CLREX`	1
分岐	条件付き	`B<cc> <label>`	1 または 1 + P(3)
	無条件	`B <label>`	1 + P
	リンクあり	`BL <label>`	1 + P
	交換付き	`BX Rm`	1 + P
	リンクおよび交換付き	`BLX Rm`	1 + P
	ゼロの場合は分岐し	`CBZ Rn, <label>`	1 または 1 + P(3)
	ゼロ以外の場合は分岐	`CBNZ Rn, <label>`	1 または 1 + P(3)
	バイト テーブル分岐	`TBB [Rn, Rm]`	2 + P
	ハーフワード テーブル分岐	`TBH [Rn, Rm, LSL#1]`	2 + P
状態変更	スーパーバイザ コール	`SVC #<imm>`	–
	条件分岐	`IT... <cond>`	1(4)
	割り込みを無効	`CPSID <flags>`	1 または 2
	割り込みの有効化	`CPSIE <flags>`	1 または 2
	特殊レジスタを読み取り	`MRS Rd, <specreg>`	1 または 2
	専用レジスタの書き込み	`MSR <specreg>, Rn`	1 または 2
	ブレークポイント	`BKPT #<imm>`	–
拡張	符号付きハーフワードからワードへの変換	`SXTH Rd, <op2>`	1
	符号付きバイトからワードへの変換	`SXTB Rd, <op2>`	1
	符号なしハーフワード	`UXTH Rd, <op2>`	1
	符号なしバイト	`UXTB Rd, <op2>`	1
ビット フィールド	符号なし抽出	`UBFX Rd, Rn, #<imm>, #<imm>`	1
	符号あり抽出	`SBFX Rd, Rn, #<imm>, #<imm>`	1
	わかりやすい	`BFC Rd, Rn, #<imm>, #<imm>`	1
	挿入	`BFI Rd, Rn, #<imm>, #<imm>`	1
逆方向	ワード内のバイト	`REV Rd, Rm`	1
	両方のハーフワードのバイト	`REV16 Rd, Rm`	1
	符号付き下位ハーフワード	`REVSH Rd, Rm`	1
	ワード内のビット	`RBIT Rd, Rm`	1

Copyright © 2026 Texas Instruments Incorporated

表 2-25. Arm® Cortex®-M4F 命令セットの概要 (続き)

動作	説明	アセンブラ	サイクル
ヒント	イベントを送信	SEV	1
	アライベントを待機	WFE	1 + W
	割り込み待機	WFI	1 + W
	無操作	NOP	1
バリア	命令の同期	ISB	1 + B
	データ メモリ	DMB	1 + B
	データ同期	DSB <flags>	1 + B

(1) 除算演算は、除算計算が完了した時点で終了します。必要なサイクル数は、入力オペランドの値に依存します。除算演算は割り込み可能です。つまり、割り込みが発生した場合、除算演算は中断されます。割り込み遅延は最悪でも一サイクルであり、割り込み処理の完了後に除算演算が再開されます。
(2) 隣接する単一ロード命令および単一ストア命令では、アドレス フェーズとデータ 位相をパイプライン化できます。ただし、奇数ハーフワード境界に配置された 32 ビット オペコードなどの場合には、パイプライン化が最適に行われないことがあります。
(3) 条件分岐は、分岐が取得されていない場合、単一サイクルで完了します。
(4) IT 命令は先行する 16 ビット Thumb 命令に格納でき、ゼロ サイクルで実行できる。

表 2-26 に、Arm® Cortex®-M4F プロセッサが実装する DSP 命令を示します。

表 2-26. Arm®Cortex®-M4F DSP 命令セットの概要

動作	説明	アセンブラ	サイクル
乗算	32 ビット乗算および最上位 32 ビット累算	SMMLA	1
	32 ビット乗算結果の最上位 32 ビットを減算	SMMLS	1
	32 ビット乗算結果の最上位 32 ビットを返す	SMMUL	1
	丸め処理を行った上位 32 ビットを累算する 32 ビット乗算	SMMLAR	1
	丸め処理を伴う 32 ビット乗算結果の最上位 32 ビットを累算	SMMLSR	1
	丸め処理を伴う 32 ビット乗算結果の最上位 32 ビットを返す	SMMULR	1

Copyright © 2026 Texas Instruments Incorporated

表 2-26. Arm®Cortex®-M4F DSP 命令セットの概要 (続き)

動作	説明	アセンブラ	サイクル
符号付き乗算	Q 設定付き 16 ビット符号付き乗算、32 ビット累算 (下位ハーフワード × 下位ハーフワード)	SMLABB	1
	Q 設定付き 16 ビット符号付き乗算、32 ビット累算 (下位ハーフワード × 上位ハーフワード)	SMLABT	1
	16 ビット符号付き乗算、64 ビット累算 (下位ハーフワード × 下位ハーフワード)	SMLALBB	1
	16 ビット符号付き乗算、64 ビット累算 (下位ハーフワード × 上位ハーフワード)	SMLALBT	1
	デュアル 16 ビット符号付き乗算、単一 64 ビット アキュームレータ	SMLALD{X}	1
	16 ビット符号付き乗算、64 ビット累算 (上位ハーフワード × 下位ハーフワード)	SMLALTB	1
	16 ビット符号付き乗算、64 ビット累算 (上位ハーフワード × 上位ハーフワード)	SMLALTT	1
	16 ビット符号付き乗算 (32 ビット結果、下位ハーフワード × 下位ハーフワード)	SMULBB	1
	16 ビット符号付き乗算、32 ビット結果 (下位ハーフワード × 上位ハーフワード)	SMULBT	1
	16 ビット符号付き乗算、32 ビット結果 (上位ハーフワード × 下位ハーフワード)	SMULTB	1
	16 ビット符号付き乗算、32 ビット結果 (上位ハーフワード × 上位ハーフワード)	SMULTT	1
	16 ビット × 32 ビット符号付き乗算 (上位 32 ビットを返す、下位ハーフワード使用)	SMULWB	1
	16 ビット × 32 ビット符号付き乗算、上位 32 ビット結果 (上位ハーフワード)	SMULWT	1
	デュアル 16 ビット符号付き乗算で差分結果を返す	SMUSD{X}	1
	Q 設定付き 16 ビット符号付き乗算、32 ビット累算 (上位ハーフワード × 下位ハーフワード)	SMLATB	1
	Q 設定付き 16 ビット符号付き乗算、32 ビット累算 (上位ハーフワード × 上位ハーフワード)	SMLATT	1
	Q 設定付き デュアル 16 ビット符号付き乗算、単一 32 ビット アキュームレータ	SMLAD{X}	1
	Q 設定付き 16 ビット × 32 ビット符号付き乗算、32 ビット累算 (下位ハーフワード)	SMLAWB	1
	Q 設定付き 16 ビット × 32 ビット符号付き乗算、32 ビット累算 (上位ハーフワード)	SMLAWT	1
	Q 設定付きデュアル 16 ビット符号付き乗算減算、32 ビット累算	SMLSD{X}	1
	Q 設定付きデュアル 16 ビット符号付き乗算減算、64 ビット累算	SMLSLD{X}	1
	Q 設定付きデュアル 16 ビット符号付き乗算和	SMUAD{X}	1
符号なし乗算	32 ビット符号なし乗算、倍精度 32 ビット累算、64 ビット結果	UMAAL	1
飽和	Q 設定付きデュアル 16 ビット飽和演算	SSAT16	1
	Q 設定付きデュアル 16 ビット符号なし飽和演算	USAT16	1

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 2-26. Arm®Cortex®-M4F DSP 命令セットの概要 (続き)

動作	説明	アセンブラ	サイクル
パッキングおよびアンパッキング	シフトした下位ハーフワードと上位ハーフワードをパック	PKHTB	
	下位ハーフワードとシフト済み上位ハーフワードのパック	PKHBT	1
	8 ビット抽出および 32 ビット符号拡張	SXTB	1
	デュアル 8 ビット抽出、各 16 ビット符号拡張	SXTB16	1
	16 ビット抽出および 32 ビット符号拡張	SXTH	1
	8 ビット抽出および 32 ビット ゼロ拡張	UXTB	1
	デュアル 8 ビット抽出、各 16 ビット ゼロ拡張	UXTB16	1
	16 ビット抽出および 32 ビット ゼロ拡張	UXTH	1
	8 ビット抽出、32 ビット符号なし加算	UXTAB	1
	デュアル 8 ビット抽出、16 ビット符号なし加算	UXTAB16	1
	16 ビット抽出、32 ビット符号なし加算	UXTAH	1
	8 ビット抽出、32 ビット符号付き加算	SXTAB	1
	デュアル 8 ビット抽出、16 ビット符号付き加算	SXTAB16	1
	16 ビット抽出、32 ビット符号付き加算	SXTAH	1
その他データ処理	GE ビットに基づいてバイトを選択	SEL	1
	4 組の 8 ビット符号なし絶対差の符号なし総和	USAD8	1
	クワッドの 8 ビット符号なし絶対差の総和、32 ビット累算	USADA8	1
加算	デュアル 16 ビット符号なし飽和加算	UQADD16	1
	クワッド 8 ビット符号なし飽和加算	UQADD8	1
	Q 設定付き飽和加算	QADD	1
	Q 設定付きデュアル 16 ビット飽和加算	QADD16	1
	Q 設定付きクワッド 8 ビット飽和加算	QADD8	1
	Q 設定付き飽和倍加加算	QDADD	1
	GE 設定付きクワッド 8 ビット符号付き加算	SADD8	1
	GE 設定付きデュアル 16 ビット符号付き加算	SADD16	1
	デュアル 16 ビット符号付きハーフ加算	SHADD16	1
	クワッド 8 ビット符号付きハーフ加算	SHADD8	1
	GE 設定付きデュアル 16 ビット符号なし加算	UADD16	1
	GE 設定付きクワッド 8 ビット符号なし加算	UADD8	1
	デュアル 16 ビット符号なしハーフ加算	UHADD16	1
	クワッド 8 ビット符号なしハーフ加算	UHADD8	1

Copyright © 2026 Texas Instruments Incorporated

表 2-26. Arm®Cortex®-M4F DSP 命令セットの概要 (続き)

動作	説明	アセンブラ	サイクル
減算	Q 設定付き飽和倍加減算	QDSUB	1
	デュアル 16 ビット符号なし飽和減算	UQSUB16	1
	クワッド 8 ビット符号なし飽和減算	UQSUB8	1
	Q 設定付き飽和減算	QSUB	1
	Q 設定付きデュアル 16 ビット飽和減算	QSUB16	1
	Q 設定付きクワッド 8 ビット飽和減算	QSUB8	1
	デュアル 16 ビット符号付きハーフ減算	SHSUB16	1
	クワッド 8 ビット符号付きハーフ減算	SHSUB8	1
	GE 設定付きデュアル 16 ビット符号付き減算	SSUB16	1
	GE 設定付きクワッド 8 ビット符号付き減算	SSUB8	1
	デュアル 16 ビット符号なしハーフ減算	UHSUB16	1
	クワッド 8 ビット符号なしハーフ減算	UHSUB8	1
	GE 設定付きデュアル 16 ビット符号なし減算	USUB16	1
	GE 設定付きクワッド 8 ビット符号なし減算	USUB8	1
並列加算と減算	デュアル 16 ビット符号なし飽和加減算 (交換あり)	UQASX	1
	デュアル 16 ビット符号なし飽和減加算 (ハーフワード交換あり)	UQSAX	1
	GE 設定付きデュアル 16 ビット加減算 (ハーフワード交換あり)	SASX	1
	Q フ設定付きデュアル 16 ビット加減算 (ハーフワード交換あり)	QASX	1
	Q 設定付きデュアル 16 ビット減加算 (ハーフワード交換あり)	QSAX	1
	デュアル 16 ビット符号付きハーフ加減算	SHASX	1
	デュアル 16 ビット符号付きハーフ減加算	SHSAX	1
	GE フ設定付きデュアル 16 ビット符号付き減加算 (ハーフワード交換あり)	SSAX	1
	GE 設定付きデュアル 16 ビット符号なし加減算 (ハーフワード交換あり)	UASX	1
	デュアル 16 ビット符号なしハーフ加減算 (ハーフワード交換あり)	UHASX	1
	デュアル 16 ビット符号なしハーフ減加算 (ハーフワード交換あり)	UHSAX	1
	GE 設定付きデュアル 16 ビット符号なし減加算 (ハーフワード交換あり)	USAX	1

2.6.2 ロードおよびストアのタイミング

このセクションでは、タイミングをさらに削減するために命令をペアリングする方法について説明します。

- STR Rx,[Ry,#imm] は常に 1 サイクルです。これは、アドレス生成が初期サイクルで実行され、データ ストアが次の命令の実行と同時に実行されるためです。ストアが書き込みバッファにある場合、書き込みバッファがフルになっているか有効になっていない場合、次の命令はストアが完了するまで遅延します。コード セグメントなどの書き込みバッファにストアがない場合、そのトランザクションが停止した場合、タイミングへの影響は、完了前に別のロード操作またはストア操作が実行された場合にのみ感じられます。
- LDR PC,[any] は常にブロッキング動作です。これは、ロードに少なくとも 2 サイクル、パイプラインのリロードに 3 サイクルを要することを意味します。したがって、この操作には、ロードまたはフェッチで停止した場合、少なくとも 5 サイクルかかります。

Copyright © 2026 Texas Instruments Incorporated

- 先行するデータ処理操作の結果に依存するアドレスを生成するロードまたはストア命令は、レジスタ バンクが更新される間、パイプラインをさらに 1 サイクル停止させます。このシナリオには、転送パスが存在しません。
- LDR Rx,[PC,#imm] は、フェッチ ユニットとの競合に起因して、サイクルを追加する可能性があります。
- TBB と TBH もブロッキング動作です。これらは、ロードに少なくとも 2 サイクル、加算に 1 サイクル、パイプラインのリロードに 3 サイクルを要します。これは、少なくとも 6 サイクルを意味しますが、ロードやフェッチで停止した場合はそれ以上になります。
- 可能な場合、LDR [any] はパイプライン化されます。つまり、次の命令が LDR または STR であり、かつ最初の LDR の宛先が次の命令のアドレス計算に使用されない場合、次の命令の実行コストから 1 サイクルが削減されるということです。そのため、LDR の後に STR が続くことで、LDR がロードした内容を STR が書き込むという処理が行われる可能性があります。さらに多くの LDR 命令をパイプライン化できます。最適化された例をいくつか示します。
  - LDR R0,[R1]、LDR R1,[R2]: 通常、合計 3 サイクル
  - LDR R0,[R1,R2]、STR R0,[R3,#20]: 通常、合計 3 サイクル
  - LDR R0,[R1,R2]、STR R1,[R3,R2]: 通常、合計 3 サイクル
  - LDR R0,[R1,R5]、LDR R1,[R2]、LDR R2,[R3,#4]: 通常、合計 4 サイクル
- レジスタ オフセットを持つ STR の後に他の命令をパイプライン化することはできません。STR は LDR に従う場合にのみパイプライン化できますが、ストアの後にパイプライン化することはできません。書き込みバッファがあるため、停止した STR であっても、通常は 2 サイクルしかかかりません。
- LDREX と STREX は LDR とまったく同じようにパイプライン化することができます。STREX は LDR のように扱われるため、LDR の説明のとおりにパイプライン化することができる。同様に LDREX は LDR として正確に扱われるため、パイプライン化することができます。
- LDRD および STRD は、先行命令または後続命令でパイプライン化することはできません。しかし、2 つのワードはパイプライン化されています。したがって、この操作は停止していない場合に 3 サイクル必要です。
- LDM および STM は、先行命令または後続命令でパイプライン化することはできません。しかし、最初の素子の後のすべての素子はパイプライン化されています。したがって、3 つの素子 LDM は、停止していない場合に 2 + 1 + 1 または 5 サイクルかかります。同様に、8 つの素子のストアは、停止していない場合に 9 サイクルかかります。LDM および STM 命令は、中断された場合、復帰後に中断された箇所から処理が再開されます。連続操作では、開始時に最初の素子に 1 サイクルまたは 2 サイクルが追加されます。
- 非整列ワードまたはハーフワードのロードまたはストアでは、ペナルティ サイクルが追加されます。バイト整列されたハーフワードのロードまたはストアでは、2 バイトとして動作するために 1 つの追加サイクルが追加されます。ハーフワード整列されたワードのロードまたはストアでは、2 ハーフワードとして動作するために 1 つの追加サイクルが追加されます。バイト整列されたワードのロードまたはストアでは、2 つの追加サイクルが追加され、バイト、ハーフワード、バイトとして動作が実行されます。メモリが停止すると、これらの数値が増加します。STR または STRH は、書き込みバッファに起因してプロセッサを遅延させることはできません。

2.6.3 他の Cortex®プロセッサとのバイナリ互換性

このプロセッサは ARMv7-M アーキテクチャ プロファイルが提供する命令セットおよび機能のサブセットを実装しています。これは、他の Cortex®-M プロファイル プロセッサに実装されている命令セットおよび機能とバイナリ互換があります。ソフトウェア (システム レベルのソフトウェアを含む) を、Arm® Cortex®-M4F プロセッサから他の Cortex®-M プロファイル プロセッサに移行できます。

円滑に移行するため、Arm® では、他の Cortex®-M プロファイル プロセッサ アーキテクチャで動作するよう設計されたコードが、以下のルールに従い、構成および制御レジスタ (CCR) を適切に構成することを推奨しています:

- ワード転送は、NVIC およびシステム制御空間 (SCS) 内のレジスタにアクセスするためにのみ使用します。
- プロセッサ上の未使用の SCS レジスタとレジスタ フィールドはすべて、変更しないものとして扱います。
- CCR で次のフィールドを構成します:
  - STKALIGN ビットを 1 に設定
  - UNALIGN_TRP ビットを 1 に設定
  - CCR レジスタ内の他のビットはすべて元の値のままにします。

Copyright © 2026 Texas Instruments Incorporated

2.7 浮動小数点演算ユニット (FPU)

このセクションでは、浮動小数点演算ユニット (FPU) のプログラマ モデルについて説明します。以下に関する情報が記載されています。

- FPU について (セクション 2.7.1 を参照)
- FPU 機能の説明 (セクション 2.7.2 を参照)
- FPU プログラマ モデル (セクション 2.7.3 を参照)

2.7.1 FPU について

Arm® Cortex®-M4F FPU は、ARMv7-M Floating-Point Extension (FPv4-SP) の単精度バリアントの実装です。IEEE 754 標準と呼ばれる ANSI/IEEE Std 754-2008「IEEE Standard for Binary Floating-Point Arithmetic」に準拠した浮動小数点演算機能を提供します。FPU は、『ARMv7-M アーキテクチャ リファレンス マニュアル』に記載されているすべての単精度データ処理命令およびデータ型をサポートします。

2.7.2 FPU 機能の説明

FPU は、単精度の加算、減算、乗算、除算、積和演算、および平方根演算を完全にサポートします。また、固定小数点データ形式と浮動小数点データ形式間の変換、および浮動小数点定数命令を提供します。

FPU 機能説明には、次のトピックが含まれます。

- レジスタ バンクの FPU ビュー (セクション 2.7.2.1 を参照)
- 動作モード (セクション 2.7.2.2 を参照)
- FPU 命令セット (セクション 2.7.2.3 を参照)
- IEEE 754 標準への準拠 (セクション 2.7.2.4 を参照)
- IEEE 754 標準の完全実装 (セクション 2.7.2.5 を参照)
- IEEE 754 標準実装の選択肢 (セクション 2.7.2.6 を参照)
- 例外 (セクション 2.7.2.7 を参照)
- FPU の有効化 (セクション 2.7.3.1 を参照)

2.7.2.1 レジスタ バンクの FPU ビュー

FPU は、32 個の単精度レジスタを含む拡張レジスタ ファイルを提供します (図 2-4 を参照)。これらは、以下のように見なすことができます:

- 16 個の 64 ビット ダブルワード レジスタ (D0 ～ D15)
- 32 個の 32 ビット シングルワード レジスタ (S0 ～ S31)
- これらのビューにあるレジスタの組み合わせ:

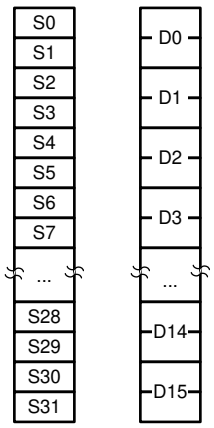


図 2-4. FPU レジスタ バンク

レジスタ間のマッピングは次のとおりです。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

- S<2n> は、D<n> の最下位半分にマッピングされます。
- S<2n+1> は、D<n> の最上位半分にマッピングされます。

例えば、S12 にアクセスすることで D6 の値の最下位半分にアクセスでき、S13 にアクセスすることで最上位半分にアクセスできます。

2.7.2.2 動作モード

FPU には、各種のアプリケーションに対応するため、次の三つの動作モードがあります。

- 完全準拠モード
- フラッシュ ツー ゼロ モード
- デフォルトの NaN モード

2.7.2.2.1 完全準拠モード

完全準拠モードでは、FPU はすべての演算を IEEE 754 規格に従ってハードウェアで処理します。

2.7.2.2.2 フラッシュ トゥー ゼロ モード

浮動小数点ステータスおよび制御レジスタ FPSCR[24] の FZ ビットを設定すると、フラッシュ トゥー ゼロ モードが有効になります。このモードでは、FPU は CDP 演算の非正規入力オペランドを演算でゼロとして扱います。ゼロ オペランドからの例外は、適切に通知されます。VABS、VNEG、VMOV は、CDP 演算動作とは見なされず、フラッシュ トゥー ゼロ モードの影響を受けません。IEEE 754 規格に記述されているように、送信先の精度が丸め処理前の最小正規化値よりも小さくなるようなごく小さい演算結果は、ゼロで置き換えられます。IDC フラグ FPSCR[7] は、入力フラッシュが発生したことを示します。UFC フラグ FPSCR[3] は、結果のフラッシュが発生したことを示します。

2.7.2.2.3 デフォルトの NaN モード

DN ビット FPSCR[25] を設定すると、デフォルトの NaN モードが有効になります。このモードでは、入力に NaN が含まれる算術データ処理演算、または演算結果として NaN が生成される算術データ処理演算は、いずれもデフォルト NaN を返します。分数ビットの伝播は、VABS、VNEG、および VMOV 操作によってのみ維持されます。他のすべての CDP 操作では、入力 NaN のフラクション ビットの情報は無視されます。

2.7.2.3 FPU 命令セット

表 2-27 に、FPU の命令セットを示します。

表 2-27. FPU 命令セット

動作	説明	アセンブラ	サイクル
絶対値	フローティング	VABS.F32	1
加算	浮動小数点	VADD.F32	1
比較	レジスタまたはゼロでのフローティング	VCMP.F32	1
	レジスタまたはゼロでのフローティング	VCMPE.F32	1
変換	整数、固定小数点、半精度、浮動小数点の間	VCVT.F32	1
分周	浮動小数点	VDIV.F32	14
ロード	複数のダブル	VLDM.64	1 + 2 × N (N はダブルの数)。
	複数のフローティング	VLDM.32	1 + N (N はフローティングの数)。
	単一のダブル	VLDR.64	3
	単一のフローティング	VLDR.32	2

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 2-27. FPU 命令セット (続き)

動作	説明	アセンブラ	サイクル
移動	コア レジスタとの間でのダブルの上位/下位半分	VMOV	1
	即値/フローティングからフローティング レジスタ	VMOV	1
	2 つのコア レジスタとの間での 2 つのフローティング/単一のダブルまたは 1 つのコア レジスタとの間での 1 つのフローティング	VMOV	2
	浮動小数点制御/ステータスからコア レジスタ	VMRS	1
	コア レジスタから浮動小数点制御/ステータス	VMSR	1
乗算	フローティング	VMUL.F32	1
	その後、フローティングを積算	VMLA.F32	3
	その後、フローティングを減算	VMLS.F32	3
	その後、積算してフローティングをネゲート	VNMLA.F32	3
	その後、減算してフローティングをネゲート	VNMLS.F32	3
乗算	その後、フローティングを積算	VFMA.F32	3
	その後、フローティングを減算	VFMS.F32	3
	その後、積算してフローティングをネゲート	VFNMA.F32	3
	その後、減算してフローティングをネゲート	VFNMS.F32	3
ネゲート	フローティング	VNEG.F32	1
	その後、フローティングを乗算	VNMUL.F32	1
ポップ	スタックからダブル レジスタ	VPOP.64	1 + 2 × N (N はダブル レジスタの数)
	スタックからのフローティング レジスタ	VPOP.32	1 + N (N はレジスタの数)
プッシュ	ダブル レジスタからスタック	VPUSH.64	1 + 2 × N (N はダブル レジスタの数)
	フローティング レジスタからスタック	VPUSH.32	1 + N (N はレジスタの数)
平方根	フローティング	VSQRT.F32	14
ストア	複数のダブル レジスタ	VSTM.64	1 + 2 × N (N はダブルの数)
	複数のフローティング レジスタ	VSTM.32	1 + N (N はフローティングの数)
	単一のダブル レジスタ	VSTR.64	3
	単一のフローティング レジスタ	VSTR.32	2
減算	フローティング	VSUB.F32	1

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

注

- VDIVR または VSQRT 命令に続く整数のみの命令は、順序が正しくない状態で完了します。VDIV および VSQRT 命令は、後続に浮動小数点命令が実行されない場合、1 サイクルを要します。
- 加算、減算、乗算、除算、平方根、あらゆる形式の積和演算、およびあらゆる種類の変換などの浮動小数点演算データ処理命令は、その結果が後続命令によって使用される場合、実行に要するサイクル数が 1 サイクル増加します。
- フュージョンおよびチェーンの積和演算は、その加数を 1 サイクル遅れて消費するため、積和演算命令に先行する算術命令の演算結果は、その MAC 命令の加数として消費されます。

2.7.2.4 IEEE 754 規格への準拠

デフォルトの NaN (DN) およびゼロにフラッシュ (FZ) モードが無効の場合、FPv4 機能はハードウェアの IEEE 754 規格に準拠しています。このコンプライアンスを達成するためにサポート コードは必要ありません。

IEEE 754 規格への FP アーキテクチャの準拠については、『ARMv7-M アーキテクチャ リファレンス マニュアル』を参照してください。

2.7.2.5 IEEE 754 規格の完全な実装

浮動小数点命令セットは、IEEE 754-2008 規格で定義されているすべての演算をサポートしているわけではありません。サポートされていない演算には、以下のものが含まれますが、これらに限定されません。

- 剰余
- 浮動小数点数を整数値の浮動小数点数に丸めます
- 2 進数から 10 進数への変換
- 10 進数から 2 進数への変換
- 単精度と倍精度の値を直接比較

Arm® Cortex®-M4F の FPU は、IEEE 規格で規定されている融合 MAC 演算をサポートしています。IEEE 754-2008 規格を完全に実装するには、浮動小数点機能をライブラリ関数によって補完する必要があります。

2.7.2.6 IEEE 754 標準実装の選択肢

IEEE 754-2008 標準で許可され、FPv4 アーキテクチャで使用されている実装上の選択肢の一部については、『ARMv7-M アーキテクチャ リファレンス マニュアル』に記載されています。

2.7.2.6.1 NaN の処理

指数部が最大値であり、仮数部がゼロ以外である単精度値は、すべて有効な NaN です。仮数部の最上位ビットが 0 の場合は、シグナリング NaN (SNaN) を示します。1 の場合は、Quiet NaN (QNaN) を示します。2 つの NaN 値は、いずれかのビットが異なれば別の NaN として扱われます。表 2-28 に、デフォルトの NaN 値を示します。

表 2-28. デフォルトの NaN 値

符号	仮数部	仮数部
0	0xFF	ビット [22]= 1 の場合、ビット [21:0] はすべて 0 です

Arm® 浮動小数点機能とライブラリに対する入力 NaN の処理は、以下のように定義されます。

- 完全準拠モードでは、NaN は『ARMv7-M アーキテクチャ リファレンス マニュアル』に記載されているとおりに処理されます。ハードウェアは算術 CDP に対して NaN を直接処理します。データ転送操作では、無効な操作例外を発生させることなく NaN が転送されます。非算術 CDP 命令 (VABS、VNEG、および VMOV) の場合、NaN はコピーされますが、命令で指定されている場合は符号が変更され、無効な操作例外では発生しません。
- デフォルトの NaN モードでは、NaN オペランドを含む算術 CDP 命令は、NaN オペランドの仮数部に関係なく、デフォルトの NaN を返します。算術 CDP 操作で SNaN を使用する場合は、IOC フラグ (FPSCR[0]) をセットします。データ転送と非算術 CDP 命令における NaN 処理は、フルコンプライアンス モードの場合と同じです。

Copyright © 2026 Texas Instruments Incorporated

表 2-29 に、NaN オペランドが命令実行に与える影響の概要を示します。

表 2-29. QNaN と SNaN の処理

命令タイプ	デフォルトの NaN モード	QNaN オペランドの場合	SNaN オペランドの場合
算術 CDP	オフ	QNaN または複数ある場合はそのうちの 1 つが、『ARMv7-M アーキテクチャ リファレンス マニュアル』に記載されているルールに従って返されます。	IOC(1) がセットされます。SNaN は抑制され、結果の NaN は『ARMv7-M アーキテクチャ リファレンス マニュアル』に記載されているルールに従って決定されます。
	オン	デフォルトの NaN が返されます。	IOC(1) がセットされます。デフォルトの NaN が返されます。
非算術 CDP	オフ	NaN は、必要に応じて符号が変更されたうえで、宛先に渡されます。	
	オン		
FCMP(Z)	–	非順序比較。	IOC がセットされます。非順序比較。
	–	IOC がセットされます。非順序比較。	IOC がセットされます。非順序比較。
ロード / ストア	オフ	すべての NaN が転送されます。	
	オン		

(1) IOC は無効な操作例外フラグ (FPSCR[0]) を示します。

2.7.2.6.2 比較

結果の比較により FPSCR のフラグが変更されます。MVRS APSR_nzcv 命令 (以前の FMSTAT) を使用すると、現在のフラグを FPSCR から APSR に転送できます。IEEE 754-2008 規格のプレディケートを Arm® 条件にマッピングするには、『ARMv7-M アーキテクチャ リファレンス マニュアル』を参照してください。使用するフラグは、Arm® 命令の後続の条件付き実行で IEEE 規格で定義されているプレディケートをテストできるように選択します。

2.7.2.6.3 アンダーフロー

FPU は、アンダーフロー例外を生成するために、IEEE 754-2008 規格で説明されている丸め処理前の形式のタイニネスおよび不正確な結果の形式の精度損失を使用します。

Flush-to-Zero モードでは、IEEE 規格に規定されているように、丸め処理に小さい結果はゼロにフラッシュされ、UFC フラグ FPSCR[3] がセットされます。Flush-to-Zero モードの詳細については、『ARMv7-M アーキテクチャ リファレンス マニュアル』を参照してください。

FPU が Flush-to-Zero モードでない場合、非正規オペランドに対して演算が実行されます。演算が小さな結果を生成しない場合、計算結果が返され、UFC フラグ FPSCR[3] は設定されません。操作が不正確な場合、IXC フラグ FPSCR[4] が設定されます。演算結果が小さい場合、結果は非正規値またはゼロ値となり、結果も不正確である場合は UFC フラグ FPSCR[3] が設定されます。

2.7.2.7 例外

FPU は、FPv4 アーキテクチャに従い、各命令で必要に応じて FPSCR レジスタ内の累積例外ステータス フラグを設定します。FPU は例外トラップをサポートしていません。プロセッサには、累積例外フラグのいずれか 1 つのステータスをそれぞれ反映する、次の 6 つの出力ピンもあります。

- FPIXC
- FPUFC
- FPOFC
- FPDZC
- FPIDC
- FPIOC

これら 6 つの出力の説明については、『Cortex-M4 Integration and Implementation Manual』を参照してください。

Copyright © 2026 Texas Instruments Incorporated

プロセッサは、遅延スタッキングを使用して例外レイテンシを低減できます。これは、プロセッサが FP 状態用の領域をスタック上に予約するものの、現在の例外ハンドラ内で FPU 命令を実行しない限り、その状態情報をスタックに保存しないことを意味します。

FP 状態の遅延保存は、より高い優先度の例外によって中断される場合があります。FP 状態の保存動作は、その例外から戻った後に最初からやり直されます。

詳細については、『ARMv7-M アーキテクチャ リファレンス マニュアル』を参照してください。

2.7.3 FPU プログラマ モデル

セクション 2.7.3.1 に、実装に FPU が含まれている場合、Arm® Cortex®-M4F プロセッサの FP システム レジスタを示します。

表 2-30. Arm® Cortex®-M4F 浮動小数点システム レジスタ

アドレス	名称	タイプ	リセット	説明
0xE000 EF34	FPCCR	R/W	0xC000 0000	FP コンテキスト制御レジスタ
0xE000 EF38	FPCAR	R/W	–	FP コンテキスト アドレス レジスタ
0xE000 EF3C	FPDSCR	R/W	0x0000 0000	FP デフォルト ステータス制御レジスタ
0xE000 EF40	MVFR0	R/O	0x1011 0021	メディアおよび VFP 機能レジスタ 0、MVFR0
0xE000 EF44	MVFR1	R/O	0x1100 0011	メディアおよび VFP 機能レジスタ 1、MVFR1

すべての Arm® Cortex®-M4F FPU レジスタは、『ARMv7-M アーキテクチャ リファレンス マニュアル』に記載されています。

2.7.3.1 FPU の有効化

Example 2-1 に、特権モードとユーザー モードの両方で FPU を有効にするためのコード シーケンス例を示します。プロセッサは、CPACR レジスタの読み取りおよび書き込みを行うために特権モードである必要があります。

Example 2-1. FPU の有効化

```
; CPACR is located at address 0xE000ED88
LDR.W R0, =0xE000ED88
; Read CPACR
LDR R1, [R0]
; Set bits 20-23 to enable CP10 and CP11 coprocessors
ORR R1, R1, #(0xF << 20)
; Write back the modified value to the CPACR
STR R1, [R0]
```


Copyright © 2026 Texas Instruments Incorporated

2.8 メモリ保護ユニット (MPU)

この章では、プロセッサのメモリ保護ユニット (MPU) について説明します。以下のセクションで構成されています。

- MPU について (セクション 2.8.1 を参照)
- MPU の機能の説明 (セクション 2.8.2 を参照)
- MPU プログラマ モデル (セクション 2.8.3 を参照)

2.8.1 MPU の概要

MPU は、メモリ保護のオプション コンポーネントです。プロセッサは標準の ARMv7 Protected Memory System Architecture モデルをサポートしています。MPU は、以下の機能を完全にサポートしています。

- 保護領域
- 重複している保護領域。領域が以下のように昇順に優先されます。
  - 7 = 最高の優先度
  - 0 = 最低の優先度
- アクセス権限
- システムへのメモリ属性のエクスポート

MPU の不一致や権限違反が発生すると、プログラム可能な優先度を持つ MemManage フォルト ハンドラが呼び出されます。詳細については、『ARMv7-M アーキテクチャ リファレンス マニュアル』を参照してください。

MPU の用途:

- 特権ルールの強制実行
- プロセスの分離
- アクセス ルールの適用

2.8.2 MPU の機能説明

領域アクセス制御レジスタのアクセス権ビット (TEX、C、B、AP、XN) は、対応するメモリ領域へのアクセス制御を行います。必要なアクセス許可を持たずにメモリ領域にアクセスすると、アクセス許可の故障が発生します。詳細については、『ARMv7-M アーキテクチャ リファレンス マニュアル』をご参照ください。

2.8.3 MPU プログラマ モデル

表 2-31 に、MPU レジスタを示します。これらのレジスタの詳細については、『ARMv7-M アーキテクチャ リファレンス マニュアル』に記載されています。

表 2-31. MPU レジスタ

アドレス	名称	タイプ	リセット	説明
0xE000 ED90	MPU_TYPE	R/O	0x0000 0800	MPU タイプ レジスタ
0xE000 ED94	MPU_CTRL	R/W	0x0000 0000	MPU 制御レジスタ
0xE000 ED98	MPU_RNR	R/W	0x0000 0000	MPU 領域の番号レジスタ
0xE000 ED9C	MPU_RBAR	R/W	0x0000 0000	MPU 領域のベース アドレス レジスタ
0xE000 EDA0	MPU_RASR	R/W	0x0000 0000	MPU 領域の属性とサイズ レジスタ
0xE000 EDA4	MPU_RBAR_A1		0x0000 0000	MPU エイリアス レジスタ
0xE000 EDA8	MPU_RASR_A1		0x0000 0000	
0xE000 EDAC	MPU_RBAR_A2		0x0000 0000	
0xE000 EDB0	MPU_RASR_A2		0x0000 0000	
0xE000 EDB4	MPU_RBAR_A3		0x0000 0000	
0xE000 EDB8	MPU_RASR_A3		0x0000 0000	

Copyright © 2026 Texas Instruments Incorporated

2.9 Arm® Cortex®-M4F プロセッサ レジスタ

表 2-32 に、Arm® Cortex®-M4F プロセッサのレジスタの一覧を示します。

表 2-32. Arm® Cortex®-M4F プロセッサ レジスタ

モジュール	名称	セクション
CPU_DWT	コア データのウォッチポイントとトレース	セクション 2.9.1
CPU_FPB	コア フラッシュ パッチおよびブレークポイント	セクション 2.9.2
CPU_ITM	コア計測トレース マクロセル	セクション 2.9.3
CPU_SCS	コア システム制御スペース	セクション 2.9.4
CPU_TPIU	コアトレース ポート インターフェイス ユニット	セクション 2.9.5

Copyright © 2026 Texas Instruments Incorporated

2.9.1 CPU_DWT レジスタ

CPU_DWT レジスタのメモリ マップト レジスタを表 2-33 に示します。表 2-33 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 2-33. CPU_DWT レジスタ

オフセット	略称	レジスタ名	セクション
0h	CTRL	制御	CTRL レジスタ (オフセット = 0h) [リセット = 40000000h]
4h	CYCCNT	現在の PC サンプラー サイクル カウント	CYCCNT レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	CPICNT	CPI 点数	CPICNT レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	EXCCNT	例外オーバーヘッド カウント	EXCCNT レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	SLEEPCNT	スリープ カウント	SLEEPCNT レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	LSUCNT	LSU 点数	LSUCNT レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	FOLDCNT	フォールド カウント	FOLDCNT レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	PCSR	プログラム カウンタ サンプル	PCSR レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	COMP0	コンパレータ 0	COMP0 レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	MASK0	マスク 0	MASK0 レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	FUNCTION0	機能 0	FUNCTION0 レジスタ (オフセット = 28h) [リセット = 00000000h]
30h	COMP1	コンパレータ 1	COMP1 レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	MASK1	マスク 1	MASK1 レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	FUNCTION1	機能 1	FUNCTION1 レジスタ (オフセット = 38h) [リセット = 00000200h]
40h	COMP2	コンパレータ 2	COMP2 レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	MASK2	マスク 2	MASK2 レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	FUNCTION2	機能 2	FUNCTION2 レジスタ (オフセット = 48h) [リセット = 00000000h]
50h	COMP3	コンパレータ 3	COMP3 レジスタ (オフセット = 50h) [リセット = 00000000h]
54h	MASK3	マスク 3	MASK3 レジスタ (オフセット = 54h) [リセット = 00000000h]
58h	FUNCTION3	機能 3	FUNCTION3 レジスタ (オフセット = 58h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 2-34 に、このセクションでアクセス タイプに使用しているコードを示します。

表 2-34. CPU_DWT アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		

Copyright © 2026 Texas Instruments Incorporated

表 2-34. CPU_DWT アクセス タイプ コード (続き)

アクセス タイプ	コード	説明
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

2.9.1.1 CTRL レジスタ (オフセット = 0h) [リセット = 40000000h]

図 2-5 に、CTRL を示し、表 2-35 に、その説明を示します。

概略表に戻ります。

制御
DWT 制御レジスタを使用して、DWT ユニットを有効にします。

図 2-5. CTRL レジスタ

31	30	29	28	27	26	25	24
RESERVED						NOCYCCNT	NOPRFCNT
R/W-10h						R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
RESERVED	CYCEVTENA	FOLDEVTENA	LSUEVTENA	SLEEPEVTENA	EXCEVTENA	CPIEVTENA	EXCTRCENA
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
RESERVED			PCSAMPLEENA	SYNCTAP		CYCTAP	POSTCNT
R/W-0h			R/W-0h	R/W-0h		R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
POSTCNT			POSTPRESET				CYCCNTENA
R/W-0h			R/W-0h				R/W-0h

表 2-35. CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	RESERVED	R/W	10h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
25	NOCYCCNT	R/W	0h	設定されている場合、CYCCNT はサポートされません。
24	NOPRFCNT	R/W	0h	セットされている場合、FOLDCNT、LSUCNT、SLEEPCNT、EXCCNT、および CPICNT はサポートされていません。
23	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
22	CYCEVTENA	R/W	0h	サイクル カウント イベントを有効にします。POSTCNT カウンタがイベントをトリガすると、イベントが発生します。詳細については、CYCTAP および POSTPRESET を参照してください。このイベントは、PCSAMPLEENA が無効の場合にのみ出力されます。PCSAMPLEENA はこのビットの設定をオーバーライドします。 0:サイクル カウント イベントが無効 1:サイクル カウント イベントが有効
21	FOLDEVTENA	R/W	0h	フォールド命令カウント イベントを有効にします。FOLDCNT がオーバーフローすると、イベントが発生します (フォールド命令を 256 サイクルごと)。フォールド命令とは、実行に 1 サイクルも必要としない命令のことです。たとえば、IT 命令はフォールドされるため、1 サイクルを消費しません。 0:フォールド命令カウント イベントが無効です。 1:フォールド命令カウント イベントが有効です。
20	LSUEVTENA	R/W	0h	LSU カウント イベントを有効にします。LSUCNT がオーバーフローすると、イベントが発生します (LSU 動作の 256 サイクルごと)。LSU カウントには、命令の初期サイクル後のすべての LSU コストが含まれます。 0:LSU カウント イベントが無効です。 1:LSU カウント イベントが有効です。

Copyright © 2026 Texas Instruments Incorporated

表 2-35. CTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	SLEEPEVTENA	R/W	0h	スリープ カウント イベントを有効にします。SLEEPCNT がオーバーフローすると、イベントが発生します (プロセッサがスリープしている 256 サイクルごと)。 0:スリープ カウント イベントは無効です。 1:スリープ モード イベントが有効です。
18	EXCEVTENA	R/W	0h	割り込みオーバーヘッド イベントを有効にします。EXCCNT がオーバーフローすると (256 サイクルごとの割り込みオーバーヘッド)、イベントが発生します。 0x0:割り込みオーバーヘッド イベントが無効です。 0x1:割り込みオーバーヘッド イベントが有効です。
17	CPIEVTENA	R/W	0h	CPI カウント イベントを有効にします。CPICNT がオーバーフローしたときに、イベントが発生します (マルチサイクル命令の 256 サイクルごと)。 0:CPI カウンタ イベントが無効です。 1:CPI カウンタ イベントが有効です。
16	EXCTRCENA	R/W	0h	割り込みイベント トレースを有効にします。 0:割り込みイベント トレースが無効です。 1:割り込みイベント トレースが有効です。
15-13	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
12	PCSAMPLEENA	R/W	0h	PC サンプリング イベントを有効にします。POSTCNT カウンタが PC サンプル イベントをトリガすると、そのイベントが生成されます。詳細については、CYCTAP および POSTPRESET を参照してください。このビットを有効にすると、CYCEVTENA がオーバーライドされます。 0:PC サンプリング イベントが無効です。 1:サンプリング イベントが有効です。
11-10	SYNCTAP	R/W	0h	同期パケット レートを選択します。この機能を使用するには、CYCCNTENA と CPU_ITM:TCR.SYNCENA も有効にする必要があります。 同期パケット (有効な場合) は、タップ遷移 (0 から 1、または 1 から 0) で生成されます。 0h = 無効化。同期パケットなし 1h = CYCCNT のビット 24 でタップ 2h = CYCCNT のビット 26 でタップ 3h = CYCCNT のビット 28 でタップ
9	CYCTAP	R/W	0h	CYCCNT でタップを選択します。これらは、ビット [6] と [10] にあります。CYCCNT で選択されたビットが 0 から 1、または 1 から 0 に変わると、POSTCNT、ポスト スカラー カウンタに出力されます。その後、カウンタの値が減少します。ポスト スカラーが 0 のときにビットを変更すると、PC サンプリングまたはサイクル カウント イベントのイベントがトリガされます (CYCEVTENA の詳細を参照)。 0h = タップするビット [6] を選択 1h = タップするビット [10] を選択
8-5	POSTCNT	R/W	0h	CYCTAP のポスト スカラー カウンタ。選択されたタップ ビットが 0 から 1 に、または 1 から 0 に変わると、ポスト スカラー カウンタは 0 でないときにダウンカウントされます。0 の場合、PCSAMPLEENA または CYCEVTENA 使用のイベントがトリガされます。また、POSTPRESET から値をリロードします。
4-1	POSTPRESET	R/W	0h	ポスト スカラー カウンタ POSTCNT のリロード値。0 の場合、各タップ変更 (2 の累乗) でイベントがトリガされます。このフィールドに 0 以外の値がある場合は、カウントダウン値が形成され、0 に達するたびに POSTCNT にリロードされます。たとえば、このレジスタの値 1 は、他のタップが 1 回変化するごとにイベントが形成されることを意味します。
0	CYCCNTENA	R/W	0h	CYCCNT を有効にして、同期およびカウント イベントをインクリメントおよび生成できます。NOCYCCNT = 1 の場合、このビットは 0 を読み出し、書き込みは無視されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.2 CYCCNT レジスタ (オフセット = 4h) [リセット = 00000000h]

図 2-6 に、CYCCNT を示し、表 2-36 に、その説明を示します。

概略表に戻ります。

現在の PC サンプラー サイクル数
このレジスタは、コア サイクル数のカウントに使用されます。このカウンタは、経過した実行時間を測定できます。これはフリーランニング カウンタです (このカウンタは、CPU へのフリーランニング クロックが停止するパワーモードには進みません)。カウンタには次の 3 つの機能があります。
1:CTRL.PCSAMPLEENA = 1 の場合、選択したタップ ビットの値が変化し (0 から 1、または 1 から 0)、いずれかのポスト スカラー値が 0 までカウント ダウンすると、PC がサンプリングされ、その値が出力されます。
2:CTRL.CYCEVTENA = 1 (かつ CTRL.PCSAMPLEENA = 0) の場合、選択したタップ ビットの値が変化し (0 から 1、または 1 から 0)、いずれかのポスト スカラー値が 0 までカウント ダウンすると、イベントが生成されます。
3:アプリケーションとデバッガは、このカウンタを使用して、実行経過時間を測定できます。開始時間と終了時間を減算することにより、アプリケーションはインコア クロック間の時間を測定できます (デバッグ中に停止された場合を除く)。これは、2^{32} コアクロック サイクルまで有効です (たとえば 48MHz で約 89.5 秒)。

図 2-6. CYCCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYCCNT																															
R/W-0h																															

表 2-36. CYCCNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CYCCNT	R/W	0h	現在の PC サンプラー サイクル カウンタ カウント値。有効にすると、このカウンタは、コアが停止したタイミングを除き、コアサイクル数をカウントします。サイクル カウンタは、上方向にカウントするフリーランニング カウンタです (CPU へのフリーランニング クロックが停止する電源モードでは、このカウンタの値は進みません)。オーバーフロー時に 0 に戻ります。これを初めて有効にするときは、デバッガで 0 に初期化する必要があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.3 CPICNT レジスタ (オフセット = 8h) [リセット = 00000000h]

図 2-7 に、CPICNT を示し、表 2-37 に、その説明を示します。

概略表に戻ります。

CPI カウント
このレジスタは、最初のサイクルを超えた命令サイクルの合計数をカウントするために使用されます。

図 2-7. CPICNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																								CPICNT							
R/W-0h																								R/W-X							

表 2-37. CPICNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	CPICNT	R/W	X	現在の CPI カウンタ値。LSUCNT によって記録された命令を除くすべての命令を実行するために必要な追加サイクル (最初のサイクルはカウントされない) の増分。このカウンタは、すべての命令フェッチがストールするとインクリメントされます。CTRL.CPIEVTENA が設定されている場合、カウンタがオーバーフローするとイベントが発生します。CTRL.CPIEVTENA を使用してこのカウンタを有効にすると、このカウンタは 0 に初期化されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.4 EXCCNT レジスタ (オフセット = Ch) [リセット = 00000000h]

図 2-8 に、EXCCNT を示し、表 2-38 に、その説明を示します。

概略表に戻ります。

例外オーバーヘッド カウント
このレジスタは、割り込み処理に費やされた合計サイクル数をカウントするために使用されます。

図 2-8. EXCCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																								EXCCNT							
R/W-0h																								R/W-X							

表 2-38. EXCCNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	EXCCNT	R/W	X	現在の割り込みオーバーヘッド カウンタ値。割り込み処理に費やされた合計サイクル数をカウントします (たとえば、エントリ スタッキング、リターン アンスタッキング、プリエンプション)。カウンタがオーバーフローすると、イベントが発生します (256 サイクルごと)。CTRL.EXCEVTENA を使用してこのカウンタを有効にすると、このカウンタは 0 に初期化されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.5 SLEEPCNT レジスタ (オフセット = 10h) [リセット = 00000000h]

SLEEPCNT は図 2-9 に示されており、表 2-39 で説明されています。

概略表に戻ります。

スリープ カウント
このレジスタは、プロセッサがスリープしているサイクルの合計数をカウントするために使用されます。

図 2-9. SLEEPCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																								SLEEPCNT							
R/W-0h																								R/W-X							

表 2-39. SLEEPCNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	SLEEPCNT	R/W	X	スリープ カウンタ。プロセッサがスリープ状態になっているときに処理されたサイクルの数をカウントします。カウンタがオーバーフローすると、イベントが発生します (256 サイクルごと)。CTRL.SLEEPEVTENA を使用してこのカウントを有効にすると、このカウンタは 0 に初期化されます。スリープ カウンタには、CPU のフリーランニング クロックを使用してクロックが供給されることに注意してください。一部のパワー モードでは、消費電力を最小限に抑えるために CPU へのフリーランニング クロックがゲートされます。これは、これらの電力モードではスリープ カウンタが無効になることを意味します。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.6 LSUCNT レジスタ (オフセット = 14h) [リセット = 00000000h]

図 2-10 に、LSUCNT を示し、表 2-40 に、その説明を示します。

概略表に戻ります。

LSU カウント
このレジスタは、プロセッサが最初のサイクルを超えて LSU 動作を処理している間の合計サイクル数をカウントするために使用されます。

図 2-10. LSUCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																								LSUCNT							
R/W-0h																								R/W-X							

表 2-40. LSUCNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	LSUCNT	R/W	X	LSU カウンタ。これは、プロセッサが LSU 操作を処理している合計サイクル数をカウントします。命令の初期実行コストはカウントされません。たとえば、完了までに 2 サイクルかかる LDR は、このカウンタを 1 サイクルずつインクリメントします。同様に、2 サイクル (つまり、実行に 4 サイクル) にわたってストールする LDR は、このカウンタを 3 回インクリメントします。カウンタがオーバーフローすると、イベントが発生します (256 サイクルごと)。CTRL.LSUEVTENA を使用してこのカウンタを有効にすると、このカウンタは 0 に初期化されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.7 FOLDCNT レジスタ (オフセット = 18h) [リセット = 00000000h]

FOLDCNT は図 2-11 に示されており、表 2-41 で説明されています。

概略表に戻ります。

フォールド カウント
このレジスタは、フォールドされた命令の総数をカウントするために使用されます。このカウンタは、0 サイクルで処理される命令ごとにインクリメントされます。

図 2-11. FOLDCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																								FOLDCNT							
R/W-0h																								R/W-X							

表 2-41. FOLDCNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	FOLDCNT	R/W	X	これは、フォールドされた命令の総数をカウントします。 CTRL.FOLDEVTENA を使用してこのカウンタを有効にすると、このカウンタは 0 に初期化されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.8 PCSR レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 2-12 に、PCSR を示し、表 2-42 に、その説明を示します。

概略表に戻ります。

プログラム カウンタ サンプル
このレジスタは、現在実行中のコードを変更することなく、デバッグ エージェントを使用した粗粒度なソフトウェア プロファイリングを有効にするために使用されます。コアがデバッグ状態でない場合、返される値は最近実行された命令の命令アドレスです。コアがデバッグ状態の場合、返される値は 0xFFFFFFFF です。

図 2-12. PCSR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIASAMPLE																															
R-X																															

表 2-42. PCSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	EIASAMPLE	R	X	実行命令アドレスのサンプル、または、コアが停止している場合は 0xFFFFFFFF。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.1.9 COMP0 レジスタ (オフセット = 20h) [リセット = 00000000h]

図 2-13 に、COMP0 を示し、表 2-43 に、その説明を示します。

概略表に戻ります。

コンパレータ 0
このレジスタは、コンパレータ 0 の基準値を書き込むために使用されます。

図 2-13. COMP0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP																															
R/W-X																															

表 2-43. COMP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	COMP	R/W	X	PC と比較するための参照値、または FUNCTION0 で指定されたデータ アドレス。コンパレータ 0 は、PC サンプラー カウンタ (CYCCNT) の値と比較することもできます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.1.10 MASK0 レジスタ (オフセット = 24h) [リセット = 00000000h]

図 2-14 に、MASK0 を示し、表 2-44 に、その説明を示します。

概略表に戻ります。

マスク 0
COMP0 とマッチングするとき、DWT マスクレジスタ 0 を使用してデータ アドレスにマスクを適用します。

図 2-14. MASK0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																												MASK			
R/W-0h																												R/W-X			

表 2-44. MASK0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3-0	MASK	R/W	X	COMP0 と一致するときは、データ アドレスでマスクします。これは無視マスクのサイズです。つまり、DWT マッチングは次のように実行されます。(ADDR と (0xFFFF を MASK 分だけ左ビット シフトしたもの) の AND 演算) == COMP0。ただし、バス上のどこにアドレスが現れてもマッチングできるようにするため、実際の比較はやや複雑です。そのため、COMP0 が 3 の場合、3 はワード内にあるため、0 のワード アクセスにマッチします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.1.11 FUNCTION0 レジスタ (オフセット = 28h) [リセット = 00000000h]

図 2-15 に、FUNCTION0 を示し、表 2-45 に、その説明を示します。

概略表に戻ります。

機能 0
DWT 機能レジスタ 0 を使用してコンパレータ 0 の動作を制御します。このコンパレータでは次のことができます。
1.PC またはデータ アドレスのいずれかと照合します。これは CYCMATCH によって制御されます。この機能は、コンパレータ 0 (COMP0) でのみ使用できます。
2.FUNCTION で定義された操作に応じて、データまたは PC のカップルを送信したり、ETM をトリガしたり、ウォッチポイントを生成したりすることができます。

図 2-15. FUNCTION0 レジスタ

31	30	29	28	27	26	25	24
RESERVED							MATCHED
R-0h							R/W-0h
23	22	21	20	19	18	17	16
RESERVED							
R-0h							
15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
CYCMATCH	RESERVED	EMITRANGE	RESERVED	機能			
R/W-0h	R-0h	R/W-0h	R-0h	R/W-0h			

表 2-45. FUNCTION0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
24	MATCHED	R/W	0h	このビットはコンパレータが一致するときに設定され、このビットが最後に読み出された後に、FUNCTION で定義される動作が発生したことを示します。このビットは、レジスタを読み取るとクリアされます。
23-8	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7	CYCMATCH	R/W	0h	このビットはコンパレータ 0 でのみ使用できます。設定されると、COMP0 はサイクル カウンタ (CYCCNT) と比較されます。
6	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	EMITRANGE	R/W	0h	放射範囲フィールド。このビットは、範囲マッチの発生時におけるオフセットの出力を許可します。放射範囲が有効になっている場合、PC サンプリングはサポートされません。 このフィールドは、以下にのみ適用されます。FUNCTION = 1、2、3、12、13、14、15。
4	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

表 2-45. FUNCTION0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	機能	R/W	0h	機能設定。 0x0:無効 0x1:EMITRANGE = 0、ITM 経由で PC のサンプリングと送信を行います。EMITRANGE = 1、ITM 経由でアドレス オフセットを送信 0x2:EMITRANGE = 0、読み取りおよび書き込み時に、ITM 経由でデータを放射します。EMITRANGE = 1、読み取りまたは書き込み時に、ITM 経由でデータおよびアドレス オフセットを送信します。 0x3:EMITRANGE = 0:読み取りまたは書き込み時に、ITM 経由で PC およびデータ値をサンプリングします。EMITRANGE = 1:読み取りまたは書き込み時に ITM 経由でアドレス オフセットおよびデータ値を送信します。 0x4:PC 照合のウォッチポイント。 0x5:読み取り時のウォッチポイント。 0x6:書き込みの監視ポイント。 0x7:読み取りまたは書き込み時のウォッチポイント。 0x8:PC 照合時の ETM トリガ 0x9:読み出し時の ETM トリガ 0xA:書き込み時の ETM トリガ 0xB:読み出しまたは書き込み時の ETM トリガ 0xC:EMITRANGE = 0、読み取り転送用のデータをサンプリング。EMITRANGE = 1、読み出し転送用の Daddr (下位 16 ビット) をサンプリング 0xD:EMITRANGE = 0、書き込み転送用のデータをサンプリング。EMITRANGE = 1、書き込み転送用の Daddr (下位 16 ビット) をサンプリング 0xE:EMITRANGE = 0、読み出し転送用の PC とデータをサンプリング。EMITRANGE = 1、読み出し転送用の Daddr (下位 16 ビット) とデータをサンプリング 0xF:EMITRANGE = 0、書き込み転送用の PC とデータをサンプリング。EMITRANGE = 1、書き込み転送用の Daddr (下位 16 ビット) とデータをサンプリング 注 1:ETM が装着されていない場合、ETM トリガは使用できません。 注 2:データ値は、フォルト (MPU またはバス フォルト) ではないアクセスに対してのみサンプリングされます。PC は、フォルトに関係なくサンプリングされます。PC はバーストの最初のアドレスに対してのみサンプリングされます。 注 3:PC 照合は命令の後に停止するため、ウォッチポイントには推奨されません。主に ETM を保護し、トリガします。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.12 COMP1 レジスタ (オフセット = 30h) [リセット = 00000000h]

図 2-16 に、COMP1 を示し、表 2-46 に、その説明を示します。

概略表に戻ります。

コンパレータ 1
このレジスタは、コンパレータ 1 の基準値を書き込むために使用されます。

図 2-16. COMP1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP																															
R/W-X																															

表 2-46. COMP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	COMP	R/W	X	PC と比較するための参照値、または FUNCTION1 で指定されたデータ アドレス。 コンパレータ 1 は、データ値を比較することもできます。そのため、このレジスタはデータ マッチングのためのリファレンス値を含めることができます。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.13 MASK1 レジスタ (オフセット = 34h) [リセット = 00000000h]

図 2-17 に、MASK1 を示し、表 2-47 に、その説明を示します。

概略表に戻ります。

マスク 1
COMP1 とマッチングするとき、DWT マスクレジスタ 1 を使用してデータ アドレスにマスクを適用します。

図 2-17. MASK1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																												MASK			
R/W-0h																												R/W-X			

表 2-47. MASK1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3-0	MASK	R/W	X	COMP1 と一致するときは、データ アドレスでマスクします。これは無視マスクのサイズです。つまり、DWT マッチングは次のように実行されます。(ADDR と (0xFFFF を MASK 分だけ左ビット シフトしたもの) の AND 演算) == COMP1。ただし、バス上のどこにアドレスが現れてもマッチングできるようにするため、実際の比較はやや複雑です。そのため、COMP1 が 3 の場合、3 はワード内にあるため、0 のワード アクセスにマッチします。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.14 FUNCTION1 レジスタ (オフセット = 38h) [リセット = 00000200h]

図 2-18 に、FUNCTION1 を示し、表 2-48 に、その説明を示します。

概略表に戻ります。

機能 1
DWT 機能レジスタ 1 を使用してコンパレータ 1 の動作を制御します。このコンパレータでは次のことができます。
1.関連するアドレス コンパレータがアドレス照合を実行した場合は、データ値比較を実行します。この機能は、コンパレータ 1 (COMP1) でのみ使用できます。
2.FUNCTION で定義された操作に応じて、データまたは PC のカップルを送信したり、ETM をトリガしたり、ウォッチポイントを生成したりすることができます。

図 2-18. FUNCTION1 レジスタ

31	30	29	28	27	26	25	24
RESERVED							MATCHED
R-0h							R/W-0h
23	22	21	20	19	18	17	16
RESERVED				DATAVADDR1			
R-0h				R/W-0h			
15	14	13	12	11	10	9	8
DATAVADDR0				DATAVSIZE		LNK1ENA	DATAVMATCH
R/W-0h				R/W-0h		R-1h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED		EMITRANGE	RESERVED	FUNCTION			
R-0h		R/W-0h	R-0h	R/W-0h			

表 2-48. FUNCTION1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
24	MATCHED	R/W	0h	このビットはコンパレータが一致するときに設定され、このビットが最後に読み出された後に、FUNCTION で定義される動作が発生したことを示します。このビットは、レジスタを読み取るとクリアされます。
23-20	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
19-16	DATAVADDR1	R/W	0h	DATAVMATCH == 1 および LNK1ENA == 1 のときの、データ値照合用の 2 番目のリンク アドレス コンパレータの ID。
15-12	DATAVADDR0	R/W	0h	DATAVMATCH == 1 のときの、データ値照合用のリンク アドレス コンパレータの ID。
11-10	DATAVSIZE	R/W	0h	一致する COMP1 レジスタのデータのサイズを定義します。 0x0 : バイト 0x1 : ハーフワード 0x2 : ワード 0x3 : 予想とは異なる動作。
9	LNK1ENA	R	1h	コンパレータ 1 でのみサポートされている読み出し専用ビット フィールド。 0 : DATAVADDR1 = サポートされていません 1 : DATAVADDR1 がサポートされています (有効)

Copyright © 2026 Texas Instruments Incorporated

表 2-48. FUNCTION1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	DATAVMATCH	R/W	0h	データ照合機能: 0:アドレス比較を実行 1:データ値比較を実行します。DATAVADDR0 および DATAVADDR1 で指定されるコンパレータは、データ比較用のアドレスを提供します。DATAVADDR0 と DATAVADDR1 で指定されたコンパレータの FUNCTION 設定はオーバーライドされ、これらのコンパレータはデータ比較のためのアドレス一致のみを提供します。 このビットはコンパレータ 1 でのみ使用できます。
7-6	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	EMITRANGE	R/W	0h	放射範囲フィールド。このビットは、範囲マッチの発生時におけるオフセットの出力を許可します。放射範囲が有効になっている場合、PC サンプリングはサポートされません。 このフィールドは、以下にのみ適用されます。FUNCTION = 1、2、3、12、13、14、15。
4	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 2-48. FUNCTION1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	機能	R/W	0h	機能設定: 0x0:無効 0x1:EMITRANGE = 0、ITM 経由で PC のサンプリングと送信を行います。EMITRANGE = 1、ITM 経由でアドレス オフセットを送信 0x2:EMITRANGE = 0、読み取りおよび書き込み時に、ITM 経由でデータを放射します。EMITRANGE = 1、読み取りまたは書き込み時に、ITM 経由でデータおよびアドレス オフセットを送信します。 0x3:EMITRANGE = 0:読み取りまたは書き込み時に、ITM 経由で PC およびデータ値をサンプリングします。EMITRANGE = 1:読み取りまたは書き込み時に ITM 経由でアドレス オフセットおよびデータ値を送信します。 0x4:PC 照合のウォッチポイント。 0x5:読み取り時のウォッチポイント。 0x6:書き込みの監視ポイント。 0x7:読み取りまたは書き込み時のウォッチポイント。 0x8:PC 照合時の ETM トリガ 0x9:読み出し時の ETM トリガ 0xA:書き込み時の ETM トリガ 0xB:読み出しまたは書き込み時の ETM トリガ 0xC:EMITRANGE = 0、読み取り転送用のデータをサンプリング。EMITRANGE = 1、読み出し転送用の Daddr (下位 16 ビット) をサンプリング 0xD:EMITRANGE = 0、書き込み転送用のデータをサンプリング。EMITRANGE = 1、書き込み転送用の Daddr (下位 16 ビット) をサンプリング 0xE:EMITRANGE = 0、読み出し転送用の PC とデータをサンプリング。EMITRANGE = 1、読み出し転送用の Daddr (下位 16 ビット) とデータをサンプリング 0xF:EMITRANGE = 0、書き込み転送用の PC とデータをサンプリング。EMITRANGE = 1、書き込み転送用の Daddr (下位 16 ビット) とデータをサンプリング 注 1:ETM が装着されていない場合、ETM トリガは使用できません。 注 2:データ値は、フォルト (MPU またはバス フォルト) ではないアクセスに対してのみサンプリングされます。PC は、フォルトに関係なくサンプリングされます。PC はバーストの最初のアドレスに対してのみサンプリングされます。 注 3:DATAVMATCH も設定されている場合、DATAVADDR0 および DATAVADDR1 で指定されるコンパレータについては FUNCTION がオーバーライドされます。この場合、DATAVADDR0 および DATAVADDR1 で指定されるコンパレータは、コンパレータ 1 のデータ照合に対するアドレス コンパレータ照合のみを実行できます。 注 4:実装時にデータ照合機能が組み込まれていない場合は、DATAVADDR0、DATAVADDR1、DATAVMATCH を設定できません。これは、実装においてデータ照合機能を使用できないことを意味します。DATAVMATCH の書き込みと読み取りによって、データ照合が利用可能かどうかをテストします。設定可能でない場合、データ照合は使用できません。 注 5:PC 照合は命令の後に停止するため、ウォッチポイントには推奨されません。主に ETM を保護し、トリガします。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.15 COMP2 レジスタ (オフセット = 40h) [リセット = 00000000h]

図 2-19 に、COMP2 を示し、表 2-49 に、その説明を示します。

概略表に戻ります。

コンパレータ 2
このレジスタは、コンパレータ 2 の基準値を書き込むために使用されます。

図 2-19. COMP2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP																															
R/W-X																															

表 2-49. COMP2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	COMP	R/W	X	PC と比較するための参照値、または FUNCTION2 で指定されたデータアドレス。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.16 MASK2 レジスタ (オフセット = 44h) [リセット = 00000000h]

図 2-20 に、MASK2 を示し、表 2-50 に、その説明を示します。

概略表に戻ります。

マスク 2
COMP2 とマッチングするとき、DWT マスクレジスタ 2 を使用してデータ アドレスにマスクを適用します。

図 2-20. MASK2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																												MASK			
R/W-0h																												R/W-X			

表 2-50. MASK2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3-0	MASK	R/W	X	COMP2 と一致するときは、データ アドレスでマスクします。これは無視マスクのサイズです。つまり、DWT マッチングは次のように実行されます。(ADDR と (0xFFFF を MASK 分だけ左ビット シフトしたもの) の AND 演算) == COMP2。ただし、バス上のどこにアドレスが現れてもマッチングできるようにするため、実際の比較はやや複雑です。そのため、COMP2 が 3 の場合、3 はワード内にあるため、0 のワード アクセスにマッチします。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.17 FUNCTION2 レジスタ (オフセット = 48h) [リセット = 00000000h]

図 2-21 に、FUNCTION2 を示し、表 2-51 に、その説明を示します。

概略表に戻ります。

機能 2
DWT 機能レジスタ 2 を使用してコンパレータ 2 の動作を制御します。このコンパレータは、FUNCTION で定義された動作に応じて、データまたは PC 結合を出力したり、ETM をトリガしたり、ウォッチポイントを生成したりできます。

図 2-21. FUNCTION2 レジスタ

31	30	29	28	27	26	25	24
RESERVED							MATCHED
R/W-0h							R/W-0h
23	22	21	20	19	18	17	16
RESERVED							
R-0h							
15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		EMITRANGE	RESERVED	FUNCTION			
R-0h		R/W-0h	R-0h	R/W-0h			

表 2-51. FUNCTION2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
24	MATCHED	R/W	0h	このビットはコンパレータが一致するときに設定され、このビットが最後に読み出された後に、FUNCTION で定義される動作が発生したことを示します。このビットは、レジスタを読み取るとクリアされます。
23-6	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	EMITRANGE	R/W	0h	放射範囲フィールド。このビットは、範囲マッチの発生時におけるオフセットの出力を許可します。放射範囲が有効になっている場合、PC サンプリングはサポートされません。 このフィールドは、以下にのみ適用されます。FUNCTION = 1、2、3、12、13、14、15。
4	RESERVED	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

表 2-51. FUNCTION2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	機能	R/W	0h	機能設定。 0x0:無効 0x1:EMITRANGE = 0、ITM 経由で PC のサンプリングと送信を行います。EMITRANGE = 1、ITM 経由でアドレス オフセットを送信 0x2:EMITRANGE = 0、読み取りおよび書き込み時に、ITM 経由でデータを放射します。EMITRANGE = 1、読み取りまたは書き込み時に、ITM 経由でデータおよびアドレス オフセットを送信します。 0x3:EMITRANGE = 0:読み取りまたは書き込み時に、ITM 経由で PC およびデータ値をサンプリングします。EMITRANGE = 1:読み取りまたは書き込み時に ITM 経由でアドレス オフセットおよびデータ値を送信します。 0x4:PC 照合のウォッチポイント。 0x5:読み取り時のウォッチポイント。 0x6:書き込みの監視ポイント。 0x7:読み取りまたは書き込み時のウォッチポイント。 0x8:PC 照合時の ETM トリガ 0x9:読み出し時の ETM トリガ 0xA:書き込み時の ETM トリガ 0xB:読み出しまたは書き込み時の ETM トリガ 0xC:EMITRANGE = 0、読み取り転送用のデータをサンプリング。EMITRANGE = 1、読み出し転送用の Daddr (下位 16 ビット) をサンプリング 0xD:EMITRANGE = 0、書き込み転送用のデータをサンプリング。EMITRANGE = 1、書き込み転送用の Daddr (下位 16 ビット) をサンプリング 0xE:EMITRANGE = 0、読み出し転送用の PC とデータをサンプリング。EMITRANGE = 1、読み出し転送用の Daddr (下位 16 ビット) とデータをサンプリング 0xF:EMITRANGE = 0、書き込み転送用の PC とデータをサンプリング。EMITRANGE = 1、書き込み転送用の Daddr (下位 16 ビット) とデータをサンプリング 注 1:ETM が装着されていない場合、ETM トリガは使用できません。 注 2:データ値は、フォルト (MPU またはバス フォルト) ではないアクセスに対してのみサンプリングされます。PC は、フォルトに関係なくサンプリングされます。PC はバーストの最初のアドレスに対してのみサンプリングされます。 注 3:PC 照合は命令の後に停止するため、ウォッチポイントには推奨されません。主に ETM を保護し、トリガします。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.18 COMP3 レジスタ (オフセット = 50h) [リセット = 00000000h]

図 2-22 に、COMP3 を示し、表 2-52 に、その説明を示します。

概略表に戻ります。

コンパレータ 3
このレジスタは、コンパレータ 3 の基準値を書き込むために使用されます。

図 2-22. COMP3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP																															
R/W-X																															

表 2-52. COMP3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	COMP	R/W	X	PC と比較するための参照値、または FUNCTION3 で指定されたデータアドレス。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.19 MASK3 レジスタ (オフセット = 54h) [リセット = 00000000h]

図 2-23 に、MASK3 を示し、表 2-53 に、その説明を示します。

概略表に戻ります。

マスク 3
COMP3 とマッチングするとき、DWT マスクレジスタ 3 を使用してデータ アドレスにマスクを適用します。

図 2-23. MASK3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED																												MASK			
R/W-0h																												R/W-X			

表 2-53. MASK3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3-0	MASK	R/W	X	COMP3 と一致するときは、データ アドレスでマスクします。これは無視マスクのサイズです。つまり、DWT マッチングは次のように実行されます。(ADDR と (0xFFFF を MASK 分だけ左ビット シフトしたもの) の AND 演算) == COMP3。ただし、バス上のどこにアドレスが現れてもマッチングできるようにするため、実際の比較はやや複雑です。そのため、COMP3 が 3 の場合、3 はワード内にあるため、0 のワード アクセスにマッチします。

Copyright © 2026 Texas Instruments Incorporated

2.9.1.20 FUNCTION3 レジスタ (オフセット = 58h) [リセット = 00000000h]

図 2-24 に、FUNCTION3 を示し、表 2-54 に、その説明を示します。

概略表に戻ります。

機能 3
DWT 機能レジスタ 3 を使用してコンパレータ 3 の動作を制御します。このコンパレータは、FUNCTION で定義された動作に応じて、データまたは PC 結合を出力したり、ETM をトリガしたり、ウォッチポイントを生成したりできます。

図 2-24. FUNCTION3 レジスタ

31	30	29	28	27	26	25	24
RESERVED							MATCHED
R/W-0h							R/W-0h
23	22	21	20	19	18	17	16
RESERVED							
R/W-0h							
15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED		EMITRANGE	RESERVED	FUNCTION			
R/W-0h		R/W-0h	R/W-0h	R/W-0h			

表 2-54. FUNCTION3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
24	MATCHED	R/W	0h	このビットはコンパレータが一致するときに設定され、このビットが最後に読み出された後に、FUNCTION で定義される動作が発生したことを示します。このビットは、レジスタを読み取るとクリアされます。
23-6	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	EMITRANGE	R/W	0h	放射範囲フィールド。このビットは、範囲マッチの発生時におけるオフセットの出力を許可します。放射範囲が有効になっている場合、PC サンプリングはサポートされません。 このフィールドは、以下にのみ適用されます。FUNCTION = 1、2、3、12、13、14、15。
4	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

表 2-54. FUNCTION3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	機能	R/W	0h	機能設定。 0x0:無効 0x1:EMITRANGE = 0、ITM 経由で PC のサンプリングと送信を行います。EMITRANGE = 1、ITM 経由でアドレス オフセットを送信 0x2:EMITRANGE = 0、読み取りおよび書き込み時に、ITM 経由でデータを放射します。EMITRANGE = 1、読み取りまたは書き込み時に、ITM 経由でデータおよびアドレス オフセットを送信します。 0x3:EMITRANGE = 0:読み取りまたは書き込み時に、ITM 経由で PC およびデータ値をサンプリングします。EMITRANGE = 1:読み取りまたは書き込み時に ITM 経由でアドレス オフセットおよびデータ値を送信します。 0x4:PC 照合のウォッチポイント。 0x5:読み取り時のウォッチポイント。 0x6:書き込みの監視ポイント。 0x7:読み取りまたは書き込み時のウォッチポイント。 0x8:PC 照合時の ETM トリガ 0x9:読み出し時の ETM トリガ 0xA:書き込み時の ETM トリガ 0xB:読み出しまたは書き込み時の ETM トリガ 0xC:EMITRANGE = 0、読み取り転送用のデータをサンプリング。EMITRANGE = 1、読み出し転送用の Daddr (下位 16 ビット) をサンプリング 0xD:EMITRANGE = 0、書き込み転送用のデータをサンプリング。EMITRANGE = 1、書き込み転送用の Daddr (下位 16 ビット) をサンプリング 0xE:EMITRANGE = 0、読み出し転送用の PC とデータをサンプリング。EMITRANGE = 1、読み出し転送用の Daddr (下位 16 ビット) とデータをサンプリング 0xF:EMITRANGE = 0、書き込み転送用の PC とデータをサンプリング。EMITRANGE = 1、書き込み転送用の Daddr (下位 16 ビット) とデータをサンプリング 注 1:ETM が装着されていない場合、ETM トリガは使用できません。 注 2:データ値は、フォルト (MPU またはバス フォルト) ではないアクセスに対してのみサンプリングされます。PC は、フォルトに関係なくサンプリングされます。PC はバーストの最初のアドレスに対してのみサンプリングされます。 注 3:PC 照合は命令の後に停止するため、ウォッチポイントには推奨されません。主に ETM を保護し、トリガします。

Copyright © 2026 Texas Instruments Incorporated

2.9.2 CPU_FPB レジスタ

表 2-55 に、CPU_FPB レジスタのメモリマップ レジスタを示します。表 2-55 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 2-55. CPU_FPB レジスタ

オフセット	略称	レジスタ名	セクション
0h	CTRL	制御	CTRL レジスタ (オフセット = 0h) [リセット = 00000260h]
4h	再マップ	再マップ	REMAP レジスタ (オフセット = 4h) [リセット = 20000000h]
8h	COMP0	コンパレータ 0	COMP0 レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	COMP1	コンパレータ 1	COMP1 レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	COMP2	コンパレータ 2	COMP2 レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	COMP3	コンパレータ 3	COMP3 レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	COMP4	コンパレータ 4	COMP4 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	COMP5	コンパレータ 5	COMP5 レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	COMP6	コンパレータ 6	COMP6 レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	COMP7	コンパレータ 7	COMP7 レジスタ (オフセット = 24h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 2-56 に、このセクションでアクセス タイプに使用しているコードを示します。

表 2-56. CPU_FPB アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

2.9.2.1 CTRL レジスタ (オフセット = 0h) [リセット = 00000260h]

図 2-25 に、CTRL を示し、表 2-57 に、その説明を示します。

概略表に戻ります。

制御
このレジスタは、フラッシュ パッチ ブロックを有効にするために使用されます。

図 2-25. CTRL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		NUM_CODE2		NUM_LIT			
R-0h		R-0h		R-2h			
7	6	5	4	3	2	1	0
NUM_CODE1				予約済み		KEY	イネーブル
R-6h				R-0h		W-0h	R/W-0h

表 2-57. CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
13-12	NUM_CODE2	R	0h	コード コンパレータのバンク全体の数、バンクごとに 16 のコンパレータ。入力されているコードコンパレータは 16 未満、バンク数はゼロで、NUM_CODE1 に数値で示されています。この読み取り専用フィールドには、Cortex-M プロセッサのバンク 0 を示す 3'b000 が含まれています。
11-8	NUM_LIT	R	2h	リテラルスロット数フィールド。 0x0:リテラルスロットなし 0x2:リテラルスロット 2 つ
7-4	NUM_CODE1	R	6h	コード スロット数フィールド。 0x0:コード スロットがありません 0x2:2 つのコードスロット 0x6:6 つのコードスロット
3-2	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1	KEY	W	0h	キー フィールド。このレジスタに書き込むには、このビット フィールドに「1」を書き込む必要があります。このビットは常に 0 を読み出します。
0	イネーブル	R/W	0h	フラッシュ パッチ ユニット有効ビット 0x0:フラッシュ パッチ ユニット無効 0x1:フラッシュ パッチ ユニット有効

Copyright © 2026 Texas Instruments Incorporated

2.9.2.2 REMAP レジスタ (オフセット = 4h) [リセット = 20000000h]

図 2-26 に、REMAP を示し、表 2-58 に、その説明を示します。

概略表に戻ります。

再マップ
このレジスタは、一致したアドレスが再マッピングされる再マッピング ベース アドレスの位置を示します。再マップ ベース アドレスの最上位 3 ビットと最下位 5 ビットはそれぞれ 3'b001 と 5'b00000 にハードコードされていいます。再マップ ベース アドレスはシステム空間内に存在し、8 ワード アラインメントされている必要があり、8 つの FPB コンパレータそれぞれに 1 ワードが割り当てられる必要があります。

図 2-26. REMAP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み			再マップ												
R-1h			R/W-X												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
再マップ											予約済み				
R/W-X											R-0h				

表 2-58. REMAP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	1h	このフィールドの読み取り値は常に 3'b001 です。このフィールドへの書き込みは無視されます。
28-5	再マップ	R/W	X	ベース アドレス フィールドを再マップします。
4-0	予約済み	R	0h	このフィールドの読み取り値は常に 0 です。このフィールドへの書き込みは無視されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.2.3 COMP0 レジスタ (オフセット = 8h) [リセット = 00000000h]

図 2-27 に、COMP0 を示し、表 2-59 に、その説明を示します。

概略表に戻ります。

コンパレータ 0

図 2-27. COMP0 レジスタ

31	30	29	28	27	26	25	24
交換		予約済み	COMP				
R/W-0h		R/W-0h	R/W-0h				
23	22	21	20	19	18	17	16
COMP							
R/W-0h							
15	14	13	12	11	10	9	8
COMP							
R/W-0h							
7	6	5	4	3	2	1	0
COMP						予約済み	イネーブル
R/W-0h						R/W-0h	R/W-0h

表 2-59. COMP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	交換	R/W	0h	これにより、COMP アドレスが一致したときの動作が選択されます。アドレスの再マッピングは、0x0 設定でのみ行われます。 0x0:アドレスを再マップします。REMAP.REMAP を参照してください 0x1:下側のハーフワードで BKPT を設定、上側は影響を受けません 0x2:上側のハーフ ワードに BKPT を設定し、下側は影響を受けません 0x3:BKPT を下位ハーフ ワードと上位ハーフ ワードの両方に設定します。
29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28-2	COMP	R/W	0h	比較アドレス。
1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	イネーブル	R/W	0h	比較と再マッピングを有効にするコンパレータ 0。比較を有効にするには、CTRL.ENABLE も設定する必要があります。 0x0:コンパレータ 0 の比較と再マップを無効化 0x1:コンパレータ 0 の比較と再マップが有効になります

Copyright © 2026 Texas Instruments Incorporated

2.9.2.4 COMP1 レジスタ (オフセット = Ch) [リセット = 00000000h]

図 2-28 に、COMP1 を示し、表 2-60 に、その説明を示します。

概略表に戻ります。

コンパレータ 1

図 2-28. COMP1 レジスタ

31	30	29	28	27	26	25	24
交換		予約済み	COMP				
R/W-0h		R/W-0h	R/W-0h				
23	22	21	20	19	18	17	16
COMP							
R/W-0h							
15	14	13	12	11	10	9	8
COMP							
R/W-0h							
7	6	5	4	3	2	1	0
COMP						予約済み	イネーブル
R/W-0h						R/W-0h	R/W-0h

表 2-60. COMP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	交換	R/W	0h	これにより、COMP アドレスが一致したときの動作が選択されます。アドレスの再マッピングは、0x0 設定でのみ行われます。 0x0:アドレスを再マップします。REMAP.REMAP を参照してください 0x1:下側のハーフワードで BKPT を設定、上側は影響を受けません 0x2:上側のハーフ ワードに BKPT を設定し、下側は影響を受けません 0x3:BKPT を下位ハーフ ワードと上位ハーフ ワードの両方に設定します。
29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28-2	COMP	R/W	0h	比較アドレス。
1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	イネーブル	R/W	0h	比較と再マッピングを有効にするコンパレータ 1。比較を有効にするには、CTRL.ENABLE も設定する必要があります。 0x0:コンパレータ 1 の比較と再マップを無効化 0x1:コンパレータ 1 の比較と再マップが有効になります

Copyright © 2026 Texas Instruments Incorporated

2.9.2.5 COMP2 レジスタ (オフセット = 10h) [リセット = 00000000h]

図 2-29 に、COMP2 を示し、表 2-61 に、その説明を示します。

概略表に戻ります。

コンパレータ 2

図 2-29. COMP2 レジスタ

31	30	29	28	27	26	25	24
交換		予約済み	COMP				
R/W-0h		R/W-0h	R/W-0h				
23	22	21	20	19	18	17	16
COMP							
R/W-0h							
15	14	13	12	11	10	9	8
COMP							
R/W-0h							
7	6	5	4	3	2	1	0
COMP						予約済み	イネーブル
R/W-0h						R/W-0h	R/W-0h

表 2-61. COMP2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	交換	R/W	0h	これにより、COMP アドレスが一致したときの動作が選択されます。アドレスの再マッピングは、0x0 設定でのみ行われます。 0x0:アドレスを再マップします。REMAP.REMAP を参照してください 0x1:下側のハーフワードで BKPT を設定、上側は影響を受けません 0x2:上側のハーフ ワードに BKPT を設定し、下側は影響を受けません 0x3:BKPT を下位ハーフ ワードと上位ハーフ ワードの両方に設定します。
29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28-2	COMP	R/W	0h	比較アドレス。
1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	イネーブル	R/W	0h	比較と再マッピングを有効にするコンパレータ 2。比較を有効にするには、CTRL.ENABLE も設定する必要があります。 0x0:コンパレータ 2 の比較と再マップを無効化 0x1:コンパレータ 2 の比較と再マップが有効になります

Copyright © 2026 Texas Instruments Incorporated

2.9.2.6 COMP3 レジスタ (オフセット = 14h) [リセット = 00000000h]

図 2-30 に、COMP3 を示し、表 2-62 に、その説明を示します。

概略表に戻ります。

コンパレータ 3

図 2-30. COMP3 レジスタ

31	30	29	28	27	26	25	24
交換		予約済み	COMP				
R/W-0h		R/W-0h	R/W-0h				
23	22	21	20	19	18	17	16
COMP							
R/W-0h							
15	14	13	12	11	10	9	8
COMP							
R/W-0h							
7	6	5	4	3	2	1	0
COMP						予約済み	イネーブル
R/W-0h						R/W-0h	R/W-0h

表 2-62. COMP3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	交換	R/W	0h	これにより、COMP アドレスが一致したときの動作が選択されます。アドレスの再マッピングは、0x0 設定でのみ行われます。 0x0:アドレスを再マップします。REMAP.REMAP を参照してください 0x1:下側のハーフワードで BKPT を設定、上側は影響を受けません 0x2:上側のハーフ ワードに BKPT を設定し、下側は影響を受けません 0x3:BKPT を下位ハーフ ワードと上位ハーフ ワードの両方に設定します。
29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28-2	COMP	R/W	0h	比較アドレス。
1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	イネーブル	R/W	0h	比較と再マッピングを有効にするコンパレータ 3。比較を有効にするには、CTRL.ENABLE も設定する必要があります。 0x0:コンパレータ 3 の比較と再マップを無効化 0x1:コンパレータ 3 の比較と再マップが有効になります

Copyright © 2026 Texas Instruments Incorporated

2.9.2.7 COMP4 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 2-31 に、COMP4 を示し、表 2-63 に、その説明を示します。

概略表に戻ります。

コンパレータ 4

図 2-31. COMP4 レジスタ

31	30	29	28	27	26	25	24
交換		予約済み	COMP				
R/W-0h		R/W-0h	R/W-0h				
23	22	21	20	19	18	17	16
COMP							
R/W-0h							
15	14	13	12	11	10	9	8
COMP							
R/W-0h							
7	6	5	4	3	2	1	0
COMP						予約済み	イネーブル
R/W-0h						R/W-0h	R/W-0h

表 2-63. COMP4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	交換	R/W	0h	これにより、COMP アドレスが一致したときの動作が選択されます。アドレスの再マッピングは、0x0 設定でのみ行われます。 0x0:アドレスを再マップします。REMAP.REMAP を参照してください 0x1:下側のハーフワードで BKPT を設定、上側は影響を受けません 0x2:上側のハーフ ワードに BKPT を設定し、下側は影響を受けません 0x3:BKPT を下位ハーフ ワードと上位ハーフ ワードの両方に設定します。
29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28-2	COMP	R/W	0h	比較アドレス。
1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	イネーブル	R/W	0h	比較と再マッピングを有効にするコンパレータ 4。比較を有効にするには、CTRL.ENABLE も設定する必要があります。 0x0:コンパレータ 4 の比較と再マップを無効化 0x1:コンパレータ 4 の比較と再マップが有効になります

Copyright © 2026 Texas Instruments Incorporated

2.9.2.8 COMP5 レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 2-32 に、COMP5 を示し、表 2-64 に、その説明を示します。

概略表に戻ります。

コンパレータ 5

図 2-32. COMP5 レジスタ

31	30	29	28	27	26	25	24
交換		予約済み	COMP				
R/W-0h		R/W-0h	R/W-0h				
23	22	21	20	19	18	17	16
COMP							
R/W-0h							
15	14	13	12	11	10	9	8
COMP							
R/W-0h							
7	6	5	4	3	2	1	0
COMP						予約済み	イネーブル
R/W-0h						R/W-0h	R/W-0h

表 2-64. COMP5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	交換	R/W	0h	これにより、COMP アドレスが一致したときの動作が選択されます。アドレスの再マッピングは、0x0 設定でのみ行われます。 0x0:アドレスを再マップします。REMAP.REMAP を参照してください 0x1:下側のハーフワードで BKPT を設定、上側は影響を受けません 0x2:上側のハーフ ワードに BKPT を設定し、下側は影響を受けません 0x3:BKPT を下位ハーフ ワードと上位ハーフ ワードの両方に設定します。
29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28-2	COMP	R/W	0h	比較アドレス。
1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	イネーブル	R/W	0h	比較と再マッピングを有効にするコンパレータ 5。比較を有効にするには、CTRL.ENABLE も設定する必要があります。 0x0:コンパレータ 5 の比較と再マップを無効化 0x1:コンパレータ 5 の比較と再マップが有効になります

Copyright © 2026 Texas Instruments Incorporated

2.9.2.9 COMP6 レジスタ (オフセット = 20h) [リセット = 00000000h]

図 2-33 に、COMP6 を示し、表 2-65 に、その説明を示します。

概略表に戻ります。

コンパレータ 6

図 2-33. COMP6 レジスタ

31	30	29	28	27	26	25	24
交換		予約済み	COMP				
R/W-0h		R/W-0h	R/W-0h				
23	22	21	20	19	18	17	16
COMP							
R/W-0h							
15	14	13	12	11	10	9	8
COMP							
R/W-0h							
7	6	5	4	3	2	1	0
COMP						予約済み	イネーブル
R/W-0h						R/W-0h	R/W-0h

表 2-65. COMP6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	交換	R/W	0h	これにより、COMP アドレスが一致したときの動作が選択されます。コンパレータ 6 はリテラル コンパレータで、サポートされている設定は 0x0 のみです。その他の設定は無視されます。 0x0:アドレスを再マップします。REMAP.REMAP を参照してください 0x1:下側のハーフワードで BKPT を設定、上側は影響を受けません 0x2:上側のハーフ ワードに BKPT を設定し、下側は影響を受けません 0x3:BKPT を下位ハーフ ワードと上位ハーフ ワードの両方に設定します。
29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28-2	COMP	R/W	0h	比較アドレス。
1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	イネーブル	R/W	0h	比較と再マッピングを有効にするコンパレータ 6。比較を有効にするには、CTRL.ENABLE も設定する必要があります。 0x0:コンパレータ 6 の比較と再マップを無効化 0x1:コンパレータ 6 の比較と再マップが有効になります

Copyright © 2026 Texas Instruments Incorporated

2.9.2.10 COMP7 レジスタ (オフセット = 24h) [リセット = 00000000h]

図 2-34 に、COMP7 を示し、表 2-66 に、その説明を示します。

概略表に戻ります。

コンパレータ 7

図 2-34. COMP7 レジスタ

31	30	29	28	27	26	25	24
交換		予約済み	COMP				
R/W-0h		R/W-0h	R/W-0h				
23	22	21	20	19	18	17	16
COMP							
R/W-0h							
15	14	13	12	11	10	9	8
COMP							
R/W-0h							
7	6	5	4	3	2	1	0
COMP						予約済み	イネーブル
R/W-0h						R/W-0h	R/W-0h

表 2-66. COMP7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	交換	R/W	0h	これにより、COMP アドレスが一致したときの動作が選択されます。コンパレータ 7 はリテラル コンパレータで、サポートされている設定は 0x0 のみです。その他の設定は無視されます。 0x0:アドレスを再マップします。REMAP.REMAP を参照してください 0x1:下側のハーフワードで BKPT を設定、上側は影響を受けません 0x2:上側のハーフ ワードに BKPT を設定し、下側は影響を受けません 0x3:BKPT を下位ハーフ ワードと上位ハーフ ワードの両方に設定します。
29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28-2	COMP	R/W	0h	比較アドレス。
1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	イネーブル	R/W	0h	比較と再マッピングを有効にするコンパレータ 7。比較を有効にするには、CTRL.ENABLE も設定する必要があります。 0x0:コンパレータ 7 の比較と再マップを無効化 0x1:コンパレータ 7 の比較と再マップが有効になります

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.3 CPU_ITM レジスタ

表 2-67 に、CPU_ITM レジスタのメモリ マップト レジスタを示します。表 2-67 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 2-67. CPU_ITM レジスタ

オフセット	略称	レジスタ名	セクション
0h	STIM0	スティミュラス ポート 0	STIM0 レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	STIM1	スティミュラス ポート 1	STIM1 レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	STIM2	スティミュラス ポート 2	STIM2 レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	STIM3	スティミュラス ポート 3	STIM3 レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	STIM4	スティミュラス ポート 4	STIM4 レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	STIM5	スティミュラス ポート 5	STIM5 レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	STIM6	スティミュラス ポート 6	STIM6 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	STIM7	スティミュラス ポート 7	STIM7 レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	STIM8	スティミュラス ポート 8	STIM8 レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	STIM9	スティミュラス ポート 9	STIM9 レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	STIM10	スティミュラス ポート 10	STIM10 レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	STIM11	スティミュラス ポート 11	STIM11 レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	STIM12	スティミュラス ポート 12	STIM12 レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	STIM13	スティミュラス ポート 13	STIM13 レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	STIM14	スティミュラス ポート 14	STIM14 レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	STIM15	スティミュラス ポート 15	STIM15 レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	STIM16	スティミュラス ポート 16	STIM16 レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	STIM17	スティミュラス ポート 17	STIM17 レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	STIM18	スティミュラス ポート 18	STIM18 レジスタ (オフセット = 48h) [リセット = 00000000h]
4Ch	STIM19	スティミュラス ポート 19	STIM19 レジスタ (オフセット = 4Ch) [リセット = 00000000h]
50h	STIM20	スティミュラス ポート 20	STIM20 レジスタ (オフセット = 50h) [リセット = 00000000h]
54h	STIM21	スティミュラス ポート 21	STIM21 レジスタ (オフセット = 54h) [リセット = 00000000h]
58h	STIM22	スティミュラス ポート 22	STIM22 レジスタ (オフセット = 58h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 2-67. CPU_ITM レジスタ (続き)

オフセット	略称	レジスタ名	セクション
5Ch	STIM23	スティミュラス ポート 23	STIM23 レジスタ (オフセット = 5Ch) [リセット = 00000000h]
60h	STIM24	スティミュラス ポート 24	STIM24 レジスタ (オフセット = 60h) [リセット = 00000000h]
64h	STIM25	スティミュラス ポート 25	STIM25 レジスタ (オフセット = 64h) [リセット = 00000000h]
68h	STIM26	スティミュラス ポート 26	STIM26 レジスタ (オフセット = 68h) [リセット = 00000000h]
6Ch	STIM27	スティミュラス ポート 27	STIM27 レジスタ (オフセット = 6Ch) [リセット = 00000000h]
70h	STIM28	スティミュラス ポート 28	STIM28 レジスタ (オフセット = 70h) [リセット = 00000000h]
74h	STIM29	スティミュラス ポート 29	STIM29 レジスタ (オフセット = 74h) [リセット = 00000000h]
78h	STIM30	スティミュラス ポート 30	STIM30 レジスタ (オフセット = 78h) [リセット = 00000000h]
7Ch	STIM31	スティミュラス ポート 31	STIM31 レジスタ (オフセット = 7Ch) [リセット = 00000000h]
E00h	TER	トレース イネーブル	TER レジスタ (オフセット = E00h) [リセット = 00000000h]
E40h	TPR	トレース権限	TPR レジスタ (オフセット = E40h) [リセット = 00000000h]
E80h	TCR	トレース制御	TCR レジスタ (オフセット = E80h) [リセット = 00000000h]
FB0h	LAR	ロック アクセス	LAR レジスタ (オフセット = FB0h) [リセット = 00000000h]
FB4h	LSR	ロック ステータス	LSR レジスタ (オフセット = FB4h) [リセット = 00000003h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 2-68 に、このセクションでアクセス タイプに使用しているコードを示します。

表 2-68. CPU_ITM アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

2.9.3.1 STIM0 レジスタ (オフセット = 0h) [リセット = 00000000h]

図 2-35 に、STIM0 を示し、表 2-69 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 0

図 2-35. STIM0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM0																															
R/W-X																															

表 2-69. STIM0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM0	R/W	X	この位置に書き込むと、TER.STIMENA0 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.2 STIM1 レジスタ (オフセット = 4h) [リセット = 00000000h]

図 2-36 に、STIM1 を示し、表 2-70 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 1

図 2-36. STIM1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM1																															
R/W-X																															

表 2-70. STIM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM1	R/W	X	この位置に書き込むと、TER.STIMENA1 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.3 STIM2 レジスタ (オフセット = 8h) [リセット = 00000000h]

図 2-37 に、STIM2 を示し、表 2-71 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 2

図 2-37. STIM2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM2																															
R/W-X																															

表 2-71. STIM2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM2	R/W	X	この位置に書き込むと、TER.STIMENA2 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.4 STIM3 レジスタ (オフセット = Ch) [リセット = 00000000h]

図 2-38 に、STIM3 を示し、表 2-72 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 3

図 2-38. STIM3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM3																															
R/W-X																															

表 2-72. STIM3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM3	R/W	X	この位置に書き込むと、TER.STIMENA3 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.5 STIM4 レジスタ (オフセット = 10h) [リセット = 00000000h]

図 2-39 に、STIM4 を示し、表 2-73 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 4

図 2-39. STIM4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM4																															
R/W-X																															

表 2-73. STIM4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM4	R/W	X	この位置に書き込むと、TER.STIMENA4 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.6 STIM5 レジスタ (オフセット = 14h) [リセット = 00000000h]

図 2-40 に、STIM5 を示し、表 2-74 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 5

図 2-40. STIM5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM5																															
R/W-X																															

表 2-74. STIM5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM5	R/W	X	この位置に書き込むと、TER.STIMENA5 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.7 STIM6 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 2-41 に、STIM6 を示し、表 2-75 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 6

図 2-41. STIM6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM6																															
R/W-X																															

表 2-75. STIM6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM6	R/W	X	この位置に書き込むと、TER.STIMENA6 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.8 STIM7 レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 2-42 に、STIM7 を示し、表 2-76 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 7

図 2-42. STIM7 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM7																															
R/W-X																															

表 2-76. STIM7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM7	R/W	X	この位置に書き込むと、TER.STIMENA7 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.3.9 STIM8 レジスタ (オフセット = 20h) [リセット = 00000000h]

図 2-43 に、STIM8 を示し、表 2-77 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 8

図 2-43. STIM8 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM8																															
R/W-X																															

表 2-77. STIM8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM8	R/W	X	この位置に書き込むと、TER.STIMENA8 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.10 STIM9 レジスタ (オフセット = 24h) [リセット = 00000000h]

図 2-44 に、STIM9 を示し、表 2-78 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 9

図 2-44. STIM9 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM9																															
R/W-X																															

表 2-78. STIM9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM9	R/W	X	この位置に書き込むと、TER.STIMENA9 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.11 STIM10 レジスタ (オフセット = 28h) [リセット = 00000000h]

図 2-45 に、STIM10 を示し、表 2-79 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 10

図 2-45. STIM10 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM10																															
R/W-X																															

表 2-79. STIM10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM10	R/W	X	この位置に書き込むと、TER.STIMENA10 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.12 STIM11 レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 2-46 に、STIM11 を示し、表 2-80 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 11

図 2-46. STIM11 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM11																															
R/W-X																															

表 2-80. STIM11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM11	R/W	X	この位置に書き込むと、TER.STIMENA11 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.13 STIM12 レジスタ (オフセット = 30h) [リセット = 00000000h]

図 2-47 に、STIM12 を示し、表 2-81 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 12

図 2-47. STIM12 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM12																															
R/W-X																															

表 2-81. STIM12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM12	R/W	X	この位置に書き込むと、TER.STIMENA12 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.14 STIM13 レジスタ (オフセット = 34h) [リセット = 00000000h]

図 2-48 に、STIM13 を示し、表 2-82 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 13

図 2-48. STIM13 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM13																															
R/W-X																															

表 2-82. STIM13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM13	R/W	X	この位置に書き込むと、TER.STIMENA13 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.15 STIM14 レジスタ (オフセット = 38h) [リセット = 00000000h]

図 2-49 に、STIM14 を示し、表 2-83 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 14

図 2-49. STIM14 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM14																															
R/W-X																															

表 2-83. STIM14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM14	R/W	X	この位置に書き込むと、TER.STIMENA14 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.16 STIM15 レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 2-50 に、STIM15 を示し、表 2-84 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 15

図 2-50. STIM15 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM15																															
R/W-X																															

表 2-84. STIM15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM15	R/W	X	この位置に書き込むと、TER.STIMENA15 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.17 STIM16 レジスタ (オフセット = 40h) [リセット = 00000000h]

図 2-51 に、STIM16 を示し、表 2-85 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 16

図 2-51. STIM16 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM16																															
R/W-X																															

表 2-85. STIM16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM16	R/W	X	この位置に書き込むと、TER.STIMENA16 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.18 STIM17 レジスタ (オフセット = 44h) [リセット = 00000000h]

図 2-52 に、STIM17 を示し、表 2-86 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 17

図 2-52. STIM17 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM17																															
R/W-X																															

表 2-86. STIM17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM17	R/W	X	この位置に書き込むと、TER.STIMENA17 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.19 STIM18 レジスタ (オフセット = 48h) [リセット = 00000000h]

図 2-53 に、STIM18 を示し、表 2-87 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 18

図 2-53. STIM18 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM18																															
R/W-X																															

表 2-87. STIM18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM18	R/W	X	この位置に書き込むと、TER.STIMENA18 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.20 STIM19 レジスタ (オフセット = 4Ch) [リセット = 00000000h]

図 2-54 に、STIM19 を示し、表 2-88 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 19

図 2-54. STIM19 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM19																															
R/W-X																															

表 2-88. STIM19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM19	R/W	X	この位置に書き込むと、TER.STIMENA19 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.21 STIM20 レジスタ (オフセット = 50h) [リセット = 00000000h]

図 2-55 に、STIM20 を示し、表 2-89 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 20

図 2-55. STIM20 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM20																															
R/W-X																															

表 2-89. STIM20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM20	R/W	X	この位置に書き込むと、TER.STIMENA20 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.22 STIM21 レジスタ (オフセット = 54h) [リセット = 00000000h]

図 2-56 に、STIM21 を示し、表 2-90 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 21

図 2-56. STIM21 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM21																															
R/W-X																															

表 2-90. STIM21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM21	R/W	X	この位置に書き込むと、TER.STIMENA21 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.23 STIM22 レジスタ (オフセット = 58h) [リセット = 00000000h]

図 2-57 に、STIM22 を示し、表 2-91 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 22

図 2-57. STIM22 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM22																															
R/W-X																															

表 2-91. STIM22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM22	R/W	X	この位置に書き込むと、TER.STIMENA22 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.24 STIM23 レジスタ (オフセット = 5Ch) [リセット = 00000000h]

図 2-58 に、STIM23 を示し、表 2-92 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 23

図 2-58. STIM23 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM23																															
R/W-X																															

表 2-92. STIM23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM23	R/W	X	この位置に書き込むと、TER.STIMENA23 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.25 STIM24 レジスタ (オフセット = 60h) [リセット = 00000000h]

図 2-59 に、STIM24 を示し、表 2-93 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 24

図 2-59. STIM24 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM24																															
R/W-X																															

表 2-93. STIM24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM24	R/W	X	この位置に書き込むと、TER.STIMENA24 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.26 STIM25 レジスタ (オフセット = 64h) [リセット = 00000000h]

図 2-60 に、STIM25 を示し、表 2-94 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 25

図 2-60. STIM25 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM25																															
R/W-X																															

表 2-94. STIM25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM25	R/W	X	この位置に書き込むと、TER.STIMENA25 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.27 STIM26 レジスタ (オフセット = 68h) [リセット = 00000000h]

図 2-61 に、STIM26 を示し、表 2-95 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 26

図 2-61. STIM26 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM26																															
R/W-X																															

表 2-95. STIM26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM26	R/W	X	この位置に書き込むと、TER.STIMENA26 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.28 STIM27 レジスタ (オフセット = 6Ch) [リセット = 00000000h]

図 2-62 に、STIM27 を示し、表 2-96 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 27

図 2-62. STIM27 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM27																															
R/W-X																															

表 2-96. STIM27 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM27	R/W	X	この位置に書き込むと、TER.STIMENA27 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.29 STIM28 レジスタ (オフセット = 70h) [リセット = 00000000h]

図 2-63 に、STIM28 を示し、表 2-97 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 28

図 2-63. STIM28 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM28																															
R/W-X																															

表 2-97. STIM28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM28	R/W	X	この位置に書き込むと、TER.STIMENA28 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.30 STIM29 レジスタ (オフセット = 74h) [リセット = 00000000h]

図 2-64 に、STIM29 を示し、表 2-98 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 29

図 2-64. STIM29 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM29																															
R/W-X																															

表 2-98. STIM29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM29	R/W	X	この位置に書き込むと、TER.STIMENA29 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.31 STIM30 レジスタ (オフセット = 78h) [リセット = 00000000h]

図 2-65 に、STIM30 を示し、表 2-99 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 30

図 2-65. STIM30 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM30																															
R/W-X																															

表 2-99. STIM30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM30	R/W	X	この位置に書き込むと、TER.STIMENA30 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.32 STIM31 レジスタ (オフセット = 7Ch) [リセット = 00000000h]

図 2-66 に、STIM31 を示し、表 2-100 に、その説明を示します。

概略表に戻ります。

スティミュラス ポート 31

図 2-66. STIM31 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIM31																															
R/W-X																															

表 2-100. STIM31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STIM31	R/W	X	この位置に書き込むと、TER.STIMENA31 が設定されている場合、データが FIFO に書き込まれます。スティミュラス ポートから読み取ると、FIFO ステータスがビット [0]: 0 = フル、1 = 非フルで返されます。ポーリングされた FIFO インターフェイスはアトミックな「読み取り-変更-書き込み」操作を提供しないため、割り込みや他のスレッドによってこの ITM ポートが並行して使用される場合には、排他的な「読み取り-変更-書き込み」を確保する責任はユーザー側にあります。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.33 TER レジスタ (オフセット = E00h) [リセット = 00000000h]

図 2-67 に、TER を示し、表 2-101 に、その説明を示します。

概略表に戻ります。

トレース イネーブル
トレース イネーブル レジスタを使用して、対応するスティミュラス ポートに書き込むことにより、トレース データを生成します。注:TCR.ITMENA が設定されている場合、このレジスタへの特権書き込みが許可されます。TCR.ITMENA が設定されており、適切な権限マスクがクリアされている場合、このレジスタへのユーザー書き込みが受け付けられます。スティミュラス ポートへの特権アクセスにより、RTOS カーネルは必要に応じて計測スロットや帯域幅を保証できます。

図 2-67. TER レジスタ

31	30	29	28	27	26	25	24
STIMENA31	STIMENA30	STIMENA29	STIMENA28	STIMENA27	STIMENA26	STIMENA25	STIMENA24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
STIMENA23	STIMENA22	STIMENA21	STIMENA20	STIMENA19	STIMENA18	STIMENA17	STIMENA16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
STIMENA15	STIMENA14	STIMENA13	STIMENA12	STIMENA11	STIMENA10	STIMENA9	STIMENA8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
STIMENA7	STIMENA6	STIMENA5	STIMENA4	STIMENA3	STIMENA2	STIMENA1	STIMENA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-101. TER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	STIMENA31	R/W	0h	ITM スティミュラス ポート 31 でトレースを有効化するビット マスク。
30	STIMENA30	R/W	0h	ITM スティミュラス ポート 30 でトレースを有効化するビット マスク。
29	STIMENA29	R/W	0h	ITM スティミュラス ポート 29 でトレースを有効化するビット マスク。
28	STIMENA28	R/W	0h	ITM スティミュラス ポート 28 でトレースを有効化するビット マスク。
27	STIMENA27	R/W	0h	ITM スティミュラス ポート 27 でトレースを有効化するビット マスク。
26	STIMENA26	R/W	0h	ITM スティミュラス ポート 26 でトレースを有効化するビット マスク。
25	STIMENA25	R/W	0h	ITM スティミュラス ポート 25 でトレースを有効化するビット マスク。
24	STIMENA24	R/W	0h	ITM スティミュラス ポート 24 でトレースを有効化するビット マスク。
23	STIMENA23	R/W	0h	ITM スティミュラス ポート 23 でトレースを有効化するビット マスク。
22	STIMENA22	R/W	0h	ITM スティミュラス ポート 22 でトレースを有効化するビット マスク。
21	STIMENA21	R/W	0h	ITM スティミュラス ポート 21 でトレースを有効化するビット マスク。
20	STIMENA20	R/W	0h	ITM スティミュラス ポート 20 でトレースを有効化するビット マスク。
19	STIMENA19	R/W	0h	ITM スティミュラス ポート 19 でトレースを有効化するビット マスク。
18	STIMENA18	R/W	0h	ITM スティミュラス ポート 18 でトレースを有効化するビット マスク。
17	STIMENA17	R/W	0h	ITM スティミュラス ポート 17 でトレースを有効化するビット マスク。
16	STIMENA16	R/W	0h	ITM スティミュラス ポート 16 でトレースを有効化するビット マスク。
15	STIMENA15	R/W	0h	ITM スティミュラス ポート 15 でトレースを有効化するビット マスク。
14	STIMENA14	R/W	0h	ITM スティミュラス ポート 14 でトレースを有効化するビット マスク。
13	STIMENA13	R/W	0h	ITM スティミュラス ポート 13 でトレースを有効化するビット マスク。
12	STIMENA12	R/W	0h	ITM スティミュラス ポート 12 でトレースを有効化するビット マスク。

Copyright © 2026 Texas Instruments Incorporated

表 2-101. TER レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	STIMENA11	R/W	0h	ITM スティミュラス ポート 11 でトレースを有効化するビット マスク。
10	STIMENA10	R/W	0h	ITM スティミュラス ポート 10 でトレースを有効化するビット マスク。
9	STIMENA9	R/W	0h	ITM スティミュラス ポート 9 でトレースを有効化するビット マスク。
8	STIMENA8	R/W	0h	ITM スティミュラス ポート 8 でトレースを有効化するビット マスク。
7	STIMENA7	R/W	0h	ITM スティミュラス ポート 7 でトレースを有効化するビット マスク。
6	STIMENA6	R/W	0h	ITM スティミュラス ポート 6 でトレースを有効化するビット マスク。
5	STIMENA5	R/W	0h	ITM スティミュラス ポート 5 でトレースを有効化するビット マスク。
4	STIMENA4	R/W	0h	ITM スティミュラス ポート 4 でトレースを有効化するビット マスク。
3	STIMENA3	R/W	0h	ITM スティミュラス ポート 3 でトレースを有効化するビット マスク。
2	STIMENA2	R/W	0h	ITM スティミュラス ポート 2 でトレースを有効化するビット マスク。
1	STIMENA1	R/W	0h	ITM スティミュラス ポート 1 でトレースを有効化するビット マスク。
0	STIMENA0	R/W	0h	ITM スティミュラス ポート 0 でトレースを有効化するビット マスク。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.34 TPR レジスタ (オフセット = E40h) [リセット = 00000000h]

図 2-68 に、TPR を示し、表 2-102 に、その説明を示します。

概略表に戻ります。

トレース権限
このレジスタは、オペレーティング システムがユーザー コードでアクセス可能なスティミュラス ポートを制御するために使用されます。このレジスタは、特権モードでのみ使用可能です。

図 2-68. TPR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R/W-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												PRIVMASK			
R/W-0h												R/W-0h			

表 2-102. TPR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3-0	PRIVMASK	R/W	0h	ITM スティミュラス ポートへの特権のない (ユーザ) アクセスを有効化するビットマスク: ビット [0] は、スティミュラス ポート 0、1、... 7 を有効化します。 ビット [1] は、スティミュラス ポート 8、9、... 15 を有効化します。 ビット [2] は、スティミュラス ポート 16、17、... 23 を有効化します。 ビット [3] は、スティミュラス ポート 24、25、... 31 を有効化します。 0:スティミュラス ポートへのユーザー アクセスを許可します 1:スティミュラス ポートへの特権アクセスのみです

Copyright © 2026 Texas Instruments Incorporated

2.9.3.35 TCR レジスタ (オフセット = E80h) [リセット = 00000000h]

図 2-69 に、TCR を示し、表 2-103 に、その説明を示します。

概略表に戻ります。

トレース制御
このレジスタを使用して、ITM 転送を設定および制御します。このレジスタは、特権モードでのみ書き込み可能です。DWT は ITM ブロックで有効になっていません。しかし、FIFO への DWT スティミュラスの入力は DWTENA によって制御されます。DWT にタイムスタンプが必要な場合は、TSENA ビットを設定する必要があります。

図 2-69. TCR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
BUSY	ATBID						
R/W-0h	R/W-0h						
15	14	13	12	11	10	9	8
予約済み						TSPRESCALE	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
予約済み			SWOENA	DWTENA	SYNCENA	TSENA	ITMENA
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-103. TCR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
23	BUSY	R/W	0h	ITM イベントが存在し、ドレインされているときに設定されます。
22-16	ATBID	R/W	0h	CoreSight システムのトレース バス ID。マルチソース トレース ストリーム フォーマットのオプション識別子。マルチソース トレースを使用する場合は、このフィールドにゼロ以外の値を書き込む必要があります。
15-10	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
9-8	TSPRESCALE	R/W	0h	タイムスタンプ プリスケーラ 0h = プリスケーリングなし 1h = 4 分周 2h = 16 分周 3h = 64 分周
7-5	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
4	SWOENA	R/W	0h	タイムスタンプ カウンタの非同期クロックを有効化します (TSENA = 1 のとき)。TSENA = 0 の場合、このビットを 1 に書き込むと、タイムスタンプ カウンタの非同期クロックは有効になりません。 0x0 : モードは無効です。タイムスタンプ カウンタは、コアからのシステム クロックを使用し、連続的にカウントします。 0x1 : タイムスタンプ カウンタは、TPIU インターフェイスからのラインアウト (データ関連) クロックを使用します。出力ラインがアイドルの間、タイムスタンプ カウンタはリセット状態に保持されます。
3	DWTENA	R/W	0h	DWT スティミュラス (DWT から TPIU へのハードウェア イベント パケットの放射) を有効化します

Copyright © 2026 Texas Instruments Incorporated

表 2-103. TCR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	SYNCENA	R/W	0h	同期 TPIU の同期パケット転送を有効化します。 CPU_DWT:CTRL.SYNCTAP を正しい同期速度に設定する必要があります。
1	TSENA	R/W	0h	差動タイムスタンプを有効化します。ゼロ以外のタイムスタンプ カウンタでパケットが FIFO に書き込まれた場合、およびタイムスタンプ カウンタがオーバーフローした場合に、差動タイムスタンプが生成されます。タイムスタンプは、200 万サイクルの固定回数を経過した後、アイドル時間中に発行されます。これにより、パケットとパケット間のギャップの時間基準が提供されます。SWOENA (ビット [4]) が設定されている場合、タイムスタンプは内部トレース バス上のアクティビティによってのみトリガされます。この場合、ITM がアイドル状態のときに、通常のタイムスタンプ出力はありません。
0	ITMENA	R/W	0h	ITM を有効化します。これはマスタ イネーブルであり、ITM スティミュラスおよびトレース イネーブル レジスタを書き込む前に設定する必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.3.36 LAR レジスタ (オフセット = FB0h) [リセット = 00000000h]

図 2-70 に、LAR を示し、表 2-104 に、その説明を示します。

概略表に戻ります。

ロック アクセス
このレジスタは、以下の制御レジスタへの書き込みアクセスを防止するために使用されます。TER、TPR、TCR。

図 2-70. LAR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK_ACCESS																															
W-0h																															

表 2-104. LAR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	LOCK_ACCESS	W	0h	0xC5ACCE55 の特権書き込みを行うと、制御レジスタ TER、TPR、TCR への書き込みアクセスがさらに増加します。無効な書き込みにより、書き込みアクセスが削除されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.3.37 LSR レジスタ (オフセット = FB4h) [リセット = 00000003h]

図 2-71 に、LSR を示し、表 2-105 に、その説明を示します。

概略表に戻ります。

ロック ステータス
このレジスタは、制御レジスタへの書き込みアクセスを有効化するために使用します。

図 2-71. LSR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					BYTEACC	アクセス	PRESENT
R-0h					R-0h	R-1h	R-1h

表 2-105. LSR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
2	BYTEACC	R	0h	0 を読み取るとは、8 ビット ロック アクセスは実装されていないことを意味します。
1	アクセス	R	1h	部品への書き込みアクセスはブロックされています。すべての書き込みは無視され、読み取りは許可されます。
0	PRESENT	R	1h	この部品のロック メカニズムが存在することを示します。

Copyright © 2026 Texas Instruments Incorporated

2.9.4 CPU_SCS レジスタ

CPU_SCS レジスタのメモリマップトされたレジスタを、表 2-106 に示します。表 2-106 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 2-106. CPU_SCS レジスタ

オフセット	略称	レジスタ名	セクション
4h	ICTR	割り込み制御タイプ	ICTR レジスタ (オフセット = 4h) [リセット = 00000001h]
8h	ACTLR	補助制御	ACTLR レジスタ (オフセット = 8h) [リセット = 00000000h]
10h	STCSR	SysTick 制御とステータス	STCSR レジスタ (オフセット = 10h) [リセット = 00000004h]
14h	STRVR	SysTick リロード値	STRVR レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	STCVR	SysTick 現在値	STCVR レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	STCR	SysTick キャリブレーション値	STCR レジスタ (オフセット = 1Ch) [リセット = C0075300h]
100h	NVIC_ISER0	Irq 0 ～ 31 イネーブル設定	NVIC_ISER0 レジスタ (オフセット = 100h) [リセット = 00000000h]
104h	NVIC_ISER1	Irq 32 ～ 63 イネーブル設定	NVIC_ISER1 レジスタ (オフセット = 104h) [リセット = 00000000h]
180h	NVIC_ICER0	Irq 0 ～ 31 イネーブル クリア	NVIC_ICER0 レジスタ (オフセット = 180h) [リセット = 00000000h]
184h	NVIC_ICER1	Irq 32 ～ 63 イネーブル クリア	NVIC_ICER1 レジスタ (オフセット = 184h) [リセット = 00000000h]
200h	NVIC_ISPR0	Irq 0 ～ 31 保留設定	NVIC_ISPR0 レジスタ (オフセット = 200h) [リセット = 00000000h]
204h	NVIC_ISPR1	Irq 32 ～ 63 保留設定	NVIC_ISPR1 レジスタ (オフセット = 204h) [リセット = 00000000h]
280h	NVIC_ICPR0	Irq 0 ～ 31 保留クリア	NVIC_ICPR0 レジスタ (オフセット = 280h) [リセット = 00000000h]
284h	NVIC_ICPR1	Irq 32 ～ 63 保留クリア	NVIC_ICPR1 レジスタ (オフセット = 284h) [リセット = 00000000h]
300h	NVIC_IABR0	Irq 0 ～ 31 アクティブ ビット	NVIC_IABR0 レジスタ (オフセット = 300h) [リセット = 00000000h]
304h	NVIC_IABR1	Irq 32 ～ 63 アクティブ ビット	NVIC_IABR1 レジスタ (オフセット = 304h) [リセット = 00000000h]
400h	NVIC_IPR0	Irq 0 ～ 3 優先	NVIC_IPR0 レジスタ (オフセット = 400h) [リセット = 00000000h]
404h	NVIC_IPR1	Irq 4 ～ 7 優先	NVIC_IPR1 レジスタ (オフセット = 404h) [リセット = 00000000h]
408h	NVIC_IPR2	Irq 8 ～ 11 優先	NVIC_IPR2 レジスタ (オフセット = 408h) [リセット = 00000000h]
40Ch	NVIC_IPR3	Irq 12 ～ 15 優先	NVIC_IPR3 レジスタ (オフセット = 40Ch) [リセット = 00000000h]
410h	NVIC_IPR4	Irq 16 ～ 19 優先	NVIC_IPR4 レジスタ (オフセット = 410h) [リセット = 00000000h]
414h	NVIC_IPR5	Irq 20 ～ 23 優先	NVIC_IPR5 レジスタ (オフセット = 414h) [リセット = 00000000h]
418h	NVIC_IPR6	Irq 24 ～ 27 優先	NVIC_IPR6 レジスタ (オフセット = 418h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 2-106. CPU_SCS レジスタ (続き)

オフセット	略称	レジスタ名	セクション
41Ch	NVIC_IPR7	Irq 28 ～ 31 優先	NVIC_IPR7 レジスタ (オフセット = 41Ch) [リセット = 00000000h]
420h	NVIC_IPR8	Irq 32 ～ 35 優先	NVIC_IPR8 レジスタ (オフセット = 420h) [リセット = 00000000h]
424h	NVIC_IPR9	Irq 32 ～ 35 優先	NVIC_IPR9 レジスタ (オフセット = 424h) [リセット = 00000000h]
D00h	CPUID	CPUID ベース	CPUID レジスタ (オフセット = D00h) [リセット = 410FC241h]
D04h	ICSR	割り込み制御状態	ICSR レジスタ (オフセット = D04h) [リセット = 00000000h]
D08h	VTOR	ベクタ テーブル オフセット	VTOR レジスタ (オフセット = D08h) [リセット = 00000000h]
D0Ch	AIRCR	アプリケーション割り込み / リセット制御	AIRCR レジスタ (オフセット = D0Ch) [リセット = FA050000h]
D10h	SCR	システム コントロール	SCR レジスタ (オフセット = D10h) [リセット = 00000000h]
D14h	CCR	構成制御	CCR レジスタ (オフセット = D14h) [リセット = 00000200h]
D18h	SHPR1	システム ハンドラ 4 ～ 7 優先	SHPR1 レジスタ (オフセット = D18h) [リセット = 00000000h]
D1Ch	SHPR2	システム ハンドラ 8 ～ 11 優先	SHPR2 レジスタ (オフセット = D1Ch) [リセット = 00000000h]
D20h	SHPR3	システム ハンドラ 12 ～ 15 優先	SHPR3 レジスタ (オフセット = D20h) [リセット = 00000000h]
D24h	SHCSR	システム ハンドラ制御および状態	SHCSR レジスタ (オフセット = D24h) [リセット = 00000000h]
D28h	CFSR	構成可能フォルト ステータス	CFSR レジスタ (オフセット = D28h) [リセット = 00000000h]
D2Ch	HFSR	ハード フォルト ステータス	HFSR レジスタ (オフセット = D2Ch) [リセット = 00000000h]
D30h	DFSR	デバッグ フォルト ステータス	DFSR レジスタ (オフセット = D30h) [リセット = 00000000h]
D34h	MMFAR	Mem フォルト アドレス管理	MMFAR レジスタ (オフセット = D34h) [リセット = 00000000h]
D38h	BFAR	バス フォルト アドレス	BFAR レジスタ (オフセット = D38h) [リセット = 00000000h]
D3Ch	AFSR	補助フォルト ステータス	AFSR レジスタ (オフセット = D3Ch) [リセット = 00000000h]
D40h	ID_PFR0	プロセッサ機能 0	ID_PFR0 レジスタ (オフセット = D40h) [リセット = 00000030h]
D44h	ID_PFR1	プロセッサ機能 1	ID_PFR1 レジスタ (オフセット = D44h) [リセット = 00000200h]
D48h	ID_DFR0	デバッグ機能 0	ID_DFR0 レジスタ (オフセット = D48h) [リセット = 00100000h]
D4Ch	ID_AFR0	補助機能 0	ID_AFR0 レジスタ (オフセット = D4Ch) [リセット = 00000000h]
D50h	ID_MMFR0	メモリ モデル機能 0	ID_MMFR0 レジスタ (オフセット = D50h) [リセット = 00100030h]
D54h	ID_MMFR1	メモリ モデル機能 1	ID_MMFR1 レジスタ (オフセット = D54h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 2-106. CPU_SCS レジスタ (続き)

オフセット	略称	レジスタ名	セクション
D58h	ID_MMFR2	メモリ モデル機能 2	ID_MMFR2 レジスタ (オフセット = D58h) [リセット = 01000000h]
D5Ch	ID_MMFR3	メモリ モデル機能 3	ID_MMFR3 レジスタ (オフセット = D5Ch) [リセット = 00000000h]
D60h	ID_ISAR0	ISA 機能 0	ID_ISAR0 レジスタ (オフセット = D60h) [リセット = 01101110h]
D64h	ID_ISAR1	ISA 機能 1	ID_ISAR1 レジスタ (オフセット = D64h) [リセット = 02112000h]
D68h	ID_ISAR2	ISA 機能 2	ID_ISAR2 レジスタ (オフセット = D68h) [リセット = 21232231h]
D6Ch	ID_ISAR3	ISA 機能 3	ID_ISAR3 レジスタ (オフセット = D6Ch) [リセット = 01111131h]
D70h	ID_ISAR4	ISA 機能 4	ID_ISAR4 レジスタ (オフセット = D70h) [リセット = 01310132h]
D88h	CPACR	コプロセッサ アクセス制御	CPACR レジスタ (オフセット = D88h) [リセット = 00000000h]
D90h	MPU_TYPE	MPU のタイプ	MPU_TYPE レジスタ (オフセット = D90h) [リセット = 00000800h]
D94h	MPU_CTRL	MPU 制御	MPU_CTRL レジスタ (オフセット = D94h) [リセット = 00000000h]
D98h	MPU_RNR	MPU 領域番号	MPU_RNR レジスタ (オフセット = D98h) [リセット = 00000000h]
D9Ch	MPU_RBAR	MPU 領域ベース アドレス	MPU_RBAR レジスタ (オフセット = D9Ch) [リセット = 00000000h]
DA0h	MPU_RASR	MPU 領域の属性とサイズ	MPU_RASR レジスタ (オフセット = DA0h) [リセット = 00000000h]
DA4h	MPU_RBAR_A1	MPU エイリアス 1 領域ベース アドレス	MPU_RBAR_A1 レジスタ (オフセット = DA4h) [リセット = 00000000h]
DA8h	MPU_RASR_A1	MPU エイリアス 1 領域の属性とサイズ	MPU_RASR_A1 レジスタ (オフセット = DA8h) [リセット = 00000000h]
DAChh	MPU_RBAR_A2	MPU エイリアス 2 領域ベース アドレス	MPU_RBAR_A2 レジスタ (オフセット = DAChh) [リセット = 00000000h]
DB0h	MPU_RASR_A2	MPU エイリアス 2 領域の属性とサイズ	MPU_RASR_A2 レジスタ (オフセット = DB0h) [リセット = 00000000h]
DB4h	MPU_RBAR_A3	MPU エイリアス 3 領域ベース アドレス	MPU_RBAR_A3 レジスタ (オフセット = DB4h) [リセット = 00000000h]
DB8h	MPU_RASR_A3	MPU エイリアス 3 領域の属性とサイズ	MPU_RASR_A3 レジスタ (オフセット = DB8h) [リセット = 00000000h]
DF0h	DHCSR	デバッグ停止制御とステータス	DHCSR レジスタ (オフセット = DF0h) [リセット = 00000000h]
DF4h	DCRSR	Deubg コア レジスタ セレクタ	DCRSR レジスタ (オフセット = DF4h) [リセット = 00000000h]
DF8h	DCRDR	デバッグ コア レジスタ データ	DCRDR レジスタ (オフセット = DF8h) [リセット = 00000000h]
DFCh	DEMCR	デバッグ例外と監視制御	DEMCR レジスタ (オフセット = DFCh) [リセット = 00000000h]
F00h	STIR	ソフトウェア トリガ割り込み	STIR レジスタ (オフセット = F00h) [リセット = 00000000h]
F34h	FPCCR	浮動小数点コンテキスト制御	FPCCR レジスタ (オフセット = F34h) [リセット = C0000000h]

Copyright © 2026 Texas Instruments Incorporated

表 2-106. CPU_SCS レジスタ (続き)

オフセット	略称	レジスタ名	セクション
F38h	FPCAR	浮動小数点コンテキスト アドレス	FPCAR レジスタ (オフセット = F38h) [リセット = 00000000h]
F3Ch	FPDSCR	浮動小数点デフォルト ステータス制御	FPDSCR レジスタ (オフセット = F3Ch) [リセット = 00000000h]
F40h	MVFR0	メディアおよび FP 機能 0	MVFR0 レジスタ (オフセット = F40h) [リセット = 10110021h]
F44h	MVFR1	メディアおよび FP 機能 1	MVFR1 レジスタ (オフセット = F44h) [リセット = 11000011h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 2-107 に、このセクションでアクセス タイプに使用しているコードを示します。

表 2-107. CPU_SCS アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.4.1 ICTR レジスタ (オフセット = 4h) [リセット = 00000001h]

図 2-72 に、ICTR を示し、表 2-108 に、その説明を示します。

概略表に戻ります。

割り込み制御タイプ
このレジスタを読み取って、NVIC がサポートする割り込みラインの数を確認します。

図 2-72. ICTR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					INTLINESNUM		
R-0h					R-1h		

表 2-108. ICTR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
2-0	INTLINESNUM	R	1h	32 のグループ内の割り込みラインの総数。 0:0...32 1:33...64 2:65...96 3:97...128 4:129...160 5:161...192 6:193...224 7: 225...256

Copyright © 2026 Texas Instruments Incorporated

2.9.4.2 ACTLR レジスタ (オフセット = 8h) [リセット = 00000000h]

図 2-73 に、ACTLR を示し、表 2-109 に、その説明を示します。

概略表に戻ります。

補助制御
このレジスタは、プロセッサ内の特定の機能を無効にするために使用されます

図 2-73. ACTLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み						DISOOFP	DISFPCA
R/W-0h						R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み					DISFOLD	DISDEFWBUF	DISMCYCINT
R/W-0h					R/W-0h	R/W-0h	R/W-0h

表 2-109. ACTLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
9	DISOOFP	R/W	0h	浮動小数点命令が整数命令に関して順序どおりに完了することを無効にします。
8	DISFPCA	R/W	0h	CONTROL.FPCA の自動更新を無効にします
7-3	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
2	DISFOLD	R/W	0h	IT 命令の折りたたみを無効にします。
1	DISDEFWBUF	R/W	0h	デフォルトのメモリ マップ アクセス時の書き込みバッファの使用を無効にします。これにより、すべてのバス障害は正確なバス障害となりますが、次の命令を実行する前にメモリへの保存が完了する必要があるため、プロセッサのパフォーマンスは低下します。
0	DISMCYCINT	R/W	0h	マルチ サイクル命令の割り込みを無効にします。これにより、割り込みスタックが発生する前に LDM/STM が完了するため、プロセッサの割り込みレイテンシが増加します。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.3 STCSR レジスタ (オフセット = 10h) [リセット = 00000004h]

図 2-74 に、STCSR を示し、表 2-110 に、その説明を示します。

概略表に戻ります。

SysTick 制御とステータス
このレジスタは、SysTick 機能を有効化し、SysTick に関連するステータス フラグを返します。

図 2-74. STCSR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							COUNTFLAG
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					CLKSOURCE	TICKINT	イネーブル
R-0h					R-1h	R/W-0h	R/W-0h

表 2-110. STCSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
16	COUNTFLAG	R	0h	最後に読み込まれてからタイマが 0 にカウントされた場合、1 を返します。SysTick 制御とステータス レジスタのいずれかの部分を適用して読み出すとクリアされます。DAP を使用してデバッガで読み出すと、**AHB-AP** 制御レジスタの MasterType ビットが 0 に設定されている場合、このビットは読み取り専用でクリアされます。それ以外の場合、COUNTFLAG はデバッガ読み取りによって変更されません。
15-3	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
2	CLKSOURCE	R	1h	クロック ソース: 0:外部基準クロック。 1:コア クロック このデバイスでは外部クロックを使用できません。このフィールドへの書き込みは無視されます。
1	TICKINT	R/W	0h	0:0 にカウント ダウンしても、SysTick ハンドラは保留になりません。ソフトウェアは COUNTFLAG を使用して、SysTick ハンドラがゼロにカウントされたかどうかを判断できます。 1:0 までカウント ダウンすると、SysTick ハンドラが保留になります。
0	イネーブル	R/W	0h	SysTick カウンタをイネーブル 0:カウンタ ディスエーブル 1:カウンタはマルチ ショット方式で動作します。つまり、カウンタはリロード値 STRVR.RELOAD でロードされ、カウント ダウンを開始します。0 に達すると、COUNTFLAG を 1 に設定し、オプションで TICKINT に基づいて SysTick ハンドラを保留にします。その後、STRVR.RELOAD を再度ロードし、カウントを開始します。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.4 STRVR レジスタ (オフセット = 14h) [リセット = 00000000h]

図 2-75 に、STRVR を示し、表 2-111 に、その説明を示します。

概略表に戻ります。

SysTick リロード値
このレジスタは、カウンタが 0 に達したときに現在の値レジスタ STCVR.CURRENT にロードする開始値を指定するために使用されます。1 から 0x00FFFFFF の間で任意の値に設定できます。開始値を 0 にすることも可能ですが、1 から 0 のカウント時に SysTick 割り込みと STCSR.COUNTFLAG がアクティブになるため、何の影響もありません。

図 2-75. STRVR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								RELOAD																							
R/W-0h								R/W-X																							

表 2-111. STRVR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
23-0	RELOAD	R/W	X	カウンタが 0 に達したときに SysTick 現在値レジスタ STCVR.CURRENT にロードする値。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.5 STCVR レジスタ (オフセット = 18h) [リセット = 00000000h]

図 2-76 に、STCVR を示し、表 2-112 に、その説明を示します。

概略表に戻ります。

SysTick 現在値
このレジスタから読み出して、SysTick カウンタの現在値を返します。このレジスタに書き込むと、SysTick カウンタ (および STCSR.COUNTFLAG) がリセットされます。

図 2-76. STCVR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								CURRENT																							
R/W-0h								R/W-X																							

表 2-112. STCVR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
23-0	CURRENT	R/W	X	レジスタにアクセスしたときの現在値。読み取り / 変更 / 書き込み保護は提供されないため、変更には注意してください。任意の値を書き込むと、レジスタが 0 にクリアされます。このレジスタをクリアすると、STCSR.COUNTFLAG もクリアされます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.6 STCR レジスタ (オフセット = 1Ch) [リセット = C0075300h]

図 2-77 に、STCR を示し、表 2-113 に、その説明を示します。

概略表に戻ります。

SysTick キャリブレーション値
ソフトウェアが除算と乗算を使用して必要な速度にスケーリングできるようにするために使用されます。

図 2-77. STCR レジスタ

31	30	29	28	27	26	25	24
NOREF	SKEW	予約済み					
R-1h	R-1h	R-0h					
23	22	21	20	19	18	17	16
TENMS							
R-00075300h							
15	14	13	12	11	10	9	8
TENMS							
R-00075300h							
7	6	5	4	3	2	1	0
TENMS							
R-00075300h							

表 2-113. STCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	NOREF	R	1h	1 として読み出します。独立した基準クロックが供給されていないことを示します。
30	SKEW	R	1h	1 として読み出します。クロック周波数が原因で、キャリブレーション値は正確に 10ms にはなりません。これは、ソフトウェア リアルタイム クロックとしての適合性に影響を与える可能性があります。
29-24	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
23-0	TENMS	R	00075300h	10ms (100Hz) のタイミングに使用されるオプションのリロード値は、システムクロックのスキュー誤差に関係します。読み取り値は、コア クロックが 48MHz の場合にのみ有効です。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.7 NVIC_ISER0 レジスタ (オフセット = 100h) [リセット = 00000000h]

図 2-78 に、NVIC_ISER0 を示し、表 2-114 に、その説明を示します。

概略表に戻ります。

Irq 0 ～ 31 イネーブル設定
このレジスタは、割り込みをイネーブルにし、現在どの割り込みがイネーブルかを決定するために使用されます。

図 2-78. NVIC_ISER0 レジスタ

31	30	29	28	27	26	25	24
SETENA31	SETENA30	SETENA29	SETENA28	SETENA27	SETENA26	SETENA25	SETENA24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
SETENA23	SETENA22	SETENA21	SETENA20	SETENA19	SETENA18	SETENA17	SETENA16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
SETENA15	SETENA14	SETENA13	SETENA12	SETENA11	SETENA10	SETENA9	SETENA8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
SETENA7	SETENA6	SETENA5	SETENA4	SETENA3	SETENA2	SETENA1	SETENA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-114. NVIC_ISER0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	SETENA31	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 31 がイネーブルになります (詳細は、EVENT:CPUIRQSEL31.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
30	SETENA30	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 30 がイネーブルになります (詳細は、EVENT:CPUIRQSEL30.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
29	SETENA29	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 29 がイネーブルになります (詳細は、EVENT:CPUIRQSEL29.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
28	SETENA28	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 28 がイネーブルになります (詳細は、EVENT:CPUIRQSEL28.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
27	SETENA27	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 27 がイネーブルになります (詳細は、EVENT:CPUIRQSEL27.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
26	SETENA26	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 26 がイネーブルになります (詳細は、EVENT:CPUIRQSEL26.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
25	SETENA25	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 25 がイネーブルになります (詳細は、EVENT:CPUIRQSEL25.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-114. NVIC_ISER0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	SETENA24	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 24 がイネーブルになります (詳細は、EVENT:CPUIRQSEL24.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
23	SETENA23	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 23 がイネーブルになります (詳細は、EVENT:CPUIRQSEL23.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
22	SETENA22	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 22 がイネーブルになります (詳細は、EVENT:CPUIRQSEL22.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
21	SETENA21	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 21 がイネーブルになります (詳細は、EVENT:CPUIRQSEL21.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
20	SETENA20	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 20 がイネーブルになります (詳細は、EVENT:CPUIRQSEL20.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
19	SETENA19	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 19 がイネーブルになります (詳細は、EVENT:CPUIRQSEL19.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
18	SETENA18	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 18 がイネーブルになります (詳細は、EVENT:CPUIRQSEL18.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
17	SETENA17	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 17 がイネーブルになります (詳細は、EVENT:CPUIRQSEL17.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
16	SETENA16	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 16 がイネーブルになります (詳細は、EVENT:CPUIRQSEL16.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
15	SETENA15	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 15 がイネーブルになります (詳細は、EVENT:CPUIRQSEL15.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
14	SETENA14	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 14 がイネーブルになります (詳細は、EVENT:CPUIRQSEL14.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
13	SETENA13	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 13 がイネーブルになります (詳細は、EVENT:CPUIRQSEL13.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
12	SETENA12	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 12 がイネーブルになります (詳細は、EVENT:CPUIRQSEL12.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
11	SETENA11	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 11 がイネーブルになります (詳細は、EVENT:CPUIRQSEL11.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-114. NVIC_ISER0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	SETENA10	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 10 がイネーブルになります (詳細は、EVENT:CPUIRQSEL10.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
9	SETENA9	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 9 がイネーブルになります (詳細は、EVENT:CPUIRQSEL9.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
8	SETENA8	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 8 がイネーブルになります (詳細は、EVENT:CPUIRQSEL8.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
7	SETENA7	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 7 がイネーブルになります (詳細は、EVENT:CPUIRQSEL7.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
6	SETENA6	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 6 がイネーブルになります (詳細は、EVENT:CPUIRQSEL6.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
5	SETENA5	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 5 がイネーブルになります (詳細は、EVENT:CPUIRQSEL5.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
4	SETENA4	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 4 がイネーブルになります (詳細は、EVENT:CPUIRQSEL4.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
3	SETENA3	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 3 がイネーブルになります (詳細は、EVENT:CPUIRQSEL3.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
2	SETENA2	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 2 がイネーブルになります (詳細は、EVENT:CPUIRQSEL2.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
1	SETENA1	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 1 がイネーブルになります (詳細は、EVENT:CPUIRQSEL1.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
0	SETENA0	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 0 がイネーブルになります (詳細は、EVENT:CPUIRQSEL0.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.8 NVIC_ISER1 レジスタ (オフセット = 104h) [リセット = 00000000h]

図 2-79 に、NVIC_ISER1 を示し、表 2-115 に、その説明を示します。

概略表に戻ります。

Irq 32 ～ 63 イネーブル設定
このレジスタは、割り込みをイネーブルにし、現在どの割り込みがイネーブルかを決定するために使用されます。

図 2-79. NVIC_ISER1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み		SETENA37	SETENA36	SETENA35	SETENA34	SETENA33	SETENA32
R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-115. NVIC_ISER1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	SETENA37	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 37 がイネーブルになります (詳細は、EVENT:CPUIRQSEL37.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
4	SETENA36	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 36 がイネーブルになります (詳細は、EVENT:CPUIRQSEL36.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
3	SETENA35	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 35 がイネーブルになります (詳細は、EVENT:CPUIRQSEL35.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
2	SETENA34	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 34 がイネーブルになります (詳細は、EVENT:CPUIRQSEL34.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
1	SETENA33	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 33 がイネーブルになります (詳細は、EVENT:CPUIRQSEL33.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
0	SETENA32	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 32 がイネーブルになります (詳細は、EVENT:CPUIRQSEL32.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.9 NVIC_ICER0 レジスタ (オフセット = 180h) [リセット = 00000000h]

図 2-80 に、NVIC_ICER0 を示し、表 2-116 に、その説明を示します。

概略表に戻ります。

Irq 0 ～ 31 イネーブル クリア
このレジスタは、割り込みをディスエーブルにし、現在どの割り込みがイネーブルかを決定するために使用されます。

図 2-80. NVIC_ICER0 レジスタ

31	30	29	28	27	26	25	24
CLRENA31	CLRENA30	CLRENA29	CLRENA28	CLRENA27	CLRENA26	CLRENA25	CLRENA24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
CLRENA23	CLRENA22	CLRENA21	CLRENA20	CLRENA19	CLRENA18	CLRENA17	CLRENA16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
CLRENA15	CLRENA14	CLRENA13	CLRENA12	CLRENA11	CLRENA10	CLRENA9	CLRENA8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
CLRENA7	CLRENA6	CLRENA5	CLRENA4	CLRENA3	CLRENA2	CLRENA1	CLRENA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-116. NVIC_ICER0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CLRENA31	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 31 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL31.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
30	CLRENA30	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 30 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL30.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
29	CLRENA29	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 29 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL29.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
28	CLRENA28	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 28 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL28.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
27	CLRENA27	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 27 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL27.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
26	CLRENA26	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 26 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL26.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
25	CLRENA25	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 25 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL25.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-116. NVIC_ICER0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	CLRENA24	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 24 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL24.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
23	CLRENA23	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 23 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL23.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
22	CLRENA22	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 22 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL22.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
21	CLRENA21	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 21 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL21.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
20	CLRENA20	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 20 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL20.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
19	CLRENA19	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 19 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL19.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
18	CLRENA18	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 18 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL18.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
17	CLRENA17	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 17 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL17.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
16	CLRENA16	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 16 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL16.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
15	CLRENA15	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 15 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL15.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
14	CLRENA14	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 14 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL14.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
13	CLRENA13	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 13 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL13.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
12	CLRENA12	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 12 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL12.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
11	CLRENA11	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 11 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL11.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-116. NVIC_ICER0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	CLRENA10	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 10 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL10.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
9	CLRENA9	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 9 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL9.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
8	CLRENA8	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 8 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL8.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
7	CLRENA7	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 7 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL7.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
6	CLRENA6	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 6 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL6.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
5	CLRENA5	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 5 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL5.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
4	CLRENA4	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 4 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL4.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
3	CLRENA3	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 3 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL3.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
2	CLRENA2	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 2 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL2.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
1	CLRENA1	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 1 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL1.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
0	CLRENA0	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 0 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL0.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.10 NVIC_ICER1 レジスタ (オフセット = 184h) [リセット = 00000000h]

図 2-81 に、NVIC_ICER1 を示し、表 2-117 に、その説明を示します。

概略表に戻ります。

Irq 32 ～ 63 イネーブル クリア
このレジスタは、割り込みをディスエーブルにし、現在どの割り込みがイネーブルかを決定するために使用されます。

図 2-81. NVIC_ICER1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み		CLRENA37	CLRENA36	CLRENA35	CLRENA34	CLRENA33	CLRENA32
R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-117. NVIC_ICER1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	CLRENA37	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 37 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL37.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
4	CLRENA36	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 36 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL36.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
3	CLRENA35	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 35 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL35.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
2	CLRENA34	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 34 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL34.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
1	CLRENA33	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 33 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL33.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。
0	CLRENA32	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 32 がディスエーブルになります (詳細は、EVENT:CPUIRQSEL32.EV を参照)。このビットを読み取ると、現在のイネーブル状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.11 NVIC_ISPR0 レジスタ (オフセット = 200h) [リセット = 00000000h]

図 2-82 に、NVIC_ISPR0 を示し、表 2-118 に、その説明を示します。

概略表に戻ります。

Irq 0 ～ 31 保留設定
このレジスタは、割り込みを強制的に保留状態にし、現在保留中の割り込みを判断するために使用されます。

図 2-82. NVIC_ISPR0 レジスタ

31	30	29	28	27	26	25	24
SETPEND31	SETPEND30	SETPEND29	SETPEND28	SETPEND27	SETPEND26	SETPEND25	SETPEND24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
SETPEND23	SETPEND22	SETPEND21	SETPEND20	SETPEND19	SETPEND18	SETPEND17	SETPEND16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
SETPEND15	SETPEND14	SETPEND13	SETPEND12	SETPEND11	SETPEND10	SETPEND9	SETPEND8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
SETPEND7	SETPEND6	SETPEND5	SETPEND4	SETPEND3	SETPEND2	SETPEND1	SETPEND0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-118. NVIC_ISPR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	SETPEND31	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 31 が保留中になります (詳細は、EVENT:CPUIRQSEL31.EV を参照)。このビットを読み取ると、現在の状態が返されます。
30	SETPEND30	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 30 が保留中になります (詳細は、EVENT:CPUIRQSEL30.EV を参照)。このビットを読み取ると、現在の状態が返されます。
29	SETPEND29	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 29 が保留中になります (詳細は、EVENT:CPUIRQSEL29.EV を参照)。このビットを読み取ると、現在の状態が返されます。
28	SETPEND28	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 28 が保留中になります (詳細は、EVENT:CPUIRQSEL28.EV を参照)。このビットを読み取ると、現在の状態が返されます。
27	SETPEND27	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 27 が保留中になります (詳細は、EVENT:CPUIRQSEL27.EV を参照)。このビットを読み取ると、現在の状態が返されます。
26	SETPEND26	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 26 が保留中になります (詳細は、EVENT:CPUIRQSEL26.EV を参照)。このビットを読み取ると、現在の状態が返されます。
25	SETPEND25	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 25 が保留中になります (詳細は、EVENT:CPUIRQSEL25.EV を参照)。このビットを読み取ると、現在の状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-118. NVIC_ISPR0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	SETPEND24	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 24 が保留中になります (詳細は、EVENT:CPUIRQSEL24.EV を参照)。このビットを読み取ると、現在の状態が返されます。
23	SETPEND23	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 23 が保留中になります (詳細は、EVENT:CPUIRQSEL23.EV を参照)。このビットを読み取ると、現在の状態が返されます。
22	SETPEND22	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 22 が保留中になります (詳細は、EVENT:CPUIRQSEL22.EV を参照)。このビットを読み取ると、現在の状態が返されます。
21	SETPEND21	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 21 が保留中になります (詳細は、EVENT:CPUIRQSEL21.EV を参照)。このビットを読み取ると、現在の状態が返されます。
20	SETPEND20	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 20 が保留中になります (詳細は、EVENT:CPUIRQSEL20.EV を参照)。このビットを読み取ると、現在の状態が返されます。
19	SETPEND19	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 19 が保留中になります (詳細は、EVENT:CPUIRQSEL19.EV を参照)。このビットを読み取ると、現在の状態が返されます。
18	SETPEND18	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 18 が保留中になります (詳細は、EVENT:CPUIRQSEL18.EV を参照)。このビットを読み取ると、現在の状態が返されます。
17	SETPEND17	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 17 が保留中になります (詳細は、EVENT:CPUIRQSEL17.EV を参照)。このビットを読み取ると、現在の状態が返されます。
16	SETPEND16	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 16 が保留中になります (詳細は、EVENT:CPUIRQSEL16.EV を参照)。このビットを読み取ると、現在の状態が返されます。
15	SETPEND15	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 15 が保留中になります (詳細は、EVENT:CPUIRQSEL15.EV を参照)。このビットを読み取ると、現在の状態が返されます。
14	SETPEND14	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 14 が保留中になります (詳細は、EVENT:CPUIRQSEL14.EV を参照)。このビットを読み取ると、現在の状態が返されます。
13	SETPEND13	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 13 が保留中になります (詳細は、EVENT:CPUIRQSEL13.EV を参照)。このビットを読み取ると、現在の状態が返されます。
12	SETPEND12	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 12 が保留中になります (詳細は、EVENT:CPUIRQSEL12.EV を参照)。このビットを読み取ると、現在の状態が返されます。
11	SETPEND11	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 11 が保留中になります (詳細は、EVENT:CPUIRQSEL11.EV を参照)。このビットを読み取ると、現在の状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-118. NVIC_ISPR0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	SETPEND10	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 10 が保留中になります (詳細は、EVENT:CPUIRQSEL10.EV を参照)。このビットを読み取ると、現在の状態が返されます。
9	SETPEND9	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 9 が保留中になります (詳細は、EVENT:CPUIRQSEL9.EV を参照)。このビットを読み取ると、現在の状態が返されます。
8	SETPEND8	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 8 が保留中になります (詳細は、EVENT:CPUIRQSEL8.EV を参照)。このビットを読み取ると、現在の状態が返されます。
7	SETPEND7	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 7 が保留中になります (詳細は、EVENT:CPUIRQSEL7.EV を参照)。このビットを読み取ると、現在の状態が返されます。
6	SETPEND6	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 6 が保留中になります (詳細は、EVENT:CPUIRQSEL6.EV を参照)。このビットを読み取ると、現在の状態が返されます。
5	SETPEND5	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 5 が保留中になります (詳細は、EVENT:CPUIRQSEL5.EV を参照)。このビットを読み取ると、現在の状態が返されます。
4	SETPEND4	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 4 が保留中になります (詳細は、EVENT:CPUIRQSEL4.EV を参照)。このビットを読み取ると、現在の状態が返されます。
3	SETPEND3	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 3 が保留中になります (詳細は、EVENT:CPUIRQSEL3.EV を参照)。このビットを読み取ると、現在の状態が返されます。
2	SETPEND2	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 2 が保留中になります (詳細は、EVENT:CPUIRQSEL2.EV を参照)。このビットを読み取ると、現在の状態が返されます。
1	SETPEND1	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 1 が保留中になります (詳細は、EVENT:CPUIRQSEL1.EV を参照)。このビットを読み取ると、現在の状態が返されます。
0	SETPEND0	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 0 が保留中になります (詳細は、EVENT:CPUIRQSEL0.EV を参照)。このビットを読み取ると、現在の状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.12 NVIC_ISPR1 レジスタ (オフセット = 204h) [リセット = 00000000h]

図 2-83 に、NVIC_ISPR1 を示し、表 2-119 に、その説明を示します。

概略表に戻ります。

Irq 32 ～ 63 保留設定
このレジスタは、割り込みを強制的に保留状態にし、現在保留中の割り込みを判断するために使用されます。

図 2-83. NVIC_ISPR1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み		SETPEND37	SETPEND36	SETPEND35	SETPEND34	SETPEND33	SETPEND32
R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-119. NVIC_ISPR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	SETPEND37	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 37 が保留中になります (詳細は、EVENT:CPUIRQSEL37.EV を参照)。このビットを読み取ると、現在の状態が返されます。
4	SETPEND36	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 36 が保留中になります (詳細は、EVENT:CPUIRQSEL36.EV を参照)。このビットを読み取ると、現在の状態が返されます。
3	SETPEND35	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 35 が保留中になります (詳細は、EVENT:CPUIRQSEL35.EV を参照)。このビットを読み取ると、現在の状態が返されます。
2	SETPEND34	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 34 が保留中になります (詳細は、EVENT:CPUIRQSEL34.EV を参照)。このビットを読み取ると、現在の状態が返されます。
1	SETPEND33	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 33 が保留中になります (詳細は、EVENT:CPUIRQSEL33.EV を参照)。このビットを読み取ると、現在の状態が返されます。
0	SETPEND32	R/W	0h	このビットに 0 を書き込んでも効果はなく、このビットに 1 を書き込むと、割り込み番号 32 が保留中になります (詳細は、EVENT:CPUIRQSEL32.EV を参照)。このビットを読み取ると、現在の状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.13 NVIC_ICPR0 レジスタ (オフセット = 280h) [リセット = 00000000h]

図 2-84 に、NVIC_ICPR0 を示し、表 2-120 に、その説明を示します。

概略表に戻ります。

Irq 0 ～ 31 保留クリア
このレジスタは、保留中の割り込みをクリアし、現在保留中の割り込みを判断するために使用されます。

図 2-84. NVIC_ICPR0 レジスタ

31	30	29	28	27	26	25	24
CLRPEND31	CLRPEND30	CLRPEND29	CLRPEND28	CLRPEND27	CLRPEND26	CLRPEND25	CLRPEND24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
CLRPEND23	CLRPEND22	CLRPEND21	CLRPEND20	CLRPEND19	CLRPEND18	CLRPEND17	CLRPEND16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
CLRPEND15	CLRPEND14	CLRPEND13	CLRPEND12	CLRPEND11	CLRPEND10	CLRPEND9	CLRPEND8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
CLRPEND7	CLRPEND6	CLRPEND5	CLRPEND4	CLRPEND3	CLRPEND2	CLRPEND1	CLRPEND0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-120. NVIC_ICPR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CLRPEND31	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 31 がクリアされます (詳細は、EVENT:CPUIRQSEL31.EV を参照)。このビットを読み取ると、現在の状態が返されます。
30	CLRPEND30	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 30 がクリアされます (詳細は、EVENT:CPUIRQSEL30.EV を参照)。このビットを読み取ると、現在の状態が返されます。
29	CLRPEND29	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 29 がクリアされます (詳細は、EVENT:CPUIRQSEL29.EV を参照)。このビットを読み取ると、現在の状態が返されます。
28	CLRPEND28	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 28 がクリアされます (詳細は、EVENT:CPUIRQSEL28.EV を参照)。このビットを読み取ると、現在の状態が返されます。
27	CLRPEND27	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 27 がクリアされます (詳細は、EVENT:CPUIRQSEL27.EV を参照)。このビットを読み取ると、現在の状態が返されます。
26	CLRPEND26	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 26 がクリアされます (詳細は、EVENT:CPUIRQSEL26.EV を参照)。このビットを読み取ると、現在の状態が返されます。
25	CLRPEND25	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 25 がクリアされます (詳細は、EVENT:CPUIRQSEL25.EV を参照)。このビットを読み取ると、現在の状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-120. NVIC_ICPR0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	CLRPEND24	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 24 がクリアされます (詳細は、EVENT:CPUIRQSEL24.EV を参照)。このビットを読み取ると、現在の状態が返されます。
23	CLRPEND23	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 23 がクリアされます (詳細は、EVENT:CPUIRQSEL23.EV を参照)。このビットを読み取ると、現在の状態が返されます。
22	CLRPEND22	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 22 がクリアされます (詳細は、EVENT:CPUIRQSEL22.EV を参照)。このビットを読み取ると、現在の状態が返されます。
21	CLRPEND21	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 21 がクリアされます (詳細は、EVENT:CPUIRQSEL21.EV を参照)。このビットを読み取ると、現在の状態が返されます。
20	CLRPEND20	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 20 がクリアされます (詳細は、EVENT:CPUIRQSEL20.EV を参照)。このビットを読み取ると、現在の状態が返されます。
19	CLRPEND19	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 19 がクリアされます (詳細は、EVENT:CPUIRQSEL19.EV を参照)。このビットを読み取ると、現在の状態が返されます。
18	CLRPEND18	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 18 がクリアされます (詳細は、EVENT:CPUIRQSEL18.EV を参照)。このビットを読み取ると、現在の状態が返されます。
17	CLRPEND17	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 17 がクリアされます (詳細は、EVENT:CPUIRQSEL17.EV を参照)。このビットを読み取ると、現在の状態が返されます。
16	CLRPEND16	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 16 がクリアされます (詳細は、EVENT:CPUIRQSEL16.EV を参照)。このビットを読み取ると、現在の状態が返されます。
15	CLRPEND15	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 15 がクリアされます (詳細は、EVENT:CPUIRQSEL15.EV を参照)。このビットを読み取ると、現在の状態が返されます。
14	CLRPEND14	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 14 がクリアされます (詳細は、EVENT:CPUIRQSEL14.EV を参照)。このビットを読み取ると、現在の状態が返されます。
13	CLRPEND13	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 13 がクリアされます (詳細は、EVENT:CPUIRQSEL13.EV を参照)。このビットを読み取ると、現在の状態が返されます。
12	CLRPEND12	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 12 がクリアされます (詳細は、EVENT:CPUIRQSEL12.EV を参照)。このビットを読み取ると、現在の状態が返されます。
11	CLRPEND11	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 11 がクリアされます (詳細は、EVENT:CPUIRQSEL11.EV を参照)。このビットを読み取ると、現在の状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-120. NVIC_ICPR0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	CLRPEND10	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 10 がクリアされます (詳細は、EVENT:CPUIRQSEL10.EV を参照)。このビットを読み取ると、現在の状態が返されます。
9	CLRPEND9	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 9 がクリアされます (詳細は、EVENT:CPUIRQSEL9.EV を参照)。このビットを読み取ると、現在の状態が返されます。
8	CLRPEND8	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 8 がクリアされます (詳細は、EVENT:CPUIRQSEL8.EV を参照)。このビットを読み取ると、現在の状態が返されます。
7	CLRPEND7	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 7 がクリアされます (詳細は、EVENT:CPUIRQSEL7.EV を参照)。このビットを読み取ると、現在の状態が返されます。
6	CLRPEND6	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 6 がクリアされます (詳細は、EVENT:CPUIRQSEL6.EV を参照)。このビットを読み取ると、現在の状態が返されます。
5	CLRPEND5	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 5 がクリアされます (詳細は、EVENT:CPUIRQSEL5.EV を参照)。このビットを読み取ると、現在の状態が返されます。
4	CLRPEND4	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 4 がクリアされます (詳細は、EVENT:CPUIRQSEL4.EV を参照)。このビットを読み取ると、現在の状態が返されます。
3	CLRPEND3	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 3 がクリアされます (詳細は、EVENT:CPUIRQSEL3.EV を参照)。このビットを読み取ると、現在の状態が返されます。
2	CLRPEND2	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 2 がクリアされます (詳細は、EVENT:CPUIRQSEL2.EV を参照)。このビットを読み取ると、現在の状態が返されます。
1	CLRPEND1	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 1 がクリアされます (詳細は、EVENT:CPUIRQSEL1.EV を参照)。このビットを読み取ると、現在の状態が返されます。
0	CLRPEND0	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 0 がクリアされます (詳細は、EVENT:CPUIRQSEL0.EV を参照)。このビットを読み取ると、現在の状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.14 NVIC_ICPR1 レジスタ (オフセット = 284h) [リセット = 00000000h]

図 2-85 に、NVIC_ICPR1 を示し、表 2-121 に、その説明を示します。

概略表に戻ります。

Irq 32 ～ 63 保留クリア
このレジスタは、保留中の割り込みをクリアし、現在保留中の割り込みを判断するために使用されます。

図 2-85. NVIC_ICPR1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み		CLRPEND37	CLRPEND36	CLRPEND35	CLRPEND34	CLRPEND33	CLRPEND32
R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-121. NVIC_ICPR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	CLRPEND37	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 37 がクリアされます (詳細は、EVENT:CPUIRQSEL37.EV を参照)。このビットを読み取ると、現在の状態が返されます。
4	CLRPEND36	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 36 がクリアされます (詳細は、EVENT:CPUIRQSEL36.EV を参照)。このビットを読み取ると、現在の状態が返されます。
3	CLRPEND35	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 35 がクリアされます (詳細は、EVENT:CPUIRQSEL35.EV を参照)。このビットを読み取ると、現在の状態が返されます。
2	CLRPEND34	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 34 がクリアされます (詳細は、EVENT:CPUIRQSEL34.EV を参照)。このビットを読み取ると、現在の状態が返されます。
1	CLRPEND33	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 33 がクリアされます (詳細は、EVENT:CPUIRQSEL33.EV を参照)。このビットを読み取ると、現在の状態が返されます。
0	CLRPEND32	R/W	0h	このビットに 0 を書き込んでも何も影響はなく、このビットに 1 を書き込むと、対応する保留中の割り込み 32 がクリアされます (詳細は、EVENT:CPUIRQSEL32.EV を参照)。このビットを読み取ると、現在の状態が返されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.15 NVIC_IABR0 レジスタ (オフセット = 300h) [リセット = 00000000h]

図 2-86 に、NVIC_IABR0 を示し、表 2-122 に、その説明を示します。

概略表に戻ります。

Irq 0 ～ 31 アクティブ ビット
このレジスタは、アクティブな割り込み判断するために使用されます。レジスタの各フラグは 1 回の割り込みに対応します。

図 2-86. NVIC_IABR0 レジスタ

31	30	29	28	27	26	25	24
ACTIVE31	ACTIVE30	ACTIVE29	ACTIVE28	ACTIVE27	ACTIVE26	ACTIVE25	ACTIVE24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
ACTIVE23	ACTIVE22	ACTIVE21	ACTIVE20	ACTIVE19	ACTIVE18	ACTIVE17	ACTIVE16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
ACTIVE15	ACTIVE14	ACTIVE13	ACTIVE12	ACTIVE11	ACTIVE10	ACTIVE9	ACTIVE8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
ACTIVE7	ACTIVE6	ACTIVE5	ACTIVE4	ACTIVE3	ACTIVE2	ACTIVE1	ACTIVE0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 2-122. NVIC_IABR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	ACTIVE31	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 31 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 31 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL31.EV を参照)。
30	ACTIVE30	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 30 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 30 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL30.EV を参照)。
29	ACTIVE29	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 29 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 29 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL29.EV を参照)。
28	ACTIVE28	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 28 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 28 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL28.EV を参照)。
27	ACTIVE27	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 27 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 27 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL27.EV を参照)。
26	ACTIVE26	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 26 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 26 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL26.EV を参照)。
25	ACTIVE25	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 25 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 25 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL25.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

表 2-122. NVIC_IABR0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	ACTIVE24	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 24 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 24 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL24.EV を参照)。
23	ACTIVE23	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 23 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 23 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL23.EV を参照)。
22	ACTIVE22	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 22 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 22 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL22.EV を参照)。
21	ACTIVE21	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 21 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 21 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL21.EV を参照)。
20	ACTIVE20	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 20 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 20 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL20.EV を参照)。
19	ACTIVE19	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 19 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 19 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL19.EV を参照)。
18	ACTIVE18	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 18 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 18 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL18.EV を参照)。
17	ACTIVE17	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 17 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 17 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL17.EV を参照)。
16	ACTIVE16	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 16 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 16 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL16.EV を参照)。
15	ACTIVE15	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 15 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 15 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL15.EV を参照)。
14	ACTIVE14	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 14 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 14 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL14.EV を参照)。
13	ACTIVE13	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 13 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 13 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL13.EV を参照)。
12	ACTIVE12	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 12 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 12 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL12.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

表 2-122. NVIC_IABR0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	ACTIVE11	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 11 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 11 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL11.EV を参照)。
10	ACTIVE10	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 10 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 10 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL10.EV を参照)。
9	ACTIVE9	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 9 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 9 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL9.EV を参照)。
8	ACTIVE8	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 8 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 8 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL8.EV を参照)。
7	ACTIVE7	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 7 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 7 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL7.EV を参照)。
6	ACTIVE6	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 6 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 6 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL6.EV を参照)。
5	ACTIVE5	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 5 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 5 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL5.EV を参照)。
4	ACTIVE4	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 4 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 4 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL4.EV を参照)。
3	ACTIVE3	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 3 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 3 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL3.EV を参照)。
2	ACTIVE2	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 2 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 2 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL2.EV を参照)。
1	ACTIVE1	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 1 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 1 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL1.EV を参照)。
0	ACTIVE0	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 0 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 0 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL0.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.16 NVIC_IABR1 レジスタ (オフセット = 304h) [リセット = 00000000h]

図 2-87 に、NVIC_IABR1 を示し、表 2-123 に、その説明を示します。

概略表に戻ります。

Irq 32 ～ 63 アクティブ ビット
このレジスタは、アクティブな割り込み判断するために使用されます。レジスタの各フラグは 1 回の割り込みに対応します。

図 2-87. NVIC_IABR1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		ACTIVE37	ACTIVE36	ACTIVE35	ACTIVE34	ACTIVE33	ACTIVE32
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 2-123. NVIC_IABR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	ACTIVE37	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 37 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 37 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL37.EV を参照)。
4	ACTIVE36	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 36 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 36 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL36.EV を参照)。
3	ACTIVE35	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 35 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 35 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL35.EV を参照)。
2	ACTIVE34	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 34 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 34 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL34.EV を参照)。
1	ACTIVE33	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 33 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 33 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL33.EV を参照)。
0	ACTIVE32	R	0h	このビットから 0 を読み込んだ場合、割り込みライン 32 がアクティブではないことを意味します。このビットから 1 を読み込んだ場合、割り込みライン 32 がアクティブであることを意味します (詳細は、EVENT:CPUIRQSEL32.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.17 NVIC_IPR0 レジスタ (オフセット = 400h) [リセット = 00000000h]

図 2-88 に、NVIC_IPR0 を示し、表 2-124 に、その説明を示します。

概略表に戻ります。

Irq 0 ～ 3 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-88. NVIC_IPR0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_3								PRI_2								PRI_1								PRI_0							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-124. NVIC_IPR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_3	R/W	0h	割り込み 3 の優先度 (詳細は EVENT:CPUIRQSEL3.EV を参照)。
23-16	PRI_2	R/W	0h	割り込み 2 の優先度 (詳細は EVENT:CPUIRQSEL2.EV を参照)。
15-8	PRI_1	R/W	0h	割り込み 1 の優先度 (詳細は EVENT:CPUIRQSEL1.EV を参照)。
7-0	PRI_0	R/W	0h	割り込み 0 の優先度 (詳細は EVENT:CPUIRQSEL0.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.18 NVIC_IPR1 レジスタ (オフセット = 404h) [リセット = 00000000h]

図 2-89 に、NVIC_IPR1 を示し、表 2-125 に、その説明を示します。

概略表に戻ります。

Irq 4 ～ 7 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-89. NVIC_IPR1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_7								PRI_6								PRI_5								PRI_4							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-125. NVIC_IPR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_7	R/W	0h	割り込み 7 の優先度 (詳細は EVENT:CPUIRQSEL7.EV を参照)。
23-16	PRI_6	R/W	0h	割り込み 6 の優先度 (詳細は EVENT:CPUIRQSEL6.EV を参照)。
15-8	PRI_5	R/W	0h	割り込み 5 の優先度 (詳細は EVENT:CPUIRQSEL5.EV を参照)。
7-0	PRI_4	R/W	0h	割り込み 4 の優先度 (詳細は EVENT:CPUIRQSEL4.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.19 NVIC_IPR2 レジスタ (オフセット = 408h) [リセット = 00000000h]

図 2-90 に、NVIC_IPR2 を示し、表 2-126 に、その説明を示します。

概略表に戻ります。

Irq 8 ～ 11 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-90. NVIC_IPR2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_11								PRI_10								PRI_9								PRI_8							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-126. NVIC_IPR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_11	R/W	0h	割り込み 11 の優先度 (詳細は EVENT:CPUIRQSEL11.EV を参照)。
23-16	PRI_10	R/W	0h	割り込み 10 の優先度 (詳細は EVENT:CPUIRQSEL10.EV を参照)。
15-8	PRI_9	R/W	0h	割り込み 9 の優先度 (詳細は EVENT:CPUIRQSEL9.EV を参照)。
7-0	PRI_8	R/W	0h	割り込み 8 の優先度 (詳細は EVENT:CPUIRQSEL8.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.20 NVIC_IPR3 レジスタ (オフセット = 40Ch) [リセット = 00000000h]

図 2-91 に、NVIC_IPR3 を示し、表 2-127 に、その説明を示します。

概略表に戻ります。

Irq 12 ～ 15 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-91. NVIC_IPR3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_15								PRI_14								PRI_13								PRI_12							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-127. NVIC_IPR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_15	R/W	0h	割り込み 15 の優先度 (詳細は EVENT:CPUIRQSEL15.EV を参照)。
23-16	PRI_14	R/W	0h	割り込み 14 の優先度 (詳細は EVENT:CPUIRQSEL14.EV を参照)。
15-8	PRI_13	R/W	0h	割り込み 13 の優先度 (詳細は EVENT:CPUIRQSEL13.EV を参照)。
7-0	PRI_12	R/W	0h	割り込み 12 の優先度 (詳細は EVENT:CPUIRQSEL12.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.21 NVIC_IPR4 レジスタ (オフセット = 410h) [リセット = 00000000h]

図 2-92 に、NVIC_IPR4 を示し、表 2-128 に、その説明を示します。

概略表に戻ります。

Irq 16 ～ 19 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-92. NVIC_IPR4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_19								PRI_18								PRI_17								PRI_16							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-128. NVIC_IPR4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_19	R/W	0h	割り込み 19 の優先度 (詳細は EVENT:CPUIRQSEL19.EV を参照)。
23-16	PRI_18	R/W	0h	割り込み 18 の優先度 (詳細は EVENT:CPUIRQSEL18.EV を参照)。
15-8	PRI_17	R/W	0h	割り込み 17 の優先度 (詳細は EVENT:CPUIRQSEL17.EV を参照)。
7-0	PRI_16	R/W	0h	割り込み 16 の優先度 (詳細は EVENT:CPUIRQSEL16.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.22 NVIC_IPR5 レジスタ (オフセット = 414h) [リセット = 00000000h]

図 2-93 に、NVIC_IPR5 を示し、表 2-129 に、その説明を示します。

概略表に戻ります。

Irq 20 ～ 23 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-93. NVIC_IPR5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_23								PRI_22								PRI_21								PRI_20							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-129. NVIC_IPR5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_23	R/W	0h	割り込み 23 の優先度 (詳細は EVENT:CPUIRQSEL23.EV を参照)。
23-16	PRI_22	R/W	0h	割り込み 22 の優先度 (詳細は EVENT:CPUIRQSEL22.EV を参照)。
15-8	PRI_21	R/W	0h	割り込み 21 の優先度 (詳細は EVENT:CPUIRQSEL21.EV を参照)。
7-0	PRI_20	R/W	0h	割り込み 20 の優先度 (詳細は EVENT:CPUIRQSEL20.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.23 NVIC_IPR6 レジスタ (オフセット = 418h) [リセット = 00000000h]

図 2-94 に、NVIC_IPR6 を示し、表 2-130 に、その説明を示します。

概略表に戻ります。

Irq 24 ～ 27 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-94. NVIC_IPR6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_27								PRI_26								PRI_25								PRI_24							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-130. NVIC_IPR6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_27	R/W	0h	割り込み 27 の優先度 (詳細は EVENT:CPUIRQSEL27.EV を参照)。
23-16	PRI_26	R/W	0h	割り込み 26 の優先度 (詳細は EVENT:CPUIRQSEL26.EV を参照)。
15-8	PRI_25	R/W	0h	割り込み 25 の優先度 (詳細は EVENT:CPUIRQSEL25.EV を参照)。
7-0	PRI_24	R/W	0h	割り込み 24 の優先度 (詳細は EVENT:CPUIRQSEL24.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.24 NVIC_IPR7 レジスタ (オフセット = 41Ch) [リセット = 00000000h]

図 2-95 に、NVIC_IPR7 を示し、表 2-131 に、その説明を示します。

概略表に戻ります。

Irq 28 ～ 31 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-95. NVIC_IPR7 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_31								PRI_30								PRI_29								PRI_28							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-131. NVIC_IPR7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_31	R/W	0h	割り込み 31 の優先度 (詳細は EVENT:CPUIRQSEL31.EV を参照)。
23-16	PRI_30	R/W	0h	割り込み 30 の優先度 (詳細は EVENT:CPUIRQSEL30.EV を参照)。
15-8	PRI_29	R/W	0h	割り込み 29 の優先度 (詳細は EVENT:CPUIRQSEL29.EV を参照)。
7-0	PRI_28	R/W	0h	割り込み 28 の優先度 (詳細は EVENT:CPUIRQSEL28.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.25 NVIC_IPR8 レジスタ (オフセット = 420h) [リセット = 00000000h]

図 2-96 に、NVIC_IPR8 を示し、表 2-132 に、その説明を示します。

概略表に戻ります。

Irq 32 ～ 35 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-96. NVIC_IPR8 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_35								PRI_34								PRI_33								PRI_32							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-132. NVIC_IPR8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_35	R/W	0h	割り込み 35 の優先度 (詳細は EVENT:CPUIRQSEL35.EV を参照)。
23-16	PRI_34	R/W	0h	割り込み 34 の優先度 (詳細は EVENT:CPUIRQSEL34.EV を参照)。
15-8	PRI_33	R/W	0h	割り込み 33 の優先度 (詳細は EVENT:CPUIRQSEL33.EV を参照)。
7-0	PRI_32	R/W	0h	割り込み 32 の優先度 (詳細は EVENT:CPUIRQSEL32.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.26 NVIC_IPR9 レジスタ (オフセット = 424h) [リセット = 00000000h]

図 2-97 に、NVIC_IPR9 を示し、表 2-133 に、その説明を示します。

概略表に戻ります。

Irq 32 ～ 35 優先
このレジスタは、使用可能な各割り込みに 0 ～ 255 の優先度を割り当てるために使用されます。0 が最も高い優先度、255 が最も低い優先度です。割り込み優先レジスタの解釈は、AIRCR.PRIGROUP の設定に基づいて変化します。

図 2-97. NVIC_IPR9 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PRI_37								PRI_36							
R/W-0h																R/W-0h								R/W-0h							

表 2-133. NVIC_IPR9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
15-8	PRI_37	R/W	0h	割り込み 37 の優先度 (詳細は EVENT:CPUIRQSEL37.EV を参照)。
7-0	PRI_36	R/W	0h	割り込み 36 の優先度 (詳細は EVENT:CPUIRQSEL36.EV を参照)。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.27 CPUID レジスタ (オフセット = D00h) [リセット = 410FC241h]

図 2-98 に、CPUID を示し、表 2-134 に、その説明を示します。

概略表に戻ります。

CPUID ベース
このレジスタは、プロセッサ コアの ID 番号、プロセッサ コアのバージョン番号、およびプロセッサ コアの実装の詳細を判断します。

図 2-98. CPUID レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IMPLEMENTER								バリアント				定数			
R-41h								R-0h				R-Fh			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PARTNO												改訂			
R-C24h												R-1h			

表 2-134. CPUID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	IMPLEMENTER	R	41h	インプリメンタ コード。
23-20	バリアント	R	0h	実装定義バリアント番号。
19-16	定数	R	Fh	0xF として読み取り
15-4	PARTNO	R	C24h	ファミリ内のプロセッサ数。
3-0	改訂	R	1h	実装定義リビジョン番号。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.28 ICSR レジスタ (オフセット = D04h) [リセット = 00000000h]

図 2-99 に、ICSR を示し、表 2-135 に、その説明を示します。

概略表に戻ります。

割り込み制御状態
このレジスタは、保留中のノンマスカブル割り込み (NMI) の設定、保留中の SVC の設定とクリア、保留中の SysTick の設定とクリア、保留中の例外のチェック、最高優先度の保留例外のベクタ番号のチェック、アクティブ例外のベクタ番号のチェックに使用します。

図 2-99. ICSR レジスタ

31	30	29	28	27	26	25	24
NMIPENDSET	予約済み		PENDSVSET	PENDSVCLR	PENDSTSET	PENDSTCLR	予約済み
R/W-0h	R/W-0h		R/W-0h	W-X	R/W-0h	W-X	R-0h
23	22	21	20	19	18	17	16
ISRPREEMPT	ISRPENDING	予約済み				VECTPENDING	
R-0h	R-0h	R-0h				R-0h	
15	14	13	12	11	10	9	8
VECTPENDING				RETTOBASE	予約済み		VECTACTIVE
R-0h				R-0h	R-0h		R-0h
7	6	5	4	3	2	1	0
VECTACTIVE							
R-0h							

表 2-135. ICSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	NMIPENDSET	R/W	0h	保留中の NMI ビットを設定します。このビットを設定すると、NMI が保留されてアクティブになります。NMI は最高優先度の割り込みであるため、登録されるとすぐに有効になります。 0:動作なし 1:保留中の NMI を設定
30-29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28	PENDSVSET	R/W	0h	保留中の pendSV ビットを設定します。 0:動作なし 1:保留中の PendSV を設定
27	PENDSVCLR	W	X	保留中の pendSV ビットをクリア 0:動作なし 1:保留中の pendSV をクリア
26	PENDSTSET	R/W	0h	保留中の SysTick ビットを設定します。 0:動作なし 1:保留中の SysTick を設定
25	PENDSTCLR	W	X	保留中の SysTick ビットをクリア 0:動作なし 1:保留中の SysTick をクリア
24	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
23	ISRPREEMPT	R	0h	このフィールドは、デバッグ時にのみ使用できます。次の実行サイクルで保留中の割り込みが実行されることを示します。DHCSR.C_MASKINTS = 0 の場合、割り込みが処理されます。 0:保留中の例外は処理されません。 1:保留中の例外は、デバッグ停止状態から終了すると処理されます

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 2-135. ICSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	ISRPENDING	R	0h	割り込み保留フラグ。NMI および障害は含まれません。 0x0:割り込みは保留中ではない 0x1:割り込みは保留中
21-18	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
17-12	VECTPENDING	R	0h	保留中の ISR 番号フィールド。このフィールドには、保留中の ISR の最も優先度の高い割り込み番号が含まれます。
11	RETTOBASE	R	0h	プリエンプトされたアクティブな例外があるかどうかを示します。 0:実行するには、プリエンプティブのアクティブ例外があります。 1:アクティブな例外は存在しないか、現在実行されている例外が唯一のアクティブな例外です。
10-9	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
8-0	VECTACTIVE	R	0h	アクティブ ISR 番号フィールド。Reset はこのフィールドをクリアします。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.29 VTOR レジスタ (オフセット = D08h) [リセット = 00000000h]

図 2-100 に、VTOR を示し、表 2-136 に、その説明を示します。

概略表に戻ります。

ベクタ テーブル オフセット
このレジスタは、ベクタ テーブルのベース アドレスの位置を再配置するために使用します。ベクタ テーブル ベース オフセットは、メモリ マップの下部からのオフセットを決定します。ベクタ テーブルのベース オフセットの最上位 2 ビットと最下位 7 ビットは 0 でなければなりません。変更できるベクタ テーブル ベース オフセットの部分は、TBLOFF です。

図 2-100. VTOR レジスタ

31	30	29	28	27	26	25	24
予約済み		TBLOFF					
R/W-0h		R/W-0h					
23	22	21	20	19	18	17	16
TBLOFF							
R/W-0h							
15	14	13	12	11	10	9	8
TBLOFF							
R/W-0h							
7	6	5	4	3	2	1	0
TBLOFF	予約済み						
R/W-0h	R/W-0h						

表 2-136. VTOR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
29-7	TBLOFF	R/W	0h	ビット 29 からビット 7 までのベクタ テーブル ベース オフセット。
6-0	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.30 AIRCR レジスタ (オフセット = D0Ch) [リセット = FA050000h]

図 2-101 に、AIRCR を示し、表 2-137 に、その説明を示します。

概略表に戻ります。

アプリケーション割り込み / リセット制御
このレジスタは、データ エンディアンネスを判定し、デバッグのためのすべてのアクティブ状態情報をクリアする、ハード障害から回復する、システム リセットを実行する、優先グループ化位置 (バイナリ ポイント) を変更するために使用します。

図 2-101. AIRCR レジスタ

31	30	29	28	27	26	25	24
VECTKEY							
R/W-FA05h							
23	22	21	20	19	18	17	16
VECTKEY							
R/W-FA05h							
15	14	13	12	11	10	9	8
ENDIANESS	予約済み				PRIGROUP		
R-0h	R-0h				R/W-0h		
7	6	5	4	3	2	1	0
予約済み					SYSRESETREQ	VECTCLRACTIVE	VECTRESET
R/W-0h					W-0h	W-0h	W-0h

表 2-137. AIRCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	VECTKEY	R/W	FA05h	レジスタ キー。このレジスタ (AIRCR) に書き込むには、VECTKEY で 0x05FA が必要です。それ以外の場合、書き込み値は無視されます。読み取りは常に 0xFA05 を返します。
15	ENDIANESS	R	0h	データ エンディアンネス ビット 0h= リトル エンディアン 1h= ビッグ エンディアン
14-11	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
10-8	PRIGROUP	R/W	0h	割り込み優先グループ化フィールド。このフィールドは、同じプリエンプション レベルを共有する例外のサブ優先度を作成するための、バイナリ ポイント位置インジケータです。割り込み優先レジスタ (NVIC_IPR0、NVIC_IPR1、...、および NVIC_IPR8) の PRI_n フィールドを、プリエンプション レベルとサブ優先度レベルに分割します。バイナリ ポイントは左側に位置する値です。これは、PRIGROUP の値が、最下位ビット (LSB) の左側から始まるポイントを表すことを意味します。優先度に割り当てられたビット数と実装の選択肢によっては、最小値は 0 にならない場合があります。
7-3	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
2	SYSRESETREQ	W	0h	ウォーム リセットを要求します。このビットを設定しても、デバッグの実行の停止を阻止するものではありません。
1	VECTCLRACTIVE	W	0h	アクティブな NMI、フォルト、割り込みのすべてのアクティブ状態情報をクリアします。スタックを再初期化するのはアプリケーションの責任です。このビットは、デバッグ中に既知の状態に戻るためのものです。このビットはセルフ クリアします。この動作では、IPSR はクリアされません。したがって、アプリケーションで使用する場合は、アクティブ化の基本レベルでのみ使用するか、アクティブビットを設定できるシステム ハンドラ内でのみ使用する必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 2-137. AIRCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	VECTRESET	W	0h	システム リセット ビット。デバッグ コンポーネントを除き、システムをリセットします。このビットはデバッグ用に予約済みで、コアが停止したときのみ 1 に書き込むことができます。このビットはセルフ クリアします。コアが停止していない間にこのビットを 1 に書き込むと、予測不能な動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.31 SCR レジスタ (オフセット = D10h) [リセット = 00000000h]

図 2-102 に、SCR を示し、表 2-138 に、その説明を示します。

概略表に戻ります。

システム制御
このレジスタは、パワー マネージメント機能、つまり、プロセッサが低消費電力状態に移行できるときにシステムに信号を送信し、プロセッサが低消費電力状態への移行および終了方法を制御するために使用します。

図 2-102. SCR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み			SEVONPEND	予約済み	SLEEPDEEP	SLEEPONEXIT	予約済み
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-138. SCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
4	SEVONPEND	R/W	0h	保留ビットでイベントを送信: 0:有効な割り込みまたはイベントのみがプロセッサをウェークアップでき、ディスエーブルになった割り込みは除外されます 1:イネーブルになったイベントとディスエーブルされた割り込みを含むすべての割り込みにより、プロセッサをウェークアップできます。 イベントまたは割り込みが保留状態に移行すると、イベント信号によってプロセッサが WFE からウェークアップします。プロセッサがイベントを待機していない場合、 イベントは登録され、次の WFE に影響します。 また、プロセッサは SEV 命令の実行時にウェークアップします。
3	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
2	SLEEPDEEP	R/W	0h	プロセッサが低消費電力モードとしてスリープとディープ スリープのどちらを使用するかを制御します。 0h = スリープ 1h = ディープ スリープ
1	SLEEPONEXIT	R/W	0h	ハンドラ モードからスレッド モードに戻るときに終了時にスリープ状態になります。割り込み駆動アプリケーションを有効にして、メイン アプリケーションが空にならないようにします。 0:スレッド モードに戻るときはスリープしない 1:ISR 終了時にスリープ
0	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.32 CCR レジスタ (オフセット = D14h) [リセット = 00000200h]

図 2-103 に、CCR を示し、表 2-139 に、その説明を示します。

概略表に戻ります。

構成制御
このレジスタは、NMI、HardFault、FAULTMASK によるバス フォルトの無視、ゼロ分周および非整列アクセスのトラップ、ソフトウェア トリガ割り込みレジスタ (STIR) へのユーザー アクセスのイネーブル、スレッド モードへの移行の制御に使用します。

図 2-103. CCR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み						STKALIGN	BFHFNMIGN
R/W-0h						R/W-1h	R/W-0h
7	6	5	4	3	2	1	0
予約済み			DIV_0_TRP	UNALIGN_TRP	予約済み	USERSETMPEND	NONBASETHREDENA
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-139. CCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
9	STKALIGN	R/W	1h	スタック整列ビット。 0:例外エントリの例外の前に使用された SP については、4 バイトの整列のみが保証されます。 1:例外エントリでは、例外の前に使用された SP が 8 バイト整列に調整され、それを復元するコンテキストが保存されます。SP は、関連付けられた例外リターン時にリストアされます。
8	BFHFNMIGN	R/W	0h	優先度 -1 または優先度 -2 を持つハンドラが、ロード命令およびストア命令によって引き起こされるデータ BusFaults を無視できるようにします。これは、HardFault、NMI、および FAULTMASK エスカレーションされたハンドラに適用されます。 0:ロード命令とストア命令によって引き起こされる、データ BusFaults によってロックアップが発生する 1:ロード命令とストア命令によって引き起こされるデータ BusFaults は無視される。 このビットは、ハンドラとそのデータが絶対に安全なメモリにある場合にのみ 1 に設定します。このビットの通常の使用方法は、システム デバイスとブリッジを調べて問題を検出することです。
7-5	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
4	DIV_0_TRP	R/W	0h	プロセッサが 0 の除数で SDIV または UDIV 命令を実行したときに、障害または停止をイネーブルにします。 0:0 分周をトラップしません。このモードでは、0 による除算は商 0 を返します。 1:トラップは 0 で分周されます。関連する使用フォルト ステータス レジスタのビットは CFSR.DIVBYZERO です。

Copyright © 2026 Texas Instruments Incorporated

表 2-139. CCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	UNALIGN_TRP	R/W	0h	非整列アクセストラップをイネーブルにします。 0:非整列ハーフワードおよびワード アクセスをトラップしません 1:非整列ハーフワードおよびワード アクセスをトラップします。関連する使用フォルト ステータス レジスタのビットは CFSR.UNALIGNED です。 このビットが 1 に設定されている場合、非整列アクセスによって UsageFault が生成されます。 UNALIGN_TRP の値に関係なく、整列していない LDM、STM、LDRD、STRD 命令は常にフォルトです。
2	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1	USERSETMPEND	R/W	0h	STIR への非特権ソフトウェア アクセスをイネーブルにします。 0:ユーザー コードは、ソフトウェア トリガ割り込みレジスタ (STIR) に書き込むことはできません。 1:ユーザー コードは、ソフトウェア トリガ割り込みレジスタ (STIR) に書き込んで、メイン スタック ポインタに関連付けられたメイン例外をトリガ (サスペンド) できます。
0	NONBASETHREDENA	R/W	0h	プロセッサがスレッド モードに移行する方法を示します。 0:プロセッサは、例外がアクティブでない場合にのみスレッド モードに移行できます。 1:プロセッサは、適切な戻り値 (EXC_RETURN) を使用して、任意のレベルからスレッド モードに入ることができます。 例外の戻り値は、次のいずれかの命令がハンドラ モードで 0xFXXXXXXX の値を PC にロードしたときに発生します。 - PC のロードを含む POP/LDM。 - PC を宛先として使用する LDR。 - 任意のレジスタを持つ BX。 PC に書き込まれた値はインターセプトされ、EXC_RETURN 値と呼ばれます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.33 SHPR1 レジスタ (オフセット = D18h) [リセット = 00000000h]

図 2-104 に、SHPR1 を示し、表 2-140 に、その説明を示します。

概略表に戻ります。

システム ハンドラ 4 ～ 7 優先
このレジスタは、次のシステム ハンドラに優先順位を付けるために使用されます。メモリ管理、バス フォルト、使用フォルト。システム ハンドラは例外ハンドラの特殊クラスであり、優先度を優先レベルのいずれかに設定できます。ほとんどの場合、オン (イネーブル) またはオフ (ディスエーブル) でマスクできます。無効になっている場合、フォルトは常にハード フォルトとして扱われます。

図 2-104. SHPR1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								PRI_6								PRI_5								PRI_4							
R-0h								R/W-0h								R/W-0h								R/W-0h							

表 2-140. SHPR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-16	PRI_6	R/W	0h	システム ハンドラの優先度 6。UsageFault
15-8	PRI_5	R/W	0h	システム ハンドラの優先度 5：BusFault
7-0	PRI_4	R/W	0h	システム ハンドラの優先度 4：MemManage

Copyright © 2026 Texas Instruments Incorporated

2.9.4.34 SHPR2 レジスタ (オフセット = D1Ch) [リセット = 00000000h]

図 2-105 に、SHPR2 を示し、表 2-141 に、その説明を示します。

概略表に戻ります。

システム ハンドラ 8-11 優先度
このレジスタは、SVC ハンドラの優先度を設定するために使用されます。システム ハンドラは例外ハンドラの特殊クラスであり、優先度を優先レベルのいずれかに設定できます。ほとんどの場合、オン (イネーブル) またはオフ (ディスエーブル) でマスクできます。無効になっている場合、フォルトは常にハード フォルトとして扱われます。

図 2-105. SHPR2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_11								予約済み																							
R/W-0h								R-0h																							

表 2-141. SHPR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_11	R/W	0h	システム ハンドラの優先度 11。SVCall
23-0	予約済み	R	0h	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.4.35 SHPR3 レジスタ (オフセット = D20h) [リセット = 00000000h]

図 2-106 に、SHPR3 を示し、表 2-142 に、その説明を示します。

概略表に戻ります。

システム ハンドラ 12 ～ 15 優先
このレジスタは、次のシステム ハンドラに優先順位を付けるために使用されます。SysTick、PendSV、デバッグ モニタ。システム ハンドラは例外ハンドラの特殊クラスであり、優先度を優先レベルのいずれかに設定できます。ほとんどの場合、オン (イネーブル) またはオフ (ディスエーブル) でマスクできます。無効になっている場合、フォルトは常にハード フォルトとして扱われます。

図 2-106. SHPR3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRI_15								PRI_14								予約済み								PRI_12							
R/W-0h								R/W-0h								R-0h								R/W-0h							

表 2-142. SHPR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PRI_15	R/W	0h	システム ハンドラの優先度 15。SysTick 例外
23-16	PRI_14	R/W	0h	システム ハンドラの優先度 14。SV を保留
15-8	予約済み	R	0h	予約済み
7-0	PRI_12	R/W	0h	システム ハンドラの優先度 12。デバッグ モニタ

Copyright © 2026 Texas Instruments Incorporated

2.9.4.36 SHCSR レジスタ (オフセット = D24h) [リセット = 00000000h]

図 2-107 に、SHCSR を示し、表 2-143 に、その説明を示します。

概略表に戻ります。

システム ハンドラの制御と状態
このレジスタは、システム ハンドラのイネーブル / ディスエーブル、バス フォルトの保留中の状態の判定、mem 管理フォルト、および SVC を行い、システム ハンドラのアクティブなステータスの判定に使用します。フォルト ハンドラが無効になっているときにフォルト状態が発生すると、そのフォルトはハード フォルトにエスカレーションされます。

図 2-107. SHCSR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み					USGFAULTENA	BUSFAULTENA	MEMFAULTENA
R/W-0h					R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
SVCALLPENDED	BUSFAULTPENDED	MEMFAULTPENDED	USGFAULTPENDED	SYSTICKACT	PENDSVACT	予約済み	MONITORACT
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
SVCALLACT	予約済み			USGFAULTACT	予約済み	BUSFAULTACT	MEMFAULTACT
R-0h	R-0h			R-0h	R-0h	R-0h	R-0h

表 2-143. SHCSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
18	USGFAULTENA	R/W	0h	使用フォルト システム ハンドラのイネーブル 0h = 例外をディスエーブル 1h = 例外をイネーブル
17	BUSFAULTENA	R/W	0h	バス フォルト システム ハンドラのイネーブル 0h = 例外をディスエーブル 1h = 例外をイネーブル
16	MEMFAULTENA	R/W	0h	MemManage フォルト システム ハンドラのイネーブル 0h = 例外をディスエーブル 1h = 例外をイネーブル
15	SVCALLPENDED	R	0h	SVCall 保留中 0h = 例外は非アクティブ 1h = 例外は保留中。
14	BUSFAULTPENDED	R	0h	BusFault 保留中 0h = 例外は非アクティブ 1h = 例外は保留中。
13	MEMFAULTPENDED	R	0h	MemManage 保留中 0h = 例外は非アクティブ 1h = 例外は保留中。
12	USGFAULTPENDED	R	0h	使用フォルト保留中 0h = 例外は非アクティブ 1h = 例外は保留中。

Copyright © 2026 Texas Instruments Incorporated

表 2-143. SHCSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	SYSTICKACT	R	0h	SysTick アクティブ フラグ。 0x0 : 非アクティブ 0x1 : アクティブ 0h = 例外は非アクティブ 1h = 例外はアクティブ
10	PENDSVACT	R	0h	PendSV アクティブ 0x0 : 非アクティブ 0x1 : アクティブ
9	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
8	MONITORACT	R	0h	デバッグ モニタ アクティブ 0h = 例外は非アクティブ 1h = 例外はアクティブ
7	SVCALLACT	R	0h	SVCall アクティブ 0h = 例外は非アクティブ 1h = 例外はアクティブ
6-4	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3	USGFAULTACT	R	0h	UsageFault 例外アクティブ 0h = 例外は非アクティブ 1h = 例外はアクティブ
2	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1	BUSFAULTACT	R	0h	BusFault 例外アクティブ 0h = 例外は非アクティブ 1h = 例外はアクティブ
0	MEMFAULTACT	R	0h	MemManage 例外アクティブ 0h = 例外は非アクティブ 1h = 例外はアクティブ

Copyright © 2026 Texas Instruments Incorporated

2.9.4.37 CFSR レジスタ (オフセット = D28h) [リセット = 00000000h]

図 2-108 に、CFSR を示し、表 2-144 に、その説明を示します。

概略表に戻ります。

設定可能なフォルト ステータス
このレジスタは、ローカル フォルトに関する情報を取得するために使用します。これらのレジスタには、3 つのサブセクションがあります。最初のバイトは、メモリ管理フォルト ステータス レジスタ (MMFSR) です。2 番目のバイトは、バス フォルト ステータス レジスタ (BFSR) です。上位のハーフワードは、使用フォルト ステータス レジスタ (UFSR) です。これらのレジスタのフラグは、ローカル フォルトの原因を示します。複数のフォルトが発生した場合は、複数のフラグを設定できます。これらのレジスタは読み取り / 書き込みクリアが可能です。これは、通常どおり読み取ることができますが、いずれかのビットに 1 を書き込むと、そのビットがクリアされることを意味します。
CFSR はバイトでアクセスできます。CFSR またはそのサブレジスタには、次のようにアクセスできます。
CFSR レジスタに以下のアクセスが可能です。
- 0xE000ED28 へのワード アクセスでレジスタ全体にアクセス。
- 0xE000ED28 へのバイト アクセスで MMFSR にアクセス
- 0xE000ED28 へのハーフワード アクセスで MMFSR と BFSR にアクセス
- 0xE000ED29 へのバイト アクセスで BFSR にアクセス
- 0xE000ED2A へのハーフワード アクセスで UFSR にアクセス。

図 2-108. CFSR レジスタ

31	30	29	28	27	26	25	24
予約済み						DIVBYZERO	UNALIGNED
R/W-0h						R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
予約済み				NOCP	INVPC	INVSTATE	UNDEFINSTR
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
BFARVALID	予約済み		STKERR	UNSTKERR	IMPRECISERR	PRECISERR	IBUSERR
R/W-0h	R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
MMARVALID	予約済み		MSTKERR	MUNSTKERR	予約済み	DACCVIOL	IACCVIOL
R/W-0h	R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-144. CFSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
25	DIVBYZERO	R/W	0h	CCR.DIV_0_TRP (8 ～ 26 ページの構成制御レジスタを参照) がイネーブルで、0 の除数で SDIV または UDIV 命令が使用されると、このフォルトが発生し、命令が実行され、復帰 PC がその命令を指します。 CCR.DIV_0_TRP が設定されていない場合、分周は 0 の商を返します。
24	UNALIGNED	R/W	0h	CCR.UNALIGN_TRP がイネーブルで、非整列メモリ アクセスを試みた場合、このフォルトが発生します。非整列の LDM/STM/LDRD/STRD 命令は、CCR.UNALIGN_TRP の設定に関係なく、常にフォルトになります。
23-20	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
19	NOCP	R/W	0h	コプロセッサ命令の使用を試みます。プロセッサはコプロセッサ命令をサポートしていません。

Copyright © 2026 Texas Instruments Incorporated

表 2-144. CFSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18	INVPC	R/W	0h	EXC_RETURN の PC への不正なロードを試みます。無効な命令、無効なコンテキスト、無効な値。復帰 PC は、PC を設定しようとした命令を指します。
17	INVSTATE	R/W	0h	無効な EPSR 状態で実行しようとしたことを示します (例:BX タイプ命令の状態が変更された後)。これには、例外へのエントリ後または例外からの復帰後の状態変更、および相互作業命令からの状態変更が含まれます。PC ポイントを無効な状態で、障害のある命令に戻します。
16	UNDEFINSTR	R/W	0h	このビットは、プロセッサが未定義命令を実行しようとすると設定されます。これは、プロセッサがデコードできない命令です。復帰 PC は未定義命令を指します。
15	BFARVALID	R/W	0h	バス フォルト アドレス レジスタ (BFAR) に有効なアドレスが含まれている場合、このビットが設定されます。これは、バス フォルトの後にアドレスが既知である場合に当てはまります。後で発生するメモリ管理フォルトなど、他のフォルトでこのビットをクリアできます。バス フォルトが発生し、優先順位のためにハードフォルトにエスカレーションされた場合、ハード フォルト ハンドラはこのビットをクリアする必要があります。これにより、BFAR 値が上書きされたスタックされたアクティブなバス フォルト ハンドラに戻る際の問題を回避できます。
14-13	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
12	STKERR	R/W	0h	例外からのスタックにより、1 つ以上のバス フォルトが発生しました。SP はまだ調整中で、スタック上のコンテキスト領域の値が正しくない可能性があります。BFAR は書き込まれません。
11	UNSTKERR	R/W	0h	例外リターンからスタック解除すると、1 つ以上のバス フォルトが発生しました。これはハンドラにチェーン接続されているため、元の戻りスタックはまだ存在します。SP は復帰に失敗しても調整されず、新しい保存は実行されません。BFAR は書き込まれません。
10	IMPRECISERR	R/W	0h	データ バス エラーが不正確です。これは BusFault ですが、復帰 PC は原因となる命令とは関係ありません。これは同期フォルトではありません。そのため、電流起動の優先順位がバス フォルトよりも高いときに検出された場合、保留になるだけです。バス フォルトは、優先度の低い起動に戻るとアクティブになります。優先度の低い例外に戻る前に正確なフォルトが発生した場合、ハンドラは IMPRECISERR 設定と、正確なフォルト ステータス ビットの 1 つの、両方を同時に検出します。BFAR は書き込まれません。
9	PRECISERR	R/W	0h	正確なデータ バスのエラー復帰。
8	IBUSERR	R/W	0h	命令バス エラー フラグ。このフラグはプリフェッチ エラーによって設定されます。フォルトは命令で停止するため、分岐シャドウ下でエラーが発生しても、フォルトは発生しません。BFAR は書き込まれません。
7	MMARVALID	R/W	0h	メモリ管理アドレス レジスタ (MMFAR) アドレス有効フラグ。バス フォルトなど、後で発生したフォルトは、メモリ管理フォルトをクリアできます。優先度のためにハード フォルトにエスカレートされた MemManage フォルトが発生した場合、ハードフォルト ハンドラはこのビットをクリアする必要があります。これにより、MMFAR 値が上書きされた、スタックされたアクティブな MemManage ハンドラに復帰する際の問題を防止できます。
6-5	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
4	MSTKERR	R/W	0h	例外からのスタックにより、1 つ以上のアクセス違反が発生しました。SP はまだ調整中で、スタック上のコンテキスト領域の値が正しくない可能性があります。MMFAR は書き込まれません。
3	MUNSTKERR	R/W	0h	例外復帰からスタック解除すると、1 つ以上のアクセス違反が発生しました。これはハンドラにチェーン接続されているため、元の戻りスタックはまだ存在します。SP は復帰に失敗しても調整されず、新しい保存は実行されません。MMFAR は書き込まれません。

Copyright © 2026 Texas Instruments Incorporated

表 2-144. CFSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1	DACCVIOL	R/W	0h	データ アクセス違反フラグ。操作が許可されていない場所にロードまたは格納しようとすると、このフラグが設定されます。復帰 PC は、障害のある命令を指しています。このエラーにより、MMFAR にアクセス試行のアドレスがロードされます。
0	IACCVIOL	R/W	0h	命令アクセス違反フラグ。実行を許可しない場所から命令を取得しようとすると、このフラグが設定されます。これは、MPU が無効になっているか存在していない場合でも、XN 領域へのすべてのアクセスで発生します。復帰 PC は、障害のある命令を指しています。MMFAR は書き込まれません。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.38 HFSR レジスタ (オフセット = D2Ch) [リセット = 00000000h]

図 2-109 に、HFSR を示し、表 2-145 に、その説明を示します。

概略表に戻ります。

ハード フォルト ステータス
このレジスタは、ハード フォルト ハンドラをアクティブにするイベントに関する情報を取得するために使用されます。このレジスタは書き込みクリア レジスタです。これは、1 をビットに書き込むと、そのビットがクリアされることを意味します。

図 2-109. HFSR レジスタ

31	30	29	28	27	26	25	24
DEBUGEVT	FORCED	予約済み					
R/W1C-0h	R/W1C-0h	R/W-0h					
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み						VECTTBL	予約済み
R/W-0h						R/W1C-0h	R/W-0h

表 2-145. HFSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DEBUGEVT	R/W1C	0h	デバッグに関連するフォルトが発生した場合、このビットが設定されます。これは、デバッグの停止がイネーブルになっていない場合にのみ可能です。モニタがイネーブルなデバッグの場合、BKPT では現在の優先度がモニタよりも高い場合にのみ発生します。停止とモニタ デバッグの両方がディスエーブルの場合、無視されないデバッグ イベント (最小 BKPT) に対してのみ発生します。デバッグ フォルト ステータス レジスタが更新されます。
30	FORCED	R/W1C	0h	設定可能なフォルトが受信され、優先度、または設定可能なフォルトのディスエーブルが理由でアクティブにできないため、ハード フォルトがアクティブになりました。次に、ハード フォルト ハンドラで他のフォルト ステータス レジスタを読み取って、原因を特定する必要があります。
29-2	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1	VECTTBL	R/W1C	0h	例外処理時のベクタ テーブル読み込み (バス フォルト) のためにフォルトが発生した場合、このビットが設定されます。このケースは常にハード フォルトです。復帰 PC はプリエンプト命令を指します。
0	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.39 DFSR レジスタ (オフセット = D30h) [リセット = 00000000h]

図 2-110 に、DFSR を示し、表 2-146 に、その説明を示します。

概略表に戻ります。

デバッグ フォルト ステータス
このレジスタは、外部デバッグ要求、ベクタ キャッチ、データ ウォッチ ポイント一致、BKPT 命令の実行、停止要求を監視するために使用されます。複数のフォルト条件が発生すると、デバッグ フォルト ステータス レジスタの複数のフラグを設定できます。このレジスタは読み取り / 書き込みクリアされます。これは、正常に読み取れることを意味します。このビットに 1 を書き込むと、そのビットがクリアされます。これらのビットは、イベントが捕捉されない限り設定されないことに注意してください。これはある種の停止を引き起こすことを意味します。デバッグ停止がイネーブルになっている場合、これらのイベントによりプロセッサのデバッグが停止します。デバッグがディスエーブルで、デバッグ モニタがイネーブルの場合、プライオリティが許可されていれば、これはデバッグ モニタ ハンドラ コールになります。デバッグとモニタの両方がディスエーブルの場合、これらのイベントの一部はハード フォルトであり、一部は無視されます。

図 2-110. DFSR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み			EXTERNAL	VCATCH	DWTTRAP	BKPT	HALTED
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-146. DFSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
4	EXTERNAL	R/W	0h	外部デバッグ要求フラグ。プロセッサは次の命令境界で停止します。 0x0 : 外部デバッグ要求信号がアサートされない 0x1 : 外部デバッグ要求信号がアサートされる
3	VCATCH	R/W	0h	ベクタ キャッチ フラグ。このフラグが設定されている場合、ローカル フォルト ステータス レジスタのいずれかのフラグも設定され、フォルトのタイプを示します。 0x0 : ベクタ キャッチは発生しない 0x1 : ベクタ キャッチが発生した
2	DWTTRAP	R/W	0h	データ ウォッチポイントおよびトレース (DWT) フラグ。プロセッサは現在の命令または次の命令で停止します。 0x0 : DWT が一致しない 0x1 : DWT が一致
1	BKPT	R/W	0h	BKPT フラグ。BKPT フラグは、フラッシュ パッチ コードの BKPT 命令によって設定され、通常のコードでも設定されます。命令を含むブレークポイントに PC ポイントを返します。 0x0 : BKPT 命令実行なし 0x1 : BKPT 命令実行

Copyright © 2026 Texas Instruments Incorporated

表 2-146. DFSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	HALTED	R/W	0h	停止要求フラグ。次の命令でプロセッサが停止します。 0x0:停止要求なし 0x1:NVIC による停止要求 (ステップを含む)

Copyright © 2026 Texas Instruments Incorporated

2.9.4.40 MMFAR レジスタ (オフセット = D34h) [リセット = 00000000h]

図 2-111 に、MMFAR を示し、表 2-147 に、その説明を示します。

概略表に戻ります。

Mem 管理フォルト アドレス
このレジスタは、メモリ管理フォルトを引き起こしたロケーションのアドレスを読み取るために使用されます。

図 2-111. MMFAR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
アドレス																															
R/W-X																															

表 2-147. MMFAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	アドレス	R/W	X	Mem 管理フォルト アドレス フィールド。 このフィールドは、障害が発生したロードまたはストアの試行のデータ アドレスです。非整列アクセス フォルトが発生した場合、アドレスは実際にフォルトが発生したアドレスです。アクセスは複数の部分に分割でき、各部分が整列できるため、このアドレスは要求されたサイズの範囲内の任意のオフセットになります。フラグ CFSR.IACCVIOL、CFSR.DACCVIOL、CFSR.MUNSTKERR、CFSR.MSTKERR と CFSR.MMARVALID を組み合わせて、フォルトの原因を示します。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.41 BFAR レジスタ (オフセット = D38h) [リセット = 00000000h]

図 2-112 に、BFAR を示し、表 2-148 に、その説明を示します。

概略表に戻ります。

バス フォルト アドレス
このレジスタは、バス フォルトが発生した位置のアドレスを読み取るために使用されます。

図 2-112. BFAR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
アドレス																															
R/W-X																															

表 2-148. BFAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	アドレス	R/W	X	バス フォルト アドレス フィールド。このフィールドは、障害が発生したロードまたはストアの試行のデータ アドレスです。非整列アクセス フォルトが発生した場合、そのアドレスは、障害が発生したアドレスではない場合でも、命令によって要求されたアドレスとなります。 フラグ CFSR.IBUSERR、CFSR.PRECISERR、CFSR.IMPRECISERR、CFSR.UNSTKERR、CFSR.STKERR と CFSR.BFARVALID を組み合わせて、フォルトの原因を示します。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.42 AFSR レジスタ (オフセット = D3Ch) [リセット = 00000000h]

図 2-113 に、AFSR を示し、表 2-149 に、その説明を示します。

概略表に戻ります。

補助フォルト ステータス
このレジスタは、ソフトウェアへの追加のシステム フォルト情報を決定するために使用されます。補助フォルトのシングル サイクルの High レベルは、1 としてラッチされます。このビットは、対応するビットに 1 を書き込むことでのみクリアできます。CPU への補助フォルト入力は 0 に接続されています。

図 2-113. AFSR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMPDEF																															
R/W-0h																															

表 2-149. AFSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IMPDEF	R/W	0h	実装定義。このビットは、補助フォルト入力への信号の割り当てに直接マッピングされます。0 に接続

Copyright © 2026 Texas Instruments Incorporated

2.9.4.43 ID_PFR0 レジスタ (オフセット = D40h) [リセット = 00000030h]

図 2-114 に、ID_PFR0 を示し、表 2-150 に、その説明を示します。

概略表に戻ります。

プロセッサ機能 0

図 2-114. ID_PFR0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								STATE1				STATE0			
R-0h								R-3h				R-0h			

表 2-150. ID_PFR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-4	STATE1	R	3h	State1 (T ビット = 1) 0x0:該当なし 0x1:該当なし 0x2:Thumb-2 エンコーディングでは、16 ビットの基本命令に 32 ビットの Buncond/BL を加えたものの、他の 32 ビットの基本命令は含まれていない (32 ビットの非基本命令は適切な命令属性を使用して追加できるが、他の 32 ビットの基本命令は追加できません)。 0x3:Thumb-2 のすべての基本命令を収録した Thumb-2 エンコード
3-0	STATE0	R	0h	State0 (T ビット = 0) 0x0:ARM エンコードなし 0x1:該当なし

Copyright © 2026 Texas Instruments Incorporated

2.9.4.44 ID_PFR1 レジスタ (オフセット = D44h) [リセット = 00000200h]

図 2-115 に、ID_PFR1 を示し、表 2-151 に、その説明を示します。

概略表に戻ります。

プロセッサ機能 1

図 2-115. ID_PFR1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				MICROCONTROLLER_PROGRAMMERS_MODEL			
R-0h				R-2h			
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 2-151. ID_PFR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
11-8	MICROCONTROLLER_PROGRAMMERS_MODEL	R	2h	マイコン プログラマのモデル 0x0 : サポートなし 0x2 : 2 スタックをサポート
7-0	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.45 ID_DFR0 レジスタ (オフセット = D48h) [リセット = 00100000h]

図 2-116 に、ID_DFR0 を示し、表 2-152 に、その説明を示します。

概略表に戻ります。

デバッグ機能 0
このレジスタを使うと、デバッグシステムの概要を確認できます。詳細については、デバッグ インフラストラクチャ自体に記載されています。

図 2-116. ID_DFR0 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
MICROCONTROLLER_DEBUG_MODEL				予約済み			
R-1h				R-0h			
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 2-152. ID_DFR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
23-20	MICROCONTROLLER_DEBUG_MODEL	R	1h	マイコン デバッグ モデル - メモリマップト 0x0:サポートなし 0x1:マイコン デバッグ v1 (ITMv1 および DWTv1)
19-0	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.46 ID_AFR0 レジスタ (オフセット = D4Ch) [リセット = 00000000h]

図 2-117 に、ID_AFR0 を示し、表 2-153 に、その説明を示します。

概略表に戻ります。

補助機能 0
このレジスタにより、実装定義済みの機能を登録するのにある程度融通がきくようになります。Cortex-M では使用されていません。

図 2-117. ID_AFR0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-0h																															

表 2-153. ID_AFR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.47 ID_MMFR0 レジスタ (オフセット = D50h) [リセット = 00100030h]

図 2-118 に、ID_MMFR0 を示し、表 2-154 に、その説明を示します。

概略表に戻ります。

メモリ モデル機能 0
メモリ モデルとメモリ管理サポートに関する一般的な情報。

図 2-118. ID_MMFR0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-00100030h																															

表 2-154. ID_MMFR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	00100030h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.48 ID_MMFR1 レジスタ (オフセット = D54h) [リセット = 00000000h]

図 2-119 に、ID_MMFR1 を示し、表 2-155 に、その説明を示します。

概略表に戻ります。

メモリ モデル機能 1
メモリ モデルとメモリ管理サポートに関する一般的な情報。

図 2-119. ID_MMFR1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-0h																															

表 2-155. ID_MMFR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.49 ID_MMFR2 レジスタ (オフセット = D58h) [リセット = 01000000h]

図 2-120 に、ID_MMFR2 を示し、表 2-156 に、その説明を示します。

概略表に戻ります。

メモリ モデル機能 2
メモリ モデルとメモリ管理サポートに関する一般的な情報。

図 2-120. ID_MMFR2 レジスタ

31	30	29	28	27	26	25	24
予約済み							WAIT_FOR_INTERRUPT_STALLING
R-0h							R-1h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 2-156. ID_MMFR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
24	WAIT_FOR_INTERRUPT_STALLING	R	1h	割り込みの停止を待機 0x0 : サポートなし 0x1 : 割り込みの待機をサポート
23-0	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.50 ID_MMFR3 レジスタ (オフセット = D5Ch) [リセット = 00000000h]

図 2-121 に、ID_MMFR3 を示し、表 2-157 に、その説明を示します。

概略表に戻ります。

メモリ モデル機能 3
メモリ モデルとメモリ管理サポートに関する一般的な情報。

図 2-121. ID_MMFR3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-0h																															

表 2-157. ID_MMFR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.51 ID_ISAR0 レジスタ (オフセット = D60h) [リセット = 01101110h]

図 2-122 に、ID_ISAR0 を示し、表 2-158 に、その説明を示します。

概略表に戻ります。

ISA 機能 0
命令設定属性レジスタの情報

図 2-122. ID_ISAR0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-01101110h																															

表 2-158. ID_ISAR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	01101110h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.52 ID_ISAR1 レジスタ (オフセット = D64h) [リセット = 02112000h]

図 2-123 に、ID_ISAR1 を示し、表 2-159 に、その説明を示します。

概略表に戻ります。

ISA 機能 1
命令設定属性レジスタの情報

図 2-123. ID_ISAR1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-02112000h																															

表 2-159. ID_ISAR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	02112000h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.53 ID_ISAR2 レジスタ (オフセット = D68h) [リセット = 21232231h]

図 2-124 に、ID_ISAR2 を示し、表 2-160 に、その説明を示します。

概略表に戻ります。

ISA 機能 2
命令設定属性レジスタの情報

図 2-124. ID_ISAR2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-21232231h																															

表 2-160. ID_ISAR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	21232231h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.54 ID_ISAR3 レジスタ (オフセット = D6Ch) [リセット = 01111131h]

図 2-125 に、ID_ISAR3 を示し、表 2-161 に、その説明を示します。

概略表に戻ります。

ISA 機能 3
命令設定属性レジスタの情報

図 2-125. ID_ISAR3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-01111131h																															

表 2-161. ID_ISAR3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	01111131h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.55 ID_ISAR4 レジスタ (オフセット = D70h) [リセット = 01310132h]

図 2-126 に、ID_ISAR4 を示し、表 2-162 に、その説明を示します。

概略表に戻ります。

ISA 機能 4
命令設定属性レジスタの情報

図 2-126. ID_ISAR4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-01310132h																															

表 2-162. ID_ISAR4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	01310132h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.56 CPACR レジスタ (オフセット = D88h) [リセット = 00000000h]

図 2-127 に、CPACR を示し、表 2-163 に、その説明を示します。

概略表に戻ります。

コプロセッサ アクセス制御
このレジスタはコプロセッサのアクセス権限を指定します。

図 2-127. CPACR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R/W-0h																															

表 2-163. CPACR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.57 MPU_TYPE レジスタ (オフセット = D90h) [リセット = 00000800h]

MPU_TYPE は 図 2-128 に示されており、表 2-164 で説明されています。

概略表に戻ります。

MPU タイプ
このレジスタは、MPU がサポートする多くの領域を示します。

図 2-128. MPU_TYPE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
IREGION							
R-0h							
15	14	13	12	11	10	9	8
DREGION							
R-8h							
7	6	5	4	3	2	1	0
予約済み							SEPARATE
R-0h							R-0h

表 2-164. MPU_TYPE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	0 を読み取ります。
23-16	IREGION	R	0h	プロセッサ コアは統合型 MPU のみを使用します。このフィールドは常に 0x0 を読み取ります。
15-8	DREGION	R	8h	サポートされている MPU 領域フィールドの数。このフィールドの読み出し値は 0x08 で、8 つの MPU 領域を示します。
7-1	予約済み	R	0h	0 を読み取ります。
0	SEPARATE	R	0h	プロセッサ コアは統合型 MPU のみを使用するため、このフィールドは常に 0 です。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.58 MPU_CTRL レジスタ (オフセット = D94h) [リセット = 00000000h]

MPU_CTRL は 図 2-129 に示されており、表 2-165 で説明されています。

概略表に戻ります。

MPU 制御
このレジスタは、MPU のイネーブル、デフォルト メモリ マップ (バックグラウンド領域) のイネーブル、ハード フォルト、非マスカブル割り込み (NMI)、FAULTMASK エスカレーション ハンドラの場合の MPU のイネーブルに使用されます。MPU が有効になっているときは、PRIVDEFENA ビットが設定されていない限り、MPU が機能するためにメモリマップの少なくとも 1 つの領域を有効にする必要があります。PRIVDEFENA ビットが設定されていて、領域がイネーブルになっていない場合、動作できるのは特権コードだけです。MPU がディスエーブルの場合、MPU が存在しないかのようにデフォルトのアドレス マップが使用されます。MPU がイネーブルのときは、システム パーティションとベクタ テーブルのロードのみが常にアクセス可能です。他のエリアには、領域と PRIVDEFENA が有効になっているかどうかに基づいてアクセスできます。HFNMIENA が設定されていない限り、例外優先度が -1 または -2 のときは MPU はイネーブルになりません。これらの優先は、ハードフォルト、NMI、または FAULTMASK がイネーブルの場合にのみ可能です。HFNMIENA ビットは、これら 2 つの優先度で動作しているとき、MPU を有効にします。

図 2-129. MPU_CTRL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み					PRIVDEFENA	HFNMIENA	イネーブル
R/W-0h					R/W-0h	R/W-0h	R/W-0h

表 2-165. MPU_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
2	PRIVDEFENA	R/W	0h	このビットは、MPU がイネーブルの場合、バックグラウンド領域として特権アクセスのデフォルト メモリ マップを有効にします。バックグラウンド領域は、設定可能な領域よりも前の領域番号 1 であるかのように機能します。設定されているすべての領域がこのデフォルト マップをオーバーレイし、それをオーバーライドします。このビットが設定されていない場合、デフォルトのメモリ マップはディスエーブルになり、メモリは領域フォルトでカバーされません。これは、メモリ タイプ、Execute Never (XN)、キャッシュ ルール、および共有可能ルールに適用されます。ただし、これは特権モード (フェッチおよびデータ アクセス) にのみ適用されます。コードとデータに対して領域が設定されていない限り、ユーザー モード コードに障害が発生します。MPU がディスエーブルの場合、デフォルト マップは特権モード コードとユーザー モード コードの両方で動作します。このイネーブルが設定されているかどうかにかかわらず、XN および SO ルールは常にシステム パーティションに適用されます。MPU がディスエーブルの場合、このビットは無視されます。

Copyright © 2026 Texas Instruments Incorporated

表 2-165. MPU_CTRL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	HFNMIENA	R/W	0h	このビットは、ハードフォルト、NMI、および FAULTMASK エスカレーション ハンドラの場合に MPU をイネーブルにします。このビットと ENABLE が設定されている場合、これらのハンドラのとき MPU が有効になります。このビットが設定されていない場合、ENABLE ビットの値に関係なく、これらのハンドラのとき MPU は無効になります。このビットが設定されており、ENABLE が設定されていない場合、動作は予測不可能です。
0	イネーブル	R/W	0h	MPU を有効にする 0:MPU ディスエーブル 1:MPU はイネーブル

Copyright © 2026 Texas Instruments Incorporated

2.9.4.59 MPU_RNR レジスタ (オフセット = D98h) [リセット = 00000000h]

MPU_RNR は 図 2-130 に示されており、表 2-166 で説明されています。

概略表に戻ります。

MPU 領域番号
このレジスタは、アクセスする保護領域を選択するために使用されます。MPU_RASR または MPU_RBAR への次の書き込みによって、このレジスタで選択される保護領域の特性が設定されます。

図 2-130. MPU_RNR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								地域							
R/W-0h																								R/W-0h							

表 2-166. MPU_RNR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	地域	R/W	0h	領域選択フィールド。 このフィールドは、MPU_RASR と MPU_RBAR を使用するときに動作する領域を選択します。これは、アドレス MPU_RBAR.VALID および MPU_RBAR.REGION フィールドに書き込まれて上書きされる場合を除き、最初に書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.60 MPU_RBAR レジスタ (オフセット = D9Ch) [リセット = 00000000h]

MPU_RBAR は 図 2-131 に示されており、表 2-167 で説明されています。

概略表に戻ります。

MPU 領域ベース アドレス
このレジスタは、領域のベース アドレスを書き込みます。VALID ビットが設定されている場合、MPU_RNR.REGION を上書きするために使用できる REGION フィールドも含まれます。このレジスタは、領域のベースを設定します。サイズ別に整列しています。そのため、64KB サイズの領域は、例えば 0x00010000 や 0x00020000 のように、64KB の倍数に整列する必要があります。この領域は常に現在の MPU 領域番号として読み取られます。VALID は常に 0 が読み出されます。VALID = 1 と REGION = n を書き込むと、領域番号が n に変わります。これは MPU_RNR を書き込むための簡単な方法です。このレジスタは、ワード以外でアクセスされた場合、予測不可能です。

図 2-131. MPU_RBAR レジスタ

31	30	29	28	27	26	25	24
ADDR							
R/W-0h							
23	22	21	20	19	18	17	16
ADDR							
R/W-0h							
15	14	13	12	11	10	9	8
ADDR							
R/W-0h							
7	6	5	4	3	2	1	0
ADDR			VALID	地域			
R/W-0h			R/W-0h	R/W-0h			

表 2-167. MPU_RBAR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	ADDR	R/W	0h	領域ベース アドレス フィールド。 LSB の位置は領域サイズに依存するため、ベース アドレスは偶数の倍数のサイズに応じて整列されます。MPU 領域属性およびサイズ レジスタの SZENABLE フィールドで指定される 2 の大きさの電力により、使用されるベース アドレスのビット数が定義されます。
4	VALID	R/W	0h	MPU 領域番号有効: 0:MPU_RNR は変更されずに解釈されます。 1:MPU_RNR は REGION によって上書きされます。
3-0	地域	R/W	0h	MPU 領域オーバーライド フィールド

Copyright © 2026 Texas Instruments Incorporated

2.9.4.61 MPU_RASR レジスタ (オフセット = DA0h) [リセット = 00000000h]

MPU_RASR は 図 2-132 に示されており、表 2-168 で説明されています。

概略表に戻ります。

MPU 領域の属性とサイズ
このレジスタは MPU アクセス許可を制御します。このレジスタは 2 つの部分レジスタで構成され、それぞれのハーフワード サイズです。これらは、ハーフワード サイズを使用してアクセスすることも、1 ワード動作を使用して両方に同時にアクセスすることもできます。サブ領域のディスエーブル ビットは、32 バイト、64 バイト、128 バイトの領域サイズではサポートされていません。これらの領域サイズを使用する場合、サブ領域のディスエーブル ビットを 0 に設定する必要があります。

図 2-132. MPU_RASR レジスタ

31	30	29	28	27	26	25	24
予約済み			XN	予約済み	AP		
R/W-0h			R/W-0h	R/W-0h	R/W-0h		
23	22	21	20	19	18	17	16
予約済み			TEX		S	C	B
R/W-0h			R/W-0h		R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
SRD							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み			サイズ				イネーブル
R/W-0h			R/W-0h				R/W-0h

表 2-168. MPU_RASR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
28	XN	R/W	0h	命令アクセス ディスエーブル: 0:命令フェッチをイネーブル 1:命令フェッチをディスエーブル
27	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
26-24	AP	R/W	0h	データ アクセス権限: 0x0:権限付与:アクセスなし。ユーザー権限:アクセスなし。 0x1:権限付与:読み取り / 書き込み。ユーザー権限:アクセスなし。 0x2:権限付与:読み取り / 書き込み。ユーザー権限:読み取り専用。 0x3:権限付与:読み取り / 書き込み。ユーザー権限:読み取り / 書き込み。 0x4:予約済み 0x5:権限付与:読み出し専用。ユーザー権限:アクセスなし。 0x6:権限付与:読み出し専用。ユーザー権限:読み取り専用。 0x7:権限付与:読み出し専用。ユーザー権限:読み出し専用。
23-22	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
21-19	TEX	R/W	0h	タイプ拡張
18	S	R/W	0h	共有可能ビット: 0:共有不可 1:シェア可能
17	C	R/W	0h	キャッシュ可能ビット: 0:キャッシュ不可 1:キャッシュ可否

Copyright © 2026 Texas Instruments Incorporated

表 2-168. MPU_RASR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
16	B	R/W	0h	バッファ可能ビット: 0:バッファ不可 1:バッファ可能
15-8	SRD	R/W	0h	サブ領域ディスエーブル フィールド: このフィールドにビットを設定すると、対応するサブ領域が無効になります。領域は、同じサイズの 8 つのサブ領域に分割されます。サブ領域は、128 バイト以下の領域サイズではサポートされていません。
7-6	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5-1	サイズ	R/W	0h	MPU 保護領域サイズ フィールド: 0x04:32B 0x05:64B 0x06:128B 0x07:256B 0x08:512B 0x09:1 KB 0x0A:2 KB 0x0B:4 KB 0x0C:8 KB 0x0D:16 KB 0x0E:32 KB 0x0F:64 KB 0x10:128 KB 0x11:256 KB 0x12:512 KB 0x13:1 MB 0x14:2 MB 0x15:4 MB 0x16:8 MB 0x17:16 MB 0x18:32 MB 0x19:64 MB 0x1A:128 MB 0x1B:256 MB 0x1C:512 MB 0x1D:1 GB 0x1E:2 GB 0x1F:4GB
0	イネーブル	R/W	0h	領域イネーブル ビット: 0:領域をディスエーブル 1:領域をイネーブル

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

2.9.4.62 MPU_RBAR_A1 レジスタ (オフセット = DA4h) [リセット = 00000000h]

図 2-133 に、MPU_RBAR_A1 を示し、表 2-169 に、その説明を示します。

概略表に戻ります。

MPU エイリアス 1 領域ベース アドレス
MPU_RBAR のエイリアス

図 2-133. MPU_RBAR_A1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPU_RBAR_A1																															
R/W-0h																															

表 2-169. MPU_RBAR_A1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MPU_RBAR_A1	R/W	0h	MPU_RBAR のエイリアス

Copyright © 2026 Texas Instruments Incorporated

2.9.4.63 MPU_RASR_A1 レジスタ (オフセット = DA8h) [リセット = 00000000h]

図 2-134 に、MPU_RASR_A1 を示し、表 2-170 に、その説明を示します。

概略表に戻ります。

MPU エイリアス 1 領域の属性およびサイズ
MPU_RASR のエイリアス

図 2-134. MPU_RASR_A1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPU_RASR_A1																															
R/W-0h																															

表 2-170. MPU_RASR_A1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MPU_RASR_A1	R/W	0h	MPU_RASR のエイリアス

Copyright © 2026 Texas Instruments Incorporated

2.9.4.64 MPU_RBAR_A2 レジスタ (オフセット = DACh) [リセット = 00000000h]

図 2-135 に、MPU_RBAR_A2 を示し、表 2-171 に、その説明を示します。

概略表に戻ります。

MPU エイリアス 2 領域ベース アドレス
MPU_RBAR のエイリアス

図 2-135. MPU_RBAR_A2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPU_RBAR_A2																															
R/W-0h																															

表 2-171. MPU_RBAR_A2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MPU_RBAR_A2	R/W	0h	MPU_RBAR のエイリアス

Copyright © 2026 Texas Instruments Incorporated

2.9.4.65 MPU_RASR_A2 レジスタ (オフセット = DB0h) [リセット = 00000000h]

図 2-136 に、MPU_RASR_A2 を示し、表 2-172 に、その説明を示します。

概略表に戻ります。

MPU エイリアス 2 領域の属性およびサイズ
MPU_RASR のエイリアス

図 2-136. MPU_RASR_A2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPU_RASR_A2																															
R/W-0h																															

表 2-172. MPU_RASR_A2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MPU_RASR_A2	R/W	0h	MPU_RASR のエイリアス

Copyright © 2026 Texas Instruments Incorporated

2.9.4.66 MPU_RBAR_A3 レジスタ (オフセット = DB4h) [リセット = 00000000h]

図 2-137 に、MPU_RBAR_A3 を示し、表 2-173 に、その説明を示します。

概略表に戻ります。

MPU エイリアス 3 領域ベース アドレス
MPU_RBAR のエイリアス

図 2-137. MPU_RBAR_A3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPU_RBAR_A3																															
R/W-0h																															

表 2-173. MPU_RBAR_A3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MPU_RBAR_A3	R/W	0h	MPU_RBAR のエイリアス

Copyright © 2026 Texas Instruments Incorporated

2.9.4.67 MPU_RASR_A3 レジスタ (オフセット = DB8h) [リセット = 00000000h]

図 2-138 に、MPU_RASR_A3 を示し、表 2-174 に、その説明を示します。

概略表に戻ります。

MPU エイリアス 3 領域の属性およびサイズ
MPU_RASR のエイリアス

図 2-138. MPU_RASR_A3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPU_RASR_A3																															
R/W-0h																															

表 2-174. MPU_RASR_A3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MPU_RASR_A3	R/W	0h	MPU_RASR のエイリアス

Copyright © 2026 Texas Instruments Incorporated

2.9.4.68 DHCSR レジスタ (オフセット = DF0h) [リセット = 00000000h]

図 2-139 に、DHCSR を示し、表 2-175 に、その説明を示します。

概略表に戻ります。

デバッグ停止制御およびステータス
このレジスタの目的は、プロセッサの状態に関するステータス情報を提供し、コア デバッグを有効にして、プロセッサを停止してステップ実行することです。書き込みの場合、このレジスタの上位ハーフワードに 0xA05F を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにはビットは書き込まれません。停止モードでイネーブルになっていない場合で、C_DEBUGEN = 1 の場合、他のすべてのフィールドはディスエーブルになります。このレジスタは、コア リセット時にリセットされません。パワーオン リセット時にリセットされます。ただし、コア リセット時に C_HALT は常にクリアされます。リセット時に停止するには、以下のビットをイネーブルにする必要があります。DEMCR.VC_CORERESET および C_DEBUGEN。ワード以外のサイズでこのレジスタに書き込みを行うと、予測不可能であることに注意してください。任意のサイズで読み取ることができ、スティッキービットを回避または意図的に変更するために使用できます。
CPU が停止しているとき (つまり C_DEBUGEN=1 および S_HALT=1) にこのレジスタに書き込むときのシステムの動作:
C_HALT = 0、C_STEP=0、C_MASKINTS = 0 デバッグ状態を終了し、命令の実行を開始します。例外は、例外構成ルールに従ってアクティブになります。
C_HALT = 0、C_STEP = 0、C_MASKINTS = 1 デバッグ状態を終了し、命令の実行を開始します。PendSV、SysTick、および外部から構成可能な割り込みはディスエーブルになります。それ以外の場合は、標準構成ルールに従って例外がアクティブになります。
C_HALT = 0、C_STEP=1、C_MASKINTS = 0 デバッグ状態を終了、命令をステップ実行して停止します。例外は、例外構成ルールに従ってアクティブになります。
C_HALT = 0、C_STEP = 1、C_MASKINTS = 1 デバッグ状態を終了、命令をステップ実行して停止します。PendSV、SysTick、および外部から構成可能な割り込みはディスエーブルになります。それ以外の場合は、標準構成ルールに従って例外がアクティブになります。
C_HALT = 1、C_STEP = x、C_MASKINTS = x はデバッグ状態を維持します

図 2-139. DHCSR レジスタ

31	30	29	28	27	26	25	24
予約済み						S_RESET_ST	S_RETIRE_ST
R/W-0h						R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
予約済み				S_LOCKUP	S_SLEEP	S_HALT	S_REGRDY
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-X
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		C_SNAPSTALL	予約済み	C_MASKINTS	C_STEP	C_HALT	C_DEBUGEN
R-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-175. DHCSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。 このレジスタに書き込む場合、このビット フィールドに 0x28 を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにはビットは書き込まれません。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 2-175. DHCSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
25	S_RESET_ST	R/W	0h	このビットの最後の読み取り以降に、コアがリセットされた、または現在リセットされていることを示します。これは、読み取り時にクリアされるスティッキ ビットです。つまり、2 回読み取って 1 から 0 になると、過去にリセットされたことを意味します。読み取り値が 2 回、両方の回で 1 を取得した場合は、今すぐリセットされていることを意味します (RESET 状態に保持されたまま)。 このレジスタに書き込むときは、このビット フィールドに 0 を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにビットは書き込まれません。
24	S_RETIRE_ST	R/W	0h	最後の読み取り以降に命令が完了したことを示します。これは、読み取り時にクリアされるスティッキ ビットです。これにより、ロード / ストアまたはフェッチでコアが停止するかどうかが決定されます。 このレジスタに書き込むときは、このビットフィールドに 0 を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにビットは書き込まれません。
23-20	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。 このレジスタに書き込む場合、このビット フィールドに 0x5 を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにはビットは書き込まれません。
19	S_LOCKUP	R/W	0h	コアが動作しており (停止されていない) ロックアップ状態が存在する場合、そのように読み取ります。 このレジスタに書き込むときは、このビットフィールドに 1 を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにビットは書き込まれません。
18	S_SLEEP	R/W	0h	コアがスリープしていることを示します (WFI、WFE、または **SLEEP-ON-EXIT**)。制御のゲインを確保するには、C_HALT を使用するか、割り込みがウェークアップするまで待機する必要があります。 このレジスタに書き込むときは、このビット フィールドに 1 を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにビットは書き込まれません。
17	S_HALT	R/W	0h	このビットが設定されると、コアはデバッグ状態になります。 このレジスタに書き込むときは、このビット フィールドに 1 を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにビットは書き込まれません。
16	S_REGRDY	R/W	X	デバッグ コア レジスタ セレクタ レジスタのレジスタの読み取り / 書き込みが利用可能です。最後の転送が完了しました。 このレジスタに書き込むときは、このビット フィールドに 1 を書き込む必要があります。そうしないと、書き込み動作は無視され、レジスタにビットは書き込まれません。
15-6	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
5	C_SNAPSTALL	R/W	0h	ロード / ストア操作でコアがストールするとストールは停止し、指示は強制的に完了します。これにより、デバッグを停止してコアを制御できます。設定できるのは、次の場合のみです。C_DEBUGEN = 1、C_HALT = 1。コアは S_RETIRE_ST を 0 として読み取ります。これは、命令が拡張されていないことを示します。これにより、誤用を防止できます。この値を使用すると、バスの状態は予測不可能です。S_RETIRE_ST は、ロード / ストア操作時にコア ストールを検出できます。
4	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

表 2-175. DHCSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	C_MASKINTS	R/W	0h	ステップ実行時またはデバッグ停止時に割り込みをマスクします。このマスキングは、命令の実行によって発生する NMI、フォルト例外、SVC には影響しません。このビットは、プロセッサが停止したとき (S_HALT==1) にのみ変更できます。C_MASKINTS は、停止を解除する前に設定またはクリアする必要があります (つまり、C_MASKINTS を設定またはクリアし、C_HALT を設定またはクリアするための書き込みは個別にする必要があります)。デバッグ サポートを停止する機能を有効にして (C_DEBUGEN = 1、S_HALT = 0) システム動作中に C_MASKINTS を変更すると、予測不能な動作が発生する可能性があります。
2	C_STEP	R/W	0h	デバッグ停止状態でコアをステップ実行します。C_DEBUGEN = 0 の場合、このビットの効果はありません。プロセッサが停止したとき (S_HALT==1) にのみ変更する必要があります。 デバッグ サポートをイネーブルにして停止している状態 (C_DEBUGEN = 1、S_HALT = 0) でシステム動作中に C_STEP を変更すると、予測不能な動作が発生する可能性があります。
1	C_HALT	R/W	0h	コアを停止します。このビットは、コアが停止すると自動的に設定されます。たとえば、ブレークポイントです。このビットは、コア リセット時にクリアされます。
0	C_DEBUGEN	R/W	0h	デバッグを有効にします。これは AHB-AP でのみ記述でき、コアでは記述できません。コアによって書かれた場合は無視され、設定やクリアはできません。C_HALT を書き込むときは、コアに 1 を書き込む必要があります。C_DEBUGEN = 0 の場合、C_HALT、C_STEP、C_MASKINTS の値はハードウェアによって無視されます。C_DEBUGEN = 0 の場合、C_HALT、C_STEP、C_MASKINTS フィールドの読み込み値はソフトウェアでは不明になります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.69 DCRSR レジスタ (オフセット = DF4h) [リセット = 00000000h]

図 2-140 に、DCRSR を示し、表 2-176 に、その説明を示します。

概略表に戻ります。

デバッグ コア レジスタ セレクタ
このレジスタの目的は、データを転送するプロセッサ レジスタを選択することです。この書き込み専用レジスタは、デバッグ コア レジスタ データ レジスタおよび選択したレジスタとの間でデータを転送するため、コアへのハンドシェイクを生成します。このコア トランザクションが完了するまで、DHCSR.S_REGRDY は 0 です。このレジスタへの書き込みは、ワード サイズ以外の任意のサイズで行われた場合の動作は予測不能になるため注意してください。
PSR レジスタはこの方法で完全にアクセスできますが、MRS 命令を使用する場合は 0 として読み取られることがあります。すべてのビットを書き込むことはできますが、実行が再開されたときにフォルトが発生する組み合わせもあることに注意してください。

図 2-140. DCRSR レジスタ

31	30	29	28	27	26	25	24
予約済み							
W-X							
23	22	21	20	19	18	17	16
予約済み							REGWNR
W-X							W-X
15	14	13	12	11	10	9	8
予約済み							
W-X							
7	6	5	4	3	2	1	0
予約済み			REGSEL				
W-X			W-X				

表 2-176. DCRSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	W	X	ソフトウェアは、予約済みの値に依存してはなりません。0 を書き込みます。
16	REGWNR	W	X	1:書き込み 0:読み出し
15-5	予約済み	W	X	ソフトウェアは、予約済みの値に依存してはなりません。0 を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

表 2-176. DCRSR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	REGSEL	W	X	レジスタ選択 0x00 : R0 0x01: R1 0x02: R2 0x03: R3 0x04: R4 0x05: R5 0x06: R6 0x07: R7 0x08: R8 0x09: R9 0x0A: R10 0x0B: R11 0x0C: R12 0x0D: 現在の SP 0x0E : LR 0x0F : DebugReturnAddress 0x10 : XPSR / フラグ、実行状態情報、および例外番号 0x11 : MSP (メイン SP) 0x12 : PSP (プロセス SP) 0x14 : CONTROL<<24 | FAULTMASK<<16 | BASEPRI<<8 | PRIMASK

Copyright © 2026 Texas Instruments Incorporated

2.9.4.70 DCRDR レジスタ (オフセット = DF8h) [リセット = 00000000h]

図 2-141 に、DCRDR を示し、表 2-177 に、その説明を示します。

概略表に戻ります。

デバッグ コア レジスタ データ

図 2-141. DCRDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCRDR																															
R/W-X																															

表 2-177. DCRDR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DCRDR	R/W	X	このレジスタは、プロセッサとの間でレジスタの読み書きを行うためのデータを保持します。これは、DCRSR によって選択されたレジスタに書き込まれるデータ値です。プロセッサが DCRSR から要求を受信すると、通常のロード ストア ユニット動作を使用して、このレジスタの読み込みまたは書き込みがプロセッサによって行われます。コア レジスタの転送が実行されていない場合、ソフトウェア ベースのデバッグ モニタはこのレジスタを使用して、デバッグを停止しない場合の通信に使用できます。これにより、フラグとビットが状態を確認し、コマンドが受け入れられたか、応答されたか、受け入れられたか、応答されたかを示します。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.71 DEMCR レジスタ (オフセット = DFCh) [リセット = 00000000h]

図 2-142 に、DEMCR を示し、表 2-178 に、その説明を示します。

概略表に戻ります。

デバッグ例外と監視制御
このレジスタの目的は、ベクトル キャッチとデバッグ モニタの制御です。このレジスタはデバッグ時の例外動作を管理します。ベクタ キャッチはデバッグを停止する場合にのみ使用できます。上側のハーフワードは監視制御用で、下側のハーフワードは例外サポートを停止します。このレジスタは、システム リセット時にリセットされません。このレジスタは、パワーオンリセットによってリセットされます。コア リセット時に、MON_EN、MON_PEND、MON_STEP、MON_REQ のフィールドは常にクリアされます。デバッグ モニタは、リセット ハンドラ以降のソフトウェア、または **AHB-AP** ポートによってイネーブルにされます。ベクトル キャッチは半同期式です。一致するイベントが検出されると、停止が要求されます。プロセッサは命令境界でしか停止できないため、次の命令境界まで待つ必要があります。その結果、例外ハンドラの最初の命令で停止します。ただし、ベクタ キャッチがトリガされた場合は、次の 2 つの特殊なケースがあります。1.ベクタ読み取りエラーまたはスタック プッシュ エラーの間にフォルトが取得されると、ベクトル エラーまたはスタック プッシュの対応するフォルト ハンドラで停止が発生します。2.ベクタ読み取りエラーまたはスタック プッシュ エラー中に遅延到着割り込みが検出された場合、それは実行されません。つまり、遅延到着最適化をサポートする実装では、この場合はそれを抑制する必要があります。

図 2-142. DEMCR レジスタ

31	30	29	28	27	26	25	24
予約済み							TRCENA
R/W-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み				MON_REQ	MON_STEP	MON_PEND	MON_EN
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み					VC_HARDERR	VC_INTERR	VC_BUSERR
R/W-0h					R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
VC_STATERR	VC_CHKERR	VC_NOCPERR	VC_MMERR	予約済み			VC_CORERESET
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			R/W-0h

表 2-178. DEMCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
24	TRCENA	R/W	0h	トレース ブロックとデバッグ ブロックを使用できるようにするには、このビットを 1 に設定する必要があります。DWT、ITM、ETM、TPIU です。これにより、トレースが必要でない限り、電力使用量を制御できます。アプリケーションは、これをイネーブルにしたり、ITM の使用にしたり、デバッガで使用したりできます。
23-20	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
19	MON_REQ	R/W	0h	これにより、モニタはウェークアップする方法を識別できます。このビットは、コア リセット時にクリアされます。 0x0:デバッグ例外によってウェークアップします。 0x1:MON_PEND によってウェークアップします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 2-178. DEMCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18	MON_STEP	R/W	0h	MON_EN = 1 の場合、コアをステップ実行します。MON_EN = 0 の場合、このビットは無視されます。 これは DHCSR.C_STEP に相当します。割り込みは、モニタの優先度と、PRIMASK、FAULTMASK、BASEPRI の設定に従ってのみステップ実行されます。
17	MON_PEND	R/W	0h	優先が許可されているときにモニタを保留してアクティブにします。これにより、AHB-AP ポートを介してモニタをウェークアップできます。これは、モニタのデバッグで DHCSR.C_HALT と同等です。このレジスタは、システム リセット時にリセットされません。この機能は、パワーオン リセットにのみ使用できます。リセット ハンドラ以降、または DAP によるソフトウェアは、デバッグ モニタをイネーブルにする必要があります。
16	MON_EN	R/W	0h	デバッグ モニタをイネーブルにします。 イネーブルにすると、システム ハンドラ優先レジスタがその優先レベルを制御します。ディスエーブルの場合、すべてのデバッグ イベントはハードフォルトになります。DHCSR.C_DEBUGEN がこのビットをオーバーライドします。ベクトル キャッチは半同期式です。一致するイベントが検出されると、停止が要求されます。プロセッサは命令境界でしか停止できないため、次の命令境界まで待つ必要があります。その結果、例外ハンドラの最初の命令で停止します。ただし、ベクタ キャッチがトリガされた場合は、次の 2 つの特殊なケースがあります。1.ベクタリング、ベクタ読み取り、またはスタック プッシュ エラーのいずれかでフォルトが発生した場合、対応するフォルト ハンドラでは、ベクタ エラーまたはスタック プッシュに対して停止が発生します。2.ベクタリング中に遅延到着割り込みが発生しても、それは取られません。つまり、遅延到着最適化をサポートする実装では、この場合はそれを抑制する必要があります。
15-11	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
10	VC_HARDERR	R/W	0h	ハード障害のデバッグ トラップ。DHCSR.C_DEBUGEN がクリアされると無視されます。
9	VC_INTERR	R/W	0h	例外エントリまたは戻りシーケンス中に発生した障害のデバッグ トラップ。DHCSR.C_DEBUGEN がクリアされると無視されます。
8	VC_BUSERR	R/W	0h	通常のバス エラーのデバッグ トラップ。DHCSR.C_DEBUGEN がクリアされると無視されます。
7	VC_STATERR	R/W	0h	使用フォルト状態エラーのデバッグ トラップ。DHCSR.C_DEBUGEN がクリアされると無視されます。
6	VC_CHKERR	R/W	0h	使用フォルト イネーブル チェック エラーのデバッグ トラップ。DHCSR.C_DEBUGEN がクリアされると無視されます。
5	VC_NOCPERR	R/W	0h	コプロセッサへの UsageFault アクセスに対するデバッグ トラップ。DHCSR.C_DEBUGEN がクリアされると無視されます。
4	VC_MMERR	R/W	0h	メモリ管理フォルトのデバッグ トラップ。DHCSR.C_DEBUGEN がクリアされると無視されます。
3-1	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	VC_CORERESET	R/W	0h	ベクタ キャッチをリセットします。コアリセットが発生した場合、システムの実行を停止します。DHCSR.C_DEBUGEN がクリアされると無視されます。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.72 STIR レジスタ (オフセット = F00h) [リセット = 00000000h]

図 2-143 に、STIR を示し、表 2-179 に、その説明を示します。

概略表に戻ります。

ソフトウェア トリガ割り込み

図 2-143. STIR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																							INTID								
W-0h																							W-X								

表 2-179. STIR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	W	0h	ソフトウェアは、予約済みの値に依存してはなりません。0 を書き込みます。
8-0	INTID	W	X	割り込み ID フィールド。このビット フィールドに値を書き込むことは、NVIC_ISPR0 または NVIC_ISPR1 の割り込み設定保留レジスタの対応する割り込みビットを設定することにより、割り込みを手動で保留しているのと同じです。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.73 FPCCR レジスタ (オフセット = F34h) [リセット = C0000000h]

図 2-144 に、FPCCR を示し、表 2-180 に、その説明を示します。

概略表に戻ります。

浮動小数点コンテキスト制御
このレジスタは浮動小数点演算ユニットの制御データを保持します。特権ソフトウェアからのみアクセスできます。

図 2-144. FPCCR レジスタ

31	30	29	28	27	26	25	24
ASPEN	LSPEN	予約済み					
R/W-1h	R/W-1h	R/W-0h					
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							MONRDY
R/W-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み	BFRDY	MMRDY	HFRDY	THREAD	予約済み	USER	LSPACT
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 2-180. FPCCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	ASPEN	R/W	1h	自動状態維持イネーブル。 このビットが設定されている場合、浮動小数点命令の実行時に特殊 CONTROL レジスタのビット [2] がセットされ (FPCA)、例外エントリ時に浮動小数点状態が自動的に保持されます。
30	LSPEN	R/W	1h	遅延状態維持イネーブル。 遅延状態維持とは、プロセッサがコンテキスト保存を実行する場合、スタック上の領域は浮動小数点状態用に予約されますが、新しいコンテキストが浮動小数点演算を実行するまでスタックされません。 0:浮動小数点コンテキストの遅延状態の自動保存を無効にします。 1:浮動小数点コンテキストの遅延状態の自動保存をイネーブルにします。
29-9	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
8	MONRDY	R/W	0h	FP スタック フレームが割り当てられたときに実行されているソフトウェアが、DebugMonitor 例外を保留に設定できたかどうかを示します。 0:浮動小数点スタック フレームが割り当てられたときに、DebugMonitor がディスエーブルになっているか、優先度により DEMCR.MON_PEND の設定が許可されませんでした。 1:浮動小数点スタック フレームが割り当てられたときに、DebugMonitor がイネーブルになっており、優先度により DEMCR.MON_PEND の設定が許可されました。
7	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
6	BFRDY	R/W	0h	FP スタック フレームが割り当てられたときに実行されているソフトウェアが、BusFault 例外を保留に設定できたかどうかを示します。 0:浮動小数点スタック フレームが割り当てられたときに、BusFault ハンドラがディスエーブルになっているか、優先度により BusFault ハンドラを保留状態に設定することが許可されませんでした。 1:浮動小数点スタック フレームが割り当てられたときに、BusFault ハンドラがイネーブルになっており、優先度により BusFault ハンドラを保留状態に設定することが許可されました。

Copyright © 2026 Texas Instruments Incorporated

表 2-180. FPCCR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	MMRDY	R/W	0h	FP スタック フレームが割り当てられたときに実行されているソフトウェアが、MemManage 例外を保留に設定できたかどうかを示します。 0:浮動小数点スタック フレームが割り当てられたときに、MemManage ハンドラがディスエーブルになっているか、優先度により MemManage ハンドラを保留状態に設定することが許可されませんでした。 1:浮動小数点スタック フレームが割り当てられたときに、MemManage ハンドラがイネーブルになっており、優先度により MemManage ハンドラを保留状態に設定することが許可されました。
4	HFRDY	R/W	0h	FP スタック フレームが割り当てられたときに実行されているソフトウェアが、HardFault 例外を保留に設定できたかどうかを示します。 0:浮動小数点スタック フレームが割り当てられたときに、優先度により HardFault ハンドラを保留状態に設定することが許可されませんでした。 1:浮動小数点スタック フレームが割り当てられたときに、優先度により HardFault ハンドラを保留状態に設定することが許可されました。
3	THREAD	R/W	0h	FP スタック フレームを割り当てたときのプロセッサ モードが Thread であったことを示します。 0:浮動小数点スタック フレームが割り当てられたとき、モードはスレッド モードではありませんでした。 1:浮動小数点スタック フレームが割り当てられたときのモードは Thread モードでした。
2	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1	USER	R/W	0h	プロセッサが FP スタック フレームを割り当てたときに実行されているソフトウェアの特権レベルが ユーザー (権限なし) であったことを示します。 0:浮動小数点スタック フレームが割り当てられたとき、特権レベルがユーザーではありませんでした。 1:浮動小数点スタック フレームが割り当てられたとき、特権レベルがユーザーでした。
0	LSPACT	R/W	0h	FP の遅延状態保存がアクティブかどうかを示します。 0:遅延状態保存はアクティブではありません。 1:遅延状態の保存がアクティブです。浮動小数点スタック フレームは割り当てられましたが、そのフレームの保存状態は延期されました。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.74 FPCAR レジスタ (オフセット = F38h) [リセット = 00000000h]

図 2-145 に、FPCAR を示し、表 2-181 に、その説明を示します。

概略表に戻ります。

浮動小数点コンテキスト アドレス
このレジスタは、例外スタック フレームに割り当てられた未設定浮動小数点レジスタの空間の位置を維持します。

図 2-145. FPCAR レジスタ

31	30	29	28	27	26	25	24
アドレス							
R/W-0h							
23	22	21	20	19	18	17	16
アドレス							
R/W-0h							
15	14	13	12	11	10	9	8
アドレス							
R/W-0h							
7	6	5	4	3	2	1	0
アドレス						予約済み	
R/W-0h						R/W-0h	

表 2-181. FPCAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	アドレス	R/W	0h	例外スタック フレームに割り当てられた未設定浮動小数点レジスタ空間の (ダブルワード整列) 位置を保持します。
1-0	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.75 FPDSCR レジスタ (オフセット = F3Ch) [リセット = 00000000h]

図 2-146 に、FPDSCR を示し、表 2-182 に、その説明を示します。

概略表に戻ります。

浮動小数点デフォルト ステータス制御
このレジスタは、新しい浮動小数点コンテキストを作成するときにプロセッサが FPSCR に割り当てた浮動小数点ステータス制御データのデフォルト値を保持します。特権ソフトウェアからのみアクセスできます。

図 2-146. FPDSCR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み					AHP	DN	FZ	RMODE		予約済み					
R/W-0h					R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R/W-0h															

表 2-182. FPDSCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-27	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
26	AHP	R/W	0h	代替の半精度ビットのデフォルト値。(このビットが 1 に設定されている場合、代替のハーフ精度形式が選択されます)。
25	DN	R/W	0h	デフォルトの NaN モード ビットのデフォルト値。(このビットが 1 に設定されている場合、1 つまたは複数の NaN に関連する操作は、デフォルトの NaN を返します)。
24	FZ	R/W	0h	Flush-to-Zero モード ビットのデフォルト値。(このビットが 1 に設定されている場合、Flush-to-Zero モードがイネーブル)。
23-22	RMODE	R/W	0h	丸めモード制御フィールドのデフォルト値。(このフィールドのエンコード: 0b00 Round to Nearest (RN) モード 0b01 Round towards Plus Infinity (RP) モード 0b10 Round towards Minus Infinity (RM) モード 0b11 Round towards Zero (RZ) モードです。 指定された丸めモードは、ほとんどすべての浮動小数点命令で使用されます)。
21-0	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.76 MVFR0 レジスタ (オフセット = F40h) [リセット = 10110021h]

図 2-147 に、MVFR0 を示し、表 2-183 に、その説明を示します。

概略表に戻ります。

メディアおよび FP 機能 0
浮動小数点拡張機能によって提供される機能が説明されています。

図 2-147. MVFR0 レジスタ

31	30	29	28	27	26	25	24
FP_ROUNDING_MODES				SHORT_VECTORS			
R-1h				R-0h			
23	22	21	20	19	18	17	16
SQUARE_ROOT				分周			
R-1h				R-1h			
15	14	13	12	11	10	9	8
FP_EXCEPTION_TRAPPING				DOUBLE_PRECISION			
R-0h				R-0h			
7	6	5	4	3	2	1	0
SINGLE_PRECISION				A_SIMD			
R-2h				R-1h			

表 2-183. MVFR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	FP_ROUNDING_MODES	R	1h	FP 浮動小数点ハードウェアでサポートされている丸めモードを示します。このフィールドの値:0b0001 - すべての丸めモードがサポートされています。
27-24	SHORT_VECTORS	R	0h	FP ショート ベクタのハードウェア サポートを示します。このフィールドの値:0b0000 = サポートされていません。
23-20	SQUARE_ROOT	R	1h	FP 平方根演算のハードウェア サポートを示します。このフィールドの値:0b0001 - サポートされています。
19-16	分周	R	1h	FP 除算演算のハードウェア サポートを示します。このフィールドの値:0b0001 - サポートされています。
15-12	FP_EXCEPTION_TRAPPING	R	0h	FP ハードウェア実装が例外トラップをサポートするかどうかを示します。このフィールドの値:0b0000 = サポートされていません。
11-8	DOUBLE_PRECISION	R	0h	FP 倍精度演算のハードウェア サポートを示します。このフィールドの値:0b0000 = サポートされていません。
7-4	SINGLE_PRECISION	R	2h	FP 単精度演算に対するハードウェア サポートを示します。このフィールドの値:0b0010 - サポートされています。
3-0	A_SIMD	R	1h	FP レジスタ バンクのサイズを示します。このフィールドの値:0b0001 = サポート対象、16 x 64 ビット レジスタ。

Copyright © 2026 Texas Instruments Incorporated

2.9.4.77 MVFR1 レジスタ (オフセット = F44h) [リセット = 11000011h]

図 2-148 に、MVFR1 を示し、表 2-184 に、その説明を示します。

概略表に戻ります。

メディアおよび FP 機能 1
浮動小数点拡張機能によって提供される機能が説明されています。

図 2-148. MVFR1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FP_FUSED_MAC				FP_HPFP				予約済み							
R-1h				R-1h				R-0h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								D_NAN_MODE				FTZ_MODE			
R-0h								R-1h				R-1h			

表 2-184. MVFR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	FP_FUSED_MAC	R	1h	FP が融合積和演算をサポートしているかどうかを示します。このフィールドの値:0b0001 - サポートされています。
27-24	FP_HPFP	R	1h	FP が半精度浮動小数点変換演算をサポートしているかどうかを示します。このフィールドの値:0b0001 - サポートされています。
23-8	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。
7-4	D_NAN_MODE	R	1h	FP ハードウェア実装がデフォルトの NaN モードのみをサポートするかどうかを示します。このフィールドの値:0b0001 - ハードウェアは NaN 値の伝播をサポートします。
3-0	FTZ_MODE	R	1h	FP ハードウェア実装が Flush-to-Zero モードの動作のみをサポートするかどうかを示します。このフィールドの値:0b0001 - ハードウェアは完全な非正規化数値演算をサポートしています。

Copyright © 2026 Texas Instruments Incorporated

2.9.5 CPU_TPIU レジスタ

表 2-185 に、CPU_TPIU レジスタのメモリマップ レジスタを示します。表 2-185 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 2-185. CPU_TPIU レジスタ

オフセット	略称	レジスタ名	セクション
0h	SSPSR	サポートされている同期ポート サイズ	SSPSR レジスタ (オフセット = 0h) [リセット = 0000000Bh]
4h	CSPSR	現在の同期ポート サイズ	CSPSR レジスタ (オフセット = 4h) [リセット = 00000001h]
10h	ACPR	非同期クロック プリスケーラ	ACPR レジスタ (オフセット = 10h) [リセット = 00000000h]
F0h	SPPR	選択された Pin プロトコル	SPPR レジスタ (オフセット = F0h) [リセット = 00000001h]
300h	FFSR	フォーマッタおよびフラッシュ ステータス	FFSR レジスタ (オフセット = 300h) [リセット = 00000008h]
304h	FFCR	フォーマッタおよびフラッシュ コントロール	FFCR レジスタ (オフセット = 304h) [リセット = 00000102h]
308h	FSCR	フォーマッタ同期カウンタ	FSCR レジスタ (オフセット = 308h) [リセット = 00000000h]
FA0h	CLAIMMASK	Claim Tag マスク	CLAIMMASK レジスタ (オフセット = FA0h) [リセット = 0000000Fh]
FA0h	CLAIMSET	Claim Tag セット	CLAIMSET (オフセット = FA0h) [リセット = 0000000Fh]
FA4h	CLAIMTAG	現在の Claim Tag	CLAIMTAG レジスタ (オフセット = FA4h) [リセット = 00000000h]
FA4h	CLAIMCLR	Claim Tag のクリア	CLAIMCLR レジスタ (オフセット = FA4h) [リセット = 00000000h]
FC8h	DEVID	デバイス ID	DEVID レジスタ (オフセット = FC8h) [リセット = 00000CA0h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 2-186 に、このセクションでアクセス タイプに使用しているコードを示します。

表 2-186. CPU_TPIU アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

2.9.5.1 SSPSR レジスタ (オフセット = 0h) [リセット = 0000000Bh]

図 2-149 に、SSPSR を示し、表 2-187 に、その説明を示します。

概略表に戻ります。

サポートされている同期ポートサイズ
このレジスタは、デバイスでサポートされている一つのポートサイズ (4、2、1) を表します。これは、接続されている TPA がキャプチャできないポート幅をツールが選択しないようにするためです。

図 2-149. SSPSR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				FOUR	THREE	TWO	ONE
R-0h				R-1h	R-0h	R-1h	R-1h

表 2-187. SSPSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3	FOUR	R	1h	4 ビットのポート サイズをサポート 0x0 : サポートなし 0x1 : 対応
2	THREE	R	0h	3 ビットのポート サイズをサポート 0x0 : サポートなし 0x1 : 対応
1	TWO	R	1h	2 ビットのポート サイズをサポート 0x0 : サポートなし 0x1 : 対応
0	ONE	R	1h	1 ビットのポート サイズをサポート 0x0 : サポートなし 0x1 : 対応

Copyright © 2026 Texas Instruments Incorporated

2.9.5.2 CSPSR レジスタ (オフセット = 4h) [リセット = 00000001h]

図 2-150 に、CSPSR を示し、表 2-188 に、その説明を示します。

概略表に戻ります。

現在の同期ポート サイズ
このレジスタは SSPSR と同じ形式ですが、1 ビットのみを設定でき、その他のすべてのビットは 0 にする必要があります。複数のビットがセットされた値を書き込む場合や、サポートされていると示されていないビットを設定すると、予測不能な動作が発生する可能性があります。リセット時に、このデフォルトは可能な最小ポートサイズである 1 ビットに設定されます。

図 2-150. CSPSR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み				FOUR	THREE	TWO	ONE
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-1h

表 2-188. CSPSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3	FOUR	R/W	0h	4 ビットポートイネーブル CSPSR で複数のビットが設定されている値を書き込むか、SSPSR でサポートされていないビットを設定すると、予期しない動作が発生する可能性があります。
2	THREE	R/W	0h	3 ビット ポート有効 CSPSR で複数のビットが設定されている値を書き込むか、SSPSR でサポートされていないビットを設定すると、予期しない動作が発生する可能性があります。
1	TWO	R/W	0h	2 ビットポートイネーブル CSPSR で複数のビットが設定されている値を書き込むか、SSPSR でサポートされていないビットを設定すると、予期しない動作が発生する可能性があります。
0	ONE	R/W	1h	1 ビット ポート有効 CSPSR で複数のビットが設定されている値を書き込むか、SSPSR でサポートされていないビットを設定すると、予期しない動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.5.3 ACPR レジスタ (オフセット = 10h) [リセット = 00000000h]

図 2-151 に、ACPR を示し、表 2-189 に、その説明を示します。

概略表に戻ります。

非同期クロック プリスケーラ
このレジスタは非同期出力のボーレートをスケーリングします。

図 2-151. ACPR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																			プリスケーラ												
R/W-0h																			R/W-0h											

表 2-189. ACPR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
12-0	プリスケーラ	R/W	0h	入力トレース クロックの除数は (PRESCALER + 1) です。

Copyright © 2026 Texas Instruments Incorporated

2.9.5.4 SPPR レジスタ (オフセット = F0h) [リセット = 00000001h]

図 2-152 に、SPPR を示し、表 2-190 に、その説明を示します。

概略表に戻ります。

選択された Pin プロトコル
このレジスタはトレース出力に使用するプロトコルを選択します。
注記:トレース データが出力されている間にこのレジスタが変更されると、データの破損が発生します。

図 2-152. SPPR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み						プロトコル	
R/W-0h						R/W-1h	

表 2-190. SPPR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1-0	プロトコル	R/W	1h	トレース出力プロトコル 0h = TracePort モード 1h = SerialWire 出力 (Manchester)。これはリセット値です。 2h = SerialWire 出力 (NRZ)

Copyright © 2026 Texas Instruments Incorporated

2.9.5.5 FFSR レジスタ (オフセット = 300h) [リセット = 00000008h]

図 2-153 に、FFSR を示し、表 2-191 に、その説明を示します。

概略表に戻ります。

フォーマッタおよびフラッシュ ステータス

図 2-153. FFSR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				FTNONSTOP	予約済み		
R-0h				R-1h	R-0h		

表 2-191. FFSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
3	FTNONSTOP	R	1h	0:フォーマッタを停止できます。 1:フォーマッタを停止できません
2-0	予約済み	R	0h	このフィールドの読み取り値は常に 0 です

Copyright © 2026 Texas Instruments Incorporated

2.9.5.6 FFCR レジスタ (オフセット = 304h) [リセット = 00000102h]

図 2-154 に、FFCR を示し、表 2-192 に、その説明を示します。

概略表に戻ります。

フォーマッタとフラッシュ制御
2 つのシングルワイヤ出力 (SWO) モードのいずれかを選択すると、ENFCONT はフォーマッタをバイパスできるようにします。フォーマッタがバイパスされると、ATDATA2/DWT トレースソース (ITM) のみがパススルーします。TPIU は、ETM ポート (ATDATA1) に表示されるデータを受け入れ、破棄します。この関数は、シリアルワイヤ出力 (SWO) データのみをキャプチャできるトレース キャプチャ デバイスに、ETM を含むデバイスを接続する必要がある場合に使用することを意図しています。フォーマッタを有効または無効にすると、一時的なデータ破損が発生します。
注記：選択されたピンプロトコル レジスタ (SPPR.PROTOCOL) が 0x00 (TracePort モード) に設定されている場合、フォーマッタが自動的に有効となるため、このレジスタは常に 0x102 となります。シリアル ワイヤモードのいずれかを選択すると、レジスタは以前にプログラムされた値に戻ります。

図 2-154. FFCR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							TRIGIN
R/W-0h							R/W-1h
7	6	5	4	3	2	1	0
予約済み						ENFCONT	予約済み
R/W-0h						R/W-1h	R/W-0h

表 2-192. FFCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
8	TRIGIN	R/W	1h	トリガ ピンがアサートされたときにトリガが挿入されることを示します。
7-2	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1	ENFCONT	R/W	1h	連続フォーマットの有効化: 0：連続フォーマットの無効化 1：連続フォーマットが有効になっています
0	予約済み	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。RESET 値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

2.9.5.7 FSCR レジスタ (オフセット = 308h) [リセット = 00000000h]

図 2-155 に、FSCR を示し、表 2-193 に、その説明を示します。

概略表に戻ります。

フォーマッタ同期カウンタ

図 2-155. FSCR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSCR																															
R-0h																															

表 2-193. FSCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSCR	R	0h	グローバル同期トリガは、プログラム カウンタ (PC) サンプラー ブロックによって生成されます。これは、TPIU に同期カウンタがないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

2.9.5.8 CLAIMMASK レジスタ (オフセット = FA0h) [リセット = 0000000Fh]

CLAIMMASK は、図 2-156 と表 2-194 に示されています。

概略表に戻ります。

Claim Tag マスク

図 2-156. CLAIMMASK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLAIMMASK																															
R-Fh																															

表 2-194. CLAIMMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CLAIMMASK	R	Fh	このレジスタは、Claim Tag 値の半分を形成します。このレジスタを読み出すと、設定可能なビット数が返されます (各ビットは個別に見なされます)。 0:このクレーム タグ ビットは実装されていません 1:この Claim Tag ビットは、このレジスタに書き込むときの動作を実装されています。 これについては、CLAIMSET を参照してください。

Copyright © 2026 Texas Instruments Incorporated

2.9.5.9 CLAIMSET (オフセット = FA0h) [リセット = 0000000Fh]

図 2-157 に、CLAIMSET を示し、表 2-195 に、その説明を示します。

概略表に戻ります。

Claim Tag セット

図 2-157. CLAIMSET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLAIMSET																															
W-Fh																															

表 2-195. CLAIMSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CLAIMSET	W	Fh	このレジスタは、Claim Tag 値の半分を形成します。この位置に書き込むと、個別のビットをセットできます (各ビットは別々と見なされます): 0:影響なし 1:CLAIMMASK でこのビットを設定する この位置から読み取るときの動作については、CLAIMMASK で説明します。

Copyright © 2026 Texas Instruments Incorporated

2.9.5.10 CLAIMTAG レジスタ (オフセット = FA4h) [リセット = 00000000h]

図 2-158 に、CLAIMTAG を示し、表 2-196 に、その説明を示します。

概略表に戻ります。

現在の Claim Tag

図 2-158. CLAIMTAG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLAIMTAG																															
R-0h																															

表 2-196. CLAIMTAG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CLAIMTAG	R	0h	このレジスタは、Claim Tag の半分を形成します。このレジスタを読み取ると、現在の Claim Tag 値が返されます。 CLAIMMASK を読み出すと、このレジスタのビット数が決まります。 このレジスタに書き込む際の動作は、CLAIMCLR に記載されています。

Copyright © 2026 Texas Instruments Incorporated

2.9.5.11 CLAIMCLR レジスタ (オフセット = FA4h) [リセット = 00000000h]

図 2-159 に、CLAIMCLR を示し、表 2-197 に、その説明を示します。

概略表に戻ります。

Claim Tag のクリア

図 2-159. CLAIMCLR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CLAIMCLR																															
W-0h																															

表 2-197. CLAIMCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CLAIMCLR	W	0h	このレジスタは、Claim Tag の半分を形成します。この位置に書き込むと、個別のビットをクリアできます (各ビットは別々と見なされます): 0:影響なし 1:Claim Tag のこのビットをクリアします。 この場所から読み取るときの動作については、CLAIMTAG を参照してください。

Copyright © 2026 Texas Instruments Incorporated

2.9.5.12 DEVID レジスタ (オフセット = FC8h) [リセット = 00000CA0h]

図 2-160 に、DEVID を示し、表 2-198 に、その説明を示します。

概略表に戻ります。

デバイス ID

図 2-160. DEVID レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEVID																															
R-CA0h																															

表 2-198. DEVID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEVID	R	CA0h	このフィールドは次の値を返します:ETM が存在する場合は 0xCA1。 ETM が存在しない場合は 0xCA0。

Copyright © 2026 Texas Instruments Incorporated

3.1 メモリ マップ

表 3-1. メモリ マップ

モジュール	モジュール名	ベース アドレス
FLASHMEM	フラッシュ メモリのプログラム	0x0000 0000
SRAM	静的 RAM	0x2000 0000
RFC_RAM	RF コア無線 RAM	0x2100 0000
RFC_ULLRAM	RF コア コマンドおよびパケット エンジン RAM	0x2100 4000
SSI0	同期式シリアル インターフェイス (SSI) 0	0x4000 0000
UART0	汎用非同期レシーバ およびトランスミッタ (UART) 0	0x4000 1000
I2C0	Inter-Integrated Circuit (I^2C) 0	0x4000 2000
SSI1	同期式シリアル インターフェイス (SSI) 1	0x4000 8000
UART1	汎用非同期レシーバ およびトランスミッタ (UART) 1	0x4000 B000
GPT0	汎用タイマ 0	0x4001 0000
GPT1	汎用タイマ 1	0x4001 1000
GPT2	汎用タイマ 2	0x4001 2000
GPT3	汎用タイマ 3	0x4001 3000
UDMA0	マイクロ ダイレクト メモリ アクセス (µDMA)	0x4002 0000
I2S0	Inter-IC Sound (I^2S) 0	0x4002 1000
GPIO	汎用 I/O	0x4002 2000
CRYPTO	暗号化エンジン	0x4002 4000
PKA	公開鍵の取得	0x4002 5000
PKA_RAM	公開鍵アクセラレーション RAM	0x4002 6000
PKA_INT	公開鍵アクセラレーション オプション	0x4002 7000
TRNG	真の乱数ジェネレータ	0x4002 8000
フラッシュ	フラッシュ サブシステム コントローラ	0x4003 0000
VIMS	多用途命令メモリ システム	0x4003 4000
SRAM_MMR	SRAM レジスタ	0x4003 5000
RFC_PWR	RF コア無線パワー コントローラ	0x4004 0000
RFC_DBELL	RF コア無線ドアベル	0x4004 1000
RFC_RAT	RF コア無線タイマ	0x4004 3000
WDT	ウォッチドッグ タイマ	0x4008 0000
IOC	I/O コントローラ	0x4008 1000
PRCM	電源、クロック、リセット管理	0x4008 2000
EVENT	イベント ファブリック	0x4008 3000
SMPH	システム CPU セマフォ	0x4008 4000
AON_PMCTL	AON パワー マネージメント コントローラ	0x4009 0000

Copyright © 2026 Texas Instruments Incorporated

表 3-1. メモリ マップ (続き)

モジュール	モジュール名	ベース アドレス
AON_RTC	AON リアルタイム クロック	0x4009 2000
AON_EVENT	AON イベント ファブリック	0x4009 3000
AON_IOC	AON I/O コントローラ	0x4009 4000
AON_BATMON	AON バッテリ モニタおよび温度センサ	0x4009 5000
AUX_SPIM	AUX ドメイン SPI マスタ	0x400C 1000
AUX_MAC	センサ コントローラ演算アクセラレータ	0x400C 2000
AUX_TIMER2	AUX ドメイン タイマ 2	0x400C 3000
AUX_TDC	AUX ドメイン時間デジタル コンバータ	0x400C 4000
AUX_EVCTL	AUX ドメイン イベント コントローラ	0x400C 5000
AUX_SYSIF	AUX ドメイン システム インターフェイス	0x400C 6000
AUX_TIMER01	AUX ドメイン タイマ 1	0x400C 7000
AUX_SMPH	AUX ドメイン セマフォ	0x400C 8000
AUX_ANAIF	AUX ドメイン アナログ インターフェイス	0x400C 9000
AUX_DDI0_OSC	AUX ドメイン クロック コントロール	0x400C A000
AUX_ADI4	AUX ドメイン アナログ デジタル インターフェイス マスタ	0x400C B000
AUX_AIODIO0	AUX ドメイン アナログ デジタル I/O 0	0x400C C000
AUX_AIODIO1	AUX ドメイン アナログ デジタル I/O 1	0x400C D000
AUX_AIODIO2	AUX ドメイン アナログ デジタル I/O 2	0x400C E000
AUX_AIODIO3	AUX ドメイン アナログ デジタル I/O 3	0x400C F000
AUX_RAM	センサ コントローラ AUX RAM	0x400E 0000
AUX_SCE	センサ コントローラ エンジン	0x400E 1000
FCFG1	工場出荷時構成	0x5000 1000
CCFG	カスタマ構成	0x5000 3000
CPU_ITM	コア計測トレース マクロセル	0xE000 0000
CPU_DWT	コア データ ウォッチポイントおよびトレース	0xE000 1000
CPU_FPB	コア フラッシュ パッチおよびブレークポイント	0xE000 2000
CPU_SCS	コア システム コントロール スペース	0xE000 E000
CPU_TPIU	コア トレース ポート インターフェイス ユニット	0xE004 0000

Copyright © 2026 Texas Instruments Incorporated

Chapter 4

Arm® Cortex®-M4F ペリフェラル

この章では、Arm®Cortex®-M4F のペリフェラルについて説明します。

4.1 Arm® Cortex®-M4F ペリフェラルの概要 322
4.2 機能説明 322

Copyright © 2026 Texas Instruments Incorporated

4.1 Arm® Cortex®-M4F ペリフェラルの概要

この章では、Arm®Cortex®-M4F プロセッサ ペリフェラルの CC13x2 および CC26x2 デバイス プラットフォーム実装に関する情報を提供します。

- システム タイマ (SysTick) (セクション 4.2.1 を参照):柔軟な制御機能によって、シンプルな 24 ビットのクリアオンライト、デクリメント、ラップ オン ゼロ カウンタを提供します。
- ネスト型ベクタ割り込みコントローラ (NVIC) (セクション 4.2.2 を参照):
  - 低レイテンシの例外処理と割り込み処理を容易にする
  - システム コントローラと連携して (Chapter 7 を参照)、電源管理を制御する
  - システム コントロール レジスタを実装する
- Arm® Cortex®-M4F システム コントロール ブロック (SCB) (セクション 4.2.3 を参照):システムの実装情報とシステムの制御を提供します。システム例外の構成、制御、レポートなどが含まれます。

表 4-1 に、プライベート ペリフェラル バス (PPB) のアドレス マップを示します。一部のペリフェラル レジスタ領域は、2 つのアドレスが記載されているように、2 つのアドレス領域に分割されています。

表 4-1. コア ペリフェラル レジスタ領域

アドレス	コア ペリフェラル	リンク
0xE000 E010～0xE000 E01C	システム タイマ (SysTick)	セクション 4.2.1 を参照
0xE000 E100 ～ 0xE000 E420 0xE000 EF00 ～ 0xE000 EF00	ネスト型ベクタ割り込みコントローラ (NVIC)	セクション 4.2.2 を参照
0xE000 E008 ～ 0xE000 E00F 0xE000 ED00 ～ 0xE000 ED3F	システム コントロール ブロック (SCB)	セクション 4.2.3 を参照
0xE000 1000～0xE000 1FFC	データ ウォッチポイントおよびトレース (DWT)	セクション 4.2.7 を参照
0xE000 2000～0xE000 2FFC	フラッシュ パッチおよびブレークポイント (FPB)	セクション 4.2.5 を参照
0xE000 0000～0xE000 0FFC	計測用トレース マクロセル (ITM)	セクション 4.2.4 を参照
0xE00F F000～0xE00F FFFC	ROM テーブル	
0xE004 0000～0xE004 0FFC	トレース ポート インターフェイス ユニット (TPIU)	セクション 4.2.6 を参照
0xE00F EFF8～0xE00F EFFC	TIPROP	

4.2 機能説明

この章では、Arm® Cortex®-M4F プロセッサ ペリフェラルの CC13x2 および CC26x2 デバイス プラットフォームの実装について説明します:

- システム タイマ (SysTick)
- ネスト型ベクタ割り込みコントローラ (NVIC)
- システム コントロール ブロック (SCB)
- データ ウォッチポイントおよびトレース (DWT)
- フラッシュ パッチおよびブレークポイント (FPB)
- 計測用トレース マクロセル (ITM)
- トレース ポート インターフェイス (TPIU)

Copyright © 2026 Texas Instruments Incorporated

4.2.1 SysTick

Arm® Cortex®-M4F プロセッサには統合システムタイマ SysTick が含まれており、これはシンプルな 24 ビットのカウントダウン型カウンタで、書き込み時クリア、ゼロ到達時ラップアラウンド動作を備え、柔軟な制御機構を備えています。このカウンタは、いくつかの異なる方法で使用することができます。たとえば、カウンタは次のようになります。

- プログラム可能なレート (例えば 100Hz) で動作し、SysTick ルーチンを呼び出す RTOS 用のティック タイマ
- システム クロックを使用した高速アラーム タイマ
- 可変レートのアラームまたは信号タイマであり、持続時間はリファレンス クロックとカウンタのダイナミック レンジに依存する範囲で決定されます。
- 完了までの時間と使用時間を測定するために使用される単純なカウンタ
- 欠落または所定時間の達成に基づく内部クロック ソース制御であり、制御およびステータス レジスタ (STCSR) の COUNTFLAG ビットを用いて、動的クロック管理制御ループの一部として、所定時間内に処理が完了したかどうかを判定することができます

タイマは三つのレジスタで構成されます:

- SysTick 制御およびステータス レジスタ (STCSR): 制御およびステータス カウンタは、自身のクロックの設定、カウンタのイネーブル、SysTick 割り込みのイネーブル、カウンタ ステータスの判定を行うためのものです (セクション 2.9.4 を参照)
- SysTick リロード値レジスタ (STRVR): カウンタの折り返し値を提供するために使用されるカウンタのリロード値 (セクション 2.9.4 を参照)
- SysTick 電流値レジスタ (STCVR): カウンタの現在の値 (セクション 2.9.4 を参照)

有効化されると、このタイマはリロード値から 0 までクロックごとにカウントダウンし、次のクロック エッジで STRVR レジスタの値にラップしてリロードされ、その後のクロックで再び減算を継続します。STRVR レジスタをクリアすると、次のラップ時にカウンタが無効化されます。カウンタが 0 に達すると、COUNTFLAG ステータス ビットがセットされます。読み取り時に COUNTFLAG ビットはクリアされます。

STCVR レジスタに書き込むと、レジスタと COUNTFLAG ステータス ビットがクリアされます。この書き込みでは、SysTick 例外ロジックはトリガされません。読み取り時には、現在値はレジスタがアクセスされた時点での値となります。

SysTick カウンタは、システム クロックで動作します。このクロック信号が低消費電力モードで停止すると、SysTick カウンタは停止します。ソフトウェアが SysTick レジスタへアクセスする際は、必ず整列されたワード アクセスを使用するようにします。

注

プロセッサがデバッグのために停止しても、カウンタはデクリメントしません。

4.2.2 NVIC

このセクションでは、NVIC と NVIC が使用するレジスタについて説明します。NVIC は以下をサポートしています:

- 34 本の割り込みライン
- 各割り込みには、0 ～ 7 の範囲でプログラム可能な優先度レベルがあります。レベルが高いほど優先度は低くなり、0 が最も優先度の高い割り込みになります。
- 短いレイテンシでの例外処理と割り込み処理
- 割り込み信号のレベルとパルス検出
- 割り込みの動的優先度設定
- グループ優先度とサブ優先度フィールドにより優先度をグループ化
- 割り込みテール チェーン
- 外部ノンマスカブル割り込み (NMI)

プロセッサは、例外発生時に自動的にプロセッサの状態をスタックし、例外終了時にこの状態をスタック解除します。命令のオーバーヘッドはなく、短いレイテンシの例外処理を実現します。

Copyright © 2026 Texas Instruments Incorporated

4.2.2.1 レベルセンシティブ割り込みおよびパルス割り込み

プロセッサは、レベルセンシティブ割り込みとパルス割り込みの両方をサポートしています。パルス割り込みは、エッジトリガ割り込みとも呼ばれます。レベルセンシティブ割り込みは、ペリフェラルが割り込み信号をデアサートするまでアサートされたまま保持されます。CC13x2 および CC26x2 デバイス プラットフォーム デバイスの割り込みソースは通常、レベル型です。つまり、ペリフェラルで割り込みソースがクリアされるまで、割り込みはアクティブのままです。通常、これは、割り込みサービス ルーチン (ISR) がペリフェラルにアクセスし、割り込み要求をクリアされることで発生します。NVIC が割り込みを確実に検出できるようにするには、ペリフェラルは割り込み信号を少なくとも 1 クロック サイクル以上アサートする必要があります。

プロセッサが ISR に入ると、割り込みから保留状態が自動的に削除されます (セクション 4.2.2.2 を参照)。レベルセンシティブ割り込みでは、プロセッサが ISR から戻る前に割り込み信号がデアサートされていない場合、割り込みは再度保留状態となり、プロセッサは ISR を再実行する必要があります。その結果、ペリフェラルは、サービスが不要になるまで割り込み信号をアサート状態に保持できます。

4.2.2.2 割り込みのハードウェア制御およびソフトウェア制御

Arm® Cortex®-M4F プロセッサはすべての割り込みをラッチします。ペリフェラル割り込みは、次のいずれかの理由で保留状態になります。

- NVIC が、割り込み信号がアサートされており、割り込みがアクティブでないことを検出した場合。
- NVIC が割り込み信号の立ち上がりエッジを検出した場合。
- ソフトウェアが、対応する割り込みセット保留レジスタ ビット、または Software Trigger Interrupt Register (STIR) に書き込み、ソフトウェア生成割り込みを保留状態にした場合 (セクション 2.9.4 の NVIC_ISPR0 SETPENDn レジスタ ビットまたは STIR INTID レジスタ フィールドを参照)。

保留中の割り込みは、次のいずれかが発生するまで保留状態のままです。

- プロセッサがその割り込みの ISR に入り、割り込みの状態が保留からアクティブに変わった場合。その後:
  - レベル センシティブ割り込みでは、プロセッサが ISR から戻ると、NVIC が割り込み信号をサンプリングします。信号がアサートされている場合、割り込みの状態は保留に変わり、プロセッサが直ちに ISR に再エントリする可能性があります。それ以外の場合、割り込みの状態は非アクティブに変わります。
  - パルス割り込みでは、NVIC は割り込み信号の監視を継続し、この信号がパルスされると、割り込みの状態は保留およびアクティブに変わります。この場合、プロセッサが ISR から戻ると、割り込みの状態は保留に変わり、プロセッサが直ちに ISR に再エントリする可能性があります。プロセッサが ISR 内にいる間に割り込み信号がパルスされない場合、プロセッサが ISR から戻ると、割り込みの状態は非アクティブに変わります。
- ソフトウェアが対応する割り込みクリア保留レジスタ ビットに書き込んだ場合:
  - レベル センシティブ割り込みでは、割り込み信号がまだアサートされている場合、割り込みの状態は変わりません。それ以外の場合、割り込みの状態は非アクティブに変わります。
  - パルス割り込みでは、状態が保留だった場合は非アクティブに変わり、状態がアクティブかつ保留だった場合はアクティブに変わります。

4.2.3 SCB

SCB は、システム例外の構成、制御、レポートを含め、システム実装情報とシステム制御を提供します。

Copyright © 2026 Texas Instruments Incorporated

4.2.4 ITM

ITM はアプリケーションによって駆動されるトレース ソースであり、printf() 形式のデバッグによってオペレーティング システムおよびアプリケーションのイベントをトレースできるほか、システム診断情報を生成します。ITM は、トレース情報をパケットとして生成します。複数の送信元が同時にパケットを生成する場合、ITM はパケットが出力される順序を調停します。優先順位の低いこれらのソースは、次のとおりです。

- **ソフトウェア トレース:**ソフトウェアは、ITM のスティミュラス レジスタに直接書き込むことで、パケットを生成できます。
- **ハードウェア トレース:**DWT はこれらのパケットを生成し、ITM はパケットを出力します。
- **タイム スタンプ:**タイムスタンプはパケットを基準に生成されます。ITM には、タイムスタンプを生成するための 21 ビット カウンタが搭載されています。Arm® Cortex®-M4F のクロックまたはシリアル ワイヤ ビューア (SWV) 出力のビット クロック レートがカウンタにクロックを供給します。

注

ITM レジスタは、特権モードで完全にアクセスできます。ユーザー モードでは、すべてのレジスタを読み取ることができますが、書き込み可能なのはスティミュラス レジスタおよびトレース イネーブル レジスタのみであり、かつ対応するトレース特権レジスタのビットが設定されている場合に限られます。ITM レジスタへの無効なユーザー モード書き込みは破棄されます。

4.2.5 FPB

FPB はハードウェア ブレークポイント機能を実装しており、コード空間からシステム空間へコードおよびデータのパッチ適用を行います。

フル FPB ユニットには次のものが含まれます。

- 二つのリテラル コンパレータは、コード空間からのリテラル ロードを照合し、一致した場合は対応するシステム空間の領域へ再配置します。
- 六つの命令コンパレータにより、コード空間からの命令フェッチとマッチングさせ、システム空間内の対応する領域に再配置します。あるいは、ハードウェア ブレークポイント機能を確保するために、コンパレータを個別に構成し、ブレークポイント (BKPT) 命令をプロセッサ コアに返すこともできます。

縮小版の FPB ユニットには、次のものが含まれます。

- 二個の命令コンパレータは各コンパレータは個別に設定でき、一致が検出された際にプロセッサへ BKPT 命令を返して、ハードウェアブレークポイント機能を提供します

FPB には、グローバル イネーブルと、八個のコンパレータそれぞれに対する個別イネーブルが含まれています。エントリの比較が一致する場合、アドレスは次のいずれかです。

- 一致したコンパレータに対応するオフセットを、リマップ レジスタに設定されたアドレスへ加えたアドレスに再配置されます

  または
- 機能が有効な場合は、BKPT 命令へ再配置されます

比較は動的に行われますが、その比較結果が得られるのは、元の命令フェッチまたはリテラル ロードがコード空間から実行されるのを阻止するには遅すぎるタイミングです。ただし、プロセッサはこのトランザクションを無視し、再配置されたトランザクションのみを使用します。

FPB がサポートするブレークポイント数が二個のみの場合は、コンパレータ 0 と 1 だけが使用され、FPB はフラッシュパッチ機能をサポートしません。

4.2.6 TPIU

Arm® Cortex®-M4F TPIU は、組込みトレース マクロ セル (ETM) からのオンチップ トレース データと、個別の ID を持つ計測トレース マクロ セル (ITM) と、データ ストリーム間のブリッジとして機能します。TPIU は必要に応じて ID を付加してデータをカプセル化し、その後、データ ストリームはトレース ポート アナライザ (TPA) によって取り込まれます。

Copyright © 2026 Texas Instruments Incorporated

TPIU には、以下の二つの種類があります。

- ITM デバッグ トレースをサポートする構成
- ITM と ETM の両方のデバッグ トレースをサポートする構成

Copyright © 2026 Texas Instruments Incorporated

4.2.7 DWT

DWT は、プロセッサのウォッチポイント、データ トレース、およびシステム プロファイリングを提供します。フル DWT には四つのコンパレータが含まれており、次のいずれかに構成できます。

- ハードウェア ウォッチポイント
- ETM トリガ
- PC サンプラ イベント トリガ
- データ アドレス サンプラ イベント トリガ

最初のコンパレータ DWT_COMP0 は、クロック サイクルカウンタ CYCCNT と比較することもできます。二番目のコンパレータ DWT_COMP1 はデータ コンパレータとして使用できます。

縮小 DWT には、ウォッチポイントまたはトリガとして使用できるコンパレータが一つ含まれています。縮小 DWT では、データ マッチングはサポートされません。

DWT には、次のカウンタが含まれています。

- クロック サイクル (CYCCNT)
- 折りたたみ式の指示
- ロード ストア ユニット (LSU) 操作
- スリープ サイクル
- CPI (つまり、最初のサイクルを除くすべての命令サイクル)
- 割り込みオーバーヘッド

DWT は、定義された間隔で PC サンプルと割り込みイベント情報を生成します。DWT は、ITM および TPIU へのプロトコル同期要求を定期的に提供することもできます。

Copyright © 2026 Texas Instruments Incorporated

Chapter 5

割り込みとイベント

この章では、CC13x2 および CC26x2 デバイス プラットフォームの割り込みとイベントについて説明します。

5.1 例外モデル 329
5.2 フォルト処理 336
5.3 イベント ファブリック 338
5.4 AON イベント ファブリック 340
5.5 マイコン イベント ファブリック 341
5.6 AON イベント 346
5.7 割り込みおよびイベント レジスタ 347

Copyright © 2026 Texas Instruments Incorporated

5.1 例外モデル

Arm®Cortex®-M4F プロセッサとネスト型ベクタ割り込みコントローラ (NVIC) は、すべての例外に優先順位を付け、ハンドラ モードで処理します。例外発生時にプロセッサの状態がスタックに自動的に格納され、割り込みサービス ルーチン (ISR) の終了時にスタックから自動的に復元されます。状態の保存と並行してベクタがフェッチされるため、効率的な割り込みエントリが可能になります。プロセッサはテール チェーンをサポートしており、状態の保存と復元のオーバーヘッドなしで連続する割り込みを実行できます。

すべての例外タイプを表 5-1 に示します。ソフトウェアでは、これらの例外のうち 7 つ (システム ハンドラ) と、CC13x2 および CC26x2 デバイス プラットフォームの割り込み (表 5-7 に記載) に対して、8 つの優先度レベルを設定できます。

システム ハンドラの優先度は、NVIC System Handler Priority n レジスタ (セクション 2.9.4 の CPU_SCS:SHPRn) で設定します。割り込みは、NVIC Interrupt Set Enable n レジスタ (セクション 2.9.4 の CPU_SCS:NVIC_ISERn) で有効化し、NVIC Interrupt Priority n レジスタ (セクション 2.9.4 の CPU_SCS:NVIC_IPRn) で優先順位を設定します。優先度レベルをプリエンプション優先度とサブ優先度に分割することで、優先度をグループ化できます。すべての割り込みレジスタについては、セクション 4.2.2 で説明しています。

内部的には、ユーザーがプログラム可能な最高優先度 (0) は、リセット、ハード フォルトに続く 3 番目の優先度として扱われます。

注

すべてのプログラム可能な優先度のデフォルト優先度は 0 です。

注意

割り込みソースをクリアするための書き込み後、書き込みバッファにより、NVIC が割り込みソースのディアサートを検出するまでに数プロセッサ サイクルかかる場合があります。したがって、割り込みハンドラの最後のアクションとして割り込みクリアを実行すると、NVIC が割り込みをまだアサートされているものとして検出している間に割り込みハンドラが完了し、割り込みハンドラに誤って再エントリする可能性があります。この状況は、割り込みハンドラの開始時に割り込みソースをクリアするか、割り込みソースをクリアする書き込み後に同じアドレスから読み出しを実行する (加えて、書き込みバッファをフラッシュする) ことで回避できます。

例外および割り込みの詳細については、セクション 4.2.2 を参照してください。

5.1.1 例外状態

各例外は次の状態のいずれかで動作します:

- **非アクティブ:** 例外はアクティブでなく、保留中ではありません。
- **保留:** 例外はプロセッサの処理を待機します。ペリフェラルまたはソフトウェアからの割り込みリクエストによって、対応する割り込みの状態を保留中に変更できます。
- **アクティブ:** プロセッサが例外を処理中ですが、完了していません。例外ハンドラは別の例外ハンドラの実行を中断することができます。この場合、両方の例外がアクティブ状態になります。
- **アクティブおよび保留:** プロセッサが例外を処理中で、同じソースからの保留中の例外があります。

Copyright © 2026 Texas Instruments Incorporated

5.1.2 例外タイプ

例外タイプは以下のとおりです。

- **リセット:** リセットは、パワーアップ時またはウォーム リセット時に起動されます。例外モデルは、リセットを例外の特別な形式として扱います。リセットがアサートされると、プロセッサの動作が停止します (命令内の任意の時点で動作する可能性があります)。リセットがデアサートされると、ベクタ テーブルのリセット エントリで指定されたアドレスから実行が再開されます。スレッド モードで特権実行として実行が再開されます。
- **ハード フォールト:** ハード フォールトは、例外処理中のエラー、または例外を他の例外メカニズムで管理できないために発生する例外です。ハード フォールトの優先度は固定の「-1」であり、これは、優先度を設定可能なあらゆる例外よりも優先度が高いことを意味します。
- **バス フォルト:** バス フォルトは、プリフェッチ フォルトやメモリ アクセス フォルトなどの命令またはデータ メモリ トランザクションにおけるメモリ関連のフォルトが原因で発生する例外です。このフォルトは、有効化または無効化できます。
- **使用フォルト:** 使用フォルトは、次のような命令の実行に関連するフォルトが原因で発生する例外です。
  - 未定義命令
  - 不正な非整列アクセス
  - 命令実行の無効状態
  - 例外が返されたときのエラー

  ワードまたはハーフ ワード メモリ アクセスに非整列アドレスまたは 0 除算があると、コアが適切に構成されている場合に使用フォルトが発生する可能性があります。
- **SVCall:** スーパーバイザ コール (SVC) は、SVC 命令によってトリガされる例外です。OS 環境では、アプリケーションは SVC 命令を使用して OS カーネル機能とデバイス ドライバにアクセスできます。
- **デバッグ モニタ:** この例外は、デバッグ モニタが原因です (停止しない場合)。この例外は、有効化されている場合にのみアクティブになります。この例外は、現在のアクティブ化よりも優先度が低い場合は起動しません。
- **PendSV:** PendSV は、ペンディング可能かつ割り込み駆動型のシステムレベルのサービス要求です。OS 環境では、他の例外がアクティブでない場合は、PendSV をコンテキスト スイッチングに使用します。PendSV は、割り込み制御と状態レジスタ CPU_SCS:ICSR を使用してトリガされます。
- **SysTick:** SysTick 例外は、システム タイマが 0 に達し、割り込みを生成するために有効になったときにシステム タイマによって生成されます。ソフトウェアは、割り込み制御および状態レジスタ CPU_SCS:ICSR を使用して SysTick 例外を生成することもできます。OS 環境では、プロセッサはこの例外をシステム ティックとして使用できます。
- **割り込み (IRQ):** 割り込み (IRQ) は、ペリフェラルによって通知される例外、またはソフトウェア要求によって生成される例外で、NVIC (優先度設定) 経由で供給されます。すべての割り込みは命令実行に非同期です。システム内で、ペリフェラルは割り込みを使用してプロセッサと通信します。表 5-7 に、CC13x2 および CC26x2 デバイス プラットフォームのコントローラの割り込みを示します。

リセット以外の非同期例外の場合、プロセッサは例外がトリガされた時点からプロセッサが例外ハンドラに入るまでの間に別の命令を実行することができます。

特権ソフトウェアは、表 5-1 で優先度の構成が可能であると示されている例外を無効化することができます (セクション 2.9.4 の CPU_SCS:SHCSR レジスタおよび CPU_SCS:NVIC_ICER0 レジスタを参照)。

Copyright © 2026 Texas Instruments Incorporated

ハード フォールト、バス フォルト、および使用フォルトの詳細については、セクション 5.2 を参照してください。

表 5-1. 例外タイプ

例外タイプ	ベクタ番号	優先度(1)	ベクタ アドレスまたはオフセット(2)	アクティブ化
—	0	—	0x0000 0000	スタック トップは、リセット時にベクタ テーブルの最初のエントリからロードされます。
リセット	1	-3 (最高)	0x0000 0004	非同期
—	—	—	—	—
ハード フォールト	3	-1	0x0000 000C	—
バス フォルト	5	プログラム可能(3)	0x0000 0014	正確な場合は同期、不正確な場合は非同期
使用フォルト	6	プログラム可能	0x0000 0018	同期
—	7～10	—	—	予約済み
SVCall	11	プログラム可能	0x0000 002C	同期
デバッグ モニタ	12	プログラム可能	0x0000 0030	同期
—	13	—	—	予約済み
PendSV	14	プログラム可能	0x0000 0038	非同期
SysTick	15	プログラム可能	0x0000 003C	非同期
割り込み	16 以上	プログラム可能(4)	0x0000 0040 以上	非同期

(1) 0 は、すべてのプログラマブル優先度のデフォルト優先度です。
(2) セクション 5.1.4 を参照してください。
(3) セクション 2.9.4 の CPU_SCS:SHPR 1 を参照してください。
(4) セクション 2.9.4 の IPRn レジスタを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.1.3 例外ハンドラ

プロセッサは、以下の方法を使用して例外を処理します。

- **割り込みサービス ルーチン (ISR):** 割り込み (IRQx) は、ISR で処理される例外です。
- **故障ハンドラ:** ハード フォルト、、使用故障、およびバス故障は、フォルト ハンドラによって処理される故障例外です。
- **システム ハンドラ:** PendSV、SVCall、SysTick、および故障例外は、すべてシステム ハンドラで処理されるシステム例外です。

5.1.4 ベクタ テーブル

図 5-1 にはスタック ポインタのリセット値と、すべての例外ハンドラの開始アドレス (例外ベクタとも呼ばれる) が格納されています。ベクタ テーブルは、表 5-1 に示すベクタ アドレスまたはオフセットを使用して構築されます。図 5-1 に、ベクタ テーブル内の例外ベクトルの順序を示します。各ベクトルの最下位ビット (LSB) は 1 でなければならず、例外ハンドラが Thumb コードであることを示します。

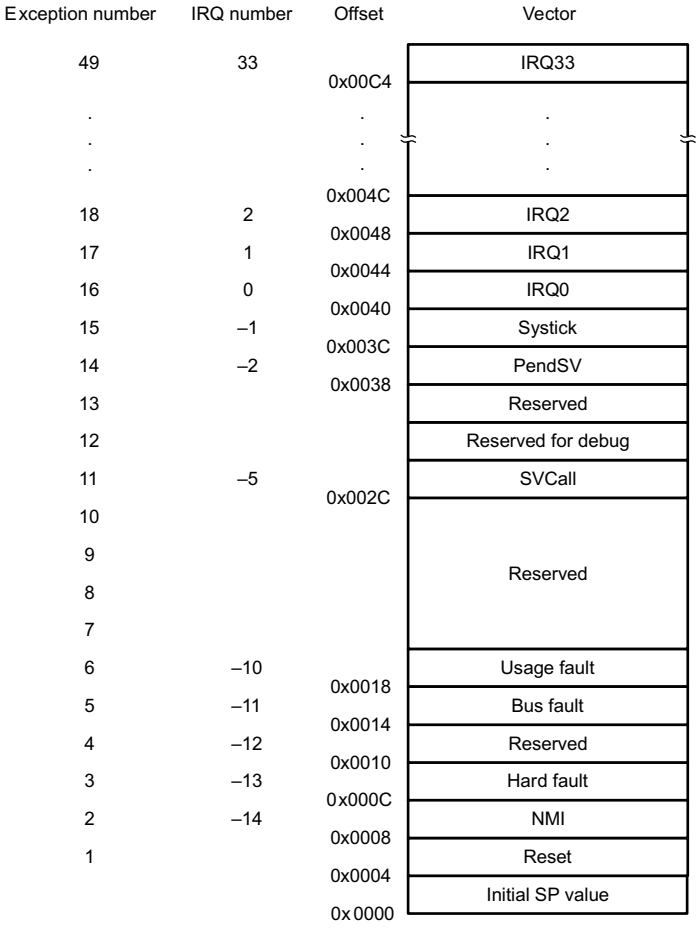


図 5-1. ベクタ テーブル

システム リセット時には、ベクタ テーブルはアドレス 0x0000 0000 に固定されています。特権ソフトウェアは、ベクタ テーブル オフセット レジスタ (CPU_SCS:VTOR) に書き込むことによって、ベクタ テーブルの開始アドレスを 0x0000 0200 ～ 0x3FFF FE00 の範囲内にある別のメモリ位置へ再配置できます。CPU_SCS:VTOR レジスタを設定する際、オフセットは 512 バイト境界に整列されている必要があります。

Copyright © 2026 Texas Instruments Incorporated

5.1.5 例外の優先度

表 5-1 に示すように、すべての例外には優先度が関連付けられています。優先度の低い値は、リセットおよびハード故障を除くすべての例外について、優先度の高い値と優先度の設定が可能です。ソフトウェアが優先度を設定しない場合、優先度を設定可能なすべての例外の優先度は 0 になります。例外の優先度の設定については、セクション 2.9.4 のシステム ハンドラ優先度レジスタ (CPU_SCS:SHPRn) および割り込み優先度レジスタ (CPU_SCS:NVIC_IPRn) を参照してください。

注

CC13x2 および CC26x2 デバイス プラットフォームの実装における設定可能な優先度値は、0 から 7 の範囲です。つまり、負の優先度値が固定されている場合のリセット例外とハード故障例外は、常に他の例外よりも優先されます。

たとえば、IRQ[0] に高い優先度値を、IRQ[1] に低い優先度値を割り当てると、IRQ[1] は IRQ[0] よりも高い優先度を持つことになります。IRQ[1] と IRQ[0] がアサートされている場合、IRQ[1] は IRQ[0] より前に処理されます。

複数の保留中の例外が同じ優先度を持つ場合は、例外番号が最も小さい保留中の例外が優先されます。たとえば、IRQ[0] と IRQ[1] が保留中で、同じ優先度を持っている場合、IRQ[0] は IRQ[1] の前に処理されます。

プロセッサが例外ハンドラを実行している場合、優先度の高い例外が発生した場合に例外ハンドラがプリエンプトされます。例外が処理される例外と同じ優先度で発生した場合、例外番号に関係なく、ハンドラはプリエンプトされません。ただし、新しい割り込みのステータスは待機中に変わります。

5.1.6 割り込み優先度グループ化

割り込みを持つシステムで優先度制御を強化するために、NVIC は優先度グループ化をサポートしています。このグループ化により、各割り込み優先度レジスタへのエントリが、以下の 2 つのフィールドに分割されます。

- グループの優先度を定義する上位フィールド
- グループ内のサブ優先度を定義する下位フィールド

割り込み例外のプリエンプションは、グループの優先度のみによって決定されます。プロセッサが割り込み例外ハンドラを実行している間、現在処理中の割り込みと同じグループ優先度を持つ別の割り込みが発生しても、その割り込みがハンドラをプリエンプトすることはありません。

複数の保留中の割り込みが同じグループ優先度を持つ場合、サブ優先度フィールドによって処理順序が決定されます。複数の保留中の割り込みが同じグループ優先度およびサブ優先度を持つ場合、IRQ 番号が最も小さい割り込みが最初に処理されます。

割り込み優先度フィールドをグループ優先度およびサブ優先度に分割する方法については、セクション 2.9.4 の「アプリケーション割り込み / リセット制御レジスタ (CPU_SCS:AIRCR)」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.1.7 例外のエントリと戻り値

例外処理の説明では、次の用語が使用されます。

- **プリエンプション:** プロセッサが例外ハンドラを実行しているとき、発生した例外の優先度が現在処理中の例外より高い場合、その例外は実行中の例外ハンドラをプリエンプトすることができます。割り込みによるプリエンプトについての詳細は、セクション 5.1.6 を参照してください。ある例外が別の例外をプリエンプトした場合、それらの例外はネストされた例外と呼ばれます。詳細については、セクション 5.1.7.1 を参照してください。
- **戻り値:** 例外ハンドラの処理が完了し、かつ処理可能な十分な優先度を持つ保留中の例外が存在せず、さらに完了した例外ハンドラが遅延到着例外を処理していたものではない場合、戻り値が発生します。プロセッサはスタックからデータをポップし、割り込み発生前の状態にプロセッサの状態を復元します。詳細については、セクション 5.1.7.2 を参照してください。
- **テール チェーン:** このメカニズムにより、例外サービスが高速化されます。例外ハンドラの処理が完了した時点で、保留中の例外が例外受け付けの条件を満たしている場合、スタックのポップ処理は省略され、制御は新しい例外ハンドラへ移ります。
- **遅延到着:** このメカニズムにより、プリエンプションが高速化されます。先行する例外の状態保存処理中に、より高い優先度の例外が発生した場合、プロセッサはその高優先度例外の処理へ切り替え、その例外のベクトル フェッチを開始します。状態保存処理は、遅延到着の影響を受けません。これは、保存される状態が両方の例外で同じであるためです。したがって、状態保存は中断されずに継続されます。プロセッサは、元の例外の例外ハンドラにおける最初の命令がプロセッサの実行ステージに入るまで、遅延到着例外を受け付けることができます。遅延到着例外の例外ハンドラ終了後は、通常のテール チェイニング規則に従って次の処理が決定されます。

5.1.7.1 例外エントリ

例外エントリは、十分な優先度を持つ保留中の例外があり、プロセッサがスレッド モードである場合、または新しい例外の優先度が処理中の例外より高い場合に発生します。この場合、新しい例外が元の例外をプリエンプトします。

ある例外が別の例外をプリエンプトすると、例外はネストされます。

「十分な優先度」とは、その例外の優先度が、マスク レジスタで設定された制限より高いことを意味します (Priority Mask レジスタの PRIMASK、Fault Mask レジスタの FAULTMASK、および Base Priority レジスタの BASEPRI を参照)。これより優先度が低い例外は保留中になりますが、プロセッサでは処理されません。

プロセッサが例外を受け付けると、その例外がテール チェーン例外または遅延到着例外でない限り、プロセッサは現在のスタックに情報をプッシュします (図 5-2 を参照)。この動作はスタッキングと呼ばれ、8 つのデータ ワードで構成される構造はスタック フレームと呼ばれます。

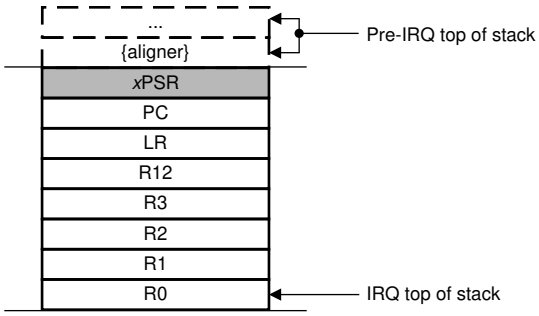


図 5-2. 例外スタック フレーム

スタッキングの直後、スタック ポインタはスタック フレーム内の最下位アドレスを示します。

スタック フレームには、割り込まれたプログラム内の次の命令のアドレスである戻りアドレスが含まれます。この値は例外リターン時に PC に復元され、割り込まれたプログラムが再開されます。

スタッキング動作と並行して、プロセッサはベクタ テーブルから例外ハンドラの開始アドレスを読み出すベクタ フェッチを実行します。スタッキングが完了すると、プロセッサは例外ハンドラの実行を開始します。同時に、プロセッサは

Copyright © 2026 Texas Instruments Incorporated

EXC_RETURN 値を LR に書き込み、どのスタック ポインタがスタック フレームに対応するか、およびエントリが発生する前にプロセッサがどの動作モードであったかを示します。

例外エントリ中により高い優先度の例外が発生しない場合、プロセッサは例外ハンドラの実行を開始し、対応する保留中の割り込みのステータスを自動的にアクティブに変更します。

例外エントリ中に、遅延到着と呼ばれる別のより高い優先度の例外が発生した場合、プロセッサはこの例外の例外ハンドラの実行を開始し、先に発生した例外の保留ステータスは変更しません。

5.1.7.2 例外リターン

例外リターンは、プロセッサがハンドラ モードにあり、次のいずれかの命令を実行して EXC_RETURN 値を PC にロードしたときに発生します。

- PC をロードする LDM または POP 命令
- 任意のレジスタを使用する BX 命令
- PC を宛先とする LDR 命令

EXC_RETURN は、例外エントリ時に LR にロードされる値です。例外メカニズムは、この値を使用してプロセッサが例外ハンドラを完了したことを検出します。この値の下位 4 ビットには、リターン スタックおよびプロセッサ モードに関する情報が含まれます。表 5-2 に、EXC_RETURN の値とその例外リターン動作の説明を示します。

EXC_RETURN のビット 31 ～ 4 はすべてセットされています。この値が PC にロードされると、例外処理が完了したことがプロセッサに通知され、プロセッサは適切な例外リターン シーケンスを開始します。

表 5-2. 例外リターン動作

EXC_RETURN[31:0]	説明
0xFFFF FFF0	予約済み
0xFFFF FFF1	ハンドラ モードに戻る 例外リターンでは MSP の状態を使用します。 リターン後の実行では MSP を使用します。
0xFFFF FFF2～0xFFFF FFF8	予約済み
0xFFFF FFF9	スレッド モードに戻る:VTOR 例外リターンでは MSP の状態を使用します。 リターン後の実行では MSP を使用します。
0xFFFF FFFA ～ 0xFFFF FFFC	予約済み
0xFFFF FFFD	スレッド モードに戻る 例外リターンでは PSP の状態を使用 リターン後の実行では PSP を使用
0xFFFF FFFE ～ 0xFFFF FFFF	予約済み

Copyright © 2026 Texas Instruments Incorporated

5.2 フォルト処理

フォルトは例外のサブセットです (セクション 5.1 を参照)。次の条件でフォルトが生成されます。

- 命令フェッチ、ベクタ テーブル ロード、またはデータ アクセス時のバス エラー
- 未定義命令や BX 命令による状態変更の試行など、内部で検出されたエラー

5.2.1 故障のタイプ

表 5-3 に、故障の種類、故障に使用されるハンドラ、対応するステータス レジスタ、および故障が発生したことを示すレジスタ ビットを示します。故障ステータス レジスタの詳細については、セクション 2.9 の CPU_SCS:CFSR を参照してください。

表 5-3. フォルト

フォルト	ハンドラ	フォルト ステータス レジスタ	ビット名
ベクタ読み取り時のバス エラー	ハード フォールト	ハード フォルト ステータス (HFSR)	VECTTBL
故障がハード フォールトにエスカレーションされた	ハード フォールト	ハード フォルト ステータス (HFSR)	FORCED
例外スタック中のバス エラー	バス故障	バス故障ステータス (BFSR)	STKERR
例外のスタック解除中にバス エラーが発生	バス故障	バス故障ステータス (BFSR)	UNSTEKRR
命令のプリフェッチ中のバス エラー	バス故障	バス故障ステータス (BFSR)	IBUSERR
データ バスの正確なエラー	バス故障	バス故障ステータス (BFSR)	PRECISERR
データ バス エラーが不正確	バス故障	バス故障ステータス (BFSR)	IMPRECISERR
コプロセッサへのアクセスの試行	使用上の故障	使用上の故障ステータス (UFSR)	NOCP
未定義命令	使用上の故障	使用上の故障ステータス (UFSR)	UNDEFINSTR
無効な命令セットの状態を入力しようとしました(1)	使用上の故障	使用上の故障ステータス (UFSR)	INVSTATE
EXC_RETURN 値が無効	使用上の故障	使用上の故障ステータス (UFSR)	INVPC
位置合わせされていないロードまたはストアが不正	使用上の故障	使用上の故障ステータス (UFSR)	UNALIGNED
0 分周	使用上の故障	使用上の故障ステータス (UFSR)	DIVBYZERO

(1) Thumb 命令セット以外の命令セットを使用しようとした場合、または ICI 継続状態でロード、ストア、マルチプル命令以外の命令へ復帰しようとした場合。

Copyright © 2026 Texas Instruments Incorporated

5.2.2 故障のエスカレーションとハード故障

ハード故障を除くすべての故障例外には、設定可能な例外優先度があります (セクション 2.9.4 の CPU_SCS:SHPR1 を参照)。ソフトウェアはこれらの故障のハンドラの実行を無効にできます (セクション 2.9.4 の CPU_SCS:SHCSR を参照)。

通常、例外の優先順位は、例外マスク レジスタの値とともに、プロセッサが故障ハンドラに入るかどうか、および故障ハンドラが別の故障ハンドラをプリエンプトできるかどうかを決定します (セクション 2.9.4 を参照)。

状況によっては、優先度を設定可能な故障がハード故障として扱われることがあります。このプロセスは優先エスカレーションと呼ばれ、故障はハード故障にエスカレーションされたと説明されます。ハード故障へのエスカレーションは、次の場合に発生します。

- 故障ハンドラは、処理しているものと同じ種類の故障を引き起こします。このハード故障へのエスカレーションは、現在の優先度レベルと同じ優先度を持つ必要があるため、故障ハンドラが自身をプリエンプトできないために発生します。
- 故障ハンドラは、処理している障害と同じか低い優先度の障害を引き起こします。この状況は、新たに発生した故障のハンドラが、現在実行中の故障ハンドラをプリエンプトできないために発生します。
- 例外ハンドラは、現在実行中の例外と同じかそれよりも優先度が低い故障を発生させます。
- 故障が発生し、その故障に対するハンドラが有効になっていません。

注

バス故障ハンドラに入るときにスタック プッシュ中にバス故障が発生した場合、バス故障はハード故障にエスカレーションしません。したがって、破損したスタックが故障を引き起こした場合、ハンドラのスタックプッシュが失敗した場合でも故障ハンドラは実行されます。故障ハンドラは動作しますが、スタックの内容が破損しています。

5.2.3 フォルト ステータス レジスタおよびフォルト アドレス レジスタ

フォルト ステータス レジスタは、フォルトの原因を示します。表 5-4 に示されているように、バス フォルトの場合、フォルト アドレス レジスタは、フォルトを引き起こした動作によってアクセスされるアドレスを示します。

表 5-4. フォルト ステータスおよびフォルト アドレス レジスタ

ハンドラ	ステータス レジスタ名	アドレス レジスタ名	レジスタの説明
ハード フォールト	ハード フォールト ステータス (HFSR)	—	セクション 2.9.4 を参照
バス フォルト	バス フォルト ステータス (BFSR)	バス フォルト アドレス (BFAR)	セクション 2.9.4 を参照
使用フォルト	使用フォルト ステータス (UFSR)	—	—

5.2.4 ロックアップ

ハード フォルト ハンドラの実行時にハード フォルトが発生すると、プロセッサはロックアップ状態になります。ロックアップ状態になると、CC13x2 および CC26x2 デバイス プラットフォームのシステムがリセットされます。

Copyright © 2026 Texas Instruments Incorporated

5.3 イベント ファブリック

5.3.1 概要

イベント ファブリックは、イベント ソースとイベント サブスクライバ間の組み合わせルータです。イベント入力は中央のイベント バスにルーティングされ、サブスクライバは適切なイベントを選択し、それらをペリフェラルへの入力として出力できます。図 5-3 に、イベント ファブリックの一般的な概念を示します。イベント ファブリックは純粋な組み合わせロジックです。この章では、イベント ファブリックとシステム CPU、NMI、Freeze サブスクライバの概要のみを説明しているため、各サブスクライバおよびペリフェラルでイベントを使用および構成する方法については、このユーザー ガイドの該当するペリフェラルの章を参照してください。

ほとんどのイベント (信号) は静的にルーティングされます。つまり、イベント サブスクライバに接続される構成可能な出力ラインは少数のみです。サブスクライバからの構成可能な出力ラインでは、該当する特定のサブスクライバで使用可能な複数の入力イベントのリストから選択できます。サブスクライバは、入力信号と同一のイベント信号を出力します。つまり、イベントは入力ポートに提示されたまま、イベント ファブリックを単純に通過します。使用可能なイベント タイプには、システム ハードウェア割り込み、ソフトウェア プログラム可能割り込み、および DMA トリガが含まれます。すべてのイベント入力は、アクティブ High のレベル トリガ イベントと見なされます。DMA トリガなどのイベントは、レベル型信号の場合も、そうでない場合もあります。

図 5-3 に、イベント ファブリック概念の簡単な図を示します。イベント ファブリック自体はペリフェラルではなく、ペリフェラルなどの間でルーティングを行うブロックです。構成可能な入力を持つラインは、MUX に接続された選択レジスタによって制御され、MUX はサブスクライバ内の選択された入力をペリフェラルへ転送します。

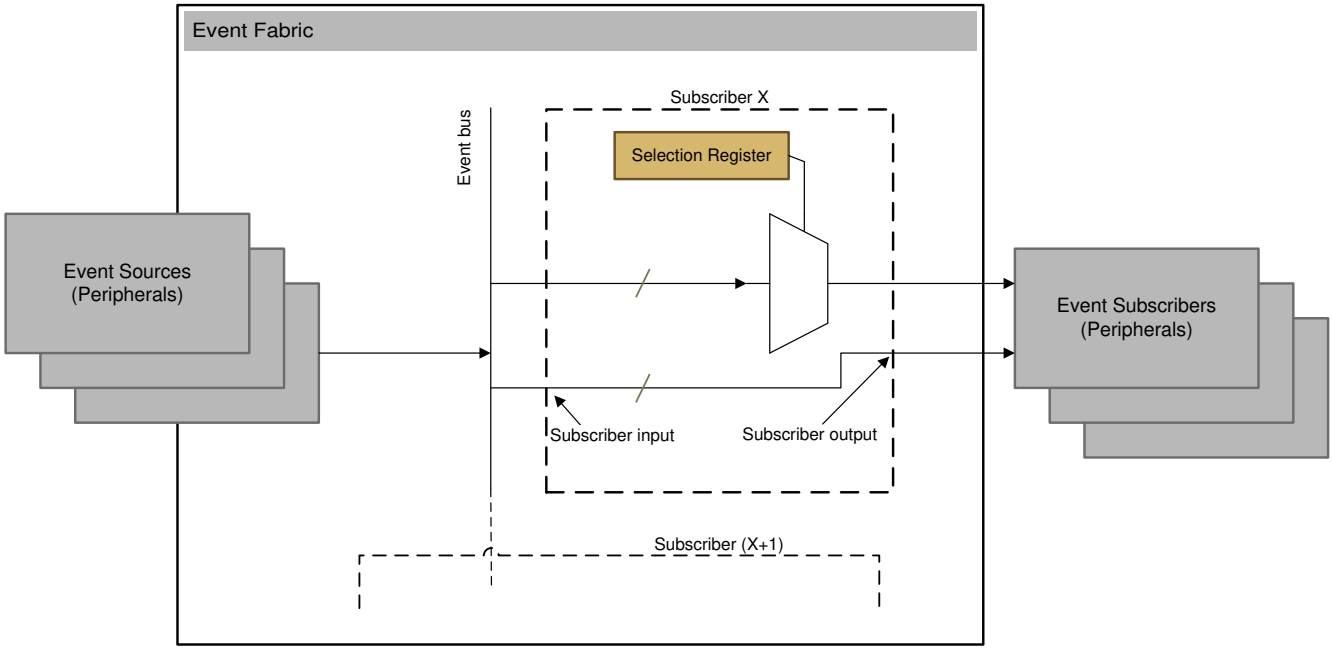


図 5-3. イベント ファブリックの概念

Copyright © 2026 Texas Instruments Incorporated

5.3.2 イベント ファブリックの概要

CC13x2 および CC26x2 デバイスには 2 つのメイン イベント ファブリック ブロックがあります。1 つは MCU 電源ドメイン (MCU イベント ファブリック) に、もう 1 つは AON 電源ドメイン (AON イベント ファブリック) にあります。図 5-4 に、2 つのモジュールの概要をまとめて示します。MCU イベント ファブリックは、AON イベント ファブリックのサブスクライバの 1 つです。

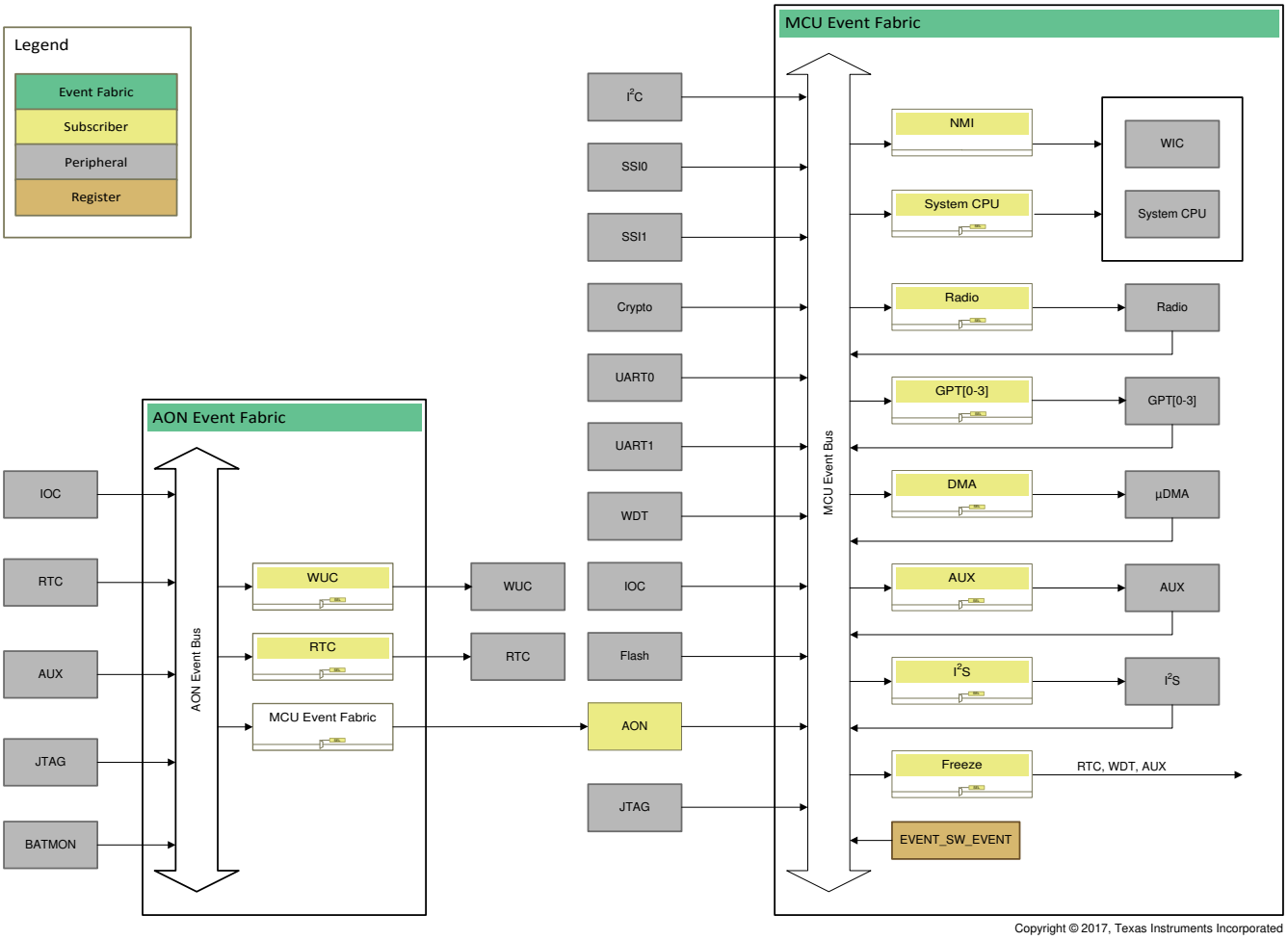


図 5-4. イベント ファブリックの概要 (簡易版)

5.3.2.1 レジスタ

イベント ファブリックには 2 種類のレジスタがあります。最初のタイプである構成レジスタは、サブスクライバ出力の選択設定を制御およびレポートするために使用されます。各サブスクライバ出力に対して、そのサブスクライバ出力に現在設定されている入力イベントの選択値を表す読み出しレジスタのアドレスがマッピングされます。構成不可能な出力の場合、読み取り専用レジスタのみが実装されます。そのアドレスを読み出すと、静的な事前定義された値が返されます。イベント ファブリック内の 2 番目のタイプのレジスタは、SWEV という名前の運用レジスタです。このレジスタは、4 つのソフトウェア イベントのいずれかを設定およびクリアします。

AON イベント ファブリックは、マイコン電源ドメインにある一連のレジスタを介して制御されます。AON ドメイン内の AON-MCU インターフェイス ブロックがこれらのレジスタをシャドウイングすることで、マイコンがパワー ダウン状態のときに AON ブロックに対してそれらを提供します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

5.4 AON イベント ファブリック

AON イベント ファブリックは、ウェークアップ コントローラ、デバッグ サブシステム、AUX ドメイン、リアルタイム クロック (RTC) がある AON 電源ドメインに存在します。

5.4.1 共通入力イベント リスト

セクション 5.5.1 に、AON イベント ファブリックの入力イベントを示します。これらのイベントのソースはレベル トリガのアクティブ high と見なされます。

5.4.2 イベント サブスクライバ

図 5-4 に示されているように、AON イベント ファブリックには 3 つのサブスクライバがあります。最初のサブスクライバは、マイコンの電源ドメインに存在すマイコン イベント ファブリックです。他の 2 つのサブスクライバ、WUC および RTC は、どちらも AON 電源ドメインに存在します。これは、次のサブセクションで説明します。

5.4.2.1 ウェークアップ コントローラ (WUC)

WUC は、AON イベント ファブリック内の WUC サブスクライバから出力信号を受け取り、JTAG、AUX、またはマイコンからの設定済み入力イベントによって電源投入シーケンスを開始できます。JTAG には WUC へ送られる一つのウェークアップ イベントがあり、AUX ドメインには三つのプログラム可能な入力イベントがあり、マイコン ドメインには四つのプログラム可能な入力イベントがあります。これらの特定の入力イベントが OR 接続されて、WUC への単一の入力、一つはマイコンから、もう一つは AUX からの単一の入力を形成します。この構成を 図 5-5 に示します。入力は、二つの選択レジスタ (AON_EVENT:AUXWUSEL および AON_EVENT:MCUWUSEL) で構成できます。表 5-5 に示すイベントはいずれも適切なイベント ID を選択することで入力として選択できます。デフォルトでは、これらの ID は 63 (NULL、イベントなし) に設定されており、ラインは常にロジック Low のままです。

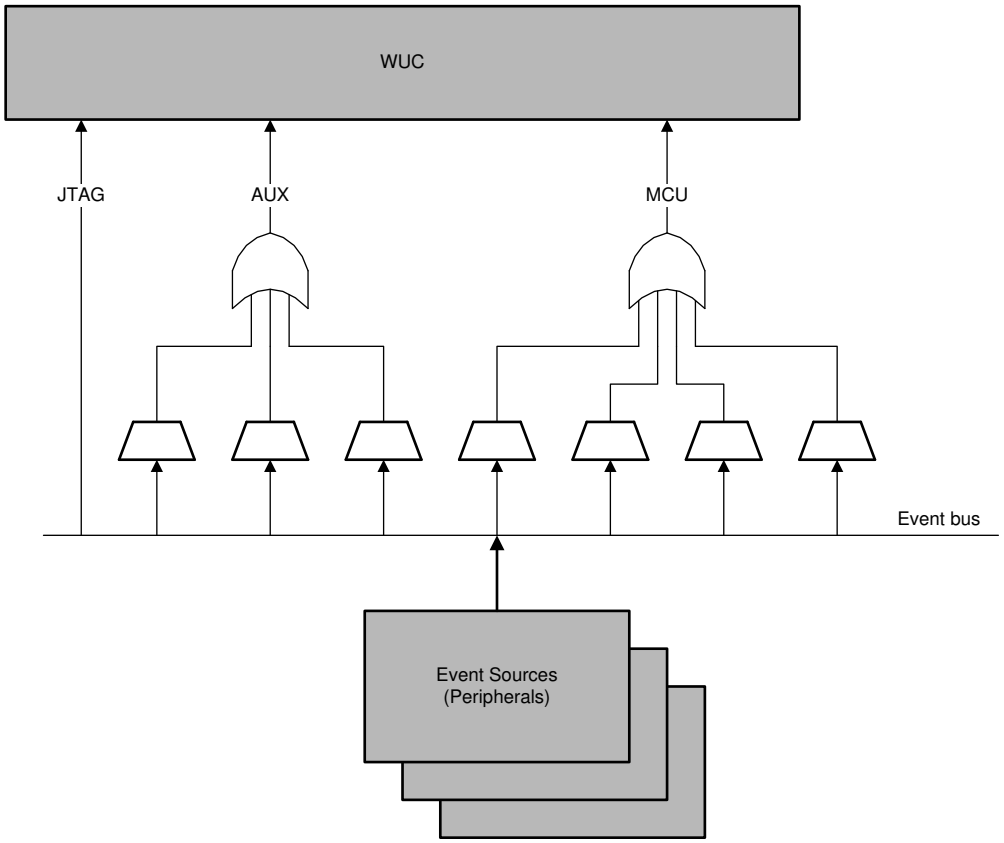


図 5-5. AON イベント ファブリックの WUC サブスクライバ

Copyright © 2026 Texas Instruments Incorporated

5.4.2.2 リアルタイム クロック

RTC は、RTCSEL レジスタで設定できるプログラマブルなイベントと、ID 46 の固定イベント (チャネル 2 のクリア — AUX から) を備えています。

5.4.2.3 MCU イベント ファブリック

AON イベント ファブリックからの 7 つの出力イベントは、MCU イベント ファブリックへの入力としてルーティングされます。これらのイベントは次のとおりです。

- AON プログラマブル 0
- AON プログラマブル 1
- AON プログラマブル 2
- AON エッジ検出
- AON RTC

3 つのプログラマブル ラインがあり、表 5-5 に示されるから任意の入力イベントを選択できます。これは CTRL_EVENT:MCU レジスタで設定できます。

5.5 マイコン イベント ファブリック

マイコン イベント ファブリックは、マイコンの電源ドメインに存在し、ほとんどのペリフェラルとさまざまな内部ブロックの間で信号をルーティングします。このセクションでは、マイコン イベント ファブリックのサブスクライバの一部について説明します。残りのサブスクライバに関する詳細については、当該サブスクライバに該当するコンシューマ (ペリフェラル) の説明が記載されているペリフェラルの章を参照してください。

5.5.1 共通入力イベント リスト

表 5-5 はマイコン イベント ファブリックの入力イベントを示しています。これらのイベントのソースはレベル トリガのアクティブ ハイと見なされます。

表 5-5. マイコン イベント ファブリック入力イベント

イベント番号	イベント列挙	説明
0x0	なし	常に非アクティブ (LOW)
0x1	AON_PROG0	AON_EVENT MCU イベント セレクタ、AON_EVENT:EVTOMCUSEL.AON_PROG0_EV で選択されたイベント
0x2	AON_PROG1	AON_EVENT MCU イベント セレクタ、AON_EVENT:EVTOMCUSEL.AON_PROG1_EV で選択されたイベント
0x3	AON_PROG2	AON_EVENT MCU イベント セレクタ、AON_EVENT:EVTOMCUSEL.AON_PROG2_EV で選択されたイベント
0x4	AON_GPIO_EDGE	IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN 設定と IOC:IOCFGn.EDGE_DET 設定で構成済み
0x5	予約済み	
0x6	予約済み	
0x7	AON_RTC_COMB	AON_RTC:CTL.COMB_EV_MASK 設定で制御される AON_RTC からのイベント
0x8	I2S_IRQ	I^2S からの割り込みイベント
0x9	I2C_IRQ	I^2C からの割り込みイベント
0xA	AON_AUX_SWEV0	AUX ソフトウェア イベント 0、AUX_EVCTL:SWEVSET.SWEV0
0xB	AUX_COMB	AUX 組み合わせイベントで、ここで対応するフラグ レジスタは AUX_EVCTL:EVTOMCUFLAGS.*
0xC	GPT2A	GPT2A 割り込みイベントで、GPT2:TAMR.* で制御
0xD	GPT2B	GPT2B 割り込みイベントで、GPT2:TBMR.* で制御
0xE	GPT3A	GPT3A 割り込みイベントで、GPT3:TAMR.* で制御
0xF	GPT3B	GPT3B 割り込みイベントで、GPT3:TBMR.* で制御

Copyright © 2026 Texas Instruments Incorporated

表 5-5. マイコン イベント ファブリック入力イベント (続き)

イベント番号	イベント列挙	説明
0x10	GPT0A	GPT0A 割り込みイベントで、GPT0:TAMR.* で制御
0x11	GPT0B	GPT0B 割り込みイベントで、GPT0:TBMR.* で制御
0x12	GPT1A	GPT1A 割り込みイベントで、GPT1:TAMR.* で制御
0x13	GPT1B	GPT1B 割り込みイベントで、GPT1:TBMR.* で制御
0x14	DMA_CH0_DONE	DMA がソフトウェア トリガ UDMA チャネル 0 で実行済み。セクション 14.5.1 の UDMA0:SOFTREQ.* を参照
0x15	フラッシュ	FLASH コントローラ エラー イベントで、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT
0x16	DMA_CH18_DONE	DMA がソフトウェア トリガ UDMA チャネル 18 で実行済み。セクション 14.5.1 の UDMA0:SOFTREQ.* を参照
0x17	予約済み	
0x18	WDT_IRQ	ウォッチドッグ割り込みイベントで、WDT:CTL.INTEN で制御
0x19	RFC_CMD_ACK	RFC ドアベル コマンド受信確認の割り込みで、RFC_DBELL:RFACKIFG.ACKFLAG に相当。
0x1A	RFC_HW_COMB	結合 RCF ハードウェア割り込みで、ここで対応するフラグは RFC_DBELL:RFHWIFG.*
0x1B	RFC_CPE_0	CPE 生成イベント用の結合割り込み。ここで対応するフラグは、RFC_DBELL:RFCPEIFG.* です。RFC_DBELL:RFCPEIFG.* で CPE0 を選択した割り込みのみが RFC_CPE_0 イベントをトリガできます。
0x1C	AUX_SWEV0	AUX ソフトウェア イベント 0 で AUX_EVCTL:SWEVSET.SWEV0 によりトリガ、AUX_EVENT0 AON ウェークアップ イベントとしても利用可能です。 マイコン ドメインのウェークアップ制御 AON_EVENT:MCUWUSEL.* AUX ドメインのウェークアップ制御 AON_EVENT:AUXWUSEL.*
0x1D	AUX_SWEV1	AUX ソフトウェア イベント 1 で AUX_EVCTL:SWEVSET.SWEV1 によりトリガ、AUX_EVENT2 AON ウェークアップ イベントとしても利用可能です。 マイコン ドメインのウェークアップ制御 AON_EVENT:MCUWUSEL.* AUX ドメインのウェークアップ制御 AON_EVENT:AUXWUSEL.*
0x1E	RFC_CPE_1	CPE 生成イベント用の結合割り込み。ここで対応するフラグは、RFC_DBELL:RFCPEIFG.* です。RFC_DBELL:RFCPEIFG.* で CPE1 を選択した割り込みのみが RFC_CPE_1 イベントをトリガできます。
0x1F～0x21	予約済み	
0x22	SSI0_COMB	SSI0 結合割り込みで、ここには割り込みフラグ SSI0:MIS.* があります。
0x23	SSI1_COMB	SSI0 結合割り込みで、ここには割り込みフラグ SSI1:MIS.* があります。
0x24	UART0_COMB	UART0 結合割り込みで、ここには割り込みフラグ UART0:MIS.* があります。
0x25	予約済み	常に 0 (LOW)
0x26	DMA_ERR	DMA バス エラー、UDMA0:ERROR.STATUS に対応
0x27	DMA_DONE_COMB	結合 DMA 実行済みの対応フラグは UDMA0:REQDONE.*
0x28	SSI0_RX_DMABREQ	SSI0:DMACR.RXDMAE で制御される、SSI0 RX DMA バースト リクエスト
0x29	SSI0_RX_DMASREQ	SSI0:DMACR.RXDMAE で制御される、SSI0 RX DMA シングル リクエスト
0x2A	SSI0_TX_DMABREQ	SSI0:DMACR.TXDMAE で制御される、SSI0 TX DMA バースト リクエスト
0x2B	SSI0_TX_DMASREQ	SSI0:DMACR.TXDMAE で制御される、SSI0 TX DMA シングル リクエスト
0x2C	SSI1_RX_DMABREQ	SSI0:DMACR.RXDMAE で制御される、SSI1 RX DMA バースト リクエスト
0x2D	SSI1_RX_DMASREQ	SSI0:DMACR.RXDMAE で制御される、SSI1 RX DMA シングル リクエスト
0x2E	SSI1_TX_DMABREQ	SSI0:DMACR.TXDMAE で制御される、SSI1 TX DMA バースト リクエスト
0x2F	SSI1_TX_DMASREQ	SSI0:DMACR.TXDMAE で制御される、SSI1 TX DMA シングル リクエスト
0x30	UART0_RX_DMABREQ	UART0:DMACTL.RXDMAE で制御される、UART0 RX DMA バースト リクエスト
0x31	UART0_RX_DMASREQ	UART0:DMACTL.RXDMAE で制御される、UART0 RX DMA シングル リクエスト

Copyright © 2026 Texas Instruments Incorporated

表 5-5. マイコン イベント ファブリック入力イベント (続き)

イベント番号	イベント列挙	説明
0x32	UART0_TX_DMABREQ	UART0:DMACTL.TXDMAE で制御される、UART0 TX DMA バースト リクエスト
0x33	UART0_TX_DMASREQ	UART0:DMACTL.TXDMAE で制御される、UART0 TX DMA シングル リクエスト
0x34～0x37	予約済み	常に 0
0x38	予約済み	
0x39	予約済み	
0x3A	予約済み	
0x3B	予約済み	
0x3C	予約済み	
0x3D	GPT0A_CMP	GPT0A 比較イベント。GPT0:TAMR.TCACT で構成。
0x3E	GPT0B_CMP	GPT0B 比較イベント。GPT0:TBMR.TCACT で構成。
0x3F	GPT1A_CMP	GPT1A 比較イベント。GPT1:TAMR.TCACT で構成。
0x40	GPT1B_CMP	GPT1B 比較イベント。GPT1:TBMR.TCACT で構成。
0x41	GPT2A_CMP	GPT2A 比較イベント。GPT2:TAMR.TCACT で構成。
0x42	GPT2B_CMP	GPT2B 比較イベント。GPT2:TBMR.TCACT で構成。
0x43	GPT3A_CMP	GPT3A 比較イベント。GPT3:TAMR.TCACT で構成。
0x44	GPT3B_CMP	GPT3B 比較イベント。GPT3:TBMR.TCACT で構成。
0x45～0x4C	TIE_LOW	未使用。0 (LOW) に接続
0x4D	GPT0A_DMABREQ	GPT 0A DMA トリガ イベント。GPT0:DMAEV.* で構成。
0x4E	GPT0B_DMABREQ	GPT 0B DMA トリガ イベント。GPT0:DMAEV.* で構成。
0x4F	GPT1A_DMABREQ	GPT 1A DMA トリガ イベント。GPT1:DMAEV.* で構成。
0x50	GPT1B_DMABREQ	GPT 1B DMA トリガ イベント。GPT1:DMAEV.* で構成。
0x51	GPT2A_DMABREQ	GPT 2A DMA トリガ イベント。GPT2:DMAEV.* で構成。
0x52	GPT2B_DMABREQ	GPT 2B DMA トリガ イベント。GPT2:DMAEV.* で構成。
0x53	GPT3A_DMABREQ	GPT 3A DMA トリガ イベント。GPT3:DMAEV.* で構成。
0x54	GPT3B_DMABREQ	GPT 3B DMA トリガ イベント。GPT3:DMAEV.* で構成。
0x55	PORT_EVENT0	IOC:IOCFGn.PORT_ID で構成される、IOC からのポート キャプチャ イベント。**ENUM** **PORT_EVENT0** で構成されたポート上のイベントはここでルーティングされます。
0x56	PORT_EVENT1	IOC:IOCFGn.PORT_ID で構成される、IOC からのポート キャプチャ イベント。PORT_EVENT1 で構成されたポート上のイベントはここでルーティングされます。
0x57	PORT_EVENT2	IOC:IOCFGn.PORT_ID で構成される、IOC からのポート キャプチャ イベント。PORT_EVENT2 で構成されたポート上のイベントはここでルーティングされます。
0x58	PORT_EVENT3	IOC:IOCFGn.PORT_ID で構成される、IOC からのポート キャプチャ イベント。PORT_EVENT3 で構成されたポート上のイベントはここでルーティングされます。
0x59	PORT_EVENT4	IOC:IOCFGn.PORT_ID で構成される、IOC からのポート キャプチャ イベント。ENUM PORT_EVENT4 で構成されたポート上のイベントはここでルーティングされます。
0x5A	PORT_EVENT5	IOC:IOCFGn.PORT_ID で構成される、IOC からのポート キャプチャ イベント。PORT_EVENT4 で構成されたポート上のイベントはここでルーティングされます。
0x5B	PORT_EVENT6	IOC:IOCFGn.PORT_ID で構成される、IOC からのポート キャプチャ イベント。PORT_EVENT6 で構成されたポート上のイベントはここでルーティングされます。
0x5C	PORT_EVENT7	IOC:IOCFGn.PORT_ID で構成される、IOC からのポート キャプチャ イベント。PORT_EVENT7 で構成されたポート上のイベントはここでルーティングされます。
0x5D	CRYPTO_RESULT_AVAIL_IRQ	CRYPTO の結果が利用可能な割り込みイベントで、対応するフラグは CRYPTO:IRQSTAT.RESULT_AVAIL です。 CRYPTO:IRQSTAT.RESULT_AVAIL で制御

Copyright © 2026 Texas Instruments Incorporated

表 5-5. マイコン イベント ファブリック入力イベント (続き)

イベント番号	イベント列挙	説明
0x5E	CRYPTO_DMA_DONE_IRQ	CRYPTO DMA 入力実行済みイベントで、対応するフラグは CRYPTO:IRQSTAT.DMA_IN_DONE です。CRYPTO:IRQEN.DMA_IN_DONE で制御
0x5F	RFC_IN_EV4	RFC_RAT:RATEV.OEVT4 で制御される、RFC RAT イベント 4
0x60	RFC_IN_EV5	RFC_RAT:RATEV.OEVT5 で制御される、RFC RAT イベント 5
0x61	RFC_IN_EV6	RFC_RAT:RATEV.OEVT6 で制御される、RFC RAT イベント 6
0x62	RFC_IN_EV7	RFC_RAT:RATEV.OEVT7 で制御される、RFC RAT イベント 7
0x63	WDT_NMI	WDT:CTL.INTTYPE で制御される、WATCHDOG のマスクできない割り込みイベント
0x64	SWEV0	SWEV.SWEV0 でトリガされる、ソフトウェアイベント 0
0x65	SWEV1	SWEV.SWEV1 でトリガされる、ソフトウェアイベント 1
0x66	SWEV2	SWEV.SWEV2 でトリガされる、ソフトウェアイベント 2
0x67	SWEV3	SWEV.SWEV3 でトリガされる、ソフトウェアイベント 3
0x68	TRNG_IRQ	TRNG 割り込みイベント、TRNG:IRQEN.EN で制御
0x69	AUX_AON_WU_EV	AON ウェークアップ イベントで、対応するフラグは AUX_EVCTL:EVTOMCUFLAGS.AON_WU_EV です。
0x6A	AUX_COMPA	AUX COMP A イベントで、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応します。
0x6B	AUX_COMPB	AUX COMP B イベントで、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応します。
0x6C	AUX_TDC_DONE	AUX TDC 測定実行済みイベントで、対応するフラグは AUX_EVCTL:EVTOMCUFLAGS.TDC_DONE で AUX_TDC ステータスは AUX_TDC:STAT.DONE です。
0x6D	AUX_TIMER0_EV	AUX TIMER 0 イベントで、AUX_EVCTL:EVTOMCUFLAGS.TIMER0_EV に対応します。
0x6E	AUX_TIMER1_EV	AUX TIMER 1 イベントで、AUX_EVCTL:EVTOMCUFLAGS.TIMER1_EV に対応します。
0x6F	AUX_SMPH_AUTOTAKE_DONE	AUX_SMPH:AUTOTAKE.* で構成される、AUX セマフォからの自動取得イベントです。
0x70	AUX_ADC_DONE	AUX ADC 実行済みで、AUX_EVCTL:EVTOMCUFLAGS.ADC_DONE に対応
0x71	AUX_ADC_FIFO_ALMOST_FULL	AUX ADC FIFO ウォーターマーク イベントで、AUX_EVCTL:EVTOMCUFLAGS.ADC_FIFO_ALMOST_FULL に対応
0x72	AUX_OBSMUX0	AUX を介した OBSMUX0 のループバックで、AUX_EVCTL:EVTOMCUFLAGS.OBSMUX0 に対応
0x73	AUX_ADC_IRQ	AUX ADC 割り込み イベントで、AUX_EVCTL:EVTOMCUFLAGS.ADC_IRQ に対応します。ここではステータス フラグは AUX_EVCTL:EVTOMCUFLAGS.ADC*
0x74	AUX_SW_DMABREQ	AUX 観察ループバック
0x75	AUX_DMASREQ	AUX_EVCTL:DMACTL.* で構成される、AUX からの DMA シングル リクエスト イベント
0x76	AUX_DMABREQ	AUX_EVCTL:DMACTL.* で構成される、AUX からの DMA バースト リクエスト イベント
0x77	AON_RTC_UPD	AON_RTC:CTL.RTC_UPD_EN で制御される RTC の周期的イベント
0x78	CPU_HALTED	CPU 停止
0x79	ALWAYS_ACTIVE	常にアサート (HIGH)

Copyright © 2026 Texas Instruments Incorporated

5.5.2 イベント サブスクライバ

マイコン イベント ファブリックには 11 個のサブスクライバがあります。これらのサブスクライバのほとんどは異なるペリフェラルであり、各ペリフェラルの目的に応じて異なる構成が必要です。次の 5 つのサブスクライバについては、この章ではなく、対応する各ペリフェラルの章で説明します。

- マイクロ ダイレクト メモリ アクセス (µDMA) (Chapter 14 を参照)
- 汎用タイマ (Chapter 15 を参照)
- デジタルおよびアナログ ペリフェラルを備えたセンサ コントローラ (AUX) (Chapter 19 を参照)
- Inter-IC Sound (I^2S) (Chapter 24 を参照)
- 無線 (Chapter 25 を参照)

次の 3 つのサブスクライバについては、CPU および CPU 割り込みに関連するため説明します。

- システム CPU
- システム CPU へのノンマスカブル割り込み (NMI)
- Freeze

5.5.2.1 システム CPU

表 5-7 は、16 ～ 49 のベクタ番号の割り込みが、マイコン イベント ファブリックでシステム CPU に転送されたイベントによってソースされることを示しています。イベント ファブリックは、すべてのレベル割り込みイベントをシステム CPU にルーティングします。AON プログラマブル 0 と呼ばれるイベント / 割り込みは、AON イベント ファブリックで設定できます。EVENT:CPUIRQSEL29 はマイコン イベント ファブリック内のルーティングに使用される読み取り専用レジスタであり、設定することはできません。ただし、このラインに入力される AON イベント ファブリック内の入力イベントは設定できます。動的プログラマブル イベントと呼ばれる一つの動的イベント / 割り込みには、表 5-7 に示す有効な選択があります。EVENT:CPUIRQSEL29 レジスタは、入力の設定に使用されます (セクション 5.7.2 を参照します)。

セクション 5.7.2 の EVENT:CPUIRQSEL30 レジスタを参照してください。

5.5.2.2 NMI

NMI サブスクライバには、WDT からの設定不可能な入力が 1 つあります。読み取り専用レジスタ (CM3NMISEL0) は、有効な入力イベントのみを示します。

5.5.2.3 フリーズ

CC13x2 および CC26x2 のデバイス プラットフォームでは、フリーズ サブスクライバは停止したデバッグ信号を、汎用タイマ、デジタルおよびアナログのペリフェラル (AUX) を備えたセンサ コントローラ、無線、RTC などのペリフェラルに渡します。システムの CPU が停止すると、フリーズが有効にされた、接続済み周辺機器も停止します。プログラマブル出力は静的な値 0 または 1 に設定でき、停止済み信号を渡すように設定することもできます。表 5-6 に一覧表示された可能性のあるイベントは FRZSEL0 レジスタで選択できます。

表 5-6. フリーズ サブスクライバ イベントの選択

イベント番号	イベント列挙
0x0	なし
0x78	CPU_HALTED
0x79	ALWAYS_ACTIVE

注

フリーズがアサートされると、RTC はメイン カウンタのインクリメントを停止しますが、RTC からの更新イベント (RF コアと AON イベント ファブリックに移行) は停止しません。更新イベントは SCLK_LF の下側部分であり、メイン カウンタに依存しません。したがって、実際には、デバッグのために CPU を停止するときに、RFC へのこれらの更新イベントを停止する方法はありません。

Copyright © 2026 Texas Instruments Incorporated

5.6 AON イベント

表 5-7. AON イベント

イベント番号	名称	説明
0x0～0x1F	DIO0～DIO31	DIOn でのエッジ検出、n = 0～31
0x20	DIO	任意の DIO でのエッジ検出
0x23～0x25	RTC_CH0～RTC_CH2	RTC チャネル n イベント、n = 0～2
0x26～0x28	RTC_CH0_DLY～RTC_CH2_DLY	RTC チャネル n - 遅延イベント、n = 0～2
0x29	RTC_COMB_DLY	RTC 組み合わせ遅延イベント
0x2A	RTC_UPD	RTC 更新作動
0x2B	JTAG	JTAG 生成イベント
0x2C～0x2E	AUX_SWEV0～AUX_SWEV2	AUX ソフトウェアのトリガ イベント #n、n = 0～2
0x2F	AUX_COMPA	コンパレータ A トリガ済み
0x30	AUX_COMPB	コンパレータ B トリガ済み
0x31	AUX_ADC_DONE	ADC 変換完了
0x32	AUX_TDC_DONE	TDC 完了またはタイム アウト
0x33～0x34	AUX_TIMER0_EV～AUX_TIMER1_EV	AUX タイマ n イベント、n = 0～1
0x35	BATMON_TEMP	BATMON 温度更新イベント
0x36	BATMON_VOLT	BATMON 電圧更新イベント
0x37	AUX_COMPB_ASYNC	コンパレータ B トリガ済み
0x38	AUX_COMPB_ASYNC_N	コンパレータ B トリガなし
0x3F	なし	イベントなし

Copyright © 2026 Texas Instruments Incorporated

5.7 割り込みおよびイベント レジスタ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

5.7.1 AON_EVENT レジスタ

表 5-8 に、AON_EVENT レジスタのメモリマップ レジスタを示します。表 5-8 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 5-8. AON_EVENT レジスタ

オフセット	略称	レジスタ名	セクション
0h	MCUWUSEL	マイコン用ウェイクアップ セレクタ	MCUWUSEL レジスタ (オフセット = 0h) [リセット = 3F3F3F3Fh]
4h	MCUWUSEL1	マイコン用ウェイクアップ セレクタ	MCUWUSEL1 レジスタ (オフセット = 4h) [リセット = 3F3F3F3Fh]
8h	EVTOMCUSEL	マイコンイベント ファブリック用イベント セレクタ	EVTOMCUSEL レジスタ (オフセット = 8h) [リセット = 002B2B2Bh]
Ch	RTCSEL	AON_RTC 用 RTC キャプチャ イベント セレクタ	RTCSEL レジスタ (オフセット = Ch) [リセット = 0000003Fh]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 5-9 に、このセクションでアクセス タイプに使用しているコードを示します。

表 5-9. AON_EVENT アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

5.7.1.1 MCUWUSEL レジスタ (オフセット = 0h) [リセット = 3F3F3F3Fh]

MCUWUSEL は、図 5-6 と 表 5-10 に示されています。

概略表に戻ります。

マイコンのウェイクアップ セレクタ
このレジスタには、8 つのイベントのうち 4 つへのポインタ (イベント 0 ～ 3) が含まれており、マイコンのウェイクアップ ソースとして AON_PMCTRL に送信されます。選択された 8 つのイベントのいずれかがアサートされると、AON_PMCTRL はマイコンドメインのウェイクアップシーケンスを開始します。ウェイクアップ シーケンスにより、マイコンの電源スイッチがオン、LDO リソースが利用可能、SCLK_HF がマイコンのクロックソースとして選択されることが保証されます。
注:マイコンがパワーダウンをリクエストする前に、AON_EVENT にウェイクアップイベントを設定する必要があります (PRCM は uLDO をリクエストします。PRCM:VDCTL.ULDO の条件を参照)。

図 5-6. MCUWUSEL レジスタ

31	30	29	28	27	26	25	24
予約済み		WU3_EV					
R-0h		R/W-3Fh					
23	22	21	20	19	18	17	16
予約済み		WU2_EV					
R-0h		R/W-3Fh					
15	14	13	12	11	10	9	8
予約済み		WU1_EV					
R-0h		R/W-3Fh					
7	6	5	4	3	2	1	0
予約済み		WU0_EV					
R-0h		R/W-3Fh					

表 5-10. MCUWUSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 5-10. MCUWUSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
29-24	WU3_EV	R/W	3Fh	マイコンウェイクアップソース #3 AON イベントソース AON_PMCTRL にルーティングされている 8 つのイベントのうち 1 つを選択して、マイコンドメインを電源オフまたは電源オフからウェイクアップします。 注: 0h = [MCU_IOC:IOCFGx.IOEV_MCU_WU_EN] で IOEV_MCU_WU への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント:バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = RTC チャネル 1 — 遅延イベント 28h = RTC チャネル 2 — 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます) 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0。 AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。 AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。 AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low
23-22	予約済み	R	0h	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 5-10. MCUWUSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
21-16	WU2_EV	R/W	3Fh	マイコンウェイクアップソース #2 AON イベントソース AON_PMCTRL にルーティングされている 8 つのイベントのうち 1 つを選択して、マイコンドメインを電源オフまたは電源オフからウェイクアップします。 注: 0h = [MCU_IOC:IOCFGx.IOEV_MCU_WU_EN] で IOEV_MCU_WU への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = RTC チャネル 1 — 遅延イベント 28h = RTC チャネル 2 — 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます) 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0。 AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。 AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。 AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low
15-14	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-10. MCUWUSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-8	WU1_EV	R/W	3Fh	マイコンウェイクアップソース #1 AON イベントソース AON_PMCTRL にルーティングされている 8 つのイベントのうち 1 つを選択して、マイコンドメインを電源オフまたは電源オフからウェイクアップします。 注: 0h = [MCU_IOC:IOCFGx.IOEV_MCU_WU_EN] で IOEV_MCU_WU への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = RTC チャネル 1 — 遅延イベント 28h = RTC チャネル 2 — 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます) 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0。 AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。 AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。 AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low
7-6	予約済み	R	0h	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 5-10. MCUWUSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	WU0_EV	R/W	3Fh	マイコンウェイクアップソース #0 AON イベントソース AON_PMCTRL にルーティングされている 8 つのイベントのうち 1 つを選択して、マイコンドメインを電源オフまたは電源オフからウェイクアップします。 注: 0h = [MCU_IOC:IOCFGx.IOEV_MCU_WU_EN] で IOEV_MCU_WU への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 - 遅延イベント 27h = RTC チャネル 1 - 遅延イベント 28h = RTC チャネル 2 - 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16 kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0. AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。 AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。 AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low

Copyright © 2026 Texas Instruments Incorporated

5.7.1.2 MCUWUSEL1 レジスタ (オフセット = 4h) [リセット = 3F3F3F3Fh]

図 5-7 に、MCUWUSEL1 を示し、表 5-11 に、その説明を示します。

概略表に戻ります。

マイコンのウェイクアップ セレクタ
このレジスタには、8 つのイベントのうち 4 つへのポインタ (イベント 4 ～ 7) が含まれており、マイコンのウェイクアップ ソースとして AON_PMCTRL に送信されます。選択された 8 つのイベントのいずれかがアサートされると、AON_PMCTRL はマイコンドメインのウェイクアップシーケンスを開始します。ウェイクアップ シーケンスにより、マイコンの電源スイッチがオン、LDO リソースが利用可能、SCLK_HF がマイコンのクロックソースとして選択されることが保証されます。
注:マイコンがパワーダウンをリクエストする前に、AON_EVENT にウェイクアップイベントを設定する必要があります (PRCM は uLDO をリクエストします。PRCM:VDCTL.ULDO の条件を参照)。

図 5-7. MCUWUSEL1 レジスタ

31	30	29	28	27	26	25	24
予約済み		WU7_EV					
R-0h		R/W-3Fh					
23	22	21	20	19	18	17	16
予約済み		WU6_EV					
R-0h		R/W-3Fh					
15	14	13	12	11	10	9	8
予約済み		WU5_EV					
R-0h		R/W-3Fh					
7	6	5	4	3	2	1	0
予約済み		WU4_EV					
R-0h		R/W-3Fh					

表 5-11. MCUWUSEL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-11. MCUWUSEL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
29-24	WU7_EV	R/W	3Fh	マイコンウェイクアップソース #7 AON イベントソース AON_PMCTRL にルーティングされている 8 つのイベントのうち 1 つを選択して、マイコンドメインを電源オフまたは電源オフからウェイクアップします。 注: 0h = [MCU_IOC:IOCFGx.IOEV_MCU_WU_EN] で IOEV_MCU_WU への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = RTC チャネル 1 — 遅延イベント 28h = RTC チャネル 2 — 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます) 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0。AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low
23-22	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-11. MCUWUSEL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
21-16	WU6_EV	R/W	3Fh	マイコンウェイクアップソース #6 AON イベントソース AON_PMCTRL にルーティングされている 8 つのイベントのうち 1 つを選択して、マイコンドメインを電源オフまたは電源オフからウェイクアップします。 注: 0h = [MCU_IOC:IOCFGx.IOEV_MCU_WU_EN] で IOEV_MCU_WU への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = RTC チャネル 1 — 遅延イベント 28h = RTC チャネル 2 — 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます) 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0。 AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。 AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。 AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low
15-14	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-11. MCUWUSEL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-8	WU5_EV	R/W	3Fh	マイコンウェイクアップソース #5 AON イベントソース AON_PMCTRL にルーティングされている 8 つのイベントのうち 1 つを選択して、マイコンドメインを電源オフまたは電源オフからウェイクアップします。 注: 0h = [MCU_IOC:IOCFGx.IOEV_MCU_WU_EN] で IOEV_MCU_WU への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = RTC チャネル 1 — 遅延イベント 28h = RTC チャネル 2 — 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます) 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0。 AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。 AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。 AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low
7-6	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-11. MCUWUSEL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	WU4_EV	R/W	3Fh	マイコンウェイクアップソース #4 AON イベントソース AON_PMCTRL にルーティングされている 8 つのイベントのうち 1 つを選択して、マイコンドメインを電源オフまたは電源オフからウェイクアップします。 注: 0h = [MCU_IOC:IOCFGx.IOEV_MCU_WU_EN] で IOEV_MCU_WU への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = RTC チャネル 1 — 遅延イベント 28h = RTC チャネル 2 — 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます) 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0。 AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。 AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。 AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low

Copyright © 2026 Texas Instruments Incorporated

5.7.1.3 EVTOMCUSEL レジスタ (オフセット = 8h) [リセット = 002B2B2Bh]

EVTOMCUSEL は、図 5-8 と表 5-12 に示されています。

概略表に戻ります。

マイコンイベント ファブリック用イベント セレクタ
このレジスタには、マイコンイベントファブリック イベントにルーティングされる 3 つの AON イベントのポインタが含まれます

図 5-8. EVTOMCUSEL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み		AON_PROG2_EV					
R-0h		R/W-2Bh					
15	14	13	12	11	10	9	8
予約済み		AON_PROG1_EV					
R-0h		R/W-2Bh					
7	6	5	4	3	2	1	0
予約済み		AON_PROG0_EV					
R-0h		R/W-2Bh					

表 5-12. EVTOMCUSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-12. EVTOMCUSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
21-16	AON_PROG2_EV	R/W	2Bh	AON_PROG2 イベント用イベント セレクタ。 AON イベントソース id# イベントが AON_PROG2 イベントとしてルーティングされたイベントを選択しています。 0h = [MCU_IOC:IOCFGx.IOEV_AON_PROG2_EN] で IOEV_AON_PROG2 への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = どの PAD でもエッジ検出が可能 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = RTC チャネル 1 — 遅延イベント 28h = RTC チャネル 2 — 遅延イベント 29h = RTC 結合遅延イベント 2Ah = RTC 更新手一句 (16kHz 信号、イベントラインは 32kHz クロック周期ごとに値を切り替えます) 2Bh = JTAG 生成イベント 2Ch = AUX Software トリガ イベント #0。AUX_EVCTL:SWEVSET_SWEV0 2Dh = AUX Software トリガ イベント #1。AUX_EVCTL:SWEVSET_SWEV1 2Eh = AUX Software トリガ イベント #2。AUX_EVCTL:SWEVSET.SWEV2 によるトリガ 2Fh = コンパレータ A がトリガされました 30h = コンパレータ B がトリガされました 31h = ADC 変換完了 32h = TDC 完了またはタイムアウト 33h = AUX タイマ 0 イベント 34h = AUX タイマ 1 イベント 35h = BATMON 温度更新イベント 36h = BATMON 電圧更新イベント 37h = コンパレータ B がトリガされました。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B からの非同期信号。 38h = コンパレータ B はトリガされません。AUX で同期されている AUX_COMPB とは対照的に、AUX コンパレータ B (反転) からの非同期信号。 3Fh = イベントなし、常に Low
15-14	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-12. EVTOMCUSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-8	AON_PROG1_EV	R/W	2Bh	AON_PROG1 イベント用イベント セレクタ。 AON イベントソース id# イベントが AON_PROG1 イベントとしてルーティングされたイベントを選択しています。 0h = [MCU_IOC:IOCFGx.IOEV_AON_PROG1_EN] で IOEV_AON_PROG1 への寄与を有効化した DIO からのエッジ検出 IO イベント 1h = AUX タイマ 2 からのイベント 0 2h = AUX タイマ 2 からのイベント 1 3h = AUX タイマ 2 からのイベント 2 4h = AUX タイマ 2 からのイベント 3 5h = BATMON イベント: バッテリレベルが上限値を上回っている 6h = BATMON イベント:バッテリレベルが下限未満 7h = BATMON イベント: 上限を超える温度 8h = BATMON イベント: 下限値未満の温度 9h = BATMON からの結合イベント 20h = 任意の PAD でのエッジ検出 23h = RTC チャネル 0 イベント 24h = RTC チャネル 1 イベント 25h = RTC チャネル 2 イベント 26h = RTC チャネル 0 — 遅延イベント 27h = 0 28h = 0 29h = 0 2Ah = 0 2Bh = 0 2Ch = 0 2Dh = 0 2Eh = 0 2Fh = 0 30h = 0 31h = 0 32h = 0 33h = 0 34h = 0 35h = 0 36h = 0 37h = 0 38h = 0 3Fh = 0
7-6	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-12. EVTOMCUSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	AON_PROG0_EV	R/W	2Bh	AON_PROG0 イベント用イベント セレクタ。 AON イベントソース id# イベントが AON_PROG0 イベントとしてルーティングされたイベントを選択しています。 0h =[MCU_IOC:IOCFGx.IOEV_AON_PROG0_EN] で IOEV_AON_PROG0 への寄与を有効化している DIO からのエッジ検出 IO イベント 1h = 0 2h = 0 3h = 0 4h = 0 5h = 0 6h = 0 7h = 0 8h = 0 9h = 0 20h = 0 23h = 0 24h = 0 25h = 0 26h = 0 27h = 0 28h = 0 29h = 0 2Ah = 0 2Bh = 0 2Ch = 0 2Dh = 0 2Eh = 0 2Fh = 0 30h = 0 31h = 0 32h = 0 33h = 0 34h = 0 35h = 0 36h = 0 37h = 0 38h = 0 3Fh = 0

Copyright © 2026 Texas Instruments Incorporated

5.7.1.4 RTCSEL レジスタ (オフセット = Ch) [リセット = 0000003Fh]

図 5-9 に、RTCSEL を示し、表 5-13 に、その説明を示します。

概略表に戻ります。

AON_RTC の RTC キャプチャ イベント セレクタ
このレジスタは、RTC キャプチャのための AON イベントを選択するためのポインタを含みます。AON_RTC:CH1CAPT を参照してください

図 5-9. RTCSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										RTC_CH1_CAPT_EV					
R-0h										R/W-3Fh					

表 5-13. RTCSEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	RTC_CH1_CAPT_EV	R/W	3Fh	AON_RTC に供給される RTCSEL イベントの AON イベント ソース id#。AON_RTC:CH1CAPT を参照してください 0h = [MCU_IOC:IOCFGx.IOEV_RTC_EN] で IOEV_RTC への寄与が有効になっている DIO からの IO イベントをエッジ検出します。 1h = 0 2h = 0 3h = 0 4h = 0 5h = 0 6h = 0 7h = 0 8h = 0 9h = 0 20h = 0 23h = 0 24h = 0 25h = 0 26h = 0 27h = 0 28h = 0 29h = 0 2Ah = 0 2Bh = 0 2Ch = 0 2Dh = 0 2Eh = 0 2Fh = 0 30h = 0 31h = 0 32h = 0 33h = 0 34h = 0 35h = 0 36h = 0 37h = 0 38h = 0 3Fh = 0

Copyright © 2026 Texas Instruments Incorporated

5.7.2 EVENT レジスタ

表 5-14 に、EVENT レジスタのメモリマップ レジスタを示します。表 5-14 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 5-14. EVENT レジスタ

オフセット	略称	レジスタ名	セクション
0h	CPUIRQSEL0	CPU 割り込み 0 の出力選択	CPUIRQSEL0 レジスタ (オフセット = 0h) [リセット = 00000004h]
4h	CPUIRQSEL1	CPU 割り込み 1 の出力選択	CPUIRQSEL1 レジスタ (オフセット = 4h) [リセット = 00000009h]
8h	CPUIRQSEL2	CPU 割り込み 2 の出力選択	CPUIRQSEL2 レジスタ (オフセット = 8h) [リセット = 0000001Eh]
Ch	CPUIRQSEL3	CPU 割り込み 3 の出力選択	CPUIRQSEL3 レジスタ (オフセット = Ch) [リセット = 0000001Fh]
10h	CPUIRQSEL4	CPU 割り込み 4 の出力選択	CPUIRQSEL4 レジスタ (オフセット = 10h) [リセット = 00000007h]
14h	CPUIRQSEL5	CPU 割り込み 5 の出力選択	CPUIRQSEL5 レジスタ (オフセット = 14h) [リセット = 00000024h]
18h	CPUIRQSEL6	CPU 割り込み 6 の出力選択	CPUIRQSEL6 レジスタ (オフセット = 18h) [リセット = 0000001Ch]
1Ch	CPUIRQSEL7	CPU 割り込み 7 の出力選択	CPUIRQSEL7 レジスタ (オフセット = 1Ch) [リセット = 00000022h]
20h	CPUIRQSEL8	CPU 割り込み 8 の出力選択	CPUIRQSEL8 レジスタ (オフセット = 20h) [リセット = 00000023h]
24h	CPUIRQSEL9	CPU 割り込み 9 の出力選択	CPUIRQSEL9 レジスタ (オフセット = 24h) [リセット = 0000001Bh]
28h	CPUIRQSEL10	CPU 割り込み 10 の出力選択	CPUIRQSEL10 レジスタ (オフセット = 28h) [リセット = 0000001Ah]
2Ch	CPUIRQSEL11	CPU 割り込み 11 の出力選択	CPUIRQSEL11 レジスタ (オフセット = 2Ch) [リセット = 00000019h]
30h	CPUIRQSEL12	CPU 割り込み 12 の出力選択	CPUIRQSEL12 レジスタ (オフセット = 30h) [リセット = 00000008h]
34h	CPUIRQSEL13	CPU 割り込み 13 の出力選択	CPUIRQSEL13 レジスタ (オフセット = 34h) [リセット = 0000001Dh]
38h	CPUIRQSEL14	CPU 割り込み 14 の出力選択	CPUIRQSEL14 レジスタ (オフセット = 38h) [リセット = 00000018h]
3Ch	CPUIRQSEL15	CPU 割り込み 15 の出力選択	CPUIRQSEL15 レジスタ (オフセット = 3Ch) [リセット = 00000010h]
40h	CPUIRQSEL16	CPU 割り込み 16 の出力選択	CPUIRQSEL16 レジスタ (オフセット = 40h) [リセット = 00000011h]
44h	CPUIRQSEL17	CPU 割り込み 17 の出力選択	CPUIRQSEL17 レジスタ (オフセット = 44h) [リセット = 00000012h]
48h	CPUIRQSEL18	CPU 割り込み 18 の出力選択	CPUIRQSEL18 レジスタ (オフセット = 48h) [リセット = 00000013h]
4Ch	CPUIRQSEL19	CPU 割り込み 19 の出力選択	CPUIRQSEL19 レジスタ (オフセット = 4Ch) [リセット = 0000000Ch]
50h	CPUIRQSEL20	CPU 割り込み 20 の出力選択	CPUIRQSEL20 レジスタ (オフセット = 50h) [リセット = 0000000Dh]
54h	CPUIRQSEL21	CPU 割り込み 21 の出力選択	CPUIRQSEL21 レジスタ (オフセット = 54h) [リセット = 0000000Eh]
58h	CPUIRQSEL22	CPU 割り込み 22 の出力選択	CPUIRQSEL22 レジスタ (オフセット = 58h) [リセット = 0000000Fh]

Copyright © 2026 Texas Instruments Incorporated

表 5-14. EVENT レジスタ (続き)

オフセット	略称	レジスタ名	セクション
5Ch	CPUIRQSEL23	CPU 割り込み 23 の出力選択	CPUIRQSEL23 レジスタ (オフセット = 5Ch) [リセット = 0000005Dh]
60h	CPUIRQSEL24	CPU 割り込み 24 の出力選択	CPUIRQSEL24 レジスタ (オフセット = 60h) [リセット = 00000027h]
64h	CPUIRQSEL25	CPU 割り込み 25 の出力選択	CPUIRQSEL25 レジスタ (オフセット = 64h) [リセット = 00000026h]
68h	CPUIRQSEL26	CPU 割り込み 26 の出力選択	CPUIRQSEL26 レジスタ (オフセット = 68h) [リセット = 00000015h]
6Ch	CPUIRQSEL27	CPU 割り込み 27 の出力選択	CPUIRQSEL27 レジスタ (オフセット = 6Ch) [リセット = 00000064h]
70h	CPUIRQSEL28	CPU 割り込み 28 の出力選択	CPUIRQSEL28 レジスタ (オフセット = 70h) [リセット = 0000000Bh]
74h	CPUIRQSEL29	CPU 割り込み 29 の出力選択	CPUIRQSEL29 レジスタ (オフセット = 74h) [リセット = 00000001h]
78h	CPUIRQSEL30	CPU 割り込み 30 の出力選択	CPUIRQSEL30 レジスタ (オフセット = 78h) [リセット = 00000000h]
7Ch	CPUIRQSEL31	CPU 割り込み 31 の出力選択	CPUIRQSEL31 レジスタ (オフセット = 7Ch) [リセット = 0000006Ah]
80h	CPUIRQSEL32	CPU 割り込み 32 の出力選択	CPUIRQSEL32 レジスタ (オフセット = 80h) [リセット = 00000073h]
84h	CPUIRQSEL33	CPU 割り込み 33 の出力選択	CPUIRQSEL33 レジスタ (オフセット = 84h) [リセット = 00000068h]
88h	CPUIRQSEL34	CPU 割り込み 34 の出力選択	CPUIRQSEL34 レジスタ (オフセット = 88h) [リセット = 00000006h]
8Ch	CPUIRQSEL35	CPU 割り込み 35 の出力選択	CPUIRQSEL35 レジスタ (オフセット = 8Ch) [リセット = 00000038h]
90h	CPUIRQSEL36	CPU 割り込み 36 の出力選択	CPUIRQSEL36 レジスタ (オフセット = 90h) [リセット = 00000025h]
94h	CPUIRQSEL37	CPU 割り込み 37 の出力選択	CPUIRQSEL37 レジスタ (オフセット = 94h) [リセット = 00000005h]
100h	RFCSEL0	RFC イベント 0 の出力選択	RFCSEL0 レジスタ (オフセット = 100h) [リセット = 0000003Dh]
104h	RFCSEL1	RFC イベント 1 の出力選択	RFCSEL1 レジスタ (オフセット = 104h) [リセット = 0000003Eh]
108h	RFCSEL2	RFC イベント 2 の出力選択	RFCSEL2 レジスタ (オフセット = 108h) [リセット = 0000003Fh]
10Ch	RFCSEL3	RFC イベント 3 の出力選択	RFCSEL3 レジスタ (オフセット = 10Ch) [リセット = 00000040h]
110h	RFCSEL4	RFC イベント 4 の出力選択	RFCSEL4 レジスタ (オフセット = 110h) [リセット = 00000041h]
114h	RFCSEL5	RFC イベント 5 の出力選択	RFCSEL5 レジスタ (オフセット = 114h) [リセット = 00000042h]
118h	RFCSEL6	RFC イベント 6 の出力選択	RFCSEL6 レジスタ (オフセット = 118h) [リセット = 00000043h]
11Ch	RFCSEL7	RFC イベント 7 の出力選択	RFCSEL7 レジスタ (オフセット = 11Ch) [リセット = 00000044h]
120h	RFCSEL8	RFC イベント 8 の出力選択	RFCSEL8 レジスタ (オフセット = 120h) [リセット = 00000077h]
124h	RFCSEL9	RFC イベント 9 の出力選択	RFCSEL9 レジスタ (オフセット = 124h) [リセット = 00000002h]

Copyright © 2026 Texas Instruments Incorporated

表 5-14. EVENT レジスタ (続き)

オフセット	略称	レジスタ名	セクション
200h	GPT0ACAPTSEL	GPT0 0 の出力選択	GPT0ACAPTSEL レジスタ (オフセット = 200h) [リセット = 00000055h]
204h	GPT0BCAPTSEL	GPT0 1 の出力選択	GPT0BCAPTSEL レジスタ (オフセット = 204h) [リセット = 00000056h]
300h	GPT1ACAPTSEL	GPT1 0 の出力選択	GPT1ACAPTSEL レジスタ (オフセット = 300h) [リセット = 00000057h]
304h	GPT1BCAPTSEL	GPT1 1 の出力選択	GPT1BCAPTSEL レジスタ (オフセット = 304h) [リセット = 00000058h]
400h	GPT2ACAPTSEL	GPT2 0 の出力選択	GPT2ACAPTSEL レジスタ (オフセット = 400h) [リセット = 00000059h]
404h	GPT2BCAPTSEL	GPT2 1 の出力選択	GPT2BCAPTSEL レジスタ (オフセット = 404h) [リセット = 0000005Ah]
508h	UDMACH1SSEL	DMA チャネル 1 SREQ の出力選択	UDMACH1SSEL レジスタ (オフセット = 508h) [リセット = 00000031h]
50Ch	UDMACH1BSEL	DMA チャネル 1 REQ の出力選択	UDMACH1BSEL レジスタ (オフセット = 50Ch) [リセット = 00000030h]
510h	UDMACH2SSEL	DMA チャネル 2 SREQ の出力選択	UDMACH2SSEL レジスタ (オフセット = 510h) [リセット = 00000033h]
514h	UDMACH2BSEL	DMA チャネル 2 REQ の出力選択	UDMACH2BSEL レジスタ (オフセット = 514h) [リセット = 00000032h]
518h	UDMACH3SSEL	DMA チャネル 3 SREQ の出力選択	UDMACH3SSEL レジスタ (オフセット = 518h) [リセット = 00000029h]
51Ch	UDMACH3BSEL	DMA チャネル 3 REQ の出力選択	UDMACH3BSEL レジスタ (オフセット = 51Ch) [リセット = 00000028h]
520h	UDMACH4SSEL	DMA チャネル 4 SREQ の出力選択	UDMACH4SSEL レジスタ (オフセット = 520h) [リセット = 0000002Bh]
524h	UDMACH4BSEL	DMA チャネル 4 REQ の出力選択	UDMACH4BSEL レジスタ (オフセット = 524h) [リセット = 0000002Ah]
528h	UDMACH5SSEL	DMA チャネル 5 SREQ の出力選択	UDMACH5SSEL レジスタ (オフセット = 528h) [リセット = 00000035h]
52Ch	UDMACH5BSEL	DMA チャネル 5 REQ の出力選択	UDMACH5BSEL レジスタ (オフセット = 52Ch) [リセット = 00000034h]
530h	UDMACH6SSEL	DMA チャネル 6 SREQ の出力選択	UDMACH6SSEL レジスタ (オフセット = 530h) [リセット = 00000037h]
534h	UDMACH6BSEL	DMA チャネル 6 REQ の出力選択	UDMACH6BSEL レジスタ (オフセット = 534h) [リセット = 00000036h]
538h	UDMACH7SSEL	DMA チャネル 7 SREQ の出力選択	UDMACH7SSEL レジスタ (オフセット = 538h) [リセット = 00000075h]
53Ch	UDMACH7BSEL	DMA チャネル 7 REQ の出力選択	UDMACH7BSEL レジスタ (オフセット = 53Ch) [リセット = 00000076h]
540h	UDMACH8SSEL	DMA チャネル 8 SREQ の出力選択	UDMACH8SSEL レジスタ (オフセット = 540h) [リセット = 00000074h]
544h	UDMACH8BSEL	DMA チャネル 8 REQ の出力選択	UDMACH8BSEL レジスタ (オフセット = 544h) [リセット = 00000074h]
548h	UDMACH9SSEL	DMA チャネル 9 SREQ の出力選択	UDMACH9SSEL レジスタ (オフセット = 548h) [リセット = 00000045h]
54Ch	UDMACH9BSEL	DMA チャネル 9 REQ の出力選択	UDMACH9BSEL レジスタ (オフセット = 54Ch) [リセット = 0000004Dh]
550h	UDMACH10SSEL	DMA チャネル 10 SREQ の出力選択	UDMACH10SSEL レジスタ (オフセット = 550h) [リセット = 00000046h]

Copyright © 2026 Texas Instruments Incorporated

表 5-14. EVENT レジスタ (続き)

オフセット	略称	レジスタ名	セクション
554h	UDMACH10BSEL	DMA チャネル 10 REQ の出力選択	UDMACH10BSEL レジスタ (オフセット = 554h) [リセット = 0000004Eh]
558h	UDMACH11SSEL	DMA チャネル 11 SREQ の出力選択	UDMACH11SSEL レジスタ (オフセット = 558h) [リセット = 00000047h]
55Ch	UDMACH11BSEL	DMA チャネル 11 REQ の出力選択	UDMACH11BSEL レジスタ (オフセット = 55Ch) [リセット = 0000004Fh]
560h	UDMACH12SSEL	DMA チャネル 12 SREQ の出力選択	UDMACH12SSEL レジスタ (オフセット = 560h) [リセット = 00000048h]
564h	UDMACH12BSEL	DMA チャネル 12 REQ の出力選択	UDMACH12BSEL レジスタ (オフセット = 564h) [リセット = 00000050h]
56Ch	UDMACH13BSEL	DMA チャネル 13 REQ の出力選択	UDMACH13BSEL レジスタ (オフセット = 56Ch) [リセット = 00000003h]
574h	UDMACH14BSEL	DMA チャネル 14 REQ の出力選択	UDMACH14BSEL レジスタ (オフセット = 574h) [リセット = 00000001h]
57Ch	UDMACH15BSEL	DMA チャネル 15 REQ の出力選択	UDMACH15BSEL レジスタ (オフセット = 57Ch) [リセット = 00000007h]
580h	UDMACH16SSEL	DMA チャネル 16 SREQ の出力選択	UDMACH16SSEL レジスタ (オフセット = 580h) [リセット = 0000002Dh]
584h	UDMACH16BSEL	DMA チャネル 16 REQ の出力選択	UDMACH16BSEL レジスタ (オフセット = 584h) [リセット = 0000002Ch]
588h	UDMACH17SSEL	DMA チャネル 17 SREQ の出力選択	UDMACH17SSEL レジスタ (オフセット = 588h) [リセット = 0000002Fh]
58Ch	UDMACH17BSEL	DMA チャネル 17 REQ の出力選択	UDMACH17BSEL レジスタ (オフセット = 58Ch) [リセット = 0000002Eh]
5A8h	UDMACH21SSEL	DMA チャネル 21 SREQ の出力選択	UDMACH21SSEL レジスタ (オフセット = 5A8h) [リセット = 00000064h]
5ACh	UDMACH21BSEL	DMA チャネル 21 REQ の出力選択	UDMACH21BSEL レジスタ (オフセット = 5ACh) [リセット = 00000064h]
5B0h	UDMACH22SSEL	DMA チャネル 22 SREQ の出力選択	UDMACH22SSEL レジスタ (オフセット = 5B0h) [リセット = 00000065h]
5B4h	UDMACH22BSEL	DMA チャネル 22 REQ の出力選択	UDMACH22BSEL レジスタ (オフセット = 5B4h) [リセット = 00000065h]
5B8h	UDMACH23SSEL	DMA チャネル 23 SREQ の出力選択	UDMACH23SSEL レジスタ (オフセット = 5B8h) [リセット = 00000066h]
5BCh	UDMACH23BSEL	DMA チャネル 23 REQ の出力選択	UDMACH23BSEL レジスタ (オフセット = 5BCh) [リセット = 00000066h]
5C0h	UDMACH24SSEL	DMA チャネル 24 SREQ の出力選択	UDMACH24SSEL レジスタ (オフセット = 5C0h) [リセット = 00000067h]
5C4h	UDMACH24BSEL	DMA チャネル 24 REQ の出力選択	UDMACH24BSEL レジスタ (オフセット = 5C4h) [リセット = 00000067h]
600h	GPT3ACAPTSEL	GPT3 0 の出力選択	GPT3ACAPTSEL レジスタ (オフセット = 600h) [リセット = 0000005Bh]
604h	GPT3BCAPTSEL	GPT3 1 の出力選択	GPT3BCAPTSEL レジスタ (オフセット = 604h) [リセット = 0000005Ch]
700h	AUXSEL0	AUX サブスクライバ 0 の出力選択	AUXSEL0 レジスタ (オフセット = 700h) [リセット = 00000010h]
800h	CM3NMISEL0	NMI サブスクライバ 0 の出力選択	CM3NMISEL0 レジスタ (オフセット = 800h) [リセット = 00000063h]
900h	I2SSTMPSEL0	I2S サブスクライバの出力選択 0	I2SSTMPSEL0 レジスタ (オフセット = 900h) [リセット = 0000005Fh]

Copyright © 2026 Texas Instruments Incorporated

表 5-14. EVENT レジスタ (続き)

オフセット	略称	レジスタ名	セクション
A00h	FRZSEL0	FRZ サブスクライバの出力選択	FRZSEL0 レジスタ (オフセット = A00h) [リセット = 00000078h]
F00h	SWEV	ソフトウェア イベントの設定またはクリア	SWEV レジスタ (オフセット = F00h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 5-15 に、このセクションでアクセス タイプに使用しているコードを示します。

表 5-15. EVENT のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

5.7.2.1 CPUIRQSEL0 レジスタ (オフセット = 0h) [リセット = 00000004h]

図 5-10 に、CPUIRQSEL0 を示し、表 5-16 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 0 の出力選択

図 5-10. CPUIRQSEL0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-4h						

表 5-16. CPUIRQSEL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	4h	読み取り専用選択値 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます

Copyright © 2026 Texas Instruments Incorporated

5.7.2.2 CPUIRQSEL1 レジスタ (オフセット = 4h) [リセット = 00000009h]

図 5-11 に、CPUIRQSEL1 を示し、表 5-17 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 1 の出力選択

図 5-11. CPUIRQSEL1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-9h						

表 5-17. CPUIRQSEL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	9h	読み取り専用選択値 9h = I2C からの割り込みイベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.3 CPUIRQSEL2 レジスタ (オフセット = 8h) [リセット = 0000001Eh]

図 5-12 に、CPUIRQSEL2 を示し、表 5-18 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 2 の出力選択

図 5-12. CPUIRQSEL2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-1Eh						

表 5-18. CPUIRQSEL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	1Eh	読み取り専用選択値 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする

Copyright © 2026 Texas Instruments Incorporated

5.7.2.4 CPUIRQSEL3 レジスタ (オフセット = Ch) [リセット = 0000001Fh]

図 5-13 に、CPUIRQSEL3 を示し、表 5-19 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 3 の出力選択

図 5-13. CPUIRQSEL3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-1Fh						

表 5-19. CPUIRQSEL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	1Fh	読み取り専用選択値 1Fh = PKA 割り込みイベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.5 CPUIRQSEL4 レジスタ (オフセット = 10h) [リセット = 00000007h]

図 5-14 に、CPUIRQSEL4 を示し、表 5-20 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 4 の出力選択

図 5-14. CPUIRQSEL4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-7h						

表 5-20. CPUIRQSEL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	7h	読み取り専用選択値 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.6 CPUIRQSEL5 レジスタ (オフセット = 14h) [リセット = 00000024h]

図 5-15 に、CPUIRQSEL5 を示し、表 5-21 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 5 の出力選択

図 5-15. CPUIRQSEL5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-24h						

表 5-21. CPUIRQSEL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	24h	読み取り専用選択値 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS

Copyright © 2026 Texas Instruments Incorporated

5.7.2.7 CPUIRQSEL6 レジスタ (オフセット = 18h) [リセット = 0000001Ch]

図 5-16 に、CPUIRQSEL6 を示し、表 5-22 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 6 の出力選択

図 5-16. CPUIRQSEL6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-1Ch						

表 5-22. CPUIRQSEL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	1Ch	読み取り専用選択値 1Ch = AUX ソフトウェアイベント 0。AUX_EVCTL:SWEVSET.SWEV0 によってトリガされ、AUX_EVENT0 AON ウェークアップイベントとしても使用できます。 マイコンドメインウェークアップ制御 AON_EVENT:MCUWUSEL

Copyright © 2026 Texas Instruments Incorporated

5.7.2.8 CPUIRQSEL7 レジスタ (オフセット = 1Ch) [リセット = 00000022h]

図 5-17 に、CPUIRQSEL7 を示し、表 5-23 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 7 の出力選択

図 5-17. CPUIRQSEL7 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-22h						

表 5-23. CPUIRQSEL7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	22h	読み取り専用選択値 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS

Copyright © 2026 Texas Instruments Incorporated

5.7.2.9 CPUIRQSEL8 レジスタ (オフセット = 20h) [リセット = 00000023h]

図 5-18 に、CPUIRQSEL8 を示し、表 5-24 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 8 の出力選択

図 5-18. CPUIRQSEL8 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-23h						

表 5-24. CPUIRQSEL8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	23h	読み取り専用選択値 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS

Copyright © 2026 Texas Instruments Incorporated

5.7.2.10 CPUIRQSEL9 レジスタ (オフセット = 24h) [リセット = 0000001Bh]

図 5-19 に、CPUIRQSEL9 を示し、表 5-25 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 9 の出力選択

図 5-19. CPUIRQSEL9 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-1Bh						

表 5-25. CPUIRQSEL9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	1Bh	読み取り専用選択値 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする

Copyright © 2026 Texas Instruments Incorporated

5.7.2.11 CPUIRQSEL10 レジスタ (オフセット = 28h) [リセット = 0000001Ah]

図 5-20 に、CPUIRQSEL10 を示し、表 5-26 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 10 の出力選択

図 5-20. CPUIRQSEL10 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-1Ah						

表 5-26. CPUIRQSEL10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	1Ah	読み取り専用選択値 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG

Copyright © 2026 Texas Instruments Incorporated

5.7.2.12 CPUIRQSEL11 レジスタ (オフセット = 2Ch) [リセット = 00000019h]

図 5-21 に、CPUIRQSEL11 を示し、表 5-27 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 11 の出力選択

図 5-21. CPUIRQSEL11 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-19h						

表 5-27. CPUIRQSEL11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	19h	読み取り専用選択値 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当)

Copyright © 2026 Texas Instruments Incorporated

5.7.2.13 CPUIRQSEL12 レジスタ (オフセット = 30h) [リセット = 00000008h]

図 5-22 に、CPUIRQSEL12 を示し、表 5-28 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 12 の出力選択

図 5-22. CPUIRQSEL12 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-8h						

表 5-28. CPUIRQSEL12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	8h	読み取り専用選択値 8h = I2S からの割り込みイベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.14 CPUIRQSEL13 レジスタ (オフセット = 34h) [リセット = 0000001Dh]

図 5-23 に、CPUIRQSEL13 を示し、表 5-29 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 13 の出力選択

図 5-23. CPUIRQSEL13 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-1Dh						

表 5-29. CPUIRQSEL13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	1Dh	読み取り専用選択値 1Dh = AUX ソフトウェアイベント 1。AUX_EVCTL:SWEVSET.SWEV1 によってトリガされ、AUX_EVENT2 AON ウェークアップイベントとしても使用できます。 マイコンドメインウェークアップ制御 AON_EVENT:MCUWUSEL

Copyright © 2026 Texas Instruments Incorporated

5.7.2.15 CPUIRQSEL14 レジスタ (オフセット = 38h) [リセット = 00000018h]

図 5-24 に、CPUIRQSEL14 を示し、表 5-30 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 14 の出力選択

図 5-24. CPUIRQSEL14 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-18h						

表 5-30. CPUIRQSEL14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	18h	読み取り専用選択値 18h = ウォッチドッグ割り込みイベント (WDT:CTL.INTEN によって制御)

Copyright © 2026 Texas Instruments Incorporated

5.7.2.16 CPUIRQSEL15 レジスタ (オフセット = 3Ch) [リセット = 00000010h]

図 5-25 に、CPUIRQSEL15 を示し、表 5-31 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 15 の出力選択

図 5-25. CPUIRQSEL15 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-10h						

表 5-31. CPUIRQSEL15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	10h	読み取り専用選択値 10h = GPT0A 割り込みイベント、GPT0:TAMR によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.17 CPUIRQSEL16 レジスタ (オフセット = 40h) [リセット = 00000011h]

図 5-26 に、CPUIRQSEL16 を示し、表 5-32 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 16 の出力選択

図 5-26. CPUIRQSEL16 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-11h						

表 5-32. CPUIRQSEL16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	11h	読み取り専用選択値 11h = GPT0B 割り込みイベント、GPT0:TBMR によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.18 CPUIRQSEL17 レジスタ (オフセット = 44h) [リセット = 00000012h]

図 5-27 に、CPUIRQSEL17 を示し、表 5-33 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 17 の出力選択

図 5-27. CPUIRQSEL17 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-12h						

表 5-33. CPUIRQSEL17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	12h	読み取り専用選択値 12h = GPT1A 割り込みイベント、GPT1:TAMR によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.19 CPUIRQSEL18 レジスタ (オフセット = 48h) [リセット = 00000013h]

図 5-28 に、CPUIRQSEL18 を示し、表 5-34 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 18 の出力選択

図 5-28. CPUIRQSEL18 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-13h						

表 5-34. CPUIRQSEL18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	13h	読み取り専用選択値 13h = GPT1B 割り込みイベント、GPT1:TBMR によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.20 CPUIRQSEL19 レジスタ (オフセット = 4Ch) [リセット = 0000000Ch]

図 5-29 に、CPUIRQSEL19 を示し、表 5-35 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 19 の出力選択

図 5-29. CPUIRQSEL19 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-Ch						

表 5-35. CPUIRQSEL19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	Ch	読み取り専用選択値 Ch = GPT2A 割り込みイベント、GPT2:TAMR によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.21 CPUIRQSEL20 レジスタ (オフセット = 50h) [リセット = 0000000Dh]

図 5-30 に、CPUIRQSEL20 を示し、表 5-36 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 20 の出力選択

図 5-30. CPUIRQSEL20 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-Dh						

表 5-36. CPUIRQSEL20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	Dh	読み取り専用選択値 Dh = GPT2B 割り込みイベント (GPT2:TBMR によって制御)

Copyright © 2026 Texas Instruments Incorporated

5.7.2.22 CPUIRQSEL21 レジスタ (オフセット = 54h) [リセット = 0000000Eh]

図 5-31 に、CPUIRQSEL21 を示し、表 5-37 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 21 の出力選択

図 5-31. CPUIRQSEL21 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-Eh						

表 5-37. CPUIRQSEL21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	Eh	読み取り専用選択値 Eh = GPT3A 割り込みイベント、GPT3:TAMR によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.23 CPUIRQSEL22 レジスタ (オフセット = 58h) [リセット = 0000000Fh]

図 5-32 に、CPUIRQSEL22 を示し、表 5-38 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 22 の出力選択

図 5-32. CPUIRQSEL22 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-Fh						

表 5-38. CPUIRQSEL22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	Fh	読み取り専用選択値 Fh = GPT3B 割り込みイベント、GPT3:TBMR によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.24 CPUIRQSEL23 レジスタ (オフセット = 5Ch) [リセット = 0000005Dh]

図 5-33 に、CPUIRQSEL23 を示し、表 5-39 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 23 の出力選択

図 5-33. CPUIRQSEL23 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-5Dh						

表 5-39. CPUIRQSEL23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	5Dh	読み取り専用選択値 5Dh = CRYPTO 結果利用可能割り込みイベント、対応するフラグはこちら CRYPTO:IRQSTAT.RESULT_AVAIL。 CRYPTO:IRQSTAT.RESULT_AVAIL で制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.25 CPUIRQSEL24 レジスタ (オフセット = 60h) [リセット = 00000027h]

図 5-34 に、CPUIRQSEL24 を示し、表 5-40 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 24 の出力選択

図 5-34. CPUIRQSEL24 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-27h						

表 5-40. CPUIRQSEL24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	27h	読み取り専用選択値 27h = DMA 結合処理完了、対応するフラグはこちら UDMA0:REQDONE

Copyright © 2026 Texas Instruments Incorporated

5.7.2.26 CPUIRQSEL25 レジスタ (オフセット = 64h) [リセット = 00000026h]

図 5-35 に、CPUIRQSEL25 を示し、表 5-41 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 25 の出力選択

図 5-35. CPUIRQSEL25 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-26h						

表 5-41. CPUIRQSEL25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	26h	読み取り専用選択値 26h = DMA バスエラー、UDMA0:ERROR.STATUS に対応

Copyright © 2026 Texas Instruments Incorporated

5.7.2.27 CPUIRQSEL26 レジスタ (オフセット = 68h) [リセット = 00000015h]

図 5-36 に、CPUIRQSEL26 を示し、表 5-42 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 26 の出力選択

図 5-36. CPUIRQSEL26 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-15h						

表 5-42. CPUIRQSEL26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	15h	読み取り専用選択値 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT

Copyright © 2026 Texas Instruments Incorporated

5.7.2.28 CPUIRQSEL27 レジスタ (オフセット = 6Ch) [リセット = 00000064h]

図 5-37 に、CPUIRQSEL27 を示し、表 5-43 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 27 の出力選択

図 5-37. CPUIRQSEL27 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-64h						

表 5-43. CPUIRQSEL27 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	64h	読み取り専用選択値 64h = ソフトウェアイベント 0、SWEV.SWEV0 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.29 CPUIRQSEL28 レジスタ (オフセット = 70h) [リセット = 0000000Bh]

図 5-38 に、CPUIRQSEL28 を示し、表 5-44 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 28 の出力選択

図 5-38. CPUIRQSEL28 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-Bh						

表 5-44. CPUIRQSEL28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	Bh	読み取り専用選択値 Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS

Copyright © 2026 Texas Instruments Incorporated

5.7.2.30 CPUIRQSEL29 レジスタ (オフセット = 74h) [リセット = 00000001h]

図 5-39 に、CPUIRQSEL29 を示し、表 5-45 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 29 の出力選択

図 5-39. CPUIRQSEL29 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-1h						

表 5-45. CPUIRQSEL29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	1h	読み取り専用選択値 1h = AON プログラム可能イベント 0。AON_EVENT マイコンイベントセレクタによって選択されたイベント、AON_EVENT:EVTOMCUSEL.AON_PROG0_EV

Copyright © 2026 Texas Instruments Incorporated

5.7.2.31 CPUIRQSEL30 レジスタ (オフセット = 78h) [リセット = 00000000h]

図 5-40 に、CPUIRQSEL30 を示し、表 5-46 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 30 の出力選択

図 5-40. CPUIRQSEL30 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-0h						

表 5-46. CPUIRQSEL30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-46. CPUIRQSEL30 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	0h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 2h = AON プログラム可能イベント 1。AON_EVENT マイコンイベントセレクタによって選択されたイベント、AON_EVENT:EVTOMCUSEL.AON_PROG1_EV 3h = AON プログラム可能イベント 2。AON_EVENT マイコンイベントセレクタ、AON_EVENT:EVTOMCUSEL.AON_PROG2_EV で選択されたイベント 8h = I2S からの割り込みイベント Ah = AUX ソフトウェアイベント 0、AUX_EVCTL:SWEVSET.SWEV0 14h = ソフトウェア トリガ UDMA チャネル 0 の DMA 処理完了、UDMA0:SOFTREQ を参照 16h = ソフトウェア トリガ UDMA チャネル 18 の DMA 処理完了、UDMA0:SOFTREQ を参照 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 5Eh = CRYPTO DMA 入力完了イベント、対応するフラグ CRYPTO:IRQSTAT.DMA_IN_DONECRYPTO:IRQEN.DMA_IN_DONE によって制御 69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.32 CPUIRQSEL31 レジスタ (オフセット = 7Ch) [リセット = 0000006Ah]

図 5-41 に、CPUIRQSEL31 を示し、表 5-47 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 31 の出力選択

図 5-41. CPUIRQSEL31 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-6Ah						

表 5-47. CPUIRQSEL31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	6Ah	読み取り専用選択値 6Ah = AUX 比較 A イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応

Copyright © 2026 Texas Instruments Incorporated

5.7.2.33 CPUIRQSEL32 レジスタ (オフセット = 80h) [リセット = 00000073h]

図 5-42 に、CPUIRQSEL32 を示し、表 5-48 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 32 の出力選択

図 5-42. CPUIRQSEL32 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-73h						

表 5-48. CPUIRQSEL32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	73h	読み取り専用選択値 73h = AUX ADC 割り込みイベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS

Copyright © 2026 Texas Instruments Incorporated

5.7.2.34 CPUIRQSEL33 レジスタ (オフセット = 84h) [リセット = 00000068h]

図 5-43 に、CPUIRQSEL33 を示し、表 5-49 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 33 の出力選択

図 5-43. CPUIRQSEL33 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-68h						

表 5-49. CPUIRQSEL33 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	68h	読み取り専用選択値 68h = TRNG 割り込みイベント、TRNG:IRQEN.EN によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.35 CPUIRQSEL34 レジスタ (オフセット = 88h) [リセット = 00000006h]

図 5-44 に、CPUIRQSEL34 を示し、表 5-50 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 34 の出力選択

図 5-44. CPUIRQSEL34 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-6h						

表 5-50. CPUIRQSEL34 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	6h	読み取り専用選択値 6h = オシレータ制御からの結合イベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.36 CPUIRQSEL35 レジスタ (オフセット = 8Ch) [リセット = 00000038h]

図 5-45 に、CPUIRQSEL35 を示し、表 5-51 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 35 の出力選択

図 5-45. CPUIRQSEL35 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-38h						

表 5-51. CPUIRQSEL35 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	38h	読み取り専用選択値 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応

Copyright © 2026 Texas Instruments Incorporated

5.7.2.37 CPUIRQSEL36 レジスタ (オフセット = 90h) [リセット = 00000025h]

図 5-46 に、CPUIRQSEL36 を示し、表 5-52 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 36 の出力選択

図 5-46. CPUIRQSEL36 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-25h						

表 5-52. CPUIRQSEL36 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	25h	読み取り専用選択値 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS

Copyright © 2026 Texas Instruments Incorporated

5.7.2.38 CPUIRQSEL37 レジスタ (オフセット = 94h) [リセット = 00000005h]

図 5-47 に、CPUIRQSEL37 を示し、表 5-53 に、その説明を示します。

概略表に戻ります。

CPU 割り込み 37 の出力選択

図 5-47. CPUIRQSEL37 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-5h						

表 5-53. CPUIRQSEL37 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	5h	読み取り専用選択値 5h = バッテリモニタからの活合イベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.39 RFCSEL0 レジスタ (オフセット = 100h) [リセット = 0000003Dh]

図 5-48 に、RFCSEL0 を示し、表 5-54 に、その説明を示します。

概略表に戻ります。

RFC イベント 0 の出力選択

図 5-48. RFCSEL0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-3Dh						

表 5-54. RFCSEL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	3Dh	読み取り専用選択値 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成

Copyright © 2026 Texas Instruments Incorporated

5.7.2.40 RFCSEL1 レジスタ (オフセット = 104h) [リセット = 0000003Eh]

図 5-49 に、RFCSEL1 を示し、表 5-55 に、その説明を示します。

概略表に戻ります。

RFC イベント 1 の出力選択

図 5-49. RFCSEL1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-3Eh						

表 5-55. RFCSEL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	3Eh	読み取り専用選択値 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます

Copyright © 2026 Texas Instruments Incorporated

5.7.2.41 RFCSEL2 レジスタ (オフセット = 108h) [リセット = 0000003Fh]

図 5-50 に、RFCSEL2 を示し、表 5-56 に、その説明を示します。

概略表に戻ります。

RFC イベント 2 の出力選択

図 5-50. RFCSEL2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-3Fh						

表 5-56. RFCSEL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	3Fh	読み取り専用選択値 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成

Copyright © 2026 Texas Instruments Incorporated

5.7.2.42 RFCSEL3 レジスタ (オフセット = 10Ch) [リセット = 00000040h]

図 5-51 に、RFCSEL3 を示し、表 5-57 に、その説明を示します。

概略表に戻ります。

RFC イベント 3 の出力選択

図 5-51. RFCSEL3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-40h						

表 5-57. RFCSEL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	40h	読み取り専用選択値 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます

Copyright © 2026 Texas Instruments Incorporated

5.7.2.43 RFCSEL4 レジスタ (オフセット = 110h) [リセット = 00000041h]

図 5-52 に、RFCSEL4 を示し、表 5-58 に、その説明を示します。

概略表に戻ります。

RFC イベント 4 の出力選択

図 5-52. RFCSEL4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-41h						

表 5-58. RFCSEL4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	41h	読み取り専用選択値 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成

Copyright © 2026 Texas Instruments Incorporated

5.7.2.44 RFCSEL5 レジスタ (オフセット = 114h) [リセット = 00000042h]

図 5-53 に、RFCSEL5 を示し、表 5-59 に、その説明を示します。

概略表に戻ります。

RFC イベント 5 の出力選択

図 5-53. RFCSEL5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-42h						

表 5-59. RFCSEL5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	42h	読み取り専用選択値 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます

Copyright © 2026 Texas Instruments Incorporated

5.7.2.45 RFCSEL6 レジスタ (オフセット = 118h) [リセット = 00000043h]

図 5-54 に、RFCSEL6 を示し、表 5-60 に、その説明を示します。

概略表に戻ります。

RFC イベント 6 の出力選択

図 5-54. RFCSEL6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-43h						

表 5-60. RFCSEL6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	43h	読み取り専用選択値 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成

Copyright © 2026 Texas Instruments Incorporated

5.7.2.46 RFCSEL7 レジスタ (オフセット = 11Ch) [リセット = 00000044h]

図 5-55 に、RFCSEL7 を示し、表 5-61 に、その説明を示します。

概略表に戻ります。

RFC イベント 7 の出力選択

図 5-55. RFCSEL7 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-44h						

表 5-61. RFCSEL7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	44h	読み取り専用選択値 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます

Copyright © 2026 Texas Instruments Incorporated

5.7.2.47 RFCSEL8 レジスタ (オフセット = 120h) [リセット = 00000077h]

図 5-56 に、RFCSEL8 を示し、表 5-62 に、その説明を示します。

概略表に戻ります。

RFC イベント 8 の出力選択

図 5-56. RFCSEL8 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-77h						

表 5-62. RFCSEL8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	77h	読み取り専用選択値 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.48 RFCSEL9 レジスタ (オフセット = 124h) [リセット = 00000002h]

図 5-57 に、RFCSEL9 を示し、表 5-63 に、その説明を示します。

概略表に戻ります。

RFC イベント 9 の出力選択

図 5-57. RFCSEL9 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-2h						

表 5-63. RFCSEL9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-63. RFCSEL9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	2h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 1h = AON プログラム可能イベント 0。AON_EVENT マイコンイベントセレクタによって選択されたイベント、 AON_EVENT:EVTOMCUSEL.AON_PROG0_EV 2h = AON プログラム可能イベント 1。AON_EVENT マイコンイベントセレクタによって選択されたイベント、 AON_EVENT:EVTOMCUSEL.AON_PROG1_EV 8h = I2S からの割り込みイベント Ah = AUX ソフトウェアイベント 0、AUX_EVCTL:SWEVSET.SWEV0 18h = ウォッチドッグ割り込みイベント (WDT:CTL.INTEN によって制御) 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 27h = DMA 結合処理完了、対応するフラグはこちら UDMA0:REQDONE 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 5Dh = CRYPTO 結果利用可能割り込みイベント、対応するフラグはこちら CRYPTO:IRQSTAT.RESULT_AVAIL。 CRYPTO:IRQSTAT.RESULT_AVAIL で制御 64h = ソフトウェアイベント 0、SWEV.SWEV0 によってトリガされる 65h = ソフトウェアイベント 1、SWEV.SWEV1 によってトリガされる 69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、 AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、 AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、 AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS

Copyright © 2026 Texas Instruments Incorporated

表 5-63. RFCSEL9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				79h = 常にアサート

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

5.7.2.49 GPT0ACAPTSEL レジスタ (オフセット = 200h) [リセット = 00000055h]

図 5-58 に、GPT0ACAPTSEL を示し、表 5-64 に、その説明を示します。

概略表に戻ります。

GPT0 0 の出力選択

図 5-58. GPT0ACAPTSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-55h						

表 5-64. GPT0ACAPTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPT0ACAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	55h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 9h = I2C からの割り込みイベント Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 55h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT0 で構成されたポート上のイベントは、ここにルーティングされます。 56h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT1 で構成されたポート上のイベントは、ここにルーティングされます。

Copyright © 2026 Texas Instruments Incorporated

表 5-64. GPT0ACAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.50 GPT0BCAPTSEL レジスタ (オフセット = 204h) [リセット = 00000056h]

図 5-59 に、GPT0BCAPTSEL を示し、表 5-65 に、その説明を示します。

概略表に戻ります。

GPT0 1 の出力選択

図 5-59. GPT0BCAPTSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-56h						

表 5-65. GPT0BCAPTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-65. GPT0BCAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	56h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 9h = I2C からの割り込みイベント Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 55h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT0 で構成されたポート上のイベントは、ここにルーティングされます。 56h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT1 で構成されたポート上のイベントは、ここにルーティングされます。

Copyright © 2026 Texas Instruments Incorporated

表 5-65. GPT0BCAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

5.7.2.51 GPT1ACAPTSEL レジスタ (オフセット = 300h) [リセット = 00000057h]

図 5-60 に、GPT1ACAPTSEL を示し、表 5-66 に、その説明を示します。

概略表に戻ります。

GPT1 0 の出力選択

図 5-60. GPT1ACAPTSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-57h						

表 5-66. GPT1ACAPTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-66. GPT1ACAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	57h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 9h = I2C からの割り込みイベント Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 57h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT2 で構成されたポート上のイベントは、ここにルーティングされます。 58h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT3 で構成されたポート上のイベントは、ここにルーティングされます。

Copyright © 2026 Texas Instruments Incorporated

表 5-66. GPT1ACAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.52 GPT1BCAPTSEL レジスタ (オフセット = 304h) [リセット = 00000058h]

図 5-61 に、GPT1BCAPTSEL を示し、表 5-67 に、その説明を示します。

概略表に戻ります。

GPT1 1 の出力選択

図 5-61. GPT1BCAPTSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-58h						

表 5-67. GPT1BCAPTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-67. GPT1BCAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	58h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 9h = I2C からの割り込みイベント Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 57h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT2 で構成されたポート上のイベントは、ここにルーティングされます。 58h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT3 で構成されたポート上のイベントは、ここにルーティングされます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 5-67. GPT1BCAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

5.7.2.53 GPT2ACAPTSEL レジスタ (オフセット = 400h) [リセット = 00000059h]

図 5-62 に、GPT2ACAPTSEL を示し、表 5-68 に、その説明を示します。

概略表に戻ります。

GPT2 0 の出力選択

図 5-62. GPT2ACAPTSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-59h						

表 5-68. GPT2ACAPTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-68. GPT2ACAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	59h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 9h = I2C からの割り込みイベント Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 59h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT4 で構成されたポート上のイベントは、ここにルーティングされます。 5Ah = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT4 で構成されたポート上のイベントは、ここにルーティングされます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 5-68. GPT2ACAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.54 GPT2BCAPTSEL レジスタ (オフセット = 404h) [リセット = 0000005Ah]

図 5-63 に、GPT2BCAPTSEL を示し、表 5-69 に、その説明を示します。

概略表に戻ります。

GPT2 1 の出力選択

図 5-63. GPT2BCAPTSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-5Ah						

表 5-69. GPT2BCAPTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-69. GPT2BCAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	5Ah	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 9h = I2C からの割り込みイベント Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 59h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT4 で構成されたポート上のイベントは、ここにルーティングされます。 5Ah = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT4 で構成されたポート上のイベントは、ここにルーティングされます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 5-69. GPT2BCAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

5.7.2.55 UDMACH1SSEL レジスタ (オフセット = 508h) [リセット = 00000031h]

図 5-64 に、UDMACH1SSEL を示し、表 5-70 に、その説明を示します。

概略表に戻ります。

DMA チャネル 1 SREQ の出力選択

図 5-64. UDMACH1SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-31h						

表 5-70. UDMACH1SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	31h	読み取り専用選択値 31h = UART0 RX DMA シングル リクエスト、 UART0:DMACTL.RXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.56 UDMACH1BSEL レジスタ (オフセット = 50Ch) [リセット = 00000030h]

図 5-65 に、UDMACH1BSEL を示し、表 5-71 に、その説明を示します。

概略表に戻ります。

DMA チャネル 1 REQ の出力選択

図 5-65. UDMACH1BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-30h						

表 5-71. UDMACH1BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	30h	読み取り専用選択値 30h = UART0 RX DMA バースト リクエスト、 UART0:DMACTL.RXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.57 UDMACH2SSEL レジスタ (オフセット = 510h) [リセット = 00000033h]

図 5-66 に、UDMACH2SSEL を示し、表 5-72 に、その説明を示します。

概略表に戻ります。

DMA チャネル 2 SREQ の出力選択

図 5-66. UDMACH2SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-33h						

表 5-72. UDMACH2SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	33h	読み取り専用選択値 33h = UART0 TX DMA シングル リクエスト、 UART0:DMACTL.TXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.58 UDMACH2BSEL レジスタ (オフセット = 514h) [リセット = 00000032h]

図 5-67 に、UDMACH2BSEL を示し、表 5-73 に、その説明を示します。

概略表に戻ります。

DMA チャネル 2 REQ の出力選択

図 5-67. UDMACH2BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-32h						

表 5-73. UDMACH2BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	32h	読み取り専用選択値 32h = UART0 TX DMA バースト リクエスト、UART0:DMACTL.TXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.59 UDMACH3SSEL レジスタ (オフセット = 518h) [リセット = 00000029h]

図 5-68 に、UDMACH3SSEL を示し、表 5-74 に、その説明を示します。

概略表に戻ります。

DMA チャネル 3 SREQ の出力選択

図 5-68. UDMACH3SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-29h						

表 5-74. UDMACH3SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	29h	読み取り専用選択値 29h = SSI0 RX DMA シングル リクエスト、SSI0:DMACR.RXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.60 UDMACH3BSEL レジスタ (オフセット = 51Ch) [リセット = 00000028h]

図 5-69 に、UDMACH3BSEL を示し、表 5-75 に、その説明を示します。

概略表に戻ります。

DMA チャネル 3 REQ の出力選択

図 5-69. UDMACH3BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-28h						

表 5-75. UDMACH3BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	28h	読み取り専用選択値 28h = SSI0 RX DMA バースト リクエスト、SSI0:DMACR.RXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.61 UDMACH4SSEL レジスタ (オフセット = 520h) [リセット = 0000002Bh]

図 5-70 に、UDMACH4SSEL を示し、表 5-76 に、その説明を示します。

概略表に戻ります。

DMA チャネル 4 SREQ の出力選択

図 5-70. UDMACH4SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-2Bh						

表 5-76. UDMACH4SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	2Bh	読み取り専用選択値 2Bh = SSI0 TX DMA シングル リクエスト、SSI0:DMACR.TXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.62 UDMACH4BSEL レジスタ (オフセット = 524h) [リセット = 0000002Ah]

図 5-71 に、UDMACH4BSEL を示し、表 5-77 に、その説明を示します。

概略表に戻ります。

DMA チャネル 4 REQ の出力選択

図 5-71. UDMACH4BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-2Ah						

表 5-77. UDMACH4BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	2Ah	読み取り専用選択値 2Ah = SSI0 TX DMA バースト リクエスト、SSI0:DMACR.TXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.63 UDMACH5SSEL レジスタ (オフセット = 528h) [リセット = 00000035h]

図 5-72 に、UDMACH5SSEL を示し、表 5-78 に、その説明を示します。

概略表に戻ります。

DMA チャネル 5 SREQ の出力選択

図 5-72. UDMACH5SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-35h						

表 5-78. UDMACH5SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	35h	読み取り専用選択値 35h = UART1 RX DMA シングル リクエスト、 UART1:DMACTL.RXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.64 UDMACH5BSEL レジスタ (オフセット = 52Ch) [リセット = 00000034h]

図 5-73 に、UDMACH5BSEL を示し、表 5-79 に、その説明を示します。

概略表に戻ります。

DMA チャネル 5 REQ の出力選択

図 5-73. UDMACH5BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-34h						

表 5-79. UDMACH5BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	34h	読み取り専用選択値 34h = UART1 RX DMA バースト リクエスト、 UART1:DMACTL.RXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.65 UDMACH6SSEL レジスタ (オフセット = 530h) [リセット = 00000037h]

図 5-74 に、UDMACH6SSEL を示し、表 5-80 に、その説明を示します。

概略表に戻ります。

DMA チャネル 6 SREQ の出力選択

図 5-74. UDMACH6SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-37h						

表 5-80. UDMACH6SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	37h	読み取り専用選択値 37h = UART1 TX DMA シングル リクエスト、 UART1:DMACTL.TXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.66 UDMACH6BSEL レジスタ (オフセット = 534h) [リセット = 00000036h]

図 5-75 に、UDMACH6BSEL を示し、表 5-81 に、その説明を示します。

概略表に戻ります。

DMA チャネル 6 REQ の出力選択

図 5-75. UDMACH6BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-36h						

表 5-81. UDMACH6BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	36h	読み取り専用選択値 36h = UART1 TX DMA バースト リクエスト、UART1:DMACTL.TXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.67 UDMACH7SSEL レジスタ (オフセット = 538h) [リセット = 00000075h]

図 5-76 に、UDMACH7SSEL を示し、表 5-82 に、その説明を示します。

概略表に戻ります。

DMA チャネル 7 SREQ の出力選択

図 5-76. UDMACH7SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-75h						

表 5-82. UDMACH7SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	75h	読み取り専用選択値 75h = AUX_EVCTL:DMACTL で構成された AUX からの DMA シングル リクエスト イベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.68 UDMACH7BSEL レジスタ (オフセット = 53Ch) [リセット = 00000076h]

図 5-77 に、UDMACH7BSEL を示し、表 5-83 に、その説明を示します。

概略表に戻ります。

DMA チャネル 7 REQ の出力選択

図 5-77. UDMACH7BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-76h						

表 5-83. UDMACH7BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	76h	読み取り専用選択値 76h = AUX_EVCTL:DMACTL で構成された AUX からの DMA バースト リクエスト イベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.69 UDMACH8SSEL レジスタ (オフセット = 540h) [リセット = 00000074h]

図 5-78 に、UDMACH8SSEL を示し、表 5-84 に、その説明を示します。

概略表に戻ります。

DMA チャネル 8 SREQ の出力選択
このチャネルではシングル リクエストは無視されます

図 5-78. UDMACH8SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-74h						

表 5-84. UDMACH8SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	74h	読み取り専用選択値 74h = AUX からの DMA ソフトウェア トリガ、 AUX_EVCTL:DMASWREQ.START によってトリガ

Copyright © 2026 Texas Instruments Incorporated

5.7.2.70 UDMACH8BSEL レジスタ (オフセット = 544h) [リセット = 00000074h]

図 5-79 に、UDMACH8BSEL を示し、表 5-85 に、その説明を示します。

概略表に戻ります。

DMA チャネル 8 REQ の出力選択

図 5-79. UDMACH8BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-74h						

表 5-85. UDMACH8BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	74h	読み取り専用選択値 74h = AUX からの DMA ソフトウェア トリガ、 AUX_EVCTL:DMASWREQ.START によってトリガ

Copyright © 2026 Texas Instruments Incorporated

5.7.2.71 UDMACH9SSEL レジスタ (オフセット = 548h) [リセット = 00000045h]

図 5-80 に、UDMACH9SSEL を示し、表 5-86 に、その説明を示します。

概略表に戻ります。

DMA チャネル 9 SREQ の出力選択
対応する DMA チャネルの DMA_DONE は、GPT0 の割り込みとして GPT0:RIS.DMAARIS として利用可能です

図 5-80. UDMACH9SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-45h						

表 5-86. UDMACH9SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	45h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 45h = 未使用、0 に関連付け 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成 51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.72 UDMACH9BSEL レジスタ (オフセット = 54Ch) [リセット = 0000004Dh]

図 5-81 に、UDMACH9BSEL を示し、表 5-87 に、その説明を示します。

概略表に戻ります。

DMA チャネル 9 REQ の出力選択
対応する DMA チャネルの DMA_DONE は、GPT0 の割り込みとして GPT0:RIS.DMAARIS として利用可能です

図 5-81. UDMACH9BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-4Dh						

表 5-87. UDMACH9BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	4Dh	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成 51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.73 UDMACH10SSEL レジスタ (オフセット = 550h) [リセット = 00000046h]

図 5-82 に、UDMACH10SSEL を示し、表 5-88 に、その説明を示します。

概略表に戻ります。

DMA チャネル 10 SREQ の出力選択
対応する DMA チャネルの DMA_DONE は、GPT0 の割り込みとして GPT0:RIS.DMABRIS として利用可能です

図 5-82. UDMACH10SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-46h						

表 5-88. UDMACH10SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	46h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 46h = 未使用、0 に関連付け 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成 51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.74 UDMACH10BSEL レジスタ (オフセット = 554h) [リセット = 0000004Eh]

図 5-83 に、UDMACH10BSEL を示し、表 5-89 に、その説明を示します。

概略表に戻ります。

DMA チャネル 10 REQ の出力選択
対応する DMA チャネルの DMA_DONE は、GPT0 の割り込みとして GPT0:RIS.DMABRIS として利用可能です。

図 5-83. UDMACH10BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-4Eh						

表 5-89. UDMACH10BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	4Eh	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成 51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.75 UDMACH11SSEL レジスタ (オフセット = 558h) [リセット = 00000047h]

図 5-84 に、UDMACH11SSEL を示し、表 5-90 に、その説明を示します。

概略表に戻ります。

DMA チャネル 11 SREQ の出力選択
対応する DMA チャネルの DMA_DONE は、GPT1 の割り込みとして GPT1:RIS.DMAARIS として利用可能です

図 5-84. UDMACH11SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-47h						

表 5-90. UDMACH11SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	47h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 47h = 未使用、0 に関連付け 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成 51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.76 UDMACH11BSEL レジスタ (オフセット = 55Ch) [リセット = 0000004Fh]

図 5-85 に、UDMACH11BSEL を示し、表 5-91 に、その説明を示します。

概略表に戻ります。

DMA チャネル 11 REQ の出力選択
対応する DMA チャネルの DMA_DONE は、GPT1 の割り込みとして GPT1:RIS.DMAARIS として利用可能です

図 5-85. UDMACH11BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-4Fh						

表 5-91. UDMACH11BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	4Fh	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成 51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.77 UDMACH12SSEL レジスタ (オフセット = 560h) [リセット = 00000048h]

図 5-86 に、UDMACH12SSEL を示し、表 5-92 に、その説明を示します。

概略表に戻ります。

DMA チャネル 12 SREQ の出力選択
対応する DMA チャネルの DMA_DONE は、GPT1 の割り込みとして GPT1:RIS.DMABRIS として利用可能です。

図 5-86. UDMACH12SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-48h						

表 5-92. UDMACH12SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	48h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 48h = 未使用、0 に関連付け 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成 51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.78 UDMACH12BSEL レジスタ (オフセット = 564h) [リセット = 00000050h]

図 5-87 に、UDMACH12BSEL を示し、表 5-93 に、その説明を示します。

概略表に戻ります。

DMA チャネル 12 REQ の出力選択
対応する DMA チャネルの DMA_DONE は、GPT1 の割り込みとして GPT1:RIS.DMABRIS として利用可能です。

図 5-87. UDMACH12BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-50h						

表 5-93. UDMACH12BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	50h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成 51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.79 UDMACH13BSEL レジスタ (オフセット = 56Ch) [リセット = 00000003h]

図 5-88 に、UDMACH13BSEL を示し、表 5-94 に、その説明を示します。

概略表に戻ります。

DMA チャネル 13 REQ の出力選択

図 5-88. UDMACH13BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-3h						

表 5-94. UDMACH13BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	3h	読み取り専用選択値 3h = AON プログラム可能イベント 2。AON_EVENT マイコンイベントセレクタ、AON_EVENT:EVTOMCUSEL.AON_PROG2_EV で選択されたイベント

Copyright © 2026 Texas Instruments Incorporated

5.7.2.80 UDMACH14BSEL レジスタ (オフセット = 574h) [リセット = 00000001h]

図 5-89 に、UDMACH14BSEL を示し、表 5-95 に、その説明を示します。

概略表に戻ります。

DMA チャネル 14 REQ の出力選択

図 5-89. UDMACH14BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-1h						

表 5-95. UDMACH14BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-95. UDMACH14BSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	1h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 1h = AON プログラム可能イベント 0。AON_EVENT マイコンイベントセレクタによって選択されたイベント、AON_EVENT:EVTOMCUSEL.AON_PROG0_EV 2h = AON プログラム可能イベント 1。AON_EVENT マイコンイベントセレクタによって選択されたイベント、AON_EVENT:EVTOMCUSEL.AON_PROG1_EV 3h = AON プログラム可能イベント 2。AON_EVENT マイコンイベントセレクタ、AON_EVENT:EVTOMCUSEL.AON_PROG2_EV で選択されたイベント 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 8h = I2S からの割り込みイベント 9h = I2C からの割り込みイベント Ah = AUX ソフトウェアイベント 0、AUX_EVCTL:SWEVSET.SWEV0 Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS Ch = GPT2A 割り込みイベント、GPT2:TAMR によって制御 Dh = GPT2B 割り込みイベント (GPT2:TBMR によって制御) Eh = GPT3A 割り込みイベント、GPT3:TAMR によって制御 Fh = GPT3B 割り込みイベント、GPT3:TBMR によって制御 10h = GPT0A 割り込みイベント、GPT0:TAMR によって制御 11h = GPT0B 割り込みイベント、GPT0:TBMR によって制御 12h = GPT1A 割り込みイベント、GPT1:TAMR によって制御 13h = GPT1B 割り込みイベント、GPT1:TBMR によって制御 14h = ソフトウェア トリガ UDMA チャネル 0 の DMA 処理完了、UDMA0:SOFTREQ を参照 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 16h = ソフトウェア トリガ UDMA チャネル 18 の DMA 処理完了、UDMA0:SOFTREQ を参照 18h = ウォッチドッグ割り込みイベント (WDT:CTL.INTEN によって制御) 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Dh = AUX ソフトウェアイベント 1。AUX_EVCTL:SWEVSET.SWEV1 によってトリガされ、AUX_EVENT2 AON ウェークアップイベントとしても使用できます。 マイコンドメインウェークアップ制御 AON_EVENT:MCUWUSEL 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 1Fh = PKA 割り込みイベント 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS

Copyright © 2026 Texas Instruments Incorporated

表 5-95. UDMACH14BSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				26h = DMA バスエラー、UDMA0:ERROR.STATUS に対応 27h = DMA 結合処理完了、対応するフラグはこちら UDMA0:REQDONE 28h = SSI0 RX DMA バースト リクエスト、SSI0:DMACR.RXDMAE によって制御 29h = SSI0 RX DMA シングル リクエスト、SSI0:DMACR.RXDMAE によって制御 2Ah = SSI0 TX DMA バースト リクエスト、SSI0:DMACR.TXDMAE によって制御 2Bh = SSI0 TX DMA シングル リクエスト、SSI0:DMACR.TXDMAE によって制御 2Ch = SSI1 RX DMA バースト リクエスト、SSI0:DMACR.RXDMAE によって制御 2Dh = SSI1 RX DMA シングル リクエスト、SSI0:DMACR.RXDMAE によって制御 2Eh = SSI1 TX DMA バースト リクエスト、SSI0:DMACR.TXDMAE によって制御 2Fh = SSI1 TX DMA シングル リクエスト、SSI0:DMACR.TXDMAE によって制御 30h = UART0 RX DMA バースト リクエスト、UART0:DMACTL.RXDMAE によって制御 31h = UART0 RX DMA シングル リクエスト、UART0:DMACTL.RXDMAE によって制御 32h = UART0 TX DMA バースト リクエスト、UART0:DMACTL.TXDMAE によって制御 33h = UART0 TX DMA シングル リクエスト、UART0:DMACTL.TXDMAE によって制御 34h = UART1 RX DMA バースト リクエスト、UART1:DMACTL.RXDMAE によって制御 35h = UART1 RX DMA シングル リクエスト、UART1:DMACTL.RXDMAE によって制御 36h = UART1 TX DMA バースト リクエスト、UART1:DMACTL.TXDMAE によって制御 37h = UART1 TX DMA シングル リクエスト、UART1:DMACTL.TXDMAE によって制御 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 4Dh = GPT0A DMA トリガ イベント。GPT0:DMAEV によって構成 4Eh = GPT0B DMA トリガ イベント。GPT0:DMAEV によって構成 4Fh = GPT1A DMA トリガ イベント。GPT1:DMAEV によって構成 50h = GPT1B DMA トリガ イベント。GPT1:DMAEV によって構成

Copyright © 2026 Texas Instruments Incorporated

表 5-95. UDMACH14BSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				51h = GPT2A DMA トリガ イベント。GPT2:DMAEV によって構成 52h = GPT2B DMA トリガ イベント。GPT2:DMAEV によって構成 53h = GPT3A DMA トリガ イベント。GPT3:DMAEV によって構成 54h = GPT3B DMA トリガ イベント。GPT3:DMAEV によって構成 55h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT0 で構成されたポート上のイベントは、ここにルーティングされます。 56h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT1 で構成されたポート上のイベントは、ここにルーティングされます。 57h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT2 で構成されたポート上のイベントは、ここにルーティングされます。 58h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT3 で構成されたポート上のイベントは、ここにルーティングされます。 59h = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT4 で構成されたポート上のイベントは、ここにルーティングされます。 5Ah = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT4 で構成されたポート上のイベントは、ここにルーティングされます。 5Bh = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT6 で構成されたポート上のイベントは、ここにルーティングされます。 5Ch = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT7 で構成されたポート上のイベントは、ここにルーティングされます。 5Dh = CRYPTO 結果利用可能割り込みイベント、対応するフラグはこちら CRYPTO:IRQSTAT.RESULT_AVAIL。 CRYPTO:IRQSTAT.RESULT_AVAIL で制御 5Eh = CRYPTO DMA 入力完了イベント、対応するフラグ CRYPTO:IRQSTAT.DMA_IN_DONECRYPTO:IRQEN.DMA_IN_DONE によって制御 63h = ウォッチドッグ非マスク可能割り込みイベント、WDT:CTL.INTTYPE によって制御 64h = ソフトウェアイベント 0、SWEV.SWEV0 によってトリガされる 65h = ソフトウェアイベント 1、SWEV.SWEV1 によってトリガされる 66h = ソフトウェアイベント 2、SWEV.SWEV2 によってトリガされる 67h = ソフトウェアイベント 3、SWEV.SWEV3 によってトリガされる 68h = TRNG 割り込みイベント、TRNG:IRQEN.EN によって制御 69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、 AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、 AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、 AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応

Copyright © 2026 Texas Instruments Incorporated

表 5-95. UDMACH14BSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 74h = AUX からの DMA ソフトウェア トリガ、AUX_EVCTL:DMASWREQ.START によってトリガ 75h = AUX_EVCTL:DMACTL で構成された AUX からの DMA シングル リクエスト イベント 76h = AUX_EVCTL:DMACTL で構成された AUX からの DMA バースト リクエスト イベント 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 78h = CPU 停止 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.81 UDMACH15BSEL レジスタ (オフセット = 57Ch) [リセット = 00000007h]

図 5-90 に、UDMACH15BSEL を示し、表 5-96 に、その説明を示します。

概略表に戻ります。

DMA チャネル 15 REQ の出力選択

図 5-90. UDMACH15BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-7h						

表 5-96. UDMACH15BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	7h	読み取り専用選択値 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.82 UDMACH16SSEL レジスタ (オフセット = 580h) [リセット = 0000002Dh]

図 5-91 に、UDMACH16SSEL を示し、表 5-97 に、その説明を示します。

概略表に戻ります。

DMA チャネル 16 SREQ の出力選択

図 5-91. UDMACH16SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-2Dh						

表 5-97. UDMACH16SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	2Dh	読み取り専用選択値 2Dh = SSI1 RX DMA シングル リクエスト、SSI0:DMACR.RXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.83 UDMACH16BSEL レジスタ (オフセット = 584h) [リセット = 0000002Ch]

図 5-92 に、UDMACH16BSEL を示し、表 5-98 に、その説明を示します。

概略表に戻ります。

DMA チャネル 16 REQ の出力選択

図 5-92. UDMACH16BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-2Ch						

表 5-98. UDMACH16BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	2Ch	読み取り専用選択値 2Ch = SSI1 RX DMA バースト要求、SSI0:DMACR.RXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.84 UDMACH17SSEL レジスタ (オフセット = 588h) [リセット = 0000002Fh]

図 5-93 に、UDMACH17SSEL を示し、表 5-99 に、その説明を示します。

概略表に戻ります。

DMA チャネル 17 SREQ の出力選択

図 5-93. UDMACH17SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-2Fh						

表 5-99. UDMACH17SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	2Fh	読み取り専用選択値 2Fh = SSI1 TX DMA シングル リクエスト、SSI0:DMACR.TXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.85 UDMACH17BSEL レジスタ (オフセット = 58Ch) [リセット = 0000002Eh]

図 5-94 に、UDMACH17BSEL を示し、表 5-100 に、その説明を示します。

概略表に戻ります。

DMA チャネル 17 REQ の出力選択

図 5-94. UDMACH17BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-2Eh						

表 5-100. UDMACH17BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	2Eh	読み取り専用選択値 2Eh = SSI1 TX DMA バースト リクエスト、SSI0:DMACR.TXDMAE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.86 UDMACH21SSEL レジスタ (オフセット = 5A8h) [リセット = 00000064h]

図 5-95 に、UDMACH21SSEL を示し、表 5-101 に、その説明を示します。

概略表に戻ります。

DMA チャネル 21 SREQ の出力選択

図 5-95. UDMACH21SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-64h						

表 5-101. UDMACH21SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	64h	読み取り専用選択値 64h = ソフトウェアイベント 0、SWEV.SWEV0 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.87 UDMACH21BSEL レジスタ (オフセット = 5ACh) [リセット = 00000064h]

図 5-96 に、UDMACH21BSEL を示し、表 5-102 に、その説明を示します。

概略表に戻ります。

DMA チャネル 21 REQ の出力選択

図 5-96. UDMACH21BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-64h						

表 5-102. UDMACH21BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	64h	読み取り専用選択値 64h = ソフトウェアイベント 0、SWEV.SWEV0 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.88 UDMACH22SSEL レジスタ (オフセット = 5B0h) [リセット = 00000065h]

図 5-97 に、UDMACH22SSEL を示し、表 5-103 に、その説明を示します。

概略表に戻ります。

DMA チャネル 22 SREQ の出力選択

図 5-97. UDMACH22SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-65h						

表 5-103. UDMACH22SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	65h	読み取り専用選択値 65h = ソフトウェアイベント 1、SWEV.SWEV1 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.89 UDMACH22BSEL レジスタ (オフセット = 5B4h) [リセット = 00000065h]

図 5-98 に、UDMACH22BSEL を示し、表 5-104 に、その説明を示します。

概略表に戻ります。

DMA チャネル 22 REQ の出力選択

図 5-98. UDMACH22BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-65h						

表 5-104. UDMACH22BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	65h	読み取り専用選択値 65h = ソフトウェアイベント 1、SWEV.SWEV1 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.90 UDMACH23SSEL レジスタ (オフセット = 5B8h) [リセット = 00000066h]

図 5-99 に、UDMACH23SSEL を示し、表 5-105 に、その説明を示します。

概略表に戻ります。

DMA チャネル 23 SREQ の出力選択

図 5-99. UDMACH23SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-66h						

表 5-105. UDMACH23SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	66h	読み取り専用選択値 66h = ソフトウェアイベント 2、SWEV.SWEV2 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.91 UDMACH23BSEL レジスタ (オフセット = 5BCh) [リセット = 00000066h]

図 5-100 に、UDMACH23BSEL を示し、表 5-106 に、その説明を示します。

概略表に戻ります。

DMA チャネル 23 REQ の出力選択

図 5-100. UDMACH23BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-66h						

表 5-106. UDMACH23BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	66h	読み取り専用選択値 66h = ソフトウェアイベント 2、SWEV.SWEV2 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.92 UDMACH24SSEL レジスタ (オフセット = 5C0h) [リセット = 00000067h]

図 5-101 に、UDMACH24SSEL を示し、表 5-107 に、その説明を示します。

概略表に戻ります。

DMA チャネル 24 SREQ の出力選択

図 5-101. UDMACH24SSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-67h						

表 5-107. UDMACH24SSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	67h	読み取り専用選択値 67h = ソフトウェアイベント 3、SWEV.SWEV3 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.93 UDMACH24BSEL レジスタ (オフセット = 5C4h) [リセット = 00000067h]

図 5-102 に、UDMACH24BSEL を示し、表 5-108 に、その説明を示します。

概略表に戻ります。

DMA チャネル 24 REQ の出力選択

図 5-102. UDMACH24BSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-67h						

表 5-108. UDMACH24BSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	67h	読み取り専用選択値 67h = ソフトウェアイベント 3、SWEV.SWEV3 によってトリガされる

Copyright © 2026 Texas Instruments Incorporated

5.7.2.94 GPT3ACAPTSEL レジスタ (オフセット = 600h) [リセット = 0000005Bh]

図 5-103 に、GPT3ACAPTSEL を示し、表 5-109 に、その説明を示します。

概略表に戻ります。

GPT3 0 の出力選択

図 5-103. GPT3ACAPTSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-5Bh						

表 5-109. GPT3ACAPTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-109. GPT3ACAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	5Bh	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 9h = I2C からの割り込みイベント Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 5Bh = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT6 で構成されたポート上のイベントは、ここにルーティングされます。 5Ch = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT7 で構成されたポート上のイベントは、ここにルーティングされます。

Copyright © 2026 Texas Instruments Incorporated

表 5-109. GPT3ACAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

5.7.2.95 GPT3BCAPTSEL レジスタ (オフセット = 604h) [リセット = 0000005Ch]

図 5-104 に、GPT3BCAPTSEL を示し、表 5-110 に、その説明を示します。

概略表に戻ります。

GPT3 1 の出力選択

図 5-104. GPT3BCAPTSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-5Ch						

表 5-110. GPT3BCAPTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 5-110. GPT3BCAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-0	EV	R/W	5Ch	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 4h = IOC からのエッジ検出イベント。IOC:IOCFGn.EDGE_IRQ_EN および IOC:IOCFGn.EDGE_DET 設定によって構成されます 5h = バッテリモニタからの活合イベント 6h = オシレータ制御からの結合イベント 7h = AON_RTC からのイベント、AON_RTC:CTL.COMB_EV_MASK 設定で制御 9h = I2C からの割り込みイベント Bh = AUX 結合イベント、対応するフラグレジスタはこちら AUX_EVCTL:EVTOMCUFLAGS 15h = FLASH コントローラのエラーイベント、ステータス フラグは FLASH:FEDACSTAT.FSM_DONE および FLASH:FEDACSTAT.RVF_INT 19h = RFC ドアベル コマンド確認応答割り込み (RFC_DBELL:RFACKIFG.ACKFLAG に相当) 1Ah = 結合 RFC ハードウェア割り込み、対応するフラグは RFC_DBELL:RFHWIFG 1Bh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE0 で選択された割り込みのみが RFC_CPE_0 イベントをトリガする 1Eh = CPE が生成するイベントの結合割り込み。対応するフラグは、RFC_DBELL:RFCPEIFG です。RFC_DBELL:RFCPEIFG において CPE1 で選択された割り込みのみが RFC_CPE_1 イベントをトリガする 22h = SSI0 の結合割り込み、割り込みフラグはここにあります SSI0:MIS 23h = SSI1 の結合割り込み、割り込みフラグはここにあります SSI1:MIS 24h = UART0 の結合割り込み、割り込みフラグはここにあります UART0:MIS 25h = UART1 の結合割り込み、割り込みフラグはここにあります UART1:MIS 38h = AUX Timer2 イベント 0、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV0 に対応 39h = AUX Timer2 イベント 1、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV1 に対応 3Ah = AUX Timer2 イベント 2 フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV2 に対応 3Bh = AUX Timer2 イベント 3、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_EV3 に対応 3Ch = AUX Timer2 パルス、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER2_PULSE に対応 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 5Bh = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT6 で構成されたポート上のイベントは、ここにルーティングされます。 5Ch = IOC:IOCFGn.PORT_ID によって構成される IOC からのポートキャプチャ イベント。ENUM PORT_EVENT7 で構成されたポート上のイベントは、ここにルーティングされます。

Copyright © 2026 Texas Instruments Incorporated

表 5-110. GPT3BCAPTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				69h = AON ウェークアップイベント、対応するフラグはこちら AUX_EVCTL:EVTOMCUFLAGS.AUX_WU_EV 6Ah = AUX 比較 A イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPA に対応 6Bh = AUX 比較 B イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_COMPB に対応 6Ch = AUX TDC 測定完了イベント、フラグ AUX_EVCTL:EVTOMCUFLAGS.AUX_TDC_DONE および AUX_TDC ステータス AUX_TDC:STAT.DONE 6Dh = AUX タイマ 0 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER0_EV に対応 6Eh = AUX タイマ 1 イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_TIMER1_EV に対応 6Fh = AUX セマフォからの自動テイクイベント、AUX_SMPH:AUTOTAKE で設定 70h = AUX ADC 完了、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_DONE に対応 71h = AUX ADC FIFO ウォーターマーク イベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL に対応 72h = AUX 経由 OBSMUX0 のループバック、AUX_EVCTL:EVTOMCUFLAGS.MCU_OBSMUX0 に対応 73h = AUX ADC 割り込みイベント、AUX_EVCTL:EVTOMCUFLAGS.AUX_ADC_IRQ に対応ステータス フラグはこちら AUX_EVCTL:EVTOMCUFLAGS 77h = AON_RTC:CTL.RTC_UPD_EN によって制御される RTC 周期的イベント 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.96 AUXSEL0 レジスタ (オフセット = 700h) [リセット = 00000010h]

図 5-105 に、AUXSEL0 を示し、表 5-111 に、その説明を示します。

概略表に戻ります。

AUX サブスクライバ 0 の出力選択

図 5-105. AUXSEL0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-10h						

表 5-111. AUXSEL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	10h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ Ch = GPT2A 割り込みイベント、GPT2:TAMR によって制御 Dh = GPT2B 割り込みイベント (GPT2:TBMR によって制御) Eh = GPT3A 割り込みイベント、GPT3:TAMR によって制御 Fh = GPT3B 割り込みイベント、GPT3:TBMR によって制御 10h = GPT0A 割り込みイベント、GPT0:TAMR によって制御 11h = GPT0B 割り込みイベント、GPT0:TBMR によって制御 12h = GPT1A 割り込みイベント、GPT1:TAMR によって制御 13h = GPT1B 割り込みイベント、GPT1:TBMR によって制御 3Dh = GPT0A 比較イベント。GPT0:TAMR.TCACT によって構成 3Eh = GPT0B 比較イベント。GPT0:TBMR.TCACT によって設定されます 3Fh = GPT1A 比較イベント。GPT1:TAMR.TCACT によって構成 40h = GPT1B 比較イベント。GPT1:TBMR.TCACT によって設定されます 41h = GPT2A 比較イベント。GPT2:TAMR.TCACT によって構成 42h = GPT2B 比較イベント。GPT2:TBMR.TCACT によって設定されます 43h = GPT3A 比較イベント。GPT3:TAMR.TCACT によって構成 44h = GPT3B 比較イベント。GPT3:TBMR.TCACT によって設定されます 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.97 CM3NMISEL0 レジスタ (オフセット = 800h) [リセット = 00000063h]

図 5-106 に、CM3NMISEL0 を示し、表 5-112 に、その説明を示します。

概略表に戻ります。

NMI サブスクライバ 0 の出力選択

図 5-106. CM3NMISEL0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R-63h						

表 5-112. CM3NMISEL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R	63h	読み取り専用選択値 63h = ウォッチドッグ非マスク可能割り込みイベント、WDT:CTL.INTTYPE によって制御

Copyright © 2026 Texas Instruments Incorporated

5.7.2.98 I2SSTMPSEL0 レジスタ (オフセット = 900h) [リセット = 0000005Fh]

図 5-107 に、I2SSTMPSEL0 を示し、表 5-113 に、その説明を示します。

概略表に戻ります。

I2S サブスクライバの出力選択 0

図 5-107. I2SSTMPSEL0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-5Fh						

表 5-113. I2SSTMPSEL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	5Fh	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.99 FRZSEL0 レジスタ (オフセット = A00h) [リセット = 00000078h]

図 5-108 に、FRZSEL0 を示し、表 5-114 に、その説明を示します。

概略表に戻ります。

FRZ サブスクライバの出力選択
デバッグ信号の停止は、汎用タイマ、デジタルおよびアナログ ペリフェラル (AUX) を備えたセンサコントローラ、無線、RTC などのペリフェラルに渡されます。システム CPU が停止すると、フリーズが有効になっている接続されているペリフェラルも停止します。プログラム可能な出力は、静的な値 0 または 1 に設定でき、停止された信号を渡すように設定することもできます。

図 5-108. FRZSEL0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									EV						
R-0h																									R/W-78h						

表 5-114. FRZSEL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	EV	R/W	78h	読み出し/書き込みの選択値 ENUM で定義された値以外の値を書き込むと、未定義の動作が発生する可能性があります。 0h = 常に非アクティブ 78h = CPU 停止 79h = 常にアサート

Copyright © 2026 Texas Instruments Incorporated

5.7.2.100 SWEV レジスタ (オフセット = F00h) [リセット = 00000000h]

図 5-109 に、SWEV を示し、表 5-115 に、その説明を示します。

概略表に戻ります。

ソフトウェア イベントの設定またはクリア

図 5-109. SWEV レジスタ

31	30	29	28	27	26	25	24
予約済み							SWEV3
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							SWEV2
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							SWEV1
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							SWEV0
R-0h							R/W-0h

表 5-115. SWEV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	SWEV3	R/W	0h	値が「0」のときにこのビットに「1」を書き込むと、ソフトウェア 3 イベントがトリガされます。
23-17	予約済み	R	0h	予約済み
16	SWEV2	R/W	0h	値が「0」のときにこのビットに「1」を書き込むと、ソフトウェア 2 イベントがトリガされます。
15-9	予約済み	R	0h	予約済み
8	SWEV1	R/W	0h	値が「0」のときにこのビットに「1」を書き込むと、ソフトウェア 1 イベントがトリガされます。
7-1	予約済み	R	0h	予約済み
0	SWEV0	R/W	0h	値が「0」のときにこのビットに「1」を書き込むと、ソフトウェア 0 イベントがトリガされます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

Chapter 6

JTAG インターフェイス

この章では、オンチップ デバッグをサポートするための cJTAG および JTAG インターフェイスについて説明します。

表 6-1. 参考資料

ID	説明
[JTAG 1]	IEEE 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ、IEEE 規格 1149.1a 1993 および補足規格 1149.1b 1994、The Institute of Electrical and Electronics Engineers, Inc.
[JTAG 2]	IEEE 1149.7 規格、ピン数削減および拡張機能テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ用

6.1 トップレベル デバッグ システム 493
6.2 cJTAG 495
6.3 ICEPick 501
6.4 ICEMelter 511
6.5 シリアル ワイヤ ビューア (SWV) 513
6.6 Halt In Boot (HIB) 513
6.7 デバッグおよびシャットダウン 513
6.8 WUC TAP でサポートされているデバッグ機能 514
6.9 プロファイラ レジスタ 514
6.10 バウンダリ スキャン 516

Copyright © 2026 Texas Instruments Incorporated

6.1 トップレベル デバッグ システム

CC13x2 および CC26x2 デバイス プラットフォームでは、デバッグ サブシステムはデバッグおよびテスト目的のために二つの IEEE 標準を実装しています:

- IEEE 規格 1149.1: 標準テスト用アクセス ポートおよびバウンダリ スキャン アーキテクチャテスト アクセス ポート (TAP) [JTAG 1]。この規格は JTAG という頭字語で知られています。
- クラス 4 IEEE 1149.7: ピン数を削減した拡張機能テスト用アクセス ポートおよびバウンダリ スキャン アーキテクチャの標準 [JTAG 2]。これは cJTAG (compact JTAG) の頭字語で知られています。この標準は、IEEE 1149.1 トランザクションをさまざまな圧縮形式でシリアライズすることで、JTAG デバッグポートを実装するために必要なピン数を削減します。

デバッグ サブシステムは、デバッグ / テスト ポートへの不正アクセスを防止するためのファイアウォール機能も実装しています。図 6-1 にデバッグ サブシステムのブロック図を示します。

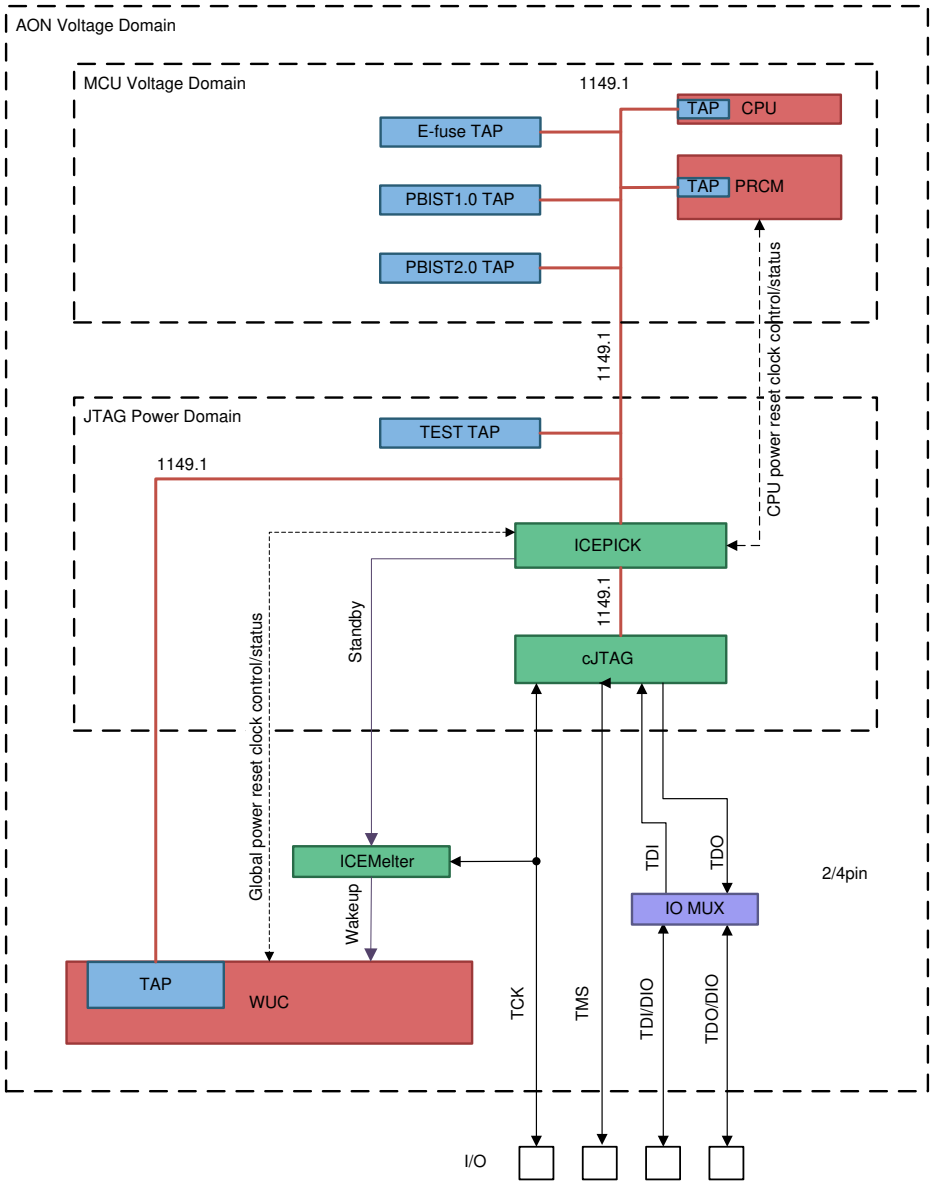


図 6-1. トップレベル デバッグ システム

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

IEEE 1149.1 TAP は、以下の信号を使用して動作をサポートします。

- **TCK (テスト クロック):** この信号により、内部ステート マシンの動作が同期されます。
- **TMS (テスト モード選択):** この信号は、TCK の立ち上がりエッジでサンプリングされ、次の状態が決定されます。
- **TDI (テスト データ入力):** この信号は、デバイスのテストまたはプログラミング ロジックにシフトインされるデータを示します。内部ステート マシンが正しい状態のとき、TDI は TCK の立ち上がりエッジでサンプリングされます。
- **TDO (テスト データ出力):** この信号は、デバイスのテスト ロジックまたはプログラミング ロジックからシフト出力されるデータを表します。また、内部ステートマシンが適切な状態にある場合、このデータは TCK の立ち下がりエッジ で有効となります。

TRST の専用 I/O ピンはありません。デバッグ サブシステムは、システム全体のリセットとパワーオン リセットでリセットされます。

TAP コントローラは、TMS 信号によって状態遷移が制御されるステート マシンであり、JTAG システムの動作を制御します。図 6-2 に、JTAG の状態遷移図を示します。

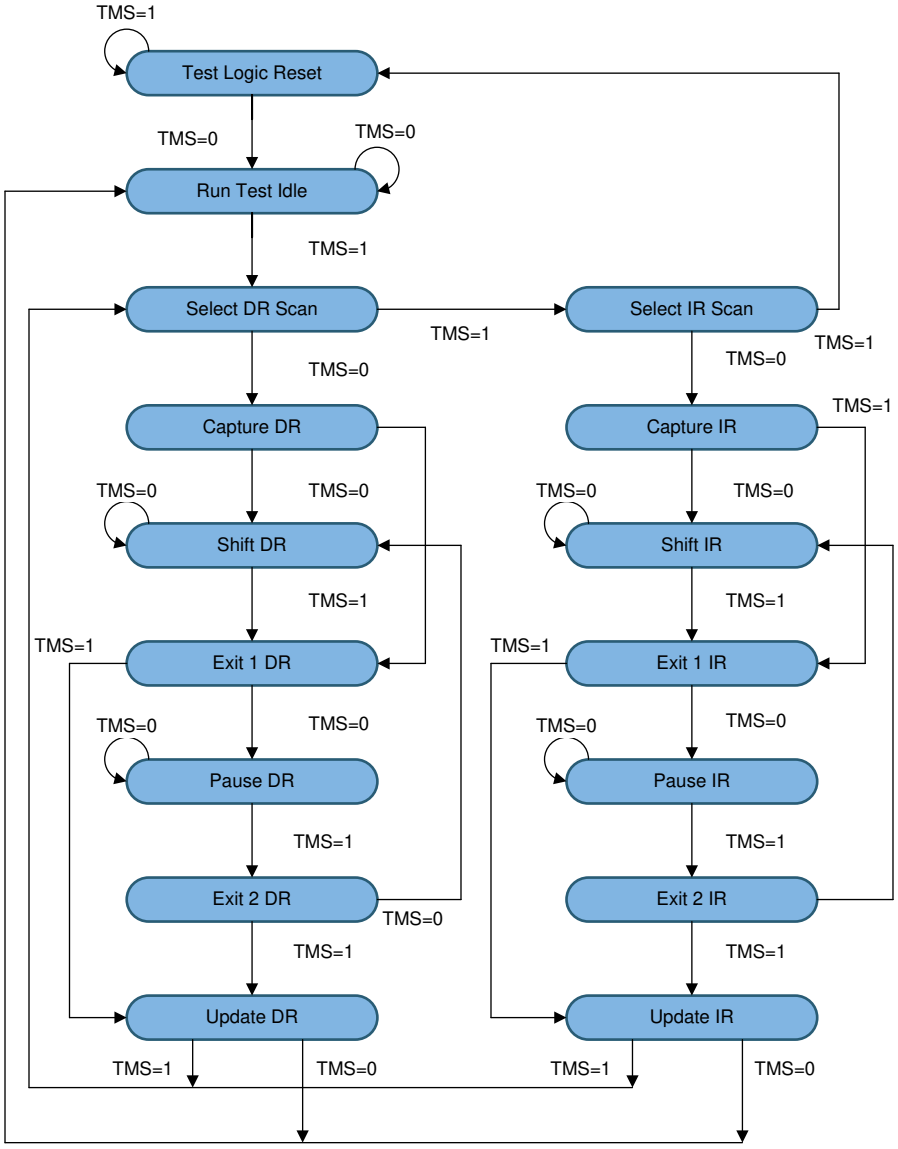


図 6-2. JTAG ステート マシン

Copyright © 2026 Texas Instruments Incorporated

各状態には二つの遷移先が用意されているため、すべての状態遷移は、TCK でサンプリングされる単一の TMS 信号によって制御できます。二つの主なパスにより、デバイスのデータ レジスタ (DR) または命令レジスタ (IR) から情報を設定または取得できます。データ レジスタは、命令レジスタにロードされた値によって決まります。

6.2 cJTAG

このモジュールは、IEEE 1149.7 準拠の Compact JTAG (cJTAG) アダプタを実装しており、IEEE 1149.1 JTAG テスト用アクセス ポート (TAP) 上で 2 ピン通信プロトコルを動作させます。パワーアップ後のデフォルト構成は、TCK と TMS のみを使用する 2 ピン JTAG モードです。CC13x2 および CC26x2 デバイス プラットフォームの cJTAG 構成では、class 4 機能スキャン モードのサブセットが実装されています。クラス 4 はクラス 0、1、2、および 3 から機能を継承します (表 6-2 に記載されている機能を除きます)。図 6-3 は cJTAG モジュールの概念図を示します。

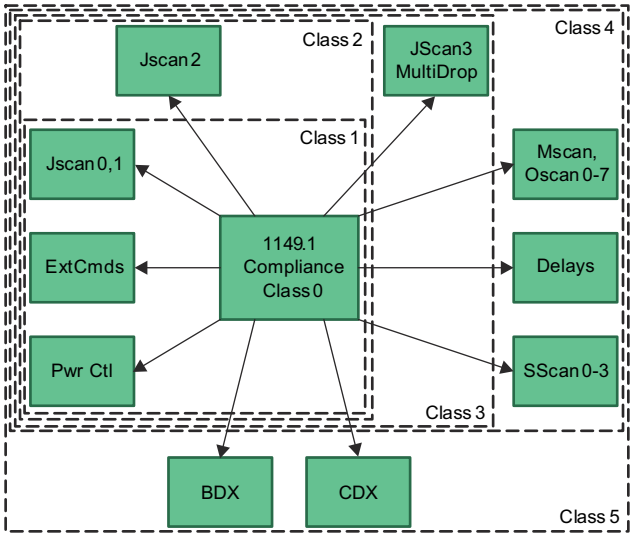


図 6-3. cJTAG の概念図

- **クラス 0:** 内部 TAP 選択機能を備えた IEEE 1149.1 仕様への厳密な準拠
- **クラス 1:** cJTAG コマンド プロトコルおよび一部のオプションのディスクリート コマンドの追加
- **クラス 2:** シリアル選択機能の追加
- **クラス 3:** JTAG スター構成、コントローラ ID、スキャン選択ディレクティブの追加
- **クラス 4:** 高度なスキャン プロトコルの追加

表 6-2 に、CC13x2 および CC26x2 デバイス プラットフォームでサポートされている IEEE 1149.7 の機能を示します。CC13x2 および CC26x2 デバイス プラットフォームの cJTAG モジュールは、12 種類のスキャン形式をサポートしています。スキャン形式は、各パケットをシリアル化するために、ビットあたり 1 クロックから 4 クロックまでのさまざまな圧縮プロトコルを使用します。

表 6-2. IEEE 1149.7 機能サブセット

	IEEE 1149.7 の機能	cJTAG によるデバイス サポート	コメント
構成	クラス 4 の TAP	あり	2 ピンでの動作に対応
	クラス 5 の TAP	なし	バックグラウンド データ転送のためのデータとカスタム チャネル

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 6-2. IEEE 1149.7 機能サブセット (続き)

	IEEE 1149.7 の機能	cJTAG によるデバイス サポート	コメント
オプション部品	FRST	なし	機能リセット
	TRST	なし	テスト リセット
	RDBK の能力	なし	レジスタ データの読み戻し
	Aux ピンの機能	あり	TDI ピンと TDO ピンを再利用
	TCKWID	なし	プログラム可能な TCK 幅
電力制御	パワーダウン ロジック	なし	cJTAG モジュールのパワーダウン ロジック機能
スキャン形式	JScan0	あり	並列モード
	JScan1	あり	ファイアウォールと並行
	JScan2	あり	スーパー バイパス選択と並列
	JScan3	あり	レジスタ選択と並列
	MScan	なし	マルチデバイス モードで、ストールをサポートし
	OScan0	あり	ストールをサポート
	OScan1	あり	非ストール モード
	OScan2	あり	双方向転送、パイプライン方式
	OScan3	あり	ホストからターゲットのみ、パイプライン方式
	OScan4	あり	ストールをサポート
	OScan5	あり	パイプライン方式
	OScan6	あり	双方向転送、パイプライン方式
	OScan7	あり	ホストからターゲットのみ、パイプライン方式
	SScan0	なし	セグメント スキャン
	SScan1	なし	セグメント スキャン、ストールをサポートし
	SScan2	なし	セグメント スキャン
	SScan3	なし	セグメント スキャン、ストールをサポートし

表 6-3. OScan スキャン パケットの内容

スキャン形式	非シフト状態				シフト状態			
OScan0	nTDI	TMS	RDY	TDO	nTDI	TMS	RDY	TDO
OScan1	nTDI	TMS		TDO	nTDI	TMS		TDO
OScan2		TMS			nTDI	TMS		TDO
OScan3		TMS			nTDI	TMS		
OScan4	nTDI	TMS	RDY	TDO	nTDI		RDY	TDO
OScan5	nTDI	TMS		TDO	nTDI			TDO
OScan6		TMS			nTDI	TMS(1)		TDO
OScan7		TMS			nTDI			

(1) シフトの最初のパケットに TMS が存在します。

Copyright © 2026 Texas Instruments Incorporated

6.2.1 cJTAG コマンド

cJTAG コマンドは、通常の JTAG スキャン動作を通じて伝達されます。

基本手順は以下の 3 つです。

1. 不活性オペコードのロード
2. コントロール レベル 2 の設定
3. コマンドの発行

cJTAG コマンドを発行する前に、コントローラは、スキャン動作によってデバイスで予期しないアクションが開始されないことを確認する必要があります。これを行うには、BYPASS や IDCODE などの不活性オペコードを命令レジスタにロードする必要があります。通常は BYPASS が使用されます。これは、その値 (すべて 1) が IEEE 1149.1 仕様で規定されているためです。

コマンド検出は、2 回のゼロ ビット スキャン (ZBS) を実行してから、1 ビット シフトすることにより有効になります。ZBS は、一度も Shift DR 状態にならずに、Capture DR 状態を通過し、最終的に Update DR 状態に到達するスキャン シーケンスとして定義されます。スキャン シーケンスは、任意のクロック数だけ Pause DR 状態に入ることも、Pause DR 状態を完全にスキップすることもできます。連続する各 ZBS によって、コントロール レベルがインクリメントされます。最初に Shift DR 状態が発生した時点で、コントロール レベルがロックされます。

コントロール レベルがロックされると、コマンドは 2 つの DR スキャンのペアによって発行され、場合によっては 3 つ目の DR スキャンも使用されます。各スキャンについて、Shift DR 状態で費やされたクロック数がカウントされます (0 ～ 31 クロック)。最初の DR スキャンであるコマンド パート 0 (CP0) は、コマンドのオペコードを形成します。2 番目の DR スキャンであるコマンド パート 1 (CP1) は、コマンドに関する追加情報を提供します。これは、オペコードに応じて、追加のオペコード ビットまたはデータ フィールドになります。

3 つのコマンド (SCNB、SCNS、CIDA) では、デバイスとの間でデータを転送するために、3 番目の DR スキャンであるコマンド パート 2 (CP2) が必要です。表 6-4 に、コマンドを示します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 6-4. cJTAG コマンド

OPCODE	手順		
00000	STMC Store Miscellaneous Control オペランド:**bbbxy**		
	bbb		
	0	状態制御	
		xy	
		0	NOP
		1	ExitCmdLev (ECL)
		2	終了／サスペンド (SUSPEND = 1)
		3	ZBS 禁止 (ZBSINH = 1)
	1	スキャン コントロール	
		x	
		0	Scan Group Candidate (SGC) SGC = y
		1	Conditional Group Member (CGM) CGM = y
	2	Ready Control RDYC = **xy** MScan Scan Format 以外のスキャン形式では、SP ペイロードの最後のビットの前にある logic 1 RDY ビットの数は **xy** + 1 です	
	3	遅延制御 (DLYC) DLYC = **xy**	
		xy	
		0	DTS 遅延は追加されません。
		1	TCKC 信号周期を 1 つ追加します。
		2	TCKC 信号周期を 2 つ追加します。
		3	可変数の TCKC 信号周期を追加します。
	4 ~ 7	予約済み	
00001	STC1 Store Conditional 1 ビット オペランド:**cbbbv**		
	bbb		
	0	サンプリング エッジ (SEDGE) TMSC 信号入力のサンプリングに使用する TCKC 信号エッジを定義 SEDGE==0: TCKC 信号の立ち下がりエッジで TMSC 信号をサンプリング SEDGE==1: TCKC 信号の立ち上がりエッジで TMSC 信号をサンプリング	
		c	
		0	SEDGE = **v**
		1	CGM == 1 の場合は SEDGE = **v**
	1 ~ 7	予約済み	

Copyright © 2026 Texas Instruments Incorporated

表 6-4. cJTAG コマンド (続き)

OPCODE	手順		
00010	STC2 Store Conditional 2 ビット オペランド:**cbbvv**		
	bb		
	0 ~ 1	予約済み	
	2	補助ピン機能制御 (APFC)	
		APFC==00:	デフォルトのピン機能は変更されません。
		APFC==01:	ピン機能は標準のピン機能になります。
		APFC==1x:	ピン機能は補助のピン機能になります。
		C	
		0	APFC = **vv**
		1	CGM == 1 の場合は APFC = **vv**
	3	予約済み	
00011	STFMT Store Scan Format オペランド:**nnnnn**		
	nnnnn		
	0	JSCAN0	
	1	JSCAN1	
	2	JSCAN2	
	3	JSCAN3	
	4 ~ 7	予約済み	
	8	OSCAN0	
	9	OSCAN1	
	10	OSCAN2	
	11	OSCAN3	
	12	OSCAN4	
	13	OSCAN5	
	14	OSCAN6	
	15	OSCAN7	
	16	予約済み	
00100	MSS Make Scan Selection オペランド:**miiii**		
	m		
	0	対象コントローラの SGC ビットを設定 非対象コントローラの SGC ビットをクリア	
	1	対象コントローラの SGC ビットを設定 非対象コントローラの SGC ビットは変更なし	
00101 ~ 00110	予約済み		
00111	CCE Conditional Command Enable オペランド:**miiii**		
	m		
	0	対象コントローラの CGM ビットを設定 非対象コントローラの CGM ビットをクリア	
	1	対象コントローラの CGM ビットを設定 非対象コントローラの CGM ビットは変更なし	

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 6-4. cJTAG コマンド (続き)

OPCODE	手順	
01000	SCNB Scan Bit オペランド:**yyyyy** + CR Scan	
	yyyyy	
	00	SGC、Scan Group Candidate、書き込み
	01	CGM、Conditional Group Member、書き込み
	02 ~ 05	CNFG0-3、TAP.7 Controller class、読み出し
	06 ~ 31	予約済み
01001 ~ 11111	予約済み	

6.2.1.1 必須コマンド

コマンド処理を管理するには、三つの必須コマンドが使用されます。これらのコマンドは STMC のサブコマンドであり、Exit Command Level、Suspend、および ZBSINH です。最後の二つのコマンドは、デバイスが独自の目的で ZBS を使用する場合に使用できます。

- Exit Command Level コマンド処理を終了します。
- Suspend は、特別なシーケンスが検出されるまでコマンド検出を禁止します。
- ZBSINH は、リセットが発生するまでコマンド検出を禁止します。

コマンド処理の管理には、三つの必須コマンドが使用されます。

6.2.2 プログラミング シーケンス

6.2.2.1 コマンド ウィンドウを開く

cJTAG モジュールがコマンドを受け入れる前に、制御レベルを 2 に設定してロックする必要があります。

1. Scan IR (バイパス、Pause DR で終了) :無害なオペコードを命令レジスタにロードします。
2. Goto Scan (Update DR を経由し、Pause DR で終了) :これが最初の ZBS になります。
3. Goto Scan (Update DR を経由し、Pause DR で終了) :これが 2 回目の ZBS となります。
4. Scan DR (1 ビット、Pause DR で終了) :これにより、制御レベルが 2 にロックされます。

コマンド ウィンドウを開くと、デバイスの TAP がデカップルされます。このデカップリングは、2 回目の ZBS が発生した時点で行われます。

6.2.2.2 4 ピン モードへの変更

コマンド ウィンドウが開いている場合、コマンドを発行できます。4 ピン モードに変更するには、TAP 状態が Pause DR から開始されることを前提として、APFC に 1 を書き込む必要があります (STC2 コマンドを使用)。

1. Scan DR (1 の 2 ビット、Pause DR で終了):CP0 に 2 をロードします。
2. Goto Scan (Update DR を経由して Pause DR へ):更新を経て CP0 を完了します。
3. Scan DR (1 の 9 ビット、Pause DR で終了):CP1 に 9 をロードします。
4. Goto Scan (Update DR を経由して Pause DR へ):更新を経て CP1 を完了します。

Copyright © 2026 Texas Instruments Incorporated

6.2.2.3 COMMAND ウィンドウを閉じる

COMMAND ウィンドウは、IR スキャンの実行、テスト論理リセット状態への移行、または ECL コマンドによって閉じることができます。ECL コマンドは、STMC (opcode 0) コマンドのサブコマンドです。ECL コマンドは、TAP 状態が DR の一時停止から開始していることを前提としています。

1. スキャンに移動 (DR の更新を使用して DR を一時停止): ゼロ ビット スキャンを実行して、CP0 に 0 をロードします。
2. Scan DR (1 ビット、Pause DR で終了): CP1 に 1 をロードします。
3. スキャンに移動 (DR の更新を使用して DR を一時停止): アップデートを実行して CP1 を完了します。

注

COMMAND ウィンドウが閉じられると、デバイス TAP が接続され、それ以降のスキャン (IR スキャンまたは DR スキャン) はデバイス TAP に対して実行されます。

6.3 ICEPick

ICEPick はチップの主要な TAP です。これは、チップ全体に対する IEEE 1149.1 JTAG 準拠の最上位ルータとして機能します。ICEPick は概念的に、モジュール レベルの TAP と上位のチップ TAP との接続、切り離しを行う複数のスイッチの集合として考えることができます。モジュール レベルの TAP はセカンダリ TAP と呼ばれます。一方、プライマリ TAP と外部 JTAG 信号はマスタ スキャン パスと呼ばれます。電源投入後、ICEPick TAP はスキャン パス内の最初の TAP として、また唯一の TAP として現れます。いずれのセカンダリ TAP も選択されておらず、マスタ スキャン パス上からは見えない状態です。外部 JTAG インターフェイスの観点からは、選択されていないセカンダリ タップは存在しないように見えます。ICEPick TAP は、セカンダリ TAP の選択、制御、および状態監視を行うために、独自の複数のスキャン パスを備えています。ICEPick は動的なスキャン チェーン管理を可能にし、一つまたは複数のスレーブ TAP を選択してスキャン チェーンに接続できます。

ICEPick 内では、各セカンダリ TAP に対して複数の制御ビットが関連付けられています。これらのビットの一部は、ICEPick によって管理される TAP 自体にのみ適用されます。一方、他のビットは、セカンダリ TAP が属するサブシステム全体または電源ドメイン全体に適用されます。これらの制御ビットは、スキャン パスへ組み込むための TAP 選択、セカンダリ TAP のテスト リセット管理、および必要なデバッグ通知の制御を行います。

ICEPick 内の各セカンダリ TAP には、いくつかのステータス ビットが関連付けられています。これらのステータス ビットは、アクセス可能性、可視性、電力、クロックの状態を報告します。

デバッグ アプリケーションとオン チップ cJTAG TAP との接続を 2 ピン モードで確立した後、通信プロトコルを 4 ピン構成へ切り替えることができます。cJTAG が 4 ピン モードへ切り替わると、TDI と TDO は IOC によって自動的にピンへ割り当てられます。この割り当ては、切り替え前に対応する DIO に設定されていた他のどの機能よりも優先されます。4 ピン モードから 2 ピン モードへの切り替えもサポートされています。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

6.3.1 セカンダリ TAP

各セカンダリ TAP には番号が割り当てられます。TAP 番号は直線で、0 から始まります。セカンダリ TAP に割り当てられる番号は、ICEPick 内のセカンダリ制御、ステータス レジスタにおける TAP の位置に対応しています。最初に選択される TAP は最も番号の小さい TAP であり、最後に選択される TAP は最も番号の大きい TAP です。ICEPick モジュールには、スレーブ TAP への不正アクセス用のファイアウォールがあります。表 6-5 には、使用可能な TAP、対応する順序、およびエンドユーザの使用可能な TAP のリストが表示されます。有効になっている TAP は、カスタマ設定領域内の対応するフィールドに値を書き込むことでロックできます。

表 6-5. スレーブ TAP 順序

個数	テスト TAP 名	説明	エンド ユーザーの利用可能性
テスト バンク			
0	TEST	DFT 機能とプロファイラ	(1) を参照
1	PBIST1.0	RAM BIST コントローラ インターフェイス	ロック済み
2	PBIST2.0	ROM BIST コントローラ インターフェイス	ロック済み
3	eFuse	SRAM 修復用 eFuse インターフェイス	ロック済み
4	予約済み	予約済み	予約済み
5	AON WUC	VD オーバーライド制御 / ステータス	(2) を参照
デバッグ バンク			
0	CM4F	Cortex-M4F デバッグ用の DAP	(2) (3) を参照

(1) テスト TAP のすべての機能は、パワー プロファイラ レジスタを除き、エンドユーザーにはロックされています。パワー プロファイラ レジスタへのアクセスは、カスタマー構成領域の対応するフィールドに書き込むことでブロックできます (セクション 6.9 を参照)。
(2) AON WUC TAP の一部の機能は、エンドユーザー向けに開いています。これには、チップ消去、システム リセット、マイコン リセットを要求するためのレジスタが含まれます。
(3) CPU のデバッグ ポートへのアクセスは、カスタマー構成領域の対応するフィールドに書き込むことでブロックできます (セクション 6.9 を参照)。

6.3.1.1 スレーブ DAP (CPU DAP)

デバッグ サブシステムのスレーブ DAP (CPU DAP) は 1 つのみです。このデバッグ ポートにはシリアル ワイヤ JTAG デバッグ ポート (SWJ-DP) インターフェイスが実装されており、これにより CPU でのデバッグ アクセス用の先進の高性能バス アクセス ポート (AHB-AP) インターフェイスへの外部アクセスが可能になります。

SWJ-DP は、JTAG-DP とシリアル ワイヤ デバッグ ポート (SW-DP) を組み合わせた、標準の Arm CoreSight™ デバッグ ポートです。SW-DP インターフェイスは SWJ-DP でサポートされていますが、CC13x2 および CC26x2 デバイス プラットフォームではこのモードを使用しません。主な理由は、2 ピン JTAG (1149.7) モードが存在する設計では、SW-DP が冗長になることです。

6.3.1.2 スレーブ TAP および DAP の並び順

- セカンダリ TAP が 1 つだけ選択されている場合、その TAP は ICEPick TAP の TDO に直接接続されます。
- 1 つ以上のセカンダリ TAP が選択されている場合、番号が最も小さい TAP から最も大きい TAP へ直列に接続されます。
- 選択された TAP のうち、最も番号の小さい TAP がデバイスレベルの TDI (ICEPick を除く) に最も近く接続され、最も番号の大きい TAP がデバイスの TDO に最も近く接続されます。
- テスト バンク内で選択された TAP は、デバッグ バンク (DAP など) 内の TAP よりも手前に接続されます。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 ICEPick レジスタ

表 6-6 に、ICEPick の制御レジスタおよびステータス レジスタを示します。

表 6-6. レジスタの要約

登録	略語	幅	個数	説明
データ シフト レジスタ	DSR	32	1	TAP データ レジスタ
命令レジスタ	IR	6	1	TAP 命令レジスタ
バイパス レジスタ	バイパス	1	1	BYPASS 命令で使用されます
デバイス識別レジスタ	TAPID	32	1	IDCODE で使用されるデバイス ID
ユーザー コード レジスタ	UC	32	1	USERCODE で使用されるユーザー コード
ICEPick の識別	IPID	32	1	ICEPick のバージョン
接続	接続	7	1	接続コード
セカンダリ デバッグ TAP レジスタ (SDTR)	SDTR	24	1	実装されている各デバッグ TAP に対して、それぞれ一つのレジスタが存在します。選択、電源、リセット、各 TAP に関連付けられたクロックを制御するために使用されます。
セカンダリ テスト TAP レジスタ (STTR)	STTR	24	6	実装されている各テスト TAP に対して、それぞれ一つのレジスタが存在します。各 TAP の選択を制御するために使用されます。
予約済み	SUTR	24	1	予約済み
リンキング モード	LMR	24	1	ICEPick が TAP 選択をどのように管理するかを指定します。
ICEPick コントロール	IPCR	24	1	一般的な ICEPick コントロール

6.3.2.1 IR 命令

ICEPick TAP は、表 6-7 に示す手順に対応しています。未使用のすべての TAP コントローラ命令は、デフォルトでバイパス レジスタに設定されます。ICEPick オペコードの拡張にはいくつかの命令が用意されています。デバイス識別レジスタの説明については、セクション 6.3.2.5 を参照してください。

表 6-7. 命令レジスタ Opcodes

IR	ICEPick 命令	アクセス権
000000、111111	バイパス	常にオープン
10	ROUTER	接続
100	IDCODE	常にオープン
101	ICEPICKCODE	常にオープン
111	接続	常にオープン
1000	USERCODE	常にオープン
000001、000011、 000110、 001001–111110	予約済み	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

6.3.2.2 データ シフト レジスタ

図 6-4 は、ICEPick TDI と TDO の間のビットをシフトするために使用されるレジスタです。このレジスタは 32 ビット幅です。データ シフト レジスタは、命令パスといくつかのデータ パスを簡単にシフトするために、複数のシフトイン ポイントを備えています。

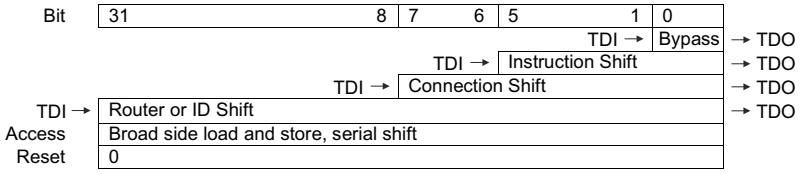


図 6-4. データ シフト レジスタ

シフトするように要求されると、1 ビットを各ビットから次の下位ビットにシフトします。TDI から新しい値がシフトインされ、最下位ビットが TDO にシフトアウトされます。シフト レジスタには、命令レジスタの現在の TAP 状態または値に基づいて、いくつかの挿入ポイントがあります。

6.3.2.3 命令レジスタ

このレジスタには現在の TAP 命令が含まれています。ICEPick IR は 6 ビット幅です (図 6-5 を参照)。

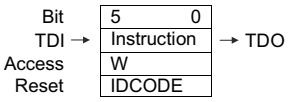


図 6-5. 命令レジスタ

有効な IR オペコードについては、表 6-7 を参照してください。

6.3.2.4 バイパス レジスタ

このレジスタは 1 ビット レジスタです (図 6-6 を参照)。TDI でスキャンされた値は保存され、後で TDO の一回の TCK サイクルからスキャンされます。

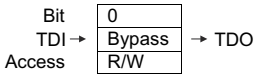


図 6-6. バイパス レジスタ

6.3.2.5 デバイス識別レジスタ

このレジスタにより、TAP を通じてデバイスの製造元、部品番号、およびバージョンを判別できます (図 6-7 を参照)。デバイス識別レジスタは、IDCODE 命令に応答してスキャンされます。

IDCODE には、バージョン、型番、メーカーの 3 つのフィールドがあります。

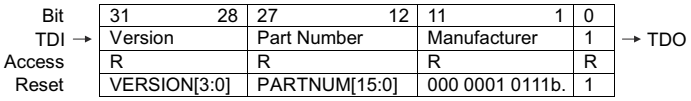


図 6-7. デバイス識別レジスタ

このレジスタの内容は、メモリ マップされたデバイス構成領域に複製されます。このレジスタの詳細については、セクション 11.4.1 の FCFG1:ICEPICK_DEVICE_ID を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 6-8. デバイス識別レジスタの説明

フィールド	幅	説明
バージョン	4	デバイスのリビジョン
部品番号	16	デバイスの型番
メーカー	11	TI の JEDEC バンクおよび会社コード:00000010111b
0	1	このビットは常に 1 です。

6.3.2.6 ユーザー コード レジスタ

ユーザー コード レジスタは、同じチップから構築されたデバイスを区別するのに役立ちます。ユーザー コード レジスタの値は eFuse によって設定されます。各バリアントは、機能セットまたはピン配置されたインターフェイスによって一意に識別されます。

ユーザー コード レジスタは、コンポーネントのバージョンおよび部品番号を指定する 32 ビット レジスタです。このレジスタの内容は、メモリ マップされたデバイス構成領域に複製されます。このレジスタの詳細については、図 6-8 および表 6-9 を参照してください。

Bit	31 28	27 12	11 1	0	
TDI →	Version	Variant Number	Reserved	1	→ TDO
Access	R	R	R	R	
Reset	VERSION[3:0]	VARIANT[15:0]	0	1	

図 6-8. ユーザー コード レジスタ

表 6-9. ユーザー コード レジスタの説明

フィールド	幅	説明
バージョン	4	デバイスのリビジョン。このフィールドは、デバイスのロジックまたはマスク セットが改訂されるたびに変更する必要があります。初期値は 0 です。
バリアント番号	16	チップのバリアント。このフィールドのデコードについては、FCFG1:USER_ID に示されています (セクション 11.4.1 を参照)。
予約済み	11	0
0	1	ビット 0 は常に 1

6.3.2.7 ICEPick 識別レジスタ

このレジスタは ICEPick モジュールの機能とバージョンを示します (ICEPick IR とデバイス IR を混同しないでください)。

ID レジスタは、ICEPick モジュールのバージョンと機能を指定する 32 ビット レジスタです。ICEPick IR の説明については、図 6-9 および 表 6-10 を参照してください。

Bit	31 24	23 20	19 16	15 4	3 0	
TDI →	Version	Test TAPs	EMU TAPs	ICEPick Type	Capabilities	→ TDO
Access	R	R	R	R	R	
Reset	0x41	6	1	0x1CC	*	

図 6-9. ICEPick 識別レジスタ

表 6-10. ICEPick 識別レジスタの説明

フィールド	幅	説明
バージョン	8	ICEPick の改訂版
テスト TAP	4	テスト TAP 数
EMU TAP	4	EMU TAP 数
ICEpick タイプ	12	ICEpick タイプの識別子 このフィールドは Type C に相当する 0x1CC に設定されます。
機能	4	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

6.3.2.8 接続レジスタ

このレジスタは、ノイズ、エミュレータ ケーブルのホット接続、誤った構成のスキャン コントローラによる偶発的なスキャンからデバイスを保護します。このレジスタにより、ノイズや偶発的なスキャンによってデバッグ機能を誤って使用する可能性が低減されます。詳細は図 6-10 と表 6-11 を参照してください。

Bit	7	6 4	3 0	
TDI →	Write	Reserved	ConnectKey	→ TDO
Access	W	R	R/W	
Reset	0	0	b0110	

図 6-10. 接続レジスタ

表 6-11. 接続レジスタの説明

ビット	フィールド	幅	タイプ	リセット	説明
7	書き込み有効化	1	W	0	接続キーを書き込むには 1 である必要があります。値が 0 の場合は読み取りです。読み取りの場合、値 0 が返されます。
6 ~ 4	予約済み	3	R	0	予約済み
3-0	ConnectKey	4	R/W	0110	このフィールドがキー コード 1001 を保持している場合、スキャン コントローラは接続されていると見なされます。その他の値はすべて非接続状態です。この状態では、有効な IR 命令の数は限られています。

6.3.3 ルータ スキャン チェーン

このレジスタは、すべての TAP リンクおよび制御レジスタへのアクセスに使用されます。スキャン チェーンは 32 ビット長です。詳細については、図 6-11 と表 6-12 を参照してください。

Bit	31	30 28	27 24	23 0	
TDI →	Write Enable / Write Failure	Block Select	Register Number	Register Value	→TDO
Access	R/W	W	W	R/W	

図 6-11. ルータ DR スキャン チェーン

表 6-12. ルータ DR スキャン チェーンの説明

ビット	フィールド	幅	タイプ	リセット	説明
31	書き込み有効化	1	W	0	スキャンイン時: 0:読み取りのみが実行されます。 1:指定されたレジスタへの書き込みが実行されます。 スキャンアウト時: 前回のスキャンで ROUTER アドレス指定レジスタへの書き込みが行われた場合、次回 Shift-DR 状態を通過する際にスキャンアウトされるビット 31 によって、その書き込みが成功したかどうかが示されます。1 の場合、前回の書き込みに失敗しました。0 の場合、前回の書き込みは成功しました。 デバッグまたはテスト用セカンダリ TAP の制御 / ステータス レジスタへの書き込みは、以下を含むさまざまな理由により失敗することがあります。 • ICEPick は切断状態です。 • TapPresent ビットが 0 であり、この位置には TAP が存在しないことを示しています。 • TapEnable ビットが 0 であり、セキュリティ上の理由またはその他の理由により、現在この TAP へのアクセスが禁止されていることを示しています。 • ResetControl または ReleaseFromWIR ビットの以前のプログラミングは、まだ処理されていません。

Copyright © 2026 Texas Instruments Incorporated

表 6-12. ルータ DR スキャン チェーンの説明 (続き)

ビット	フィールド	幅	タイプ	リセット	説明
30 ~ 28	ブロック選択	3	R/W	000	ブロック選択: 000:ICEPick コントロール (セクション 6.3.4.1 を参照) 001: テスト TAP リンク コントロール ブロック (セクション 6.3.4.2 を参照) 010: デバッグ TAP リンク制御ブロック (セクション 6.3.4.3 を参照) 011–111: 予約済み
27 ~ 24	レジスタ番号	4	R/W	0000	このフィールドは、選択したブロック内のレジスタを指定します (表 6-13、表 6-15 および表 6-20 を参照)。
23-0	選択したレジスタ コンテンツ	24	–	–	ブロック選択とレジスタ番号フィールドの値に基づいて、対応するレジスタはこのフィールドにマップされます。

Capture DR 状態中は、データ シフト レジスタが検査されます。ブロックおよびレジスタ フィールドで指定されるレジスタが読み取られ、値はデータ シフト レジスタの下位 24 ビットに配置されます。

注

データ シフト レジスタの現在の内容は、前のスキャンによってロードされた内容です。

DR スキャン n 1 で指定されたレジスタは、スキャン n の際に読み出されます。もちろん、その間に IR スキャンが実行された場合は、データ シフト レジスタの内容が不定となるため、DR スキャン n 1 で指定されたレジスタの読み取りは行われません。

場合によっては、Update-DR 状態に到達した時点でも、対象レジスタに対する操作がまだ保留中であることがあります。処理が保留中の間は、対象レジスタの一部のビットが変更されない場合があります。例えば、リセット制御信号が書き込まれていても、まだ実際には反映されていない場合があります。したがって、この書き込みで示される新しい値はレジスタに適用されない可能性があります。この場合、ICEPick レジスタへの書き込みが抑制され、書き込み故障フラグが 1 にセットされます。書き込み障害ビットは、データ シフト レジスタのビット 31 にキャプチャされます。値がキャプチャされると、WF フラグはクリアされます。

ビット 31 が読み取りの実行が必要であることを示す場合、この時点で指定された ICEPick レジスタはタッチされません。ICEPick レジスタの内容は変更されません。

データ シフト レジスタの内容が次のキャプチャ DR 状態まで一定のままである場合は、その時点で指定されたレジスタが読み取られます。介入した IR スキャンは、データ シフト レジスタの内容に影響を与えます。そのため、指定されたレジスタが読み取られることは保証できません。

ICEPick 内には、データ シフト レジスタ以外の読み取りブロックおよびレジスタに対するアドレス バッファリングはありません。正しいスキャンシーケンスに従っている場合は、追加のストレージは必要ありません。手順については、セクション 6.5 を参照してください。

6.3.4 TAP ルーティング レジスタ

このセクションでは、ルータ スキャンを使用してアクセスできる TAP ルーティング レジスタについて説明します。

6.3.4.1 ICEPick コントロール ブロック

ICEPick コントロール ブロックは、表 6-13 を実装しています。未使用のレジスタを読み出すと、すべて 0 が返されます。

表 6-13. コントロール ブロック レジスタ

登録	レジスタ名
0x0	All0s
0x1	制御
0x2	リンキング モード
0x3～0xF	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

6.3.4.1.1 All0s レジスタ

このレジスタはダミー レジスタで、読み出すと 0 を返します。書き込んでも無視されます。このレジスタの書き込みまたは読み取りに副作用はありません。

表 6-14. All0s レジスタ

ビット	フィールド	幅	タイプ	リセット	説明
23-0	ゼロ	24	R	0	ゼロが読み取られます

6.3.4.1.2 ICEPick 制御レジスタ

表 6-15. ICEPick 制御レジスタ

ビット	フィールド	幅	タイプ	リセット	説明
23 ~ 8	予約済み	16	R/W	0	予約済み
7	KeepPoweredinTLR	1	R/W	0	1 の場合、テスト ロジック リセット (TLR) 状態でも JTAG パワードメインはオンのままです。0 の場合、ICEPick が表示され、TMS が 1 の場合、JTAG パワードメインはテスト ロジック リセット (TLR) 状態でパワーダウンされます。
6	BlockSysReset	1	R/W	0	1 の場合、デバイスのシステム リセット信号はブロックされます。
5 ~ 1	予約済み	5	R/W	0	予約済み
0	SystemReset	1	R/W	0	エミュレータ制御システム リセット この信号は、スキャン コントローラがシステム ウォーム リセットをアサートできるようにします。1 が書き込まれると、これは外部チップ ウォーム リセット信号が瞬間的にアサートされたかのように動作します。この信号はエミュレーション ロジックをリセットしません。このビットは自動クリア ビットです。これは、要求されたリセットのアサートでクリアされます。 0 を書き込んでも何もしません。

6.3.4.1.3 リンク モード レジスタ

表 6-16. ICEPick リンク モード レジスタ

ビット	フィールド	幅	タイプ	リセット	説明
23 ~ 4	予約済み	20	R/W	0x0	予約済み
3 ~ 1	TAPLinkMode	3	R/W	000	表 6-17 を参照
0	ActivateMode	1	R/W	0	このビットに 1 を書き込むと、現在選択されている TAPLinkMode が有効になります。IR 内の任意のオペコードで ICEPick TAP が Run-Test/Idle に進むと、ICEPick はこれらの設定に従って TAP をリンクします。

表 6-17. ICEPick TAP リンク モード

値	モード	動作
000	常に先頭	ICEPick TAP は常に存在し、TDI に最も近い TAP としてリンクされます。
011	永続的に非表示	有効にすると、ICEPick TAP はデバイスの TDI と TDO の間に表示されなくなります。TAP を再び表示できるのは、パワーオン リセットのみです。
001～010、100～111	予約済み	予約済み

Copyright © 2026 Texas Instruments Incorporated

6.3.4.2 TAP リンク ブロックをテストし

TAP リンク ブロックをテスト ブロックには、表 6-18 に示す制御レジスタおよびステータス レジスタが含まれています。これらのレジスタは、セカンダリ TAP をマスタ スキャン パスに組み込むための選択に使用されます。各 TAP には、専用のテスト TAP コントロールとステータス レジスタがあります。

表 6-18. テスト TAP リンク レジスタ

登録	レジスタ名
0x0	セカンダリ テスト TAP 0 レジスタ
0x1	セカンダリ テスト TAP 1 レジスタ
0x2	セカンダリ テスト TAP 2 レジスタ
0x3	セカンダリ テスト TAP 3 レジスタ
0x4	セカンダリ テスト TAP 4 レジスタ
0x5	セカンダリ テスト TAP 5 レジスタ
0x6–0xF	予約済み

6.3.4.2.1 セカンダリ テスト TAP レジスタ

表 6-19. セカンダリ テスト TAP レジスタ (STTR)

ビット	フィールド	幅	タイプ	リセット	説明
23 ~ 10	予約済み	14	R/W	0	予約済み
9	VisibleTAP	1	R	—	表 6-21 を参照してください。
8	SelectTAP	1	R/W	0	表 6-21 を参照してください。
7 ~ 2	予約済み	6	R	0	
1	TapAccessible	1	R	—	表 6-21 を参照してください。
0	TapPresent	1	R	—	表 6-21 を参照してください。

6.3.4.3 デバッグ TAP リンク ブロック

デバッグ TAP リンク ブロックには、マスタ スキャン パスへのセカンダリ TAP の選択に使用される制御およびステータスのレジスタが含まれています。セカンダリ デバッグ TAP には、独自のデバッグ TAP 制御とステータス レジスタがあります。詳細については、表 6-20 を参照してください。

表 6-20. デバッグ TAP リンク レジスタ

登録	レジスタ名
0x0	セカンダリ デバッグ TAP 0 レジスタ
0x1–0xF	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

6.3.4.3.1 セカンダリ デバッグ TAP レジスタ

表 6-21 に、セカンダリ デバッグ TAP レジスタ (SDTR) を示します。表 6-22 に、リセット制御を示します。

表 6-21. セカンダリ デバッグ TAP レジスタ (SDTR)

ビット	フィールド	幅	タイプ	リセット	説明
23 ~ 21	予約済み	3	R/W	0	予約済み
20	InhibitSleep	1	W	0	0 の場合、このビットはモジュールのクロックと電源設定に影響しません。このビットが 1 の間は、TAP モジュールの電源またはクロックは、一度有効になった後に無効化することはできません。 このビットを設定した時点でターゲットに電源またはクロックが供給されていない場合、InhibitSleep はターゲットの電源またはクロックの状態を変更しません。ターゲットに再び電源とクロックが供給された時点で有効になります。
			R	—	読み取られた値は、電源およびクロック コントローラが書き込まれた値の変更を反映するまで、書き込み値を反映しません。
19 ~ 18	予約済み	2	R	—	予約済み
17	InReset	1	R	—	InReset ステータスと ReleaseFromWIR コントロールは同じビットを共有します。 1 の場合、セカンダリ TAP によって制御されるモジュールはリセット状態になります。 0 の場合、モジュールまたはモジュール群はリセット状態ではありません。
	ReleaseFromWIR		W	0	InReset ステータスと ReleaseFromWIR コントロールは同じビットを共有します。 このビットに 1 を書き込むと、WaitInReset ビットによってモジュールがリセット状態に保持されている場合、モジュールのリセットが解除されます。これは、WaitInReset が 1 で、モジュールをリセット状態に保持する唯一の原因である場合にのみ発生します。このビットは自動クリア ビットです。 0 を書き込んでも何もしません。
16 ~ 14	ResetControl	3	R/W	0	モジュールに対する機能ウォームリセットのアプリケーション制御をオーバーライドします。表 6-22 を参照してください。
13 ~ 10	予約済み	4	R/W	0	予約済み
9	VisibleTAP	1	R	—	1 の場合、この TAP は現在選択されており、アクティブなスキャン チェーン内で参照可能です。 VisibleTap ビットは、SelectTap ビットによって事前に選択された TAP が、現在デバイスのマスタースキャンパスの一部になっていることを示します。VisibleTap ビットは、Run-Test-Idle 状態に達すると ICEPick によって設定されます。
8	SelectTAP	1	R/W	0	SelectTap ビットを使用すると、スキャン コントローラ ソフトウェアは、デバイスレベルのマスタ スキャン パスに含めるセカンダリ TAP を変更できます。このビットが 1 に設定されている場合、TAP の状態が Run-Test-Idle ステートに進むと、マスター スキャン パスに含める TAP が選択されます。このビットを 0 に変更すると、TAP の状態が Run-Test-Idle 状態に遷移したときに、TAP はマスター スキャン パスから選択解除されます。選択または選択解除は、現在の IR 命令に関係なく、Run-Test-Idle 状態で行われます。 TapPresent が 0 の場合、SelectTap ビットへの書き込みは無効化され、このビットは 0 のまま保持されます。
7 ~ 4	予約済み	4	R/W	0	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 6-21. セカンダリ デバッグ TAP レジスタ (SDTR) (続き)

ビット	フィールド	幅	タイプ	リセット	説明
3	ForceActive (ForcePowerAndClock)	1	W	—	ForceActive が 0 の場合、他のエミュレーション制御による影響がない限り、モジュールのクロックおよび電源設定は通常のアプリケーション設定に従います。ForceActive ビットを設定すると、電源とクロックがオンに保持され、必要に応じてオンになります。この意味で、ForceActive ビットは ForcePowerAndClock という名前にすることができます。 ForceActive ビットをクリアすると、電源とクロックの設定の制御がアプリケーションに返されます。アプリケーション制御によって電源およびクロックをオフにする必要があると示されている場合、モジュールへの電源およびクロックは停止されます。
			R	—	読み取られた値は、電源およびクロック コントローラが書き込まれた値の変更を反映するまで、書き込み値を反映しません。
2	予約済み	1	R	—	予約済み
1	TapAccessible	1	R	—	0 の場合、セキュリティのため TAP にアクセスできません。 1 の場合、TAP にアクセスできます。
0	TapPresent	1	R	—	0 の場合、このスポットに割り当てられた TAP はありません。 1 の場合、この TAP はデバイスに存在します。 TAP が存在しない場合、このレジスタ内のその他の制御ビットおよびステータス ビットは動作しないものとして扱われます。

表 6-22. リセット制御

値	コマンド	説明
000	通常動作	リセットは、アプリケーションまたはデバイスの通常の制御で動作します。
001	リセット状態で待機 (リセット延長)	このセカンダリ TAP で制御されるモジュールは、リセットがアサートされるとリセット状態のままになります。このビットのみでは、プロセッサはリセットされません。
010	予約済み	予約済み
011	予約済み	予約済み
1xx	キャンセル	リセット コマンド ロックアウトをキャンセルします

6.4 ICEMelter

ICEMelter は、ICEPick および cJTAG モジュールを含む JTAG 電源ドメインをウェークアップし、TCK ピン上のアクティビティを監視します。ICEMelter が TCK ピン上のトラフィック (TCK の立ち上がりエッジ 8 回と立ち下がりエッジ 8 回) を検出すると、JTAG 電源ドメインをパワーアップする AON WUC にパワーアップ要求を送信します。デバイスにはタイムアウト機能が組み込まれており、3 回目の立ち上がりエッジから 8 回目の立ち上がりエッジまでの時間が 4ms を超えると、ICEMelter がリセットされます。エミュレータは、残りのコマンドを JTAG インターフェイスに送信する前に、JTAG 電源ドメインのパワーアップ時間として少なくとも 200µs を確保する必要があります。

TCK ピン上の意図しないトラフィックを避けるよう注意することが推奨されます。これは、たとえば TCK ピンが、頻繁に接続および切断されるコネクタ経由でアクセス可能になっている場合や、通常の使用時に触れられるピン列に配置されている場合に発生する可能性があります。TCK ピン上の意図しないトラフィックにより、ICEMelter が JTAG ドメインをパワーアップする可能性があります。これにより、任意のデバイス モード (Standby を含む) に約 400µA が追加され、Halt In Boot (HIB) フラグも設定されます。HIB フラグにより、以降のブート時にデバイスが停止します (ピン リセットまたは POR 以外のシステム リセット後やシャットダウンに入る場合など)。Halt In Boot の終了、HIB フラグのクリア、JTAG ドメインの無効化は、ピン リセット、POR、または JTAG インターフェイス自体を使用する場合にのみ実行できます。

TCK ピンには、ノイズによる意図しないトラフィックを避けるための内部プルアップがありますが、ピンへの意図しない接触や短絡によって TCK ピン上で外部アクティビティが発生するリスクがある場合は不十分です。このような動作が発生しないことを保証できない場合は、強い外部プルアップを使用するか、0Ω 抵抗を介してピンを電源電圧に短絡することも推奨します。プルアップのサイズ、またはピンを電源電圧に短絡するかどうかは、意図しない外部アクティビティに対する堅牢性と、アクセス可能なデバッグ ポートの必要性とのトレードオフになります。TCK ピンを電源電圧に短絡して無効にする場合は、ブートローダを使用してフラッシュ プログラミングを実行する必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

[AON_IOC:TCKCTL] を使用して、TCK ピンの入力ドライバを無効にできます。TCK ピンを無効にするとデバッグ セッションに支障が生じるため、コードのデバッグをサポートする必要がある場合は、TCK ピンを無効にするときに特別な注意が必要です。[FLASH:FWFLAG][2] が 1 の場合に限り、TCK ピンを無効にすることを強く推奨します。[FLASH:FWFLAG][2] は、前回のブートで HIB が発生したかどうかを示します (0：HIB が発生、1：HIB は発生していません)。TCK ピンが無効になっている場合、実行中のターゲットのデバッグはできません。ただし、[FLASH:FWFLAG][2] が 1 の場合に限り TCK ピンを無効にするようにしておけば、デバイスのデバッグは引き続き可能です。

Copyright © 2026 Texas Instruments Incorporated

6.5 シリアル ワイヤ ビューア (SWV)

CPU は、プロセッサ内の TPIU マクロを使用して、シリアル ワイヤ ビューア (SWV) インターフェイス (単線インターフェイス) をサポートします。CPU で SWV 出力を有効化するには、次のシーケンスを使用します。

1. CPU_SCS:DEMCR.TRCENA を設定して、トレース システムを有効化します (セクション 2.9.4 を参照)。
2. Lock Access Register CPU_ITM:LAR に書き込んで、ITM 構成のロックを解除します (セクション 2.9.3 を参照)。
3. CPU_ITM:TCR.ITMENA を設定して、ITM を有効化します (セクション 2.9.3 を参照)。
4. CPU_ITM:TER で目的のスティミュラス ポート (0 ～ 31) を有効にします (セクション 2.9.3 を参照)。
5. 必要に応じて、CPU_TPIU:FFCR のフォーマッタ構成を変更します (セクション 2.9.5 を参照)。
6. 必要に応じて、CPU_TPIU:SPPR のピン プロトコルを変更します (セクション 2.9.5 を参照)。
7. CPU_TPIU:ACPR でボー レートを設定します (セクション 2.9.5 を参照)。
8. IOC:IOCFGn に対応するポート ID を書き込むことで、SWV を DIOn にマッピングできます (セクション 13.10.3 を参照)。詳細については、Chapter 13 を参照してください。

CPU_ITM:STIMn レジスタへの書き込みは (有効化されている場合)、FIFO がフルでなければ SWV 出力で送信をトリガします。

6.6 Halt In Boot (HIB)

CC13x2 および CC26x2 デバイス プラットフォームは、アプリケーション コードを実行する前に外部エミュレータがデバイスを制御できるようにする仕組みを実装しています。この仕組みは Halt In Boot (HIB) と呼ばれます。HIB がデバッグ アクティビティを検出すると、ブート コードは実行の最後、Flash 内のアプリケーション コードにジャンプする前に、割り込み待機命令 (WFI) で停止します。

TCK ピン上のアクティビティ (JTAG 電源ドメインをパワーアップするもの) の検出が、次回ブート時に HIB が発生する条件です。システム リセットが発生する前に test logic reset (TLR) 状態に入ることで JTAG 電源ドメインがオフになると、HIB 条件をクリアできます。AON_PMCTL:SHUTDOWN.EN に 1 が書き込まれた後に JTAG 電源ドメインがオフになっても、HIB 条件はクリアされません。

HIB を終了するには、外部エミュレータがデバイスに接続し、DAP を通じて CPU をまず HALT し、その後 RESUME する必要があります。CPU の停止は、WFI 命令から CPU をウェークアップするデバッグ イベントです。再開後、プログラム実行はアプリケーション コードから続行します。

6.7 デバッグおよびシャットダウン

このモードでは、デバッグ サブシステムの電源がオフになるため、デバッガをシャットダウン モードで接続したままにはできません。これは、シャットダウン状態への移行によってエミュレータからの切断が突然発生することを意味します。シャットダウン シナリオのデバッグを容易にするため、CC13x2 および CC26x2 デバイス プラットフォームには以下の考慮事項があります。

- デバイスがシャットダウン モードの場合、TCK での動作により即座にウェークアップします。
- シャットダウン モードに移行しているときに HIB 条件を満たした場合、デバイスはシャットダウン状態に達するとすぐにウェークアップします。ウェークアップ後に発生するブート中に HIB の条件が満たされると、I/O ウェークアップ イベントが発生するまで、ブート コードはループに移行します。

Copyright © 2026 Texas Instruments Incorporated

6.8 WUC TAP でサポートされているデバッグ機能

表 6-23. WUC TAP でサポートされているデバッグ機能

コマンド	制御ビット	機能
CHIP_ERASE_REQ	IR 0x01、 DR[7:0] のビット 1	このビットを設定すると (WUC TAP によるマイコン VD リセット要求が続く場合) チップ消去が開始されます。
MCU_VD_RESET_REQ	IR 0x01、 DR[7:0] のビット 5	このビットを設定すると、マイコン VD 全体のリセットが要求されます。
SHUTDOWN_W_JTAG	IR 0x01、 DR[7:0] のビット 6	1:シャットダウンへの移行は、JTAG が切断されるまで延期されます。 0:JTAG からの切断を待たずにデバイスをシャットダウン状態へ遷移させることを可能にします。シャットダウン状態に移行すると、エミュレータとの接続は突然切断されます。
SYS_RESET_REQ	IR 0x01、 DR[7:0] のビット 7	このビットを設定すると、チップ全体のリセットが要求されます。このリセット後に DEBUGEN ビットはアサートされたままになり、次のブート後に HIB が確保されます。
TMS_PAD_CFG	IR 0x0C、 DR[6:0] のビット [5:0]	TMS ピンの強度とスルー制御設定。
MCU_VD_FORCE_ACTIVE	IR 0x0C、 DR[6:0] のビット 6	1:マイコン VD がオフの場合、強制アクティブ化によりマイコン VD の電源がオンになります。 0:このアプリケーションはマイコン VD を制御します。
JTAG_DO_NOT_PU	IR 0x04、 DR[6:0] のビット 0	1:ICEMelter から JTAG 電源ドメインが起動されるのを防止します。 0:ICEMelter は、ウェークアップ条件が満たされると JTAG 電源ドメインを起動します。
JTAG_DO_NOT_RESET	IR 0x04 DR[6:0] のビット 4	1:JTAG 電源ドメインの電源がオフになっているときは、WUC TAP をリセットしないでください。 0:JTAG の電源ドメインがパワー ダウンすると、WUC がリセットされます。

6.9 プロファイラ レジスタ

このレジスタは、コード実行に侵入することなくチップからランタイム情報を抽出するために使用できます。このレジスタ TEST TAP に常駐します (プロファイラ レジスタの IR 番号は 0x06 です)。詳細については、表 6-24 を参照してください。

図 6-12. プロファイラ レジスタ

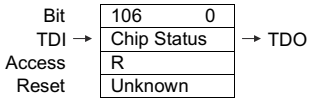


表 6-24. プロファイラ レジスタのフィールド

ビット	幅	説明
81 ~ 80	2	AON_PMCTL:PWRSTAT.SW
79	1	AUX_SYSIF:ADCCLKCTL.REQ
78	1	AUX_SYSIF:TDCCLKCTL.REQ
77	1	AUX_ANAIF:DACSMPLCTL.EN
76 ~ 74	3	AUX_SYSIF:SWPWRPROF.STAT
73 ~ 72	2	AUX_SYSIF:OPMODESTAT.STATE
71	1	AUX_SCE:CTL.RUN、AUX_SCE:CPUSTAT.SLEEP 以外
70	1	SYSBUS のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
69	1	FLASH のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。

Copyright © 2026 Texas Instruments Incorporated

表 6-24. プロファイラ レジスタのフィールド (続き)

ビット	幅	説明
68	1	RFCORE のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
67	1	GPIO のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
66	1	GPTM0 のクロック信号(1): 0:クロックが動作していません。 1:クロックが動作中です。
65	1	GPTM1 のクロック信号(1): 0:クロックが動作していません。 1:クロックが動作中です。
64	1	GPTM2 のクロック信号(1): 0:クロックが動作していません。 1:クロックが動作中です。
63	1	GPTM3 のクロック信号(1): 0:クロックが動作していません。 1:クロックが動作中です。
62	1	I^2C のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
61	1	I^2S のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
60	1	UDMA のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
59	1	TRNG のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
58	1	CRYPTO のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
57	1	PKA のクロック状態(1): 0:クロックが動作していません。 1:クロックが動作中です。
56	1	SSI0 のクロック信号(1): 0:クロックが動作していません。 1:クロックが動作中です。
55	1	SSI1 のクロック信号(1): 0:クロックが動作していません。 1:クロックが動作中です。
54	1	UART0 のクロック信号(1): 0:クロックが動作していません。 1:クロックが動作中です。
53	1	UART1 のクロック信号(1): 0:クロックが動作していません。 1:クロックが動作中です。
52	1	CPU からのスリープ要求
51	1	CPU からのディープ スリープ要求は WIC によって認定済み
50	1	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 6-24. プロファイラ レジスタのフィールド (続き)

ビット	幅	説明
49	1	CPU PD ステータス: 0:電源ドメインはオフです。 1:電源ドメインはオンです。
48	1	SERIAL PD ステータス: 0:電源ドメインはオフです。 1:電源ドメインはオンです。
47	1	PERIPH PD ステータス: 0:電源ドメインはオフです。 1:電源ドメインはオンです。
46	1	RFCORE PD ステータス: 0:電源ドメインはオフです。 1:電源ドメインはオンです。
45	1	VIMS PD ステータス: 0:電源ドメインはオフです。 1:電源ドメインはオンです。
44	1	マイコンの電源状態: 0: STANDBY 1: アクティブ
43	1	DDI_0_OSC:STAT0.XOSC_HF_EN
42	1	DDI_0_OSC:STAT0.SCLK_HF_SRC
41 ~ 40	2	DDI_0_OSC:STAT0.SCLK_LF_SRC
39 ~ 36	4	RF_CORE_STATE: b0000 NA まだ情報は利用できないか、RF コアの電源がオフになっています。 b0001 IDLE RF コアに電力が供給されているが、アイドル状態で、RF がありません b0010 RFACTIVE RF シンセサイザがアクティブになります。 b0110 RXWAIT RF コアは同期を待機しています。 b1110 RXPACKET RF コアがパケットを受信しています。 b1010 TX RF コアがパケットを送信しています その他 = 予約済み
35 ~ 28	8	PRCM:PWRPROFSTAT
27	1	圧縮されたプログラム カウンタの値にエラーが発生しました: 1:ビット 26 ～ 6 で返される値は信頼できません。 0:ビット 26 ～ 6 で返される値は信頼できます。
26 ~ 6	21	圧縮されたプログラム カウンタ (0 と予想される 32 ビット プログラム カウンタのうち 11 個を削除) プログラム カウンタ {PC[29:28]、PC[24]、PC[18:1]}
5-0	6	CPU 内の現在の実行コンテキストの割り込み番号を示します

(1) マイコンの電源状態がスタンバイの場合、このフィールドは無効な場合があります。

6.10 バウンダリ スキャン

CC13x2 および CC26x2 デバイスは、IEEE 1149.1 JTAG 規格で定義されている標準バウンダリ スキャンを使用しています。図 6-13 に示すように、各 DIO には専用のバウンダリ スキャン セルがあり、六つのレジスタ (出力ピン、双方向制御ピン、入力ピンにそれぞれ二つ) が含まれています。

Copyright © 2026 Texas Instruments Incorporated

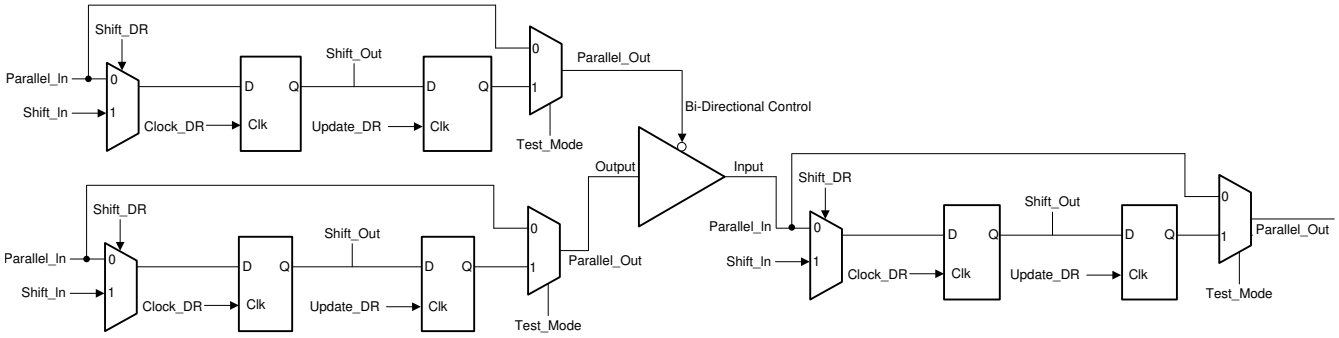


図 6-13. バウンダリ スキャン セル

六つのレジスタのうち三つはシフト レジスタで、他の三つは更新レジスタです。シフト レジスタはスキャン チェーンで、すべての DIO に接続します。各バウンダリ スキャン レジスタ セルの内部には、テスト データと機能データのいずれかを選択するマルチプレクサが数個あります。バウンダリ スキャンの実装は、DC パラメータ テストおよび IODFT テストの両方に対応することを意図しています。CC13x2 および CC26x2 デバイスで使用可能な 32 本の DIO は、テスト ピンのマルチプレクス構成およびテスタ接触 / 非接触 I/O の違いに基づいて、異なるグループに分類されています。異なるパッケージ間のバウンダリ スキャン I/O の詳細については、表 6-25 を参照してください。

表 6-25. デバイスごとのバウンダリ スキャン I/O

ピン名	タップ インターフェイス	グループ
TCK	TAP_SCAN_CLOCK	
TMS	TAP_SCAN_MODE	
DIO0		grp1
DIO1		grp1
DIO2		grp1
DIO3		grp1
DIO4		grp1
DIO5		grp1
DIO6		grp1
DIO7		grp1
DIO8		grp1
DIO9		grp1
DIO10		grp1
DIO11		grp1
DIO12		grp1
DIO13		grp1
DIO14		grp1
DIO15		grp1
DIO16	TAP_SCAN_OUT	grp3
DIO17	TAP_SCAN_IN	grp3
DIO18		grp1
DIO19		grp1
DIO20		grp1
DIO21		grp1
DIO22		grp1
DIO23		grp2
DIO24		grp2
DIO25		grp1

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 6-25. デバイスごとのバウンダリ スキャン I/O (続き)

ピン名	タップ インターフェイス	グループ
DIO26		grp1
DIO27		grp1
DIO28		grp1
DIO29		grp1
DIO30		grp1

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

DC パラメトリック試験は、各 DIO へのバウンダリ スキャン アクセスを用いて実施されます。

1. 入力タイプの DC パラメータ テスト:
   - 双方向制御ピンを 1 に駆動することで、DIO2 を除くすべての I/O を入力モードに設定します。
   - ステータス出力ピン (DIO2) 以外のすべての BIDI に low 電圧を印加して、V_{IL} をテストします。
   - INTEST 命令を使用して、入力側の BSR に応答をキャプチャし、キャプチャされたデータを DIO2 を通じてシフトアウトします。
   - V_{IL} の仕様を満たしていないピンでは、ステータス出力は 1 になります。
   - ステータス出力ピン (DIO2) 以外のすべての BIDI に高電圧を印加して、V_{IH} についても同じことを繰り返します。

     I_{IH} と I_{IL} をテストするには、前述の手順が必要です。ただし、電圧の代わりに電流を測定する必要があります。ステータス出力の V_{IL} と V_{IH} をテストするには、もう一方の DIO をステータス出力として選択し、他のすべてのピンをマスクアウトして、テストを繰り返します。この機能はバウンダリ スキャンの実装では理解されていませんが、DIO のメモリマップ制御を使用して実現することができます。
2. 出力 DC パラメータ テストの場合:
   - 双方向制御ピンを 0 に駆動し、すべての I/O (DIO1 を除く) を出力モードに構成します。
   - DIO1 経由ですべての I/O へシフトイン 0。
   - EXTEST 命令を使用して、すべてのピンの V_{OL} を測定します。
   - DIO1 を通じて、すべての I/O に対して 1 をシフトインし、同じ処理を繰り返します。
   - 全ピンの V_{OH} を測定します。

   I_{OH} と I_{OL} をテストするには、前述のものと同じ手順が必要です。ただし、電圧の代わりに電流を測定する必要があります。V_{OL} と V_{OH} をテストするには、ステータス出力をテストし、もう一方の DIO を選択してテストを繰り返します。この機能はバウンダリ スキャンの実装では理解されていませんが、DIO のメモリマップ制御を使用して実現することができます。

Copyright © 2026 Texas Instruments Incorporated

Chapter 7

パワー、リセット、およびクロック マネージメント (PRCM)

この章では、CC13x2 および CC26x2 デバイス プラットフォームの柔軟なパワー マネージメントおよびクロック制御 (PRCM) について詳しく説明します。

7.1 概要 521
7.2 システム CPU モード 522
7.3 供給システム 522
7.4 デジタル電源パーティショニング 523
7.5 クロック管理 525
7.6 電力モード 531
7.7 リセット 535
7.8 PRCM レジスタ 537

Copyright © 2026 Texas Instruments Incorporated

7.1 概要

CC13x2 および CC26x2 デバイスのプラットフォームのパワーおよびクロック管理 (PRCM) は非常に柔軟性が高く、ローパワー アプリケーションを促進します。以下のセクションでは、リセット機能のほか、クロックおよびパワー制御の詳細について説明します。

この章の特徴は TI-RTOS に組み込まれ最適化されています。TI-RTOS のユーザーは、この章を情報提供用と見なすことができます。

図 7-1 は、CC13x2 および CC26x2 デバイスのプラットフォームのパワー セービング機能の階層を示しています。パワー セービング モードでは、低消費電力とサイクリング時間は反比例します。消費電力が最小のパワー セービング モードでは、開始から省電力モードまでの最長時間と、アクティブ モードに戻るウェークアップ時間が必要です。表 7-1 はパワー セービング機能を示しています。

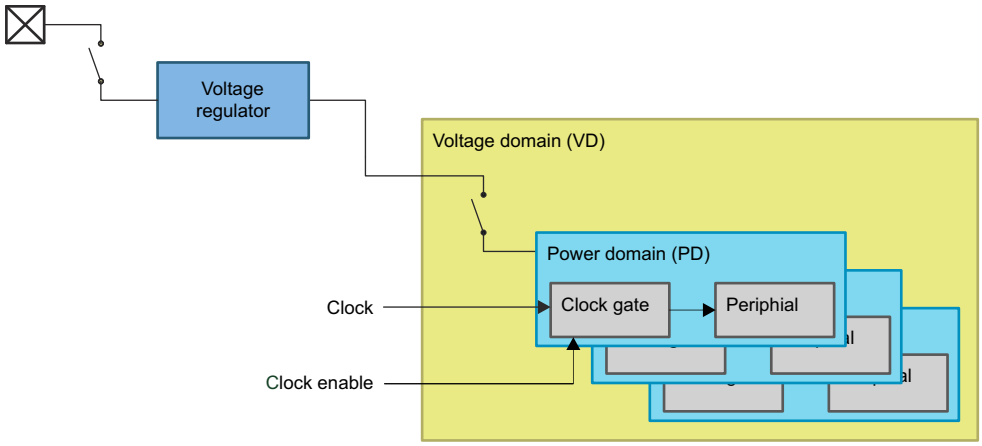


図 7-1. パワー セービング機能の階層

表 7-1. パワー セービング機能

パワー セービング機能	説明
クロック ゲーティング	即時応答 - 遅延なし。この機能では節電量が最小です
パワー ドメイン オフ (クロック ゲーティングを無効にする)	電源を切ってから再投入するまでの時間がクロック ゲーティングよりも長くなります。パワー ドメイン内の保持していないモジュールは、機能を再開する前に再初期化する必要があります。
電圧レギュレータ オフ	電源を切ってから再投入するまでの時間がパワー ドメイン サイクリングよりも長くなります。CC13x2 および CC26x2 デバイスのプラットフォームでは、すべての構成が失われ、ウェークアップ時に起動します。この機能では電流消費が最小限に抑えられます。

表 7-2 は、表 7-1 に一覧されている TI-RTOS のパワー セービング機能のために定義された 4 つのパワー モードを示しています。セクション 7.6 はパワー モードの詳細について説明しています。

表 7-2. TI-RTOS のパワー モード

電力モード	説明
アクティブ モード	システム CPU が実行中です。
アイドル モード	CPU パワー ドメインの電源がオフです。
スタンバイ モード	すべてのパワー ドメインがオフで、AUX ドメインはローパワー モードまたはパワーダウン モードになります。電圧ドメインはマイクロ LDO から電力を供給されます。
シャットダウン モード	I/O のみが動作を維持します。すべての電圧レギュレータ、電圧ドメイン、パワー ドメインはオフです。

Copyright © 2026 Texas Instruments Incorporated

7.2 システム CPU モード

セクション 7.3 はシステム CPU のモードを指しているため、その意味を理解することが重要です。

システム CPU には、実行、スリープ、ディープ スリープの三つの動作モードがあります (表 7-3 を参照)。各モードは、現在のシステム CPU モードに応じてゲート可能なペリフェラル クロックに加えて、システム CPU の内部クロックをゲート制御するために使用されます。ディープ スリープ モードとは、電圧および電力ドメインをパワーダウンするための複数の要件の一つです。

表 7-3. システム CPU モード

システム CPU モード	説明
実行モード	WFI および WFE のいずれも非アクティブであり、CPU_SCS:SCR.SLEEPDEEP の設定値は無関係です。
スリープ モード	WFI または WFE アクティブおよび CPU_SCS:SCR.SLEEPDEEP = 0
ディープ スリープ モード	WFI または WFE アクティブおよび CPU_SCS:SCR.SLEEPDEEP = 1

7.3 供給システム

CC13x2 および CC26x2 デバイス プラットフォームの電源システムは複雑で、ハードウェアによって制御されます。図 7-2 に、ソフトウェアで制御可能な部品に焦点を当てた簡略図を示します。各種パワー ドメインに影響を及ぼすレジスタを図 7-2 に示します。

電圧ドメインとパワー ドメインの詳細については、図 7-3 を参照してください。

7.3.1 内部 DC/DC コンバータおよびグローバル LDO

通常、CC13x2 および CC26x2 デバイス プラットフォームの VDDS 電源ピンには 1.8V ～ 3.8V の電源 (バッテリなど) から電源供給され、VDDR 電源ピンには内部 DC/DC レギュレータから電源供給されます。

代わりに、DC/DC レギュレータの代わりに内部グローバル LDO を使用することもできますが、これによりデバイスの消費電流が増加します。このモードでは、DCDC_SW を切断し、VDDS_DCDC を VDDS 電源に接続します。グローバル LDO は内部で VDDR ピンに接続されており、この VDDR ピンは外部で VDDR_RF ピンに接続する必要があります。グローバル LDO は、VDDR ネット上の µF サイズのコンデンサでデカップリングする必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.4 デジタル電源パーティショニング

CC13x2 および CC26x2 デバイス プラットフォームには、MCU_VD と AON_VD の 2 つの電圧ドメインがあります。どちらの電圧ドメインにも、複数の電源ドメイン *_PD が含まれます。各電源ドメインにはデジタル モジュールが含まれます。図 7-3 に、CC13x2 および CC26x2 デバイス プラットフォームの電源分割の詳細を示します。

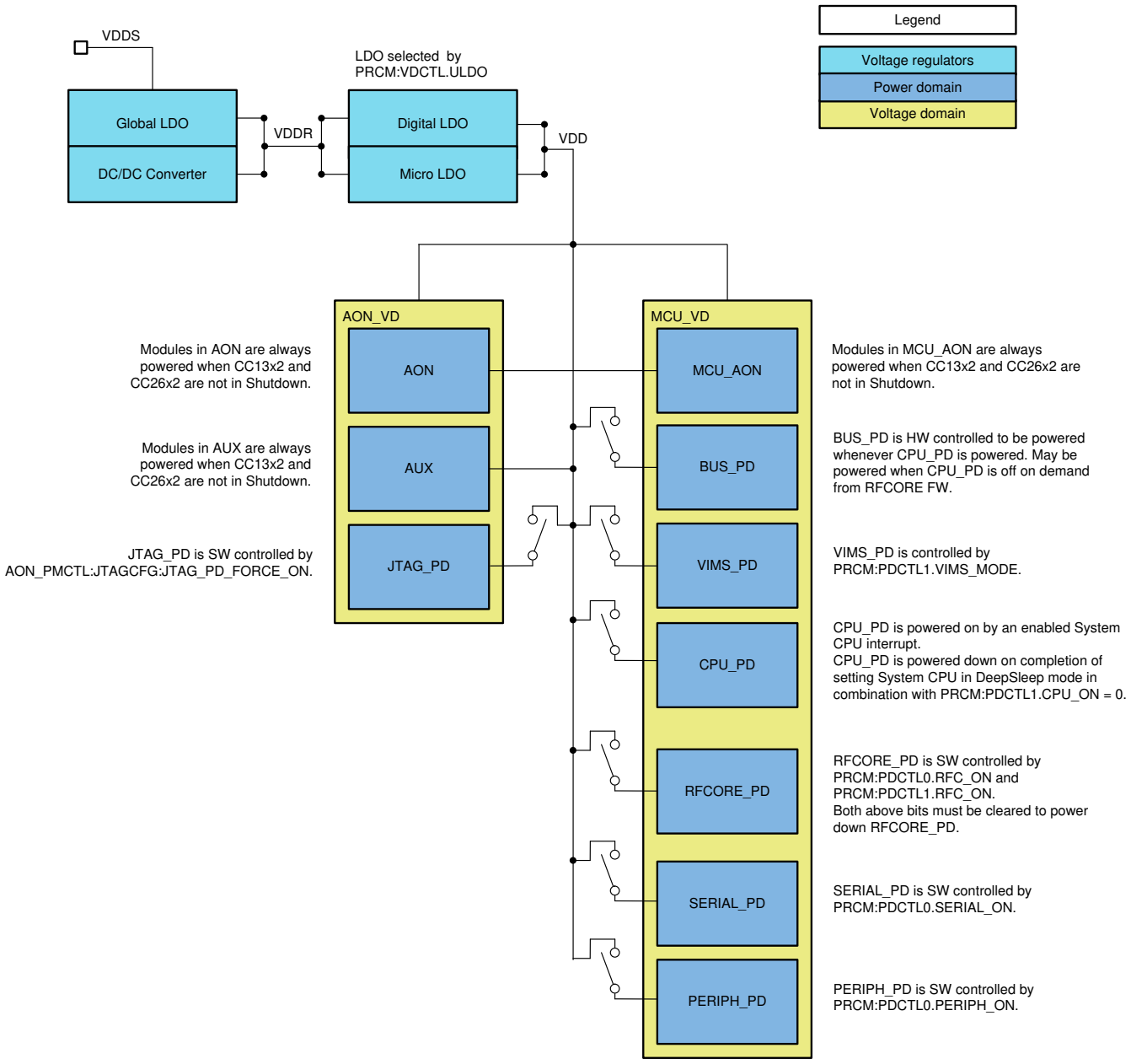
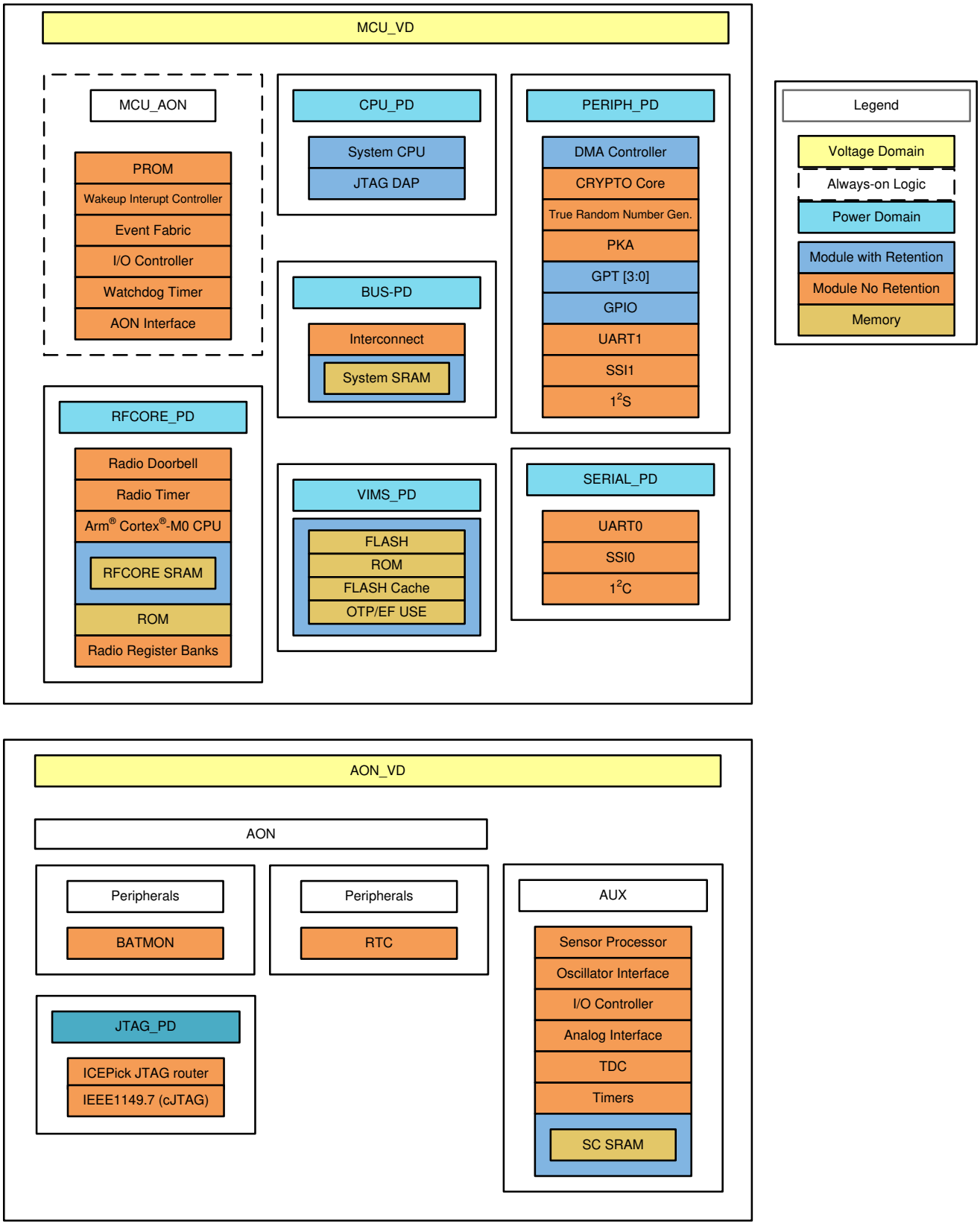


図 7-2. CC13x2 および CC26x2 電源システム

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2017, Texas Instruments Incorporated

図 7-3. CC13x2 および CC26x2 のデジタル電源パーティショニング

Copyright © 2026 Texas Instruments Incorporated

7.4.1 MCU_VD

図 7-3 に、マイコン電圧ドメインに、複数の電源ドメインに分割された CPU システムが含まれていることを示します。MCU_VD には、電源ドメインにカプセル化されていない常時オン ロジックも含まれており、MCU_VD 電圧レギュレータがオンのときは常に電源供給されます。CC13x2 および CC26x2 デバイス プラットフォームがシャットダウン モードまたはリセット モードでない場合、電圧レギュレータはオンになり、MCU_AON に電源供給されます。図 7-3 では、このロジックを MCU_AON として示します。

MCU_VD は、有効化された任意のウェークアップ ソースによってパワーアップされます。

MCU_VD をパワー オフするための要件については、PRCM:VDCTL.MCU_VD のレジスタ説明を参照してください (セクション 7.8.2 を参照)。

7.4.1.1 MCU_VD 電源ドメイン

図 7-2 に、MCU_VD 電源ドメインの制御を示し、レジスタの説明を示しています。

7.4.2 AON_VD

AON_VD には、図 7-3 に AON とマークされた一つの電源ドメインと常時オン ロジックが含まれています。

CC13x2 および CC26x2 デバイス プラットフォームがシャットダウン モードではない場合、AON のロジックは常に電力の供給を受けます。

7.4.2.1 AON_VD 電源ドメイン

図 7-2 に、AON_VD 電源ドメインの制御を示し、レジスタの説明を示しています。

7.5 クロック管理

7.5.1 システム クロック

図 7-4 および表 7-4 は、CC13x2 および CC26x2 デバイス プラットフォームに、複数のソースからシステム クロックを生成できる柔軟なクロック MUX があることを示しています。

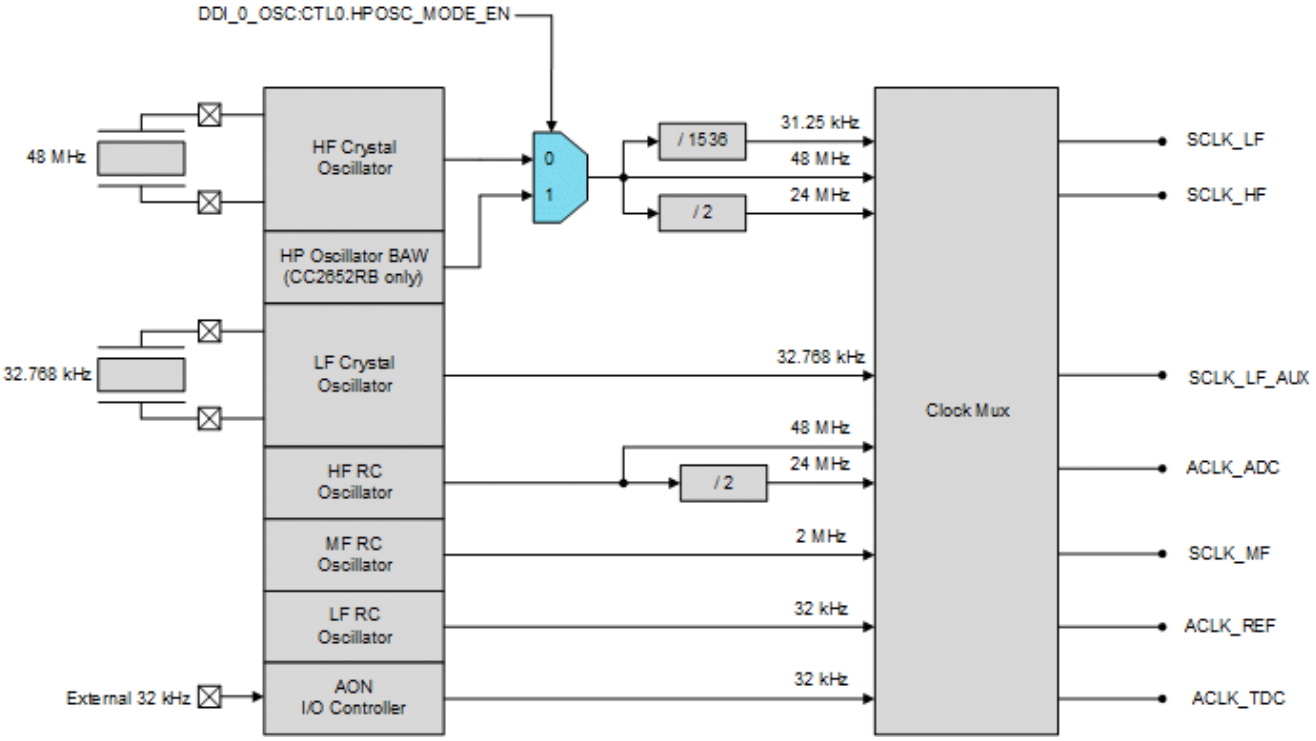


図 7-4. クロック・ソース

Copyright © 2026 Texas Instruments Incorporated

7.5.1.1 発振器の制御

表 7-4 は、システム クロックの説明と可能なソースを示しています。

表 7-4. システム クロック

クロック	説明	可能なソース
SCLK_LF	低周波クロック • 常に AON で使用 • アクティブおよびスタンバイ モードの AUX で使用可能	• 48MHz RC 発振器による 31.25kHz • 48MHz 水晶発振器による 31.25kHz • HP 発振器による 31.25kHz (BAW [1]) • 32kHz RC 発振器 • 32.768kHz 水晶発振器 [DDI_0_OSC:CTL0.SCLK_LF_SRC_SEL] で選択可能
SCLK_MF	中周波クロック • 常にアクティブ モードおよびアイドル モードの PMCTL で使用 • アクティブ、アイドル、スタンバイの各モードの AUX で使用可能	2MHz RC 発振器
SCLK_HF	高周波数クロック • アクティブ モードおよびアイドル モードの MCU_VD で使用 • アクティブ モードおよびアイドル モードの AUX で使用可能	• 48MHz RC 発振器による 48MHz • 48MHz 水晶発振器による 48MHz • HP 発振器による 48MHz (BAW [1]) [DDI_0_OSC:CTL0.SCLK_HF_SRC_SEL] で選択可能
SCLK_LF_AUX	AUX_PD (COMP_B) のローパワー コンパレータで、および REFSYS の再充電コンパレータへのクロックとして使用	SCLK_LF と同じ
ACLK_ADC	ADC のクロック ソースとして使用	SCLK_HF と同じ
ACLK_REF	時間/デジタル コンバータ (TDC) の開始および停止ソースとして使用	• 48MHz RC 発振器による 31.25kHz • 48MHz 水晶発振器による 31.25kHz • HP 発振器による 31.25kHz (BAW [1]) • 32kHz RC 発振器 • 32.768kHz 水晶発振器 • 2MHz RC 発振器 [DDI_0_OSC:CTL0.ACLK_REF_SRC_SEL] で選択可能
ACLK_TDC	TDC のクロックとして使用	• RC 発振器からの 48MHz • RC 発振器からの 24MHz • 水晶発振器からの 24MHz [DDI_0_OSC:CTL0.ACLK_TDC_SRC_SEL] で選択可能

1. CC2652RB デバイスでのみ利用可

注

48MHz 水晶発振器を有効にした場合 (SCLK_HF のソースとして XOSCHF を選択することにより)、XOSCHF が安定しスイッチングされたとして通知されるまで、XOSCHF をオフ、または SCLK_HF ソースを他のソースに変更しないでください。水晶の起動後に DDI_0_OSC:STAT0.PENDINGSCLKHFSWITCHING がアサートされると XOSCHF が安定します。DriverLib API を SCLK_HF ソースの切り替えに使用して、その間は割り込みを無効化する必要があります。

Copyright © 2026 Texas Instruments Incorporated

注意

SCLK_LF ソースとして 48MHz 水晶発振器による 31.25kHz を選択する場合、デバイスはスタンバイ モードに移行できません。48MHz 水晶発振器の実行時にデバイスがスタンバイに移行すると、発振器が停止して、デバイスが応答しない状態になる可能性があります。DC/DC レギュレータも使用している場合は、48MHz レギュレータを停止するとデバイスが永続的な損傷を受ける可能性があります。

Copyright © 2026 Texas Instruments Incorporated

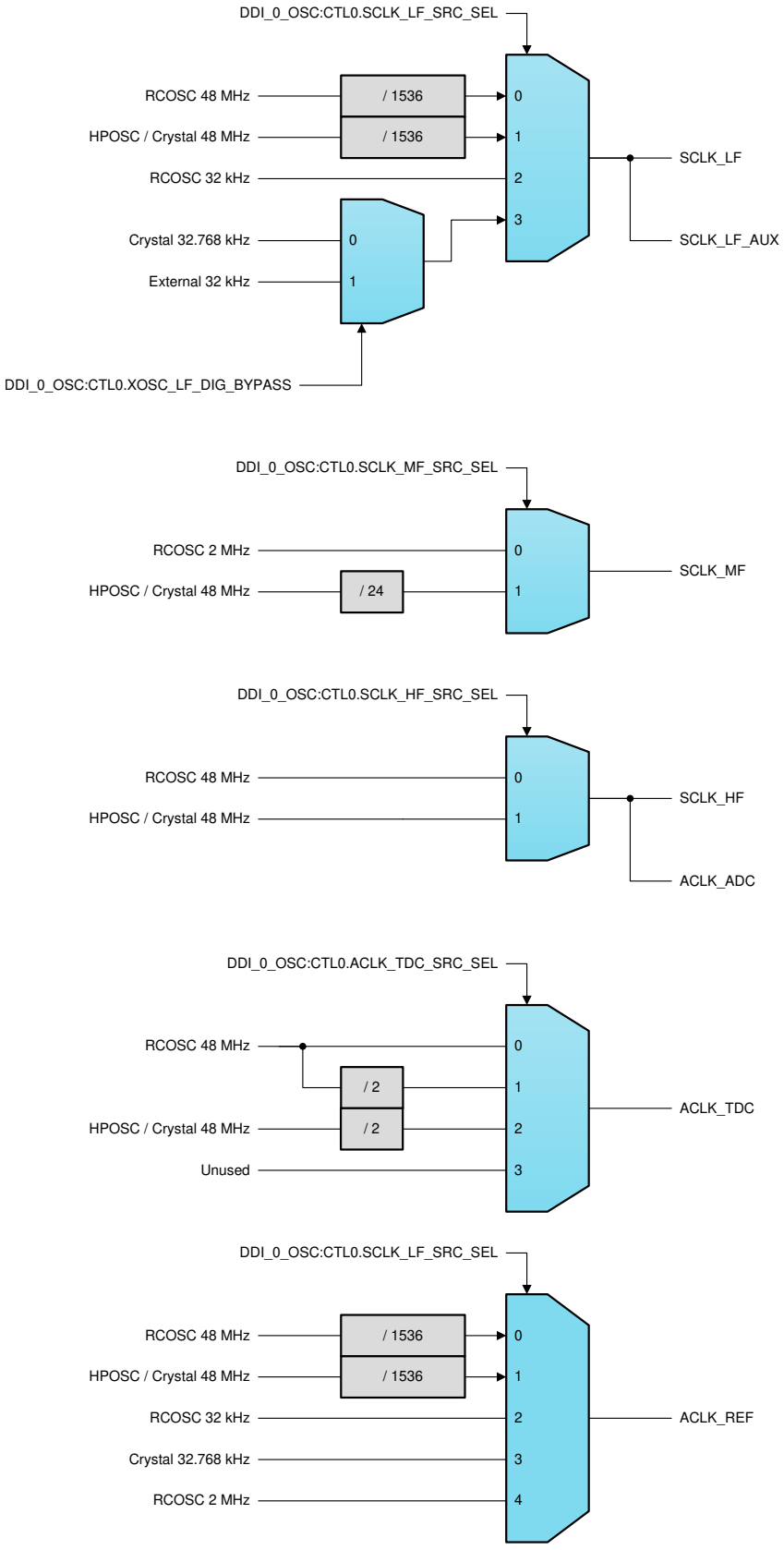


図 7-5. システム クロックの多重化

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

7.5.2 MCU_VD のクロック

AON_PMCTL は MCU_VD をサポートし、PRCM によって分周およびゲーティングされたクロックを MCU_VD 内のすべてのモジュールへ分配する前段として扱います。図 7-6 に、すべてのモジュール クロックの分周およびゲート制御を定義する PRCM のレジスタを示します。バス トランザクションが発生しない場合、ハードウェアは自動的に SYSBUS クロックをゲートします。
SYSBUS をゲートするには、次の条件が満たされている必要があります。

- システム CPU がディープ スリープ モード
- PRCM:SECDMACLKGDS.DMA_CLK_EN = 0
- PRCM:SECDMACLKGR.DMA_AM_CLK_EN = 0
- PRCM:SECDMACLKGDS.SEC_CLK_EN = 0
- PRCM:SECDMACLKGR.SEC_AM_CLK_EN = 0
- PRCM:I2SCLKGDS.CLK_EN = 0
- PRCM:I2SCLKGR.AM_CLK_EN = 0
- RFCORE FW はバス アクセスを必要としません

DMA、SEC、I^2S、または RFCORE のいずれかにアクティブな相互接続が必要な場合に、システム CPU がディープ スリープ モードの場合でも、SYSBUS クロックが動作することがあります。

MCU_AON には二つのクロックがあり、これは常に動作するインフラストラクチャ クロックと、SYSBUS クロックが動作しているときにインフラストラクチャ クロックと同じ PERBUSULL クロックです。SYSBUS クロックがゲートされると、PERBUSULL クロックが自動的にゲートされます。INFRASTRUCTURE および PERBUSULL クロックは、PRCM:INFCLKDIVR.RATIO、PRCM:INFCLKDIVS.RATIO、PRCM:INFCLKDIVDS.RATIO の設定に関係なく、SCLK_HF のクロック周波数の最大半分で動作するよう自動的に制御されます。

7.5.2.1 クロック ゲーティング

図 7-6 に示すように、ペリフェラル モジュールには、システム CPU モードに依存する条件付きクロック ゲートがあります。システム CPU のモードが変化したとき、モジュールのクロックは有効化または無効化される場合があります。

例:
- PRCM:I2CCLKGR.CLK_EN = 1
- PRCM:I2CCLKGS.CLK_EN = 0
- PRCM:I2CCLKGDS.CLK_EN = 1

これらの設定により、システム CPU が実行モードでディープ スリープ モードのとき、I^2C クロックが無効のとき、およびシステム CPU がスリープ モードのときに、I^2C クロックが動作します。

注

ディープ スリープ モードに設定すると、システム CPU は遷移中の数クロックサイクルの間、スリープ モードに保持されます。モジュール クロックの連続動作を必要とするアプリケーションでは、システム CPU がモード遷移を行っている間に、モジュールのすべてのクロック ゲート レジスタを有効化します。

クロック制御は、すべてのモードに対してモジュール クロック制御を使用することで、システム CPU モードとは無関係に制御できます (AM_CLK_EN)。

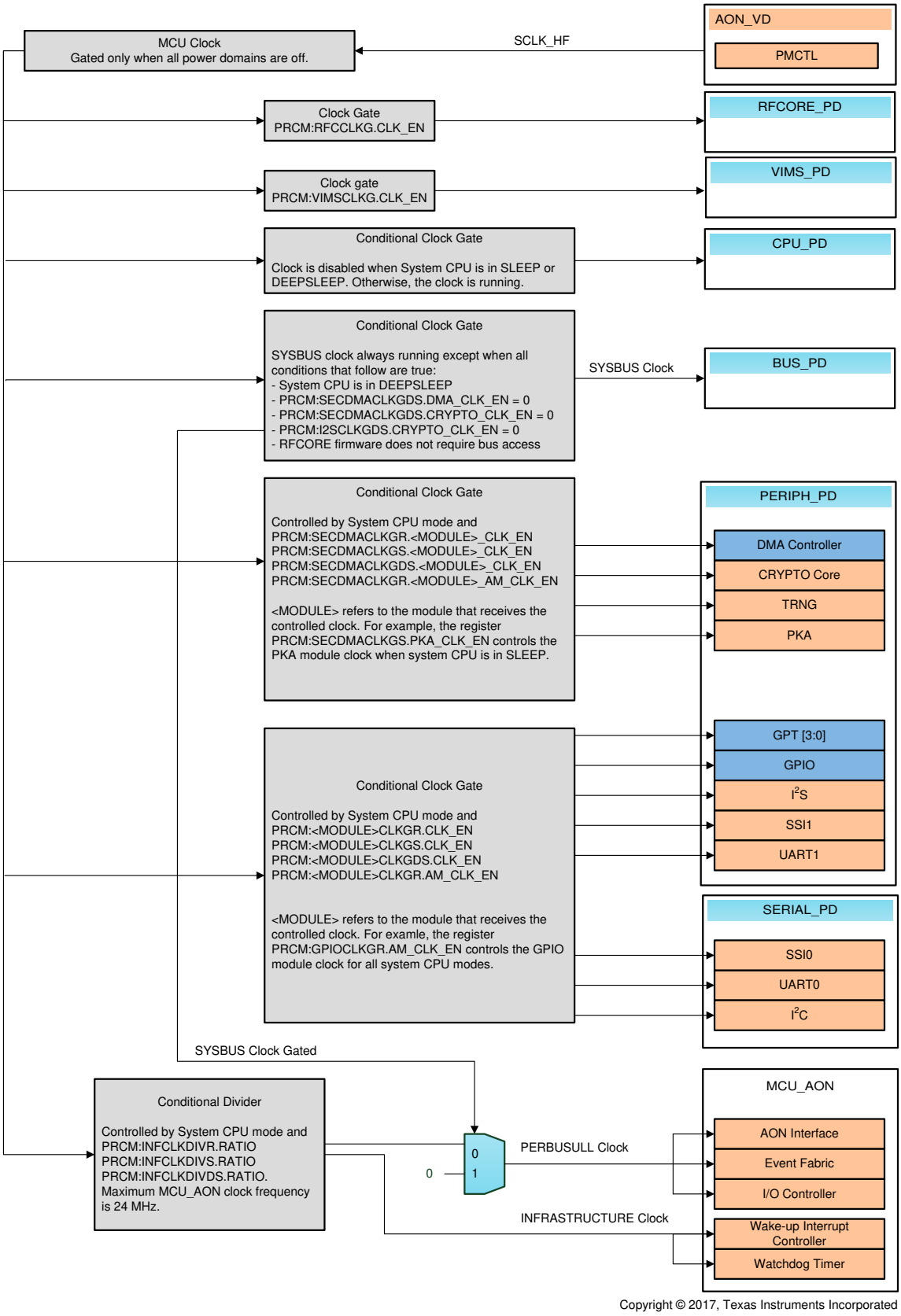
例:

PRCM:I2CCLKGR.AM_CLK_EN = 1

この設定を使用すると、I^2C クロックがシステムの CPU モードとは無関係に動作します。

MCU_VD のクロックは、電源サイクル中にハードウェア制御されるため、電源ドメインに電源を投入または切断したときにモジュールのクロックを制御する必要はありません。

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2017, Texas Instruments Incorporated

図 7-6. MCU_VD のクロック

Copyright © 2026 Texas Instruments Incorporated

7.5.2.2 GPT へのスケーラ

GPT へのスケーラを使用すると、GPT が SYSBUS クロックよりも低速な周波数でカウントできるようになります。PRCM:GPTCLKDIV レジスタの設定は、システムのすべての GPT に対して有効です。

7.5.2.3 WDT へのスケーラ

MCU クロックの 32 固定分周比を持つスケーラがあります。PRCM:INFCLKDIVR、PRCM:INFCLKDIVS、および PRCM:INFCLKDIVDS レジスタの設定に関係なく、ウォッチドッグは一定速度でカウントします。

7.5.3 AON_VD のクロック

AON_VD のすべてのモジュールは、AUX を除くすべての SCLK_LF および SCLK_MF で動作します。AUX へのクロックはユーザーが設定可能です。

7.6 電力モード

CC13x2 および CC26x2 デバイス プラットフォームの柔軟な電源管理により、低消費電力アプリケーションを実現するためのさまざまな構成が可能になります。このセクションでは、TI-RTOS で定義される電源モードについて説明します。これらのモードは、短いサイクル時間で省電力効果が小さいモードから、長いサイクル時間で省電力効果が大きいモードまで、さまざまな省電力モードを対象としています。

表 7-5 に、TI-RTOS で定義される電源モードの概要を示します。

表 7-5. TI-RTOS で定義される電源モード

モード	ソフトウェアで構成可能な電力モード				リセット PIN を保持
	アクティブ	アイドル	スタンバイ	シャットダウン	
システム CPU	アクティブ	オフ	オフ	オフ	オフ
システム SRAM	オン	オン	保持	オフ	オフ
レジスタ保持(1)	フル	フル	部分的	いいえ	いいえ
VIMS_PD (フラッシュ)	オン	使用可能	オフ	オフ	オフ
RFCORE_PD (無線)	使用可能	使用可能	オフ	オフ	オフ
SERIAL_PD	使用可能	使用可能	オフ	オフ	オフ
PERIPH_PD	使用可能	使用可能	オフ	オフ	オフ
センサ コントローラ	使用可能	使用可能	使用可能	オフ	オフ
供給システム	オン	オン	デューティ サイクル	オフ	オフ
高速クロック	XOSC_HF または HPOSC または RCOSC_HF	XOSC_HF または HPOSC または RCOSC_HF	オフ	オフ	オフ
中速度クロック	RCOSC_MF	RCOSC_MF	RCOSC_MF 使用可能	オフ	オフ
低速クロック	XOSC_LF または RCOSC_LF	XOSC_LF または RCOSC_LF	XOSC_LF または RCOSC_LF	オフ	オフ
RTC でウェークアップ	使用可能	使用可能	使用可能	オフ	オフ
ピン エッジでウェークアップ	使用可能	使用可能	使用可能	使用可能	オフ
リセット ピンでウェークアップ	使用可能	使用可能	使用可能	使用可能	使用可能
ブラウン アウト検出 (BOD)	アクティブ	アクティブ	部分的(2)	オフ	該当なし
パワー オン リセット (POR)	アクティブ	アクティブ	アクティブ	アクティブ	該当なし

(1) 保持機能を持つモジュールについては、図 7-3 を参照してください。
(2) ブラウン アウト検出器は、Standby での再充電期間の間は無効になります。

Copyright © 2026 Texas Instruments Incorporated

7.6.1 起動状態

システム リセット、パワーオン、またはシャットダウンからのウェークアップ後の CC13x2 および CC26x2 デバイス プラットフォームの状態は次のとおりです。

- Global LDO はアクティブです。
- Digital LDO はアクティブです。
- AON_VD に電源供給されています。
  - AON に電源供給されています。
  - JTAG_PD はパワー オフされています (デフォルトはオンですが、デバッガが接続されていない場合は BOOT によってオフになります)。
- MCU_VD に電源供給されています。
  - MCU_AON に電源供給されています。
  - CPU_PD に電源供給されています。
    - システム CPU は実行モードです。
  - BUS_PD に電源供給されています。
    - SYSBUS クロックは動作しています。
  - VIMS_PD に電源供給されています。
    - VIMS クロックは動作しています。
  - その他すべての電源ドメインはオフです。
  - すべてのデジタル モジュール クロックは無効です。

7.6.2 アクティブ モード

*アクティブ モード*は、BUS_PD および VIMS_PD を含め、CPU_PD に電源供給されている任意のチップ状態として定義されます (図 7-2 を参照)。

アクティブ モードでは、すべてのモジュールを使用でき、消費電力はアプリケーションに大きく依存します。
パワー セービング機能は次のとおりです。

- DC/DC コンバータを有効化
- 必要な電源ドメインのみに電源供給
- 必要なモジュール クロックのみを有効化

注

CC13x2 および CC26x2 デバイス プラットフォームの電源ドメインのウェークアップ時間は約 11µs です。
CC13x2 および CC26x2 デバイス プラットフォームのクロック ゲーティングは効率的であるため、電源ドメインを頻繁にパワー サイクルするよりも、そのドメイン内のすべてのクロックを無効にし、ドメインへの電源供給は維持する方が電力効率が高くなる場合があります。

7.6.3 アイドル モード

*アイドルモード*は、CPU_PD がパワー オフされ、他の任意のモジュールには電源供給可能な、あらゆるチップ状態として定義されます。アイドルモードでは、すべてのモジュールを使用でき、消費電力はアプリケーションに大きく依存します。

CC13x2 および CC26x2 デバイス プラットフォームは、次の要件でアイドル モードになります。

- PRCM:PDCTL1.CPU_ON = 0
- CPU_SCS:SCR.SLEEPDEEP = 1
- WFI または WFE がアクティブ

CC13x2 および CC26x2 デバイス プラットフォームは、有効化された任意のウェークアップ ソースからウェークアップできます。

Copyright © 2026 Texas Instruments Incorporated

7.6.4 スタンバイ モード

スタンバイ モードは、MCU_VD のすべての電源ドメインがオフになり、AON_VD と MCU_AON を供給するマイクロ LDO として定義されます (図 7-2 を参照)。スタンバイは、CC13x2 および CC26x2 デバイス プラットフォームに I/O 出力ピンの維持以外の機能が依然としてある最小消費電力モードです (表 7-6 を参照)。

MCU_AON のすべての部品はスタンバイ モードで保持されます。MCU_VD 内のすべてのモジュールは、保持付き (図 7-3 を参照) でスタンバイ モードに保持されます。スタンバイ モードからの復帰後、MCU_VD 内の他のすべてのロジックは再構成される必要があります。

CC13x2 および CC26x2 デバイス プラットフォームがスタンバイ モードのとき、センサ コントローラは自律モードで利用可能です。

ウェークアップ ソースには、I/O、JTAG、RTC、およびセンサ プロセッサからのイベントがあります。

CC13x2 および CC26x2 デバイス プラットフォームがスタンバイ モードに移行するための前提条件は以下のとおりです。

- AUX は、低消費電力モードまたはパワーダウン モードです。
- JTAG_PD の電源はオフです。
- SCLK_HF クロックは 48MHz の RC オシレータから生成されます。
- SCLK_LF クロックは、次のクロック ソースのいずれかから生成されます。
  - 32kHz の RC 発振器
  - 32.768kHz 水晶発振器
- デジタル パーツへの電力供給にマイクロ LDO を要求します (図 7-2 を参照)。

表 7-6. スタンバイ モードで CC13x2 と CC26x2 を設定するシーケンス例

説明	登録	必要な手順
DC/DC コンバータを低消費電力化できるようにします	AON_PMCTL:PWRCTL.DCDC_ACTIVE および AON_PMCTL:PWRCTL.DCDC_EN	なし (デフォルト:グローバル LDO)
HF クロックを正しいソースに設定します	DDI_0_OSC:CTL0.SCLK_HF_SRC_SEL	あり
LF クロックを正しいソースに設定します	DDI_0_OSC:CTL0.SCLK_LF_SRC_SEL	あり
再充電の構成を設定します	AON_PMCTL:RECHARGECFG	あり
マイコン用の一つまたは複数のウェークアップソースを構成します	AON_EVENT:MCUWUSEL	あり
システム SRAM 保持を構成します	AON_PMCTL:MCUCFG.SRAM_RET_EN	なし (デフォルト:保持が有効です)
JTAG をオフ	AON_PMCTL:JTAGCFG:JTAG_PD_FORCE_ON	あり
イベントを生成するようにウェイクアップ ソースを設定します	IOC:IOCFG/AON_RTC/AUX	あり
AUX_PD の電源オフまたは低消費電力モードを要求します	AUX_WUC:AUX_SYSIF.OPMODEREQ.REQ	あり
ラッチ I/O 状態	AON_IOC:IOCLATCH.EN	あり
電源ドメインをオフにし、電源ドメインがオフになっていることを確認します	PRCM.PDCTL0 PRCM.PDCTL1 PRCM.PDSTAT0 PRCM.PDSTAT1	あり
デジタル電源にマイクロ LDO を使用するようリクエストします	PRCM:VDCTL.ULDO	あり
トランザクションを AON ドメインに同期します	AON_RTC.SYNC.WBUSY	あり (レジスタを読み取り)
システム CPU SLEEPDEEP ビットを設定します	CPU_SCS:SCR.SLEEPDEEP	あり

Copyright © 2026 Texas Instruments Incorporated

表 7-6. スタンバイ モードで CC13x2 と CC26x2 を設定するシーケンス例 (続き)

説明	登録	必要な手順
システム CPU を停止して、パワーダウン シーケンスを開始します	WFI または WFE	あり

Copyright © 2026 Texas Instruments Incorporated

7.6.5 シャットダウン モード

「シャットダウン モード」とは、CC13x2 および CC26x2 デバイス プラットフォームで、有効な電力レギュレータがないことと定義されます。デバイスの通常動作時に消費電力を抑える目的で、シャットダウン モードを使用することは推奨されません。

CC13x2 および CC26x2 デバイス プラットフォームをシャットダウン モードに移行する前に、I/O ピンは出力値をシャットダウン中も保持できるようラッチされます。これが、リセット ピンによってデバイスをリセット状態に保持する場合とシャットダウン モードとの唯一の違いです。

CC13x2 および CC26x2 デバイス プラットフォームをシャットダウン モードから復帰させることができるのは、有効化されたピン割り込みまたはリセット ピンだけです。

注

シャットダウンからウェークアップするためのウェークアップ イベントは、デバイスがシャットダウンに達するまで検出されません。シャットダウンが開始された後、実際にシャットダウン状態へ移行する前に発生したウェークアップ イベントは検出されないため、デバイスを復帰させることはできません。

表 7-7. シャットダウンへのシーケンスの例

説明	登録	必要な手順
ウェークアップ ピンを構成します	IOC:IOCFGxx.WU_CFG	あり
トランザクションを AON ドメインに同期します	AON_RTC.SYNC	あり (レジスタを読み取り)
シャットダウンとラッチ I/O をイネーブルにします	AON_PMCTL:SHUTDOWN.EN	あり
システム CPU を停止して、パワーダウン シーケンスを開始します	WFI または WFE	あり

シャットダウン (IOC:IOFGxx.WU_CFG) からウェークアップするように構成されている場合、IO パッドは**レベルの影響**を受けます。入力レベルが設定されたレベルと一致すると、パッドから内部信号が生成されます (WU_CFG - 10: LOW、-11: HIGH)。

複数のピンをシャットダウン モードからのウェークアップ用に設定する場合、ウェークアップ イベントが正しくトリガされるよう十分に注意する必要があります。IO パッドからの信号は内部で OR 結合され、単一の信号として内部のエッジ検出回路に入力されます。そのため、いずれかの入力信号がアクティブな状態のまま維持されている場合、そのアクティブな入力が解除されるまで、内部のエッジ検出回路では新たなエッジ信号は発生しません。つまり、ピンがアクティブ (構成に応じて HIGH または LOW) に保持されている場合、最初のピンが解放されるか非アクティブになるまで、他のピンはウェークアップ イベントを生成しません。

7.7 リセット

CC13x2 および CC26x2 デバイス プラットフォームには複数のリセット ソースがあります。一部は、エラーまたは予期しない動作が原因でトリガされ、他はユーザーが開始します。
リセットすると、以下がリセットされる場合があります。

- チップ全体
- パワードメイン
- デバッグ目的のデジタル モジュール一個

7.7.1 システム リセット

完全なパワーアップ シーケンスとシステム CPU のブート シーケンスを示すリセットは、システム リセットとして定義されます。AON_PMCTL:RESETCTL.RESET_SRC レジスタは読み取り可能であり、システム リセットを引き起こした直近のリセット ソースを常に示します。

次のリセットは無効化できず、トリガされた場合には常にシステム リセットが発生します。

Copyright © 2026 Texas Instruments Incorporated

- パワーオン リセット
- ピン リセット
- VDDS 障害
- VDDR 障害

Copyright © 2026 Texas Instruments Incorporated

7.7.1.1 クロック喪失検出

DDI_0_OSC:CTL0.CLK_LOSS_EN レジスタおよび AON_PMCTL:RESETCTL.CLK_LOSS_EN レジスタでクロック喪失機能が有効化されている場合、SCLK_LF の喪失が検出されるとシステム リセットが発生します。復帰後、AON_PMCTL:RESETCTL.RESET_SRC レジスタはリセット ソースとしてクロック喪失を示します。

注

Clock Loss Detection を有効化するには、アプリケーションで DDI_0_OSC:CTL0.CLK_LOSS_EN と AON_PMCTL:RESETCTL.CLK_LOSS_EN の両方を設定する必要があります。ブート後は有効化されていません。

7.7.1.2 ソフトウェア開始システム リセット

AON_PMCTL:RESETCTL.SYSRESET レジスタに書き込むと、システム リセットが発生します。復帰後、AON_PMCTL:RESETCTL.RESET_SRC レジスタはリセットのソースとして SYSRESET を示します。

7.7.1.3 システム リセットに変換されるウォーム リセット

マイコン システムからのリセット リクエストがデフォルトで設定されており、ウォーム リセット ソースがトリガされるとシステム リセットになります。復帰後、AON_PMCTL:RESETCTL.RESET_SRC レジスタにはリセットのソースとして WARMRESET が表示されます。

7.7.2 MCU_VD パワー ドメインおよびモジュールのリセット

パワー ドメインのロジックのリセットはハードウェア制御されます。カプセル化パワー ドメインの電源を再投入すると、保持されていないモジュールはリセットされます。MCU_VD の電源を再投入またはリセットすると、保持されたモジュールはリセットされます。

7.7.3 AON_VD のリセット

AON_VD は、システム リセットによりクリアされます。詳細については、セクション 7.7.1 を参照してください。

7.8 PRCM レジスタ

Copyright © 2026 Texas Instruments Incorporated

7.8.1 DDI_0_OSC のレジスタ

表 7-8 に、DDI_0_OSC レジスタのメモリ マップト レジスタを示します。表 7-8 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-8. DDI_0_OSC のレジスタ

オフセット	略称	レジスタ名	セクション
0h	CTL0	コントロール 0	CTL0 レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	CTL1	コントロール 1	CTL1 レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	RADCEXTCFG	RADC 外部構成	RADCEXTCFG レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	AMPCOMPCTL	振幅補償制御	AMPCOMPCTL レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	AMPCOMPTH1	振幅補償スレッショルド 1	AMPCOMPTH1 レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	AMPCOMPTH2	振幅補償スレッショルド 2	AMPCOMPTH2 レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	ANABYPASSVAL1	アナログ バイパス値 1	ANABYPASSVAL1 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	ANABYPASSVAL2	内部	ANABYPASSVAL2 レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	ATESTCTL	アナログ テスト制御	ATESTCTL レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	ADCDOUBLERNANOAMPCTL	ADC ダブラ ナノアンプ制御	ADCDOUBLERNANOAMPCTL レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	XOSCHFCTL	XOSCHF 制御	XOSCHFCTL レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	LFOSCCTL	低周波発振器制御	LFOSCCTL レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	RCOSCHFCTL	RCOSCHF 制御	RCOSCHFCTL レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	RCOSCMFCTL	RCOSC_MF 制御	RCOSCMFCTL レジスタ (オフセット = 34h) [リセット = 00000000h]
3Ch	STAT0	ステータス 0	STAT0 レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	STAT1	ステータス 1	STAT1 レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	STAT2	ステータス 2	STAT2 レジスタ (オフセット = 44h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-9 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-9. DDI_0_OSC のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		

Copyright © 2026 Texas Instruments Incorporated

表 7-9. DDI_0_OSC のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

7.8.1.1 CTL0 レジスタ (オフセット = 0h) [リセット = 00000000h]

図 7-7 に、CTL0 を示し、表 7-10 に、その説明を示します。

概略表に戻ります。

制御 0
クロック ソースの選択を制御します

図 7-7. CTL0 レジスタ

31	30	29	28	27	26	25	24
XTAL_IS_24M	予約済み	BYPASS_XOSC_LF_CLK_QUAL	BYPASS_RCOSC_LF_CLK_QUAL	DOUBLER_START_DURATION		DOUBLER_RESET_DURATION	CLK_DCDC_SRC_SEL
R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	HPOSC_MODE_EN	予約済み	RCOSC_LF_TRIMMED	XOSC_HF_POWER_MODE	XOSC_LF_DIG_BYPASS	CLK_LOSS_EN	ACLK_TDC_SRC_SEL
R-0h	R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
ACLK_TDC_SRC_SEL	ACLK_REF_SRC_SEL			SCLK_LF_SRC_SEL		予約済み	SCLK_HF_SRC_SEL
R/W-0h	R/W-0h			R/W-0h		R-0h	R/W-0h

表 7-10. CTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	XTAL_IS_24M	R/W	0h	正確な高周波 XTAL に基づいて設定します。
30	予約済み	R	0h	予約済み
29	BYPASS_XOSC_LF_CLK_QUAL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
28	BYPASS_RCOSC_LF_CLK_QUAL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
27-26	DOUBLER_START_DURATION	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
25	DOUBLER_RESET_DURATION	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
24	CLK_DCDC_SRC_SEL	R/W	0h	DCDC クロック ソースを選択します。 0:CLK_DCDC は、RCOSC または XOSC/HPOSC からの 48MHz クロックです。 1:CLK_DCDC は、常に RCOSC からの 48MHz クロックです
23-15	予約済み	R	0h	予約済み
14	HPOSC_MODE_EN	R/W	0h	0:HPOSC モードは有効化されません。無線動作には 48MHz 水晶振動子が必要です。 1:HPOSC モードを有効にします。内部 HPOSC は、HF システム クロックとして、および無線動作に使用できます。
13	予約済み	R	0h	予約済み
12	RCOSC_LF_TRIMMED	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
11	XOSC_HF_POWER_MODE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

表 7-10. CTL0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	XOSC_LF_DIG_BYPASS	R/W	0h	XOSC_LF をバイパスし、xosc_lf クロックには AON からのデジタル入力クロックを使用します。 0:xosc_lf クロック ソースとして 32kHz XOSC を使用します。 1:xosc_lf クロック ソースとして (AON からの) デジタル入力を使用します。 このビットは、SCLK_LF_SRC_SEL が sclk_lf ソースとして xosc_lf を選択している場合にのみ有効です。このビットによって実行されるマルチプレクシングは、グリッチフリーではありません。sclk_lf のグリッチを回避するため、このフィールドを変更するときは、次の手順に従う必要があります。 1) xosc_lf クロック ソース以外のソースを選択するように SCLK_LF_SRC_SEL を設定します。 2) このビットを設定またはクリアして、xosc_lf をバイパスするかバイパスしないかを指定します。 3) xosc_lf を使用するように SCLK_LF_SRC_SEL を設定します。 上記の手順 1 では、rcosc_hf または xosc_hf (現在アクティブな方) のいずれかをソースとして選択することを推奨します。これにより、クロックの変更が速くなります。
9	CLK_LOSS_EN	R/W	0h	クロック損失検出、およびそれに伴うシステム コントローラへのインジケータを有効化します。SCLK_HF、SCLK_MF、SCLK_LF の両方のクロック損失インジケータをチェックします。 0:ディスエーブル 1:イネーブル sclk_lf ソースを変更するときは、クロック損失検出を無効化する必要があります。STAT0.SCLK_LF_SRC をポーリングして、新しい sclk_lf ソースへの変更が完了したことを判定できます。
8-7	ACLK_TDC_SRC_SEL	R/W	0h	aclk_tdc のソース選択。 00:RCOSC_HF (48MHz) 01:RCOSC_HF (24MHz) 10:XOSC_HF (24MHz) 11:未使用
6-4	ACLK_REF_SRC_SEL	R/W	0h	aclk_ref のソース選択 000:RCOSC_HF 導出 (31.25kHz) 001:XOSC_HF 導出 (31.25kHz) 010:RCOSC_LF (32kHz) 011:XOSC_LF (32.768kHz) 100:RCOSC_MF (2MHz) 101-111:未使用
3-2	SCLK_LF_SRC_SEL	R/W	0h	sclk_lf のソース選択 0h = 高周波 RCOSC から生成される低周波クロック 1h = 高周波 XOSC または HPOSC クロックから生成される低周波クロック (HPOSC_MODE_EN = 1 の場合は HPOSC を使用) 2h = 低周波 RCOSC 3h = 低周波 XOSC
1	予約済み	R	0h	予約済み
0	SCLK_HF_SRC_SEL	R/W	0h	sclk_hf のソース選択。 0h = 高周波 RCOSC クロック 1h = 高周波 XOSC または HPOSC クロック (HPOSC_MODE_EN = 1 の場合は HPOSC を使用)

Copyright © 2026 Texas Instruments Incorporated

7.8.1.2 CTL1 レジスタ (オフセット = 4h) [リセット = 00000000h]

図 7-8 に、CTL1 を示し、表 7-11 に、その説明を示します。

概略表に戻ります。

制御 1
このレジスタには OSC_DIG の構成が含まれています

図 7-8. CTL1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み	RCOSCHFCTRIMFRACT					RCOSCHFCTRIMFRACT_EN	予約済み
R-0h	R/W-0h					R/W-0h	R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						XOSC_HF_FAST_START	
R-0h						R/W-0h	

表 7-11. CTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-23	予約済み	R	0h	予約済み
22-18	RCOSCHFCTRIMFRACT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
17	RCOSCHFCTRIMFRACT_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
16-2	予約済み	R	0h	予約済み
1-0	XOSC_HF_FAST_START	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.1.3 RADCEXTCFG レジスタ (オフセット = 8h) [リセット = 00000000h]

図 7-9 に、RADCEXTCFG を示します。表 7-12 に、その説明を示します。

概略表に戻ります。

RADC 外部構成

図 7-9. RADCEXTCFG レジスタ

31	30	29	28	27	26	25	24
HPM_IBIAS_WAIT_CNT							
R/W-0h							
23	22	21	20	19	18	17	16
HPM_IBIAS_WAIT_CNT		LPM_IBIAS_WAIT_CNT					
R/W-0h		R/W-0h					
15	14	13	12	11	10	9	8
IDAC_STEP				RADC_DAC_TH			
R/W-0h				R/W-0h			
7	6	5	4	3	2	1	0
RADC_DAC_TH		RADC_MODE_IS_SAR	予約済み				
R/W-0h		R/W-0h	R-0h				

表 7-12. RADCEXTCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	HPM_IBIAS_WAIT_CNT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
21-16	LPM_IBIAS_WAIT_CNT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15-12	IDAC_STEP	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
11-6	RADC_DAC_TH	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
5	RADC_MODE_IS_SAR	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

7.8.1.4 AMPCOMPCTL レジスタ (オフセット = Ch) [リセット = 00000000h]

図 7-10 に、AMPCOMPCTL を示します。表 7-13 に、その説明を示します。

概略表に戻ります。

振幅補償制御

図 7-10. AMPCOMPCTL レジスタ

31	30	29	28	27	26	25	24
予約済み	AMPCOMP_REQ_MODE	AMPCOMP_FSM_UPDATE_RATE		AMPCOMP_SW_CTRL	AMPCOMP_SW_EN	予約済み	
R-0h	R/W-0h	R/W-0h		R/W-0h	R/W-0h	R-0h	
23	22	21	20	19	18	17	16
IBIAS_OFFSET				IBIAS_INIT			
R/W-0h				R/W-0h			
15	14	13	12	11	10	9	8
LPM_IBIAS_WAIT_CNT_FINAL							
R/W-0h							
7	6	5	4	3	2	1	0
CAP_STEP				IBIASCAP_HPTOLP_OL_CNT			
R/W-0h				R/W-0h			

表 7-13. AMPCOMPCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	AMPCOMP_REQ_MODE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
29-28	AMPCOMP_FSM_UPDATE_RATE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
27	AMPCOMP_SW_CTRL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
26	AMPCOMP_SW_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
25-24	予約済み	R	0h	予約済み
23-20	IBIAS_OFFSET	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
19-16	IBIAS_INIT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15-8	LPM_IBIAS_WAIT_CNT_FINAL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-4	CAP_STEP	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
3-0	IBIASCAP_HPTOLP_OL_CNT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.1.5 AMPCOMPTH1 レジスタ (オフセット = 10h) [リセット = 00000000h]

図 7-11 に、AMPCOMPTH1 を示し、表 7-14 に、その説明を示します。

概略表に戻ります。

振幅補償スレッショルド 1
このレジスタには、振幅補償アルゴリズムのスレッショルド値が含まれています

図 7-11. AMPCOMPTH1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
HPMRAMP3_LTH						予約済み	
R/W-0h						R-0h	
15	14	13	12	11	10	9	8
HPMRAMP3_HTH						IBIASCAP_LPTOHP_OL_CNT	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
IBIASCAP_LPTOHP_OL_CNT		HPMRAMP1_TH					
R/W-0h		R/W-0h					

表 7-14. AMPCOMPTH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-18	HPMRAMP3_LTH	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
17-16	予約済み	R	0h	予約済み
15-10	HPMRAMP3_HTH	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
9-6	IBIASCAP_LPTOHP_OL_CNT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
5-0	HPMRAMP1_TH	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.1.6 AMPCOMPTH2 レジスタ (オフセット = 14h) [リセット = 00000000h]

図 7-12 に、AMPCOMPTH2 を示し、表 7-15 に、その説明を示します。

概略表に戻ります。

振幅補償スレッショルド 2
このレジスタには、振幅補償アルゴリズムのスレッショルド値が含まれています。

図 7-12. AMPCOMPTH2 レジスタ

31	30	29	28	27	26	25	24
LPMUPDATE_LTH						予約済み	
R/W-0h						R-0h	
23	22	21	20	19	18	17	16
LPMUPDATE_HTH						予約済み	
R/W-0h						R-0h	
15	14	13	12	11	10	9	8
ADC_COMP_AMPTH_LPM						予約済み	
R/W-0h						R-0h	
7	6	5	4	3	2	1	0
ADC_COMP_AMPTH_HPM						予約済み	
R/W-0h						R-0h	

表 7-15. AMPCOMPTH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	LPMUPDATE_LTH	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
25-24	予約済み	R	0h	予約済み
23-18	LPMUPDATE_HTH	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
17-16	予約済み	R	0h	予約済み
15-10	ADC_COMP_AMPTH_LPM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
9-8	予約済み	R	0h	予約済み
7-2	ADC_COMP_AMPTH_HPM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
1-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

7.8.1.7 ANABYPASSVAL1 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 7-13 に、ANABYPASSVAL1 を示し、表 7-16 に、その説明を示します。

概略表に戻ります。

アナログ バイパス値 1

図 7-13. ANABYPASSVAL1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				XOSC_HF_ROW_Q12			
R-0h				R/W-0h			
15	14	13	12	11	10	9	8
XOSC_HF_COLUMN_Q12							
R/W-0h							
7	6	5	4	3	2	1	0
XOSC_HF_COLUMN_Q12							
R/W-0h							

表 7-16. ANABYPASSVAL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19-16	XOSC_HF_ROW_Q12	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15-0	XOSC_HF_COLUMN_Q12	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.1.8 ANABYPASSVAL2 レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 7-14 に、ANABYPASSVAL2 を示し、表 7-17 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 7-14. ANABYPASSVAL2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		XOSC_HF_IBIASTHERM													
R-0h		R/W-0h													

表 7-17. ANABYPASSVAL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13-0	XOSC_HF_IBIASTHERM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.1.9 ATESTCTL レジスタ (オフセット = 20h) [リセット = 00000000h]

図 7-15 に、ATESTCTL を示します。表 7-18 に、その説明を示します。

概略表に戻ります。

アナログ テスト制御

図 7-15. ATESTCTL レジスタ

31	30	29	28	27	26	25	24
SCLK_LF_AUX_EN	予約済み						
R/W-0h	R-0h						
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TEST_RCOSCMF		ATEST_RCOSCMF		予約済み			
R/W-0h		R/W-0h		R-0h			
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 7-18. ATESTCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	SCLK_LF_AUX_EN	R/W	0h	AUX_COMPB への 32kHz クロックを有効化します。
30-16	予約済み	R	0h	予約済み
15-14	TEST_RCOSCMF	R/W	0h	RCOSC_MF のテスト モード制御 0x0:テスト モード ディスエーブル 0x1:自己バイアス電流を自己バイアス インバータに昇圧 0x2:クロック認定ディスエーブル 0x3:バイアス電流を自己バイアス インバータに昇圧 + クロック認定ディスエーブル
13-12	ATEST_RCOSCMF	R/W	0h	RCOSC_MF の ATEST 制御 0x0:ATEST ディスエーブル 0x1:ATEST が有効で、VDD_LOCAL が接続されており、**RCOSC_MF* への内部 ATEST が有効化され、2MHz クロックの送信が可能となります。 0x2:ATEST ディスエーブル 0x3:ATEST が有効で、バイアス電流が接続されており、**RCOSC_MF* への内部 ATEST が有効化され、2MHz クロックの送信が可能となります。
11-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

7.8.1.10 ADCDOUBLERNANOAMPCTL レジスタ (オフセット = 24h) [リセット = 00000000h]

図 7-16 に、ADCDOUBLERNANOAMPCTL を示します。表 7-19 に、その説明を示します。

概略表に戻ります。

ADC ダブラ ナノアンプ制御

図 7-16. ADCDOUBLERNANOAMPCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							NANOAMP_BIAS_ENABLE
R-0h							R/W-0h
23	22	21	20	19	18	17	16
SPARE23	予約済み						
R/W-0h	R-0h						
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		ADC_SH_MODE_EN	ADC_SH_VBUF_EN	予約済み		ADC_IREF_CTRL	
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	

表 7-19. ADCDOUBLERNANOAMPCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	NANOAMP_BIAS_ENABLE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
23	SPARE23	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります
22-6	予約済み	R	0h	予約済み
5	ADC_SH_MODE_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
4	ADC_SH_VBUF_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
3-2	予約済み	R	0h	予約済み
1-0	ADC_IREF_CTRL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.1.11 XOSCHFCTL レジスタ (オフセット = 28h) [リセット = 00000000h]

図 7-17 に、XOSCHFCTL を示します。表 7-20 に、その説明を示します。

概略表に戻ります。

XOSCHF 制御

図 7-17. XOSCHFCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		TCXO_MODE_XOSC_HF_EN	TCXO_MODE	予約済み		PEAK_DET_ITRIM	
R-0h		R/W-0h	R/W-0h	R-0h		R/W-0h	
7	6	5	4	3	2	1	0
予約済み	バイパス	予約済み	HP_BUF_ITRIM			LP_BUF_ITRIM	
R-0h	R/W-0h	R-0h	R/W-0h			R/W-0h	

表 7-20. XOSCHFCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13	TCXO_MODE_XOSC_HF_EN	R/W	0h	TCXO_MODE が 1 のときにこのレジスタが 1 である場合、XOSC_HF が有効化され、XOSC_HF のバイアス電流がオンになります。これにより、外部入力されるクリッピングされた正弦波クロック信号に DC バイアス点を供給可能となります。
12	TCXO_MODE	R/W	0h	バイパスが 1 のときにこのレジスタが 1 である場合、外部入力の TCXO クロックのクロック認定が有効になります。BYPASS が 0 の場合、このレジスタは何の影響も及ぼしません。
11-10	予約済み	R	0h	予約済み
9-8	PEAK_DET_ITRIM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7	予約済み	R	0h	予約済み
6	バイパス	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
5	予約済み	R	0h	予約済み
4-2	HP_BUF_ITRIM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
1-0	LP_BUF_ITRIM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.1.12 LFOSCCTL レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 7-18 に、LFOSCCTL を示します。表 7-21 に、その説明を示します。

概略表に戻ります。

低周波発振器制御

図 7-18. LFOSCCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
XOSCLF_REGULATOR_TRIM		XOSCLF_CMIRRWR_RATIO				予約済み	
R/W-0h		R/W-0h				R-0h	
15	14	13	12	11	10	9	8
予約済み						RCOSCLF_RTUNE_TRIM	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
RCOSCLF_CTUNE_TRIM							
R/W-0h							

表 7-21. LFOSCCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-22	XOSCLF_REGULATOR_TRIM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
21-18	XOSCLF_CMIRRWR_RATIO	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
17-10	予約済み	R	0h	予約済み
9-8	RCOSCLF_RTUNE_TRIM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	RCOSCLF_CTUNE_TRIM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.1.13 RCOSCHFCTL レジスタ (オフセット = 30h) [リセット = 00000000h]

図 7-19 に、RCOSCHFCTL を示します。表 7-22 に、その説明を示します。

概略表に戻ります。

RCOSCHF 制御

図 7-19. RCOSCHFCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCOSCHF_CTRIM								予約済み							
R/W-0h								R-0h							

表 7-22. RCOSCHFCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	RCOSCHF_CTRIM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

7.8.1.14 RCOSCMFCTL レジスタ (オフセット = 34h) [リセット = 00000000h]

図 7-20 に、RCOSCMFCTL を示します。表 7-23 に、その説明を示します。

概略表に戻ります。

RCOSC_MF 制御

図 7-20. RCOSCMFCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
RCOSC_MF_CAP_ARRAY							RCOSC_MF_REG_SEL
R/W-0h							R/W-0h
7	6	5	4	3	2	1	0
RCOSC_MF_RES_COARSE		RCOSC_MF_RES_FINE		RCOSC_MF_BIAS_ADJ			
R/W-0h		R/W-0h		R/W-0h			

表 7-23. RCOSCMFCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-9	RCOSC_MF_CAP_ARRAY	R/W	0h	RCOSC_MF コンデンサ アレイを調整します。 0x0:公称周波数、0.625pF 0x40:最大周波数、0.125pF 0x3F:最小周波数、1.125pF
8	RCOSC_MF_REG_SEL	R/W	0h	レギュレータ タイプを選択します。 0:デフォルト 1:代替
7-6	RCOSC_MF_RES_COARSE	R/W	0h	周波数調整のための粗い抵抗を選択します。 0x0:400kΩs、デフォルト 0x1:300kΩs、最小 0x2:600kΩs、最大 0x3:500kΩs
5-4	RCOSC_MF_RES_FINE	R/W	0h	周波数調整のための微細な抵抗を選択します。 0x0:11kΩ、最小抵抗、最大周波数 0x1:13kΩs 0x2: 16kΩs 0x3: 20kΩ、最大抵抗、最小周波数
3-0	RCOSC_MF_BIAS_ADJ	R/W	0h	RCOSC_MF へのバイアス電流を調整します。 0x8 最小電流 0x0 デフォルト電流 0x7 最大電流

Copyright © 2026 Texas Instruments Incorporated

7.8.1.15 STAT0 レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 7-21 に、STAT0 を示し、表 7-24 に、その説明を示します。

概略表に戻ります。

ステータス 0
このレジスタには、OSC_DIG からのステータス信号が含まれています

図 7-21. STAT0 レジスタ

31	30	29	28	27	26	25	24
予約済み	SCLK_LF_SRC		SCLK_HF_SRC	予約済み			
R-0h	R-0h		R-0h	R-0h			
23	22	21	20	19	18	17	16
予約済み	RCOSC_HF_EN	RCOSC_LF_EN	XOSC_LF_EN	CLK_DCDC_RDY	CLK_DCDC_RDY_ACK	SCLK_HF_LOSS	SCLK_LF_LOSS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
XOSC_HF_EN	予約済み	XB_48M_CLK_EN	予約済み	XOSC_HF_LP_BUF_EN	XOSC_HF_HP_BUF_EN	予約済み	ADC_THMET
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
ADC_DATA_READY	ADC_DATA						PENDINGSCLKHFSWITCHING
R-0h	R-0h						R-0h

表 7-24. STAT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30-29	SCLK_LF_SRC	R	0h	sclk_lf のソースを示します 0h = 高周波 RCOSC から生成される低周波クロック 1h = 高周波 XOSC から生成される低周波クロック 2h = 低周波 RCOSC 3h = 低周波 XOSC
28	SCLK_HF_SRC	R	0h	sclk_hf のソースを示します 0h = 高周波 RCOSC クロック 1h = 高周波 XOSC
27-23	予約済み	R	0h	予約済み
22	RCOSC_HF_EN	R	0h	RCOSC_HF_EN
21	RCOSC_LF_EN	R	0h	RCOSC_LF_EN
20	XOSC_LF_EN	R	0h	XOSC_LF_EN
19	CLK_DCDC_RDY	R	0h	CLK_DCDC_RDY
18	CLK_DCDC_RDY_ACK	R	0h	CLK_DCDC_RDY_ACK
17	SCLK_HF_LOSS	R	0h	sclk_hf が失われたことを示します
16	SCLK_LF_LOSS	R	0h	sclk_lf が失われたことを示します
15	XOSC_HF_EN	R	0h	XOSC_HF が有効であることを示します。
14	予約済み	R	0h	予約済み
13	XB_48M_CLK_EN	R	0h	DOUBLER からの 48MHz クロックが有効であることを示します。 24 または 48MHz 水晶振動子が使用されている場合は有効化されます (48MHz 水晶振動子のダブラ バイパスで有効化)。
12	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 7-24. STAT0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	XOSC_HF_LP_BUF_EN	R	0h	XOSC_HF_LP_BUF_EN
10	XOSC_HF_HP_BUF_EN	R	0h	XOSC_HF_HP_BUF_EN
9	予約済み	R	0h	予約済み
8	ADC_THMET	R	0h	ADC_THMET
7	ADC_DATA_READY	R	0h	adc_data の準備が完了したことを示します。
6-1	ADC_DATA	R	0h	adc_data
0	PENDINGSCLKHFSWITCHING	R	0h	SCLK_HF クロック ソースを切り替える準備ができていることを示します

Copyright © 2026 Texas Instruments Incorporated

7.8.1.16 STAT1 レジスタ (オフセット = 40h) [リセット = 00000000h]

図 7-22 に、STAT1 を示し、表 7-25 に、その説明を示します。

概略表に戻ります。

ステータス 1
このレジスタには、OSC_DIG からのステータス信号が含まれています

図 7-22. STAT1 レジスタ

31	30	29	28	27	26	25	24
RAMPSTATE				HPM_UPDATE_AMP			
R-0h				R-0h			
23	22	21	20	19	18	17	16
HPM_UPDATE_AMP		LPM_UPDATE_AMP					
R-0h		R-0h					
15	14	13	12	11	10	9	8
FORCE_RCOSC_HF	SCLK_HF_EN	SCLK_MF_EN	ACLK_ADC_EN	ACLK_TDC_EN	ACLK_REF_EN	CLK_CHP_EN	CLK_DCDC_EN
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
SCLK_HF_GOOD	SCLK_MF_GOOD	SCLK_LF_GOOD	ACLK_ADC_GOOD	ACLK_TDC_GOOD	ACLK_REF_GOOD	CLK_CHP_GOOD	CLK_DCDC_GOOD
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-25. STAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	RAMPSTATE	R	0h	AMPCOMP FSM 状態 0h = RESET 1h = INITIALIZATION 2h = HPM_RAMP1 3h = HPM_RAMP2 4h = HPM_RAMP3 5h = HPM_UPDATE 6h = IDAC_INCREMENT 7h = IBIAS_CAP_UPDATE 8h = IBIAS_DECREMENT_WITH_MEASURE 9h = LPM_UPDATE Ah = IBIAS_INCREMENT Bh = IDAC_DECREMENT_WITH_MEASURE Ch = DUMMY_TO_INIT_1 Dh = FAST_START Eh = FAST_START_SETTLE
27-22	HPM_UPDATE_AMP	R	0h	HPM_UPDATE 状態時の XOSC_HF 振幅。 高性能モードで XOSC_HF の振幅補償が有効になっている場合、この値はオンチップ発振器 ADC で測定された水晶発振の振幅を 15mV で割った値になります。たとえば、値 0x20 は、水晶の振幅が約 480mV であることを示します。振幅補償を有効にするには、AON_WUC OSCCFG をゼロ以外の値に設定する必要があります。
21-16	LPM_UPDATE_AMP	R	0h	LPM_UPDATE 状態時の XOSC_HF 振幅 低消費電力モードで XOSC_HF の振幅補償が有効になっている場合、この値はオンチップ発振器 ADC で測定された水晶発振の振幅を 15mV で割った値になります。たとえば、値 0x20 は、水晶の振幅が約 480mV であることを示します。振幅補償を有効にするには、AON_WUC OSCCFG をゼロ以外の値に設定する必要があります。
15	FORCE_RCOSC_HF	R	0h	force_rcosc_hf
14	SCLK_HF_EN	R	0h	SCLK_HF_EN

Copyright © 2026 Texas Instruments Incorporated

表 7-25. STAT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	SCLK_MF_EN	R	0h	SCLK_MF_EN
12	ACLK_ADC_EN	R	0h	ACLK_ADC_EN
11	ACLK_TDC_EN	R	0h	ACLK_TDC_EN
10	ACLK_REF_EN	R	0h	ACLK_REF_EN
9	CLK_CHP_EN	R	0h	CLK_CHP_EN
8	CLK_DCDC_EN	R	0h	CLK_DCDC_EN
7	SCLK_HF_GOOD	R	0h	SCLK_HF_GOOD
6	SCLK_MF_GOOD	R	0h	SCLK_MF_GOOD
5	SCLK_LF_GOOD	R	0h	SCLK_LF_GOOD
4	ACLK_ADC_GOOD	R	0h	ACLK_ADC_GOOD
3	ACLK_TDC_GOOD	R	0h	ACLK_TDC_GOOD
2	ACLK_REF_GOOD	R	0h	ACLK_REF_GOOD。
1	CLK_CHP_GOOD	R	0h	CLK_CHP_GOOD
0	CLK_DCDC_GOOD	R	0h	CLK_DCDC_GOOD

Copyright © 2026 Texas Instruments Incorporated

7.8.1.17 STAT2 レジスタ (オフセット = 44h) [リセット = 00000000h]

図 7-23 に、STAT2 を示し、表 7-26 に、その説明を示します。

概略表に戻ります。

ステータス 2
このレジスタには、AMPCOMP FSM からのステータス信号が含まれています

図 7-23. STAT2 レジスタ

31	30	29	28	27	26	25	24
ADC_DCBIAS						HPM_RAMP1_THMET	HPM_RAMP2_THMET
R-0h						R-0h	R-0h
23	22	21	20	19	18	17	16
HPM_RAMP3_THMET	予約済み						
R-0h	R-0h						
15	14	13	12	11	10	9	8
RAMPSTATE				予約済み			
R-0h				R-0h			
7	6	5	4	3	2	1	0
予約済み				AMPCOMP_REQ	XOSC_HF_AMPGOOD	XOSC_HF_FREQGOOD	XOSC_HF_RF_FREQGOOD
R-0h				R-0h	R-0h	R-0h	R-0h

表 7-26. STAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	ADC_DCBIAS	R	0h	SAR モード時に RADC によって読み取られた DC バイアス この値は符号なし整数です。デバッグ目的でのみ使用されます。
25	HPM_RAMP1_THMET	R	0h	hpm_ramp1 のスレッショルドが満たされていることを示します
24	HPM_RAMP2_THMET	R	0h	hpm_ramp2 のスレッショルドが満たされていることを示します
23	HPM_RAMP3_THMET	R	0h	hpm_ramp3 のスレッショルドが満たされていることを示します
22-16	予約済み	R	0h	予約済み
15-12	RAMPSTATE	R	0h	xosc_hf 振幅補償 FSM これは STAT1.RAMPSTATE と同じです。エンコードについては、その説明を参照してください。
11-4	予約済み	R	0h	予約済み
3	AMPCOMP_REQ	R	0h	ampcomp_req
2	XOSC_HF_AMPGOOD	R	0h	xosc_hf の振幅は、必要なスレッショルド (DDI で設定) 内です。デバッグ/ステータス目的以外の用途はありません
1	XOSC_HF_FREQGOOD	R	0h	デジタル クロックには xosc_hf の周波数が適しています
0	XOSC_HF_RF_FREQGOOD	R	0h	xosc_hf の周波数は ±20ppm 以内であり、xosc_hf は無線運用に適しています。SW に使用して、シンセサイザを開始します。

Copyright © 2026 Texas Instruments Incorporated

7.8.2 PRCM レジスタ

表 7-27 に、PRCM レジスタのメモリマップ レジスタを示します。表 7-27 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-27. PRCM レジスタ

オフセット	略称	レジスタ名	セクション
0h	INFRCLKDIVR	実行モードのインフラストラクチャ クロック分周係数	INFRCLKDIVR レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	INFRCLKDIVS	スリープ モードのインフラストラクチャク ロック分周係数	INFRCLKDIVS レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	INFRCLKDIVDS	DeepSleep モードのインフラストラクチャ クロックの分周係数	INFRCLKDIVDS レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	VDCTL	マイコン電圧ドメイン制御	VDCTL レジスタ (オフセット = Ch) [リセット = 00000000h]
28h	CLKLOADCTL	PRCM 設定を CLKCTRL パワードメインにロードする	CLKLOADCTL レジスタ (オフセット = 28h) [リセット = 00000002h]
2Ch	RFCCLKG	RFC クロック ゲート	RFCCLKG レジスタ (オフセット = 2Ch) [リセット = 00000001h]
30h	VIMSCLKG	VIMS クロック ゲート	VIMSCLKG レジスタ (オフセット = 30h) [リセット = 00000003h]
3Ch	SECDMACLKGR	SEC (PKA、TRNG、CRYPTO) および UDMA クロックゲート (実行モードおよび全モード対応)	SECDMACLKGR レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	SECDMACLKGS	SEC (PKA、TRNG、CRYPTO) とスリープモード用 UDMA クロック ゲート	SECDMACLKGS レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	SECDMACLKGDS	SEC (PKA、TRNG、CRYPTO) とディープスリープ モード用 UDMA クロック ゲート	SECDMACLKGDS レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	GPIOCLKGR	実行モードおよび全モード用の GPIO クロック ゲート	GPIOCLKGR レジスタ (オフセット = 48h) [リセット = 00000000h]
4Ch	GPIOCLKGS	スリープ モード用の GPIO クロック ゲート	GPIOCLKGS レジスタ (オフセット = 4Ch) [リセット = 00000000h]
50h	GPIOCLKGDS	ディープスリープ モード用の GPIO クロック ゲート	GPIOCLKGDS レジスタ (オフセット = 50h) [リセット = 00000000h]
54h	GPTCLKGR	実行モードおよび全モード用の GPT クロック ゲート	GPTCLKGR レジスタ (オフセット = 54h) [リセット = 00000000h]
58h	GPTCLKGS	スリープ モード用の GPT クロック ゲート	GPTCLKGS レジスタ (オフセット = 58h) [リセット = 00000000h]
5Ch	GPTCLKGDS	ディープスリープ モード用の GPT クロック ゲート	GPTCLKGDS レジスタ (オフセット = 5Ch) [リセット = 00000000h]
60h	I2CCLKGR	実行およびすべてのモード用の I2C クロックゲート	I2CCLKGR レジスタ (オフセット = 60h) [リセット = 00000000h]
64h	I2CCLKGS	スリープモード用の I2C クロックゲート	I2CCLKGS レジスタ (オフセット = 64h) [リセット = 00000000h]
68h	I2CCLKGDS	ディープスリープモード用 I2C クロックゲート	I2CCLKGDS レジスタ (オフセット = 68h) [リセット = 00000000h]
6Ch	UARTCLKGR	実行モードおよび全モード用の UART クロック ゲート	UARTCLKGR レジスタ (オフセット = 6Ch) [リセット = 00000000h]
70h	UARTCLKGS	スリープ モード用の UART クロック ゲート	UARTCLKGS レジスタ (オフセット = 70h) [リセット = 00000000h]
74h	UARTCLKGDS	ディープスリープ モード用の UART クロック ゲート	UARTCLKGDS レジスタ (オフセット = 74h) [リセット = 00000000h]
78h	SSICLKGR	実行モードおよび全モード用の SSI クロック ゲート	SSICLKGR レジスタ (オフセット = 78h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 7-27. PRCM レジスタ (続き)

オフセット	略称	レジスタ名	セクション
7Ch	SSICLKGS	スリープ モード用の SSI クロック ゲート	SSICLKGS レジスタ (オフセット = 7Ch) [リセット = 00000000h]
80h	SSICLKGDS	ディープスリープ モード用の SSI クロック ゲート	SSICLKGDS レジスタ (オフセット = 80h) [リセット = 00000000h]
84h	I2SCLKGR	実行およびすべてのモード用の I2S クロックゲート	I2SCLKGR レジスタ (オフセット = 84h) [リセット = 00000000h]
88h	I2SCLKGS	スリープモード用の I2S クロックゲート	I2SCLKGS レジスタ (オフセット = 88h) [リセット = 00000000h]
8Ch	I2SCLKGDS	ディープスリープモード用 I2S クロックゲート	I2SCLKGDS レジスタ (オフセット = 8Ch) [リセット = 00000000h]
B4h	SYSBUSCLKDIV	内部	SYSBUSCLKDIV レジスタ (オフセット = B4h) [リセット = 00000000h]
B8h	CPUCLKDIV	内部	CPUCLKDIV レジスタ (オフセット = B8h) [リセット = 00000000h]
BCh	PERBUSCPUCLKDIV	内部	PERBUSCPUCLKDIV (オフセット = BCh) [リセット = 00000000h]
C4h	PERDMACLKDIV	内部	PERDMACLKDIV レジスタ (オフセット = C4h) [リセット = 00000000h]
C8h	I2SBCLKSEL	I2S クロック制御	I2SBCLKSEL レジスタ (オフセット = C8h) [リセット = 00000000h]
CCh	GPTCLKDIV	GPT スカラ	GPTCLKDIV レジスタ (オフセット = CCh) [リセット = 00000000h]
D0h	I2SCLKCTL	I2S クロック制御	I2SCLKCTL レジスタ (オフセット = D0h) [リセット = 00000000h]
D4h	I2SMCLKDIV	MCLK 分周比	I2SMCLKDIV レジスタ (オフセット = D4h) [リセット = 00000000h]
D8h	I2SBCLKDIV	BCLK 分周比	I2SBCLKDIV レジスタ (オフセット = D8h) [リセット = 00000000h]
DCh	I2SWCLKDIV	WCLK 分周比	I2SWCLKDIV レジスタ (オフセット = DCh) [リセット = 00000000h]
F0h	RESETSECDMA	SEC (PKA、TRNG、CRYPTO) および UDMA のリセット	RESETSECDMA レジスタ (オフセット = F0h) [リセット = 00000000h]
F4h	RESETGPIO	GPIO IP のリセット	RESETGPIO レジスタ (オフセット = F4h) [リセット = 00000000h]
F8h	RESETGPT	GPT IP のリセット	RESETGPT レジスタ (オフセット = F8h) [リセット = 00000000h]
FCh	RESETI2C	I2C IP のリセット	RESETI2C レジスタ (オフセット = FCh) [リセット = 00000000h]
100h	RESETUART	UART IP のリセット	RESETUART レジスタ (オフセット = 100h) [リセット = 00000000h]
104h	RESETSSI	SSI IP のリセット	RESETSSI レジスタ (オフセット = 104h) [リセット = 00000000h]
108h	RESETI2S	I2S IP のリセット	RESETI2S レジスタ (オフセット = 108h) [リセット = 00000000h]
12Ch	PDCTL0	パワードメイン制御	PDCTL0 レジスタ (オフセット = 12Ch) [リセット = 00000000h]
130h	PDCTL0RFC	RFC パワードメイン制御	PDCTL0RFC レジスタ (オフセット = 130h) [リセット = 00000000h]
134h	PDCTL0SERIAL	SERIAL パワードメイン制御	PDCTL0SERIAL レジスタ (オフセット = 134h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 7-27. PRCM レジスタ (続き)

オフセット	略称	レジスタ名	セクション
138h	PDCTL0PERIPH	PERIPH パワードメイン制御	PDCTL0PERIPH レジスタ (オフセット = 138h) [リセット = 00000000h]
140h	PDSTAT0	パワードメイン ステータス	PDSTAT0 レジスタ (オフセット = 140h) [リセット = 00000000h]
144h	PDSTAT0RFC	RFC パワードメイン ステータス	PDSTAT0RFC レジスタ (オフセット = 144h) [リセット = 00000000h]
148h	PDSTAT0SERIAL	SERIAL パワードメイン ステータス	PDSTAT0SERIAL レジスタ (オフセット = 148h) [リセット = 00000000h]
14Ch	PDSTAT0PERIPH	PERIPH パワードメイン ステータス	PDSTAT0PERIPH レジスタ (オフセット = 14Ch) [リセット = 00000000h]
17Ch	PDCTL1	パワードメイン制御	PDCTL1 レジスタ (オフセット = 17Ch) [リセット = 0000000Ah]
184h	PDCTL1CPU	CPU パワードメイン直接制御	PDCTL1CPU レジスタ (オフセット = 184h) [リセット = 00000001h]
188h	PDCTL1RFC	RFC パワードメイン直接制御	PDCTL1RFC レジスタ (オフセット = 188h) [リセット = 00000000h]
18Ch	PDCTL1VIMS	VIMS モード直接制御	PDCTL1VIMS レジスタ (オフセット = 18Ch) [リセット = 00000001h]
194h	PDSTAT1	パワーマネージャ ステータス	PDSTAT1 レジスタ (オフセット = 194h) [リセット = 0000001Ah]
198h	PDSTAT1BUS	BUS パワードメイン直接読み取りステータス	PDSTAT1BUS レジスタ (オフセット = 198h) [リセット = 00000001h]
19Ch	PDSTAT1RFC	RFC パワードメイン直接読み取りステータス	PDSTAT1RFC レジスタ (オフセット = 19Ch) [リセット = 00000000h]
1A0h	PDSTAT1CPU	CPU パワードメイン直接読み取りステータス	PDSTAT1CPU レジスタ (オフセット = 1A0h) [リセット = 00000001h]
1A4h	PDSTAT1VIMS	VIMS モード直接読み取りステータス	PDSTAT1VIMS レジスタ (オフセット = 1A4h) [リセット = 00000001h]
1CCh	RFCBITS	RFC への制御	RFCBITS レジスタ (オフセット = 1CCh) [リセット = 00000000h]
1D0h	RFCMODESEL	選択された RFC モード	RFCMODESEL レジスタ (オフセット = 1D0h) [リセット = 00000000h]
1D4h	RFCMODEHWOPT	許容される RFC モード	RFCMODEHWOPT レジスタ (オフセット = 1D4h) [リセット = 00000000h]
1E0h	PWRPROFSTAT	電源プロファイラ レジスタ	PWRPROFSTAT レジスタ (オフセット = 1E0h) [リセット = 00000001h]
21Ch	MCUSRAMCFG	マイコン SRAM 構成	MCUSRAMCFG レジスタ (オフセット = 21Ch) [リセット = 00000020h]
224h	RAMRETEN	メモリ保持制御	RAMRETEN レジスタ (オフセット = 224h) [リセット = 0000000Bh]
290h	OSCIMSC	オシレータ割り込みマスク制御	OSCIMSC レジスタ (オフセット = 290h) [リセット = 00000036h]
294h	OSCRIS を参照	オシレータ Raw 割り込みステータス	OSCRIS レジスタ (オフセット = 294h) [リセット = 00000000h]
298h	OSCICR	オシレータ Raw 割り込みクリア	OSCICR レジスタ (オフセット = 298h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-28 に、このセクションでアクセス タイプに使用しているコードを示します。

Copyright © 2026 Texas Instruments Incorporated

表 7-28. PRCM のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

7.8.2.1 INFRCLKDIVR レジスタ (オフセット = 0h) [リセット = 00000000h]

INFRCLKDIVR は、図 7-24 と表 7-29 に示されています。

概略表に戻ります。

実行モードのインフラストラクチャ クロック分周係数

図 7-24. INFRCLKDIVR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 7-29. INFRCLKDIVR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	比率	R/W	0h	システム CPU が実行モードのとき、MCU_AON ドメインのクロック駆動モジュールの分周レート。分周比は、インフラストラクチャ クロックと perbusull クロックの両方に影響します。 0h = 1 で分周 1h = 2 で分周 2h = 8 で分周 3h = 32 で分周

Copyright © 2026 Texas Instruments Incorporated

7.8.2.2 INFRCLKDIVS レジスタ (オフセット = 4h) [リセット = 00000000h]

INFRCLKDIVS は、図 7-25 と表 7-30 に示されています。

概略表に戻ります。

スリープ モードのインフラストラクチャ クロック分周係数

図 7-25. INFRCLKDIVS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 7-30. INFRCLKDIVS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	比率	R/W	0h	システム CPU がスリープ モードのとき、MCU_AON ドメインのクロック駆動モジュールの分周レート。分周比は、インフラストラクチャ クロックと perbusull クロックの両方に影響します。 0h = 1 で分周 1h = 2 で分周 2h = 8 で分周 3h = 32 で分周

Copyright © 2026 Texas Instruments Incorporated

7.8.2.3 INFRCLKDIVDS レジスタ (オフセット = 8h) [リセット = 00000000h]

INFRCLKDIVDS は、図 7-26 と表 7-31 に示されています。

概略表に戻ります。

DeepSleep モードのインフラストラクチャ クロックの分周係数

図 7-26. INFRCLKDIVDS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 7-31. INFRCLKDIVDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	比率	R/W	0h	システム CPU がディープスリープ モードのとき、MCU_AON ドメインのクロック駆動モジュールの分周レート。分周比は、インフラストラクチャ クロックと perbusull クロックの両方に影響します。 0h = 1 で分周 1h = 2 で分周 2h = 8 で分周 3h = 32 で分周

Copyright © 2026 Texas Instruments Incorporated

7.8.2.4 VDCTL レジスタ (オフセット = Ch) [リセット = 00000000h]

図 7-27 に、VDCTL を示し、表 7-32 に、その説明を示します。

概略表に戻ります。

マイコン電圧ドメイン制御

図 7-27. VDCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							ULDO
R-0h							R/W-0h

表 7-32. VDCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ULDO	R/W	0h	uLDO に切り替えるように PMCTL にリクエストします。 0:リクエスト なし 1:アサート リクエストが 可能な場合、ビットは次の要件を満たすまで影響を与えません 1。PDCTL1.CPU_ON = 0 2.PDCTL1.VIMS_MODE=x0 3.SECDMACLKGDS.DMA_CLK_EN = 0 および SECDMACLKGR.DMA_AM_CLK_EN = 0 (注:設定は、 CLKLOADCTL.LOAD でロードする必要があります) 4.SECDMACLKGDS.CRYPTO_CLK_EN = 0 および SECDMACLKGR.CRYPTO_AM_CLK_EN = 0 (注:設定は、 CLKLOADCTL.LOAD でロードする必要があります) 5.I2SCLKGDS.CLK_EN = 0 および I2SCLKGR.AM_CLK_EN = 0 (注:設定は、CLKLOADCTL.LOAD でロードする必要があります) 6.RFC は BUS へのアクセスをリクエストしません 7。ディープスリープのシステム CPU

Copyright © 2026 Texas Instruments Incorporated

7.8.2.5 CLKLOADCTL レジスタ (オフセット = 28h) [リセット = 00000002h]

CLKLOADCTL は、図 7-28 と表 7-33 に示されています。

概略表に戻ります。

PRCM 設定を CLKCTRL パワードメインにロードする

図 7-28. CLKLOADCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						LOAD_DONE	LOAD
R-0h						R-1h	W-0h

表 7-33. CLKLOADCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	LOAD_DONE	R	1h	LOAD のステータス。 LOAD を必要とするレジスタのいずれかに書き込まれると、0 にクリアされ、負荷が完了すると 1 に設定されます。 レジスタに変更を何も書き込まないと、LOAD_DONE はクリアされることに注意してください。 0:最後の LOAD 後に 1 つ以上のレジスタに書き込みアクセスされました。1:最後の LOAD の後、レジスタへの書き込みアクセスはありません

Copyright © 2026 Texas Instruments Incorporated

表 7-33. CLKLOADCTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	LOAD	W	0h	0:アクションなし 1: CLKCTRL に設定をロードします。ビットは HW クリアされました。 ロードが一回書き込まれる前に設定を複数変更することもできます。そのため、すべての変更が同時に行われます。LOAD は、一回の設定の更新後にも実行できます。 設定を適用する前に LOAD 命令を実行する必要があるレジスタは以下のとおりです。 - SYSBUSCLKDIV - CPUCLKDIV - PERBUSCPUCLKDIV - PERDMACLKDIV - PERBUSCPUCLKG - RFCCLKG - VIMSCLKG - SECDMACLKGR - SECDMACLKGS - SECDMACLKGDS - GPIOCLKGR - GPIOCLKGS - GPIOCLKGDS - GPTCLKGR - GPTCLKGS - GPTCLKGDS - GPTCLKDIV - I2CCLKGR - I2CCLKGS - I2CCLKGDS - SSICLKGR - SSICLKGS - SSICLKGDS - UARTCLKGR - UARTCLKGS - UARTCLKGDS - I2SCLKGR - I2SCLKGS - I2SCLKGDS - I2SBCLKSEL - I2SCLKCTL - I2SMCLKDIV - I2SBCLKDIV - I2SWCLKDIV

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

7.8.2.6 RFCCLKG レジスタ (オフセット = 2Ch) [リセット = 00000001h]

RFCCLKG は、図 7-29 と表 7-34 に示されています。

概略表に戻ります。

RFC クロック ゲート

図 7-29. RFCCLKG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-1h

表 7-34. RFCCLKG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	1h	0:クロック無効化 1:クロックの有効化変更を有効にするために RFC パワードメインがオンの場合 、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.7 VIMSCLKG レジスタ (オフセット = 30h) [リセット = 00000003h]

VIMSCLKG は、図 7-30 と表 7-35 に示されています。

概略表に戻ります。

VIMS クロック ゲート

図 7-30. VIMSCLKG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CLK_EN	
R-0h														R/W-3h	

表 7-35. VIMSCLKG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	CLK_EN	R/W	3h	00 : クロック無効化 01 : SYSBUS クロックが無効化されているとき、クロックを無効化 11 : クロックを有効化 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.8 SECDMACLKGR レジスタ (オフセット = 3Ch) [リセット = 00000000h]

SECDMACLKGR は、図 7-31 と表 7-36 に示されています。

概略表に戻ります。

SEC (PKA、TRNG、CRYPTO) および UDMA クロックゲート (実行モードおよび全モード対応)

図 7-31. SECDMACLKGR レジスタ

31	30	29	28	27	26	25	24
予約済み							DMA_AM_CLK_EN
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み				PKA_ZERIOZE_RESET_N	PKA_AM_CLK_EN	TRNG_AM_CLK_EN	CRYPTO_AM_CLK_EN
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み							DMA_CLK_EN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み					PKA_CLK_EN	TRNG_CLK_EN	CRYPTO_CLK_EN
R-0h					R/W-0h	R/W-0h	R/W-0h

表 7-36. SECDMACLKGR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DMA_AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします 有効にすると、DMA_CLK_EN、SECDMACLKGS.DMA_CLK_EN および SECDMACLKGDS.DMA_CLK_EN を上書きします。 有効の場合、SYSBUS クロックが常に動作しています。 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります
23-20	予約済み	R	0h	予約済み
19	PKA_ZERIOZE_RESET_N	R/W	0h	ゼロ化ロジックのハードウェア リセット。 0:pka_zeroize ロジックが非アクティブ。 1:メモリの pka_zeroize が有効になっています。 このレジスタは、メモリが完全にゼロ化され、システム バスクロックで 256 周期を必要とするまで、アクティブに維持される必要があります。
18	PKA_AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします 有効にすると、PKA_CLK_EN、SECDMACLKGS.PKA_CLK_EN および SECDMACLKGDS.PKA_CLK_EN を上書きします。 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります
17	TRNG_AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします 有効にすると、TRNG_CLK_EN、SECDMACLKGS.TRNG_CLK_EN および SECDMACLKGDS.TRNG_CLK_EN を上書きします。 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

表 7-36. SECDMACLKGR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
16	CRYPTO_AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします 有効にすると、CRYPTO_CLK_EN、SECDMACLKGS.CRYPTO_CLK_EN および SECDMACLKGDS.CRYPTO_CLK_EN を上書きします。 有効の場合、SYSBUS クロックが常に動作しています。 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります
15-9	予約済み	R	0h	予約済み
8	DMA_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 DMA_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
7-3	予約済み	R	0h	予約済み
2	PKA_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 PKA_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
1	TRNG_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 TRNG_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
0	CRYPTO_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 CRYPTO_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.9 SECDMACLKGS レジスタ (オフセット = 40h) [リセット = 00000000h]

SECDMACLKGS は、図 7-32 と 表 7-37 に示されています。

概略表に戻ります。

SEC (PKA、TRNG、CRYPTO) とスリープモード用 UDMA クロック ゲート

図 7-32. SECDMACLKGS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							DMA_CLK_EN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み					PKA_CLK_EN	TRNG_CLK_EN	CRYPTO_CLK_EN
R-0h					R/W-0h	R/W-0h	R/W-0h

表 7-37. SECDMACLKGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	DMA_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 SECDMACLKGR.DMA_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
7-3	予約済み	R	0h	予約済み
2	PKA_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 SECDMACLKGR.PKA_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
1	TRNG_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 SECDMACLKGR.TRNG_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
0	CRYPTO_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 SECDMACLKGR.CRYPTO_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.10 SECDMACLKGDS レジスタ (オフセット = 44h) [リセット = 00000000h]

SECDMACLKGDS は、図 7-33 と 表 7-38 に示されています。

概略表に戻ります。

SEC (PKA、TRNG、CRYPTO) とディープスリープ モード用 UDMA クロック ゲート

図 7-33. SECDMACLKGDS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							DMA_CLK_EN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み					PKA_CLK_EN	TRNG_CLK_EN	CRYPTO_CLK_EN
R-0h					R/W-0h	R/W-0h	R/W-0h

表 7-38. SECDMACLKGDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	DMA_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 SECDMACLKGR.DMA_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
7-3	予約済み	R	0h	予約済み
2	PKA_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 SECDMACLKGR.PKA_AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
1	TRNG_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 ゆうこうなばあい SYSBUS クロックは常に実行されます。 SECDMACLKGR.TRNG_AM_CLK_EN によって強制的にオンにしますことができます変更を有効にするには、 CLKLOADCTL.LOAD を書き込む必要があります
0	CRYPTO_CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化有効な場合、 SYSBUS クロックは常に実行されます。 SECDMACLKGR.CRYPTO_AM_CLK_EN によって強制的にオンにしますことができます。 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.11 GPIOCLKGR レジスタ (オフセット = 48h) [リセット = 00000000h]

GPIOCLKGR は、図 7-34 と 表 7-39 に示されています。

概略表に戻ります。

実行モードおよび全モード用の GPIO クロック ゲート

図 7-34. GPIOCLKGR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							AM_CLK_EN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-39. GPIOCLKGR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします 有効の場合、CLK_EN、GPIOCLKGS.CLK_EN および GPIOCLKGDS.CLK_EN を上書きします。 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります
7-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.12 GPIOCLKGS レジスタ (オフセット = 4Ch) [リセット = 00000000h]

GPIOCLKGS は、図 7-35 と 表 7-40 に示されています。

概略表に戻ります。

スリープ モード用の GPIO クロック ゲート

図 7-35. GPIOCLKGS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-40. GPIOCLKGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 GPIOCLKGR.AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.13 GPIOCLKGDS レジスタ (オフセット = 50h) [リセット = 00000000h]

GPIOCLKGDS は、図 7-36 と 表 7-41 に示されています。

概略表に戻ります。

ディープスリープ モード用の GPIO クロック ゲート

図 7-36. GPIOCLKGDS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-41. GPIOCLKGDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 GPIOCLKGR.AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.14 GPTCLKGR レジスタ (オフセット = 54h) [リセット = 00000000h]

GPTCLKGR は、図 7-37 と表 7-42 に示されています。

概略表に戻ります。

実行モードおよび全モード用の GPT クロック ゲート

図 7-37. GPTCLKGR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				AM_CLK_EN				予約済み				CLK_EN			
R-0h				R/W-0h				R-0h				R/W-0h			

表 7-42. GPTCLKGR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11-8	AM_CLK_EN	R/W	0h	以下の各ビットは以下の意味を持っています。 0:強制なし 1:すべてのモード(実行、スリープ、ディープスリープ)で強制的にクロックをオンにします 有効にすると、CLK_EN、GPTCLKGS.CLK_EN、および GPTCLKGDS.CLK_EN を上書きします。 ENUM を組み合わせることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = すべてのモードで GPT0 のクロックを有効にする 2h = すべてのモードで GPT1 のクロックを有効にする 4h = すべてのモードで GPT2 のクロックを有効にする 8h = すべてのモードで GPT3 のクロックを有効にする
7-4	予約済み	R	0h	予約済み
3-0	CLK_EN	R/W	0h	以下の各ビットは以下の意味を持っています。 0:クロック無効化 1:クロックを有効化 AM_CLK_EN によって強制的にオンにしますことができます ENUM は組み合わせることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = GPT0 のクロックを有効にする 2h = GPT1 のクロックを有効にする 4h = GPT2 のクロックを有効にする 8h = GPT3 のクロックを有効にする

Copyright © 2026 Texas Instruments Incorporated

7.8.2.15 GPTCLKGS レジスタ (オフセット = 58h) [リセット = 00000000h]

GPTCLKGS は、図 7-38 と 表 7-43 に示されています。

概略表に戻ります。

スリープ モード用の GPT クロック ゲート

図 7-38. GPTCLKGS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CLK_EN			
R-0h												R/W-0h			

表 7-43. GPTCLKGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	CLK_EN	R/W	0h	以下の各ビットは以下の意味を持っています。 0:クロック無効化 1:クロックの有効化 GPTCLKGR.AM_CLK_EN によって強制的にオンにしますことができます ENUM は組み合わせることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = GPT0 のクロックを有効にする 2h = GPT1 のクロックを有効にする 4h = GPT2 のクロックを有効にする 8h = GPT3 のクロックを有効にする

Copyright © 2026 Texas Instruments Incorporated

7.8.2.16 GPTCLKGDS レジスタ (オフセット = 5Ch) [リセット = 00000000h]

GPTCLKGDS は、図 7-39 と 表 7-44 に示されています。

概略表に戻ります。

ディープスリープ モード用の GPT クロック ゲート

図 7-39. GPTCLKGDS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CLK_EN			
R-0h												R/W-0h			

表 7-44. GPTCLKGDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	CLK_EN	R/W	0h	以下の各ビットは以下の意味を持っています。 0:クロック無効化 1:クロックの有効化 GPTCLKGR.AM_CLK_EN によって強制的にオンにしますことができます ENUM は組み合わせることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = GPT0 のクロックを有効にする 2h = GPT1 のクロックを有効にする 4h = GPT2 のクロックを有効にする 8h = GPT3 のクロックを有効にする

Copyright © 2026 Texas Instruments Incorporated

7.8.2.17 I2CCLKGR レジスタ (オフセット = 60h) [リセット = 00000000h]

図 7-40 に、I2CCLKGR を示し、表 7-45 に、その説明を示します。

概略表に戻ります。

実行およびすべてのモード用の I2C クロックゲート

図 7-40. I2CCLKGR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							AM_CLK_EN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-45. I2CCLKGR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします 有効にすると、CLK_EN、I2CCLKGS.CLK_EN、および I2CCLKGDS.CLK_EN を上書きします。 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります
7-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.18 I2CCLKGS レジスタ (オフセット = 64h) [リセット = 00000000h]

図 7-41 に、I2CCLKGS を示し、表 7-46 に、その説明を示します。

概略表に戻ります。

スリープモード用の I2C クロックゲート

図 7-41. I2CCLKGS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-46. I2CCLKGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 I2CCLKGR.AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.19 I2CCLKGDS レジスタ (オフセット = 68h) [リセット = 00000000h]

図 7-42 に、I2CCLKGDS を示し、表 7-47 に、その説明を示します。

概略表に戻ります。

ディープスリープモード用 I2C クロックゲート

図 7-42. I2CCLKGDS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-47. I2CCLKGDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 I2CCLKGR.AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.20 UARTCLKGR レジスタ (オフセット = 6Ch) [リセット = 00000000h]

UARTCLKGR は、図 7-43 と 表 7-48 に示されています。

概略表に戻ります。

実行モードおよび全モード用の UART クロック ゲート

図 7-43. UARTCLKGR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						AM_CLK_EN	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
予約済み						CLK_EN	
R-0h						R/W-0h	

表 7-48. UARTCLKGR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	予約済み
9-8	AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします。 有効にすると、CLK_EN、UARTCLKGS.CLK_EN、UARTCLKGDS.CLK_EN を上書きします 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります。 1h = UART0 のクロックを有効化 2h = UART1 のクロックを有効化
7-2	予約済み	R	0h	予約済み
1-0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = UART0 のクロックを有効化 2h = UART1 のクロックを有効化

Copyright © 2026 Texas Instruments Incorporated

7.8.2.21 UARTCLKGS レジスタ (オフセット = 70h) [リセット = 00000000h]

UARTCLKGS は、図 7-44 と表 7-49 に示されています。

概略表に戻ります。

スリープ モード用の UART クロック ゲート

図 7-44. UARTCLKGS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CLK_EN	
R-0h														R/W-0h	

表 7-49. UARTCLKGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 UARTCLKGR.AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = UART0 のクロックを有効化 2h = UART1 のクロックを有効化

Copyright © 2026 Texas Instruments Incorporated

7.8.2.22 UARTCLKGDS レジスタ (オフセット = 74h) [リセット = 00000000h]

UARTCLKGDS は、図 7-45 と表 7-50 に示されています。

概略表に戻ります。

ディープスリープ モード用の UART クロック ゲート

図 7-45. UARTCLKGDS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CLK_EN	
R-0h														R/W-0h	

表 7-50. UARTCLKGDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 UARTCLKGR.AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = UART0 のクロックを有効化 2h = UART1 のクロックを有効化

Copyright © 2026 Texas Instruments Incorporated

7.8.2.23 SSICLKGR レジスタ (オフセット = 78h) [リセット = 00000000h]

SSICLKGR は、図 7-46 と表 7-51 に示されています。

概略表に戻ります。

実行モードおよび全モード用の SSI クロック ゲート

図 7-46. SSICLKGR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						AM_CLK_EN	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
予約済み						CLK_EN	
R-0h						R/W-0h	

表 7-51. SSICLKGR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	予約済み
9-8	AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします。 有効にすると、CLK_EN、SSICLKGS.CLK_EN および SSICLKGDS.CLK_EN を上書きします 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります。 1h = SSI0 のクロックを有効化 2h = SSI1 のクロックを有効化
7-2	予約済み	R	0h	予約済み
1-0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = SSI0 のクロックを有効化 2h = SSI1 のクロックを有効化

Copyright © 2026 Texas Instruments Incorporated

7.8.2.24 SSICLKGS レジスタ (オフセット = 7Ch) [リセット = 00000000h]

SSICLKGS は、図 7-47 と表 7-52 に示されています。

概略表に戻ります。

スリープ モード用の SSI クロック ゲート

図 7-47. SSICLKGS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															CLK_EN
R-0h															R/W-0h

表 7-52. SSICLKGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 SSICLKGR.AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = SSI0 のクロックを有効化 2h = SSI1 のクロックを有効化

Copyright © 2026 Texas Instruments Incorporated

7.8.2.25 SSICLKGDS レジスタ (オフセット = 80h) [リセット = 00000000h]

SSICLKGDS は、図 7-48 と表 7-53 に示されています。

概略表に戻ります。

ディープスリープ モード用の SSI クロック ゲート

図 7-48. SSICLKGDS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CLK_EN	
R-0h														R/W-0h	

表 7-53. SSICLKGDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 SSICLKGR.AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります。 1h = SSI0 のクロックを有効化 2h = SSI1 のクロックを有効化

Copyright © 2026 Texas Instruments Incorporated

7.8.2.26 I2SCLKGR レジスタ (オフセット = 84h) [リセット = 00000000h]

図 7-49 に、I2SCLKGR を示し、表 7-54 に、その説明を示します。

概略表に戻ります。

実行およびすべてのモード用の I2S クロックゲート

図 7-49. I2SCLKGR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							AM_CLK_EN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-54. I2SCLKGR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	AM_CLK_EN	R/W	0h	0:強制なし 1:すべてのモード (実行、スリープ、ディープスリープ) のクロックを強制的にオンにします 有効にすると、CLK_EN、I2SCLKGS.CLK_EN および I2SCLKGDS.CLK_EN を上書きします。 有効の場合、SYSBUS クロックが常に動作しています。 変更を有効にするには、CLKLOADCTL.LOAD に書き込む必要があります
7-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 AM_CLK_EN によって強制的にオンにしますことができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.27 I2SCLKGS レジスタ (オフセット = 88h) [リセット = 00000000h]

図 7-50 に、I2SCLKGS を示し、表 7-55 に、その説明を示します。

概略表に戻ります。

スリープモード用の I2S クロックゲート

図 7-50. I2SCLKGS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-55. I2SCLKGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 I2SCLKGR.AM_CLK_EN によって強制的にオンにすることができます 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.28 I2SCLKGDS レジスタ (オフセット = 8Ch) [リセット = 00000000h]

図 7-51 に、I2SCLKGDS を示し、表 7-56 に、その説明を示します。

概略表に戻ります。

ディープスリープモード用 I2S クロックゲート

図 7-51. I2SCLKGDS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLK_EN
R-0h							R/W-0h

表 7-56. I2SCLKGDS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLK_EN	R/W	0h	0:クロック無効化 1:クロックを有効化 ゆうこうなばあい SYSBUS クロックは常に実行されます。 I2SCLKGR.AM_CLK_EN によって強制的にオンにすることができます変更を有効にするには、 CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.29 SYSBUSCLKDIV レジスタ (オフセット = B4h) [リセット = 00000000h]

SYSBUSCLKDIV は、図 7-52 と表 7-57 に示されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 7-52. SYSBUSCLKDIV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 7-57. SYSBUSCLKDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	比率	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.30 CPUCLKDIV レジスタ (オフセット = B8h) [リセット = 00000000h]

CPUCLKDIV は、図 7-53 と表 7-58 に示されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 7-53. CPUCLKDIV レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							比率
R-0h							R/W-0h

表 7-58. CPUCLKDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	比率	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.31 PERBUSCPUCLKDIV (オフセット = BCh) [リセット = 00000000h]

PERBUSCPUCLKDIV は、図 7-54 と表 7-59 に示されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 7-54. PERBUSCPUCLKDIV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												比率			
R-0h												R/W-0h			

表 7-59. PERBUSCPUCLKDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	比率	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.32 PERDMACLKDIV レジスタ (オフセット = C4h) [リセット = 00000000h]

PERDMACLKDIV は、図 7-55 と表 7-60 に示されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 7-55. PERDMACLKDIV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												比率			
R-0h												R/W-0h			

表 7-60. PERDMACLKDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	比率	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.33 I2SBCLKSEL レジスタ (オフセット = C8h) [リセット = 00000000h]

図 7-56 に、I2SBCLKSEL を示し、表 7-61 に、その説明を示します。

概略表に戻ります。

I2S クロック制御

図 7-56. I2SBCLKSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															SRC
R-0h															R/W-0h

表 7-61. I2SBCLKSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SRC	R/W	0h	BCLK ソース セレクタ 0:外部 BCLK を使用 1:内部で生成されたクロックを使用します 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.34 GPTCLKDIV レジスタ (オフセット = CCh) [リセット = 00000000h]

GPTCLKDIV は、図 7-57 と表 7-62 に示されています。

概略表に戻ります。

GPT スカラ

図 7-57. GPTCLKDIV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												比率			
R-0h												R/W-0h			

表 7-62. GPTCLKDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	比率	R/W	0h	GPT に使用されるスカラ。実行/スリープ/ディープスリープ モードでは、分周速度は一定であり、無効になります。変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります。その他の値はサポートされていません。 0h = 1 で分周 1h = 2 で分周 2h = 4 で分周 3h = 8 で分周 4h = 16 で分周 5h = 32 で分周 6h = 64 で分周 7h = 128 で分周 8h = 256 で分周

Copyright © 2026 Texas Instruments Incorporated

7.8.2.35 I2SCLKCTL レジスタ (オフセット = D0h) [リセット = 00000000h]

図 7-58 に、I2SCLKCTL を示し、表 7-63 に、その説明を示します。

概略表に戻ります。

I2S クロック制御

図 7-58. I2SCLKCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				SMPL_ON_POSEDGE	WCLK_PHASE		EN
R-0h				R/W-0h	R/W-0h		R/W-0h

表 7-63. I2SCLKCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	SMPL_ON_POSEDGE	R/W	0h	I2S シリアル インターフェースでは、データと WCLK がサンプリングされ、BCLK の反対側のエッジでクロック出力されます。 0 データと WCLK は、立ち下がりエッジでサンプリングされ、立ち上がりエッジでクロック出力されます。 1 データと WCLK は立ち上がりエッジでサンプリングされ、負のエッジでクロック出力されます。 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
2-1	WCLK_PHASE	R/W	0h	WCLK 分周比の計算方法と、各種デューティ サイクルの生成に使用する方法を決定します (I2SWCLKDIV.WDIV を参照)。 0:単相 1: 二相 2:ユーザー定義 3:予約済み/未定義 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります
0	EN	R/W	0h	0:MCLK、BCLK、WCLK は静的 Low になります 。1:MCLK、BCLK、WCLK の生成を有効化 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.36 I2SMCLKDIV レジスタ (オフセット = D4h) [リセット = 00000000h]

図 7-59 に、I2SMCLKDIV を示し、表 7-64 に、その説明を示します。

概略表に戻ります。

MCLK 分周比

図 7-59. I2SMCLKDIV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																						MDIV									
R-0h																						R/W-0h									

表 7-64. I2SMCLKDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	予約済み
9-0	MDIV	R/W	0h	MCLK を生成するために使用する分周比の符号なし係数 [2-1024]: MCLK = MCUCLK/MDIV[Hz] MCUCLK は 48MHz 値。 値 0 は 1024 として解釈されます。 値 1 は無効です。 MDIV が奇数の場合、クロックの低位相は高位相よりも 1 MCUCLK 周期長くなります。 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.37 I2SBCLKDIV レジスタ (オフセット = D8h) [リセット = 00000000h]

図 7-60 に、I2SBCLKDIV を示し、表 7-65 に、その説明を示します。

概略表に戻ります。

BCLK 分周比

図 7-60. I2SBCLKDIV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																						BDIV									
R-0h																						R/W-0h									

表 7-65. I2SBCLKDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	予約済み
9-0	BDIV	R/W	0h	I2S BCLK の生成に使用される分周比の符号なし係数 [2-1024]: BCLK = MCUCLK/BDIV[Hz] MCUCLK は 48MHz 値。 値 0 は 1024 として解釈されます。 値 1 は無効です。 BDIV が奇数で、I2SCLKCTL.SMPL_ON_POSEDGE = 0 の場合、クロックの低位相は高位相より 1 MCUCLK 周期長くなります。 BDIV が奇数で、I2SCLKCTL.SMPL_ON_POSEDGE = 1 の場合、クロックの High 位相は Low 位相よりも 1 MCUCLK 周期長いものとなります。 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.38 I2SWCLKDIV レジスタ (オフセット = DCh) [リセット = 00000000h]

図 7-61 に、I2SWCLKDIV を示し、表 7-66 に、その説明を示します。

概略表に戻ります。

WCLK 分周比

図 7-61. I2SWCLKDIV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																WDIV															
R-0h																R/W-0h															

表 7-66. I2SWCLKDIV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	WDIV	R/W	0h	I2SCLKCTL.WCLK_PHASE = 0 の場合、単相。 WCLK は High 1 周期と Low WDIV[9:0] (符号なし、[1-1023]) BCLK 周期です。 WCLK = MCUCLK/BDIV*(WDIV[9:0] + 1) [Hz] MCUCLK は 48MHz です。 I2SCLKCTL.WCLK_PHASE = 1 の場合、2 相。 WCLK (50% デューティ サイクル) の各相は、WDIV[9:0] (符号なし、[1-1023]) BCLK 周期です。 WCLK = MCUCLK/BDIV*(2*WDIV[9:0] 9:0) [Hz] I2SCLKCTL.WCLK_PHASE = 2 の場合、ユーザーが設定。 WCLK は high WDIV[7:0] (符号なし、[1-255]) BCLK 周期と low WDIV[15:8] (符号なし、[1-255]) BCLK 周期です。 WCLK = MCUCLK/(BDIV*(WDIV[7:0] + WDIV[15:8]) [Hz] 変更を有効にするには、CLKLOADCTL.LOAD を書き込む必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.2.39 RESETSECDMA レジスタ (オフセット = F0h) [リセット = 00000000h]

RESETSECDMA は、図 7-62 と表 7-67 に示されています。

概略表に戻ります。

SEC (PKA、TRNG、CRYPTO) および UDMA のリセット

図 7-62. RESETSECDMA レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							DMA
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み					PKA	TRNG	CRYPTO
R-0h					W-0h	W-0h	W-0h

表 7-67. RESETSECDMA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	DMA	W	0h	リセットするには「1」を書き込みます。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン (PDSTAT0.PERIPH_ON = 1) の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。
7-3	予約済み	R	0h	予約済み
2	PKA	W	0h	リセットするには「1」を書き込みます。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン (PDSTAT0.PERIPH_ON = 1) の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。
1	TRNG	W	0h	リセットするには「1」を書き込みます。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン (PDSTAT0.PERIPH_ON = 1) の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。
0	CRYPTO	W	0h	リセットするには「1」を書き込みます。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン (PDSTAT0.PERIPH_ON = 1) の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.40 RESETGPIO レジスタ (オフセット = F4h) [リセット = 00000000h]

RESETGPIO は、図 7-63 と表 7-68 に示されています。

概略表に戻ります。

GPIO IP のリセット

図 7-63. RESETGPIO レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							GPIO
R-0h							W-0h

表 7-68. RESETGPIO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	GPIO	W	0h	0:アクションなし 1: GPIO をリセットします。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン(PDSTAT0.PERIPH_ON = 1)の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.41 RESETGPT レジスタ (オフセット = F8h) [リセット = 00000000h]

RESETGPT は、図 7-64 と表 7-69 に示されています。

概略表に戻ります。

GPT IP のリセット

図 7-64. RESETGPT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															GPT
R-0h															W-0h

表 7-69. RESETGPT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	GPT	W	0h	0:アクションなし 1: すべての GPT をリセットします。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン(PDSTAT0.PERIPH_ON = 1)の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.42 RESETI2C レジスタ (オフセット = FCh) [リセット = 00000000h]

図 7-65 に、RESETI2C を示し、表 7-70 に、その説明を示します。

概略表に戻ります。

I2C IP のリセット

図 7-65. RESETI2C レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															I2C
R-0h															W-0h

表 7-70. RESETI2C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	I2C	W	0h	0:アクションなし 1: I2C をリセットします。HW がクリアされました。 アクセスは、SERIAL パワードメインがオン（PDSTAT0.SERIAL_ON = 1）の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.43 RESETUART レジスタ (オフセット = 100h) [リセット = 00000000h]

RESETUART は、図 7-66 と表 7-71 に示されています。

概略表に戻ります。

UART IP のリセット

図 7-66. RESETUART レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						UART1	UART0
R-0h						W-0h	W-0h

表 7-71. RESETUART レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	UART1	W	0h	0:アクションなし 1: UART1 をリセットします。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン(PDSTAT0.PERIPH_ON = 1)の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。
0	UART0	W	0h	0:アクションなし 1: UART0 をリセットします。HW がクリアされました。 アクセスは、SERIAL パワードメインがオン(PDSTAT0.SERIAL_ON = 1)の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.44 RESETSSI レジスタ (オフセット = 104h) [リセット = 00000000h]

RESETSSI は、図 7-67 と表 7-72 に示されています。

概略表に戻ります。

SSI IP のリセット

図 7-67. RESETSSI レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															SSI
R-0h															W-0h

表 7-72. RESETSSI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	SSI	W	0h	SSI 0: 0:アクションなし 1: SSI をリセットします。HW がクリアされました。 アクセスは、SERIAL パワードメインがオン(PDSTAT0.SERIAL_ON = 1)の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。 SSI 1: 0:アクションなし 1: SSI をリセットします。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン(PDSTAT0.PERIPH_ON = 1)の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.45 RESETI2S レジスタ (オフセット = 108h) [リセット = 00000000h]

図 7-68 に、RESETI2S を示し、表 7-73 に、その説明を示します。

概略表に戻ります。

I2S IP のリセット

図 7-68. RESETI2S レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															I2S
R-0h															W-0h

表 7-73. RESETI2S レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	I2S	W	0h	0:アクションなし 1: モジュールをリセットします。HW がクリアされました。 アクセスは、PERIPH パワードメインがオン(PDSTAT0.PERIPH_ON = 1)の場合にのみ有効です。 書き込み前に、FLASH:CFG.DIS_READACCESS = 1 を設定して、フラッシュからの実行中にリセットが有効にならないようにしてください。つまり、SW RESET を使用するときはフラッシュから実行できないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.46 PDCTL0 レジスタ (オフセット = 12Ch) [リセット = 00000000h]

図 7-69 に、PDCTL0 を示し、表 7-74 に、その説明を示します。

概略表に戻ります。

パワードメイン制御

図 7-69. PDCTL0 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					PERIPH_ON	SERIAL_ON	RFC_ON
R-0h					R/W-0h	R/W-0h	R/W-0h

表 7-74. PDCTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	PERIPH_ON	R/W	0h	PERIPH パワードメイン。 0:PERIPH パワードメインがパワーダウン 1:PERIPH パワードメインがパワーアップ
1	SERIAL_ON	R/W	0h	SERIAL パワードメイン。 0:SERIAL パワードメインがパワーダウン 1:SERIAL パワードメインがパワーアップ
0	RFC_ON	R/W	0h	0:PDCTL1.RFC_ON = 0 の場合、RFC パワードメインの電源がオフになります。 1:RFC パワードメインの電源がオンになっています

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

7.8.2.47 PDCTL0RFC レジスタ (オフセット = 130h) [リセット = 00000000h]

図 7-70 に、PDCTL0RFC を示し、表 7-75 に、その説明を示します。

概略表に戻ります。

RFC パワードメイン制御

図 7-70. PDCTL0RFC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R/W-0h

表 7-75. PDCTL0RFC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R/W	0h	PDCTL0.RFC_ON のエイリアス

Copyright © 2026 Texas Instruments Incorporated

7.8.2.48 PDCTL0SERIAL レジスタ (オフセット = 134h) [リセット = 00000000h]

図 7-71 に、PDCTL0SERIAL を示し、表 7-76 に、その説明を示します。

概略表に戻ります。

SERIAL パワードメイン制御

図 7-71. PDCTL0SERIAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R/W-0h

表 7-76. PDCTL0SERIAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R/W	0h	PDCTL0.SERIAL_ON のエイリアス

Copyright © 2026 Texas Instruments Incorporated

7.8.2.49 PDCTL0PERIPH レジスタ (オフセット = 138h) [リセット = 00000000h]

図 7-72 に、PDCTL0PERIPH を示し、表 7-77 に、その説明を示します。

概略表に戻ります。

PERIPH パワードメイン制御

図 7-72. PDCTL0PERIPH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R/W-0h

表 7-77. PDCTL0PERIPH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R/W	0h	PDCTL0.PERIPH_ON のエイリアス

Copyright © 2026 Texas Instruments Incorporated

7.8.2.50 PDSTAT0 レジスタ (オフセット = 140h) [リセット = 00000000h]

図 7-73 に、PDSTAT0 を示し、表 7-78 に、その説明を示します。

概略表に戻ります。

パワードメイン ステータス

図 7-73. PDSTAT0 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					PERIPH_ON	SERIAL_ON	RFC_ON
R-0h					R-0h	R-0h	R-0h

表 7-78. PDSTAT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	PERIPH_ON	R	0h	PERIPH パワードメイン。 0:ドメインの電源が切れている可能性があります 1: ドメインのパワーアップ (保証)
1	SERIAL_ON	R	0h	SERIAL パワードメイン。 0:ドメインの電源が切れている可能性があります 1: ドメインのパワーアップ (保証)
0	RFC_ON	R	0h	RFC パワードメイン 0: ドメインの電源が切れている可能性があります 1: ドメインのパワーアップ (保証)

Copyright © 2026 Texas Instruments Incorporated

7.8.2.51 PDSTAT0RFC レジスタ (オフセット = 144h) [リセット = 00000000h]

図 7-74 に、PDSTAT0RFC を示し、表 7-79 に、その説明を示します。

概略表に戻ります。

RFC パワードメイン ステータス

図 7-74. PDSTAT0RFC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R-0h

表 7-79. PDSTAT0RFC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R	0h	PDSTAT0.RFC_ON のエイリアス

Copyright © 2026 Texas Instruments Incorporated

7.8.2.52 PDSTAT0SERIAL レジスタ (オフセット = 148h) [リセット = 00000000h]

図 7-75 に、PDSTAT0SERIAL を示し、表 7-80 に、その説明を示します。

概略表に戻ります。

SERIAL パワードメイン ステータス

図 7-75. PDSTAT0SERIAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R-0h

表 7-80. PDSTAT0SERIAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R	0h	PDSTAT0.SERIAL_ON のエイリアス

Copyright © 2026 Texas Instruments Incorporated

7.8.2.53 PDSTAT0PERIPH レジスタ (オフセット = 14Ch) [リセット = 00000000h]

図 7-76 に、PDSTAT0PERIPH を示し、表 7-81 に、その説明を示します。

概略表に戻ります。

PERIPH パワードメイン ステータス

図 7-76. PDSTAT0PERIPH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R-0h

表 7-81. PDSTAT0PERIPH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R	0h	PDSTAT0.PERIPH_ON のエイリアス

Copyright © 2026 Texas Instruments Incorporated

7.8.2.54 PDCTL1 レジスタ (オフセット = 17Ch) [リセット = 0000000Ah]

図 7-77 に、PDCTL1 を示し、表 7-82 に、その説明を示します。

概略表に戻ります。

パワードメイン制御

図 7-77. PDCTL1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			VIMS_MODE		RFC_ON	CPU_ON	予約済み
R-0h			R/W-1h		R/W-0h	R/W-1h	R-0h

表 7-82. PDCTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-3	VIMS_MODE	R/W	1h	00:VIMS のパワードメインは、CPU のパワードメインに電力が供給されている場合にのみ電源オンになります 01:VIMS パワードメインは、バスパワードメインに電源が供給されるたびにオンになります。 1X:次回のウェイクアップ時に VIMS パワードメインのパワーアップをブロックします。このモードは、VIMS パワードメインに電力が供給されていない場合にのみ有効です。自律 RF コアに使用します。
2	RFC_ON	R/W	0h	0:PDCTL0.RFC_ON = 0 の場合、RFC パワードメインの電源がオフになります。1:RFC は、RFC パワードメインの電源オン ビットを自律モードで使用しますが、システム CPU からそのビットにアクセスするためのハードウェア的な制限はありません。
1	CPU_ON	R/W	1h	0:システム CPU がアイドル状態であることを示したときに、CPU パワードメインの電源がオフになります。 1:CPU パワードメインの電源投入を開始します。 このビットは、WIC パワーオンイベントによって自動的に設定されます。
0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

7.8.2.55 PDCTL1CPU レジスタ (オフセット = 184h) [リセット = 00000001h]

図 7-78 に、PDCTL1CPU を示し、表 7-83 に、その説明を示します。

概略表に戻ります。

CPU パワードメイン直接制御

図 7-78. PDCTL1CPU レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R/W-1h

表 7-83. PDCTL1CPU レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R/W	1h	これは、PDCTL1.CPU_ON のエイリアスです

Copyright © 2026 Texas Instruments Incorporated

7.8.2.56 PDCTL1RFC レジスタ (オフセット = 188h) [リセット = 00000000h]

図 7-79 に、PDCTL1RFC を示し、表 7-84 に、その説明を示します。

概略表に戻ります。

RFC パワードメイン直接制御

図 7-79. PDCTL1RFC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R/W-0h

表 7-84. PDCTL1RFC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R/W	0h	これは PDCTL1.RFC_ON のエイリアスです

Copyright © 2026 Texas Instruments Incorporated

7.8.2.57 PDCTL1VIMS レジスタ (オフセット = 18Ch) [リセット = 00000001h]

図 7-80 に、PDCTL1VIMS を示し、表 7-85 に、その説明を示します。

概略表に戻ります。

VIMS モード直接制御

図 7-80. PDCTL1VIMS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														モード	
R-0h														R/W-1h	

表 7-85. PDCTL1VIMS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	モード	R/W	1h	これは PDCTL1.VIMS_MODE のエイリアスです

Copyright © 2026 Texas Instruments Incorporated

7.8.2.58 PDSTAT1 レジスタ (オフセット = 194h) [リセット = 0000001Ah]

図 7-81 に、PDSTAT1 を示し、表 7-86 に、その説明を示します。

概略表に戻ります。

パワーマネージャ ステータス

図 7-81. PDSTAT1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			BUS_ON	VIMS_ON	RFC_ON	CPU_ON	予約済み
R-0h			R-1h	R-1h	R-0h	R-1h	R-0h

表 7-86. PDSTAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4	BUS_ON	R	1h	0:BUS ドメインにアクセスできません 1:BUS ドメインは現在アクセス可能です
3	VIMS_ON	R	1h	0:VIMS ドメインにアクセスできません 1:VIMS ドメインは現在アクセス可能です
2	RFC_ON	R	0h	0:RFC ドメインにアクセスできません 1:RFC ドメインは現在アクセス可能です
1	CPU_ON	R	1h	0:CPU および BUS ドメインにアクセスできません 1:現在 CPU ドメインと BUS ドメインの両方にアクセスできます
0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

7.8.2.59 PDSTAT1BUS レジスタ (オフセット = 198h) [リセット = 00000001h]

図 7-82 に、PDSTAT1BUS を示し、表 7-87 に、その説明を示します。

概略表に戻ります。

BUS パワードメイン直接読み取りステータス

図 7-82. PDSTAT1BUS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R-1h

表 7-87. PDSTAT1BUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R	1h	これは PDSTAT1.BUS_ON のエイリアスです

Copyright © 2026 Texas Instruments Incorporated

7.8.2.60 PDSTAT1RFC レジスタ (オフセット = 19Ch) [リセット = 00000000h]

図 7-83 に、PDSTAT1RFC を示し、表 7-88 に、その説明を示します。

概略表に戻ります。

RFC パワードメイン直接読み取りステータス

図 7-83. PDSTAT1RFC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R-0h

表 7-88. PDSTAT1RFC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R	0h	これは PDSTAT1.RFC_ON のエイリアスです

Copyright © 2026 Texas Instruments Incorporated

7.8.2.61 PDSTAT1CPU レジスタ (オフセット = 1A0h) [リセット = 00000001h]

図 7-84 に、PDSTAT1CPU を示し、表 7-89 に、その説明を示します。

概略表に戻ります。

CPU パワードメイン直接読み取りステータス

図 7-84. PDSTAT1CPU レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R-1h

表 7-89. PDSTAT1CPU レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R	1h	これは PDSTAT1.CPU_ON のエイリアスです

Copyright © 2026 Texas Instruments Incorporated

7.8.2.62 PDSTAT1VIMS レジスタ (オフセット = 1A4h) [リセット = 00000001h]

図 7-85 に、PDSTAT1VIMS を示し、表 7-90 に、その説明を示します。

概略表に戻ります。

VIMS モード直接読み取りステータス

図 7-85. PDSTAT1VIMS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															ON
R-0h															R-1h

表 7-90. PDSTAT1VIMS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ON	R	1h	これは PDSTAT1.VIMS_ON のエイリアスです

Copyright © 2026 Texas Instruments Incorporated

7.8.2.63 RFCBITS レジスタ (オフセット = 1CCh) [リセット = 00000000h]

RFCBITS は、図 7-86 と表 7-91 に示されています。

概略表に戻ります。

RFC への制御

図 7-86. RFCBITS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
読み取り																															
R/W-0h																															

表 7-91. RFCBITS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	読み取り	R/W	0h	RFC の制御ビット。RF コア CPE プロセッサは、起動時に自動的にこのレジスタをチェックし、起動時に一部のタスクを実行するように CPE に直ちに指示するために使用できます。サポートされている機能は ROM で定義されており、異なる場合があります。詳細は、テクニカル リファレンス マニュアルを参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.64 RFCMODESEL レジスタ (オフセット = 1D0h) [リセット = 00000000h]

RFCMODESEL は、図 7-87 と表 7-92 に示されています。

概略表に戻ります。

選択された RFC モード

図 7-87. RFCMODESEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CURR	
R-0h														R/W-0h	

表 7-92. RFCMODESEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	CURR	R/W	0h	RFC が受け入れる一連のコマンドを選択します。 RFCMODEHWOPT.AVAIL で許可されているモードのみが書き込み可能です。詳細は、テクニカル リファレンス マニュアルを参照してください。 0h = 選択モード 0 1h = 選択モード 1 2h = 選択モード 2 3h = 選択モード 3 4h = 選択モード 4 5h = 選択モード 5 6h = 選択モード 6 7h = 選択モード 7

Copyright © 2026 Texas Instruments Incorporated

7.8.2.65 RFCMODEHWOPT レジスタ (オフセット = 1D4h) [リセット = 00000000h]

RFCMODEHWOPT は、図 7-88 と表 7-93 に示されています。

概略表に戻ります。

許容される RFC モード

図 7-88. RFCMODEHWOPT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								AVAIL							
R-0h																								R-0h							

表 7-93. RFCMODEHWOPT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	AVAIL	R	0h	許可される RFC モード。複数のモードを許可できます。 1h = モード 0 許可 2h = モード 1 許可 4h = モード 2 許可 8h = モード 3 許可 10h = モード 4 許可 20h = モード 5 許可 40h = モード 6 許可 80h = モード 7 許可

Copyright © 2026 Texas Instruments Incorporated

7.8.2.66 PWRPROFSTAT レジスタ (オフセット = 1E0h) [リセット = 00000001h]

PWRPROFSTAT は、図 7-89 と表 7-94 に示されています。

概略表に戻ります。

電源プロファイラ レジスタ

図 7-89. PWRPROFSTAT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								値							
R-0h																								R/W-1h							

表 7-94. PWRPROFSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	値	R/W	1h	SW はこれらのビットを使用してアプリケーションのタイムスタンプを設定できます。これらのビットはテストタップからも利用可能であり、エミュレータがリアルタイムでプロファイルを作成するために使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.2.67 MCUSRAMCFG レジスタ (オフセット = 21Ch) [リセット = 00000020h]

MCUSRAMCFG は、図 7-90 と表 7-95 に示されています。

概略表に戻ります。

マイコン SRAM 構成

図 7-90. MCUSRAMCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		BM_OFF	PAGE	PGS	BM	PCH_F	PCH_L
R-0h		R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-95. MCUSRAMCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	BM_OFF	R/W	1h	バースト モード 無効 0: バースト モード 有効 1: バースト モード オフ。
4	PAGE	R/W	0h	ページ モード選択 0: ページ モードは無効です。メモリは標準モードで動作 1: ページ モードが有効です。バタフライ アレイの半分のみが選択されています。ページ モードでは、PGS の設定に基づいて、ワードの LSB 半分または MSB 半分のいずれかを選択します。 このモードを使用して、さらに消費電力を削減できます
3	PGS	R/W	0h	0 : ページ モード中に単語の LSB 半分を選択します。PAGE = 1 1: ページ モード中に単語の MSB 半分を選択します、PAGE = 1
2	BM	R/W	0h	バースト モード有効 0: バースト モード無効。メモリは標準モードで動作しています。 1: バースト モード有効 バースト モードの場合、ビットラインのプリチャージとワードラインの有効化は PCH_F と PCH_L に依存します。 バースト モードでは、有効電力が低減されます。
1	PCH_F	R/W	0h	0 : サイクルの後半ではビットラインのプリチャージは行われません 1: バーストモード時の後半サイクルにおけるビットラインのプリチャージ、BM = 1
0	PCH_L	R/W	0h	0 : サイクルの前半ではビットラインのプリチャージは行われません 1: バーストモード時の前半サイクルにおけるビットラインのプリチャージ、BM = 1

Copyright © 2026 Texas Instruments Incorporated

7.8.2.68 RAMRETEN レジスタ (オフセット = 224h) [リセット = 0000000Bh]

RAMRETEN は、図 7-91 と表 7-96 に示されています。

概略表に戻ります。

メモリ保持制御

図 7-91. RAMRETEN レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				RFCULL	RFC	VIMS	
R-0h				R/W-1h	R/W-0h	R/W-3h	

表 7-96. RAMRETEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	RFCULL	R/W	1h	0:RFC ULL SRAM の保持を無効化 1: RFC ULL SRAM の保持有効 メモリ制御: CPEULLRAM
2	RFC	R/W	0h	0:RFC SRAM の保持を無効化 1: RFC SRAM の保持を有効化 メモリ制御:CPERAM MCERAM RFERAM DSBRAM
1-0	VIMS	R/W	3h	0:メモリ保持無効 1: メモリ保持を有効化 ビット 0: VIMS_TRAM ビット 1: VIMS_CRAM リーガルモードは、VIMS:CTL.MODE の設定によって異なります 00: VIMS:CTL.MODE は DEEPSLEEP がアサートされる前にオフにする必要があります — 再度ウェイクアップした後に CACHE または SPLIT モードに設定する必要があります 01: VIMS:CTL.MODE は、DEEPSLEEP される前に GPRAM になっている必要があります。ウェークアップ後は GPRAM モードのままにする必要があります。別の方法として、最初にオフモードを選択し、次に CACHE または SPILT モードを選択します。 10:不正モード 11:制限なし

Copyright © 2026 Texas Instruments Incorporated

7.8.2.69 OSCIMSC レジスタ (オフセット = 290h) [リセット = 00000036h]

OSCIMSC は、図 7-92 と表 7-97 に示されています。

概略表に戻ります。

オシレータ割り込みマスク制御

図 7-92. OSCIMSC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
HFSRCPENDIM	LFSRCDONEIM	XOSCDLFIM	XOSCLFIM	RCOSCDLFIM	RCOSCLFIM	XOSCHFIM	RCOSCHFIM
R/W-0h	R/W-0h	R/W-1h	R/W-1h	R/W-0h	R/W-1h	R/W-1h	R/W-0h

表 7-97. OSCIMSC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	HFSRCPENDIM	R/W	0h	0:HFSRCPEND が認定されている場合は、割り込み生成を無効にします。 1: HFSRCPEND が認定されている場合は、割り込み生成を有効にします
6	LFSRCDONEIM	R/W	0h	0:LFSRCDONE が認定されている場合は、割り込み生成を無効にします。 1: LFSRCDONE が認定されている場合は、割り込み生成を有効にします
5	XOSCDLFIM	R/W	1h	0:XOSCDLF が認定されている場合は、割り込み生成を無効にします。 1: XOSCDLF が認定されている場合は、割り込み生成を有効にします
4	XOSCLFIM	R/W	1h	0:XOSCLF が認定されている場合は、割り込み生成を無効にします。 1: XOSCLF が認定されている場合は、割り込み生成を有効にします
3	RCOSCDLFIM	R/W	0h	0:RCOSCDLF が認定されている場合は、割り込み生成を無効にします。 1: RCOSCDLF が認定されている場合は、割り込み生成を有効にします
2	RCOSCLFIM	R/W	1h	0:RCOSCLF が認定されている場合は、割り込み生成を無効にします。 1: RCOSCLF が認定されている場合は、割り込み生成を有効にします
1	XOSCHFIM	R/W	1h	0:XOSCHF が認定されている場合は、割り込み生成を無効にします。 1: XOSCHF が認定されている場合は、割り込み生成を有効にします
0	RCOSCHFIM	R/W	0h	0:RCOSCHF が認定されている場合は、割り込み生成を無効にします。 1: RCOSCHF が認定されている場合は、割り込み生成を有効にします

Copyright © 2026 Texas Instruments Incorporated

7.8.2.70 OSCRIS レジスタ (オフセット = 294h) [リセット = 00000000h]

図 7-93 に、OSCRIS を示し、表 7-98 に、その説明を示します。

概略表に戻ります。

オシレータ Raw 割り込みステータス

図 7-93. OSCRIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
HFSRCPENDRIS	LFSRCDONERIS	XOSCDLFRIS	XOSCLFRIS	RCOSCDLFRIS	RCOSCLFRIS	XOSCHFRIS	RCOSCHFRIS
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-98. OSCRIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	HFSRCPENDRIS	R	0h	SCLK_HF ソース切り替え割り込み保留中。 DDI_0_OSC:CTL0.SCLK_HF_SRC_SEL への書き込みによって SCLK_HF ソース変更リクエストが発生すると、リクエストされた SCLK_HF ソースが有効になり、認定されます。新しいソースをクロック ソースとして使用する準備ができた時点で、割り込み HSSRCPENDRIS が High になります。フラッシュが SCLK_HF ソースのスイッチングを、フラッシュメモリの読み取りアクセスが無効化された後で行うことを許可している場合。この時点で、実際の SCLK_HF クロック ソース スイッチが実行され、割り込みステータス HSSRCPENDRIS が Low になります。 0：SCLK_HF ソースを切り替える準備ができていないことを示します 1: SCLK_HF ソースで切り替えの準備ができたことを示します 。OSCIMSC.HFSRCPENDIM の設定に関係なく、割り込みが認定済みです。未処理割り込みと割り込みマスクの有効化を認定する順序は、OSC 割り込みの生成においては異なります。 HW で設定します。OSCICR.HFSRCPENDC に書き込むことでクリアされます

Copyright © 2026 Texas Instruments Incorporated

表 7-98. OSCRIS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	LFSRCDONERIS	R	0h	SCLK_LF ソース切り替えが完了しました。 DDI_0_OSC:CTL0.SCLK_LF_SRC_SEL レジスタ フィールドを使用して、SCLK_LF ソースの変更をリクエストします。SCLK_LF クロック ソースの変更が要求された後、クロック ソースを切り替える前に、新しいソースを有効化して認定する必要があります。割り込み LFRSRCDONERIS が High になり、SCLK_LF クロック ソース切り替えが実行されたことを示します。DDI_0_OSC:CTL0.SCLK_LF_SRC_SEL への書き込みによって次のクロック ソースの変更がリクエストされると、LFRSRCDONERIS は再度 Low になります。 0: SCLK_LF ソース切り替えが完了していないことを示します 1: SCLK_LF ソース切り替えが完了したことを示します。 OSCIMSC.LFSRCDONEIM の設定に関係なく、割り込みが認定されたことを示します。未処理割り込みと割り込みマスクの有効化を認定する順序は、OSC 割り込みの生成においては異なります。 HW で設定します。OSCICR.LFSRCDONEC に書き込むことでクリアされます
5	XOSCDLFRIS	R	0h	XOSCDLFRIS 割り込みにより、XOSC_HF オシレータを SCLK_LF または ACLK_REF の派生低周波数クロック ソースとして使用する準備ができていることを示します。XOSCDLFRIS が High の場合、XOSC_HF が SCLK_LF のソースとして選択されます。どのシステム クロックでも、クロック ソースとして XOSC_HF が選択されていない場合、XOSC_HF ソースは自動的に無効化され、XOSCDLFRIS 割り込みステータスは Low になります。 0: XOSCDLF は認定されていません 1: XOSCDLF は認定済み 割り込みは、OSCIMSC.XOSCDLFIM の設定に関係なく認定済みになります。未処理割り込みと割り込みマスクの有効化を認定する順序は、OSC 割り込みの生成においては異なります。 HW で設定します。OSCICR.XOSCDLFC に書き込むことでクリアされます
4	XOSCLFRIS	R	0h	XOSCLFRIS 割り込みは、XOSC_LF オシレータの出力が周波数を基準として認定されたことを示します。XOSC_LF オシレータをクロック ソースとして使用する準備ができると、XOSCLFRIS 割り込みステータスが High になります。 クロック認定が成功した後、XOSCLFRIS 割り込みステータスは High のままになり、XOSC_LF オシレータが無効になるまで、さらに認定はオフになります。XOSCLFRIS 割り込みのステータスは、最初の電源オン時、またはクロック ソースとして選択解除されたときに、XOSC_LF オシレータが無効になった後にのみ Low になります。 0：XOSCLF は認定されていません 1: XOSCLF が認定済み 割り込みは、OSCIMSC.XOSCLFIM の設定に関係なく認定済みなります。未処理割り込みと割り込みマスクの有効化を認定する順序は、OSC 割り込みの生成においては異なります。 HW で設定します。OSCICR.XOSCLFC に書き込むことでクリアされます

Copyright © 2026 Texas Instruments Incorporated

表 7-98. OSCRIS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	RCOSCDLFRIS	R	0h	RCOSCDLFRIS 割り込みにより、RCOSC_HF オシレータを SCLK_LF または ACLK_REF の派生低周波数クロック ソースとして使用する準備ができていることを示します。RCOSCDLFRIS が High の場合、選択時に RCOSC_HF が SCLK_LF のソースとして使用されます。RCOSC_HF がクロック ソースとして選択されていないシステムクロックでは、RCOSC_HF ソースは自動的に無効になり、RCOSCDLFRIS 割り込みステータスは Low になります。 SCLK_LF または ACLK_REF ソースを、RCOSC_HF が生成された低周波数クロックから XOSC_HF が生成された低周波数クロックに変更しても、新しいソースが認定されていない場合、クロックは元のソースで動作したままになります。その後、RCOSCDLFRIS 割り込みは High のままになります。 0:RCOSCDLF は認定されていません 1: RCOSCDLF が認定済み 割り込みは、OSCIMSC.RCOSCDLFIM の設定に関係なく認定済みになります。未処理割り込みと割り込みマスクの有効化を認定する順序は、OSC 割り込みの生成においては異なります。 HW で設定します。OSCICR.RCOSCDLFC に書き込むことでクリアされます
2	RCOSCLFRIS	R	0h	RCOSCLFRIS 割り込みは、RCOSC_LF オシレータの出力が周波数を基準として認定されたことを示します。RCOSC_LF オシレータをクロック ソースとして使用する準備ができると、RCOSCLFRIS 割り込みステータスが High になります。 クロック認定が成功した後、RCOSCLFRIS 割り込みステータスは High のままになり、RCOSC_LF オシレータが無効になるまで、さらに認定はオフになります。RCOSCLFRIS 割り込みのステータスは、最初の電源オン時、またはクロック ソースとして選択解除されたときに、RCOSC_LF オシレータが無効になった後にのみ Low になります。 0:RCOSCLF は認定されていません 1: RCOSCLF は認定済み 割り込みは、OSCIMSC.RCOSCLFIM の設定に関係なく認定済みになります。未処理割り込みと割り込みマスクの有効化を認定する順序は、OSC 割り込みの生成においては異なります。 HW で設定します。OSCICR.RCOSCLFC に書き込むことでクリアされます
1	XOSCHFRIS	R	0h	XOSCHFRIS 割り込みは、XOSC_HF オシレータがクロック ソースとして使用できるよう認定されたことを示します。XOSCHFRIS は、TCXO モード (DDI_0_OSC:XOSCHFCTL.TCXO_MODE が 1 の場合) でも使用されます。 XOSCHFRIS 割り込みが high のとき、オシレータは認定され、選択するとクロック ソースとして使用されます。クロック ソースとして選択を解除した後、オシレータが無効になると、XOSCHFRIS 割り込みが Low になります。 0:XOSC_HF は認定されていません 1: XOSC_HF は認定済み 割り込みは、OSCIMSC.XOSCHFIM の設定に関係なく認定済みになります。未処理割り込みと割り込みマスクの有効化を認定する順序は、OSC 割り込みの生成においては異なります。 HW で設定します。OSCICR.XOSCHFC に書き込むことでクリアされます

Copyright © 2026 Texas Instruments Incorporated

表 7-98. OSCRIS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RCOSCHFRIS	R	0h	RCOSCHFRIS 割り込みは、RCOSCHFRIS 割り込みが High のときに、RCOSC_HF オシレータがクロック ソースとして使用されることが認定されたことを示します。この割り込みは、オシレータが認定され、選択したときにクロック ソースとして使用されます。クロック ソースとして選択解除された後、オシレータが無効になると、RCOSCHFRIS 割り込みが Low になります。 0:RCOSC_HF は未認定 1: RCOSC_HF は認定済み 割り込みは、OSCIMSC.RCOSCHFIM の設定に関係なく認定済みになります。未処理割り込みと割り込みマスクの有効化を認定する順序は、OSC 割り込みの生成においては異なります。 HW で設定します。OSCICR.RCOSCHFC に書き込むことでクリアされます

Copyright © 2026 Texas Instruments Incorporated

7.8.2.71 OSCICR レジスタ (オフセット = 298h) [リセット = 00000000h]

図 7-94 に、OSCICR を示し、表 7-99 に、その説明を示します。

概略表に戻ります。

オシレータ Raw 割り込みクリア

図 7-94. OSCICR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
HFSRCPENDC	LFSRCDONEC	XOSCDLFC	XOSCLFC	RCOSCDLFC	RCOSCLFC	XOSCHFC	RCOSCHFC
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 7-99. OSCICR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	HFSRCPENDC	W	0h	このフィールドに 1 を書き込むと、HFSRCPEND raw 割り込みステータスがクリアされます。0 を書き込んでも何もしません。
6	LFSRCDONEC	W	0h	このフィールドに 1 を書き込むと、LFSRCDONE raw 割り込みステータスがクリアされます。0 を書き込んでも何もしません。
5	XOSCDLFC	W	0h	このフィールドに 1 を書き込むと、XOSCDLF raw 割り込みステータスがクリアされます。0 を書き込んでも何もしません。
4	XOSCLFC	W	0h	このフィールドに 1 を書き込むと、XOSCLF raw 割り込みステータスがクリアされます。0 を書き込んでも何もしません。
3	RCOSCDLFC	W	0h	このフィールドに 1 を書き込むと、RCOSCDLF raw 割り込みステータスがクリアされます。0 を書き込んでも何もしません。
2	RCOSCLFC	W	0h	このフィールドに 1 を書き込むと、RCOSCLF raw 割り込みステータスがクリアされます。0 を書き込んでも何もしません。
1	XOSCHFC	W	0h	このフィールドに 1 を書き込むと、XOSCHF raw 割り込みステータスがクリアされます。0 を書き込んでも何もしません。
0	RCOSCHFC	W	0h	このフィールドに 1 を書き込むと、RCOSCHF raw 割り込みステータスがクリアされます。0 を書き込んでも何もしません。

Copyright © 2026 Texas Instruments Incorporated

7.8.3 AON_PMCTL レジスタ

表 7-100 に、AON_PMCTL レジスタのメモリ マップト レジスタを示します。表 7-100 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-100. AON_PMCTL レジスタ

オフセット	略称	レジスタ名	セクション
4h	AUXSCECLK	AUX SCE クロック管理	AUXSCECLK レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	RAMCFG	RAM の構成	RAMCFG レジスタ (オフセット = 8h) [リセット = 0001000Fh]
10h	PWRCTL	パワー マネージメント制御	PWRCTL レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	PWRSTAT	AON 電源およびリセット ステータス	PWRSTAT レジスタ (オフセット = 14h) [リセット = 03C00003h]
18h	シャットダウン	シャットダウン制御	SHUTDOWN レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	RECHARGECFG	再充電コントローラ構成	RECHARGECFG レジスタ (オフセット = 1Ch) [リセット = C0000000h]
20h	RECHARGESTAT	再充電コントローラ ステータス	RECHARGESTAT レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	OSCCFG	発振器構成	OSCCFG レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	RESETCTL	リセット管理	RESETCTL レジスタ (オフセット = 28h) [リセット = 000001C0h]
2Ch	SLEEPCTL	スリープ制御	SLEEPCTL レジスタ (オフセット = 2Ch) [リセット = 00000000h]
34h	JTAGCFG	JTAG の構成	JTAGCFG レジスタ (オフセット = 34h) [リセット = 00000100h]
3Ch	JTAGUSERCODE	JTAG USERCODE	JTAGUSERCODE レジスタ (オフセット = 3Ch) [リセット = 0B99A02Fh]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-101 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-101. AON_PMCTL アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

7.8.3.1 AUXSCECLK レジスタ (オフセット = 4h) [リセット = 00000000h]

図 7-95 に、AUXSCECLK を示します。表 7-102 に、その説明を示します。

概略表に戻ります。

AUX SCE クロック管理
このレジスタには、AUX ドメインへのクロック設定に関連するビットフィールドが含まれています。

図 7-95. AUXSCECLK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							PD_SRC
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							SRC
R-0h							R/W-0h

表 7-102. AUXSCECLK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	PD_SRC	R/W	0h	AUX がパワーダウン モードの場合、AUX ドメインのクロック ソースを選択します。 注:クロック ソースのスイッチングはグリッチフリーであることが保証されます 0h = グリッチフリー 1h = LF クロック (SCLK_LF)
7-1	予約済み	R	0h	予約済み
0	SRC	R/W	0h	AUX がアクティブ モードの場合、AUX ドメインのクロック ソースを選択します。 注:クロック ソースのスイッチングはグリッチフリーであることが保証されます 0h = HF クロックを 2 分周 (SCLK_HFDIV2) 1h = MF クロック (SCLK_MF)

Copyright © 2026 Texas Instruments Incorporated

7.8.3.2 RAMCFG レジスタ (オフセット = 8h) [リセット = 0001000Fh]

図 7-96 に、RAMCFG を示し、表 7-103 に、その説明を示します。

概略表に戻ります。

RAM 構成
このレジスタには、マイコンおよび AUX ドメインの SRAM のパワー マネージメント関連の設定が含まれています。

図 7-96. RAMCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						AUX_SRAM_PWR_OFF	AUX_SRAM_RET_EN
R-0h						R/W-0h	R/W-1h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				BUS_SRAM_RET_EN			
R-0h				R/W-Fh			

表 7-103. RAMCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	予約済み
17	AUX_SRAM_PWR_OFF	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
16	AUX_SRAM_RET_EN	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
15-4	予約済み	R	0h	予約済み
3-0	BUS_SRAM_RET_EN	R/W	Fh	マイコン SRAM は 5 つのバンクに分割されています。このレジスタは、マイコン バスドメインの電源オフ時に保持されるバンクを制御します 0h = 保持は無効 1h = SRAM:BANK0 および SRAM:BANK1 の保持 3h = SRAM:BANK0、SRAM:BANK1、SRAM:BANK2 の保持 7h = SRAM:BANK0、SRAM:BANK1、SRAM:BANK2、SRAM:BANK3 の保持 Fh = すべてのバンク SRAM:BANK0、SRAM:BANK1、SRAM:BANK2、SRAM:BANK3、SRAM:BANK4 の保持

Copyright © 2026 Texas Instruments Incorporated

7.8.3.3 PWRCTL レジスタ (オフセット = 10h) [リセット = 00000000h]

図 7-97 に、PWRCTL を示し、表 7-104 に、その説明を示します。

概略表に戻ります。

パワー マネージメント制御
このレジスタは、VDDR 電源用レギュレータの選択や、特定のセグメントを有効化/無効化できる IO リングの制御など、低レベルのパワー マネージメント機能を設定するためのビットフィールドを制御します。

図 7-97. PWRCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					DCDC_ACTIVE	EXT_REG_MODE	DCDC_EN
R-0h					R/W-0h	R-0h	R/W-0h

表 7-104. PWRCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	DCDC_ACTIVE	R/W	0h	アクティブ モードで VDDR に DC/DC レギュレータを使用するように選択します 0:アクティブ モードでの VDDR のレギュレーションには GLDO を使用します。 1:アクティブ モードでの VDDR のレギュレーションには DCDC を使用します。 アクティブ モードで DCDC が VDDR のレギュレータとして使用されるように、DCDC_EN も設定する必要があります
1	EXT_REG_MODE	R	0h	VDDR 電源のソースのステータス: 0:DCDC または GLDO が VDDR を生成します 1:DCDC および GLDO はバイパスされ、外部レギュレータが VDDR を供給します
0	DCDC_EN	R/W	0h	VDDR の再充電中に DC/DC レギュレータを使用するように選択します 0:VDDR の再充電には GLDO を使用します 1:VDDR の再充電に DCDC を使用します 注:このビットフィールドは、DCDC_ACTIVE と同じに設定する必要があります

Copyright © 2026 Texas Instruments Incorporated

7.8.3.4 PWRSTAT レジスタ (オフセット = 14h) [リセット = 03C00003h]

図 7-98 に、PWRSTAT を示します。表 7-105 に、その説明を示します。

概略表に戻ります。

AON の電源およびリセット ステータス
このレジスタは、AON の各種のパワー マネージメント関連信号を監視するために使用されます。JTAG_PD_ON、AUX_BUS_RESET_DONE、AUX_RESET_DONE 以外のすべての信号は、テスト、キャリブレーション、デバッグ専用です。

図 7-98. PWRSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					JTAG_PD_ON	AUX_BUS_RESET_DONE	AUX_RESET_DONE
R-0h					R-0h	R-1h	R-1h

表 7-105. PWRSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	JTAG_PD_ON	R	0h	JTAG 電源状態を表示: 0:JTAG は電源オフ 1:JTAG は電源オン
1	AUX_BUS_RESET_DONE	R	1h	AUX バスによるリセットが完了したことを表示: 0:AUX バスがリセットされます 1:AUX バス リセットが解除されます
0	AUX_RESET_DONE	R	1h	AUX からリセットが完了したことを表示: 0:AUX がリセットされます 1:AUX リセットが解除されます

Copyright © 2026 Texas Instruments Incorporated

7.8.3.5 SHUTDOWN レジスタ (オフセット = 18h) [リセット = 00000000h]

図 7-99 に、SHUTDOWN を示します。表 7-106 に、その説明を示します。

概略表に戻ります。

シャットダウン制御
このレジスタには、シャットダウン モードに移行するために必要なビットフィールドが含まれています

図 7-99. SHUTDOWN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EN
R-0h															R/W-0h

表 7-106. SHUTDOWN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN	R/W	0h	シャットダウン制御。 0:このビットに 0 を書き込まないでください。 1:直ちにシャットダウン モードに移行するプロセスを開始します

Copyright © 2026 Texas Instruments Incorporated

7.8.3.6 RECHARGECFG レジスタ (オフセット = 1Ch) [リセット = C0000000h]

図 7-100 に、RECHARGECFG を示します。表 7-107 に、その説明を示します。

概略表に戻ります。

再充電コントローラ構成
このレジスタは、再充電アルゴリズムを制御するためのすべての関連パラメータを設定します。

図 7-100. RECHARGECFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
モード		予約済み						C2				C1			
R/W-3h		R-0h						R/W-0h				R/W-0h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAX_PER_M					MAX_PER_E			PER_M				PER_E			
R/W-0h					R/W-0h			R/W-0h				R/W-0h			

表 7-107. RECHARGECFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	モード	R/W	3h	システムが uLDO で動作している際の VDDR の再充電アルゴリズムを選択します 0h = 再充電ディスエーブル 1h = 静的タイマ 2h = 適応型タイマ 3h = 外部再充電コンパレータ。 この再充電アルゴリズムを選択する前に、再充電コンパレータへのクロックを有効化する必要があることに注意してください [ANATOP_MMAP:ADI_3_REFSYS:CTL_RECHARGE_CMP0:COMP_CLK_DISABLE]。
29-24	予約済み	R	0h	予約済み
23-20	C2	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
19-16	C1	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15-11	MAX_PER_M	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
10-8	MAX_PER_E	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-3	PER_M	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
2-0	PER_E	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.3.7 RECHARGESTAT レジスタ (オフセット = 20h) [リセット = 00000000h]

図 7-101 に、RECHARGESTAT を示します。表 7-108 に、その説明を示します。

概略表に戻ります。

再充電コントローラ ステータス
このレジスタは、再充電中に更新される各種ステータス レジスタを制御します。このレジスタは主に、テストとデバッグを目的としています。

図 7-101. RECHARGESTAT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												VDDR_SMPLS			
R-0h												R-0h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAX_USED_PER															
R/W-0h															

表 7-108. RECHARGESTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19-16	VDDR_SMPLS	R	0h	最後の 4 つの VDDR サンプル。 各ビット: 0:再充電開始時に VDDR が VDDR_OK スレッショルドを下回っています 1:再充電開始時に VDDR が VDDR_OK スレッショルドを上回っています レジスタは各再充電期間の前に左シフトによって更新され、ビット 0 は最後の VDDR サンプルで更新されます。
15-0	MAX_USED_PER	R/W	0h	2 つの再充電サイクルを分離し、後者の再充電の開始時に VDDR が依然として VDDR_OK スレッショルドを上回っている 32kHz 周期の最大数を示します。このレジスタは、スタンバイ中のリーク電流の表示として使用できます。 このレジスタに書き込むと、このビットフィールドは 0 にクリアされます。

Copyright © 2026 Texas Instruments Incorporated

7.8.3.8 OSCCFG レジスタ (オフセット = 24h) [リセット = 00000000h]

図 7-102 に、OSCCFG を示し、表 7-109 に、その説明を示します。

概略表に戻ります。

発振器構成
このレジスタは、発振器制御システムに送信される振幅補償要求の周期を設定します。振幅補償は、XOSC_HF が低消費電力モードで動作している場合にのみ適用できます。

図 7-102. OSCCFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								PER_M					PER_E		
R-0h								R/W-0h					R/W-0h		

表 7-109. OSCCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-3	PER_M	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
2-0	PER_E	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.8.3.9 RESETCTL レジスタ (オフセット = 28h) [リセット = 000001C0h]

図 7-103 に、RESETCTL を示します。表 7-110 に、その説明を示します。

概略表に戻ります。

リセット管理
このレジスタには、リセット ソース、リセット要求、電圧低下リセットの制御など、システム リセットに関連するビットフィールドが含まれています。

図 7-103. RESETCTL レジスタ

31	30	29	28	27	26	25	24
SYSRESET	予約済み					BOOT_DET_1_CLR	BOOT_DET_0_CLR
W-0h	R-0h					W-0h	W-0h
23	22	21	20	19	18	17	16
予約済み						BOOT_DET_1_SET	BOOT_DET_0_SET
R-0h						W-0h	W-0h
15	14	13	12	11	10	9	8
WU_FROM_SD	GPIO_WU_FROM_SD	BOOT_DET_1	BOOT_DET_0	予約済み			VDDS_LOSS_EN
R-0h	R-0h	R-0h	R-0h	R-0h			R/W-1h
7	6	5	4	3	2	1	0
VDDR_LOSS_EN	VDD_LOSS_EN	CLK_LOSS_EN	MCU_WARM_RESET	RESET_SRC			予約済み
R/W-1h	R/W-1h	R/W-0h	R/W1C-0h	R-0h			R-0h

表 7-110. RESETCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	SYSRESET	W	0h	コールド リセット レジスタ。このビットフィールドに 1 を書き込むとチップ全体がリセットされ、ブート コードが再度実行されます。 0:効影響なし 1:システム リセットを生成します。RESET_SRC の SYSRESET として表示されます
30-26	予約済み	R	0h	予約済み
25	BOOT_DET_1_CLR	W	0h	内部。TI が提供する API 経由でのみ使用できます。
24	BOOT_DET_0_CLR	W	0h	内部。TI が提供する API 経由でのみ使用できます。
23-18	予約済み	R	0h	予約済み
17	BOOT_DET_1_SET	W	0h	内部。TI が提供する API 経由でのみ使用できます。
16	BOOT_DET_0_SET	W	0h	内部。TI が提供する API 経由でのみ使用できます。
15	WU_FROM_SD	R	0h	IO イベント時に SHUTDOWN からウェークアップが発生したか、デバッガが接続された結果として SHUTDOWN からウェークアップが発生しています。(TCK ピンが Low に強制される) IO をウェークアップ ソースとして構成する場合については、IOC:IOCFGn.WU_CFG を参照してください。 0:RESET_SRC に見られるコールド リセットまたは電圧低下からウェークアップが発生しています 1:SHUTDOWN からウェークアップが発生しています 注:このフラグは、SLEEPCTL.IO_PAD_SLEEP_DIS がアサートされるとクリアされます。

Copyright © 2026 Texas Instruments Incorporated

表 7-110. RESETCTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	GPIO_WU_FROM_SD	R	0h	IO イベント時に SHUTDOWN からウェークアップが発生しています IO をウェークアップ ソースとして構成する場合については、 IOC:IOCFGn.WU_CFG を参照してください。 0:IO イベント時に SHUTDOWN からウェークアップが発生していません 1:SHUTDOWN からのウェークアップは、IO イベントによって発生しています WU_FROM_SD がアサートされているにもかかわらず、このビットフィールドがアサートされていないという状態は、デバッグ セッションにおいてのみ発生します。このビットフィールドがアサートされるまで、ブート コードは SHUTDOWN 手順からのウェークアップを続行しません。 注:このフラグは、SLEEPCTL.IO_PAD_SLEEP_DIS がアサートされるとクリアされます。
13	BOOT_DET_1	R	0h	内部。TI が提供する API 経由でのみ使用できます。
12	BOOT_DET_0	R	0h	内部。TI が提供する API 経由でのみ使用できます。
11-9	予約済み	R	0h	予約済み
8	VDDS_LOSS_EN	R/W	1h	VDDS が消失した場合にリセット生成を制御します 0:VDDS_LOSS_EN_OVR=1 の場合を除き、VDDS の電圧低下検出は無視されます 1:VDDS の電圧低下検出によりシステム リセットが生成されます
7	VDDR_LOSS_EN	R/W	1h	VDDR が消失した場合にリセット生成を制御します 0:VDDR_LOSS_EN_OVR=1 の場合を除き、VDDR の電圧低下検出は無視されます 1:VDDR の電圧低下検出によりシステム リセットが発生します
6	VDD_LOSS_EN	R/W	1h	VDD が消失した場合にリセット生成を制御します 0:VDD_LOSS_EN_OVR=1 の場合を除き、VDD の電圧低下検出は無視されます 1:VDD の電圧低下検出によりシステム リセットが生成されます
5	CLK_LOSS_EN	R/W	0h	クロック損失検出が [ANATOP_MMAP:DDI_0_OSC:CTL0.CLK_LOSS_EN] で有効になっている場合、SCLK_LF、SCLK_MF、または SCLK_HF が失われた場合にリセット生成を制御します 0:クロック損失は無視されます 1:クロック損失によりシステム リセットが生成されます 注:SCLK_LF のクロック ソースを変更するときは、クロック損失リセット生成を無効化する必要があります。これを行わない場合、システムが誤ってリセットされる可能性があります。クロック損失リセットの生成は、 [ANATOP_MMAP:DDI_0_OSC:CTL0.CLK_LOSS_EN] によって制御されます
4	MCU_WARM_RESET	R/W1C	0h	内部。TI が提供する API 経由でのみ使用できます。
3-1	RESET_SRC	R	0h	前回のシステム リセットの根本原因を示します。前回のシステム リセット時に、報告されたリセット ソースよりも多くのリセット ソースがアクティブになっている可能性がありますが、報告されるのは根本原因のみです。 キャプチャ機能は、可能なすべてのリセット ソースが解放され、結果が AON_PMCTL にコピーされるまで再設定されません。コピーおよび再設定プロセス中、2MHz 周期の 1 期間においては、根本原因にかかわらず、その後に発生するシステム リセットはすべてパワーオン リセットとして報告されます。 0h = パワーオン リセット 1h = リセットピン 2h = VDDS での電圧低下検出 4h = VDDR での電圧低下検出 5h = SCLK_LF、SCLK_MF、または SCLK_HF クロック損失検出 6h = SYSRESET またはハードウェア パワー マネージメント タイムアウト検出によるソフトウェア リセット。 注: ハードウェア パワー マネージメント タイムアウト回路は常に有効です。 7h = PRCM ウォーム リセット要求によるソフトウェア リセット

Copyright © 2026 Texas Instruments Incorporated

表 7-110. RESETCTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	予約済み	R	0h	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

7.8.3.10 SLEEPCTL レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 7-104 に、SLEEPCTL を示します。表 7-111 に、その説明を示します。

概略表に戻ります。

スリープ制御
このレジスタは、SHUTDOWN からウェークアップした後、IO パッド リングのフリーズを解除するために使用されます

図 7-104. SLEEPCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							IO_PAD_SLEEP_DIS
R-0h							R/W-0h

表 7-111. SLEEPCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	IO_PAD_SLEEP_DIS	R/W	0h	I/O パッドのスリープ モードを制御します。SHUTDOWN からウェークアップする場合 (RESETCTL.WU_FROM_SD が設定されている)、ブート コードによってこのビットフィールドが自動的に設定されます。 0 : I/O パッドのスリープ モードが有効であり、すべての出力とパッド構成がラッチされます。IO_PAD_SLEEP_DIS が 1 に設定される前にパッドが入力として構成された場合、入力は透過的です 1 : I/O パッドのスリープ モードは無効 アプリケーション ソフトウェアは、SHUTDOWN からのウェークアップ時にピンのグリッチを防ぐため、このビットフィールドを設定する前に、すべての I/O の状態を再構成する必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.8.3.11 JTAGCFG レジスタ (オフセット = 34h) [リセット = 00000100h]

図 7-105 に、JTAGCFG を示します。表 7-112 に、その説明を示します。

概略表に戻ります。

JTAG 構成
このレジスタには、JTAG ドメインの構成の制御が含まれています。これには、各 TAP の権限が含まれます。

図 7-105. JTAGCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							JTAG_PD_FORCE_ON
R-0h							R/W-1h
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 7-112. JTAGCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	JTAG_PD_FORCE_ON	R/W	1h	JTAG 電源ドメインの電源状態を制御: 0:デバッグ サブシステムによってのみ制御されます。(デバッガが接続されていない限り、JTAG 電源ドメインは電源オフになります) 1:デバッグ サブシステムとは独立して、JTAG 電源ドメインは強制的にオンになります。 注:リセット値により、JTAG 電源ドメインはデフォルトで電源オンになります。JTAG 電源ドメインをオフにするには、ソフトウェアがこのビットをクリアする必要があります
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

7.8.3.12 JTAGUSERCODE レジスタ (オフセット = 3Ch) [リセット = 0B99A02Fh]

図 7-106 に、JTAGUSERCODE を示します。表 7-113 に、その説明を示します。

概略表に戻ります。

JTAG USERCODE
ブート コードは JTAG USERCODE をこのレジスタにコピーし、そこからデバッグ サブシステムへと転送します。

図 7-106. JTAGUSERCODE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USER_CODE																															
R/W-0B99A02Fh																															

表 7-113. JTAGUSERCODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_CODE	R/W	0B99A02Fh	32 ビット JTAG USERCODE レジスタにメイン JTAG TAP を供給します 注:このフィールドは、LOCKCFG.LOCK でロックできます

Copyright © 2026 Texas Instruments Incorporated

Chapter 8

汎用命令メモリ システム (VIMS)

この章では、CC13x2 および CC26x2 デバイス プラットフォームの汎用命令メモリ システム (VIMS) について説明します。

8.1 概要 656
8.2 VIMS の構成 657
8.3 VIMS ソフトウェアに関する注意事項 659
8.4 ROM 661
8.5 フラッシュ 661
8.6 ROM 機能 664
8.7 VIMS レジスタ 664

Copyright © 2026 Texas Instruments Incorporated

8.1 概要

メイン命令メモリは、汎用命令メモリ システム (VIMS) モジュールにカプセル化されています。これには、以下のメモリが含まれます。

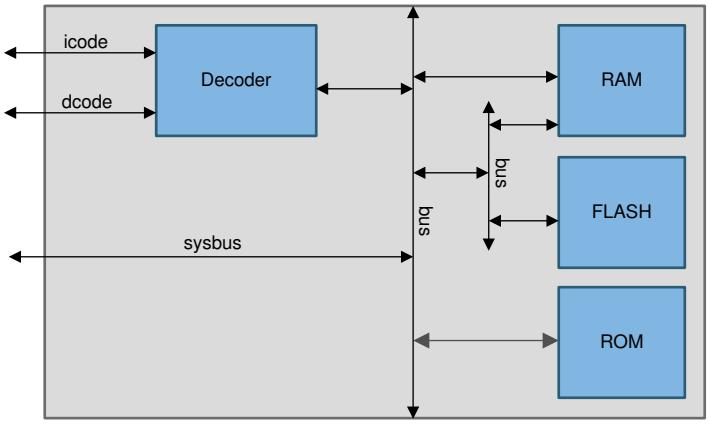
- 352kB の FLASH
- 8kB または RAM キャッシュまたは汎用 RAM (GPRAM)
- 255kB のブート ROM

図 8-1 に、VIMS モジュールの概要を示します。

VIMS モジュールは、アドレス指定されたメモリに CPU アクセス (icode/dcode) およびシステム バス アクセスを転送します。VIMS モジュールは、CPU とシステム バス間のアクセスを調停します。

VIMS モジュールは 48MHz システム クロックで動作します。

FLASH メモリは、ユーザー ソフトウェア、デバッグ インターフェイス、ROM ブートローダーからプログラムできます。RAM ブロックは、FLASH ブロックのキャッシュまたは GPRAM として使用できます。



Copyright © 2017, Texas Instruments Incorporated

図 8-1. VIMS の概要

Copyright © 2026 Texas Instruments Incorporated

8.2 VIMS の構成

8.2.1 VIMS モード

RAM ブロックは次のように動作します。

- GPRAM
- CACHE
- OFF

現在のモードは VIMS:STAT.MODE レジスタに表示され、モード切り替えは VIMS:CTL.MODE レジスタによって制御されます。図 8-2 に、モードの遷移を示します。モード変更はすべてソフトウェアによって開始されます。無効化状態は、ハードウェアによって制御される遷移状態です。無効化では RAM ブロック全体の内容が初期化され、この処理には 1029 クロック周期を要します。

モード変更が開始されると (VIMS:STATUS.MODE_CHANGING レジスタで確認可能) モード変更が完了するまで次のモード変更を開始しないようにします。VIMS:CTL.MODE レジスタは、モード変更中に更新のためブロックされます。

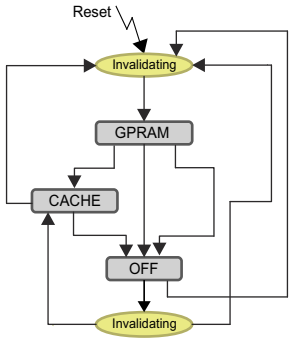


図 8-2. VIMS モードの切り替えフローチャート

8.2.1.1 GPRAM モード

GPRAM モードでは、RAM ブロックは汎用 RAM として機能します (図 8-3 を参照)。FLASH ブロックにはキャッシュ サポートがなく、FLASH へのすべてのアクセスは FLASH ブロックに直接ルーティングされます。

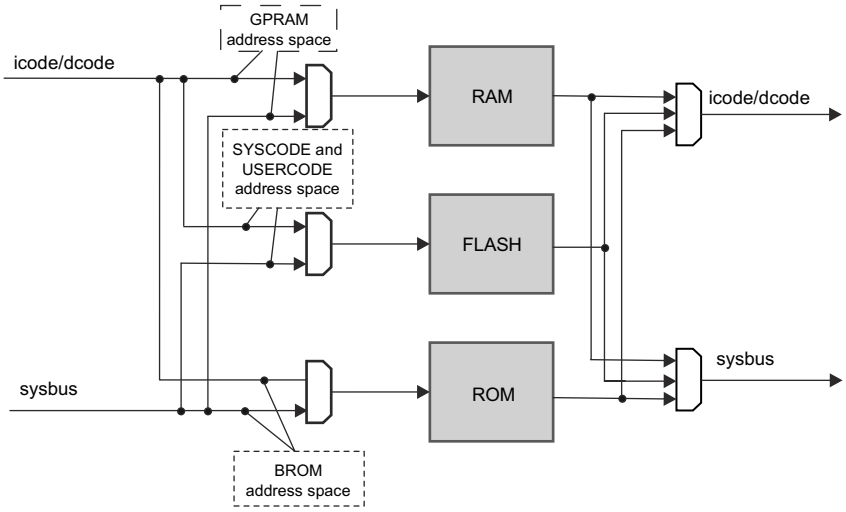


図 8-3. GPRAM モードの VIMS モジュール

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2 オフ モード

オフ モードでは、RAM ブロックは無効になり、CPU またはシステム バスからアクセスすることはできません (図 8-4 を参照)。GPRAM 領域は、オフ モードでは使用できません。

FLASH ブロックはキャッシュをサポートしておらず、FLASH へのすべてのアクセスは FLASH ブロックに直接ルーティングされます。

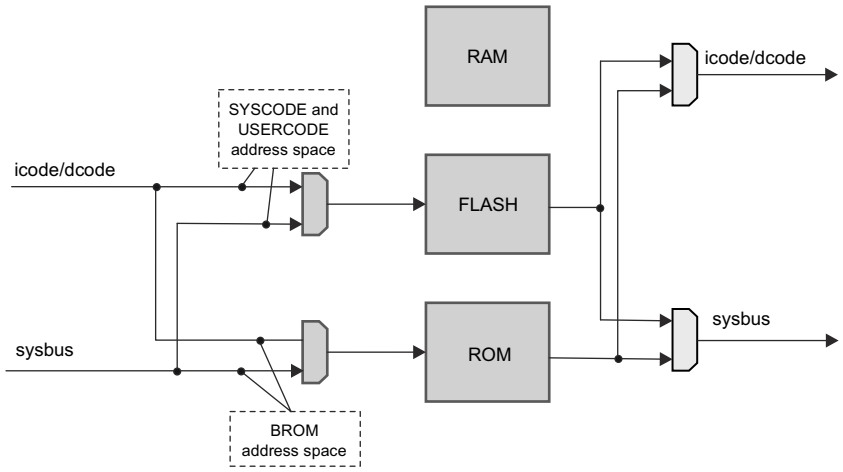


図 8-4. オフ モードの VIMS モジュール

8.2.1.3 キャッシュ モード

キャッシュ モードでは、RAM ブロックは FLASH ブロック用の 8K、4 ウェイ、ランダム置換キャッシュとして機能します (図 8-5 を参照)。キャッシュ モードでは、GPRAM 空間は使用できません。

キャッシュ サポートは、FLASH SYSCODE アドレス空間への CPU アクセスでのみ使用できます。FLASH ブロックへのシステム バス アクセス、および FLASH USERCODE アドレス空間への CPU アクセスは、FLASH ブロックに直接ルーティングされます。

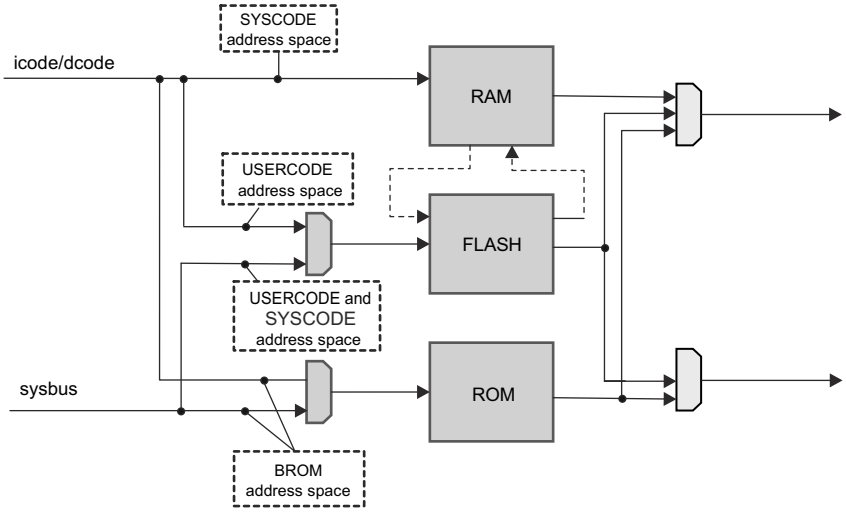


図 8-5. キャッシュ モードの VIMS モジュール

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

キャッシュ モードでは、FLASH SYSCODE アドレス空間へのすべての CPU アクセスは、最初にキャッシュへ送られます。キャッシュは、内部タグ RAM で入力アドレスを検索し、そのアクセスがキャッシュ ヒットかキャッシュ ミスかを判定します。

キャッシュ ミスの場合、そのアクセスは FLASH ブロックに転送されます。FLASH ブロックからの応答はキャッシュに戻され、その後キャッシュが更新されます。

キャッシュ ヒットの場合、データはキャッシュ RAM から直接フェッチされます。

キャッシュ RAM のワード サイズが 64 ビットであるため、キャッシュにはライン バッファも含まれています。ライン バッファの目的は、前回のアクセスで既にフェッチ済み (ただし未使用) のデータの 32 ビット部分を再フェッチしないようにすることです。データが既にライン バッファ内にある場合、ライン バッファによって TAG と CACHE の両方の検索が回避されます。

キャッシュ ライン バッファは、無効化方式の一部としてクリアされます。

8.2.2 VIMS フラッシュ ライン バッファ

VIMS モジュールには、フラッシュ ワード サイズが 128 ビットであるため、二つのフラッシュ ライン バッファが含まれています。

- VIMS:CTL.IDCODE_LB_DIS レジスタによって制御されるフラッシュ CPU バス パスにライン バッファが配置されます。
- フラッシュ システム バス パスにはライン バッファが配置されており、このライン バッファは VIMS:CTL.SYSBUS_LB_DIS レジスタによって制御されます。

バッファの目的は、前のサイクルですでにフェッチされている (使用されていない) データの 32 ビット部分をリフェッチするのを防ぐことです。ライン バッファのステータスは、VIMS:STATUS.IDCODE_LB_DIS レジスタおよび VIMS:STATUS.SYSBUS_LB_DIS レジスタで確認できます。

8.2.3 VIMS アービトレーション

VIMS は、CPU とシステム バスの間のアービトレーションを行います。アービトレーション方式は、VIMS:CTL.ARB_CFG レジスタによって、ラウンドロビン方式または固定優先方式のいずれかに設定できます。 固定優先方式のアービトレーションはデフォルトで有効になっており、CPU にシステム バスよりも高い優先順位を与えます。

システム アービターは、CPU とシステム バスのアクセス先メモリが異なる場合、両者のアクセスを同時に実行できるようにします。例えば、CPU のアクセスによってキャッシュ ヒットが発生した場合、システム バスからのアクセスは同時にフラッシュにアクセスできます。

8.2.4 VIMS キャッシュ TAG プリフェッチ

キャッシュには、次の 64 ビット アドレスの TAG データを自動的にプリフェッチする TAG プリフェッチ システムが含まれています。この機能は VIMS:CTL.PREF_EN レジスタによって制御され、VIMS モードがキャッシュ モードに設定されている場合にのみ有効になります。プリフェッチされた TAG を使用するアクセスでは、タグ検索を省略できるため、アクセス時間を一回の CLK サイクル分短縮できます。プリフェッチ ヒットとは、プリフェッチされた TAG データを使用し、かつデータがキャッシュ内に存在するアクセスのことです。

TAG のプリフェッチは、CPU がフルスピードで動作しているときのパフォーマンスの最適化を主な目的としています。CPU が最高速度で動作していない場合は、性能最適化の効果が得られないため、消費電力を最小限に抑えるために TAG プリフェッチ機能を無効にする必要があります。

8.3 VIMS ソフトウェアに関する注意事項

FLASH がプログラムまたはアップデートされている場合、または VIMS ドメインがパワーダウンに移行している場合は、ソフトウェア側から特別な注意を払う必要があります。

組み込み ROM 関数と標準 API 関数を使用する場合、以下の処理は自動的に行われます。ただし、カスタム コードでは、以下の注意事項を考慮する必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.3.1 フラッシュ プログラムまたは更新

VIMS がキャッシュ モードのときは、フラッシュをプログラムまたは更新しないでください。

フラッシュをプログラムまたはアップデートする前に、次のタスクを実行します。

- 現在のモードがキャッシュ モードの場合は、VIMS をオフ モードに設定します。
- 両方の VIMS フラッシュ ライン バッファを無効にします。

これらの操作により、フラッシュ プログラムまたは更新の後に、古いデータまたは命令をキャッシュまたはライン バッファからフェッチすることを防止できます。

フラッシュ プログラムまたは更新後、VIMS をキャッシュ モードに戻すことができます。VIMS がキャッシュ モードに戻されると、ハードウェアはキャッシュを無効にします。

8.3.2 VIMS 保持

必要に応じて、ドメインがパワーダウンを開始するときに VIMS ドメインを保持できます。保持制御には、VIMS ロジックと共に保持されるメモリ (内部 TAG RAM またはキャッシュ RAM) を指定するオプションがあります。

表 8-1 は、VIMS メモリの有効な保持の組み合わせを示しています。

表 8-1. VIMS メモリの有効な保持の組み合わせ

モード	保持できる			コメント
	TAG-RAM	CACHE-RAM	VIMS ロジック	
1	なし	なし	あり	ソフトウェアは RAM 内のデータ損失を補償する必要があります
2	なし	あり	あり	ソフトウェアの介在なしで GPRAM モードで動作します
3	あり	あり	あり	

8.3.2.1 モード 1

モード 1 は、VIMS がオフ モードまたはキャッシュ モードで動作している場合に使用することを意図しています。

VIMS がキャッシュ モードの場合は、VIMS ドメインの電源を切る前に VIMS モードをオフ モードに変更します。システムの電源が切断されると、VIMS モードをキャッシュ モードに戻すことができます。これにより、キャッシュ メモリが無効化 (初期化) されます (図 8-6 を参照)。

モード 1 はシステムが GPRAM モードの場合にも使用できますが、VIMS ドメインの電源を切ると GPRAM 内のすべてのデータが失われます。

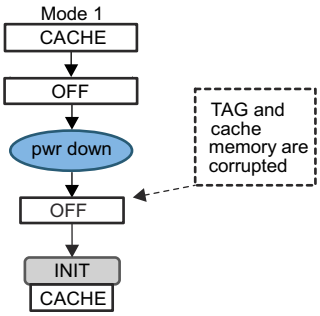


図 8-6. RAM 保持のないソフトウェアに関する注意事項

Copyright © 2026 Texas Instruments Incorporated

8.3.2.2 モード 2

モード 2 は、キャッシュが GPRAM モードで動作しているシステムを対象としています。VIMS は、GPRAM への保持力で保持されます。

注

ソフトウェアが保持後に VIMS をキャッシュ モードへ移行しようとすると、TAG メモリが破損しているためシステムは正常に動作しません。

正しい手順は、VIMS がキャッシュ モードになる前に VIMS をオフ モードにすることです。詳細については、図 8-7 を参照してください。

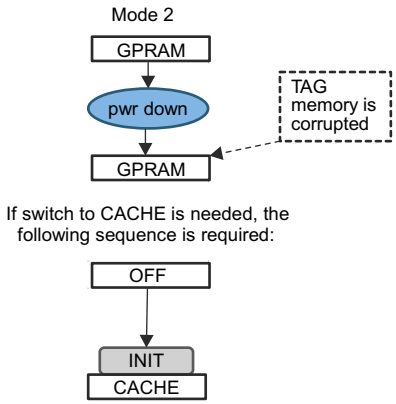


図 8-7. GPRAM 保持

8.3.2.3 モード 3

モード 3 は、VIMS がキャッシュ モードにある場合に使用することを想定しています。モード 3 では、VIMS ドメインの電源がオフのときに VIMS をキャッシュ モードにすることができます。

8.4 ROM

ROM には、SPI および UART をサポートするシリアル ブートローダ (Chapter 10 を参照)、ドライバ ライブラリ、および RF スタック サポートが含まれています。詳細については、セクション 5.6 を参照してください。

8.5 フラッシュ

フラッシュ メモリは、個別に消去できる 8kB ブロックのセットで構成されています。個別の 64 ビット ワードをプログラムして、ビットを 1 から 0 に変更できます。ブロックを消去すると、ブロックの内容全体が 1 にリセットされます。各 8kB ブロックは、対応する 8kB ブロックの組とペアになっており、それぞれを読み取り専用として設定することで個別に保護できます。読み取り専用ブロックは消去もプログラムもできず、これらのブロックの内容が変更されるのを防止します。読み取り専用ロック ビットは CCFG にあります。最後のフラッシュページを一括消去または消去すると (CCFG を使用)、読み取り専用ロックは無効になります。

一つのフラッシュ行に対して消去の間に許可される書き込み操作の数には制限があります。行は 2048 ビット (256 バイト) で構成されます。フラッシュ メモリは物理行に均等に分割されます。一つの行で消去の間に最大 83 回の書き込み操作を実行できます。再消去する前に 83 回以上の書き込み操作を実行すると、(論理 1 状態) 消去された行に書き込まれていないビットがプログラムされる (論理 0 状態への変更) ことがあります。ユーザ ソフトウェアはこの制限に注意する必要があります。この制限に違反しているかどうかを確認して通知するハードウェアはありません。

フラッシュブロックは主に 48MHz システム クロックからクロック供給されます。

Copyright © 2026 Texas Instruments Incorporated

8.5.1 フラッシュ メモリの保護

CCFG を構成することで、フラッシュ メモリは 8kB セクタで読み取り / 書き込みを保護できます。

8.5.2 メモリのプログラミング

メモリのプログラミングは、TI が提供する API を使用して行います。API 関数を呼び出す際は、これらの関数の実行中にフラッシュの読み取りが行われないようにするため、すべての割り込みを無効にしておく必要があります。

表 8-2. CC13x2 および CC26x2 のメモリ書き込み / 消去保護 (1) (2) (3)

メモリ エリア CC13x2 と CC26x2 の状態	FCFG0 (Efuse)	FCFG1 (ENGR)	CCFG	TI ロック領域	カスタマー ロック	カスタマー フリー
梱包されていないダイ	1 の書き込み (双方向なし)	未使用	未使用	なし	なし	すべて
包装されたダイ	ロック済み	未使用	未使用	なし	なし	すべて
エンジニアリング サンプル	ロック済み	未使用	未使用	なし	なし	すべて
顧客開発	ロック済み	ロック済み	未使用	固定	なし	TI のロック領域を除く
顧客配送ケース 1	ロック済み	ロック済み	書き込み可能 (消去不可)(4)	固定	ロックされた領域を追加可能(4)	削減可能(4)
顧客配送ケース 2	ロック済み	ロック済み	ロック済み(4)	固定	固定(4)	固定(4)

(1) ロック済み: 書き込み不可、消去不可。
(2) 未使用: 書き込み可能で消去可能です。
(3) 固定: このタイプの番号は固定されています。
(4) チップ消去機能は、TI によってロックされていないすべてのセクタを消去します。

8.5.3 フラッシュ メモリのプログラミング

フラッシュ メモリの書き込みまたは消去動作中は、フラッシュ メモリを読み出さないでください。フラッシュ メモリ操作中に命令実行が必要な場合、実行コードは SRAM に配置し、フラッシュ操作の実行中は SRAM から実行する必要があります。

8.5.4 パワー マネージメントの要件

このモジュールは、以下の消費電力低減機能を実装しています (図 8-8 を参照)。

- **電圧オフ:** モジュール ロジック VDD がオフになります。ポンプおよびバンクはディープ スリープ状態に維持されます。このモードを有効にするには、リセットおよびソフトウェアによる設定が必要です。
- **電源オフ:** これは電圧オフと同じ状態ですが、モジュール ロジック内のすべてのレジスタで保持が有効になっている点だけが異なります。電源オフ モードからは、ソフトウェア設定なしでモジュールがアクティブになります。
- **ディープ スタンバイ:** 内部回路の一部は電源が遮断されます。有効状態へ移行するために内部設定は必要ありませんが、電圧の立ち上がりなどに伴う遅延が発生します。
- **アイドル読み取り:** 読み取り処理が行われていないときは、Pump および Bank の高度な省電力機能を使用して消費電力を削減します。このモードでは、アクティブ読み取り状態への切り替えは、読み取りレイテンシの増加なしに行われます。
- **読み取り:** フラッシュは消費電力を低減せずにアクティブに読み取りを実行します。

Copyright © 2026 Texas Instruments Incorporated

電力モードを変更する方法:

- 電圧オフまたは電源オフのままにすることは、システムの電源管理からのみ行うことができます。電圧オフは、初期電源オンと同様です。電源オフ状態から復帰するには、保持状態の復元が必要であり、さらに内部シーケンサがバンクおよびチャージ ポンプの電源投入と設定を行う必要があります。
- ディープ スタンバイを終了すると、次のようになります。
  - PRCM
  - MMR にレジスタを書き込むこ
  - フラッシュに対する読み取りアクセスを開始する
- アイドル読み取りと読み取りの切り替えは、読み取りが終了すると自動的に行われます。スイッチングは、レジスタ設定により無効にできます。
- アイドル読み取りから他のモードへの切り替えは、ターゲット電力モードでレジスタを設定することで行います。読み取りアクセスがない時間が経過すると、モジュールは選択したモードに入るか準備します。電源オフまたは電圧オフを実現するための最後のステップは、システムの電源管理によって実行されます。

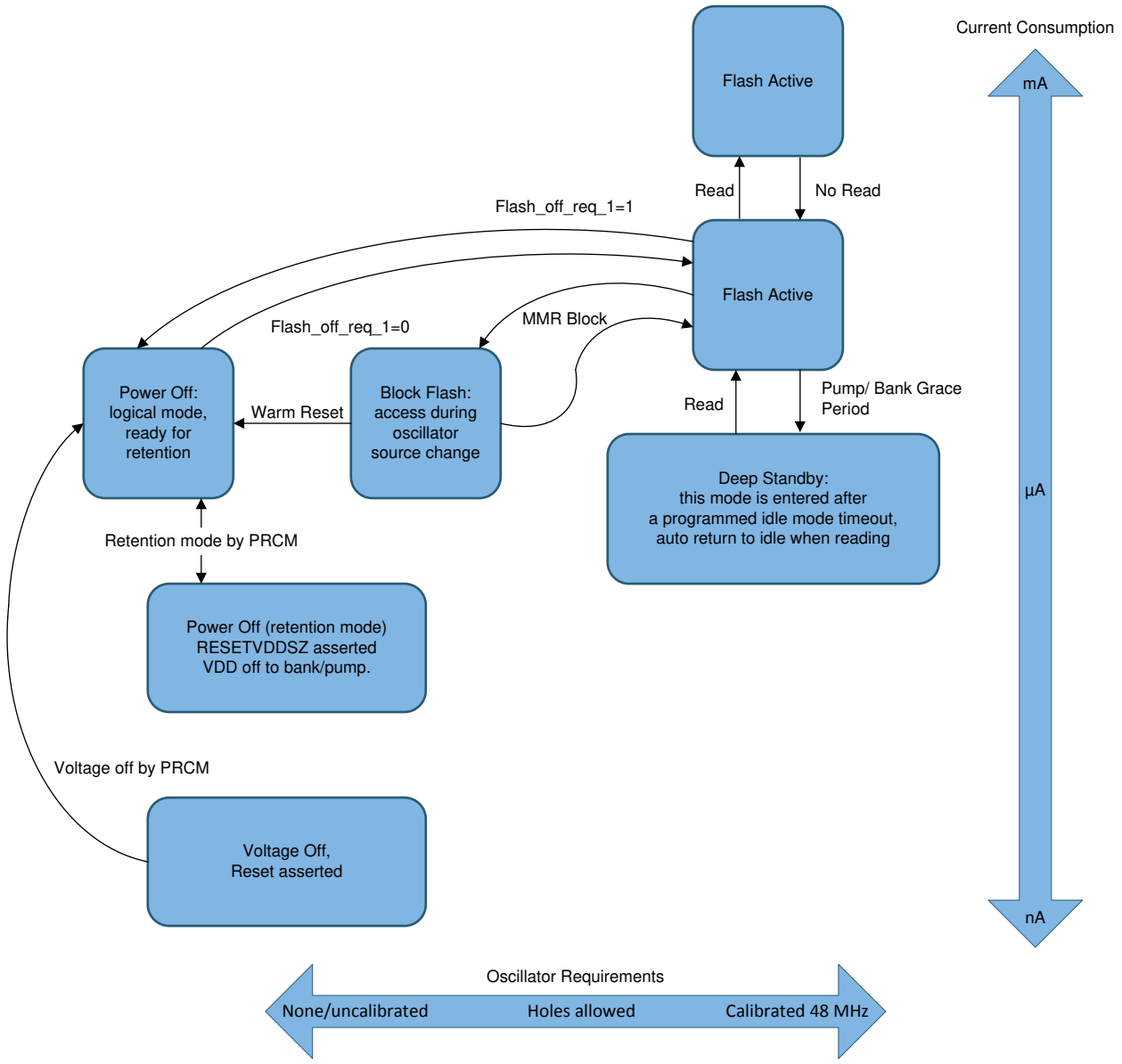


図 8-8. フラッシュの電源の状態

Copyright © 2026 Texas Instruments Incorporated

8.6 ROM 機能

メモリ内容の概要:

- eFuse
  - ブートローダ開始前に必要な重要なチップ トリム項目が主に含まれる
  - デジタル コア内の FLASH モジュールを通じてインターフェイスを確立
    - FLASH トリム
    - RAM 修復
    - アナログ トリム (バンド ギャップ、ブラウンアウト、選択されたレギュレータ、内部 48MHz RC 発振器)
    - JTAG TAP/DAP ロック
    - CRC チェック (8 ビット)
  - ここで唯一重要な項目は、デフォルトでロックされる JTAG TAP/DAP ロックです (ヒューズがブローされている場合)。
- FCFG:
  - 現在は個別の FLASH ブロック
  - すべてのトリムとデバイス構成全体
    - 消去／書き込みをサポートする FLASH トリム
    - モジュール トリム (アナログ、RF+++)
    - チップ構成 (ID、デバイス タイプ、パッケージ サイズ、ピン配置++、製造テスト データ)
    - ブートローダ構成
    - セキュリティ
      - TI FA 分析オプション
      - JTAG TAP/DAP ロック オーバーライド
      - ブートローダ有効化
- カスタマ構成 (FLASH の最終ページ):
  - ブートローダ無効化
  - JTAG DAP/TAP 無効化
  - TI FA 分析無効化
  - カスタマ構成領域の書き込みまたは消去保護
  - セキュリティに関連しないその他の構成

構成メモリ:

- RO
  - OTP、1kB 読み出しインターフェイス (FMC 経由で書き込み)
- RO
  - ENGR 1kB 読み出しインターフェイス (FMC 経由で書き込み)
- CCFG
  - FLASH セクタ 4kB 読み出しインターフェイス (FMC 経由で書き込み)
- RO
  - EFUSE、MMR インターフェイス経由でのみアクセス可能

ROM にはシリアル ブートローダ (SPI または UART) が事前にプログラムされています。フィールドでのプログラム機能が必要なアプリケーションでは、ロイヤリティ フリーのブートローダがアプリケーション ローダとして機能し、フィールドでのファームウェア更新をサポートします。有効なイメージが FLASH に書き込まれていない場合、ブートローダは自動的に実行されます。または、構成可能な GPIO バックドアを通じてブートローダを開始できます。ブートローダはアプリケーション コードから呼び出すことはできません。

8.7 VIMS レジスタ

Copyright © 2026 Texas Instruments Incorporated

8.7.1 FLASH レジスタ

表 8-3 に、FLASH レジスタのメモリマップト レジスタを示します。表 8-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-3. FLASH レジスタ

オフセット	略称	レジスタ名	セクション
1Ch	STAT	FMC と Efuse のステータス	STAT レジスタ (オフセット = 1Ch) [リセット = 00000000h]
24h	CFG	内部	CFG レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	SYSCODE_START	内部	SYSCODE_START レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	FLASH_SIZE	内部	FLASH_SIZE レジスタ (オフセット = 2Ch) [リセット = 00000000h]
3Ch	FWLOCK	内部	FWLOCK レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	FWFLAG	内部	FWFLAG レジスタ (オフセット = 40h) [リセット = 00000000h]
1000h	EFUSE	内部	EFUSE レジスタ (オフセット = 1000h) [リセット = 00000000h]
1004h	EFUSEADDR	内部	EFUSEADDR レジスタ (オフセット = 1004h) [リセット = 00000000h]
1008h	DATAUPPER	内部	DATAUPPER レジスタ (オフセット = 1008h) [リセット = 00000000h]
100Ch	DATALOWER	内部	DATALOWER レジスタ (オフセット = 100Ch) [リセット = 00000000h]
1010h	EFUSECFG	内部	EFUSECFG レジスタ (オフセット = 1010h) [リセット = 00000001h]
1014h	EFUSESTAT	内部	EFUSESTAT レジスタ (オフセット = 1014h) [リセット = 00000001h]
1018h	ACC	内部	ACC レジスタ (オフセット = 1018h) [リセット = 00000000h]
101Ch	BOUNDARY	内部	BOUNDARY レジスタ (オフセット = 101Ch) [リセット = 00000000h]
1020h	EFUSEFLAG	内部	EFUSEFLAG レジスタ (オフセット = 1020h) [リセット = 00000000h]
1024h	EFUSEKEY	内部	EFUSEKEY レジスタ (オフセット = 1024h) [リセット = 00000000h]
1028h	EFUSERELEASE	内部	EFUSERELEASE レジスタ (オフセット = 1028h) [リセット = 00000000h]
102Ch	EFUSEPINS	内部	EFUSEPINS レジスタ (オフセット = 102Ch) [リセット = 00000000h]
1030h	EFUSECRA	内部	EFUSECRA レジスタ (オフセット = 1030h) [リセット = 00000000h]
1034h	EFUSEREAD	内部	EFUSEREAD レジスタ (オフセット = 1034h) [リセット = 00000000h]
1038h	EFUSEPROGRAM	内部	EFUSEPROGRAM レジスタ (オフセット = 1038h) [リセット = 00000000h]
103Ch	EFUSEERROR	内部	EFUSEERROR レジスタ (オフセット = 103Ch) [リセット = 00000000h]
1040h	SINGLEBIT	内部	SINGLEBIT レジスタ (オフセット = 1040h) [リセット = 00000000h]

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 8-3. FLASH レジスタ (続き)

オフセット	略称	レジスタ名	セクション
1044h	TWOBIT	内部	TWOBIT レジスタ (オフセット = 1044h) [リセット = 00000000h]
1048h	SELFTESTCYC	内部	SELFTESTCYC レジスタ (オフセット = 1048h) [リセット = 00000000h]
104Ch	SELFTESTSIGN	内部	SELFTESTSIGN レジスタ (オフセット = 104Ch) [リセット = 00000000h]
2000h	FRDCTL	内部	FRDCTL レジスタ (オフセット = 2000h) [リセット = 00000200h]
2004h	FSPRD	内部	FSPRD レジスタ (オフセット = 2004h) [リセット = 00000000h]
2008h	FEDACCTL1	内部	FEDACCTL1 レジスタ (オフセット = 2008h) [リセット = 00000000h]
201Ch	FEDACSTAT	内部	FEDACSTAT レジスタ (オフセット = 201Ch) [リセット = 00000000h]
2030h	FBPROT	内部	FBPROT レジスタ (オフセット = 2030h) [リセット = 00000000h]
2034h	FBSE	内部	FBSE レジスタ (オフセット = 2034h) [リセット = 00000000h]
2038h	FBBUSY	内部	FBBUSY レジスタ (オフセット = 2038h) [リセット = 000000FEh]
203Ch	FBAC	内部	FBAC レジスタ (オフセット = 203Ch) [リセット = 0000000Fh]
2040h	FBFALLBACK	内部	FBFALLBACK レジスタ (オフセット = 2040h) [リセット = 0505FFFFh]
2044h	FBPRDY	内部	FBPRDY レジスタ (オフセット = 2044h) [リセット = 00FF00FEh]
2048h	FPAC1	内部	FPAC1 レジスタ (オフセット = 2048h) [リセット = 02082081h]
204Ch	FPAC2	内部	FPAC2 レジスタ (オフセット = 204Ch) [リセット = 00000000h]
2050h	FMAC	内部	FMAC レジスタ (オフセット = 2050h) [リセット = 00000000h]
2054h	FMSTAT	内部	FMSTAT レジスタ (オフセット = 2054h) [リセット = 00000000h]
2064h	FLOCK	内部	FLOCK レジスタ (オフセット = 2064h) [リセット = 000055AAh]
2080h	FVREADCT	内部	FVREADCT レジスタ (オフセット = 2080h) [リセット = 00000008h]
2084h	FVHVCT1	内部	FVHVCT1 レジスタ (オフセット = 2084h) [リセット = 00840088h]
2088h	FVHVCT2	内部	FVHVCT2 レジスタ (オフセット = 2088h) [リセット = 00A20000h]
208Ch	FVHVCT3	内部	FVHVCT3 レジスタ (オフセット = 208Ch) [リセット = 000F0000h]
2090h	FVNVCT	内部	FVNVCT レジスタ (オフセット = 2090h) [リセット = 00000800h]
2094h	FVSLP	内部	FVSLP レジスタ (オフセット = 2094h) [リセット = 00008000h]
2098h	FVWLCT	内部	FVWLCT レジスタ (オフセット = 2098h) [リセット = 00000008h]

Copyright © 2026 Texas Instruments Incorporated

表 8-3. FLASH レジスタ (続き)

オフセット	略称	レジスタ名	セクション
209Ch	FEFUSECTL	内部	FEFUSECTL レジスタ (オフセット = 209Ch) [リセット = 0701010Ah]
20A0h	FEFUSESTAT	内部	FEFUSESTAT レジスタ (オフセット = 20A0h) [リセット = 00000000h]
20A4h	FEFUSEDATA	内部	FEFUSEDATA レジスタ (オフセット = 20A4h) [リセット = 00000000h]
20A8h	FSEQPMP	内部	FSEQPMP レジスタ (オフセット = 20A8h) [リセット = 85080000h]
2100h	FBSTROBES	内部	FBSTROBES レジスタ (オフセット = 2100h) [リセット = 00000104h]
2104h	FPSTROBES	内部	FPSTROBES レジスタ (オフセット = 2104h) [リセット = 00000103h]
2108h	FBMODE	内部	FBMODE レジスタ (オフセット = 2108h) [リセット = 00000000h]
210Ch	FTCR	内部	FTCR レジスタ (オフセット = 210Ch) [リセット = 00000000h]
2110h	FADDR	内部	FADDR レジスタ (オフセット = 2110h) [リセット = 00000000h]
211Ch	FTCTL	内部	FTCTL レジスタ (オフセット = 211Ch) [リセット = 00000000h]
2120h	FWPWRITE0	内部	FWPWRITE0 レジスタ (オフセット = 2120h) [リセット = FFFFFFFFh]
2124h	FWPWRITE1	内部	FWPWRITE1 レジスタ (オフセット = 2124h) [リセット = FFFFFFFFh]
2128h	FWPWRITE2	内部	FWPWRITE2 レジスタ (オフセット = 2128h) [リセット = FFFFFFFFh]
212Ch	FWPWRITE3	内部	FWPWRITE3 レジスタ (オフセット = 212Ch) [リセット = FFFFFFFFh]
2130h	FWPWRITE4	内部	FWPWRITE4 レジスタ (オフセット = 2130h) [リセット = FFFFFFFFh]
2134h	FWPWRITE5	内部	FWPWRITE5 レジスタ (オフセット = 2134h) [リセット = FFFFFFFFh]
2138h	FWPWRITE6	内部	FWPWRITE6 レジスタ (オフセット = 2138h) [リセット = FFFFFFFFh]
213Ch	FWPWRITE7	内部	FWPWRITE7 レジスタ (オフセット = 213Ch) [リセット = FFFFFFFFh]
2140h	FWPWRITE_ECC	内部	FWPWRITE_ECC レジスタ (オフセット = 2140h) [リセット = FFFFFFFFh]
2144h	FSWSTAT	内部	FSWSTAT レジスタ (オフセット = 2144h) [リセット = 00000001h]
2200h	FSM_GLBCTL	内部	FSM_GLBCTL レジスタ (オフセット = 2200h) [リセット = 00000001h]
2204h	FSM_STATE	内部	FSM_STATE レジスタ (オフセット = 2204h) [リセット = 00000C00h]
2208h	FSM_STAT	内部	FSM_STAT レジスタ (オフセット = 2208h) [リセット = 00000004h]
220Ch	FSM_CMD	内部	FSM_CMD レジスタ (オフセット = 220Ch) [リセット = 00000000h]
2210h	FSM_PE_OSU	内部	FSM_PE_OSU レジスタ (オフセット = 2210h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 8-3. FLASH レジスタ (続き)

オフセット	略称	レジスタ名	セクション
2214h	FSM_VSTAT	内部	FSM_VSTAT レジスタ (オフセット = 2214h) [リセット = 00003000h]
2218h	FSM_PE_VSU	内部	FSM_PE_VSU レジスタ (オフセット = 2218h) [リセット = 00000000h]
221Ch	FSM_CMP_VSU	内部	FSM_CMP_VSU レジスタ (オフセット = 221Ch) [リセット = 00000000h]
2220h	FSM_EX_VAL	内部	FSM_EX_VAL レジスタ (オフセット = 2220h) [リセット = 00000301h]
2224h	FSM_RD_H	内部	FSM_RD_H レジスタ (オフセット = 2224h) [リセット = 0000005Ah]
2228h	FSM_P_OH	内部	FSM_P_OH レジスタ (オフセット = 2228h) [リセット = 00000100h]
222Ch	FSM_ERA_OH	内部	FSM_ERA_OH レジスタ (オフセット = 222Ch) [リセット = 00000001h]
2230h	FSM_SAV_PPUL	内部	FSM_SAV_PPUL レジスタ (オフセット = 2230h) [リセット = 00000000h]
2234h	FSM_PE_VH	内部	FSM_PE_VH レジスタ (オフセット = 2234h) [リセット = 00000100h]
2240h	FSM_PRG_PW	内部	FSM_PRG_PW レジスタ (オフセット = 2240h) [リセット = 00000000h]
2244h	FSM_ERA_PW	内部	FSM_ERA_PW レジスタ (オフセット = 2244h) [リセット = 00000000h]
2254h	FSM_SAV_ERA_PUL	内部	FSM_SAV_ERA_PUL レジスタ (オフセット = 2254h) [リセット = 00000000h]
2258h	FSM_TIMER	内部	FSM_TIMER レジスタ (オフセット = 2258h) [リセット = 00000000h]
225Ch	FSM_MODE	内部	FSM_MODE レジスタ (オフセット = 225Ch) [リセット = 00000000h]
2260h	FSM_PGM	内部	FSM_PGM レジスタ (オフセット = 2260h) [リセット = 00000000h]
2264h	FSM_ERA	内部	FSM_ERA レジスタ (オフセット = 2264h) [リセット = 00000000h]
2268h	FSM_PRG_PUL	内部	FSM_PRG_PUL レジスタ (オフセット = 2268h) [リセット = 00040032h]
226Ch	FSM_ERA_PUL	内部	FSM_ERA_PUL レジスタ (オフセット = 226Ch) [リセット = 00040BB8h]
2270h	FSM_STEP_SIZE	内部	FSM_STEP_SIZE レジスタ (オフセット = 2270h) [リセット = 00000000h]
2274h	FSM_PUL_CNTR	内部	FSM_PUL_CNTR レジスタ (オフセット = 2274h) [リセット = 00000000h]
2278h	FSM_EC_STEP_HEIGHT	内部	FSM_EC_STEP_HEIGHT レジスタ (オフセット = 2278h) [リセット = 00000000h]
227Ch	FSM_ST_MACHINE	内部	FSM_ST_MACHINE レジスタ (オフセット = 227Ch) [リセット = 00800500h]
2280h	FSM_FLES	内部	FSM_FLES レジスタ (オフセット = 2280h) [リセット = 00000000h]
2288h	FSM_WR_ENA	内部	FSM_WR_ENA レジスタ (オフセット = 2288h) [リセット = 00000002h]
228Ch	FSM_ACC_PP	内部	FSM_ACC_PP レジスタ (オフセット = 228Ch) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 8-3. FLASH レジスタ (続き)

オフセット	略称	レジスタ名	セクション
2290h	FSM_ACC_EP	内部	FSM_ACC_EP レジスタ (オフセット = 2290h) [リセット = 00000000h]
22A0h	FSM_ADDR	内部	FSM_ADDR レジスタ (オフセット = 22A0h) [リセット = 00000000h]
22A4h	FSM_SECTOR	内部	FSM_SECTOR レジスタ (オフセット = 22A4h) [リセット = FFFF0000h]
22A8h	FMC_REV_ID	内部	FMC_REV_ID レジスタ (オフセット = 22A8h) [リセット = 00000000h]
22ACh	FSM_ERR_ADDR	内部	FSM_ERR_ADDR レジスタ (オフセット = 22ACh) [リセット = 00000000h]
22B0h	FSM_PGM_MAXPUL	内部	FSM_PGM_MAXPUL レジスタ (オフセット = 22B0h) [リセット = 00000000h]
22B4h	FSM_EXECUTE	内部	FSM_EXECUTE レジスタ (オフセット = 22B4h) [リセット = 000A000Ah]
22C0h	FSM_SECTOR1	内部	FSM_SECTOR1 レジスタ (オフセット = 22C0h) [リセット = FFFFFFFFh]
22C4h	FSM_SECTOR2	内部	FSM_SECTOR2 レジスタ (オフセット = 22C4h) [リセット = 00000FFFh]
22E0h	FSM_BSLE0	内部	FSM_BSLE0 レジスタ (オフセット = 22E0h) [リセット = 00000000h]
22E4h	FSM_BSLE1	内部	FSM_BSLE1 レジスタ (オフセット = 22E4h) [リセット = 00000000h]
22F0h	FSM_BSLP0	内部	FSM_BSLP0 レジスタ (オフセット = 22F0h) [リセット = 00000000h]
22F4h	FSM_BSLP1	内部	FSM_BSLP1 レジスタ (オフセット = 22F4h) [リセット = 00000000h]
22F8h	FSM_PGM128	FMC FSM イネーブル 128 ビット幅プログラミング	FSM_PGM128 レジスタ (オフセット = 22F8h) [リセット = 00000000h]
2400h	FCFG_BANK	内部	FCFG_BANK レジスタ (オフセット = 2400h) [リセット = 00000801h]
2404h	FCFG_WRAPPER	内部	FCFG_WRAPPER レジスタ (オフセット = 2404h) [リセット = 50009007h]
2408h	FCFG_BNK_TYPE	内部	FCFG_BNK_TYPE レジスタ (オフセット = 2408h) [リセット = 00000004h]
2410h	FCFG_B0_START	内部	FCFG_B0_START レジスタ (オフセット = 2410h) [リセット = 02000000h]
2414h	FCFG_B1_START	内部	FCFG_B1_START レジスタ (オフセット = 2414h) [リセット = 00000000h]
2418h	FCFG_B2_START	内部	FCFG_B2_START レジスタ (オフセット = 2418h) [リセット = 00000000h]
241Ch	FCFG_B3_START	内部	FCFG_B3_START レジスタ (オフセット = 241Ch) [リセット = 00000000h]
2420h	FCFG_B4_START	内部	FCFG_B4_START レジスタ (オフセット = 2420h) [リセット = 00000000h]
2424h	FCFG_B5_START	内部	FCFG_B5_START レジスタ (オフセット = 2424h) [リセット = 00000000h]
2428h	FCFG_B6_START	内部	FCFG_B6_START レジスタ (オフセット = 2428h) [リセット = 00000000h]
242Ch	FCFG_B7_START	内部	FCFG_B7_START レジスタ (オフセット = 242Ch) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 8-3. FLASH レジスタ (続き)

オフセット	略称	レジスタ名	セクション
2430h	FCFG_B0_SSIZE0	内部	FCFG_B0_SSIZE0 レジスタ (オフセット = 2430h) [リセット = 002C0008h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-4. FLASH のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

8.7.1.1 STAT レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 8-9 に、STAT を示し、表 8-5 に、その説明を示します。

概略表に戻ります。

FMC と Efuse のステータス

図 8-9. STAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
EFUSE_BLANK	EFUSE_TIMEOUT	SPRS_BYTE_NOT_OK	EFUSE_ERRCODE				
R-0h	R-0h	R-0h	R-0h				
7	6	5	4	3	2	1	0
予約済み					SAMHOLD_DIS	BUSY	POWER_MODE
R-0h					R-0h	R-0h	R-0h

表 8-5. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	EFUSE_BLANK	R	0h	ヒューズ ROM が空白の場合、eFuse スキャンが検出されました。 0:空白なし 1:空白
14	EFUSE_TIMEOUT	R	0h	Efuse スキャンの結果、タイムアウト エラーが発生しました。 0:タイムアウト エラーなし 1:タイムアウト エラー
13	SPRS_BYTE_NOT_OK	R	0h	eFuse スキャンでスキャン チェーンのスパース バイト エラーが発生しました。 0:スパース エラーなし 1:スパース エラー
12-8	EFUSE_ERRCODE	R	0h	EFUSEERROR.CODE と同じ
7-3	予約済み	R	0h	予約済み
2	SAMHOLD_DIS	R	0h	フラッシュ サンプル / ホールド シーケンス ロジックのステータス インジケータ。CFG.DIS_IDLE が 1 に設定されてから、このビットは 1 に多少の遅延が生じます。 0:ディスエーブルなし 1:サンプル / ホールドはディスエーブルで安定
1	BUSY	R	0h	FMC FMSTAT.BUSY ビットの高速バージョン。 このフラグは、動作設定の直後に有効になります (FMSTAT.BUSY は一部サイクルで遅延されます) 0:ビジーではない 1:ビジー
0	POWER_MODE	R	0h	フラッシュ サブシステムの電源状態。 0:アクティブ 1:低消費電力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.2 CFG レジスタ (オフセット = 24h) [リセット = 00000000h]

図 8-10 に、CFG を示し、表 8-6 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-10. CFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							STANDBY_MODE_SEL
R-0h							R/W-0h
7	6	5	4	3	2	1	0
STANDBY_PW_SEL		DIS_EFUSECLK	DIS_READACCESS	ENABLE_SWINTF	予約済み	DIS_STANDBY	DIS_IDLE
R/W-0h		R/W-0h	R/W-0h	R/W-0h	R-0h	R/W-0h	R/W-0h

表 8-6. CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	STANDBY_MODE_SEL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-6	STANDBY_PW_SEL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
5	DIS_EFUSECLK	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
4	DIS_READACCESS	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
3	ENABLE_SWINTF	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
2	予約済み	R	0h	予約済み
1	DIS_STANDBY	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
0	DIS_IDLE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.3 SYSCODE_START レジスタ (オフセット = 28h) [リセット = 00000000h]

SYSCODE_START は 図 8-11 に示されており、表 8-7 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-11. SYSCODE_START レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										SYSCODE_START					
R-0h										R/W-0h					

表 8-7. SYSCODE_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	SYSCODE_START	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.4 FLASH_SIZE レジスタ (オフセット = 2Ch) [リセット = 00000000h]

FLASH_SIZE は 図 8-12 に示されており、表 8-8 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-12. FLASH_SIZE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								SECTORS							
R-0h																								R/W-0h							

表 8-8. FLASH_SIZE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	SECTORS	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.5 FWLOCK レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 8-13 に、FWLOCK を示し、表 8-9 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-13. FWLOCK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													FWLOCK		
R-0h													R/W-0h		

表 8-9. FWLOCK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	FWLOCK	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.6 FWFLAG レジスタ (オフセット = 40h) [リセット = 00000000h]

図 8-14 に、FWFLAG を示し、表 8-10 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-14. FWFLAG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													FWFLAG		
R-0h													R/W-0h		

表 8-10. FWFLAG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	FWFLAG	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.7 EFUSE レジスタ (オフセット = 1000h) [リセット = 00000000h]

図 8-15 に、EFUSE を示し、表 8-11 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-15. EFUSE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み			手順					予約済み							
R-0h			R/W-0h					R-0h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DUMPWORD															
R/W-0h															

表 8-11. EFUSE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	予約済み
28-24	手順	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
23-16	予約済み	R	0h	予約済み
15-0	DUMPWORD	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.8 EFUSEADDR レジスタ (オフセット = 1004h) [リセット = 00000000h]

EFUSEADDR は 図 8-16 に示されており、表 8-12 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-16. EFUSEADDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																ブロック					行										
R-0h																R/W-0h					R/W-0h									

表 8-12. EFUSEADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-11	ブロック	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
10-0	行	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.9 DATAUPPER レジスタ (オフセット = 1008h) [リセット = 00000000h]

DATAUPPER は 図 8-17 に示されており、表 8-13 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-17. DATAUPPER レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								SPARE					P	R	EEN
R-0h								R/W-0h					R/W-0h	R/W-0h	R/W-0h

表 8-13. DATAUPPER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-3	SPARE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
2	P	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
1	R	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
0	EEN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.10 DATALOWER レジスタ (オフセット = 100Ch) [リセット = 00000000h]

DATALOWER は 図 8-18 に示されており、表 8-14 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-18. DATALOWER レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-0h																															

表 8-14. DATALOWER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.11 EFUSECFG レジスタ (オフセット = 1010h) [リセット = 00000001h]

EFUSECFG は 図 8-19 に示されており、表 8-15 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-19. EFUSECFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							IDLEGATING
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み			SLAVEPOWER		予約済み		GATING
R-0h			R/W-0h		R-0h		R/W-1h

表 8-15. EFUSECFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	IDLEGATING	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-5	予約済み	R	0h	予約済み
4-3	SLAVEPOWER	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
2-1	予約済み	R	0h	予約済み
0	GATING	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.12 EFUSESTAT レジスタ (オフセット = 1014h) [リセット = 00000001h]

EFUSESTAT は 図 8-20 に示されており、表 8-16 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-20. EFUSESTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							RESETDONE
R-0h							R-1h

表 8-16. EFUSESTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	RESETDONE	R	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.13 ACC レジスタ (オフセット = 1018h) [リセット = 00000000h]

図 8-21 に、ACC を示し、表 8-17 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-21. ACC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								ACCUMULATOR																							
R-0h								R-0h																							

表 8-17. ACC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-0	ACCUMULATOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.14 BOUNDARY レジスタ (オフセット = 101Ch) [リセット = 00000000h]

BOUNDARY は 図 8-22 に示されており、表 8-18 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-22. BOUNDARY レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
DISROW0	SPARE	EFC_SELF_TEST_ERROR	EFC_INSTRUCTION_INFO	EFC_INSTRUCTION_ERROR	EFC_AUTOLOAD_ERROR	OUTPUTENABLE	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
OUTPUTENABLE		SYS_ECC_SELF_TEST_EN	SYS_ECC_OVERRIDE_EN	EFC_FDI	SYS_DIEID_AUTOLOAD_EN	SYS_REPAIR_EN	
R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	
7	6	5	4	3	2	1	0
SYS_WS_READ_STATES				INPUTENABLE			
R/W-0h				R/W-0h			

表 8-18. BOUNDARY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23	DISROW0	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
22	SPARE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
21	EFC_SELF_TEST_ERROR	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
20	EFC_INSTRUCTION_INFO	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
19	EFC_INSTRUCTION_ERROR	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
18	EFC_AUTOLOAD_ERROR	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
17-14	OUTPUTENABLE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
13	SYS_ECC_SELF_TEST_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
12	SYS_ECC_OVERRIDE_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
11	EFC_FDI	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
10	SYS_DIEID_AUTOLOAD_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
9-8	SYS_REPAIR_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-4	SYS_WS_READ_STATES	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
3-0	INPUTENABLE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.15 EFUSEFLAG レジスタ (オフセット = 1020h) [リセット = 00000000h]

EFUSEFLAG は 図 8-23 に示されており、表 8-19 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-23. EFUSEFLAG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															KEY
R-0h															R-0h

表 8-19. EFUSEFLAG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	KEY	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.16 EFUSEKEY レジスタ (オフセット = 1024h) [リセット = 00000000h]

EFUSEKEY は 図 8-24 に示されており、表 8-20 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-24. EFUSEKEY レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
コード																															
R/W-0h																															

表 8-20. EFUSEKEY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	コード	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.17 EFUSERELEASE レジスタ (オフセット = 1028h) [リセット = 00000000h]

EFUSERELEASE は 図 8-25 に示されており、表 8-21 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-25. EFUSERELEASE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ODPYEAR							ODPMONTH				ODPDAY				
R-X							R-X				R-X				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EFUSEYEAR							EFUSEMONTH				EFUSEDAY				
R-X							R-X				R-X				

表 8-21. EFUSERELEASE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	ODPYEAR	R	X	内部。TI が提供する API 経由でのみ使用できます。
24-21	ODPMONTH	R	X	内部。TI が提供する API 経由でのみ使用できます。
20-16	ODPDAY	R	X	内部。TI が提供する API 経由でのみ使用できます。
15-9	EFUSEYEAR	R	X	内部。TI が提供する API 経由でのみ使用できます。
8-5	EFUSEMONTH	R	X	内部。TI が提供する API 経由でのみ使用できます。
4-0	EFUSEDAY	R	X	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.18 EFUSEPINS レジスタ (オフセット = 102Ch) [リセット = 00000000h]

EFUSEPINS は 図 8-26 に示されており、表 8-22 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-26. EFUSEPINS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
EFC_SELF_TEST_DONE	EFC_SELF_TEST_ERROR	SYS_ECC_SELF_TEST_EN	EFC_INSTRUCTION_INFO	EFC_INSTRUCTION_ERROR	EFC_AUTOLOAD_ERROR	SYS_ECC_OVERRIDE_EN	EFC_READY
R-X	R-X	R-X	R-X	R-X	R-X	R-X	R-X
7	6	5	4	3	2	1	0
EFC_FCLRZ	SYS_DIEID_AUTOLOAD_EN	SYS_REPAIR_EN		SYS_WS_READ_STATES			
R-X	R-X	R-X		R-X			

表 8-22. EFUSEPINS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15	EFC_SELF_TEST_DONE	R	X	内部。TI が提供する API 経由でのみ使用できます。
14	EFC_SELF_TEST_ERROR	R	X	内部。TI が提供する API 経由でのみ使用できます。
13	SYS_ECC_SELF_TEST_EN	R	X	内部。TI が提供する API 経由でのみ使用できます。
12	EFC_INSTRUCTION_INFO	R	X	内部。TI が提供する API 経由でのみ使用できます。
11	EFC_INSTRUCTION_ERROR	R	X	内部。TI が提供する API 経由でのみ使用できます。
10	EFC_AUTOLOAD_ERROR	R	X	内部。TI が提供する API 経由でのみ使用できます。
9	SYS_ECC_OVERRIDE_EN	R	X	内部。TI が提供する API 経由でのみ使用できます。
8	EFC_READY	R	X	内部。TI が提供する API 経由でのみ使用できます。
7	EFC_FCLRZ	R	X	内部。TI が提供する API 経由でのみ使用できます。
6	SYS_DIEID_AUTOLOAD_EN	R	X	内部。TI が提供する API 経由でのみ使用できます。
5-4	SYS_REPAIR_EN	R	X	内部。TI が提供する API 経由でのみ使用できます。
3-0	SYS_WS_READ_STATES	R	X	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.19 EFUSECRA レジスタ (オフセット = 1030h) [リセット = 00000000h]

EFUSECRA は 図 8-27 に示されており、表 8-23 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-27. EFUSECRA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										データ					
R-0h																										R/W-0h					

表 8-23. EFUSECRA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	データ	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.20 EFUSEREAD レジスタ (オフセット = 1034h) [リセット = 00000000h]

EFUSEREAD は 図 8-28 に示されており、表 8-24 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-28. EFUSEREAD レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						DATABIT	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
READCLOCK				DEBUG	SPARE	MARGIN	
R/W-0h				R/W-0h	R/W-0h	R/W-0h	

表 8-24. EFUSEREAD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	予約済み
9-8	DATABIT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-4	READCLOCK	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
3	DEBUG	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
2	SPARE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
1-0	MARGIN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.21 EFUSEPROGRAM レジスタ (オフセット = 1038h) [リセット = 00000000h]

EFUSEPROGRAM は 図 8-29 に示されており、表 8-25 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-29. EFUSEPROGRAM レジスタ

31	30	29	28	27	26	25	24
予約済み	COMPAREDISABLE	CLOCKSTALL					
R-0h	R/W-0h	R/W-0h					
23	22	21	20	19	18	17	16
CLOCKSTALL							
R/W-0h							
15	14	13	12	11	10	9	8
CLOCKSTALL		VPPTOVDD	ITERATIONS				WRITECLOCK
R/W-0h		R/W-0h	R/W-0h				R/W-0h
7	6	5	4	3	2	1	0
WRITECLOCK							
R/W-0h							

表 8-25. EFUSEPROGRAM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	COMPAREDISABLE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
29-14	CLOCKSTALL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
13	VPPTOVDD	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
12-9	ITERATIONS	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
8-0	WRITECLOCK	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.22 EFUSEERROR レジスタ (オフセット = 103Ch) [リセット = 00000000h]

EFUSEERROR は 図 8-30 に示されており、表 8-26 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-30. EFUSEERROR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		終了	コード				
R-0h		R/W-0h	R/W-0h				

表 8-26. EFUSEERROR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	終了	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
4-0	コード	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.23 SINGLEBIT レジスタ (オフセット = 1040h) [リセット = 00000000h]

SINGLEBIT は 図 8-31 に示されており、表 8-27 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-31. SINGLEBIT レジスタ

31	30	29	28	27	26	25	24
FROMN							
R-0h							
23	22	21	20	19	18	17	16
FROMN							
R-0h							
15	14	13	12	11	10	9	8
FROMN							
R-0h							
7	6	5	4	3	2	1	0
FROMN							FROM0
R-0h							R-0h

表 8-27. SINGLEBIT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	FROMN	R	0h	内部。TI が提供する API 経由でのみ使用できます。
0	FROM0	R	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.24 TWOBIT レジスタ (オフセット = 1044h) [リセット = 00000000h]

図 8-32 に、TWOBIT を示し、表 8-28 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-32. TWOBIT レジスタ

31	30	29	28	27	26	25	24
FROMN							
R-0h							
23	22	21	20	19	18	17	16
FROMN							
R-0h							
15	14	13	12	11	10	9	8
FROMN							
R-0h							
7	6	5	4	3	2	1	0
FROMN							FROM0
R-0h							R-0h

表 8-28. TWOBIT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	FROMN	R	0h	内部。TI が提供する API 経由でのみ使用できます。
0	FROM0	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.25 SELFTESTCYC レジスタ (オフセット = 1048h) [リセット = 00000000h]

SELFTESTCYC は 図 8-33 に示されており、表 8-29 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-33. SELFTESTCYC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
サイクル																															
R/W-0h																															

表 8-29. SELFTESTCYC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	サイクル	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.26 SELFTESTSIGN レジスタ (オフセット = 104Ch) [リセット = 00000000h]

SELFTESTSIGN は 図 8-34 に示されており、表 8-30 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-34. SELFTESTSIGN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIGNATURE																															
R/W-0h																															

表 8-30. SELFTESTSIGN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SIGNATURE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.27 FRDCTL レジスタ (オフセット = 2000h) [リセット = 00000200h]

図 8-35 に、FRDCTL を示し、表 8-31 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-35. FRDCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				RWAIT				予約済み							
R-0h				R/W-2h				R-0h							

表 8-31. FRDCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11-8	RWAIT	R/W	2h	内部。TI が提供する API 経由でのみ使用できます。
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.28 FSPRD レジスタ (オフセット = 2004h) [リセット = 00000000h]

図 8-36 に、FSPRD を示し、表 8-32 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-36. FSPRD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RMBSEM								予約済み						RM1	RM0
R/W-0h								R-0h						R/W-0h	R/W-0h

表 8-32. FSPRD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	RMBSEM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-2	予約済み	R	0h	予約済み
1	RM1	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
0	RM0	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.29 FEDACCTL1 レジスタ (オフセット = 2008h) [リセット = 00000000h]

図 8-37 に、FEDACCTL1 を示し、表 8-33 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-37. FEDACCTL1 レジスタ

31	30	29	28	27	26	25	24
予約済み							SUSP_IGNR
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 8-33. FEDACCTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	SUSP_IGNR	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.30 FEDACSTAT レジスタ (オフセット = 201Ch) [リセット = 00000000h]

FEDACSTAT は 図 8-38 に示されており、表 8-34 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-38. FEDACSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み						RVF_INT	FSM_DONE
R-0h						R/W1C-0h	R/W1C-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 8-34. FEDACSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	RVF_INT	R/W1C	0h	内部。TI が提供する API 経由でのみ使用できます。
24	FSM_DONE	R/W1C	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.31 FBPROT レジスタ (オフセット = 2030h) [リセット = 00000000h]

図 8-39 に、FBPROT を示し、表 8-35 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-39. FBPROT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							PROTL1DIS
R-0h							R/W-0h

表 8-35. FBPROT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	PROTL1DIS	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.32 FBSE レジスタ (オフセット = 2034h) [リセット = 00000000h]

図 8-40 に、FBSE を示し、表 8-36 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-40. FBSE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																BSE															
R-0h																R/W-0h															

表 8-36. FBSE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	BSE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.33 FBBUSY レジスタ (オフセット = 2038h) [リセット = 000000FEh]

図 8-41 に、FBBUSY を示し、表 8-37 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-41. FBBUSY レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								BUSY							
R-0h																								R-FEh							

表 8-37. FBBUSY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	BUSY	R	FEh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.34 FBAC レジスタ (オフセット = 203Ch) [リセット = 0000000Fh]

図 8-42 に、FBAC を示し、表 8-38 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-42. FBAC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							OTPPROTDIS
R-0h							R/W-0h
15	14	13	12	11	10	9	8
BAGP							
R/W-0h							
7	6	5	4	3	2	1	0
VREADS							
R/W-Fh							

表 8-38. FBAC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16	OTPPROTDIS	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15-8	BAGP	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	VREADS	R/W	Fh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.35 FBFALLBACK レジスタ (オフセット = 2040h) [リセット = 0505FFFFh]

FBFALLBACK は 図 8-43 に示されており、表 8-39 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-43. FBFALLBACK レジスタ

31	30	29	28	27	26	25	24
予約済み				FSM_PWRSAV			
R-0h				R/W-5h			
23	22	21	20	19	18	17	16
予約済み				REG_PWRSAV			
R-0h				R/W-5h			
15	14	13	12	11	10	9	8
BANKPWR7		BANKPWR6		BANKPWR5		BANKPWR4	
R/W-3h		R/W-3h		R/W-3h		R/W-3h	
7	6	5	4	3	2	1	0
BANKPWR3		BANKPWR2		BANKPWR1		BANKPWR0	
R/W-3h		R/W-3h		R/W-3h		R/W-3h	

表 8-39. FBFALLBACK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	FSM_PWRSAV	R/W	5h	内部。TI が提供する API 経由でのみ使用できます。
23-20	予約済み	R	0h	予約済み
19-16	REG_PWRSAV	R/W	5h	内部。TI が提供する API 経由でのみ使用できます。
15-14	BANKPWR7	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
13-12	BANKPWR6	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
11-10	BANKPWR5	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
9-8	BANKPWR4	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
7-6	BANKPWR3	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
5-4	BANKPWR2	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
3-2	BANKPWR1	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
1-0	BANKPWR0	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.36 FBPRDY レジスタ (オフセット = 2044h) [リセット = 00FF00FEh]

図 8-44 に、FBPRDY を示し、表 8-40 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-44. FBPRDY レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							BANKBUSY
R-0h							R-1h
15	14	13	12	11	10	9	8
PUMPRDY	予約済み						
R-0h	R-0h						
7	6	5	4	3	2	1	0
予約済み							BANKRDY
R-0h							R-0h

表 8-40. FBPRDY レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16	BANKBUSY	R	1h	内部。TI が提供する API 経由でのみ使用できます。
15	PUMPRDY	R	0h	内部。TI が提供する API 経由でのみ使用できます。
14-1	予約済み	R	0h	予約済み
0	BANKRDY	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.37 FPAC1 レジスタ (オフセット = 2048h) [リセット = 02082081h]

図 8-45 に、FPAC1 を示し、表 8-41 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-45. FPAC1 レジスタ

31	30	29	28	27	26	25	24
予約済み				PSLEEPTDIS			
R-0h				R/W-208h			
23	22	21	20	19	18	17	16
PSLEEPTDIS							
R/W-208h							
15	14	13	12	11	10	9	8
PUMPRESET_PW							
R/W-208h							
7	6	5	4	3	2	1	0
PUMPRESET_PW				予約済み		PUMPPWR	
R/W-208h				R-0h		R/W-1h	

表 8-41. FPAC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-16	PSLEEPTDIS	R/W	208h	内部。TI が提供する API 経由でのみ使用できます。
15-4	PUMPRESET_PW	R/W	208h	内部。TI が提供する API 経由でのみ使用できます。
3-2	予約済み	R	0h	予約済み
1-0	PUMPPWR	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.38 FPAC2 レジスタ (オフセット = 204Ch) [リセット = 00000000h]

図 8-46 に、FPAC2 を示し、表 8-42 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-46. FPAC2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PAGP															
R-0h																R/W-0h															

表 8-42. FPAC2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	PAGP	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.39 FMAC レジスタ (オフセット = 2050h) [リセット = 00000000h]

図 8-47 に、FMAC を示し、表 8-43 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-47. FMAC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														バンク	
R-0h														R/W-0h	

表 8-43. FMAC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	バンク	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.40 FMSTAT レジスタ (オフセット = 2054h) [リセット = 00000000h]

図 8-48 に、FMSTAT を示し、表 8-44 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-48. FMSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						RVSUSP	RDVER
R-0h						R-0h	R-0h
15	14	13	12	11	10	9	8
RVF	ILA	DBF	PGV	PCV	EV	CV	BUSY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
ERS	PGM	INVDAT	CSTAT	VOLSTAT	ESUSP	PSUSP	SLOCK
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 8-44. FMSTAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	予約済み
17	RVSUSP	R	0h	内部。TI が提供する API 経由でのみ使用できます。
16	RDVER	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15	RVF	R	0h	内部。TI が提供する API 経由でのみ使用できます。
14	ILA	R	0h	内部。TI が提供する API 経由でのみ使用できます。
13	DBF	R	0h	内部。TI が提供する API 経由でのみ使用できます。
12	PGV	R	0h	内部。TI が提供する API 経由でのみ使用できます。
11	PCV	R	0h	内部。TI が提供する API 経由でのみ使用できます。
10	EV	R	0h	内部。TI が提供する API 経由でのみ使用できます。
9	CV	R	0h	内部。TI が提供する API 経由でのみ使用できます。
8	BUSY	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7	ERS	R	0h	内部。TI が提供する API 経由でのみ使用できます。
6	PGM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
5	INVDAT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
4	CSTAT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
3	VOLSTAT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
2	ESUSP	R	0h	内部。TI が提供する API 経由でのみ使用できます。
1	PSUSP	R	0h	内部。TI が提供する API 経由でのみ使用できます。
0	SLOCK	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.41 FLOCK レジスタ (オフセット = 2064h) [リセット = 000055AAh]

図 8-49 に、FLOCK を示し、表 8-45 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-49. FLOCK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																ENCOM															
R-0h																R/W-55AAh															

表 8-45. FLOCK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	ENCOM	R/W	55AAh	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.42 FVREADCT レジスタ (オフセット = 2080h) [リセット = 00000008h]

FVREADCT は 図 8-50 に示されており、表 8-46 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-50. FVREADCT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VREADCT			
R-0h												R/W-8h			

表 8-46. FVREADCT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VREADCT	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.43 FVHVCT1 レジスタ (オフセット = 2084h) [リセット = 00840088h]

図 8-51 に、FVHVCT1 を示し、表 8-47 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-51. FVHVCT1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								TRIM13_E				VHVCT_E			
R-0h								R/W-8h				R/W-4h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TRIM13_PV				VHVCT_PV			
R-0h								R/W-8h				R/W-8h			

表 8-47. FVHVCT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-20	TRIM13_E	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。
19-16	VHVCT_E	R/W	4h	内部。TI が提供する API 経由でのみ使用できます。
15-8	予約済み	R	0h	予約済み
7-4	TRIM13_PV	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。
3-0	VHVCT_PV	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.44 FVHVCT2 レジスタ (オフセット = 2088h) [リセット = 00A20000h]

図 8-52 に、FVHVCT2 を示し、表 8-48 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-52. FVHVCT2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								TRIM13_P				VHVCT_P			
R-0h								R/W-Ah				R/W-2h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R-0h															

表 8-48. FVHVCT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-20	TRIM13_P	R/W	Ah	内部。TI が提供する API 経由でのみ使用できます。
19-16	VHVCT_P	R/W	2h	内部。TI が提供する API 経由でのみ使用できます。
15-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.45 FVHVCT3 レジスタ (オフセット = 208Ch) [リセット = 000F0000h]

図 8-53 に、FVHVCT3 を示し、表 8-49 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-53. FVHVCT3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												WCT			
R-0h												R/W-Fh			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VHVCT_READ			
R-0h												R/W-0h			

表 8-49. FVHVCT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19-16	WCT	R/W	Fh	内部。TI が提供する API 経由でのみ使用できます。
15-4	予約済み	R	0h	予約済み
3-0	VHVCT_READ	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.46 FVNVCT レジスタ (オフセット = 2090h) [リセット = 00000800h]

図 8-54 に、FVNVCT を示し、表 8-50 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-54. FVNVCT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			VCG2P5CT					予約済み			VIN_CT				
R-0h			R/W-8h					R-0h			R/W-0h				

表 8-50. FVNVCT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	予約済み
12-8	VCG2P5CT	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。
7-5	予約済み	R	0h	予約済み
4-0	VIN_CT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.47 FVSLP レジスタ (オフセット = 2094h) [リセット = 00008000h]

図 8-55 に、FVSLP を示し、表 8-51 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-55. FVSLP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VSL_P				予約済み											
R/W-8h				R-0h											

表 8-51. FVSLP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-12	VSL_P	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。
11-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.48 FVWLCT レジスタ (オフセット = 2098h) [リセット = 00000008h]

図 8-56 に、FVWLCT を示し、表 8-52 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-56. FVWLCT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											VWLCT_P				
R-0h											R/W-8h				

表 8-52. FVWLCT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-0	VWLCT_P	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.49 FEFUSECTL レジスタ (オフセット = 209Ch) [リセット = 0701010Ah]

FEFUSECTL は 図 8-57 に示されており、表 8-53 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-57. FEFUSECTL レジスタ

31	30	29	28	27	26	25	24
予約済み						CHAIN_SEL	
R-0h						R/W-7h	
23	22	21	20	19	18	17	16
予約済み						WRITE_EN	BP_SEL
R-0h						R/W-0h	R/W-1h
15	14	13	12	11	10	9	8
予約済み							EF_CLRZ
R-0h							R/W-1h
7	6	5	4	3	2	1	0
予約済み			EF_TEST	EFUSE_EN			
R-0h			R/W-0h	R/W-Ah			

表 8-53. FEFUSECTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-27	予約済み	R	0h	予約済み
26-24	CHAIN_SEL	R/W	7h	内部。TI が提供する API 経由でのみ使用できます。
23-18	予約済み	R	0h	予約済み
17	WRITE_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
16	BP_SEL	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
15-9	予約済み	R	0h	予約済み
8	EF_CLRZ	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
7-5	予約済み	R	0h	予約済み
4	EF_TEST	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
3-0	EFUSE_EN	R/W	Ah	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.50 FEFUSESTAT レジスタ (オフセット = 20A0h) [リセット = 00000000h]

FEFUSESTAT は 図 8-58 に示されており、表 8-54 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-58. FEFUSESTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							SHIFT_DONE
R-0h							R/W1C-0h

表 8-54. FEFUSESTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SHIFT_DONE	R/W1C	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.51 FEFUSEDATA レジスタ (オフセット = 20A4h) [リセット = 00000000h]

FEFUSEDATA は 図 8-59 に示されており、表 8-55 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-59. FEFUSEDATA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEFUSEDATA																															
R/W-0h																															

表 8-55. FEFUSEDATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FEFUSEDATA	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.52 FSEQPMP レジスタ (オフセット = 20A8h) [リセット = 85080000h]

FSEQPMP は 図 8-60 に示されており、表 8-56 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-60. FSEQPMP レジスタ

31	30	29	28	27	26	25	24
予約済み				TRIM_3P4			
R/W-8h				R/W-5h			
23	22	21	20	19	18	17	16
予約済み		TRIM_1P7		TRIM_0P8			
R-0h		R/W-0h		R/W-8h			
15	14	13	12	11	10	9	8
予約済み	VIN_AT_X			予約済み			VIN_BY_PASS
R-0h	R/W-0h			R-0h			R/W-0h
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 8-56. FSEQPMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。
27-24	TRIM_3P4	R/W	5h	内部。TI が提供する API 経由でのみ使用できます。
23-22	予約済み	R	0h	予約済み
21-20	TRIM_1P7	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
19-16	TRIM_0P8	R/W	8h	内部。TI が提供する API 経由でのみ使用できます。
15	予約済み	R	0h	予約済み
14-12	VIN_AT_X	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
11-9	予約済み	R	0h	予約済み
8	VIN_BY_PASS	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.53 FBSTROBES レジスタ (オフセット = 2100h) [リセット = 00000104h]

FBSTROBES は 図 8-61 に示されており、表 8-57 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-61. FBSTROBES レジスタ

31	30	29	28	27	26	25	24
予約済み							ECBIT
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み					RWAIT2_FLCLK	RWAIT_FLCLK	FLCLKEN
R-0h					R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み							CTRLENZ
R-0h							R/W-1h
7	6	5	4	3	2	1	0
予約済み	NOCOLRED	PRECOL	TI_OTP	OTP	TEZ	予約済み	
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R-0h	

表 8-57. FBSTROBES レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	ECBIT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
23-19	予約済み	R	0h	予約済み
18	RWAIT2_FLCLK	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
17	RWAIT_FLCLK	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
16	FLCLKEN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15-9	予約済み	R	0h	予約済み
8	CTRLENZ	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
7	予約済み	R	0h	予約済み
6	NOCOLRED	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
5	PRECOL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
4	TI_OTP	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
3	OTP	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
2	TEZ	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
1-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.54 FPSTROBES レジスタ (オフセット = 2104h) [リセット = 00000103h]

FPSTROBES は 図 8-62 に示されており、表 8-58 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-62. FPSTROBES レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							EXECUTEZ
R-0h							R/W-1h
7	6	5	4	3	2	1	0
予約済み						V3PWRDNZ	V5PWRDNZ
R-0h						R/W-1h	R/W-1h

表 8-58. FPSTROBES レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	EXECUTEZ	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
7-2	予約済み	R	0h	予約済み
1	V3PWRDNZ	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
0	V5PWRDNZ	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.55 FBMODE レジスタ (オフセット = 2108h) [リセット = 00000000h]

図 8-63 に、FBMODE を示し、表 8-59 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-63. FBMODE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														モード	
R-0h														R/W-0h	

表 8-59. FBMODE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	モード	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.56 FTCR レジスタ (オフセット = 210Ch) [リセット = 00000000h]

図 8-64 に、FTCR を示し、表 8-60 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-64. FTCR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									TCR						
R-0h																									R/W-0h						

表 8-60. FTCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	TCR	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.57 FADDR レジスタ (オフセット = 2110h) [リセット = 00000000h]

図 8-65 に、FADDR を示し、表 8-61 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-65. FADDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FADDR																															
R/W-0h																															

表 8-61. FADDR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FADDR	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.58 FTCTL レジスタ (オフセット = 211Ch) [リセット = 00000000h]

図 8-66 に、FTCTL を示し、表 8-62 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-66. FTCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							WDATA_BLK_CLR
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						TEST_EN	予約済み
R-0h						R/W-0h	R-0h

表 8-62. FTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16	WDATA_BLK_CLR	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15-2	予約済み	R	0h	予約済み
1	TEST_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.59 FWPWRITE0 レジスタ (オフセット = 2120h) [リセット = FFFFFFFFh]

図 8-67 に、FWPWRITE0 を示し、表 8-63 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-67. FWPWRITE0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWPWRITE0																															
R/W-FFFFFFFFh																															

表 8-63. FWPWRITE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FWPWRITE0	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.60 FWPWRITE1 レジスタ (オフセット = 2124h) [リセット = FFFFFFFFh]

図 8-68 に、FWPWRITE1 を示し、表 8-64 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-68. FWPWRITE1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWPWRITE1																															
R/W-FFFFFFFFh																															

表 8-64. FWPWRITE1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FWPWRITE1	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.61 FWPWRITE2 レジスタ (オフセット = 2128h) [リセット = FFFFFFFFh]

図 8-69 に、FWPWRITE2 を示し、表 8-65 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-69. FWPWRITE2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWPWRITE2																															
R/W-FFFFFFFFh																															

表 8-65. FWPWRITE2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FWPWRITE2	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.62 FWPWRITE3 レジスタ (オフセット = 212Ch) [リセット = FFFFFFFFh]

図 8-70 に、FWPWRITE3 を示し、表 8-66 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-70. FWPWRITE3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWPWRITE3																															
R/W-FFFFFFFFh																															

表 8-66. FWPWRITE3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FWPWRITE3	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.63 FWPWRITE4 レジスタ (オフセット = 2130h) [リセット = FFFFFFFFh]

図 8-71 に、FWPWRITE4 を示し、表 8-67 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-71. FWPWRITE4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWPWRITE4																															
R/W-FFFFFFFFh																															

表 8-67. FWPWRITE4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FWPWRITE4	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.64 FWPWRITE5 レジスタ (オフセット = 2134h) [リセット = FFFFFFFFh]

図 8-72 に、FWPWRITE5 を示し、表 8-68 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-72. FWPWRITE5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWPWRITE5																															
R/W-FFFFFFFFh																															

表 8-68. FWPWRITE5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FWPWRITE5	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.65 FWPWRITE6 レジスタ (オフセット = 2138h) [リセット = FFFFFFFFh]

図 8-73 に、FWPWRITE6 を示し、表 8-69 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-73. FWPWRITE6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWPWRITE6																															
R/W-FFFFFFFFh																															

表 8-69. FWPWRITE6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FWPWRITE6	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.66 FWPWRITE7 レジスタ (オフセット = 213Ch) [リセット = FFFFFFFFh]

図 8-74 に、FWPWRITE7 を示し、表 8-70 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-74. FWPWRITE7 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FWPWRITE7																															
R/W-FFFFFFFFh																															

表 8-70. FWPWRITE7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FWPWRITE7	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.67 FWPWRITE_ECC レジスタ (オフセット = 2140h) [リセット = FFFFFFFFh]

FWPWRITE_ECC は 図 8-75 に示されており、表 8-71 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-75. FWPWRITE_ECC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECCBYTES07_00								ECCBYTES15_08							
R/W-FFh								R/W-FFh							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECCBYTES23_16								ECCBYTES31_24							
R/W-FFh								R/W-FFh							

表 8-71. FWPWRITE_ECC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	ECCBYTES07_00	R/W	FFh	内部。TI が提供する API 経由でのみ使用できます。
23-16	ECCBYTES15_08	R/W	FFh	内部。TI が提供する API 経由でのみ使用できます。
15-8	ECCBYTES23_16	R/W	FFh	内部。TI が提供する API 経由でのみ使用できます。
7-0	ECCBYTES31_24	R/W	FFh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.68 FSWSTAT レジスタ (オフセット = 2144h) [リセット = 00000001h]

FSWSTAT は 図 8-76 に示されており、表 8-72 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-76. FSWSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							SAFELV
R-0h							R-1h

表 8-72. FSWSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SAFELV	R	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.69 FSM_GLBCTL レジスタ (オフセット = 2200h) [リセット = 00000001h]

FSM_GLBCTL は 図 8-77 に示されており、表 8-73 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-77. FSM_GLBCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLKSEL
R-0h							R-1h

表 8-73. FSM_GLBCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLKSEL	R	1h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.70 FSM_STATE レジスタ (オフセット = 2204h) [リセット = 00000C00h]

FSM_STATE は 図 8-78 に示されており、表 8-74 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-78. FSM_STATE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				CTRLENZ	EXECUTEZ	予約済み	FSM_ACT
R-0h				R-1h	R-1h	R-0h	R-0h
7	6	5	4	3	2	1	0
TIOTP_ACT	OTP_ACT	予約済み					
R-0h	R-0h	R-0h					

表 8-74. FSM_STATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11	CTRLENZ	R	1h	内部。TI が提供する API 経由でのみ使用できます。
10	EXECUTEZ	R	1h	内部。TI が提供する API 経由でのみ使用できます。
9	予約済み	R	0h	予約済み
8	FSM_ACT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7	TIOTP_ACT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
6	OTP_ACT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
5-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.71 FSM_STAT レジスタ (オフセット = 2208h) [リセット = 00000004h]

FSM_STAT は図 8-79 に示されており、表 8-75 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-79. FSM_STAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					NON_OP	OVR_PUL_CNT	INV_DAT
R-0h					R-1h	R-0h	R-0h

表 8-75. FSM_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	NON_OP	R	1h	内部。TI が提供する API 経由でのみ使用できます。
1	OVR_PUL_CNT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
0	INV_DAT	R	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.72 FSM_CMD レジスタ (オフセット = 220Ch) [リセット = 00000000h]

FSM_CMD は図 8-80 に示されており、表 8-76 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-80. FSM_CMD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										FSMCMD					
R-0h																										R/W-0h					

表 8-76. FSM_CMD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	FSMCMD	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.73 FSM_PE_OSU レジスタ (オフセット = 2210h) [リセット = 00000000h]

FSM_PE_OSU は 図 8-81 に示されており、表 8-77 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-81. FSM_PE_OSU レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PGM_OSU								ERA_OSU							
R-0h																R/W-0h								R/W-0h							

表 8-77. FSM_PE_OSU レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	PGM_OSU	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	ERA_OSU	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.74 FSM_VSTAT レジスタ (オフセット = 2214h) [リセット = 00003000h]

FSM_VSTAT は 図 8-82 に示されており、表 8-78 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-82. FSM_VSTAT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VSTAT_CNT				予約済み											
R/W-3h				R-0h											

表 8-78. FSM_VSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-12	VSTAT_CNT	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
11-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.75 FSM_PE_VSU レジスタ (オフセット = 2218h) [リセット = 00000000h]

FSM_PE_VSU は 図 8-83 に示されており、表 8-79 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-83. FSM_PE_VSU レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PGM_VSU								ERA_VSU							
R-0h																R/W-0h								R/W-0h							

表 8-79. FSM_PE_VSU レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	PGM_VSU	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	ERA_VSU	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.76 FSM_CMP_VSU レジスタ (オフセット = 221Ch) [リセット = 00000000h]

FSM_CMP_VSU は 図 8-84 に示されており、表 8-80 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-84. FSM_CMP_VSU レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADD_EXZ				予約済み											
R/W-0h				R-0h											

表 8-80. FSM_CMP_VSU レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-12	ADD_EXZ	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
11-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.77 FSM_EX_VAL レジスタ (オフセット = 2220h) [リセット = 00000301h]

FSM_EX_VAL は 図 8-85 に示されており、表 8-81 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-85. FSM_EX_VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																REP_VSU								EXE_VALD							
R-0h																R/W-3h								R/W-1h							

表 8-81. FSM_EX_VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	REP_VSU	R/W	3h	内部。TI が提供する API 経由でのみ使用できます。
7-0	EXE_VALD	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.78 FSM_RD_H レジスタ (オフセット = 2224h) [リセット = 0000005Ah]

FSM_RD_H は 図 8-86 に示されており、表 8-82 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-86. FSM_RD_H レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								RD_H							
R-0h																								R/W-5Ah							

表 8-82. FSM_RD_H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	RD_H	R/W	5Ah	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.79 FSM_P_OH レジスタ (オフセット = 2228h) [リセット = 00000100h]

FSM_P_OH は 図 8-87 に示されており、表 8-83 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-87. FSM_P_OH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PGM_OH								予約済み							
R-0h																R/W-1h								R-0h							

表 8-83. FSM_P_OH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	PGM_OH	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.80 FSM_ERA_OH レジスタ (オフセット = 222Ch) [リセット = 00000001h]

FSM_ERA_OH は 図 8-88 に示されており、表 8-84 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-88. FSM_ERA_OH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																ERA_OH															
R-0h																R/W-1h															

表 8-84. FSM_ERA_OH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	ERA_OH	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.81 FSM_SAV_PPUL レジスタ (オフセット = 2230h) [リセット = 00000000h]

FSM_SAV_PPUL は 図 8-89 に示されており、表 8-85 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-89. FSM_SAV_PPUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				SAV_P_PUL											
R-0h																				R-0h											

表 8-85. FSM_SAV_PPUL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11-0	SAV_P_PUL	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.82 FSM_PE_VH レジスタ (オフセット = 2234h) [リセット = 00000100h]

FSM_PE_VH は 図 8-90 に示されており、表 8-86 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-90. FSM_PE_VH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PGM_VH								予約済み							
R-0h																R/W-1h								R-0h							

表 8-86. FSM_PE_VH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	PGM_VH	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.83 FSM_PRG_PW レジスタ (オフセット = 2240h) [リセット = 00000000h]

FSM_PRG_PW は 図 8-91 に示されており、表 8-87 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-91. FSM_PRG_PW レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PROG_PUL_WIDTH															
R-0h																R/W-0h															

表 8-87. FSM_PRG_PW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	PROG_PUL_WIDTH	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.84 FSM_ERA_PW レジスタ (オフセット = 2244h) [リセット = 00000000h]

FSM_ERA_PW は 図 8-92 に示されており、表 8-88 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-92. FSM_ERA_PW レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_ERA_PW																															
R/W-0h																															

表 8-88. FSM_ERA_PW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_ERA_PW	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.85 FSM_SAV_ERA_PUL レジスタ (オフセット = 2254h) [リセット = 00000000h]

FSM_SAV_ERA_PUL は 図 8-93 に示されており、表 8-89 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-93. FSM_SAV_ERA_PUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				SAV_ERA_PUL											
R-0h																				R-0h											

表 8-89. FSM_SAV_ERA_PUL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	内部。TI が提供する API 経由でのみ使用できます。
11-0	SAV_ERA_PUL	R	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.86 FSM_TIMER レジスタ (オフセット = 2258h) [リセット = 00000000h]

FSM_TIMER は 図 8-94 に示されており、表 8-90 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-94. FSM_TIMER レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_TIMER																															
R-0h																															

表 8-90. FSM_TIMER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_TIMER	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.87 FSM_MODE レジスタ (オフセット = 225Ch) [リセット = 00000000h]

FSM_MODE は 図 8-95 に示されており、表 8-91 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-95. FSM_MODE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				RDV_SUBMODE		PGM_SUBMODE	
R-0h				R-0h		R-0h	
15	14	13	12	11	10	9	8
ERA_SUBMODE		SUBMODE		SAV_PGM_CMD			SAV_ERA_MODE
R-0h		R-0h		R-0h			R-0h
7	6	5	4	3	2	1	0
SAV_ERA_MODE		モード			CMD		
R-0h		R-0h			R-0h		

表 8-91. FSM_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19-18	RDV_SUBMODE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
17-16	PGM_SUBMODE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-14	ERA_SUBMODE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
13-12	SUBMODE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
11-9	SAV_PGM_CMD	R	0h	内部。TI が提供する API 経由でのみ使用できます。
8-6	SAV_ERA_MODE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
5-3	モード	R	0h	内部。TI が提供する API 経由でのみ使用できます。
2-0	CMD	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.88 FSM_PGM レジスタ (オフセット = 2260h) [リセット = 00000000h]

FSM_PGM は 図 8-96 に示されており、表 8-92 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-96. FSM_PGM レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み						PGM_BANK			PGM_ADDR						
R-0h						R-0h			R-0h						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PGM_ADDR															
R-0h															

表 8-92. FSM_PGM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25-23	PGM_BANK	R	0h	内部。TI が提供する API 経由でのみ使用できます。
22-0	PGM_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.89 FSM_ERA レジスタ (オフセット = 2264h) [リセット = 00000000h]

FSM_ERA は 図 8-97 に示されており、表 8-93 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-97. FSM_ERA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み						ERA_BANK			ERA_ADDR						
R-0h						R-0h			R-0h						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERA_ADDR															
R-0h															

表 8-93. FSM_ERA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25-23	ERA_BANK	R	0h	内部。TI が提供する API 経由でのみ使用できます。
22-0	ERA_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.90 FSM_PRG_PUL レジスタ (オフセット = 2268h) [リセット = 00040032h]

FSM_PRG_PUL は 図 8-98 に示されており、表 8-94 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-98. FSM_PRG_PUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												BEG_EC_LEVEL			
R-0h												R/W-4h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				MAX_PRG_PUL											
R-0h				R/W-32h											

表 8-94. FSM_PRG_PUL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19-16	BEG_EC_LEVEL	R/W	4h	内部。TI が提供する API 経由でのみ使用できます。
15-12	予約済み	R	0h	予約済み
11-0	MAX_PRG_PUL	R/W	32h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.91 FSM_ERA_PUL レジスタ (オフセット = 226Ch) [リセット = 00040BB8h]

FSM_ERA_PUL は 図 8-99 に示されており、表 8-95 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-99. FSM_ERA_PUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												MAX_EC_LEVEL			
R-0h												R/W-4h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				MAX_ERA_PUL											
R-0h				R/W-BB8h											

表 8-95. FSM_ERA_PUL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19-16	MAX_EC_LEVEL	R/W	4h	内部。TI が提供する API 経由でのみ使用できます。
15-12	予約済み	R	0h	予約済み
11-0	MAX_ERA_PUL	R/W	BB8h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.92 FSM_STEP_SIZE レジスタ (オフセット = 2270h) [リセット = 00000000h]

FSM_STEP_SIZE は 図 8-100 に示されており、表 8-96 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-100. FSM_STEP_SIZE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み							EC_STEP_SIZE								
R-0h							R/W-0h								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															
R-0h															

表 8-96. FSM_STEP_SIZE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24-16	EC_STEP_SIZE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

8.7.1.93 FSM_PUL_CNTR レジスタ (オフセット = 2274h) [リセット = 00000000h]

FSM_PUL_CNTR は 図 8-101 に示されており、表 8-97 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-101. FSM_PUL_CNTR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み							CUR_EC_LEVEL								
R-0h							R-0h								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				PUL_CNTR											
R-0h				R-0h											

表 8-97. FSM_PUL_CNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24-16	CUR_EC_LEVEL	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-12	予約済み	R	0h	予約済み
11-0	PUL_CNTR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.94 FSM_EC_STEP_HEIGHT レジスタ (オフセット = 2278h) [リセット = 00000000h]

FSM_EC_STEP_HEIGHT は 図 8-102 に示されており、表 8-98 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-102. FSM_EC_STEP_HEIGHT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				EC_STEP_HEIGHT			
R-0h				R/W-0h			

表 8-98. FSM_EC_STEP_HEIGHT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	EC_STEP_HEIGHT	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.95 FSM_ST_MACHINE レジスタ (オフセット = 227Ch) [リセット = 00800500h]

FSM_ST_MACHINE は 図 8-103 に示されており、表 8-99 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-103. FSM_ST_MACHINE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
DO_PRECOND	FSM_INT_EN	ALL_BANKS	CMPV_ALLOWED	RANDOM	RV_SEC_EN	RV_RES	RV_INT_EN
R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み	ONE_TIME_GOOD	予約済み		DO_REDU_COL	DBG_SHORT_ROW		
R-0h	R/W-0h	R-0h		R/W-0h	R/W-Ah		
7	6	5	4	3	2	1	0
DBG_SHORT_ROW	予約済み	PGM_SEC_COF_EN	PREC_STOP_EN	DIS_TST_EN	CMD_EN	INV_DATA	OVERRIDE
R/W-Ah	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-99. FSM_ST_MACHINE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23	DO_PRECOND	R/W	1h	内部。TI が提供する API 経由でのみ使用できます。
22	FSM_INT_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
21	ALL_BANKS	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
20	CMPV_ALLOWED	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
19	RANDOM	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
18	RV_SEC_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
17	RV_RES	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
16	RV_INT_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
15	予約済み	R	0h	予約済み
14	ONE_TIME_GOOD	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
13-12	予約済み	R	0h	予約済み
11	DO_REDU_COL	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
10-7	DBG_SHORT_ROW	R/W	Ah	内部。TI が提供する API 経由でのみ使用できます。
6	予約済み	R	0h	予約済み
5	PGM_SEC_COF_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
4	PREC_STOP_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
3	DIS_TST_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
2	CMD_EN	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
1	INV_DATA	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
0	OVERRIDE	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.96 FSM_FLES レジスタ (オフセット = 2280h) [リセット = 00000000h]

FSM_FLES は 図 8-104 に示されており、表 8-100 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-104. FSM_FLES レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				BLK_TIOTP				BLK_OTP							
R-0h				R/W-0h				R/W-0h							

表 8-100. FSM_FLES レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11-8	BLK_TIOTP	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	BLK_OTP	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.97 FSM_WR_ENA レジスタ (オフセット = 2288h) [リセット = 00000002h]

FSM_WR_ENA は 図 8-105 に示されており、表 8-101 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-105. FSM_WR_ENA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														WR_ENA	
R-0h														R/W-2h	

表 8-101. FSM_WR_ENA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	WR_ENA	R/W	2h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.98 FSM_ACC_PP レジスタ (オフセット = 228Ch) [リセット = 00000000h]

FSM_ACC_PP は 図 8-106 に示されており、表 8-102 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-106. FSM_ACC_PP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_ACC_PP																															
R-0h																															

表 8-102. FSM_ACC_PP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_ACC_PP	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.99 FSM_ACC_EP レジスタ (オフセット = 2290h) [リセット = 00000000h]

FSM_ACC_EP は 図 8-107 に示されており、表 8-103 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-107. FSM_ACC_EP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																ACC_EP															
R-0h																R-0h															

表 8-103. FSM_ACC_EP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	ACC_EP	R	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.100 FSM_ADDR レジスタ (オフセット = 22A0h) [リセット = 00000000h]

FSM_ADDR は 図 8-108 に示されており、表 8-104 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-108. FSM_ADDR レジスタ

31	30	29	28	27	26	25	24
予約済み	バンク			CUR_ADDR			
R-0h	R-0h			R-0h			
23	22	21	20	19	18	17	16
CUR_ADDR							
R-0h							
15	14	13	12	11	10	9	8
CUR_ADDR							
R-0h							
7	6	5	4	3	2	1	0
CUR_ADDR							
R-0h							

表 8-104. FSM_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30-28	バンク	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-0	CUR_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.101 FSM_SECTOR レジスタ (オフセット = 22A4h) [リセット = FFFF0000h]

FSM_SECTOR は 図 8-109 に示されており、表 8-105 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-109. FSM_SECTOR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SECT_ERASED															
R/W-FFFFh															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_SECTOR_EXTENSION								セクタ				SEC_OUT			
R-0h								R-0h				R-0h			

表 8-105. FSM_SECTOR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SECT_ERASED	R/W	FFFFh	内部。TI が提供する API 経由でのみ使用できます。
15-8	FSM_SECTOR_EXTENSION	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7-4	セクタ	R	0h	内部。TI が提供する API 経由でのみ使用できます。
3-0	SEC_OUT	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.102 FMC_REV_ID レジスタ (オフセット = 22A8h) [リセット = 00000000h]

FMC_REV_ID は 図 8-110 に示されており、表 8-106 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-110. FMC_REV_ID レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOD_VERSION																				CONFIG_CRC											
R-X																				R-X											

表 8-106. FMC_REV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	MOD_VERSION	R	X	内部。TI が提供する API 経由でのみ使用できます。
11-0	CONFIG_CRC	R	X	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.103 FSM_ERR_ADDR レジスタ (オフセット = 22ACh) [リセット = 00000000h]

FSM_ERR_ADDR は 図 8-111 に示されており、表 8-107 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-111. FSM_ERR_ADDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FSM_ERR_ADDR															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_ERR_ADDR								予約済み				FSM_ERR_BANK			
R-0h								R-0h				R-0h			

表 8-107. FSM_ERR_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	FSM_ERR_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7-4	予約済み	R	0h	予約済み
3-0	FSM_ERR_BANK	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.104 FSM_PGM_MAXPUL レジスタ (オフセット = 22B0h) [リセット = 00000000h]

FSM_PGM_MAXPUL は 図 8-112 に示されており、表 8-108 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-112. FSM_PGM_MAXPUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				FSM_PGM_MAXPUL											
R-0h				R-0h											

表 8-108. FSM_PGM_MAXPUL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11-0	FSM_PGM_MAXPUL	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.105 FSM_EXECUTE レジスタ (オフセット = 22B4h) [リセット = 000A000Ah]

FSM_EXECUTE は 図 8-113 に示されており、表 8-109 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-113. FSM_EXECUTE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												SUSPEND_NOW			
R-0h												R/W-Ah			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												FSMEXECUTE			
R-0h												R/W-Ah			

表 8-109. FSM_EXECUTE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19-16	SUSPEND_NOW	R/W	Ah	内部。TI が提供する API 経由でのみ使用できます。
15-5	予約済み	R	0h	予約済み
4-0	FSMEXECUTE	R/W	Ah	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.106 FSM_SECTOR1 レジスタ (オフセット = 22C0h) [リセット = FFFFFFFFh]

図 8-114 に、FSM_SECTOR1 を示し、表 8-110 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-114. FSM_SECTOR1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_SECTOR1																															
R/W-FFFFFFFFh																															

表 8-110. FSM_SECTOR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_SECTOR1	R/W	FFFFFFFFh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.107 FSM_SECTOR2 レジスタ (オフセット = 22C4h) [リセット = 00000FFFh]

図 8-115 に、FSM_SECTOR2 を示し、表 8-111 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-115. FSM_SECTOR2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_SECTOR2																															
R/W-FFFh																															

表 8-111. FSM_SECTOR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_SECTOR2	R/W	FFFh	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.108 FSM_BSLE0 レジスタ (オフセット = 22E0h) [リセット = 00000000h]

図 8-116 に、FSM_BSLE0 を示し、表 8-112 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-116. FSM_BSLE0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_BSLE0																															
R/W-0h																															

表 8-112. FSM_BSLE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_BSLE0	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.109 FSM_BSLE1 レジスタ (オフセット = 22E4h) [リセット = 00000000h]

図 8-117 に、FSM_BSLE1 を示し、表 8-113 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-117. FSM_BSLE1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_BSL1																															
R/W-0h																															

表 8-113. FSM_BSLE1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_BSL1	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.1.110 FSM_BSLP0 レジスタ (オフセット = 22F0h) [リセット = 00000000h]

図 8-118 に、FSM_BSLP0 を示し、表 8-114 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-118. FSM_BSLP0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_BSLP0																															
R/W-0h																															

表 8-114. FSM_BSLP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_BSLP0	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.111 FSM_BSLP1 レジスタ (オフセット = 22F4h) [リセット = 00000000h]

図 8-119 に、FSM_BSLP1 を示し、表 8-115 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-119. FSM_BSLP1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FSM_BSL1																															
R/W-0h																															

表 8-115. FSM_BSLP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FSM_BSL1	R/W	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.112 FSM_PGM128 レジスタ (オフセット = 22F8h) [リセット = 00000000h]

図 8-120 に、FSM_PGM128 を示し、表 8-116 に、その説明を示します。

概略表に戻ります。

FMC FSM イネーブル 128 ビット幅プログラミング

図 8-120. FSM_PGM128 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							EN_PGM128
R-0h							R/W-0h

表 8-116. FSM_PGM128 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN_PGM128	R/W	0h	1:128 ビット幅のプログラミングが可能です。このモードでは、フラッシュ ポンプの電源電圧を 2.5V より高くプログラミングする必要があります。このモードの主な使用事例は、テスト時間を短縮するための製造テストです。 0:64 ビット幅のプログラミング。任意のプログラミング電圧で有効。プログラミング用に、128 ビット ワードを 2 つの 64 ビット ワードに分割します。 [デフォルト] このレジスタは、FSM_WR_ENA レジスタで書き込み保護されています。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.113 FCFG_BANK レジスタ (オフセット = 2400h) [リセット = 00000801h]

FCFG_BANK は 図 8-121 に示されており、表 8-117 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-121. FCFG_BANK レジスタ

31	30	29	28	27	26	25	24
EE_BANK_WIDTH							
R-0h							
23	22	21	20	19	18	17	16
EE_BANK_WIDTH				EE_NUM_BANK			
R-0h				R-0h			
15	14	13	12	11	10	9	8
MAIN_BANK_WIDTH							
R-80h							
7	6	5	4	3	2	1	0
MAIN_BANK_WIDTH				MAIN_NUM_BANK			
R-80h				R-1h			

表 8-117. FCFG_BANK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	EE_BANK_WIDTH	R	0h	内部。TI が提供する API 経由でのみ使用できます。
19-16	EE_NUM_BANK	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-4	MAIN_BANK_WIDTH	R	80h	内部。TI が提供する API 経由でのみ使用できます。
3-0	MAIN_NUM_BANK	R	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.114 FCFG_WRAPPER レジスタ (オフセット = 2404h) [リセット = 50009007h]

FCFG_WRAPPER は 図 8-122 に示されており、表 8-118 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-122. FCFG_WRAPPER レジスタ

31	30	29	28	27	26	25	24
FAMILY_TYPE							
R-50h							
23	22	21	20	19	18	17	16
予約済み			MEM_MAP	CPU2			
R-0h			R-0h	R-0h			
15	14	13	12	11	10	9	8
EE_IN_MAIN				ROM	IFLUSH	SIL3	ECCA
R-9h				R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
AUTO_SUSP		UERR		CPU_TYPE1			
R-0h		R-0h		R-7h			

表 8-118. FCFG_WRAPPER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	FAMILY_TYPE	R	50h	内部。TI が提供する API 経由でのみ使用できます。
23-21	予約済み	R	0h	予約済み
20	MEM_MAP	R	0h	内部。TI が提供する API 経由でのみ使用できます。
19-16	CPU2	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-12	EE_IN_MAIN	R	9h	内部。TI が提供する API 経由でのみ使用できます。
11	ROM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
10	IFLUSH	R	0h	内部。TI が提供する API 経由でのみ使用できます。
9	SIL3	R	0h	内部。TI が提供する API 経由でのみ使用できます。
8	ECCA	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7-6	AUTO_SUSP	R	0h	内部。TI が提供する API 経由でのみ使用できます。
5-4	UERR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
3-0	CPU_TYPE1	R	7h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.115 FCFG_BNK_TYPE レジスタ (オフセット = 2408h) [リセット = 00000004h]

FCFG_BNK_TYPE は 図 8-123 に示されており、表 8-119 で説明されています。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-123. FCFG_BNK_TYPE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
B7_TYPE				B6_TYPE				B5_TYPE				B4_TYPE			
R-0h				R-0h				R-0h				R-0h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
B3_TYPE				B2_TYPE				B1_TYPE				B0_TYPE			
R-0h				R-0h				R-0h				R-4h			

表 8-119. FCFG_BNK_TYPE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B7_TYPE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B6_TYPE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-20	B5_TYPE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
19-16	B4_TYPE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-12	B3_TYPE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
11-8	B2_TYPE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7-4	B1_TYPE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
3-0	B0_TYPE	R	4h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.116 FCFG_B0_START レジスタ (オフセット = 2410h) [リセット = 02000000h]

図 8-124 に、FCFG_B0_START を示し、表 8-120 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-124. FCFG_B0_START レジスタ

31	30	29	28	27	26	25	24
B0_MAX_SECTOR				B0_MUX_FACTOR			
R-0h				R-2h			
23	22	21	20	19	18	17	16
B0_START_ADDR							
R-0h							
15	14	13	12	11	10	9	8
B0_START_ADDR							
R-0h							
7	6	5	4	3	2	1	0
B0_START_ADDR							
R-0h							

表 8-120. FCFG_B0_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B0_MAX_SECTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B0_MUX_FACTOR	R	2h	内部。TI が提供する API 経由でのみ使用できます。
23-0	B0_START_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.117 FCFG_B1_START レジスタ (オフセット = 2414h) [リセット = 00000000h]

図 8-125 に、FCFG_B1_START を示し、表 8-121 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-125. FCFG_B1_START レジスタ

31	30	29	28	27	26	25	24
B1_MAX_SECTOR				B1_MUX_FACTOR			
R-0h				R-0h			
23	22	21	20	19	18	17	16
B1_START_ADDR							
R-0h							
15	14	13	12	11	10	9	8
B1_START_ADDR							
R-0h							
7	6	5	4	3	2	1	0
B1_START_ADDR							
R-0h							

表 8-121. FCFG_B1_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B1_MAX_SECTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B1_MUX_FACTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	B1_START_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.118 FCFG_B2_START レジスタ (オフセット = 2418h) [リセット = 00000000h]

図 8-126 に、FCFG_B2_START を示し、表 8-122 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-126. FCFG_B2_START レジスタ

31	30	29	28	27	26	25	24
B2_MAX_SECTOR				B2_MUX_FACTOR			
R-0h				R-0h			
23	22	21	20	19	18	17	16
B2_START_ADDR							
R-0h							
15	14	13	12	11	10	9	8
B2_START_ADDR							
R-0h							
7	6	5	4	3	2	1	0
B2_START_ADDR							
R-0h							

表 8-122. FCFG_B2_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B2_MAX_SECTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B2_MUX_FACTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	B2_START_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.119 FCFG_B3_START レジスタ (オフセット = 241Ch) [リセット = 00000000h]

図 8-127 に、FCFG_B3_START を示し、表 8-123 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-127. FCFG_B3_START レジスタ

31	30	29	28	27	26	25	24
B3_MAX_SECTOR				B3_MUX_FACTOR			
R-0h				R-0h			
23	22	21	20	19	18	17	16
B3_START_ADDR							
R-0h							
15	14	13	12	11	10	9	8
B3_START_ADDR							
R-0h							
7	6	5	4	3	2	1	0
B3_START_ADDR							
R-0h							

表 8-123. FCFG_B3_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B3_MAX_SECTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B3_MUX_FACTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	B3_START_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.120 FCFG_B4_START レジスタ (オフセット = 2420h) [リセット = 00000000h]

図 8-128 に、FCFG_B4_START を示し、表 8-124 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-128. FCFG_B4_START レジスタ

31	30	29	28	27	26	25	24
B4_MAX_SECTOR				B4_MUX_FACTOR			
R-0h				R-0h			
23	22	21	20	19	18	17	16
B4_START_ADDR							
R-0h							
15	14	13	12	11	10	9	8
B4_START_ADDR							
R-0h							
7	6	5	4	3	2	1	0
B4_START_ADDR							
R-0h							

表 8-124. FCFG_B4_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B4_MAX_SECTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B4_MUX_FACTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	B4_START_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.121 FCFG_B5_START レジスタ (オフセット = 2424h) [リセット = 00000000h]

図 8-129 に、FCFG_B5_START を示し、表 8-125 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-129. FCFG_B5_START レジスタ

31	30	29	28	27	26	25	24
B5_MAX_SECTOR				B5_MUX_FACTOR			
R-0h				R-0h			
23	22	21	20	19	18	17	16
B5_START_ADDR							
R-0h							
15	14	13	12	11	10	9	8
B5_START_ADDR							
R-0h							
7	6	5	4	3	2	1	0
B5_START_ADDR							
R-0h							

表 8-125. FCFG_B5_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B5_MAX_SECTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B5_MUX_FACTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	B5_START_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.122 FCFG_B6_START レジスタ (オフセット = 2428h) [リセット = 00000000h]

図 8-130 に、FCFG_B6_START を示し、表 8-126 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-130. FCFG_B6_START レジスタ

31	30	29	28	27	26	25	24
B6_MAX_SECTOR				B6_MUX_FACTOR			
R-0h				R-0h			
23	22	21	20	19	18	17	16
B6_START_ADDR							
R-0h							
15	14	13	12	11	10	9	8
B6_START_ADDR							
R-0h							
7	6	5	4	3	2	1	0
B6_START_ADDR							
R-0h							

表 8-126. FCFG_B6_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B6_MAX_SECTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B6_MUX_FACTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	B6_START_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.123 FCFG_B7_START レジスタ (オフセット = 242Ch) [リセット = 00000000h]

図 8-131 に、FCFG_B7_START を示し、表 8-127 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-131. FCFG_B7_START レジスタ

31	30	29	28	27	26	25	24
B7_MAX_SECTOR				B7_MUX_FACTOR			
R-0h				R-0h			
23	22	21	20	19	18	17	16
B7_START_ADDR							
R-0h							
15	14	13	12	11	10	9	8
B7_START_ADDR							
R-0h							
7	6	5	4	3	2	1	0
B7_START_ADDR							
R-0h							

表 8-127. FCFG_B7_START レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	B7_MAX_SECTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
27-24	B7_MUX_FACTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-0	B7_START_ADDR	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.1.124 FCFG_B0_SSIZE0 レジスタ (オフセット = 2430h) [リセット = 002C0008h]

図 8-132 に、FCFG_B0_SSIZE0 を示し、表 8-128 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 8-132. FCFG_B0_SSIZE0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				B0_NUM_SECTORS											
R-0h				R-2Ch											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												B0_SECT_SIZE			
R-0h												R-8h			

表 8-128. FCFG_B0_SSIZE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-16	B0_NUM_SECTORS	R	2Ch	内部。TI が提供する API 経由でのみ使用できます。
15-4	予約済み	R	0h	予約済み
3-0	B0_SECT_SIZE	R	8h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

8.7.2 VIMS レジスタ

表 8-129 に、VIMS レジスタのメモリ マップト レジスタを示します。表 8-129 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-129. VIMS レジスタ

オフセット	略称	レジスタ名	セクション
0h	STAT	ステータス	STAT レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	CTL	制御	CTL レジスタ (オフセット = 4h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-130 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-130. VIMS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

8.7.2.1 STAT レジスタ (オフセット = 0h) [リセット = 00000000h]

図 8-133 に、STAT を示し、表 8-131 に、その説明を示します。

概略表に戻ります。

ステータス
現在の VIMS モードと回線バッファのステータスを表示します

図 8-133. STAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		IDCODE_LB_DIS	SYSBUS_LB_DIS	MODE_CHANGING	INV	モード	
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	

表 8-131. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	IDCODE_LB_DIS	R	0h	Icode/Dcode フラッシュ ライン バッファ ステータス 0:有効または無効に遷移中 1:無効かつフラッシュ済み
4	SYSBUS_LB_DIS	R	0h	Sysbus フラッシュ ライン バッファ制御 0:有効または無効に遷移中 1:無効かつフラッシュ済み
3	MODE_CHANGING	R	0h	VIMS モード変更ステータス 0:VIMS は MODE で定義されているモードです 1: VIMS は、CTL.MODE で指定されたモードに変更中です
2	INV	R	0h	このビットは、キャッシュ メモリの無効化がアクティブ/実行中の場合にセットされます
1-0	モード	R	0h	現在の VIMS モード 0h= GPRAM:VIMS GPRAM モード 1h = CACHE: VIMS キャッシュモード 3h = VIMS Off モード

Copyright © 2026 Texas Instruments Incorporated

8.7.2.2 CTL レジスタ (オフセット = 4h) [リセット = 00000000h]

図 8-134 に、CTL を示し、表 8-132 に、その説明を示します。

概略表に戻ります。

コントロール
VIMS モードおよびラインバッファ設定を構成します

図 8-134. CTL レジスタ

31	30	29	28	27	26	25	24
STATS_CLR	STATS_EN	DYN_CG_EN	予約済み				
R/W-0h	R/W-0h	R/W-0h	R-0h				
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		IDCODE_LB_DIS	SYSBUS_LB_DIS	ARB_CFG	PREF_EN	モード	
R-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 8-132. CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	STATS_CLR	R/W	0h	統計カウンタをクリアするには、このビットを設定します。
30	STATS_EN	R/W	0h	統計カウンタを有効にするには、このビットを設定します。
29	DYN_CG_EN	R/W	0h	0:内蔵クロック ゲート機能はバイパスされます。 1:内蔵クロック ゲート機能が有効になり、不要なときにクロックを自動的にゲーティングします。
28-6	予約済み	R	0h	予約済み
5	IDCODE_LB_DIS	R/W	0h	Icode/Dcode フラッシュ ライン バッファ制御 0:有効 1:無効
4	SYSBUS_LB_DIS	R/W	0h	Sysbus フラッシュ ライン バッファ制御 0:有効 1:無効
3	ARB_CFG	R/W	0h	Icode/Dcode および sysbus 調整スキーム 0:静的アービトレーション (icode/docde > sysbus) 1:ラウンドロビン調整
2	PREF_EN	R/W	0h	タグ プリフェッチ制御 0:無効 1:有効
1-0	モード	R/W	0h	VIMS モード リクエスト STAT.MODE_CHANGING が 1 に設定されている間は、このフィールドへの書き込みアクセスはブロックされます。 0h = GPRAM: VIMS GPRAM モード 1h = CACHE: VIMS キャッシュモード 3h = VIMS Off モード

Copyright © 2026 Texas Instruments Incorporated

Chapter 9

SRAM

この章では、CC13x2 および CC26x2 デバイス プラットフォームの RAM システムについて説明します。

9.1 概要.....799
9.2 主な機能.....799
9.3 データ保持期間.....799
9.4 パリティおよび SRAM エラー サポート.....799
9.5 SRAM の自動初期化.....799
9.6 パリティ デバッグ動作.....799
9.7 SRAM レジスタ.....799

Copyright © 2026 Texas Instruments Incorporated

9.1 概要

CC13x2 および CC26x2 デバイス プラットフォームは、シングルサイクルのオンチップ SRAM で構成される 80kB のシステム RAM を提供します。この SRAM は、スタンバイ電力モードでの完全なデータ保持をサポートしています。

メモリに対する読み取り / 変更 / 書き込み (RMW) 動作の実行時間を短縮するために、ビットバンディングがサポートされています。ビットバンディングでは、メモリ マップ内の特定領域 (SRAM およびペリフェラル空間) で、アドレス エイリアスを使用して各ビットに 1 アトミック動作でアクセスできます。

9.2 主な機能

SRAM のメインな機能は次のとおりです。

- スタンバイ電力モードでデータ保持を構成可能
- パリティ エラー検出
- 自動初期化機能

9.3 データ保持期間

スタンバイ電力モード中も、SRAM に保存されたデータは保持されます。SRAM の保持は、AON_PMCTL:RAM_CFG レジスタによってバンク単位で構成できます (Chapter 7 を参照)。メモリはすべてデフォルトで保持されます。

9.4 パリティおよび SRAM エラー サポート

SRAM 書き込み中に、書き込まれる各バイトについてパリティ ビットが計算され、格納されます。パリティ エラー検出は、SRAM 読み出し動作中にバイト単位で行われます。つまり、メモリ読み出し動作中に任意のバイトでパリティ エラーが発生すると、メモリ データ エラーが検出されます。パリティ エラーにより、プロセッサ バス フォルト例外が発生します (セクション 5.1.2 を参照)。

パリティ エラー検出中に読み出された SRAM アドレスは、SRAM_MMR:PER_CHK レジスタにキャプチャされます。このパリティ エラー アドレスは、SRAM メモリのベース アドレスからのオフセットとして格納されます。

9.5 SRAM の自動初期化

SRAM は、専用の自動初期化ハードウェアによって初期化できます。すべてのメモリ位置はゼロに初期化され、パリティ情報は必要に応じて初期化されます。メモリの初期化により、ソフトウェアによって初期化されていないメモリ位置の読み取りが原因でパリティ エラーが発生することを防ぎます。自動初期化は、SRAM_MMR:MEM_CTL レジスタを使用して実行されます。

注

SRAM は、システム リセット後のシステム CPU 起動シーケンス中に自動初期化されます。

9.6 パリティ デバッグ動作

パリティ エラー検出、およびパリティ エラーによるバス フォルト例外の処理をデバッグおよびテストできるように、次の機能が提供されています。

- SRAM_MMR:PER_CTL レジスタを使用して、SRAM パリティ エラーを強制的に発生させることができます。生成されたパリティ エラーは、SRAM_MMR:PER_DBG レジスタに書き込まれたアドレス オフセットから読み出した後で検出されます。
- SRAM_MMR:PER_CTL.PER_DISABLE ビットを設定することで、SRAM_MMR:PER_CHK レジスタ内のステータスの更新を無効化できます。これは、デバッガ ソフトウェアが初期化されていないメモリ位置から読み出すことでパリティ エラーが生成されることがわかっている状況で、デバッガ ソフトウェアが使用できます。

9.7 SRAM レジスタ

Copyright © 2026 Texas Instruments Incorporated

9.7.1 SRAM_MMR レジスタ

表 9-1 に、SRAM_MMR レジスタのメモリマップされたレジスタを示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-1. SRAM_MMR レジスタ

オフセット	略称	レジスタ名	セクション
0h	PER_CTL	パリティ エラー コントロール	PER_CTL レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	PER_CHK	パリティ エラー チェック	PER_CHK レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	PER_DBG	パリティ エラー デバッグ	PER_DBG レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	MEM_CTL	メモリ コントロール	MEM_CTL (オフセット = Ch) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. SRAM_MMR アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

9.7.1.1 PER_CTL レジスタ (オフセット = 0h) [リセット = 00000000h]

PER_CTL は図 9-1 に示されており、表 9-3 で説明されています。

概略表に戻ります。

パリティ エラー コントロール
パリティ エラー チェック コントロール

図 9-1. PER_CTL レジスタ

31	30	29	28	27	26	25	24
RESERVED							
R-0h							
23	22	21	20	19	18	17	16
RESERVED							
R-0h							
15	14	13	12	11	10	9	8
RESERVED							PER_DISABLE
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED							PER_DEBUG_ENABLE
R/W-0h							R/W-0h

表 9-3. PER_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	RESERVED	R	0h	予約済み
8	PER_DISABLE	R/W	0h	パリティ ステータス無効 0:パリティ エラーにより PER_CHK.PER_ADDR フィールドが更新される 1:パリティ エラーでは PER_CHK.PER_ADDR フィールドは更新されない
7-1	RESERVED	R/W	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
0	PER_DEBUG_ENABLE	R/W	0h	パリティ エラー デバッグ有効 0:通常動作 1:アドレス オフセットを PER_DBG.PER_DEBUG_ADDR に書き込むことができ、このオフセット内からの読み出し時にパリティ エラーが生成されます

Copyright © 2026 Texas Instruments Incorporated

9.7.1.2 PER_CHK レジスタ (オフセット = 4h) [リセット = 00000000h]

PER_CHK は図 9-2 に示されており、表 9-4 で説明されています。

概略表に戻ります。

パリティ エラー チェック
パリティ エラー チェックの結果

図 9-2. PER_CHK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED								PER_ADDR																							
R-0h								R-0h																							

表 9-4. PER_CHK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	RESERVED	R	0h	予約済み
23-0	PER_ADDR	R	0h	パリティ エラー アドレス オフセット SRAM 読み出し中にパリティ エラーが発生した最後のアドレス オフセットを返します。返されるアドレス オフセットは、パリティ エラーが発生した位置を含むワード アラインされたアドレスです。ワード アラインされていないアクセスで発生したパリティ フォルトの場合、CPU_SCS:BFAR.ADDRESS にはパリティ エラーの原因となった位置のアドレスが保持されます。

Copyright © 2026 Texas Instruments Incorporated

9.7.1.3 PER_DBG レジスタ (オフセット = 8h) [リセット = 00000000h]

PER_DBG は図 9-3 に示されており、表 9-5 で説明されています。

概略表に戻ります。

パリティ エラー デバッグ
パリティ エラー チェック デバッグ アドレス設定

図 9-3. PER_DBG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED								PER_DEBUG_ADDR																							
R-0h								R/W-0h																							

表 9-5. PER_DBG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	RESERVED	R	0h	予約済み
23-0	PER_DEBUG_ADDR	R/W	0h	デバッグ パリティ エラー アドレス オフセット PER_CTL.PER_DEBUG が 1 の場合、このフィールドはパリティ デバッグ アドレス オフセットの設定に使用されます。アドレス オフセットは、ワードアラインされたアドレスである必要があります。このアドレス オフセット内への書き込みでは、書き込まれるデータとともに不正なパリティ ビットが強制的に格納されます。したがって、同じアドレス オフセット内で後続の読み出しを実行すると、パリティ エラーが生成されます。

Copyright © 2026 Texas Instruments Incorporated

9.7.1.4 MEM_CTL (オフセット = Ch) [リセット = 00000000h]

MEM_CTL は図 9-4 に示されており、表 9-6 で説明されています。

概略表に戻ります。

メモリ コントロール
メモリの初期化をコントロールします

図 9-4. MEM_CTL レジスタ

31	30	29	28	27	26	25	24
RESERVED							
R-0h							
23	22	21	20	19	18	17	16
RESERVED							
R-0h							
15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						MEM_BUSY	MEM_CLR_EN
R-0h						R-0h	R/W-0h

表 9-6. MEM_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	RESERVED	R	0h	予約済み
1	MEM_BUSY	R	0h	メモリ ビジー ステータス 0:メモリが転送を受け付け 1:初期化中、メモリ コントローラがビジーです。読み取りと書き込みの転送は実行されません。
0	MEM_CLR_EN	R/W	0h	メモリ内容の初期化が有効 MEM_CLR_EN に 1 を書き込むと、メモリ初期化が開始されます。すべてのバイト位置の内容は、0x00 に初期化されます。MEM_BUSY は、メモリの初期化が完了するまで 1 になります。

Copyright © 2026 Texas Instruments Incorporated

9.7.2 SRAM レジスタ

表 9-7 に、SRAM レジスタのメモリ マップト レジスタを示します。表 9-7 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-7. SRAM レジスタ

オフセット	略称	レジスタ名	セクション
0h + 式	BANK0_y	16k SRAM	BANK0_y レジスタ (オフセット = 0h + 式) [リセット = 00000000h]
4000h + 式	BANK1_y	16k SRAM	BANK1_y レジスタ (オフセット = 4000h + 式) [リセット = 00000000h]
8000h + 式	BANK2_y	16k SRAM	BANK2_y レジスタ (オフセット = 8000h + 式) [リセット = 00000000h]
C000h + 式	BANK3_y	16k SRAM	BANK3_y レジスタ (オフセット = C000h + 式) [リセット = 00000000h]
00010000h + 式	BANK4_y	16k SRAM	BANK4_y レジスタ (オフセット = 00010000h + 式) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-8 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-8. SRAM のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

9.7.2.1 BANK0_y レジスタ (オフセット = 0h + 式) [リセット = 00000000h]

図 9-5 に、BANK0_y を示し、表 9-9 に、その説明を示します。

概略表に戻ります。

16k SRAM

オフセット = 0h + (y * 4h)、ここで y = 0h ～ FFFh

図 9-5. BANK0_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-X																															

表 9-9. BANK0_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	X	SRAM データ

Copyright © 2026 Texas Instruments Incorporated

9.7.2.2 BANK1_y レジスタ (オフセット = 4000h + 式) [リセット = 00000000h]

図 9-6 に、BANK1_y を示し、表 9-10 に、その説明を示します。

概略表に戻ります。

16k SRAM

オフセット = 4000h + (y * 4h)、ここで y = 0h ～ FFFh

図 9-6. BANK1_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-X																															

表 9-10. BANK1_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	X	SRAM データ

Copyright © 2026 Texas Instruments Incorporated

9.7.2.3 BANK2_y レジスタ (オフセット = 8000h + 式) [リセット = 00000000h]

図 9-7 に、BANK2_y を示し、表 9-11 に、その説明を示します。

概略表に戻ります。

16k SRAM

オフセット = 8000h + (y * 4h)、ここで y = 0h ～ FFFh

図 9-7. BANK2_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-X																															

表 9-11. BANK2_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	X	SRAM データ

Copyright © 2026 Texas Instruments Incorporated

9.7.2.4 BANK3_y レジスタ (オフセット = C000h + 式) [リセット = 00000000h]

図 9-8 に、BANK3_y を示し、表 9-12 に、その説明を示します。

概略表に戻ります。

16k SRAM

オフセット = C000h + (y * 4h)、ここで y = 0h ～ FFFh

図 9-8. BANK3_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-X																															

表 9-12. BANK3_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	X	SRAM データ

Copyright © 2026 Texas Instruments Incorporated

9.7.2.5 BANK4_y レジスタ (オフセット = 00010000h + 式) [リセット = 00000000h]

図 9-9 に、BANK4_y を示し、表 9-13 に、その説明を示します。

概略表に戻ります。

16k SRAM

オフセット = 00010000h + (y * 4h)、ここで y = 0h ～ FFFh

図 9-9. BANK4_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-X																															

表 9-13. BANK4_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	X	SRAM データ

Copyright © 2026 Texas Instruments Incorporated

Chapter 10

ブートローダー

このセクションでは、CC13x2 および CC26x2 デバイス プラットフォームに含まれるブートローダーについて説明します。

10.1 ブートローダ機能.....812
10.2 ブートローダー インターフェイス.....813

Copyright © 2026 Texas Instruments Incorporated

10.1 ブートローダ機能

CC13x2 および CC26x2 デバイス プラットフォームには、UART0 および SSI0 ペリフェラルのシリアル インターフェイスを介して外部デバイスと通信できる、シンプルな ROM ベースのブートローダが含まれています。両方のシリアル インターフェイスで同じ通信プロトコルが使用されます。これらのペリフェラルは Arm® の IP です。

ROM ブートローダの主な目的は、フラッシュ イメージのダウンロード機能をサポートすることです。

10.1.1 ブートローダーの無効化

ROM ブートローダーは、フラッシュ イメージを読み取り可能なコマンドをサポートしています。この読み取り機能があるため、ブートローダーを無効化するための安全な手段が実装されています。CCFG BOOTLOADER_ENABLE パラメータを使用してブートローダーが無効化されている場合、ブートローダーはコマンドを実行できません。これにより、Arm® Cortex®-M4F プロセッサのプログラム カウンタ (PC) がブートローダー コードから強制的に実行された場合に、攻撃者によるブートローダーの使用を防止できます。

TI の分散型ソフトウェアでは、CCFG パラメータはコンパイル時に ccfg.c ファイル内で設定されます。CCFG BOOTLOADER_ENABLE パラメータは、ccfg.c にある SET_CCFG_BL_CONFIG_BOOTLOADER_ENABLE 定義の値で構成されます。

注

ブートローダーが無効化されている場合でも、CMD_GET_STATUS コマンドを実行できます。これにより、CMD_DOWNLOAD_CRC コマンドが正しく実行されたことを確認できます (ダウンロードされたフラッシュ イメージにブートローダーを無効化する CCFG データが含まれている場合も)。ブートローダーが無効化されている間に CMD_GET_STATUS 以外のコマンドがデバイスに送信される場合、ブートローダーは次の CMD_GET_STATUS コマンドへの応答も停止します。

10.1.2 ブートローダー バックドア

有効なイメージがフラッシュ内にある場合でも ROM ブートローダに入るために、ブートローダのバックドアが実装されています。CCFG パラメータ BL_ENABLE で、このバックドアを有効化できます。バックドア機能では、構成可能な I/O ピン (CCFG パラメータ BL_PIN_NO) と構成可能な I/O ピン レベル (CCFG パラメータ BL_LEVEL) を使用します。

バックドア機能が有効化されている場合、構成可能な I/O ピンに構成可能な信号レベルを外部で印加することで、リセット時に ROM ブートローダを強制的に開始できます。バックドアが有効で、有効なフラッシュ イメージが存在する場合、スタートアップ コードは I/O ピンのレベルをチェックします。構成済みの I/O ピンのレベルが構成済みの信号レベルと一致すると、ROM ブートローダはフラッシュ イメージに制御を転送しません。

バックドア ピンの構成が UART0 ピンまたは SSI0 ピンのいずれかと一致する場合、外部ユーザーは UART0 または SSI0 インターフェイスで送信する前に、バックドア信号をデアサートする必要があります。

TI が提供するソフトウェアでは、BL_ENABLE、BL_PIN_NO、BL_LEVEL という CCFG パラメータは、ccfg.c ファイルで次の定義の値によって構成されます。

- SET_CCFG_BL_CONFIG_BL_ENABLE
- SET_CCFG_BL_CONFIG_BL_PIN_NO
- SET_CCFG_BL_CONFIG_BL_LEVEL

セクション 11.2.1 に、CCFG の BL_BACKDOOR_CONFIG パラメータのレイアウトを示します。

注

ブートローダのバックドア機能を使用する場合、バックドア (BL_PIN_NO) として構成されたピンは、バックドア レベルをチェックする際に、構成された I/O ピンのレベルとは逆のプル レベルをイネーブルにするように構成されます。

Copyright © 2026 Texas Instruments Incorporated

10.2 ブートローダー インターフェイス

ブートローダーは、2 ピン UART または 4 ピン SSI インターフェイスを介して外部デバイスと通信します。以下のサブセクションで、通信プロトコルとトランスポート層について説明します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

10.2.1 パケット処理

ブートローダーは、外部の通信プログラムとの信頼性の高い通信を確保するために、あらかじめ定義されたパケットを使用します。すべての通信は、これらの規定されたパケットを使用します (UART の自動ボーレート検出 [セクション 10.2.2.1 を参照] を除きます)。このパケットは、ACK または NACK バイトが定義された通信デバイスによって、常に確認応答されるか、確認されません。

パケットは、パケットの送受信に同じ形式を使用します。この形式には、パケットの受信の成功または失敗をアクノリッジする方法が含まれます。

シリアル ポート上の実際の信号方式は異なりますが、サポートされている UART インターフェイスおよび SSI インターフェイスでは、パケット形式は共通です。

パケットの送信とパケット受信は、図 10-1 に示す単純なプロトコルに従う必要があります。

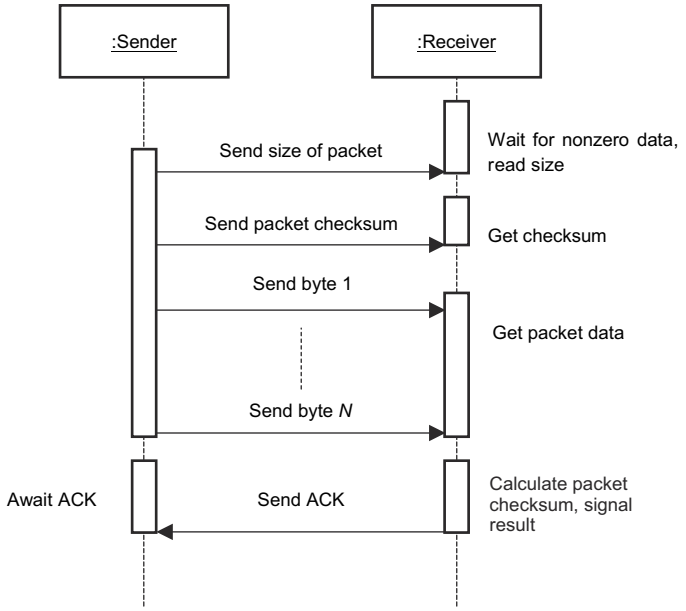


図 10-1. 送受信プロトコルのシーケンス図

パケットを正常に送信するには、次の手順を実行します。

1. デバイスに送信するパケットのサイズを送信します。サイズは常に「データ + 2」であり、その値は下位 8 ビットに切り詰められます。
2. コマンドが正しく送信されたことを確認するために、データ バッファのチェックサムを送信します。チェックサム アルゴリズムは、データ バイトの合計です。
3. 実際のデータ バイトを送信します。
4. データが正常に受信されたこと、または伝送エラーが検出されたことを示す、デバイスからの単一バイトの応答を待機します。

パケットを正常に受信するには、次の手順を実行します。

1. ゼロでないデータがデバイスから返されるのを待ちます。これは重要です。デバイスは、送信されたデータ パケットと受信されるデータ パケットの間に、値がゼロのバイトを送出する場合があるためです。最初に受信されたゼロでないバイトは、受信されたパケットのサイズです。
2. 次のバイトであるパケットのチェックサムを読み取ります。
3. デバイスからデータ バイトを読み取ります。データ位相中は、パケット サイズから 2 バイトを引いた値が送信されます。たとえば、パケット サイズが 3 の場合、受信するデータは 1 バイトだけです。

Copyright © 2026 Texas Instruments Incorporated

4. データバイトのチェックサムを計算し、その値がパケット内で受信したチェックサムと一致することを確認します。
5. パケットの受信が成功したか失敗したかを示すために、アクノリッジ バイトまたはアクノリッジなしバイトをデバイスに送信します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

レシーバによってパケットが正常に受信され、検証されると、アクノリッジ (ACK) バイトが送信されます。アクノリッジなし (NAK) バイトは、送信されたパケットにエラーが検出された場合に送信されます。これは通常、チェックサム エラーやパケット内のデータ形式の不正によるものであり、送信側は直前のパケットを再送信できます。

パケット処理の説明として、基本的なパケットフォーマットを図 10-2 に示します。

図 10-2 では、一番上の行はデータを送信しているデバイスを示しています。一番下の行は、もう一方のデバイスからの応答です。

この場合、図 10-2 に示すデータとともに 6 バイトのパケットが送信されます。このデータのチェックサムは 0x48 + 0x6f + 0x6c + 0x61 となり、その結果を下位 8 ビットに切り詰めると 0x84 になります。送信された最初のバイトは、パケットのサイズをバイト数で保持します。その後、チェックサム バイトが送信されます。次に出力されるバイトは、このパケットの 4 つのデータ バイトです。トランスミッタは、ゼロでない応答を受信するまでゼロを送信できます。これは SSI に必要で、UART で許可されます。受信側は、送信されるパケットに対して ACK または NAK の準備が整うまで、ゼロを返すことができます。どちらのデバイスも、パケットを送信した後に応答を受信するまでは、ゼロでないバイトを送信しません。

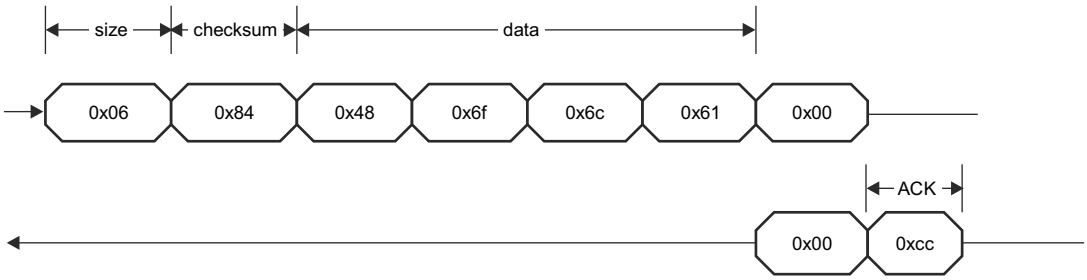


図 10-2. シリアル バス パケット形式

10.2.1.1 パケット アクノリッジとアクノリッジなしバイト

表 10-1 に、パケット アクノリッジ (ACK) バイトとアクノリッジなし (NAK) バイトに対して定義された値を示します。

表 10-1. プロトコル アクノリッジとアクノリッジなしバイト

プロトコル バイト	値
ACK	0xCC
NACK	0x33

Copyright © 2026 Texas Instruments Incorporated

10.2.2 トランスポート層

ブートローダーは UART0 および SSI0 ポートを通じた更新をサポートしており、これらは CC13x2 および CC26x2 デバイス プラットフォームで使用可能です。SSI0 ポートは、より高く柔軟なデータ レートをサポートできるという利点がありますが、その一方で CC13x2 および CC26x2 デバイス プラットフォームへの接続数が増えるという欠点もあります。UART0 は、やや低速であり、場合によっては柔軟性も低いという欠点があります。ただし、UART0 を使用すると必要なピン数が少なく、標準的な任意の UART 接続を使用して簡単に実装できます。

表 10-2 は、特定の DIO に設定されるシリアル インターフェイス信号を指定します。これらのピンは固定されており、再構成することはできません。

表 10-2. シリアル インターフェースの構成

信号	CC26x2R	CC1312R	CC1352x
UART0_RX	DIO2	DIO2	DIO12
UART0_TX	DIO3	DIO3	DIO13
SSI0_CLK	DIO10	DIO10	DIO10
SSI0_FSS	DIO11	DIO11	DIO11
SSI0_RX	DIO9	DIO9	DIO9
SSI0_TX	DIO8	DIO8	DIO8

ブートローダーは最初、二つのシリアル インターフェイスの入力ピンのみを構成します。デフォルトでは、すべての I/O ピンの入力バッファは無効化されているため、その時点より前にホストからブートローダーのインターフェイスへアクセスできないようにするため、ブートローダーは必要なピンを入力ピンとして設定します。入力ピンのこの初期構成では、ファームウェアは表 10-2 に示す入力信号を対応するペリフェラル信号にルーティングするように IOC を構成します。

ブートローダーは、外部デバイスから最初にアクセスするインターフェイスを選択します。一度インターフェースが選択されると、選択されたインターフェースの TX 出力ピンが設定され、非アクティブなインターフェイス (UART0 または SSI0) のモジュールは無効化されます。他のインターフェイスに切り替えるには、CC13x2 および CC26x2 デバイス プラットフォームをリセットする必要があります。TX ピンの遅延構成により、最初のパケットの最初のバイトの転送に関して、SSI0 マスタ デバイスに特別な考慮事項があります (セクション 10.2.2.2 を参照)。

10.2.2.1 UART トランスポート

UART ポートを使用するために必要な接続は 2 つのピン、UART0 TX と UART0 RX です。ブートローダと通信するデバイスは CC13x2 および CC26x2 デバイス プラットフォームの UART0 RX ピンを駆動し、CC13x2 および CC26x2 デバイス プラットフォームは UART0 TX ピンを駆動します。

ボーレートはフレキシブルですが、UART シリアル形式は 8 データビット、パリティなし、1 ストップ ビットに固定されています。ブートローダは通信のボーレートを自動的に検出します。

10.2.2.1.1 UART ボーレートの自動検出

ブートローダーは、通信に使用されている UART ボーレートを自動的に検出する方法を提供します。

ホストと同期するには、ブートローダーは値 0x55 で 2 バイトを受信する必要があります。同期が成功した場合、ブートローダーは 2 バイトで構成されるアクノリッジを返し、値は 0x00 と 0xCC です。

同期が失敗した場合、ブートローダーは同期の試行を待ちます。

自動検出機能では、GPIO 割り込みを使用して UART0 RX ピンのエッジが監視されます。十分なエッジが検出されると、ブートローダーは UART のプログラムに必要なボーレートと周波数の比率を決定します。

UART モジュールのシステム クロックは、ボーレートの 16 倍以上にする必要があります。したがって、最大ボーレートは 3Mbaud (48MHz を 16 で割った値) を超えることはできません。ホストの転送レートを検出するファームウェア機能により、最大ボーレートは 1.6Mbaud に制限されます。

Copyright © 2026 Texas Instruments Incorporated

10.2.2.2 SSI トランスポート

SSI ポートを使用するために必要な接続は、次の四つのピンです。

- SSI0_TX
- SSI0_RX
- SSI0_CLK
- SSI0_FSS

ブートローダーと通信するデバイスは FSS ピン (SSI0_RX、SSI0_CLK、SSI0) を駆動し、CC13x2 および CC26x2 デバイス プラットフォームは SSI0_TX ピンを駆動します。

SSI 通信に使用される形式は、Motorola 形式で、SPH が 1、SPO が 1 に設定されています (この形式の詳細については、図 22-9 を参照してください)。SSI インターフェースにはハードウェア上の制約があり、SSI クロックの最大周波数は SSI モジュール クロック周波数の 1/12 以下に制限されます (48MHz/12 = 4MHz)。

マスタは、外部マスタ デバイスがシリアル インターフェースを選択する前にいかなる出力ピンも設定しないという機能により、SSI0 インターフェースの使用に関して特別な考慮が必要です。

注

マスタから転送された最初のパケットでは、ブートローダーからデータは受信されず、ブートローダーはパケットの最初のバイトにあるビットをクロックアウトします。

ブートローダーが SSI0_RX で 1 バイトが受信されたことを検出すると、ブートローダーは SSI0_TX 出力ピンを構成します。

最初のパケットの次のバイトを送信する前に、マスタは短い遅延を挿入し、ブートローダーが SSI0_TX 出力ピンの設定を完了していることを確実にする必要があります。

10.2.3 シリアル バス コマンド

表 10-3 に、UART0 および SSI0 ブートローダ インターフェイスのカスタム プロトコルでサポートされているコマンドを示します。

各コマンドはプロトコル パケット内で転送されます。パケット内の最初の 2 バイトは、サイズ バイトの後にチェックサム バイトが続きます。3 番目のバイトにはコマンドを識別するコマンド値が保持されています。サポートされているすべてのコマンドの値は、表 10-3 の「コマンド値」列に記載されています。パケット内の残りのバイトはコマンド パラメータです。各コマンドのコマンド バイトとパラメータ バイトの詳細な説明については、セクション 10.2.3.1 からセクション 10.2.3.12 を参照してください。

次のサブセクションでは、各コマンドのプロトコル パケット内の個々のバイトを指定します。

表 10-3. サポートされているブートローダ コマンド

コマンド	コマンド値	パケットのバイト数	説明
COMMAND_PING	0x20	3	通信が確立されたことを示すアクノリッジをブートローダから受信します。
COMMAND_DOWNLOAD	0x21	11	フラッシュ プログラミングを準備します。フラッシュ内のどこからデータをプログラムするか、および後続の COMMAND_SEND_DATA コマンドで送信されるバイト数を指定します。
COMMAND_GET_STATUS	0x23	3	最後に発行されたコマンドのステータスを返します。通常、前のコマンドが成功したことを保証するために、各コマンドを送信した後、ブートローダはこのコマンドを受信する必要があります。定義済みのステータス値については、表 10-4 を参照してください。ステータスは、3 バイトのプロトコル パケット内で返されます。

Copyright © 2026 Texas Instruments Incorporated

表 10-3. サポートされているブートローダ コマンド (続き)

コマンド	コマンド値	パケットのバイト数	説明
COMMAND_SEND_DATA	0x24	4～255	データを転送し、フラッシュをプログラムします。COMMAND_DOWNLOAD コマンドまたは別の COMMAND_SEND_DATA コマンドに続いてフラッシュにプログラムされるデータを転送します。フラッシュにプログラムするデータ バイト数は、1 ～ 252 (パケット内の最大データ ロード) にすることができます。COMMAND_SEND_DATA コマンドによって、COMMAND_DOWNLOAD コマンドで指定された量を超えるデータがダウンロードされた場合、エラー ステータスが生成されます。
COMMAND_RESET	0x25	3	システム リセットを実行します。詳細については、セクション 7.7.1.2 を参照してください。
COMMAND_SECTOR_ERASE	0x26	7	フラッシュ メイン バンク内の 1 つのセクタを消去します。消去するセクタは、セクタ開始アドレスによって指定されます。FCFG1 および CCFG の書き込み保護ビットで保護されないフラッシュ セクタのみが消去されます。最上位セクタ (CCFG を含む) が選択された場合、CCFG の内容は、デバイスが TI から出荷されたときと同じ値にリセットされます。
COMMAND_CRC32	0x27	15	指定されたメモリ領域に対して CRC32 を計算します。メモリ位置ごとの読み出し回数を指定します。
COMMAND_GET_CHIP_ID	0x28	3	AON_PMCTL JTAGUSERCODE レジスタから 32 ビット USER CODE を MSB ファーストで返します。ID はプロトコル パケット内で返されます。
COMMAND_MEMORY_READ	0x2A	9	指定されたメモリ マップされた開始アドレスから、指定されたアクセス幅 (8 ビットまたは 32 ビット) で指定された数の要素を読み出します。要求されるデータ量は、通信パケットの最大サイズよりも小さくなければなりません。
COMMAND_MEMORY_WRITE	0x2B	9～255	指定されたメモリマップされた開始アドレスから、指定された幅 (8 ビットまたは 32 ビット) のアクセスで受信データを書き込みます。書き込むデータは、コマンドと同じパケットに含まれている必要があります。
COMMAND_BANK_ERASE	0x2C	3	FCFG1 および CCFG の書き込み保護ビットで保護されていない、顧客がアクセス可能なすべてのフラッシュ セクタを消去します。CCFG パラメータ BANK_ERASE_DIS がクリアされている場合、消去動作は実行されません。最上位セクタ (CCFG を含む) が消去される可能性があるため、CCFG の内容は、デバイスが TI から出荷されたときと同じ値にリセットされます。
COMMAND_SET_CCFG	0x2D	11	このコマンドのデータ バイトで受信した値を使用して、CC13x2 および CC26x2 で定義された CCFG フィールドをフラッシュ CCFG 領域に書き込みます。このコマンドにより、ユーザーは、定義された CCFG フィールドがフラッシュ CCFG 内のどの物理アドレスに格納されているかについての詳細な知識を持つ必要がありません。
COMMAND_DOWNLOAD_CRC	0x2F	15	指定された CRC32 値でフラッシュ プログラミングを準備します。フラッシュ メイン バンク内のどこからデータをプログラムするか、後続の COMMAND_SEND_DATA コマンドで送信されるバイト数、およびプログラムする総バイト数を対象とする 32 ビット CRC 値を指定します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

10.2.3.1 COMMAND_PING

COMMAND_PING コマンドは、ブートローダーからアクノリッジを受信し、通信が確立されたことを示します。このコマンドは 1 バイトで構成されます。

コマンドを含むパケットの形式は以下の通りです。

```
unsigned char ucCommand[3];
     ucCommand[0] = <size=3>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_PING;
```

10.2.3.2 COMMAND_DOWNLOAD

COMMAND_DOWNLOAD コマンドは、フラッシュ内のデータ保存先と、その後に続く COMMAND_SEND_DATA コマンドによって送信されるバイト数をブートローダーに通知するために送信されます。このコマンドは二つの 32 ビット値で構成されており、いずれも MSB ファーストで転送されます。最初の 32 ビット値はデータの書き込みを開始するアドレスであり、二番目の 32 ビット値は送信されるデータのサイズを表します。プログラム アドレスとプログラム サイズがデバイスに対して有効であることを確認するため、このコマンドの後には COMMAND_GET_STATUS コマンドを実行する必要があります。CC13x2 および CC26x2 デバイスでは、フラッシュはアドレス 0x0000 0000 から開始されます。このコマンドは消去操作を一切実行せず、後続の COMMAND_SEND_DATA コマンドによって行われるフラッシュ書き込みの準備を行うだけです。必要なフラッシュ消去は、COMMAND_BANK_ERASE および COMMAND_SECTOR_ERASE コマンドで実行できます。

コマンドを含むパケットの形式は以下の通りです。

```
unsigned char ucCommand[11];
     ucCommand[0] = <size=11>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_DOWNLOAD;
     ucCommand[3] = Program Address [31:24];
     ucCommand[4] = Program Address [23:16];
     ucCommand[5] = Program Address [15:8];
     ucCommand[6] = Program Address [7:0];
     ucCommand[7] = Program Size [31:24];
     ucCommand[8] = Program Size [23:16];
     ucCommand[9] = Program Size [15:8];
     ucCommand[10] = Program Size [7:0];
```


Copyright © 2026 Texas Instruments Incorporated

10.2.3.3 COMMAND_SEND_DATA

COMMAND_SEND_DATA コマンドは、COMMAND_DOWNLOAD コマンドの直後、または追加データの送信が必要な場合に別の COMMAND_SEND_DATA コマンドの直後にのみ実行できます。連続して COMMAND_SEND_DATA コマンドを実行すると、アドレスが自動的にインクリメントされ、前の位置からプログラミングが継続されます。

COMMAND_DOWNLOAD コマンドで示されるバイト数を受信すると、このコマンドはプログラミングを終了します。

ブートローダは、実際のプログラミングが完了した後、コマンドに応答して ACK を送信します。この関数が呼び出されるたびに、COMMAND_GET_STATUS コマンドを入力して、データがフラッシュに正常にプログラムされたことを確認します。ブートローダはこのコマンドに NAK 信号を送信した場合、現在のアドレスをインクリメントせず、以前のデータを再送信できます。

コマンドを含む、パケットのフォーマットは次のとおりです。

```
unsigned char ucCommand[4-255];
     ucCommand[0] = <size>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_SEND_DATA;
     ucCommand[3] = Data byte to be programmed[0];
     ucCommand[4] = Data byte to be programmed[1];
     ucCommand[5] = Data byte to be programmed[2];
     ucCommand[6] = Data byte to be programmed[3];
     ucCommand[7] = Data byte to be programmed[4];
     ucCommand[<size-1>] = Data byte to be programmed[<size-4>];
```

10.2.3.4 COMMAND_SECTOR_ERASE

COMMAND_SECTOR_ERASE コマンドは、指定されたフラッシュ セクタを消去します。一つのフラッシュ セクタのサイズは 8kB です。

このコマンドは一つの 32 ビット値で構成されており、その値は MSB ファーストで転送されます。32 ビット値は、消去されるフラッシュ セクタの開始アドレスです。

ブートローダーは、実際の消去動作が実行された後で、ホスト デバイスへの ACK 信号で応答します。

CC13x2 および CC26x2 デバイス プラットフォームのフラッシュはアドレス 0x0000 0000 から開始され、それぞれ 8kB のセクタがあります。

注

FCFG1 および CCFG の書き込み保護ビットで保護されたセクタは消去されません。

トップ セクタ (CCFG 領域を含む) のセクタ アドレスが指定されている場合、実際の消去後に、TI から供給されたときと同じ値に CCFG 値が設定されます。

コマンドを含むパケットの形式は以下の通りです。

```
unsigned char ucCommand[7];
     ucCommand[0]= <size=7>;
     ucCommand[1]= <checksum>;
     ucCommand[2]= COMMAND_ERASE;
     ucCommand[3]= Sector Address [31:24];
     ucCommand[4]= Sector Address [23:16];
     ucCommand[5]= Sector Address [15: 8];
     ucCommand[6]= Sector Address [ 7: 0];
```

10.2.3.5 COMMAND_GET_STATUS

COMMAND_GET_STATUS コマンドは、最後に発行されたコマンドのステータスを返します。通常、このコマンドは、直前のコマンドが成功したことを確認するために、あるいはコマンドが失敗した場合に適切に対応するために、他のすべて

Copyright © 2026 Texas Instruments Incorporated

のコマンド送信後に受信されます。ブートローダーは、サイズ バイト、チェックサム バイト、および現在のステータス値を示す 1 バイトから成る 3 バイトのパケットを送信して応答します。

その後、ブートローダーはパケットが受信されたことを確認するために、ホストからの ACK を待ちます。

コマンドを含むパケットの形式は以下の通りです。

```
unsigned char ucCommand[3];
     ucCommand[0] = <size=3>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_GET_STATUS;
```

表 10-4 に、COMMAND_GET_STATUS コマンドがブートローダーに送信されたときにブートローダーから返される可能性のあるステータス値の定義を示します

表 10-4. 定義されたステータス値

ステータスの定義	値	説明
COMMAND_RET_SUCCESS	0x40	コマンドが成功するためのステータス
COMMAND_RET_UNKNOWN_CMD	0x41	不明なコマンドのステータス
COMMAND_RET_INVALID_CMD	0x42	無効なコマンドのステータス (つまり、パケット サイズが正しくありません)
COMMAND_RET_INVALID_ADR	0x43	無効な入力アドレスのステータス
COMMAND_RET_FLASH_FAIL	0x44	フラッシュの消去またはプログラム動作に失敗したことを示すステータス

10.2.3.6 COMMAND_RESET

COMMAND_RESET コマンドは、システム リセットを実行するようブートローダに指示します。CC13x2 および CC26x2 デバイスに新しいフラッシュ イメージをダウンロードした後、このコマンドを使用して、新しいアプリケーションをリセットから開始させます。通常のブート シーケンスが実行され、フラッシュ イメージはハードウェア リセットから実行された場合と同様に動作します。また、重大なエラーが発生し、ホスト デバイスがブートローダとの通信を再開する必要がある場合は、このコマンドを使用してブートローダをリセットします。

ブートローダは、実際にシステム リセットを実行する前に、ACK 信号でホスト デバイスに応答します。この ACK 信号は、コマンドが正常に受信されたことを更新アプリケーションに通知し、その後 CC13x2 および CC26x2 デバイスがリセットされます。

コマンドを含むパケットの形式は次のとおりです。

```
unsigned char ucCommand[3];
     ucCommand[0] = <size=3>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_RESET;
```


Copyright © 2026 Texas Instruments Incorporated

10.2.3.7 COMMAND_GET_CHIP_ID

COMMAND_GET_CHIP_ID コマンドにより、ブートローダーは AON_PMCTL JTAGUSERCODE レジスタから 32 ビットのユーザー ID の値を返します。ブートローダは、まずコマンドへの応答として ACK 信号を送信し、次に、サイズ バイト、チェックサム バイト、およびユーザー ID を保持する 4 バイト (MSB ファースト) を含む 6 バイトのパケットを送信します。

その後、ブートローダは、パケットが受信されたことを確認するために、ホストからの ACK 信号を待機します。

コマンドのフォーマットは、以下のとおりです。

```
unsigned char ucCommand[3];
     ucCommand[0] = <size=3>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_GET_CHIP_ID;
```

10.2.3.8 COMMAND_CRC32

COMMAND_CRC32 コマンドは、CRC32 を使用してフラッシュ領域をチェックします。このコマンドは 3 つの 32 ビット値で構成され、すべて MSB ファーストで転送されます。1 番目の 32 ビット値は CRC32 計算を開始するメモリ内のアドレス、2 番目の 32 ビット値は CRC32 計算の対象となるバイト数、3 番目の 32 ビット値は各データ位置の読み出し繰り返し回数です。読み出し繰り返し回数が 0x0000 0000 の場合、すべてのデータ位置を 1 回だけ読み出してチェックサムが生成されます。このコマンドは、実際の CRC32 計算後に、コマンドへの応答として ACK 信号を送信します。最終的に、結果は 6 バイト パケット内の 4 バイト値 (MSB ファースト) として返されます。その後、ブートローダは、パケットが受信されたことの確認として、ホストからの ACK 信号を待機します。バイト数を保持する 2 番目のパラメータは 8 より大きい必要があります。それ以外の場合、返されるチェックサムは 0xFFFF FFFF になります。

コマンドを含むパケットの形式は次のとおりです。

```
unsigned char ucCommand[15];
     ucCommand[0] = <size=15>;
     ucCommand[1] = <checksum>;
     ucCommand[2]= COMMAND_CRC32;
     ucCommand[3]= Data Address [31:24];
     ucCommand[4]= Data Address [23:16];
     ucCommand[5]= Data Address [15: 8];
     ucCommand[6]= Data Address [ 7: 0];
     ucCommand[7]= Data Size [31:24];
     ucCommand[8]= Data Size [23:16];
     ucCommand[9]= Data Size [15: 8];
     ucCommand[10]= Data Size [7: 0];
     ucCommand[11]= Read Repeat Count [31:24];
     ucCommand[12]= Read Repeat Count [23:16];
     ucCommand[13]= Read Repeat Count [15: 8];
     ucCommand[14]= Read Repeat Count [7: 0];
```


Copyright © 2026 Texas Instruments Incorporated

10.2.3.9 COMMAND_BANK_ERASE

CCFG パラメータ BANK_ERASE_DIS がクリアされている場合、COMMAND_BANK_ERASE コマンドは消去処理を実行しません。COMMAND_BANK_ERASE がクリアされていない場合、このコマンドは、FCFG1 および CCFG の書き込み保護ビットによって保護されていない CCFG を含むメインバンク内のすべてのフラッシュ セクタを消去します。

このコマンドは、実際の消去動作の実行後、コマンドに応答して ACK を送信します。実際の消去処理の後、CCFG の値は、デバイス出荷時の TI 設定値と同じ値に再プログラムされます。

コマンドを含むパケットの形式は以下の通りです。

```
unsigned char ucCommand[3];
     ucCommand[0] = <size=3>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_BANK_ERASE;
```

10.2.3.10 COMMAND_MEMORY_READ

このコマンドは、指定したメモリ マップ開始アドレスから、指定したアクセス タイプ (8 ビットまたは 32 ビット) で指定数の要素を読み出し、読み出したデータを別の通信パケットで返します。要求されるデータ量は、通信パケットの最大サイズよりも小さくなければなりません。Access Type には 0 または 1 を指定する必要があります。値 0 を指定すると、8 ビット読み出しアクセスが強制されます。値 1 を指定すると、32 ビット読み出しアクセスが強制されます。Number of Accesses は、8 ビットまたは 32 ビット読み出しアクセスの回数を指定します。Access Type = 0 の場合、Number of Accesses の最大値は 253 です。Access Type = 1 の場合、Number of Accesses の最大値は 63 です。コマンドを含むパケットの形式は次のとおりです。

```
unsigned char ucCommand[9];
     ucCommand[0] = <size=9>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_MEMORY_READ;
     ucCommand[3] = Memory Map Address [31:24];
     ucCommand[4] = Memory Map Address [23:16];
     ucCommand[5] = Memory Map Address [15:8];
     ucCommand[6] = Memory Map Address [7:0];
     ucCommand[7] = Access Type [7:0];
     ucCommand[8] = Number of Accesses [7:0];
```


Copyright © 2026 Texas Instruments Incorporated

10.2.3.11 COMMAND_MEMORY_WRITE

このコマンドは、受信したデータを、指定されたメモリ マップト開始アドレスから、指定されたアクセス幅 (8 ビットまたは 32 ビット) で書き込みます。書き込むデータは、コマンドと同じパケットに含まれている必要があります。アクセス幅は、指定されたアクセス タイプによって指定されます。アクセス タイプは 0 または 1 のいずれかである必要があります。値を 0 にすると、8 ビットの書き込みアクセスが強制的に行われます。値を 1 にすると、32 ビットの書き込みアクセスが強制的に行われます。受信されたデータ バイトの数は、パケット サイズ バイトによって示されます。アクセス幅 0 のデータ バイトの最大数は 247、アクセス幅 1 の場合 244 です。

COMMAND_MEMORY_WRITE コマンドを使って特定のメモリ マップト領域を書き込むことはできません。次のメモリ マップト領域への書き込みを行うと、これらの領域はブートローダーによって使用されているため、シリアル ブートローダーが正常に動作しない状態になる可能性があります。これは、以下のメモリ マップト領域で有効です。

- SRAM の下位 4kB (0x2000 0000 ～ 0x2000 0FFF)
- シリアル ブートローダーが現在使用しているシリアル インターフェイス (UART または SSI) の機能を制御する任意のハードウェア レジスタ。

注

COMMAND_MEMORY_WRITE コマンドは、フラッシュ メモリへの書き込みには使用できません。

コマンドを含むパケットの形式は以下の通りです。

```
unsigned char ucCommand[(from 9 to 255)];
     ucCommand[0] = <size=(from 9 to 255)>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_MEMORY_WRITE;
     ucCommand[3] = Memory Map Address [31:24];
     ucCommand[4] = Memory Map Address [23:16];
     ucCommand[5] = Memory Map Address [15:8];
     ucCommand[6] = Memory Map Address [7:0];
     ucCommand[7] = Access Type [7:0];
     ucCommand[8] = Data [7:0];
     ...
     ...
     ucCommand[9 + (packet size - 9)] = Data [7:0] or Data[31:24];
```


English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

10.2.3.12 COMMAND_SET_CCFG

COMMAND_SET_CCFG コマンドは、ROM ブート ファームウェアによって参照されるフラッシュ CCFG 領域内の定義済みフィールドを設定するために、ブートローダーへ送信されます。このコマンドは、実際のフラッシュ書き込み処理が実行された後に、コマンドに対する ACK 信号を返します。書き込み動作の前に、このコマンドは消去操作を実行しません。

このコマンドは二つの 32 ビット値で構成されており、すべて MSB ファーストで転送されます。最初の 32 ビットの値は CCFG フィールド ID で、書き込む CCFG パラメータを識別し、二番目の 32 ビットの値はプログラムするフィールド値です。コマンド ハンドラは、CCFG パラメータ サイズに対応していないフィールド値ビットをマスクアウトします。

注

COMMAND_SET_CCFG コマンドは、CCFG パラメータ値ビットを 1 から 0 にのみ変更できます。

ビットを 0 から 1 に変更しようとすると、次の COMMAND_GET_STATUS コマンドで確認できるエラー ステータスが発生します。

このコマンドは、ROM ブート時にデバイス構成を制御している CCFG フィールドのみを書き込むことができます。(BL_CONFIG から末尾まで順番に並んでいるフィールド)。

CCFG パラメータのビット値を 0 から 1 に変更する唯一の方法は、CCFG フラッシュセクタ全体を消去することです。このコマンドは、実際のフラッシュ書き込み処理が終了した後に、コマンドに対する ACK 信号を送信します。

CCFG 領域 (フラッシュの最上位セクタ) が FCFG1 または CCFG の保護ビットによって書き込み保護されている場合、書き込み処理は失敗します。

コマンドを含むパケットの形式は以下の通りです。

```
unsigned char ucCommand[11];
     ucCommand[0] = <size=11>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_SET_CCFG;
     ucCommand[3] = Field Id[31:24];
     ucCommand[4] = Field Id[23:16];
     ucCommand[5] = Field Id[15:8];
     ucCommand[6] = Field Id[7:0];
     ucCommand[7] = Field Value[31:24];
     ucCommand[8] = Field Value[23:16];
     ucCommand[9] = Field Value[15:8];
     ucCommand[10] = Field Value[7:0];
```


Copyright © 2026 Texas Instruments Incorporated

表 10-5 に、対応するフィールド値を持つ定義された CCFG フィールド ID を示します。

表 10-5. CCFG フィールド ID とフィールド値を定義

フィールド ID	フィールド値	説明
0: ID_SECTOR_PROT	ビット [31:0] - 書き込みおよび消去から保護するフラッシュセクタのセクタ番号です	指定されたセクタ番号に対応する CCFG 内のセクタ書き込み保護ビットは 0 に設定されます。これにより、セクタのプログラムと消去が防止されます。最初のフラッシュ セクタにはセクタ番号 0 があります。 このコマンドは、フラッシュ ラッパ レジスタ内のスティッキー セクタ保護ビットも設定します。 CCFG セクタであるセクタ 31 を保護する場合は注意してください。セクタ 31 が保護されている場合、その他の CCFG パラメータは設定できません。
1: ID_IMAGE_VALID	Bit[31:0] - 0x0000 0000	ブート シーケンスがフラッシュ イメージへ実行制御を移すためには、このフィールド値をフラッシュ イメージのベクタ テーブル開始アドレスに設定する必要があります。
2: ID_TEST_TAP_LCK	Bit[31:8] – 無視 Bit[7:0] – 0xC5 = TAP アンロック	0xC5 以外の値を設定すると、その後のブート シーケンス実行後に TAP はロック状態になります
3: ID_PWRPROF_TAP_LCK	Bit[31:8] – 無視 Bit[7:0] – 0xC5 = TAP アンロック	0xC5 以外の値を設定すると、その後のブート シーケンス実行後に TAP はロック状態になります。
4: ID_CPU_DAP_LCK	Bit[31:8] – 無視 Bit[7:0] – 0xC5 = DAP アンロック	0xC5 以外の値を設定すると、その後のブート シーケンス実行後に DAP はロック状態になります。
5: ID_AON_TAP_LCK	Bit[31:8] – 無視 Bit[7:0] – 0xC5 = TAP アンロック	0xC5 以外の値を設定すると、その後のブート シーケンス実行後に TAP はロック状態になります。
6:ID_PBIST1_TAP_LCK	Bit[31:8] – 無視 Bit[7:0] – 0xC5 = TAP アンロック	0xC5 以外の値を設定すると、その後のブート シーケンス実行後に TAP はロック状態になります。
7:ID_PBIST2_TAP_LCK	Bit[31:8] – 無視 Bit[7:0] – 0xC5 = TAP アンロック	0xC5 以外の値を設定すると、その後のブート シーケンス実行後に TAP はロック状態になります。
8: ID_BANK_ERASE_DIS	Bit[31:1] – 無視 Bit[0] – 0 = バンク消去無効	0 に設定されている場合、COMMAND_BANK_ERASE ブートローダーコマンドは消去処理を実行しません。
9: ID_CHIP_ERASE_DIS	Bit[31:1] – 無視 Bit[0] – 0 = チップ消去を無効化	0 に設定されている場合、スタートアップ シーケンスはチップ消去要求に関係なく、チップ消去動作を実行しません。
10: ID_TI_FA_ENABLE	Bit[31:8] – 無視 Bit[7:0] – 0xC5 = TI FA を有効化	0xC5 以外の値を設定すると、次回のブート時に TI FA 有効化機能は無効になります。
11: ID_BL_BACKDOOR_EN	Bit[31:8] – 無視 Bit[7:0] – 0xC5 = ブートローダー バックドアを有効化	0xC5 以外の値を設定すると、次のブート シーケンスでブートローダー バックドアが強制的に無効化されます。
12: ID_BL_BACKDOOR_PIN	Bit[31:8] – 無視 Bit[7:0] – ブートローダー バックドア用 I/O ピン番号	指定されたピン番号がデバイスの I/O ピン数を超える場合は、そのデバイスで使用可能な最大の I/O ピン番号が選択されます。
13: ID_BL_BACKDOOR_LEVEL	Bit[31:1] – 無視 Bit[0] – ブートローダー バックドア用ピンのアクティブレベル	0 = アクティブ Low

Copyright © 2026 Texas Instruments Incorporated

表 10-5. CCFG フィールド ID とフィールド値を定義 (続き)

フィールド ID	フィールド値	説明
14 : ID_BL_ENABLE	Bit[31:8] – 無視 Bit[7:0] – ブートローダーを有効化	0xC5 以外の値を指定すると、ブートローダーは受信したコマンドを強制的に無視します。

Copyright © 2026 Texas Instruments Incorporated

10.2.3.13 COMMAND_DOWNLOAD_CRC

COMMAND_DOWNLOAD_CRC コマンドはブートローダに送信され、フラッシュ内の書き込み先、後続の COMMAND_SEND_DATA コマンドで送信されるバイト数、および NVM に格納される全データ バイト数を対象とした 32 ビット CRC の期待値を指定します。このコマンドは 3 つの 32 ビット値で構成され、すべて MSB から転送されます。最初の 32 ビット値はデータのプログラミングを開始するアドレス、2 番目は送信されるデータの 32 ビット サイズ、3 番目はフラッシュでプログラムする合計バイト数を対象とした 32 ビットの CRC 値です。

次に、COMMAND_GET_STATUS を実行して、プログラム アドレスとプログラム サイズがデバイスに対して有効であることを確認する必要があります。

フラッシュはアドレス 0x0000 0000 から開始されます。

COMMAND_DOWNLOAD_CRC コマンドは、いかなる種類の消去動作も実行しません。このコマンドは、COMMAND_SEND_DATA コマンドによって実行されるその後の NVM プログラミングの準備を行うのみです。必要なフラッシュ消去は、COMMAND_BANK_ERASE および COMMAND_SECTOR_ERASE コマンドで実行できます。COMMAND_DOWNLOAD_CRC コマンドで指定された合計バイト数の最後のバイトをプログラムする最後の COMMAND_SEND_DATA コマンドで、(プログラミング後に) COMMAND_DOWNLOAD_CRC コマンドで指定されたフラッシュ領域を対象にする CRC32 値を計算し、計算された CRC32 値が指定された 32 ビット CRC 値と等しいかどうかをチェックします。これらの値が等しくない場合、プログラムされているフラッシュ領域全体が消去されてから、COMMAND_SEND_DATA コマンドが ACK を応答します。このシナリオでは、次の COMMAND_GET_STATUS コマンドによって、COMMAND_RET_FLASH_FAIL ステータスが報告されます。

注

CRC の計算と、最後の COMMAND_SEND_DATA コマンドの実行中に可能なフラッシュ消去動作のため、COMMAND_DOWNLOAD_CRC コマンドの ACK 応答が遅延します。

コマンドを含む、パケットのフォーマットは次のとおりです。

```
unsigned char ucCommand[15];
     ucCommand[0] = <size=15>;
     ucCommand[1] = <checksum>;
     ucCommand[2] = COMMAND_DOWNLOAD_CRC;
     ucCommand[3] = Program Address [31:24];
     ucCommand[4] = Program Address [23:16];
     ucCommand[5] = Program Address [15:8];
     ucCommand[6] = Program Address [7:0];
     ucCommand[7] = Program Size [31:24];
     ucCommand[8] = Program Size [23:16];
     ucCommand[9] = Program Size [15:8];
     ucCommand[10] = Program Size [7:0];
     ucCommand[11] = Crc [31:24];
     ucCommand[12] = Crc [23:16];
     ucCommand[13] = Crc [15:8];
     ucCommand[14] = Crc [7:0];
```


Copyright © 2026 Texas Instruments Incorporated

Chapter 11

デバイス設定

この章では、デバイス構成領域について説明します。工場出荷時構成 (FCFG) 領域とカスタマ構成 (CCFG) 領域はフラッシュ内にあります。FCFG はデバイス製造時にテキサス インスツルメンツによって設定され、デバイス固有のトリム値および構成が含まれます。CCFG はアプリケーションによって設定する必要があり、ROM ブート コード、デバイス ハードウェア、およびデバイス ファームウェアの構成パラメータが含まれます。

11.1 顧客構成 (CCFG) 831
11.2 CCFG レジスタ 832
11.3 工場出荷時構成 (FCFG) 863
11.4 FCFG レジスタ 863

Copyright © 2026 Texas Instruments Incorporated

11.1 顧客構成 (CCFG)

- イメージ有効パラメータ (通常はプログラミング ツールにより設定)
- 故障分析アクセス構成
- カスタム MAC アドレス
- ブートローダーの構成
- TAP および DAP アクセス設定
- CC13x2 デバイス: 出力電力を +14dBm に設定します

TI の分散ソフトウェアでは、CCFG パラメータはコンパイル時に ccfg.c ファイルで設定されます。デバイスを完全にデバッグするため、CCFG 設定はデフォルトで設定されています。製造では、CCFG 設定は推奨されません。

CC13x2 デバイスのみ:

+14dBm の出力電力を有効にするには、TI が cc13xxware で提供する ccfg.c 内で CCFG_FORCE_VDDR_HH 定義を 1 に設定する必要があります。CCFG_FORCE_VDDR_HH が 0 に設定されている場合、可能な最大出力電力は +12.5dBm です。

TI は、最終製品向けにデバイスを構成する際には、以下の手順に従うことを推奨します。

1. ブートローダー インターフェイス経由でのフラッシュ内容へのアクセスを禁止するには、ccfg.c での次の定義を 0x00 に設定する必要があります。
   - SET_CCFG_BL_CONFIG_BOOTLOADER_ENABLE
   - SET_CCFG_BL_CONFIG_BL_ENABLE
2. ccfg.c 内の SET_CCFG_CCFG_TI_OPTIONS_TI_FA_ENABLE 定義は、TI による故障解析アクセスを禁止するために 0x00 に設定するものとします。
3. JTAG アクセス ポートへのアクセスを個別に禁止するには、ccfg.c の以下の定義を 0x00 に設定する必要があります。
   - SET_CCFG_CCFG_TAP_DAP_0_PWRPROF_TAP_ENABLE
   - SET_CCFG_CCFG_TAP_DAP_0_TEST_TAP_ENABLE
   - SET_CCFG_CCFG_TAP_DAP_0_CPU_DAP_ENABLE
   - SET_CCFG_CCFG_TAP_DAP_1_AON_TAP_ENABLE
   - SET_CCFG_CCFG_TAP_DAP_1_PBIST1_TAP_ENABLE
   - SET_CCFG_CCFG_TAP_DAP_1_PBIST2_TAP_ENABLE
4. EnergyTrace™ ソフトウェアで電力プロファイリングをイネーブルにするには、ccfg.c の SET_CCFG_CCFG_TAP_DAP_0_PWRPROF_TAP_ENABLE 定義を 0xC5 に設定する必要があります。
5. ccfg.c の SET_CCFG_IMAGE_VALID_CONF_IMAGE_VALID の定義は、ブート時にフラッシュ内でプログラムされたイメージに制御を渡すために、フラッシュ イメージのベクタ テーブルのアドレスに設定する必要があります。ほとんどの標準フラッシュ画像のベクタ テーブルはアドレス 0x0000 0000 に配置されています。
6. オプションとして、JTAG からチップ消去が要求された場合、ccfg.c の SET_CCFG_ERASE_CONF_CHIP_ERASE_DIS_N 定義を 0x0 に設定して、フラッシュの消去を禁止することもできます。
7. 最終製品でシステム内で更新されるように設計されていないフラッシュのセクタをプログラムおよび消去するには、ccfg.c の SET_CCFG_CCFG_PROT_n が定義しているものを使用します。この定義において 0 に設定された任意のビットは、対応するフラッシュ セクタ番号をプログラム保護および消去保護することを意味します。

注

CCFG の ENABLE フィールドにおける一部の機能は、対応する FCFG 側の ENABLE フィールドが TI の製造テストによって有効化されている場合にのみ有効となります。これは、例えば TEST_TAP アクセスポートのアクセス構成においても同様です。FCFG において TEST_TAP アクセスが有効化されていない製品では、ccfg.c 内の SET_CCFG_CCFG_TAP_DAP_0_TEST_TAP_ENABLE 定義によって設定された対応する CCFG フィールドの値は無視され、この機能は無効となります。

Copyright © 2026 Texas Instruments Incorporated

11.2 CCFG レジスタ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

11.2.1 CCFG レジスタ

表 11-1 に、CCFG レジスタのメモリ マップト レジスタを示します。表 11-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 11-1. CCFG レジスタ

オフセット	略称	レジスタ名	セクション
1FA8h	EXT_LF_CLK	外部 LF クロック構成	EXT_LF_CLK レジスタ (オフセット = 1FA8h) [リセット = FFFFFFFFh]
1FACh	MODE_CONF_1	モード構成 1	MODE_CONF_1 レジスタ (オフセット = 1FACh) [リセット = FFFFFFFFh]
1FB0h	SIZE_AND_DIS_FLAGS	CCFG サイズと無効フラグ	SIZE_AND_DIS_FLAGS レジスタ (オフセット = 1FB0h) [リセット = FFFFFFFFh]
1FB4h	MODE_CONF	モード構成 0	MODE_CONF レジスタ (オフセット = 1FB4h) [リセット = FFFFFFFFh]
1FB8h	VOLT_LOAD_0	電圧負荷 0	VOLT_LOAD_0 レジスタ (オフセット = 1FB8h) [リセット = FFFFFFFFh]
1FBCh	VOLT_LOAD_1	電圧負荷 1	VOLT_LOAD_1 レジスタ (オフセット = 1FBCh) [リセット = FFFFFFFFh]
1FC0h	RTC_OFFSET	リアルタイム クロック オフセット	RTC_OFFSET レジスタ (オフセット = 1FC0h) [リセット = FFFFFFFFh]
1FC4h	FREQ_OFFSET	周波数オフセット	FREQ_OFFSET レジスタ (オフセット = 1FC4h) [リセット = FFFFFFFFh]
1FC8h	IEEE_MAC_0	IEEE MAC アドレス 0	IEEE_MAC_0 レジスタ (オフセット = 1FC8h) [リセット = FFFFFFFFh]
1FCCh	IEEE_MAC_1	IEEE MAC アドレス 1	IEEE_MAC_1 レジスタ (オフセット = 1FCCh) [リセット = FFFFFFFFh]
1FD0h	IEEE_BLE_0	IEEE BLE アドレス 0	IEEE_BLE_0 レジスタ (オフセット = 1FD0h) [リセット = FFFFFFFFh]
1FD4h	IEEE_BLE_1	IEEE BLE アドレス 1	IEEE_BLE_1 レジスタ (オフセット = 1FD4h) [リセット = FFFFFFFFh]
1FD8h	BL_CONFIG	ブートローダー構成	BL_CONFIG レジスタ (オフセット = 1FD8h) [リセット = C5FFFFFFh]
1FDCh	ERASE_CONF	構成の消去	ERASE_CONF レジスタ (オフセット = 1FDCh) [リセット = FFFFFFFFh]
1FE0h	CCFG_TI_OPTIONS	TI オプション	CCFG_TI_OPTIONS レジスタ (オフセット = 1FE0h) [リセット = FFFFFFC5h]
1FE4h	CCFG_TAP_DAP_0	テスト用アクセス ポート イネーブル 0	CCFG_TAP_DAP_0 レジスタ (オフセット = 1FE4h) [リセット = FFC5C5C5h]
1FE8h	CCFG_TAP_DAP_1	テスト用アクセス ポート イネーブル 1	CCFG_TAP_DAP_1 レジスタ (オフセット = 1FE8h) [リセット = FFC5C5C5h]
1FECh	IMAGE_VALID_CONF	イメージ有効	IMAGE_VALID_CONF レジスタ (オフセット = 1FECh) [リセット = FFFFFFFFh]
1FF0h	CCFG_PROT_31_0	セクターの保護 0-31	CCFG_PROT_31_0 レジスタ (オフセット = 1FF0h) [リセット = FFFFFFFFh]
1FF4h	CCFG_PROT_63_32	セクターの保護 32-63	CCFG_PROT_63_32 レジスタ (オフセット = 1FF4h) [リセット = FFFFFFFFh]
1FF8h	CCFG_PROT_95_64	セクターの保護 64-95	CCFG_PROT_95_64 レジスタ (オフセット = 1FF8h) [リセット = FFFFFFFFh]
1FFCh	CCFG_PROT_127_96	セクターの保護 96-127	CCFG_PROT_127_96 レジスタ (オフセット = 1FFCh) [リセット = FFFFFFFFh]

Copyright © 2026 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 11-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 11-2. CCFG のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

11.2.1.1 EXT_LF_CLK レジスタ (オフセット = 1FA8h) [リセット = FFFFFFFFh]

図 11-1 に、EXT_LF_CLK を示します。表 11-3 に、その説明を示します。

概略表に戻ります。

外部 LF クロック構成

図 11-1. EXT_LF_CLK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIO								RTC_INCREMENT																							
R-FFh								R-00FFFFFFh																							

表 11-3. EXT_LF_CLK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	DIO	R	FFh	MODE_CONF.SCLK_LF_OPTION が EXTERNAL に設定されているときに、外部 32kHz クロックを SCLK_LF として供給するように DIO を選択する符号なし整数。選択されている DIO は、ピンドライバ (TI-RTOS 環境) によって予約済みとマークされるため、他の用途では選択できません。
23-0	RTC_INCREMENT	R	00FFFFFFh	外部クロックの入力周波数を定義する符号なし整数で、AON_RTC:SUBSECINC.VALUEINC に書き込まれます。次のように定義されます。EXT_LF_CLK.RTC_INCREMENT = 2^{38}/InputClockFrequency (単位:ヘルツ) (例:RTC_INCREMENT=0x800000 (InputClockFrequency = 32768Hz の場合)

Copyright © 2026 Texas Instruments Incorporated

11.2.1.2 MODE_CONF_1 レジスタ (オフセット = 1FACh) [リセット = FFFFFFFFh]

図 11-2 に、MODE_CONF_1 を示し、表 11-4 に、その説明を示します。

概略表に戻ります。

モード構成 1

図 11-2. MODE_CONF_1 レジスタ

31	30	29	28	27	26	25	24
TCXO_TYPE	TCXO_MAX_START						
R-1h	R-7Fh						
23	22	21	20	19	18	17	16
ALT_DCDC_VMIN				ALT_DCDC_DITHER_EN	ALT_DCDC_IPEAK		
R-Fh				R-1h	R-7h		
15	14	13	12	11	10	9	8
DELTA_IBIAS_INIT				DELTA_IBIAS_OFFSET			
R-Fh				R-Fh			
7	6	5	4	3	2	1	0
XOSC_MAX_START							
R-FFh							

表 11-4. MODE_CONF_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TCXO_TYPE	R	1h	TCXO タイプを選択します。 0:CMOS タイプ。内部同相モード バイアスは有効になりません。 1:クリップ正弦タイプ。TCXO を使用するとき、内部同相モード バイアスが有効になります。 ビットフィールド値は、MODE_CONF.XOSC_FREQ=0 の場合にのみ有効です。
30-24	TCXO_MAX_START	R	7Fh	最大 TCXO 起動時間 (単位:100us)。 ビットフィールド値は、MODE_CONF.XOSC_FREQ=0 の場合にのみ有効です。
23-20	ALT_DCDC_VMIN	R	Fh	代替 DC/DC 設定が有効な場合、DC/DC を使用すべき際の最低電圧 (SIZE_AND_DIS_FLAGS.DIS_ALT_DCDC_SETTING=0)。 電圧 = (28 + ALT_DCDC_VMIN)/16。 0:1.75V 1: 1.8125V ... 14: 2.625V 15: 2.6875V 注！このフィールドを適用するには、DriverLib 関数 SysCtrl_DCDC_VoltageConditionalControl() を定期的に呼び出す必要があります (TI RTOS を使用している場合は自動的に処理されます)。
19	ALT_DCDC_DITHER_EN	R	1h	代替 DC/DC 設定が有効な場合、DC/DC ディザリングを有効化します (SIZE_AND_DIS_FLAGS.DIS_ALT_DCDC_SETTING=0)。 0:ディザリング ディスエーブル 1:ディザリング イネーブル

Copyright © 2026 Texas Instruments Incorporated

表 11-4. MODE_CONF_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18-16	ALT_DCDC_IPEAK	R	7h	代替 DC/DC 設定が有効な場合のインダクタ ピーク電流 (SIZE_AND_DIS_FLAGS.DIS_ALT_DCDC_SETTING=0)。10uH 外部インダクタと仮定します！ 0：46mA (min) ... 4：70mA ... 7：87mA (最大)
15-12	DELTA_IBIAS_INIT	R	Fh	IBIAS_INIT の符号付きデルタ値。デルタ値は、SIZE_AND_DIS_FLAGS.DIS_XOSC_OVR=0 の場合にのみ適用されます。 FCFG1:AMPCOMP_CTRL1.IBIAS_INIT を参照してください
11-8	DELTA_IBIAS_OFFSET	R	Fh	IBIAS_OFFSET の符号付きデルタ値。デルタ値は、SIZE_AND_DIS_FLAGS.DIS_XOSC_OVR=0 の場合にのみ適用されます。 FCFG1:AMPCOMP_CTRL1.IBIAS_OFFSET を参照してください
7-0	XOSC_MAX_START	R	FFh	最大 XOSC 起動時間の符号なし値 (考えられる限り最悪の事態) (単位：100us)。値は、SIZE_AND_DIS_FLAGS.DIS_XOSC_OVR=0 の場合にのみ適用されます。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.3 SIZE_AND_DIS_FLAGS レジスタ (オフセット = 1FB0h) [リセット = FFFFFFFFh]

図 11-3 に、SIZE_AND_DIS_FLAGS を示します。表 11-5 に、その説明を示します。

概略表に戻ります。

CCFG サイズと無効フラグ

図 11-3. SIZE_AND_DIS_FLAGS レジスタ

31	30	29	28	27	26	25	24
SIZE_OF_CCFG							
R-FFFFh							
23	22	21	20	19	18	17	16
SIZE_OF_CCFG							
R-FFFFh							
15	14	13	12	11	10	9	8
DISABLE_FLAGS							
R-7FFh							
7	6	5	4	3	2	1	0
DISABLE_FLAGS			DIS_LINEAR_CAPARRAY_DELTA_WORKAROUND	DIS_TCXO	DIS_GPRAM	DIS_ALT_DCDC_SETTING	DIS_XOSC_OVR
R-7FFh			R-1h	R-1h	R-1h	R-1h	R-1h

表 11-5. SIZE_AND_DIS_FLAGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIZE_OF_CCFG	R	FFFFh	CCFG の合計サイズ (単位:バイト)。
15-5	DISABLE_FLAGS	R	7FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
4	DIS_LINEAR_CAPARRAY_DELTA_WORKAROUND	R	1h	CAPARRAY_DELTA 調整が追加されていない限り、デフォルトの CAPARRAY 設定は良好ですが、回避策が有効になっていない場合、CAPARRAY 設定は非線形動作を提供します。この回避策は、ソフトウェアの更新時に予期しない変更を回避するために、デフォルトで無効になっています。 0:CAPARRAY_DELTA 回避策が有効です。 1:CAPARRAY_DELTA 回避策が無効です。
3	DIS_TCXO	R	1h	非推奨。1 に設定する必要があります。
2	DIS_GPRAM	R	1h	GPRAM を無効化します (または 8K VIMS RAM を CACHE RAM として使用します)。 0:GPRAM は有効であるため、CACHE は無効です。 1:GPRAM は無効で、代わりに CACHE が有効です (デフォルト)。 注: - CACHE を無効化すると、CPU の実行速度が低下します (最大 60%)。 - GPRAM は 8K バイトのサイズで、有効になっている場合は 0x11000000-0x11001FFF に配置されます。 参照: VIMS:CTL.MODE

Copyright © 2026 Texas Instruments Incorporated

表 11-5. SIZE_AND_DIS_FLAGS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	DIS_ALT_DCDC_SETTING	R	1h	代替 DC/DC 設定を無効化します。 0:代替 DC/DC の設定を有効化します。 1:代替 DC/DC 設定を無効化します。 参照: MODE_CONF_1.ALT_DCDC_VMIN MODE_CONF_1.ALT_DCDC_DITHER_EN MODE_CONF_1.ALT_DCDC_IPEAK 注！このフィールドを適用するには、DriverLib 関数 SysCtrl_DCDC_VoltageConditionalControl() を定期的に呼び出す必要があります (TI RTOS を使用している場合は自動的に処理されます)。
0	DIS_XOSC_OVR	R	1h	XOSC オーバーライド機能を無効化します。 0:XOSC オーバーライド機能を有効化します。 1:XOSC オーバーライド機能を無効化します。 参照: MODE_CONF_1.DELTA_IBIAS_INIT MODE_CONF_1.DELTA_IBIAS_OFFSET MODE_CONF_1.XOSC_MAX_START

Copyright © 2026 Texas Instruments Incorporated

11.2.1.4 MODE_CONF レジスタ (オフセット = 1FB4h) [リセット = FFFFFFFFh]

図 11-4 に、MODE_CONF を示します。表 11-6 に、その説明を示します。

概略表に戻ります。

モード構成 0

図 11-4. MODE_CONF レジスタ

31	30	29	28	27	26	25	24
VDDR_TRIM_SLEEP_DELTA				DCDC_RECHARGE	DCDC_ACTIVE	VDDR_EXT_LOAD	VDDS_BOD_LEVEL
R-Fh				R-1h	R-1h	R-1h	R-1h
23	22	21	20	19	18	17	16
SCLK_LF_OPTION		VDDR_TRIM_SLEEP_TC	RTC_COMP	XOSC_FREQ		XOSC_CAP_MOD	HF_COMP
R-3h		R-1h	R-1h	R-3h		R-1h	R-1h
15	14	13	12	11	10	9	8
XOSC_CAPARRAY_DELTA							
R-FFh							
7	6	5	4	3	2	1	0
VDDR_CAP							
R-FFh							

表 11-6. MODE_CONF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	VDDR_TRIM_SLEEP_DELTA	R	Fh	VDDR_TRIM_SLEEP ターゲットに適用される符号付きデルタ値から 1 を引いた値。 参照:FCFG1:VOLT_TRIM.VDDR_TRIM_SLEEP_H。 0x8 (-8):デルタ = -7 ... 0xF (-1):デルタ = 0 0x0 (0):デルタ = +1 ... 0x7 (7):デルタ = +8
27	DCDC_RECHARGE	R	1h	パワーダウン時の再充電中の DC/DC。 0:パワーダウン時の再充電中は DC/DC を使用します。 1:パワーダウン時の再充電中は DC/DC を使用しません (デフォルト)。 注！このフィールドを適用するには、DriverLib 関数 SysCtrl_DCDC_VoltageConditionalControl() を定期的に呼び出す必要があります (TI RTOS を使用している場合は自動的に処理されます)。
26	DCDC_ACTIVE	R	1h	DC/DC はアクティブ モードです。 0:アクティブ モード中は DC/DC を使用します。 1:アクティブ モード中は DC/DC を使用しません (デフォルト)。 注！このフィールドを適用するには、DriverLib 関数 SysCtrl_DCDC_VoltageConditionalControl() を定期的に呼び出す必要があります (TI RTOS を使用している場合は自動的に処理されます)。
25	VDDR_EXT_LOAD	R	1h	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
24	VDDS_BOD_LEVEL	R	1h	VDDS BOD レベル。 0:VDDS BOD レベルは 2.0V (外部負荷モード、または CC13xx の最大 PA 出力電力に必要)。 1:VDDS BOD レベルは 1.8V (外部レギュレータ モードの場合は 1.65V) (デフォルト)。

Copyright © 2026 Texas Instruments Incorporated

表 11-6. MODE_CONF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
23-22	SCLK_LF_OPTION	R	3h	SCLK_LF のソースを選択します。 0h = 48 MHz XOSC または HPOSC から生成された 31.25 kHz クロック。RTC ティック速度 AON_RTC:SUBSECINC は 0x8637BD に更新され、31.25kHz クロックに対応します (SetupTrimDevice() driverlib ブート関数で実行)。このクロック ソースを使用する場合、デバイスがスタンバイ モードに移行しないようにブロックする必要があります。 1h = EXT_LF_CLK.DIO で定義された DIO の外部低周波クロック。RTC ティック速度 AON_RTC:SUBSECINC は EXT_LF_CLK.RTC_INCREMENT に更新されます (SetupTrimDevice() driverlib ブート関数で実行)。VDDR 再充電タイミングのため、チップがスタンバイにあるときは、外部クロックが常に動作している必要があります。 2h = 32.768 kHz 低周波 XOSC 3h = 低周波 RCOSC (デフォルト)
21	VDDR_TRIM_SLEEP_TC	R	1h	0x1:VDDR_TRIM_SLEEP_DELTA は温度補償されません 0x0:RTOS /ドライバ温度は、スタンバイ モードに入るたびに VDDR_TRIM_SLEEP_DELTA を補償します。これにより、スタンバイ モードでの低温度 RCOSC_LF 周波数安定性が向上します。 温度補償が実行されると、デルタはこのように計算されます。 デルタ = 最大 (デルタ、最小(8、フロア(62-温度)/8)) ここで、デルタは VDDR_TRIM_SLEEP_DELTA で算出され、温度は電流の温度 (単位:°C) です。
20	RTC_COMP	R	1h	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
19-18	XOSC_FREQ	R	3h	使用する高周波発振器を選択します (無線機の使用に必要)。 0h = 外部 48MHz TCXO。. TCXO の詳細な構成については、MODE_CONF_1.TCXO_MAX_START、MODE_CONF_1.TCXO_TYPE ビットフィールドを参照してください。 1h = 内部高精度発振器。 2h = 48M:48 MHz XOSC_HF 3h = 24M: 24 MHz XOSC_HF。サポート対象外。
17	XOSC_CAP_MOD	R	1h	XOSC コンデンサ アレイへの変更 (デルタ) を有効化します。XOSC_CAPARRAY_DELTA で指定された値。 0:コンデンサ アレイ デルタを適用します 1:コンデンサ アレイ デルタを適用しません (デフォルト)
16	HF_COMP	R	1h	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
15-8	XOSC_CAPARRAY_DELTA	R	FFh	調整済み XOSC コンデンサ アレイ ステップ値を直接変更する符号付き 8 ビット値。XOSC_CAP_MOD によって有効になります。
7-0	VDDR_CAP	R	FFh	VDDR の最小デカップリング容量を表す符号なし 8 ビット整数 (考えられる限り最悪の事態) (単位:100nF)。このためには、コンデンサの許容誤差と、電圧に依存する容量の変動を考慮する必要があります。このビットは、パワーダウンまたはスタンバイに移行するときの再充電期間の計算に影響を及ぼします。 注！次の機能を使用する場合は、このフィールドを構成する必要があります (TI RTOS で使用)。 SysCtrlSetRechargeBeforePowerDown() SysCtrlAdjustRechargeAfterPowerDown()

Copyright © 2026 Texas Instruments Incorporated

11.2.1.5 VOLT_LOAD_0 レジスタ (オフセット = 1FB8h) [リセット = FFFFFFFFh]

図 11-5 に、VOLT_LOAD_0 を示し、表 11-7 に、その説明を示します。

概略表に戻ります。

電圧負荷 0
MODE_CONF.VDDR_EXT_LOAD によって有効になります。

図 11-5. VOLT_LOAD_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
VDDR_EXT_TP45								VDDR_EXT_TP25							
R-FFh								R-FFh							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VDDR_EXT_TP5								VDDR_EXT_TM15							
R-FFh								R-FFh							

表 11-7. VOLT_LOAD_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	VDDR_EXT_TP45	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
23-16	VDDR_EXT_TP25	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
15-8	VDDR_EXT_TP5	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	VDDR_EXT_TM15	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.6 VOLT_LOAD_1 レジスタ (オフセット = 1FBCh) [リセット = FFFFFFFFh]

図 11-6 に、VOLT_LOAD_1 を示し、表 11-8 に、その説明を示します。

概略表に戻ります。

電圧負荷 1
MODE_CONF.VDDR_EXT_LOAD によって有効になります。

図 11-6. VOLT_LOAD_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
VDDR_EXT_TP125								VDDR_EXT_TP105							
R-FFh								R-FFh							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VDDR_EXT_TP85								VDDR_EXT_TP65							
R-FFh								R-FFh							

表 11-8. VOLT_LOAD_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	VDDR_EXT_TP125	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
23-16	VDDR_EXT_TP105	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
15-8	VDDR_EXT_TP85	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	VDDR_EXT_TP65	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.7 RTC_OFFSET レジスタ (オフセット = 1FC0h) [リセット = FFFFFFFFh]

図 11-7 に、RTC_OFFSET を示します。表 11-9 に、その説明を示します。

概略表に戻ります。

リアルタイム クロック オフセット
MODE_CONF.RTC_COMP によって有効になります。

図 11-7. RTC_OFFSET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RTC_COMP_P0															
R-FFFFh															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTC_COMP_P1								RTC_COMP_P2							
R-FFh								R-FFh							

表 11-9. RTC_OFFSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	RTC_COMP_P0	R	FFFFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
15-8	RTC_COMP_P1	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	RTC_COMP_P2	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.8 FREQ_OFFSET レジスタ (オフセット = 1FC4h) [リセット = FFFFFFFFh]

図 11-8 に、FREQ_OFFSET を示します。表 11-10 に、その説明を示します。

概略表に戻ります。

周波数オフセット

図 11-8. FREQ_OFFSET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HF_COMP_P0															
R-FFFFh															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HF_COMP_P1								HF_COMP_P2							
R-FFh								R-FFh							

表 11-10. FREQ_OFFSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	HF_COMP_P0	R	FFFFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
15-8	HF_COMP_P1	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。
7-0	HF_COMP_P2	R	FFh	将来使用のため予約済み。ソフトウェアは、予約済みの値に依存してはなりません。リセット/デフォルト値以外の値を書き込むと、未定義の動作が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.9 IEEE_MAC_0 レジスタ (オフセット = 1FC8h) [リセット = FFFFFFFFh]

図 11-9 に、IEEE_MAC_0 を示し、表 11-11 に、その説明を示します。

概略表に戻ります。

IEEE MAC アドレス 0

図 11-9. IEEE_MAC_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
R-FFFFFFFFh																															

表 11-11. IEEE_MAC_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR	R	FFFFFFFFh	64 ビットのカスタム IEEE MAC アドレスのビット[31:0]。 0xFFFFFFFF と異なる場合、このフィールドの値が適用されます。 それ以外の場合は、FCFG の値を使用します。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.10 IEEE_MAC_1 レジスタ (オフセット = 1FCCh) [リセット = FFFFFFFFh]

図 11-10 に、IEEE_MAC_1 を示し、表 11-12 に、その説明を示します。

概略表に戻ります。

IEEE MAC アドレス 1

図 11-10. IEEE_MAC_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
R-FFFFFFFFh																															

表 11-12. IEEE_MAC_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR	R	FFFFFFFFh	64 ビットのカスタム IEEE MAC アドレスのビット[63:32]。 0xFFFFFFFF と異なる場合、このフィールドの値が適用されます。 それ以外の場合は、FCFG の値を使用します。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.11 IEEE_BLE_0 レジスタ (オフセット = 1FD0h) [リセット = FFFFFFFFh]

図 11-11 に、IEEE_BLE_0 を示し、表 11-13 に、その説明を示します。

概略表に戻ります。

IEEE BLE アドレス 0

図 11-11. IEEE_BLE_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
R-FFFFFFFFh																															

表 11-13. IEEE_BLE_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR	R	FFFFFFFFh	64 ビットのカスタム IEEE BLE アドレスのビット[31:0]。 0xFFFFFFFF と異なる場合、このフィールドの値が適用されます。 それ以外の場合は、FCFG の値を使用します。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.12 IEEE_BLE_1 レジスタ (オフセット = 1FD4h) [リセット = FFFFFFFFh]

図 11-12 に、IEEE_BLE_1 を示し、表 11-14 に、その説明を示します。

概略表に戻ります。

IEEE BLE アドレス 1

図 11-12. IEEE_BLE_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
R-FFFFFFFFh																															

表 11-14. IEEE_BLE_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR	R	FFFFFFFFh	64 ビットのカスタム IEEE BLE アドレスのビット[63:32]。 0xFFFFFFFF と異なる場合、このフィールドの値が適用されます。 それ以外の場合は、FCFG の値を使用します。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.13 BL_CONFIG レジスタ (オフセット = 1FD8h) [リセット = C5FFFFFFh]

図 11-13 に、BL_CONFIG を示します。表 11-15 に、その説明を示します。

概略表に戻ります。

ブートローダー構成
ROM ブートローダーの機能を構成します。
両方のブートローダーが BOOTLOADER_ENABLE フィールドによって有効化され、かつブートローダーのバックドアが BL_ENABLE フィールドによって有効になっている場合、フラッシュ内に有効なイメージが存在していても、強制的に ROM ブートローダーのエントリを増やすことができます。

図 11-13. BL_CONFIG レジスタ

31	30	29	28	27	26	25	24
BOOTLOADER_ENABLE							
R-C5h							
23	22	21	20	19	18	17	16
予約済み							BL_LEVEL
R-0h							R-1h
15	14	13	12	11	10	9	8
BL_PIN_NUMBER							
R-FFh							
7	6	5	4	3	2	1	0
BL_ENABLE							
R-FFh							

表 11-15. BL_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	BOOTLOADER_ENABLE	R	C5h	ブートローダー イネーブル。IMAGE_VALID_CONF.IMAGE_VALID がゼロ以外の場合、または BL_ENABLE が有効な場合 (およびブートローダーのバックドアの条件が満たされている場合)、ブートローダーにアクセスできます。 0xC5:ブートローダーが有効です。 その他の値:ブートローダーが無効です。
23-17	予約済み	R	0h	予約済み
16	BL_LEVEL	R	1h	BL_ENABLE フィールドによってブートローダーのバックドアが有効になっている場合、選択されている DIO 番号 BL_PIN_NUMBER のアクティブレベルを設定します。 0:アクティブ Low 1:アクティブ HIGH。
15-8	BL_PIN_NUMBER	R	FFh	ブートローダーのバックドアが BL_ENABLE フィールドによって有効になっている場合にレベル チェックされる DIO 番号。
7-0	BL_ENABLE	R	FFh	ブートローダーのバックドアを有効化します。 0xC5:ブートローダーのバックドアが有効です。 その他の値:ブートローダーバックドアが無効です。 注！ブートローダーのバックドアが有効な場合は、ブートローダーを有効にする必要があります (BOOTLOADER_ENABLE を参照)。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.14 ERASE_CONF レジスタ (オフセット = 1FDCh) [リセット = FFFFFFFFh]

図 11-14 に、ERASE_CONF を示します。表 11-16 に、その説明を示します。

概略表に戻ります。

構成の消去

図 11-14. ERASE_CONF レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							CHIP_ERASE_DIS_N
R-0h							R-1h
7	6	5	4	3	2	1	0
予約済み							BANK_ERASE_DIS_N
R-0h							R-1h

表 11-16. ERASE_CONF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	CHIP_ERASE_DIS_N	R	1h	チップの消去。 このビットは、マイコン VD のリセットによって発生する次のブートで JTAG WUC タップによって要求されたチップ消去が無視されるかどうかを制御します。 チップ消去動作が成功すると、フラッシュ メイン バンクの内容は TI が提供したときと同じ状態に強制的に戻ります。 0:ディスエーブル。ブート中に検出されたチップ消去要求は、すべて無視されます。 1:イネーブル。ブート中に検出されたチップ消去要求は、ブート FW によって実行されます。
7-1	予約済み	R	0h	予約済み
0	BANK_ERASE_DIS_N	R	1h	バンク消去。 このビットは、ROM シリアル ブートローダーが受信したバンク消去コマンド (COMMAND_BANK_ERASE) を受け入れるかどうかを制御します。 バンク消去動作が成功すると、CCFG の書き込み保護構成ビットで保護されていないメイン バンク セクターがすべて消去されます。 0:ブートローダーのバンク消去機能を無効化します。 1:ブートローダーのバンク消去機能を有効化します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

11.2.1.15 CCFG_TI_OPTIONS レジスタ (オフセット = 1FE0h) [リセット = FFFFFFC5h]

図 11-15 に、CCFG_TI_OPTIONS を示します。表 11-17 に、その説明を示します。

概略表に戻ります。

TI オプション

図 11-15. CCFG_TI_OPTIONS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TI_FA_ENABLE							
R-0h								R-C5h							

表 11-17. CCFG_TI_OPTIONS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	TI_FA_ENABLE	R	C5h	TI 障害分析。 0xC5:ロック解除コードで、TI FA (TI 障害分析) オプションのロックを解除する機能を有効化します。 その他すべての値:ロック解除コードで、TI FA オプションのロックを解除する機能を無効化します。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.16 CCFG_TAP_DAP_0 レジスタ (オフセット = 1FE4h) [リセット = FFC5C5C5h]

図 11-16 に、CCFG_TAP_DAP_0 を示し、表 11-18 に、その説明を示します。

概略表に戻ります。

テスト用アクセス ポート イネーブル 0

図 11-16. CCFG_TAP_DAP_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CPU_DAP_ENABLE							
R-0h								R-C5h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PWRPROF_TAP_ENABLE								TEST_TAP_ENABLE							
R-C5h								R-C5h							

表 11-18. CCFG_TAP_DAP_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-16	CPU_DAP_ENABLE	R	C5h	CPU DAP を有効にします。 0xC5:メイン CPU DAP アクセスが、ROM ブート FW によるパワーアップ/システム リセット中に有効化されます。 その他の値:メイン CPU DAP アクセスが、パワーアップ/システム リセット中は無効なままとなります。
15-8	PWRPROF_TAP_ENABLE	R	C5h	PWRPROF TAP を有効化します。 0xC5:TI が定義した FCFG1 の対応する構成値によって有効化された場合、ROM ブート FW によるパワーアップ/システム リセット時に PWRPROF TAP アクセスが有効になります。 その他の値:PWRPROF TAP アクセスは、パワーアップ/システム リセット後も無効のままとなります。
7-0	TEST_TAP_ENABLE	R	C5h	Test TAP を有効化します。 0xC5:TI が定義した FCFG1 の対応する構成値によって有効化された場合、ROM ブート FW によるパワーアップ/システム リセット時に TEST TAP アクセスが有効になります。 その他の値:TEST TAP は、パワーアップ/システム リセット後も無効のままとなります。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.17 CCFG_TAP_DAP_1 レジスタ (オフセット = 1FE8h) [リセット = FFC5C5C5h]

図 11-17 に、CCFG_TAP_DAP_1 を示し、表 11-19 に、その説明を示します。

概略表に戻ります。

テスト用アクセス ポート イネーブル 1

図 11-17. CCFG_TAP_DAP_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								PBIST2_TAP_ENABLE							
R-0h								R-C5h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PBIST1_TAP_ENABLE								AON_TAP_ENABLE							
R-C5h								R-C5h							

表 11-19. CCFG_TAP_DAP_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-16	PBIST2_TAP_ENABLE	R	C5h	PBIST2 TAP を有効化します。 0xC5:TI が定義した FCFG1 の対応する構成値によって有効化された場合、ROM ブート FW によるパワーアップ/システム リセット時に PBIST2 TAP アクセスが有効になります。 その他の値:PBIST2 TAP は、パワーアップ/システム リセット後も無効のままとなります。
15-8	PBIST1_TAP_ENABLE	R	C5h	PBIST1 TAP を有効化します。 0xC5:TI が定義した FCFG1 の対応する構成値によって有効化された場合、ROM ブート FW によるパワーアップ/システム リセット時に PBIST1 TAP アクセスが有効になります。 その他の値:PBIST1 TAP は、パワーアップ/システム リセット後も無効のままとなります。
7-0	AON_TAP_ENABLE	R	C5h	AON TAP を有効化します。 0xC5:TI が定義した FCFG1 の対応する構成値によって有効化された場合、ROM ブート FW によるパワーアップ/システム リセット時に AON TAP アクセスが有効になります。 その他の値:AON TAP は、パワーアップ/システム リセット後も無効のままとなります。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.18 IMAGE_VALID_CONF レジスタ (オフセット = 1FECh) [リセット = FFFFFFFFh]

図 11-18 に、IMAGE_VALID_CONF を示します。表 11-20 に、その説明を示します。

概略表に戻ります。

イメージ有効

図 11-18. IMAGE_VALID_CONF レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IMAGE_VALID																															
R-FFFFFFFFh																															

表 11-20. IMAGE_VALID_CONF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IMAGE_VALID	R	FFFFFFFFh	このフィールドには、ROM 内のブート FW がフラッシュ イメージに制御を転送できるようにするため、フラッシュ ベクタ テーブルの開始アドレス値が必要です。 不正なベクタ テーブル開始アドレス値がある場合、ROM のブート FW が、ROM のシリアル ブートローダーに制御を転送します。

Copyright © 2026 Texas Instruments Incorporated

11.2.1.19 CCFG_PROT_31_0 レジスタ (オフセット = 1FF0h) [リセット = FFFFFFFFh]

図 11-19 に、CCFG_PROT_31_0 を示し、表 11-21 に、その説明を示します。

概略表に戻ります。

保護セクター 0-31
各ビットは、1 つの 8KB フラッシュ セクターに対し、プログラムおよび消去の両方から保護する書き込み保護を行います。セクター書き込み保護を有効化するには、このビットを 0 に設定する必要があります。

図 11-19. CCFG_PROT_31_0 レジスタ

31	30	29	28	27	26	25	24
WRT_PROT_SEC_31	WRT_PROT_SEC_30	WRT_PROT_SEC_29	WRT_PROT_SEC_28	WRT_PROT_SEC_27	WRT_PROT_SEC_26	WRT_PROT_SEC_25	WRT_PROT_SEC_24
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
23	22	21	20	19	18	17	16
WRT_PROT_SEC_23	WRT_PROT_SEC_22	WRT_PROT_SEC_21	WRT_PROT_SEC_20	WRT_PROT_SEC_19	WRT_PROT_SEC_18	WRT_PROT_SEC_17	WRT_PROT_SEC_16
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
15	14	13	12	11	10	9	8
WRT_PROT_SEC_15	WRT_PROT_SEC_14	WRT_PROT_SEC_13	WRT_PROT_SEC_12	WRT_PROT_SEC_11	WRT_PROT_SEC_10	WRT_PROT_SEC_9	WRT_PROT_SEC_8
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
7	6	5	4	3	2	1	0
WRT_PROT_SEC_7	WRT_PROT_SEC_6	WRT_PROT_SEC_5	WRT_PROT_SEC_4	WRT_PROT_SEC_3	WRT_PROT_SEC_2	WRT_PROT_SEC_1	WRT_PROT_SEC_0
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h

表 11-21. CCFG_PROT_31_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	WRT_PROT_SEC_31	R	1h	0:セクター保護
30	WRT_PROT_SEC_30	R	1h	0:セクター保護
29	WRT_PROT_SEC_29	R	1h	0:セクター保護
28	WRT_PROT_SEC_28	R	1h	0:セクター保護
27	WRT_PROT_SEC_27	R	1h	0:セクター保護
26	WRT_PROT_SEC_26	R	1h	0:セクター保護
25	WRT_PROT_SEC_25	R	1h	0:セクター保護
24	WRT_PROT_SEC_24	R	1h	0:セクター保護
23	WRT_PROT_SEC_23	R	1h	0:セクター保護
22	WRT_PROT_SEC_22	R	1h	0:セクター保護
21	WRT_PROT_SEC_21	R	1h	0:セクター保護
20	WRT_PROT_SEC_20	R	1h	0:セクター保護
19	WRT_PROT_SEC_19	R	1h	0:セクター保護
18	WRT_PROT_SEC_18	R	1h	0:セクター保護
17	WRT_PROT_SEC_17	R	1h	0:セクター保護
16	WRT_PROT_SEC_16	R	1h	0:セクター保護
15	WRT_PROT_SEC_15	R	1h	0:セクター保護
14	WRT_PROT_SEC_14	R	1h	0:セクター保護
13	WRT_PROT_SEC_13	R	1h	0:セクター保護

Copyright © 2026 Texas Instruments Incorporated

表 11-21. CCFG_PROT_31_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	WRT_PROT_SEC_12	R	1h	0:セクター保護
11	WRT_PROT_SEC_11	R	1h	0:セクター保護
10	WRT_PROT_SEC_10	R	1h	0:セクター保護
9	WRT_PROT_SEC_9	R	1h	0:セクター保護
8	WRT_PROT_SEC_8	R	1h	0:セクター保護
7	WRT_PROT_SEC_7	R	1h	0:セクター保護
6	WRT_PROT_SEC_6	R	1h	0:セクター保護
5	WRT_PROT_SEC_5	R	1h	0:セクター保護
4	WRT_PROT_SEC_4	R	1h	0:セクター保護
3	WRT_PROT_SEC_3	R	1h	0:セクター保護
2	WRT_PROT_SEC_2	R	1h	0:セクター保護
1	WRT_PROT_SEC_1	R	1h	0:セクター保護
0	WRT_PROT_SEC_0	R	1h	0:セクター保護

Copyright © 2026 Texas Instruments Incorporated

11.2.1.20 CCFG_PROT_63_32 レジスタ (オフセット = 1FF4h) [リセット = FFFFFFFFh]

図 11-20 に、CCFG_PROT_63_32 を示し、表 11-22 に、その説明を示します。

概略表に戻ります。

セクター 32-63 の保護
各ビットは、1 つの 8KB フラッシュ セクターに対し、プログラムおよび消去の両方から保護する書き込み保護を行います。
セクター書き込み保護を有効化するには、このビットを 0 に設定する必要があります。

図 11-20. CCFG_PROT_63_32 レジスタ

31	30	29	28	27	26	25	24
WRT_PROT_SEC_63	WRT_PROT_SEC_62	WRT_PROT_SEC_61	WRT_PROT_SEC_60	WRT_PROT_SEC_59	WRT_PROT_SEC_58	WRT_PROT_SEC_57	WRT_PROT_SEC_56
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
23	22	21	20	19	18	17	16
WRT_PROT_SEC_55	WRT_PROT_SEC_54	WRT_PROT_SEC_53	WRT_PROT_SEC_52	WRT_PROT_SEC_51	WRT_PROT_SEC_50	WRT_PROT_SEC_49	WRT_PROT_SEC_48
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
15	14	13	12	11	10	9	8
WRT_PROT_SEC_47	WRT_PROT_SEC_46	WRT_PROT_SEC_45	WRT_PROT_SEC_44	WRT_PROT_SEC_43	WRT_PROT_SEC_42	WRT_PROT_SEC_41	WRT_PROT_SEC_40
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
7	6	5	4	3	2	1	0
WRT_PROT_SEC_39	WRT_PROT_SEC_38	WRT_PROT_SEC_37	WRT_PROT_SEC_36	WRT_PROT_SEC_35	WRT_PROT_SEC_34	WRT_PROT_SEC_33	WRT_PROT_SEC_32
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h

表 11-22. CCFG_PROT_63_32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	WRT_PROT_SEC_63	R	1h	0:セクター保護
30	WRT_PROT_SEC_62	R	1h	0:セクター保護
29	WRT_PROT_SEC_61	R	1h	0:セクター保護
28	WRT_PROT_SEC_60	R	1h	0:セクター保護
27	WRT_PROT_SEC_59	R	1h	0:セクター保護
26	WRT_PROT_SEC_58	R	1h	0:セクター保護
25	WRT_PROT_SEC_57	R	1h	0:セクター保護
24	WRT_PROT_SEC_56	R	1h	0:セクター保護
23	WRT_PROT_SEC_55	R	1h	0:セクター保護
22	WRT_PROT_SEC_54	R	1h	0:セクター保護
21	WRT_PROT_SEC_53	R	1h	0:セクター保護
20	WRT_PROT_SEC_52	R	1h	0:セクター保護
19	WRT_PROT_SEC_51	R	1h	0:セクター保護
18	WRT_PROT_SEC_50	R	1h	0:セクター保護
17	WRT_PROT_SEC_49	R	1h	0:セクター保護
16	WRT_PROT_SEC_48	R	1h	0:セクター保護
15	WRT_PROT_SEC_47	R	1h	0:セクター保護
14	WRT_PROT_SEC_46	R	1h	0:セクター保護
13	WRT_PROT_SEC_45	R	1h	0:セクター保護

Copyright © 2026 Texas Instruments Incorporated

表 11-22. CCFG_PROT_63_32 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	WRT_PROT_SEC_44	R	1h	0:セクター保護
11	WRT_PROT_SEC_43	R	1h	0:セクター保護
10	WRT_PROT_SEC_42	R	1h	0:セクター保護
9	WRT_PROT_SEC_41	R	1h	0:セクター保護
8	WRT_PROT_SEC_40	R	1h	0:セクター保護
7	WRT_PROT_SEC_39	R	1h	0:セクター保護
6	WRT_PROT_SEC_38	R	1h	0:セクター保護
5	WRT_PROT_SEC_37	R	1h	0:セクター保護
4	WRT_PROT_SEC_36	R	1h	0:セクター保護
3	WRT_PROT_SEC_35	R	1h	0:セクター保護
2	WRT_PROT_SEC_34	R	1h	0:セクター保護
1	WRT_PROT_SEC_33	R	1h	0:セクター保護
0	WRT_PROT_SEC_32	R	1h	0:セクター保護

Copyright © 2026 Texas Instruments Incorporated

11.2.1.21 CCFG_PROT_95_64 レジスタ (オフセット = 1FF8h) [リセット = FFFFFFFFh]

図 11-21 に、CCFG_PROT_95_64 を示し、表 11-23 に、その説明を示します。

概略表に戻ります。

セクター 64-95 の保護
各ビットは、1 つのフラッシュ セクターに対し、プログラムおよび消去の両方から保護する書き込み保護を行います。セクター書き込み保護を有効化するには、このビットを 0 に設定する必要があります。未使用。

図 11-21. CCFG_PROT_95_64 レジスタ

31	30	29	28	27	26	25	24
WRT_PROT_SEC_95	WRT_PROT_SEC_94	WRT_PROT_SEC_93	WRT_PROT_SEC_92	WRT_PROT_SEC_91	WRT_PROT_SEC_90	WRT_PROT_SEC_89	WRT_PROT_SEC_88
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
23	22	21	20	19	18	17	16
WRT_PROT_SEC_87	WRT_PROT_SEC_86	WRT_PROT_SEC_85	WRT_PROT_SEC_84	WRT_PROT_SEC_83	WRT_PROT_SEC_82	WRT_PROT_SEC_81	WRT_PROT_SEC_80
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
15	14	13	12	11	10	9	8
WRT_PROT_SEC_79	WRT_PROT_SEC_78	WRT_PROT_SEC_77	WRT_PROT_SEC_76	WRT_PROT_SEC_75	WRT_PROT_SEC_74	WRT_PROT_SEC_73	WRT_PROT_SEC_72
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
7	6	5	4	3	2	1	0
WRT_PROT_SEC_71	WRT_PROT_SEC_70	WRT_PROT_SEC_69	WRT_PROT_SEC_68	WRT_PROT_SEC_67	WRT_PROT_SEC_66	WRT_PROT_SEC_65	WRT_PROT_SEC_64
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h

表 11-23. CCFG_PROT_95_64 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	WRT_PROT_SEC_95	R	1h	0:セクター保護
30	WRT_PROT_SEC_94	R	1h	0:セクター保護
29	WRT_PROT_SEC_93	R	1h	0:セクター保護
28	WRT_PROT_SEC_92	R	1h	0:セクター保護
27	WRT_PROT_SEC_91	R	1h	0:セクター保護
26	WRT_PROT_SEC_90	R	1h	0:セクター保護
25	WRT_PROT_SEC_89	R	1h	0:セクター保護
24	WRT_PROT_SEC_88	R	1h	0:セクター保護
23	WRT_PROT_SEC_87	R	1h	0:セクター保護
22	WRT_PROT_SEC_86	R	1h	0:セクター保護
21	WRT_PROT_SEC_85	R	1h	0:セクター保護
20	WRT_PROT_SEC_84	R	1h	0:セクター保護
19	WRT_PROT_SEC_83	R	1h	0:セクター保護
18	WRT_PROT_SEC_82	R	1h	0:セクター保護
17	WRT_PROT_SEC_81	R	1h	0:セクター保護
16	WRT_PROT_SEC_80	R	1h	0:セクター保護
15	WRT_PROT_SEC_79	R	1h	0:セクター保護
14	WRT_PROT_SEC_78	R	1h	0:セクター保護
13	WRT_PROT_SEC_77	R	1h	0:セクター保護

Copyright © 2026 Texas Instruments Incorporated

表 11-23. CCFG_PROT_95_64 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	WRT_PROT_SEC_76	R	1h	0:セクター保護
11	WRT_PROT_SEC_75	R	1h	0:セクター保護
10	WRT_PROT_SEC_74	R	1h	0:セクター保護
9	WRT_PROT_SEC_73	R	1h	0:セクター保護
8	WRT_PROT_SEC_72	R	1h	0:セクター保護
7	WRT_PROT_SEC_71	R	1h	0:セクター保護
6	WRT_PROT_SEC_70	R	1h	0:セクター保護
5	WRT_PROT_SEC_69	R	1h	0:セクター保護
4	WRT_PROT_SEC_68	R	1h	0:セクター保護
3	WRT_PROT_SEC_67	R	1h	0:セクター保護
2	WRT_PROT_SEC_66	R	1h	0:セクター保護
1	WRT_PROT_SEC_65	R	1h	0:セクター保護
0	WRT_PROT_SEC_64	R	1h	0:セクター保護

Copyright © 2026 Texas Instruments Incorporated

11.2.1.22 CCFG_PROT_127_96 レジスタ (オフセット = 1FFCh) [リセット = FFFFFFFFh]

図 11-22 に、CCFG_PROT_127_96 を示し、表 11-24 に、その説明を示します。

概略表に戻ります。

セクター 96-127 の保護
各ビットは、1 つのフラッシュ セクターに対し、プログラムおよび消去の両方から保護する書き込み保護を行います。セクター書き込み保護を有効化するには、このビットを 0 に設定する必要があります。未使用。

図 11-22. CCFG_PROT_127_96 レジスタ

31	30	29	28	27	26	25	24
WRT_PROT_SEC_127	WRT_PROT_SEC_126	WRT_PROT_SEC_125	WRT_PROT_SEC_124	WRT_PROT_SEC_123	WRT_PROT_SEC_122	WRT_PROT_SEC_121	WRT_PROT_SEC_120
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
23	22	21	20	19	18	17	16
WRT_PROT_SEC_119	WRT_PROT_SEC_118	WRT_PROT_SEC_117	WRT_PROT_SEC_116	WRT_PROT_SEC_115	WRT_PROT_SEC_114	WRT_PROT_SEC_113	WRT_PROT_SEC_112
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
15	14	13	12	11	10	9	8
WRT_PROT_SEC_111	WRT_PROT_SEC_110	WRT_PROT_SEC_109	WRT_PROT_SEC_108	WRT_PROT_SEC_107	WRT_PROT_SEC_106	WRT_PROT_SEC_105	WRT_PROT_SEC_104
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h
7	6	5	4	3	2	1	0
WRT_PROT_SEC_103	WRT_PROT_SEC_102	WRT_PROT_SEC_101	WRT_PROT_SEC_100	WRT_PROT_SEC_99	WRT_PROT_SEC_98	WRT_PROT_SEC_97	WRT_PROT_SEC_96
R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h	R-1h

表 11-24. CCFG_PROT_127_96 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	WRT_PROT_SEC_127	R	1h	0:セクター保護
30	WRT_PROT_SEC_126	R	1h	0:セクター保護
29	WRT_PROT_SEC_125	R	1h	0:セクター保護
28	WRT_PROT_SEC_124	R	1h	0:セクター保護
27	WRT_PROT_SEC_123	R	1h	0:セクター保護
26	WRT_PROT_SEC_122	R	1h	0:セクター保護
25	WRT_PROT_SEC_121	R	1h	0:セクター保護
24	WRT_PROT_SEC_120	R	1h	0:セクター保護
23	WRT_PROT_SEC_119	R	1h	0:セクター保護
22	WRT_PROT_SEC_118	R	1h	0:セクター保護
21	WRT_PROT_SEC_117	R	1h	0:セクター保護
20	WRT_PROT_SEC_116	R	1h	0:セクター保護
19	WRT_PROT_SEC_115	R	1h	0:セクター保護
18	WRT_PROT_SEC_114	R	1h	0:セクター保護
17	WRT_PROT_SEC_113	R	1h	0:セクター保護
16	WRT_PROT_SEC_112	R	1h	0:セクター保護
15	WRT_PROT_SEC_111	R	1h	0:セクター保護
14	WRT_PROT_SEC_110	R	1h	0:セクター保護
13	WRT_PROT_SEC_109	R	1h	0:セクター保護

Copyright © 2026 Texas Instruments Incorporated

表 11-24. CCFG_PROT_127_96 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	WRT_PROT_SEC_108	R	1h	0:セクター保護
11	WRT_PROT_SEC_107	R	1h	0:セクター保護
10	WRT_PROT_SEC_106	R	1h	0:セクター保護
9	WRT_PROT_SEC_105	R	1h	0:セクター保護
8	WRT_PROT_SEC_104	R	1h	0:セクター保護
7	WRT_PROT_SEC_103	R	1h	0:セクター保護
6	WRT_PROT_SEC_102	R	1h	0:セクター保護
5	WRT_PROT_SEC_101	R	1h	0:セクター保護
4	WRT_PROT_SEC_100	R	1h	0:セクター保護
3	WRT_PROT_SEC_99	R	1h	0:セクター保護
2	WRT_PROT_SEC_98	R	1h	0:セクター保護
1	WRT_PROT_SEC_97	R	1h	0:セクター保護
0	WRT_PROT_SEC_96	R	1h	0:セクター保護

11.3 工場出荷時構成 (FCFG)

TI の製造試験時に、各デバイス向けに FCFG がプログラムされます。FCFG にはデバイス固有のトリム値と構成が含まれています。トリム値のほとんどは、TI のブート コード、RF コア、ROM コードが使用、または TI のソフトウェアが自動的に提供します。

FCFG には次のような便利なフィールドがあります:

- MAC_15_4_n フィールドは、事前プログラムされたチップセットの IEEE アドレスを指定します
- MAC_BLE_n フィールドは、チップセットの Bluetooth Low Energy アドレスを指定します

11.4 FCFG レジスタ

Copyright © 2026 Texas Instruments Incorporated

11.4.1 FCFG1 のレジスタ

表 11-25 に、FCFG1 レジスタのメモリ マップト レジスタを示します。表 11-25 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 11-25. FCFG1 のレジスタ

オフセット	略称	レジスタ名	セクション
A0h	MISC_CONF_1	その他の構成	MISC_CONF_1 レジスタ (オフセット = A0h) [リセット = FFFFFF00h]
A4h	MISC_CONF_2	内部	MISC_CONF_2 レジスタ (オフセット = A4h) [リセット = FFFFFF00h]
B0h	HPOSC_MEAS_5	内部	HPOSC_MEAS_5 レジスタ (オフセット = B0h) [リセット = 00000000h]
B4h	HPOSC_MEAS_4	内部	HPOSC_MEAS_4 レジスタ (オフセット = B4h) [リセット = 00000000h]
B8h	HPOSC_MEAS_3	内部	HPOSC_MEAS_3 レジスタ (オフセット = B8h) [リセット = 00000000h]
BCh	HPOSC_MEAS_2	内部	HPOSC_MEAS_2 レジスタ (オフセット = BCh) [リセット = 00000000h]
C0h	HPOSC_MEAS_1	内部	HPOSC_MEAS_1 レジスタ (オフセット = C0h) [リセット = 00000000h]
C4h	CONFIG_CC26_FE	内部	CONFIG_CC26_FE レジスタ (オフセット = C4h) [リセット = 70000F00h]
C8h	CONFIG_CC13_FE	内部	CONFIG_CC13_FE レジスタ (オフセット = C8h) [リセット = 70000F00h]
CCh	CONFIG_RF_COMMON	内部	CONFIG_RF_COMMON レジスタ (オフセット = CCh) [リセット = 81C0014Dh]
D0h	CONFIG_SYNTH_DIV2_CC26_2G4	内部	CONFIG_SYNTH_DIV2_CC26_2G4 レジスタ (オフセット = D0h) [リセット = 0000001Fh]
D4h	CONFIG_SYNTH_DIV2_CC13_2G4	内部	CONFIG_SYNTH_DIV2_CC13_2G4 レジスタ (オフセット = D4h) [リセット = 0000001Fh]
D8h	CONFIG_SYNTH_DIV2_CC26_1G	内部	CONFIG_SYNTH_DIV2_CC26_1G レジスタ (オフセット = D8h) [リセット = 0000001Fh]
DCh	CONFIG_SYNTH_DIV2_CC13_1G	内部	CONFIG_SYNTH_DIV2_CC13_1G レジスタ (オフセット = DCh) [リセット = 0000001Fh]
E0h	CONFIG_SYNTH_DIV4_CC26	内部	CONFIG_SYNTH_DIV4_CC26 レジスタ (オフセット = E0h) [リセット = 0000001Fh]
E4h	CONFIG_SYNTH_DIV4_CC13	内部	CONFIG_SYNTH_DIV4_CC13 レジスタ (オフセット = E4h) [リセット = 0000001Fh]
E8h	CONFIG_SYNTH_DIV5	内部	CONFIG_SYNTH_DIV5 レジスタ (オフセット = E8h) [リセット = 0000001Fh]
ECh	CONFIG_SYNTH_DIV6_CC26	内部	CONFIG_SYNTH_DIV6_CC26 レジスタ (オフセット = ECh) [リセット = 0000001Fh]
F0h	CONFIG_SYNTH_DIV6_CC13	内部	CONFIG_SYNTH_DIV6_CC13 レジスタ (オフセット = F0h) [リセット = 0000001Fh]
F4h	CONFIG_SYNTH_DIV10	内部	CONFIG_SYNTH_DIV10 レジスタ (オフセット = F4h) [リセット = 0000001Fh]
F8h	CONFIG_SYNTH_DIV12_CC26	内部	CONFIG_SYNTH_DIV12_CC26 レジスタ (オフセット = F8h) [リセット = 0000001Fh]
FCh	CONFIG_SYNTH_DIV12_CC13	内部	CONFIG_SYNTH_DIV12_CC13 レジスタ (オフセット = FCh) [リセット = 0000001Fh]
100h	CONFIG_SYNTH_DIV15	内部	CONFIG_SYNTH_DIV15 レジスタ (オフセット = 100h) [リセット = 0000001Fh]

Copyright © 2026 Texas Instruments Incorporated

表 11-25. FCFG1 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
104h	CONFIG_SYNTH_DIV30	内部	CONFIG_SYNTH_DIV30 レジスタ (オフセット = 104h) [リセット = 0000001Fh]
164h	FLASH_NUMBER	フラッシュ情報	FLASH_NUMBER レジスタ (オフセット = 164h) [リセット = 00000000h]
16Ch	FLASH_COORDINATE	フラッシュ情報	FLASH_COORDINATE レジスタ (オフセット = 16Ch) [リセット = 00000000h]
170h	FLASH_E_P	内部	FLASH_E_P レジスタ (オフセット = 170h) [リセット = 4C644C64h]
174h	FLASH_C_E_P_R	内部	FLASH_C_E_P_R レジスタ (オフセット = 174h) [リセット = 0A0A2000h]
178h	FLASH_P_R_PV	内部	FLASH_P_R_PV レジスタ (オフセット = 178h) [リセット = 02C10200h]
17Ch	FLASH_EH_SEQ	内部	FLASH_EH_SEQ レジスタ (オフセット = 17Ch) [リセット = 0200F000h]
180h	FLASH_VHV_E	内部	FLASH_VHV_E レジスタ (オフセット = 180h) [リセット = 00000001h]
184h	FLASH_PP	内部	FLASH_PP レジスタ (オフセット = 184h) [リセット = 00000014h]
188h	FLASH_PROG_EP	内部	FLASH_PROG_EP レジスタ (オフセット = 188h) [リセット = 0FA00010h]
18Ch	FLASH_ERA_PW	内部	FLASH_ERA_PW レジスタ (オフセット = 18Ch) [リセット = 00000FA0h]
190h	FLASH_VHV	内部	FLASH_VHV レジスタ (オフセット = 190h) [リセット = 00000004h]
194h	FLASH_VHV_PV	内部	FLASH_VHV_PV レジスタ (オフセット = 194h) [リセット = 00080001h]
198h	FLASH_V	内部	FLASH_V レジスタ (オフセット = 198h) [リセット = 00000000h]
294h	USER_ID	ユーザー ID。	USER_ID レジスタ (オフセット = 294h) [リセット = 30000000h]
2B0h	FLASH_OTP_DATA3	内部	FLASH_OTP_DATA3 レジスタ (オフセット = 2B0h) [リセット = 00110003h]
2B4h	ANA2_TRIM	内部	ANA2_TRIM レジスタ (オフセット = 2B4h) [リセット = 8240787Fh]
2B8h	LDO_TRIM	内部	LDO_TRIM レジスタ (オフセット = 2B8h) [リセット = E0F8E0FBh]
2E8h	MAC_BLE_0	MAC BLE アドレス 0	MAC_BLE_0 レジスタ (オフセット = 2E8h) [リセット = 00000000h]
2ECh	MAC_BLE_1	MAC BLE アドレス 1	MAC_BLE_1 レジスタ (オフセット = 2ECh) [リセット = 00000000h]
2F0h	MAC_15_4_0	MAC IEEE 802.15.4 アドレス 0	MAC_15_4_0 レジスタ (オフセット = 2F0h) [リセット = 00000000h]
2F4h	MAC_15_4_1	MAC IEEE 802.15.4 アドレス 1	MAC_15_4_1 レジスタ (オフセット = 2F4h) [リセット = 00000000h]
308h	FLASH_OTP_DATA4	内部	FLASH_OTP_DATA4 レジスタ (オフセット = 308h) [リセット = 98989F9Fh]
30Ch	MISC_TRIM	その他のトリム パラメータ	MISC_TRIM レジスタ (オフセット = 30Ch) [リセット = FFFE003Bh]
310h	RCOSC_HF_TEMPCOMP	内部	RCOSC_HF_TEMPCOMP レジスタ (オフセット = 310h) [リセット = 00000003h]

Copyright © 2026 Texas Instruments Incorporated

表 11-25. FCFG1 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
318h	ICEPICK_DEVICE_ID	IcePick デバイス ID	ICEPICK_DEVICE_ID レジスタ (オフセット = 318h) [リセット = 3BB4102Fh]
31Ch	FCFG1_REVISION	工場出荷時構成 (FCFG1) リビジョン	FCFG1_REVISION レジスタ (オフセット = 31Ch) [リセット = 0000002Ah]
320h	MISC_OTP_DATA	その他の OTP データ	MISC_OTP_DATA レジスタ (オフセット = 320h) [リセット = 0000CFFFh]
344h	IOCONF	IO の構成	IOCONF レジスタ (オフセット = 344h) [リセット = FFFFFF00h]
34Ch	CONFIG_IF_ADC	内部	CONFIG_IF_ADC レジスタ (オフセット = 34Ch) [リセット = 3460F400h]
350h	CONFIG_OSC_TOP	内部	CONFIG_OSC_TOP レジスタ (オフセット = 350h) [リセット = DC07FC00h]
35Ch	SOC_ADC_ABS_GAIN	絶対リファレンス モードでの AUX_ADC ゲイン	SOC_ADC_ABS_GAIN レジスタ (オフセット = 35Ch) [リセット = 00000000h]
360h	SOC_ADC_REL_GAIN	相対リファレンス モードでの AUX_ADC ゲイン	SOC_ADC_REL_GAIN レジスタ (オフセット = 360h) [リセット = 00000000h]
368h	SOC_ADC_OFFSET_INT	絶対リファレンス モードでの AUX_ADC 温度オフセット	SOC_ADC_OFFSET_INT レジスタ (オフセット = 368h) [リセット = 00000000h]
36Ch	SOC_ADC_REF_TRIM_AND_OFFSET_EXT	内部	SOC_ADC_REF_TRIM_AND_OFFSET_EXT レジスタ (オフセット = 36Ch) [リセット = 0000C080h]
370h	AMPCOMP_TH1	内部	AMPCOMP_TH1 レジスタ (オフセット = 370h) [リセット = FF7B828Eh]
374h	AMPCOMP_TH2	内部	AMPCOMP_TH2 レジスタ (オフセット = 374h) [リセット = 6B8B0303h]
378h	AMPCOMP_CTRL1	内部	AMPCOMP_CTRL1 レジスタ (オフセット = 378h) [リセット = FF483F47h]
37Ch	ANABYPASS_VALUE2	内部	ANABYPASS_VALUE2 レジスタ (オフセット = 37Ch) [リセット = FFFFC3FFh]
388h	VOLT_TRIM	内部	VOLT_TRIM レジスタ (オフセット = 388h) [リセット = E0E0E0E0h]
38Ch	OSC_CONF	OSC の構成	OSC_CONF レジスタ (オフセット = 38Ch) [リセット = F00900E6h]
390h	FREQ_OFFSET	内部	FREQ_OFFSET レジスタ (オフセット = 390h) [リセット = 00000000h]
398h	MISC_OTP_DATA_1	内部	MISC_OTP_DATA_1 レジスタ (オフセット = 398h) [リセット = E08403F8h]
3D0h	SHDW_DIE_ID_0	EFUSE:DIE_ID_0 レジスタのシャドウ	SHDW_DIE_ID_0 レジスタ (オフセット = 3D0h) [リセット = 00000000h]
3D4h	SHDW_DIE_ID_1	EFUSE:DIE_ID_1 レジスタのシャドウ	SHDW_DIE_ID_1 レジスタ (オフセット = 3D4h) [リセット = 00000000h]
3D8h	SHDW_DIE_ID_2	EFUSE:DIE_ID_2 レジスタのシャドウ	SHDW_DIE_ID_2 レジスタ (オフセット = 3D8h) [リセット = 00000000h]
3DCh	SHDW_DIE_ID_3	EFUSE:DIE_ID_3 レジスタのシャドウ	SHDW_DIE_ID_3 レジスタ (オフセット = 3DCh) [リセット = 00000000h]
3F8h	SHDW_OSC_BIAS_LDO_TRIM	内部	SHDW_OSC_BIAS_LDO_TRIM レジスタ (オフセット = 3F8h) [リセット = 00000000h]
3FCh	SHDW_ANA_TRIM	内部	SHDW_ANA_TRIM レジスタ (オフセット = 3FCh) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 11-25. FCFG1 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
408h	OSC_CONF1	発振器構成	OSC_CONF1 レジスタ (オフセット = 408h) [リセット = FFFF0000h]
40Ch	DAC_BIAS_CNF	内部	DAC_BIAS_CNF レジスタ (オフセット = 40Ch) [リセット = FFFC00FFh]
418h	TFW_PROBE	内部	TFW_PROBE レジスタ (オフセット = 418h) [リセット = 00000000h]
41Ch	TFW_FT	内部	TFW_FT レジスタ (オフセット = 41Ch) [リセット = 00000000h]
420h	DAC_CAL0	内部	DAC_CAL0 レジスタ (オフセット = 420h) [リセット = 00000000h]
424h	DAC_CAL1	内部	DAC_CAL1 レジスタ (オフセット = 424h) [リセット = 00000000h]
428h	DAC_CAL2	内部	DAC_CAL2 レジスタ (オフセット = 428h) [リセット = 00000000h]
42Ch	DAC_CAL3	内部	DAC_CAL3 レジスタ (オフセット = 42Ch) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 11-26 に、このセクションでアクセス タイプに使用しているコードを示します。

表 11-26. FCFG1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

11.4.1.1 MISC_CONF_1 レジスタ (オフセット = A0h) [リセット = FFFFFF00h]

図 11-23 に、MISC_CONF_1 を示し、表 11-27 に、その説明を示します。

概略表に戻ります。

その他の構成

図 11-23. MISC_CONF_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DEVICE_MINOR_REV							
R-0h								R-X							

表 11-27. MISC_CONF_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	DEVICE_MINOR_REV	R	X	HW マイナー リビジョン番号 (0xFF の値は 0x00 と等しく扱われます)。 SW によるこのフィールドのテストは、符号付き整数としての「以上」比較として実装する必要があります。 値は警告なしに変更される場合があります。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.2 MISC_CONF_2 レジスタ (オフセット = A4h) [リセット = FFFFFF00h]

図 11-24 に、MISC_CONF_2 を示し、表 11-28 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-24. MISC_CONF_2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								HPOSC_COMP_P3							
R-0h								R-X							

表 11-28. MISC_CONF_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	HPOSC_COMP_P3	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.3 HPOSC_MEAS_5 レジスタ (オフセット = B0h) [リセット = 00000000h]

図 11-25 に、HPOSC_MEAS_5 を示し、表 11-29 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-25. HPOSC_MEAS_5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HPOSC_D5															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HPOSC_T5								HPOSC_DT5							
R-X								R-X							

表 11-29. HPOSC_MEAS_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	HPOSC_D5	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
15-8	HPOSC_T5	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
7-0	HPOSC_DT5	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.4 HPOSC_MEAS_4 レジスタ (オフセット = B4h) [リセット = 00000000h]

図 11-26 に、HPOSC_MEAS_4 を示し、表 11-30 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-26. HPOSC_MEAS_4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HPOSC_D4															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HPOSC_T4								HPOSC_DT4							
R-X								R-X							

表 11-30. HPOSC_MEAS_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	HPOSC_D4	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
15-8	HPOSC_T4	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
7-0	HPOSC_DT4	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.5 HPOSC_MEAS_3 レジスタ (オフセット = B8h) [リセット = 00000000h]

図 11-27 に、HPOSC_MEAS_3 を示し、表 11-31 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-27. HPOSC_MEAS_3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HPOSC_D3															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HPOSC_T3								HPOSC_DT3							
R-X								R-X							

表 11-31. HPOSC_MEAS_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	HPOSC_D3	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
15-8	HPOSC_T3	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
7-0	HPOSC_DT3	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.6 HPOSC_MEAS_2 レジスタ (オフセット = BCh) [リセット = 00000000h]

図 11-28 に、HPOSC_MEAS_2 を示し、表 11-32 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-28. HPOSC_MEAS_2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HPOSC_D2															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HPOSC_T2								HPOSC_DT2							
R-X								R-X							

表 11-32. HPOSC_MEAS_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	HPOSC_D2	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
15-8	HPOSC_T2	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
7-0	HPOSC_DT2	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.7 HPOSC_MEAS_1 レジスタ (オフセット = C0h) [リセット = 00000000h]

図 11-29 に、HPOSC_MEAS_1 を示し、表 11-33 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-29. HPOSC_MEAS_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HPOSC_D1															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HPOSC_T1								HPOSC_DT1							
R-X								R-X							

表 11-33. HPOSC_MEAS_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	HPOSC_D1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
15-8	HPOSC_T1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。
7-0	HPOSC_DT1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.8 CONFIG_CC26_FE レジスタ (オフセット = C4h) [リセット = 70000F00h]

図 11-30 に、CONFIG_CC26_FE を示し、表 11-34 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-30. CONFIG_CC26_FE レジスタ

31	30	29	28	27	26	25	24
IFAMP_IB				LNA_IB			
R-7h				R-X			
23	22	21	20	19	18	17	16
IFAMP_TRIM					CTL_PA0_TRIM		
R-0h					R-X		
15	14	13	12	11	10	9	8
CTL_PA0_TRIM		PATRIMCOMPLETE_N	RSSITRIMCOMPLETE_N	予約済み			
R-X		R-X	R-X	R-0h			
7	6	5	4	3	2	1	0
RSSI_OFFSET							
R-X							

表 11-34. CONFIG_CC26_FE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	IFAMP_IB	R	7h	内部。TI が提供する API 経由でのみ使用できます。
27-24	LNA_IB	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
23-19	IFAMP_TRIM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
18-14	CTL_PA0_TRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
13	PATRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
12	RSSITRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-8	予約済み	R	0h	予約済み
7-0	RSSI_OFFSET	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.9 CONFIG_CC13_FE レジスタ (オフセット = C8h) [リセット = 70000F00h]

図 11-31 に、CONFIG_CC13_FE を示し、表 11-35 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-31. CONFIG_CC13_FE レジスタ

31	30	29	28	27	26	25	24
IFAMP_IB				LNA_IB			
R-7h				R-X			
23	22	21	20	19	18	17	16
IFAMP_TRIM					CTL_PA0_TRIM		
R-0h					R-X		
15	14	13	12	11	10	9	8
CTL_PA0_TRIM		PATRIMCOMPLETE_N	RSSITRIMCOMPLETE_N	予約済み			
R-X		R-X	R-X	R-0h			
7	6	5	4	3	2	1	0
RSSI_OFFSET							
R-X							

表 11-35. CONFIG_CC13_FE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	IFAMP_IB	R	7h	内部。TI が提供する API 経由でのみ使用できます。
27-24	LNA_IB	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
23-19	IFAMP_TRIM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
18-14	CTL_PA0_TRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
13	PATRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
12	RSSITRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-8	予約済み	R	0h	予約済み
7-0	RSSI_OFFSET	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.10 CONFIG_RF_COMMON レジスタ (オフセット = CCh) [リセット = 81C0014Dh]

図 11-32 に、CONFIG_RF_COMMON を示します。表 11-36 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-32. CONFIG_RF_COMMON レジスタ

31	30	29	28	27	26	25	24
DISABLE_CORNER_CAP	SLDO_TRIM_OUTPUT						予約済み
R-1h	R-X						R-0h
23	22	21	20	19	18	17	16
予約済み		PA20DBMTRIMCOMPLETE_N	CTL_PA_20DBM_TRIM				
R-0h		R-X	R-X				
15	14	13	12	11	10	9	8
RFLDO_TRIM_OUTPUT							QUANTCTLTHRES
R-X							R-5h
7	6	5	4	3	2	1	0
QUANTCTLTHRES		DACTRIM					
R-5h		R-Dh					

表 11-36. CONFIG_RF_COMMON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DISABLE_CORNER_CAP	R	1h	内部。TI が提供する API 経由でのみ使用できます。
30-25	SLDO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
24-22	予約済み	R	0h	予約済み
21	PA20DBMTRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。
20-16	CTL_PA_20DBM_TRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-9	RFLDO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。
8-6	QUANTCTLTHRES	R	5h	内部。TI が提供する API 経由でのみ使用できます。
5-0	DACTRIM	R	Dh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.11 CONFIG_SYNTH_DIV2_CC26_2G4 レジスタ (オフセット = D0h) [リセット = 0000001Fh]

図 11-33 に、CONFIG_SYNTH_DIV2_CC26_2G4 を示し、表 11-37 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-33. CONFIG_SYNTH_DIV2_CC26_2G4 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-37. CONFIG_SYNTH_DIV2_CC26_2G4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.12 CONFIG_SYNTH_DIV2_CC13_2G4 レジスタ (オフセット = D4h) [リセット = 0000001Fh]

図 11-34 に、CONFIG_SYNTH_DIV2_CC13_2G4 を示し、表 11-38 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-34. CONFIG_SYNTH_DIV2_CC13_2G4 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-38. CONFIG_SYNTH_DIV2_CC13_2G4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.13 CONFIG_SYNTH_DIV2_CC26_1G レジスタ (オフセット = D8h) [リセット = 0000001Fh]

図 11-35 に、CONFIG_SYNTH_DIV2_CC26_1G を示し、表 11-39 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-35. CONFIG_SYNTH_DIV2_CC26_1G レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-39. CONFIG_SYNTH_DIV2_CC26_1G レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.14 CONFIG_SYNTH_DIV2_CC13_1G レジスタ (オフセット = DCh) [リセット = 0000001Fh]

図 11-36 に、CONFIG_SYNTH_DIV2_CC13_1G を示し、表 11-40 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-36. CONFIG_SYNTH_DIV2_CC13_1G レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-40. CONFIG_SYNTH_DIV2_CC13_1G レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.15 CONFIG_SYNTH_DIV4_CC26 レジスタ (オフセット = E0h) [リセット = 0000001Fh]

図 11-37 に、CONFIG_SYNTH_DIV4_CC26 を示し、表 11-41 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-37. CONFIG_SYNTH_DIV4_CC26 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-41. CONFIG_SYNTH_DIV4_CC26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.16 CONFIG_SYNTH_DIV4_CC13 レジスタ (オフセット = E4h) [リセット = 0000001Fh]

図 11-38 に、CONFIG_SYNTH_DIV4_CC13 を示し、表 11-42 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-38. CONFIG_SYNTH_DIV4_CC13 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-42. CONFIG_SYNTH_DIV4_CC13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.17 CONFIG_SYNTH_DIV5 レジスタ (オフセット = E8h) [リセット = 0000001Fh]

図 11-39 に、CONFIG_SYNTH_DIV5 を示し、表 11-43 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-39. CONFIG_SYNTH_DIV5 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-43. CONFIG_SYNTH_DIV5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.18 CONFIG_SYNTH_DIV6_CC26 レジスタ (オフセット = ECh) [リセット = 0000001Fh]

図 11-40 に、CONFIG_SYNTH_DIV6_CC26 を示し、表 11-44 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-40. CONFIG_SYNTH_DIV6_CC26 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-44. CONFIG_SYNTH_DIV6_CC26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.19 CONFIG_SYNTH_DIV6_CC13 レジスタ (オフセット = F0h) [リセット = 0000001Fh]

図 11-41 に、CONFIG_SYNTH_DIV6_CC13 を示し、表 11-45 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-41. CONFIG_SYNTH_DIV6_CC13 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-45. CONFIG_SYNTH_DIV6_CC13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.20 CONFIG_SYNTH_DIV10 レジスタ (オフセット = F4h) [リセット = 0000001Fh]

図 11-42 に、CONFIG_SYNTH_DIV10 を示し、表 11-46 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-42. CONFIG_SYNTH_DIV10 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-46. CONFIG_SYNTH_DIV10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.21 CONFIG_SYNTH_DIV12_CC26 レジスタ (オフセット = F8h) [リセット = 0000001Fh]

図 11-43 に、CONFIG_SYNTH_DIV12_CC26 を示し、表 11-47 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-43. CONFIG_SYNTH_DIV12_CC26 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-47. CONFIG_SYNTH_DIV12_CC26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.22 CONFIG_SYNTH_DIV12_CC13 レジスタ (オフセット = FCh) [リセット = 0000001Fh]

図 11-44 に、CONFIG_SYNTH_DIV12_CC13 を示し、表 11-48 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-44. CONFIG_SYNTH_DIV12_CC13 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-48. CONFIG_SYNTH_DIV12_CC13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.23 CONFIG_SYNTH_DIV15 レジスタ (オフセット = 100h) [リセット = 0000001Fh]

図 11-45 に、CONFIG_SYNTH_DIV15 を示し、表 11-49 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-45. CONFIG_SYNTH_DIV15 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-49. CONFIG_SYNTH_DIV15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.24 CONFIG_SYNTH_DIV30 レジスタ (オフセット = 104h) [リセット = 0000001Fh]

図 11-46 に、CONFIG_SYNTH_DIV30 を示し、表 11-50 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-46. CONFIG_SYNTH_DIV30 レジスタ

31	30	29	28	27	26	25	24
MIN_ALLOWED_RTRIM				RFC_MDM_DEMIQMC0			
R-X				R-X			
23	22	21	20	19	18	17	16
RFC_MDM_DEMIQMC0							
R-X							
15	14	13	12	11	10	9	8
RFC_MDM_DEMIQMC0				LDOVCO_TRIM_OUTPUT			
R-X				R-X			
7	6	5	4	3	2	1	0
LDOVCO_TRIM_OUTPUT		RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	予約済み				
R-X		R-X	R-0h				

表 11-50. CONFIG_SYNTH_DIV30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	MIN_ALLOWED_RTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-12	RFC_MDM_DEMIQMC0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-6	LDOVCO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
5	RFC_MDM_DEMIQMC0_TRIMCOMPLETE_N	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.25 FLASH_NUMBER レジスタ (オフセット = 164h) [リセット = 00000000h]

図 11-47 に、FLASH_NUMBER を示します。表 11-51 に、その説明を示します。

概略表に戻ります。

フラッシュ情報

図 11-47. FLASH_NUMBER レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOT_NUMBER																															
R-X																															

表 11-51. FLASH_NUMBER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	LOT_NUMBER	R	X	このユニットを製造したメーカーの製造ロットの番号。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.26 FLASH_COORDINATE レジスタ (オフセット = 16Ch) [リセット = 00000000h]

図 11-48 に、FLASH_COORDINATE を示します。表 11-52 に、その説明を示します。

概略表に戻ります。

フラッシュ情報

図 11-48. FLASH_COORDINATE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XCOORDINATE																YCOORDINATE															
R-X																R-X															

表 11-52. FLASH_COORDINATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	XCOORDINATE	R	X	このユニットのウェハー上の X 座標。 デフォルト値は、製造試験のログ情報を保持します。
15-0	YCOORDINATE	R	X	このユニットのウェハー上の Y 座標。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.27 FLASH_E_P レジスタ (オフセット = 170h) [リセット = 4C644C64h]

図 11-49 に、FLASH_E_P を示します。表 11-53 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-49. FLASH_E_P レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSU								ESU								PVSU								EVSU							
R-4Ch								R-64h								R-4Ch								R-64h							

表 11-53. FLASH_E_P レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PSU	R	4Ch	内部。TI が提供する API 経由でのみ使用できます。
23-16	ESU	R	64h	内部。TI が提供する API 経由でのみ使用できます。
15-8	PVSU	R	4Ch	内部。TI が提供する API 経由でのみ使用できます。
7-0	EVSU	R	64h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.28 FLASH_C_E_P_R レジスタ (オフセット = 174h) [リセット = 0A0A2000h]

図 11-50 に、FLASH_C_E_P_R を示します。表 11-54 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-50. FLASH_C_E_P_R レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RVSU								PV_ACCESS							
R-Ah								R-Ah							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A_EXEZ_SETUP				CVSU											
R-2h				R-0h											

表 11-54. FLASH_C_E_P_R レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	RVSU	R	Ah	内部。TI が提供する API 経由でのみ使用できます。
23-16	PV_ACCESS	R	Ah	内部。TI が提供する API 経由でのみ使用できます。
15-12	A_EXEZ_SETUP	R	2h	内部。TI が提供する API 経由でのみ使用できます。
11-0	CVSU	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.29 FLASH_P_R_PV レジスタ (オフセット = 178h) [リセット = 02C10200h]

図 11-51 に、FLASH_P_R_PV を示します。表 11-55 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-51. FLASH_P_R_PV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PH								RH								PVH								PVH2							
R-2h								R-C1h								R-2h								R-0h							

表 11-55. FLASH_P_R_PV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PH	R	2h	内部。TI が提供する API 経由でのみ使用できます。
23-16	RH	R	C1h	内部。TI が提供する API 経由でのみ使用できます。
15-8	PVH	R	2h	内部。TI が提供する API 経由でのみ使用できます。
7-0	PVH2	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.30 FLASH_EH_SEQ レジスタ (オフセット = 17Ch) [リセット = 0200F000h]

図 11-52 に、FLASH_EH_SEQ を示します。表 11-56 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-52. FLASH_EH_SEQ レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EH								SEQ							
R-2h								R-0h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VSTAT				SM_FREQUENCY											
R-Fh				R-0h											

表 11-56. FLASH_EH_SEQ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	EH	R	2h	内部。TI が提供する API 経由でのみ使用できます。
23-16	SEQ	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-12	VSTAT	R	Fh	内部。TI が提供する API 経由でのみ使用できます。
11-0	SM_FREQUENCY	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.31 FLASH_VHV_E レジスタ (オフセット = 180h) [リセット = 00000001h]

図 11-53 に、FLASH_VHV_E を示します。表 11-57 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-53. FLASH_VHV_E レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VHV_E_START																VHV_E_STEP_HIGHT															
R-0h																R-1h															

表 11-57. FLASH_VHV_E レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	VHV_E_START	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-0	VHV_E_STEP_HIGHT	R	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.32 FLASH_PP レジスタ (オフセット = 184h) [リセット = 00000014h]

図 11-54 に、FLASH_PP を示します。表 11-58 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-54. FLASH_PP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUMP_SU								TRIM3P4								MAX_PP															
R-0h								R-X								R-14h															

表 11-58. FLASH_PP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	PUMP_SU	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-16	TRIM3P4	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-0	MAX_PP	R	14h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.33 FLASH_PROG_EP レジスタ (オフセット = 188h) [リセット = 0FA00010h]

図 11-55 に、FLASH_PROG_EP を示します。表 11-59 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-55. FLASH_PROG_EP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAX_EP																PROGRAM_PW															
R-FA0h																R-10h															

表 11-59. FLASH_PROG_EP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	MAX_EP	R	FA0h	内部。TI が提供する API 経由でのみ使用できます。
15-0	PROGRAM_PW	R	10h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.34 FLASH_ERA_PW レジスタ (オフセット = 18Ch) [リセット = 00000FA0h]

図 11-56 に、FLASH_ERA_PW を示します。表 11-60 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-56. FLASH_ERA_PW レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERASE_PW																															
R-FA0h																															

表 11-60. FLASH_ERA_PW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ERASE_PW	R	FA0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.35 FLASH_VHV レジスタ (オフセット = 190h) [リセット = 00000004h]

図 11-57 に、FLASH_VHV を示します。表 11-61 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-57. FLASH_VHV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				TRIM13_P				予約済み				VHV_P			
R-0h				R-X				R-0h				R-X			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				TRIM13_E				予約済み				VHV_E			
R-0h				R-X				R-0h				R-4h			

表 11-61. FLASH_VHV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	TRIM13_P	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
23-20	予約済み	R	0h	予約済み
19-16	VHV_P	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-12	予約済み	R	0h	予約済み
11-8	TRIM13_E	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
7-4	予約済み	R	0h	予約済み
3-0	VHV_E	R	4h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.36 FLASH_VHV_PV レジスタ (オフセット = 194h) [リセット = 00080001h]

図 11-58 に、FLASH_VHV_PV を示します。表 11-62 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-58. FLASH_VHV_PV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				TRIM13_PV				予約済み				VHV_PV			
R-0h				R-X				R-0h				R-8h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VCG2P5								VINH							
R-X								R-1h							

表 11-62. FLASH_VHV_PV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	TRIM13_PV	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
23-20	予約済み	R	0h	予約済み
19-16	VHV_PV	R	8h	内部。TI が提供する API 経由でのみ使用できます。
15-8	VCG2P5	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
7-0	VINH	R	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.37 FLASH_V レジスタ (オフセット = 198h) [リセット = 00000000h]

図 11-59 に、FLASH_V を示します。表 11-63 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-59. FLASH_V レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VSL_P								VWL_P								V_READ								TRIM0P8							
R-X								R-X								R-X								R-X							

表 11-63. FLASH_V レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	VSL_P	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
23-16	VWL_P	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-8	V_READ	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
7-0	TRIM0P8	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.38 USER_ID レジスタ (オフセット = 294h) [リセット = 30000000h]

図 11-60 に、USER_ID を示します。表 11-64 に、その説明を示します。

概略表に戻ります。

ユーザ ID。
このレジスタと FCFG1:ICEPICK_DEVICE_ID レジスタを読み取ることが、デバイスを識別するためにサポートされている唯一の方法です。
このレジスタの値は、セーフゾーン中にブート FW によって AON_PMCTL:JTAGUSERCODE に書き込まれます。

図 11-60. USER_ID レジスタ

31	30	29	28	27	26	25	24
PG_REV				VER		PA	予約済み
R-3h				R-X		R-X	R-0h
23	22	21	20	19	18	17	16
CC13	シーケンス					PKG	
R-X	R-X					R-X	
15	14	13	12	11	10	9	8
プロトコル				予約済み			
R-X				R-0h			
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 11-64. USER_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	PG_REV	R	3h	デバイスのリビジョンを区別するために使用されるフィールド
27-26	VER	R	X	バージョン番号。 0x0:このレジスタのビット [25:12] には記載された意味があります。 それ以外の設定は、これらのビットの異なるエンコードを示します。 デフォルト値は型番によって異なります。
25	PA	R	X	0:20dBm PA をサポートしていません 1:20dBm PA をサポートしています デフォルト値は型番によって異なります。
24	予約済み	R	0h	予約済み
23	CC13	R	X	0:CC26xx デバイス タイプ 1:CC13xx デバイス タイプ デフォルト値は型番によって異なります。
22-19	シーケンス	R	X	シーケンス。 このレジスタの他のフィールドが同じである場合 (温度範囲、フラッシュ サイズ、電圧範囲など) に、マーケティング/注文可能な製品を区別するために使用します デフォルト値は型番によって異なります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 11-64. USER_ID レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18-16	PKG	R	X	パッケージ タイプ。 0x0:4x4mm QFN (RHB) パッケージ 0x1:5x5mm QFN (RSM) パッケージ 0x2:7x7mm QFN (RGZ) パッケージ 0x3:ウェハー販売パッケージ (裸のダイ) 0x4:WCSP (YFV) 0x5:ウェッタブル フランク付き 7x7mm QFN パッケージ その他の値は、今後の使用のために予約済みです。 特定のデバイスに利用可能なパッケージは、デバイスのデータシートに記載されています。 デフォルト値は型番によって異なります。
15-12	プロトコル	R	X	サポートされているプロトコル。 0x1:BLE 0x2:RF4CE 0x4:Zigbee/6lowpan 0x8:独自仕様 同一デバイス上で複数のプロトコルをサポート可能です - 上記の各値を組み合わせます。 デフォルト値は型番によって異なります。
11-0	予約済み	R	0h	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

11.4.1.39 FLASH_OTP_DATA3 レジスタ (オフセット = 2B0h) [リセット = 00110003h]

図 11-61 に、FLASH_OTP_DATA3 を示し、表 11-65 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-61. FLASH_OTP_DATA3 レジスタ

31	30	29	28	27	26	25	24
EC_STEP_SIZE							
R-0h							
23	22	21	20	19	18	17	16
EC_STEP_SIZE	DO_PRECOND	MAX_EC_LEVEL				TRIM_1P7	
R-0h	R-0h	R-4h				R-1h	
15	14	13	12	11	10	9	8
FLASH_SIZE							
R-X							
7	6	5	4	3	2	1	0
WAIT_SYSCODE							
R-3h							

表 11-65. FLASH_OTP_DATA3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-23	EC_STEP_SIZE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
22	DO_PRECOND	R	0h	内部。TI が提供する API 経由でのみ使用できます。
21-18	MAX_EC_LEVEL	R	4h	内部。TI が提供する API 経由でのみ使用できます。
17-16	TRIM_1P7	R	1h	内部。TI が提供する API 経由でのみ使用できます。
15-8	FLASH_SIZE	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は型番によって異なります。
7-0	WAIT_SYSCODE	R	3h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.40 ANA2_TRIM レジスタ (オフセット = 2B4h) [リセット = 8240787Fh]

図 11-62 に、ANA2_TRIM を示し、表 11-66 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-62. ANA2_TRIM レジスタ

31	30	29	28	27	26	25	24
RCOSCHFCTRIMFRACT_EN	RCOSCHFCTRIMFRACT					予約済み	SET_RCOSC_HF_FINE_RESISTOR
R-1h	R-X					R-0h	R-X
23	22	21	20	19	18	17	16
SET_RCOSC_HF_FINE_RESISTOR	ATESTLF_UDIGLDO_IBIAS_TRIM	NANOAMP_RES_TRIM					
R-X	R-1h	R-X					
15	14	13	12	11	10	9	8
NANOAMP_RES_TRIM	予約済み			DITHER_EN	DCDC_IPEAK		
R-X	R-0h			R-1h	R-0h		
7	6	5	4	3	2	1	0
DEAD_TIME_TRIM		DCDC_LOW_EN_SEL			DCDC_HIGH_EN_SEL		
R-1h		R-7h			R-7h		

表 11-66. ANA2_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	RCOSCHFCTRIMFRACT_EN	R	1h	内部。TI が提供する API 経由でのみ使用できます。
30-26	RCOSCHFCTRIMFRACT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
25	予約済み	R	0h	予約済み
24-23	SET_RCOSC_HF_FINE_RESISTOR	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
22	ATESTLF_UDIGLDO_IBIAS_TRIM	R	1h	内部。TI が提供する API 経由でのみ使用できます。
21-15	NANOAMP_RES_TRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
14-12	予約済み	R	0h	予約済み
11	DITHER_EN	R	1h	内部。TI が提供する API 経由でのみ使用できます。
10-8	DCDC_IPEAK	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7-6	DEAD_TIME_TRIM	R	1h	内部。TI が提供する API 経由でのみ使用できます。
5-3	DCDC_LOW_EN_SEL	R	7h	内部。TI が提供する API 経由でのみ使用できます。
2-0	DCDC_HIGH_EN_SEL	R	7h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.41 LDO_TRIM レジスタ (オフセット = 2B8h) [リセット = E0F8E0FBh]

図 11-63 に、LDO_TRIM を示します。表 11-67 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-63. LDO_TRIM レジスタ

31	30	29	28	27	26	25	24
予約済み			VDDR_TRIM_SLEEP				
R-0h			R-X				
23	22	21	20	19	18	17	16
予約済み					GLDO_CURSRC		
R-0h					R-0h		
15	14	13	12	11	10	9	8
予約済み			ITRIM_DIGLDO_LOAD		ITRIM_UDIGLDO		
R-0h			R-0h		R-0h		
7	6	5	4	3	2	1	0
予約済み					VTRIM_DELTA		
R-0h					R-3h		

表 11-67. LDO_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	予約済み
28-24	VDDR_TRIM_SLEEP	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
23-19	予約済み	R	0h	予約済み
18-16	GLDO_CURSRC	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-13	予約済み	R	0h	予約済み
12-11	ITRIM_DIGLDO_LOAD	R	0h	内部。TI が提供する API 経由でのみ使用できます。
10-8	ITRIM_UDIGLDO	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7-3	予約済み	R	0h	予約済み
2-0	VTRIM_DELTA	R	3h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

11.4.1.42 MAC_BLE_0 レジスタ (オフセット = 2E8h) [リセット = 00000000h]

図 11-64 に、MAC_BLE_0 を示し、表 11-68 に、その説明を示します。

概略表に戻ります。

MAC BLE アドレス 0

図 11-64. MAC_BLE_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR_0_31																															
R-X																															

表 11-68. MAC_BLE_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR_0_31	R	X	64 ビット MAC BLE アドレスの冒頭 32 ビット デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.43 MAC_BLE_1 レジスタ (オフセット = 2ECh) [リセット = 00000000h]

図 11-65 に、MAC_BLE_1 を示し、表 11-69 に、その説明を示します。

概略表に戻ります。

MAC BLE アドレス 1

図 11-65. MAC_BLE_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR_32_63																															
R-X																															

表 11-69. MAC_BLE_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR_32_63	R	X	64 ビット MAC BLE アドレスの末尾 32 ビット デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.44 MAC_15_4_0 レジスタ (オフセット = 2F0h) [リセット = 00000000h]

図 11-66 に、MAC_15_4_0 を示し、表 11-70 に、その説明を示します。

概略表に戻ります。

MAC IEEE 802.15.4 アドレス 0

図 11-66. MAC_15_4_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR_0_31																															
R-X																															

表 11-70. MAC_15_4_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR_0_31	R	X	64 ビット MAC 15.4 アドレスの冒頭 32 ビット デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.45 MAC_15_4_1 レジスタ (オフセット = 2F4h) [リセット = 00000000h]

図 11-67 に、MAC_15_4_1 を示し、表 11-71 に、その説明を示します。

概略表に戻ります。

MAC IEEE 802.15.4 アドレス 1

図 11-67. MAC_15_4_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR_32_63																															
R-X																															

表 11-71. MAC_15_4_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR_32_63	R	X	64 ビット MAC 15.4 アドレスの末尾 32 ビット デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.46 FLASH_OTP_DATA4 レジスタ (オフセット = 308h) [リセット = 98989F9Fh]

図 11-68 に、FLASH_OTP_DATA4 を示し、表 11-72 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-68. FLASH_OTP_DATA4 レジスタ

31	30	29	28	27	26	25	24
STANDBY_MODE_SEL_INT_WRT	STANDBY_PW_SEL_INT_WRT		DIS_STANDBY_INT_WRT	DIS_IDLE_INT_WRT	VIN_AT_X_INT_WRT		
R-1h	R-0h		R-1h	R-1h	R-0h		
23	22	21	20	19	18	17	16
STANDBY_MODE_SEL_EXT_WRT	STANDBY_PW_SEL_EXT_WRT		DIS_STANDBY_EXT_WRT	DIS_IDLE_EXT_WRT	VIN_AT_X_EXT_WRT		
R-1h	R-0h		R-1h	R-1h	R-0h		
15	14	13	12	11	10	9	8
STANDBY_MODE_SEL_INT_RD	STANDBY_PW_SEL_INT_RD		DIS_STANDBY_INT_RD	DIS_IDLE_INT_RD	VIN_AT_X_INT_RD		
R-1h	R-0h		R-1h	R-1h	R-7h		
7	6	5	4	3	2	1	0
STANDBY_MODE_SEL_EXT_RD	STANDBY_PW_SEL_EXT_RD		DIS_STANDBY_EXT_RD	DIS_IDLE_EXT_RD	VIN_AT_X_EXT_RD		
R-1h	R-0h		R-1h	R-1h	R-7h		

表 11-72. FLASH_OTP_DATA4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	STANDBY_MODE_SEL_INT_WRT	R	1h	内部。TI が提供する API 経由でのみ使用できます。
30-29	STANDBY_PW_SEL_INT_WRT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
28	DIS_STANDBY_INT_WRT	R	1h	内部。TI が提供する API 経由でのみ使用できます。
27	DIS_IDLE_INT_WRT	R	1h	内部。TI が提供する API 経由でのみ使用できます。
26-24	VIN_AT_X_INT_WRT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23	STANDBY_MODE_SEL_EXT_WRT	R	1h	内部。TI が提供する API 経由でのみ使用できます。
22-21	STANDBY_PW_SEL_EXT_WRT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
20	DIS_STANDBY_EXT_WRT	R	1h	内部。TI が提供する API 経由でのみ使用できます。
19	DIS_IDLE_EXT_WRT	R	1h	内部。TI が提供する API 経由でのみ使用できます。
18-16	VIN_AT_X_EXT_WRT	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15	STANDBY_MODE_SEL_INT_RD	R	1h	内部。TI が提供する API 経由でのみ使用できます。
14-13	STANDBY_PW_SEL_INT_RD	R	0h	内部。TI が提供する API 経由でのみ使用できます。
12	DIS_STANDBY_INT_RD	R	1h	内部。TI が提供する API 経由でのみ使用できます。
11	DIS_IDLE_INT_RD	R	1h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

表 11-72. FLASH_OTP_DATA4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10-8	VIN_AT_X_INT_RD	R	7h	内部。TI が提供する API 経由でのみ使用できます。
7	STANDBY_MODE_SEL_EXT_RD	R	1h	内部。TI が提供する API 経由でのみ使用できます。
6-5	STANDBY_PW_SEL_EXT_RD	R	0h	内部。TI が提供する API 経由でのみ使用できます。
4	DIS_STANDBY_EXT_RD	R	1h	内部。TI が提供する API 経由でのみ使用できます。
3	DIS_IDLE_EXT_RD	R	1h	内部。TI が提供する API 経由でのみ使用できます。
2-0	VIN_AT_X_EXT_RD	R	7h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.47 MISC_TRIM レジスタ (オフセット = 30Ch) [リセット = FFFE003Bh]

図 11-69 に、MISC_TRIM を示します。表 11-73 に、その説明を示します。

概略表に戻ります。

その他のトリム パラメータ

図 11-69. MISC_TRIM レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							TRIM_RECHARGE_COMP_OFFSET
R-0h							R-X
15	14	13	12	11	10	9	8
TRIM_RECHARGE_COMP_OFFSET				TRIM_RECHARGE_COMP_REFLEVEL			
R-X				R-X			
7	6	5	4	3	2	1	0
TEMPVSLOPE							
R-3Bh							

表 11-73. MISC_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16-12	TRIM_RECHARGE_COMP_OFFSET	R	X	内部。TI が提供する API 経由でのみ使用できます。
11-8	TRIM_RECHARGE_COMP_REFLEVEL	R	X	内部。TI が提供する API 経由でのみ使用できます。
7-0	TEMPVSLOPE	R	3Bh	符号付きバイト値は、4 つの小数ビットで、バッテリ電圧での TEMP スロープを C/V 単位で表します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.48 RCOSC_HF_TEMPCOMP レジスタ (オフセット = 310h) [リセット = 00000003h]

図 11-70 に、RCOSC_HF_TEMPCOMP を示します。表 11-74 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-70. RCOSC_HF_TEMPCOMP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FINE_RESISTOR								CTRIM							
R-0h								R-0h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTRIMFRACT_QUAD								CTRIMFRACT_SLOPE							
R-0h								R-3h							

表 11-74. RCOSC_HF_TEMPCOMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	FINE_RESISTOR	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-16	CTRIM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-8	CTRIMFRACT_QUAD	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	CTRIMFRACT_SLOPE	R	3h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.49 ICEPICK_DEVICE_ID レジスタ (オフセット = 318h) [リセット = 3BB4102Fh]

図 11-71 に、ICEPICK_DEVICE_ID を示します。表 11-75 に、その説明を示します。

概略表に戻ります。

IcePick デバイス ID
このレジスタと FCFG1:USER_ID レジスタを読み取ることが、デバイスを識別するためにサポートされている唯一の方法です。

図 11-71. ICEPICK_DEVICE_ID レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PG_REV				WAFER_ID											
R-3h				R-BB41h											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WAFER_ID				MANUFACTURER_ID											
R-BB41h				R-2Fh											

表 11-75. ICEPICK_DEVICE_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	PG_REV	R	3h	デバイスのリビジョンを区別するために使用されるフィールド。
27-12	WAFER_ID	R	BB41h	シリコン ダイを識別するために使用されるフィールド。
11-0	MANUFACTURER_ID	R	2Fh	メーカー コード。 0x02F:テキサス インスツルメンツ

Copyright © 2026 Texas Instruments Incorporated

11.4.1.50 FCFG1_REVISION レジスタ (オフセット = 31Ch) [リセット = 0000002Ah]

図 11-72 に、FCFG1_REVISION を示し、表 11-76 に、その説明を示します。

概略表に戻ります。

工場出荷時構成 (FCFG1) リビジョン

図 11-72. FCFG1_REVISION レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV																															
R-2Ah																															

表 11-76. FCFG1_REVISION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	REV	R	2Ah	FCFG1 レイアウトのリビジョン番号。この値は、有効な値を持つ FCFG1 パラメータを決定するためにアプリケーション SW によって読み取られます。前回のデバイス製造以降に FCFG1 レイアウトが変更された場合、デバイスを製造する前に、このリビジョン番号を 1 ずつ増やす必要があります。 値は予告なく変更される場合があります。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.51 MISC_OTP_DATA レジスタ (オフセット = 320h) [リセット = 0000CFFFh]

図 11-73 に、MISC_OTP_DATA を示します。表 11-77 に、その説明を示します。

概略表に戻ります。

その他の OTP データ

図 11-73. MISC_OTP_DATA レジスタ

31	30	29	28	27	26	25	24
RCOSC_HF_ITUNE				RCOSC_HF_CRIM			
R-X				R-X			
23	22	21	20	19	18	17	16
RCOSC_HF_CRIM				PER_M			
R-X				R-1h			
15	14	13	12	11	10	9	8
PER_M	PER_E			予約済み			
R-1h	R-4h			R-0h			
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 11-77. MISC_OTP_DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	RCOSC_HF_ITUNE	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
27-20	RCOSC_HF_CRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
19-15	PER_M	R	1h	内部。TI が提供する API 経由でのみ使用できます。
14-12	PER_E	R	4h	内部。TI が提供する API 経由でのみ使用できます。
11-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.52 IOCONF レジスタ (オフセット = 344h) [リセット = FFFFFF00h]

図 11-74 に、IOCONF を示し、表 11-78 に、その説明を示します。

概略表に戻ります。

IO の構成

図 11-74. IOCONF レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み									GPIO_CNT						
R-0h									R-X						

表 11-78. IOCONF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	GPIO_CNT	R	X	使用可能な DIO の数。 デフォルト値は型番によって異なります。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.53 CONFIG_IF_ADC レジスタ (オフセット = 34Ch) [リセット = 3460F400h]

図 11-75 に、CONFIG_IF_ADC を示します。表 11-79 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-75. CONFIG_IF_ADC レジスタ

31	30	29	28	27	26	25	24
FF2ADJ				FF3ADJ			
R-3h				R-4h			
23	22	21	20	19	18	17	16
INT3ADJ				FF1ADJ			
R-6h				R-0h			
15	14	13	12	11	10	9	8
AAFCAP		INT2ADJ				IFDIGLDO_TRIM_OUTPUT	
R-3h		R-Dh				R-X	
7	6	5	4	3	2	1	0
IFDIGLDO_TRIM_OUTPUT			IFANALDO_TRIM_OUTPUT				
R-X			R-X				

表 11-79. CONFIG_IF_ADC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	FF2ADJ	R	3h	内部。TI が提供する API 経由でのみ使用できます。
27-24	FF3ADJ	R	4h	内部。TI が提供する API 経由でのみ使用できます。
23-20	INT3ADJ	R	6h	内部。TI が提供する API 経由でのみ使用できます。
19-16	FF1ADJ	R	0h	内部。TI が提供する API 経由でのみ使用できます。
15-14	AAFCAP	R	3h	内部。TI が提供する API 経由でのみ使用できます。
13-10	INT2ADJ	R	Dh	内部。TI が提供する API 経由でのみ使用できます。
9-5	IFDIGLDO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
4-0	IFANALDO_TRIM_OUTPUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.54 CONFIG_OSC_TOP レジスタ (オフセット = 350h) [リセット = DC07FC00h]

図 11-76 に、CONFIG_OSC_TOP を示します。表 11-80 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-76. CONFIG_OSC_TOP レジスタ

31	30	29	28	27	26	25	24
予約済み		XOSC_HF_ROW_Q12				XOSC_HF_COLUMN_Q12	
R-0h		R-7h				R-1FFh	
23	22	21	20	19	18	17	16
XOSC_HF_COLUMN_Q12							
R-1FFh							
15	14	13	12	11	10	9	8
XOSC_HF_COLUMN_Q12						RCOSCLF_CTUNE_TRIM	
R-1FFh						R-X	
7	6	5	4	3	2	1	0
RCOSCLF_CTUNE_TRIM						RCOSCLF_RTUNE_TRIM	
R-X						R-0h	

表 11-80. CONFIG_OSC_TOP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	予約済み
29-26	XOSC_HF_ROW_Q12	R	7h	内部。TI が提供する API 経由でのみ使用できます。
25-10	XOSC_HF_COLUMN_Q12	R	1FFh	内部。TI が提供する API 経由でのみ使用できます。
9-2	RCOSCLF_CTUNE_TRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
1-0	RCOSCLF_RTUNE_TRIM	R	0h	内部。TI が提供する API 経由でのみ使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

11.4.1.55 SOC_ADC_ABS_GAIN レジスタ (オフセット = 35Ch) [リセット = 00000000h]

図 11-77 に、SOC_ADC_ABS_GAIN を示します。表 11-81 に、その説明を示します。

概略表に戻ります。

絶対リファレンス モードでの AUX_ADC ゲイン

図 11-77. SOC_ADC_ABS_GAIN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOC_ADC_ABS_GAIN_TEMP1															
R-X															

表 11-81. SOC_ADC_ABS_GAIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	SOC_ADC_ABS_GAIN_TEMP1	R	X	温度 1 (30C) における絶対リファレンス モードでの SOC_ADC ゲイン。 製造試験で計算されます。 デフォルト値は、製造試験のログ情報を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.56 SOC_ADC_REL_GAIN レジスタ (オフセット = 360h) [リセット = 00000000h]

図 11-78 に、SOC_ADC_REL_GAIN を示します。表 11-82 に、その説明を示します。

概略表に戻ります。

相対リファレンス モードでの AUX_ADC ゲイン

図 11-78. SOC_ADC_REL_GAIN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOC_ADC_REL_GAIN_TEMP1															
R-X															

表 11-82. SOC_ADC_REL_GAIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	SOC_ADC_REL_GAIN_TEMP1	R	X	温度 1 (30C) における相対リファレンス モードでの SOC_ADC ゲイン。 製造試験で計算されます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.57 SOC_ADC_OFFSET_INT レジスタ (オフセット = 368h) [リセット = 00000000h]

図 11-79 に、SOC_ADC_OFFSET_INT を示します。表 11-83 に、その説明を示します。

概略表に戻ります。

絶対リファレンス モードでの AUX_ADC 温度オフセット

図 11-79. SOC_ADC_OFFSET_INT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								SOC_ADC_REL_OFFSET_TEMP1							
R-0h								R-X							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								SOC_ADC_ABS_OFFSET_TEMP1							
R-0h								R-X							

表 11-83. SOC_ADC_OFFSET_INT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-16	SOC_ADC_REL_OFFSET_TEMP1	R	X	温度 1 (30C) における相対リファレンス モードでの SOC_ADC オフセット。符号付き 8 ビット番号。製造試験で計算されます。 デフォルト値は、製造試験のトリム値を保持します。
15-8	予約済み	R	0h	予約済み
7-0	SOC_ADC_ABS_OFFSET_TEMP1	R	X	温度 1 (30C) における絶対リファレンス モードでの SOC_ADC オフセット。符号付き 8 ビット番号。製造試験で計算されます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.58 SOC_ADC_REF_TRIM_AND_OFFSET_EXT レジスタ (オフセット = 36Ch) [リセット = 0000C080h]

図 11-80 に、SOC_ADC_REF_TRIM_AND_OFFSET_EXT を示します。表 11-84 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-80. SOC_ADC_REF_TRIM_AND_OFFSET_EXT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		SOC_ADC_REF_VOLTAGE_TRIM_TEMP1					
R-0h		R-X					

表 11-84. SOC_ADC_REF_TRIM_AND_OFFSET_EXT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	SOC_ADC_REF_VOLTAGE_TRIM_TEMP1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.59 AMPCOMP_TH1 レジスタ (オフセット = 370h) [リセット = FF7B828Eh]

図 11-81 に、AMPCOMP_TH1 を示し、表 11-85 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-81. AMPCOMP_TH1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
HPMRAMP3_LTH						予約済み	
R-1Eh						R-0h	
15	14	13	12	11	10	9	8
HPMRAMP3_HTH						IBIASCAP_LPTOHP_OL_CNT	
R-20h						R-Ah	
7	6	5	4	3	2	1	0
IBIASCAP_LPTOHP_OL_CNT		HPMRAMP1_TH					
R-Ah		R-Eh					

表 11-85. AMPCOMP_TH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-18	HPMRAMP3_LTH	R	1Eh	内部。TI が提供する API 経由でのみ使用できます。
17-16	予約済み	R	0h	予約済み
15-10	HPMRAMP3_HTH	R	20h	内部。TI が提供する API 経由でのみ使用できます。
9-6	IBIASCAP_LPTOHP_OL_CNT	R	Ah	内部。TI が提供する API 経由でのみ使用できます。
5-0	HPMRAMP1_TH	R	Eh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.60 AMPCOMP_TH2 レジスタ (オフセット = 374h) [リセット = 6B8B0303h]

図 11-82 に、AMPCOMP_TH2 を示し、表 11-86 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-82. AMPCOMP_TH2 レジスタ

31	30	29	28	27	26	25	24
LPMUPDATE_LTH						予約済み	
R-1Ah						R-0h	
23	22	21	20	19	18	17	16
LPMUPDATE_HTM						予約済み	
R-22h						R-0h	
15	14	13	12	11	10	9	8
ADC_COMP_AMPTH_LPM						予約済み	
R-0h						R-0h	
7	6	5	4	3	2	1	0
ADC_COMP_AMPTH_HPM						予約済み	
R-0h						R-0h	

表 11-86. AMPCOMP_TH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	LPMUPDATE_LTH	R	1Ah	内部。TI が提供する API 経由でのみ使用できます。
25-24	予約済み	R	0h	予約済み
23-18	LPMUPDATE_HTM	R	22h	内部。TI が提供する API 経由でのみ使用できます。
17-16	予約済み	R	0h	予約済み
15-10	ADC_COMP_AMPTH_LPM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
9-8	予約済み	R	0h	予約済み
7-2	ADC_COMP_AMPTH_HPM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
1-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.61 AMPCOMP_CTRL1 レジスタ (オフセット = 378h) [リセット = FF483F47h]

図 11-83 に、AMPCOMP_CTRL1 を示し、表 11-87 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-83. AMPCOMP_CTRL1 レジスタ

31	30	29	28	27	26	25	24
予約済み	AMPCOMP_REQ_MODE	予約済み					
R-0h	R-1h	R-0h					
23	22	21	20	19	18	17	16
IBIAS_OFFSET				IBIAS_INIT			
R-4h				R-8h			
15	14	13	12	11	10	9	8
LPM_IBIAS_WAIT_CNT_FINAL							
R-3Fh							
7	6	5	4	3	2	1	0
CAP_STEP				IBIASCAP_HPTOLP_OL_CNT			
R-4h				R-7h			

表 11-87. AMPCOMP_CTRL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	AMPCOMP_REQ_MODE	R	1h	内部。TI が提供する API 経由でのみ使用できます。
29-24	予約済み	R	0h	予約済み
23-20	IBIAS_OFFSET	R	4h	内部。TI が提供する API 経由でのみ使用できます。
19-16	IBIAS_INIT	R	8h	内部。TI が提供する API 経由でのみ使用できます。
15-8	LPM_IBIAS_WAIT_CNT_FINAL	R	3Fh	内部。TI が提供する API 経由でのみ使用できます。
7-4	CAP_STEP	R	4h	内部。TI が提供する API 経由でのみ使用できます。
3-0	IBIASCAP_HPTOLP_OL_CNT	R	7h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.62 ANABYPASS_VALUE2 レジスタ (オフセット = 37Ch) [リセット = FFFFC3FFh]

図 11-84 に、ANABYPASS_VALUE2 を示し、表 11-88 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-84. ANABYPASS_VALUE2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み		XOSC_HF_IBIASTHERM													
R-0h		R-3FFh													

表 11-88. ANABYPASS_VALUE2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13-0	XOSC_HF_IBIASTHERM	R	3FFh	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.63 VOLT_TRIM レジスタ (オフセット = 388h) [リセット = E0E0E0E0h]

図 11-85 に、VOLT_TRIM を示します。表 11-89 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-85. VOLT_TRIM レジスタ

31	30	29	28	27	26	25	24
予約済み			VDDR_TRIM_HH				
R-0h			R-X				
23	22	21	20	19	18	17	16
予約済み			VDDR_TRIM_H				
R-0h			R-X				
15	14	13	12	11	10	9	8
予約済み			VDDR_TRIM_SLEEP_H				
R-0h			R-X				
7	6	5	4	3	2	1	0
予約済み			TRIMBOD_H				
R-0h			R-X				

表 11-89. VOLT_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	予約済み
28-24	VDDR_TRIM_HH	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
23-21	予約済み	R	0h	予約済み
20-16	VDDR_TRIM_H	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-13	予約済み	R	0h	予約済み
12-8	VDDR_TRIM_SLEEP_H	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
7-5	予約済み	R	0h	予約済み
4-0	TRIMBOD_H	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.64 OSC_CONF レジスタ (オフセット = 38Ch) [リセット = F00900E6h]

図 11-86 に、OSC_CONF を示します。表 11-90 に、その説明を示します。

概略表に戻ります。

OSC の構成

図 11-86. OSC_CONF レジスタ

31	30	29	28	27	26	25	24
予約済み		ADC_SH_VBUF_EN	ADC_SH_MODE_EN	ATESTLF_RCOSCLF_IBIAS_TRIM	XOSCLF_REGULATOR_TRIM		XOSCLF_CMIRRWR_RATIO
R-0h		R-1h	R-1h	R-0h	R-0h		R-0h
23	22	21	20	19	18	17	16
XOSCLF_CMIRRWR_RATIO			XOSC_HF_FAST_START		XOSC_OPTION	HPOSC_OPTION	HPOSC_BIAS_HOLD_MODE_EN
R-0h			R-1h		R-X	R-X	R-1h
15	14	13	12	11	10	9	8
HPOSC_CURRMIRR_RATIO				HPOSC_BIAS_RES_SET			
R-X				R-X			
7	6	5	4	3	2	1	0
HPOSC_FILTER_EN	HPOSC_BIAS_RECHARGE_DELAY		予約済み		HPOSC_SERIES_CAP		HPOSC_DIV3_BYPASS
R-1h	R-3h		R-0h		R-3h		R-0h

表 11-90. OSC_CONF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	予約済み
29	ADC_SH_VBUF_EN	R	1h	DDI_0_OSC:ADCDOUBLERNANOAMPCTL.ADC_SH_VBUF_EN のトリム値。
28	ADC_SH_MODE_EN	R	1h	DDI_0_OSC:ADCDOUBLERNANOAMPCTL.ADC_SH_MODE_EN のトリム値。
27	ATESTLF_RCOSCLF_IBIAS_TRIM	R	0h	DDI_0_OSC:ATESTCTL.ATESTLF_RCOSCLF_IBIAS_TRIM のトリム値。
26-25	XOSCLF_REGULATOR_TRIM	R	0h	DDI_0_OSC:LFOSCCTL.XOSCLF_REGULATOR_TRIM のトリム値。
24-21	XOSCLF_CMIRRWR_RATIO	R	0h	DDI_0_OSC:LFOSCCTL.XOSCLF_CMIRRWR_RATIO のトリム値。
20-19	XOSC_HF_FAST_START	R	1h	DDI_0_OSC:CTL1.XOSC_HF_FAST_START のトリム値。
18	XOSC_OPTION	R	X	0:XOSC_HF は利用できません (ボンディングされていない可能性があります) 1:XOSC_HF を使用できます (デフォルト) デフォルト値は型番によって異なります。
17	HPOSC_OPTION	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は型番によって異なります。
16	HPOSC_BIAS_HOLD_MODE_EN	R	1h	内部。TI が提供する API 経由でのみ使用できます。
15-12	HPOSC_CURRMIRR_RATIO	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-8	HPOSC_BIAS_RES_SET	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

表 11-90. OSC_CONF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	HPOSC_FILTER_EN	R	1h	内部。TI が提供する API 経由でのみ使用できます。
6-5	HPOSC_BIAS_RECHARGE_DELAY	R	3h	内部。TI が提供する API 経由でのみ使用できます。
4-3	予約済み	R	0h	予約済み
2-1	HPOSC_SERIES_CAP	R	3h	内部。TI が提供する API 経由でのみ使用できます。
0	HPOSC_DIV3_BYPASS	R	0h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.65 FREQ_OFFSET レジスタ (オフセット = 390h) [リセット = 00000000h]

図 11-87 に、FREQ_OFFSET を示します。表 11-91 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-87. FREQ_OFFSET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HPOSC_COMP_P0															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HPOSC_COMP_P1								HPOSC_COMP_P2							
R-X								R-X							

表 11-91. FREQ_OFFSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	HPOSC_COMP_P0	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-8	HPOSC_COMP_P1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
7-0	HPOSC_COMP_P2	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.66 MISC_OTP_DATA_1 レジスタ (オフセット = 398h) [リセット = E08403F8h]

図 11-88 に、MISC_OTP_DATA_1 を示し、表 11-92 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-88. MISC_OTP_DATA_1 レジスタ

31	30	29	28	27	26	25	24
予約済み			PEAK_DET_ITRIM		HP_BUF_ITRIM		
R-0h			R-0h		R-0h		
23	22	21	20	19	18	17	16
LP_BUF_ITRIM		DBLR_LOOP_FILTER_RESET_VOLTAGE		HPM_IBIAS_WAIT_CNT			
R-2h		R-0h		R-100h			
15	14	13	12	11	10	9	8
HPM_IBIAS_WAIT_CNT						LPM_IBIAS_WAIT_CNT	
R-100h						R-3Fh	
7	6	5	4	3	2	1	0
LPM_IBIAS_WAIT_CNT				IDAC_STEP			
R-3Fh				R-8h			

表 11-92. MISC_OTP_DATA_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	予約済み
28-27	PEAK_DET_ITRIM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
26-24	HP_BUF_ITRIM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
23-22	LP_BUF_ITRIM	R	2h	内部。TI が提供する API 経由でのみ使用できます。
21-20	DBLR_LOOP_FILTER_RESET_VOLTAGE	R	0h	内部。TI が提供する API 経由でのみ使用できます。
19-10	HPM_IBIAS_WAIT_CNT	R	100h	内部。TI が提供する API 経由でのみ使用できます。
9-4	LPM_IBIAS_WAIT_CNT	R	3Fh	内部。TI が提供する API 経由でのみ使用できます。
3-0	IDAC_STEP	R	8h	内部。TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.67 SHDW_DIE_ID_0 レジスタ (オフセット = 3D0h) [リセット = 00000000h]

図 11-89 に、SHDW_DIE_ID_0 を示し、表 11-93 に、その説明を示します。

概略表に戻ります。

eFuse の DIE_ID_0 レジスタのシャドウ

図 11-89. SHDW_DIE_ID_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID_31_0																															
R-X																															

表 11-93. SHDW_DIE_ID_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ID_31_0	R	X	eFuse 行番号 5 の DIE_ID_0 レジスタのシャドウ デフォルト値は eFuse 値によって異なります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

11.4.1.68 SHDW_DIE_ID_1 レジスタ (オフセット = 3D4h) [リセット = 00000000h]

図 11-90 に、SHDW_DIE_ID_1 を示し、表 11-94 に、その説明を示します。

概略表に戻ります。

eFuse の DIE_ID_1 レジスタのシャドウ

図 11-90. SHDW_DIE_ID_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID_63_32																															
R-X																															

表 11-94. SHDW_DIE_ID_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ID_63_32	R	X	eFuse 行番号 6 の DIE_ID_1 レジスタのシャドウ デフォルト値は eFuse 値によって異なります。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.69 SHDW_DIE_ID_2 レジスタ (オフセット = 3D8h) [リセット = 00000000h]

図 11-91 に、SHDW_DIE_ID_2 を示し、表 11-95 に、その説明を示します。

概略表に戻ります。

eFuse の DIE_ID_2 レジスタのシャドウ

図 11-91. SHDW_DIE_ID_2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID_95_64																															
R-X																															

表 11-95. SHDW_DIE_ID_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ID_95_64	R	X	eFuse 行番号 7 の DIE_ID_2 レジスタのシャドウ デフォルト値は eFuse 値によって異なります。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.70 SHDW_DIE_ID_3 レジスタ (オフセット = 3DCh) [リセット = 00000000h]

図 11-92 に、SHDW_DIE_ID_3 を示し、表 11-96 に、その説明を示します。

概略表に戻ります。

eFuse の DIE_ID_3 レジスタのシャドウ

図 11-92. SHDW_DIE_ID_3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID_127_96																															
R-X																															

表 11-96. SHDW_DIE_ID_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ID_127_96	R	X	eFuse 行番号 8 の DIE_ID_3 レジスタのシャドウ デフォルト値は eFuse 値によって異なります。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.71 SHDW_OSC_BIAS_LDO_TRIM レジスタ (オフセット = 3F8h) [リセット = 00000000h]

図 11-93 に、SHDW_OSC_BIAS_LDO_TRIM を示します。表 11-97 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-93. SHDW_OSC_BIAS_LDO_TRIM レジスタ

31	30	29	28	27	26	25	24
予約済み						TRIMMAG	
R-0h						R-X	
23	22	21	20	19	18	17	16
TRIMMAG	TRIMIREF					ITRIM_DIG_LDO	
R-X	R-X					R-X	
15	14	13	12	11	10	9	8
VTRIM_DIG				VTRIM_COARSE			
R-X				R-X			
7	6	5	4	3	2	1	0
RCOSCHF_CTRIM							
R-X							

表 11-97. SHDW_OSC_BIAS_LDO_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-27	予約済み	R	0h	予約済み
26-23	TRIMMAG	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
22-18	TRIMIREF	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
17-16	ITRIM_DIG_LDO	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
15-12	VTRIM_DIG	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
11-8	VTRIM_COARSE	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
7-0	RCOSCHF_CTRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

11.4.1.72 SHDW_ANA_TRIM レジスタ (オフセット = 3FCh) [リセット = 00000000h]

図 11-94 に、SHDW_ANA_TRIM を示します。表 11-98 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-94. SHDW_ANA_TRIM レジスタ

31	30	29	28	27	26	25	24
予約済み	ALT_VDDR_TRIM	DET_LOGIC_DIS	BOD_BANDGAP_TRIM_CNF_EXT		BOD_BANDGAP_TRIM_CNF		VDDR_ENABLE_PG1
R-0h	R-X	R-X	R-X		R-X		R-X
23	22	21	20	19	18	17	16
VDDR_OK_HYS	IPTAT_TRIM		VDDR_TRIM				
R-X	R-X		R-X				
15	14	13	12	11	10	9	8
TRIMBOD_INTMODE					TRIMBOD_EXTMODE		
R-X					R-X		
7	6	5	4	3	2	1	0
TRIMBOD_EXTMODE		TRIMTEMP					
R-X		R-X					

表 11-98. SHDW_ANA_TRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	ALT_VDDR_TRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
29	DET_LOGIC_DIS	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
28-27	BOD_BANDGAP_TRIM_CNF_EXT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
26-25	BOD_BANDGAP_TRIM_CNF	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
24	VDDR_ENABLE_PG1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
23	VDDR_OK_HYS	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
22-21	IPTAT_TRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
20-16	VDDR_TRIM	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
15-11	TRIMBOD_INTMODE	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
10-6	TRIMBOD_EXTMODE	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。
5-0	TRIMTEMP	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は eFuse 値によって異なります。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.73 OSC_CONF1 レジスタ (オフセット = 408h) [リセット = FFFF0000h]

図 11-95 に、OSC_CONF1 を示し、表 11-99 に、その説明を示します。

概略表に戻ります。

発振器構成

図 11-95. OSC_CONF1 レジスタ

31	30	29	28	27	26	25	24
RCOSC_MF_BIAS_HTEMP				RCOSC_MF_TEMP_DEPEND_MODE	RCOSC_MF_SINGLE_TRIM_METHOD	予約済み	
R-X				R-X	R-X	R-0h	
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				RCOSC_MF_BIAS_ADJ			
R-0h				R-X			

表 11-99. OSC_CONF1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	RCOSC_MF_BIAS_HTEMP	R	X	内部。TI が提供する API 経由でのみ使用できます。
27	RCOSC_MF_TEMP_DEPEND_MODE	R	X	内部。TI が提供する API 経由でのみ使用できます。
26	RCOSC_MF_SINGLE_TRIM_METHOD	R	X	内部。TI が提供する API 経由でのみ使用できます。
25-4	予約済み	R	0h	予約済み
3-0	RCOSC_MF_BIAS_ADJ	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.74 DAC_BIAS_CNF レジスタ (オフセット = 40Ch) [リセット = FFFC00FFh]

図 11-96 に、DAC_BIAS_CNF を示します。表 11-100 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-96. DAC_BIAS_CNF レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						LPM_TRIM_IOUT	
R-0h						R-X	
15	14	13	12	11	10	9	8
LPM_TRIM_IOUT				LPM_BIAS_WIDTH_TRIM			LPM_BIAS_BACKUP_EN
R-X				R-0h			R-0h
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 11-100. DAC_BIAS_CNF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	予約済み
17-12	LPM_TRIM_IOUT	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
11-9	LPM_BIAS_WIDTH_TRIM	R	0h	内部。TI が提供する API 経由でのみ使用できます。
8	LPM_BIAS_BACKUP_EN	R	0h	内部。TI が提供する API 経由でのみ使用できます。
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.4.1.75 TFW_PROBE レジスタ (オフセット = 418h) [リセット = 00000000h]

図 11-97 に、TFW_PROBE を示します。表 11-101 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-97. TFW_PROBE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV																															
R-X																															

表 11-101. TFW_PROBE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	REV	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.76 TFW_FT レジスタ (オフセット = 41Ch) [リセット = 00000000h]

図 11-98 に、TFW_FT を示します。表 11-102 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-98. TFW_FT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REV																															
R-X																															

表 11-102. TFW_FT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	REV	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.77 DAC_CAL0 レジスタ (オフセット = 420h) [リセット = 00000000h]

図 11-99 に、DAC_CAL0 を示し、表 11-103 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-99. DAC_CAL0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SOC_DAC_VOUT_CAL_DECOUPLE_C2															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOC_DAC_VOUT_CAL_DECOUPLE_C1															
R-X															

表 11-103. DAC_CAL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SOC_DAC_VOUT_CAL_DECOUPLE_C2	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-0	SOC_DAC_VOUT_CAL_DECOUPLE_C1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.78 DAC_CAL1 レジスタ (オフセット = 424h) [リセット = 00000000h]

図 11-100 に、DAC_CAL1 を示し、表 11-104 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-100. DAC_CAL1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SOC_DAC_VOUT_CAL_PRECH_C2															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOC_DAC_VOUT_CAL_PRECH_C1															
R-X															

表 11-104. DAC_CAL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SOC_DAC_VOUT_CAL_PRECH_C2	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-0	SOC_DAC_VOUT_CAL_PRECH_C1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.79 DAC_CAL2 レジスタ (オフセット = 428h) [リセット = 00000000h]

図 11-101 に、DAC_CAL2 を示し、表 11-105 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-101. DAC_CAL2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SOC_DAC_VOUT_CAL_ADCREF_C2															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOC_DAC_VOUT_CAL_ADCREF_C1															
R-X															

表 11-105. DAC_CAL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SOC_DAC_VOUT_CAL_ADCREF_C2	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-0	SOC_DAC_VOUT_CAL_ADCREF_C1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

11.4.1.80 DAC_CAL3 レジスタ (オフセット = 42Ch) [リセット = 00000000h]

図 11-102 に、DAC_CAL3 を示し、表 11-106 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API 経由でのみ使用できます。

図 11-102. DAC_CAL3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SOC_DAC_VOUT_CAL_VDDS_C2															
R-X															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOC_DAC_VOUT_CAL_VDDS_C1															
R-X															

表 11-106. DAC_CAL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SOC_DAC_VOUT_CAL_VDDS_C2	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。
15-0	SOC_DAC_VOUT_CAL_VDDS_C1	R	X	内部。TI が提供する API 経由でのみ使用できます。 デフォルト値は、製造試験のトリム値を保持します。

Copyright © 2026 Texas Instruments Incorporated

Chapter 12
暗号化

CC13x2 および CC26x2 デバイス プラットフォームのセキュア コアは、ローカル キー ストレージと DMA 機能を備えた高度暗号化標準 (AES) モジュールを特徴としています。

CC13x2 および CC26x2 デバイス プラットフォームは、256 ビット キーをサポートする AES モジュール、ハッシュ エンジンも特徴としており、そのセキュリティは PKA エンジンをサポートしています。この章では、AES およびハッシュ エンジンの設定について説明します。

12.1 AES およびハッシュ暗号化プロセッサの概要 952
12.2 機能説明 952
12.3 パワー マネージメントとスリープ モード 953
12.4 ハードウェアの説明 954
12.5 モジュールの説明 955
12.6 AES モジュールの性能 968
12.7 プログラミング ガイドライン 970
12.8 規則および準拠規格 1009
12.9 暗号化レジスタ 1011

Copyright © 2026 Texas Instruments Incorporated

12.1 AES およびハッシュ暗号化プロセッサの概要

AES セキュリティは、バイナリ キーをベースとして、ハードウェア アクセラレーションによるデータの暗号化および復号化処理を提供します。このモジュールは、暗号化および復号化のために 256 ビット鍵をハードウェアでサポートしており、対称アルゴリズムを使用します。つまり、暗号化鍵と復号化鍵は同一です。暗号化は、プレーン テキスト データを暗号化テキストと呼ばれる判読できない形式に変換します。暗号化テキストの復号では、暗号化されたデータが元のプレーン テキスト形式に変換されます。AES モジュールの主な特長を以下で説明します。

- 次の動作モードのサポートと可用性:
  - 電子コード ブック モード (ECB)
  - 暗号ブロック チェーン モード (CBC)
  - 暗号ブロックチェーン メッセージ認証コード (CBC-MAC)
  - カウンタ モード (CTR)
  - CBC-MAC によるカウンタ モード (CCM)
  - CBC-GCM によるカウンタ モード (GCM)
- キーのサイズ:128、192、256 ビット
- CBC-MAC 認証モードのサポート
- ハードウェア内でのキー スケジューリング
- µDMA 転送のサポート
- 完全な同期式設計
- ハッシュ アルゴリズムをサポート (SHA-224、SHA-256、SHA-384、SHA-512)

ECB、CBC、CTR、GCM、CCM の各モードでは、データの読み書きが必要です。CBC-MAC では、外部ソースからデータを読み取るだけで済みます。CCM の動作モードは、認証結果を返します。この結果は、個別の DMA 動作を使用して読み取ることも、スレーブ インターフェイス経由で読み取ることもできます。すべてのモードにおいて、DMA を使用する代わりに、データの全部または一部をスレーブ インターフェース経由で提供するオプションが用意されています。AES エンジンは、キーストア モジュールのキーを操作に使用するよう強制されます。AES エンジンへ鍵を供給するには、キーストア モジュールをトリガして、キーストア メモリから AES 鍵を読み出し、AES 鍵レジスタへ書き込みます。AES エンジンは、AES CBC-MAC、GCM、および CCM において、最後のデータ ブロックが整列されていない場合、自動的にゼロでパディングまたはマスクを行います (整列されていない AAD データを含みます)。AES CTR モードでは、最後のデータ ブロックの整列がずれていることが内部でマスクされ、ブロック サイズ以外の入力データをサポートします。

12.2 機能説明

AES エンジンは、コンテキストおよびデータ レジスタに直接接続されているため、すべてのデータが利用可能になったときに処理を直ちに開始できます。AES エンジンは、I/O 制御 FSM および µDMA リクエスト インターフェースとも連携しています。AES は、次の主要な機能ブロックで構成されています。

- グローバル制御 FSM と µDMA インターフェイス
- レジスタ インターフェイス モジュール
- AES エンジン

AES エンジンは主要なトップレベル コンポーネントであり、以下の機能ブロックで構成されます。

- モード制御 FSM: AES エンジンとの間のデータ フローを管理し、暗号化と復号化の各動作を開始します
- フィードバック モード:AES でサポートされているさまざまなフィードバックモードを実装するロジック
- AES キー スケジューラ:AES 暗号化および復号化 (ラウンド) キーを生成します
- AES 暗号化コア:AES 暗号化アルゴリズム
- AES 復号化コア:AES 復号化アルゴリズム
- サブスティテューション ボックス (S-box): AES S-box GF (2^8) 実装を含みます。

Copyright © 2026 Texas Instruments Incorporated

鍵長 128 ビットの場合、10 ラウンドまたは 32 クロック サイクルが必要となります。これは {クロック サイクル数} = 2 + 3 × {ラウンド数} であるためです。一つのデータ ブロックを処理している間に、次のブロックは直ちにプリロードすることができます。ブロックがプリロードされると、追加のデータをロードする前に前のブロックが完了する必要があります。したがって、パイプラインが一杯になると、32 クロック サイクルごとに連続したデータ ブロックを渡すことができます。

ハッシュ エンジンは、SHA-256、SHA-224、SHA-512、SHA-384 の基本動作をサポートしています。外部ソースからの入力データの読み取りのみが必要で、このデータは DMAC モジュール経由で転送されます。ハッシュ結果は、DMA 動作を使用して転送するか、スレーブ インターフェイスを介して読み取ることにより転送できます。このモジュールは、HMAC のようなキー付きハッシュ演算もサポートしており、データの一部は DMA を使用する代わりに AHB スレーブ インターフェイスによって提供できます

12.2.1 デバッグ機能

AES モジュールは、エンジンの動作を監視するための以下のステータス レジスタを備えています:

- DMA ステータスおよびポート エラー ステータスのレジスタ
- マスタ制御モジュールの割り込みステータス レジスタ
- キーストア モジュール ステータス レジスタ

12.2.2 例外処理

AES モジュールは、AHB マスタ バスエラーを検出して DMA 動作を中断できます。AES キーストア モジュールは、キーロード エラーを検出でき、その場合は不良キーを保存しません。どちらの場合も、マスタ制御モジュールのステータス レジスタがエラーを示します。

12.3 パワー マネージメントとスリープ モード

暗号化レジスタに保持ロジックはありません。クロックは、以下の PRCM レジスタによって有効に、またはゲートできます。

- ラン モードの SECDMACLKGR.CRYPTO_CLK_EN ビット
- スリープ モードの SECDMASCLKG.CRYPTO_CLK_EN ビット
- ディープ スリープ モードの SECDMACLKGDS.CRYPTO_CLK_EN ビット

暗号化モジュールは、SECDMAHWOPT.CRYPTO_EN ビットによって有効化および無効化されます。

電力を節約するために、使用していないとき、アプリケーションは AES モジュールへのクロックを無効化できます。AES は、SECDMACLKGS レジスタの CRYPTO_CLK_EN ビットを設定することで、スリープ モードでクロック ゲートされます。また、SECDMACLKGR レジスタの CRYPTO_CLK_EN ビットを設定することで、AES をラン モードでクロック ゲートすることもできます。

Copyright © 2026 Texas Instruments Incorporated

12.4 ハードウェアの説明

12.4.1 AHB スレーブ バス

AES モジュールの内部レジスタには、スレーブ インターフェイスからアクセスします。AHB スレーブ インターフェイスは、8、16、32 ビットの転送を受け付けます。ただし、AES モジュールは 32 ビットのシングル アクセスのみを受け入れます。

各転送では、アドレス、サイズ、および転送タイプに応じて複数のエラー条件がチェックされるため、入力信号のタイミング特性を改善する目的で、これらのチェックはレジスタ化された信号に対して実行されます。そのため、各転送ごとに一回の待機サイクルを挿入する必要があります。エラー応答が発生した場合、アドレスが受信された一回のサイクル後に、h_ready_out を Low にする必要があります。この結果、タイミングは以下のようになります。

- 書き込み転送には二回のクロック サイクル分かかります。
- 読み取り転送には三回のクロック サイクル分かかります。

AHB スレーブはリトル エンディアン転送のみを処理し、レジスタ アクセスについては 32 ビットのシングル アクセスのみが許可されます。

12.4.2 AHB マスタ バス

このモジュールは DMA 構成の DMABUSCFG レジスタで構成され (セクション 12.9.1 を参照)、デフォルトではシングル 8 ビットまたは 32 ビットの連続しないシングル転送を実行します。DMA 転送の転送アドレスと長さパラメータはバイト アラインメントされます。

AES モジュールが DMA 転送をリクエストすると、AHB マスタはアサートされ、バスが必要であることをアービターに通知する信号を送ります。この信号は DMA の最後の転送のアドレス フェーズまでアサートされたままになり、新しい DMA 転送はリクエストされません。

DMA 転送がリクエストされないと、AHB マスタは IDLE 転送を実行します。AHB マスタがすでに許可されていて、DMA リクエストを取得している場合、最初の書き込み転送は IDLE 転送です。最後の転送は常に IDLE 転送です。

AHB_MST1_LOCK_EN ビットがアサートされる場合、AHB マスタはロック信号をアサートして、AHB が複数の分割できない転送を実行していることを示します。一連のロックされた転送の最初の転送が開始されたときに、アービターは他の AHB マスタにバスへのアクセスを許可しません。AHB マスタは各ブロック シーケンスの後に IDLE 転送を挿入します。

AHB マスタは、ビッグ エンディアンおよびリトル エンディアンの転送を処理できます。AES モジュールは内部でリトル エンディアン指向になっています。ただし、ビッグ エンディアン AHB システムに接続すると、AHB マスタ インタフェースでビッグ エンディアンからリトル エンディアンへの変換を実行できます。デフォルトでは、リトル エンディアン指向の AHB ホスト システムを想定します。AHB システムがビッグ エンディアン指向である場合、AHB_MST1_BIGEND ビットを 1 に設定する必要があります。

注

CC13x2 および CC26x2 デバイスのプラットフォームは、内部相互接続を使用するバースト転送や非シーケンシャル転送をサポートしません。適切に動作させるため、DMABUSCFG レジスタを変更しないでください。

12.4.3 割り込み

AES モジュールには 2 つの割り込み出力があります。どちらもマスタ制御モジュールから駆動され、それぞれのレジスタによって制御されます (セクション 12.5.4.3 を参照)。

AES エンジンの割り込みを有効化するには、IRQTYPE.EN ビットを設定し、IRQEN レジスタで割り込みソースを構成する必要があります。

IRQCLR レジスタは、割り込み出力およびエラー ステータス ビットをクリアするために使用できます。IRQSET レジスタは、ソフトウェアが割り込み接続をテストする手段を提供するものであり、デバッグ専用として使用する必要があります。

IRQSTAT レジスタは、2 つの割り込みおよびエラー ステータス メッセージのステータスを提供します。エラー ステータス ビットは検出時にアサートされ、通常、DMA_BUS_ERR 信号および KEY_ST_WR_ERR 信号の値は RESULT_AVAIL

Copyright © 2026 Texas Instruments Incorporated

ビットがアサートされた後に有効になります。KEY_ST_RD_ERR ビットは、キー ストア モジュールをトリガしてメモリからキーを読み出し、AES エンジンに提供した後に有効になります。

DMA を使用する動作が完了すると、RESULT_AVAIL 割り込みがアクティブになります。この信号は、DMA と内部モジュールの両方が IDLE 状態になるとアサートされます。

もう 1 つの割り込み DMA_IN_DONE は、入力 DMA のみが完了したときにアクティブになり、デバッグを目的としています。

注

DMA を使用しない動作では、割り込み出力はトリガされません。

12.5 モジュールの説明

12.5.1 概要

このセクションでは、アクセス可能ないくつかのレジスタ、内部インターフェイス、およびモジュール機能について説明します。レジスタと機能については、サブモジュールごとに説明します。モジュール レジスタの詳細情報については、セクション 12.9.1 を参照してください。

12.5.2 モジュールのメモリ マップ

表 12-1 に、メモリ マップの詳細を示します。詳細については、セクション 12.9.1 を参照してください。

表 12-1. 詳細なメモリ マップ (1)

物理アドレス	レジスタ名	タイプ	リセット値	注記
DMA コントローラ レジスタ				
0x4002 4000	DMACH0CTL	R/W	0x0000 0000	チャネル 0 制御レジスタ
0x4002 4004	DMACH0EXTADDR	R/W	0x0000 0000	チャネル 0 外部アドレス
0x4002 400C	DMACH0LEN	R/W	0x0000 0000	チャネル 0 DMA 長
0x4002 4018	DMASTAT	R	0x0000 0000	DMAC ステータス
0x4002 401C	DMASWRESET	W	0x0000 0000	DMAC ソフトウェア リセット
0x4002 4020	DMACH1CTL	R/W	0x0000 0000	チャネル 1 制御レジスタ
0x4002 4024	DMACH1EXTADDR	R/W	0x0000 0000	チャネル 1 外部アドレス
0x4002 402C	DMACH1LEN	R/W	0x0000 0000	チャネル 1 DMA 長
0x4002 4078	DMABUSCFG	R/W	0x0000 6000	マスタ ランタイム パラメータ
0x4002 407C	DMAPORTERR	R	0x0000 0000	ポートエラー未処理ステータス レジスタ
0x4002 40F8	DMAHWOPT	R	0x0000 0202	DMAC オプション レジスタ
0x4002 40FC	DMAHWVER	R	0x0101 2ED1	DMAC バージョン レジスタ
キーストレージ レジスタ				
0x4002 4400	KEYWRITEAREA	R/W	0x0000 0000	書き込み領域レジスタ
0x4002 4404	KEYWRITTENAREA	R/W	0x0000 0000	書き込み領域レジスタ
0x4002 4408	KEYSIZE	R/W	0x0000 0001	キーサイズ レジスタ
0x4002 440C	KEYREADAREA	R/W	0x0000 0008	読み取り領域レジスタ

Copyright © 2026 Texas Instruments Incorporated

表 12-1. 詳細なメモリ マップ (1) (続き)

物理アドレス	レジスタ名	タイプ	リセット値	注記
AES エンジン レジスタ				
0x4002 4500～0x4002 450C	AESKEY2_0～AESKEY2_3	W	0x0000 0000	AESKEY2__0 ～ AESKEY2__3 レジスタをクリア / ワイプします
0x4002 4510～0x4002 451C	AESKEY3_0～AESKEY3_3	W	0x0000 0000	AESKEY3__0 ～ AESKEY3__3 レジスタをクリア / ワイプします
0x4002 4540～0x4002 454C	AESIV_0～AESIV_3	R/W	0x0000 0000	AES IV (LSW)
0x4002 4550	AESCTL	R/W	0x8000 0000	I/O および制御モード
0x4002 4554	AESDATALEN0	W	0x0000 0000	暗号化データ長 (LSW)
0x4002 4558	AESDATALEN1	W	0x0000 0000	暗号化データ長 (MSW)
0x4002 455C	AESAUTHLEN	W	0x0000 0000	AAD データ長
0x4002 4560	AESDATAOUT0	R	0x0000 0000	データ出力 (LSW)
0x4002 4560	AESDATAIN0	W	0x0000 0000	データ入力 (LSW)
0x4002 4564	AESDATAOUT1	R	0x0000 0000	データ出力
0x4002 4564	AESDATAIN1	W	0x0000 0000	データ入力
0x4002 4568	AESDATAOUT2	R	0x0000 0000	データ出力
0x4002 4568	AESDATAIN2	W	0x0000 0000	データ入力
0x4002 456C	AESDATAOUT3	R	0x0000 0000	データ出力 (MSW)
0x4002 456C	AESDATAIN3	W	0x0000 0000	データ入力 (MSW)
0x4002 4570～0x4002 4057C	AESTAGOUT_0 ～ AESTAGOUT_3	W	0x0000 0000	タグ出力 (LSW)
ハッシュ エンジン レジスタ				
0x600	HASH_DATA_IN_0	W	0x0000 0000	データ入力ビット [31:0] (LSW)
0x604	HASHDATAIN1	W	0x0000 0000	データ入力ビット [63:32]
0x608	HASHDATAIN2	W	0x0000 0000	データ入力ビット [95:64]
0x60C	HASHDATAIN3	W	0x0000 0000	データ入力ビット [127:96]
0x610	HASHDATAIN4	W	0x0000 0000	データ入力ビット [159:128]
0x614	HASHDATAIN5	W	0x0000 0000	データ入力ビット [191:160]
0x618	HASHDATAIN6	W	0x0000 0000	データ入力ビット [223:192]
0x61C	HASHDATAIN7	W	0x0000 0000	データ入力ビット [255:224]
0x620	HASHDATAIN8	W	0x0000 0000	データ入力ビット [287:256]
0x624	HASHDATAIN9	W	0x0000 0000	データ入力ビット [319:288]
0x628	HASHDATAIN10	W	0x0000 0000	データ入力ビット [351:320]
0x62C	HASHDATAIN11	W	0x0000 0000	データ入力ビット [383:352]
0x630	HASHDATAIN12	W	0x0000 0000	データ入力ビット [415:384]
0x634	HASHDATAIN13	W	0x0000 0000	データ入力ビット [447:416]
0x638	HASHDATAIN14	W	0x0000 0000	データ入力ビット [479:448]
0x63C	HASHDATAIN15	W	0x0000 0000	データ入力ビット [511:480]
0x640	HASHDATAIN16	W	0x0000 0000	データ入力ビット [543:512]
0x644	HASHDATAIN17	W	0x0000 0000	データ入力ビット [575:544]
0x648	HASHDATAIN18	W	0x0000 0000	データ入力ビット [607:576]
0x64C	HASHDATAIN19	W	0x0000 0000	データ入力ビット [639:608]
0x650	HASHDATAIN20	W	0x0000 0000	データ入力ビット [671:640]
0x654	HASHDATAIN21	W	0x0000 0000	データ入力ビット [703:672]

Copyright © 2026 Texas Instruments Incorporated

表 12-1. 詳細なメモリ マップ (1) (続き)

物理アドレス	レジスタ名	タイプ	リセット値	注記
0x658	HASHDATAIN22	W	0x0000 0000	データ入力ビット [735:704]
0x65C	HASHDATAIN23	W	0x0000 0000	データ入力ビット [767:736]
0x660	HASHDATAIN24	W	0x0000 0000	データ入力ビット [799:768]
0x664	HASHDATAIN25	W	0x0000 0000	データ入力ビット [831:800]
0x668	HASHDATAIN26	W	0x0000 0000	データ入力ビット [863:832]
0x66C	HASHDATAIN27	W	0x0000 0000	データ入力ビット [895:864]
0x670	HASHDATAIN28	W	0x0000 0000	データ入力ビット [927:896]
0x674	HASHDATAIN29	W	0x0000 0000	データ入力ビット [959:928]
0x678	HASHDATAIN30	W	0x0000 0000	データ入力ビット [991:960]
0x67C	HASHDATAIN31	W	0x0000 0000	データ入力ビット [1023:992] (MSW)
0x680	HASHIOBUFCTRL	W	0x0000 0000	I/O バッファ制御
0x680	HASH_IO_BUF_STAT	R	0x0000 0004	I/O バッファのステータス
0x684	HASHMODE	W	0x0000 0000	モード入力レジスタ
0x688	HASHINLENL	W	0x0000 0000	長さ入力ビット [31:0] (LSW)
0x68C	HASHINLENH	W	0x0000 0000	長さ入力ビット [63:32] (MSW)
0x6C0	HASHDIGESTA	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [31:0] (LSW)
0x6C4	HASHDIGESTB	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [63:32]
0x6C8	HASHDIGESTC	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [95:64]
0x6CC	HASHDIGESTD	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [127:96]
0x6D0	HASHDIGESTE	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [159:128]
0x6D4	HASHDIGESTF	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [191:160]
0x6D8	HASHDIGESTG	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [223:192]
0x6DC	HASHDIGESTH	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [255:224]
0x6E0	HASHDIGESTI	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [287:256]
0x6E4	HASHDIGESTJ	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [319:288]
0x6E8	HASHDIGESTK	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [351:320]
0x6EC	HASHDIGESTL	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [383:352]
0x6F0	HASHDIGESTM	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [415:384]
0x6F4	HASHDIGESTN	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [447:416]
0x6F8	HASHDIGESTO	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [479:448]
0x6FC	HASHDIGESTP	R/W	0x0000 0000	ハッシュ ダイジェスト ビット [511:480] (MSW)
マスタ制御レジスタ				
0x4002 4700	ALGSEL	R/W	0x0000 0000	アルゴリズム選択
0x4002 4704	DMAPROTCTL	R/W	0x0000 0000	マスタで特権アクセスを有効にします
0x4002 4740	SWRESET	W	0x0000 0000	マスタ制御ソフトウェア リセット
0x4002 4780	IRQTYPE	R/W	0x0000 0000	割り込み構成レジスタ
0x4002 4784	IRQEN	R/W	0x0000 0000	割り込みイネーブル レジスタ
0x4002 4788	IRQCLR	W	0x0000 0000	割り込みクリア レジスタ
0x4002 478C	IRQSET	W	0x0000 0000	割り込みセット レジスタ
0x4002 4790	IRQSTAT	R	0x0000 0000	割り込みステータス レジスタ
0x4002 47F8	HWOPT	R	0x0101 01F7	タイプおよびオプション レジスタ

Copyright © 2026 Texas Instruments Incorporated

表 12-1. 詳細なメモリ マップ (1) (続き)

物理アドレス	レジスタ名	タイプ	リセット値	注記
0x4002 47FC	HWVER	R	0x9200 8778	バージョン レジスタ

(1) 未指定のアドレスは予約済みであり、書き込みを行ってはならず、読み取り時には無視する必要があります。

12.5.3 DMA コントローラ

図 12-1 に、DMA コントローラ (DMAC) と AES モジュールへの統合を示します。

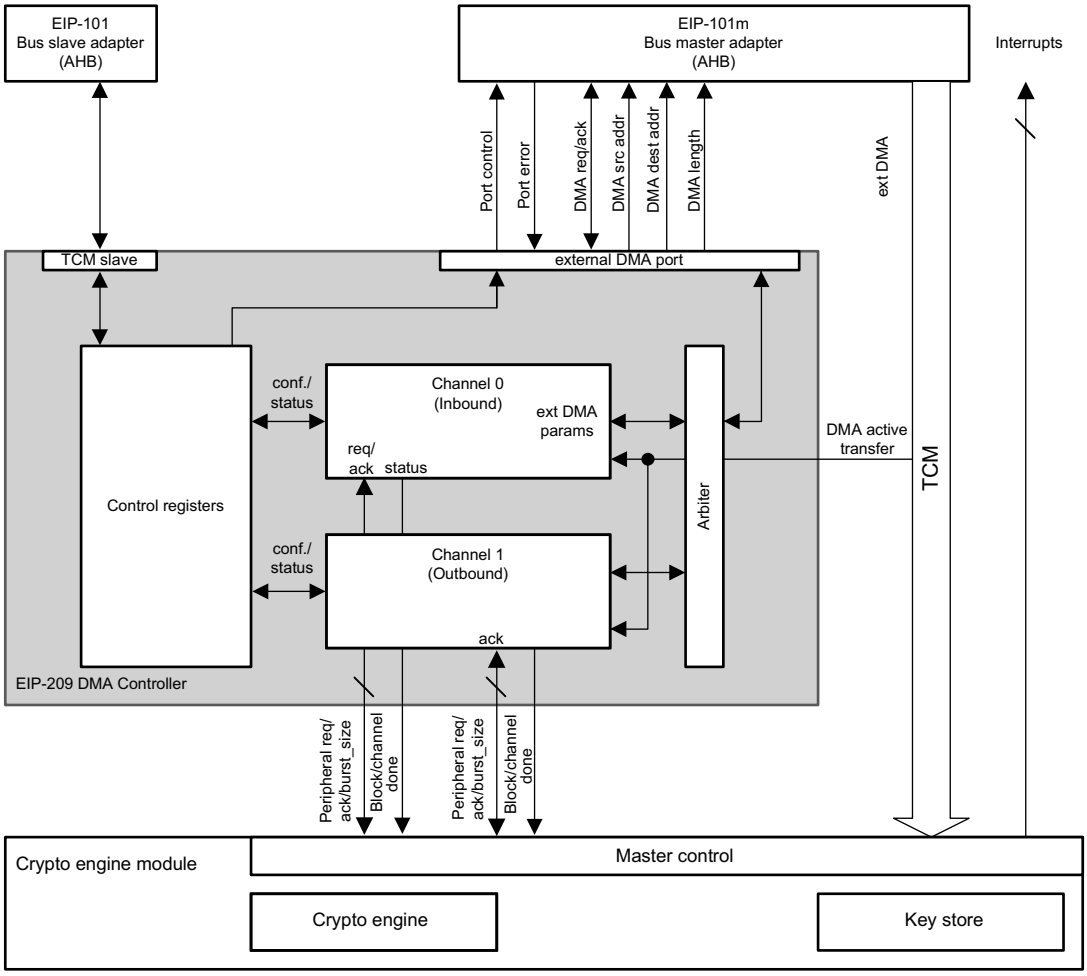


図 12-1. DMA コントローラと統合

Copyright © 2026 Texas Instruments Incorporated

AES モジュールの DMAC は、AHB マスタ アダプタへのデータ転送要求を制御し、AES エンジンおよびキー ストア領域との間でデータの転送を行います。

AHB マスタ インターフェイス ポートを適切に機能させるために必要なパラメータは、DMABUSCFG レジスタで定義されます。このレジスタのデフォルト設定では、固定長転送および最大バースト サイズの 4 バイトが設定されています。その結果、AHB バスでは非連続的な単一転送のみが実行されます。

DMASTAT および DMAPORTERR レジスタは、各 DMA チャネルの現在の状態と、個々の AHB ポートで発生したエラー情報を提供します。ポート エラーが発生すると、そのポートで処理中のすべてのチャネルの動作が中止されます。また、DMASWRESET レジスタへの書き込みによってエラーがクリアされるまで、そのポートを使用した以降の転送は実行できなくなります。

アドレスおよび転送長が 32 ビット境界にアラインされている場合、マスタはサイズ 4 バイトの NONSEQ 転送および SINGLE 転送のみを実行します。

DMAC は、チャネル DMA 動作を小さな DMA 転送に分割します。小さな DMA 転送のサイズは、対象の内部モジュールによって決定され、暗号化動作のブロック サイズに等しくなります。

DMAC の特長は次のとおりです。

- 同時に有効化可能な二つのチャネル (インバウンド チャネル一つおよびアウトバウンド チャネル一つ)
- DMA 動作の最大サイズで、16 ビット長レジスタで制御されます
- 外部 AHB ポートへのチャネル アクセスをスケジューリングするためのアービタ
- 外部バス エラーをキャプチャする機能

DMAC は、優先度を設定可能な二つの DMA チャネルで構成されています。一つは外部メモリから AES モジュールへ入力データおよび鍵を転送するために使用され、もう一つは AES モジュールから外部メモリへ結果データを転送するために使用されます。AHB マスター ポートのチャネルへのアクセスは、アービタ モジュールによって処理されます。

チャネル制御レジスタは、チャネルの有効化および優先度の選択に使用されます。チャネルが無効化された場合でも、進行中のすべての要求が完了するまでは非アクティブ状態になりません。

注

新しい DMA 動作を開始するには、すべてのチャネル制御レジスタ (DMACHxCTL、DMACHxEXTADDR、DMACHxLEN) を、ホストによってプログラムする必要があります。

DMAC は、送信元アドレスと宛先アドレスの間でデータを転送します。ワード境界にアラインされていないアドレスから開始する場合は、ワード境界に到達するまでバイト転送が生成されます。ワード転送は、データが利用可能である限り生成されます。転送がワード境界にアラインされたアドレスで終了しない場合、残りの転送は再びバイト転送として実行されます。

注

ハーフワード転送は生成されません。

AHB_MST1_INCR_EN ビットが 1 に設定されている場合、デフォルトで定義された長さのバーストと単一転送が生成されます。最大サイズは、設定されたバースト サイズによって異なります。

DMAC レジスタは、外部レジスタ マップにマッピングされます。動作を開始するには、ホストは DMAC のモードと動作パラメータをプログラムする必要があります。これらのパラメータには、方向 (読み取り、書き込み、または読み取り / 書き込み)、長さ (1 ～ 65,535 バイト)、外部ソース アドレス (読み取り用)、外部送信先アドレス (書き込み用) が含まれます。レジスタの詳細については、セクション 12.9.1 を参照してください。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

注

内部送信先は、マスタ制御モジュールの専用アルゴリズム選択レジスタを使用してプログラムされます。バースト サイズは、そのレジスタの設定に基づいて DMAC に提供されます。

12.5.3.1 内部動作

DMAC は、二つのポートを持つ AHB マスタ アダプタと連携して動作します。一つのポートは外部 AHB ポートであり、外部 AHB サブシステムに対する読み出しおよび書き込み操作を実行するために使用されます。このポートは、32 ビット アドレス範囲全体をアドレス指定できます。もう一方のポートは内部 TCM ポート (マスタ TCM) であり、暗号コアの AES エンジンおよびキー ストアの内部モジュールに対して読み取りおよび書き込み操作を実行するために使用されます。DMA 動作用の内部モジュールの割り当てはマスタ制御モジュールで選択する必要があるため (セクション 12.5.4.1.1 を参照)、DMAC では内部アドレスは不要です。

AHB マスタ モジュールの TCM ポートから内部モジュールへのデータ パスは、DMAC の外部に配置されています。DMAC は、対応するチャネルにおける DMA 操作の完了を判断するために、転送されたワード数のみを監視します。

キー ストアは、深さ 32 ワードの 32 ビット幅メモリ ブロックで構成されており、制御ロジックに囲まれています。AES モジュールが DMA を介してこのキー ストア モジュールにキーを書き込むように構成されている場合、キー ストアはレジスタ設定に基づいてキー ストア RAM へのアクセスを内部的に管理し (キー ストア RAM アドレスの生成を含む)、処理を行います。AES モジュールは、キー ストアへの DMA 書き込み操作のみをサポートします。

AES エンジンは、暗号化または復号の入力データ用に 32 ビットの書き込みインターフェースを備え、また結果データおよびタグ用に 32 ビットの読み取りインターフェースを備えています。AES モジュールの書き込みインターフェイスは、32 ビットのデータを 128 ビットの入力ブロック (AES ブロック サイズ) に収集します。ブロック全体を受信すると、受信ブロックの AES 計算が開始されます。最後のブロックの最終ワードを受信した時点で、DMAC およびマスタ コントローラは暗号エンジンに対して「data done」信号を生成します。モード、メッセージ長、およびオプションのパラメータは、ターゲット インターフェイスを使用してプログラムされます。

TCM 側では、キー ストア モジュールは遅延サイクルなしですべてのデータを直ちに受け入れ、暗号化モジュールはデータ ブロック境界で動作します。TCM 側では、キー ストア モジュールは遅延サイクルなしにすべてのデータを即座に受け付ける一方、暗号モジュールはデータ ブロック境界で動作し (処理には複数クロック サイクルを要します)、処理を行います。DMAC モジュールと暗号化モジュールの間では特別なハンドシェイク信号が使用されます:

- 暗号モジュールが次のデータ ブロックを受け付け可能になると、データ入力要求が DMA インバウンドチャネル (チャネル 0) に送信されます。
- 暗号モジュールが次のデータ ブロックまたはタグを利用可能な状態にすると、あるいはハッシュ モジュールがダイジェストを生成可能な状態になると、データ出力要求が DMA 出力チャネル (チャネル 1) に送信されます。
- 両チャネルは、DMA 操作の開始時、チャネル転送完了時、ブロック送信完了時、またはすべてのデータ送信完了時にアクノリッジを送信します。

12.5.3.2 サポートされている DMA 動作

暗号エンジンからデータ要求が発生するたびに、DMAC は AHB マスタに対して転送要求を行います。転送サイズは、対応するアルゴリズムの最大ブロック サイズです。このブロック サイズは、マスタ制御モジュールで選択されたアルゴリズムによって異なります。

表 12-2 にサポートされている DMAC 操作の概要を示します。モジュールは、マスタ コントロール モジュールで選択されたモジュールを参照します。表 12-2 では、TAG 有効ラベルは、マスタ制御構成レジスタで TAG ビットが設定されていることを示しています。

表 12-2. サポートされている DMAC 動作

モジュール	受信データ ストリーム (チャネル 0 用)		送信データ ストリーム (チャネル 1 用)	
	ソース	接続先	ソース	接続先
キー ストア	外部メモリの位置	キー ストア RAM	–	–

Copyright © 2026 Texas Instruments Incorporated

表 12-2. サポートされている DMAC 動作 (続き)

モジュール	受信データ ストリーム (チャネル 0 用)		送信データ ストリーム (チャネル 1 用)	
	ソース	接続先	ソース	接続先
暗号化	RAM (認証データのみ)	AES	(1) を参照	(1) を参照
	外部メモリの位置	AES	AES	外部メモリの位置
	(2) を参照	(2) を参照	AES (TAG 有効)	外部メモリの位置
ハッシュ	外部メモリの位置	SHA-2 (TAG 無効)	(1) を参照	(1) を参照
	(2) を参照	(2) を参照	SHA-2 (TAG 有効)	外部メモリの位置
	外部メモリの位置	SHA-2 (TAG 無効)	SHA-2 (TAG 有効)	外部メモリの位置

(1) TAG はスレーブ インターフェイス経由で転送されるか、個別の DMA を使用して転送されます。
(2) データは、以前に実行された別の DMA を介して転送されます。

12.5.4 マスタ制御および選択モジュール

マスタ制御モジュールは、DMA 動作と暗号化モジュールのハンドシェイク信号を同期します。このモジュールでは、暗号アルゴリズムを選択し、DMA バースト サイズが定義されます。すべての暗号化演算が完了すると、割り込みがアサートされます。

注

認証演算では、認証結果が使用可能な場合にのみ割り込みがアサートされます。

AES モジュールには、入力 DMA 転送が完了したことを示す割り込みもあります。この割り込みは主に、AAD データの DMA 転送 (AES-CCM) の終了を判断するために使用し、これは通常、別々の入力データ転送として設定します。

12.5.4.1 アルゴリズム選択レジスタ

アルゴリズム選択レジスタは DMAC の内部宛先を構成します。

12.5.4.1.1 アルゴリズム選択

表 12-3 に、ALGSEL レジスタで許容されるビットの組み合わせを示します。

表 12-3. ALGSEL フラグの有効な組み合わせ

動作	フラグ			
	キー ストア	AES	ハッシュ	TAG
ハッシュ データは DMA を介してロードされ、結果ダイジェストはスレーブ インターフェイスによって読み取られます。	0	0	1	0
ハッシュ データは DMA を介してロードされ、結果ダイジェストは DMA インターフェイスによって読み取られます。	0	0	1	1
キー ストアは DMA を介してロードされます。	1	0	0	0
AES データは DMA を通してロードされ、暗号化および復号化されたデータは DMA を介して読み取られます (暗号化と復号化)。 または AES データは DMA 経由でロードされ、結果タグはスレーブ インターフェイス経由で読み取られます (認証専用動作)。	0	1	0	0
AES データは DMA を介してロードされ、結果タグは DMA を介して読み取られます (認証専用動作)。	0	1	0	1

12.5.4.2 マスタ PROT 有効

12.5.4.2.1 マスタ PROT 特権的アクセス - 有効

DMAPORTCTL レジスタは、キーストア モジュールを宛先として使用し、DMA 転送の AHB 転送保護制御を選択します。

Copyright © 2026 Texas Instruments Incorporated

12.5.4.3 ソフトウェア リセット

ソフト リセット手順の詳細については、セクション 12.7.5.1 を参照してください。

AES モジュールのソフトウェア リセットを実行するには、SWRESET レジスタの RESET ビットに 1 を書き込みます。ソフトウェア リセットが完了すると、SWRESET レジスタの RESET ビットが自動的にリセットされます。ソフトウェアは、何らかの動作を開始する前に、ソフトウェア リセットが完了したことを確認する必要があります。

DMA 制御モジュールでは、ソフトウェア リセットを使用して DMAC をリセットし、すべての転送を停止して DMAPORTERR レジスタをクリアします。ソフトウェア リセットが実行されると、すべてのチャネルが無効化され、チャネルは新しいリクエストを実行しなくなります。DMAC は、既存の (アクティブな) リクエストが完了するのを待機してから DMAC ステータス レジスタを設定します。

Copyright © 2026 Texas Instruments Incorporated

12.5.5 AES エンジン

AES コアの構成は次のとおりです。

- メイン データ パスは入力ブロックに対して動作し、必要な置換、シフト、およびミックス演算を実行します。
- キー スケジューラはラウンド キーを生成します。各ラウンドで新しいサブ キーが生成され、そのサブ キーがデータと XOR 演算されます。

AES キー スケジューラは、ラウンド キーを生成します。各ラウンドにおいて、データと XOR 演算するための新しいサブ キーが入力キーから生成されます。ラウンド キーは、必要に応じてリアルタイムに生成され、レジスタの必要量を最小限に抑えるため、データ処理と並行して生成されます。暗号化処理では、キー シーケンサが初期キーのデータを AES コアへ転送します。復号処理では、キー スケジューラは最終サブ キーを AES コアへ供給する必要があります。これにより、サブ キーを逆順に生成できます。

AES コアは入力ブロックを処理し、必要な置換、シフト、およびミックス演算を実行します。ラウンドごとに、暗号化コアは AES キー スケジューラから適切なラウンド キーを受け取ります。AES アルゴリズムの基本的な構成要素は S ボックスです。S ボックスは、各 8 ビット入力に
固有の 8 ビット出力を提供します。

AES 復号コアのアーキテクチャは、一般に暗号化コアのアーキテクチャと同じです。相違点の一つは、復号用ラウンド キーの生成において、入力キー (ホストからは常に暗号化キーの形式で供給される) を対応する復号キーへ変換する初期処理が必要であることです。この変換は、ダミーの暗号化処理を実行し、その最終ラウンド キーを復号キーとして保存することによって行われます。次に、キー スケジューラが逆になり、復号化操作用のラウンド キーが生成されます。したがって、同じキーを使用した一連の復号処理では、単一ブロックの暗号化に要する時間に相当するスループット低下が一度だけ発生します。復号キーが生成されると、以降の同じキーを使用する復号処理では、この生成済みの復号キーが直接使用されます。

12.5.5.1 第 2 キー レジスタ (内部、クリア可能)

表 12-4 および 表 12-5 に記載されているレジスタには、ホストから読み書きのためにアクセスすることはできません。これらのレジスタは、内部で計算された主要情報と中間結果を保存するために使用されます。しかし、ホストが AESKEY2__0 ～ AESKEY2__3 または AESKEY3__0 ～ AESKEY3__3 のいずれかのアドレスに書き込みを行うと、それぞれ 128 ビットの AESKEY2__0 ～ AESKEY2__3 または AESKEY3__0 ～ AESKEY3__3 のレジスタ全体がゼロにクリアされます。

AES_GHASH_H_IN_n レジスタ (GCM の一部である GHASH に必要) は、AES_KEY2_n レジスタにマッピングされます。GCM と CCM の中間認証結果は AESKEY3_n レジスタに保存されます。

表 12-4. AES_KEY

AESKEY2__0 ～ AESKEY2__3 (書き込み専用)、32 ビット アドレス オフセット:0x500 ～ 0x50C (0x4 バイト インクリメント)																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AESKEY2__0 ～ AESKEY2__3[31:0] AESKEY2__0 ～ AESKEY2__3[63:32] AESKEY2__0 ～ AESKEY2__3[95:64] AESKEY2__0 ～ AESKEY2__3[127:96]																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12-5. AES_KEY

AESKEY3__0 ～ AESKEY3__3 (書き込み専用)、32 ビット アドレス オフセット:0x510 ～ 0x51C (0x4 バイト インクリメント)																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AESKEY3__0 ～ AESKEY3__3[31:0]/AESKEY2__0 ～ AESKEY2__3[159:128] AESKEY3__0 ～ AESKEY3__3[63:32]/AESKEY2__0 ～ AESKEY2__3[191:160] AESKEY3__0 ～ AESKEY3__3[95:64]/AESKEY2__0 ～ AESKEY2__3[223:192] AESKEY3__0 ～ AESKEY3__3[127:96]/AESKEY2__0 ～ AESKEY2__3[255:224]																															

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12-6. CCM の場合

ビット	フィールド名	機能
255-0	–	このレジスタは、中間値の格納に使用されます。

表 12-7. CBC-MAC の場合

ビット	フィールド名	機能
255-0	ゼロ	このレジスタは、0 のままにする必要があります。

表 12-8. GCM の場合

ビット	名称	機能
127-0	GHASH_H	内部で計算された GHASH キーは、これらのレジスタに保存されます。GHASH 機能 (GCM) を使用するモードでのみ使用されます。
255 ~ 128	–	このレジスタは中間値を格納するために使用され、新しいキーをロードするときに 0 で初期化されます。

AES_KEYn レジスタの再利用は、シーケンシャル操作においては許可されます。しかし、CBC-MAC の場合、それぞれのモードおよび長さのパラメータをプログラムする際には、中間値をクリアする必要があります。

新しいキーを (キーストア経由で) ロードせずに、GCM 操作を実行する場合、レジスタをクリアするには、AES_KEY3 レジスタ位置の 1 つに書き込む必要があります。

新しいキーをロードせずに CBC-MAC 操作が開始され、前の操作が CBC-MAC 操作ではない場合、CBC-MAC 操作を開始する前に AESKEY2__0 ～ AESKEY2__3 および AESKEY3__0 ～ AESKEY3__3 の両方のレジスタ位置に書き込む必要があります。この 2 つのキー レジスタをクリアするには、CBC-MAC 操作を開始する必要があります。

12.5.5.2 AES 初期化ベクタ (IV) レジスタ

表 12-9 に、AES エンジンで IV を提供および読み取るために使用する AES 初期化ベクタ レジスタを示します。

表 12-9. AES 初期化ベクタ レジスタ

AES_IV_0、(読み取り / 書き込み)、32 ビット アドレス オフセット:0x540
AES_IV_1、(読み取り / 書き込み)、32 ビット アドレス オフセット:0x544
AES_IV_2、(読み取り / 書き込み)、32 ビット アドレス オフセット:0x548
AES_IV_3、(読み取り / 書き込み)、32 ビット アドレス オフセット:0x54C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_IV[31:0] AES_IV[63:32] AES_IV[95:64] AES_IV[127:96]																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12-10. 初期化ベクタ、通常の非 ECB モード (CBC/CTR) に使用

ビット	名称	説明
127-0	AES_IV	通常の AES 動作 (CBC および CTR) では、これらのレジスタに新しい 128 ビットの IV (初期化ベクトル) を書き込む必要があります。 動作完了後、これらのレジスタには、EIP-120t によって生成された最新の 128 ビット結果 IV が格納されます。 CTR モードが選択されている場合、この値は最初の使用後、新しいデータ ブロックがエンジンに投入されるたびに 0x1 ずつインクリメントされます。

Copyright © 2026 Texas Instruments Incorporated

表 12-11. GCM 用

ビット	名称	説明
127-0	AES_IV	GCM 動作の場合、新しい 128 ビット IV を使ってこれらのレジスタに書き込む必要があります。 動作後、これらのレジスタには、EIP-120t によって生成される更新された 128 ビットの結果 IV が格納されます。 IV のビット [127–96] は初期カウンタ値を表します (GCM ではこの値は 1 です)。したがって、これらのビットは 0x0100 0000 に初期化する必要があります。 新しいデータ ブロックがエンジンに送信されると、この値は 0x1 (初回使用後) で増分されます。

表 12-12. 初期化ベクトル、CCM に使用

ビット	名称	説明
127-0	A0	CCM の場合、このフィールドに値 A0 を書き込む必要があります。この値は、以下を連結したものです。 A0 フラグ (5 ビットのゼロと 3 ビットの L)、ノンス、およびカウンタ値。 L は、AESCTL レジスタの L 値からコピーする必要があります。この L は、ナンスとカウンタの幅を示します。 ロードされたカウンタはゼロに初期化する必要があります。 A0 の全幅は 128 ビットです。

表 12-13. 初期化ベクトル、CBC-MAC に使用

ビット	名称	説明
127-0	ゼロ	CBC-MAC では、各処理の開始時にこのレジスタへゼロを書き込む必要があります。動作完了後、これらのレジスタには、暗号コアによって生成された 128 ビットの TAG 出力が格納されます。

12.5.5.3 AES I/O バッファ制御、モード、および長さレジスタ

I/O バッファおよびモード制御レジスタ (AESCTL) は、AES エンジンの動作モードを指定します。

注

AES モジュールの内部動作は、すべてのモード ビットを 0 に設定し、長さレジスタ (AESDATALEN0、AESDATALEN1、AESAUTHLEN [セクション 12.9.1 を参照]) に 0 を書き込むことで中断できます。

長さレジスタは、AES モジュールに長さの値を書き込みます。処理中、長さの値は 0 になるまで減算されます。両方の長さが 0 の場合、データ ストリームは終了し、新しいコンテキストが要求されます。基本 AES モード (ECB、CBC、および CTR) では、同じキーで複数のストリームを処理する必要がある場合、暗号化長に 0 を書き込むことができます。長さに 0 を書き込むと、新しいコンテキストが書き込まれるまでデータ要求が継続されます。その他のモード (CBC-MAC、GCM、および CCM) では、長さが 0 まで減算されるか、または 0 に等しい場合、新たなデータ要求は行われません。

パケットごとに新しい長さを書き込むことを TI はお勧めします。長さレジスタが 0 になるまで減算された場合、新しいコンテキストまたは長さの値が書き込まれるまで、新しいデータは処理されません。

長さレジスタを書き込まずに新しいモードを書き込む場合、前のコンテキストから長さレジスタの値が再利用されます。

12.5.5.4 データ入出力レジスタ

AESDATAINn および AESDATAOUTn データ レジスタは通常、DMA 経由でアクセスされますが、ホストの書き込みや読み出しは行われません。ただし、デバッグ目的では、データ入出力レジスタにホストによる書き込みおよび読み取りの操作でアクセスできます。レジスタは、暗号化コアとの間で送受信される入出力データ ブロックをバッファリングします (表 12-14 を参照)。

注

データ入力バッファ AESDATAINn とデータ出力バッファ AESDATAOUTn は、同じアドレス位置にマップされています。

これらのアドレス (DMA とホストの両方) に書き込みを行うと、入力バッファがロードされ、読み取りは出力バッファからプルされます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、読み取りアクセスではデータ出力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できます。これらの転送は、外部インターフェイス上の他のホスト転送と混在させることができます。

通常動作では、データ入力および出力は DMA 経由で AES コアとの間で転送されるため、このレジスタは使用されません。ホストによる書き込み操作では、これらのレジスタに次の AES 処理用の 128 ビット入力ブロックを書き込む必要があります。このアドレス範囲内のワード整列されたオフセットへ書き込むと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ入力バッファ内の対応する位置に、そのワード (4 バイト) のデータが格納されます。このバッファは、次の AES 動作に使用します。最後のデータ ブロックが有効なデータで完全に埋められていない場合、有効なデータを含むワードのみを書き込むことができます。最後に、AESCTL.INPUT_RDY ビットを書き込むことで AES 動作がトリガされます。

ホストによる読み取り操作の場合、このレジスタには最新の AES 動作からの 128 ビットの出力ブロックが含まれます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワードの深さ (16 バイト = 128 ビット - AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、1 ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AESCTL.OUTPUT_RDY ビットを書き込む必要があります。

認証付きモード (CBC-MAC および CCM) では、無効な (メッセージ) バイトまたはワードは任意のデータで書き込むことができます。

注

AES は通常、複数の入力データを持つ 128 ビットのブロックで動作します。CTR、GCM、CCM の各モードは例外です。CTR モード メッセージの最後のブロックは 128 ビット未満である可能性があります (米国国立標準技術研究所の NIST 800-38A ドキュメントを参照)。0 < n ≦ 128 ビット。GCM と CCM の場合、AAD とメッセージ データの最後のブロックは 128 ビット未満になる可能性があります (米国国立標準技術研究所の NIST 800-38D を参照)。AES モジュールは、CCM および CBC-MAC において、アライメントが正しくない最後のデータ ブロックを自動的に 0 でパディングまたはマスクします。CTR モードでは、アライメントしていないデータ ブロック内の残りのデータは無視されます。AAD または認証専用データは、出力バッファにコピーされず、認証にのみ使用されます。

表 12-14. 動作モード別の入出力ブロック フォーマット

動作	データ入力バッファ	データ出力バッファ
ECB/CBC 暗号化	128 ビット プレーンテキスト ブロック	128 ビット 暗号テキスト ブロック
ECB/CBC 復号化	128 ビット 暗号テキスト ブロック	128 ビット プレーンテキスト ブロック
CTR 暗号化	n ビット プレーンテキスト ブロック	n ビット暗号テキスト ブロック
CTR 復号化	n ビット暗号テキスト ブロック	n ビット プレーンテキスト ブロック
GCM/CCM AAD データ	n ビット プレーンテキスト ブロック	出力データなし
GCM/CCM 暗号データ	n ビット プレーンテキスト ブロック	n ビット暗号テキスト ブロック
GCM/CCM 複合データ	n ビット暗号テキスト ブロック	n ビット プレーンテキスト ブロック
CBC-MAC データ	n ビット プレーンテキスト ブロック	出力データなし

12.5.5.5 TAG レジスタ

表 12-15 に、AES モジュールからの TAG をバッファし、DMA またはホストからの直接読み出しでアクセスできる TAG レジスタを示します。TAG レジスタは中間認証結果レジスタと共有されますが、処理が完了するまで読み出すことはできません。処理中にこれらのレジスタから読み出すと、ゼロが返されます。動作が TAG を返さない場合、これらのレジスタから読み出すと初期化ベクタ (IV) が返されます。動作が TAG と IV を返し、ホストが両方を読み出す必要がある場合、ホストはまず TAG を読み出し、その後に IV を読み出す必要があります。逆の順序で読み出すと、IV が 2 回返されます。

ホスト読み出し動作では、これらのレジスタに AES コアの最後の 128 ビット TAG 出力が格納されます。TAG は次のコンテキストが書き込まれるまで使用できます。このレジスタに有効なデータが格納されるのは、TAG が使用可能で、

Copyright © 2026 Texas Instruments Incorporated

AESCTL レジスタの SAVED_CONTEXT_RDY ビットが設定されている場合のみです。処理中、または TAG を返さない動作やモードでは、このレジスタから読み出すと IV レジスタのデータが返されます。

表 12-15. AES タグ出力レジスタ

AESTAGOUT__0 ～ AESTAGOUT__3、(読み出し専用)、32 ビット アドレス オフセット:0x4 バイト単位で 0x570 ～ 0x57C																															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_TAG[31:0] AES_TAG[63:32] AES_TAG[95:64] AES_TAG[127:96]																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 12-16. GCM、CCM、CBC-MAC の場合

ビット	フィールド名	説明
127-0	TAG	このレジスタには、結合モードおよび認証専用モードの認証タグが含まれます。

12.5.6 キー エリア レジスタ

ローカル キー格納モジュールは、1kB のメモリに直接接続されています。このモジュールには、最大八つの AES キーを保存でき、128 ビット エントリが八つあります。キー サイズは、キーストア モジュールにプログラムされています。キー ストア内の鍵情報は、AHB マスタ インターフェースおよびスレーブ インターフェースを介した読み取り操作ではアクセスできません。

キーは、DMA を介してキー ストアにのみ書き込むことができます。キー読み取りの DMA 動作が開始すると、受信したすべてのデータがキーストア モジュールに書き込まれます。キーストア メモリに保存されているキーは、AES キー レジスタにのみ転送でき、他の目的でアクセスすることはできません。

12.5.6.1 キー書き込み領域レジスタ

キー書き込み領域レジスタは、キー ストア RAM にキーを書き込む必要がある場所を定義します。キー書き込み領域レジスタへの書き込み後、キーストア モジュールは DMA 動作を使用してキーを受信する準備が整います。キー データ転送によってキー ストアでエラーが発生した場合、DMA の終了後に割り込みステータス レジスタ IRQSTAT でエラーを確認できます。プログラムされた領域または選択した領域が完全に書き込まれないと、キー ストアの書き込みエラー KEY_ST_WR_ERR がアサートされます。このエラーは、DMA 操作が選択されていない RAM 領域に書き込むときにもアサートされます。

詳細については、セクション 12.9.1 を参照してください。

12.5.6.2 キー書き込み領域レジスタ

キー書き込み領域レジスタには、キー ストア RAM のどの領域に有効な書き込みキーが含まれているかが示されます。

有効なキーがすでに占有されている場所のキー ストアに新しいキーを書き込む必要がある場合は、まずこのキー領域をクリアする必要があります。新しいキーがキー ストア メモリに書き込まれる前に、このレジスタに書き込み、キー領域をクリアします。

既に有効なキーが格納されているキー領域に対して書き込みを行うことはできず、エラーとなります。

詳細については、セクション 12.9.1 を参照してください。

12.5.6.3 キー サイズ レジスタ

キー サイズ レジスタは、DMA で書き込まれるキーのサイズを定義します。KEYWRITEAREA レジスタに書き込む前に、キー サイズ レジスタを構成する必要があります。

詳細については、セクション 12.9.1 を参照してください。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.5.6.4 キー ストア読み取り領域レジスタ

キー ストア読み取り領域レジスタは、AES 動作に使用するキーを読み取る必要があるキー ストア RAM 領域を選択します。このレジスタに書き込むと、動作が直接開始されます。動作が完了すると、キー ストア読み取り処理のステータスを IRQSTAT 割り込みステータス レジスタで確認できます。キー ストア読み取りエラー有効な書き込みキーを含まない RAM 領域が選択されている場合にアサートされます。

詳細については、セクション 12.9.1 を参照してください。

12.5.6.5 ハッシュ エンジン

SHA-2 モジュールは、ラッパー モジュールを介してレジスタと DMA インターフェイスに接続されます。一度に 1 つのみアクティブになります。I/O 制御レジスタ以外のすべてのハッシュ モジュール レジスタは、ハッシュ エンジンのインターフェイスを駆動します。これにハンドシェイク ロジックが関連付けられているのは、I/O 制御レジスタのみです。

12.6 AES モジュールの性能

12.6.1 概要

AES モジュールの処理ステップは、性能計算の基礎となります。DMA を使用した暗号化動作では、次の三つの主要な手順が示されています。

1. 初期化 (エンジン、DMA などのセットアップおよび初期化)
2. 完全なメッセージのデータ処理
3. ファイナライズ (結果の読み取り、ステータス チェック)

図 12-2 のオレンジ色のセクション (完全な処理) は、ステップ 1 およびステップ 3 に対応しています。ステップ 1 とステップ 3 はホスト CPU の制御下にあるため、ホストの性能に依存します。ステップ 2 は、図 12-2 の緑色のセクション (データ処理) に対応し、ハードウェアによって完全に処理されます。これは、ホスト CPU のパフォーマンスには依存しません。

フル処理部分は各処理コマンドにつき一回必要であり、最初のデータ ブロックの処理に先立って実行されます。データ処理ブロックは、コマンドで処理されるデータの量によって異なります。ファイナライズは、動作が結果ダイジェストまたは TAG を生成するときに必要です。

必要なブロック数は、コマンドによって選択されたアルゴリズムのブロック サイズ要件によって決まります。AES のブロック サイズは 128 ビットです。

SHA-256 および SHA-224 ではハッシュのブロック サイズは 512 ビットであり、SHA-512 および SHA-384 ではブロック サイズは 1024 ビットです。

より長いデータ ストリームの場合、データ処理時間は理論上の最大スループットに近づきます。DMA の代替としてスレーブ インターフェースを使用する動作では、性能はホスト CPU の性能に依存します。

Copyright © 2026 Texas Instruments Incorporated

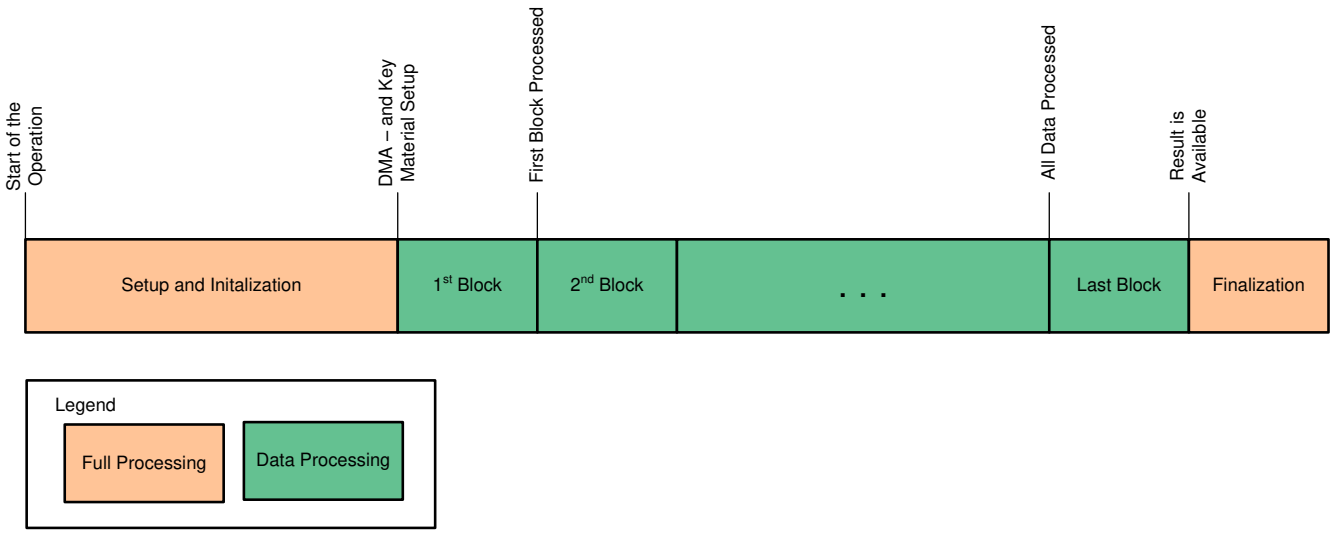


図 12-2. 対称暗号処理のステップ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.6.2 DMA ベース動作の性能

表 12-17 に、200MHz で動作する AES モジュールの DMA ベース暗号化動作の性能を示します。

表 12-17. DMA ベース動作の性能表

200MHz での性能 (Mbps)				
暗号モード	Raw Engine のパフォーマンス	1 ブロックのパケット パフォーマンス (1)	20 ブロックのパフォーマンス (1)	100 ブロックのパフォーマンス (1)
AES-128 (1 ブロック = 128 ビット)				
AES-128-ECB	492	111	420	476
AES-128-CBC	483	104	408	466
AES-128-CTR	492	104	415	474
AES-128-GCM(2)	492	77	382	459
AES-192 (1 ブロック = 128 ビット)				
AES-192-ECB	412	107	361	401
AES-192-CBC	406	100	352	394
AES-192-CTR	412	100	357	400
AES-192-GCM(2)	412	73	330	388
AES-256 (1 ブロック = 128 ビット)				
AES-256-ECB	355	102	316	347
AES-256-CBC	350	96	309	341
AES-256-CTR	355	96	313	346
AES-256-GCM(2)	355	63	291	336
ハッシュ (SHA-256：1 ブロック = 512 ビット、SHA-512：1 ブロック = 1024 ビット)				
SHA-256	1575	375	1358	1526
SHA-512	2528	671	2221	2460

(1) この性能は、エンジンの完全なプログラミング、キーのロード、および DMA スレーブを介した DMA エンジンの設定を前提としています。コンテキスト (モードまたはキー) を再利用すると、性能が向上します。パケットごとの最大サイクル オーバーヘッドは、各種モードおよびアルゴリズムで 100 ～ 150 です。
(2) AES-GCM の raw 性能値には、TAG を作成する最後の動作は含まれません。ブロック性能値には、このオーバーヘッドが含まれます。

エンジン性能は、動作ごとに処理されるブロック数に大きく依存します。1 つのブロックを処理すると、エンジン性能は最小になります。この場合、構成オーバーヘッドが最も大きくなります (動作ごとにエンジンを完全に再構成することを前提としています)。したがって、動作ごとに複数のブロックを処理すると、性能が大幅に向上します。

12.7 プログラミング ガイドライン

このセクションでは、サポート対象の使用事例において AES モジュールの構成と使用のための低レベルのプログラミング シーケンスについて説明します。

12.7.1 リセット後のワンタイム初期化

初期化の目的は、AES モジュールを、使用されるすべての動作に共通する初期モードに設定することです。ハードウェア リセット後に、次の初期化手順を実行します。

1. AES モジュールのバージョンと構成が、予期されるハードウェア構成と一致していることを確認します。
2. DMABUSCFG レジスタの DMAC 実行時間パラメータを、すべての DMA 動作に共通する目的の値でプログラムします。
3. 目的の割り込みタイプ (レベル) を初期化し、マスタ制御モジュールで割り込み出力信号 RESULT_AVAIL をイネーブルにします。

Copyright © 2026 Texas Instruments Incorporated

12.7.2 DMAC およびマスタ制御

このセクションでは、特定の操作を実行するように DMAC をプログラムするための一般的なガイドラインについて説明します。

12.7.2.1 通常使用

DMA チャネルを構成するため、以下のレジスタをプログラムします。

- 可能であれば、未処理の割り込みおよびエラー フラグをクリアします (セクション 12.9.1 の IRQCLR を参照)。
- マスタ制御モジュール アルゴリズム選択レジスタは、必要な内部モジュールで DMA 動作が可能になるようにプログラムする必要があります。これにより、DMA/AHB マスタ クロックが有効になり、ホストによってクロックが無効化されるまでイネーブルに維持されます (セクション 12.9.1 の ALGSEL を参照)。
- チャネル ビットを有効化したチャネル n 制御レジスタ (セクション 12.9.1 の DMACH0CTL および DMACH1CTL を参照)。
- チャネル n 外部アドレス レジスタ (セクション 12.9.1 の DMACH0EXTADDR および DMACH1EXTADDR を参照)。
- チャネル DMA n 長レジスタ。このレジスタに書き込むと、対応するチャネルで DMA 動作が開始されます (セクション 12.9.1 の DMACH0LEN および DMACH1LEN を参照)。
- 完全な動作は、結果として利用可能な割り込み出力または対応するステータスレジスタで示されます。割り込み処理後に割り込みをクリアします (セクション 12.9.1 の IRQSTAT および IRQCLR を参照)。
- マスタ制御モジュール アルゴリズム - DMA/AHB マスタ クロックをオフにするには、選択レジスタを 0 にクリアする必要があります (セクション 12.9.1 の ALGSEL を参照)。

注

システムまたは DMA 動作中にバス エラーが発生する可能性があるシステムでバス エラー (通常はデバッグ位相で有効) が発生する可能性がある場合は、IRQSTAT レジスタでエラーをチェックする必要があります。

12.7.2.2 DMA 転送の割り込み

DMA 転送を停止して動作を中止するため、ホストは DMACHnCTL レジスタを使用してチャネルを無効化します。このレジスタの EN ビットが 0 に設定されると、このチャネルによる新しい DMA 転送はリクエストされず、現在のアクティブな転送は終了します。または、DMASWRESET レジスタで DMAC ソフト リセットを有効にすることにより、すべてのアクティブ チャネルを停止できます。

注

DMAC を停止する際、ホストはすべてのアクティブなチャネルを停止する必要があります。

DMAC チャネルの状態は、DMASTAT レジスタを使用して確認する必要があります。無効化されているチャネルの、このレジスタの CHx_ACTIVE ビットが 0 に設定されると、DMAC チャネルは停止します。

AES エンジンと併用される DMAC を停止するには、まず AES エンジンをアイドル モードに設定する必要があります。これは、長さレジスタにゼロを書き込んでから、AESCTL レジスタのすべてのモードを無効化して実行します。

DMAC チャネルを停止すると、エンジンからの保留イベントが発生しないため、マスタ制御モジュールが未完了状態のままになる場合があります。そのため、エンジンを適切に回復するためには、すべてのアクティブ DMAC チャネルが停止した後、SWRESET レジスタがマスタ制御ソフト リセットを発行する必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.7.2.3 割り込み、ハードウェア、ソフトウェア同期

このセクションでは、RESULT_AVAIL 割り込みアクティブ化と暗号コア内の DMAC のデータ書き込み完了の重要な関係について説明します。

RESULT_AVAIL 割り込みは、AHB マスタが暗号化コアからのデータ書き込み転送を完了し、内部動作が完了するとアクティブになります。ただし、AHB マスタから宛先 (通常はメモリ) へのレイテンシのため、データが外部メモリに書き込まれていることは保証されません。このレイテンシは、暗号コアの外部にある AHB バスサブシステム内で発生する可能性があります。これは、そのシステムにブリッジが含まれている場合があるためです。

注

このレイテンシが発生する可能性がある場合、ホストは (タイムアウトまたは他の同期メカニズムを使用して) すべてのメモリ書き込み操作が終了した後にのみ外部メモリの読み取りが実行されるようにする必要があります。

12.7.3 ハッシュ化

ハッシュ エンジンには、次のインターフェイスがあります。

- ハッシュ エンジンは、次の 2 つのソースからデータを受け入れます。AHB スレーブ インターフェイスおよび DMA。1 つの動作内で、これら 2 つのソースからのデータを組み合わせることができます。スレーブ インターフェイスからのデータを書き込むことと、DMA インターフェイスからのデータを書き込むことで、ハッシュ動作を完了することができます。
- 入力ダイジェスト (再開されるハッシュの場合) と長さは、レジスタ インターフェイスを使用してプログラムする必要があります。
- 結果ダイジェストはスレーブ インターフェイスまたは DMA を介して読み取ることができます。

12.7.3.1 データ形式およびバイト順序

ほとんどのシステムでは、メッセージ データはホスト メモリにリトル エンディアン形式で格納されます。ハッシュ エンジンは、システム内でのデータ スワップを防止するため、リトル エンディアン コアとして設計されています。そのため、メッセージ データはリトル エンディアン形式でコアに提供する必要があります。

次のコード例は、FIPS 180-2 RFC 1321 仕様に基づいて、データをハッシュ エンジンに提供する方法を示します。

注

赤色で強調表示されているバイトは、データ ブロックまたはダイジェスト ブロックの最初のバイトです。

FIPS 180-2、第 B.2 章:

```
Data in:"abcdbcdecdefdefgefghfghighijhi
jkijkljklmklmnlmnomnopnopq"
"61626364 62636465 63646566 64656667
 65666768 66676869 6768696a 696a6b6c
 68696a6b 6a6b6c6d 6b6c6d6e 6c6d6e6f
 6d6e6f70 6e6f7071
Digest out:"248d6a61 d20638b8 e5c02693 0ce6039
```

外部 RAM 内のハッシュ データ、DMAC 経由でロード:

```
Word_0 [31:0]6463626 1Word_1 [31:0]65646362
Word_2 [31:0]66656463
...
```

出力ダイジェスト、スレーブ インターフェイスまたは DMA 経由で読み出し:

```
HASH_DIGEST_A [31:0]:616a8d24HASH_DIGEST_B [31:0]:b83806d2
HASH_DIGEST_C [31:0]:9326c0e5
```


Copyright © 2026 Texas Instruments Incorporated

12.7.3.2 DMA からのデータを含む基本ハッシュ

ハッシュエンジンは、外部メモリから受信したデータを DMA 経由でハッシュし、DMA 操作を使用して結果のダイジェストを外部メモリに保存するようにプログラムできます。EIP-120t を操作に使用する一般的な手順は次のとおりです。

- ハッシュ エンジン モードは、スレーブ インターフェイスを使用してプログラミングします。
- 再開されたハッシュ動作の場合、前のセッションからのハッシュ エンジンの中間ダイジェストはスレーブ デバイスを介してプログラムされます。再開された操作が前の (未完成の) ハッシュ操作の継続である場合、ハッシュ エンジンは現在の状態を保持します。この場合、次の操作で再利用でき、初期ダイジェストをプログラムする必要はありません。
- マスタ コントローラは、ハッシュ エンジンにデータを移動するようにプログラムされています。結果のダイジェストを外部メモリに書き込む必要がある場合は、それに応じてマスタ コントローラをプログラムする必要があります。
- DMAC チャネル 0 は、外部メモリからデータを読み出し、ハッシュ エンジンのデータ入力ポートへコピーするようにプログラムされています。
- 結果ダイジェストを外部メモリに書き込む必要がある場合、結果ダイジェストを外部メモリ内の事前割り当てされた領域に保存するように DMAC チャネル 1 がプログラムされます。
- 割り込みステータスは、ハッシュ エンジンがいつ作動を完了したかをチェックするために監視されます。
- 結果ダイジェストの準備がホストから完了している必要がある場合は、スレーブ インターフェイスから読み取ることができます。結果ダイジェストが DMA 経由で外部メモリに書き込まれると、ダイジェストは外部メモリ内で利用できます (セクション 12.7.2.3 を参照)。

12.7.3.2.1 スレーブを介したダイジェスト読み取りを使用する新しいハッシュ セッション

次の疑似コードのソフトウェア例は、通常はホスト ソフトウェアが実行するアクションを示しています。この例では、DMA インターフェイス経由で入力データを受信する、新しいハッシュ セッションでハッシュ エンジンを起動します。最後に、中間ダイジェスト (非最終ハッシュ演算) または最終的なハッシュ ダイジェスト (最終ハッシュ演算) が、スレーブ インターフェイスを介して結果ダイジェストとして読み取られます。

```
// configure master control module
write CTRL_ALG_SEL 0x0000_0008 // enable DMA path to the SHA-2 engine
write CTRL_INT_CLR 0x0000_0001 // clear any outstanding events
// configure hash engine
write HASH_MODE = 0x0000_0021 // indicate the start of a new hash session and SHA512
write HASH_LENGTH_L// write the length of the message (lo)
write HASH_LENGTH_H// write the length of the message (hi)
// if the final digest is required (pad the input DMA data), write the following register
write HASH_IO_BUF_CTRL = 0x80 // pad the data that is transferred via DMA
// configure DMAC
write DMAC_CH0_CTRL 0x0000_00001 // enable DMA channel 0 for message data
write DMAC_CH0_EXTADDR <ext_memory_address> // base address of the data in ext. memory
write DMAC_CH0_DMALENGTH <length>           // input data in bytes, equal to
                                            // the message length
wait CTRL_INT_STAT[0] = '1'   // wait for operation done (hash and DMAC are ready)
check CTRL_INT_STAT[31] == '0' // check for the absence of errors
// read digest
read HASH_DIGEST_A
...
read HASH_DIGEST_P
// acknowledge result and clear interrupts
write HASH_IO_BUF_CTRL = 0x0000_0001// acknowledge reading of the digest
write CTRL_INT_CLR 0x0000_0001// clear the interrupt
write CTRL_ALG_SEL 0x0000_0000// disable the master control/DMA clock
// end of algorithm
```


English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.7.3.2.2 外部メモリへのダイジェスト出力を伴う新規ハッシュ セッション

次の擬似コードの例では、ホスト ソフトウェアによって通常実行されるアクションについて説明します。この例では、DMA インターフェイス経由で入力データを受信する新しいハッシュ セッションで、ハッシュ エンジンを開始します。最後に、中間ダイジェスト (非最終ハッシュ動作) または最終ハッシュ ダイジェスト (最終ハッシュ動作) が、結果ダイジェストとして DMA 経由で読み出されます。

```
// configure master control module
write CTRL_ALG_SEL 0x8000_0008 // enable DMA path to the SHA-512 engine + Digest readout
write CTRL_INT_CLR 0x8000_0001 // clear any outstanding events
// configure hash engine
write HASH_MODE = 0x0000_0021 // indicate the start of a new hash session and SHA512
write HASH_LENGTH_L// write the length of the message (lo)
write HASH_LENGTH_H// write the length of the message (hi)
// if the final digest is required (pad the input DMA data), write the following register
write HASH_IO_BUF_CTRL = 0x80 // pad the data that is transferred via DMA
// configure DMAC
write DMAC_CH0_CTRL 0x0000_00001 // enable DMA channel 0 for message data
write DMAC_CH0_EXTADDR <ext_memory_address>// base address of the data in ext. memory
write DMAC_CH0_DMALENGTH <length> // input data in bytes, equal to the message
                                  // length
write DMAC_CH1_CTRL 0x0000_00001 // enable DMA channel 1 for result digest
write DMAC_CH1_EXTADDR <ext_memory_address>// base address of the digest buffer
write DMAC_CH1_DMALENGTH <length> // length of the result digest
// wait for completion and acknowledge the interrupt
wait CTRL_INT_STAT[0] = '1' // wait for operation done (hash and DMAC are ready)
check CTRL_INT_STAT[31] == '0' // check for the absence of errors
write CTRL_INT_CLR 0x0000_0001 // clear the interrupt
write CTRL_ALG_SEL 0x0000_0000 // disable the master control/DMA clock
// the digest can now be ready from the external memory (see note in section 6.2.3)
// end of algorithm
```

12.7.3.2.3 再開されたハッシュ セッション

次の擬似コードのソフトウェア例では、ホスト ソフトウェアによって通常実行されるアクションについて説明します。この例では、DMA インターフェイス経由で入力データを受信する新しいハッシュ セッションで、ハッシュ エンジンを開始します。最後に、中間ダイジェスト (非最終ハッシュ動作) または最終ハッシュ ダイジェスト (最終ハッシュ動作) が、結果ダイジェストとしてスレーブ インターフェイス経由で読み出されます。

```
// configure master control module
write CTRL_ALG_SEL 0x0000_0008 // enable DMA path to the SHA-512 engine
write CTRL_INT_CLR 0x0000_0001 // clear any outstanding events
// configure hash engine
write HASH_MODE = 0x0000_0020 // indicate the start of a resumed hash session and SHA512
write HASH_LENGTH_L// write the length of the total message (lo)
write HASH_LENGTH_H// write the length of the total message (hi)
// write the initial digest
write HASH_DIGEST_A
...
write HASH_DIGEST_P
// if the final digest is required (pad the input DMA data), write the following register
write HASH_IO_BUF_CTRL = 0x80 // pad the data that is transferred via DMA
// configure DMAC
write DMAC_CH0_CTRL 0x0000_00001            // enable DMA channel 0
write DMAC_CH0_EXTADDR <ext_memory_address>// base address of the data in ext. memory
write DMAC_CH0_DMALENGTH <length>        // input data in bytes
wait CTRL_INT_STAT[0] = '1'   // wait for operation done (hash and DMAC are ready)
check CTRL_INT_STAT[31] == '0' //check for the absence of errors
// read digest
read HASH_DIGEST_A
...
read HASH_DIGEST_P
// acknowledge result and clear interrupts
write HASH_IO_BUF_CTRL = 0x01 // acknowledge reading of the digest
write CTRL_INT_CLR 0x0000_0001// clear the interrupt
write CTRL_ALG_SEL 0x0000_0000// disable the master control/DMA clock
// end of algorithm
```


Copyright © 2026 Texas Instruments Incorporated

12.7.3.3 HMAC

EIP-120t は、RFC2104 で定義されているアルゴリズムに従い、HMAC 処理を (オプションの前処理を除いて) 二つのステップでサポートしています。

次の数値であると仮定します。

- H(●) を暗号学的ハッシュ関数とします
- K をハッシュ関数のブロック サイズに合わせて右側をゼロでパディングした秘密鍵とします
- m は認証されるメッセージです
- || は連結を表します
- ⊕ は排他 OR (XOR) を表します
- opad は外側パディング (0x5c5c5c...5c5c で表される、一ブロック長の 16 進定数) とします。
- ipad を内側パディング (0x363636...3636 で表される、一ブロック長の 16 進定数) とします

次に、HMAC (K、m) は数学的に式 1 で定義されます。

$$HMAC\ (K,m) = H((K \oplus opad) \,||\, H((K \oplus ipad) \,||\, m)) \quad (1)$$

ここで

- H(K ⊕ ipad) を内部ダイジェストとします。
- H(K ⊕ opad) を外部ダイジェストとします。
- H(K ⊕ ipad) || m を中間ダイジェストとします。

12.7.3.3.1 セキュア HMAC

EIP-120t におけるセキュア HMAC 処理は、複数の基本ハッシュ演算を組み合わせて実行されます。その際、すべてのセキュリティ上重要なパラメータ (ハッシュ鍵、中間生成物、およびメッセージ データ) は、ホスト側の DMA アクセス可能なメモリに格納、保持されていることを前提としています。

セキュア HMAC 処理の実装は、以下の要件に基づいています。

- XOR キーは外部メモリ内に準備され、DMA を介して読み取られます (代わりに、スレーブ インターフェイスを介して書き込むこともできます)。ハッシュ鍵の長さがハッシュ ブロック サイズ (SHA-512 および SHA-384 では 128 バイト、SHA-256 および SHA224 では 64 バイト) を超える場合、ホストは基本ハッシュ演算を用いて鍵を圧縮する必要があります。この処理は、EIP-120t の基本ハッシュ機能を使用して実行できます。
- 入力メッセージは外部メモリに配置され、DMA 経由で読み取られます。
- 中間ダイジェスト状態は DMA アクセス可能なメモリに保存され、後で最終ハッシュ計算のために DA 経由で再度読み出されます (状態値は、必要に応じてホスト インターフェース経由で読み出したり設定したりすることもできます)。
- 結果ダイジェストはスレーブ インターフェイスから読み取られます。

図 12-3 に、EIP-120t を使用してセキュア HMAC を実装するために実行する必要がある手順を示します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

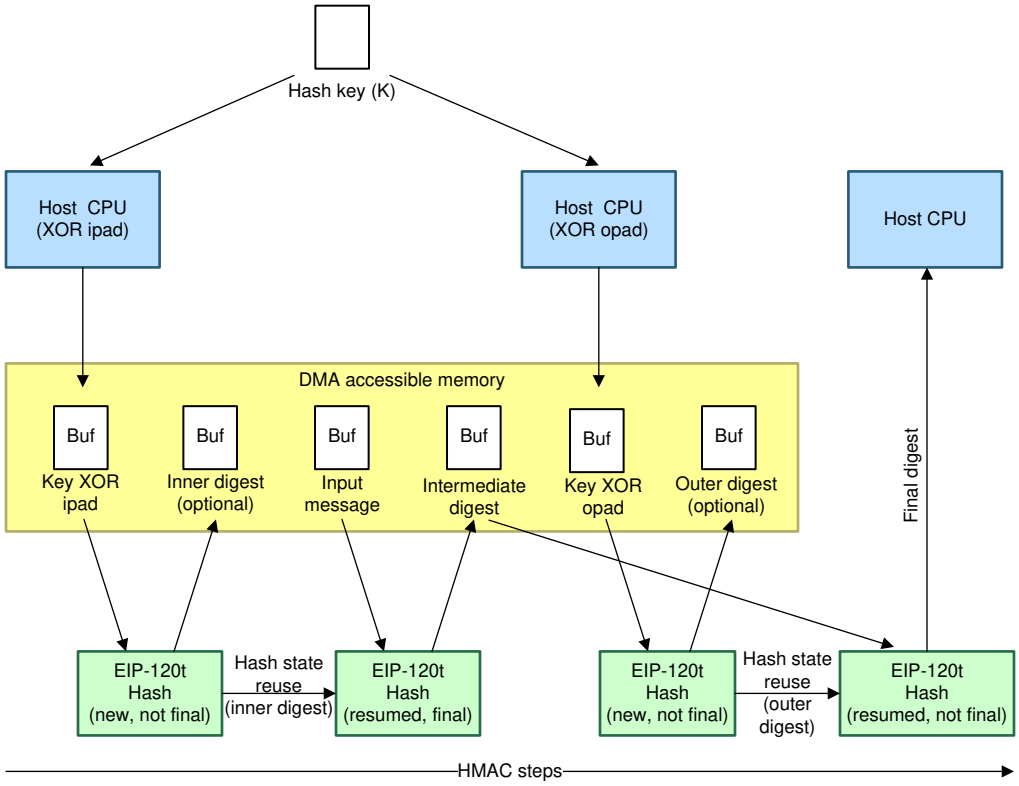


図 12-3. HMAC ステップ

セキュア HMAC は、EIP-120t の以下の基本ハッシュ演算を使用します。

1. 新しいハッシュ操作が確立され、パディングされたキー (ipad) をハッシュします。これは DMA を介して読み取られ、内部ダイジェストを生成します。内部ダイジェストはハッシュ エンジンの内部状態のままで、次の再開されたハッシュに使用されます。内部ダイジェストは、外部メモリ内のあらかじめ確保された領域に保存できます。また、同じ鍵を使用する他の HMAC 処理で再利用することもできます。

   注

   内部ダイジェスト計算には、次のステップで再開する必要があるため、最終化されていない新しいハッシュ演算が必要です。

2. 実際のメッセージをハッシュするために、再開されたハッシュ操作が確立されます。初期ダイジェストは前の演算で生成されたものであり、引き続き内部状態に保持されています。内部ダイジェストが外部メモリに保存されている場合は、ホストがそのダイジェストを読み出し、スレーブ インターフェース経由で設定することもできます。この動作の結果は、DMA を介して、事前割り当てされた外部メモリに保存されます。
3. パディングされたキー (opad) をハッシュするための新しいハッシュ演算が確立され、DMA を介して読み取られて外部ダイジェストが生成されます。外部ダイジェストはハッシュ エンジンの内部状態に保持され、次に再開されるハッシュ演算で利用できます。外部ダイジェストは、外部メモリ内の事前割り当て領域に復元でき、次の再開されたハッシュに使用できます。外部ダイジェストは、外部メモリ内の事前割り当て領域に復元できるため、同じキーを使用して他の HMAC 操作に使用できます。

   注

   外部ダイジェストの計算には、新たなハッシュ演算が必要です。ただし、この演算は次の処理で再開する必要があるため、完了されません。

4. 再開ハッシュ演算を開始し、ステップ 2 の結果をハッシュして最終 HMAC ダイジェストを生成します。初期ダイジェストは前の演算で生成されたものであり、引き続き内部状態に保持されています。外部ダイジェストが外部メモリに保存

Copyright © 2026 Texas Instruments Incorporated

されている場合は、ホストがダイジェストを読み出し、スレーブ インターフェース経由で設定することもできます。最後の HMAC ダイジェストはスレーブ インターフェイスから読み取られます。

12.7.3.4 データがスレーブ インターフェースから入力される場合の代替基本ハッシュ

12.7.3.4.1 新しいハッシュ セッション

次の疑似コードのソフトウェア例は、ホスト ソフトウェアが一般的に実行するアクションを示しています。この例では、スレーブ インターフェイス経由で入力データを受信する、新しいハッシュ セッションでハッシュ エンジンを起動します。最後に、中間ダイジェスト (最終でないハッシュ演算) または最終ハッシュ ダイジェスト (最終ハッシュ演算) がスレーブ インターフェイスを介して結果ダイジェストとして読み取られます。

```
// disable the DMA path
write CTRL_ALG_SEL 0x00000000
// wait until the input buffer is available for writing by the host
wait HASH_IO_BUF_STAT[2]=='1'
write HASH_MODE = 0x0000_0021 // indicate the start of a new hash session and SHA-512
write HASH_LENGTH_L // the length may be written at any time during session;
write HASH_LENGTH_H // the length must be written when last data has been written
// first block: write and hand-off the block of data
write HASH_DATA_IN_0
...
write HASH_DATA_IN_31
write HASH_IO_BUF_CTRL[6:0]= 0x02 // indicate that a block of data is available
loop: // intermediate blocks// wait until the input buffer available for writing by host
        wait HASH_IO_BUF_STAT[2]=='1'
        // write the intermediate block and hand off the data
        write HASH_DATA_IN_0
        ...
        write HASH_DATA_IN_31
        write HASH_IO_BUF_CTRL[6:0]= 0x02 // indicate that a block of data is available
         if more than one input block, go to loop
endloop
wait HASH_IO_BUF_STAT[2]=='1'
// write the last block and hand-off the data// Note: if last block is misaligned, the last 32-bit
word must be padded (any data is
//       accepted
write HASH_DATA_IN_0
...
write HASH_DATA_IN_31
// if an intermediate digest is required (input data is hash block size aligned)
write HASH_IO_BUF_CTRL[6:0]= 0x42 // indicate that data is available and get the
                                  // intermediate digest (no internal padding)
// else if final digest is required (input data padded by hash engine)
write HASH_IO_BUF_CTRL[6:0]= 0x22 // indicate that data is available and get the final
                                  // digest of the padded data
// wait until output data ready
wait HASH_IO_BUF_STAT[0] == '1'
// read digest
read HASH_DIGEST_A
...
read HASH_DIGEST_P
write HASH_IO_BUF_CTRL = 0x01 // acknowledge that the digest is read
// eng of algorithm
```


English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.7.3.4.2 再開されたハッシュ セッション

次の疑似コードのソフトウェア例は、ホスト ソフトウェアが一般的に実行するアクションを示しています。この例では、スレーブ インターフェイス経由で入力データを受信する、新しいハッシュ セッションでハッシュ エンジンを起動します。最後に、中間ダイジェスト (最終でないハッシュ演算) または最終ハッシュ ダイジェスト (最終ハッシュ演算) がスレーブ インターフェイスを介して結果ダイジェストとして読み取られます。

```
// disable the DMA path
write CTRL_ALG_SEL 0x00000000
// wait until the input buffer is available for writing by the Host
wait HASH_IO_BUF_STAT[2]=='1'
write HASH_MODE = 0x0000_0020 // indicate the start of the resumed hash session and SHA256
//write initial digest
write HASH_DIGEST_A
...
write HASH_DIGEST_P
write HASH_LENGTH_L // the length may be written at any time during session;
write HASH_LENGTH_H // the length must be written when last data has been written
// first block: write and hand-off the block of data
write HASH_DATA_IN_0
...
write HASH_DATA_IN_31
write HASH_IO_BUF_CTRL[6:0]= 0x02 // indicate that a block of data is available
loop: // intermediate blocks// wait until the input buffer available for writing by Host
      wait HASH_IO_BUF_STAT[2]=='1'
      // write the intermediate block and hand off the data
      write HASH_DATA_IN_0
      ...
      write HASH_DATA_IN_31
      write HASH_IO_BUF_CTRL[6:0]= 0x02 // indicate that a block of data is available
      if more than one input block, go to loop
endloop
wait HASH_IO_BUF_STAT[2]=='1'
// write the last block and hand-off the data// Note: if last block is misaligned, the last 32-bit
word must be padded (any data is accepted)
write HASH_DATA_IN_0
...
write HASH_DATA_IN_31
// if an intermediate digest is required (input data is hash block size aligned)
write HASH_IO_BUF_CTRL[6:0]= 0x42 // indicate that data is available and get the
                                  // intermediate digest
//else if final digest is required (input data padded by hash engine)
write HASH_IO_BUF_CTRL[6:0]= 0x22 // indicate that data is available and get the final
                                  // digest of the padded data
// wait until output data ready
wait HASH_IO_BUF_STAT[0] == '1'
// read digest
read HASH_DIGEST_A
...
read HASH_DIGEST_P
write HASH_IO_BUF_CTRL = 0x01 // acknowledge reading of the digest
// eng of algorithm
```


Copyright © 2026 Texas Instruments Incorporated

12.7.4 暗号化と復号化

暗号化エンジン (AES) は、次のインターフェイス経由でデータを転送します。

- AES は、次の 2 つのソースから入力データを受け入れます。AHB スレーブ インターフェイスと DMA。1 つの動作内でこれら 2 つのソースからのデータを組み合わせることができ、スレーブ インターフェイスからの書き込みデータと DMA からの書き込みデータによって動作を完了させます。
- 入力 IV と長さは、AHB スレーブ インターフェイスを使用して供給する必要があります。出力 IV は、スレーブ インターフェイスからのみ読み出し可能です。
- 結果データは、入力データと同じインターフェイスを使用して読み取る必要があります。スレーブ インターフェイスまたは DMA のいずれかを使用します。
- 認証付き動作の結果タグは、スレーブ インターフェイスまたは DMA を使用して読み取ることができます。

12.7.4.1 データ フォーマットとバイト順序

次の例では、データを AES エンジンに送信する方法を示します。AHB スレーブ インターフェイスはデータに対してほぼ透過 (データ変更なし) であるため、レジスタ インターフェイスのアライメントは、以下の例で説明しているように同じです。

注

太字のバイトは、キーまたはメッセージの最初のバイトです。

NIST SP 800-38a、AES-ECB 256 ビット暗号化:

```
AES Key In:      603deb10 15ca71be 2b73aef0 857d7781
                 1f352c07 3b6108d7 2d9810a3 0914dff4
AES Data In:     6bc1bee2 2e409f96 e93d7e11 7393172a
AES Data Out:    f3eed1bd b5d2a03c 064b5a7e 3db181f8
```

外部 RAM の AES キー、キーストア モジュール経由でロード:

```
Word_0[31:0]: 10eb3d60
Word_1[31:0]: be71ca15
Word_2[31:0]: f0ae732b
Word_3[31:0]: 81777d85
Word_4[31:0]: 072c351f
Word_5[31:0]: d708613b
Word_6[31:0]: a310982d
Word_7[31:0]: f4df1409
```

スレーブ インターフェイスまたは DMA を使用した入力データ:

```
AESDATAIN0[31:0]: e2bec16b
AESDATAIN1[31:0]: 969f402e
AESDATAIN2[31:0]: 117e3de9
AESDATAIN3[31:0]: 2a179373
```

スレーブ インターフェイスまたは DMA を使用した出力データ:

```
AESDATAOUT0[31:0]: bdd1eef3
AESDATAOUT1[31:0]: 3ca0d2b5
AESDATAOUT2[31:0]: 7e5a4b06
AESDATAOUT3[31:0]: f881b13d
```


Copyright © 2026 Texas Instruments Incorporated

12.7.4.2 キー ストア

暗号化または復号化処理を開始する前に、キー ストア モジュールには、少なくとも 1 つのキーがロードされ、暗号処理で使用可能な状態になっている必要があります。キーは、DMA 動作を使用して外部メモリからのみロードできます。この目的には DMAC チャネル 0 (インバウンド) が使用されます。

12.7.4.2.1 外部メモリからのキーのロード

次の疑似コードによるソフトウェア例は、ホスト ソフトウェアが 1 つまたは複数のキーをキー ストア モジュールにロードする際に、通常実行する処理を示しています。

```
// configure master control module
write ALGSEL 0x0000_0001 // enable DMA path to the key store module
write IRQCLR 0x0000_0001 // clear any outstanding events
// configure key store module (area, size)
write KEYSIZE 0x0000_0001 // 128-bit key size
write KEYWRITEAREA 0x0000_0001 // enable keys to write (e.g. Key 0)
// configure DMAC
write DMACH0CTL 0x0000_00001 // enable DMA channel 0
write DMACH0EXTADDR <ext_memory_address> // base address of the key in ext. memory
write DMACH0LEN <length> // total key length in bytes (e.g. 16 for 1 x 128-bit
      // key)
// wait for completion
wait IRQSTAT[0]=='1' // wait for operation completed
check IRQSTAT[31:30] == '00' // check for absence of errors in DMA and key store
write IRQCLR 0x0000_0001 // acknowledge the interrupt
write ALGSEL 0x0000_0000 // disable master control/DMA clock
// check status
check KEYWRITTENAREA 0x0000_00001 // check that Key 0 was written
// end of algorithm
```


Copyright © 2026 Texas Instruments Incorporated

12.7.4.3 ベーシック AES モード

12.7.4.3.1 AES-ECB

AES-ECB 処理には、次の設定パラメータが必要です。

- キー ストア モジュールのキー
- 制御レジスタの設定 (モード、方向、キー サイズ)
- データの長さ

長さフィールドには任意の値を指定できます。データ ストリームが終了し、次のデータ ストリームで同じキーとコントロールが使用される場合、長さフィールドのみに新しい値を書き込む必要があります。長さフィールドは、継続処理のために 0 にすることもできます。

12.7.4.3.2 AES-CBC

AES-CBC 処理には、次の設定パラメータが必要です。

- キー ストア モジュールのキー
- スレーブ インターフェイスからの IV
- 制御レジスタの設定 (モード、方向、キー サイズ)
- データの長さ

長さフィールドには任意の値を指定できます。データ ストリームが終了し、次のデータ ストリームで同じキーとコントロールが使用されると、IV と長さのフィールドのみに新しい値を書き込むことができます。長さフィールドは、継続処理のために 0 にすることもできます。

結果の IV をホストから読み取る必要がある場合は、プログラムされたバイト数を処理した後で、SAVE_CONTEXT ビットを 1 に設定する必要があります。

12.7.4.3.3 AES-CTR

AES-CTR 処理には、次の設定パラメータが必要です。

- キー ストア モジュールのキー
- スレーブ インターフェイスからの IV。初期カウンタ値 (通常は 0x0000 0001) を含みます
- 制御レジスタの設定 (モード、方向、キー サイズ)
- データの長さ (ブロック サイズにアライメントされていなくてもよい)

長さフィールドには任意の値を指定できます。データ ストリームが終了し、次のデータ ストリームで同じキーとコントロールが使用される場合、IV と長さフィールドのみに新しい値を書き込むことができます。長さフィールドは 0 にすることができ、その結果、処理が続行されます。

結果の IV をホストから読み取る必要がある場合は、プログラムされたバイト数を処理した後で、save_context ビットを 1 に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.7.4.3.4 DMA データによるプログラミング シーケンス

次の疑似コードのソフトウェア例では、外部メモリに格納されているメッセージを暗号化 (基本的な AES モードを使用) し、暗号化の結果を外部メモリ内の事前割り当て済みの領域に入れるために、ホスト ソフトウェアが一般的に実行するアクションについて説明しています。

```
// configure the master control module
write ALGSEL 0x0000_0002 // enable the DMA path to the AES engine
write IRQCLR 0x0000_0001 // clear any outstanding events
// configure the key store to provide pre-loaded AES key
write KEYREADAREA 0x0000_0000 // load the key from ram area 0 (NOTE: The key
               // must be pre-loaded to this area)
wait KEYREADAREA[31]=='0' // wait until the key is loaded to the AES module
check IRQSTAT[29] = '0' // check that the key is loaded without errors
// Write the IV for non-ECB modes// The IV must be written with the same conventions as the data
(refer to
6.4.1 in IP docs)if ((not ECB mode) and (not IV reuse)) then:// write the initialization vector
when a new IV is required
write AESIV_0 ... write AESIV_3
endif// configure AES engine
writeAESCTL = 0b0010_0000_0000_0000_
            0000_0000_0010_1100 // program AES-CBC-128 encryption and save IV
write AESDATALEN0 // write length of the message (lo)
write AESDATALEN1 // write length of the message (hi)
write DMACH0CTL 0x0000_00001 // enable DMA channel 0// configure DMAC
write DMACH0EXTADDR <address> // base address of the input data in ext.memory
write DMACH0LEN <length> // input data length in bytes, equal to the message
         // length (may be non-block size aligned)
write DMACH1CTL 0x0000_00001 // enable DMA channel 1
writeDMACH1EXTADDR <address> // base address of the output data buffer
write DMACH1LEN<length> // output data length in bytes, equal to the result
          // data length (may be non-blocksize aligned)
// wait for completion
wait IRQSTAT[0]=='1' // waitfor operation completed
check IRQSTAT[31] == '0' // check for absence of errors
write AESALGSEL0x0000_0000 // disable master control/DMA clock
if (not ECB mode) then: //only if the IV needs to be re-used/read
wait AESCTL[30]=='1' // wait forSAVED_CONTEXT_RDY bit [30]
read AESIV_0
...
read AESIV_3 // this read clears the SAVED_CONTEXT_RDYflag
endif// end of algorithm
```

12.7.4.4 CBC-MAC

CBC-MAC 処理には、次の設定パラメータが必要です。

- キー ストア モジュールのキー
- IV にはゼロを書き込む必要があります。
- 制御レジスタの設定 (モード、方向、キー サイズ)
- 認証されたデータの長さ (ブロックサイズにアライメントされていなくてもよい)

CBC-MAC 操作で入力データのアライメントがずれて終了することがあります。この場合、暗号化コアは最後の入力データ ブロックを内部的にパディングします。

長さフィールドには任意の値を指定できます。データ ストリームが終了し、次のデータ ストリームで同じキーとコントロールが使用される場合、次のコンテキストの一部のみを書き込むことはできません。新しいデータ ストリームは、常にコンテキスト全体を書き込む必要があります。長さフィールドにゼロを書き込むことはできません。

Copyright © 2026 Texas Instruments Incorporated

12.7.4.4.1 CBC-MAC のプログラミング シーケンス

次の疑似コードのソフトウェア例では、外部メモリに格納されたメッセージを AES-CBC-MAC モードで認証するために、一般的にホスト ソフトウェアによって実行されるアクションについて説明します。結果 TAG は、スレーブ インターフェイスを使用して読み取られます。

以下のシーケンスは、1 つ以上の入力データ バイトのパケットを処理します。

```
// configure the master control module
write ALGSEL 0x0000_0002 // enable the DMA path to the AES engine
write IRQCLR 0x0000_0001 // clear any outstanding events
// configure the key store to provide a pre-loaded AES key
write KEYREADAREA 0x0000_0000 // load the key from ram area 0 (NOTE: The key
              // must be pre-loaded to this area)
wait KEYREADAREA[31]=='0' // wait until the key is loaded to the AES module
check IRQSTAT[29] = '0'// check that the key is loaded without errors
// write the initialization vector
write AESIV_0
...
write AESIV_3
// configure the AES engine
write AESCTL = 0b0010_0000_0000_0000_
              1000_0000_0100_1100 // program AES-CBC-MAC-128 authentication
write AESDATALEN0 // write length of the crypto block (lo)
write AESDATALEN1 // write the length of the crypto block (hi)
              // (may be non-block size aligned)
/write DMACH0CTL 0x0000_00001 // enable DMA channel 0/ configure DMAC
write DMACH0EXTADDR <address> // base address of the input data in ext. memory
write DMACH0LEN <length> // input data length in bytes, equal to the message
              // length len({aad data, pad, crypto_data, pad})
              // (may be non-block size aligned)
// wait for completion
wait IRQSTAT[0]=='1' // wait for operation completed
check IRQSTAT[31]=='0' // check for the absence of errors
write ALGSEL 0x0000_0000 // disable master control/DMA clock
// read tag
wait AESCTL[30]=='1' // wait for the SAVED_CONTEXT_RDY bit [30]
read AESTAGOUT__0 - AESTAGOUT__3  // this read clears the SAVED_CONTEXT_RDY flag
// end of algorithm
```


English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.7.4.5 AES-CCM

AES-CCM 処理には、次の設定パラメータが必要です。

- キー ストア モジュールのキー
- 認証と暗号化の両方の場合で、IV には暗号化処理のフラグと NONCE バイトを書き込む必要があります (セクション 12.5.5.2 を参照)。
- 制御レジスタの設定 (モード、方向、キー サイズ)
- 暗号化データの長さ (ブロックサイズにアライメントされていなくてもよい)
- AAD データの長さ。2^{16} ～ 2^{8} バイト未満である必要があります (ブロックサイズにアライメントされていなくてもよい)。

CCM-L は、それぞれ 2、4、8 バイトの暗号データ長フィールドを表す、001、011、または 111 である必要があります。

CCM-M は任意の値に設定でき、処理に影響しません。ホストは、128 ビットの TAG から有効な TAG バイトを選択する必要があります。

AAD と暗号データのアライメントが正しくない場合があります。この場合、暗号コアは両方のデータ型をゼロで 128 ビット境界にパディングします。パディングは次のように行われます。AAD と暗号データ パディングは、パディングを含む入力データ ブロック長が 128 ビット アラインになるように、0 ≤ n ≤ 127 でビット文字列 0n を満たします。AAD データは、別の DMA 動作 (ペイロード データと組み合わせることはできません) で、またはスレーブ転送を使用して、AES エンジンに転送する必要があります。

コンテキスト長フィールドには、任意の値を指定できます。データ ストリームが終了し、次のデータ ストリームで同じキーとコントロールが使用される場合、IV と長さフィールドのみに新しい値を書き込むことができます。ユーザーは、両方の長さフィールドにゼロを書き込むことはできません。

結果 TAG は通常、スレーブ インターフェイスを使用して読み取られますが、別の DMA 動作を使用して外部メモリ位置に書き込むこともできます。

12.7.4.5.1 AES-CCM のプログラミング シーケンス

次の疑似コードのソフトウェア例では、外部メモリに保存されたメッセージ (AAD およびペイロード データ) を、AES-CCM モードで暗号化および認証するためにホスト ソフトウェアによって一般的に実行されるアクションについて説明しています。暗号化された結果は、外部メモリ内の事前に割り当てられた領域に配置されます。結果 TAG は、スレーブ インターフェイスを使用して読み取られます。

次のシーケンスでは、少なくとも 1 バイトの AAD データと 1 つ以上の暗号データ バイトのパケットを処理します。

```
// configure the master control module
write ALGSEL 0x0000_0002 // enable the DMA path to the AES engine
write IRQCLR 0x0000_0001 // clear any outstanding events
// configure the key store to provide pre-loaded AES key
write KEYREADAREA 0x0000_0000 // load the key from ram area 0 (NOTE: The key
             // must be pre-loaded to this area)
wait KEYREADAREA[31]==’0’ // wait until the key is loaded to the AES module
check IRQSTAT[29] = ‘0’// check that the key is loaded without errors
// write the initialization vector
write AESIV_0
...
write AESIV_3
// configure the AES engine
write AESCTL = 0b0010_0000_0101_1100_
             0000_0000_0100_1100 // program AES-CCM-128 encryption (M=1, L=3)
write AESDATALEN0// write the length of the crypto block (lo)
write AESDATALEN1// write the length of the crypto block (hi)
             // (may be non-block size aligned)
write AESAUTHLEN // write the length of the AAD data block
             // (may be non-block size aligned)
// configure DMAC to fetch the AAD data
write DMACH0CTL 0x0000_00001 // enable DMA channel 0
write DMACH0EXTADDR <address> // base address of the AAD input data in ext. memory
write DMACH0LEN <length> // AAD data length in bytes, equal to the AAD
             // length len({aad data})
```


Copyright © 2026 Texas Instruments Incorporated

```
            // (may be non-block size aligned)
// wait for completion of the AAD data transfer
wait IRQSTAT[1]=='1'// wait for DMA_IN_DONE
check IRQSTAT[31]=='0'// check for the absence of errors
// configure DMAC
write DMACH0CTL 0x0000_00001 // enable DMA channel 0
write DMACH0EXTADDR <address> // base address of the payload data in ext. memory
write DMACH0LEN <length> // payload data length in bytes, equal to the message
              // length len({crypto_data})
write DMACH1CTL 0x0000_00001 // enable DMA channel 1
write DMACH1EXTADDR <address> // base address of the output data buffer
write DMACH1LEN <length> // output data length in bytes, equal to the result
              // data length len({crypto data})
// wait for completion
wait IRQSTAT[0]=='1'// wait for operation completed
check IRQSTAT[31]=='0'// check for the absence of errors
write ALGSEL 0x0000_0000 // disable the master control/DMA clock
// read tag
wait AESCTL[30]=='1' // wait for the SAVED_CONTEXT_RDY bit [30]
read AESTAGOUT 0 -
  AESTAGOUT 3 // this read clears the 'saved_context_ready' flag
// end of algorithm
```

12.7.4.6 AES-GCM

AES-GCM 処理には、次の設定パラメータが必要です。

- キー ストア モジュールのキー
- スレーブ インターフェイスからの IV。初期カウンタ値 1 を含みます
- 制御レジスタの設定 (モード、方向、キー サイズ)
- 暗号データの長さ (ブロックサイズにアライメントされていなくてもよい)
- AAD データの長さ (ブロックサイズにアライメントされていなくてもよい)

AES モジュールは、キーストア モジュールからの暗号化キーに基づいて、Y0 暗号化と H (ハッシュ キー) を内部で計算するモードで使用されます。

AAD と暗号データのアライメントが正しくない場合があります。この場合、モジュールは内部的に両方のデータ セットをゼロで 128 ビットの境界にパディングします。パディングは次のように行われます。AAD および暗号データ パディングはビット文字列を満たします。パディングを含む入力 AAD およびデータ ブロックの長さが 128 ビットにアラインされるような、0n (0 ≤ n ≤ 127)。AAD データは、別の DMA 動作 (ペイロード データと組み合わせることはできません) で、またはスレーブ転送を使用して、AES エンジンに転送する必要があります。

長さフィールドには任意の値を指定できます。データ ストリームが終了し、次のデータ ストリームで同じキーとコントロールが使用される場合、IV と長さフィールドのみに新しい値を書き込むことができます。両方の長さフィールドにゼロを書き込むことはできません。GCM の処理は中断できません。結果 TAG は通常、スレーブ インターフェイスを介して読み取られますが、別の DMA 動作を介して外部メモリ位置に書き込むこともできます。

12.7.4.6.1 AES-GCM のプログラミング シーケンス

次の疑似コードのソフトウェア例では、AES-GCM モードを使用してメッセージを暗号化および認証するためにホスト ソフトウェアによって一般的に実行されるアクションについて説明します。メッセージ (AAD およびペイロード データ) は外部メモリから読み取られ、暗号化された結果は外部メモリ内の事前割り当て領域に置かれます。

結果 TAG は、スレーブ インターフェイスから読み取られます。次のシーケンスでは、少なくとも 1 バイトの AAD データと 1 つ以上の暗号データ バイトのパケットを処理します。

```
// configure the master control module
write CTRL_ALG_SEL 0x0000_0002 // enable the DMA path to the AES engine
write CTRL_INT_CLR 0x0000_0001 // clear any outstanding events
// configure the key store to provide a pre-loaded AES key
write KEY_STORE_READ_AREA 0x0000_0000 // load the key from ram area 0 (NOTE: The key
// must be pre-loaded to this area)
wait KEY_STORE_READ_AREA[31]=='0' // wait until the key is loaded to the AES module
```


English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

```
check CTRL_INT_STAT[29] = ‘0’ // check that the key is loaded without errors
// write the initialization vector
write AES_IV_0
...
write AES_IV_3
// configure the AES engine
write AES_CTRL = 0b0010_0000_0000_0011_
0000_0000_0100_1100 // program AES-GCM-128 encryption (autonomous)
write AES_C_LENGTH_0 // write the length of the crypto block (lo)
write AES_C_LENGTH_1 // write the length of the crypto block (hi)
                     // (may be non-block size aligned)
write AES_AUTH_LENGTH // write the length of the AAD data block
// (may be non-block size aligned)
// configure DMAC to fetch the AAD data
write DMAC_CH0_CTRL 0x0000_00001 // enable DMA channel 0
write DMAC_CH0_EXTADDR <address> // base address of the AAD data in ext. memory
write DMAC_CH0_DMALENGTH <length> // AAD data length in bytes, equal to the aad
// length len({aad data})
// (may be non-block size aligned)
// wait for completion of the AAD data transfer
wait CTRL_INT_STAT[1]==’1’ // wait for DMA_IN_DONE
check CTRL_INT_STAT[31]==‘0’ // check for the absence of errors
// configure DMAC to process the payload data
write DMAC_CH0_CTRL 0x0000_00001 // enable DMA channel 0
write DMAC_CH0_EXTADDR <address> // base address of the payload data in ext. memory
write DMAC_CH0_DMALENGTH <length> // payload data length in bytes, equal to the payload
// length len({crypto_data})
// (may be non-block size aligned)
write DMAC_CH1_CTRL 0x0000_00001 // enable DMA channel 1
write DMAC_CH1_EXTADDR <address> // base address of the output data buffer
write DMAC_CH1_DMALENGTH <length> // output data length in bytes, equal to the result
// data length len({crypto data})
// (may be non-block size aligned)
```

```
// wait for completion
wait CTRL_INT_STAT[0]==’1’ // wait for operation completed
check CTRL_INT_STAT[31]==‘0’ // check for the absence of errors
write CTRL_ALG_SEL 0x0000_0000 // disable the master control/DMA clock
// read tag
wait AES_CTRL[30]==’1’ // wait for the context ready bit [30]
read AES_TAG_OUT_0
...
read AES_TAG_OUT_3 // this read clears the ‘saved_context_ready’ flag
// end of algorithm
```

12.7.5 例外処理

12.7.5.1 ソフト リセット

必要に応じて、AES モジュールは現在のアクティブ動作を強制的に中止し、ソフト リセットを使用して IDLE 状態に移行することができます。

IDLE 状態は、次のことを意味します。

- DMAC が DMA 動作をアクティブに実行していない。
- 暗号化モジュールが IDLE 状態である。
- キーストア モジュールにキーがロードされていない。
- マスタ制御モジュールが IDLE 状態である。
- ソフト リセットは、次の順序で実行する必要があります。
  - DMA が使用されていて動作中の場合、DMA を停止する必要がある。
  - マスタ制御モジュールは、SWRESET レジスタによりリセットする必要がある。
- 暗号化コアのモード レジスタと長さレジスタをゼロで書き込む。
  モード レジスタと長さレジスタは次のとおりです。
  - AESCTL
  - AESDATALEN0
  - AESDATALEN1
  - AESAUTHLEN

Copyright © 2026 Texas Instruments Incorporated

12.7.5.2 外部ポート エラー

AHB マスタ インターフェイスと暗号化コア内の DMAC は、AHB_ERR 信号を通して受信された AHB ポート エラーを検出できます。

この状況では、エラーがステータス レジスタにキャプチャされている間に、DMAC はすべてのチャネルを無効化して新しい転送が要求されないようにします。DMAPORTERR レジスタには、AHB ポートのエラーが発生したときのアクティブ チャネルに関する情報が含まれています。DMAC は、マスタ コントロール モジュールへのチャネル完了を示します。リカバリ手順は以下のとおりです:

1. DMASWRESET レジスタを使用して DMAC にソフト リセットを発行し、DMAPORTERR レジスタをクリアし、チャネルをデフォルト状態に初期化します。
2. マスタ コントロール モジュールにソフト リセットを発行して、中間状態をクリアします。

12.7.5.3 キー ストア エラー

キー ストア エラー生成はデバッグ目的で実装されています。通常の動作また規定された動作では、暗号化コアキー ストアへの書き込み / 読み出しでエラーがトリガされてはなりません。バス エラーは、キー ストアの書き込みエラーを引き起こす可能性がある唯一の例外ケースです。

キー ストア モジュールは、キーがキー ストア RAM に正しく書き込まれたかどうかを確認します。キー書き込みエラーが発生すると、IRQSTAT レジスタの KEY_ST_WR_ERR フラグがアサートされます。この場合、キーは格納されません。ホストは KEY_ST_WR_ERR フラグのステータスを確認し、対応する RAM 領域を AES 動作に使用しないようにする必要があります。

ホストが書き込みされていない RAM 領域のキーを使用しようとした場合 (ソフトウェアの誤動作により)、キー ストア モジュールは読み出しエラーを生成します。この場合、IRQSTAT レジスタの KEY_ST_RD_ERR フラグがアサートされます。ホストはこのフラグのステータスを確認し、AES 動作の残りのステップを実行しないようにする必要があります。

注

読み出しエラーが発生した場合、キー ストアは、すべてのバイトが 0 に設定されたキーを AES エンジンに書き込みます。

12.7.5.3.1 PKA エンジン

PKA エンジンは、中国剰余定理 (CRT) に対応する公開キー暗号アクセラレーション (PKA) モジュールです。

PKA エンジンは、次の基本的な動作を提供します。

- 大きいベクトルの加算、減算、および加算と減算の組み合わせ
- 大きいベクトルの左または右へのシフト
- 大きいベクトルの乗算と除算 (商の有無にかかわらず)
- 大きいベクトルの比較とコピー

PKA エンジンでは、次のような複雑な動作が行われます。

- 大きいベクトルの符号なし値モジュラべき乗
- 事前に計算された Q 逆ベクトルを用いた CRT 法による、大きいベクトルの符号なし値モジュラべき乗
- モジュラ逆数:A と M が与えられたときに、[(A × B) MOD M] = 1 になるように B を計算する
- 楕円曲線上の ECC 点加算 / 倍増、$y^2 = x^3 + ax + b \pmod p$
  ここで、
  – p は素数である。
  – a と b は演算の入力値である。

  2 つの同一の点を加算すると、自動的に点の倍増が演算されます。
- 楕円曲線上の ECC 点の乗算、$y^2 = x^3 + ax + b \pmod p$
  ここで、

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

- p は素数である。
- a と b は演算の入力値である。

「モンゴメリ ラダー」のアルゴリズムのバージョンは、サイド チャネル攻撃耐性を提供するために使用されています。

PKA モジュールは、機密データを含むメモリのためにプログラマブル ROM (PKA ファームウェアは固定オンチップ) とハードウェア ゼロ化ロジックに対応しています。ハードウェア ゼロ化ロジックは、PKA IP のリセットとは独立して動作し、<PRCM.SECDMACLKGR.PKA_ZEROIZATION_RESET_N> によって制御されます。電力効率を高めるために、このモジュールは、必要なときにのみ有効になる動的クロック制御スイッチを使用しています。一部の RAM には、動的クロック制御のクロックが供給され、ゼロ化ロジックを有効にする前に、外部システムがこれらのクロックを有効にする必要があります。

また、外部システムは、モジュールのアクティブ動作中にゼロ化ロジックが有効にならないことを確認する必要があります。したがって、TI では、モジュールをハードウェア リセット モードにした後でゼロ化ロジックを有効にすることを推奨します。

Copyright © 2026 Texas Instruments Incorporated

12.7.5.3.2 機能説明

12.7.5.3.2.1 モジュール アーキテクチャ

PKA エンジン (図 12-4 を参照) には、次の内部モジュールが含まれています。

- PKCP モジュール (EIP-27):公開キー暗号化アプリケーションで一般的に使用される多数の (ベクトル) 演算の一連の処理を実行できます。演算の引数と結果は、PKA RAM (PKA エンジンとそのホストで共有されるメモリ ブロック) に格納されます。
- LNME モジュール (オプション):処理要素 (PE) のスケーラブルなシストリック アレイに基づく、Montgomery 乗算および指数演算ユニット。PKA RAM への (別個のポート経由の) アクセスと、専用の LNME FIFO RAM が必要でとします。
- シーケンサ モジュール (EIP-83):PKA RAM 内の多数のモジュラ式指数演算、楕円曲線暗号、およびモジュラ逆数演算を制御します。シーケンサ モジュールの主なタスクの 1 つは、これらの演算のほとんどが Montgomery 形式の数で行われていることを、外部から見えないようにすることです。このモジュールには、コードを格納するためのプログラム ROM または RAM が必要です。
- レジスタ インターフェイス:PKCP、LNME、シーケンサ モジュールを制御するために使用します。

LNME および LNME FIFO RAM は、この構成には含まれません。PKA エンジンは、単一クロックで動作する完全同期設計であり、アクティブ Low 非同期リセット入力を 1 つ備えています。

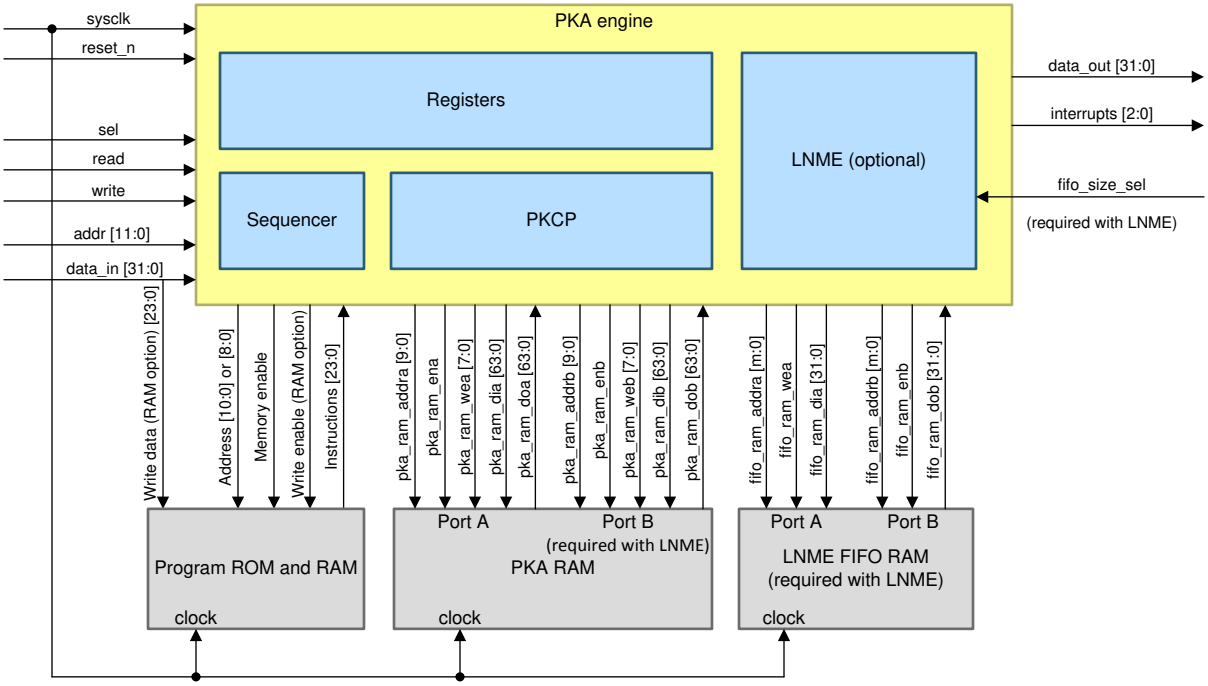


図 12-4. PKA エンジン

12.7.5.3.3 PKA RAM

PKA 演算の入力と出力であるベクトル (大きな数値) は、PKA RAM に格納されます。各ベクトルは、32 ビット ワードの連続で構成されており、これらのワードは連続したメモリ ブロックに格納され、その最下位ビット (LSB) はそのメモリ ブロックの最下位アドレスに配置されます。すべての入出力ベクトルは、偶数番号の 32 ビット ワード アドレスから始まる必要があります。

必要な性能とベクトル長の要件に基づいて、2kB (256 × 64 ビット) の RAM を選択しました。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

注

PKA RAM は、ホスト インターフェイスから常に 32 ビットでアクセス可能です (すべての入出力ベクトルは偶数番号の 32 ビット ワード アドレスから開始する必要があります。つまり、PKA RAM の 8 バイト境界に整列されている必要があります)。

Copyright © 2026 Texas Instruments Incorporated

12.7.5.3.3.1 PKCP での動作

表 12-18 に、各 PKCP 演算の引数と結果を示します。

表 12-18. PKCP 演算 (1)

機能	数学的演算	ベクトル A	ベクトル B	ベクトル C	ベクトル D
乗算	A × B → C	被乗数	逓倍	製品	該当なし
追加	A + B → C	加数	加数	合計	該当なし
減算	A – B → C	被減数	減数	差分	該当なし
加減算	A + C – B → C	加数	減数	加数	結果
右シフト	A >> Shift → C	入力	該当なし	結果	該当なし
左シフト	A << Shift → C	入力	該当なし	結果	該当なし
分周	A mod B → C、 A div B → D	被除数	除数	余剰	商
モジュロ	A mod B → C	被除数	除数	余剰	該当なし
比較	A = B、 A < B、 A > B	Input1	Input2	該当なし	該当なし
コピー	A → C	入力	該当なし	結果	該当なし

(1) N/A = 該当なし

正しい結果を得るには、入力ベクトルが、表 12-19 に示す要件を満たしている必要があります。

注

- 入力制限は PKCP によってチェックされません。
- A_Len と B_Len は、ベクトル A と B のサイズを 32 ビット ワードで示します。
- Max_{Len} は 128 (32 ビット) ワードです (つまり、標準の最大ベクトル サイズは 4,096 ビット)。

表 12-19. PKCP 演算の入力ベクトルに関する制限

演算の制限	
機能	**要件**
乗算	0 < A_Len B_Len ≤ Max_Len
追加	0 < A_Len B_Len ≤ Max_Len
減算	0 < A_Len B_Len≤ 結果は正 (A ≥ B) である必要がある。
加減算	0 < A_Len ≤ Max_Len (B_Len は無視されるので、B と C オペランドの長さは A_Len) 結果は正 [(A + C) ≥ B] である必要がある。
右シフト	0 < A_Len ≤ Max_Len
左シフト	0 < A_Len ≤ Max_Len
除算、モジュロ	1 < B_Len ≤ A_Len ≤ Max_Len B オペランドの最上位 32 ビット ワードは 0 にできない。
比較	0 < A_Len ≤ MAX_Len (B_Len は無視されるので、B オペランドの長さは A_Len)
コピー	0 < A_Len ≤ Max_Len

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

ホストは、結果ベクトル用に連続したメモリ ブロックを PKA RAM 内に割り当てなければなりません。表 12-20 に結果ベクトルに割り当てるメモリの量を示します。

表 12-20. 結果ベクトルのメモリ アロケーション

機能	結果ベクトル	結果ベクトル長さ (32 ビット ワード単位)
乗算	C	A_Len + B_Len + 6 (6 つのスクラッチパッド ワードは破棄する必要がある)
追加	C	Max(A_Len, B_Len) + 1
減算	C	Max(A_Len, B_Len)
加減算	D	A_Len + 1
右シフト	C	A_Len
左シフト	C	A_Len + 1 (シフト値がゼロでない場合)
		A_Len (シフト値がゼロの場合)
分周	C	剰余 → B_Len + 1 (1 つのスクラッチパッドワードは破棄する必要がある)
	D	商 → A_Len – B_Len + 1
モジュロ	C	剰余 → B_Len + 1 (1 つのスクラッチパッドワードは破棄する必要がある)
比較	なし	PKA_COMPARE レジスタを更新する
コピー	C	A_Len

演算の入力ベクトルは、常にメモリ内 (部分的または全部) にオーバーラップできます。
表 12-21 に演算の出力ベクトルと入力ベクトルのオーバーラップの制限をリストします。

表 12-21. PKCP 結果ベクトルとベクトル オーバーラップの制限

機能	結果ベクトル	制限
乗算	C	A または B ベクトルとのオーバーラップは許可されていません。
加算、減算	C	C ベクトルの開始アドレスがオーバーラップするベクトルの開始アドレスより上にない場合、A および (または) B ベクトルとオーバーラップすることができます。
加減算	D	D ベクトルの開始アドレスがオーバーラップするベクトルの開始アドレスより上にない場合、A、B、および (または) C ベクトルとオーバーラップすることができます。
右シフト、左シフト	C	C ベクトルの開始アドレスが A ベクトルの開始アドレスよりも上にない場合は、A ベクトルとオーバーラップすることができます。
分周	C	A、B、または D ベクトルとのオーバーラップは許可されていません。
	D	A、B、または C ベクトルとのオーバーラップは許可されていません。
モジュロ	C	A または B ベクトルとのオーバーラップは許可されていません。
比較	なし	比較では結果ベクトルを書き込みません。
コピー	C	コピーの制限は、左右シフトの制限と同じ。ソースとコピー先がオーバーラップしていても、ベクトルの下位アドレスへのコピーは常に許可されます(1)。

(1) オーバーラップの制限を解除することで、コピー操作を使用してメモリを埋めることができますが、これには 2 つの初期 (32 ビット) ワードを設定する必要があります。

- メモリ ブロックをゼロにする場合
- ブロックの開始点に A ベクトルのポインタを設定します
- C ベクトルのポインタを 2 ワード高い位置に設定します
- A ベクトルの長さをブロック長から 2 (ワード) を引いた値に設定します
- ブロックの最初の 2 ワードを定数 0 で埋め、PKCP コピー操作を実行してブロックの残りの部分をゼロにします。

Copyright © 2026 Texas Instruments Incorporated

12.7.5.3.3.2 シーケンサの動作

12.7.5.3.3.2.1 モジュラ式指数演算

シーケンサは、モジュラ式指数演算を制御します。表 12-22 に、モジュラ式指数 (ExpMod) 演算の概要を示します。

表 12-22. ExpMod 演算

機能	数学的演算	ベクトル A	ベクトル B	ベクトル C	ベクトル D
ExpMod-ACT2	C^A mod B → D	指数、長さ = A_Len	モジュラス、長さ = B_Len	基数、長さ = B_Len	結果とワークスペース
ExpMod-ACT4					
ExpMod-variable					
ExpMod-CRT	— (次のリストの計算手順を参照)。	次の最上位の偶数ワードアドレスで、Exp P に続いて Exp Q(1)(両方とも長さ A_Len)	次の最上位の偶数ワードアドレスで、Mod P + バッファ ワードに続いて Mod Q(2)(両方とも長さ B_Len)	Q の逆数、長さ = B_Len	入力、結果 (両方とも長さ 2 × B_Len)、およびワークスペース

(1) A_Len が偶数の場合、Exp Q は Exp P の直後に配置されます。A_Len が奇数の場合、Exp Q と Exp P の間には 1 ワードの空きが入ります。
(2) B_Len が偶数の場合、Mod P と Mod Q の間には 2 ワードの空きが入ります。B_Len が奇数の場合、Mod Q と Mod P の間には 1 ワードの空き (バッファ) ワードが入ります。Mod P と Mod Q の後続ワードは、シーケンサのファームウェアによってゼロに設定されることに注意してください。

ExpMod-CRT 演算では、次の計算手順が実行されます。

1. X ← (Input mod Mod P)$^{Exp\ P}$ mod Mod P
2. Y ← (Input mod Mod Q)$^{Exp\ Q}$ mod Mod Q
3. Z ← ({[(X – Y) mod Mod P] × Q inverse} mod Mod P) × Mod Q
4. 結果 ← Y + Z

ExpMod-ACT2、ExpMod-ACT4、および ExpMod-variable の各関数では、同じ数学演算を実行しますが、事前計算された奇数乗の値を格納するテーブルのサイズがそれぞれ異なります。ExpMod-ACT2 関数は 2 つのエントリを持つテーブルを使用し、ExpMod-ACT4 関数は 8 つのエントリを持つテーブルを使用します。ACT4 バージョンはパフォーマンスは向上しますが、より多くのメモリを必要とします。

ExpMod-variable および ExpMod-CRT を使用すると、通常はシフト演算でシフトするビット数を指定するために使用されるレジスタを介して、奇数乗の変数の値 (1 ～ 16) を選択できます。

PKA エンジンのユーザーの場合、指数関数は PKCP 関数群の拡張のように見えます。入力ベクトルと結果ベクトルは、基本的な PKCP 演算と同じ方法で渡されます。

表 12-23 に、ExpMod 演算における入力ベクトルの制限を示します。

表 12-23. 演算の制限

機能	要件
ExpMod-ACT2	1. 0 < A_Len ≤ Max_Len
ExpMod-ACT4	2. 1 < B_Len ≤ Max_Len
ExpMod-variable	3. モジュラス B は奇数である必要があります (つまり、LSB が 1 である必要があります)。 4. モジュラス B > 2^{32} 5. 基数 C < モジュラス B 6. ベクトル B と C の後には、空の 32 ビット バッファ ワードを 1 つ配置する必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 12-23. 演算の制限 (続き)

機能	要件
ExpMod-CRT	1. 0 < A_Len ≤ Max_Len 2. 1 < B_Len ≤ Max_Len 3. Mod P と Mod Q は奇数である必要があります (つまり、LSB は 1 である必要があります)。 4. Mod P> Mod Q > 2^{32} (1) 5. Mod P と Mod Q は互いに素である必要があります (GCD は 1 である必要があります)。 6. 0 < Exp P< (Mod P – 1) 7. 0 < Exp Q < (Mod Q – 1) 8. (Q の逆数 × Mod Q) = 1 (モジュロ Mod P) 9. 入力 < (Mod P × Mod Q) 10. Mod P と Mod Q の後には、空の 32 ビット バッファ ワードが続く必要があります。

(1) Mod P は Mod Q より大きくなければなりません

表 12-24 に、指数演算に必要なスクラッチパッド サイズを示します。この表の M_{Len} は実際のモジュラスの長さ (ExpMod-CRT 演算では Mod P、それ以外の演算では モジュラス B) を 32 ビット ワードで示します (つまり、末尾にゼロ ワードを含みません)。
指定されたモジュラス ベクトルの最後のワードが 0 でない場合、M_{Len} は B_{Len} と等しくなります。

表 12-24. 結果ベクトルおよびスクラッチパッド領域のメモリ割り当て (PKA_DPTR から開始)

機能	PKA エンジン タイプ	スクラッチパッドの領域サイズ (32 ビット ワード)(1)
ExpMod-ACT2	LNME 付き	3 × [M_Len + 2 – (M_Len MOD 2)] + 10
	PKCP のみ	5 × (M_Len + 2)
ExpMod-ACT4	LNME 付き	9 × [M_Len + 2 – (M_Len MOD 2)]
	PKCP のみ	11 × (M_Len + 2)
ExpMod-variable	LNME 付き	最大 3 × [M_Len + 2 – (M_Len MOD 2)] + 10、および(奇数乗 + 1) × [M_Len + 2 – (M_Len MOD 2)]
	PKCP のみ	(奇数乗 + 3) × (M_Len + 2)
ExpMod-CRT	LNME 付き	最大 4 × [M_Len + 2 – (M_Len MOD 2)] + 10、および(奇数乗 + 2) × [M_Len + 2 – (M_Len MOD 2)]
	PKCP のみ	(奇数乗 + 3) × (M_Len + 2) + [M_Len + 2 – (M_Len MOD 2)]

(1) 結果ベクトルは、M_Len または 2 × M_Len 32 ビット ワード長です。

表 12-25 に、結果ベクトルと入力ベクトルのオーバーラップ制限をリストします。

表 12-25. 結果ベクトルと入力ベクトルのオーバーラップ制限

機能	結果ベクトル	利用制限
ExpMod-ACT2	D	D で始まるスクラッチパッド領域は、他のいずれのベクトルとも重複しません。ただし、領域を節約するために基数 C を結果ベクトル D と同じ位置にすることはできます (つまり、PKA_CPTR = PKA_CPTR は許されます)。
ExpMod-ACT4		
ExpMod-variable		
ExpMod-CRT	D	D で始まるスクラッチパッド領域は、他のいずれのベクトルとも重複しません。これはメイン入力ベクトル (長さ 2 × B_Len) の配置場所でもあります。

指数演算の場合、PKA RAM の最小サイズは、最大モジュラス長と、奇数乗の数に依存します。さらに、指数演算の実行中にシーケンサ ファームウェア用のスクラッチパッドとして一定のバイト数が必要になります。このスクラッチパッドは、PKA RAM の末尾に配置される必要があります。

- PKA RAM は、最も頻繁に実行される指数演算が 4 つの奇数乗を用いて処理できるようなサイズにする必要があります。

Copyright © 2026 Texas Instruments Incorporated

- A および B エンジンには 4kB の PKA RAM が必要です。2kB の指数演算を実行することは可能ですが、処理時間が長くなるため、これらの PKA エンジンでは、4kB の指数演算を実行することはほとんどありません。最も頻繁に使用されるモジュラス長が 1kB および 2kB の演算の場合、2kB の PKA RAM で十分で、高速に実行する必要がありません (2kB の RAM では 4kB の演算は実行できません)。

表 12-26 に、指数演算に必要な RAM サイズを示します。

表 12-26. 必要な RAM サイズ

モジュラス サイズ (非 CRT)	1 つの奇数乗		複数の奇数乗[1]
	PKA_CPTR = PKA_DPTR	PKA_CPTR ≠ PKA_DPTR	
1024 ビット	808 バイト	944 バイト	+ 136 バイト (追加の奇数乗あたり)
2048 ビット	1576 バイト	1840 バイト	+ 256 バイト (追加の奇数乗あたり)
4096 ビット	3112 バイト	3632 バイト	+ 520 バイト (追加の奇数乗あたり)
スクラッチ パッド	+ 34 バイト (固定、PKA RAM の末尾に配置)		
CRT モジュラス	1 つの奇数乗		複数の奇数乗[1]
2 x 512 ビット	696 バイト		+ 72 バイト (追加の奇数乗あたり)
2 x 1024 ビット	1336 バイト		+ 136 バイト (追加の奇数乗あたり)
2 x 2048 ビット	2616 バイト		+ 264 バイト (追加の奇数乗あたり)
スクラッチ パッド	+ 72 バイト (固定、PKA RAM の末尾に配置)		

(1) 1 つの奇数乗に対するサイズに加算します。

表 12-27 に、異なる標準 PKA RAM サイズおよび PKA エンジンの種類で使用可能な奇数乗の最大数を示します (PKA_CPTR = PKA_DPTR を使用する非 CRT 演算)。

表 12-27. 奇数乗の最大数

PKA エンジン タイプ	動作	モジュラスおよび指数サイズ	PKA RAM サイズの奇数乗の最大数			
			1kB	2kB	4kB	8kB
LNME 付き	非 CRT	1024 ビット	4	11	16	16
		2048 ビット	該当なし	4	12	16
		4096 ビット	該当なし	該当なし	4	12
	CRT	2 x 512 ビット	6	16	16	16
		2 x 1024 ビット	該当なし	7	16	16
		2 x 2048 ビット	該当なし	該当なし	8	16
PKCP のみ	非 CRT	1024 ビット	2	9	16	16
		2048 ビット	該当なし	2	10	16
		4096 ビット	該当なし	該当なし	2	10
	CRT	2 x 512 ビット	4	16	16	16
		2 x 1024 ビット	該当なし	5	16	16
		2 x 2048 ビット	該当なし	該当なし	6	16

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 12-28 に、CRT を使用する場合と使用しない場合のモジュラ式指数演算の PKA RAM ベクトル割り当ての例を示します。空き領域の開始アドレスは、ベクトル ワークスペースに続く最初の空きバイトです。34 バイト (非 CRT) または 72 バイト (CRT を使用) のシーケンサ実行スクラッチパッドは、空き領域の開始アドレスと PKA RAM の末尾までの領域内に収まる必要があります。

注

非 CRT 演算では、領域を節約するために PKA_CPTR = PKA_DPTR を使用します。

表 12-28. PKA RAM ベクトル割り当ての例

エンジンおよび演算	(サブ) ベクトル	開始アドレス バイトのオフセット		サイズ (ワード)	バッファ (ワード)
LNME 付き (-PExx), 非 CRT (ALENGTH = 0x040 BLENGTH = 0x040 4 つの奇数乗)	指数	0x000	(APTR = 0x000)。	64	0
	モジュラス	0x100	(BPTR = 0x040)。	64	2
	基数	0x208	(CPTR = 0x082)。	64	2
	結果	0x208	(DPTR = 0x082)。	64	2
	ベクトル ワークスペース	0x208	(= 結果)	5 × (62 + 2 – 0) = 330	0
	空きスペース	0x730	(1840 バイト使用)	–	–
PKCP のみ (-A および -B)、非 CRT (ALENGTH = 0x040 BLENGTH = 0x040 4 つの奇数乗)	指数	0x000	(APTR = 0x000)。	64	0
	モジュラス	0x100	(BPTR = 0x040)。	64	2
	基数	0x208	(CPTR = 0x082)。	64	2
	結果	0x208	(DPTR = 0x082)。	64	2
	ベクトル ワークスペース	0x208	(= 結果)	7 × (64 + 2) = 462	0
	空きスペース	0x940	(2368 バイト使用)	–	–
LNME 付き (-PExx), 、CRT を使用 (ALENGTH = 0x020 BLENGTH = 0x020 4 つの奇数乗)	Exp P	0x000	(APTR = 0x000)。	32	0
	Exp Q	0x080		32	0
	Mod P	0x100	(BPTR = 0x040)。	32	2
	Mod Q	0x188		32	2
	Q の逆数	0x210	(CPTR = 0x084)。	32	0
	入力、結果	0x290	(DPTR = 0x0A4)。	64	0
	ベクトル ワークスペース	0x290	(= 結果)	6 × (32 + 2 – 0) = 204	0
	空きスペース	0x5C0	(1472 バイト使用)	–	–
PKCP のみ (-A および -B)、CRT を使用 (ALENGTH = 0x020 BLENGTH = 0x020 4 つの奇数乗)	Exp P	0x000	(APTR = 0x000)。	32	0
	Exp Q	0x080		32	0
	Mod P	0x100	(BPTR = 0x040)。	32	2
	Mod Q	0x188		32	2
	Q の逆数	0x210	(CPTR = 0x084)。	32	0
	入力、結果	0x290	(DPTR = 0x0A4)。	64	0
	ベクトル ワークスペース	0x290	(= 結果)	7 × (32 + 2) + 32 + 2 – 0 = 272	0
	空きスペース	0x6D0	(1744 バイト使用)	–	–

12.7.5.3.3.2.2 モジュラ逆数演算

モジュラ逆数演算は、シーケンサによって制御されます。表 12-29 に、基本的な PKCP 関数を拡張した機能を示します。ただし、以下の例外があります。

- ベクトル D が結果とワークスペースを指定する。
- PKA_SHIFT レジスタのフィールドが演算結果に関する情報を返すために使用される。

Copyright © 2026 Texas Instruments Incorporated

表 12-29. 基本 PKCP 関数の拡張

機能	数学的演算	ベクトル A	ベクトル B	ベクトル C	ベクトル D
ModInv	A^{-1} mod B → D	NumToInvert 長さ = A_Len	モジュラス 長さ = B_Len	未使用	結果とワークスペース

表 12-30 に、PKA_SHIFT 結果の値を示します。

表 12-30. PKA_SHIFT 結果の値

機能	演算終了時の PKA シフト レジスタ フィールドの値
ModInv	0 → 成功。ベクトル D に結果が格納される 7 → 逆数が存在しない [GCD(A, B)≠1 (すなわち、A と B に共通因子がある) 結果は未定義 31 → エラー。モジュラス B が偶数であるため、結果は未定義 その他の値は予約されている。

表 12-31 および 表 12-32 に、ModInv 演算における入力ベクトルと結果ベクトルに対する制限を示します。

表 12-31. 演算の制限

機能	要件
ModInv	0 < A_Len ≤ Max_Len 0 < B_Len ≤ Max_Len モジュラス B は奇数である必要があります (つまり、LSB は 1 である必要があります)。 モジュラス B の値が 1 であってはなりません (結果は未定義で、エラーは表示されません)。 モジュラス ベクトルの最上位ワード (B_Len で示される) は 0 であってはなりません。

表 12-32. 結果ベクトルと入力ベクトルのオーバーラップ制限

機能	結果ベクトル	利用制限
ModInv	D	D で始まるスクラッチパッド領域は、他のベクトルと重複しない可能性があります。

表 12-33 に、ModInv 演算に必要なスクラッチパッドのサイズを示します。

表 12-33. 結果とベクトル スクラッチパッド領域のメモリ割り当て (1)

機能	スクラッチパッド領域のサイズ (32 ビット ワード)、結果ベクトルは B_Len 32 ビット ワード長です
ModInv	5×[M +ε (M)]、ここで M = Max(A_Len,B_Len)

(1) どちらも PKA_DPTR を開始アドレスとして配置されます。ε (n) = 2 + (n MOD 2)、すなわち、2 (n が偶数の場合) または 3 (n が奇数の場合) です。

ModInv 演算では、モジュラスは奇数である必要があります。これは、RSA キーの生成では、式 2 に示すように公開指数 e から秘密キー指数 d を求めるため、演算が無意味のように思われます。

$$d = \text{ModInv}(e, \varphi) \tag{2}$$

ここで

- $\varphi = (p - 1) \times (q - 1)$
- P と q はいずれも素数です

注

式 2 では、φ は偶数です。ただし、e は奇数である (または逆数が存在しない) 必要があり、式 3 に示すように、d が計算できます。

$$d = 1 + \{\varphi \times [e - \text{ModInv}(\varphi, e)]\} / e \tag{3}$$

4 つの基本 PKCP 演算では、ModInv は、モジュラスが偶数の場合でも逆数の値を求めるために使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

モジュラ逆数は、モジュラス値が素数である場合に限り、「モジュラス値 — 2」を指数としたモジュラ指数演算によって求めることができます。これは、(M が素数であるという条件のもとで)次の性質が成り立つためです。

- $(A^{M}) \bmod M = A \rightarrow$
- $(A^{M-1}) \bmod M = 1 \rightarrow$
- $(A^{M-2}) \bmod M = A^{-1} \pmod M$

LNME を搭載した大型の PKA エンジンでは、ModInv 演算を直接使用するよりもこの方法が速いかどうかを確認する価値があります。この PKA エンジンでサポートされる ECC 曲線のモジュラス値はすべて素数であるため、この方法は ECDSA の演算で使用できます。

Copyright © 2026 Texas Instruments Incorporated

12.7.5.3.3.2.3 性能

表 12-34 に、基本的な PKCP 動作を実行するのに必要なクロック数の情報を示します。

表 12-34. PKCP 動作用のクロック

動作 (ビット単位のベクトル長さ)	32 ビット PKCP の クロック数	16 ビット PKCP の クロック数	他のベクトル サイズへの スケーリング
1K + 1K 加算	99	195	Max (A_Len, B_Len)
1K – 1K 減算	98	194	Max (A_Len, B_Len)
1K × 1K 乗算	1080	4210	A_Len × B_Len
2K/1K 除算またはモジュロ	6570(1)	19241(1)	(A_Len – B_Len) × B _Len
1K + 1K – 1K 加算または減算	131	259	A_Len
1K 左または右にシフト	69	133	A_Len
1K コピー	64	128	A_Len
1K = 1K 比較	69(2)	133(2)	A_Len

(1) 修正サイクルが必要になる可能性があるため、タイミングにわずかなばらつきがあります。
(2) データ依存性 — 指定された最大時間は、ベクトルが同じ値を持つ場合、または最下位 16 ビットまたは 32 ビット ワードでのみ異なる場合にのみ必要です。

12.7.5.3.3.2.4 ECC での動作

シーケンサは ECC 動作も制御します (概要については、表 12-35 を参照)。

表 12-35. ECC での動作

機能	数学的演算	ベクトル A	ベクトル B	ベクトル C	ベクトル D
ECC-ADD	楕円曲線上の点加算 / 倍増(1): $y^2 = x^3 + ax + b \pmod p$ pntA + pntC → pntD	pntA.x の後に(2) pntA.y 共に長さは B_Len (A_Len は不使用)	曲線パラメータ p の後に(2) a (b は必須ではない) すべての長さは B_Len	pntC.x の後に pntC.y(2) 共に長さは B_Len	結果 (すなわち、pntD.x、その後に pntD.y(2)、およびワークスペース)
ECC-MUL	楕円曲線上の点乗算: $y^2 = x^3 + ax + b \pmod p$ k × pntC → pntD	スカラー *k* 長さは A_Len	曲線パラメータ p の後に(2) a と b すべての長さは B_Len	pntC.x の後に pntC.y(2) 共に長さは B_Len	結果 (すなわち、pntD.x、その後に pntD.y(2)、およびワークスペース)

(1) pntA = pntC の場合、点の倍増演算が自動的に実行されます。
(2) すべての入力コンポーネントは 64 ビット境界上に配置され、最上位ワードの後に **ε** の追加のバッファ ワード (各 32 ビット) が必要です。**ε** は、3 (B_Len が奇数の場合) または 2 (B_Len が偶数の場合) である必要があります。各結果コンポーネント (pntD.x、pntD.y) の後には、**ε** バッファ (ゼロ) ワードも続きます。

PKA エンジンをお使いの場合、表 12-35 の機能は、セクション 12.7.5.3.3.1 で説明されている一連の PKCP 関数の拡張機能のように位置づけられますが、次の例外があります。

- 入力ベクトルと結果ベクトルは合成できる (つまり、2 つまたは 3 つの等しい大きさのサブベクトルから構成される場合があります)。
- ベクトル D が結果とワークスペースを指定する。

PKA_SHIFT レジスタは、動作結果に関する情報を返します。

表 12-36 に、PKA_SHIFT 結果の値を示します。

表 12-36. PKA_SHIFT 結果の値

機能	完了時における PKA_SHIFT レジスタ フィールド値
ECC-ADD	0 → 成功。ベクトル D は結果点を保持する。 7 → 結果は無限遠点、ベクトル D の結果点は未定義。 31 → エラー (p が奇数番号でない、短すぎるなど)、ベクトル D の結果点は未定義。 その他の値は予約済みです。
ECC-MUL	

Copyright © 2026 Texas Instruments Incorporated

表 12-37 に、動作上の制約を示します。

表 12-37. 演算の制限

機能	要件
ECC-ADD	1 < B_Len ≤ 24 (最大ベクトル長は 768 ビット) モジュラス p は 2^{63} を上回る素数である必要があります。 モジュラスの実効サイズ (ビット単位) は 32 の倍数である必要があります。(1) (B_Len で示される) モジュラス ベクトルの最上位ワードは 0 ではない場合があります。 a < p および b < p pntA および pntC が曲線上にある必要があります (これはチェックされません)。 pntA も pntC も無限遠点にできません (ただし ECC-ADD はこの点を結果として返すことができます)。
ECC-MUL	0 < A_Len ≤ 24 (最大ベクトル長は 768 ビット) 1 < B_Len ≤ 24 (最大ベクトル長は 768 ビット) モジュラス p は 2^{63} を上回る素数である必要があります。 モジュラスの実効サイズ (ビット単位) は 32 の倍数である必要があります。(1) (B_Len で示される) モジュラス ベクトルの最上位ワードが 0 ではない場合があります。 a < p および b < p pntC は曲線上にある必要があります (これはチェックされません)。 pntC は無限遠点にはできません (ただし、ECC-MUL は結果としてこの点を返すことができます)。

(1) エンジンのタイプによっては、このルールに従わない一部のモジュラスの長さが不正確な結果になります。標準のモジュラスの長さの 112 ビットと 521 ビットはすべてのエンジンで機能するため、これらの長さはこのルールの例外となります。

表 12-38 および 表 12-39 に、入力ベクトルのオーバーラップ制限およびスクラッチ パッド領域のメモリ割り当ての詳細を示します。

表 12-38. 入力ベクトルと出力ベクトルのオーバーラップ制限

機能	結果ベクトル	利用制限
ECC-ADD ECC-MUL	D	D で始まるスクラッチパッド領域は、他のベクトルと重複しない可能性があります。

表 12-39. 結果ベクトルとスクラッチ パッド領域のメモリ割り当て (1) (2)

機能	スクラッチパッド領域のサイズ 結果ベクトルは 2 × (B_Len + ε (B_Len)) の 32 ビット ワード長です
ECC-ADD	2 × L + 5 × M ここで: • L = B_Len + ε (B_Len) • M = B_Len + 1 + ε (B_Len + 1)
ECC-MUL	18 × L + Max(8, L) ここで: • L = B_Len + ε (B_Len)

(1) 結果ベクトルとスクラッチパッド メモリの割り当ては、どちらも PKA_DPTR から開始されます。
(2) ε (n) = 2 + (n MOD 2)、つまり 2 (n が偶数の場合) または 3 (n が奇数の場合) となります。

ECC-ADD または ECC-MUL 演算の実行中、PKA RAM の最後の 72 バイトは、シーケンサのプログラム実行用の一般的なスクラッチパッドとして使用されます。実行中は、これらの領域が入力ベクトルやベクトル D のスクラッチパッド領域と重複しないようにしてください。

表 12-40 に、ECC 点乗算演算のための PKA RAM ベクトル割り当ての例を示します。空きスペースの開始アドレスは、ベクトル スクラッチパッドに続く最初の空きバイトです (72 バイトのシーケンサ実行スクラッチパッドは、このアドレスと PKA RAM の末尾の間に収まる必要があります)。このため、2kB の PKA RAM では 521 ビットの ECC の点乗算は実行できません。

Copyright © 2026 Texas Instruments Incorporated

表 12-40. PKA RAM ベクトル割り当て

モジュラスの長さ	(サブ) ベクトル	開始アドレス バイトのオフセット	サイズ (ワード)	バッファ (ワード)
192 ビット (= 6 ワード、ALENGTH = 0x006、BLENGTH = 0x006)	スカラー k	0x000 (APTR = 0x000)。	6	0
	p	0x018 (BPTR = 0x006)。	6	2
	a	0x038	6	2
	b	0x058	6	2
	pntC.x (基数)	0x078 (CPTR = 0x01E)。	6	2
	pntC.y (基数)	0x098	6	2
	pntD.x (結果)	0x0B8 (DPTR = 0x02E)。	6	2
	pntD.y (結果)	0x0D8	6	0
	ベクトル スクラッチパッド	0x0B8 (= pntD.x)	(18 × 8) + 8 = 152	0
	空きスペース	0x318 (792 バイト使用)	–	–
384 ビット (= 12 ワード、ALENGTH = 0x00C、BLENGTH = 0x00C)	スカラー k	0x000 (APTR = 0x000)。	12	0
	p	0x030 (BPTR = 0x00C)。	12	2
	a	0x068	12	2
	b	0x0A0	12	2
	pntC.x (基数)	0x0D8 (CPTR = 0x036)。	12	2
	pntC.y (基数)	0x110	12	2
	pntD.x (結果)	0x148 (DPTR = 0x052)。	12	2
	pntD.y (結果)	0x180	12	0
	ベクトル スクラッチパッド	0x148 (= pntD.x)	(18 × 14) + 14 = 266	0
	空きスペース	0x570 (1392 バイト使用)	–	–
521 ビット (= 17 ワード、ALENGTH = 0x011、BLENGTH = 0x011)	スカラー k	0x000 (APTR = 0x000)。	17	1 (p を整列する)
	p	0x048 (BPTR = 0x012)。	17	3
	a	0x098	17	3
	b	0x0E8	17	3
	pntC.x (基数)	0x138 (CPTR = 0x04E)。	17	3
	pntC.y (基数)	0x188	17	3
	pntD.x (結果)	0x1D8 (DPTR = 0x076)。	17	3
	pntD.y (結果)	0x228	17	0
	ベクトル スクラッチパッド	0x1D8 (= pntD.x)	(18 × 20) + 20 = 380	0
	空きスペース	0x7C8 (1992 バイト使用)	–	–

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.7.5.3.3.2.5 性能

表 12-41 に、基本的な PKCP 動作を実行するために必要なクロック数に関する情報を示します。

表 12-41. PKCP 動作のクロック

動作	32 ビット PKCP のクロック数	16 ビット PKCP のクロック数	他のベクトル サイズへのスケーリング
1K + 1K 加算	99	195	最大 (A_Len、B_Len)
1K – 1K 減算	98	194	最大 (A_Len、B_Len)
1K × 1K 乗算	1080	4210	A_Len × B_Len
2K/1K 除算またはモジュロ	6570(1)	19241(1)	(A_Len – B_Len) × B _Len
1K + 1K – 1K 加算または減算	131	259	A_Len
1K 左シフトまたは右シフト	69	133	A_Len
1K コピー	64	128	A_Len
1K = 1K 比較	69(2)	133(2)	A_Len

12.7.5.3.3.2.6 ExpMod のパフォーマンス

1 つの奇数乗を 100% のベースライン パフォーマンスとして使用する場合:

- 2 つの奇数乗 (ExpMod-ACT2 で使用) は、約 112% のパフォーマンスを提供します。
- 4 つの奇数乗は、約 121% のパフォーマンスを提供します。
- 8 つの奇数乗 (ExpMod-ACT4 で使用) は、約 125% のパフォーマンスを提供します。
- 元の EIP-23 ACT2 指数演算は、100% の同じベースライン パフォーマンスを持ちますが、タイミングは指数の値に依存しません (1 つの奇数乗演算の場合は当てはまりません)。
- 元の EIP-23 ACT5 指数演算は、120% のパフォーマンスを提供します。

パフォーマンスの数値は、事前処理にかかる時間が無視できること (指数の長さが長い場合に該当)、および 50% のランダムな指数ベクトルを使用することを前提としています。8 を超える奇数乗を使用しても顕著な高速化は得られないため、推奨しません。

Copyright © 2026 Texas Instruments Incorporated

12.7.5.3.3.2.7 モジュラ逆数の処理性能

モジュラ逆数の計算は、PKCP エンジンを使って実行されます。処理性能は PKCP エンジンの種類によって変わります。さらに、使用されるデータの値によってもわずかに変動します (数パーセント程度のばらつきが予想されます)。表 12-42 に、5 つのシミュレーションにおける平均処理性能値を示します。

表 12-42. 5 つのシミュレーションにおける処理性能値

モジュラスおよび入力のベクトル長		32 ビット PKCP		16 ビット PKCP	
		クロック数	400MHz での演算回数 / 秒	クロック数	400MHz での演算回数 / 秒
128	ビット	26,021	15,372	29,226	13,686
256		60,133	6651	75,483	5299
512		146,406	2372	220,647	1812
1024		426,966	936	719,587	555
2048		1,429,127	279	2,594,516	154
4096		5,167,943	77	9,812,581	40

12.7.5.3.3.2.8 ECC 動作の性能

ECC-ADD は、計算に PKCP エンジンのみを使用します。処理性能は PKCP エンジンの種類によって変わります。さらに、使用されるデータの値によってもわずかに変動します (数パーセント程度のばらつきが予想されます)。表 12-43 に性能の値を示します。

表 12-43. ECC 動作の性能値

モジュラスおよび入力のベクトル長			32 ビット PKCP		16 ビット PKCP	
			クロック数	400MHz での演算回数 / 秒	クロック数	400MHz での演算回数 / 秒
128	点加算	ビット	29,731	13,453	33,714	11,855
	点倍算		30,623	13,062	34,749	11,511
160	点加算		36,689	10,902	43,266	9245
	点倍算		38,953	10,268	46,246	8649
192	点加算		46,062	8683	56,403	7091
	点倍算		47,757	8375	58,229	6869
224	点加算		55,276	7236	68,969	5799
	点倍算		55,586	7196	70,169	5700
256	点加算		65,661	6091	84,140	4753
	点倍算		64,179	6232	82,935	4823
320	点加算		81,660	4898	110,963	3604
	点倍算		84,722	4721	115,581	3460
384	点加算		102,271	3911	145,655	2746
	点倍算		108,127	3699	154,698	2585
512	点加算		154,132	2595	236,331	1692
	点倍算		155,896	2565	241,818	1654
521	点加算		155,609	2570	243,138	1645
	点倍算		163,727	2443	257,409	1553

ECC-MUL 演算では、PKCP エンジンと LNME エンジンを並行して使用します (両方が使用可能な場合)。ECC ラダーアルゴリズムのあるバージョンを使用するため、性能はスカラー乗算ベクトル k に依存しません。アルゴリズムの最後に実行される 3 回のモジュラ逆数演算のため、わずかな変動 (2% 未満) の発生が想定されます (表 12-44 を参照)。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 12-44. ECC-MUL 演算の性能値

すべての入力値におけるベクタ長(ビット単位)	400MHz でのクロック数と演算回数/秒の性能	PKA エンジン タイプ							
		16 ビット PKCP EIP-28-A	32 ビット PKCP EIP-28-B	16 ビット PKCP および 4 PE 構成の LNME EIP-28-PE4	16 ビット PKCP および 6 PE 構成の LNME EIP-28-PE6	16 ビット PKCP および 8 PE 構成の LNME EIP-28-PE8	16 ビット PKCP および 12 PE 構成の LNME EIP-28-PE12	16 ビット PKCP および 17 PE 構成の LNME EIP-28-PE17	16 ビット PKCP および 33 PE 構成の LNME EIP-28-PE33
128	クロック数	1.36×10^6	593,198	279,360	260,900	261,204	261,147	273,271	262,939
	演算回数/秒	294	674	1433	1538	1532	1532	1465	1526
160	クロック数	1.90×10^6	805,751	403,005	362,210	362,103	362,052	363,446	359,373
	演算回数/秒	210	496	992	1104	1104	1104	1101	1114
192	クロック数	3.00×10^6	1.35×10^6	523,642	483,576	471,758	468,428	470,356	474,056
	演算回数/秒	133	296	764	828	849	854	851	843
224	クロック数	4.67×10^6	1.70×10^6	759,184	600,342	602,421	600,341	602,500	601,374
	演算回数/秒	85	235	527	666	664	666	664	665
256	クロック数	5.51×10^6	2.06×10^6	932,685	757,287	731,397	733,945	732,391	786,247
	演算回数/秒	72	194	429	528	547	545	546	508
320	クロック数	10.3×10^6	3.58×10^6	1.52×10^6	1.19×10^6	1.10×10^6	1.08×10^6	1.07×10^6	1.08×10^6
	演算回数/秒	38	111	263	336	363	370	373	370
384	クロック数	15.5×10^6	5.67×10^6	2.30×10^6	1.84×10^6	1.61×10^6	1.46×10^6	1.46×10^6	1.47×10^6
	演算回数/秒	25	70	173	217	248	273	273	272
512	クロック数	33.2×10^6	10.6×10^6	4.58×10^6	3.40×10^6	3.00×10^6	2.42×10^6	2.43×10^6	2.41×10^6
	演算回数/秒	12	37	87	117	133	165	164	165
521	クロック数	35.5×10^6	11.2×10^6	5.02×10^6	3.92×10^6	3.26×10^6	2.61×10^6	2.53×10^6	2.55×10^6
	演算回数/秒	11	35	79	102	122	153	158	156

Copyright © 2026 Texas Instruments Incorporated

12.7.5.3.3.3 シーケンサ ROM の動作とインターフェイス

シーケンサ プログラム ROM は、最大 2,048 ビット (各 24 ビット) の同期読み取り専用メモリで、表 12-45 に記載されているインターフェイス (PKA エンジンからの方向。シーケンサ プログラム ROM からのデータ バスの方向の命名) を備えています。

表 12-45. シーケンサ ROM インターフェイス情報

信号	方向	機能
rom_me	OUT	アクティブ High のメモリ イネーブル。最大出力遅延はクロック サイクルの 50%。
rom_addr[10:0]	OUT	アドレス出力バス。最大出力遅延時間はクロック サイクルの 50%。
rom_rdata[23:0]	IN	データ入力バス。クロック サイクルの 70% が経過する前に確定が必要。

12.7.5.3.3.4 Register Configurations (レジスタ構成)

表 12-46 に、PKA エンジンおよび TRNG エンジンを含め、PKA エンジンの内部レジスタの外部アドレス バスへのマッピングを示します。

注

TRNG は、CC13x2 および CC26x2 デバイス プラットフォームで使用される PKA エンジンの一部ではありません。

レジスタ空間は、アドレス バスのビット [15:14] を使用して選択可能です。

表 12-46. レジスタ アドレス マップ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLB 構成ではマスクされ、AGB 構成では省略																レジスタ空間の選択		サブモジュール アドレス (32 ビット整列)													
EIP-150 内部レジスタおよび AIC レジスタ																															
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	1	0	A	A	A	A	A	A	A	A	A	A	A	A	0	0
PKA エンジン																															
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	0	1	0	A	A	A	A	A	A	A	A	A	A	A	0	0
PKA RAM (プログラム RAM)																															
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	0	1	1	A	A	A	A	A	A	A	A	A	A	A	0	0
TRNG エンジン																															
–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	0	0	0	0	0	0	0	0	0	A	A	A	A	A	0	0

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

制御レジスタの完全なセットにより、PKCP およびシーケンサ制御/ステータス レジスタにアクセスできます。これらのレジスタについては、表 12-47 に、PKCP 制御レジスタ、1 つのシーケンサ制御およびステータス レジスタ、ハードウェアおよびファームウェア リビジョン レジスタのみを示します。

表 12-47. PKCP 制御、シーケンサおよびステータス、ハードウェアおよびファームウェア リビジョン レジスタ

6 ビット ワード オフセット	名称	アクセス権	サイズ (ビット)	リセット値	説明
0x00	PKA_APTR	R/W	11	000h	オペランド アドレス オフセット
0x01	PKA_BPTR	R/W	11	000h	B オペランド アドレス オフセット
0x02	PKA_CPTR	R/W	11	000h	C オペランドおよび結果アドレス オフセット
0x03	PKA_DPTR	R/W	11	000h	D オペランドおよび結果アドレス オフセット
0x04	PKA_ALENGTH	R/W	9	000h	オペランドの長さ
0x05	PKA_BLENGTH	R/W	9	000h	B オペランドの長さ
0x06	PKA_SHIFT	R/W	5	00h	シフトするビット
0x07	PKA_FUNCTION	R/W	15 + 1 + 1	0000h 0b 0b	機能コード、実行制御およびステータス、ストール結果制御
0x08	PKA_COMPARE	R	3	001b	比較の結果
0x09	PKA_MSW	R	11 + 1	000h 1b	MS 非ゼロ ワード アドレス
0x0A	PKA_DIVMSW	R	11 + 1	000h 1b	剰余演算の MS 非ゼロ ワード アドレス (MOD および DIV 演算)
0x32	PKA_SEQ_CTRL	R/W	8 + 8 + 1	00h 00h	シーケンサ制御、ステータス、リセット
0x3D	PKA_OPTIONS	R	32	–	ハードウェア構成オプション
0x3E	PKA_SW_REV	R	16	0000h	ファームウェアのリビジョン番号と機能
0x3F	PKA_REVISION	R	28	–	ハードウェアのリビジョン番号と EIP コード

Copyright © 2026 Texas Instruments Incorporated

12.7.5.3.3.5 動作シーケンス

図 12-5、図 12-6、図 12-7 には、PKA エンジンを動作させるために使用できるいくつかの動作シーケンスを示します。インターフェイス バスのトランザクションとメイン割り込み出力 (割り込み出力バスのビット [1]) の動作は、様式化した形で示しています。

図 12-5 のシーケンスの左側には、起動時の動作を示します。モジュールのリセット中は割り込みは非アクティブ (Low) で、シーケンサ プログラムの開始後、10 モジュール クロック サイクル以内にアクティブ (High) になります。プログラム ROM を使用する場合、モジュールのリセットが解除されると直ちに、シーケンサが開始されます。RAM を備えたエンジンでは、まずシーケンサのファームウェアをロードし、その後、PKA_SEQ_CTRL レジスタのビット [31] に 0b を書き込んでシーケンサをリセット解除し、シーケンサ プログラムを開始する必要があります。

図 12-5 の右側には、通常の動作シーケンスを示します。通常の動作シーケンスは、まず PKA データ RAM に入力ベクトルを書き込み、さらにベクトル ポインタと長さの値を PKA エンジンの制御レジスタに書き込むことから始まります (これらの書き込みは任意の順序で完了できます)。動作は PKA_FUNCTION レジスタへの書き込みによって開始され、RUN ビットをセットしてから、2 クロック サイクル以内に、メイン割り込み出力が非アクティブになります。PKA エンジンが要求された動作の実行を完了すると、メイン割り込みが再度アクティブになり、必要に応じてステータス レジスタから結果ステータスを読み取ることができます。結果ベクトル (複数の場合もある) は、PKA データ RAM から読み取ることができます。

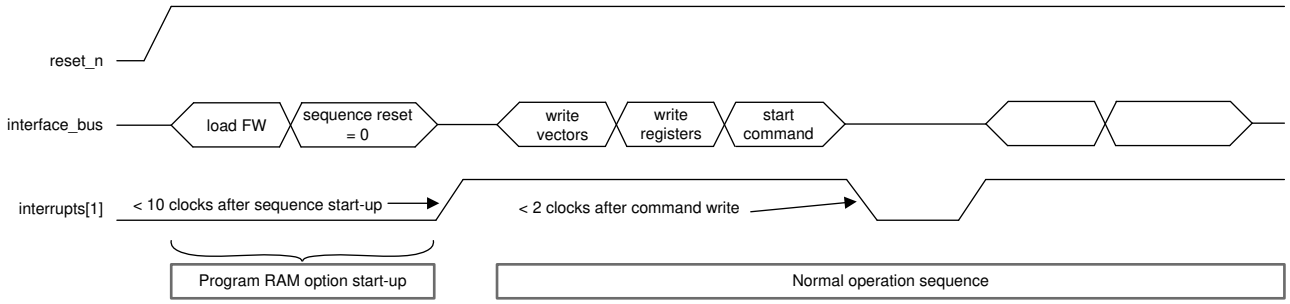


図 12-5. 動作シーケンス

図 12-6 に、より最適化されたインターリーブ動作シーケンスを示します。十分な PKA データ RAM が利用可能な場合、RAM 内の別々の領域を使用して、入力ベクトルの書き込みと結果ベクトルのタ読み出しをインターリーブできます。2 回目の演算に対する入力ベクトルは、最初の演算が実行されている間に書き込まれます。ポインタおよび長さレジスタの書き込み、および 2 回目のコマンドの開始は、最初のコマンドの結果ベクトルを PKA データ RAM から読み出す前に行われます。3 番目の演算に対する入力ベクトルの書き込みは、最初の結果の読み取り後すぐに実行でき、これらはすべて 2 回目の演算が実行されている間に行うことができます。

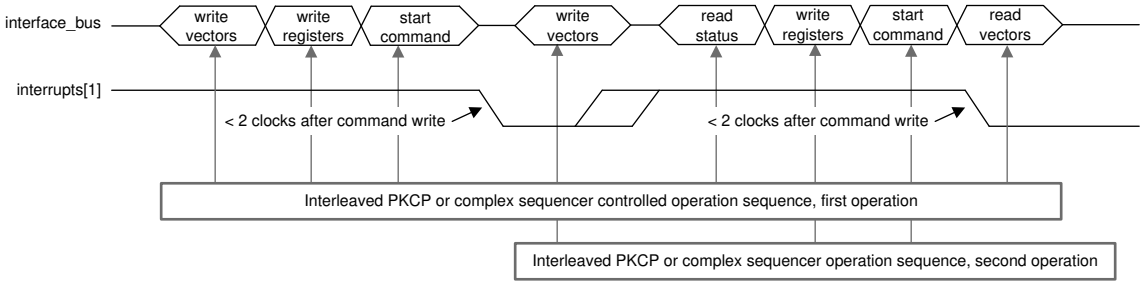


図 12-6. インターリーブ動作シーケンス

Copyright © 2026 Texas Instruments Incorporated

図 12-7 に、高度に最適化された基本的な PKCP 動作シーケンスを示します。基本的な PKCP 操作では、ベクトル ポインタと長さレジスタはダブル バッファされ、演算の実行処理中に書き込むことができます。この機能により、最初の演算が実行されている間に 2 回目の演算のためにのベクトル書き込みやポインタ、長さレジスタの書き込むを行うことで、より最適化されたバス アクセスのインターリーブが可能となります。割り込みがアクティブになると、2 回目の演算を開始するために必要なのは、2 回目のコマンドを書き込むだけです。

図 12-7 では、2 回目のコマンドが開始された後に、最初の演算が早期に完了してステータスが読み取られることも示しています。2 回目の演算が早期に完了してステータスが変更されないようにするために、2 回目の演算を開始する際には、PKA_FUNCTION レジスタのビット [24] を 1b に設定しておく必要があります。ステータスを読み取った後、ステータス更新を許可するために、Stall Result ビットをリセットする必要があります。最初の演算でチェックすべきステータスが存在しない場合は、Stall Result ビットを設定する必要はありません。

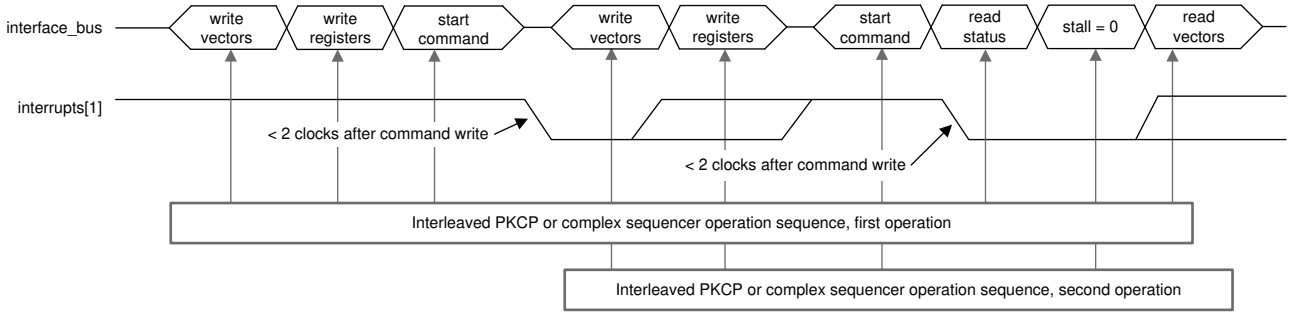


図 12-7. 基本的な PKCP 動作シーケンス

Copyright © 2026 Texas Instruments Incorporated

12.8 規則および準拠規格

12.8.1 このマニュアルで使用されている規則

表 12-48 に、このドキュメントで使用されている略称を示します。

表 12-48. 略称

略称	正式名称
ACT2	2 アドレス ビット (4 エントリ) の加算チェーニング テーブル
ACT4	4 アドレス ビット (16 エントリ) の加算チェーニング テーブル
AES	高度暗号化規格
AES-CCM	CBC-MAC による AES カウンタ
AHB	Advanced High-Speed Bus
AMBA	Advanced Microcontroller Bus Architecture
CBC	Cipher Block Chaining
CCM	Counter with CBC-MAC
CM	暗号化モジュール
CRT	中国剰余定理
CTR	カウンタ モード
DMAC	DMA コントローラ
DPRAM	デュアルポート ランダム アクセス メモリ
ECB	電子コード ブロック
ECC	楕円曲線暗号
EIP	組み込み知的財産
FIFO	先入れ先出し
FIPS	連邦情報処理規格
GB	ギガバイト
Gbit	ギガビット
Gbps	ギガビット / 秒
HMAC	ハッシュ化 MAC
HW	ハードウェア
ICM	整数カウンタ モード
IETF	インターネット技術タスク委員会
IP	インターネット プロトコル 知的財産
IV	初期化ベクトル
LNME	大数乗算器およびべき乗器
MMM	モンゴメリ モジュラ乗算
PE	プロセッシング エレメント
PKA	公開キー アクセラレータ
PKCP	公開キー コプロセッサ
RAM	ランダム アクセス メモリ
ROM	読み取り専用メモリ
TRNG	真の乱数ジェネレータ

Copyright © 2026 Texas Instruments Incorporated

12.8.1.1 用語

このマニュアルでは、特定の用語を頻繁に使用しています。これらの用語は、暗号コアが操作に使用する構造を指します。

外部メモリ: 暗号化コア AHB マスタ ポートに外部接続され、DMAC 操作を使用してのみアクセス可能なメモリ

スレーブ インターフェイス (ホスト プロセッサ バス): ホスト プロセッサがエンジンのレジスタの読み取りまたは書き込みに使用する暗号化コアのインターフェイス

タグまたはダイジェスト: 認証動作の結果を示す 2 つの交換可能な用語。ダイジェストという用語は通常のハッシュ操作で使用され、タグは認証された暗号化操作 (AES-CCM) で使用されます。

暗号コンテキスト: 暗号化動作を定義するパラメータの集合 (モード、キー、初期化ベクトル (IV) など)

12.8.1.2 式と命名規則

このドキュメントには、さまざまなデータ タイプに関する式と命名規則が記載されています。表 12-49 に、シンタックスの表示方法を示します。

表 12-49. 式と命名規則

形式	定義
0x00 または 0h	16 進数の値
0b	バイナリ値
0d	10 進数の値
0	デジタル ロジック 0 または Low
1	デジタル ロジック 1 または High
ビット	2 進数
8 ビット	1 バイト
16 ビット	ハーフワード
32 ビット	ワード
64 ビット	デュアルワード
128 ビット	クワッドワード
MOD	モジュロ
REM	余剰
A & B	A と B の論理 AND 演算
A OR B	A と B の論理 OR 演算
NOR	論理 NOR 演算
NOT A	論理 NOT 演算
A NOR B	A と B の論理 NOR 演算
AB	A と B の排他的論理 OR または論理 XOR 演算
XNOR	排他的論理 NOR 演算
NAND	論理 NAND 演算
DIV	整数除算
||	結合
[n:m]	レジスタまたは信号のサイズ (ビット単位)、$n > m^2$ (1)

(1) 31:0 は、最上位ビットが 31、LSB が 0 の 32 ビットのサイズを示します。11:3 は、最上位ビットが 11、LSB が 3 の 9 ビットのサイズを示します。

Copyright © 2026 Texas Instruments Incorporated

12.8.2 コンプライアンス

ECB モードおよび CBC モードでの AES 暗号化は、FIPS-197 に準拠しています。

12.9 暗号化レジスタ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1 CRYPTO レジスタ

表 12-50 に、CRYPTO レジスタのメモリ マップト レジスタを示します。表 12-50 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 12-50. CRYPTO レジスタ

オフセット	略称	レジスタ名	セクション
0h	DMACH0CTL	チャネル 0 制御	DMACH0CTL レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	DMACH0EXTADDR	チャネル 0 外部アドレス	DMACH0EXTADDR レジスタ (オフセット = 4h) [リセット = 00000000h]
Ch	DMACH0LEN	チャネル 0 DMA 長	DMACH0LEN レジスタ (オフセット = Ch) [リセット = 00000000h]
18h	DMASTAT	DMAC のステータス	DMASTAT レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	DMASWRESET	DMAC ソフトウェア リセット	DMASWRESET レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	DMACH1CTL	チャネル 1 制御	DMACH1CTL レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	DMACH1EXTADDR	チャネル 1 外部アドレス	DMACH1EXTADDR レジスタ (オフセット = 24h) [リセット = 00000000h]
2Ch	DMACH1LEN	チャネル 1 DMA 長	DMACH1LEN レジスタ (オフセット = 2Ch) [リセット = 00000000h]
78h	DMABUSCFG	DMAC マスタ ランタイム パラメータ	DMABUSCFG レジスタ (オフセット = 78h) [リセット = 00002400h]
7Ch	DMAPORTERR	DMAC ポート エラー未処理ステータス	DMAPORTERR レジスタ (オフセット = 7Ch) [リセット = 00000000h]
FCh	DMAHWVER	DMAC バージョン	DMAHWVER レジスタ (オフセット = FCh) [リセット = 01012ED1h]
400h	KEYWRITEAREA	キー ストア書き込み領域	KEYWRITEAREA レジスタ (オフセット = 400h) [リセット = 00000000h]
404h	KEYWRITTENAREA	キー ストア書き込み済み領域	KEYWRITTENAREA レジスタ (オフセット = 404h) [リセット = 00000000h]
408h	KEYSIZE	キー ストアのサイズ	KEYSIZE レジスタ (オフセット = 408h) [リセット = 00000001h]
40Ch	KEYREADAREA	キー ストア読み取り領域	KEYREADAREA レジスタ (オフセット = 40Ch) [リセット = 00000008h]
500h + 式	AESKEY2_y	AES_KEY2_0 / AES_GHASH_H_IN_0	AESKEY2_y レジスタ (オフセット = 500h + 式) [リセット = 00000000h]
510h + 式	AESKEY3_y	AES_KEY3_0 / AES_KEY2_4	AESKEY3_y レジスタ (オフセット = 510h + 式) [リセット = 00000000h]
540h + 式	AESIV_y	AES 初期化ベクタ レジスタ	AESIV_y レジスタ (オフセット = 540h + 式) [リセット = 00000000h]
550h	AESCTL	AES 制御	AESCTL レジスタ (オフセット = 550h) [リセット = 80000000h]
554h	AESDATALEN0	AES 暗号化長 0 (LSW)	AESDATALEN0 レジスタ (オフセット = 554h) [リセット = 00000000h]
558h	AESDATALEN1	AES 暗号化長 1 (MSW)	AESDATALEN1 レジスタ (オフセット = 558h) [リセット = 00000000h]
55Ch	AESAUTHLEN	AES 認証長	AESAUTHLEN レジスタ (オフセット = 55Ch) [リセット = 00000000h]
560h	AESDATAOUT0	データ入出力	AESDATAOUT0 レジスタ (オフセット = 560h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 12-50. CRYPTO レジスタ (続き)

オフセット	略称	レジスタ名	セクション
560h	AESDATAIN0	AES データ入力_出力 0	AESDATAIN0 レジスタ (オフセット = 560h) [リセット = 00000000h]
564h	AESDATAOUT1	データ入出力	AESDATAOUT1 レジスタ (オフセット = 564h) [リセット = 00000000h]
564h	AESDATAIN1	AES データ入力_出力 0	AESDATAIN1 レジスタ (オフセット = 564h) [リセット = 00000000h]
568h	AESDATAOUT2	データ入出力	AESDATAOUT2 レジスタ (オフセット = 568h) [リセット = 00000000h]
568h	AESDATAIN2	AES データ入力_出力 2	AESDATAIN2 レジスタ (オフセット = 568h) [リセット = 00000000h]
56Ch	AESDATAOUT3	データ入出力	AESDATAOUT3 レジスタ (オフセット = 56Ch) [リセット = 00000000h]
56Ch	AESDATAIN3	AES データ入力_出力 3	AESDATAIN3 レジスタ (オフセット = 56Ch) [リセット = 00000000h]
570h + 式	AESTAGOUT_y	AES タグ出力 0	AESTAGOUT_y レジスタ (オフセット = 570h + 式) [リセット = 00000000h]
604h	HASHDATAIN1	HASH データ入力 1	HASHDATAIN1 レジスタ (オフセット = 604h) [リセット = 00000000h]
608h	HASHDATAIN2	HASH データ入力 2	HASHDATAIN2 レジスタ (オフセット = 608h) [リセット = 00000000h]
60Ch	HASHDATAIN3	HASH データ入力 3	HASHDATAIN3 レジスタ (オフセット = 60Ch) [リセット = 00000000h]
610h	HASHDATAIN4	HASH データ入力 4	HASHDATAIN4 レジスタ (オフセット = 610h) [リセット = 00000000h]
614h	HASHDATAIN5	HASH データ入力 5	HASHDATAIN5 レジスタ (オフセット = 614h) [リセット = 00000000h]
618h	HASHDATAIN6	HASH データ入力 6	HASHDATAIN6 レジスタ (オフセット = 618h) [リセット = 00000000h]
61Ch	HASHDATAIN7	HASH データ入力 7	HASHDATAIN7 レジスタ (オフセット = 61Ch) [リセット = 00000000h]
620h	HASHDATAIN8	HASH データ入力 8	HASHDATAIN8 レジスタ (オフセット = 620h) [リセット = 00000000h]
624h	HASHDATAIN9	HASH データ入力 9	HASHDATAIN9 レジスタ (オフセット = 624h) [リセット = 00000000h]
628h	HASHDATAIN10	HASH データ入力 10	HASHDATAIN10 レジスタ (オフセット = 628h) [リセット = 00000000h]
62Ch	HASHDATAIN11	HASH データ入力 11	HASHDATAIN11 レジスタ (オフセット = 62Ch) [リセット = 00000000h]
630h	HASHDATAIN12	HASH データ入力 12	HASHDATAIN12 レジスタ (オフセット = 630h) [リセット = 00000000h]
634h	HASHDATAIN13	HASH データ入力 13	HASHDATAIN13 レジスタ (オフセット = 634h) [リセット = 00000000h]
638h	HASHDATAIN14	HASH データ入力 14	HASHDATAIN14 レジスタ (オフセット = 638h) [リセット = 00000000h]
63Ch	HASHDATAIN15	HASH データ入力 15	HASHDATAIN15 レジスタ (オフセット = 63Ch) [リセット = 00000000h]
640h	HASHDATAIN16	HASH データ入力 16	HASHDATAIN16 レジスタ (オフセット = 640h) [リセット = 00000000h]
644h	HASHDATAIN17	HASH データ入力 17	HASHDATAIN17 レジスタ (オフセット = 644h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 12-50. CRYPTO レジスタ (続き)

オフセット	略称	レジスタ名	セクション
648h	HASHDATAIN18	HASH データ入力 18	HASHDATAIN18 レジスタ (オフセット = 648h) [リセット = 00000000h]
64Ch	HASHDATAIN19	HASH データ入力 19	HASHDATAIN19 レジスタ (オフセット = 64Ch) [リセット = 00000000h]
650h	HASHDATAIN20	HASH データ入力 20	HASHDATAIN20 レジスタ (オフセット = 650h) [リセット = 00000000h]
654h	HASHDATAIN21	HASH データ入力 21	HASHDATAIN21 レジスタ (オフセット = 654h) [リセット = 00000000h]
658h	HASHDATAIN22	HASH データ入力 22	HASHDATAIN22 レジスタ (オフセット = 658h) [リセット = 00000000h]
65Ch	HASHDATAIN23	HASH データ入力 23	HASHDATAIN23 レジスタ (オフセット = 65Ch) [リセット = 00000000h]
660h	HASHDATAIN24	HASH データ入力 24	HASHDATAIN24 レジスタ (オフセット = 660h) [リセット = 00000000h]
664h	HASHDATAIN25	HASH データ入力 25	HASHDATAIN25 レジスタ (オフセット = 664h) [リセット = 00000000h]
668h	HASHDATAIN26	HASH データ入力 26	HASHDATAIN26 レジスタ (オフセット = 668h) [リセット = 00000000h]
66Ch	HASHDATAIN27	HASH データ入力 27	HASHDATAIN27 レジスタ (オフセット = 66Ch) [リセット = 00000000h]
670h	HASHDATAIN28	HASH データ入力 28	HASHDATAIN28 レジスタ (オフセット = 670h) [リセット = 00000000h]
674h	HASHDATAIN29	HASH データ入力 29	HASHDATAIN29 レジスタ (オフセット = 674h) [リセット = 00000000h]
678h	HASHDATAIN30	HASH データ入力 30	HASHDATAIN30 レジスタ (オフセット = 678h) [リセット = 00000000h]
67Ch	HASHDATAIN31	HASH データ入力 31	HASHDATAIN31 レジスタ (オフセット = 67Ch) [リセット = 00000000h]
680h	HASHIOBUFCTRL	HASH 入力出力バッファ制御	HASHIOBUFCTRL レジスタ (オフセット = 680h) [リセット = 00000004h]
684h	HASHMODE	HASH モード	HASHMODE レジスタ (オフセット = 684h) [リセット = 00000000h]
688h	HASHINLENL	HASH 入力長 LSB	HASHINLENL レジスタ (オフセット = 688h) [リセット = 00000000h]
68Ch	HASHINLENH	HASH 入力長 MSB	HASHINLENH レジスタ (オフセット = 68Ch) [リセット = 00000000h]
6C0h	HASHDIGESTA	HASH ダイジェスト A	HASHDIGESTA レジスタ (オフセット = 6C0h) [リセット = 00000000h]
6C4h	HASHDIGESTB	HASH ダイジェスト B	HASHDIGESTB レジスタ (オフセット = 6C4h) [リセット = 00000000h]
6C8h	HASHDIGESTC	HASH ダイジェスト C	HASHDIGESTC レジスタ (オフセット = 6C8h) [リセット = 00000000h]
6CCh	HASHDIGESTD	HASH ダイジェスト D	HASHDIGESTD レジスタ (オフセット = 6CCh) [リセット = 00000000h]
6D0h	HASHDIGESTE	HASH ダイジェスト E	HASHDIGESTE レジスタ (オフセット = 6D0h) [リセット = 00000000h]
6D4h	HASHDIGESTF	HASH ダイジェスト F	HASHDIGESTF レジスタ (オフセット = 6D4h) [リセット = 00000000h]
6D8h	HASHDIGESTG	HASH ダイジェスト G	HASHDIGESTG レジスタ (オフセット = 6D8h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 12-50. CRYPTO レジスタ (続き)

オフセット	略称	レジスタ名	セクション
6DCh	HASHDIGESTH	HASH ダイジェスト H	HASHDIGESTH レジスタ (オフセット = 6DCh) [リセット = 00000000h]
6E0h	HASHDIGESTI	HASH ダイジェスト I	HASHDIGESTI レジスタ (オフセット = 6E0h) [リセット = 00000000h]
6E4h	HASHDIGESTJ	HASH ダイジェスト J	HASHDIGESTJ レジスタ (オフセット = 6E4h) [リセット = 00000000h]
6E8h	HASHDIGESTK	HASH ダイジェスト K	HASHDIGESTK レジスタ (オフセット = 6E8h) [リセット = 00000000h]
6ECh	HASHDIGESTL	HASH ダイジェスト L	HASHDIGESTL レジスタ (オフセット = 6ECh) [リセット = 00000000h]
6F0h	HASHDIGESTM	HASH ダイジェスト M	HASHDIGESTM レジスタ (オフセット = 6F0h) [リセット = 00000000h]
6F4h	HASHDIGESTN	HASH ダイジェスト N	HASHDIGESTN レジスタ (オフセット = 6F4h) [リセット = 00000000h]
6F8h	HASHDIGESTO	HASH ダイジェスト 0	HASHDIGESTO レジスタ (オフセット = 6F8h) [リセット = 00000000h]
6FCh	HASHDIGESTP	HASH ダイジェスト P	HASHDIGESTP レジスタ (オフセット = 6FCh) [リセット = 00000000h]
700h	ALGSEL	アルゴリズム選択	ALGSEL レジスタ (オフセット = 700h) [リセット = 000000000h]
704h	DMAPROTCTL	DMA 保護制御	DMAPROTCTL レジスタ (オフセット = 704h) [リセット = 00000000h]
740h	SWRESET	ソフトウェア リセット	SWRESET レジスタ (オフセット = 740h) [リセット = 00000000h]
780h	IRQTYPE	制御割り込み構成	IRQTYPE レジスタ (オフセット = 780h) [リセット = 00000000h]
784h	IRQEN	制御割り込みイネーブル	IRQEN レジスタ (オフセット = 784h) [リセット = 00000000h]
788h	IRQCLR	制御割り込みクリア	IRQCLR レジスタ (オフセット = 788h) [リセット = 00000000h]
78Ch	IRQSET	制御割り込みセット	IRQSET レジスタ (オフセット = 78Ch) [リセット = 00000000h]
790h	IRQSTAT	制御割り込みステータス	IRQSTAT レジスタ (オフセット = 790h) [リセット = 00000000h]
7FCh	HWVER	ハードウェア バージョン	HWVER レジスタ (オフセット = 7FCh) [リセット = 92008778h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 12-51 に、このセクションでアクセス タイプに使用しているコードを示します。

表 12-51. CRYPTO のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
–n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

表 12-51. CRYPTO のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.1 DMACH0CTL レジスタ (オフセット = 0h) [リセット = 00000000h]

図 12-8 に、DMACH0CTL を示し、表 12-52 に、その説明を示します。

概略表に戻ります。

チャネル 0 制御
このレジスタは、チャネルの有効化および優先順位の選択に使用します。チャネルを無効にすると、進行中のすべての要求が完了した後にのみ、そのチャネルは非アクティブになります。

図 12-8. DMACH0CTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						PRIO	EN
R-0h						R/W-0h	R/W-0h

表 12-52. DMACH0CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	PRIO	R/W	0h	チャネルの優先度 0: Low 1: High 両方のチャネルの優先順位が同じ場合、外部ポートへのチャネルのアクセスはラウンド ロビン方式によってアービトレーションされます。一方のチャネルの優先順位が高く、もう一方のチャネルの優先順位が低い場合、同時にアクセス要求が発生すると、優先順位の高いチャネルが先に処理されます。
0	EN	R/W	0h	チャネルの有効化 0: 無効化 1: 有効 注:アクティブなチャネルを無効にすると、DMA 動作が中断されます。進行中のブロック転送は完了しますが、新たな転送は要求されません。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.2 DMACH0EXTADDR レジスタ (オフセット = 4h) [リセット = 00000000h]

図 12-9 に、DMACH0EXTADDR を示し、表 12-53 に、その説明を示します。

概略表に戻ります。

チャネル 0 外部アドレス

図 12-9. DMACH0EXTADDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
R/W-0h																															

表 12-53. DMACH0EXTADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR	R/W	0h	チャネル外部アドレス値 動作中に読み出した場合、マスタ インターフェイスに送信された後の最新の外部アドレスが保持されています。注:暗号化 DMA はワード境界に達するまで最大 3 バイトをコピーするため、アドレスをワード境界に合わせる必要はありません。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.3 DMACH0LEN レジスタ (オフセット = Ch) [リセット = 00000000h]

図 12-10 に、DMACH0LEN を示し、表 12-54 に、その説明を示します。

概略表に戻ります。

チャネル 0 DMA 長

図 12-10. DMACH0LEN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																DMALEN															
R-0h																R/W-0h															

表 12-54. DMACH0LEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	DMALEN	R/W	0h	チャネル DMA の長さ (バイト単位) 設定時、このレジスタには DMA 転送長がバイト単位で格納されます。動作中、このレジスタには、マスタ インターフェイスに送信された後の DMA 転送長の最新値が格納されます。 注:チャネルが有効な場合、このレジスタにゼロ以外の値を設定すると転送が開始されます。したがって、DMA チャネルを設定する際は、このレジスタを最後に書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.4 DMASTAT レジスタ (オフセット = 18h) [リセット = 00000000h]

DMASTAT は図 12-11 に示されており、表 12-55 で説明されています。

概略表に戻ります。

DMAC ステータス
このレジスタは、各 DMA チャネルの実際の状態を提供します。また、データ転送中にマスタ インターフェイス モジュールがポート エラーを受信した場合、そのエラーも報告されます。

図 12-11. DMASTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						PORT_ERR	予約済み
R-0h						R-0h	R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						CH1_ACT	CH0_ACT
R-0h						R-0h	R-0h

表 12-55. DMASTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	予約済み
17	PORT_ERR	R	0h	AHB ポートで発生した可能性のある転送エラーを反映します。
16-2	予約済み	R	0h	予約済み
1	CH1_ACT	R	0h	値 1 は、チャネル 1 がアクティブ (DMA 転送進行中) であることを示します。
0	CH0_ACT	R	0h	値 1 は、チャネル 0 がアクティブ (DMA 転送進行中) であることを示します。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.5 DMASWRESET レジスタ (オフセット = 1Ch) [リセット = 00000000h]

DMASWRESET は図 12-12 に示されており、表 12-56 で説明されています。

概略表に戻ります。

DMAC ソフトウェア リセット
ソフトウェア リセットは、DMAC をリセットしてすべての転送を停止し、ポート エラー ステータス レジスタをクリアするために使用します。ソフトウェア リセットの実行後、すべてのチャネルは無効になり、チャネルによる新たな要求は実行されません。DMAC は、既存の (アクティブな) 要求が完了するのを待機し、その結果に応じて DMASTAT を設定します。

図 12-12. DMASWRESET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							SWRES
R-0h							W-0h

表 12-56. DMASWRESET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SWRES	W	0h	ソフトウェア リセット有効化 0: 無効化 1: 有効化 (0 にセルフクリア) ソフトウェア リセットの完了は、DMASTAT を使用してチェックする必要があります

Copyright © 2026 Texas Instruments Incorporated

12.9.1.6 DMACH1CTL レジスタ (オフセット = 20h) [リセット = 00000000h]

図 12-13 に、DMACH1CTL を示し、表 12-57 に、その説明を示します。

概略表に戻ります。

チャネル 1 制御
このレジスタは、チャネルの有効化および優先順位の選択に使用します。チャネルを無効にすると、進行中のすべての要求が完了した後にのみ、そのチャネルは非アクティブになります。

図 12-13. DMACH1CTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						PRIO	EN
R-0h						R/W-0h	R/W-0h

表 12-57. DMACH1CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	PRIO	R/W	0h	チャネルの優先度 0: Low 1: High 両方のチャネルの優先順位が同じ場合、外部ポートへのチャネルのアクセスはラウンド ロビン方式によってアービトレーションされます。一方のチャネルの優先順位が高く、もう一方のチャネルの優先順位が低い場合、同時にアクセス要求が発生すると、優先順位の高いチャネルが先に処理されます。
0	EN	R/W	0h	チャネルの有効化 0: 無効化 1: 有効 注:アクティブなチャネルを無効にすると、DMA 動作が中断されます。進行中のブロック転送は完了しますが、新たな転送は要求されません。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.7 DMACH1EXTADDR レジスタ (オフセット = 24h) [リセット = 00000000h]

図 12-14 に、DMACH1EXTADDR を示し、表 12-58 に、その説明を示します。

概略表に戻ります。

チャネル 1 外部アドレス

図 12-14. DMACH1EXTADDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
R/W-0h																															

表 12-58. DMACH1EXTADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR	R/W	0h	チャネル外部アドレス値。 動作中に読み出した場合、マスタ インターフェイスに送信された後の最新の外部アドレスが保持されています。注:暗号化 DMA はワード境界に達するまで最大 3 バイトをコピーするため、アドレスをワード境界に合わせる必要はありません。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.8 DMACH1LEN レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 12-15 に、DMACH1LEN を示し、表 12-59 に、その説明を示します。

概略表に戻ります。

チャネル 1 DMA 長

図 12-15. DMACH1LEN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																DMALEN															
R-0h																R/W-0h															

表 12-59. DMACH1LEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	DMALEN	R/W	0h	チャネル DMA の長さ (バイト単位)。 設定時、このレジスタには DMA 転送長がバイト単位で格納されます。動作中、このレジスタには、マスタ インターフェイスに送信された後の DMA 転送長の最新値が格納されます。 注:チャネルが有効な場合、このレジスタにゼロ以外の値を設定すると転送が開始されます。したがって、DMA チャネルを設定する際は、このレジスタを最後に書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.9 DMABUSCFG レジスタ (オフセット = 78h) [リセット = 00002400h]

DMABUSCFG は図 12-16 に示されており、表 12-60 で説明されています。

概略表に戻ります。

DMAC マスタ ランタイム パラメータ
このレジスタは、AHB マスタ インターフェイス ポートのすべての実行時パラメータを定義します。これらのパラメータは、EIP-101m AHB マスタ アダプタが正常に動作するために必要です。

図 12-16. DMABUSCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AHB_MST1_BURST_SIZE				AHB_MST1_IDLE_EN	AHB_MST1_INCR_EN	AHB_MST1_LOCK_EN	AHB_MST1_BIGEND
R/W-2h				R/W-0h	R/W-1h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 12-60. DMABUSCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-12	AHB_MST1_BURST_SIZE	R/W	2h	AHB バスで実行できる最大バースト サイズ 2h = 4_BYTE: 4 バイト 3h = 8_BYTE: 8 バイト 4h = 16_BYTE: 16 バイト 5h = 32_BYTE: 32 バイト 6h = 64_BYTE: 64 バイト
11	AHB_MST1_IDLE_EN	R/W	0h	AHB での連続するバースト転送間のアイドル挿入 0h = アイドル転送を挿入しないでください。 1h = アイドル転送挿入が有効です
10	AHB_MST1_INCR_EN	R/W	1h	AHB 転送のバースト長の種類 0h = 長さ未指定のバースト転送 1h = 固定長のバーストまたは単一の転送
9	AHB_MST1_LOCK_EN	R/W	0h	AHB でロックされた変換 0h = 転送はロックされていません 1h = 転送はロックされます
8	AHB_MST1_BIGEND	R/W	0h	AHB マスタのエンディアン方式 0h = リトル エンディアン 1h = ビッグ エンディアン
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

12.9.1.10 DMAPORTERR レジスタ (オフセット = 7Ch) [リセット = 00000000h]

DMAPORTERR は図 12-17 に示されており、表 12-61 で説明されています。

概略表に戻ります。

DMAC ポート エラー未処理ステータス
このレジスタは、各ポート エラーの実際のステータスを提供します。また、ポート エラーによって停止した外部 AHB ポートによって処理されているチャネルを示します。ポート エラーが発生すると、処理対象となっているすべてのチャネルの動作が中止され (チャネル有効化ビットは強制的に 0 に設定されます)、DMASWRESET レジスタへの書き込みによってエラーがクリアされるまで、該当するポート経由の以降の転送は実行されません。

図 12-17. DMAPORTERR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			PORT1_AHB_ERROR	予約済み		PORT1_CHANNEL	予約済み
R-0h			R-0h	R-0h		R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 12-61. DMAPORTERR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	予約済み
12	PORT1_AHB_ERROR	R	0h	値が 1 の場合、EIP-101 が AHB バス エラーを検出したことを示します
11-10	予約済み	R	0h	予約済み
9	PORT1_CHANNEL	R	0h	AHB マスタ ポートによって最後に処理されたチャネル (チャネル 0 またはチャネル 1) を示します。
8-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

12.9.1.11 DMAHWVER レジスタ (オフセット = FCh) [リセット = 01012ED1h]

DMAHWVER は図 12-18 に示されており、表 12-62 で説明されています。

概略表に戻ります。

DMAC バージョン
このレジスタには、この DMAC の EIP タイプを示す識別情報 (またはシグネチャ) と、ハードウェアのバージョン番号およびパッチ番号が格納されています。

図 12-18. DMAHWVER レジスタ

31	30	29	28	27	26	25	24
予約済み				HW_MAJOR_VERSION			
R-0h				R-1h			
23	22	21	20	19	18	17	16
HW_MINOR_VERSION				HW_PATCH_LEVEL			
R-0h				R-1h			
15	14	13	12	11	10	9	8
EIP_NUMBER_COMPL							
R-2Eh							
7	6	5	4	3	2	1	0
EIP_NUMBER							
R-D1h							

表 12-62. DMAHWVER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	HW_MAJOR_VERSION	R	1h	メジャー バージョン番号
23-20	HW_MINOR_VERSION	R	0h	マイナー バージョン番号
19-16	HW_PATCH_LEVEL	R	1h	パッチレベル このバージョンの初回リリース時は 0 から開始します
15-8	EIP_NUMBER_COMPL	R	2Eh	EIP_NUMBER フィールドの各ビットを反転した値です。
7-0	EIP_NUMBER	R	D1h	この DMA コントローラの EIP 番号 (209) をバイナリ形式でエンコードした値

Copyright © 2026 Texas Instruments Incorporated

12.9.1.12 KEYWRITEAREA レジスタ (オフセット = 400h) [リセット = 00000000h]

KEYWRITEAREA は図 12-19 に示されており、表 12-63 で説明されています。

概略表に戻ります。

キー ストア書き込み領域
このレジスタは、キー ストア RAM 内のどこにキーを書き込むかを定義します。このレジスタへの書き込み後、キー ストア モジュールは DMA 転送によるキーの受信準備が整います。キー データ転送によってキー ストアでエラーが発生した場合、エラーは DMA 完了後に割り込みステータス レジスタで確認できます。設定または選択された領域に対する書き込みが完了していない場合、キー ストア書き込みエラーがアサートされます。このエラーは、DMA 動作によって選択されていない ram 領域に書き込みが行われた場合にもアサートされます。
キー ストア RAM は、128 ビットの領域 8 個に分割されています。
キー ストア RAM に書き込む 192 ビット キーは、256 ビット境界から開始する必要があります。つまり、192 ビット キーをキー ストア RAM に書き込む場合、最上位 64 ビットを 0 に設定した 256 ビットのデータとして書き込む必要があります。これらのビットは AES エンジンによって無視されます。

図 12-19. KEYWRITEAREA レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RAM_AREA7	RAM_AREA6	RAM_AREA5	RAM_AREA4	RAM_AREA3	RAM_AREA2	RAM_AREA1	RAM_AREA0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 12-63. KEYWRITEAREA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	RAM_AREA7	R/W	0h	各 RAM_AREAx は 128 ビットの領域を表しています。 キーを書き込むキー ストア RAM 領域を選択します 0: RAM_AREA7 は、書き込むように選択されていません。 1: RAM_AREA7 が書き込まれるように選択されています。 複数の RAM 領域への書き込みは、選択した RAM 領域が連続している場合にのみ可能です。 複数の RAM 領域を必要とするキー (キー長が 192 ビットまたは 256 ビット) は、次のいずれかの領域から開始する必要があります: RAM_AREA0、RAM_AREA2、RAM_AREA4、または RAM_AREA6。 0h = この RAM 領域は書き込むように選択されていません 1h = この RAM 領域は書き込むように選択されます

Copyright © 2026 Texas Instruments Incorporated

表 12-63. KEYWRITEAREA レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	RAM_AREA6	R/W	0h	各 RAM_AREAx は 128 ビットの領域を表しています。 キーを書き込むキー ストア RAM 領域を選択します 0: RAM_AREA6 は、書き込むように選択されていません。 1: RAM_AREA6 が書き込まれるように選択されています。 複数の RAM 領域への書き込みは、選択した RAM 領域が連続している場合にのみ可能です。 複数の RAM 領域を必要とするキー (キー長が 192 ビットまたは 256 ビット) は、次のいずれかの領域から開始する必要があります: RAM_AREA0、RAM_AREA2、RAM_AREA4、または RAM_AREA6。 0h = この RAM 領域は書き込むように選択されていません 1h = この RAM 領域は書き込むように選択されます
5	RAM_AREA5	R/W	0h	各 RAM_AREAx は 128 ビットの領域を表しています。 キーを書き込むキー ストア RAM 領域を選択します 0: RAM_AREA5 は、書き込むように選択されていません。 1: RAM_AREA5 が書き込まれるように選択されています。 複数の RAM 領域への書き込みは、選択した RAM 領域が連続している場合にのみ可能です。 複数の RAM 領域を必要とするキー (キー長が 192 ビットまたは 256 ビット) は、次のいずれかの領域から開始する必要があります: RAM_AREA0、RAM_AREA2、RAM_AREA4、または RAM_AREA6。 0h = この RAM 領域は書き込むように選択されていません 1h = この RAM 領域は書き込むように選択されます
4	RAM_AREA4	R/W	0h	各 RAM_AREAx は 128 ビットの領域を表しています。 キーを書き込むキー ストア RAM 領域を選択します 0: RAM_AREA4 は、書き込むように選択されていません。 1: RAM_AREA4 が書き込まれるように選択されています。 複数の RAM 領域への書き込みは、選択した RAM 領域が連続している場合にのみ可能です。 複数の RAM 領域を必要とするキー (キー長が 192 ビットまたは 256 ビット) は、次のいずれかの領域から開始する必要があります: RAM_AREA0、RAM_AREA2、RAM_AREA4、または RAM_AREA6。 0h = この RAM 領域は書き込むように選択されていません 1h = この RAM 領域は書き込むように選択されます
3	RAM_AREA3	R/W	0h	各 RAM_AREAx は 128 ビットの領域を表しています。 キーを書き込むキー ストア RAM 領域を選択します 0: RAM_AREA3 は、書き込むように選択されていません。 1: RAM_AREA3 が書き込まれるように選択されています。 複数の RAM 領域への書き込みは、選択した RAM 領域が連続している場合にのみ可能です。 複数の RAM 領域を必要とするキー (キー長が 192 ビットまたは 256 ビット) は、次のいずれかの領域から開始する必要があります: RAM_AREA0、RAM_AREA2、RAM_AREA4、または RAM_AREA6。 0h = この RAM 領域は書き込むように選択されていません 1h = この RAM 領域は書き込むように選択されます
2	RAM_AREA2	R/W	0h	各 RAM_AREAx は 128 ビットの領域を表しています。 キーを書き込むキー ストア RAM 領域を選択します 0: RAM_AREA2 は、書き込むように選択されていません。 1: RAM_AREA2 が書き込まれるように選択されています。 複数の RAM 領域への書き込みは、選択した RAM 領域が連続している場合にのみ可能です。 複数の RAM 領域を必要とするキー (キー長が 192 ビットまたは 256 ビット) は、次のいずれかの領域から開始する必要があります: RAM_AREA0、RAM_AREA2、RAM_AREA4、または RAM_AREA6。 0h = この RAM 領域は書き込むように選択されていません 1h = この RAM 領域は書き込むように選択されます

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 12-63. KEYWRITEAREA レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	RAM_AREA1	R/W	0h	各 RAM_AREAx は 128 ビットの領域を表しています。 キーを書き込むキー ストア RAM 領域を選択します 0: RAM_AREA1 は、書き込むように選択されていません。 1: RAM_AREA1 が書き込まれるように選択されています。 複数の RAM 領域への書き込みは、選択した RAM 領域が連続している場合にのみ可能です。 複数の RAM 領域を必要とするキー (キー長が 192 ビットまたは 256 ビット) は、次のいずれかの領域から開始する必要があります: RAM_AREA0、RAM_AREA2、RAM_AREA4、または RAM_AREA6。 0h = この RAM 領域は書き込むように選択されていません 1h = この RAM 領域は書き込むように選択されます
0	RAM_AREA0	R/W	0h	各 RAM_AREAx は 128 ビットの領域を表しています。 キーを書き込むキー ストア RAM 領域を選択します 0: RAM_AREA0 は、書き込むように選択されていません。 1: RAM_AREA0 が書き込まれるように選択されています。 複数の RAM 領域への書き込みは、選択した RAM 領域が連続している場合にのみ可能です。 複数の RAM 領域を必要とするキー (キー長が 192 ビットまたは 256 ビット) は、次のいずれかの領域から開始する必要があります: RAM_AREA0、RAM_AREA2、RAM_AREA4、または RAM_AREA6。 0h = この RAM 領域は書き込むように選択されていません 1h = この RAM 領域は書き込むように選択されます

Copyright © 2026 Texas Instruments Incorporated

12.9.1.13 KEYWRITTENAREA レジスタ (オフセット = 404h) [リセット = 00000000h]

KEYWRITTENAREA は図 12-20 に示されており、表 12-64 で説明されています。

概略表に戻ります。

キー ストア書き込み済み領域
このレジスタは、キー ストア RAM 内のどの領域に有効なキーが書き込まれているかを示します。
有効なキーがすでに格納されている領域に新しいキーを書き込む場合は、まずそのキー領域をクリアする必要があります。これは、新しいキーをキー ストア メモリに書き込む前に、このレジスタへ書き込むことで実行できます。
有効なキーがすでに格納されているキー領域への書き込みは許可されず、エラーとなります。

図 12-20. KEYWRITTENAREA レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RAM_AREA_WRITTEN7	RAM_AREA_WRITTEN6	RAM_AREA_WRITTEN5	RAM_AREA_WRITTEN4	RAM_AREA_WRITTEN3	RAM_AREA_WRITTEN2	RAM_AREA_WRITTEN1	RAM_AREA_WRITTEN0
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 12-64. KEYWRITTENAREA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	RAM_AREA_WRITTEN7	R/W1C	0h	読み出し時、このビットはキー領域の書き込み状態を返します。 このビットは、1 を書き込むことでクリアできます。 注:このレジスタは、DMASWRESET.SWRES への書き込みによって開始されるソフト リセット時にリセットされます。ソフト リセット後は、すべてのキーをキー ストア メモリに再度書き込む必要があります。 0h = この RAM 領域には有効なキー情報が書き込まれていません 1h = この RAM 領域には有効なキー情報が書き込まれます
6	RAM_AREA_WRITTEN6	R/W1C	0h	読み出し時、このビットはキー領域の書き込み状態を返します。 このビットは、1 を書き込むことでクリアできます。 注:このレジスタは、DMASWRESET.SWRES への書き込みによって開始されるソフト リセット時にリセットされます。ソフト リセット後は、すべてのキーをキー ストア メモリに再度書き込む必要があります。 0h = この RAM 領域には有効なキー情報が書き込まれていません 1h = この RAM 領域には有効なキー情報が書き込まれます
5	RAM_AREA_WRITTEN5	R/W1C	0h	読み出し時、このビットはキー領域の書き込み状態を返します。 このビットは、1 を書き込むことでクリアできます。 注:このレジスタは、DMASWRESET.SWRES への書き込みによって開始されるソフト リセット時にリセットされます。ソフト リセット後は、すべてのキーをキー ストア メモリに再度書き込む必要があります。 0h = この RAM 領域には有効なキー情報が書き込まれていません 1h = この RAM 領域には有効なキー情報が書き込まれます

Copyright © 2026 Texas Instruments Incorporated

表 12-64. KEYWRITTENAREA レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	RAM_AREA_WRITTEN4	R/W1C	0h	読み出し時、このビットはキー領域の書き込み状態を返します。 このビットは、1 を書き込むことでクリアできます。 注:このレジスタは、DMASWRESET.SWRES への書き込みによって開始されるソフト リセット時にリセットされます。ソフト リセット後は、すべてのキーをキー ストア メモリに再度書き込む必要があります。 0h = この RAM 領域には有効なキー情報が書き込まれていません 1h = この RAM 領域には有効なキー情報が書き込まれます
3	RAM_AREA_WRITTEN3	R/W1C	0h	読み出し時、このビットはキー領域の書き込み状態を返します。 このビットは、1 を書き込むことでクリアできます。 注:このレジスタは、DMASWRESET.SWRES への書き込みによって開始されるソフト リセット時にリセットされます。ソフト リセット後は、すべてのキーをキー ストア メモリに再度書き込む必要があります。 0h = この RAM 領域には有効なキー情報が書き込まれていません 1h = この RAM 領域には有効なキー情報が書き込まれます
2	RAM_AREA_WRITTEN2	R/W1C	0h	読み出し時、このビットはキー領域の書き込み状態を返します。 このビットは、1 を書き込むことでクリアできます。 注:このレジスタは、DMASWRESET.SWRES への書き込みによって開始されるソフト リセット時にリセットされます。ソフト リセット後は、すべてのキーをキー ストア メモリに再度書き込む必要があります。 0h = この RAM 領域には有効なキー情報が書き込まれていません 1h = この RAM 領域には有効なキー情報が書き込まれます
1	RAM_AREA_WRITTEN1	R/W1C	0h	読み出し時、このビットはキー領域の書き込み状態を返します。 このビットは、1 を書き込むことでクリアできます。 注:このレジスタは、DMASWRESET.SWRES への書き込みによって開始されるソフト リセット時にリセットされます。ソフト リセット後は、すべてのキーをキー ストア メモリに再度書き込む必要があります。 0h = この RAM 領域には有効なキー情報が書き込まれていません 1h = この RAM 領域には有効なキー情報が書き込まれます
0	RAM_AREA_WRITTEN0	R/W1C	0h	読み出し時、このビットはキー領域の書き込み状態を返します。 このビットは、1 を書き込むことでクリアできます。 注:このレジスタは、DMASWRESET.SWRES への書き込みによって開始されるソフト リセット時にリセットされます。ソフト リセット後は、すべてのキーをキー ストア メモリに再度書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.14 KEYSIZE レジスタ (オフセット = 408h) [リセット = 00000001h]

KEYSIZE は図 12-21 に示されており、表 12-65 で説明されています。

概略表に戻ります。

キー ストア サイズ
このレジスタは、DMA で書き込まれるキーのサイズを定義します。このレジスタは、KEY_STORE_WRITE_AREA レジスタへ書き込む前に設定する必要があります。

図 12-21. KEYSIZE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														サイズ	
R-0h														R/W-1h	

表 12-65. KEYSIZE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	サイズ	R/W	1h	キー サイズ: 00: 予約済み このレジスタに書き込むと、KEY_STORE_WRITTEN_AREA レジスタはリセットされます。 1h = 128_BIT: 128 ビット 2h = 192_BIT: 192 ビット 3h = 256_BIT: 256 ビット

Copyright © 2026 Texas Instruments Incorporated

12.9.1.15 KEYREADAREA レジスタ (オフセット = 40Ch) [リセット = 00000008h]

KEYREADAREA は図 12-22 に示されており、表 12-66 で説明されています。

概略表に戻ります。

キー ストア読み取り領域
このレジスタは、AES 演算で使用するキーを読み出すキー ストア RAM 領域を選択します。このレジスタに書き込んだ後で、動作が直接開始されます。処理が完了すると、キー ストア読み出し処理のステータスを割り込みステータス レジスタで確認できます。有効なキーが書き込まれていない RAM 領域を選択した場合、キー ストア読み出しエラーがアサートされます。

図 12-22. KEYREADAREA レジスタ

31	30	29	28	27	26	25	24
BUSY	予約済み						
R-0h	R-0h						
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				RAM_AREA			
R-0h				R/W-8h			

表 12-66. KEYREADAREA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	BUSY	R	0h	キー ストア動作ビジー ステータス フラグ (読み取り専用): 0: 動作が完了しました。 1: 動作は完了しておらず、キー ストアはビジー状態です。
30-4	予約済み	R	0h	予約済み
3-0	RAM_AREA	R/W	8h	AES エンジンへ書き込まれるキーの読み取り元となるキー ストア RAM 領域を選択します RAM_AREA: 192 ビット キーおよび 256 ビット キーの場合、有効な読み取り領域として使用できるのは RAM_AREA0、RAM_AREA2、RAM_AREA4、および RAM_AREA6 の RAM 領域のみです。 有効なキーが書き込まれている RAM 領域のみ選択できます。 0h = RAM 領域 0 1h = RAM 領域 1 2h = RAM 領域 2 3h = RAM 領域 3 4h = RAM 領域 4 5h = RAM 領域 5 6h = RAM 領域 6 7h = RAM 領域 7 8h = RAM なし

Copyright © 2026 Texas Instruments Incorporated

12.9.1.16 AESKEY2_y レジスタ (オフセット = 500h + 式) [リセット = 00000000h]

図 12-23 に、AESKEY2_y を示し、表 12-67 に、その説明を示します。

概略表に戻ります。

AES_KEY2_0/AES_GHASH_IN_0
二番目のキー / GHASH キー (内部保持、ただしクリア可能)
以下のレジスタは、ホストからの読み出しおよび書き込みによるアクセスはできません。内部で計算されたキーの情報や中間結果を保存するために使用されます。ただし、ホストがそれぞれの AES_KEY2_n または AES_KEY3_n アドレスのいずれかに書き込みを行うと、対応する 128 ビットの AES_KEY2_n または AES_KEY3_n レジスタ全体が 0 にクリアされます。
AES_GHASH_H_IN_n レジスタ (GCM の一部である GHASH に必要) は、AES_KEY2_n レジスタにマッピングされています。GCM および CCM の (中間) 認証結果は、AES_KEY3_n レジスタに格納されます。

オフセット = 500h + (y * 4h)、ここで y = 0h～3h

図 12-23. AESKEY2_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_KEY2																															
W-0h																															

表 12-67. AESKEY2_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AES_KEY2	W	0h	AES_KEY2/AES_GHASH_H[31:0] GCM 用: -[127:0] - GHASH_H - 内部で計算された GHASH キーがこれらのレジスタに格納されます。GHASH 機能 (GCM) を使用するモードでのみ使用されます。 -[255:128] - このレジスタは中間値を格納するために使用され、新しいキーのロード時に 0 で初期化されます。 CCM の場合: -[255:0] - このレジスタは中間値を格納するために使用されます。 CBC-MAC の場合: -[255:0] - ゼロ - このレジスタは常に 0 のままである必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.17 AESKEY3_y レジスタ (オフセット = 510h + 式) [リセット = 00000000h]

図 12-24 に、AESKEY3_y を示し、表 12-68 に、その説明を示します。

概略表に戻ります。

AES_KEY3_0/AES_KEY2_4
三番目のキー / 二番目のキー (内部、クリア可能)
以下のレジスタには、ホストから読み取りまたは書き込みアクセスできません。内部で計算されたキーの情報や中間結果を保存するために使用されます。ただし、ホストがそれぞれの AES_KEY2_n または AES_KEY3_n アドレスのいずれかに書き込みを行うと、対応する 128 ビットの AES_KEY2_n または AES_KEY3_n レジスタ全体が 0 にクリアされます。AES_GHASH_H_IN_n レジスタ (GCM の一部である GHASH に必要) は、AES_KEY2_n レジスタにマッピングされています。GCM および CCM の (中間) 認証結果は、AES_KEY3_n レジスタに格納されます。

オフセット = 510h + (y * 4h)、ここで y = 0h～3h

図 12-24. AESKEY3_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_KEY3																															
W-0h																															

表 12-68. AESKEY3_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AES_KEY3	W	0h	AES_KEY3[31:0]/AES_KEY2[159:128] GCM 用: -[127:0] - GHASH_H - 内部で計算された GHASH キーがこれらのレジスタに格納されます。GHASH 機能 (GCM) を使用するモードでのみ使用されます。 -[255:128] - このレジスタは中間値を格納するために使用され、新しいキーのロード時に 0 で初期化されます。 CCM の場合: -[255:0] - このレジスタは中間値を格納するために使用されます。 CBC-MAC の場合: -[255:0] - ゼロ - このレジスタは常に 0 のままである必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.18 AESIV_y レジスタ (オフセット = 540h + 式) [リセット = 00000000h]

AESIV_y は図 12-25 に示されており、表 12-69 で説明されています。

概略表に戻ります。

AES 初期化ベクタ レジスタ
これらのレジスタは、AES エンジンに対して IV を提供したり、読み取るために使用されます。

オフセット = 540h + (y * 4h)、ここで y = 0h～3h

図 12-25. AESIV_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_IV																															
R/W-0h																															

表 12-69. AESIV_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AES_IV	R/W	0h	AES_IV[31:0] 初期化ベクトル 通常の非 ECB モード (CBC/CTR) 用: -[127:0] - AES_IV - 通常の AES 動作 (CBC および CTR) では、これらのレジスタに新しい 128 ビット IV を書き込む必要があります。処理後、これらのレジスタには EIP-120t によって生成された最新の 128 ビット結果 IV が格納されます。CTR モードを選択した場合、この値は 0x1 を使ってインクリメントされます:初回使用後 - 新しいデータ ブロックがエンジンに投入された場合 GCM 用: -[127:0] - AES_IV - GCM 動作では、これらのレジスタに新しい 128 ビット IV を書き込む必要があります。 処理後、これらのレジスタには EIP-120t によって生成された更新後の 128 ビット結果 IV が格納されます。IV のビット [127:96] は初期カウンタ値 (GCM では 1) を表すため、0x01000000 に初期化する必要があることに注意してください。この値は 0x1 を使ってインクリメントされます:初回使用後 - 新しいデータ ブロックがエンジンに入力された場合。 CCM の場合: -[127:0] - A0: CCM では、このフィールドに値 A0 を書き込む必要があります。この値は、以下を連結したものです:A0 フラグ (0 の 5 ビットと「L」の 3 ビット)、Nonce、およびカウンタ値。「L」は、AES_CTRL レジスタの「L」値からのコピーである必要があります。この「L」は、Nonce およびカウンタの長さを示します。ロードするカウンタは 0 に初期化する必要があります。A0 の全体のビット幅は 128 ビットです。 CBC-MAC の場合: -[127:0] - ゼロ - CBC-MAC では、各処理の開始時にこのレジスタへ 0 を書き込む必要があります。処理後、これらのレジスタには EIP-120t によって生成された 128 ビットの TAG 出力が格納されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.19 AESCTL レジスタ (オフセット = 550h) [リセット = 80000000h]

図 12-26 に、AESCTL を示し、表 12-70 に、その説明を示します。

概略表に戻ります。

AES 制御
AES 入出力バッファ制御およびモード レジスタ
このレジスタは、EIP-120t の AES 動作モードを指定します。
このレジスタのビット [28:5] がすべて 0 の場合、Electronic Codebook (ECB) モードが自動的に選択されます。

図 12-26. AESCTL レジスタ

31	30	29	28	27	26	25	24
CONTEXT_READY	SAVED_CONTEXT_RDY	SAVE_CONTEXT	予約済み				CCM_M
R-1h	R/W-0h	R/W-0h	R-0h				R/W-0h
23	22	21	20	19	18	17	16
CCM_M		CCM_L			CCM	GCM	
R/W-0h		R/W-0h			R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
CBC_MAC	予約済み						CTR_WIDTH
R/W-0h	R-0h						R/W-0h
7	6	5	4	3	2	1	0
CTR_WIDTH	CTR	CBC	KEY_SIZE		DIR	INPUT_READY	OUTPUT_READY
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	R/W-0h

表 12-70. AESCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CONTEXT_READY	R	1h	1 の場合、この読み取り専用ステータス ビットは、コンテキスト データ レジスタを上書き可能であり、ホストが次のコンテキストを書き込めることを示します。
30	SAVED_CONTEXT_RDY	R/W	0h	1 の場合、このステータス ビットは、ホストが取得可能な AES 認証 TAG および / または IV ブロックが利用可能であることを示します。このビットは、save_context ビットが 1 に設定されている場合にのみアサートされます。このビットは、context_ready ビットと排他的です。 1 を書き込むと、このビットは 0 にクリアされ、AES コアが次の処理を開始できることを示します。このビットは、出力 TAG および / または IV の四番目のワードが読み出されたときにもクリアされます。 注:このモード ビットに 1 が書き込まれている場合、他のすべてのモード ビット書き込みは無視されます。 注:このビットは、TAG 読み DMA 動作において EIP-120t によって自動的に制御されます。
29	SAVE_CONTEXT	R/W	0h	このビットは、認証 TAG または結果 IV を結果コンテキストとして保存する必要があることを示します。 通常、このビットは、TAG を返す認証モード (CBC-MAC、GCM、および CCM)、または現在の結果 IV を使用して後続の処理を継続する必要がある基本暗号化モードで設定する必要があります。 このビットが設定されている場合、TAG および / または IV レジスタが読み出されるまで、エンジンは完全なコンテキストを保持します。 AES エンジンが新しい処理を開始する前に、TAG または IV を読み出す必要があります。
28-25	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 12-70. AESCTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24-22	CCM_M	R/W	0h	CCM 動作における認証フィールドの長さを示す M を定義します 認証フィールドの長さは、二倍 (CCM-M の値に 1 を加えた値) になります。 注:EIP-120t は常に 128 ビットの認証フィールドを返しますが、有効なのは下位 M バイトのみです。すべての値がサポートされています。
21-19	CCM_L	R/W	0h	CCM 動作における長さフィールドのビット幅を示す L を定義します 長さフィールドのバイト数は、CMM-L の値に 1 を加えた値に等しくなります。すべての値がサポートされています。
18	CCM	R/W	0h	1 に設定すると、AES-CCM が選択されます AES-CCM は、認証と暗号化の両方に AES を使用する複合モードです。 注:AES-CCM モードを選択する場合は、他のすべてのレジスタの設定後に AAD 長レジスタを書き込む必要があります。 注:AES-CTR を有効にするには、このレジスタの CTR モード ビットも 1 に設定する必要があります CTR モード以外の AES モードを選択することは無効です。
17-16	GCM	R/W	0h	AES-GCM モードを選択するには、これらのビットを 11 に設定します。 AES-GCM は、認証にガロア体乗算 GF (2 ^ 128) を使用し、暗号化に AES-CTR モードを使用する複合モードです。 注:AES-CTR を有効にするには、このレジスタの CTR モード ビットも 1 に設定する必要があります ビットの組み合わせの説明: 00 = GCM モード以外 01 = 予約済み (選択不可) 10 = 予約済み (選択不可) 11 = 自律 GHASH (H および Y0 の暗号化値は内部で計算) 注:EIP-120t-1 構成では、モード 11 (自律 GHASH) のみがサポートされており、その他の GCM モードは使用できません。
15	CBC_MAC	R/W	0h	AES-CBC MAC モードを選択するには、1 に設定します。 このモードでは、方向ビットを 1 に設定する必要があります。 このモードを選択する場合は、他のすべてのレジスタの設定後に長さレジスタを書き込む必要があります。
14-9	予約済み	R	0h	予約済み
8-7	CTR_WIDTH	R/W	0h	AES-CTR モードのカウンタ幅を指定します 00 = 32 ビット カウンタ 01 = 64 ビット カウンタ 10 = 96 ビット カウンタ 11 = 128 ビット カウンタ 0h = 32_BIT: 32 ビット 1h = 64_BIT: 64 ビット 2h = 96_BIT: 96 ビット 3h = 128_BIT: 128 ビット
6	CTR	R/W	0h	1 に設定されている場合、AES カウンタ モード (CTR) が選択されます。 注:暗号化または復号化が必要な場合は、GCM および CCM でもこのビットを設定する必要があります。
5	CBC	R/W	0h	1 に設定すると、暗号ブロックチェーン (CBC) モードが選択されます。
4-3	KEY_SIZE	R	0h	この読み取り専用フィールドは、キーのサイズを示します。 キーのサイズは、キー ストア モジュールを介して新しいキーがロードされる際に自動的に設定されます。 00 = N/A – 予約済み 01 = 128 ビット 10 = 192 ビット 11 = 256 ビット
2	DIR	R/W	0h	1 に設定すると、暗号化操作が実行されます。 0 に設定すると、復号化操作が実行されます。 CBC-MAC が選択されている場合、このビットを 1 に設定する必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 12-70. AESCTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	INPUT_READY	R/W	0h	1 の場合、このステータス ビットは、16 バイトの AES 入力バッファが空であることを示します。ホストは次のデータ ブロックを書き込むことができます。 0 を書き込むと、このビットは 0 にクリアされ、AES コアが提供された入力データ ブロックを使用できることを示します。 このビットへの 1 の書き込みは無視されます。 注:DMA 動作の場合、このビットは EIP-120T によって自動的に制御されます。 リセット後、このビットは 0 になります。コンテキストを書き込んだ後、このビットは 1 になります。
0	OUTPUT_READY	R/W	0h	1 の場合、このステータス ビットは、ホストが取得可能な AES 出力ブロックが利用可能であることを示します。 0 を書き込むと、このビットは 0 にクリアされ、出力データがホストによって読み出されたことを示します。AES コアは、次期出力データ ブロックを提供できます。 このビットへの 1 の書き込みは無視されます。 注:DMA 動作では、このビットは EIP-120t によって自動的に制御されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.20 AESDATALEN0 レジスタ (オフセット = 554h) [リセット = 00000000h]

図 12-27 に、AESDATALEN0 を示し、表 12-71 に、その説明を示します。

概略表に戻ります。

AES 暗号長 0 (LSW)
これらのレジスタは、長さ値を EIP-120T に書き込むために使用されます。処理中、長さの値は 0 になるまで減算されます。両方の長さが 0 の場合、データ ストリームは終了し、新しいコンテキストが要求されます。基本 AES モード (ECB、CBC、および CTR) では、同じキーで複数のストリームを処理する必要がある場合、暗号化長に 0 を書き込むことができます。長さに 0 を書き込むと、新しいコンテキストが書き込まれるまでデータ要求が継続されます。その他のモード (CBC-MAC、GCM、および CCM) では、長さが 0 まで減算されるか、または 0 に等しい場合、新たなデータ要求は行われません。
パケットごとに新しい長さを書き込むことをお勧めします。長さレジスタの値が 0 までデクリメントされると、新しいコンテキストまたは長さ値が書き込まれるまで、新たなデータは処理されません。
長さレジスタを書き込まずに新しいモードを設定した場合、前のコンテキストの長さレジスタ値が再利用されます。

図 12-27. AESDATALEN0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C_LENGTH																															
W-0h																															

表 12-71. AESDATALEN0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	C_LENGTH	W	0h	C_LENGTH[31:0] 暗号化長レジスタ (LSW および MSW) のビット [60:0] には、すべてのモードにおける暗号データ長 (バイト単位) が格納されます。このコンテキストでの処理が開始されると、この長さは 0 になるまでデクリメントされます。最大データ長 (261: 1) バイトは許可されます。 GCM では、236 ～ 32 バイトまでの任意の値を使用できます。これは、32 ビット カウンタ モードを使用すると、 128 ビット ブロックの最大数は 232 - 2 であり、最大バイト数は 236 - 32 となります。 このレジスタへの書き込みにより、エンジンはこのコンテキストを使用した処理を開始します。これは、GCM と CCM を除くすべてのモードで有効です。 注: 複合モード (GCM および CCM) では、この長さに認証専用データは含まれません 認証データ長は、AESAUTHLEN レジスタで指定します すべてのモードで、長さには 0 より大きい値を設定する必要があります。 複合モードでは、いずれか一方の長さを 0 にすることができます。 基本暗号化モード (ECB、CBC、および CTR) では、長さフィールドに 0 を設定することができます この場合、長さは無限であると見なされます。 ストリーム暗号モードでは、すべてのデータはバイト (8 ビット) 境界に揃っている必要があります ビット単位にアラインされたデータ ストリームは、EIP-120t ではサポートされていません。ブロック暗号モードでは、データ長はブロック サイズ (16 バイト) の倍数で設定する必要があります。 ホストによる読み取り操作では、これらのレジスタはすべて 0 を返します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.21 AESDATALEN1 レジスタ (オフセット = 558h) [リセット = 00000000h]

図 12-28 に、AESDATALEN1 を示し、表 12-72 に、その説明を示します。

概略表に戻ります。

AES 暗号長 1 (MSW)
これらのレジスタは、長さ値を EIP-120T に書き込むために使用されます。処理中、長さの値は 0 になるまで減算されます。両方の長さが 0 の場合、データ ストリームは終了し、新しいコンテキストが要求されます。基本 AES モード (ECB、CBC、および CTR) では、同じキーで複数のストリームを処理する必要がある場合、暗号化長に 0 を書き込むことができます。長さに 0 を書き込むと、新しいコンテキストが書き込まれるまでデータ要求が継続されます。その他のモード (CBC-MAC、GCM、および CCM) では、長さが 0 にデクリメントされるか、または 0 の場合、新たなデータ要求は行われません。
パケットごとに新しい長さを書き込むことをお勧めします。長さレジスタの値が 0 までデクリメントされると、新しいコンテキストまたは長さ値が書き込まれるまで、新たなデータは処理されません。
長さレジスタを書き込まずに新しいモードを設定した場合、前のコンテキストの長さレジスタ値が再利用されます。

図 12-28. AESDATALEN1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み			C_LENGTH												
R-0h			W-0h												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C_LENGTH															
W-0h															

表 12-72. AESDATALEN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	予約済み
28-0	C_LENGTH	W	0h	C_LENGTH[60:32] 暗号化長レジスタ (LSW および MSW) のビット [60:0] には、すべてのモードにおける暗号データ長 (バイト単位) が格納されます。このコンテキストでの処理が開始されると、この長さは 0 になるまでデクリメントされます。最大データ長 (261: 1) バイトは許可されます。 GCM では、236 ～ 32 バイトまでの任意の値を使用できます。これは、32 ビット カウンタ モードを使用すると、 128 ビット ブロックの最大数は 232 - 2 であり、最大バイト数は 236 - 32 となります。 このレジスタへの書き込みにより、エンジンはこのコンテキストを使用した処理を開始します。これは、GCM と CCM を除くすべてのモードで有効です。 注: 複合モード (GCM および CCM) では、この長さに認証専用データは含まれません 認証データ長は、AESAUTHLEN レジスタで指定します すべてのモードで、長さには 0 より大きい値を設定する必要があります。 複合モードでは、いずれか一方の長さを 0 にすることができます。 基本暗号化モード (ECB、CBC、および CTR) では、長さフィールドに 0 を設定することができます この場合、長さは無限であると見なされます。 ストリーム暗号モードでは、すべてのデータはバイト (8 ビット) 境界に揃っている必要があります ビット単位にアラインされたデータ ストリームは、EIP-120t ではサポートされていません。ブロック暗号モードでは、データ長はブロック サイズ (16 バイト) の倍数で設定する必要があります。 ホストによる読み取り操作では、これらのレジスタはすべて 0 を返します。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.22 AESAUTHLEN レジスタ (オフセット = 55Ch) [リセット = 00000000h]

AESAUTHLEN は図 12-29 に示されており、表 12-73 で説明されています。

概略表に戻ります。

AES 認証長

図 12-29. AESAUTHLEN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AUTH_LENGTH																															
W-0h																															

表 12-73. AESAUTHLEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AUTH_LENGTH	W	0h	認証長レジスタのビット [31:0] には、複合モード (GCM または CCM) における認証データ長 (バイト単位) が格納されます。 CCM でサポートされている AAD の長さは 0 ～ ($2^{16} – 2^{8}$) バイトです。 GCM では、最大 ($2^{32} – 1$) バイトまでの任意の値を使用できます。このコンテキストでの処理が開始されると、この長さは 0 になるまでデクリメントされます。 このレジスタへの書き込みにより、GCM および CCM においてエンジンはこのコンテキストの使用を開始します。 ホストによる読み取り操作では、これらのレジスタはすべて 0 を返します。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.23 AESDATAOUT0 レジスタ (オフセット = 560h) [リセット = 00000000h]

図 12-30 に、AESDATAOUT0 を示し、表 12-74 に、その説明を示します。

概略表に戻ります。

データ入出力

図 12-30. AESDATAOUT0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 12-74. AESDATAOUT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	暗号ペリフェラルからの出力ブロック データ用データ レジスタ 0。 これらのビットは、AES 出力データ [127:0] のうち [31:0] に対応します 通常の動作では、このレジスタは使用されません。データの入出力は DMA を介して AES エンジンとの間で転送されるためです。 ホストによる読み出し操作では、これらのレジスタには直近の AES 処理によって生成された 128 ビット出力ブロックが格納されます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワード (16 バイト = 128 ビット AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、一ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AESCTL.OUTPUT_READY を書き込む必要があります。 認証モード (CBC-MAC、GCM、および CCM) では、無効な (メッセージ) バイト / ワードには任意のデータを書き込むことができます。 注:AAD / 認証専用データは出力バッファにはコピーされず、認証のみに使用されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.24 AESDATAIN0 レジスタ (オフセット = 560h) [リセット = 00000000h]

図 12-31 に、AESDATAIN0 を示し、表 12-75 に、その説明を示します。

概略表に戻ります。

AES データ Input_Output 0
データ レジスタは通常、ホストによる書き込みおよび / または読み取りではなく、DMA を介してアクセスされます。ただし、デバッグ目的では、データ入出力レジスタにホストによる書き込みおよび読み取り操作でアクセスできます。これらのレジスタは、EIP-120t との間で入出力データ ブロックをバッファリングするために使用されます。
注:データ入力バッファ (AES_DATA_IN_n) およびデータ出力バッファ (AES_DATA_OUT_n) は、同一のアドレス領域にマッピングされています。
これらのアドレスへの書き込み (DMA およびホストの両方) は入力バッファにデータをロードし、読み取りは出力バッファから行われます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、
読み取りアクセスではデータ出力バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できます
これらの転送は、外部インターフェイス上の他のホスト転送と混在させることができます。

図 12-31. AESDATAIN0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_DATA_IN_OUT																															
W-0h																															

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 12-75. AESDATAIN0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AES_DATA_IN_OUT	W	0h	AES 入力データ [31:0] / AES 出力データ [31:0] EIP-120t との入出力ブロック データ用データ レジスタ。 通常の動作では、このレジスタは使用されません。データの入出力は DMA を介して AES コアとの間で転送されるためです。ホストによる書き込み操作では、これらのレジスタに次の AES 処理用の 128 ビット入力ブロックを書き込む必要があります。このアドレス範囲内のワード整列されたオフセットへ書き込むと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ入力バッファ内の対応する位置に、そのワード (4 バイト) のデータが格納されます。このバッファは、次の AES 動作に使用します。最後のデータ ブロックが有効なデータで完全に埋められていない場合 (以下の注記を参照)、有効なデータを含むワードのみを書き込むことができます。次の AES 処理は、AES_CTRL レジスタの input_ready フラグへの書き込みによって開始されます。 ホストによる読み取り操作では、これらのレジスタには最新の AES 処理による 128 ビット出力ブロックが格納されます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、一ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AES_CTRL レジスタの output_ready フラグを書き込む必要があります。 認証機能を備えたモード (CBC-MAC、GCM、および CCM) では、無効な (メッセージ) バイト / ワードには任意のデータを書き込むことができます。 注:AES は通常、128 ビットのブロック複数の入力データで動作します。CTR、GCM、CCM の各モードは例外です。CTR モードのメッセージの最後のブロックは、128 ビット未満であってもかまいません ([NIST 800-38A] を参照)。GCM/CCM では、AAD およびメッセージ データの最後のブロックは、128 ビット未満となる場合があります ([NIST 800-38D] を参照)。EIP-120t は、GCM、CCM、および CBC-MAC において、整列されていない最後のデータ ブロックを自動的に 0 でパディングまたはマスクします。CTR モードでは、整列していないデータ ブロック内の残りのデータは無視されます。 注:AAD / 認証専用データは出力バッファにはコピーされず、認証のみに使用されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.25 AESDATAOUT1 レジスタ (オフセット = 564h) [リセット = 00000000h]

図 12-32 に、AESDATAOUT1 を示し、表 12-76 に、その説明を示します。

概略表に戻ります。

データ入出力

図 12-32. AESDATAOUT1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 12-76. AESDATAOUT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	暗号ペリフェラルからの出力ブロック データ用データ レジスタ 0。 これらのビットは、AES 出力データ [127:0] のうち [31:0] に対応します 通常の動作では、このレジスタは使用されません。データの入出力は DMA を介して AES エンジンとの間で転送されるためです。 ホストによる読み出し操作では、これらのレジスタには直近の AES 処理によって生成された 128 ビット出力ブロックが格納されます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワード (16 バイト = 128 ビット AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、一ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AESCTL.OUTPUT_READY を書き込む必要があります。 認証モード (CBC-MAC、GCM、および CCM) では、無効な (メッセージ) バイト / ワードには任意のデータを書き込むことができます。 注:AAD / 認証専用データは出力バッファにはコピーされず、認証のみに使用されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.26 AESDATAIN1 レジスタ (オフセット = 564h) [リセット = 00000000h]

図 12-33 に、AESDATAIN1 を示し、表 12-77 に、その説明を示します。

概略表に戻ります。

AES データ Input_Output 0
データ レジスタは通常、ホストによる書き込みおよび / または読み取りではなく、DMA を介してアクセスされます。ただし、デバッグ目的では、データ入出力レジスタにホストによる書き込みおよび読み取り操作でアクセスできます。これらのレジスタは、EIP-120t との間で入出力データ ブロックをバッファリングするために使用されます。
注:データ入力バッファ (AES_DATA_IN_n) およびデータ出力バッファ (AES_DATA_OUT_n) は、同一のアドレス領域にマッピングされています。
これらのアドレスへの書き込み (DMA およびホストの両方) は入力バッファにデータをロードし、読み取りは出力バッファから行われます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、
読み取りアクセスではデータ出力バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できます
これらの転送は、外部インターフェイス上の他のホスト転送と混在させることができます。

図 12-33. AESDATAIN1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_DATA_IN_OUT																															
W-0h																															

Copyright © 2026 Texas Instruments Incorporated

表 12-77. AESDATAIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AES_DATA_IN_OUT	W	0h	AES 入力データ [31:0] / AES 出力データ [63:32] EIP-120t との入出力ブロック データ用データ レジスタ。 通常の動作では、このレジスタは使用されません。データの入出力は DMA を介して AES コアとの間で転送されるためです。ホストによる書き込み操作では、これらのレジスタに次の AES 処理用の 128 ビット入力ブロックを書き込む必要があります。このアドレス範囲内のワード整列されたオフセットへ書き込むと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ入力バッファ内の対応する位置に、そのワード (4 バイト) のデータが格納されます。このバッファは、次の AES 動作に使用します。最後のデータ ブロックが有効なデータで完全に埋められていない場合 (以下の注記を参照)、有効なデータを含むワードのみを書き込むことができます。次の AES 処理は、AES_CTRL レジスタの input_ready フラグへの書き込みによって開始されます。 ホストによる読み取り操作では、これらのレジスタには最新の AES 処理による 128 ビット出力ブロックが格納されます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、一ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AES_CTRL レジスタの output_ready フラグを書き込む必要があります。 認証機能を備えたモード (CBC-MAC、GCM、および CCM) では、無効な (メッセージ) バイト / ワードには任意のデータを書き込むことができます。 注:AES は通常、128 ビットのブロック複数の入力データで動作します。CTR、GCM、CCM の各モードは例外です。CTR モードのメッセージの最後のブロックは、128 ビット未満であってもかまいません ([NIST 800-38A] を参照)。GCM/CCM では、AAD およびメッセージ データの最後のブロックは、128 ビット未満となる場合があります ([NIST 800-38D] を参照)。EIP-120t は、GCM、CCM、および CBC-MAC において、整列されていない最後のデータ ブロックを自動的に 0 でパディングまたはマスクします。CTR モードでは、整列していないデータ ブロック内の残りのデータは無視されます。 注:AAD / 認証専用データは出力バッファにはコピーされず、認証のみに使用されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.27 AESDATAOUT2 レジスタ (オフセット = 568h) [リセット = 00000000h]

図 12-34 に、AESDATAOUT2 を示し、表 12-78 に、その説明を示します。

概略表に戻ります。

データ入出力

図 12-34. AESDATAOUT2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 12-78. AESDATAOUT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	暗号ペリフェラルからの出力ブロック データ用データ レジスタ 0。 これらのビットは、AES 出力データ [127:0] のうち [31:0] に対応します 通常の動作では、このレジスタは使用されません。データの入出力は DMA を介して AES エンジンとの間で転送されるためです。 ホストによる読み出し操作では、これらのレジスタには直近の AES 処理によって生成された 128 ビット出力ブロックが格納されます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワード (16 バイト = 128 ビット AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、一ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AESCTL.OUTPUT_READY を書き込む必要があります。 認証モード (CBC-MAC、GCM、および CCM) では、無効な (メッセージ) バイト / ワードには任意のデータを書き込むことができます。 注:AAD / 認証専用データは出力バッファにはコピーされず、認証のみに使用されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.28 AESDATAIN2 レジスタ (オフセット = 568h) [リセット = 00000000h]

図 12-35 に、AESDATAIN2 を示し、表 12-79 に、その説明を示します。

概略表に戻ります。

AES データ Input_Output 2
データ レジスタは通常、ホストによる書き込みおよび / または読み取りではなく、DMA を介してアクセスされます。ただし、デバッグ目的では、データ入出力レジスタにホストによる書き込みおよび読み取り操作でアクセスできます。これらのレジスタは、EIP-120t との間で入出力データ ブロックをバッファリングするために使用されます。
注:データ入力バッファ (AES_DATA_IN_n) およびデータ出力バッファ (AES_DATA_OUT_n) は、同一のアドレス領域にマッピングされています。
これらのアドレスへの書き込み (DMA およびホストの両方) は入力バッファにデータをロードし、読み取りは出力バッファから行われます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、
読み取りアクセスではデータ出力バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できます
これらの転送は、外部インターフェイス上の他のホスト転送と混在させることができます。

図 12-35. AESDATAIN2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_DATA_IN_OUT																															
W-0h																															

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 12-79. AESDATAIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AES_DATA_IN_OUT	W	0h	AES 入力データ [95:64] / AES 出力データ [95:64] EIP-120t との入出力ブロック データ用データ レジスタ。 通常の動作では、このレジスタは使用されません。データの入出力は DMA を介して AES コアとの間で転送されるためです。ホストによる書き込み操作では、これらのレジスタに次の AES 処理用の 128 ビット入力ブロックを書き込む必要があります。このアドレス範囲内のワード整列されたオフセットへ書き込むと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ入力バッファ内の対応する位置に、そのワード (4 バイト) のデータが格納されます。このバッファは、次の AES 動作に使用します。最後のデータ ブロックが有効なデータで完全に埋められていない場合 (以下の注記を参照)、有効なデータを含むワードのみを書き込むことができます。次の AES 処理は、AES_CTRL レジスタの input_ready フラグへの書き込みによって開始されます。 ホストによる読み取り操作では、これらのレジスタには最新の AES 処理による 128 ビット出力ブロックが格納されます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、一ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AES_CTRL レジスタの output_ready フラグを書き込む必要があります。 認証機能を備えたモード (CBC-MAC、GCM、および CCM) では、無効な (メッセージ) バイト / ワードには任意のデータを書き込むことができます。 注:AES は通常、128 ビットのブロック複数の入力データで動作します。CTR、GCM、CCM の各モードは例外です。CTR モードのメッセージの最後のブロックは、128 ビット未満であってもかまいません ([NIST 800-38A] を参照)。GCM/CCM では、AAD およびメッセージ データの最後のブロックは、128 ビット未満となる場合があります ([NIST 800-38D] を参照)。EIP-120t は、GCM、CCM、および CBC-MAC において、整列されていない最後のデータ ブロックを自動的に 0 でパディングまたはマスクします。CTR モードでは、整列していないデータ ブロック内の残りのデータは無視されます。 注:AAD / 認証専用データは出力バッファにはコピーされず、認証のみに使用されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.29 AESDATAOUT3 レジスタ (オフセット = 56Ch) [リセット = 00000000h]

図 12-36 に、AESDATAOUT3 を示し、表 12-80 に、その説明を示します。

概略表に戻ります。

データ入出力

図 12-36. AESDATAOUT3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 12-80. AESDATAOUT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	暗号ペリフェラルからの出力ブロック データ用データ レジスタ 0。 これらのビットは、AES 出力データ [127:0] のうち [31:0] に対応します 通常の動作では、このレジスタは使用されません。データの入出力は DMA を介して AES エンジンとの間で転送されるためです。 ホストによる読み出し操作では、これらのレジスタには直近の AES 処理によって生成された 128 ビット出力ブロックが格納されます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワード (16 バイト = 128 ビット AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、一ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AESCTL.OUTPUT_READY を書き込む必要があります。 認証モード (CBC-MAC、GCM、および CCM) では、無効な (メッセージ) バイト / ワードには任意のデータを書き込むことができます。 注:AAD / 認証専用データは出力バッファにはコピーされず、認証のみに使用されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.30 AESDATAIN3 レジスタ (オフセット = 56Ch) [リセット = 00000000h]

図 12-37 に、AESDATAIN3 を示し、表 12-81 に、その説明を示します。

概略表に戻ります。

AES データ Input_Output 3
データ レジスタは通常、ホストによる書き込みおよび / または読み取りではなく、DMA を介してアクセスされます。ただし、デバッグ目的では、データ入出力レジスタにホストによる書き込みおよび読み取り操作でアクセスできます。これらのレジスタは、EIP-120t との間で入出力データ ブロックをバッファリングするために使用されます。
注:データ入力バッファ (AES_DATA_IN_n) およびデータ出力バッファ (AES_DATA_OUT_n) は、同一のアドレス領域にマッピングされています。
これらのアドレスへの書き込み (DMA およびホストの両方) は入力バッファにデータをロードし、読み取りは出力バッファから行われます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、
読み取りアクセスではデータ出力バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できます
これらの転送は、外部インターフェイス上の他のホスト転送と混在させることができます。

図 12-37. AESDATAIN3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_DATA_IN_OUT																															
W-0h																															

Copyright © 2026 Texas Instruments Incorporated

表 12-81. AESDATAIN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AES_DATA_IN_OUT	W	0h	AES 入力データ [127:96] / AES 出力データ [127:96] EIP-120t との入出力ブロック データ用データ レジスタ。 通常の動作では、このレジスタは使用されません。データの入出力は DMA を介して AES コアとの間で転送されるためです。ホストによる書き込み操作では、これらのレジスタに次の AES 処理用の 128 ビット入力ブロックを書き込む必要があります。このアドレス範囲内のワード整列されたオフセットへ書き込むと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ入力バッファ内の対応する位置に、そのワード (4 バイト) のデータが格納されます。このバッファは、次の AES 動作に使用します。最後のデータ ブロックが有効なデータで完全に埋められていない場合 (以下の注記を参照)、有効なデータを含むワードのみを書き込むことができます。次の AES 処理は、AES_CTRL レジスタの input_ready フラグへの書き込みによって開始されます。 ホストによる読み取り操作では、これらのレジスタには最新の AES 処理による 128 ビット出力ブロックが格納されます。このアドレス範囲内のワード整列されたオフセットから読み出すと、4 ワード深さ (16 バイト = 128 ビット AES ブロック) のデータ出力バッファから 1 ワード (4 バイト) のデータが読み出されます。コアが次のブロックをデータ出力バッファへ移動する前に、ワード (4 ワード、一ブロック全体) を読み出す必要があります。データ出力バッファを空にするには、AES_CTRL レジスタの output_ready フラグを書き込む必要があります。 認証機能を備えたモード (CBC-MAC、GCM、および CCM) では、無効な (メッセージ) バイト / ワードには任意のデータを書き込むことができます。 注:AES は通常、128 ビットのブロック複数の入力データで動作します。CTR、GCM、CCM の各モードは例外です。CTR モードのメッセージの最後のブロックは、128 ビット未満であってもかまいません ([NIST 800-38A] を参照)。GCM/CCM では、AAD およびメッセージ データの最後のブロックは、128 ビット未満となる場合があります ([NIST 800-38D] を参照)。EIP-120t は、GCM、CCM、および CBC-MAC において、整列されていない最後のデータ ブロックを自動的に 0 でパディングまたはマスクします。CTR モードでは、整列していないデータ ブロック内の残りのデータは無視されます。 注:AAD / 認証専用データは出力バッファにはコピーされず、認証のみに使用されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.31 AESTAGOUT_y レジスタ (オフセット = 570h + 式) [リセット = 00000000h]

AESTAGOUT_y は図 12-38 に示されており、表 12-82 で説明されています。

概略表に戻ります。

AES タグ アウト 0
タグ レジスタは、DMA 経由またはホストの直接読み取りでアクセスできます。
これらのレジスタは、EIP-120t からの TAG をバッファします。これらのレジスタは中間認証結果レジスタと共有されていますが、処理が完了するまで読み取ることはできません。処理中に、これらのレジスタからの読み取りは 0 を返します。処理結果として TAG が返されない場合、これらのレジスタを読み出すと IV が返されます。処理の結果として TAG と IV の両方が返され、かつ両方をホストが読み出す必要がある場合、ホストはまず TAG を読み出し、その後 IV を読み出す必要があります。これらを逆の順序で読み取ると、IV が二回返されます。

オフセット = 570h + (y * 4h)、ここで y = 0h～3h

図 12-38. AESTAGOUT_y レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AES_TAG																															
R-0h																															

表 12-82. AESTAGOUT_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	AES_TAG	R	0h	AES_TAG[31:0] このレジスタのビット [31:0] には、複合モードおよび認証専用モードで使用される認証値が格納されます。 ホストによる読み取り時、これらのレジスタには EIP-120t の最後の 128 ビットの TAG 出力が格納されています TAG は、次のコンテキストが書き込まれるまで利用できます。 TAG が利用可能であり、かつ AESCTL.SAVED_CONTEXT_RDY レジスタがセットされている場合にのみ、このレジスタには有効なデータが格納されます。処理中、または TAG を返さない処理 / モードでは、このレジスタを読み出すと IV レジスタのデータが返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.32 HASHDATAIN1 レジスタ (オフセット = 604h) [リセット = 00000000h]

図 12-39 に、HASHDATAIN1 を示し、表 12-83 に、その説明を示します。

概略表に戻ります。

HASH データ入力 1
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-39. HASHDATAIN1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-83. HASHDATAIN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[63:32] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.33 HASHDATAIN2 レジスタ (オフセット = 608h) [リセット = 00000000h]

図 12-40 に、HASHDATAIN2 を示し、表 12-84 に、その説明を示します。

概略表に戻ります。

HASH データ入力 2
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-40. HASHDATAIN2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-84. HASHDATAIN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[95:64] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.34 HASHDATAIN3 レジスタ (オフセット = 60Ch) [リセット = 00000000h]

図 12-41 に、HASHDATAIN3 を示し、表 12-85 に、その説明を示します。

概略表に戻ります。

HASH データ入力 3
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-41. HASHDATAIN3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-85. HASHDATAIN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[127:96] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASH_IO_BUF_CTRL レジスタの rfd_in ビットが High の場合にのみ、入力データ バッファに書き込むことができます。rfd_in ビットが 0 の場合、エンジンは処理中であり、ビジー状態です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASH_IO_BUF_CTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.35 HASHDATAIN4 レジスタ (オフセット = 610h) [リセット = 00000000h]

図 12-42 に、HASHDATAIN4 を示し、表 12-86 に、その説明を示します。

概略表に戻ります。

HASH データ入力 4
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-42. HASHDATAIN4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-86. HASHDATAIN4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[159:128] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が「1」の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.36 HASHDATAIN5 レジスタ (オフセット = 614h) [リセット = 00000000h]

図 12-43 に、HASHDATAIN5 を示し、表 12-87 に、その説明を示します。

概略表に戻ります。

HASH データ入力 5
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-43. HASHDATAIN5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-87. HASHDATAIN5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[191:160] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.37 HASHDATAIN6 レジスタ (オフセット = 618h) [リセット = 00000000h]

図 12-44 に、HASHDATAIN6 を示し、表 12-88 に、その説明を示します。

概略表に戻ります。

HASH データ入力 6
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-44. HASHDATAIN6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-88. HASHDATAIN6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[223:192] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.38 HASHDATAIN7 レジスタ (オフセット = 61Ch) [リセット = 00000000h]

図 12-45 に、HASHDATAIN7 を示し、表 12-89 に、その説明を示します。

概略表に戻ります。

HASH データ入力 7
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-45. HASHDATAIN7 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-89. HASHDATAIN7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[255:224] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.39 HASHDATAIN8 レジスタ (オフセット = 620h) [リセット = 00000000h]

図 12-46 に、HASHDATAIN8 を示し、表 12-90 に、その説明を示します。

概略表に戻ります。

HASH データ入力 8
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-46. HASHDATAIN8 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-90. HASHDATAIN8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[287:256] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.40 HASHDATAIN9 レジスタ (オフセット = 624h) [リセット = 00000000h]

図 12-47 に、HASHDATAIN9 を示し、表 12-91 に、その説明を示します。

概略表に戻ります。

HASH データ入力 9
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-47. HASHDATAIN9 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-91. HASHDATAIN9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[319:288] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.41 HASHDATAIN10 レジスタ (オフセット = 628h) [リセット = 00000000h]

図 12-48 に、HASHDATAIN10 を示し、表 12-92 に、その説明を示します。

概略表に戻ります。

HASH データ入力 10
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-48. HASHDATAIN10 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-92. HASHDATAIN10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[351:320] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.42 HASHDATAIN11 レジスタ (オフセット = 62Ch) [リセット = 00000000h]

図 12-49 に、HASHDATAIN11 を示し、表 12-93 に、その説明を示します。

概略表に戻ります。

HASH データ入力 11
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-49. HASHDATAIN11 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-93. HASHDATAIN11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[383:352] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.43 HASHDATAIN12 レジスタ (オフセット = 630h) [リセット = 00000000h]

図 12-50 に、HASHDATAIN12 を示し、表 12-94 に、その説明を示します。

概略表に戻ります。

HASH データ入力 12
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-50. HASHDATAIN12 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-94. HASHDATAIN12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[415:384] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.44 HASHDATAIN13 レジスタ (オフセット = 634h) [リセット = 00000000h]

図 12-51 に、HASHDATAIN13 を示し、表 12-95 に、その説明を示します。

概略表に戻ります。

HASH データ入力 13
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-51. HASHDATAIN13 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-95. HASHDATAIN13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[447:416] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.45 HASHDATAIN14 レジスタ (オフセット = 638h) [リセット = 00000000h]

図 12-52 に、HASHDATAIN14 を示し、表 12-96 に、その説明を示します。

概略表に戻ります。

HASH データ入力 14
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-52. HASHDATAIN14 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-96. HASHDATAIN14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[479:448] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.46 HASHDATAIN15 レジスタ (オフセット = 63Ch) [リセット = 00000000h]

図 12-53 に、HASHDATAIN15 を示し、表 12-97 に、その説明を示します。

概略表に戻ります。

HASH データ入力 15
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-53. HASHDATAIN15 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-97. HASHDATAIN15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[511:480] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.47 HASHDATAIN16 レジスタ (オフセット = 640h) [リセット = 00000000h]

図 12-54 に、HASHDATAIN16 を示し、表 12-98 に、その説明を示します。

概略表に戻ります。

HASH データ入力 16
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-54. HASHDATAIN16 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-98. HASHDATAIN16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[543:512] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.48 HASHDATAIN17 レジスタ (オフセット = 644h) [リセット = 00000000h]

図 12-55 に、HASHDATAIN17 を示し、表 12-99 に、その説明を示します。

概略表に戻ります。

HASH データ入力 17
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-55. HASHDATAIN17 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-99. HASHDATAIN17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[575:544] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.49 HASHDATAIN18 レジスタ (オフセット = 648h) [リセット = 00000000h]

図 12-56 に、HASHDATAIN18 を示し、表 12-100 に、その説明を示します。

概略表に戻ります。

HASH データ入力 18
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-56. HASHDATAIN18 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-100. HASHDATAIN18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[607:576] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.50 HASHDATAIN19 レジスタ (オフセット = 64Ch) [リセット = 00000000h]

図 12-57 に、HASHDATAIN19 を示し、表 12-101 に、その説明を示します。

概略表に戻ります。

HASH データ入力 19
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-57. HASHDATAIN19 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-101. HASHDATAIN19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[639:608] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.51 HASHDATAIN20 レジスタ (オフセット = 650h) [リセット = 00000000h]

図 12-58 に、HASHDATAIN20 を示し、表 12-102 に、その説明を示します。

概略表に戻ります。

HASH データ入力 20
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-58. HASHDATAIN20 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-102. HASHDATAIN20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[671:640] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.52 HASHDATAIN21 レジスタ (オフセット = 654h) [リセット = 00000000h]

図 12-59 に、HASHDATAIN21 を示し、表 12-103 に、その説明を示します。

概略表に戻ります。

HASH データ入力 21
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-59. HASHDATAIN21 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-103. HASHDATAIN21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[703:672] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.53 HASHDATAIN22 レジスタ (オフセット = 658h) [リセット = 00000000h]

図 12-60 に、HASHDATAIN22 を示し、表 12-104 に、その説明を示します。

概略表に戻ります。

HASH データ入力 22
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-60. HASHDATAIN22 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-104. HASHDATAIN22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[735:704] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.54 HASHDATAIN23 レジスタ (オフセット = 65Ch) [リセット = 00000000h]

図 12-61 に、HASHDATAIN23 を示し、表 12-105 に、その説明を示します。

概略表に戻ります。

HASH データ入力 23
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-61. HASHDATAIN23 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-105. HASHDATAIN23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[767:736] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.55 HASHDATAIN24 レジスタ (オフセット = 660h) [リセット = 00000000h]

図 12-62 に、HASHDATAIN24 を示し、表 12-106 に、その説明を示します。

概略表に戻ります。

HASH データ入力 24
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-62. HASHDATAIN24 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-106. HASHDATAIN24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[799:768] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.56 HASHDATAIN25 レジスタ (オフセット = 664h) [リセット = 00000000h]

図 12-63 に、HASHDATAIN25 を示し、表 12-107 に、その説明を示します。

概略表に戻ります。

HASH データ入力 25
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-63. HASHDATAIN25 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-107. HASHDATAIN25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[831:800] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.57 HASHDATAIN26 レジスタ (オフセット = 668h) [リセット = 00000000h]

図 12-64 に、HASHDATAIN26 を示し、表 12-108 に、その説明を示します。

概略表に戻ります。

HASH データ入力 26
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-64. HASHDATAIN26 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-108. HASHDATAIN26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[863:832] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.58 HASHDATAIN27 レジスタ (オフセット = 66Ch) [リセット = 00000000h]

図 12-65 に、HASHDATAIN27 を示し、表 12-109 に、その説明を示します。

概略表に戻ります。

HASH データ入力 27
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-65. HASHDATAIN27 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-109. HASHDATAIN27 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[895:864] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.59 HASHDATAIN28 レジスタ (オフセット = 670h) [リセット = 00000000h]

図 12-66 に、HASHDATAIN28 を示し、表 12-110 に、その説明を示します。

概略表に戻ります。

HASH データ入力 28
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-66. HASHDATAIN28 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-110. HASHDATAIN28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[923:896] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.60 HASHDATAIN29 レジスタ (オフセット = 674h) [リセット = 00000000h]

図 12-67 に、HASHDATAIN29 を示し、表 12-111 に、その説明を示します。

概略表に戻ります。

HASH データ入力 29
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-67. HASHDATAIN29 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-111. HASHDATAIN29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[959:924] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.61 HASHDATAIN30 レジスタ (オフセット = 678h) [リセット = 00000000h]

図 12-68 に、HASHDATAIN30 を示し、表 12-112 に、その説明を示します。

概略表に戻ります。

HASH データ入力 30
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-68. HASHDATAIN30 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-112. HASHDATAIN30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[991:960] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.62 HASHDATAIN31 レジスタ (オフセット = 67Ch) [リセット = 00000000h]

図 12-69 に、HASHDATAIN31 を示し、表 12-113 に、その説明を示します。

概略表に戻ります。

HASH データ入力 31
データ入力レジスタは、スレーブ インターフェイスを介してハッシュ モジュールに入力データを提供するために使用します。

図 12-69. HASHDATAIN31 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DATA_IN																															
W-0h																															

表 12-113. HASHDATAIN31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DATA_IN	W	0h	HASH_DATA_IN[1023:992] これらのレジスタには、512 ビットの入力データを書き込む必要があります。データラインはハッシュモジュールのデータ入力に直接接続され、エンジンの内部データバッファに接続される。各レジスタに書き込むと、対応する 32 ビット書き込みイネーブルが内部バッファにトリガされます。 注:ホストは、HASHIOBUFCTRL.RFD_IN が 1 の場合にのみ、入力データ バッファに書き込むことができます。HASHIOBUFCTRL.RFD_IN が 0 の場合、エンジンは処理中です。処理中は、新しい入力データを書き込むことはできません。 メッセージ長が 64 バイトを超える場合、HASHIOBUFCTRL レジスタのフラグを使用したハンドシェイクにより、複数のデータ ブロックがこの入力バッファに書き込まれます。最後のブロックを除くすべてのブロックは、512 ビットである必要があります。最後のブロックが 512 ビット未満の場合は、有効な最下位ビットのデータのみを書き込みます。ただし、次の 32 ビット境界まで 0 を使用してパディングする必要があります。 これらのレジスタ アドレスに対するホスト読み取り操作では、0 が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.63 HASHIOBUFCTRL レジスタ (オフセット = 680h) [リセット = 00000004h]

HASHIOBUFCTRL は図 12-70 に示されており、表 12-114 で説明されています。

概略表に戻ります。

HASH Input_Output バッファ制御
このレジスタ ペアは一つのアドレスを共有し、ホストとハッシュ エンジン間のデータ フローを制御および監視するためのビットを含みます。

図 12-70. HASHIOBUFCTRL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
PAD_DMA_MESSAGE	GET_DIGEST	PAD_MESSAGE	予約済み		RFD_IN	DATA_IN_AV	OUTPUT_FULL
R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-1h	R/W-0h	R/W-0h

表 12-114. HASHIOBUFCTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	PAD_DMA_MESSAGE	R/W	0h	注:このビットは、DMA 経由でデータが供給される場合にのみ使用できます。データがスレーブ インターフェイスを介して供給される場合は、使用しないでください。 このビットは、ハッシュ エンジンが DMA 経由で受信したメッセージにパディングを追加し、ハッシュ処理を完了するかどうかを示します。 1 に設定すると、ハッシュ エンジンは設定された長さに基づいて最後のブロックをパディングします。パディング後、最終的なハッシュ結果が計算されます。 0 に設定すると、ハッシュ エンジンは最後に書き込まれたブロックをブロック サイズ境界に整列したものとして扱い、中間ダイジェストを計算します。 最後の DMA データ ブロックがハッシュ エンジンに到着すると、このビットは自動的にクリアされます。
6	GET_DIGEST	R/W	0h	注:以下のビットの説明は、データがスレーブ インターフェイスを介して送信される場合にのみ適用されます。データを DMA 経由で受信する場合、このビットは 0 に設定する必要があります。 このビットは、ハッシュ エンジンがハッシュ ダイジェストを出力するかどうかを示します。 data_in_av と同時に指定された場合、ハッシュ ダイジェストは、現在 HASHDATAINn レジスタに格納されているデータの処理完了後に出力されます。data_in_av を指定しない場合、現在の内部ダイジェスト バッファ値が HASHDIGESTn レジスタにコピーされます。 中間ハッシュ ダイジェストを利用可能にするために、ホストはこのビットに 1 を書き込む必要があります。 このビットに 0 を書き込んでも効果はありません。 ハッシュ エンジンが HASHDATAINn レジスタの内容を処理すると、このビットは自動的にクリアされます (つまり、読み取り値は 0 になります)。このビットがホストによってセットされてから、HASHDATAINn の実際の処理が行われるまでの間、このビットを読み取ると 1 になります。

Copyright © 2026 Texas Instruments Incorporated

表 12-114. HASHIOBUFCTRL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	PAD_MESSAGE	R/W	0h	注:以下のビットの説明は、データがスレーブ インターフェイスを介して送信される場合にのみ適用されます。DMA 経由でデータを受信する場合、このビットを 0 に設定する必要があります。 このビットは、HASHDATAINn レジスタにメッセージの最後のデータが格納されており、ハッシュ パディングを適用する必要があることを示します。ホストは、HASHDATAINn レジスタに現在メッセージの最終データが格納されていることをハッシュ エンジンに通知するため、このビットに 1 を書き込む必要があります。pad_message が 1 に設定されている場合、ハッシュエンジンは現在 HASHDATAINn レジスタ内のデータにパディング ビットを追加します。 最後のメッセージ ブロックが 512 ビット未満の場合は、pad_message ビットを data_in_av ビットと同時に 1 に設定する必要があります。 最後のメッセージ ブロックが 512 ビットの場合、pad_message は data_in_av と一緒に設定できます。この場合、最後のデータ ブロックがハッシュ エンジンに書き込まれた後に pad_message ビットを設定することもできます (つまり、最後のデータ ブロックを書き込んだ後に rfd_in ビットが再び 1 になった時点です)。 このビットに 0 を書き込んでも効果はありません。 このビットは、ハッシュ エンジンによって自動的にクリアされます (つまり、読み取り値は 0 になります)。このビットは、ホストによってセットされてから、ハッシュ エンジンがその値を解釈するまでの間、1 を読み取ります。
4-3	予約済み	R/W	0h	0 を書き込み、読み取りは無視します
2	RFD_IN	R/W	1h	注:以下のビットの説明は、データがスレーブ インターフェイスを介して送信される場合にのみ適用されます。DMA を介してデータが受信される場合、このビットは無視できます。 ハッシュ エンジンの入力バッファの読み取り専用ステータスです。 1 の場合、ハッシュ エンジンの入力バッファは新しいデータを受け付けることができます HASHDATAINn レジスタは新しいデータを安全に入力することができます。 0 の場合、ハッシュ エンジンの入力バッファは、現在 HASHDATAINn に格納されているデータを処理中です これらのレジスタへの新しいデータの書き込みは許可されません。
1	DATA_IN_AV	R/W	0h	注:以下のビットの説明は、データがスレーブ インターフェイスを介して送信される場合にのみ適用されます。DMA 経由でデータを受信する場合、このビットを 0 に設定する必要があります。 このビットは、HASHDATAINn レジスタに処理対象の新しい入力データが格納されていることを示します。 ホストはこのビットに 1 を書き込んで HASHDATAINn でデータの処理を開始する必要があります ハッシュ エンジンは、新しいデータの準備ができた直後 (rfd_in ビットが 1) に新しいデータを処理します。 このビットに 0 を書き込んでも効果はありません。 ハッシュ エンジンが HASHDATAINn レジスタの内容の処理を開始すると、このビットは自動的にクリアされます (つまり、読み取り値は 0 になります)。このビットは、ホストによってセットされてから、ハッシュ エンジンが実際に入力データ ブロックの処理を開始するまでの間、1 を読み取ります。

Copyright © 2026 Texas Instruments Incorporated

表 12-114. HASHIOBUFCTRL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	OUTPUT_FULL	R/W	0h	出力バッファレジスタ (HASHDIGESTn) がホストからの読み出しに使用可能であることを示します。 このビットが 0 のとき、出力バッファレジスタが解放されます ハッシュ エンジンは新しいデータを書き込むことができます。この場合、ホストからレジスタを読み出すことはできません。 このビットの読み取り値が 1 の場合、ハッシュ エンジンは直前のハッシュ演算の結果を出力バッファ レジスタに格納しています。このビットの読み取り値が 1 である間、ホストは出力バッファ レジスタを読み出すことができ、ハッシュ エンジンによる出力バッファへの新しいデータの書き込みは抑止されます。 ホストは、出力バッファからハッシュ結果データを取得した後、このビットをクリアするために 1 を書き込む必要があります。これにより、ハッシュ エンジンはダイジェスト出力バッファに新しいハッシュ結果を格納できるようになります。 このビットに 0 を書き込んでも効果はありません。 注:このビットがアサートされている場合 (1)、ハッシュ エンジンからダイジェストを取得し、このビットがクリア (0) されるまでは、新しい処理を開始しないでください。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.64 HASHMODE レジスタ (オフセット = 684h) [リセット = 00000000h]

HASHMODE は図 12-71 に示されており、表 12-115 で説明されています。

概略表に戻ります。

HASH モード

図 12-71. HASHMODE レジスタ

31	30	29	28	27	26	25	24
予約済み							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み	SHA384_MODE	SHA512_MODE	SHA224_MODE	SHA256_MODE	予約済み		NEW_HASH
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h		W-0h

表 12-115. HASHMODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	W	0h	0 を書き込み、読み取りは無視します
6	SHA384_MODE	W	0h	SHA 384 セッションの処理開始前に、ホストはこのビットを 1 に設定する必要があります。
5	SHA512_MODE	W	0h	SHA 512 セッションの処理開始前に、ホストはこのビットを 1 に設定する必要があります。
4	SHA224_MODE	W	0h	SHA 224 セッションの処理開始前に、ホストはこのビットを 1 に設定する必要があります。
3	SHA256_MODE	W	0h	SHA 256 セッションの処理開始前に、ホストはこのビットを 1 に設定する必要があります。
2-1	予約済み	W	0h	0 を書き込み、読み取りは無視します
0	NEW_HASH	W	0h	1 に設定すると、ハッシュ エンジンが新しいハッシュ セッションの処理を開始する必要があることを示します。[HASHDIGESTn.*] レジスタには、選択されたハッシュ アルゴリズムの初期ハッシュ定数が自動的にロードされます。 ハッシュ処理の開始時にこのビットが 0 の場合、初期ハッシュ定数は HASHDIGESTn レジスタにロードされません。ハッシュ エンジンは、現在内部の HASHDIGESTn レジスタに格納されているダイジェストを使用して処理を開始します。 このビットは、ハッシュ処理が開始されると自動的にクリアされます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.65 HASHINLENL レジスタ (オフセット = 688h) [リセット = 00000000h]

HASHINLENL は図 12-72 に示されており、表 12-116 で説明されています。

概略表に戻ります。

HASH 入力長 LSB

図 12-72. HASHINLENL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LENGTH_IN																															
W-0h																															

表 12-116. HASHINLENL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	LENGTH_IN	W	0h	LENGTH_IN[31:0] メッセージ長レジスタ。これらのレジスタの内容は、ハッシュ セッションのメッセージ パディング フェーズにおいてハッシュ エンジンによって使用されます。これらのレジスタのデータ ラインは、ハッシュ エンジンのインターフェイスに直接接続されています。 ホストによる書き込み操作では、これらのレジスタにメッセージ長をビット単位で書き込む必要があります。 最後のハッシュ演算: パディングを伴うハッシュ演算の新規開始時には、入力データの総長を設定する必要があります。入力データは、スレーブ インターフェイスまたは DMA インターフェイスを介して提供する必要があります。 継続ハッシュ演算 (ファイナライズ済み): ファイナライズを伴う継続ハッシュ演算では、書き込まれた入力ダイジェストに対応する既存のハッシュ済みデータ長を含めたメッセージ全体の長さを設定する必要があります。 ファイナライズなしのハッシュ演算: ファイナライズを必要としないハッシュ演算 (入力データ長が SHA-256 のデータ ブロック サイズである 512 ビットの整数倍の場合) では、長さフィールドは演算で使用されないため、設定する必要はありません。 メッセージ長 (ビット単位) が (2^{32}-1) 未満の場合は、このレジスタのみを書き込めば十分です。この場合、ハードウェアは自動的に HASH_LENGTH_IN_H を 0 に設定します。 HASHIOBUFCTRL.RFD_IN が High の間、ホストはハッシュ セッション中の任意の時点で長さレジスタに書き込むことができます。長さレジスタは、アクティブなハッシュ セッションの最後のデータがハッシュ エンジンに書き込まれる前に書き込む必要があります。 これらのレジスタ位置からのホスト読み出し動作は 0 を返します。 注:DMA からデータを取得する場合、このレジスタは DMA の開始設定を行う前に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.66 HASHINLENH レジスタ (オフセット = 68Ch) [リセット = 00000000h]

HASHINLENH は図 12-73 に示されており、表 12-117 で説明されています。

概略表に戻ります。

HASH 入力長 MSB

図 12-73. HASHINLENH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LENGTH_IN																															
W-0h																															

表 12-117. HASHINLENH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	LENGTH_IN	W	0h	LENGTH_IN[63:32] メッセージ長レジスタ。これらのレジスタの内容は、ハッシュ セッションのメッセージ パディング フェーズにおいてハッシュ エンジンによって使用されます。これらのレジスタのデータ ラインは、ハッシュ エンジンのインターフェイスに直接接続されています。 ホストによる書き込み操作では、これらのレジスタにメッセージ長をビット単位で書き込む必要があります。 最後のハッシュ演算: パディングを伴うハッシュ演算の新規開始時には、入力データの総長を設定する必要があります。入力データは、スレーブ インターフェイスまたは DMA インターフェイスを介して提供する必要があります。 継続ハッシュ演算 (ファイナライズ済み): ファイナライズを伴う継続ハッシュ演算では、書き込まれた入力ダイジェストに対応する既存のハッシュ済みデータ長を含めたメッセージ全体の長さを設定する必要があります。 ファイナライズなしのハッシュ演算: ファイナライズを必要としないハッシュ演算 (入力データ長が SHA-256 のデータ ブロック サイズである 512 ビットの整数倍の場合) では、長さフィールドは演算で使用されないため、設定する必要はありません。 メッセージ長 (ビット単位) が (2^{32}-1) 未満の場合は、HASHINLENL のみを書き込めば十分です。この場合、ハードウェアは自動的に HASH_LENGTH_IN_H を 0 に設定します。 HASHIOBUFCTRL.RFD_IN が High の間、ホストはハッシュ セッション中の任意の時点で長さレジスタに書き込むことができます。長さレジスタは、アクティブなハッシュ セッションの最後のデータがハッシュ エンジンに書き込まれる前に書き込む必要があります。 これらのレジスタ位置からのホスト読み出し動作は 0 を返します。 注:DMA からデータを取得する場合、このレジスタは DMA の開始設定を行う前に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.67 HASHDIGESTA レジスタ (オフセット = 6C0h) [リセット = 00000000h]

HASHDIGESTA は図 12-74 に示されており、表 12-118 で説明されています。

概略表に戻ります。

HASH ダイジェスト A
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-74. HASHDIGESTA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-118. HASHDIGESTA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[31:0] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.68 HASHDIGESTB レジスタ (オフセット = 6C4h) [リセット = 00000000h]

HASHDIGESTB は図 12-75 に示されており、表 12-119 で説明されています。

概略表に戻ります。

HASH ダイジェスト B
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-75. HASHDIGESTB レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-119. HASHDIGESTB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[63:32] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.69 HASHDIGESTC レジスタ (オフセット = 6C8h) [リセット = 00000000h]

HASHDIGESTC は図 12-76 に示されており、表 12-120 で説明されています。

概略表に戻ります。

HASH ダイジェスト C
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-76. HASHDIGESTC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-120. HASHDIGESTC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[95:64] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.70 HASHDIGESTD レジスタ (オフセット = 6CCh) [リセット = 00000000h]

HASHDIGESTD は図 12-77 に示されており、表 12-121 で説明されています。

概略表に戻ります。

HASH ダイジェスト D
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-77. HASHDIGESTD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-121. HASHDIGESTD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[127:96] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.71 HASHDIGESTE レジスタ (オフセット = 6D0h) [リセット = 00000000h]

HASHDIGESTE は図 12-78 に示されており、表 12-122 で説明されています。

概略表に戻ります。

HASH ダイジェスト E
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-78. HASHDIGESTE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-122. HASHDIGESTE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[159:128] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.72 HASHDIGESTF レジスタ (オフセット = 6D4h) [リセット = 00000000h]

HASHDIGESTF は図 12-79 に示されており、表 12-123 で説明されています。

概略表に戻ります。

HASH ダイジェスト F
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-79. HASHDIGESTF レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-123. HASHDIGESTF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[191:160] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.73 HASHDIGESTG レジスタ (オフセット = 6D8h) [リセット = 00000000h]

HASHDIGESTG は図 12-80 に示されており、表 12-124 で説明されています。

概略表に戻ります。

HASH ダイジェスト G
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-80. HASHDIGESTG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-124. HASHDIGESTG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[223:192] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.74 HASHDIGESTH レジスタ (オフセット = 6DCh) [リセット = 00000000h]

HASHDIGESTH は図 12-81 に示されており、表 12-125 で説明されています。

概略表に戻ります。

HASH ダイジェスト H
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-81. HASHDIGESTH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-125. HASHDIGESTH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[255:224] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.75 HASHDIGESTI レジスタ (オフセット = 6E0h) [リセット = 00000000h]

HASHDIGESTI は図 12-82 に示されており、表 12-126 で説明されています。

概略表に戻ります。

HASH ダイジェスト I
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-82. HASHDIGESTI レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-126. HASHDIGESTI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[287:256] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.76 HASHDIGESTJ レジスタ (オフセット = 6E4h) [リセット = 00000000h]

HASHDIGESTJ は図 12-83 に示されており、表 12-127 で説明されています。

概略表に戻ります。

HASH ダイジェスト J
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-83. HASHDIGESTJ レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-127. HASHDIGESTJ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[319:288] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.77 HASHDIGESTK レジスタ (オフセット = 6E8h) [リセット = 00000000h]

HASHDIGESTK は図 12-84 に示されており、表 12-128 で説明されています。

概略表に戻ります。

HASH ダイジェスト K
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-84. HASHDIGESTK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-128. HASHDIGESTK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[351:320] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.78 HASHDIGESTL レジスタ (オフセット = 6ECh) [リセット = 00000000h]

HASHDIGESTL は図 12-85 に示されており、表 12-129 で説明されています。

概略表に戻ります。

HASH ダイジェスト L
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-85. HASHDIGESTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-129. HASHDIGESTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[383:352] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.79 HASHDIGESTM レジスタ (オフセット = 6F0h) [リセット = 00000000h]

HASHDIGESTM は図 12-86 に示されており、表 12-130 で説明されています。

概略表に戻ります。

HASH ダイジェスト M
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-86. HASHDIGESTM レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-130. HASHDIGESTM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[415:384] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.80 HASHDIGESTN レジスタ (オフセット = 6F4h) [リセット = 00000000h]

HASHDIGESTN は図 12-87 に示されており、表 12-131 で説明されています。

概略表に戻ります。

HASH ダイジェスト N
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-87. HASHDIGESTN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-131. HASHDIGESTN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[447:416] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.81 HASHDIGESTO レジスタ (オフセット = 6F8h) [リセット = 00000000h]

HASHDIGESTO は図 12-88 に示されており、表 12-132 で説明されています。

概略表に戻ります。

HASH ダイジェスト 0
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-88. HASHDIGESTO レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-132. HASHDIGESTO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[479:448] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.82 HASHDIGESTP レジスタ (オフセット = 6FCh) [リセット = 00000000h]

HASHDIGESTP は図 12-89 に示されており、表 12-133 で説明されています。

概略表に戻ります。

HASH ダイジェスト P
ハッシュ ダイジェスト レジスタは、HASH_DIGEST_A ～ HASH_DIGEST_H という名前の八個の 32 ビット レジスタで構成されます。メッセージの処理後、出力ダイジェストはこれらのレジスタから読み取ることができます。これらのレジスタには、継続ハッシュ演算のための中間ハッシュ結果を書き込むことができます。

図 12-89. HASHDIGESTP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASH_DIGEST																															
R/W-0h																															

表 12-133. HASHDIGESTP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	HASH_DIGEST	R/W	0h	HASH_DIGEST[511:480] ハッシュ ダイジェスト レジスタ 書き込みハッシュ: 継続ハッシュ演算: ハッシュ セッションを再開する前に、これらのレジスタにコンテキスト データを書き込む必要があります (HASHMODE.NEW_HASH ビットが 0 の状態でハッシュ セッションを開始する場合)。 新規ハッシュ: 新しいハッシュ セッションを開始する場合 (HASHMODE.NEW_HASH ビットが 1 の場合)、内部ダイジェスト レジスタは自動的に SHA-256 アルゴリズムの初期定数に設定されるため、これらのレジスタに書き込む必要はありません。 データ処理後、これらのレジスタを読み取ることで、中間ハッシュ結果 (ファイナライズなしのハッシュ演算の場合) または最終ハッシュ結果 (ファイナライズありのハッシュ演算の場合) を取得できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.83 ALGSEL レジスタ (オフセット = 700h) [リセット = 000000000h]

ALGSEL を表 12-134 に示します。

概略表に戻ります。

アルゴリズム選択
このアルゴリズム選択レジスタは、DMA コントローラの内部送信先を設定します。

表 12-134. ALGSEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
32	HASH_SHA_512	R/W	0h	1 に設定されている場合、512B モードでハッシュ エンジンを DMA の送信先として選択します DMA エンジンへの最大転送サイズは、読み取り時は 64 バイト、書き込み時は 32 バイトに設定されます (後者は、ハッシュ結果を DMA 経由で出力する場合にのみ適用されます)。
31	TAG	R/W	0h	このビットを 0 にクリアすると、DMA 動作はデータのみを対象とします。このビットをセットすると、DMA 動作には TAG (認証結果 / ダイジェスト) が含まれます。 SHA-256 操作では、入力データと TAG の両方に対して DMA を設定する必要があります。その他のモジュールが選択されている場合、このビットをセットすると、TAG を読み出す DMA のみが許可されます。DMA を介して、選択されたモジュールとの間でデータを転送することはできません。
30-4	予約済み	R	0h	予約済み
3	予約済み	R/W	0h	
2	HASH_SHA_256	R/W	0h	1 に設定されている場合、256B モードでハッシュ エンジンを DMA の送信先として選択します DMA エンジンへの最大転送サイズは、読み取り時は 64 バイト、書き込み時は 32 バイトに設定されます (後者は、ハッシュ結果を DMA 経由で出力する場合にのみ適用されます)。
1	AES	R/W	0h	1 に設定すると、DMA の転送元 / 転送先として AES エンジンが選択されます DMA エンジンへの読み取りおよび書き込みの最大転送サイズは 16 バイトに設定されます。
0	KEY_STORE	R/W	0h	1 に設定すると、DMA の転送先としてキー ストアが選択されます DMA エンジンへの最大転送サイズは 32 バイトに設定されます (ただし、16 バイト、24 バイト、および 32 バイトの転送が可能です)

Copyright © 2026 Texas Instruments Incorporated

12.9.1.84 DMAPROTCTL レジスタ (オフセット = 704h) [リセット = 00000000h]

DMAPROTCTL は図 12-90 に示されており、表 12-135 で説明されています。

概略表に戻ります。

DMA 保護制御
Master PROT 特権アクセス イネーブル
このレジスターは、キーをストア モジュールに書き込むために、AHB マスタ インターフェイスでキーの読み取りが実行される際に、AHB マスタ インターフェイスの AHB HPROT バスの二番目のビット (ビット [1]) を有効にします。

図 12-90. DMAPROTCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							PROT_EN
R-0h							R/W-0h

表 12-135. DMAPROTCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	PROT_EN	R/W	0h	キー ストア領域を宛先として使用して、DMA 転送の AHB 転送保護制御を選択します。 0: 転送には「USER」タイプのアクセスを使用します。 1: 転送には「特権」タイプのアクセスが使用されます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.85 SWRESET レジスタ (オフセット = 740h) [リセット = 00000000h]

SWRESET は図 12-91 に示されており、表 12-136 で説明されています。

概略表に戻ります。

ソフトウェア リセット

図 12-91. SWRESET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							SW_RESET
R-0h							R/W-0h

表 12-136. SWRESET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SW_RESET	R/W	0h	このビットを 1 に設定すると、以下のモジュールがリセットされます: - マスタ制御の内部状態がリセットされます。割り込み、エラー ステータス レジスタ、結果として使用可能な割り込み生成 FSM が含まれます。 - キー ストア モジュールの状態がリセットされました。これには、書き込み領域フラグのクリアも含まれます したがって、キーをキー ストア モジュールにリロードする必要があります。 0 を書き込んでも効果はありません。 このビットは、リセットを実行すると自動的にクリアされます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.86 IRQTYPE レジスタ (オフセット = 780h) [リセット = 00000000h]

IRQTYPE は図 12-92 に示されており、表 12-137 で説明されています。

概略表に戻ります。

制御割り込み構成

図 12-92. IRQTYPE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							レベル
R-0h							R/W-0h

表 12-137. IRQTYPE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	レベル	R/W	0h	このビットが 0 の場合、割り込み出力はパルスです。 このビットを 1 に設定すると、割り込みはレベル割り込みとなり、割り込みクリア レジスタへの書き込みによってクリアする必要があります。 このビットは、両方の割り込み出力信号に適用できます。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.87 IRQEN レジスタ (オフセット = 784h) [リセット = 00000000h]

図 12-93 に、IRQEN を示し、表 12-138 に、その説明を示します。

概略表に戻ります。

制御割り込みイネーブル

図 12-93. IRQEN レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						DMA_IN_DONE	RESULT_AVAIL
R-0h						R/W-0h	R/W-0h

表 12-138. IRQEN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	DMA_IN_DONE	R/W	0h	このビットが 0 に設定されている場合、DMA 入力完了 (irq_dma_in_done) 割り込み出力は無効化され、0 のままになります。 このビットが 1 に設定されている場合、DMA 入力完了割り込み出力がイネーブルになります。
0	RESULT_AVAIL	R/W	0h	このビットが 0 に設定されている場合、結果利用可能 (irq_result_av) 割り込み出力は無効化され、0 のままになります。 このビットが 1 に設定されている場合、結果として利用可能な割り込み出力がイネーブルになります。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.88 IRQCLR レジスタ (オフセット = 788h) [リセット = 00000000h]

図 12-94 に、IRQCLR を示し、表 12-139 に、その説明を示します。

概略表に戻ります。

制御割り込みクリア

図 12-94. IRQCLR レジスタ

31	30	29	28	27	26	25	24
DMA_BUS_ERR	KEY_ST_WR_ERR	KEY_ST_RD_ERR	予約済み				
W-0h	W-0h	W-0h	R-0h				
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						DMA_IN_DONE	RESULT_AVAIL
R-0h						W-0h	W-0h

表 12-139. IRQCLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DMA_BUS_ERR	W	0h	このビットに 1 を書き込むと、DMA バス エラー ステータスがクリアされます。 0 を書き込んでも効果はありません。
30	KEY_ST_WR_ERR	W	0h	このビットに 1 を書き込むと、キー ストア書き込みエラー ステータスがクリアされます。 0 を書き込んでも効果はありません。
29	KEY_ST_RD_ERR	W	0h	このビットに 1 を書き込むと、キー ストア読み出しエラー ステータスがクリアされます。 0 を書き込んでも効果はありません。
28-2	予約済み	R	0h	予約済み
1	DMA_IN_DONE	W	0h	このビットに 1 を書き込むと、DMA 入力完了 (irq_dma_in_done) 割り込み出力がクリアされます。 0 を書き込んでも効果はありません。 割り込みのクリアが意味を持つのは、割り込み出力がレベル割り込みとして設定されている場合のみであることに注意してください (IRQTYPE を参照)。
0	RESULT_AVAIL	W	0h	このビットに 1 を書き込むと、結果利用可能 (irq_result_av) 割り込み出力がクリアされます。 0 を書き込んでも効果はありません。 割り込み出力がレベル割り込みとして設定されている場合にのみ、割り込みのクリアは有効です (IRQTYPE を参照)。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.89 IRQSET レジスタ (オフセット = 78Ch) [リセット = 00000000h]

図 12-95 に、IRQSET を示し、表 12-140 に、その説明を示します。

概略表に戻ります。

制御割り込みセット

図 12-95. IRQSET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						DMA_IN_DONE	RESULT_AVAIL
R-0h						W-0h	W-0h

表 12-140. IRQSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	DMA_IN_DONE	W	0h	このビットに 1 を書き込むと、DMA データ入力完了 (irq_dma_in_done) 割り込み出力が 1 に設定されます。 0 を書き込んでも効果はありません。 割り込み設定レジスタがパルス モードに設定されている場合、DMA データ入力完了 (irq_dma_in_done) 割り込みをクリアする必要はありません。割り込み設定がレベルの場合、割り込み出力をクリアするには、割り込みクリア レジスタ (IRQCLR.DMA_IN_DONE) に書き込む必要があります。
0	RESULT_AVAIL	W	0h	このビットに 1 を書き込むと、結果利用可能 (irq_result_av) 割り込み出力が 1 に設定されます。 0 を書き込んでも効果はありません。 割り込み設定レジスタがパルス モードに設定されている場合、結果利用可能 (irq_result_av) 割り込みをクリアする必要はありません。割り込み設定がレベル割り込みの場合、割り込み出力をクリアするには、割り込みクリア レジスタ (IRQCLR.RESULT_AVAIL) に書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

12.9.1.90 IRQSTAT レジスタ (オフセット = 790h) [リセット = 00000000h]

IRQSTAT は図 12-96 に示されており、表 12-141 で説明されています。

概略表に戻ります。

制御割り込みステータス

図 12-96. IRQSTAT レジスタ

31	30	29	28	27	26	25	24
DMA_BUS_ERR	KEY_ST_WR_ERR	KEY_ST_RD_ERR	予約済み				
R-0h	R-0h	R-0h	R-0h				
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						DMA_IN_DONE	RESULT_AVAIL
R-0h						R-0h	R-0h

表 12-141. IRQSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DMA_BUS_ERR	R	0h	このビットは、DMA 動作中に DMA バス エラーが検出されるとセットされます。このレジスタの値は、IRQCLR.DMA_BUS_ERR によってクリアされるまで保持されます 注:このエラーは、DMA 動作中に AHB マスタ インターフェイスでエラーが検出された場合にアサートされます。
30	KEY_ST_WR_ERR	R	0h	このビットは、キー ストア メモリへの DMA 書き込み操作中に書き込みエラーが検出されるとセットされます。このレジスタの値は、IRQCLR.KEY_ST_WR_ERR レジスタでクリアされるまで保持されます。 注:このエラーは、DMA 操作でキー領域全体が書き込まれなかった場合、または想定より多くの領域が書き込まれた場合にアサートされます。
29	KEY_ST_RD_ERR	R	0h	このビットは、キー ストアから AES コアへキーをコピーする際に、キーの読み出し中に読み出しエラーが検出されるとセットされます。このレジスタの値は、IRQCLR.KEY_ST_RD_ERR レジスタでクリアされるまで保持されます。 注:このエラーは、キー ストア内で利用できないキー格納領域が選択された場合にアサートされます。
28-2	予約済み	R	0h	予約済み
1	DMA_IN_DONE	R	0h	この読み取り専用ビットは、DMA データ入力完了割り込み出力ピン (irq_data_in_done) の DMA データ入力完了 (irq_data_in_done) 割り込みステータスを返します。
0	RESULT_AVAIL	R	0h	この読み取り専用ビットは、結果利用可能 (irq_result_av) 割り込み出力ピン (irq_result_av) の実際の割り込みステータスを返します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

12.9.1.91 HWVER レジスタ (オフセット = 7FCh) [リセット = 92008778h]

図 12-97 に、HWVER を示し、表 12-142 に、その説明を示します。

概略表に戻ります。

ハードウェア バージョン

図 12-97. HWVER レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				HW_MAJOR_VER				HW_MINOR_VER				HW_PATCH_LVL			
R-0h				R-2h				R-0h				R-0h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VER_NUM_COMPL								VER_NUM							
R-87h								R-78h							

表 12-142. HWVER レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	HW_MAJOR_VER	R	2h	メジャー バージョン番号
23-20	HW_MINOR_VER	R	0h	マイナー バージョン番号
19-16	HW_PATCH_LVL	R	0h	パッチレベル このバージョンの初回リリース時は 0 から開始します
15-8	VER_NUM_COMPL	R	87h	これらのビットは、単にビット [7:0] (0x87) の補数を格納しており、ドライバが EIP-120t レジスタが正しく読み取られたことを確認するために使用されます。
7-0	VER_NUM	R	78h	これらのビットは EIP-120t の EIP 番号をエンコードしており、このフィールドには 120 (十進数)、すなわち 0x78 が格納されます。

Copyright © 2026 Texas Instruments Incorporated

Chapter 13

I/O コントローラ (IOC)

この章では、入出力コントローラ (IOC) と汎用入出力 (GPIO) について説明します。IOC では、ほとんどのペリフェラル ポートを任意の物理 I/O ピンにマッピングできるため、柔軟な構成が可能です。CC13x2 および CC26x2 デバイス プラットフォームには、GPIO またはペリフェラル I/O 機能として構成可能な I/O ピンが最大 31 本あります。RSIP/PSIP モジュールは最大 32 本の I/O ピンをサポートし、そのうち 31 本は GPIO として構成可能で、32 本はペリフェラル I/O 機能です。

13.1 概要.....1120
13.2 IOC の概要.....1120
13.3 I/O マッピングと構成.....1121
13.4 DIO ピンのエッジ検出.....1122
13.5 未使用の I/O ピン.....1123
13.6 GPIO.....1123
13.7 I/O ピン機能.....1124
13.8 ペリフェラル PORTID.....1126
13.9 I/O ピン.....1127
13.10 IOC レジスタ.....1128

Copyright © 2026 Texas Instruments Incorporated

13.1 概要

I/O コントローラは I/O ピンを構成して、ペリフェラル信号を CC13x2 および CC26x2 デバイスパッケージと RSIP/PSIP モジュールの物理ピン (DIOx) にマッピングします。この章では I/O コントローラ機能について説明し、ペリフェラル機能をユーザーが選択したピンにマッピングする方法の例をいくつか示します。

いくつかの類似語を以下のように定義します:

- PORTID はペリフェラル機能の番号です。
- GPIO は PORTID が 0x0 のペリフェラル機能です。
- DIOn (DIO0 ～ DIO31) は、特定のパッケージ上のさまざまな I/O ピンの論理名です。

  これらの DIO の 8 つにはアナログ機能もあります。デバイス固有のデータシートには、各種パッケージの DIO とピン間のマッピングが記載されています。

13.2 IOC の概要

図 13-1 に IOC の概要を示します。

IOC モジュールは、二つの主要なサブモジュールで構成されています:

- マイコン ユニット IOC (MCU IOC) は、ペリフェラル ポートをユーザー定義のピンに構成します。
- 常時オン IOC (AON IOC) モジュールは、JTAG、32kHz クロック、AON ペリフェラル、AUX ドメインの各信号を処理します。

常時オンのペリフェラル (RTC、バッテリ モニタ、および内部温度センサ) は、32kHz の低周波数クロック (SCLK_LF。詳細については、セクション 7.5 を参照) からクロック供給されます。これにより、これらの周辺機能を動作状態に維持したまま、デバイスを非常に低い消費電力で動作させることができます。正しく構成すると、AON IOC は、AUX 電源ドメインの電源がオフになっても、すべての I/O の出力レベルが変更されないようにします

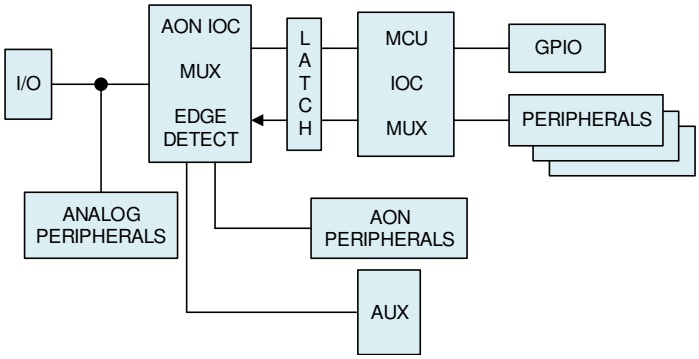


図 13-1. IOC の概要 (概略版)

Copyright © 2026 Texas Instruments Incorporated

13.3 I/O マッピングと構成

マイコン IOC は、GPIO、SSI、UART、I²C、I²S などの多数のペリフェラル モジュールを、利用可能な任意の I/O にマッピングできます。JTAG 機能は、特定の I/O ピンに限定されています。各タイプのペリフェラル信号には固有の PORTID があり、選択した I/O ピンに割り当てることができます (DIO として参照)。表 13-3 に、さまざまな PORTID 信号を示します。

13.3.1 基本 I/O マッピング

ペリフェラル機能を DIOn (n の範囲は 0 ～ 31) にマッピングするには、PORTID とピン構成を対応する IOC:IOCFGn レジスタで設定する必要があります。ピンにどの機能を割り当てるかを選択するには、目的のペリフェラル機能に対応する PORTID 番号を選択し、その PORTID 番号を IOC:IOCFGn.PORTID ビット フィールドに書き込みます。

この機能は、以下のドライバ ライブラリ関数を使用して設定できます。

```
IOCPortConfigureSet(DIOn, PORTID, PIN-CONFIG);
```

PIN-CONFIG で設定できる構成の種類については、セクション 13.5 を参照してください。

13.3.2 AUXIO から DIO ピンへのマッピング

センサ コントローラ ドメイン (AUX ドメイン) には、最大 32 個の信号 (AUXIO0 ～ AUXIO31) があります。これらの信号は、表 13-2 に示す特定の DIO ピンに配線できます。AUXIO19 から AUXIO26 の信号にはアナログ機能がありますが、デジタル I/O としても使用できます。他のすべての AUXIOn 信号はデジタルのみです。AUX ドメインから配線される信号は、GPIO や他のペリフェラル機能とは設定が異なります。このセクションでは、センサ コントローラのすべての機能の使用については説明していません (詳細については、Chapter 19 を参照)。

この例では、AUXIO1 を DIO17 にマッピングし、デジタル入力として設定しています。

1. IOC:IOCFG17 PORTID ビット フィールドを 0x08 (AUX_I/O) に設定して、AUXIO1 を DIO17 にルーティングします。
2. AUX ドメイン内の I/O 信号には、それぞれ専用のオープンソースまたはオープンドレイン構成があり、この設定は AUX ドメイン内の AUX_AIODIO0:IOMODE レジスタで行う必要があります。AUXIO1 をデジタル入力として有効にするには、AUX_AIODIO0:IOMODE.IO1 を 0x01 に設定します。
3. AUX_AIODIO0:GPIODIE レジスタの IO7_0 ビット フィールドを 0x02 に設定して、AUXIO1 のデジタル入力バッファを有効にします。

13.3.3 I/O を使用した外部 LNA/PA (レンジ エクステンダ) の制御

RF コア内部には、RF コア データ出力 n と呼ばれる四本の論理出力信号があります。ここで、n は 0 ～ 3 の値を取ります。これらの信号は DIO にマッピングできます。デフォルトでは、RF コア データ出力 0 は LNA を有効にする必要があるときに High となるよう設定されており、RF コア データ出力 1 は PA を有効にする必要があるときに high となるよう設定されています。表 13-1 では、信号について説明します。これらの信号は、対応する IOCFGn レジスタの PORTID を設定することで、任意の DIO に割り当てることができます。

```
#include <driverlib/ioc.h>
// Map RFC_GPO0 to DIOx
IOCPortConfigureSet(IOID_x, IOC_PORT_RFC_GPO0, IOC_IOMODE_NORMAL);
```

表 13-1. PA および LNA の RF コア データ信号

ポート名	PORTID	RF コア信号	説明
RFC_GPO0	0x2F	RF コア データ出力 0	LNA イネーブル
RFC_GPO1	0x30	RF コア データ出力 1	PA イネーブル
RFC_GPO2	0x31	RF コア データ出力 2	シンセサイザの較正が実行中です
RFC_GPO3	0x32	RF コア データ出力 3	TX 開始

Copyright © 2026 Texas Instruments Incorporated

13.3.4 32kHz システム クロック (LF クロック) を DIO に割り当てる

AON IOC には、32kHz LF システム クロック出力の出力イネーブル制御機能が含まれており、このクロック信号には AON_CLK32K (0x7) という専用の PORTID が割り当てられています。これにより、クロック信号を簡単にピンに出力できます。クロックを任意の DIO に割り当て、AON_IOC:CLK32KCTL.OE_N レジスタ フィールドを 0x0 に設定してクロック出力を有効にします。次の二つのドライバ ライブラリ呼び出しで同じ結果が得られます。

```
#include <driverlib/aon_ioc.h>
IOCPortConfigureSet(IOIDn, IOC_PORT_AON_CLK32K, IOC_STD_OUTPUT);
AONIOC32kHzOutputEnable();
```

これにより、シャットダウンを除くすべてのパワー モードで、LF システム クロック信号が出力されます。

DIO を 32kHz LF システム クロックの入力ソースとして使用する場合にも、AON_CLK32K の PORTID 値が選択されます。DIO をクロック ソースとして使用する方法の説明については、Chapter 7 を参照してください。

注

AON_CLK32K PORTID は、一つのクロック出力としてのみ、またはクロック入力としてのみ使用する必要があります。

13.4 DIO ピンのエッジ検出

AON IOC はデジタル I/O 上の正方向のエッジおよび (または) 負方向のエッジの検出をサポートし、その結果として生成されるイベントを以下の AON イベント ファブリックへ提供します。

- IOEV_AON_PROG0
- IOEV_AON_PROG1
- IOEV_AON_PROG2
- IOEV_RTC
- IOEV_MCU_WU

エッジ検出イベントは、マイコン GPIO と AUX ドメインの両方によってクリアできます。エッジ検出イベントは、エッジ設定を一度無効化し、その後再度有効化するサイクルを行うことで、マイコン IOC からもクリアできます。マイコン GPIO は各エッジ検出セルへの個別のクリア ラインを備えており、AUX ドメインは一つのラインを使用して、AUX ドメインに接続されたピンのすべてのイベントをクリアします。AUX ドメインからクリアすると、AUX ドメイン I/O に関連するすべてのイベントがクリアされます。

エッジ検出ブロックは、各 I/O にエッジ検出セルを使用します。各検出セルは、エッジ検出をフラグし、割り込み信号をトリガできます。すべてのセルからの割り込み信号の論理和がとられ、AON イベント ファブリックへの一つの割り込みラインが形成されます。

AON IOC は、プログラム可能な入力 I/O のサブセットがイベントを生成すると、割り込みイベントを生成することもできます。エッジ検出回路を制御するレジスタは、マイコンの IOC 内にあります。

13.4.1 DIO を GPIO 入力として構成し、エッジ検出時に割り込みを生成

DIO からの割り込みおよびエッジ検出イベントの生成は、IOC:IOCFGn の EDGE_IRQ_EN ビット フィールドおよび EDGE_DET ビット フィールドによって設定されます。エッジ検出を行うには、DIO の入力イネーブルを有効に設定しておく必要があります。GPIO エッジ検出イベントが CPU 割り込み IRQ0 (ベクタ番号 16) に送信されます。GPIO 割り込みハンドラを呼び出すには、この割り込みをイネーブルにする必要があります。この割り込みハンドラでは、対応する GPIO:EVFLAGS31 イベント レジスタの DIOn ビットをクリアして、イベント ソースをクリアする必要があります。このレジスタを読み出すと、トリガされたイベントの場合は 1 が、トリガされていないイベントの場合は 0 が返されます。このイベントは、有効化された EDGE_DET 構成を切り替えることで、マイコン IOC からクリアされます。アクティブ エッジの設定を無効にし、IOC:IOCFGn.EDGE_DET を 0 に設定すると、イベントはクリアされます。

Copyright © 2026 Texas Instruments Incorporated

13.5 未使用の I/O ピン

デフォルトでは、電源投入またはリセット時に I/O ドライバ (出力) と入力バッファ (入力) は無効化 (トライステート モード) されるため、I/O ピンは安全に未接続 (フローティング) のままにできます。

I/O ピンがトライステート状態で、異なる電位を持つノードに接続されている場合、小さなリーク電流がこのピンに流れる可能性があります。VDD/2 など、I/O ピンが入力として構成されていてピンが電圧源に接続されている場合にも同じことが当てはまります。その入力は 0 または 1 の未定義値になります。

13.6 GPIO

マイコン GPIO は汎用入出力モジュールで、ソフトウェアが DIO に対して書き込みと読み取りを行うことができます。GPIO は、最大 31 本のプログラム可能な I/O ピンをサポートします。これらのピンは、IOC モジュールによって設定されます。単一の GPIO 出力値を変更するには、GPIO:DOUTn レジスタを使用します (セクション 13.10.2 を参照)。DIO1 を GPIO 出力として設定し、ビットを切り替えるには、次の手順を使用します。

1. IOC:IOCFG1.PORT_ID レジスタを 0 (GPIO PORDTID) に設定して、DIO1 を GPIO 出力として割り当てます。
2. IOC:IOCFG1.IE ビットをクリアして、DIO1 が出力に設定されていることを確認します。IOC:IOCFG1 レジスタでは、より多くのポート設定を設定することもできます (詳細については、セクション 13.9.1.2 を参照してください)。
3. 読み取り / 変更 / 書き込み動作を発行すると、GPIO:DOE31_0.DIO1 の DIO1 のデータ出力イネーブル ビットを設定します。
4. GPIO:DOUT3_0:DIO1 ビットに 0x100 で XOR 演算を発行して、DIO1 出力をトグルします。
5. 次のドライバ ライブラリ関数を呼び出します。

```
IOCPinTypeGpioOutput(0x1);
GPIOPinToggle(0x1);
```


Copyright © 2026 Texas Instruments Incorporated

13.7 I/O ピン機能

表 13-2 に DIO の I/O 構造を示します。パッケージ ピンへの DIO のマッピングについては、デバイス固有のデータシートを参照してください。

表 13-2. CC13x2 および CC26x2 ピンのマッピング

パッケージ タイプ		センサ コントローラ		ドライブ強度	JTAG
7 × 7 QFN (RGZ)	RSIP/PSIP	アナログ能力	AUX ドメイン I/O		
DIO					
該当なし	31(1)		0	該当なし	
30	30	あり	19	2mA、4mA	
29	29	あり	20	2mA、4mA	
28	28	あり	21	2mA、4mA	
27	27	あり	22	2mA、4mA	
26	26	あり	23	2mA、4mA	
25	25	あり	24	2mA、4mA	
24	24	あり	25	2mA、4mA	
23	23	あり	26	2mA、4mA	
22	22		27	2mA、4mA	
21	21		28	2mA、4mA	
20	20		29	2mA、4mA	
19	19		30	2mA、4mA	
18	18		31	2mA、4mA	
17	17		1	2mA、4mA、8mA	TDI
16	16		2	2mA、4mA、8mA	TDO
15	15		3	2mA、4mA	
14	14		4	2mA、4mA	
13	13		5	2mA、4mA	
12	12		6	2mA、4mA	
11	11		7	2mA、4mA	
10	10		8	2mA、4mA	
9	9		9	2mA、4mA	
8	8		10	2mA、4mA	
7	7		11	2mA、4mA、8mA	
6	6		12	2mA、4mA、8mA	
5	5		13	2mA、4mA、8mA	
4	4		14	2mA、4mA	
3(2) (3)	3(4)		15	2mA、4mA	
2(2) (3)	2		16	2mA、4mA	
1(2) (3)	1		17	2mA、4mA	
0(2) (3)	0(4)		18	2mA、4mA	

(1) DIO31 は、ペリフェラル I/O 機能のみをサポートし、GPIO ではサポートしていません

Copyright © 2026 Texas Instruments Incorporated

(2) CC1352R デバイスは、DIO0 ～ DIO2 をサポートしていません。
(3) CC1352P デバイスは、DIO0 ～ DIO4 をサポートしていません。
(4) PSIP モジュールは、外部 RF スイッチ専用に DIO0 および DIO3 を使用します

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.8 ペリフェラル PORTID

表 13-3 に、さまざまな PORTID 信号を示します。

表 13-3. CC13x2 および CC26x2 の PORTID

ID	ポート名	ポートの説明		ID	ポート名	ポートの説明
0	GPIO	デフォルトの GPIO 使用		27	PORT_EVENT4	汎用 I/O イベント 4
1 ~ 6		*予約済み*		28	PORT_EVENT5	汎用 I/O イベント 5
7	AON_CLK32K	AON 32kHz クロック ピン		29	PORT_EVENT6	汎用 I/O イベント 6
8	AUX Domain_IO	AUX ドメイン I/O ピン		30	PORT_EVENT7	汎用 I/O イベント 7
9	SSI0_RX	SSI 0 RX ピン		31		*予約済み*
10	SSI0_TX	SSI 0 TX ピン		32	CPU_SWV	CPU SWV
11	SSI0_FSS	SSI 0 FSS ピン		33	SSI1_RX	SSI 1 RX ピン
12	SSI0_CLK	SSI 0 CLK ピン		34	SSI1_TX	SSI 1 TX ピン
13	I2C_MSSDA	I^2C データ		35	SSI1_FSS	SSI 1 FSS ピン
14	I2C_MSSCL	I^2C クロック		36	SSI1_CLK	SSI 1 CLK ピン
15	UART0_RX	UART 0 RX ピン		37	I2S_AD0	I^2S データ 0 ピン
16	UART0_TX	UART 0 TX ピン		38	I2S_AD1	I^2S データ 1 ピン
17	UART0_CTS	UART 0 CTS ピン		39	I2S_WCLK	I^2S WCLK ピン
18	UART0_RTS	UART 0 RTS ピン		40	I2S_BCLK	I^2S BCLK ピン
19	UART1_RX	UART 1 RX ピン		41	I2S_MCLK	I^2S MCLK ピン
20	UART1_TX	UART 1 TX ピン		42 ~ 45		*予約済み*
21	UART1_CTS	UART 1 CTS ピン		46		RF コア内部信号
22	UART1_RTS	UART 1 RTS ピン		47	RFC_GPO0	RF コア汎用出力 0
23	PORT_EVENT0	汎用 I/O イベント 0		48	RFC_GPO1	RF コア汎用出力 1
24	PORT_EVENT1	汎用 I/O イベント 1		49	RFC_GPO2	RF コア汎用出力 2
25	PORT_EVENT2	汎用 I/O イベント 2		50	RFC_GPO3	RF コア汎用出力 3
26	PORT_EVENT3	汎用 I/O イベント 3		51 ~ 56		RF コアの内部信号

Copyright © 2026 Texas Instruments Incorporated

13.9 I/O ピン

このセクションでは、CC13x2 および CC26x2 デバイス プラットフォームの I/O ピンに関する物理的な詳細および設定可能な構成について説明します。

13.9.1 入出力モード

各 I/O ピンには、入力バッファと出力バッファがそれぞれ独立して個別に備わっており、個別に構成できます。入力と出力の主な構成は次のとおりです。

- 入力モード (分離、ヒステリシス、プルアップ、プルダウン)
- 出力モード (トライステート状態、プッシュプル、オープンドレイン、オープン ソース)

入力バッファと出力バッファのどちらも、同時に有効または無効にすることができます。出力バッファを無効にすると、対応する I/O ピンはトライステート状態 (ハイ インピーダンス) になります。出力バッファが無効のときに、I/O が有効な論理レベルに駆動されていない場合は、I/O 入力バッファを無効にして、I/O 入力バッファに過剰な電流が流れるのを防ぐ必要があります。セクション 13.9.1.2 に、I/O ピンの構成を詳細に示します。

13.9.1.1 物理ピン

デジタル I/O ドライバおよびレシーバは、広い電源電圧範囲に対応する双方向バッファであり、出力バッファ、オプションのヒステリシス付き入力バッファ、オプションのプルアップおよびプルダウン回路を組み合わせたものです。I/O には、コア電源がゲートされた状態でのスリープからのウェークアップのサポートなど、限定的な電源管理機能があります。ピンのシンク能力とソース能力は対称です。図 13-2 に示すように、I/O ピンの概要を示します。プルアップ抵抗およびプルダウン抵抗はデータシートに記載されています。

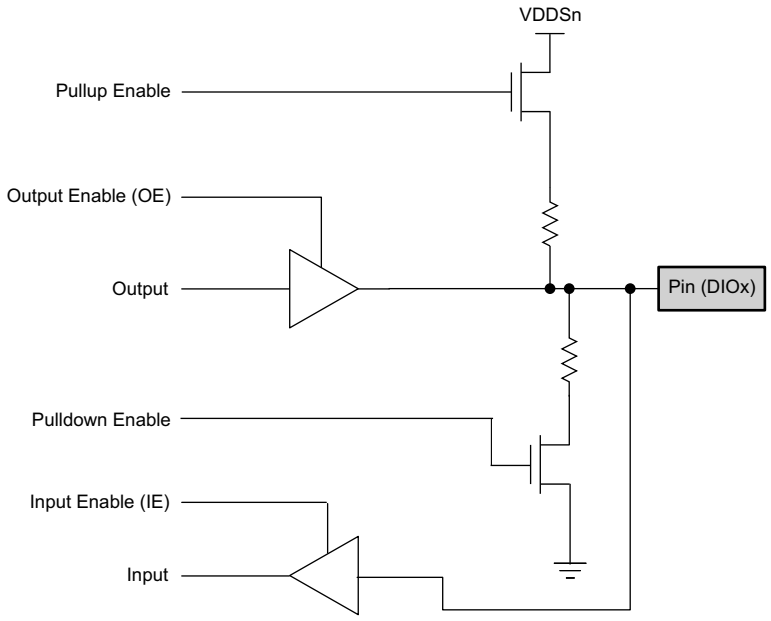


図 13-2. 汎用 I/O ピン (簡略図)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.9.1.2 ピン構成

IOC により、ソフトウェアはアプリケーションの要件に基づいてピンを構成できます。ソフトウェアは、いずれかまたはすべての I/O ピンに対して、異なる特性設定を構成できます。出力ドライバ (GPIO:DOE31_0 レジスタで出力イネーブルが設定されている) を除く、以下のすべての機能は IOC:IOCFGn レジスタで制御されます。

- **ドライブ強度** (IOC:IOCFGn.IOSTR)

  I/O ピンの駆動強度と最大電流を設定します。すべての I/O ピンは 2mA と 4mA に対応可能で、一部のピンは最大 8mA に対応可能です。IOC:IOCFGn.IOSTR を 0x0 に設定すると、バッテリ モニタ (BATMON) からの入力に基づいてドライブ強度が自動的に更新され、異なるバッテリ電圧下でも設定されたドライブ強度レベルが維持されます。
- **Pull** (IOC:IOCFGn.PULL_CTL)

  I/O ピンにウィーク プルを設定します。プルアップ、プルダウン、またはプルなしのいずれかを設定できます。プルアップおよびプルダウン抵抗の詳細については、データ シートを参照してください。
- **スルー制御** (IOC:IOCFGn.SLEW_RED)

  I/O ピンのスルーレートを High または Low に設定します。
- **ヒステリシス** (IOC:IOCFGn.HYST_EN)

  I/O ピンの入力ヒステリシスをイネーブルまたはディスエーブルにします。
- **オープンソースまたはオープンドレイン構成** (IOC:IOCFGn.IOMODE)

  ピンを通常、オープンソース、またはオープン ドレインとして構成します。これらはすべて、反転または通常 (非反転) に設定できます。
- **割り込みおよびエッジ検出** (IOC:IOCFGn.EDGE_IRQ_EN and IOC:IOCFGn.EDGE_DET)

  I/O ピンのエッジ検出によってトリガされた割り込みを有効化します。異なるエッジ検出モードがサポートされており、使用可能なモードには、立ち上がりエッジ、立ち下がりエッジ、立ち上がりおよび立ち下がりの両方でトリガするモード、またはエッジ検出を行わないモードがあります。
- **入力ドライバ** (IOC:IOCFGn.IE)

  I/O 入力ドライバをイネーブルまたはディスエーブルにします。
- **出力ドライバ** (ピンにマッピングされている特定のペリフェラルに依存)

  I/O 出力ドライバをイネーブルまたはディスエーブルにします。

13.10 IOC レジスタ

Copyright © 2026 Texas Instruments Incorporated

13.10.1 AON_IOC レジスタ

表 13-4 に、AON_IOC レジスタのメモリマップト レジスタを示します。表 13-4 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 13-4. AON_IOC レジスタ

オフセット	略称	レジスタ名	セクション
0h	IOSTRMIN	内部	IOSTRMIN レジスタ (オフセット = 0h) [リセット = 00000003h]
4h	IOSTRMED	内部	IOSTRMED レジスタ (オフセット = 4h) [リセット = 00000006h]
8h	IOSTRMAX	内部	IOSTRMAX レジスタ (オフセット = 8h) [リセット = 00000005h]
10h	CLK32KCTL	SCLK_LF 外部出力制御	CLK32KCTL レジスタ (オフセット = 10h) [リセット = 00000001h]
14h	TCKCTL	TCK IO ピン制御	TCKCTL レジスタ (オフセット = 14h) [リセット = 00000001h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 13-5 に、このセクションでアクセス タイプに使用しているコードを示します。

表 13-5. AON_IOC のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.1.1 IOSTRMIN レジスタ (オフセット = 0h) [リセット = 00000003h]

IOSTRMIN は図 13-3 に示されており、表 13-6 で説明されています。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 13-3. IOSTRMIN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													GRAY_CODE		
R-0h													R/W-3h		

表 13-6. IOSTRMIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	GRAY_CODE	R/W	3h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

13.10.1.2 IOSTRMED レジスタ (オフセット = 4h) [リセット = 00000006h]

IOSTRMED は図 13-4 に示されており、表 13-7 で説明されています。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 13-4. IOSTRMED レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													GRAY_CODE		
R-0h													R/W-6h		

表 13-7. IOSTRMED レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	GRAY_CODE	R/W	6h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

13.10.1.3 IOSTRMAX レジスタ (オフセット = 8h) [リセット = 00000005h]

IOSTRMAX は図 13-5 に示されており、表 13-8 で説明されています。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 13-5. IOSTRMAX レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													GRAY_CODE		
R-0h													R/W-5h		

表 13-8. IOSTRMAX レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	GRAY_CODE	R/W	5h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

13.10.1.4 CLK32KCTL レジスタ (オフセット = 10h) [リセット = 00000001h]

図 13-6 に、CLK32KCTL を示し、表 13-9 に、その説明を示します。

概略表に戻ります。

SCLK_LF 外部出力制御

図 13-6. CLK32KCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							OE_N
R-0h							R/W-1h

表 13-9. CLK32KCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	OE_N	R/W	1h	0:出力イネーブルはアクティブ。PORT_ID (たとえば、IOC:IOCFG0.PORT_ID) が AON_CLK32K に設定されている IO ピンの SCLK_LF 出力。 1:出力イネーブルは非アクティブ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.1.5 TCKCTL レジスタ (オフセット = 14h) [リセット = 00000001h]

図 13-7 に、TCKCTL を示し、表 13-10 に、その説明を示します。

概略表に戻ります。

TCK IO ピン制御

図 13-7. TCKCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EN
R-0h															R/W-1h

表 13-10. TCKCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN	R/W	1h	0:TCK の入力ドライバは無効です。 1:TCK の入力ドライバは有効です。

Copyright © 2026 Texas Instruments Incorporated

13.10.2 GPIO レジスタ

表 13-11 に、GPIO レジスタのメモリマップト レジスタを示します。表 13-11 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 13-11. GPIO レジスタ

オフセット	略称	レジスタ名	セクション
0h	DOUT3_0	データ出力 0 から 3	DOUT3_0 レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	DOUT7_4	データ出力 4 から 7	DOUT7_4 レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	DOUT11_8	データ出力 8 から 11	DOUT11_8 レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	DOUT15_12	データ出力 12 から 15	DOUT15_12 レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	DOUT19_16	データ出力 16 から 19	DOUT19_16 レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	DOUT23_20	データ出力 20 から 23	DOUT23_20 レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	DOUT27_24	データ出力 24 から 27	DOUT27_24 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	DOUT31_28	データ出力 28 から 31	DOUT31_28 レジスタ (オフセット = 1Ch) [リセット = 00000000h]
80h	DOUT31_0	DIO 0 ～ 31 のデータ出力	DOUT31_0 レジスタ (オフセット = 80h) [リセット = 00000000h]
90h	DOUTSET31_0	データ出力セット	DOUTSET31_0 レジスタ (オフセット = 90h) [リセット = 00000000h]
A0h	DOUTCLR31_0	データ出力クリア	DOUTCLR31_0 レジスタ (オフセット = A0h) [リセット = 00000000h]
B0h	DOUTTGL31_0	データ出力トグル	DOUTTGL31_0 レジスタ (オフセット = B0h) [リセット = 00000000h]
C0h	DIN31_0	DIO 0 ～ 31 のデータ入力	DIN31_0 レジスタ (オフセット = C0h) [リセット = 00000000h]
D0h	DOE31_0	DIO 0 ～ 31 のデータ出力イネーブル	DOE31_0 レジスタ (オフセット = D0h) [リセット = 00000000h]
E0h	EVFLAGS31_0	DIO 0 ～ 31 のイベント レジスタ	EVFLAGS31_0 レジスタ (オフセット = E0h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 13-12 に、このセクションでアクセス タイプに使用しているコードを示します。

表 13-12. GPIO のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
W1S	W 1S	1 を書き込むことで セット
リセットまたはデフォルト値		

Copyright © 2026 Texas Instruments Incorporated

表 13-12. GPIO のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.2.1 DOUT3_0 レジスタ (オフセット = 0h) [リセット = 00000000h]

図 13-8 に、DOUT3_0 を示し、表 13-13 に、その説明を示します。

概略表に戻ります。

データ出力 0 ～ 3
DOUT31_0 の各ビットにバイト アクセスするためのエイリアス レジスタ

図 13-8. DOUT3_0 レジスタ

31	30	29	28	27	26	25	24
予約済み							DIO3
R-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO2
R-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO1
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO0
R-0h							W-0h

表 13-13. DOUT3_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DIO3	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#3 として構成されているピンの状態を設定します。
23-17	予約済み	R	0h	予約済み
16	DIO2	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#2 として構成されているピンの状態を設定します。
15-9	予約済み	R	0h	予約済み
8	DIO1	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#1 として構成されているピンの状態を設定します。
7-1	予約済み	R	0h	予約済み
0	DIO0	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#0 として構成されているピンの状態を設定します。

Copyright © 2026 Texas Instruments Incorporated

13.10.2.2 DOUT7_4 レジスタ (オフセット = 4h) [リセット = 00000000h]

図 13-9 に、DOUT7_4 を示し、表 13-14 に、その説明を示します。

概略表に戻ります。

データ出力 4 ～ 7
DOUT31_0 の各ビットにバイト アクセスするためのエイリアス レジスタ

図 13-9. DOUT7_4 レジスタ

31	30	29	28	27	26	25	24
予約済み							DIO7
R-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO6
R-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO5
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO4
R-0h							W-0h

表 13-14. DOUT7_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DIO7	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#7 として構成されているピンの状態を設定します。
23-17	予約済み	R	0h	予約済み
16	DIO6	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#6 として構成されているピンの状態を設定します。
15-9	予約済み	R	0h	予約済み
8	DIO5	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#5 として構成されているピンの状態を設定します。
7-1	予約済み	R	0h	予約済み
0	DIO4	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#4 として構成されているピンの状態を設定します。

Copyright © 2026 Texas Instruments Incorporated

13.10.2.3 DOUT11_8 レジスタ (オフセット = 8h) [リセット = 00000000h]

図 13-10 に、DOUT11_8 を示し、表 13-15 に、その説明を示します。

概略表に戻ります。

データ出力 8 ～ 11
DOUT31_0 の各ビットにバイト アクセスするためのエイリアス レジスタ

図 13-10. DOUT11_8 レジスタ

31	30	29	28	27	26	25	24
予約済み							DIO11
R-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO10
R-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO9
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO8
R-0h							W-0h

表 13-15. DOUT11_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DIO11	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#11 として構成されているピンの状態を設定します。
23-17	予約済み	R	0h	予約済み
16	DIO10	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#10 として構成されているピンの状態を設定します。
15-9	予約済み	R	0h	予約済み
8	DIO9	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#9 として構成されているピンの状態を設定します。
7-1	予約済み	R	0h	予約済み
0	DIO8	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#8 として構成されているピンの状態を設定します。

Copyright © 2026 Texas Instruments Incorporated

13.10.2.4 DOUT15_12 レジスタ (オフセット = Ch) [リセット = 00000000h]

図 13-11 に、DOUT15_12 を示し、表 13-16 に、その説明を示します。

概略表に戻ります。

データ出力 12 ～ 15
DOUT31_0 の各ビットにバイト アクセスするためのエイリアス レジスタ

図 13-11. DOUT15_12 レジスタ

31	30	29	28	27	26	25	24
予約済み							DIO15
R-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO14
R-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO13
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO12
R-0h							W-0h

表 13-16. DOUT15_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DIO15	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#15 として構成されているピンの状態を設定します。
23-17	予約済み	R	0h	予約済み
16	DIO14	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#14 として構成されているピンの状態を設定します。
15-9	予約済み	R	0h	予約済み
8	DIO13	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#13 として構成されているピンの状態を設定します。
7-1	予約済み	R	0h	予約済み
0	DIO12	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#12 として構成されているピンの状態を設定します。

Copyright © 2026 Texas Instruments Incorporated

13.10.2.5 DOUT19_16 レジスタ (オフセット = 10h) [リセット = 00000000h]

図 13-12 に、DOUT19_16 を示し、表 13-17 に、その説明を示します。

概略表に戻ります。

データ出力 16 ～ 19
DOUT31_0 の各ビットにバイト アクセスするためのエイリアス レジスタ

図 13-12. DOUT19_16 レジスタ

31	30	29	28	27	26	25	24
予約済み							DIO19
R-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO18
R-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO17
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO16
R-0h							W-0h

表 13-17. DOUT19_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DIO19	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#19 として構成されているピンの状態を設定します。
23-17	予約済み	R	0h	予約済み
16	DIO18	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#18 として構成されているピンの状態を設定します。
15-9	予約済み	R	0h	予約済み
8	DIO17	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#17 として構成されているピンの状態を設定します。
7-1	予約済み	R	0h	予約済み
0	DIO16	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#16 として構成されているピンの状態を設定します。

Copyright © 2026 Texas Instruments Incorporated

13.10.2.6 DOUT23_20 レジスタ (オフセット = 14h) [リセット = 00000000h]

図 13-13 に、DOUT23_20 を示し、表 13-18 に、その説明を示します。

概略表に戻ります。

データ出力 20 ～ 23
DOUT31_0 の各ビットにバイト アクセスするためのエイリアス レジスタ

図 13-13. DOUT23_20 レジスタ

31	30	29	28	27	26	25	24
予約済み							DIO23
R-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO22
R-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO21
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO20
R-0h							W-0h

表 13-18. DOUT23_20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DIO23	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#23 として構成されているピンの状態を設定します。
23-17	予約済み	R	0h	予約済み
16	DIO22	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#22 として構成されているピンの状態を設定します。
15-9	予約済み	R	0h	予約済み
8	DIO21	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#21 として構成されているピンの状態を設定します。
7-1	予約済み	R	0h	予約済み
0	DIO20	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#20 として構成されているピンの状態を設定します。

Copyright © 2026 Texas Instruments Incorporated

13.10.2.7 DOUT27_24 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 13-14 に、DOUT27_24 を示し、表 13-19 に、その説明を示します。

概略表に戻ります。

データ出力 24 ～ 27
DOUT31_0 の各ビットにバイト アクセスするためのエイリアス レジスタ

図 13-14. DOUT27_24 レジスタ

31	30	29	28	27	26	25	24
予約済み							DIO27
R-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO26
R-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO25
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO24
R-0h							W-0h

表 13-19. DOUT27_24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DIO27	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#27 として構成されているピンの状態を設定します。
23-17	予約済み	R	0h	予約済み
16	DIO26	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#26 として構成されているピンの状態を設定します。
15-9	予約済み	R	0h	予約済み
8	DIO25	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#25 として構成されているピンの状態を設定します。
7-1	予約済み	R	0h	予約済み
0	DIO24	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#24 として構成されているピンの状態を設定します。

Copyright © 2026 Texas Instruments Incorporated

13.10.2.8 DOUT31_28 レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 13-15 に、DOUT31_28 を示し、表 13-20 に、その説明を示します。

概略表に戻ります。

データ出力 28 ～ 31
DOUT31_0 の各ビットにバイト アクセスするためのエイリアス レジスタ

図 13-15. DOUT31_28 レジスタ

31	30	29	28	27	26	25	24
予約済み							DIO31
R-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO30
R-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO29
R-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO28
R-0h							W-0h

表 13-20. DOUT31_28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	DIO31	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#31 として構成されているピンの状態を設定します。
23-17	予約済み	R	0h	予約済み
16	DIO30	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#30 として構成されているピンの状態を設定します。
15-9	予約済み	R	0h	予約済み
8	DIO29	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#29 として構成されているピンの状態を設定します。
7-1	予約済み	R	0h	予約済み
0	DIO28	W	0h	対応する DOE31_0 ビットフィールドが設定されている場合、DIO#28 として構成されているピンの状態を設定します。

Copyright © 2026 Texas Instruments Incorporated

13.10.2.9 DOUT31_0 レジスタ (オフセット = 80h) [リセット = 00000000h]

図 13-16 に、DOUT31_0 を示し、表 13-21 に、その説明を示します。

概略表に戻ります。

DIO 0 ～ 31 のデータ出力

図 13-16. DOUT31_0 レジスタ

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 13-21. DOUT31_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R/W	0h	DIO 31 のデータ出力
30	DIO30	R/W	0h	DIO 30 のデータ出力
29	DIO29	R/W	0h	DIO 29 のデータ出力
28	DIO28	R/W	0h	DIO 28 のデータ出力
27	DIO27	R/W	0h	DIO 27 のデータ出力
26	DIO26	R/W	0h	DIO 26 のデータ出力
25	DIO25	R/W	0h	DIO 25 のデータ出力
24	DIO24	R/W	0h	DIO 24 のデータ出力
23	DIO23	R/W	0h	DIO 23 のデータ出力
22	DIO22	R/W	0h	DIO 22 のデータ出力
21	DIO21	R/W	0h	DIO 21 のデータ出力
20	DIO20	R/W	0h	DIO 20 のデータ出力
19	DIO19	R/W	0h	DIO 19 のデータ出力
18	DIO18	R/W	0h	DIO 18 のデータ出力
17	DIO17	R/W	0h	DIO 17 のデータ出力
16	DIO16	R/W	0h	DIO 16 のデータ出力
15	DIO15	R/W	0h	DIO 15 のデータ出力
14	DIO14	R/W	0h	DIO 14 のデータ出力
13	DIO13	R/W	0h	DIO 13 のデータ出力
12	DIO12	R/W	0h	DIO 12 のデータ出力
11	DIO11	R/W	0h	DIO 11 のデータ出力
10	DIO10	R/W	0h	DIO 10 のデータ出力
9	DIO9	R/W	0h	DIO 9 のデータ出力

Copyright © 2026 Texas Instruments Incorporated

表 13-21. DOUT31_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	DIO8	R/W	0h	DIO 8 のデータ出力
7	DIO7	R/W	0h	DIO 7 のデータ出力
6	DIO6	R/W	0h	DIO 6 のデータ出力
5	DIO5	R/W	0h	DIO 5 のデータ出力
4	DIO4	R/W	0h	DIO 4 のデータ出力
3	DIO3	R/W	0h	DIO 3 のデータ出力
2	DIO2	R/W	0h	DIO 2 のデータ出力
1	DIO1	R/W	0h	DIO 1 のデータ出力
0	DIO0	R/W	0h	DIO 0 のデータ出力

Copyright © 2026 Texas Instruments Incorporated

13.10.2.10 DOUTSET31_0 レジスタ (オフセット = 90h) [リセット = 00000000h]

図 13-17 に、DOUTSET31_0 を示し、表 13-22 に、その説明を示します。

概略表に戻ります。

データ出力セット
ビット位置に 1 を書き込むと、DOUT31_0 レジスタの対応するビットが設定されます

図 13-17. DOUTSET31_0 レジスタ

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h	W1S-0h

表 13-22. DOUTSET31_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W1S	0h	ビット 31 を設定します
30	DIO30	W1S	0h	ビット 30 を設定します
29	DIO29	W1S	0h	ビット 29 を設定します
28	DIO28	W1S	0h	ビット 28 を設定します
27	DIO27	W1S	0h	ビット 27 を設定します
26	DIO26	W1S	0h	ビット 26 を設定します
25	DIO25	W1S	0h	ビット 25 を設定します
24	DIO24	W1S	0h	ビット 24 を設定します
23	DIO23	W1S	0h	ビット 23 を設定します
22	DIO22	W1S	0h	ビット 22 を設定します
21	DIO21	W1S	0h	ビット 21 を設定します
20	DIO20	W1S	0h	ビット 20 を設定します
19	DIO19	W1S	0h	ビット 19 を設定します
18	DIO18	W1S	0h	ビット 18 を設定します
17	DIO17	W1S	0h	ビット 17 を設定します
16	DIO16	W1S	0h	ビット 16 を設定します
15	DIO15	W1S	0h	ビット 15 を設定します
14	DIO14	W1S	0h	ビット 14 を設定します
13	DIO13	W1S	0h	ビット 13 を設定します
12	DIO12	W1S	0h	ビット 12 を設定します
11	DIO11	W1S	0h	ビット 11 を設定します
10	DIO10	W1S	0h	ビット 10 を設定します
9	DIO9	W1S	0h	ビット 9 を設定します

Copyright © 2026 Texas Instruments Incorporated

表 13-22. DOUTSET31_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	DIO8	W1S	0h	ビット 8 を設定します
7	DIO7	W1S	0h	ビット 7 を設定します
6	DIO6	W1S	0h	ビット 6 を設定します
5	DIO5	W1S	0h	ビット 5 を設定します
4	DIO4	W1S	0h	ビット 4 を設定します
3	DIO3	W1S	0h	ビット 3 を設定します
2	DIO2	W1S	0h	ビット 2 を設定します
1	DIO1	W1S	0h	ビット 1 を設定します
0	DIO0	W1S	0h	ビット 0 を設定します

Copyright © 2026 Texas Instruments Incorporated

13.10.2.11 DOUTCLR31_0 レジスタ (オフセット = A0h) [リセット = 00000000h]

図 13-18 に、DOUTCLR31_0 を示し、表 13-23 に、その説明を示します。

概略表に戻ります。

データ出力クリア
ビット位置に 1 を書き込むと、DOUT31_0 レジスタの対応するビットがクリアされます

図 13-18. DOUTCLR31_0 レジスタ

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h	W1C-0h

表 13-23. DOUTCLR31_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W1C	0h	ビット 31 をクリアします
30	DIO30	W1C	0h	ビット 30 をクリアします
29	DIO29	W1C	0h	ビット 29 をクリアします
28	DIO28	W1C	0h	ビット 28 をクリアします
27	DIO27	W1C	0h	ビット 27 をクリアします
26	DIO26	W1C	0h	ビット 26 をクリアします
25	DIO25	W1C	0h	ビット 25 をクリアします
24	DIO24	W1C	0h	ビット 24 をクリアします
23	DIO23	W1C	0h	ビット 23 をクリアします
22	DIO22	W1C	0h	ビット 22 をクリアします
21	DIO21	W1C	0h	ビット 21 をクリアします
20	DIO20	W1C	0h	ビット 20 をクリアします
19	DIO19	W1C	0h	ビット 19 をクリアします
18	DIO18	W1C	0h	ビット 18 をクリアします
17	DIO17	W1C	0h	ビット 17 をクリアします
16	DIO16	W1C	0h	ビット 16 をクリアします
15	DIO15	W1C	0h	ビット 15 をクリアします
14	DIO14	W1C	0h	ビット 14 をクリアします
13	DIO13	W1C	0h	ビット 13 をクリアします
12	DIO12	W1C	0h	ビット 12 をクリアします
11	DIO11	W1C	0h	ビット 11 をクリアします
10	DIO10	W1C	0h	ビット 10 をクリアします
9	DIO9	W1C	0h	ビット 9 をクリアします

Copyright © 2026 Texas Instruments Incorporated

表 13-23. DOUTCLR31_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	DIO8	W1C	0h	ビット 8 をクリアします
7	DIO7	W1C	0h	ビット 7 をクリアします
6	DIO6	W1C	0h	ビット 6 をクリアします
5	DIO5	W1C	0h	ビット 5 をクリアします
4	DIO4	W1C	0h	ビット 4 をクリアします
3	DIO3	W1C	0h	ビット 3 をクリアします
2	DIO2	W1C	0h	ビット 2 をクリアします
1	DIO1	W1C	0h	ビット 1 をクリアします
0	DIO0	W1C	0h	ビット 0 をクリアします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.2.12 DOUTTGL31_0 レジスタ (オフセット = B0h) [リセット = 00000000h]

図 13-19 に、DOUTTGL31_0 を示し、表 13-24 に、その説明を示します。

概略表に戻ります。

データ出力トグル
ビット位置に 1 を書き込むと、対応する DIO 出力が反転します。

図 13-19. DOUTTGL31_0 レジスタ

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 13-24. DOUTTGL31_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R/W	0h	ビット 31 をトグルします
30	DIO30	R/W	0h	ビット 30 をトグルします
29	DIO29	R/W	0h	ビット 29 をトグルします
28	DIO28	R/W	0h	ビット 28 をトグルします
27	DIO27	R/W	0h	ビット 27 をトグルします
26	DIO26	R/W	0h	ビット 26 をトグルします
25	DIO25	R/W	0h	ビット 25 をトグルします
24	DIO24	R/W	0h	ビット 24 をトグルします
23	DIO23	R/W	0h	ビット 23 をトグルします
22	DIO22	R/W	0h	ビット 22 をトグルします
21	DIO21	R/W	0h	ビット 21 をトグルします
20	DIO20	R/W	0h	ビット 20 をトグルします
19	DIO19	R/W	0h	ビット 19 をトグルします
18	DIO18	R/W	0h	ビット 18 をトグルします
17	DIO17	R/W	0h	ビット 17 をトグルします
16	DIO16	R/W	0h	ビット 16 をトグルします
15	DIO15	R/W	0h	ビット 15 をトグルします
14	DIO14	R/W	0h	ビット 14 をトグルします
13	DIO13	R/W	0h	ビット 13 をトグルします
12	DIO12	R/W	0h	ビット 12 をトグルします
11	DIO11	R/W	0h	ビット 11 をトグルします
10	DIO10	R/W	0h	ビット 10 をトグルします
9	DIO9	R/W	0h	ビット 9 をトグルします

Copyright © 2026 Texas Instruments Incorporated

表 13-24. DOUTTGL31_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	DIO8	R/W	0h	ビット 8 をトグルします
7	DIO7	R/W	0h	ビット 7 をトグルします
6	DIO6	R/W	0h	ビット 6 をトグルします
5	DIO5	R/W	0h	ビット 5 をトグルします
4	DIO4	R/W	0h	ビット 4 をトグルします
3	DIO3	R/W	0h	ビット 3 をトグルします
2	DIO2	R/W	0h	ビット 2 をトグルします
1	DIO1	R/W	0h	ビット 1 をトグルします
0	DIO0	R/W	0h	ビット 0 をトグルします

Copyright © 2026 Texas Instruments Incorporated

13.10.2.13 DIN31_0 レジスタ (オフセット = C0h) [リセット = 00000000h]

図 13-20 に、DIN31_0 を示し、表 13-25 に、その説明を示します。

概略表に戻ります。

DIO 0 ～ 31 のデータ入力

図 13-20. DIN31_0 レジスタ

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 13-25. DIN31_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R	0h	DIO 31 からのデータ入力
30	DIO30	R	0h	DIO 30 からのデータ入力
29	DIO29	R	0h	DIO 29 からのデータ入力
28	DIO28	R	0h	DIO 28 からのデータ入力
27	DIO27	R	0h	DIO 27 からのデータ入力
26	DIO26	R	0h	DIO 26 からのデータ入力
25	DIO25	R	0h	DIO 25 からのデータ入力
24	DIO24	R	0h	DIO 24 からのデータ入力
23	DIO23	R	0h	DIO 23 からのデータ入力
22	DIO22	R	0h	DIO 22 からのデータ入力
21	DIO21	R	0h	DIO 21 からのデータ入力
20	DIO20	R	0h	DIO 20 からのデータ入力
19	DIO19	R	0h	DIO 19 からのデータ入力
18	DIO18	R	0h	DIO 18 からのデータ入力
17	DIO17	R	0h	DIO 17 からのデータ入力
16	DIO16	R	0h	DIO 16 からのデータ入力
15	DIO15	R	0h	DIO 15 からのデータ入力
14	DIO14	R	0h	DIO 14 からのデータ入力
13	DIO13	R	0h	DIO 13 からのデータ入力
12	DIO12	R	0h	DIO 12 からのデータ入力
11	DIO11	R	0h	DIO 11 からのデータ入力
10	DIO10	R	0h	DIO 10 からのデータ入力
9	DIO9	R	0h	DIO 9 からのデータ入力

Copyright © 2026 Texas Instruments Incorporated

表 13-25. DIN31_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	DIO8	R	0h	DIO 8 からのデータ入力
7	DIO7	R	0h	DIO 7 からのデータ入力
6	DIO6	R	0h	DIO 6 からのデータ入力
5	DIO5	R	0h	DIO 5 からのデータ入力
4	DIO4	R	0h	DIO 4 からのデータ入力
3	DIO3	R	0h	DIO 3 からのデータ入力
2	DIO2	R	0h	DIO 2 からのデータ入力
1	DIO1	R	0h	DIO 1 からのデータ入力
0	DIO0	R	0h	DIO 0 からのデータ入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.2.14 DOE31_0 レジスタ (オフセット = D0h) [リセット = 00000000h]

図 13-21 に、DOE31_0 を示し、表 13-26 に、その説明を示します。

概略表に戻ります。

DIO 0 ～ 31 のデータ出力イネーブル

図 13-21. DOE31_0 レジスタ

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 13-26. DOE31_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R/W	0h	DIO 31 のデータ出力イネーブル
30	DIO30	R/W	0h	DIO 30 のデータ出力イネーブル
29	DIO29	R/W	0h	DIO 29 のデータ出力イネーブル
28	DIO28	R/W	0h	DIO 28 のデータ出力イネーブル
27	DIO27	R/W	0h	DIO 27 のデータ出力イネーブル
26	DIO26	R/W	0h	DIO 26 のデータ出力イネーブル
25	DIO25	R/W	0h	DIO 25 のデータ出力イネーブル
24	DIO24	R/W	0h	DIO 24 のデータ出力イネーブル
23	DIO23	R/W	0h	DIO 23 のデータ出力イネーブル
22	DIO22	R/W	0h	DIO 22 のデータ出力イネーブル
21	DIO21	R/W	0h	DIO 21 のデータ出力イネーブル
20	DIO20	R/W	0h	DIO 20 のデータ出力イネーブル
19	DIO19	R/W	0h	DIO 19 のデータ出力イネーブル
18	DIO18	R/W	0h	DIO 18 のデータ出力イネーブル
17	DIO17	R/W	0h	DIO 17 のデータ出力イネーブル
16	DIO16	R/W	0h	DIO 16 のデータ出力イネーブル
15	DIO15	R/W	0h	DIO 15 のデータ出力イネーブル
14	DIO14	R/W	0h	DIO 14 のデータ出力イネーブル
13	DIO13	R/W	0h	DIO 13 のデータ出力イネーブル
12	DIO12	R/W	0h	DIO 12 のデータ出力イネーブル
11	DIO11	R/W	0h	DIO 11 のデータ出力イネーブル
10	DIO10	R/W	0h	DIO 10 のデータ出力イネーブル
9	DIO9	R/W	0h	DIO 9 のデータ出力イネーブル

Copyright © 2026 Texas Instruments Incorporated

表 13-26. DOE31_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	DIO8	R/W	0h	DIO 8 のデータ出力イネーブル
7	DIO7	R/W	0h	DIO 7 のデータ出力イネーブル
6	DIO6	R/W	0h	DIO 6 のデータ出力イネーブル
5	DIO5	R/W	0h	DIO 5 のデータ出力イネーブル
4	DIO4	R/W	0h	DIO 4 のデータ出力イネーブル
3	DIO3	R/W	0h	DIO 3 のデータ出力イネーブル
2	DIO2	R/W	0h	DIO 2 のデータ出力イネーブル
1	DIO1	R/W	0h	DIO 1 のデータ出力イネーブル
0	DIO0	R/W	0h	DIO 0 のデータ出力イネーブル

Copyright © 2026 Texas Instruments Incorporated

13.10.2.15 EVFLAGS31_0 レジスタ (オフセット = E0h) [リセット = 00000000h]

図 13-22 に、EVFLAGS31_0 を示し、表 13-27 に、その説明を示します。

概略表に戻ります。

DIO 0 ～ 31 のイベント レジスタ
このレジスタを読み出すと、トリガされたイベントの場合は 1、トリガされていないイベントの場合は 0 が返されます。
ビット フィールドに 1 を書き込むと、イベントはクリアされます。
イベントの構成は MCU IOC 内で実行されます。たとえば、DIO #0 のイベントは IOC:IOCFG0.EDGE_DET および IOC:IOCFG0.EDGE_IRQ_EN で構成されます。

図 13-22. EVFLAGS31_0 レジスタ

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 13-27. EVFLAGS31_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R/W1C	0h	DIO 31 のイベント
30	DIO30	R/W1C	0h	DIO 30 のイベント
29	DIO29	R/W1C	0h	DIO 29 のイベント
28	DIO28	R/W1C	0h	DIO 28 のイベント
27	DIO27	R/W1C	0h	DIO 27 のイベント
26	DIO26	R/W1C	0h	DIO 26 のイベント
25	DIO25	R/W1C	0h	DIO 25 のイベント
24	DIO24	R/W1C	0h	DIO 24 のイベント
23	DIO23	R/W1C	0h	DIO 23 のイベント
22	DIO22	R/W1C	0h	DIO 22 のイベント
21	DIO21	R/W1C	0h	DIO 21 のイベント
20	DIO20	R/W1C	0h	DIO 20 のイベント
19	DIO19	R/W1C	0h	DIO 19 のイベント
18	DIO18	R/W1C	0h	DIO 18 のイベント
17	DIO17	R/W1C	0h	DIO 17 のイベント
16	DIO16	R/W1C	0h	DIO 16 のイベント
15	DIO15	R/W1C	0h	DIO 15 のイベント
14	DIO14	R/W1C	0h	DIO 14 のイベント
13	DIO13	R/W1C	0h	DIO 13 のイベント
12	DIO12	R/W1C	0h	DIO 12 のイベント

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-27. EVFLAGS31_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	DIO11	R/W1C	0h	DIO 11 のイベント
10	DIO10	R/W1C	0h	DIO 10 のイベント
9	DIO9	R/W1C	0h	DIO 9 のイベント
8	DIO8	R/W1C	0h	DIO 8 のイベント
7	DIO7	R/W1C	0h	DIO 7 のイベント
6	DIO6	R/W1C	0h	DIO 6 のイベント
5	DIO5	R/W1C	0h	DIO 5 のイベント
4	DIO4	R/W1C	0h	DIO 4 のイベント
3	DIO3	R/W1C	0h	DIO 3 のイベント
2	DIO2	R/W1C	0h	DIO 2 のイベント
1	DIO1	R/W1C	0h	DIO 1 のイベント
0	DIO0	R/W1C	0h	DIO 0 のイベント

Copyright © 2026 Texas Instruments Incorporated

13.10.3 IOC レジスタ

表 13-28 に、IOC レジスタのメモリマップト レジスタを示します。表 13-28 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 13-28. IOC レジスタ

オフセット	略称	レジスタ名	セクション
0h	IOCFG0	DIO0 の構成	IOCFG0 レジスタ (オフセット = 0h) [リセット = 00006000h]
4h	IOCFG1	DIO1 の構成	IOCFG1 レジスタ (オフセット = 4h) [リセット = 00006000h]
8h	IOCFG2	DIO2 の構成	IOCFG2 レジスタ (オフセット = 8h) [リセット = 00006000h]
Ch	IOCFG3	DIO3 の構成	IOCFG3 レジスタ (オフセット = Ch) [リセット = 00006000h]
10h	IOCFG4	DIO4 の構成	IOCFG4 レジスタ (オフセット = 10h) [リセット = 00006000h]
14h	IOCFG5	DIO5 の構成	IOCFG5 レジスタ (オフセット = 14h) [リセット = 00006000h]
18h	IOCFG6	DIO6 の構成	IOCFG6 レジスタ (オフセット = 18h) [リセット = 00006000h]
1Ch	IOCFG7	DIO7 の構成	IOCFG7 レジスタ (オフセット = 1Ch) [リセット = 00006000h]
20h	IOCFG8	DIO8 の構成	IOCFG8 レジスタ (オフセット = 20h) [リセット = 00006000h]
24h	IOCFG9	DIO9 の構成	IOCFG9 レジスタ (オフセット = 24h) [リセット = 00006000h]
28h	IOCFG10	DIO10 の構成	IOCFG10 レジスタ (オフセット = 28h) [リセット = 00006000h]
2Ch	IOCFG11	DIO11 の構成	IOCFG11 レジスタ (オフセット = 2Ch) [リセット = 00006000h]
30h	IOCFG12	DIO12 の構成	IOCFG12 レジスタ (オフセット = 30h) [リセット = 00006000h]
34h	IOCFG13	DIO13 の構成	IOCFG13 レジスタ (オフセット = 34h) [リセット = 00006000h]
38h	IOCFG14	DIO14 の構成	IOCFG14 レジスタ (オフセット = 38h) [リセット = 00006000h]
3Ch	IOCFG15	DIO15 の構成	IOCFG15 レジスタ (オフセット = 3Ch) [リセット = 00006000h]
40h	IOCFG16	DIO16 の構成	IOCFG16 レジスタ (オフセット = 40h) [リセット = 00086000h]
44h	IOCFG17	DIO17 の構成	IOCFG17 レジスタ (オフセット = 44h) [リセット = 00106000h]
48h	IOCFG18	DIO18 の構成	IOCFG18 レジスタ (オフセット = 48h) [リセット = 00006000h]
4Ch	IOCFG19	DIO19 の構成	IOCFG19 レジスタ (オフセット = 4Ch) [リセット = 00006000h]
50h	IOCFG20	DIO20 の構成	IOCFG20 レジスタ (オフセット = 50h) [リセット = 00006000h]
54h	IOCFG21	DIO21 の構成	IOCFG21 レジスタ (オフセット = 54h) [リセット = 00006000h]
58h	IOCFG22	DIO22 の構成	IOCFG22 レジスタ (オフセット = 58h) [リセット = 00006000h]

Copyright © 2026 Texas Instruments Incorporated

表 13-28. IOC レジスタ (続き)

オフセット	略称	レジスタ名	セクション
5Ch	IOCFG23	DIO23 の構成	IOCFG23 レジスタ (オフセット = 5Ch) [リセット = 00006000h]
60h	IOCFG24	DIO24 の構成	IOCFG24 レジスタ (オフセット = 60h) [リセット = 00006000h]
64h	IOCFG25	DIO25 の構成	IOCFG25 レジスタ (オフセット = 64h) [リセット = 00006000h]
68h	IOCFG26	DIO26 の構成	IOCFG26 レジスタ (オフセット = 68h) [リセット = 00006000h]
6Ch	IOCFG27	DIO27 の構成	IOCFG27 レジスタ (オフセット = 6Ch) [リセット = 00006000h]
70h	IOCFG28	DIO28 の構成	IOCFG28 レジスタ (オフセット = 70h) [リセット = 00006000h]
74h	IOCFG29	DIO29 の構成	IOCFG29 レジスタ (オフセット = 74h) [リセット = 00006000h]
78h	IOCFG30	DIO30 の構成	IOCFG30 レジスタ (オフセット = 78h) [リセット = 00006000h]
7Ch	IOCFG31	DIO31 の構成	IOCFG31 レジスタ (オフセット = 7Ch) [リセット = 00006000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 13-29 に、このセクションでアクセス タイプに使用しているコードを示します。

表 13-29. IOC のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.1 IOCFG0 レジスタ (オフセット = 0h) [リセット = 00006000h]

図 13-23 に、IOCFG0 を示し、表 13-30 に、その説明を示します。

概略表に戻ります。

DIO0 の構成

図 13-23. IOCFG0 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-30. IOCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-30. IOCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-30. IOCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-30. IOCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO0 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-30. IOCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.2 IOCFG1 レジスタ (オフセット = 4h) [リセット = 00006000h]

図 13-24 に、IOCFG1 を示し、表 13-31 に、その説明を示します。

概略表に戻ります。

DIO1 の構成

図 13-24. IOCFG1 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-31. IOCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-31. IOCFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-31. IOCFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-31. IOCFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO1 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-31. IOCFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.3 IOCFG2 レジスタ (オフセット = 8h) [リセット = 00006000h]

図 13-25 に、IOCFG2 を示し、表 13-32 に、その説明を示します。

概略表に戻ります。

DIO2 の構成

図 13-25. IOCFG2 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-32. IOCFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-32. IOCFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-32. IOCFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-32. IOCFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO2 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-32. IOCFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.4 IOCFG3 レジスタ (オフセット = Ch) [リセット = 00006000h]

図 13-26 に、IOCFG3 を示し、表 13-33 に、その説明を示します。

概略表に戻ります。

DIO3 の構成

図 13-26. IOCFG3 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-33. IOCFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-33. IOCFG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-33. IOCFG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-33. IOCFG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO3 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-33. IOCFG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.5 IOCFG4 レジスタ (オフセット = 10h) [リセット = 00006000h]

図 13-27 に、IOCFG4 を示し、表 13-34 に、その説明を示します。

概略表に戻ります。

DIO4 の構成

図 13-27. IOCFG4 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-34. IOCFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-34. IOCFG4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-34. IOCFG4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-34. IOCFG4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO4 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-34. IOCFG4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.6 IOCFG5 レジスタ (オフセット = 14h) [リセット = 00006000h]

図 13-28 に、IOCFG5 を示し、表 13-35 に、その説明を示します。

概略表に戻ります。

DIO5 の構成

図 13-28. IOCFG5 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-35. IOCFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-35. IOCFG5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-35. IOCFG5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-35. IOCFG5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO5 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-35. IOCFG5 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.7 IOCFG6 レジスタ (オフセット = 18h) [リセット = 00006000h]

図 13-29 に、IOCFG6 を示し、表 13-36 に、その説明を示します。

概略表に戻ります。

DIO6 の構成

図 13-29. IOCFG6 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-36. IOCFG6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-36. IOCFG6 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-36. IOCFG6 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-36. IOCFG6 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO6 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-36. IOCFG6 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.8 IOCFG7 レジスタ (オフセット = 1Ch) [リセット = 00006000h]

図 13-30 に、IOCFG7 を示し、表 13-37 に、その説明を示します。

概略表に戻ります。

DIO7 の構成

図 13-30. IOCFG7 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-37. IOCFG7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-37. IOCFG7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-37. IOCFG7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-37. IOCFG7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO7 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-37. IOCFG7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.9 IOCFG8 レジスタ (オフセット = 20h) [リセット = 00006000h]

図 13-31 に、IOCFG8 を示し、表 13-38 に、その説明を示します。

概略表に戻ります。

DIO8 の構成

図 13-31. IOCFG8 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-38. IOCFG8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-38. IOCFG8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-38. IOCFG8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-38. IOCFG8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO8 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-38. IOCFG8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.10 IOCFG9 レジスタ (オフセット = 24h) [リセット = 00006000h]

図 13-32 に、IOCFG9 を示し、表 13-39 に、その説明を示します。

概略表に戻ります。

DIO9 の構成

図 13-32. IOCFG9 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-39. IOCFG9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-39. IOCFG9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-39. IOCFG9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-39. IOCFG9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO9 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-39. IOCFG9 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.11 IOCFG10 レジスタ (オフセット = 28h) [リセット = 00006000h]

図 13-33 に、IOCFG10 を示し、表 13-40 に、その説明を示します。

概略表に戻ります。

DIO10 の構成

図 13-33. IOCFG10 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-40. IOCFG10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-40. IOCFG10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-40. IOCFG10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-40. IOCFG10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO10 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-40. IOCFG10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.12 IOCFG11 レジスタ (オフセット = 2Ch) [リセット = 00006000h]

図 13-34 に、IOCFG11 を示し、表 13-41 に、その説明を示します。

概略表に戻ります。

DIO11 の構成

図 13-34. IOCFG11 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-41. IOCFG11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-41. IOCFG11 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-41. IOCFG11 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-41. IOCFG11 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO11 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-41. IOCFG11 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.13 IOCFG12 レジスタ (オフセット = 30h) [リセット = 00006000h]

図 13-35 に、IOCFG12 を示し、表 13-42 に、その説明を示します。

概略表に戻ります。

DIO12 の構成

図 13-35. IOCFG12 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-42. IOCFG12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-42. IOCFG12 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-42. IOCFG12 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-42. IOCFG12 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO12 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-42. IOCFG12 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.14 IOCFG13 レジスタ (オフセット = 34h) [リセット = 00006000h]

図 13-36 に、IOCFG13 を示し、表 13-43 に、その説明を示します。

概略表に戻ります。

DIO13 の構成

図 13-36. IOCFG13 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-43. IOCFG13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-43. IOCFG13 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-43. IOCFG13 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-43. IOCFG13 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO13 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-43. IOCFG13 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.15 IOCFG14 レジスタ (オフセット = 38h) [リセット = 00006000h]

図 13-37 に、IOCFG14 を示し、表 13-44 に、その説明を示します。

概略表に戻ります。

DIO14 の構成

図 13-37. IOCFG14 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-44. IOCFG14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-44. IOCFG14 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-44. IOCFG14 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-44. IOCFG14 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO14 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-44. IOCFG14 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.16 IOCFG15 レジスタ (オフセット = 3Ch) [リセット = 00006000h]

図 13-38 に、IOCFG15 を示し、表 13-45 に、その説明を示します。

概略表に戻ります。

DIO15 の構成

図 13-38. IOCFG15 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-45. IOCFG15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-45. IOCFG15 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-45. IOCFG15 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-45. IOCFG15 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO15 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-45. IOCFG15 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.17 IOCFG16 レジスタ (オフセット = 40h) [リセット = 00086000h]

図 13-39 に、IOCFG16 を示し、表 13-46 に、その説明を示します。

概略表に戻ります。

DIO16 の構成

図 13-39. IOCFG16 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-46. IOCFG16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-46. IOCFG16 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-46. IOCFG16 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-46. IOCFG16 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO16 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-46. IOCFG16 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.18 IOCFG17 レジスタ (オフセット = 44h) [リセット = 00106000h]

図 13-40 に、IOCFG17 を示し、表 13-47 に、その説明を示します。

概略表に戻ります。

DIO17 の構成

図 13-40. IOCFG17 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-47. IOCFG17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-47. IOCFG17 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-47. IOCFG17 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-47. IOCFG17 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO17 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-47. IOCFG17 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.19 IOCFG18 レジスタ (オフセット = 48h) [リセット = 00006000h]

図 13-41 に、IOCFG18 を示し、表 13-48 に、その説明を示します。

概略表に戻ります。

DIO18 の構成

図 13-41. IOCFG18 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-48. IOCFG18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-48. IOCFG18 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-48. IOCFG18 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-48. IOCFG18 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO18 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-48. IOCFG18 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.20 IOCFG19 レジスタ (オフセット = 4Ch) [リセット = 00006000h]

図 13-42 に、IOCFG19 を示し、表 13-49 に、その説明を示します。

概略表に戻ります。

DIO19 の構成

図 13-42. IOCFG19 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-49. IOCFG19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-49. IOCFG19 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-49. IOCFG19 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-49. IOCFG19 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO19 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-49. IOCFG19 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.21 IOCFG20 レジスタ (オフセット = 50h) [リセット = 00006000h]

図 13-43 に、IOCFG20 を示し、表 13-50 に、その説明を示します。

概略表に戻ります。

DIO20 の構成

図 13-43. IOCFG20 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-50. IOCFG20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-50. IOCFG20 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-50. IOCFG20 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-50. IOCFG20 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO20 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-50. IOCFG20 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.22 IOCFG21 レジスタ (オフセット = 54h) [リセット = 00006000h]

図 13-44 に、IOCFG21 を示し、表 13-51 に、その説明を示します。

概略表に戻ります。

DIO21 の構成

図 13-44. IOCFG21 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-51. IOCFG21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-51. IOCFG21 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-51. IOCFG21 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-51. IOCFG21 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO21 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-51. IOCFG21 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.23 IOCFG22 レジスタ (オフセット = 58h) [リセット = 00006000h]

図 13-45 に、IOCFG22 を示し、表 13-52 に、その説明を示します。

概略表に戻ります。

DIO22 の構成

図 13-45. IOCFG22 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-52. IOCFG22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-52. IOCFG22 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-52. IOCFG22 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-52. IOCFG22 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO22 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-52. IOCFG22 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.24 IOCFG23 レジスタ (オフセット = 5Ch) [リセット = 00006000h]

図 13-46 に、IOCFG23 を示し、表 13-53 に、その説明を示します。

概略表に戻ります。

DIO23 の構成

図 13-46. IOCFG23 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-53. IOCFG23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-53. IOCFG23 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-53. IOCFG23 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-53. IOCFG23 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO23 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-53. IOCFG23 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.25 IOCFG24 レジスタ (オフセット = 60h) [リセット = 00006000h]

図 13-47 に、IOCFG24 を示し、表 13-54 に、その説明を示します。

概略表に戻ります。

DIO24 の構成

図 13-47. IOCFG24 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-54. IOCFG24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-54. IOCFG24 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-54. IOCFG24 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-54. IOCFG24 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO24 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

Copyright © 2026 Texas Instruments Incorporated

表 13-54. IOCFG24 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.26 IOCFG25 レジスタ (オフセット = 64h) [リセット = 00006000h]

図 13-48 に、IOCFG25 を示し、表 13-55 に、その説明を示します。

概略表に戻ります。

DIO25 の構成

図 13-48. IOCFG25 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-55. IOCFG25 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-55. IOCFG25 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-55. IOCFG25 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-55. IOCFG25 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO25 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-55. IOCFG25 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.27 IOCFG26 レジスタ (オフセット = 68h) [リセット = 00006000h]

図 13-49 に、IOCFG26 を示し、表 13-56 に、その説明を示します。

概略表に戻ります。

DIO26 の構成

図 13-49. IOCFG26 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-56. IOCFG26 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-56. IOCFG26 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-56. IOCFG26 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-56. IOCFG26 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO26 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-56. IOCFG26 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.28 IOCFG27 レジスタ (オフセット = 6Ch) [リセット = 00006000h]

図 13-50 に、IOCFG27 を示し、表 13-57 に、その説明を示します。

概略表に戻ります。

DIO27 の構成

図 13-50. IOCFG27 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-57. IOCFG27 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-57. IOCFG27 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-57. IOCFG27 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-57. IOCFG27 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO27 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-57. IOCFG27 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.29 IOCFG28 レジスタ (オフセット = 70h) [リセット = 00006000h]

図 13-51 に、IOCFG28 を示し、表 13-58 に、その説明を示します。

概略表に戻ります。

DIO28 の構成

図 13-51. IOCFG28 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-58. IOCFG28 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-58. IOCFG28 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-58. IOCFG28 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-58. IOCFG28 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO28 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-58. IOCFG28 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.30 IOCFG29 レジスタ (オフセット = 74h) [リセット = 00006000h]

図 13-52 に、IOCFG29 を示し、表 13-59 に、その説明を示します。

概略表に戻ります。

DIO29 の構成

図 13-52. IOCFG29 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-59. IOCFG29 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-59. IOCFG29 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-59. IOCFG29 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-59. IOCFG29 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO29 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-59. IOCFG29 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

13.10.3.31 IOCFG30 レジスタ (オフセット = 78h) [リセット = 00006000h]

図 13-53 に、IOCFG30 を示し、表 13-60 に、その説明を示します。

概略表に戻ります。

DIO30 の構成

図 13-53. IOCFG30 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-60. IOCFG30 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-60. IOCFG30 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

Copyright © 2026 Texas Instruments Incorporated

表 13-60. IOCFG30 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-60. IOCFG30 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO30 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX: SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0 26h = I2S_AD1:I2S データ 1 27h = I2S_WCLK:I2S WCLK

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-60. IOCFG30 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

13.10.3.32 IOCFG31 レジスタ (オフセット = 7Ch) [リセット = 00006000h]

図 13-54 に、IOCFG31 を示し、表 13-61 に、その説明を示します。

概略表に戻ります。

DIO31 の構成

図 13-54. IOCFG31 レジスタ

31	30	29	28	27	26	25	24
予約済み	HYST_EN	IE	WU_CFG		IOMODE		
R-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		
23	22	21	20	19	18	17	16
IOEV_AON_PROG2_EN	IOEV_AON_PROG1_EN	IOEV_AON_PROG0_EN	予約済み		EDGE_IRQ_EN	EDGE_DET	
R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
予約済み	PULL_CTL		SLEW_RED	IOCURR		IOSTR	
R-0h	R/W-3h		R/W-0h	R/W-0h		R/W-0h	
7	6	5	4	3	2	1	0
IOEV_RTC_EN	IOEV_MCU_WU_EN	PORT_ID					
R/W-0h	R/W-0h	R/W-0h					

表 13-61. IOCFG31 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	HYST_EN	R/W	0h	0:入力ヒステリシス無効 1:入力ヒステリシス有効
29	IE	R/W	0h	0:入力無効 1:入力有効 注:IO が AUX PORT_ID = 0x08 用に構成されている場合、この有効化は無視されます。
28-27	WU_CFG	R/W	0h	DIO が GPIO または AON 以外のペリフェラル信号として構成されている場合、PORT_ID 0x00 または > 0x08: 00:ウェークアップなし 01:ウェークアップなし 10:このパッドの電圧が Low になると、シャットダウンからウェークアップします。 11:このパッドの電圧が High になると、シャットダウンからウェークアップします。 IO が AON ペリフェラル信号または AUX PORT_ID 0x01 ～ 0x08 用に構成されている場合、このレジスタはウェークアップを有効にするか否かのみを設定します。 00、01:ウェークアップ無効 10、11:ウェークアップ有効 極性は、AON レジスタから制御されます。 注:MSB が設定されると、IOC は DIO の出力イネーブルを無効にします。

Copyright © 2026 Texas Instruments Incorporated

表 13-61. IOCFG31 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
26-24	IOMODE	R/W	0h	IO モード AON ペリフェラル信号および AUX PORT_ID 0x01 ～ 0x08 用に構成された IO には適用されません。 AUX には、独自の open_source/drain 構成があります。 0x2: 予約済み。未定義の動作。 0x3: 予約済み。未定義の動作。 0h = NORMAL: 通常の入力 / 出力 1h = INV: 反転入力 / 出力 4h = OPENDR: オープンドレイン、 通常入力 / 出力 5h = OPENDR_INV: オープンドレイン 反転入力 / 出力 6h = OPENSRC: オープン ソース 通常入力 / 出力 7h = OPENSRC_INV: オープン ソース 反転入力 / 出力
23	IOEV_AON_PROG2_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG2 イベントをアサートしません 1: 入力エッジ検出は AON_PROG2 イベントをアサートします
22	IOEV_AON_PROG1_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG1 イベントをアサートしません 1: 入力エッジ検出は AON_PROG1 イベントをアサートします
21	IOEV_AON_PROG0_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で AON_PROG0 イベントをアサートしません 1: 入力エッジ検出は AON_PROG0 イベントをアサートします
20-19	予約済み	R	0h	予約済み
18	EDGE_IRQ_EN	R/W	0h	0: 割り込み生成なし 1: この IO の割り込み生成を有効化 (EDGE_DET が有効化されている場合のみ有効)
17-16	EDGE_DET	R/W	0h	この IO でのエッジ検出イベントの生成を有効化 0h = NONE: エッジ検出なし 1h = 負のエッジ検出 2h = 正のエッジ検出 3h = 正と負のエッジ検出
15	予約済み	R	0h	予約済み
14-13	PULL_CTL	R/W	3h	プル制御 1h = DWN: プルダウン 2h = UP: プルアップ 3h = DIS: プルなし
12	SLEW_RED	R/W	0h	0: 通常スルーレート 1: 出力ドライバのスルーレートを低減できます。
11-10	IOCURR	R/W	0h	この IO の IO 電流モードを選択します。 0h = 2MA: 低電流 (LC) モード: IOSTR が AUTO に設定されている場合、最小 2mA 1h = 4mA: 高電流 (HC) モード: IOSTR が AUTO に設定されている場合、最小 4mA 2h = 4_8MA: 拡張電流 (EC) モード: IOSTR が AUTO に設定されている場合、ダブルドライブ強度 IO では最小 8mA (通常の IO の場合は最小 4mA)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-61. IOCFG31 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IOSTR	R/W	0h	この IO の駆動強度制御のソースを選択します。 この設定により、低電流 (LC) モードの駆動強度が制御されます。 IOCURR では、より高い駆動強度を選択できます 0h = 自動駆動強度、バッテリ電圧に基づいて AON BATMON によって制御されます。(VDDS で最小 2mA) 1h = 最小駆動強度、AON_IOC:IOSTRMIN によって制御 (デフォルト値において 3.3V で最小 2mA) 2h = MED: 中程度の駆動能力、AON_IOC:IOSTRMED によって制御 (デフォルト値において 2.5V で最小 2mA) 3h = 最大駆動強度、AON_IOC:IOSTRMAX によって制御 (デフォルト値において 1.8V で最小 2mA)
7	IOEV_RTC_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で RTC イベントをアサートしません 1: 入力エッジ検出は RTC イベントをアサートします
6	IOEV_MCU_WU_EN	R/W	0h	エッジ検出が有効のとき、この IO によってアサートされるイベント 0: 入力エッジ検出で MCU_WU イベントをアサートしません 1: 入力エッジ検出は MCU_WU イベントをアサートします

Copyright © 2026 Texas Instruments Incorporated

表 13-61. IOCFG31 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	PORT_ID	R/W	0h	DIO31 の使用方法を選択します 注:PORT_ID 値を変更することが特に必要な時間以外は、このフィールドに書き込まないでください。 0h = 汎用 IO 注:これは SIP モジュールではサポートされていません。詳細については、デバイス仕様のデータシートを参照してください。 7h = AON 32KHz クロック (SCLK_LF) 8h = AUX IO 9h = SSI0_RX:SSI0 RX Ah = SSI0_TX: SSI0 TX Bh = SSI0_FSS: SSI0 FSS Ch = SSI0_CLK: SSI0 CLK Dh = I2C_MSSDA: I2C データ Eh = I2C_MSSCL:I2C クロック Fh = UART0_RX:UART0 RX 10h = UART0_TX: UART0 TX 11h = UART0_CTS: UART0 CTS 12h = UART0_RTS: UART0 RTS 13h = UART1_RX: UART1 RX 14h = UART1_TX: UART1 TX 15h = UART1_CTS: UART1 CTS 16h = UART1_RTS: UART1 RTS 17h = PORT_EVENT0: PORT EVENT 0 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 18h = PORT_EVENT1:PORT EVENT 1 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 19h = PORT_EVENT2:PORT EVENT 2 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ah = PORT_EVENT3:PORT EVENT 3 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Bh = PORT_EVENT4:PORT EVENT 4 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Ch = PORT_EVENT5:PORT EVENT 5 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Dh = PORT_EVENT6:PORT EVENT 6 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 1Eh = PORT_EVENT7:PORT EVENT 7 これを EVENT モジュールのレジスタで選択することで、汎用 IO イベントとして使用できます。たとえば、EVENT:GPT0ACAPTSEL.EV、EVENT:UDMACH14BSEL.EV などです。 20h = CPU_SWV:CPU SWV 21h = SSI1_RX: SSI1 RX 22h = SSI1_TX: SSI1 TX 23h = SSI1_FSS: SSI1 FSS 24h = SSI1_CLK: SSI1 CLK 25h = I2S_AD0: I2S データ 0

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 13-61. IOCFG31 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				26h = I2S_AD1 : I2S データ 1 27h = I2S_WCLK : I2S WCLK 28h = I2S_BCLK: I2S BCLK 29h = I2S_MCLK: I2S MCLK 2Eh = RF コア トレース 2Fh = RF コア データ出力 0 30h = RF コア データ出力 1 31h = RF コア データ出力 2 32h = RF コア データ出力 3 33h = RF コア データ入力 0 34h = RF コア データ入力 1 35h = RF コア SMI データ リンク出力 36h = RF コア SMI データ リンク入力 37h = RF コア SMI コマンド リンク出力 38h = RF コア SMI コマンド リンク入力

Copyright © 2026 Texas Instruments Incorporated

Chapter 14

マイクロ ダイレクト メモリ アクセス (µDMA)

この章では、µDMA と呼ばれるダイレクト メモリ アクセス (DMA) コントローラについて説明します。

14.1 µDMA の紹介.....1322
14.2 ブロック図.....1323
14.3 機能説明.....1323
14.4 初期化および構成.....1338
14.5 µDMA レジスタ.....1339

Copyright © 2026 Texas Instruments Incorporated

14.1 µDMA の紹介

CC13x2 および CC26x2 デバイス プラットフォームには、µDMA と呼ばれるダイレクト メモリ アクセス (DMA) コントローラが搭載されています。µDMA コントローラにより Arm® Cortex®-M4F プロセッサからのデータ転送の負荷を軽減することができるので、プロセッサの使用効率が上がり、バス帯域幅を有効活用することがきます。µDMA コントローラは、メモリとペリフェラル間の転送を実行できます。コントローラには、サポート対象の各オンチップ モジュールの専用チャネルがあり、ペリフェラルのさらなるデータ転送が準備完了したときに、ペリフェラルとメモリ間の転送を自動的に実行するようにプログラムすることが可能です。µDMA コントローラの機能を、以下に示します。

- Arm PrimeCell® 32 チャネル、構成可能 µDMA コントローラ
- 次のような複数の転送モードで、メモリ-メモリ間、メモリ-ペリフェラル間、ペリフェラル-メモリ間の転送をサポート。
  - シンプルな転送シナリオ用のベーシック モード
  - 連続的なデータ フロー用のピンポン モード
  - シングル要求から開始された任意の転送のプログラマブルなリスト用のスキャッタ収集モード
- 柔軟性が高く、構成可能なチャネル動作。
  - チャネルごとの個別設定と個別動作
  - サポートしているオンチップ モジュール用専用チャネル
  - プライマリおよびセカンダリ チャネルの割り当て
  - 柔軟なチャネル割り当て
  - 双方向モジュールの受信パスと送信パスにそれぞれ 1 つのチャネル
  - ソフトウェアによる DMA 起動用の専用チャネル
  - チャネルごと設定可能な優先順位スキーム
  - ペリフェラル用のチャネルに対してもソフトウェアによる DMA 起動が可能
- 2 レベルの優先順位
- 8 ビット、16 ビット、32 ビットのデータ サイズ
- 1 ～ 1024 のバイナリ ステップでプログラマブルな転送サイズ
- ソース アドレスとディスティネーション アドレスのインクリメント サイズは、バイト単位、ハーフワード単位、ワード単位、または固定
- ペリフェラルからの転送リクエストはマスク可能
- チャネルごとに個別の割り込みで転送完了時割り込み

Copyright © 2026 Texas Instruments Incorporated

14.2 ブロック図

図 14-1 に、µDMA のブロック図を示します。

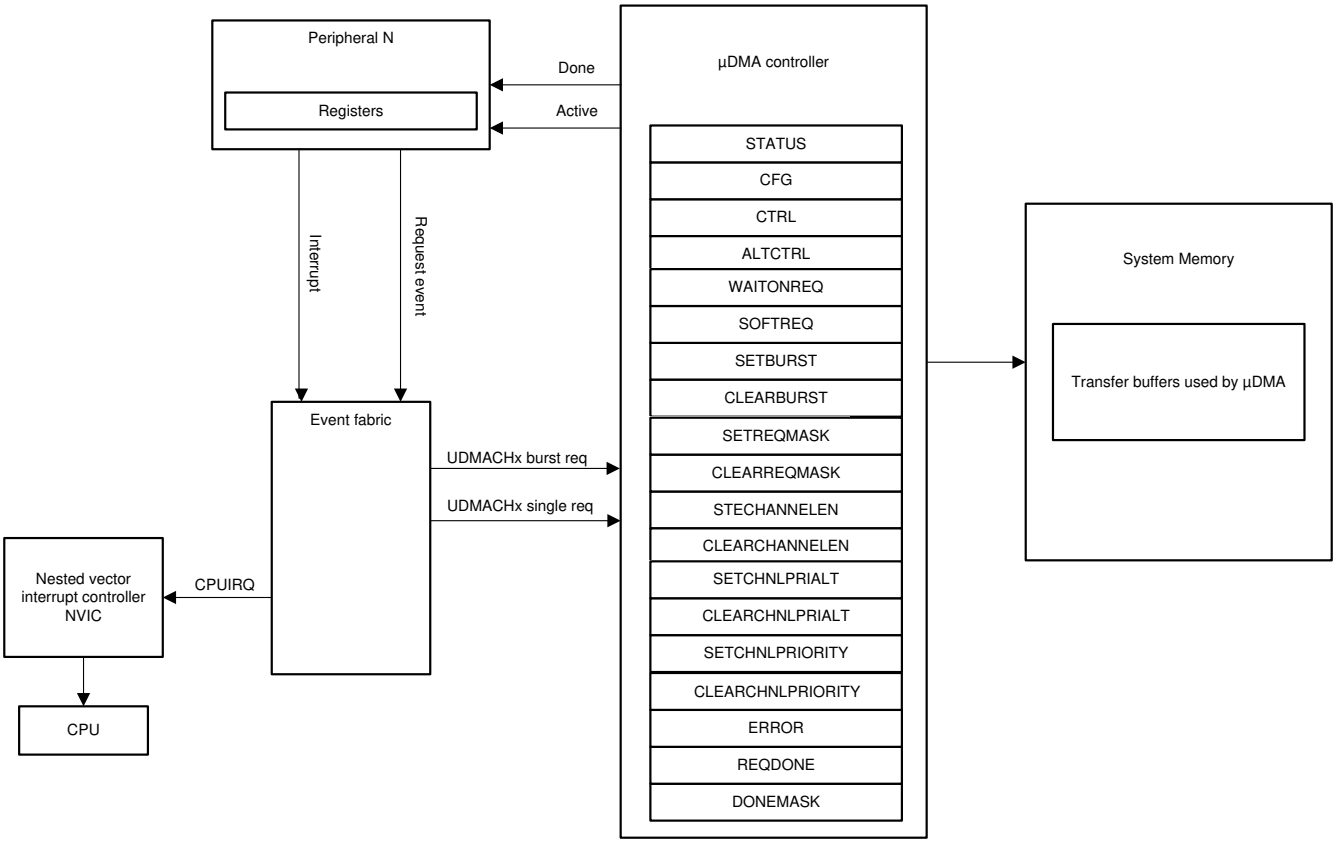


図 14-1. µDMA のブロック図

14.3 機能説明

µDMA コントローラは、マイコンの Arm®Cortex®-M4F プロセッサ コアと組み合わせて効率的に動作するよう設計された、フレキシブルで高度な構成が可能な DMA コントローラです。コントローラは、複数のデータ サイズとアドレス インクリメント方式、DMA チャネル間における複数レベルの優先順位、およびいくつかの転送モードをサポートしており、高度なプログラムによるデータ転送を可能にします。

サポートされている各ペリフェラル機能には、個別に構成できる µDMA コントローラ上の専用チャネルがあります。µDMA コントローラは、プロセッサによってシステム メモリ内に保持されているチャネル制御構造を使用して設定方法を実装しています。シンプルな転送モードもサポートしていますが、メモリ内に高度なタスク リストを構築することで、µDMA コントローラが単一の転送リクエストの一部として任意の場所との間で任意のサイズの転送を実行することも可能です。また、µDMA コントローラは、ピンポン バッファリングをサポートしており、ペリフェラルとの間でのデータの常時ストリーミングに対応できます。

各チャネルには調停サイズも設定可能です。調停サイズとは、µDMA コントローラがチャネル優先度を要求する前にバーストで転送されるアイテムの数です。調停サイズを使用すると、µDMA サービス要求が行われるたびに、ペリフェラルとの間で転送されるアイテムの数を正確に制御できます。

Copyright © 2026 Texas Instruments Incorporated

14.3.1 チャネル割り当て

表 14-1 に、ペリフェラルへの µDMA チャネル割り当てを示します。

表 14-1. チャネル割り当て

チャネル	ペリフェラル	waitonreq	map _wiatonreq	stall	dma _done	dma _active	DMA_CHANNEL _WITH_2STAGE_SYNC	DMA _ACTIVE_FF	DMA_CHANNEL _ASYNC
21 ~ 31	予約済み	1			あり	あり	0		0
20(1)	ソフトウェア 3	1					0		0
19(1)	ソフトウェア 2	1					0		0
18(1)	ソフトウェア 1	1			あり		0		0
17	SSP1_TX	1			あり	あり	0		0
16	SSP1_RX	1			あり	あり	0		0
15	AON_RTC	0					0		1
14	DMA_PROG	0					0		1
13	AON_PROG2	0					0		1
12	GPT1_B	1			あり		1		0
11	GPT1_A	1			あり		1		0
10	GPT0_B	1			あり		1		0
9	GPT0_A	1			あり		1		0
8	AUX_SW	0					0		1
7	AUX_ADC	1			あり	あり	0	1	1
6	UART1_TX	1			あり	あり	0		0
5	UART1_RX	1			あり	あり	0		0
4	SSP0_TX	1			あり	あり	0		0
3	SSP0_RX	1			あり	あり	0		0
2	UART0_TX	1			あり	あり	0		0
1	UART0_RX	1			あり	あり	0		0
0(1)	ソフトウェア 0	1		あり	あり		0		0

(1) DMA ソフトウェア トリガ

Copyright © 2026 Texas Instruments Incorporated

14.3.2 優先順位

µDMA コントローラは、チャネル番号とチャネルの優先レベル ビットに基づいて、各チャネルに優先度を割り当てます。チャネル 0 の優先度が最も高く、チャネル番号が増加すると、チャネルの優先度は低下します。各チャネルには優先度レベル ビットがあり、2 つのレベルの優先度 (デフォルトの優先度と高優先度) を提示します。優先レベル ビットが設定されている場合、そのチャネルはデフォルトで他のすべてのチャネルよりも優先度が高くなります。複数のチャネルが高優先度に設定されている場合、すべての高優先度チャネル間の相対的な優先度を決定するために、チャネル番号が使用されます。

チャネルの優先度ビットは、UDMA:SETCHNLPRIORITY レジスタを使用して設定し、UDMA:CLEARCHNLPRIORITY レジスタによってクリアできます (セクション 14.5.1 を参照)。

14.3.3 調停サイズ

µDMA チャネルが転送を要求すると、µDMA コントローラは要求を行うすべてのチャネルの間で調停を行い、最も優先度の高い µDMA チャネルにサービスを提供します。転送が開始されると、要求チャネル間で再調停する前に、選択可能な数の転送が続行されます。調停サイズは、1 ～ 1024 個のアイテム転送の範囲で、チャネルごとに設定できます。µDMA コントローラが調停サイズで指定されたアイテム数を転送した後、コントローラは要求を行うすべてのチャネルの間でチェックを行い、最も優先度の高いチャネルを処理します。

低優先度の µDMA チャネルが大きな調停サイズを使用すると、µDMA コントローラが高優先度の要求をチェックする前に低優先度のバーストを完了するため、高優先度チャネルのレイテンシが増加します。したがって、高優先度チャネルで最高の応答性を得るためには、低優先度チャネルで大きな調停サイズを使用してはなりません。

調停サイズはバースト サイズと考えることもできます。調停サイズは、バースト内で一度に転送されるアイテムの最大数です。ここでの「調停」という用語は、バスの調停ではなく、µDMA チャネルの優先度を判定することを指します。µDMA コントローラがバスの調停を行うとき、プロセッサは常に優先されます。さらに、バースト転送の途中でも、プロセッサが同じバスでバス トランザクションを実行する必要がある場合は常に、µDMA コントローラは遅延します。

14.3.4 要求タイプ

µDMA コントローラは、ペリフェラルからの 2 種類の要求 (シングル要求とバースト要求) に応答します。各ペリフェラルは、いずれか一方または両方のタイプの要求をサポートできます。シングル要求とは、ペリフェラルが 1 つの項目を転送する準備ができたこと、バースト要求とはペリフェラルが複数の項目を転送する準備ができたことを意味します。

ペリフェラルからの要求がシングルかバーストによって、µDMA コントローラは異なる応答をします。両方のタイプの要求がアサートされ、µDMA チャネルがバースト転送用に設定されている場合、バースト要求が優先されます。表 14-2 に、2 種類の要求タイプに対する各ペリフェラルのサポート状況を示します。

表 14-2. 要求タイプのサポート状況

ペリフェラル	シングル要求信号	バースト要求信号
ADC	なし (FIFO が空ではない)	シーケンサ IE ビット (FIFO はハーフ フル)
汎用タイマ	未加工の割り込みパルス	なし
GPIO	未加工の割り込みパルス	なし
SSI TX	TX FIFO がフルではない	TX FIFO レベル (4 に固定)
SSI RX	RX FIFO が空ではない	RX FIFO レベル (4 に固定)
UART TX	TX FIFO がフルではない	TX FIFO レベル (構成可能)
UART RX	RX FIFO が空ではない	RX FIFO レベル (構成可能)

Copyright © 2026 Texas Instruments Incorporated

14.3.4.1 単一の要求

単一の要求 (バースト要求ではない) が検出されると、µDMA コントローラは 1 つの項目を転送した後、別の要求を待機します。

注

チャネル 8、13、14、15 は、waitonreq が Low に接続されているため、単一の要求に応答しません。

14.3.4.2 バースト要求

バースト要求が検出されると、µDMA コントローラは、調停サイズまたは転送内に残っているアイテムの数のいずれか少ない方の数のアイテムを転送します。したがって、調停サイズは、バースト要求を行うときにペリフェラルが対応できるデータ項目の数と同じにする必要があります。たとえば、UART や SPI のように、シングル要求とバースト要求を組み合わせて使用する場合、FIFO トリガ レベルに基づいてバースト要求を生成できます。この場合、調停サイズは、トリガ レベルに達したときに FIFO が転送できるデータ量に設定する必要があります。バースト転送は、一度開始されると最後まで実行され、優先度の高いチャネルであっても中断することはできません。バースト転送は、同じ数の非バースト転送よりも短い時間で完了します。

データの性質によっては、個別転送よりもまとめて転送する方が適切であるため、シングル転送を禁止しバースト転送のみを用いることが望ましい場合があります。シングル要求は、UDMA:SETBURST レジスタで無効化できます。このレジスタのチャネルにビットを設定することにより、µDMA コントローラはそのチャネルのバースト要求にのみ応答します。

14.3.5 チャネル構成

µDMA コントローラは、システム メモリの領域を使用して、一連のチャネル制御構造をテーブル内に保存します。制御テーブルには、µDMA チャネルごとに 1 つまたは 2 つのエントリがあります。テーブル構造の各エントリには、送信元および送信先ポインタ、転送サイズ、および転送モードが含まれます。制御テーブルはシステム メモリ内のどこにでも配置できますが、連続した領域であり、1024 バイト境界にアラインされている必要があります。

表 14-3 に、チャネルの制御テーブルのメモリ レイアウトを示します。各チャネルは、制御テーブル内に 1 つまたは 2 つの制御構造 (プライマリ制御構造、およびオプションの代替制御構造) を保持できます。テーブルは、前半のプライマリ エントリと後半の代替構造で構成されています。プライマリ エントリは単純な転送モードで使用され、各転送の完了後に転送を再構成および再起動できます。この場合、代替制御構造は使用されないため、テーブルの前半のみをメモリに割り当てる必要があります。制御テーブルの後半は必要なく、メモリを他のものに使用できます。ピンポンやスキャッタ収集などの複雑な転送モードを使用する場合は、代替制御構造も使用し、テーブル全体にメモリ空間を割り当てる必要があります。

制御テーブル内の未使用メモリ (アプリケーションで使用されていないチャネルの制御構造、および各チャネルの未使用の制御ワードを含む) は、アプリケーションで利用可能です。

表 14-3. 制御構造メモリ マップ

オフセット	チャネル
0x0	0、プライマリ
0x10	1、プライマリ
...	...
0x1F0	31、プライマリ
0x200	0、代替
0x210	1、代替
...	...
0x3F0	31、代替

表 14-4 に、制御テーブル内の個々の制御構造エントリを示します。各エントリは 16 バイト境界にアライメントされます。このエントリには、4 つの長いワード (送信元の終了ポインタ、送信先の終了ポインタ、制御ワード、未使用のエントリ) が含ま

Copyright © 2026 Texas Instruments Incorporated

れます。包含終了ポインタは、転送の終了アドレスを指します。送信元または送信先がインクリメントしていない場合 (ペリフェラル レジスタなど)、ポインタは転送アドレスを指す必要があります。

表 14-4. チャネル制御構造

オフセット	説明
0x000	送信元の終了ポインタ
0x004	送信先の終了ポインタ
0x008	制御ワード
0x00C	未使用のエントリ

制御ワードには、以下のフィールドがあります。

- 送信元と送信先のデータ サイズ
- 送信元アドレスと送信先アドレスのインクリメント サイズ
- バス調停前の転送数
- 転送するアイテムの総数
- Useburst フラグ
- 転送モード

チャネルの制御パラメータは、ドライバ ライブラリ関数 void uDMAChannelControlSet(); 関数を使用して設定できます。µDMA コントローラは、転送が実行されると、転送サイズおよび転送モード フィールドを更新します。転送の終了時に、転送サイズは 0、転送モードは停止を示します。制御ワードは µDMA コントローラによって変更されるため、新しい転送を行うたびに再構成する必要があります。送信元および送信先の終了ポインタは変更されないため、送信元または送信先アドレスが同じであれば変更しないでください。

転送を開始する前に、UDMA:SETCHANNELEN レジスタの適切なビットをセットして、µDMA チャネルをイネーブルにしておく必要があります。UDMA:CLEARCHANNELEN レジスタのチャネル ビットをセットすると、チャネルをディセーブルにできます。µDMA 転送が完了すると、コントローラは自動的にチャネルをディスエーブルにします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

14.3.6 転送モード

µDMA コントローラは、複数のプログラミング モードに対応しています。モードの 2 つは、シンプルな 1 回限りの転送に対応します。いくつかのコンプレックス モードは、連続的なデータ フローに対応します。

14.3.6.1 停止モード

停止モードは実際には転送モードではありませんが、「停止」は制御ワードのモード フィールドの有効な値です。モード フィールドに「停止」値がある場合、µDMA コントローラは転送を実行せず、有効にするとチャネルを無効化します。µDMA コントローラは制御ワードを更新し、転送の終了時にモードを「停止」に設定します。このモードは、スキャッタ収集の動作に役立ちます。

14.3.6.2 ベーシック モード

ベーシック モードの場合、転送すべきアイテムが残っており、かつ転送要求が存在する限り、µDMA コントローラは転送を実行します。このモードは、ペリフェラルがデータ転送の準備ができたときに、µDMA 要求信号をアサートするペリフェラルとともに使用されます。転送全体を完了する必要がある場合でも、要求が一時的なものである状況ではベーシック モードを使用しないでください。

µDMA コントローラは、すべてのアイテムがベーシック モードを使用して転送された際に、そのチャネルが停止するようにモードを設定します。

14.3.6.3 自動モード

自動モードはベーシック モードと似ていますが、転送要求を受信すると、µDMA 要求が削除されても転送を完了します。このモードは、ソフトウェアによってトリガされる転送に適しています。通常、自動モードはペリフェラルでは使用されません。

µDMA コントローラは、すべての項目が自動モードを使用して転送されたときに、そのチャネルが停止するように設定します。

14.3.6.4 ピンポン

ピンポン モードは、ペリフェラルとの間の連続的なデータ フローに対応するために使用されます。ピンポン モードを使用するには、基本と代替の両方のデータ構造を実装する必要があります。どちらの構造も、メモリとペリフェラルの間のデータ転送のために、プロセッサによって設定されます。基本制御構造を使用して転送が開始されます。基本制御構造を使用した転送が完了すると、µDMA コントローラはそのチャネルの代替制御構造を読み取って転送を続行します。この処理が発生するたびに割り込みが生成され、プロセッサは直前に完了した転送の制御構造をリロードすることができます。この方法を用いれば、基本制御構造と代替制御構造を使用して、ペリフェラルとの間でデータが流れる際にバッファを切り換えることで、データ フローを無期限に継続させることができます。

Copyright © 2026 Texas Instruments Incorporated

図 14-2 に、ピンポン モードでの動作例を示します。

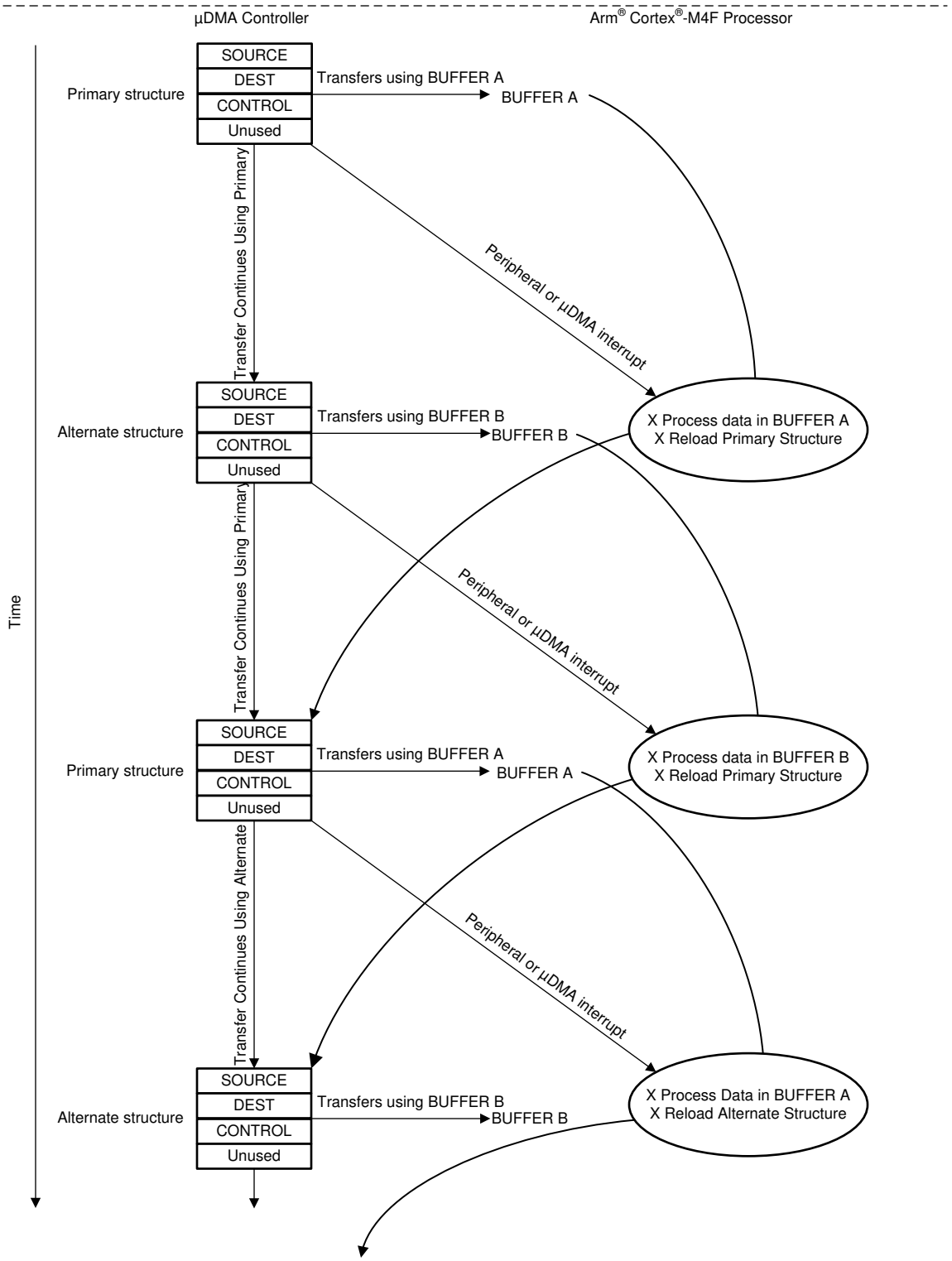


図 14-2. ピンポン µDMA トランザクションの例

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

14.3.6.5 メモリ スキャッタ/ギャザー モード

メモリ スキャッタ/ギャザー モードは、メモリ バッファ内の一連の連続した場所ではなく、メモリ内のさまざまな場所との間でデータを転送する必要がある場合に使用される複合モードです。たとえば、ギャザー µDMA 操作を利用して、通信プロトコルの保存済みパケット群から特定のペイロードを選択的に読み取り、それらをメモリ バッファ内に連続してまとめて格納することが可能です。

メモリ スキャッタ/ギャザー モードでは、一次制御構造を使用して、メモリ内のテーブルから代替制御構造をプログラムします。このテーブルは、プロセッサ ソフトウェアによって設定され、それぞれの制御構造のリストが含まれます。制御構造のリストには、ソースおよびデスティネーションのエンドポインタ、および特定の転送の制御ワードが含まれます。各制御ワードのモードは、メモリ スキャッタ/ギャザー モードに設定する必要があります。テーブルの各エントリは、代わりの構造体にコピーされ、そこで実行されます。µDMA コントローラは、プライマリ制御構造を使用してリストから次の転送命令をコピーする動作と、その新しい転送命令を実行する動作とを交互に行います。リストの末尾は、最後のエントリの制御ワードを自動転送モードで使用するように設定することで示されます。自動モードを使用して最後の転送が実行されると、µDMA コントローラは停止します。完了割り込みは、最後の転送が終わった後にのみ生成されます。

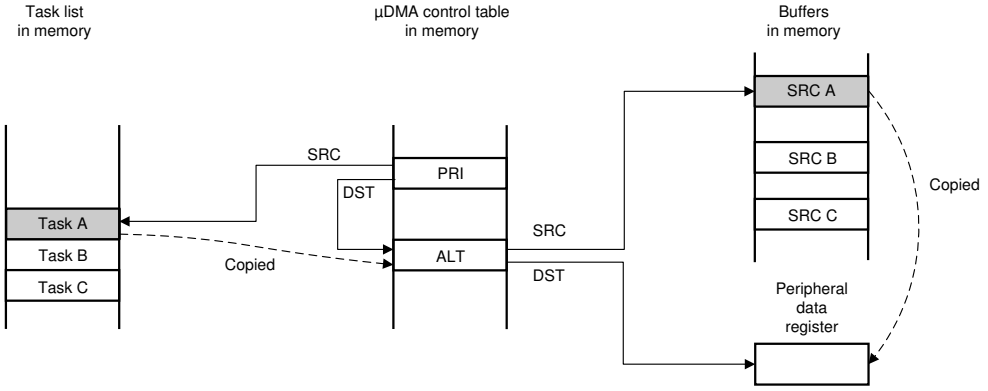
リストの最後のエントリが、リストの先頭 (あるいは新しいリスト) を指すように主要な制御構造をコピーすることで、リストをループさせることが可能です。また、他のチャネル群による転送を開始させることも可能です。これには、別のチャネルのソフトウェア トリガへの書き込みをプログラムして直接行う方法、または µDMA 要求を発生させるようなペリフェラル動作を誘発して間接的に行う方法があります。

この方法を使用して µDMA コントローラをプログラミングすることにより、単一の µDMA 要求に基づいて一連の任意の転送を実行できます。

図 14-3 に、メモリ スキャッタ/ギャザー モードでの動作の例を示します。この例では、メモリ内の 3 つの独立したバッファ内のデータが 1 つのバッファにまとめてコピーされるギャザー操作を示します。図 14-3 に、アプリケーションがメモリに µDMA タスク リストを設定し、コントローラがそれを使用して、メモリ内の異なる場所から 3 組のコピー動作を実行する仕組みを示します。操作に使用されるチャネルの主な制御構造は、タスク リストから代替制御構造にコピーするように構成されています。

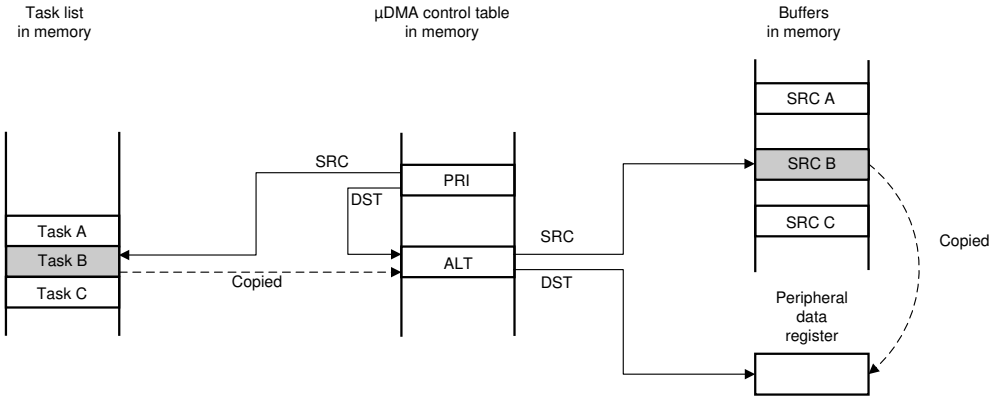
図 14-4 に、µDMA コントローラが 3 組のコピー操作を実行する際のシーケンスを示します。まず、µDMA コントローラは一次制御構造を使用して、代替制御構造にタスク A をロードします。続いて、µDMA コントローラはタスク A で指定されたコピー操作を実行し、ソース バッファ A から宛先バッファにデータをコピーします。次に、µDMA コントローラは 1 次制御構造を使用してタスク B を代替制御構造にロードし、代替制御構造で B 操作を実行します。タスク C に対してこのプロセスが繰り返されます。

Copyright © 2026 Texas Instruments Incorporated



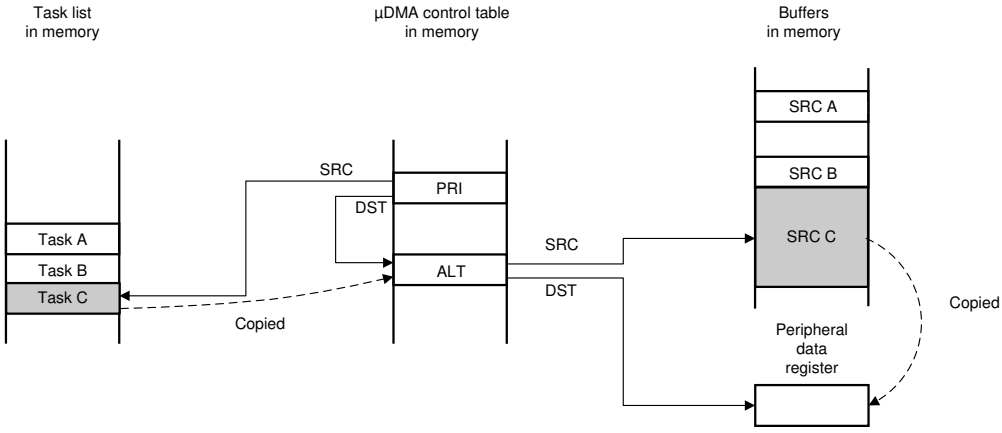
Using the primary control structure of the channel, the µDMA controller copies task A configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer A to the peripheral data register.



Using the primary control structure of the channel, the µDMA controller copies task B configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer B to the peripheral data register.



Using the primary control structure of the channel, the µDMA controller copies task C configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer C to the peripheral data register.

A. アプリケーションは、メモリ内の 3 つの異なる場所からデータ項目を 1 つの組み合わせたバッファにコピーする必要があります。

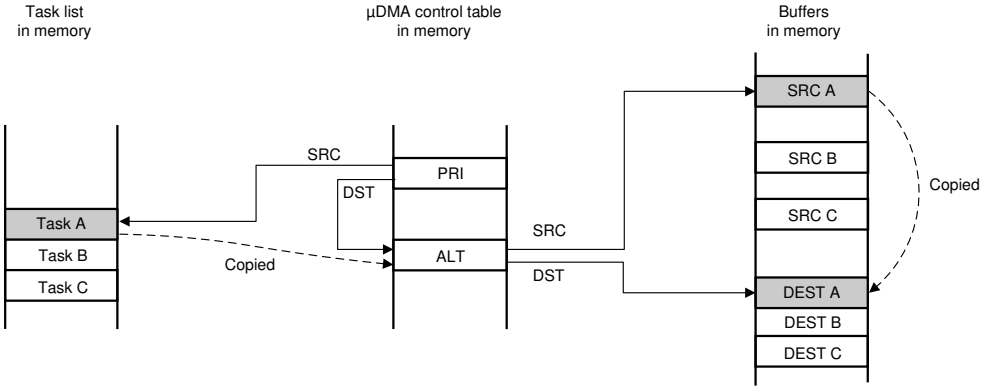
B. アプリケーションはメモリ内に µDMA「タスク リスト」を設定します。これには、3 つの µDMA コピー「タスク」のポインタと制御構成が含まれています。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

C. アプリケーションは、チャネルの一次制御構造を設定して、各タスク設定を一度に 1 つずつ代替制御構造にコピーします。これは、そこで µDMA コントローラによって実行されます。

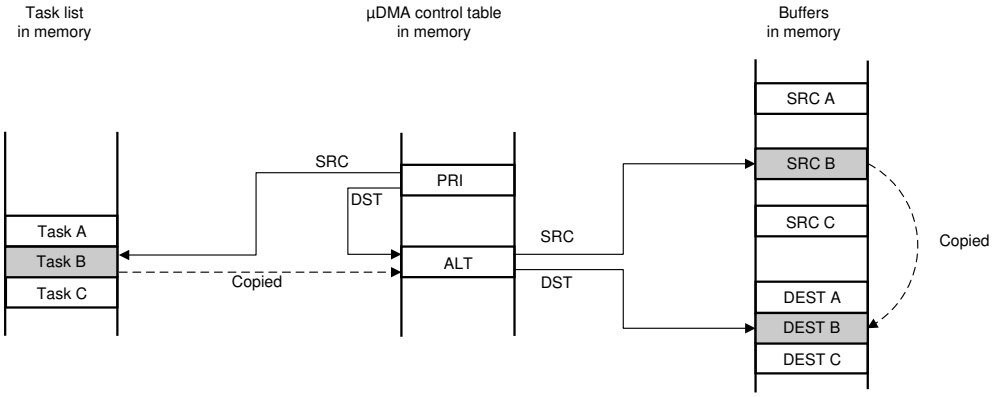
図 14-3. メモリ スキャッタ/ギャザー、設定、構成

Copyright © 2026 Texas Instruments Incorporated



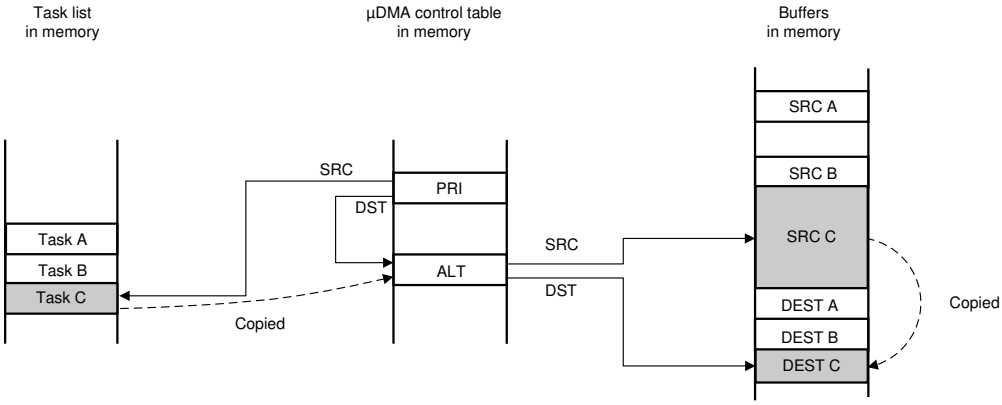
Using the primary control structure of the channel, the µDMA controller copies task A configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer A to the destination buffer.



Using the primary control structure of the channel, the µDMA controller copies task B configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer B to the destination buffer.



Using the primary control structure of the channel, the µDMA controller copies task C configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer C to destination buffer.

図 14-4. メモリ スキャッタ/ギャザー、µDMA コピー シーケンス

Copyright © 2026 Texas Instruments Incorporated

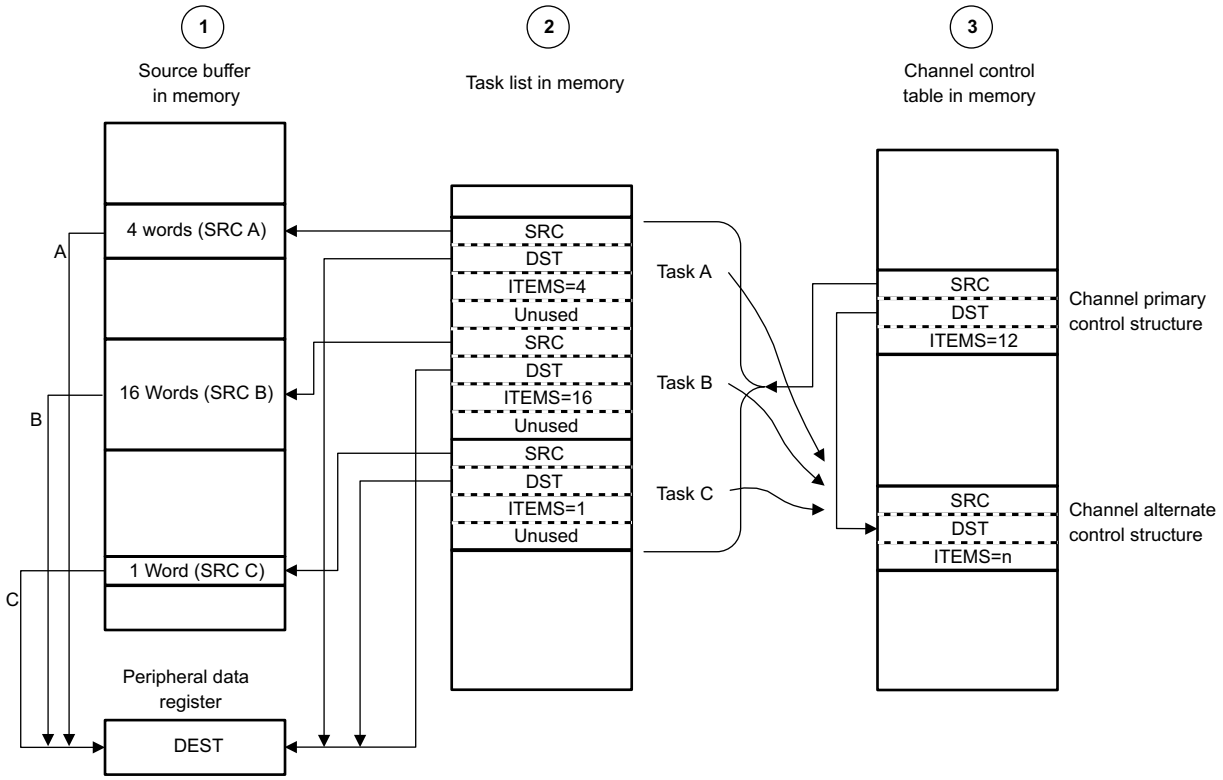
14.3.6.6 ペリフェラル スキャッタ収集モード

ペリフェラル スキャッタ収集モードは、メモリス キャッタ収集モードと似ていますが、転送が µDMA 要求を行うペリフェラルによって制御される点が異なります。µDMA コントローラがペリフェラルからの要求を検出すると、µDMA コントローラは基本制御構造を使用してリストから代替制御構造にエントリを 1 つコピーしてから、転送を実行します。この転送の最後に、ペリフェラルが µDMA 要求を再度アサートした場合にのみ、次の転送が開始されます。µDMA コントローラは、ペリフェラルが要求を行ったときにのみ、最後の転送が完了するまで、リストからの転送を続けます。完了の割り込みは、最後の転送が終わった後にのみ生成されます。

この方法を使用することで、µDMA コントローラは、ペリフェラルのデータ転送が準備完了したときに、一連の任意の場所からペリフェラルとの間でデータを転送できます。

図 14-5 に、ペリフェラル スキャッタ収集モードでの動作例を示します。この例は収集動作を示しており、メモリ内の 3 つの個別バッファからのデータが単一のペリフェラル データ レジスタにコピーされます。図 14-5 に、アプリケーションがメモリ内に µDMA タスク リストを設定する方法を示します。コントローラは、このタスク リストを使用して、メモリ内のさまざまな場所から 3 組のコピー動作を実行します。動作に使用されるチャネルの基本制御構造は、タスク リストから代替制御構造にコピーするように設定されています。

図 14-6 に、µDMA コントローラが 3 組のコピー動作を実行するシーケンスを示します。最初に、基本制御構造を使用して、µDMA コントローラはタスク A に代替制御構造をロードします。次に、µDMA コントローラはタスク A で指定されたコピー動作を実行し、ソース バッファ A からペリフェラル・データ・レジスターにデータをコピーします。次に、µDMA コントローラは基本制御構造を再度使用して、タスク B を代替制御構造にロードし、代替制御構造で B 動作を実行します。タスク C に対してこのプロセスが繰り返されます。



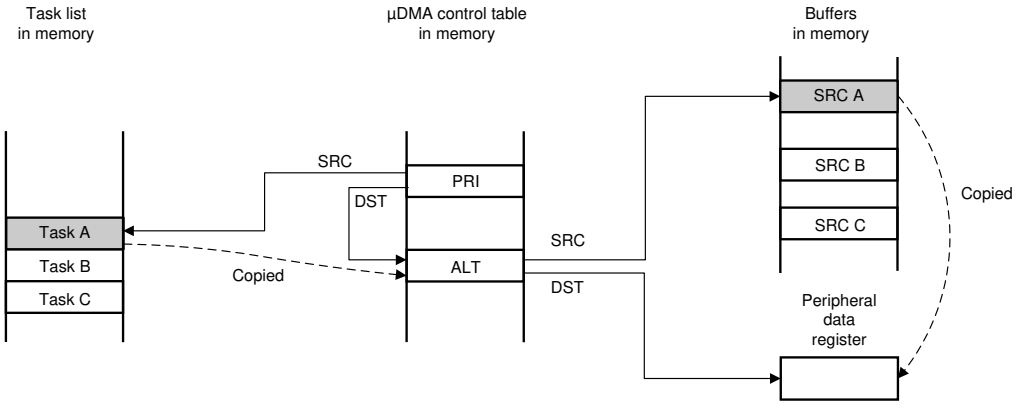
A. アプリケーションでは、メモリ内の 3 つの個別の場所からペリフェラル データ レジスタにデータ項目をコピーする必要があります。

B. アプリケーションは、メモリ内に µDMA の「タスク リスト」を設定します。このリストには 3 つの µDMA コピー「タスク」へのポインタと制御構成が含まれています。

C. アプリケーションは、チャネルの基本制御構造を設定して、各タスク構成を一度に 1 つずつ、µDMA コントローラによって実行された代替制御構造にコピーします。

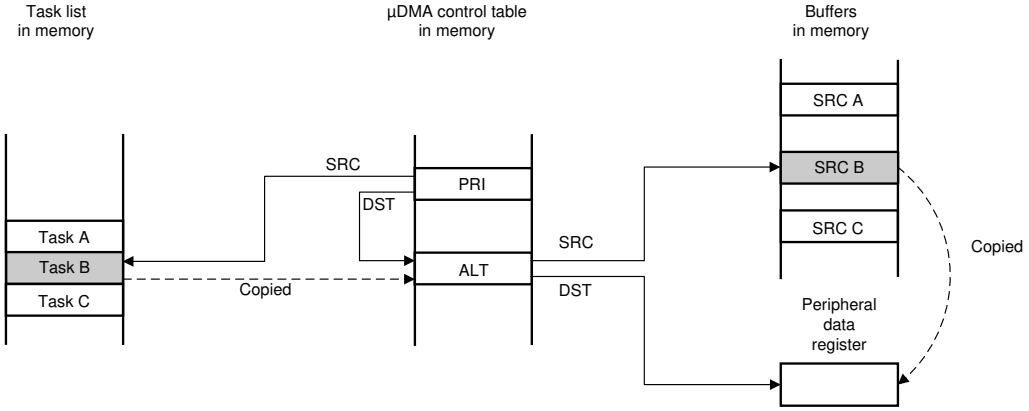
図 14-5. ペリフェラルのスキャッタ収集、設定、および構成

Copyright © 2026 Texas Instruments Incorporated



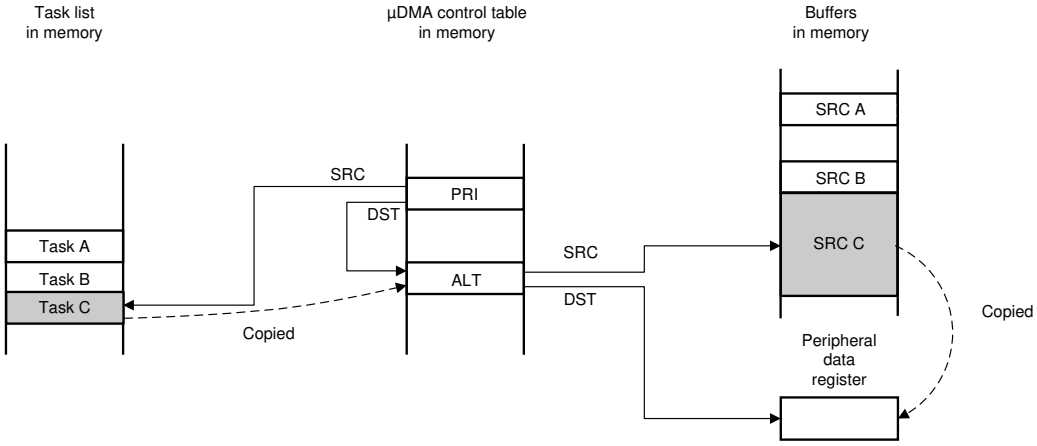
Using the primary control structure of the channel, the µDMA controller copies task A configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer A to the peripheral data register.



Using the primary control structure of the channel, the µDMA controller copies task B configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer B to the peripheral data register.



Using the primary control structure of the channel, the µDMA controller copies task C configuration to the alternate control structure of the channel.

Then, using the alternate control structure of the channel, the µDMA controller copies data from source buffer C to the peripheral data register.

図 14-6. ペリフェラルのスキャッタ収集、µDMA のコピー シーケンス

Copyright © 2026 Texas Instruments Incorporated

14.3.7 転送サイズとインクリメント

µDMA コントローラは、8、16、32 ビットの転送データ サイズに対応しています。送信元と送信先のデータ サイズは、すべての指定した転送に対して同じである必要があります。送信元と送信先のアドレスは、バイト単位、ハーフ ワード単位、ワード単位で自動的にインクリメントすることも、インクリメントしない設定にすることもできます。送信元と送信先アドレスのインクリメント値は、個別に設定できます。インクリメントがデータ サイズ以上である限り、アドレス インクリメントがデータ サイズと一致する必要はありません。たとえば、フル ワード (4 バイト) のアドレス インクリメントを使用して、8 ビットのデータ サイズで転送を実行できます。転送するデータは、データ サイズ (8、16、または 32 ビット) に応じてメモリ内で整列させる必要があります。

表 14-5 に、8 ビット データを供給するペリフェラルから読み取るための構成を示します。

表 14-5. µDMA 読み取りの例:8 ビット ペリフェラル

フィールド	構成
送信元のデータ サイズ	8 ビット
送信先のデータ サイズ	8 ビット
送信元のアドレス インクリメント	インクリメントなし
送信先のアドレス インクリメント	バイト
送信元の終了ポインタ	ペリフェラル読み取り FIFO レジスタ
送信先の終了ポインタ	メモリ内のデータ バッファの末尾

14.3.8 ペリフェラル インターフェイス

µDMA に対応する各ペリフェラルは、ペリフェラルのデータ転送が準備完了したときにアサートされる単一の要求またはバースト要求信号を備えています (表 14-2 を参照)。要求信号は、それぞれ UDMA:SETREQMASK および UDMA:CLEARREQMASK レジスタを使用して無効化または有効化ができます。チャネル要求マスク ビットが設定されている場合、µDMA 要求信号は無効化またはマスクされます。要求がマスクされていない場合、µDMA チャネルが正しく構成され有効になると、ペリフェラルは要求信号をアサートし、µDMA コントローラが転送を開始します。

注

µDMA を使用してペリフェラルとの間でデータを転送する場合、ペリフェラルは、イベント ファブリックへのすべての割り込みを無効化する必要があります。

µDMA 転送が完了すると、µDMA コントローラは割り込みを生成します。詳細については、セクション 14.3.10 を参照してください。

特定のペリフェラルが µDMA コントローラとやり取りする方法の詳細については、そのペリフェラルについて記述されている章の「DMA 動作」セクションを参照してください。

14.3.9 ソフトウェア要求

UDMA:SOFTREQ レジスタ経由でソフトウェア転送を実行するようにチャネルを設定できます。ソフトウェアに使用されるチャネルが特定のペリフェラルにも接続されている場合、dma_done / 割り込み信号は、ペリフェラルに送信されるのではなく、Arm® Cortex®-M4F CPU に直接供給されます。使用される割り込みは、すべてのソフトウェア転送の割り込みを組み合わせたもの、46 番 (ソフトウェア µDMA 割り込み) です。

ソフトウェアがペリフェラルの µDMA チャネルを使用して要求を開始すると、ソフトウェア割り込みベクタではなく、ペリフェラルの割り込みベクタで完了割り込みが発生します。

Copyright © 2026 Texas Instruments Incorporated

注

DMA ソフトウェア要求は、チャネル 0、18、19、20 で指定されています。チャネル 0 およびチャネル 18 では、dma-done は、EVENT:UDMACH14BSEL または EVENT:CPUIRQSEL30 レジスタの EV フィールドで、DMA_CH0_DONE および DMA_CH18_DONE として使用できます。

14.3.10 割り込みとエラー

µDMA コントローラは、µDMA 転送が完了すると、ペリフェラルの割り込みベクタに完了割り込みを生成します。そのため、ペリフェラルで µDMA を使用してデータを転送して割り込みを使用する場合、そのペリフェラルの割り込みハンドラは、µDMA 転送完了割り込みを処理できるように設計する必要があります。転送にソフトウェア µDMA チャネルを使用する場合、完了割り込みは専用ソフトウェア µDMA 割り込みベクタで発生します (表 14-6 を参照)。

ペリフェラルで µDMA が有効化されている場合、µDMA コントローラは、そのペリフェラルからの通常の転送割り込みが割り込みコントローラ (INTC) に到達するのを停止します。ただし、これらの割り込みはペリフェラルの割り込みレジスタには引き続き報告されます。そのため、大量のデータを µDMA を使って転送する場合、データ フローとしてペリフェラルから複数の割り込みを受信する代わりに、INTC は転送完了時に 1 回だけ割り込みを受信します。一方、マスクされていないペリフェラルのエラー割り込みは、INTC に引き続き送信されます。

µDMA チャネルが完了割り込みを生成すると、DMA チャネル要求完了レジスタ (UDMA:REQDONE) 内の、該当するペリフェラル チャネルに対応する CHNLS ビットがセットされます。このレジスタは、ペリフェラルの割り込みハンドラ コードを使用して、割り込みが µDMA チャネルによって発生したものか、あるいはペリフェラルの割り込みレジスタが報告するエラー イベントによるものかを判定するために使用できます。µDMA コントローラからの完了割り込み要求は、割り込みハンドラがアクティブになると自動的にクリアされます。

µDMA コントローラがデータ転送を実行しようとした際にバス エラーまたはメモリ保護エラーが発生した場合、コントローラはそのエラーを引き起こした µDMA チャネルを無効化し、µDMA エラー割り込みベクタに割り込みを生成します。プロセッサは DMA クリア バス エラー レジスタ (UDMA:ERROR) を読み取って、エラーが保留中かどうかを判断できます。エラーが発生した場合、STATUS ビットがセットされます。エラーは、STATUS ビットに 1 をセットすることでクリアできます。

注

このエラー割り込みまたはエラー イベントはイベント ファブリックに DMA_ERR として送られ、EVENT:CPUIRQSEL25 レジスタを介して Arm®Cortex®-M4F プロセッサの割り込みとして接続されます。

表 14-6 に、µDMA コントローラの専用割り込み割り当てを示します。

表 14-6. µDMA 割り込みの割り当て

割り込み	割り当て
40	µDMA ソフトウェアチャネル転送
41	µDMA エラー

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

14.4 初期化および構成

14.4.1 モジュールの初期化

DMA コントローラは、µDMA コントローラを有効化するために電源を投入する必要があるペリフェラル ドメインに配置されています。次の手順が必要です。

1. PRCM:PDCTL0PERIPH.ON レジスタ ビットを設定することで、またはドライバ ライブラリ関数 (PRCM_DOMAIN_PERIPH) を使用することで、ペリフェラル電源ドメインを有効化します。

   ```
   PRCMPowerDomainOn
   ```

2. PRCM:SECDMACLKGR.DMA_CLK_EN レジスタ ビットおよび PRCM:SECDMACLKGS.DMA_CLK_EN レジスタ ビットを設定することで、またはドライバ ライブラリ関数を使用することで、µDMA コントローラを有効化します。

   ```
   PRCMPeripheralRunEnable(uint32_t)
   ```

   および

   ```
   PRCMPeripheralSleepEnable(uint32_t)
   ```

3. PRCM:CLKLOADCTL.LOAD レジスタ ビットを設定することで、または次の機能を使用することで、クロック コントローラに設定をロードします。

   ```
   PRCMLoadSet()
   ```

4. DMA 構成レジスタ UDMA:CFG、MASTERENABLE ビットを設定することで、µDMA コントローラを有効化します。
5. テーブルのベース アドレスを DMA チャネル制御ベース ポインタ レジスタ UDMA:CTRL に書き込むことで、チャネル制御テーブルの位置をプログラムします。ベース アドレスは、1024 バイト境界に整列されている必要があります。

14.4.2 メモリ間転送の設定

µDMA チャネル 0、18、19、20 は、ソフトウェア起動による転送専用として割り当てられています。この例では、チャネル 0 を使用しています。ソフトウェアベースの転送には属性を設定する必要はありません。これらの属性はデフォルトでクリアされますが、次のセクションで示すように明示的にクリアされます。

14.4.2.1 チャネル属性の構成

チャネル属性は下記のように構成するか、次のドライバ ライブラリ関数を使用します。

```
uDMAChannelAttributeDisable(uint32_t ui32Base, uint32_t ui32ChannelNum, uint32_t ui32Attr)
```

1. DMA チャネル優先度設定レジスタ (UDMA:SETCHNLPRIORITY) または DMA チャネル優先度クリア レジスタ (UDMA:CLEARCHNLPRIORITY) のビット 0 をプログラムして、チャネルを高優先度またはデフォルトの優先度に設定します。
2. DMA チャネル基本代替クリア レジスタ (UDMA:CLEARCHNLPRIALT) のビット 0 を設定して、この転送の基本チャネル制御構造を選択します。
3. DMA チャネル Useburst クリア レジスタ (UDMA:CLEARBURST) のビット 0 を設定して、µDMA コントローラが単一の要求とバースト要求に応答できるようにします。
4. DMA チャネル要求マスク クリア レジスタ (UDMA:CLEARREQMASK) のビット 0 を設定して、µDMA コントローラがこのチャネルの要求を認識できるようにします。

Copyright © 2026 Texas Instruments Incorporated

14.4.2.2 チャネル制御構造の構成

この例では、1 つのメモリ バッファから別のメモリ バッファに 256 ワードを転送します。チャネル 0 はソフトウェア転送に使用され、チャネル 0 のコントロール構造は、8 ビット データ転送、ソースおよび宛先のバイト単位インクリメント、ならびにバイト単位のバッファ コピーに設定する必要があります。ここでは、8 つのバス調停サイズを使用できます。

これで転送バッファと転送サイズが構成されました。転送には自動モードが使用されます。つまり、最初のリクエストの後に転送が自動的に完了するまで実行されます。

14.4.2.3 転送の開始

最後に、チャネルを有効にする必要があります。これはソフトウェアによる転送なので、要求も行う必要があります。要求により転送が開始されます。

1. グローバル割り込みを有効にし (IntMasterEnable();)、DMA の割り込みを有効にします (IntEnable (uint32_t ui32Interrupt))。
2. DMA セット チャネル イネーブル レジスタ、UDMA:SETCHANNELEN のビット 0 を設定して、チャネルを有効にします。
3. DMA チャネル ソフトウェア要求レジスタ、UDMA:SOFTREQ のビット 0 を設定して、転送要求を発行します。
4. µDMA の転送が開始されます。割り込みが有効にされている場合、転送が完了すると、プロセッサは割り込みによって通知されます。

必要に応じて、UDMA:SETCHANNELEN レジスタのビット 0 を読み取ることで、ステータスを確認できます。転送が完了すると、このビットは自動的にクリアされます。

14.5 µDMA レジスタ

Copyright © 2026 Texas Instruments Incorporated

14.5.1 UDMA レジスタ

表 14-7 に、UDMA レジスタのメモリマップト レジスタを示します。表 14-7 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 14-7. UDMA レジスタ

オフセット	略称	レジスタ名	セクション
0h	ステータス	ステータス	STATUS レジスタ (オフセット = 0h) [リセット = 001F0000h]
4h	CFG	構成	CFG レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	CTRL	チャネル制御データ ベース ポインタ	CTRL レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	ALTCTRL	チャネル代替制御データ ベース ポインタ	ALTCTRL レジスタ (オフセット = Ch) [リセット = 00000200h]
10h	WAITONREQ	チャネル要求待機ステータス	WAITONREQ レジスタ (オフセット = 10h) [リセット = FFFF1EFFh]
14h	SOFTREQ	チャネル ソフトウェア要求	SOFTREQ レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	SETBURST	チャネル UseBurst 設定	SETBURST レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	CLEARBURST	チャネル UseBurst クリア	CLEARBURST レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	SETREQMASK	チャネル要求マスク設定	SETREQMASK レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	CLEARREQMASK	チャネル要求マスク クリア	CLEARREQMASK レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	SETCHANNELEN	チャネル有効化設定	SETCHANNELEN レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	CLEARCHANNELEN	チャネル有効化クリア	CLEARCHANNELEN レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	SETCHNLPRIALT	チャネルの基本 / 代替設定	SETCHNLPRIALT レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	CLEARCHNLPRIALT	チャネルの基本 / 代替クリア	CLEARCHNLPRIALT レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	SETCHNLPRIORITY	チャネル優先度設定	SETCHNLPRIORITY レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	CLEARCHNLPRIORITY	チャネル優先度クリア	CLEARCHNLPRIORITY レジスタ (オフセット = 3Ch) [リセット = 00000000h]
4Ch	エラー	エラーのステータスとクリア	ERROR レジスタ (オフセット = 4Ch) [リセット = 00000000h]
504h	REQDONE	チャネル要求完了	REQDONE レジスタ (オフセット = 504h) [リセット = 00000000h]
520h	DONEMASK	チャネル要求完了マスク	DONEMASK レジスタ (オフセット = 520h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 14-8 に、このセクションでアクセス タイプに使用しているコードを示します。

表 14-8. UDMA のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し

Copyright © 2026 Texas Instruments Incorporated

表 14-8. UDMA のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

14.5.1.1 STATUS レジスタ (オフセット = 0h) [リセット = 001F0000h]

図 14-7 に、STATUS を示し、表 14-9 に、その説明を示します。

概略表に戻ります。

ステータス

図 14-7. STATUS レジスタ

31	30	29	28	27	26	25	24
TEST				予約済み			
R-0h				R-0h			
23	22	21	20	19	18	17	16
予約済み			TOTALCHANNELS				
R-0h			R-1Fh				
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
状態				予約済み			MASTERENABLE
R-0h				R-0h			R-0h

表 14-9. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	TEST	R	0h	0x0:コントローラには統合テスト ロジックは含まれません 0x1:コントローラには統合テストロジックが含まれます 0x2:未定義 ... 0xF:未定義
27-21	予約済み	R	0h	予約済み
20-16	TOTALCHANNELS	R	1Fh	レジスタ値は使用可能な uDMA チャネルの数から 1 を引いた値を返します。たとえば、読み取り値は次のようになります。 0x00:コントローラが 1 つの uDMA チャネルを使用するように構成されていることを示します 0x01:コントローラが 2 つの uDMA チャネルを使用するように構成されていることを示します。 ... 0x1F:コントローラが 32 の uDMA チャネルを使用するように構成されていることを示します (32-1=31=0x1F)
15-8	予約済み	R	0h	予約済み
7-4	状態	R	0h	制御ステート マシンの現在の状態。状態は以下のいずれかです。 0x0:アイドル 0x1:チャネル コントローラ データの読み取り 0x2:ソース データ エンド ポインタの読み取り 0x3:宛先データ エンド ポインタの読み取り 0x4:ソース データの読み取り 0x5:宛先データの書き込み 0x6:uDMA 要求のクリアを待機 0x7:チャネル コントローラ データの書き込み 0x8:ストール状態 0x9:完了 0xA:ペリフェラル スキャッタ / ギャザー遷移 0xB:未定義 ... 0xF:未定義。

Copyright © 2026 Texas Instruments Incorporated

表 14-9. STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-1	予約済み	R	0h	予約済み
0	MASTERENABLE	R	0h	CFG.MASTERENABLE での構成に応じたコントローラの有効化ステータスを示します。 0:コントローラは無効 1:コントローラは有効

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

14.5.1.2 CFG レジスタ (オフセット = 4h) [リセット = 00000000h]

図 14-8 に、CFG を示し、表 14-10 に、その説明を示します。

概略表に戻ります。

構成

図 14-8. CFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
PRTOCTRL			予約済み				MASTERENABLE
W-0h			R-0h				W-0h

表 14-10. CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-5	PRTOCTRL	W	0h	AHB 信号 HProt[3:1] を次のように制御することにより、AHB-Lite バスプロトコル保護状態を設定します。 ビット [7] は HProt[3] を制御し、キャッシュ可能なアクセスが発生しているかどうかを示します。 ビット [6] は HProt[2] を制御し、バッファ可能なアクセスが発生しているかどうかを示します。 ビット [5] は HProt[1] を制御し、特権アクセスが発生しているかどうかを示します。 ビット [n] = 1 の場合、対応する HProt ビットは High です。 ビット [n] = 0 の場合、対応する HProt ビットは Low です。 このフィールドは、uDMA によって開始されたすべてのトランザクションの HProt[3:1] 信号を制御します。ただし以下の 2 つのトランザクションを除きます。 - ソース アドレス ポインタで示されたアドレスからの読み取り - 宛先アドレス ポインタで示されたアドレスへの書き込み これら 2 つの例外の HProt[3:1] は、チャネル構成ディスクリプタ内の専用フィールドで制御できます。
4-1	予約済み	R	0h	予約済み
0	MASTERENABLE	W	0h	コントローラの有効化: 0:コントローラを無効化します 1:コントローラを有効化します

Copyright © 2026 Texas Instruments Incorporated

14.5.1.3 CTRL レジスタ (オフセット = 8h) [リセット = 00000000h]

図 14-9 に、CTRL を示し、表 14-11 に、その説明を示します。

概略表に戻ります。

チャネル制御データ ベース ポインタ

図 14-9. CTRL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASEPTR																						予約済み									
R/W-0h																						R-0h									

表 14-11. CTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	BASEPTR	R/W	0h	このレジスタは、各 DMA チャネルの基本データ構造のベース アドレスを指します。モジュールではなくシステム メモリに格納されるので、DMA を使用する際、この用途のために領域を割り当てる必要があります
9-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

14.5.1.4 ALTCTRL レジスタ (オフセット = Ch) [リセット = 00000200h]

ALTCTRL は図 14-10 に示されており、表 14-12 で説明されています。

概略表に戻ります。

チャネル代替制御データ ベース ポインタ

図 14-10. ALTCTRL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASEPTR																															
R-200h																															

表 14-12. ALTCTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BASEPTR	R	200h	このレジスタは代替データ構造のベース アドレスを示し、モジュールにより計算されるので、読み取り専用です

Copyright © 2026 Texas Instruments Incorporated

14.5.1.5 WAITONREQ レジスタ (オフセット = 10h) [リセット = FFFF1EFFh]

WAITONREQ は図 14-11 に示されており、表 14-13 で説明されています。

概略表に戻ります。

チャネル要求待機ステータス

図 14-11. WAITONREQ レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLSTATUS																															
R-FFFF1EFFh																															

表 14-13. WAITONREQ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLSTATUS	R	FFFF1EFFh	チャネルの要求待機ステータス。 ビット [Ch] = 0 : uDMA がチャネル Ch で単一の要求またはバースト要求を受信すると、要求が引き続き存在していても、このチャネルはアクティブ状態から離脱する場合があります。 ビット [Ch] = 1 : uDMA がチャネル Ch で単一の要求またはバースト要求を受信すると、要求がデアサートされるまでチャネル Ch をアクティブ状態に維持します。このハンドシェイクは、要求元が非同期ドメインにある場合、または uDMA より低いクロック速度で動作する場合があるチャネルにおいて必要になります

Copyright © 2026 Texas Instruments Incorporated

14.5.1.6 SOFTREQ レジスタ (オフセット = 14h) [リセット = 00000000h]

SOFTREQ は図 14-12 に示されており、表 14-14 で説明されています。

概略表に戻ります。

チャネル ソフトウェア要求

図 14-12. SOFTREQ レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
W-0h																															

表 14-14. SOFTREQ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	W	0h	ソフトウェア uDMA 要求を、対応する uDMA チャネルで生成するための適切なビットを設定します ビット [Ch] = 0:チャネル Ch の uDMA 要求を生成しません ビット [Ch]= 1:チャネル Ch の uDMA 要求を生成します uDMA チャネルが実装されていないビットに書き込みを行っても、そのチャネルの uDMA 要求は生成されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.7 SETBURST レジスタ (オフセット = 18h) [リセット = 00000000h]

SETBURST は図 14-13 に示されており、表 14-15 で説明されています。

概略表に戻ります。

チャネル UseBurst 設定

図 14-13. SETBURST レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
R/W-0h																															

表 14-15. SETBURST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	R/W	0h	useburst ステータスを返します。または、個々のチャネルによる単一の uDMA 要求の生成を無効にします。値 R はアービトレーション レートで、コントローラのデータ構造に保存されます。 読み取り値が示す状態は以下のとおりです。 ビット [Ch] = 0 : uDMA チャネル Ch は、チャネル C のバースト要求と単一の要求の両方に応答します。コントローラは 2^R 転送を実行するか、単一のバス転送を実行します。 ビット [Ch] = 1 : uDMA チャネル Ch は単一の転送要求に応答しません。コントローラはバースト転送要求にのみ応答し、2^R 転送を実行します。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0 : 影響なし。CLEARBURST.CHNLS を使用して、ビット [Ch] を 0 に設定します。 ビット [Ch] = 1 : チャネル Ch の単一の転送要求を無効にします。コントローラはバースト要求に対して 2^R 転送を実行します。 uDMA チャネルが実装されていないビットに書き込みを行っても反映されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.8 CLEARBURST レジスタ (オフセット = 1Ch) [リセット = 00000000h]

CLEARBURST は図 14-14 に示されており、表 14-16 で説明されています。

概略表に戻ります。

チャネル UseBurst クリア

図 14-14. CLEARBURST レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
W-0h																															

表 14-16. CLEARBURST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	W	0h	適切なビットを設定して、単一の転送要求を有効にします。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:影響なし。SETBURST.CHNLS を使用して、単一の転送要求を無効にします。 ビット [Ch] = 1:チャネル Ch の単一の転送要求を有効にします。 DMA チャネルが実装されていないビットに書き込みを行っても反映されません。

Copyright © 2026 Texas Instruments Incorporated

14.5.1.9 SETREQMASK レジスタ (オフセット = 20h) [リセット = 00000000h]

SETREQMASK は図 14-15 に示されており、表 14-17 で説明されています。

概略表に戻ります。

チャネル要求マスク設定

図 14-15. SETREQMASK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
R/W-0h																															

表 14-17. SETREQMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	R/W	0h	バースト要求および単一の要求のマスク ステータスを返します。または、対応するチャネルが uDMA 要求を生成することを無効にします。 読み取り値が示す状態は以下のとおりです。 ビット [Ch] = 0:チャネル Ch に対して外部要求が無効になります。 ビット [Ch] = 1:チャネル Ch に対して外部要求が無効になります。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:影響なし。CLEARREQMASK.CHNLS を使用して、uDMA 要求を有効にします。 ビット [Ch] = 1:uDMA バースト要求チャネル [C] および uDMA 単一要求チャネル [C] 入力による uDMA 要求の生成を無効にします。 uDMA チャネルが実装されていないビットに書き込みを行っても反映されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.10 CLEARREQMASK レジスタ (オフセット = 24h) [リセット = 00000000h]

CLEARREQMASK は図 14-16 に示されており、表 14-18 で説明されています。

概略表に戻ります。

チャネル要求マスク クリア

図 14-16. CLEARREQMASK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
W-0h																															

表 14-18. CLEARREQMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	W	0h	適切なビットを設定して、チャネルの DMA 要求を有効にします。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:影響なし。SETREQMASK.CHNLS を使用して、チャネル C による要求の生成を無効にします。 ビット [Ch] = 1:チャネル [C] が DMA 要求を生成できるようになります。 DMA チャネルが実装されていないビットに書き込みを行っても反映されません。

Copyright © 2026 Texas Instruments Incorporated

14.5.1.11 SETCHANNELEN レジスタ (オフセット = 28h) [リセット = 00000000h]

SETCHANNELEN は図 14-17 に示されており、表 14-19 で説明されています。

概略表に戻ります。

チャネル有効化設定

図 14-17. SETCHANNELEN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
R/W-0h																															

表 14-19. SETCHANNELEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	R/W	0h	チャネルの有効ステータスを返します。または、対応するチャネルを有効にします。 読み取り値が示す状態は以下のとおりです。 ビット [Ch] = 0:チャネル Ch は無効です。 ビット [Ch] = 1:チャネル Ch は有効です。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:影響なし。CLEARCHANNELEN.CHNLS を使用してチャネルを無効にします ビット [Ch] = 1:チャネル Ch を有効にします DMA チャネルが実装されていないビットに書き込みを行っても反映されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.12 CLEARCHANNELEN レジスタ (オフセット = 2Ch) [リセット = 00000000h]

CLEARCHANNELEN は図 14-18 に示されており、表 14-20 で説明されています。

概略表に戻ります。

チャネル有効化クリア

図 14-18. CLEARCHANNELEN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
W-0h																															

表 14-20. CLEARCHANNELEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	W	0h	適切なビットを設定して、対応する uDMA チャネルを無効にします。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:影響なし。SETCHANNELEN.CHNLS を使用して、uDMA チャネルを有効にします。 ビット [Ch] = 1:チャネル Ch を無効にします uDMA チャネルが実装されていないビットに書き込みを行っても反映されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.13 SETCHNLPRIALT レジスタ (オフセット = 30h) [リセット = 00000000h]

SETCHNLPRIALT は図 14-19 に示されており、表 14-21 で説明されています。

概略表に戻ります。

チャネルの基本 / 代替設定

図 14-19. SETCHNLPRIALT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
R/W-0h																															

表 14-21. SETCHNLPRIALT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	R/W	0h	チャネル制御データ構造のステータスを返します。または、対応する uDMA チャネルの代替データ構造を選択します。 読み取り値が示す状態は以下のとおりです。 ビット [Ch] = 0 : uDMA チャネル Ch は基本データ構造を使用しています。 ビット [Ch] = 1 : uDMA チャネル Ch は代替データ構造を使用しています。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0 : 影響なし。CLEARCHNLPRIALT.CHNLS を使用してチャネル を無効にします ビット [Ch] = 1 : チャネル Ch の代替データ構造を選択します uDMA チャネルが実装されていないビットに書き込みを行っても反映されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.14 CLEARCHNLPRIALT レジスタ (オフセット = 34h) [リセット = 00000000h]

CLEARCHNLPRIALT は図 14-20 に示されており、表 14-22 で説明されています。

概略表に戻ります。

チャネルの基本 / 代替クリア

図 14-20. CLEARCHNLPRIALT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
W-0h																															

表 14-22. CLEARCHNLPRIALT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	W	0h	対応する uDMA チャネルの基本データ構造を選択するために、適切なビットをクリアします。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:影響なし。SETCHNLPRIALT.CHNLS を使用して、代替データ構造を選択します。 ビット [Ch] = 1:チャネル Ch の基本データ構造を選択します。 uDMA チャネルが実装されていないビットに書き込みを行っても反映されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.15 SETCHNLPRIORITY レジスタ (オフセット = 38h) [リセット = 00000000h]

SETCHNLPRIORITY は図 14-21 に示されており、表 14-23 で説明されています。

概略表に戻ります。

チャネル優先度設定

図 14-21. SETCHNLPRIORITY レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
R/W-0h																															

表 14-23. SETCHNLPRIORITY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	R/W	0h	チャネルの優先度マスク ステータスを返すか、またはチャネルの優先度を高に設定します。 読み取り値が示す状態は以下のとおりです。 ビット [Ch] = 0 : uDMA チャネル Ch はデフォルトの優先度レベルを使用しています。 ビット [Ch] = 1 : uDMA チャネル Ch は高優先度レベルを使用しています。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0 : 影響なし。CLEARCHNLPRIORITY.CHNLS を使用して、チャネル Ch をデフォルトの優先度レベルに設定します。 ビット [Ch] = 1 : チャネル Ch は高優先度レベルを使用します。 uDMA チャネルが実装されていないビットに書き込みを行っても反映されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.16 CLEARCHNLPRIORITY レジスタ (オフセット = 3Ch) [リセット = 00000000h]

CLEARCHNLPRIORITY は図 14-22 に示されており、表 14-24 で説明されています。

概略表に戻ります。

チャネル優先度クリア

図 14-22. CLEARCHNLPRIORITY レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
W-0h																															

表 14-24. CLEARCHNLPRIORITY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	W	0h	適切なビットをクリアして、指定された uDMA チャネルのデフォルト優先度レベルを選択します。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:影響なし。SETCHNLPRIORITY.CHNLS を使用して、チャネル Ch を高優先度レベルに設定します。 ビット [Ch] = 1:チャネル Ch はデフォルトの優先度レベルを使用します。 uDMA チャネルが実装されていないビットに書き込みを行っても反映されません

Copyright © 2026 Texas Instruments Incorporated

14.5.1.17 ERROR レジスタ (オフセット = 4Ch) [リセット = 00000000h]

図 14-23 に、ERROR を示し、表 14-25 に、その説明を示します。

概略表に戻ります。

エラーのステータスとクリア

図 14-23. ERROR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							ステータス
R-0h							R/W-0h

表 14-25. ERROR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ステータス	R/W	0h	uDMA のバス エラー フラグのステータスを返します。または、このビットをクリアします 読み取り値が示す状態は以下のとおりです。 0:バス エラーの検出なし 1:バスエラーを検出 書き込み時の動作は以下のとおりです。 0:影響なし。バス エラー フラグのステータスは変更されません。 1:バス エラー フラグをクリアします。

Copyright © 2026 Texas Instruments Incorporated

14.5.1.18 REQDONE レジスタ (オフセット = 504h) [リセット = 00000000h]

REQDONE は図 14-24 に示されており、表 14-26 で説明されています。

概略表に戻ります。

チャネル要求完了

図 14-24. REQDONE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
R/W-0h																															

表 14-26. REQDONE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	R/W	0h	所定チャネル [Ch] の uDMA 完了ステータスを反映します。これはスティッキーな完了ビットです。1 を書き込んでクリアしない限り、値 1 が保持されます。 読み取り値が示す状態は以下のとおりです。 ビット [Ch] = 0:チャネル Ch の要求が完了していません ビット [Ch] = 1:チャネル Ch の要求が完了しています 個別のビットに 1 を書き込むと、対応するビットがクリアされます。 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:影響なし。 ビット [Ch] = 1:対応する [Ch] ビットがクリアされ、0 に設定されます

Copyright © 2026 Texas Instruments Incorporated

14.5.1.19 DONEMASK レジスタ (オフセット = 520h) [リセット = 00000000h]

DONEMASK は図 14-25 に示されており、表 14-27 で説明されています。

概略表に戻ります。

チャネル要求完了マスク

図 14-25. DONEMASK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHNLS																															
R/W-0h																															

表 14-27. DONEMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CHNLS	R/W	0h	割り当てられたペリフェラルへの uDMA 完了状態およびアクティブ状態の伝搬を制御します。ソフトウェア チャネル専用に使用されます。 読み取り値が示す状態は以下のとおりです。 ビット [Ch] = 0:チャネル Ch の uDMA 完了状態およびアクティブ状態がペリフェラルに伝搬されるのをブロックしません。 注:チャネル [Ch] の uDMA 完了状態は、複合 uDMA 完了信号生成に寄与しないようブロックされます ビット [Ch] = 1:チャネル Ch の uDMA 完了状態およびアクティブ状態がペリフェラルに伝搬されるのをブロックします。 注:チャネル [Ch] の uDMA 完了状態は、複合 uDMA 完了信号生成に寄与しないようブロックされることはありません 書き込み時の動作は以下のとおりです。 ビット [Ch] = 0:uDMA 完了状態およびアクティブ状態のペリフェラルへの伝搬が可能になります。 注:これにより、チャネル [Ch] の uDMA 完了状態が複合 uDMA 完了信号生成に寄与しなくなります ビット [Ch] = 1:uDMA 完了状態およびアクティブ状態がペリフェラルに伝搬されるのをブロックします。 注:これにより、チャネル [Ch] の uDMA 完了状態が複合 uDMA 完了信号生成に寄与するようになります。

Copyright © 2026 Texas Instruments Incorporated

Chapter 15

タイマ

この章では、汎用タイマについて説明します。

15.1 汎用タイマー 1363
15.2 ブロック図 1364
15.3 機能説明 1364
15.4 初期化および構成 1376
15.5 GPTM レジスタ 1379

Copyright © 2026 Texas Instruments Incorporated

15.1 汎用タイマー

プログラマブル タイマは、タイマの入力ピンを駆動する外部イベントのカウントや時間計測に使用できます。CC13x2 および CC26x2 デバイス プラットフォームの汎用タイマ モジュール (GPTM) には、2 つの 16 ビットタイマ (タイマ A とタイマ B) が備えられており、これらをタイマとして独立して動作させることも、連結して 1 つの 32 ビット タイマとして動作させることもできます。

GPTM は、CC13x2 および CC26x2 デバイス プラットフォームで利用可能なタイミング リソースの 1 つです。他のタイマ リソースとして、システム タイマ (SysTick) やウォッチドッグ タイマ (WDT) などがあります。詳細は「セクション 4.2.1」と「Chapter 17」を参照してください。

GPTM には、以下の機能をオプションを備えた 4 つの GPTM ブロックが含まれています。

- 動作モード:
  - 16 ビット (8 ビット プリスケーラ付き)、または 32 ビットのプログラマブル ワンショット タイマ
  - 16 ビット (8 ビット プリスケーラ付き)、または 32 ビットのプログラマブル周期タイマ
  - 各 32 ビット タイマに 2 つのキャプチャ比較 PWM ピン (CCP)
  - 24 ビットの入力エッジ カウントまたは 24 ビット時間キャプチャ モード
  - 24 ビット PWM モード (PWM 信号の出力反転をソフトウェアで設定可能)
- カウント アップまたはカウント ダウン
- タイマ モジュールをデイジー チェーン接続することで、1 つのタイマから複数のタイミング イベントを開始可能
- タイマ同期機能により、選択したタイマを同じクロック サイクルで開始可能
- デバッグ時にマイコンが CPU HALT フラグをアサートしたときに停止を有効化できる
- タイマ割り込みのアサートから割り込みサービス ルーチンへの移行までの経過時間を取得可能

Copyright © 2026 Texas Instruments Incorporated

15.2 ブロック図

図 15-1 に、GPTM モジュールのブロック図を示します。

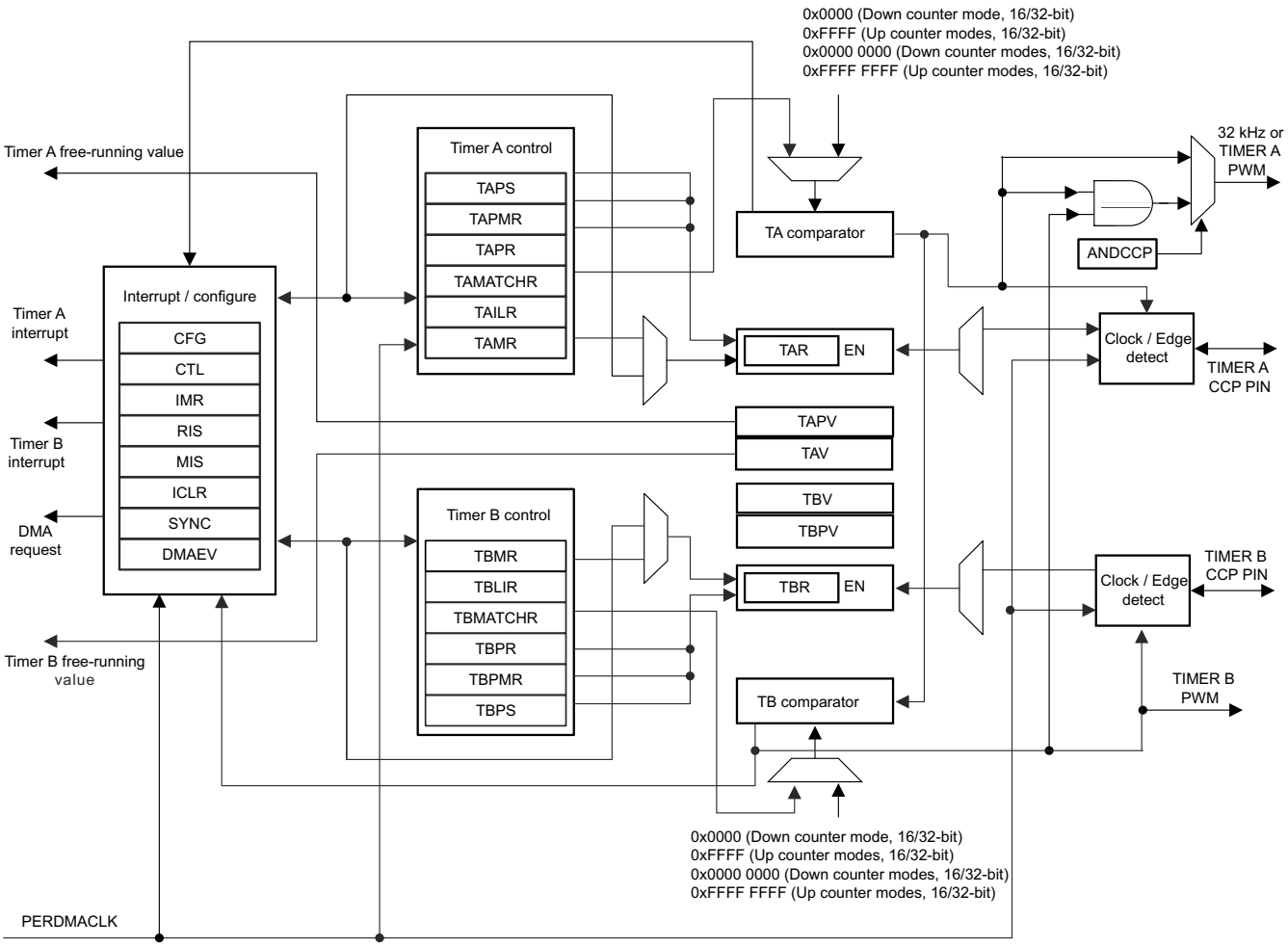


図 15-1. GPTM モジュールのブロック図

15.3 機能説明

各 GPTM ブロックの主なコンポーネントは、2 つのフリーランニング アップ カウンタおよびダウン カウンタ (タイマ A とタイマ B)、2 つの一致レジスタ、2 つのプリスケーラ一致レジスタ、2 つのシャドウ レジスタ、2 つのロード / 初期化レジスタ、およびそれらに関連する制御機能です。

ソフトウェアが各 GPTM の正確な機能を制御し、レジスタ インターフェイスを介して構成します。タイマ A とタイマ B は個別に使用できます。この場合、16 ビットのカウント範囲があります。さらに、タイマ A とタイマ B を連結して 32 ビットのカウント範囲を実現できます。プリスケーラは、タイマが個別に使用されている場合にのみ使用できます。

各 GPTM ブロックで使用可能なモードを、表 15-1 に示します。ワンショット モードまたは周期モードでカウント ダウンする場合、プリスケーラは真のプリスケーラとして機能し、カウントの最下位ビット (LSB) を格納します。ワンショット モードまたは周期モードでカウント アップする場合、プリスケーラはタイマ拡張として機能し、カウントの最上位ビット (MSB) を格納します。入力エッジ カウント、入力エッジ時間、および PWM モードでは、プリスケーラは、カウント方向に関係なく、常にタイマ拡張として機能します。

Copyright © 2026 Texas Instruments Incorporated

表 15-1. 汎用タイマ機能

モード	タイマーの使用	カウント方向	カウンタ サイズ	プリスケーラ サイズ(1)	プリスケーラ動作 (カウント方向)
ワンショット	個人向け	アップまたはアップダウン	16 ビット	8 ビット	タイマ拡張 (アップ)、プリスケーラ (ダウン)
	連結	アップまたはアップダウン	32 ビット	–	該当なし
周期	個人向け	アップまたはアップダウン	16 ビット	8 ビット	タイマ拡張 (アップ)、プリスケーラ (ダウン)
	連結	アップまたはアップダウン	32 ビット	–	該当なし
エッジ カウント	個人向け	アップまたはアップダウン	16 ビット	8 ビット	タイマ拡張 (両方)
エッジ時間	個人向け	アップまたはアップダウン	16 ビット	8 ビット	タイマ拡張 (両方)
PWM	個人向け	下へ	16 ビット	8 ビット	タイマ拡張

(1) プリスケーラは、タイマが個別に使用されている場合にのみ使用できます。

ソフトウェアは、GPTM 構成レジスタ (GPT:CFG) 、GPTM タイマ A モード レジスタ (GPT:TAMR)、GPTM タイマ B モード レジスタ (GPT:TBMR) を使用して GPTM を構成します。連結モードのいずれかでは、タイマ A とタイマ B は 1 つのモードでのみ動作できます。ただし、個別のモードに構成した場合、タイマ A とタイマ B は、それぞれのモードを任意の組み合わせで個別に構成できます。

15.3.1 GPTM のリセット条件

GPTM にリセットが適用されると、モジュールは非アクティブ状態になり、すべての制御レジスタはクリアされ、それぞれのデフォルト状態になります。カウンタ (タイマ A とタイマ B) は、対応するロード レジスタである GPTM タイマ A インターバル ロード レジスタ (GPT:TAILR) および GPTM タイマ B インターバル ロード レジスタ (GPT:TBILR) とともに、すべて 1 に初期化されます。プリスケール カウンタは 0x00 に初期化されます。

- GPTM タイマ A プリスケール レジスタ (GPT:TAPR) および GPTM タイマ B プリスケール レジスタ (GPT:TBPR)
- GPTM タイマ A プリスケール スナップショット レジスタ (GPT:TAPS) および GPTM タイマ B プリスケール スナップショット レジスタ (GPT:TBPS)
- GPTM タイマ A プリスケール値レジスタ (GPT:TAPV) および GPTM タイマ B プリスケール値レジスタ (GPT:TBPV)

15.3.2 タイマ モード

このセクションでは、各種のタイマ モードの動作について説明します。タイマ A とタイマ B を連結モードで使用する場合、タイマ A の制御ビットとステータス ビットのみを使用する必要があります。タイマ B の制御ビットやステータス ビットを使用する必要はありません。GPTM は、GPTM 構成レジスタ (GPT:CFG) に値 0x4 を書き込むことで、個別または分割モードになります。以下のセクションでは、ビット フィールドおよびレジスタ名で変数 n を使用して、タイマ A 機能またはタイマ B 機能を示します。このセクション全体を通して、ダウンカウント モードでのタイムアウト イベントは 0x0 です。アップカウント モードでは、タイムアウト イベントは GPTM インターバル ロード レジスタ (GPT:TnILR) の値と、オプションの GPTM タイマ n プリスケール レジスタ (GPT:TnPR) の値です。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

15.3.2.1 ワンショットまたは周期タイマ モード

ワンショット モードまたは周期モードの選択は、GPTM タイマ n モード レジスタ (GPT:TnMR) の TnMR フィールドに書き込まれた値によって決定されます。このタイマをカウント アップまたはカウント ダウンさせるかは、GPT:TnMR レジスタの TnCDIR ビットを使用して構成します。

ソフトウェアが GPTM 制御レジスタ (GPTIMER:CTL) の TnEN ビットをセットすと、タイマは 0x0 からカウント アップ、またはプリロードされた値からカウント ダウンを開始します。また、TnEN ビットをセットした際に GPT:TnMR レジスタの TnWOT ビットがセットされている場合、タイマはトリガがカウントを開始するまで待機します (セクション 15.3.2.5 を参照)。

タイマがカウント ダウン中にタイムアウト イベント (0x0) に達すると、次のサイクルで GPT:TnILR および GPT:TnPR レジスタに設定された開始値が再ロードされます。一方、タイマがカウント アップ中にタイムアウト イベント (GPT:TnILR レジスタと、必要に応じて GPT:TnPR レジスタに設定された値) に達すると、タイマは 0x0 に再ロードされます。ワンショット タイマになるように構成されている場合、タイマはカウントを停止し、GPT:CTL レジスタの TnEN ビットをクリアします。周期タイマとして構成されている場合、タイマは次のサイクルで再度カウントを開始します。周期スナップショット モード (TnMR フィールドが 0x2 で、GPT:TnMR レジスタの TnSNAPS ビットがセットされている) では、タイムアウト イベント発生時の実際のフリーランニング タイマ値が GPT:TnR レジスタにロードされます。この方法により、ソフトウェアはスナップショット値と、GPT:TnV レジスタに保持されている現在のフリーランニング タイマ値を調べることにより、割り込みがアサートされてから ISR に入るまでの経過時間を求めることができます。タイマがワンショット モードで構成されている場合、スナップショット モードは使用できません。

カウント値の再ロードに加えて、GPTM はタイムアウト イベントに達すると、カウント値を再ロードするだけでなく、割り込みおよびトリガも生成します。GPTM は GPTM の未加工割り込みステータス レジスタ (GPT:RIS) の TnTORIS ビットをセットします。このビットは GPTM 割り込みクリア レジスタ (GPT:ICR) に書き込みが行われるまで保持されます。GPTM 割り込みマスク レジスタ (GPT:IMR) でタイムアウト割り込みが有効になっている場合、GPTM は GPTM マスク割り込みステータス レジスタ (GPT:MIS) の TnTOMIS ビットもセットします。さらに、GPT:TnMR レジスタの TnMIE ビットをセットすることで、タイマ値が GPTM タイマ n 一致レジスタ (GPT:TnMATCHR) および GPTM タイマ n プリスケール一致レジスタ (GPT:TnPMR) にロードされた値と一致したときにも割り込み条件を生成できます。この割り込みは、タイムアウト割り込みと同じステータス、マスク、クリア機能を持ちますが、使用されるビットは一致割り込みビットになります (たとえば、未加工割り込みステータスは GPTM 未加工割り込みステータス レジスタ (GPT:RIS) の TnMRIS ビットで監視されます)。なお、GPT:TnMR レジスタの TnMIE ビットがセットされていない限り、割り込みステータス ビットはハードウェアによって更新されません。これは、タイムアウト割り込みの動作と異なります。

カウンタがカウント ダウン中にソフトウェアが GPT:TnILR または GPT:TnPR レジスタを更新すると、GPT:TnMR の TnILD ビットがクリアされている場合、カウンタは次のクロック サイクルで新しい値をロードし、その値からカウントを続行します。TnILD ビットがセットされている場合、カウンタは次のタイムアウト後に新しい値をロードします。カウンタがカウント アップ中に GPT:TnILR レジスタまたは GPT:TnPR レジスタをソフトウェアが更新した場合、タイムアウト イベントは次のサイクルから新しい値に基づくものに変更されます。また、カウンタがカウント アップ中に GPTM タイマ n 値レジスタ (GPT:TnV) をソフトウェアが更新した場合、カウンタは次のクロック サイクルで新しい値をロードし、その値からカウントを続行します。さらに、カウンタがカウント中に GPT:TnMATCHR レジスタまたは GPT:TnPMR レジスタをソフトウェアが更新した場合、GPT:TnMR レジスタの TnMRSU ビットがクリアされている場合、一致レジスタは次のクロック サイクルで新しい値を反映します。TnMRSU ビットがセットされている場合、新しい値が反映されるのは次のタイムアウト時になります。

GPT:CTL レジスタの TnSTALL ビットがセットされている場合、デバッガによってプロセッサが停止している間、タイマはカウントを停止します。プロセッサが実行を再開すると、タイマもカウントを再開します。

表 15-2 には、プリスケーラを使用した 16 ビット フリーランニング タイマのさまざまな構成例を示します。すべての値は、Tc = 41.67ns (クロック周期) の 24MHz クロックを想定しています。プリスケーラは、16 または 32 ビットタイマが 16 ビット モードで構成されている場合にのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

表 15-2. プリスケーラ付き 16 ビット タイマの構成

プリスケール値 (8 ビット)	タイマ クロック数 (Tc)(1)	最大時間	単位
00000000	1	2.7	ms
00000001	2	5.4	ms
00000010	3	8.1	ms
–	–	–	–
11111101	254	685.8	ms
11111110	255	688.5	ms
11111111	256	691.2	ms

(1) Tc はクロック周期です。

15.3.2.2 入力エッジカウント モード

注

立ち上がりエッジを検出する場合、入力信号は立ち上がりエッジの後、少なくとも 2 つのシステム クロック周期の間 High である必要があります。同様に、立ち下がりエッジを検出する場合、入力信号は立ち下がりエッジの後、少なくとも 2 つのシステム クロック周期の間 Low である必要があります。この条件に基づき、エッジ検出における最大入力周波数はシステム周波数の ¼ となります。

エッジカウント モードでは、タイマは 24 ビットのダウン カウンタとして構成されます。オプションのプリスケーラを含む場合、上位のカウント値は GPTM タイマ n プリスケール レジスタ (GPT:TnPR) に、下位ビットは GPT:TnR レジスタに格納されます。このモードでは、タイマは立ち上がりエッジ、立ち下がりエッジ、または両方の 3 種類のイベントをキャプチャできます。タイマをエッジカウント モードに設定するには、GPT:TnMR レジスタの TnCMR ビットをクリアする必要があります。タイマがカウントするエッジの種類は、GPT:CTL レジスタの TnEVENT フィールドによって決定されます。ダウンカウント モードでの初期化中に、GPT:TnMATCHR レジスタと GPT:TnPMR レジスタが構成されることで、GPT:TnILR レジスタと GPT:TnPR レジスタの値および GPT:TnMATCHR レジスタと GPT:TnPMR レジスタの値の差分がカウントすべきエッジ イベントの数と同じになります。アップカウント モードでは、タイマは 0x0 から GPT:TnMATCHR レジスタと GPT:TnPMR レジスタの値までカウントします。表 15-3 に、タイマが有効な時にタイマ レジスタにロードされる値をリストします。

表 15-3. 入力エッジカウント モードでタイマが有効である場合のカウンタ値

登録	カウント ダウン モード	カウント アップ モード
GPT:TnR	GPT:TnILR	0x0
GPT:TnV	GPT:TnILR	0x0
GPT:TnPV	GPT:TnPR	0x0

ソフトウェアが GPTM 制御レジスタ (GPT:CTL) の TnEN ビットを書き込むと、そのタイマはイベント キャプチャのために有効化されます。CCP ピンの各入力イベントが GPT:TnMATCHR レジスタおよび GPT:TnPMR レジスタと一致するまで、カウンタを 1 だけデクリメントまたはインクリメントします。カウントが一致すると、GPTM は GPTM の未加工割り込みステータス レジスタ (GPT:RIS) の CnMRIS ビットをアサートし、このビットは GPTM 割り込みクリア レジスタ (GPT:ICR) への書き込みによってクリアされるまで保持されます。GPTM 割り込みマスク レジスタ (GPT:IMR) でキャプチャ モード一致割り込みが有効になっているとき、GPTM は GPTM マスク割り込みステータス レジスタ (GPT:MIS) の CnMMIS ビットもセットします。このモードでは、GPT:TnR レジスタには入力イベントのカウントが保持され、GPT:TnV および GPT:TnPV レジスタにはフリーランニング タイマ値とフリーランニング プリスケーラ値が保持されます。

割り込み生成に加えて、µDMA トリガを生成できます。µDMA トリガは、適切な µDMA チャネルを構成してイネーブルにすることで有効になります。

ダウンカウント モードで一致値に達すると、GPT:TnILR および GPT:TnPR レジスタの値を使用してカウンタが再ロードされ、GPTM が GPT:CTL レジスタの TnEN ビットを自動的にクリアするため、停止します。イベント カウントに達すると、ソ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

フトウェアによって TnEN ビットが再度有効になるまで、それ以降のイベントはすべて無視されます。アップカウント モードでは、タイマが 0x0 で再ロードされ、カウントを継続します。

図 15-2 に、入力エッジカウント モードの動作を示します。この場合、タイマ開始値は GPT:TnILR = 0x000A に設定され、一致値は GPT:TnMATCHR = 0x0006 に設定されて、4 つのエッジ イベントがカウントされます。カウンタは、入力信号の両方のエッジを検出するように構成されています。

注

最後の 2 つのエッジはカウントされません。これは、現在のカウントが GPT:TnMATCHR レジスタの値と一致すると、タイマが自動的に TnEN ビットをクリアするためです。

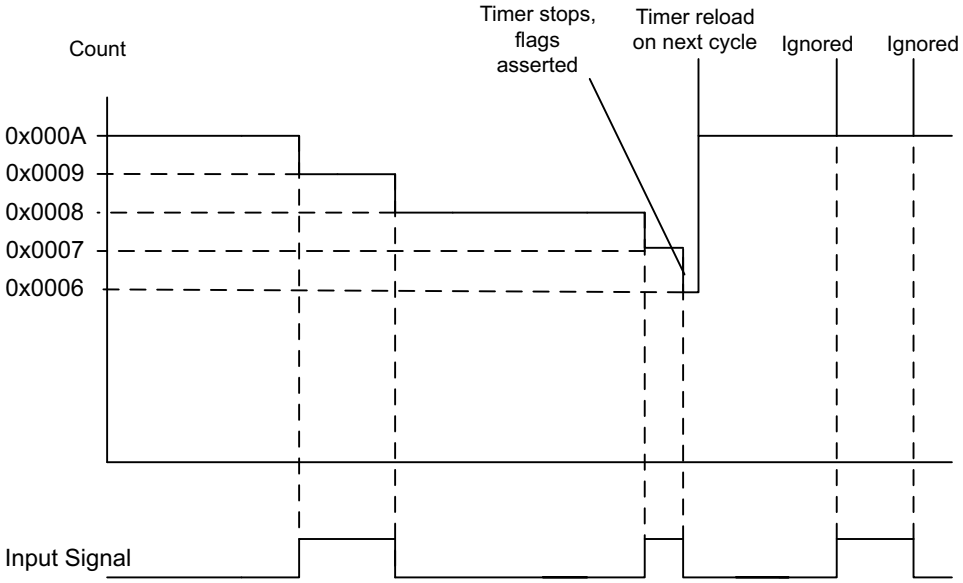


図 15-2. 入力エッジカウント モードの例、カウント ダウン

15.3.2.3 入力エッジ時間モード

注

立ち上がりエッジを検出する場合、入力信号は立ち上がりエッジの後、少なくとも 2 システム クロック周期の間 High である必要があります。同様に、立ち下がりエッジを検出する場合、入力信号は立ち下がりエッジの後、少なくとも 2 つのシステム クロック周期の間 Low である必要があります。この条件に基づき、エッジ検出における最大入力周波数はシステム周波数の ¼ となります。

エッジ時間モードでは、タイマは 24 ビットのダウン カウンタとして構成されます。オプションのプリスケーラを含む場合、上位タイマ値は GPT:TnPR レジスタに、下位ビットは GPT:TnILR レジスタに格納されます。このモードでは、カウント ダウン時には GPT:TnILR レジスタおよび GPT:TnPR レジスタにロードされた値でタイマが初期化され、カウント アップ時には 0x0 で初期化されます。このタイマは立ち上がりエッジ、立ち下がりエッジ、またはその両方の 3 種類のイベントをキャプチャできます。このタイマは、GPT:TnMR レジスタの TnCM ビットをセットすることでエッジ時間モードに入ります。タイマがキャプチャするイベントの種類は、GPT:CTL レジスタの TnEVENT フィールドによって決定されます。表 15-4 に、タイマが有効な時にタイマ レジスタにロードされる値をリストします。

表 15-4. 入力イベントカウント モードでタイマが有効である場合のカウンタ値

登録	カウント ダウン モード	カウント アップ モード
GPT:TnR	GPT:TnILR	0x0

Copyright © 2026 Texas Instruments Incorporated

表 15-4. 入力イベントカウント モードでタイマが有効である場合のカウンタ値 (続き)

登録	カウント ダウン モード	カウント アップ モード
GPT:TnV	GPT:TnILR	0x0
GPT:TnPV	GPT:TnPR	0x0

ソフトウェアが GPT:CTL レジスタの TnEN ビットを書き込むと、そのタイマはイベント キャプチャのために有効化されます。選択された入力イベントが検出されると、現在のタイマ カウンタ値が GPT:TnR レジスタにキャプチャされ、マイコンから読み出すことができるようになります。その後、GPTM は GPTM 未加工割り込みステータス レジスタ (GPT:RIS) の CnERIS ビットをアサートし、このビットは GPTM 割り込みクリア レジスタ (GPT:ICR) への書き込みによってクリアされるまで保持されます。GPTM 割り込みマスク レジスタ (GPT:IMR) でキャプチャ モード イベント割り込みが有効な場合、GPTM は GPTM マスク割り込みステータス レジスタ (GPT:MIS) CnEMIS ビットも設定します。このモードでは、GPT:TnR レジスタには選択された入力イベントが発生した時点でタイマ値が保持され、GPT:TnV および GPT:TnPV レジスタにはフリーランニング タイマ値とフリーランニング プリスケーラ値が保持されます。これらのレジスタを読み取ることで、割り込みがアサートされてから ISR に入るまでに経過した時間を求めることができます。

割り込み生成に加えて、µDMA トリガを生成できます。このトリガは、適切な µDMA チャネルを構成して有効にすることで有効になります。

イベントがキャプチャされた後も、タイマはカウントを停止しません。タイマは TnEN ビットがクリアされるまでカウントを継続します。タイマがタイムアウト値に達すると、アップカウント モードでは 0x0 が再ロードされ、ダウンカウント モードでは GPT:TnILR レジスタおよび GPT:TnPR レジスタの値が再ロードされます。

図 15-3 に、入力エッジ タイミング モードの動作を示します。この図では、タイマの開始値がデフォルト値の 0xFFFF であること、さらにタイマが立ち上がりエッジ イベントをキャプチャするように構成されていることを前提としています。

立ち上がりエッジ イベントが検出されるたびに、現在のカウント値が GPTIMER:TnR レジスタにロードされ、別の立ち上がりエッジが検出されるまでその値が保持されます (別の立ち上がりエッジが発生すると、新しいカウント値が GPT:TnR レジスタにロードされます)。

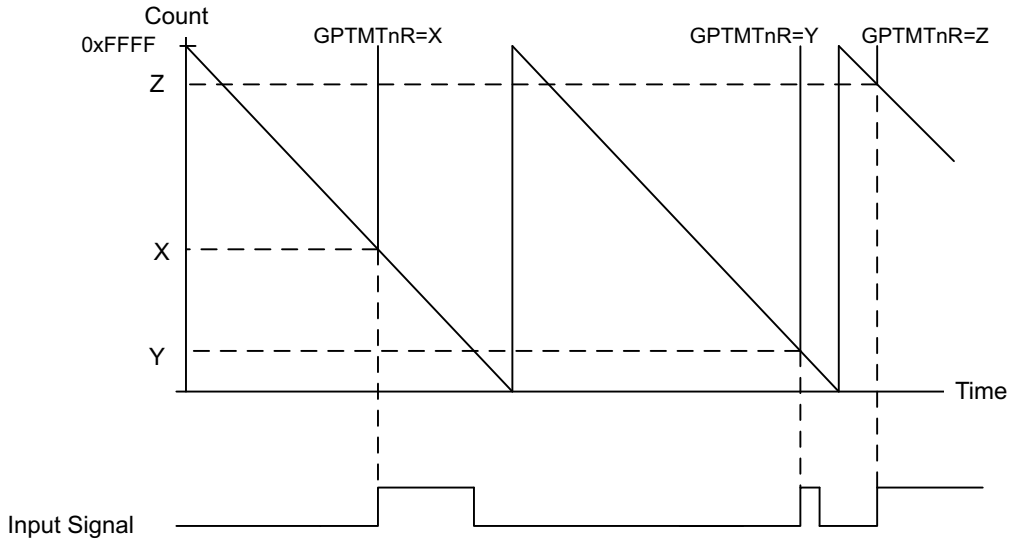


図 15-3. 入力エッジ時間モードの例

Copyright © 2026 Texas Instruments Incorporated

注

エッジ時間モードで動作している場合、プリスケーラが有効なときはカウンタは 2^{24} のモジュロ カウントを使用し、プリスケーラが有効でないときは 2^{16} のモジュロ カウントを使用します。エッジがカウント範囲より長い時間発生しない可能性がある場合は、別のタイマを使用して、見逃したエッジを確実に検出できるようにします。

Copyright © 2026 Texas Instruments Incorporated

15.3.2.4 PWM モード

GPTM は、シンプルな PWM 生成モードに対応しています。PWM モードでは、タイマは GPT:TnILR および GPT:TnPR レジスタで定義される開始値 (結果的に周期) を持つ 16 ビットのダウン カウンタとして構成されます。このモードでは、PWM 周波数と周期は同期イベントであるため、グリッチが発生しないことが保証されます。PWM モードを有効にするには、GPT:TnMR レジスタで TnAMS ビットを 0x1 に、TnCM ビットを 0x0 に、TnMR フィールドを 0x2 に設定します。表 15-5 に、タイマが有効な時にタイマ レジスタにロードされる値をリストします。

注

PWM モードでは、トリガ待ち (デイジー チェーン) は非対応です。タイマは、有効になるとすぐに起動し、前のタイマからのトリガを待ちません。

表 15-5. PWM モードでタイマを有効にした際のカウンタ値

登録	カウント ダウン モード	カウント アップ モード
GPT:TnR	GPT:TnILR	利用できません
GPT:TnV	GPT:TnILR	利用できません
GPT:TnPV	GPT:TnPR	利用できません

ソフトウェアが GPT:CTL TnEN レジスタ ビットに書き込むと、カウンタは 0x0 の状態になるまでカウント ダウンを開始します。もしくは、TnEN ビットが設定されているときに GPT:TnMR TnWOT レジスタ ビットが設定されると、タイマは、カウント開始のトリガを待ちます。周期モードの次のカウンタ サイクルで、カウンタは GPT:TnILR および GPT:TnPR レジスタから開始値をリロードし、ソフトウェアが GPT:CTL TnEN レジスタ ビットをクリアすることで無効化されるまでカウントを続行します。このタイマは、立ち上がりエッジ、立ち下がりエッジ、または両方の 3 種類のイベントに基づいて割り込みを生成できます。このイベントは GPT:CTL TnEVENT レジスタ フィールドで設定され、GPT:TnMR TnPWMIE レジスタ ビットを設定することで、割り込みが有効になります。このイベントが発生すると、GPTM 未加工割り込みステータス レジスタ (GPT:RIS) CnERIS ビットが設定され、GPTM 割り込みクリア レジスタ (GPT:ICLR) に書き込むことでクリアされるまで、このビットを保持します。GPTM 割り込みマスク レジスタ (GPT:IMR) でキャプチャ モード イベント割り込みが有効な場合、GPTM は GPTM マスク割り込みステータス レジスタ (GPT:MIS) CnEMIS ビットも設定します。

注

TnPWMIE ビットが設定されていない限り、割り込みステータス ビットは更新されません。

PWM モードでは、GPT:TnPS レジスタと GPT:TnPV レジスタと同じように、GPT:TnR レジスタと GPT:TnV レジスタは常に同じ値を持ちます。

出力 PWM 信号は、カウンタが GPT:TnILR および GPT:TnPR レジスタの値 (開始状態) にあるときにアサートされ、カウンタ値が GPT:TnMATCHR および GPT:TnPMR レジスタの値と等しくなるとデアサートされます。ソフトウェアは、GPT:CTL TnPWML レジスタ ビットを設定することで、出力 PWM 信号を反転できます。出力 PWM を反転しても、エッジ検出割り込みには影響しません。したがって、立ち上がりエッジ割り込みトリガが設定されていると、PWM 反転が立ち上がりエッジを生成すると、イベント トリガ割り込みがアサートされます。

注

TnILR が現在のカウンタ値より小さい値に変更されている場合、PWM 出力の過渡状態を回避するために、LD_TO_EN を有効にする必要があります。これは、「タイム アウト更新」モードが有効になっている場合でも同様です。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

図 15-4 に、50MHz の入力クロックおよび TnPWML = 0 (TnPWML = 1 構成の場合デューティ サイクルは 33%) の場合に、1ms 周期と 66% のデューティ サイクルで出力 PWM を生成する仕組みを示します。この例では、開始値は GPT:TnILR = 0xC350 で、一致値は GPT:TnMATCHR = 0x411A です。

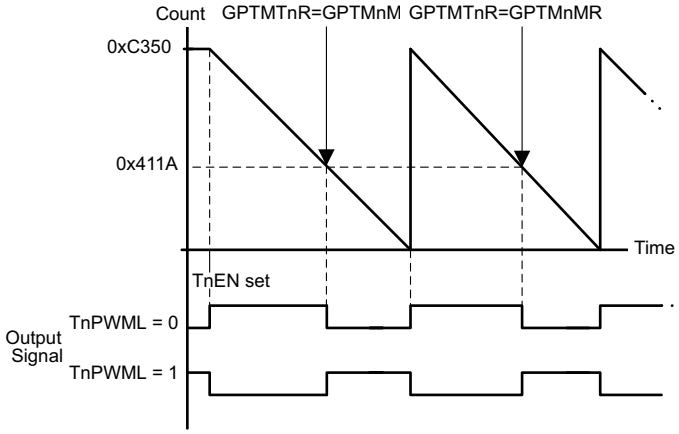


図 15-4. 16 ビット PWM モードの例

GPT:SYNC レジスタを使用してタイマを同期する場合、CCP 出力のグリッチを回避するため、タイマを適切に設定する必要があります。TnPLO ビットと TnMRSU ビットの両方を GPT:TnMR レジスタで設定する必要があります。図 15-5 に、TnPLO ビットと TnMRSU ビットが設定されており、かつ GPT:TnMATCHR レジスタ値が GPT:TnILR レジスタ値を上回っている場合の CCP 出力の動作を示します。

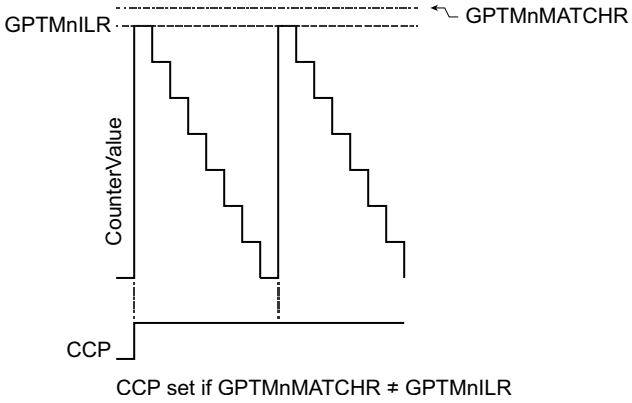


図 15-5. CCP 出力、GPT:TnMATCHR > GPT:TnILR

Copyright © 2026 Texas Instruments Incorporated

図 15-6 に、PLO ビットと MRSU ビットが設定されており、かつ GPT:TnMATCHR レジスタ値が GPT:TnILR レジスタ値と同じである場合の CCP 出力の動作を示します。この状況では、PLO ビットが 0 の場合、GPT:TnILR レジスタ値がロードされると CCP 信号が High になり、一致は基本的に無視されます。

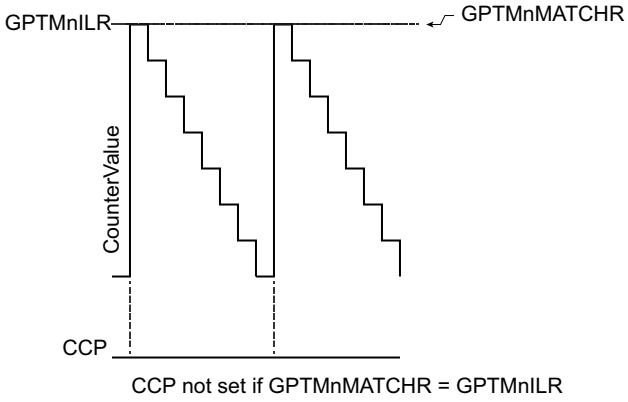


図 15-6. CCP 出力、GPT:TnMATCHR = GPT:TnILR

図 15-7 に、PLO ビットと MRSU ビットが設定されており、かつ GPT:TnILR レジスタ値が GPT:TnMATCHR レジスタ値を上回っているときの CCP 出力の動作を示します。

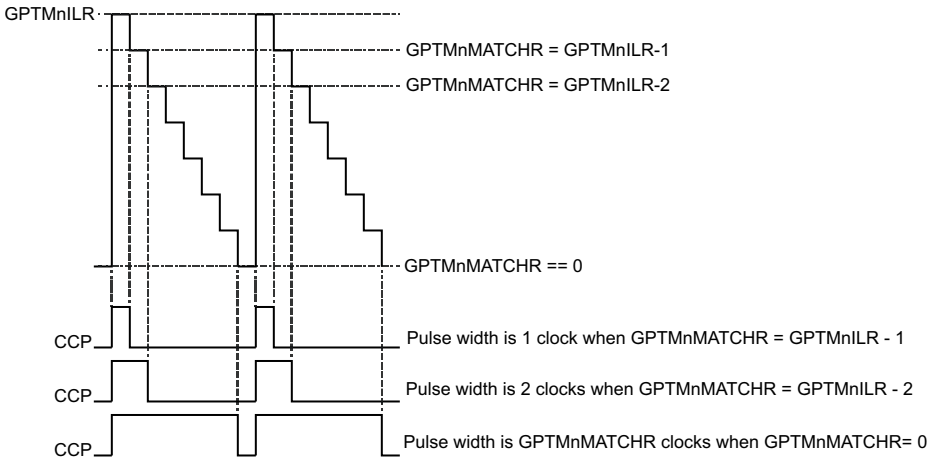


図 15-7. CCP 出力、GPT:TnILR > GPT:TnMATCHR

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

15.3.2.5 トリガ待ちモード

トリガ待ちモードでは、構成後に、1 つのタイマで、タイマ トリガを使用して複数のタイミング イベントを開始できるように、タイマ モジュールをデイジーチェーン接続できます。GPT:TnMR TnWOT レジスタ ビットを設定すると、トリガ待ちモードが有効になります。TnWOT ビットが設定されている場合、タイマ N+1 は、デイジーチェーン内の前の位置にあるタイマ (タイマ N) がタイムアウト イベントに達するまでカウントを開始しません。デイジーチェーンは、GPTM1 が常に GPTM0 の後に続き、GPTM2 が GPTM1 の後に続くように構成されます。タイマ A が 32 ビット (16 または 32 ビット モード) タイマとして構成されている場合 (GPT:CFG レジスタの CFG フィールドで制御)、次のモジュールでタイマ A がトリガされます。タイマ A が 16 ビット (16 または 32 ビットモード) タイマとして構成されていると、同じモジュールでタイマ B がトリガされ、次のモジュールでタイマ B がタイマ A をトリガします。GPTM0 で TAWOT ビットが設定されないようにしてください。図 15-8 に、GPT:CFG の CFG レジスタ ビットがデイジーチェーンに与える影響を示します。この機能は、ワンショット モードと周期モードに有効です。

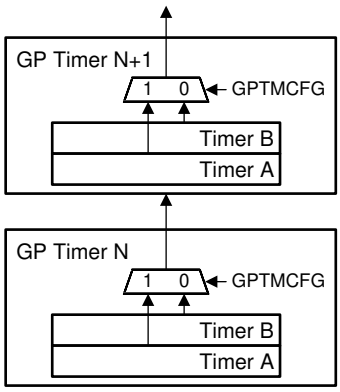


図 15-8. タイマ デイジーチェーン

15.3.3 GPT ブロックの同期

GPTM0 ブロックの GPTM シンクロナイザ制御レジスタ (GPT:SYNC) を使用すると、選択したタイマを同期して、同時にカウントを開始できます。これを行うには、最初にタイマを開始する必要があります。GPT:SYNC レジスタのビットをセットすると、関連するタイマがタイムアウト イベントの動作を実行します。タイマが同期されている場合、割り込みは生成されません。連結モードでタイマを使用する場合、GPT:SYNC レジスタでタイマ A のビットのみを設定する必要があります。レジスタの説明に、同期可能なタイマを示します。

表 15-6 に、各種タイマ モードでタイマが同期されたときに実行されるタイムアウト イベントのアクションを示します。

表 15-6. GPTM モードのタイムアウト アクション

モード	カウント方向	タイムアウト アクション
16 ビットと 32 ビットのワンショット (連結タイマ)	ー	該当なし
16 ビットと 32 ビットの周期 (連結タイマ)	下へ	カウント値 = ILR
	上へ	カウント値 = 0
16 ビットと 32 ビットのワンショット (個別および分割タイマ)	ー	該当なし
16 ビットと 32 ビットの周期 (個別および分割タイマ)	下へ	カウント値 = ILR
	上へ	カウント値 = 0
16 ビットと 32 ビットのエッジ カウント (個別および分割タイマ)	下へ	カウント値 = ILR
	上へ	カウント値 = 0
16 ビットと 32 ビットのエッジ時間 (個別および分割タイマ)	下へ	カウント値 = ILR
	上へ	カウント値 = 0

Copyright © 2026 Texas Instruments Incorporated

表 15-6. GPTM モードのタイムアウト アクション (続き)

モード	カウント方向	タイムアウト アクション
16 ビット PWM	下へ	カウント値 = ILR

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

15.3.4 連結された 16 ビットおよび 32 ビットの GPTM レジスタ値へのアクセス

GPTM は、GPTM 構成レジスタ (GPT:CFG) GPTMCFG ビット フィールドに 0x0 または 0x1 を書き込むことで、連結モードになります。どちらの構成でも、特定の 16 ビットおよび 32 ビット GPTM レジスタが連結されて疑似 32 ビット レジスタを形成します。これらのレジスタには以下が含まれます:

- GPTM タイマ A 間隔ロード レジスタ (GPT:TAILR[15:0])
- GPTM タイマ B 間隔ロード レジスタ (GPT:TBILR[15:0])
- GPTM タイマ A レジスタ (GPT:TAR[15:0])
- GPTM タイマ B レジスタ (GPT:TBR[15:0])
- GPTM タイマ A 値レジスタ (GPT:TAV[15:0])
- GPTM タイマ B 値レジスタ (GPT:TBV[15:0])
- GPTM タイマ A 一致レジスタ (GPT:TAMATCHR[15:0])
- GPTM タイマ B 一致レジスタ (GPT:TBMATCHR[15:0])

32 ビット モードでは、GPTM は GPT:TAILR レジスタへの 32 ビット書き込みアクセスを、GPT:TAILR レジスタと GPT:TBILR レジスタの両方への書き込みアクセスに変換します。このような書き込み操作の結果として得られるワードの順序は次のとおりです。GPTMTBILR[15:0]:GPTMTAILR[15:0]。同様に、GPT:TAR レジスタへの 32 ビットの読み取りアクセスでは、GPTMTBR[15:0]:GPTMTAR[15:0] となります。GPT:TAV への 32 ビット読み取りアクセスは、次の値を返します。GPTMTBV[15:0]:GPTMTAV[15:0]。

15.4 初期化および構成

タイマを初期化および構成するには、次のシーケンスを使用します。

1. GPT モジュールを使用するために、PRCM:GPTCLKGR レジスタ、PRCM:GPTCLKGS レジスタ、および PRCM:GPTCLKGDS レジスタに書き込むか、または以下のドライバ ライブラリ関数を使用して、PRCM でペリフェラル ドメインと適切な GPT モジュールを有効にします。

```
PRCMPeripheralRunEnable(uint32_t, ui32Peripheral)
```

```
PRCMPeripheralSleepEnable(uint32_t, ui32Peripheral)
```

```
PRCMPeripheralDeepSLeepEnable(uint32_t, ui32Peripheral)
```

2. 次に、PRCM:CLKLOADCTL レジスタに書き込むことで、設定をクロック コントローラにロードします。
3. IOC モジュールを構成して、GPT モジュールから IO に出力をルーティングします。
4. 次に、IOC モジュールで、必要な I/O ピンにタイマ信号を出力するように構成する必要があります。そのためには、IOCFGn.PORTID に適切な PORTID を書き込む必要があります (詳細については、Chapter 13 を参照してください)。

以下のセクションでは、サポートされている各タイマ モードのモジュールの初期化および構成の例を示します。

Copyright © 2026 Texas Instruments Incorporated

15.4.1 ワンショットおよび周期タイマ モード

以下のシーケンスで GPTM をワンショット モードおよび周期モードに構成します。

1. 変更を行う前に、GPT:CTL レジスタの TnEN ビットをクリアして、タイマを無効化します。
2. GPTM 構成レジスタ (GPT:CFG) に 0x0000 0000 を書き込みます。
3. GPTM タイマ n モード レジスタ (GPT:TnMR) の TnMR フィールドを構成します。
   a. ワンショット モードの場合は 0x1 の値を書き込みます。
   b. 周期モードの場合は 0x2 の値を書き込みます。
4. 必要に応じて、GPT:TnMR レジスタの TnSNAPS、TnWOT、TnMTE、TnCDIR ビットを構成して、タイムアウト時にフリーランニング タイマ値をキャプチャするか、外部トリガを使用してカウントを開始するか、追加のトリガまたは割り込みを構成するか、カウント アップまたはカウンタ ダウンを選択できます。
5. GPTM タイマ n インターバル ロード レジスタ (GPT:TnILR) に開始値をロードします。
6. 割り込みが必要な場合は、GPTM 割り込みマスク レジスタ (GPT:IMR) の該当ビットをセットします。
7. GPT:CTL レジスタの TnEN ビットをセットしてタイマを有効化し、カウントを開始します。
8. GPT:MRIS レジスタをポーリングするか、(有効化されている場合) 割り込みが生成されるのを待ちます。どちらの場合も、GPTM 割り込みクリア レジスタ (GPT:ICR) の該当ビットに 1 を書き込むことで、ステータス フラグがクリアされます。

ワンショットモードでは、タイムアウト イベントが発生すると、タイマはカウントを停止します。タイマを再度有効化するには、シーケンスをもう一度実行します。周期モードに設定されたタイマは、タイムアウト イベント後に値を再ロードしされ、カウントを続行します。

15.4.2 入力エッジカウント モード

次のシーケンスを使用してタイマを入力エッジカウント モードに設定します。

1. 変更を行う前に、タイマが無効化されていることを確認します (TAEN ビットをクリアします)。
2. GPTM 構成レジスタ (GPT:CFG) に 0x0000 0004 の値を書き込みます。
3. GPTM タイマ モード レジスタ (GPT:TnMR) で、TnCMR フィールドに 0x0、TnMR フィールドに 0x3 を書き込みます。
4. GPTM 制御レジスタ (GPT:CTL) の TnEVENT フィールドに、タイマがキャプチャするイベントの種類を設定します。
5. プリスケーラを使用する場合は、プリスケール値を GPTM タイマ n プリスケール レジスタ (GPT:TnPR) に書き込みます。
6. タイマの開始値を GPTM タイマ n インターバル ロード レジスタ (GPT:TnILR) にロードします。
7. GPTM タイマ n 一致レジスタ (GPT:TnMATCHR) に、イベント カウントをロードします。
8. 割り込みが必要な場合は、GPTM 割り込みマスク レジスタ (GPT:IMR) の CnMIM ビットをセットします。
9. GPT:CTL レジスタの TnEN ビットをセットしてタイマを有効化し、エッジ イベントの待機を開始します。
10. GPT:RIS レジスタの CnMRIS ビットをポーリングするか、割り込みが有効な場合は、割り込みが生成されるのを待ちます。どちらの場合も、GPTM 割り込みクリア レジスタ (GPT:ICR) の CnMCINT ビットに 1 を書き込むことで、ステータス フラグがクリアされます。

入力エッジカウント モードでカウント ダウンすると、設定したエッジ イベント数を検出すると、タイマは停止します。タイマを再度有効にするには、TnEN ビットがクリアされていることを確認して、ステップ 4 ～ ステップ 9 を繰り返します。

Copyright © 2026 Texas Instruments Incorporated

15.4.3 入力エッジ — タイミング モード

次のシーケンスで、エッジ タイミング モードを入力するようにタイマを設定します。

1. 変更を行う前に、タイマが無効であることを確認します (TAEN ビットがクリアされる)。
2. GPTM 構成レジスタ (GPT:CFG) に 0x0000 0004 の値を書き込みます。
3. GPTM タイマ モード レジスタ (GPT:TnMR) で、TnCM フィールドを 0x1 に書き込み、TnMR フィールドを 0x3 に書き込みます。
4. GPTM 制御レジスタ (GPT:CTL) TnEVENT フィールドに書き込むことで、タイマがキャプチャするイベントのタイプを設定します。
5. プリスケーラを使用する場合は、GPTM タイマ n プリスケール レジスタ (GPT:TnPR) にプリスケール値を書き込みます。
6. タイマの開始値を GPTM タイマ n インターバル ロード レジスタ (GPT:TnILR) にロードします。
7. 割り込みが必要な場合は、GPTM 割り込みマスク レジスタ (GPT:IMR) CnMIM ビットを設定します。
8. GPT:CTL TnEN レジスタ ビットを設定して、タイマを有効化し、カウントを開始します。
9. GPT:RIS CnMRIS レジスタ ビットをポーリングするか、割り込みが生成されるのを待ちます (有効化されている場合)。どちらの場合も、GPTM 割り込みクリアレジスタ (GPT:ICR) CnMCINT ビットに 1 を書き込むことで、ステータス フラグがクリアされます。

入力エッジ タイミング モードでは、エッジ イベントが検出された後もタイマは動作を継続しますが、GPT:TnILR レジスタに書き込むことで、タイマの間隔をいつでも変更できます。変更は、書き込みの後の次のサイクルで有効になります。

15.4.4 PWM モード

次のシーケンスを使用してタイマを PWM モードに構成します。

1. 変更を行う前に、タイマが無効化 (TnEN ビットをクリア) されていることを確認します。
2. GPTM 構成レジスタ (GPT:CFG) に 0x0000 0004 の値を書き込みます。
3. GPTM タイマ モード レジスタ (GPT:TnMR) で、TnCMR フィールドに 0x1 を書き込み、TnMR フィールドに 0x2 を書き込みます。
4. GPTM 制御レジスタ (GPT:CTL) TnPWML フィールドで、PWM 信号の出力状態 (反転かどうか) を構成します。
5. プリスケーラを使用する場合は、プリスケール値を GPTM タイマ n プリスケール レジスタ (GPT:TnPR) に書き込みます。
6. PWM 割り込みを使用する場合は、GPT:CTL TnEVENT レジスタ フィールドで割り込み条件を構成し、GPT:TnMR TnPWMIE レジスタ ビットを設定して割り込みを有効にします。
7. タイマの開始値を GPTM タイマ n インターバル ロード レジスタ (GPT:TnILR) にロードします。
8. GPTM タイマ n 一致レジスタ (GPT:TnMATCHR) に一致値をロードします。
9. GPTM 制御レジスタ (GPT:CTL) TnEN ビットを設定して、タイマを有効にし、出力 PWM 信号の生成を開始します。

PWM タイミング モードでは、PWM 信号が生成された後、タイマは動作を継続します。PWM 周期は、GPT:TnILR レジスタに書き込むことでいつでも調整可能で、変更は書き込み後の次のサイクルで有効になります。

Copyright © 2026 Texas Instruments Incorporated

15.4.5 DMA トリガ イベントの生成

GPT は、イベント ハンドラを使用して DMA トリガ イベントを生成できます。イベント ファブリックを介して µDMA チャネルのトリガ ソースを選択することで、シングル要求またはバースト要求を µDMA コントローラに渡すことができます。各タイマは A と B それぞれに 1 つの信号を生成するのみですが、この信号はイベント モジュールで、シングルまたはバーストのどちらかを選択できます。DMA 完了割り込みは、トリガを生成したタイマ モジュールに送り返されます。

GPT イベントによる µDMA トリガを構成するには、次の手順を実行します。

1. GPT 動作を構成します。
2. GPT:DMAEV レジスタを構成して、DMA に対する適切なタイマ イベントを有効にします。アプリケーションは、各タイマに対して、一致、キャプチャ、またはタイムアウト イベントを選択できます。
3. イベント ファブリック (Chapter 5 を参照) を構成して、適切なタイマを選択します。イベント ファブリックは、GPT DMA イベント用の 5 つのチャネルに対応しており、そのうち 4 つは GPT ブロック専用です。これらの専用チャネルは、9、10、11、および 12 です。GPT DMA イベントでは、チャネル 9 ～ 12 でシングル要求とバースト要求がサポート対象です。サポート対象の 5 番目のチャネルは 14 で、GPT のサポート用に構成でき、バースト要求のみを処理します。この構成は、EVENT:UDMACHcrSEL レジスタで行われます。ここで、c はチャネル番号、r は S (シングル) または B (バースト) オプションです。 チャネル 14 は、EVENT:UDMACH14BSEL レジスタを使用して構成できます。各タイマは A と B それぞれに 1 つの信号のみを生成しますが、この信号はイベント モジュールで、シングルまたはバーストのどちらかを選択できます。
4. GPT をイネーブルにします。
5. DMA 完了割り込みは、トリガを生成したタイマ モジュールに送り返されます。GPT:RIS DMAnRIS レジスタ ビットは、DMA 転送完了の情報を示します。

15.5 GPTM レジスタ

Copyright © 2026 Texas Instruments Incorporated

15.5.1 GPT レジスタ

表 15-7 に、GPT レジスタのメモリ マップト レジスタを示します。表 15-7 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 15-7. GPT レジスタ

オフセット	略称	レジスタ名	セクション
0h	CFG	構成	CFG レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	TAMR	タイマ A モード	TAMR レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	TBMR	タイマ B モード	TBMR レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	CTL	制御	CTL レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	SYNC	同期レジスタ	SYNC レジスタ (オフセット = 10h) [リセット = 00000000h]
18h	IMR	割り込みマスク	IMR レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	RIS	未処理割り込みステータス	RIS レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	MIS	マスク割り込みステータス	MIS レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	ICLR	割り込みクリア	ICLR レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	TAILR	タイマ A インターバル ロード レジスタ	TAILR レジスタ (オフセット = 28h) [リセット = FFFFFFFFh]
2Ch	TBILR	タイマ B インターバル ロード レジスタ	TBILR レジスタ (オフセット = 2Ch) [リセット = 0000FFFFh]
30h	TAMATCHR	タイマ A マッチ レジスタ	TAMATCHR レジスタ (オフセット = 30h) [リセット = FFFFFFFFh]
34h	TBMATCHR	タイマ B マッチ レジスタ	TBMATCHR レジスタ (オフセット = 34h) [リセット = 0000FFFFh]
38h	TAPR	タイマ A プリスケール	TAPR レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	TBPR	タイマ B プリスケール	TBPR レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	TAPMR	タイマ A プリスケール マッチ	TAPMR レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	TBPMR	タイマ B のプリスケール マッチ	TBPMR レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	TAR	タイマ A レジスタ	TAR レジスタ (オフセット = 48h) [リセット = FFFFFFFFh]
4Ch	TBR	タイマ B レジスタ	TBR レジスタ (オフセット = 4Ch) [リセット = 0000FFFFh]
50h	TAV	タイマ A 値	TAV レジスタ (オフセット = 50h) [リセット = FFFFFFFFh]
54h	TBV	タイマ B 値	TBV レジスタ (オフセット = 54h) [リセット = 0000FFFFh]
5Ch	TAPS	タイマ A プリスケール スナップショット	TAPS レジスタ (オフセット = 5Ch) [リセット = 00000000h]
60h	TBPS	タイマ B プリスケール スナップショット	TBPS レジスタ (オフセット = 60h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 15-7. GPT レジスタ (続き)

オフセット	略称	レジスタ名	セクション
64h	TAPV	タイマ A プリスケール値	TAPV レジスタ (オフセット = 64h) [リセット = 00000000h]
68h	TBPV	タイマ B プリスケール値	TBPV レジスタ (オフセット = 68h) [リセット = 00000000h]
6Ch	DMAEV	DMA イベント	DMAEV レジスタ (オフセット = 6Ch) [リセット = 00000000h]
FB0h	バージョン	ペリフェラル バージョン	VERSION レジスタ (オフセット = FB0h) [リセット = 00000400h]
FB4h	ANDCCP	結合 CCP 出力	ANDCCP レジスタ (オフセット = FB4h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 15-8 に、このセクションでアクセス タイプに使用しているコードを示します。

表 15-8. GPT のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

15.5.1.1 CFG レジスタ (オフセット = 0h) [リセット = 00000000h]

図 15-9 に、CFG を示し、表 15-9 に、その説明を示します。

概略表に戻ります。

構成

図 15-9. CFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													CFG		
R-0h																													R/W-0h		

表 15-9. CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	CFG	R/W	0h	GPT 構成 0x2- 0x3 - 予約済み 0x5- 0x7 - 予約済み 0h = 32BIT_TIMER：32 ビット タイマ構成 4h = 16BIT_TIMER： 16 ビット タイマ構成。 2 つの 16 ビット タイマを構成します。 TAMR.TAMR および TBMR.TBMR も参照してください。

Copyright © 2026 Texas Instruments Incorporated

15.5.1.2 TAMR レジスタ (オフセット = 4h) [リセット = 00000000h]

図 15-10 に、TAMR を示し、表 15-10 に、その説明を示します。

概略表に戻ります。

タイマ A モード

図 15-10. TAMR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TCACT			TACINTD	TAPLO	TAMRSU	TAPWMIE	TAILD
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TASNAPS	TAWOT	TAMIE	TACDIR	TAAMS	TACM	TAMR	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 15-10. TAMR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-13	TCACT	R/W	0h	タイマ比較アクション選択 0h = DIS_CMP:比較動作を無効化します 1h = タイムアウト時にトグルします 2h = タイムアウト時に CCP 出力ピンをクリアします 3h = タイムアウト時に CCP 出力ピンを設定します 4h = CCP 出力ピンを即座に設定し、タイムアウト時にトグルします。 5h = 即座に CCP 出力ピンをクリアし、タイムアウト時にトグルします 6h = CCP 出力ピンを即座に設定し、タイムアウト時にクリアします 7h = CCP 出力ピンを即座にクリアし、タイムアウト時に設定します
12	TACINTD	R/W	0h	ワンショット/周期割り込みディスエーブル 0h = タイムアウト割り込みは正常に機能します 1h = タイムアウト割り込みは無効です
11	TAPLO	R/W	0h	GPTM タイマ A PWM レガシー動作 0 タイマが 0 に達した後に TAILR レジスタがリロードされると、CCP ピンが Low に駆動されるレガシー動作が行われます。 1 タイマが 0 に達した後に TAILR レジスタがリロードされると、CCP は High に駆動されます。 このビットは PWM モードでのみ有効です。 0h = レガシー動作 1h = タイムアウト時に CCP 出力ピンが 1 に設定されます

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 15-10. TAMR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	TAMRSU	R/W	0h	タイマ A マッチ レジスタ更新モード このビットは、TAMATCHR および TAPR レジスタが更新されるタイミングを定義します。 このビットが設定された時点でタイマが無効である場合 (CTL.TAEN = 0)、タイマが有効化されたときに TAMATCHR および TAPR が更新されます。 このビットが設定された時点でタイマが停止した場合 (CTL.TASTALL = 1)、このビットの構成に応じて TAMATCHR および TAPR が更新されます。 0h = TAMATCHR および TAPR が使用されている場合、次のサイクルでこれらが更新されます。 1h = TAMATCHR および TAPR が使用されている場合、次のタイムアウト時にこれらが更新されます。
9	TAPWMIE	R/W	0h	GPTM タイマ A PWM 割り込みイネーブル このビットは、CTL.TAEVENT によって定義されたとおり、CCP 出力の立ち上がり、立ち下がり、またはその両方のエッジで PWM モードの割り込みを有効化します。 また、このビットが設定された状態でキャプチャ イベントが発生すると、CTL.TAOTE ビットおよび DMAEV.CAEDMAEN ビットをそれぞれ設定することでトリガ機能が有効の場合、タイマ A は DMA へのトリガを自動的に生成します。 0 キャプチャ イベント割り込みは無効です。 1 キャプチャ イベント割り込みは有効です。 このビットは PWM モードでのみ有効です。 0h = 割り込みは無効です。 1h = 割り込みは有効です。このビットは PWM モードでのみ有効です。
8	TAILD	R/W	0h	GPT タイマ A PWM インターバル ロード書き込み 0h= 次のクロック サイクルの TAILR レジスタの値で TAR レジスタを更新します。プリスケーラを使用する場合は、次のクロック サイクルで TAPR レジスタの値で TAPS レジスタを更新します。 1h = 次のタイムアウト時に TAILR レジスタの値で TAR レジスタを更新します。プリスケーラを使用する場合は、次のタイムアウト時に TAPR レジスタの値で TAPS レジスタを更新します。
7	TASNAPS	R/W	0h	GPT タイマ A スナップショット モード 0h = スナップショット モードは無効です。 1h = タイマ A が周期モードに構成されている場合、タイマ A の実際のフリーランニング値がタイムアウト イベント時に GPT タイマ A (TAR) レジスタにロードされます。
6	TAWOT	R/W	0h	GPT タイマ A ウェイトオン トリガ 0h = タイマ A は、有効化されるとすぐにカウントを開始します。 1h = タイマ A が有効の場合 (CTL.TAEN = 1)、タイマ A は、デイジーチェーンの前の位置のタイマからトリガを受信するまで、カウントを開始しません。GPT モジュール 0、タイマ A において、このビットをクリアする必要があります。この機能は、ワンショット、周期、PWM の各モードで有効です
5	TAMIE	R/W	0h	GPT タイマ A マッチ割り込みイネーブル 0h = マッチ イベントに対するマッチ割り込みは無効です。また、マッチ イベント時の出力トリガは禁止されます。 1h = ワンショットおよび周期モードで TAMATCHR のマッチ値に達した場合に割り込みが生成されます。
4	TACDIR	R/W	0h	GPT タイマ A カウント方向 0h = DOWN:タイマはカウントダウンします。 1h = UP:タイマはカウントアップします。カウントアップする場合、タイマは 0x0 の値から開始します。
3	TAAMS	R/W	0h	GPT タイマ A 代替モード 注:PWM モードを有効化するには、TACM をクリアしてから、TAMR フィールドを 0x2 に設定する必要があります。 0h = キャプチャ/比較モードは有効です。 1h = PWM モードは有効です

Copyright © 2026 Texas Instruments Incorporated

表 15-10. TAMR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	TACM	R/W	0h	GPT タイマ A キャプチャ モード 0h = EDGCNT:エッジ カウント モード 1h = EDGTIME: エッジ時間モード
1-0	TAMR	R/W	0h	GPT タイマ A モード 0x0 予約済み 0x1 ワンショット タイマ モード 0x2 周期タイマ モード 0x3 キャプチャ モード タイマ モードは、CFG レジスタのビット 2:0 で定義されるタイマ構成に基づいています 1h = ワンショット タイマ モード 2h = 周期タイマ モード 3h = キャプチャ モード

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

15.5.1.3 TBMR レジスタ (オフセット = 8h) [リセット = 00000000h]

図 15-11 に、TBMR を示し、表 15-11 に、その説明を示します。

概略表に戻ります。

タイマ B モード

図 15-11. TBMR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TCACT			TBCINTD	TBPLO	TBMRSU	TBPWMIE	TBILD
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TBSNAPS	TBWOT	TBMIE	TBCDIR	TBAMS	TBCM	TBMR	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 15-11. TBMR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-13	TCACT	R/W	0h	タイマ比較アクション選択 0h = DIS_CMP:比較動作を無効化します 1h = タイムアウト時にトグルします 2h = タイムアウト時に CCP 出力ピンをクリアします 3h = タイムアウト時に CCP 出力ピンを設定します 4h = CCP 出力ピンを即座に設定し、タイムアウト時にトグルします。 5h = 即座に CCP 出力ピンをクリアし、タイムアウト時にトグルします 6h = CCP 出力ピンを即座に設定し、タイムアウト時にクリアします 7h = CCP 出力ピンを即座にクリアし、タイムアウト時に設定します
12	TBCINTD	R/W	0h	ワンショット/周期割り込みモード 0h = 通常タイムアウト割り込み 1h = マスク タイムアウト割り込み
11	TBPLO	R/W	0h	GPTM タイマ B PWM レガシー動作 0 タイマが 0 に達した後に TBILR レジスタがリロードされると、CCP ピンが Low に駆動されるレガシー動作が行われます。 1 タイマが 0 に達した後に TBILR レジスタがリロードされると、CCP は High に駆動されます。 このビットは PWM モードでのみ有効です。 0h = レガシー動作 1h = タイムアウト時に CCP 出力ピンが 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

表 15-11. TBMR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	TBMRSU	R/W	0h	タイマ B マッチ レジスタ更新モード このビットは、TBMATCHR および TBPR レジスタが更新されるタイミングを定義します このビットが設定された時点でタイマが無効である場合 (CTL.TBEN がクリア)、タイマが有効化されたときに TBMATCHR および TBPR が更新されます。 このビットが設定された時点でタイマが停止した場合 (CTL.TBSTALL が設定)、このビットの構成に応じて TBMATCHR および TBPR が更新されます。 0h = TBMATCHR および TBPR が使用されている場合、次のサイクルでこれらが更新されます。 1h = TBMATCHR および TBPR が使用されている場合、次のタイムアウト時にこれらが更新されます。
9	TBPWMIE	R/W	0h	GPTM タイマ B PWM 割り込みイネーブル このビットは、CTL.TBEVENT によって定義されたとおり、CCP 出力の立ち上がり、立ち下がり、またはその両方のエッジで PWM モードの割り込みを有効化します。 また、このビットが設定された状態でキャプチャ イベントが発生すると、CTL.TBOTE ビットおよび DMAEV.CBEDMAEN ビットをそれぞれ設定することでトリガ機能が有効の場合、タイマ A は DMA へのトリガを自動的に生成します。 0 キャプチャ イベント割り込みは無効です。 1 キャプチャ イベント割り込みは有効です。 このビットは PWM モードでのみ有効です。 0h = 割り込みは無効です。 1h = 割り込みは有効です。このビットは PWM モードでのみ有効です。
8	TBILD	R/W	0h	GPT タイマ B PWM インターバル ロード書き込み 0h = 次のクロック サイクルの TBILR レジスタの値で TBR レジスタを更新します。プリスケーラを使用する場合は、次のクロック サイクルで TBPR レジスタの値で TBPS レジスタを更新します。 1h = 次のタイムアウト時に TBILR レジスタの値で TBR レジスタを更新します。プリスケーラを使用する場合は、次のタイムアウト時に TBPR レジスタの値で TBPS レジスタを更新します。
7	TBSNAPS	R/W	0h	GPT タイマ B スナップショット モード 0h= スナップショット モードは無効です。 1h = タイマ B が周期モードに設定されている場合
6	TBWOT	R/W	0h	GPT タイマ B ウェイトオン トリガ 0h = タイマ B は、有効化されるとすぐにカウントを開始します。 1h = タイマ B が有効の場合 (CTL.TBEN が設定)、タイマ B は、デイジーチェーンの前の位置のタイマからトリガを受信するまで、カウントを開始しません。この機能は、ワンショット、周期、PWM の各モードで有効です
5	TBMIE	R/W	0h	GPT タイマ B マッチ割り込みイネーブル。 0h = マッチ イベントに対するマッチ割り込みは無効です。また、マッチ イベント時の出力トリガは禁止されます。 1h = ワンショットおよび周期モードで TBMATCHR レジスタのマッチ値に達した場合に割り込みが生成されます。
4	TBCDIR	R/W	0h	GPT タイマ B カウント方向 0h = DOWN:タイマはカウントダウンします。 1h = UP:タイマはカウントアップします。カウントアップする場合、タイマは 0x0 の値から開始します。
3	TBAMS	R/W	0h	GPT タイマ B 代替モード 注:PWM モードを有効化するには、TBCM ビットをクリアして、TBMR フィールドを 0x2 に設定する必要があります。 0h = キャプチャ/比較モードは有効です。 1h = PWM モードは有効です

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 15-11. TBMR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	TBCM	R/W	0h	GPT タイマ B キャプチャ モード 0h = EDGCNT:エッジ カウント モード 1h = EDGTIME: エッジ時間モード
1-0	TBMR	R/W	0h	GPT タイマ B モード 0x0 予約済み 0x1 ワンショット タイマ モード 0x2 周期タイマ モード 0x3 キャプチャ モード タイマ モードは、CFG レジスタのビット 2:0 で定義されるタイマ構成に基づいています 1h = ワンショット タイマ モード 2h = 周期タイマ モード 3h = キャプチャ モード

Copyright © 2026 Texas Instruments Incorporated

15.5.1.4 CTL レジスタ (オフセット = Ch) [リセット = 00000000h]

図 15-12 に、CTL を示し、表 15-12 に、その説明を示します。

概略表に戻ります。

制御

図 15-12. CTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	TBPWML	予約済み		TBEVENT		TBSTALL	TBEN
R-0h	R/W-0h	R-0h		R/W-0h		R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み	TAPWML	予約済み		TAEVENT		TASTALL	TAEN
R-0h	R/W-0h	R-0h		R/W-0h		R/W-0h	R/W-0h

表 15-12. CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	予約済み
14	TBPWML	R/W	0h	GPT タイマ B PWM 出力レベル 0:出力は影響を受けません。 1:出力が反転します。 0h = 反転なし 1h = 反転
13-12	予約済み	R	0h	予約済み
11-10	TBEVENT	R/W	0h	GPT タイマ B イベント モード このレジスタの値は、次のように定義されます。 値の説明 0x0 正のエッジ 0x1 負のエッジ 0x2 予約済み 0x3 両方のエッジ 注:PWM 出力反転が有効化されている場合、エッジ検出割り込み動作は反転します。 したがって、立ち上がりエッジ割り込みトリガが設定され、PWM 反転が正のエッジを生成した場合、イベントトリガ割り込みはアサートされません。代わりに、PWM 信号の負のエッジで割り込みが生成されます。 0h = 正のエッジ 1h = 負のエッジ 3h = 両方のエッジ
9	TBSTALL	R/W	0h	GPT タイマ B ストール イネーブル 0h = タイマ B は、デバッガによってプロセッサが停止している間、カウントを継続します。 1h = タイマ B は、デバッガによってプロセッサが停止している間、カウントを停止します。
8	TBEN	R/W	0h	GPT タイマ B イネーブル 0h = タイマ B は無効です。 1h = タイマ B は有効で、カウントを開始するか、CFG レジスタに基づいてキャプチャ ロジックが有効になります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 15-12. CTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	TAPWML	R/W	0h	GPT タイマ A PWM 出力レベル 0h = 反転なし 1h = 反転
5-4	予約済み	R	0h	予約済み
3-2	TAEVENT	R/W	0h	GPT タイマ A イベント モード このレジスタの値は、次のように定義されます。 値の説明 0x0 正のエッジ 0x1 負のエッジ 0x2 予約済み 0x3 両方のエッジ 注:PWM 出力反転が有効化されている場合、エッジ検出割り込み動作は反転します。 したがって、立ち上がりエッジ割り込みトリガが設定され、PWM 反転が正のエッジを生成した場合、イベント トリガ割り込みはアサートされません。代わりに、PWM 信号の負のエッジで割り込みが生成されます。 0h = 正のエッジ 1h = 負のエッジ 3h = 両方のエッジ
1	TASTALL	R/W	0h	GPT タイマ A ストール イネーブル 0h = タイマ A は、デバッガによってプロセッサが停止している間、カウントを継続します。 1h = タイマ A は、デバッガによってプロセッサが停止している間、カウントを停止します。
0	TAEN	R/W	0h	GPT タイマ A イネーブル 0h = タイマ A は無効です。 1h = タイマ A は有効で、カウントを開始するか、CFG レジスタに基づいてキャプチャ ロジックが有効になります。

Copyright © 2026 Texas Instruments Incorporated

15.5.1.5 SYNC レジスタ (オフセット = 10h) [リセット = 00000000h]

図 15-13 に、SYNC を示し、表 15-13 に、その説明を示します。

概略表に戻ります。

同期レジスタ

図 15-13. SYNC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								SYNC3		SYNC2		SYNC1		SYNC0	
R-0h								W-0h		W-0h		W-0h		W-0h	

表 15-13. SYNC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-6	SYNC3	W	0h	GPT タイマ 3 の同期。 0h = 同期しません。GPT3 は影響を受けません。 1h = GPT3 のタイマ A のタイムアウト イベントがトリガされます 2h = GPT3 のタイマ B のタイムアウト イベントがトリガされます 3h = GPT3 のタイマ A とタイマ B の両方のタイムアウト イベントがトリガされます
5-4	SYNC2	W	0h	GPT タイマ 2 の同期。 0h = 同期しません。GPT2 は影響を受けません。 1h = GPT2 のタイマ A のタイムアウト イベントがトリガされます 2h = GPT2 のタイマ B のタイムアウト イベントがトリガされます 3h = GPT2 のタイマ A とタイマ B の両方のタイムアウト イベントがトリガされます
3-2	SYNC1	W	0h	GPT タイマ 1 の同期 0h = 同期しません。GPT1 は影響を受けません。 1h = GPT1 のタイマ A のタイムアウト イベントがトリガされます 2h = GPT1 のタイマ B のタイムアウト イベントがトリガされます 3h = GPT1 のタイマ A とタイマ B の両方のタイムアウト イベントがトリガされます
1-0	SYNC0	W	0h	GPT タイマ 0 の同期 0h = 同期しません。GPT0 は影響を受けません。 1h = GPT0 のタイマ A のタイムアウト イベントがトリガされます 2h = GPT0 のタイマ B のタイムアウト イベントがトリガされます 3h = GPT0 のタイマ A とタイマ B の両方のタイムアウト イベントがトリガされます

Copyright © 2026 Texas Instruments Incorporated

15.5.1.6 IMR レジスタ (オフセット = 18h) [リセット = 00000000h]

図 15-14 に、IMR を示し、表 15-14 に、その説明を示します。

概略表に戻ります。

割り込みマスク
このレジスタは、割り込みを有効化するために使用します。
関連レジスタ:
RIS、MIS、ICLR

図 15-14. IMR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		DMABIM	予約済み	TBMIM	CBEIM	CBMIM	TBTOIM
R-0h		R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み		DMAAIM	TAMIM	予約済み	CAEIM	CAMIM	TATOIM
R-0h		R/W-0h	R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h

表 15-14. IMR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13	DMABIM	R/W	0h	このビットを有効化すると、RIS.DMABRIS 割り込みが MIS.DMABMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します
12	予約済み	R	0h	予約済み
11	TBMIM	R/W	0h	このビットを有効化すると、RIS.TBMRIS 割り込みが MIS.TBMMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します
10	CBEIM	R/W	0h	このビットを有効化すると、RIS.CBERIS 割り込みが MIS.CBEMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します
9	CBMIM	R/W	0h	このビットを有効化すると、RIS.CBMRIS 割り込みが MIS.CBMMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します
8	TBTOIM	R/W	0h	このビットを有効化すると、RIS.TBTORIS 割り込みが MIS.TBTOMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します
7-6	予約済み	R	0h	予約済み
5	DMAAIM	R/W	0h	このビットを有効化すると、RIS.DMAARIS 割り込みが MIS.DMAAMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します

Copyright © 2026 Texas Instruments Incorporated

表 15-14. IMR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	TAMIM	R/W	0h	このビットを有効化すると、RIS.TAMRIS 割り込みが MIS.TAMMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します
3	予約済み	R	0h	予約済み
2	CAEIM	R/W	0h	このビットを有効化すると、RIS.CAERIS 割り込みが MIS.CAEMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します
1	CAMIM	R/W	0h	このビットを有効化すると、RIS.CAMRIS 割り込みが MIS.CAMMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します
0	TATOIM	R/W	0h	このビットを有効化すると、RIS.TATORIS 割り込みが MIS.TATOMIS に伝搬されます 0h = 割り込みを無効化します 1h = 割り込みを有効化します

Copyright © 2026 Texas Instruments Incorporated

15.5.1.7 RIS レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 15-15 に、RIS を示し、表 15-15 に、その説明を示します。

概略表に戻ります。

未処理割り込みステータス
関連レジスタ:
IMR、MIS、ICLR

図 15-15. RIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		DMABRIS	予約済み	TBMRIS	CBERIS	CBMRIS	TBTORIS
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み		DMAARIS	TAMRIS	予約済み	CAERIS	CAMRIS	TATORIS
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 15-15. RIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13	DMABRIS	R	0h	GPT タイマ B DMA 完了未処理割り込みステータス 0:転送は未完了です 1:転送は完了済みです
12	予約済み	R	0h	予約済み
11	TBMRIS	R	0h	GPT タイマ B マッチ未処理割り込み 0:マッチ値に達していません 1:マッチ値に達しています。 TBMR.TBMIE が設定され、ワンショットまたは周期モードで構成されている場合、TBMATCHR のマッチ値、オプションで TBPMR に達します。
10	CBERIS	R	0h	GPT タイマ B キャプチャ モード イベント未処理割り込み 0:イベントは発生していません。 1:イベントは発生しています。 この割り込みは、サブタイマが入力エッジ時間モードに構成されるとアサートされます
9	CBMRIS	R	0h	GPT タイマ B キャプチャ モード マッチ未処理割り込み 0:タイマ B のキャプチャ モード マッチが発生していません。 1:タイマ B のキャプチャ モード マッチが発生しています。 この割り込みは、入力エッジ時間モードに設定されている場合に、TBR および TBPR の値が TBMATCHR および TBPMR の値と一致するとアサートされます。 このビットは、ICLR.CBMCINT ビットに 1 を書き込むことでクリアされます。

Copyright © 2026 Texas Instruments Incorporated

表 15-15. RIS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	TBTORIS	R	0h	GPT タイマ B タイムアウト未処理割り込み 0:タイマ B はタイムアウトしていません 1:タイマ B はタイムアウトしています。 この割り込みは、ワンショットまたは周期モード タイマがカウント制限に達するとアサートされます。カウント制限は、カウント方向に応じて、0 または TBILR にロードされる値です。
7-6	予約済み	R	0h	予約済み
5	DMAARIS	R	0h	GPT タイマ A DMA 完了未処理割り込みステータス 0:転送は未完了です 1:転送は完了済みです
4	TAMRIS	R	0h	GPT タイマ A マッチ未処理割り込み 0:マッチ値に達していません 1:マッチ値に達しています。 TAMR.TAMIE が設定され、ワンショットまたは周期モードで構成されている場合、TAMATCHR のマッチ値、オプションで TAPMR に達します。
3	予約済み	R	0h	予約済み
2	CAERIS	R	0h	GPT タイマ A キャプチャ モード イベント未処理割り込み 0:イベントは発生していません。 1:イベントは発生しています。 この割り込みは、サブタイマが入力エッジ時間モードに構成されるとアサートされます
1	CAMRIS	R	0h	GPT タイマ A キャプチャ モード マッチ未処理割り込み 0:タイマ A のキャプチャ モードの一致は発生していません。 1:タイマ A のキャプチャ モードの一致が発生しています。この割り込みは、 入力エッジ時間モードに設定されている場合に、TAR および TAPR の値が TAMATCHR および TAPMR の値 と一致するとアサートされます。 このビットは、ICLR.CAMCINT ビットに 1 を書き込むことでクリアされます。
0	TATORIS	R	0h	GPT タイマ A タイムアウト未処理割り込み 0:タイマ A はタイムアウトしていません 1:タイマ A はタイムアウトしています。 この割り込みは、ワンショットまたは周期モード タイマがカウント制限に達するとアサートされます。カウント制限は、カウント方向に応じて、0 または TAILR にロードされる値です。

Copyright © 2026 Texas Instruments Incorporated

15.5.1.8 MIS レジスタ (オフセット = 20h) [リセット = 00000000h]

図 15-16 に、MIS を示し、表 15-16 に、その説明を示します。

概略表に戻ります。

マスク割り込みステータス
値は、RIS および IMR のビット単位の AND 演算 (論理積) の結果です
関連クリア レジスタ:ICLR

図 15-16. MIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		DMABMIS	予約済み	TBMMIS	CBEMIS	CBMMIS	TBTOMIS
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み		DMAAMIS	TAMMIS	予約済み	CAEMIS	CAMMIS	TATOMIS
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 15-16. MIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13	DMABMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.DMABRIS = 1 && IMR.DMABIM = 1
12	予約済み	R	0h	予約済み
11	TBMMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.TBMRIS = 1 && IMR.TBMIM = 1
10	CBEMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.CBERIS = 1 && IMR.CBEIM = 1
9	CBMMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.CBMRIS = 1 && IMR.CBMIM = 1
8	TBTOMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.TBTORIS = 1 && IMR.TBTOIM = 1
7-6	予約済み	R	0h	予約済み
5	DMAAMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.DMAARIS = 1 && IMR.DMAAIM = 1
4	TAMMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.TAMRIS = 1 && IMR.TAMIM = 1
3	予約済み	R	0h	予約済み
2	CAEMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.CAERIS = 1 && IMR.CAEIM = 1
1	CAMMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.CAMRIS = 1 && IMR.CAMIM = 1
0	TATOMIS	R	0h	0:割り込みがないか、割り込みが有効化されていません 1: RIS.TATORIS = 1 && IMR.TATOIM = 1

Copyright © 2026 Texas Instruments Incorporated

15.5.1.9 ICLR レジスタ (オフセット = 24h) [リセット = 00000000h]

図 15-17 に、ICLR を示し、表 15-17 に、その説明を示します。

概略表に戻ります。

割り込みクリア
このレジスタは、RIS および MIS レジスタのステータス ビットをクリアするために使用されます

図 15-17. ICLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		DMABINT	予約済み	TBMCINT	CBECINT	CBMCINT	TBTOCINT
R-0h		R/W1C-0h	R-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
7	6	5	4	3	2	1	0
予約済み		DMAAINT	TAMCINT	予約済み	CAECINT	CAMCINT	TATOCINT
R-0h		R/W1C-0h	R/W1C-0h	R-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 15-17. ICLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13	DMABINT	R/W1C	0h	0:何もしません。 1:RIS.DMABRIS および MIS.DMABMIS をクリアします
12	予約済み	R	0h	予約済み
11	TBMCINT	R/W1C	0h	0:何もしません。 1:RIS.TBMRIS および MIS.TBMMIS をクリアします
10	CBECINT	R/W1C	0h	0:何もしません。 1:RIS.CBERIS および MIS.CBEMIS をクリアします
9	CBMCINT	R/W1C	0h	0:何もしません。 1:RIS.CBMRIS および MIS.CBMMIS をクリアします
8	TBTOCINT	R/W1C	0h	0:何もしません。 1:RIS.TBTORIS および MIS.TBTOMIS をクリアします
7-6	予約済み	R	0h	予約済み
5	DMAAINT	R/W1C	0h	0:何もしません。 1:RIS.DMAARIS および MIS.DMAAMIS をクリアします
4	TAMCINT	R/W1C	0h	0:何もしません。 1:RIS.TAMRIS および MIS.TAMMIS をクリアします
3	予約済み	R	0h	予約済み
2	CAECINT	R/W1C	0h	0:何もしません。 1:RIS.CAERIS および MIS.CAEMIS をクリアします
1	CAMCINT	R/W1C	0h	0:何もしません。 1:RIS.CAMRIS および MIS.CAMMIS をクリアします
0	TATOCINT	R/W1C	0h	0:何もしません。 1:RIS.TATORIS および MIS.TATOMIS をクリアします

Copyright © 2026 Texas Instruments Incorporated

15.5.1.10 TAILR レジスタ (オフセット = 28h) [リセット = FFFFFFFFh]

図 15-18 に、TAILR を示し、表 15-18 に、その説明を示します。

概略表に戻ります。

タイマ A インターバル ロード レジスタ

図 15-18. TAILR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAILR																															
R/W-FFFFFFFFh																															

表 15-18. TAILR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	TAILR	R/W	FFFFFFFFh	GPT タイマ A インターバル ロード レジスタ このフィールドに書き込むと、タイマ A のカウンタがロードされます。読み取りは、TAILR の現在の値を返します。

Copyright © 2026 Texas Instruments Incorporated

15.5.1.11 TBILR レジスタ (オフセット = 2Ch) [リセット = 0000FFFFh]

図 15-19 に、TBILR を示し、表 15-19 に、その説明を示します。

概略表に戻ります。

タイマ B インターバル ロード レジスタ

図 15-19. TBILR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBILR																															
R/W-FFFFh																															

表 15-19. TBILR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	TBILR	R/W	FFFFh	GPT タイマ B インターバル ロード レジスタ このフィールドに書き込むと、タイマ B のカウンタがロードされます。読み取りは、TBILR の現在の値を返します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

15.5.1.12 TAMATCHR レジスタ (オフセット = 30h) [リセット = FFFFFFFFh]

図 15-20 に、TAMATCHR を示します。表 15-20 に、その説明を示します。

概略表に戻ります。

タイマ A マッチ レジスタ
ワンショット モードまたは周期モードにおいて、タイマの値がこのレジスタの値と一致した場合に、割り込みを発生させることができます。
エッジ カウント モードでは、このレジスタは TAILR と共に、カウントするエッジ イベントの数を決定します。
カウントされたエッジ イベントの合計数は、TAILR の値からこの値を引いた値と等しくなります。
エッジ カウント モードでは、アップカウントを行う場合、TAPR および TAILR の値は、TAPMR の値およびこのレジスタの値よりも大きい数値である必要があることに注意してください。
PWM モードでは、この値は TAILR と共に、出力 PWM 信号のデューティ サイクルを決定します。
16/32 ビット GPT を 32 ビット モードのいずれかに構成すると、TAMATCHR は 32 ビット レジスタとして現れます。(上位 16 ビットは TBMATCHR の内容に対応します)。
16 ビット モードでは、このレジスタの上位 16 ビットは 0s として読み取られ、TBMATCHR の状態に影響はありません。
注:このレジスタは、TAMR.TAMRSU に基づいて内部で更新 (反映) されます

図 15-20. TAMATCHR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAMATCHR																															
R/W-FFFFFFFFh																															

表 15-20. TAMATCHR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	TAMATCHR	R/W	FFFFFFFFh	GPT タイマ A マッチ レジスタ

Copyright © 2026 Texas Instruments Incorporated

15.5.1.13 TBMATCHR レジスタ (オフセット = 34h) [リセット = 0000FFFFh]

図 15-21 に、TBMATCHR を示します。表 15-21 に、その説明を示します。

概略表に戻ります。

タイマ B マッチ レジスタ
GPT が 32 ビット モードのいずれかに構成されている場合、このレジスタのビット 15:0 の内容が TAMATCHR の上位 16 ビットにロードされます。
このレジスタから読み取ると、タイマ B の現在のマッチ値が返され、書き込みは無視されます。
16 ビット モードでは、マッチ値にビット 15:0 が使用されます。どちらの場合も、ビット 31:16 は予約済みです。
注:このレジスタは、TBMR.TBMRSU に基づいて内部で更新 (反映) されます

図 15-21. TBMATCHR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																TBMATCHR															
R-0h																R/W-FFFFh															

表 15-21. TBMATCHR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	TBMATCHR	R/W	FFFFh	GPT タイマ B マッチ レジスタ

Copyright © 2026 Texas Instruments Incorporated

15.5.1.14 TAPR レジスタ (オフセット = 38h) [リセット = 00000000h]

図 15-22 に、TAPR を示し、表 15-22 に、その説明を示します。

概略表に戻ります。

タイマ A プリスケール
このレジスタにより、ソフトウェアはタイマを個別に使用する場合に、その範囲を拡張することができます。
ワンショットまたは周期的ダウンカウント モードでは、このレジスタはタイマ カウンタの真のプリスケーラとして機能します。
真のプリスケーラとして動作する際、プリスケーラは 0 までカウントダウンしてから、TAR および TAV レジスタの値をインクリメントします。
その他のすべての個別/分割モードでは、このレジスタはタイマ カウンタの上限範囲を線形に拡張したものであり、16/32 ビット GPT の 16 ビット モードでビット 23:16 を保持します。

図 15-22. TAPR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								TAPSR							
R-0h																								R/W-0h							

表 15-22. TAPR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	TAPSR	R/W	0h	タイマ A プリスケール。 ワンショットおよび周期カウント モードでのプリスケーラ比は TAPSR + 1 です。すなわち以下のようになります。 0:プリスケーラ比 = 1 1:プリスケーラ比 = 2 2:プリスケーラ比 = 3 ... 255:プリスケーラ比 = 256

Copyright © 2026 Texas Instruments Incorporated

15.5.1.15 TBPR レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 15-23 に、TBPR を示し、表 15-23 に、その説明を示します。

概略表に戻ります。

タイマ B プリスケール
このレジスタにより、ソフトウェアはタイマを個別に使用する場合に、その範囲を拡張することができます。
ワンショットまたは周期的ダウンカウント モードでは、このレジスタはタイマ カウンタの真のプリスケーラとして機能します。真のプリスケーラとして動作する際、プリスケーラは 0 までカウントダウンしてから、TBR および TBV レジスタの値をインクリメントします。
その他のすべての個別/分割モードでは、このレジスタはタイマ カウンタの上限範囲を線形に拡張したものであり、16/32 ビット GPT の 16 ビット モードでビット 23:16 を保持します。

図 15-23. TBPR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								TBPSR							
R-0h																								R/W-0h							

表 15-23. TBPR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	TBPSR	R/W	0h	タイマ B プリスケール。 ワンショットおよび周期カウント モードでのプリスケール比は TBPSR + 1 です。すなわち以下のようになります。 0:プリスケーラ比 = 1 1:プリスケーラ比 = 2 2:プリスケーラ比 = 3 ... 255:プリスケーラ比 = 256

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

15.5.1.16 TAPMR レジスタ (オフセット = 40h) [リセット = 00000000h]

図 15-24 に、TAPMR を示し、表 15-24 に、その説明を示します。

概略表に戻ります。

タイマ A のプリスケール マッチ
このレジスタにより、ソフトウェアは個別に使用する場合に、TAMATCHR の範囲を拡張することができます。

図 15-24. TAPMR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								TAPSMR							
R-0h																								R/W-0h							

表 15-24. TAPMR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	TAPSMR	R/W	0h	GPT タイマ A プリスケール マッチ。16 ビット モードでは、このフィールドはビット 23 ～ 16 を保持します。

Copyright © 2026 Texas Instruments Incorporated

15.5.1.17 TBPMR レジスタ (オフセット = 44h) [リセット = 00000000h]

図 15-25 に、TBPMR を示し、表 15-25 に、その説明を示します。

概略表に戻ります。

タイマ B プリスケール マッチ
このレジスタにより、ソフトウェアは個別に使用する場合に、TBMATCHR の範囲を拡張することができます。

図 15-25. TBPMR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								TBPSMR							
R-0h																								R/W-0h							

表 15-25. TBPMR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	TBPSMR	R/W	0h	GPT タイマ B プリスケール マッチ レジスタ。16 ビット モードでは、このフィールドはビット 23 ～ 16 を保持します。

Copyright © 2026 Texas Instruments Incorporated

15.5.1.18 TAR レジスタ (オフセット = 48h) [リセット = FFFFFFFFh]

図 15-26 に、TAR を示し、表 15-26 に、その説明を示します。

概略表に戻ります。

タイマ A レジスタ
このレジスタは、入力エッジ カウントと時間モードを除くすべての場合で、タイマ A カウンタの現在の値を示します。入力エッジ カウント モードでは、このレジスタには発生したエッジの数が含まれます。
入力エッジ時間モードでは、このレジスタには最後のエッジ イベントが発生した時間が含まれます。
GPT を 32 ビット モードのいずれかに構成すると、このレジスタは 32 ビット レジスタとして現れます (上位 16 ビットはタイマ B (TBR) レジスタの内容に対応します)。
16 ビット入力エッジ カウント、入力エッジ時間、および PWM モードでは、ビット 15:0 にカウンタ値が含まれ、ビット 23:16 にはプリスケーラの値 (カウントの上位 8 ビット) が含まれます。
ビット 31:24 は常に 0 として読み取られます。16 ビット ワンショットおよび周期モードでプリスケーラの値を読み取るには、TAV レジスタのビット [23:16] を読み取ります。周期スナップショット モードでプリスケーラの値を読み取るには、タイマ A プリスケール スナップショット (TAPS) レジスタを読み取ります。

図 15-26. TAR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAR																															
R-FFFFFFFFh																															

表 15-26. TAR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	TAR	R	FFFFFFFFh	GPT タイマ A レジスタ レジスタ フィールド TAMR.TAILD の値に基づき、このレジスタは、次のサイクルまたは次のタイムアウトのいずれかのタイミングで、TAILR レジスタの値で更新されます。 読み取りは、入力エッジ数とタイマ モードを除くすべての場合で、タイマ A カウント レジスタの現在の値を返します。 入力エッジ カウント モードでは、このレジスタには発生したエッジの数が含まれます。入力エッジ時間モードでは、このレジスタには最後のエッジ イベントが発生した時間が含まれます。

Copyright © 2026 Texas Instruments Incorporated

15.5.1.19 TBR レジスタ (オフセット = 4Ch) [リセット = 0000FFFFh]

図 15-27 に、TBR を示し、表 15-27 に、その説明を示します。

概略表に戻ります。

タイマ B レジスタ
このレジスタは、入力エッジ カウントと時間モードを除くすべての場合で、タイマ B カウンタの現在の値を示します。入力エッジ カウント モードでは、このレジスタには発生したエッジの数が含まれます。
入力エッジ時間モードでは、このレジスタには最後のエッジ イベントが発生した時間が含まれます。
GPTM を 32 ビット モードのいずれかに構成すると、このレジスタのビット 15:0 の内容が TAR レジスタの上位 16 ビットにロードされます。このレジスタから読み取ると、タイマ B の現在の値が返されます。
16 ビット モードでは、ビット 15:0 にカウンタ値が含まれ、入力エッジ カウント、入力エッジ時間、および PWM モードでは、ビット 23:16 にはプリスケーラの値 (カウントの上位 8 ビット) が含まれます。
ビット 31:24 は常に 0 として読み取られます。16 ビット ワンショットおよび周期モードでプリスケーラの値を読み取るには、TBV レジスタのビット [23:16] を読み取ります。周期スナップショット モードでプリスケーラの値を読み取るには、タイマ B プリスケール スナップショット (TBPS) レジスタを読み取ります。

図 15-27. TBR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBR																															
R-FFFFh																															

表 15-27. TBR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	TBR	R	FFFFh	GPT タイマ B レジスタ レジスタ フィールド TBMR.TBILD の値に基づき、このレジスタは、次のサイクルまたは次のタイムアウトのいずれかのタイミングで、TBILR レジスタの値で更新されます。 読み取りは、入力エッジ数とタイマ モードを除くすべての場合で、タイマ B カウント レジスタの現在の値を返します。 入力エッジ カウント モードでは、このレジスタには発生したエッジの数が含まれます。入力エッジ時間モードでは、このレジスタには最後のエッジ イベントが発生した時間が含まれます。

Copyright © 2026 Texas Instruments Incorporated

15.5.1.20 TAV レジスタ (オフセット = 50h) [リセット = FFFFFFFFh]

図 15-28 に、TAV を示し、表 15-28 に、その説明を示します。

概略表に戻ります。

タイマ A 値
読み取り時に、このレジスタは、すべてのモードにおいて、タイマ A の現在のフリーランニング値を示します。ソフトウェアは、周期動作モードでスナップショット機能を使用する場合、この値を使用して割り込みと ISR エントリの間の経過時間を決定できます。
書き込むと、このレジスタに書き込まれた値が、次のクロック サイクルで TAR レジスタにロードされます。
16/32 ビット GPTM を 32 ビット モードのいずれかに構成すると、このレジスタは 32 ビット レジスタとして現れます (上位 16 ビットは GPTM タイマ B 値 [TBV] レジスタの内容に対応します)。16 ビット モードでは、ビット 15:0 にはカウンタ値が含まれ、入力エッジ カウント、入力エッジ時間、PWM、およびワンショットまたは周期アップカウント モードでは、ビット 23:16 にはプリスケーラの現在のフリーランニング値 (カウントの上位 8 ビット) が含まれます。ワンショットまたは周期ダウンカウント モードでは、23:16 に保存されたプリスケーラは真のプリスケーラです。つまり、ビット 23:16 は、ビット 15:0 の値をデクリメントする前にカウントダウンを行うという意味です。
ビット 31:24 のプリスケーラは常に 0 として読み取られます。

図 15-28. TAV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAV																															
R/W-FFFFFFFFh																															

表 15-28. TAV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	TAV	R/W	FFFFFFFFh	GPT タイマ A レジスタ 読み取りは、すべてのモードにおいて、タイマ A の現在のフリーランニング値を返します。 書き込むと、このレジスタに書き込まれた値が、次のクロック サイクルで TAR レジスタにロードされます。 注:16 ビット モードでは、このレジスタの下位 16 ビットのみが新しい値を書き込むことができます。 プリスケーラ ビットに書き込みを行っても、影響はありません

Copyright © 2026 Texas Instruments Incorporated

15.5.1.21 TBV レジスタ (オフセット = 54h) [リセット = 0000FFFFh]

図 15-29 に、TBV を示し、表 15-29 に、その説明を示します。

概略表に戻ります。

タイマ B 値
読み取り時に、このレジスタは、すべてのモードにおいて、タイマ B の現在のフリーランニング値を示します。ソフトウェアは、この値を使用して割り込みと ISR エントリの間の経過時間を決定できます。
書き込むと、このレジスタに書き込まれた値が、次のクロック サイクルで TBR レジスタにロードされます。
16/32 ビット GPTM を 32 ビット モードのいずれかに構成すると、このレジスタのビット 15:0 の内容が TAV レジスタの上位 16 ビットにロードされます。このレジスタから読み取ると、タイマ B の現在のフリーランニング値が返されます。
16 ビット モードでは、ビット 15:0 にはカウンタ値が含まれ、入力エッジ カウント、入力エッジ時間、PWM、およびワンショットまたは周期アップカウント モードでは、ビット 23:16 にはプリスケーラの現在のフリーランニング値 (カウントの上位 8 ビット) が含まれます。
ワンショットまたは周期ダウンカウント モードでは、23:16 に保存されたプリスケーラは真のプリスケーラです。つまり、ビット 23:16 は、ビット 15:0 の値をデクリメントする前にカウントダウンを行うという意味です。ビット 31:24 のプリスケーラは常に 0 として読み取られます。

図 15-29. TBV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBV																															
R/W-FFFFh																															

表 15-29. TBV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	TBV	R/W	FFFFh	GPT タイマ B レジスタ 読み取りは、すべてのモードにおいて、タイマ B の現在のフリーランニング値を返します。 書き込むと、このレジスタに書き込まれた値が、次のクロック サイクルで TBR レジスタにロードされます。 注:16 ビット モードでは、このレジスタの下位 16 ビットのみが新しい値を書き込むことができます。 プリスケーラ ビットに書き込みを行っても、影響はありません

Copyright © 2026 Texas Instruments Incorporated

15.5.1.22 TAPS レジスタ (オフセット = 5Ch) [リセット = 00000000h]

図 15-30 に、TAPS を示し、表 15-30 に、その説明を示します。

概略表に戻ります。

タイマ A プリスケール スナップショット
レジスタ フィールド TAMR.TAILD の値に基づき、このレジスタは次のサイクルまたは次のタイムアウトのいずれかのタイミングで、TAPR レジスタの値で更新されます。
このレジスタは、16 ビット モードにおいて、タイマ A プリスケーラの現在の値を示します。

図 15-30. TAPS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								PSS							
R-0h																								R-0h							

表 15-30. TAPS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	PSS	R	0h	GPT タイマ A プリスケーラ

Copyright © 2026 Texas Instruments Incorporated

15.5.1.23 TBPS レジスタ (オフセット = 60h) [リセット = 00000000h]

図 15-31 に、TBPS を示し、表 15-31 に、その説明を示します。

概略表に戻ります。

タイマ B プリスケール スナップショット
レジスタ フィールド TBMR.TBILD の値に基づき、このレジスタは次のサイクルまたは次のタイムアウトのいずれかのタイミングで、TBPR レジスタの値で更新されます。
このレジスタは、16 ビット モードにおいて、タイマ B プリスケーラの現在の値を示します。

図 15-31. TBPS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								PSS							
R-0h																								R-0h							

表 15-31. TBPS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	PSS	R	0h	GPT タイマ B プリスケーラ

Copyright © 2026 Texas Instruments Incorporated

15.5.1.24 TAPV レジスタ (オフセット = 64h) [リセット = 00000000h]

図 15-32 に、TAPV を示し、表 15-32 に、その説明を示します。

概略表に戻ります。

タイマ A プリスケール値
このレジスタは、16 ビット モードにおいて、タイマ A フリーランニング プリスケーラの現在の値を示します。

図 15-32. TAPV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								PSV							
R-0h																								R-0h							

表 15-32. TAPV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	PSV	R	0h	GPT タイマ A プリスケーラ値

Copyright © 2026 Texas Instruments Incorporated

15.5.1.25 TBPV レジスタ (オフセット = 68h) [リセット = 00000000h]

図 15-33 に、TBPV を示し、表 15-33 に、その説明を示します。

概略表に戻ります。

タイマ B のプリスケール値
このレジスタは、16 ビット モードにおいて、タイマ B フリーランニングの現在の値を示します。

図 15-33. TBPV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								PSV							
R-0h																								R-0h							

表 15-33. TBPV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	PSV	R	0h	GPT タイマ B プリスケーラ値

Copyright © 2026 Texas Instruments Incorporated

15.5.1.26 DMAEV レジスタ (オフセット = 6Ch) [リセット = 00000000h]

図 15-34 に、DMAEV を示し、表 15-34 に、その説明を示します。

概略表に戻ります。

DMA イベント
このレジスタにより、ソフトウェアは GPT DMA トリガ イベントを有効化/無効化できます。

図 15-34. DMAEV レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				TBMDMAEN	CBEDMAEN	CBMDMAEN	TBTODMAEN
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み			TAMDMAEN	予約済み	CAEDMAEN	CAMDMAEN	TATODMAEN
R/W-0h			R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h

表 15-34. DMAEV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	ソフトウェアは予約済みフィールドの値に依存してはなりません。他の値を書き込むと、未定義の動作が発生する可能性があります。
11	TBMDMAEN	R/W	0h	GPT タイマ B マッチ DMA トリガ イネーブル
10	CBEDMAEN	R/W	0h	GPT タイマ B キャプチャ イベント DMA トリガ イネーブル
9	CBMDMAEN	R/W	0h	GPT タイマ B キャプチャ マッチ DMA トリガ イネーブル
8	TBTODMAEN	R/W	0h	GPT タイマ B タイムアウト DMA トリガ イネーブル
7-5	予約済み	R/W	0h	ソフトウェアは予約済みフィールドの値に依存してはなりません。他の値を書き込むと、未定義の動作が発生する可能性があります。
4	TAMDMAEN	R/W	0h	GPT タイマ A マッチ DMA トリガ イネーブル
3	予約済み	R	0h	予約済み
2	CAEDMAEN	R/W	0h	GPT タイマ A キャプチャ イベント DMA トリガ イネーブル
1	CAMDMAEN	R/W	0h	GPT タイマ A キャプチャ マッチ DMA トリガ イネーブル
0	TATODMAEN	R/W	0h	GPT タイマ A タイムアウト DMA トリガ イネーブル

Copyright © 2026 Texas Instruments Incorporated

15.5.1.27 VERSION レジスタ (オフセット = FB0h) [リセット = 00000400h]

図 15-35 に、VERSION を示します。表 15-35 に、その説明を示します。

概略表に戻ります。

ペリフェラルバージョン
このレジスタは、GPT バージョンに関する情報を提供します

図 15-35. VERSION レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バージョン																															
R-400h																															

表 15-35. VERSION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	バージョン	R	400h	タイマ リビジョン。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

15.5.1.28 ANDCCP レジスタ (オフセット = FB4h) [リセット = 00000000h]

図 15-36 に、ANDCCP を示し、表 15-36 に、その説明を示します。

概略表に戻ります。

結合 CCP 出力
このレジスタは、各タイマのロジカル AND CCP 出力ペアに使用されます

図 15-36. ANDCCP レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						LD_TO_EN	CCP_AND_EN
R-0h						R/W-0h	R/W-0h

表 15-36. ANDCCP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	LD_TO_EN	R/W	0h	PWM アサートは、タイムアウト時に発生します 0:PWM アサートは、カウンタがロード値と一致した場合に発生します 1:PWM アサートは、カウンタのタイムアウト時に発生します
0	CCP_AND_EN	R/W	0h	タイマ A および B の CCP 出力の AND 演算 (論理積) を有効化します。 0:タイマ A とタイマ B の PWM 出力は、それぞれのタイマに対して内部で生成される PWM 信号です。 1:タイマ A の PWM 出力は、タイマ A とタイマ B の PWM 信号の AND 演算 (論理積) されたバージョンで、タイマ B の PWM 出力は、タイマ B の PWM 信号のみとなります。

Copyright © 2026 Texas Instruments Incorporated

Chapter 16

リアルタイム クロック (RTC)

この章では、CC13x2 および CC26x2 デバイス プラットフォーム用の常時オン リアルタイム クロック (AON_RTC) の機能と設計について説明します。

16.1 概要 1418
16.2 機能仕様 1418
16.3 RTC レジスタ情報 1420
16.4 RTC レジスタ 1421

Copyright © 2026 Texas Instruments Incorporated

16.1 概要

このセクションでは、CC13x2 および CC26x2 デバイス プラットフォーム用の常時オン リアルタイム クロック (AON_RTC) の機能と設計について説明します。AON_RTC は、秒カウンタおよびサブ秒カウンタを実装しており、ppm オフセットのソフトウェア補正をサポートしています。また、3 つの一致レジスタと 1 つの比較レジスタを備えています。

AON_RTC が動作を継続する間、MCU ドメインの電源オフをサポートする特別なメカニズムが用意されています。AON_RTC は、最も深いパワーダウン モードである「シャットダウン」モードを除くすべての電力モードで電源を供給します。

16.2 機能仕様

このセクションでは、AON_RTC の機能について説明します。

16.2.1 機能概要

AON_RTC の機能を以下に示します。

- 32kHz クロックの立ち上がりエッジでインクリメント
- ppm 調整に対応した、プログラマブル インクリメント機能を備えた 70 ビットのインクリメント カウンタ
- 3 つの汎用チャネル (0、1、2) と、イベント生成をサポートするコンパレータ
- イベントのソフトウェア リセットおよびハードウェア リセット
- すべてのイベントは、プログラム可能な時間だけ遅延させ、それに対応する遅延イベントを生成することができます。
- 一連のプログラマブル遅延イベントを結合することで、遅延結合イベントを生成できます。

16.2.2 フリーランニング カウンタ

AON_RTC は、32kHz クロックごとにプログラム可能な値だけインクリメントされる 70 ビットのフリーランニング カウンタを実装しています。プログラム可能な値によって 32kHz クロックの ppm オフセットの補償が可能になり、カウンタが非常に高い精度で動作できます。

AON_RTC の電源投入後にイネーブルされると、カウンタは 0 から開始しますが、ソフトウェアで 0 またはその他の新しい値にリセットすることもできます。このカウンタは、秒単位 (32 ビット) およびサブ秒単位 (32 ビット) で測定します。

デフォルトでは、AON_RTC は 32kHz クロック ティックごとに 1/32768 秒でカウンタをインクリメントします。0x20 000 のサブ秒インクリメント値は 1/32768 秒に相当します。サブ秒インクリメント値を増減すると、AON_RTC の速度が同じ量だけ増減します。

AUX_SYSIF:RTCSUBSECINC0 および AUX_SYSIF:RTCSUBSECINC1 レジスタを更新してインクリメントを変更し、AUX_SYSIF:RTCSUBSECINCCTL.UPD_REQ レジスタに書き込むことによって、新しい設定を AON_RTC にロードします。新しいサブ秒インクリメント値は、AON_RTC からアクノリッジを受信するまで AUX で変更しないでください。アクノリッジは、AUX_SYSIF:RTCSUBSECINCCTL.UPD_ACK レジスタから読み出すことができます。アクノリッジを受信した後、AUX_SYSIF:RTCSUBSECINCCTL.UPD_REQ レジスタは 0 に書き込むことができ、必要に応じて、新しいサブ秒インクリメント値をアップロードできます。

フリーランニング カウンタのアトミック読み出しを実行するには、まず秒部分の AON_RTC:SEC を読み出す必要があります。これにより、サブ秒部分 AON_RTC:SUBSEC が読み取られるまでラッチされます。さらに、AON_RTC:TIME レジスタは、AON_RTC:SEC レジスタの下位ハーフワードと、AON_RTC:SUBSEC レジスタの上位ハーフワードを返します。これは、一致レジスタおよびキャプチャ レジスタと同じフォーマットです。

Copyright © 2026 Texas Instruments Incorporated

16.2.3 チャネル

AON_RTC には、わずかに異なる動作の 3 つの独立したチャネル (0、1、2) が含まれています。

すべてのチャネルが比較モードで動作できます。プログラム可能な時間制限に達したか、または超えたときに、各チャネルが比較イベントを生成します。これは、チャネル 0 における唯一の動作モードです。

チャネル 1 はキャプチャ モードで動作できます。このモードでは、外部イベントが発生してフリーランニング タイマの現在値がラッチされ、このイベントの時間を記録します。その後、キャプチャ イベントが生成されます。チャネル 1 のタイマは比較モードまたはキャプチャ モードで動作しているため、各モードで同じ物理イベントが生成されます。

チャネル 2 は連続比較モードで動作でき、比較イベント後に、比較値を自動的にインクリメントします。これにより、完全に等間隔のイベントを生成できます。

図 16-1 に、3 つの AON_RTC チャネルを示します。

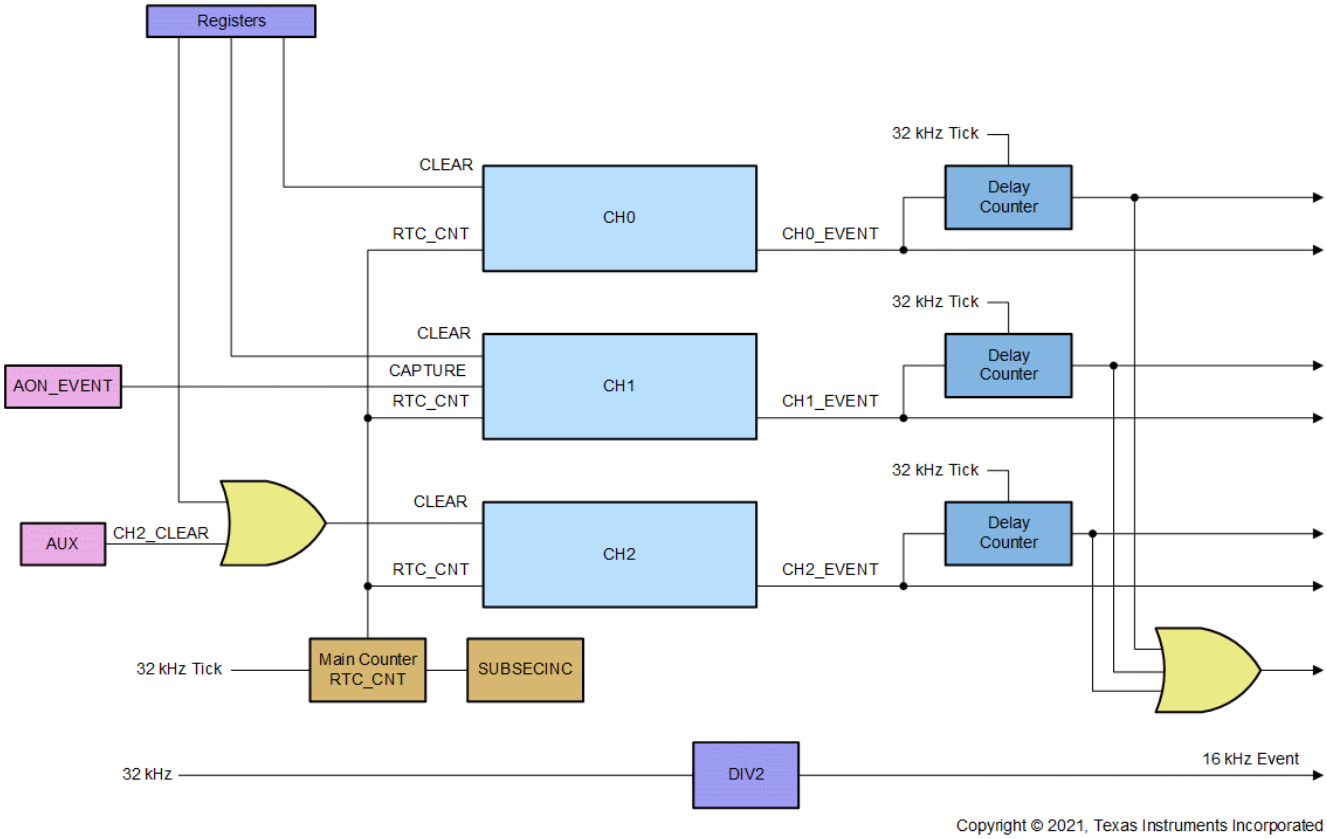


図 16-1. AON_RTC チャネル

16.2.3.1 キャプチャと比較

RTC キャプチャ イベントは、AON_EVENT:RTCSEL でキャプチャ ソースを構成し、AON_RTC:CHCTL でチャネル 1 をキャプチャ モードに設定することで、チャネル 1 に設定できます。キャプチャされた RTC 値は、キャプチャ イベント後の AON_RTC:CH1CAPT レジスタで利用できます

比較イベントは、対応するチャネル比較レジスタ AON_RTC:CHnCMP に書き込むことで構成されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

注

比較値から現在の値を引いた値が、秒のラップアラウンド タイムから 1 秒を引いた値 (2^{32} × $SCLK_LF_{period}$ – 1) よりも大きくなるように比較値を設定した場合、イベントの消失を回避するために即座に比較イベントを設定します。

16.2.4 イベント

3 つの遅延イベントをプログラムによって組み合わせ、7 番目の遅延イベントを生成できます。イベントはどれも AON イベント ファブリックに供給され、たとえば MCU ドメインや AUX ドメインのウェークアップ イベントとして使用できます。

3 つのチャネルは個別にイベントを生成できます。3 つのイベントはそれぞれ、遅延カウンタを使用してプログラマブルなクロック数だけチャネル イベントを遅延させて、相当するイベントを生成できます。遅延カウンタは未補償の 32kHz クロックを使用するため、遅延時間はこのクロックに応じて変動します。このプロセスにより、将来の正確なタイミングでイベントを生成できます。たとえばイベントの後で MCU をウェークアップさせる必要がある場合、非決定的ながら上限のある時間がかかりますが、それでも正確なイベント生成が可能です。

注

チャネルを無効化しても、そのチャネルから保留中のイベントはクリアされません。外部クリア信号をアサートするか、AON_RTC:EVFLAGS レジスタの対応する CHx ビットに 1 を書き込むことによってのみ、イベントをクリアすることができます。

16.3 RTC レジスタ情報

RTC レジスタは AON ドメインに配置され、2MHz MF クロックでクロック供給されます。すべての構成およびステータス レジスタは、SHUTDOWN を除くすべての電力モードで保持されます。MCU ドメインには、システム バスのレイテンシを最小に抑えて高速アクセスを保証するために、AON_RTC レジスタへのインターフェイスが含まれています。MCU インターフェイスと AON ドメイン間の同期により、ソフトウェアで考慮する必要のある遅延がシステムに生じます。

16.3.1 レジスタ アクセス

書き込みアクセスは、1 つまたは 2 つの 2MHz MF クロック周期で遅延します。システム バスはこの遅延の影響を受けないため、MCU は実際の AON_RTC レジスタが AON_RTC に書き込まれる前に、バストランザクションを完了します。このプロセスにより、アプリケーションは同期による余分な遅延なしに、複数のレジスタに連続して書き込むことができます。

同期により、読み出しアクセスは常に 2 ～ 3 システム クロック (48MHz) 分遅れた値を読み取ります。この場合、システム バスは停止しません。

AON_RTC:EVFLAGS レジスタは、高速クリア機能を備えています。1 が書き込まれると、MCU は EVFLAGS ビット フィールドを一時的にクリアします。このプロセスにより、ステータスが割り込みまたはイベントとして使用されている場合、MCU はソースを迅速にクリアできます。同期により、RTC の実際のフラグは、1 または 2 クロックサイクル後までクリアされません。このため、新しいイベントは最大 2 つの 2MHz MF 周期の間マスクされます。

16.3.2 スリープへの移行とスリープからのウェークアップ

スリープに移行する前に、AON レジスタへのすべての書き込み要求が完了していることを確認する必要があります。これは、MCU ドメインのハードウェアによって実行されます。

スリープからウェークアップするとき、アプリケーションは 2MHz MF の 1 周期分待機必要があります。待機することにより、MCU ドメイン レジスタ インターフェイスが正しく同期されるようになります。同期が完了する前にレジスタを読み出すと、その値が更新されない可能性があります。たとえば、AON_RTC:SEC レジスタを読み取ると、現在の値ではなく、スリープに入る前の値が表示される場合があります。

Copyright © 2026 Texas Instruments Incorporated

16.3.3 AON_RTC:SYNC レジスタ

AON_RTC:SYNC レジスタは、MCU ドメインと AON ドメイン間の同期を行います。

AON レジスタへの未処理の書き込み要求がある場合、AON_RTC:SYNC レジスタからの読み取り要求は結果を返しません。つまり、未処理の要求がすべて完了するまでバスは停止されます。

書き込み要求により、AON ドメインに対するダミーの書き込みがトリガされます。この書き込みにより、MF クロックとの同期が保証されます。このダミーの書き込みには、1 ～ 2 回の 2MHz MF クロック サイクルが必要です。

1. AON_RTC:SYNC レジスタまたは AON ドメインの他のレジスタに書き込みます。この書き込みによって、未処理の書き込み要求が AON ドメインに登録されます。
2. AON_RTC:SYNC レジスタから読み取ります。この読み取りは、未処理の要求がすべて完了するまで結果を返しません。

AON_RTC:SYNC レジスタの動作は、通常、特定の順序の保証が必要な場合に使用されます。たとえば、チャネルを無効化する場合は、AON_RTC:SYNC レジスタをポーリングすることで、チャネルが無効化され、それ以上イベントが発生しないことを確認できます。

1. AON_RTC:CHCTL.CH2_EN = 0 に設定します。
2. AON_RTC:SYNC レジスタを読み取ります。
3. これで、チャネルが無効化されます。イベントはこれ以上発生しません。

もう 1 つの一般的な使用方法は、ウェークアップ時に MCU ドメインで正しい値が更新されていることの確認です。この MCU ドメインは、2MHz MF クロックの正のエッジでのみ更新されます。

1. AON_RTC:SYNC レジスタに書き込みます。
2. AON_RTC:SYNC レジスタを読み取ります。
3. その他の AON_RTC レジスタについても、情報が正しく更新されているので、安全に読み取ることができます。

16.4 RTC レジスタ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

16.4.1 AON_RTC レジスタ

AON_RTC レジスタのメモリマップト レジスタを、表 16-1 にリスト表示します。表 16-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 16-1. AON_RTC レジスタ

オフセット	略称	レジスタ名	セクション
0h	CTL	制御	CTL レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	EVFLAGS	イベントフラグ、RTC ステータス	EVFLAGS レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	SEC	秒カウンタ値、整数部	SEC レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	SUBSEC	秒カウンタ値、小数部	SUBSEC レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	SUBSECINC	サブ秒インクリメント	SUBSECINC レジスタ (オフセット = 10h) [リセット = 00800000h]
14h	CHCTL	チャネル構成	CHCTL レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	CH0CMP	チャネル 0 比較値	CH0CMP レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	CH1CMP	チャネル 1 比較値	CH1CMP レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	CH2CMP	チャネル 2 比較値	CH2CMP レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	CH2CMPINC	チャネル 2 比較値の自動インクリメント	CH2CMPINC レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	CH1CAPT	チャネル 1 キャプチャ値	CH1CAPT レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	SYNC	AON 同期	SYNC レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	時間	現在のカウンタ値	TIME レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	SYNCLF	SCLK_LF への同期	SYNCLF レジスタ (オフセット = 34h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 16-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 16-2. AON_RTC アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

16.4.1.1 CTL レジスタ (オフセット = 0h) [リセット = 00000000h]

図 16-2 に、CTL を示し、表 16-3 に、その説明を示します。

概略表に戻ります。

制御
このレジスタには、RTC を構成するための各種ビットフィールドが含まれています
RTL 名 = CONFIG

図 16-2. CTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み					COMB_EV_MASK		
R-0h					R/W-0h		
15	14	13	12	11	10	9	8
予約済み				EV_DELAY			
R-0h				R/W-0h			
7	6	5	4	3	2	1	0
リセット	予約済み				RTC_4KHZ_EN	RTC_UPD_EN	EN
W1C-0h	R-0h				R/W-0h	R/W-0h	R/W-0h

表 16-3. CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-16	COMB_EV_MASK	R/W	0h	結合イベントを形成する遅延イベントを選択するイベントマスク。 0h = 結合イベントにはどのイベントも選択されません。 1h = 結合イベントにチャネル 0 遅延イベントを使用 2h = 結合イベントにチャネル 1 遅延イベントを使用 4h = 結合イベントにチャネル 2 遅延イベントを使用
15-12	予約済み	R	0h	予約済み
11-8	EV_DELAY	R/W	0h	遅延イベントを生成するまで待機する、SCLK_LF クロック サイクル数。(全 RTC チャネルに共通の設定) 遅延イベントは以下のように遅延されます 0h = 遅延イベントの遅延なし 1h = 1 クロック サイクルの遅延 2h = 2 クロック サイクルの遅延 3h = 4 クロック サイクルの遅延 4h = 8 クロック サイクルの遅延 5h = 16 クロック サイクルの遅延 6h = 32 クロック サイクルの遅延 7h = 48 クロック サイクルの遅延 8h = 64 クロック サイクルの遅延 9h = 80 クロック サイクルの遅延 Ah = 96 クロック サイクルの遅延 Bh = 112 クロック サイクルの遅延 Ch = 128 クロック サイクルの遅延 Dh = 144 クロック サイクルの遅延
7	リセット	W1C	0h	RTC カウンタ リセット。 このビットに 1 を書き込むと、RTC カウンタがリセットされます。 リセットが有効になると、このビットはクリアされます
6-3	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 16-3. CTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	RTC_4KHZ_EN	R/W	0h	RTC_4KHZ は 4KHz のリファレンス出力で、SUBSEC.VALUE ビット 19 から取り出され、AUX タイマで使用されます。 0:RTC_4KHZ 信号は 0 に固定 1:RTC_4KHZ は有効 (RTC が有効な EN である場合)
1	RTC_UPD_EN	R/W	0h	RTC_UPD は、無線タイマの同期に使用する 16KHz 信号です。16KHz は SCLK_LF を 2 分周した値です 0:RTC_UPD 信号は 0 に固定 1:RTC_UPD 信号は 16kHz でトグル
0	EN	R/W	0h	RTC カウンタを有効化 0:停止 (フリーズ) 1:動作時

Copyright © 2026 Texas Instruments Incorporated

16.4.1.2 EVFLAGS レジスタ (オフセット = 4h) [リセット = 00000000h]

EVFLAGS は図 16-3 に提示し、表 16-4 で説明しています。

概略表に戻ります。

イベント フラグ、RTC ステータス
このレジスタには、3 つの RTC チャネルからのイベント フラグが含まれています。各フラグは、対応するビットフィールドに「1」を書き込むとクリアされます。

図 16-3. EVFLAGS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															CH2
R-0h															R/W1C-0h
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み							CH1	予約済み							CH0
R-0h							R/W1C-0h	R-0h							R/W1C-0h

表 16-4. EVFLAGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16	CH2	R/W1C	0h	チャネル 2 イベント フラグ。CHCTL.CH2_EN = 1 で、RTC 値が CH2CMP 値と一致または超える場合に設定します。 チャネルがイネーブルで、CH2CMP に書き込む新しい値が次の RTC 値と過去 1 秒の間の任意の時刻と一致していれば、そのイベントはできるだけ早く発生するようスケジュールされます。 1 を書き込むと、このフラグがクリアされます。 AUX_SCE は、AUX_EVCTL:EVSTAT2.AON_RTC_CH2 でフラグを読み取り、AUX_SYSIF:RTCEVCLR.RTC_CH2_EV_CLR でフラグをクリアできます。
15-9	予約済み	R	0h	予約済み
8	CH1	R/W1C	0h	チャネル 1 イベント フラグ。CHCTL.CH1_EN = 1 で、次のいずれかの場合に設定します。 - CHCTL.CH1_CAPT_EN = 0 で RTC 値が CH1CMP の値と一致または超える場合。 - CHCTL.CH1_CAPT_EN = 1 でキャプチャが発生した場合。 チャネルがイネーブルかつ比較モードで、CH1CMP に書き込む新しい値が次の RTC 値と過去 1 秒の間の任意の時刻と一致していれば、そのイベントはできるだけ早く発生するようスケジュールされます。 1 を書き込むと、このフラグがクリアされます。
7-1	予約済み	R	0h	予約済み
0	CH0	R/W1C	0h	チャネル 0 イベント フラグ。CHCTL.CH0_EN = 1 で、RTC 値が CH0CMP 値と一致または超える場合に設定します。 チャネルがイネーブルで、CH0CMP に書き込む新しい値が次の RTC 値と過去 1 秒の間の任意の時刻と一致していれば、そのイベントはできるだけ早く発生するようスケジュールされます。 1 を書き込むと、このフラグがクリアされます。

Copyright © 2026 Texas Instruments Incorporated

16.4.1.3 SEC レジスタ (オフセット = 8h) [リセット = 00000000h]

図 16-4 に、SEC を示し、表 16-5 に、その説明を示します。

概略表に戻ります。

秒カウンタ値、整数部

図 16-4. SEC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値																															
R/W-0h																															

表 16-5. SEC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	値	R/W	0h	リアルタイム クロックを秒単位で表す符号なし整数。 このレジスタを読み取ると、SUBSEC.VALUE の内容が同時にラッチされます。最初にこのレジスタを、次に SUBSEC レジスタを読み取ると、結合したリアルタイム クロックの一貫した読み取り値が取得できます。

Copyright © 2026 Texas Instruments Incorporated

16.4.1.4 SUBSEC レジスタ (オフセット = Ch) [リセット = 00000000h]

図 16-5 に、SUBSEC を示し、表 16-6 に、その説明を示します。

概略表に戻ります。

秒カウンタ値、小数部

図 16-5. SUBSEC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値																															
R/W-0h																															

表 16-6. SUBSEC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	値	R/W	0h	SEC レジスタを読み取った時点でのリアルタイム クロックを小数秒 (VALUE/2^{32} 秒) で表す符号なし整数。 例: - 0x0000_0000 = 0.0 秒 - 0x4000_0000 = 0.25 秒 - 0x8000_0000 = 0.5 秒 - 0xC000_0000 = 0.75 秒

Copyright © 2026 Texas Instruments Incorporated

16.4.1.5 SUBSECINC レジスタ (オフセット = 10h) [リセット = 00800000h]

SUBSECINC は図 16-6 に提示し、表 16-7 で説明しています。

概略表に戻ります。

サブ秒インクリメント
SCLK_LFclock サイクルごとに SUBSEC.VALUE に加算される値。

図 16-6. SUBSECINC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								VALUEINC																							
R-0h								R-00800000h																							

表 16-7. SUBSECINC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-0	VALUEINC	R	00800000h	この値は、32768Hz からオフセットしている SCLK_LF クロックを補償します。 補償値は 2^{38} / 周波数として得られます。ここで周波数は SCLK_LF クロック周波数 (単位:ヘルツ) です この値は各サイクルで SUBSEC.VALUE に加算され、そのキャリーは SEC.VALUE に加算されます。加算を実行するため、ビット [23:6] は SUBSEC.VALUE ビット [17:0] に揃えられます。残りのビット [5:0] は非表示の 6 ビット レジスタに累積され、オーバーフロー時に前述の加算にキャリーを生成します。 デフォルト値は正確に 1/32768 秒という増分に相当します。 注:このレジスタは読み出し専用です。レジスタ値の変更は、レジスタ AUX_SYSIF:RTCSUBSECINC0、AUX_SYSIF:RTCSUBSECINC1、AUX_SYSIF:RTCSUBSECINCCTL を使用して行う必要があります

Copyright © 2026 Texas Instruments Incorporated

16.4.1.6 CHCTL レジスタ (オフセット = 14h) [リセット = 00000000h]

図 16-7 に、CHCTL を示し、表 16-8 に、その説明を示します。

概略表に戻ります。

チャネル構成

図 16-7. CHCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み					CH2_CONT_EN	予約済み	CH2_EN
R-0h					R/W-0h	R-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み						CH1_CAPT_EN	CH1_EN
R-0h						R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み							CH0_EN
R-0h							R/W-0h

表 16-8. CHCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18	CH2_CONT_EN	R/W	0h	チャネル 2 の連続動作を有効に設定
17	予約済み	R	0h	予約済み
16	CH2_EN	R/W	0h	RTC チャネル 2 有効化 0:RTC チャネル 2 を無効化 1:RTC チャネル 2 を有効化
15-10	予約済み	R	0h	予約済み
9	CH1_CAPT_EN	R/W	0h	チャネル 1 モードを設定 0:比較モード (デフォルト) 1:キャプチャ モード
8	CH1_EN	R/W	0h	RTC チャネル 1 有効化 0:RTC チャネル 1 を無効化 1:RTC チャネル 1 を有効化
7-1	予約済み	R	0h	予約済み
0	CH0_EN	R/W	0h	RTC チャネル 0 有効化 0:RTC チャネル 0 を無効化 1:RTC チャネル 0 を有効化

Copyright © 2026 Texas Instruments Incorporated

16.4.1.7 CH0CMP レジスタ (オフセット = 18h) [リセット = 00000000h]

図 16-8 に、CH0CMP を示し、表 16-9 に、その説明を示します。

概略表に戻ります。

チャネル 0 比較値

図 16-8. CH0CMP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値																															
R/W-0h																															

表 16-9. CH0CMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	値	R/W	0h	RTC チャネル 0 比較値。 ビット 31 ～ 16 は比較値の秒を、ビット 15 ～ 0 はサブ秒を表します。 比較値は、リアルタイム クロック レジスタの SEC.VALUE (15:0) と SUBSEC.VALUE (31:16) の値と比較されます。チャネル 0 イベントは、{SEC.VALUE(15:0)、SUBSEC.VALUE (31:16)} が比較値に達するか、または超えたときに生成されます。 このレジスタに書き込むと、新しい比較値が過去 1 秒から現在までのリアルタイム クロック値と一致した場合に、即時 (*) イベントがトリガされることがあります。 例: RTC 開始から 5.5 秒後に比較イベントを生成するには、この値を 0x0005_8000 に設定します (*) イベントが発生するまでに、同期により最大 1 SCLK_LF クロック サイクルを要することがあります。

Copyright © 2026 Texas Instruments Incorporated

16.4.1.8 CH1CMP レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 16-9 に、CH1CMP を示し、表 16-10 に、その説明を示します。

概略表に戻ります。

チャネル 1 比較値

図 16-9. CH1CMP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値																															
R/W-0h																															

表 16-10. CH1CMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	値	R/W	0h	RTC チャネル 1 比較値。 ビット 31 ～ 16 は比較値の秒を、ビット 15 ～ 0 はサブ秒を表します。 比較値は、リアルタイム クロック レジスタの SEC.VALUE (15:0) と SUBSEC.VALUE (31:16) の値と比較されます。チャネル 0 イベントは、{SEC.VALUE(15:0)、SUBSEC.VALUE (31:16)} が比較値に達するか、または超えたときに生成されます。 このレジスタに書き込むと、新しい比較値が過去 1 秒から現在までのリアルタイム クロック値と一致した場合に、即時 (*) イベントがトリガされることがあります。 例: RTC 開始から 5.5 秒後に比較イベントを生成するには、この値を 0x0005_8000 に設定します (*) イベントが発生するまでに、同期により最大 1 SCLK_LF クロック サイクルを要することがあります。

Copyright © 2026 Texas Instruments Incorporated

16.4.1.9 CH2CMP レジスタ (オフセット = 20h) [リセット = 00000000h]

図 16-10 に、CH2CMP を示し、表 16-11 に、その説明を示します。

概略表に戻ります。

チャネル 2 比較値

図 16-10. CH2CMP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値																															
R/W-0h																															

表 16-11. CH2CMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	値	R/W	0h	RTC チャネル 2 比較値。 ビット 31 ～ 16 は比較値の秒を、ビット 15 ～ 0 はサブ秒を表します。 比較値は、リアルタイム クロック レジスタの SEC.VALUE (15:0) と SUBSEC.VALUE (31:16) の値と比較されます。チャネル 0 イベントは、{SEC.VALUE(15:0)、SUBSEC.VALUE (31:16)} が比較値に達するか、または超えたときに生成されます。 このレジスタに書き込むと、新しい比較値が過去 1 秒から現在までのリアルタイム クロック値と一致した場合に、即時 (*) イベントがトリガされることがあります。 例: RTC 開始から 5.5 秒後に比較イベントを生成するには、この値を 0x0005_8000 に設定します (*) イベントが発生するまでに、同期により最大 1 SCLK_LF クロック サイクルを要することがあります。

Copyright © 2026 Texas Instruments Incorporated

16.4.1.10 CH2CMPINC レジスタ (オフセット = 24h) [リセット = 00000000h]

図 16-11 に、CH2CMPINC を示し、表 16-12 に、その説明を示します。

概略表に戻ります。

チャネル 2 比較値の自動インクリメント
このレジスタは主に、[AUX_EVCTL.EVSTAT0.AON_RTC] イベントによって AUX_SCE モジュールの周期的ウェークアップを生成するために使用します。

図 16-11. CH2CMPINC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値																															
R/W-0h																															

表 16-12. CH2CMPINC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	値	R/W	0h	CHCTL.CH2_CONT_EN を設定している場合、各チャネル 2 比較イベントでこの値が CH2CMP.VALUE に加算されます。

Copyright © 2026 Texas Instruments Incorporated

16.4.1.11 CH1CAPT レジスタ (オフセット = 28h) [リセット = 00000000h]

図 16-12 に、CH1CAPT を示し、表 16-13 に、その説明を示します。

概略表に戻ります。

チャネル 1 のキャプチャ値
CHCTL.CH1_EN = 1 かつ CHCTL.CH1_CAPT_EN = 1 の場合、AON_EVENT:RTCSEL で選択されたイベントの各立ち上がりエッジでキャプチャが発生します。

図 16-12. CH1CAPT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEC																SUBSEC															
R-0h																R-0h															

表 16-13. CH1CAPT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SEC	R	0h	キャプチャ時の SEC.VALUE ビット 15:0 の値。
15-0	SUBSEC	R	0h	キャプチャ時の SUBSEC.VALUE ビット 31:16 の値。

Copyright © 2026 Texas Instruments Incorporated

16.4.1.12 SYNC レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 16-13 に、SYNC を示し、表 16-14 に、その説明を示します。

概略表に戻ります。

AON 同期
このレジスタは、MCU と AON ドメイン全体との同期に使用します。

図 16-13. SYNC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							WBUSY
R-0h							R/W-0h

表 16-14. SYNC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	WBUSY	R/W	0h	このレジスタは常に 0 を返します。ただし、MCU と AON の間の未処理の書き込み要求が無くなるまで、値を返しません 注: 読み取りの前にこのレジスタに書き込むと、次の SCLK_MF エッジまで待機が発生します。これは、スリープからウェークアップするときに、AON からの読み取りレジスタを同期する場合に推奨します そうしないと、スリープ前の AON 値を読み取る可能性があります

Copyright © 2026 Texas Instruments Incorporated

16.4.1.13 TIME レジスタ (オフセット = 30h) [リセット = 00000000h]

図 16-14 に、TIME を示し、表 16-15 に、その説明を示します。

概略表に戻ります。

現在のカウンタ値

図 16-14. TIME レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEC_L																SUBSEC_H															
R-0h																R-0h															

表 16-15. TIME レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SEC_L	R	0h	SEC レジスタの下位ハーフワードを返します。
15-0	SUBSEC_H	R	0h	SUBSEC レジスタの上位ハーフワードを返します。

Copyright © 2026 Texas Instruments Incorporated

16.4.1.14 SYNCLF レジスタ (オフセット = 34h) [リセット = 00000000h]

図 16-15 に、SYNCLF を示し、表 16-16 に、その説明を示します。

概略表に戻ります。

SCLK_LF への同期
このレジスタは、MCU を SCLK_LF の正または負のエッジに同期させる際に使用します。

図 16-15. SYNCLF レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							PHASE
R-0h							R-0h

表 16-16. SYNCLF レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	PHASE	R	0h	このビットは常に SCLK_LF の位相を返します。SCLK_LF の正または負のエッジが検出されるまで、戻り値は遅延します。 0:SCLK_LF の立ち下がりエッジ 1:SCLK_LF の立ち上がりエッジ

Copyright © 2026 Texas Instruments Incorporated

Chapter 17

ウォッチドッグ タイマ (WDT)

ウォッチドッグ タイマ (WDT) を使用すると、ソフトウェア エラーや外部デバイスの障害が原因でシステムに障害が発生して、期待される応答ができない場合に、制御を回復できます。WDT は、ノンマスカブル割り込み (NMI)、通常の割り込み、またはタイムアウト値に達した際のリセットを生成できます。さらに、WDT は、最初のタイムアウト時にマイコン (MCU) への割り込みを発生し、2 番目のタイムアウト時にリセット信号を生成するように構成できます。

17.1 概要 1439
17.2 機能説明 1439
17.3 初期化および構成 1440
17.4 WDT レジスタ 1440

Copyright © 2026 Texas Instruments Incorporated

17.1 概要

WDT には次のような特長があります。

- プログラマブルなロード レジスタを備えた 32 ビット ダウン カウンタ
- 割り込みマスクとオプションの NMI 機能を備えた、プログラマブルな割り込み生成ロジック
- 暴走したソフトウェアから保護するためのロック レジスタ
- 有効 / 無効を設定可能なリセット生成ロジック
- デバッグ中にマイコンが CPU Halt フラグをアサートしたとき、ユーザーが有効化できる停止機能

WDT は、最初のタイムアウト時にコントローラへの割り込みを生成し、2 回目のタイムアウト時にリセット信号を生成するように構成できます。WDT を設定したら、ロック レジスタに書き込むことで、タイマ構成が誤って変更されるのを防止できます。

WDT から駆動できる割り込みは 2 つあります。割り込みの選択は、WDT:CTL.INTTYPE レジスタを使って制御されます。

17.2 機能説明

WDT モジュールは、有効化後に 32 ビット カウンタがゼロに到達すると最初のタイムアウト信号を生成します。また、カウンタを有効化すると WDT 割り込みも有効になります。図 17-1 に、WDT のブロック図を示します。

ウォッチドッグ割り込みは、WDT:CTL.INTTYPE レジスタを使用してノンマスカブル割り込み (NMI) として設定できます。最初のタイムアウト イベント後、32 ビット カウンタは WDT ロード レジスタ (WDT:LOAD) の値で再ロードされ、タイマはその値から再びカウントダウンを開始します。WDT 設定がソフトウェアによって誤って変更されるのを防ぐため、WDT:LOCK レジスタに任意の値を書き込むことでウォッチドッグ レジスタへの書き込みアクセスをロックできます。WDT のロックを解除するには、WDT:LOCK レジスタに値 0x1ACC E551 を書き込みます。

最初のタイムアウト割り込みがクリアされる前にタイマが再びゼロ状態までカウントダウンし、かつ WDT:CTL.RESEN レジスタが 1 に設定されてリセット信号が有効になっている場合、WDT はシステムに対してリセット信号をアサートします。32 ビット カウンタが二回目のタイムアウトに到達する前に割り込みがクリアされた場合、32 ビット カウンタは WDT:LOAD レジスタの値で再ロードされ、その値からカウントが再開されます。

WDT カウンタのカウント中に WDT:LOAD レジスタへ新しい値が書き込まれた場合、カウンタはその新しい値で再ロードされ、カウントを継続します。

WDT:LOAD レジスタへの書き込みでは、アクティブな割り込みはクリアされません。ウォッチドッグ割り込みクリアレジスタ (WDT:ICR) に書き込むことで、割り込みをクリアする必要があります。ウォッチドッグ モジュールの割り込みおよびリセット生成は、必要に応じて有効または無効にできます。割り込みが再度有効化されると、32 ビット カウンタはロード レジスタの値でプリロードされます (前回のカウンタ値ではありません)。

注

ウォッチドッグによってシステム内でウォーム リセットが発生します。このウォーム リセットは ICEPick によってブロック可能であり、デバッグに有用です。ICEPick がアサートされると、ウォーム リセットはシステムの他の部分にはブロックされますが、ウォッチドッグ自身はリセットされます。

Copyright © 2026 Texas Instruments Incorporated

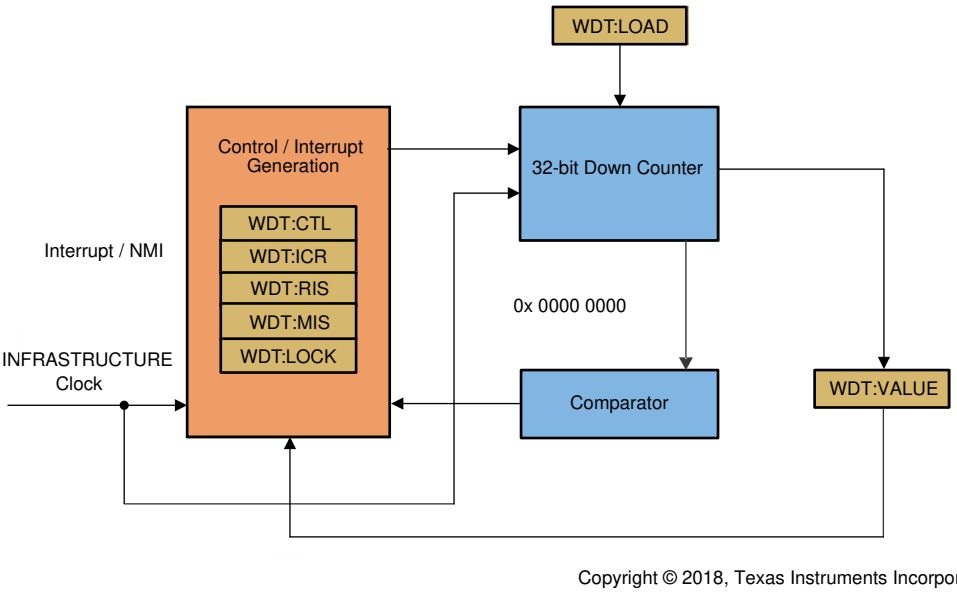


図 17-1. WDT のブロック図

17.3 初期化および構成

WDT を使用するには、そのペリフェラル クロックを有効にする必要があります。WDT は、MCU PRCM モジュールが供給する INFRASTRUCTURE クロックで動作します。その後、WDT は次のシーケンスで設定されます。

1. WDT:LOAD レジスタに、目的のタイマロード値をロードします。
2. ウォッチドッグをシステム リセットをトリガするように設定している場合、WDT:CTL.RESEN ビットをセットします。
3. WDT を有効化するために、WDT:CTL.INTEN レジスタ ビットをセットします。
4. WDT:LOCK レジスタを使用して WDT モジュールをロックします。

17.4 WDT レジスタ

Copyright © 2026 Texas Instruments Incorporated

17.4.1 WDT レジスタ

表 17-1 に、WDT レジスタのメモリ マップト レジスタを示します。表 17-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 17-1. WDT レジスタ

オフセット	略称	レジスタ名	セクション
0h	LOAD	構成	LOAD レジスタ (オフセット = 0h) [リセット = FFFFFFFFh]
4h	値	現在のカウント値	VALUE レジスタ (オフセット = 4h) [リセット = FFFFFFFFh]
8h	CTL	制御	CTL レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	ICR	割り込みクリア	ICR レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	RIS	未処理割り込みステータス	RIS レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	MIS	マスク割り込みステータス	MIS レジスタ (オフセット = 14h) [リセット = 00000000h]
418h	TEST	テスト モード	TEST レジスタ (オフセット = 418h) [リセット = 00000000h]
41Ch	INT_CAUS	割り込み要因テスト モード	INT_CAUS レジスタ (オフセット = 41Ch) [リセット = 00000000h]
C00h	LOCK	ロック	LOCK レジスタ (オフセット = C00h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 17-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 17-2. WDT のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

17.4.1.1 LOAD レジスタ (オフセット = 0h) [リセット = FFFFFFFFh]

図 17-2 に、LOAD を示し、表 17-3 に、その説明を示します。

概略表に戻ります。

構成

図 17-2. LOAD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDTLOAD																															
R/W-FFFFFFFFh																															

表 17-3. LOAD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	WDTLOAD	R/W	FFFFFFFFh	このレジスタは、32 ビット カウンタが使用する 32 ビットのインターバル値です。このレジスタに書き込むと、値が即座にロードされ、カウンタが新しい値からカウントダウンするように再起動されます。このレジスタに 0x0000.0000 がロードされると、割り込みが即座に生成されます。

Copyright © 2026 Texas Instruments Incorporated

17.4.1.2 VALUE レジスタ (オフセット = 4h) [リセット = FFFFFFFFh]

図 17-3 に、VALUE を示し、表 17-4 に、その説明を示します。

概略表に戻ります。

現在のカウント値

図 17-3. VALUE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDTVALUE																															
R-FFFFFFFFh																															

表 17-4. VALUE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	WDTVALUE	R	FFFFFFFFh	このレジスタには、タイマの現在のカウント値が含まれます。

Copyright © 2026 Texas Instruments Incorporated

17.4.1.3 CTL レジスタ (オフセット = 8h) [リセット = 00000000h]

図 17-4 に、CTL を示し、表 17-5 に、その説明を示します。

概略表に戻ります。

制御

図 17-4. CTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					INTTYPE	RESEN	INTEN
R-0h					R/W-0h	R/W-0h	R/W-0h

表 17-5. CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	INTTYPE	R/W	0h	WDT 割り込みタイプ 0:WDT 割り込みは標準割り込みです。 1:WDT 割り込みはノンマスカブル割り込みです。 0h = マスカブル割り込み 1h = ノンマスカブル割り込み
1	RESEN	R/W	0h	WDT リセット イネーブル。WDT リセット ソースの機能を定義します (有効の場合、PRCM:WARMRESET.WDT_STAT を参照) 0:ディスエーブル。 1:ウォッチドッグ リセット出力を有効化します。 0h = リセット出力は無効です 1h = リセット出力は有効です
0	INTEN	R/W	0h	WDT 割り込みイネーブル 0:割り込みイベントは無効です。 1:割り込みイベントは有効です。このビットは一度設定されると、ハードウェア リセットでのみクリアできます。 0h= 割り込みは無効です 1h= 割り込みは有効です

Copyright © 2026 Texas Instruments Incorporated

17.4.1.4 ICR レジスタ (オフセット = Ch) [リセット = 00000000h]

図 17-5 に、ICR を示し、表 17-6 に、その説明を示します。

概略表に戻ります。

割り込みクリア

図 17-5. ICR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDTICR																															
W-0h																															

表 17-6. ICR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	WDTICR	W	0h	このレジスタは、割り込みクリア レジスタです。このレジスタに値を書き込むと、WDT 割り込みがクリアされ、32 ビット カウンタがロード レジスタからリロードされます。

Copyright © 2026 Texas Instruments Incorporated

17.4.1.5 RIS レジスタ (オフセット = 10h) [リセット = 00000000h]

図 17-6 に、RIS を示し、表 17-7 に、その説明を示します。

概略表に戻ります。

未処理割り込みステータス

図 17-6. RIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							WDTRIS
R-0h							R-0h

表 17-7. RIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	WDTRIS	R	0h	このレジスタは、未処理割り込みステータス レジスタです。コントローラ割り込みがマスクされている場合、このレジスタを使って WDT 割り込みイベントを監視できます。 値の説明 0:WDT がタイムアウトしていません 1:WDT タイムアウト イベントが発生しています

Copyright © 2026 Texas Instruments Incorporated

17.4.1.6 MIS レジスタ (オフセット = 14h) [リセット = 00000000h]

図 17-7 に、MIS を示し、表 17-8 に、その説明を示します。

概略表に戻ります。

マスク割り込みステータス

図 17-7. MIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							WDTMIS
R-0h							R-0h

表 17-8. MIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	WDTMIS	R	0h	このレジスタは、マスク割り込みステータス レジスタです。このレジスタの値は、未処理割り込みビットと WDT 割り込みイネーブル ビット CTL.INTEN のロジカル AND です。 値の説明 0:WDT がタイムアウトしていないか、マスクされています。 1:マスクされていない WDT タイムアウト イベントが発生しています。

Copyright © 2026 Texas Instruments Incorporated

17.4.1.7 TEST レジスタ (オフセット = 418h) [リセット = 00000000h]

図 17-8 に、TEST を示し、表 17-9 に、その説明を示します。

概略表に戻ります。

テスト モード

図 17-8. TEST レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							STALL
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TEST_EN
R-0h							R/W-0h

表 17-9. TEST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	STALL	R/W	0h	WDT ストール イネーブル 0:デバッガによって CPU が停止した場合、WDT タイマはカウントを続行します。 1:デバッガによって CPU が停止した場合、WDT はカウントを停止します。CPU が再起動すると、WDT はカウントを再開します。 0h = STALL を無効化します 1h = STALL を有効化します
7-1	予約済み	R	0h	予約済み
0	TEST_EN	R/W	0h	テスト イネーブル ビット 0:外部リセットを有効化します 1:外部リセットの生成を無効化します。代わりに、INT_CAUS レジスタのビット 1 が設定され、割り込みが生成されます 0h = テスト モードが無効です 1h = テスト モードが有効です

Copyright © 2026 Texas Instruments Incorporated

17.4.1.8 INT_CAUS レジスタ (オフセット = 41Ch) [リセット = 00000000h]

図 17-9 に、INT_CAUS を示します。表 17-10 に、その説明を示します。

概略表に戻ります。

割り込み要因テスト モード

図 17-9. INT_CAUS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						CAUSE_RESET	CAUSE_INTR
R-0h						R-0h	R-0h

表 17-10. INT_CAUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	CAUSE_RESET	R	0h	割り込みの要因が、生成されて TEST.TEST_EN に起因してブロックされたリセットであることを示します (TEST.TEST_EN が設定されている場合のみ可能)。
0	CAUSE_INTR	R	0h	RIS.WDTRIS のレプリカ

Copyright © 2026 Texas Instruments Incorporated

17.4.1.9 LOCK レジスタ (オフセット = C00h) [リセット = 00000000h]

図 17-10 に、LOCK を示し、表 17-11 に、その説明を示します。

概略表に戻ります。

ロック

図 17-10. LOCK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDTLOCK																															
R/W-0h																															

表 17-11. LOCK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	WDTLOCK	R/W	0h	WDT ロック: 値 0x1ACC.E551 を書き込むと、ウォッチドッグ レジスタの書き込みアクセスがロック解除されます。他の値を書き込むと、ロックが再適用され、レジスタの更新が防止されます (注: TEST.TEST_EN ビットはロックできません)。 このレジスタを読み取ると、次の値が返されます。 0x0000.0000: ロック解除 0x0000.0001: ロック済み

Copyright © 2026 Texas Instruments Incorporated

Chapter 18

真性乱数生成器 (TRNG)

真性乱数生成器 (TRNG) モジュールは、キー、初期化ベクトル (IV)、およびその他の乱数要件を生成することを目的として、完全に予測不可能なノイズ源を提供します。TRNG は予測不可能な出力を生成する 24 個のリング発振器を基盤としており、その出力は複雑な非線形組み合わせ回路に供給されます。この出力データの後処理は、暗号学的に安全なランダム データを取得するために必要です。一般的なアプリケーションは (それらには限定されませんが) 以下のようなものです。

- 暗号化キー マテリアルの生成
- 初期化ベクトルの生成
- Cookie と Nonce の生成
- 統計サンプリング
- 通信プロトコルの再試行タイマ
- ノイズ生成

18.1 概要 1452
18.2 ブロック図 1452
18.3 TRNG ソフトウェア リセット 1453
18.4 割り込み要求 1453
18.5 TRNG 動作の説明 1454
18.6 TRNG の Low レベル プログラミング ガイド 1456
18.7 TRNG レジスタ 1458

Copyright © 2026 Texas Instruments Incorporated

18.1 概要

TRNG の特長は次のとおりです。

- TRNG は、24 個のリング発振器 (ショット ノイズ) に基づいて、エントロピーを生成します。このエントロピーを生成するには、システムが最初のランダム出力を生成するために、最小 2^8 システム クロック サイクル (基準として) を必要とします。その後、TRNG は各後続の 64 ビット乱数を生成するために、最小 2^6 システム クロック サイクルを必要とします。
- 起動時間とエントロピー再生成時間は、2^8 ～ 2^{24} サンプリング クロック サイクルの範囲で制御できます。エントロピー再生成時間は、エントロピー累積時間を基本的なエントロピー生成レートに合わせるために、2^6 ～ 2^{24} サンプリング クロック サイクルの範囲で制御できます。エントロピー再生成時間は、乱数生成の速度と、それらの乱数のそれぞれのエントロピーの量とのトレードオフで調整することができます。
- TRNG アーキテクチャは、線形フィードバック シフト レジスタ (LFSR) と非線形エントロピー ハッシャーとの関連付けに基づきます。
- 乱数値は、64 ビットの読み取り専用レジスタを通じてアプリケーションからアクセスできます。レジスタを読み出すと、TRNG は直ちに新しい値を生成し、その後、準備ができた時点で出力レジスタにシフトインされます。
- READY 値が最大タイムアウト期間内に読み出されない場合、TRNG はアイドル モードに設定されます。
- TRNG は、連続サンプリングされたビット数をチェックする内蔵セルフ テスト機能を備えており、FIPS 140 で必要とされる統計的堅牢性を実現します。システム アラームは、このテストからのフィードバックに基づいて生成されます。
- 内部省電力モードは、すでに生成されたエントロピーを適切に管理するように構築されています。
- 割り込みチャネルにより、32 ビットのデータ ブロックの転送が可能になります。

18.2 ブロック図

TRNG コアは、TRNG に供給されるシステム クロックによって非同期サンプリングされたときに、予測不可能なジッタ出力を生成するデュアルショット ノイズ ジェネレータを使用します。ショット ノイズ ジェネレータからの出力は、複雑な非線形組み合わせ回路 (ミキサ) に供給され、最終的な TRNG 出力を生成します (図 18-1 を参照)。

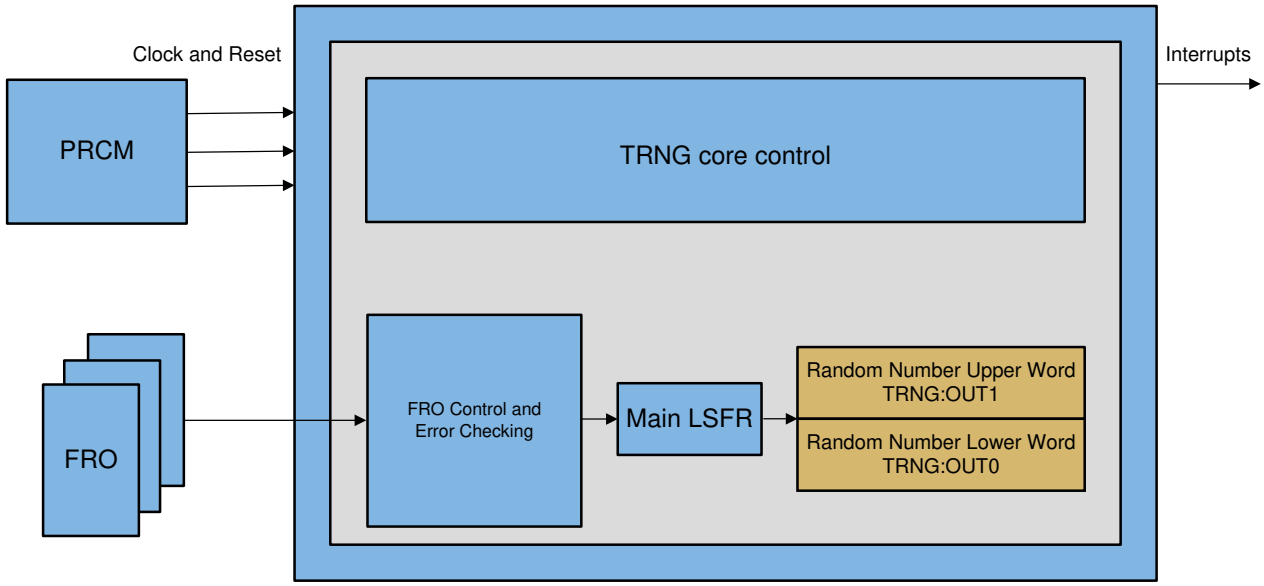


図 18-1. 乱数生成器のブロック図

Copyright © 2026 Texas Instruments Incorporated

TRNG コアは、以下の 2 つのパートで構成されます。

- 第 1 のパートには FRO が含まれており、出力信号は一定の間隔でサンプリングされます。FRO を互いに非同期にし、さらにサンプリング クロックとも非同期にすることで、その動作を完全に非決定的なものにします。各 FRO は、FRO から出力される反復パターンをチェックするエラー検出回路を備えています。繰り返しパターンが検出された場合、FRO がサンプリング クロックにロックした可能性があります。これにより、その FRO が生成するエントロピーの量は大幅に減少します (この事象は FRO エラー イベントとして通知されます)。
- 第 2 のパートはエントロピー蓄積回路であり、XOR ツリーを使用してサンプリングされた FRO クロック出力を結合し、81 ビットの LFSR を使用してエントロピーを蓄積します (TRNG:LFSR0、TRNG:LFSR1、および TRNG:LFSR2 レジスタが、81 ビットのメイン エントロピー蓄積 LFSR を提供します)。

真のエントロピー ソースは、あらかじめ決められた数のフリーランニング発振器 (FRO) に基づいています。ショット ノイズ (の大部分) に起因するタイミング ジッタの蓄積は、各 FRO の出力遷移に対して不確定間隔を生じさせます。不確定区間内でサンプリングすると、少量のエントロピーが発生し、LFSR に蓄積されます。複数の FRO を並列に使用したエントロピー生成により、1 つの FRO を使用する場合よりもはるかに高速なエントロピー蓄積が可能になります。

18.3 TRNG ソフトウェア リセット

モジュールのソフトウェア リセットは、TRNG:SWRESET.RESET レジスタに 1 を書き込むことで実行できます。ソフトウェア リセットが完了すると、TRNG:SWRESET.RESET レジスタは自動的に 0 にリセットされます。TRNG:SWRESET.RESET レジスタが 0 であることをポーリングすることで、ソフトウェアはリセットが完了したことを確認できます。TRNG 動作を実行する前に、ソフトウェア リセットを完了する必要があります。

18.4 割り込み要求

データが送信可能になったとき (またはアラームがトリガされたとき) に、割り込み要求 TRNG_IRQ が生成されます。表 18-1 に、モジュール割り込みを引き起こす可能性のあるイベント フラグとそのマスクを示します。

表 18-1. イベント

イベント フラグ	イベント マスク	説明
TRNG:IRQSTAT.STAT	TRNG:IRQFLAGMASK.RDY および TRNG:IRQFLAGMASK. SHUTDOWN_OVF	使用されませんが、利用可能な 2 つの割り込みの組み合わせステータスを読み取ることができます
TRNG:IRQFLAGSTAT.RDY	TRNG:IRQFLAGMASK.RDY	1 の場合、TRNG:OUT1 レジスタおよび TRNG:OUT0 レジスタにデータを利用できます。クリアするには、TRNG:IRQFLAGCLR.RDY を使用します。
TRNG:IRQFLAGSTAT. SHUTDOWN_OVF	TRNG:IRQFLAGMASK. SHUTDOWN_OFV	1 の場合、2 回目のエラー イベント後にシャットダウンされた FRO の数 (TRNG:ALARMSTOP レジスタの 1 ビット数) が TRNG:ALARMCNT.SHUTDOWN_THR レジスタで設定されたしきい値を超えたことを示します。クリアするには、TRNG:IRQFLAGCLR.SHUTDOWN_OVF レジスタを使用します。

TRNG:ALARMCNT レジスタは、TRNG:ALARMMASK および TRNG:ALARMSTOP レジスタとともに使用することで、FRO サイクルやサンプル サイクルのロックが問題になっているかどうかをホストが判断するために使用できます。

機能モードでのロック検出は、各 FRO のサンプリングされた出力を使用して実行されます。最大 4 サンプル長までの繰り返しパターンが、TRNG:ALARMCNT:ALARM_THR レジスタで定義されたサンプル数の間連続して検出された場合、FRO アラーム イベントが宣言されます。アラーム イベントが発生すると、該当する FRO を特定するために TRNG:ALARMMASK レジスタ内のビットがセットされます。TRNG:ALARMMASK レジスタ内のそのビットがすでにセットされていた場合、対応するビットが TRNG:ALARMSTOP レジスタにセットされ、その FRO は以降のアラーム イベントを防ぐために停止されます。TRNG:ALARMMASK レジスタ ビットがまだセットされていなかった場合、ロックを解除するために FRO は自動的に再起動されます。しかし、デチューンして再度有効化した後に FRO が再びロックした場合、ソフトウェアはその FRO を非アクティブにしたままにする必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

TRNG:ALARMCNT.SHUTDOWN_CNT レジスタのビット フィールドは、停止された FRO の数を保持します (正確には、TRNG:ALARMSTOP レジスタの 1 ビット数をカウントした値)。TRNG:ALARMCNT.SHUTDOWN_THR レジスタのビット フィールドは、SHUTDOWN_OVF 割り込みを生成するためのしきい値を設定できます。TRNG:ALARMCNT.SHUTDOWN_CNT レジスタの値が TRNG:ALARMCNT.SHUTDOWN_THR レジスタの値を超えると、TRNG:IRQFLAGSTAT.SHUTDOWN_OVF レジスタ ビットが 1 にセットされ、割り込み生成が使用できます。

18.5 TRNG 動作の説明

最初の乱数生成の前に、TRNG:CTL および TRNG:CFG0 レジスタに書き込んで、エントロピーの累積を開始する必要があります。エントロピーは、ランダム値に関連する不確実性の尺度です。ランダム値は、64 ビットの読み取り専用レジスタ TRNG:OUT0 および TRNG:OUT1 でアプリケーションからアクセスできます。レジスタが読み取られると、TRNG は新しい値を生成します。この値は TRNG:CFG0.MIN_REFILL_CYCLES レジスタのシステム クロック サイクルの後に利用可能となり、その後、出力レジスタにシフトインされます。ソフトウェアは、TRNG の動作に、次の 2 つの方法を使用できます。

- **監視モード**:ソフトウェアは TRNG:ALARMMASK レジスタを一定の間隔 (秒単位) でチェックします。そこでビットが設定されている場合、TRNG:ALARMSTOP レジスタもチェックして、複数のアラーム イベントにより FRO がシャットダウンされたかどうかを確認する必要があります。何もシャットダウンされていない場合、TRNG:ALARMMASK レジスタをクリアして、スプリアス アラーム イベントを除去できます。1 つ以上の FRO がシャットダウンされた場合、ソフトウェアは TRNG:FRODETUNE レジスタ内のそれらの FRO の遅延選択を変更して、それ以上のロックを防止できます。このタイプの動作では、TRNG:ALARMCNT.SHUTDOWN_THR レジスタは通常、低い値 (たとえば値 2) に設定され、SHUTDOWN_OVF 割り込みを使用して異常動作条件や FRO の故障を通知できます。
- **非監視モード**:ソフトウェアは TRNG:ALARMCNT.SHUTDOWN_THR レジスタを、修正措置が必要になる前にシャットダウンできる FRO 数に設定し、SHUTDOWN_OVF 割り込みを使用してそれらの修正措置を開始します (TRNG:ALARMMASK および TRNG:ALARMSTOP レジスタをクリアし、TRNG:FRODETUNE レジスタのビットをトグルします)。ソフトウェアは、これらの割り込みの間隔を追跡し続ける必要があります。頻繁に発生する場合は、異常な動作条件や FRO の故障を示しています。

18.5.1 TRNG シャットダウン

TRNG は様々な方法でシャットダウンすることができますが、必ずしもエントロピーを保存できるわけではありません。ここでは、各種のモードについて説明します。

最善の方法は、最後に生成された乱数を読み込まないことです。TRNG:CFG0 レジスタで定義されている MAX_REFILL 時間 (最大 2^{24} サイクル) の後、TRNG はアイドル モードに移行し、すべての FRO がオフになります。生成された値が読み取られると、TRNG は再び起動し、新しいランダム シードを生成します。これは、TRNG:CFG0.MIN_REFILL_CYCLES レジスタの時刻が経過した後に準備完了します。TRNG がアイドル モードのときは、モジュール クロックをオフにできます。エントロピーは乱数生成の間、保持されるため、モジュールのリセット (SW) は必要ありません。

TRNG をシャットダウンする別の方法は、モジュール クロックを停止することです。モジュール クロックを停止して TRNG をシャットダウンすることによって、エントロピーも保持されます (つまり、ランダム性には影響しません) が、FRO がまだ実行中である可能性があります。クロックはいつでも有効にでき、ランダム シードの生成が継続されます。モジュールのソフトリセットは必要ありません。

クロックが停止すると、TRNG にアクセスできず、バス フォルトが生成されます (相互接続内で)。

TRNG を必要としなくなったアプリケーションが、待機せずにディープ スリープ モードに移行する必要がある場合、アプリケーションは TRNG:CTL.TRNG_EN レジスタ ビットに 0 を書き込むことで、入力システム クロックをオフにできます。このようなシャットダウン後、新しい乱数を生成する前に、TRNG モジュールのソフト リセット (セクション 18.7.1 のレジスタの説明を参照) を実行する必要があります。これは、ランダム性を保証できないためです。このシャットダウン方法の欠点は、次の乱数の準備完了前にエントロピー累積時間が必要なことです。

Copyright © 2026 Texas Instruments Incorporated

18.5.2 TRNG アラーム

TRNG アラームが発生することがありますが、それはおそらく、FRO クロックからサンプリング クロック周波数への同期に起因すると思われます。サンプリング クロックは TRNG のシステム クロックと同じであり、FRO の発振周波数がこのクロックの倍数に近づきすぎると、周波数ロックにより同一位相での FRO クロックのサンプリング数が多くなりすぎて、繰り返しパターンが検出される可能性があります。このような繰り返しパターンが検出されると、そのカウントが TRNG:ALARMCNT.ALARM_THR レジスタで設定された制限値を超えて、アラーム イベントがトリガされます。この値を高くすると、アラームの数が制限されます。アラーム イベントが有効になる前のデフォルトのアラーム通知は 255 回です。

アラーム イベントがトリガーされると、関連する FRO は自動的にシャットダウンされ、エントロピーの累積に寄与することはできません。次に、ユーザーはこのイベントをどのように処理するかを決める必要があります。2 つのオプションがあります。

- FRO 発信周波数を変更する
- FRO をオフのままにする

最初のオプションでは、TRNG:FRODETUNE.FRO_MASK レジスタのビットを 1 に設定すると、関連する FRO の動作を約 5% 速くできます。これらのビットのいずれかの値は、対応する FRO がオフの場合にのみ変更できます (TRNG:FROEN レジスタの対応ビットに一時的に 0 を書き込むことで — アラームの場合、このビットはすでに 0 に設定されています)。値が更新されると、対応する FRO を再度有効にする必要があります。

2 番目のオプションは、デチューンの効果がなかったか、FRO が発振していない場合に使用します。特定の FRO で発生する新しいアラーム トリガを排除するため、TRNG:FROEN レジスタの対応するビットがオフ状態に保持されるように、この状態を保存する必要があります。

18.5.3 TRNG エントロピー

エントロピーは次の結果として定義されます。

- 有効になっている FRO の数 — 多ければ、エントロピーがより速く達成されます
- 累積されているサンプルの数 — 実行時間が長くなるとエントロピーが高くなります

より多くの FRO が有効になっていて、実行時間が長くなるほど (つまり、LSFR に保存されているサンプル数)、エントロピーは高くなります。

ランダム値を作成する際は、TRNG モジュールは最大周波数で動作する必要があります。

ランダムな値の生成時間は、TRNG:CTL.STARTUP_CYCLES レジスタ、TRNG:CFG0.MIN_REFILL_CYCLES レジスタ、または TRNG:CFG0.MAX_REFILL_CYCLES レジスタ、および TRNG:CFG0.SMPL_DIV レジスタで設定された値によって定義されます。これらすべてのレジスタの変更は、TRNG:CTL.TRNG_EN レジスタが 0 の場合にのみ実行できます。

TRNG:CFG0.SMPL_DIV レジスタは、FRO からサンプルを収集する頻度を定義します。デフォルト値 0 は、1 クロック サイクルごとにサンプルが取得されることを示します。最大値 0xF は、16 クロック サイクルごとに 1 サンプルを取得します。このデバイスでは、SAMPLE_DIV のすべての値が使用できるため、できるだけ小さく設定する必要があります。

作成された各シードが同じ量のエントロピーを持つには、起動時間と最小再充填時間が同一である必要があります。最小起動時間と最小再充填時間を使用することで、ビットあたりのエントロピーは非常に低くなります。すべての FRO が有効の場合、起動時間 5ms で 64 ビット エントロピーのワードが生成されます。

TRNG:CTL.STARTUP_CYCLES レジスタ、および TRNG:CFG0.MIN_REFILL_CYCLES または TRNG:CFG0.MAX_REFILL_CYCLES レジスタの低い値は、同期ワードや CRC 初期化などの安全性を確保する必要の無い使用においてランダム値を生成する場合にのみ使用する必要があります。より安全性の高い使用には、64 ビット エントロピー以上のエントロピーを定義する必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

18.6 TRNG の Low レベル プログラミング ガイド

このセクションでは、モジュールの構成と使用方法に関する Low レベルのハードウェア プログラミング手順について説明します。

18.6.1 初期化

18.6.1.1 インターフェイス モジュール

このセクションでは、デバイスのリセット後に TRNG を初めて使用する場合に、インターフェイス モジュールを初期化するための要件について説明します。表 18-2 に、インターフェイス モジュールの初期化を示します。

表 18-2. 周辺モジュールの初期化

インターフェイス モジュール	コメント
PRCM	TRNG モジュール インターフェイス クロックは有効でなければなりません。詳細については、セクション 7.8.2 の PRCM レジスタ (PRCM:PDCTL0.PERIPH_ON および PRCM:SECDMACLKGR.TRNG_CLK_EN) を参照してください 。
Arm® Cortex® -M4F	TRNG からの割り込みを有効化するには、NVIC の構成を行う必要があります。割り込みベースの通信にのみ必要です。
インターコネクト	TRNG と通信するためにはインターコネクトが有効化されている必要があります。これらのインターコネクトの有効化は、CPU が RUN、Sleep、Deep Sleeep のいずれのモードにあるか、DMA、I²S、RFCORE、Crypto エンジンの使用状況など、多くの設定に応じて PRCM によって処理されます。

18.6.1.2 TRNG メイン シーケンス

この手順では、パワーオン リセット (POR) 後に TRNG を初期化します。表 18-3 に、TRNG メイン初期化シーケンスを示します。

表 18-3. TRNG の初期化シーケンス

ステップ	レジスタ / ビット フィールド
SW リセットを実行する	TRNG:SWRESET.RESET
ポーリングによって SW が完了するのを待つ	TRNG:SWRESET.RESET
2 つのサンプル間の FRO クロック入力サイクル数を選択する	TRNG:CFG0.SMPL_DIV
モジュールの FRO に十分なエントロピーを収集し、最初のランダム値を生成するために取得するサンプル数を選択する	TRNG:CTL.STARTUP_CYCLES
モジュールの FRO でエントロピーを再生成し、それ以後のランダム値を生成するために取得する最小サンプル数を選択する	TRNG:CFG0.MIN_REFILL_CYCLES
モジュールの FRO でエントロピーを再生成し、それ以後のランダム値を生成するために取得する最大サンプル数を選択する 非アクティブ状態になった後に FRO をシャットダウンするためのタイムアウト期間も定義する	TRNG:CFG0.MAX_REFILL_CYCLES
目的の FRO が 5% 速く実行されるように設定する	TRNG:FRODETUNE.FRO_MASK
すべての FRO を有効にする	TRNG:FROEN.FRO_MASK
検出された繰り返しのパターンからアラーム イベントが発生するまでの最大サンプル数を選択する	TRNG:ALARMCNT.ALARM_THR
シャットダウンを許可する FRO の数にシャットダウンしきい値を設定する(1)	TRNG:ALARMCNT.SHUTDOWN_THR
有効にして開始する	TRNG:CTL.TRNG_EN

(1) この手順は、非監視モードの場合にのみ必要です。

Copyright © 2026 Texas Instruments Incorporated

18.6.1.3 TRNG の動作モード

このセクションでは、TRNG モジュールのさまざまな動作モードのフローについて説明します。

18.6.1.3.1 ポーリング モード

ポーリング モードでは、監視モードと監視なしモードの両方が利用できます。図 18-2 に、TRNG ポーリング モードを示します。

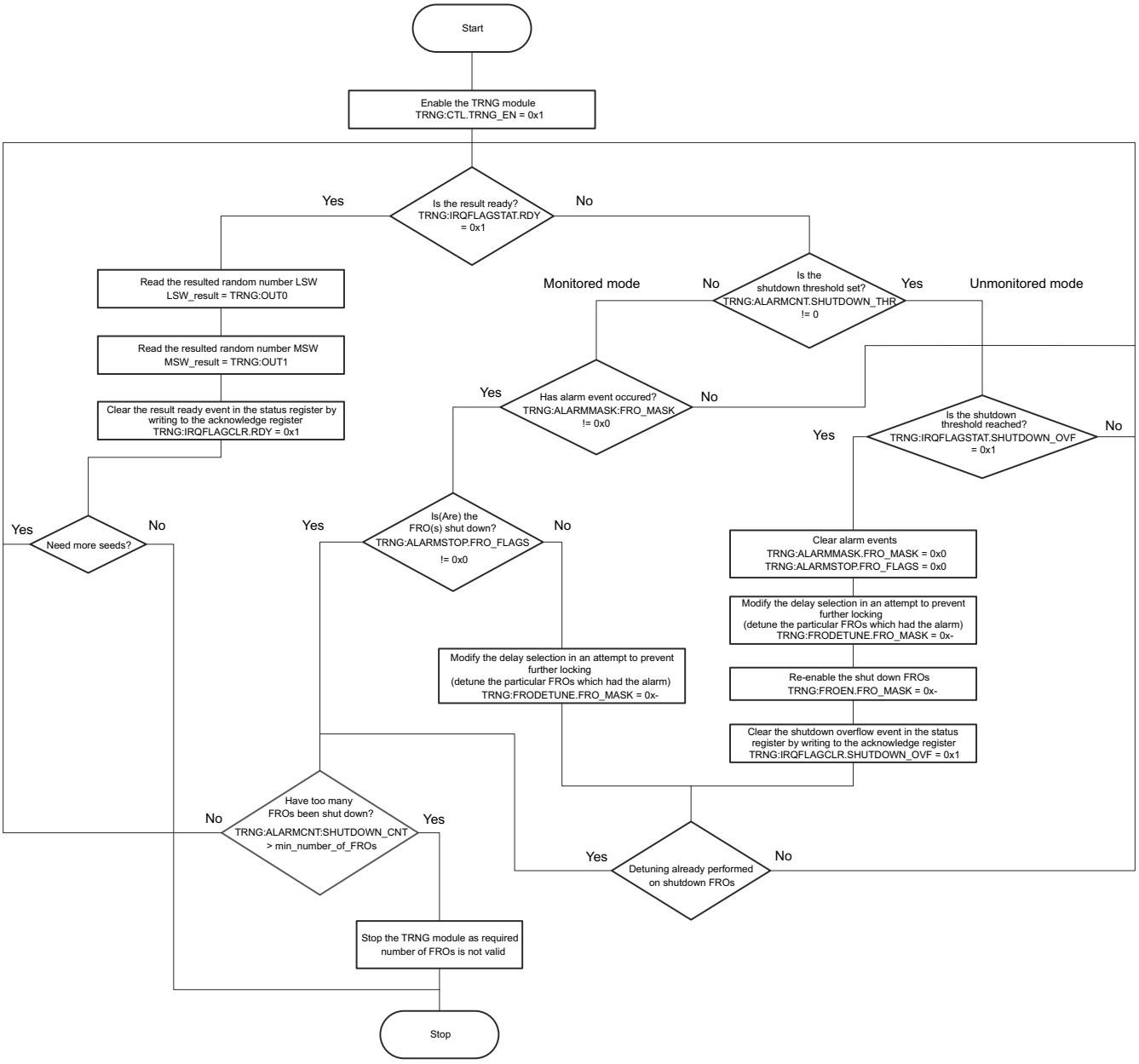


図 18-2. TRNG ポーリング モード

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

18.6.1.3.2 割り込みモード

このセクションでは、モジュールのイベント処理について説明します。モニタされていないモードのみが対象となります。表 18-4 に TRNG 割り込みモード手順を示し、図 18-3 に割り込みサービス ルーチンのフローを示します。

表 18-4. TRNG 割り込みモード

ステップ	レジスタ / ビット フィールド	値
出力レジスタにデータが準備 (利用可能) されたときに割り込みを生成できるようにします。	TRNG:IRQFLAGMASK.RDY	0x1
最大 FRO シャットダウン数が選択されたシャットダウンしきい値に達したときに、シャットダウン オーバーフロー割り込みを生成できるようにします。	TRNG:IRQFLAGMASK.SHUTDOWN_OVF	0x1
TRNG をイネーブルにします。	TRNG:CTL.TRNG_EN	0x1

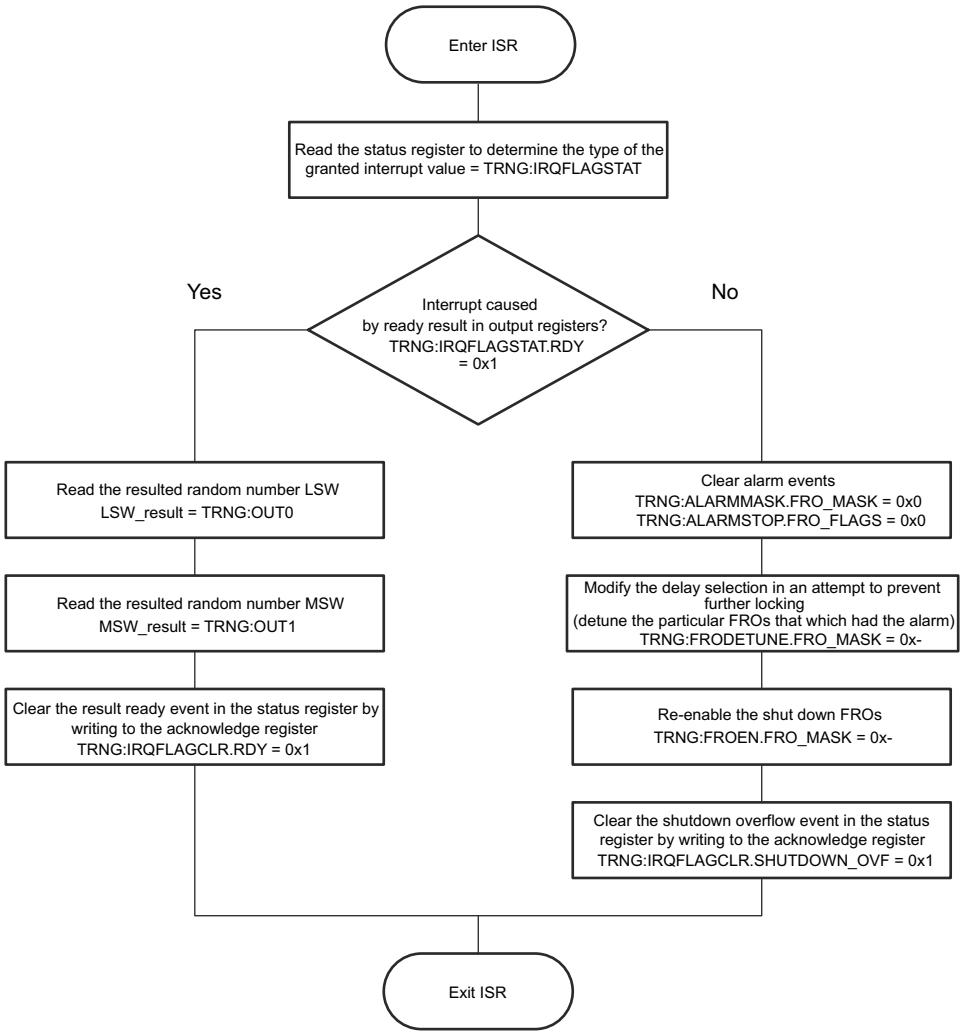


図 18-3. 割り込みサービス ルーチン

18.7 TRNG レジスタ

Copyright © 2026 Texas Instruments Incorporated

18.7.1 TRNG レジスタ

表 18-5 に、TRNG レジスタのメモリ マップト レジスタを示します。表 18-5 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 18-5. TRNG レジスタ

オフセット	略称	レジスタ名	セクション
0h	OUT0	乱数生成器の下位ワードの読み取り値	OUT0 レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	OUT1	乱数生成器の上位ワード読み取り値	OUT1 レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	IRQFLAGSTAT	割り込みステータス	IRQFLAGSTAT レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	IRQFLAGMASK	割り込みマスク	IRQFLAGMASK レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	IRQFLAGCLR	割り込みフラグ クリア	IRQFLAGCLR レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	CTL	制御	CTL レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	CFG0	構成 0	CFG0 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	ALARMCNT	アラーム制御	ALARMCNT レジスタ (オフセット = 1Ch) [リセット = 000000FFh]
20h	FROEN	FRO イネーブル	FROEN レジスタ (オフセット = 20h) [リセット = 00FFFFFFh]
24h	FRODETUNE	FRO チューン解除ビット	FRODETUNE レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	ALARMMASK	アラーム イベント	ALARMMASK レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	ALARMSTOP	アラーム シャットダウン	ALARMSTOP レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	LFSR0	LFSR 読み取り値	LFSR0 レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	LFSR1	LFSR 読み取り値	LFSR1 レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	LFSR2	LFSR 読み取り値	LFSR2 レジスタ (オフセット = 38h) [リセット = 00000000h]
78h	HWOPT	TRNG エンジン オプション情報	HWOPT レジスタ (オフセット = 78h) [リセット = 00000600h]
7Ch	HWVER0	HW Version 0	HWVER0 レジスタ (オフセット = 7Ch) [リセット = 0200B44Bh]
1FD8h	IRQSTATMASK	マスキング後の割り込みステータス	IRQSTATMASK レジスタ (オフセット = 1FD8h) [リセット = 00000000h]
1FE0h	HWVER1	HW Version 1	HWVER1 レジスタ (オフセット = 1FE0h) [リセット = 00000020h]
1FECh	IRQSET	割り込みセット	IRQSET レジスタ (オフセット = 1FECh) [リセット = 00000000h]
1FF0h	SWRESET	SW リセット制御	SWRESET レジスタ (オフセット = 1FF0h) [リセット = 00000000h]
1FF8h	IRQSTAT	割り込みステータス	IRQSTAT レジスタ (オフセット = 1FF8h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 18-6 に、このセクションでアクセス タイプに使用しているコードを示します。

表 18-6. TRNG のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
–n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

18.7.1.1 OUT0 レジスタ (オフセット = 0h) [リセット = 00000000h]

図 18-4 に、OUT0 を示し、表 18-7 に、その説明を示します。

概略表に戻ります。

乱数生成器の下位ワードの読み取り値

図 18-4. OUT0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VALUE_31_0																															
R-0h																															

表 18-7. OUT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VALUE_31_0	R	0h	64 ビット乱数値の LSW。IRQFLAGSTAT.RDY = 1 になると、新しい値は準備完了になります。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.2 OUT1 レジスタ (オフセット = 4h) [リセット = 00000000h]

図 18-5 に、OUT1 を示し、表 18-8 に、その説明を示します。

概略表に戻ります。

乱数生成器の上位ワード読み取り値

図 18-5. OUT1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VALUE_63_32																															
R-0h																															

表 18-8. OUT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VALUE_63_32	R	0h	64 ビットの乱数の MSW。IRQFLAGSTAT.RDY = 1 になると、新しい値は準備完了になります。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.3 IRQFLAGSTAT レジスタ (オフセット = 8h) [リセット = 00000000h]

IRQFLAGSTAT は図 18-6 に示されており、表 18-9 で説明されています。

概略表に戻ります。

割り込みステータス

図 18-6. IRQFLAGSTAT レジスタ

31	30	29	28	27	26	25	24
NEED_CLOCK	予約済み						
R-0h	R-0h						
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						SHUTDOWN_OVF	RDY
R-0h						R-0h	R-0h

表 18-9. IRQFLAGSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	NEED_CLOCK	R	0h	1:TRNG がエントロピーを生成中、またはテストモードのいずれかにあることを示します。この間はクロックを停止せず、電源電圧を安定させておく必要があります。 0:TRNG はアイドル状態であり、シャットダウンできます
30-2	予約済み	R	0h	予約済み
1	SHUTDOWN_OVF	R	0h	1:停止した FRO の数 (ALARMSTOP レジスタの「1」ビット数) が、ALARMCNT.SHUTDOWN_THR で設定されたスレッショルドを超えたことを示します IRQFLAGCLR.SHUTDOWN_OVF に「1」を書き込むと、このビットが再度 0 にクリアされます。
0	RDY	R	0h	1:データは OUT0 と OUT1 で使用できます。 この状態を認識するには、IRQFLAGCLR.RDY に「1」を書き込むと、このビットは「0」にクリアされます。 TRNG の内部レジスタに新しい数値がすでに存在する場合、その数値は直接結果レジスタにクロックされます。この場合、ステータス ビットは、一回のクロック サイクル後に再びアサートされます。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.4 IRQFLAGMASK レジスタ (オフセット = Ch) [リセット = 00000000h]

IRQFLAGMASK は図 18-7 に示されており、表 18-10 で説明されています。

概略表に戻ります。

割り込みマスク

図 18-7. IRQFLAGMASK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						SHUTDOWN_OVF	RDY
R-0h						R/W-0h	R/W-0h

表 18-10. IRQFLAGMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SHUTDOWN_OVF	R/W	0h	1:IRQFLAGSTAT.SHUTDOWN_OVF がこのモジュールの割り込みを有効にできるようにします。
0	RDY	R/W	0h	1:IRQFLAGSTAT.RDY によってこのモジュールからの割り込みをアクティブにできるようにします。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.5 IRQFLAGCLR レジスタ (オフセット = 10h) [リセット = 00000000h]

IRQFLAGCLR は図 18-8 に示されており、表 18-11 で説明されています。

概略表に戻ります。

割り込みフラグ クリア

図 18-8. IRQFLAGCLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						SHUTDOWN_OVF	RDY
R-0h						W-0h	W-0h

表 18-11. IRQFLAGCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SHUTDOWN_OVF	W	0h	1:IRQFLAGSTAT.SHUTDOWN_OVF をクリアします。
0	RDY	W	0h	1:IRQFLAGSTAT.RDY をクリアします。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.6 CTL レジスタ (オフセット = 14h) [リセット = 00000000h]

図 18-9 に、CTL を示し、表 18-12 に、その説明を示します。

概略表に戻ります。

制御

図 18-9. CTL レジスタ

31	30	29	28	27	26	25	24
STARTUP_CYCLES							
R/W-0h							
23	22	21	20	19	18	17	16
STARTUP_CYCLES							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み					TRNG_EN	予約済み	
R-0h					R/W-0h	R-0h	
7	6	5	4	3	2	1	0
予約済み					NO_LFSR_FB	TEST_MODE	予約済み
R-0h					R/W-0h	R/W-0h	R-0h

表 18-12. CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	STARTUP_CYCLES	R/W	0h	このフィールドは、起動時に FRO からエントロピーを収集するために取得するサンプル数 (2^8 ～ 2^{24}) を決定します。このフィールドに書き込まれた値がゼロの場合、サンプル数は 2^{24} になります。それ以外の場合、サンプル数は書き込まれた値に 2^8 を掛けた値に等しくなります。 0x0000: 2^{24} サンプル 0x0001: $1*2^8$ サンプル 0x0002: $2*2^8$ サンプル 0x0003: $3*2^8$ サンプル ... 0x8000: $32768*2^8$ サンプル 0xC000: $49152*2^8$ サンプル ... 0xFFFF: $65535*2^8$ サンプル このフィールドは、TRNG_EN が 0 の間のみ変更できます。1 の場合、更新は無視されます。
15-11	予約済み	R	0h	予約済み
10	TRNG_EN	R/W	0h	0:TRNG のすべてのロジックを直ちにアイドル状態に戻します。 1: TRNG を開始し、STARTUP_CYCLES で定義されたサンプル数分、FRO からエントロピーを収集します。
9-3	予約済み	R	0h	予約済み
2	NO_LFSR_FB	R/W	0h	1:メイン LFSR から XNOR フィードバックを除去し、FRO の XOR 出力を用いる通常のシフト レジスタに変換します (LSB 側からデータをシフトインします)。また、「1」を設定すると、LFSR は連続的にサンプリングを強制します。 このビットは、TEST_MODE が「1」に設定されている場合にのみ、「1」に設定可能であり、テスト以外の目的では使用してはいけません
1	TEST_MODE	R/W	0h	1:TESTCNT および LFSR0/LFSR1/LFSR2 レジスタへのアクセスを有効にし (後者はアクセス有効化前に自動的にクリアされます)、IRQFLAGSTAT.NEED_CLOCK を「1」のまま維持します。 このビットは、新しい乱数値を生成する前に LFSR シードを変更する必要がある場合にのみ使用します。その他のすべてのテストは、レジスタ制御のために外部で実行されます。

Copyright © 2026 Texas Instruments Incorporated

表 18-12. CTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	予約済み	R	0h	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

18.7.1.7 CFG0 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 18-10 に、CFG0 を示し、表 18-13 に、その説明を示します。

概略表に戻ります。

構成 0

図 18-10. CFG0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MAX_REFILL_CYCLES															
R/W-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				SMPL_DIV				MIN_REFILL_CYCLES							
R-0h				R/W-0h				R/W-0h							

表 18-13. CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	MAX_REFILL_CYCLES	R/W	0h	このフィールドは、64 ビットの乱数を読み出した後に FRO からエントロピーを再生成するために取得されるサンプルの最大数 (2^8 ～ 2^{24} の範囲) を決定します。このフィールドに書き込まれた値がゼロの場合、サンプル数は 2^{24} になります。それ以外の場合、サンプル数は書き込まれた値に 2^8 を掛けた値に等しくなります。 0x0000: 2^{24} サンプル 0x0001: $1*2^8$ サンプル 0x0002: $2*2^8$ サンプル 0x0003: $3*2^8$ サンプル ... 0x8000: $32768*2^8$ サンプル 0xC000: $49152*2^8$ サンプル ... 0xFFFF: $65535*2^8$ サンプル このフィールドは、CTL.TRNG_EN が 0 の間のみ変更できます。
15-12	予約済み	R	0h	予約済み
11-8	SMPL_DIV	R/W	0h	このフィールドは、FRO から取得するサンプル間のクロック サイクル数を直接制御します。デフォルト値 0 は、クロック サイクルごとにサンプルが取得されることを示します 最大値 0xF は 16 クロック サイクルごとに一個のサンプルを要します。このフィールドには、(最悪の 条件でも) 最も遅い FRO のサイクル時間がサンプル期間の二倍未満になるように設定する必要があります。 このフィールドは、CTL.TRNG_EN が「0」の間にのみ変更できます。

Copyright © 2026 Texas Instruments Incorporated

表 18-13. CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	MIN_REFILL_CYCLES	R/W	0h	このフィールドは、64 ビットの乱数を読み出した後に FRO からエントロピーを再生成するために取得されるサンプルの最小数 (2^6 ～ 2^{14} の範囲) を決定します。このフィールドの値がゼロの場合、サンプル数は MAX_REFILL_CYCLES フィールドで決定された値に固定されます。それ以外の場合、最小サンプル数は、書き込まれた値 x 64 (最大 2^{14}) に等しくなります。生成されるすべての乱数で同一のエントロピーを確保するには、値 0 を使用します。この場合、MAX_REFILL_CYCLES が最小リフィル間隔を制御します。ここで定義されたサンプル数は、「max_refill_cycles」フィールドで定義された数を上回ることはできません (つまり、max_refill_cycles フィールドが優先されます)。min_refill が max_refill を上回る場合、乱数値は生成されません。 このフィールドは、CTL.TRNG_EN = 0 の間にのみ変更できます。 0x00: 最小サンプル = MAX_REFILL_CYCLES (すべての数値のエントロピーが同じです) 0x01: $1*2^6$ サンプル 0x02: $2*2^6$ サンプル ... 0xFF: $255*2^6$ サンプル

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

18.7.1.8 ALARMCNT レジスタ (オフセット = 1Ch) [リセット = 000000FFh]

ALARMCNT は図 18-11 に示されており、表 18-14 で説明されています。

概略表に戻ります。

アラーム制御

図 18-11. ALARMCNT レジスタ

31	30	29	28	27	26	25	24
予約済み		SHUTDOWN_CNT					
R-0h		R/W-0h					
23	22	21	20	19	18	17	16
予約済み			SHUTDOWN_THR				
R-0h			R/W-0h				
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
ALARM_THR							
R/W-FFh							

表 18-14. ALARMCNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	予約済み
29-24	SHUTDOWN_CNT	R/W	0h	読み取り専用。ALARMSTOP レジスタの「1」ビット数を示します。 最大値は FRO の数と等しくなります。
23-21	予約済み	R	0h	予約済み
20-16	SHUTDOWN_THR	R/W	0h	IRQFLAGSTAT.SHUTDOWN_OVF 割り込みを生成するためのスレッショルド設定。SHUTDOWN_CNT 値がこのビット フィールドを超えると、割り込みがトリガされます。
15-8	予約済み	R	0h	予約済み
7-0	ALARM_THR	R/W	FFh	各 FRO の繰り返しパターン検出器のアラーム検出スレッショルド。FRO で繰り返しパターン (最大四個のサンプル長) が、このフィールドの値で定義されたサンプル数分連続して検出されると、「アラーム イベント」が発生します。リセット値 0xFF は、「アラーム イベント」の数を管理可能なレベルに保つ必要があります。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.9 FROEN レジスタ (オフセット = 20h) [リセット = 00FFFFFFh]

図 18-12 に、FROEN を示し、表 18-15 に、その説明を示します。

概略表に戻ります。

FRO イネーブル

図 18-12. FROEN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								FRO_MASK																							
R-0h								R/W-00FFFFFFh																							

表 18-15. FROEN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-0	FRO_MASK	R/W	00FFFFFFh	個別の FRO のイネーブル ビット。ビット [n] が 1 の場合、FRO 'n' が有効になります。デフォルト状態はすべて「1」で、パワーアップ後にすべての FRO を有効にします。CTL.TRNG_EN ビットが「1」に設定されるまでは、実際には起動しないことに注意します。 対応する ALARMSTOP.FRO_FLAGS のビットが「1」である間、このビットは自動的に「0」に固定されます (「1」に書き込むことはできません)。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.10 FRODETUNE レジスタ (オフセット = 24h) [リセット = 00000000h]

FRODETUNE は図 18-13 に示されており、表 18-16 で説明されています。

概略表に戻ります。

FRO チューン解除ビット

図 18-13. FRODETUNE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								FRO_MASK																							
R-0h								R/W-0h																							

表 18-16. FRODETUNE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-0	FRO_MASK	R/W	0h	個々の FRO のビットをチューン解除します。ビット [n] が 1 の場合、FRO 'n' の動作周波数が約 5% 高くなります。これらのビットの値は、対応する FRO が停止している場合にのみ変更できます (FROEN.FRO_MASK レジスタの対応 ビットに一時的に「0」を書き込むことで停止します)。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.11 ALARMMASK レジスタ (オフセット = 28h) [リセット = 00000000h]

ALARMMASK は図 18-14 に示されており、表 18-17 で説明されています。

概略表に戻ります。

アラーム イベント

図 18-14. ALARMMASK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								FRO_MASK																							
R-0h								R/W-0h																							

表 18-17. ALARMMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-0	FRO_MASK	R/W	0h	個々の FRO の「アラーム イベント」のロギング ビット。ビット [n] が「1」の場合、FRO 'n' でアラーム イベントが発生したことを示します。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.12 ALARMSTOP レジスタ (オフセット = 2Ch) [リセット = 00000000h]

ALARMSTOP は図 18-15 に示されており、表 18-18 で説明されています。

概略表に戻ります。

アラーム シャットダウン

図 18-15. ALARMSTOP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								FRO_FLAGS																							
R-0h								R/W-0h																							

表 18-18. ALARMSTOP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-0	FRO_FLAGS	R/W	0h	個々の FRO の「アラーム イベント」のロギング ビット。ビット [n] が「1」の場合、FRO 'n' で短時間に複数のアラーム イベントが発生し、停止されたことを示します。このフィールドのビットが「1」の場合、FROEN.FRO_MASK の対応ビットを「0」に強制します。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.13 LFSR0 レジスタ (オフセット = 30h) [リセット = 00000000h]

図 18-16 に、LFSR0 を示し、表 18-19 に、その説明を示します。

概略表に戻ります。

LFSR 読み取り値

図 18-16. LFSR0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LFSR_31_0																															
R/W-0h																															

表 18-19. LFSR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	LFSR_31_0	R/W	0h	メイン エントロピー蓄積用 LFSR のビット [31:0]。レジスタには、CTL.TEST_MODE = 1 の場合にのみアクセスできます。 レジスタの内容は、アクセスが有効化される前にゼロにクリアされます。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.14 LFSR1 レジスタ (オフセット = 34h) [リセット = 00000000h]

図 18-17 に、LFSR1 を示し、表 18-20 に、その説明を示します。

概略表に戻ります。

LFSR 読み取り値

図 18-17. LFSR1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LFSR_63_32																															
R/W-0h																															

表 18-20. LFSR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	LFSR_63_32	R/W	0h	メイン エントロピー蓄積用 LFSR のビット [63:32]。レジスタには、CTL.TEST_MODE = 1 の場合にのみアクセスできます。 レジスタの内容は、アクセスが有効化される前にゼロにクリアされます。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.15 LFSR2 レジスタ (オフセット = 38h) [リセット = 00000000h]

図 18-18 に、LFSR2 を示し、表 18-21 に、その説明を示します。

概略表に戻ります。

LFSR 読み取り値

図 18-18. LFSR2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															LFSR_80_64																
R-0h															R/W-0h																

表 18-21. LFSR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16-0	LFSR_80_64	R/W	0h	メイン エントロピー蓄積用 LFSR のビット [80:64]。レジスタには、CTL.TEST_MODE = 1 の場合にのみアクセスできます。 レジスタの内容は、アクセスが有効化される前にゼロにクリアされます。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.16 HWOPT レジスタ (オフセット = 78h) [リセット = 00000600h]

図 18-19 に、HWOPT を示し、表 18-22 に、その説明を示します。

概略表に戻ります。

TRNG エンジン オプション情報

図 18-19. HWOPT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				NR_OF_FROS						予約済み					
R-0h				R-18h						R-0h					

表 18-22. HWOPT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11-6	NR_OF_FROS	R	18h	この TRNG に実装されている FRO の数、値 24 (十進数)。
5-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.7.1.17 HWVER0 レジスタ (オフセット = 7Ch) [リセット = 0200B44Bh]

図 18-20 に、HWVER0 を示し、表 18-23 に、その説明を示します。

概略表に戻ります。

HW バージョン 0
EIP 番号とコア リビジョン

図 18-20. HWVER0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み				HW_MAJOR_VER				HW_MINOR_VER				HW_PATCH_LVL			
R-0h				R-2h				R-0h				R-0h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIP_NUM_COMPL								EIP_NUM							
R-B4h								R-4Bh							

表 18-23. HWVER0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	HW_MAJOR_VER	R	2h	主要ハードウェア リビジョン番号の 4 ビット バイナリ エンコード。
23-20	HW_MINOR_VER	R	0h	マイナー ハードウェア リビジョン番号の 4 ビット バイナリ エンコード。
19-16	HW_PATCH_LVL	R	0h	ハードウェア パッチ レベルの 4 ビット バイナリ エンコーディングでは、初期リリースは値ゼロを保持します。
15-8	EIP_NUM_COMPL	R	B4h	ビット [7:0] のビット単位論理反転値。この TRNG は 0xB4 となります。
7-0	EIP_NUM	R	4Bh	モジュール番号の 8 ビット バイナリ エンコード。この TRNG は 0x4B となります。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.18 IRQSTATMASK レジスタ (オフセット = 1FD8h) [リセット = 00000000h]

IRQSTATMASK は図 18-21 に示されており、表 18-24 で説明されています。

概略表に戻ります。

マスキング後の割り込みステータス

図 18-21. IRQSTATMASK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						SHUTDOWN_OVF	RDY
R-0h						R-0h	R-0h

表 18-24. IRQSTATMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SHUTDOWN_OVF	R	0h	シャットダウン オーバーフロー (IRQFLAGSTAT.SHUTDOWN_OVF と IRQFLAGMASK.SHUTDOWN_OVF の AND 結果)
0	RDY	R	0h	新しい乱数値が利用可能 (IRQFLAGSTAT.RDY と IRQFLAGMASK.RDY の AND 結果)

Copyright © 2026 Texas Instruments Incorporated

18.7.1.19 HWVER1 レジスタ (オフセット = 1FE0h) [リセット = 00000020h]

図 18-22 に、HWVER1 を示し、表 18-25 に、その説明を示します。

概略表に戻ります。

HW バージョン 1
TRNG リビジョン番号

図 18-22. HWVER1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								REV							
R-0h																								R-20h							

表 18-25. HWVER1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	REV	R	20h	このモジュールのリビジョン番号は Rev 2.0 です。

Copyright © 2026 Texas Instruments Incorporated

18.7.1.20 IRQSET レジスタ (オフセット = 1FECh) [リセット = 00000000h]

図 18-23 に、IRQSET を示し、表 18-26 に、その説明を示します。

概略表に戻ります。

割り込みセット

図 18-23. IRQSET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																															
R-0h																															

表 18-26. IRQSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.7.1.21 SWRESET レジスタ (オフセット = 1FF0h) [リセット = 00000000h]

SWRESET は図 18-24 に示されており、表 18-27 で説明されています。

概略表に戻ります。

SW リセット制御

図 18-24. SWRESET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							リセット
R-0h							R/W-0h

表 18-27. SWRESET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	リセット	R/W	0h	ソフトリセットに「1」を書き込むと、リセット信号は 4 ～ 5 クロック サイクルの間 Low になります。0 にポーリングするとリセットが完了します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

18.7.1.22 IRQSTAT レジスタ (オフセット = 1FF8h) [リセット = 00000000h]

IRQSTAT は図 18-25 に示されており、表 18-28 で説明されています。

概略表に戻ります。

割り込みステータス

図 18-25. IRQSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R-0h

表 18-28. IRQSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R	0h	TRNG 割り込みステータス。IRQFLAGSTAT.SHUTDOWN_OVF と IRQFLAGSTAT.RDY の論理和バージョン

Copyright © 2026 Texas Instruments Incorporated

Chapter 19

AUX ドメイン センサ コントローラおよびペリフェラル

この章では、CC13x2 および CC26x2 デバイス プラットフォームにおける AUX サブシステムの機能について説明します。

19.1 概要 1486
19.2 電源およびクロックの管理 1488
19.3 センサ コントローラ 1492
19.4 デジタル ペリフェラル モジュール 1510
19.5 アナログ ペリフェラル モジュール 1539
19.6 イベントのルーティングと使用 1555
19.7 センサ コントローラ エイリアス レジスタ空間 1562
19.8 AUX ドメイン センサ コントローラおよびペリフェラル レジスタ 1567

Copyright © 2026 Texas Instruments Incorporated

19.1 概要

補助 (AUX) ドメインは、AON ドメイン内に配置された超低消費電力の独立したコプロセッサ サブシステムです。AUX ドメインは、省電力でプログラマブルな 16 ビットのセンサ コントローラ エンジン (SCE) を保持し、以下の機能にアクセスできます。

- AUX SRAM：センサ コントローラ用の命令およびデータ メモリ
  - 4kB = 2048 センサ コントローラ 16 ビット命令 / データ ワード
- アナログ ペリフェラル：
  - ADC：12 ビット A/D コンバータ、最大 200kHz のサンプル レート
  - COMPA：連続時間コンパレータ
  - COMPB：低消費電力クロックド コンパレータ
  - ISRC：0 ～ 20µA 電流源
  - リファレンス DAC：D/A コンバータ
- デジタル ペリフェラル：
  - TDC：高精度の時間 / デジタル コンバータ
  - AUX Timer0 および Timer1：シンプルな 16 ビット同期タイマ
  - AUX Timer2：4 つのキャプチャ / 比較チャネルを備えた非同期多目的タイマ
  - ハードウェア セマフォ：センサ コントローラとシステム CPU の間でペリフェラルを共有するために使用します
  - AUX I/O コントローラ制御
  - AUX SPI マスタ：電力効率の高いセンサ ポーリング用
  - 演算アクセラレータ：40 ビット アキュムレータを含む (符号付き / 符号なし加算、乗算)
- I/O ピン：
  - 最大 32 本のデジタル専用汎用 I/O ピン
  - 最大 8 つのアナログ対応汎用 I/O ピン
- システム発振器制御
- 複数のクロックおよび電源オプション

センサ コントローラは、MCU ドメイン ペリフェラル、RAM、フラッシュ、またはレジスタにはアクセスできません。この分離により、MCU ドメインはセンサ コントローラとは独立してスタンバイ モードへ出入りできるようになっています。ただし、システム CPU と µDMA は常に AUX ドメイン内のすべてのペリフェラルにアクセス可能であり、センサ コントローラで使用されていない AUX ペリフェラルを使用することもできます。

MCU ドメインからのアクセス速度は、選択された AUX クロックとは独立しており、センサ コントローラの動作も MCU ドメインとは独立しています。センサ コントローラは、リアルタイム クロックやバッテリ モニタ、温度センサなど、AON ドメイン内の特定のペリフェラルに限定的にアクセスできます。センサ コントローラは、VDDR の再充電を要求したり、そのイベントを監視することもできます。

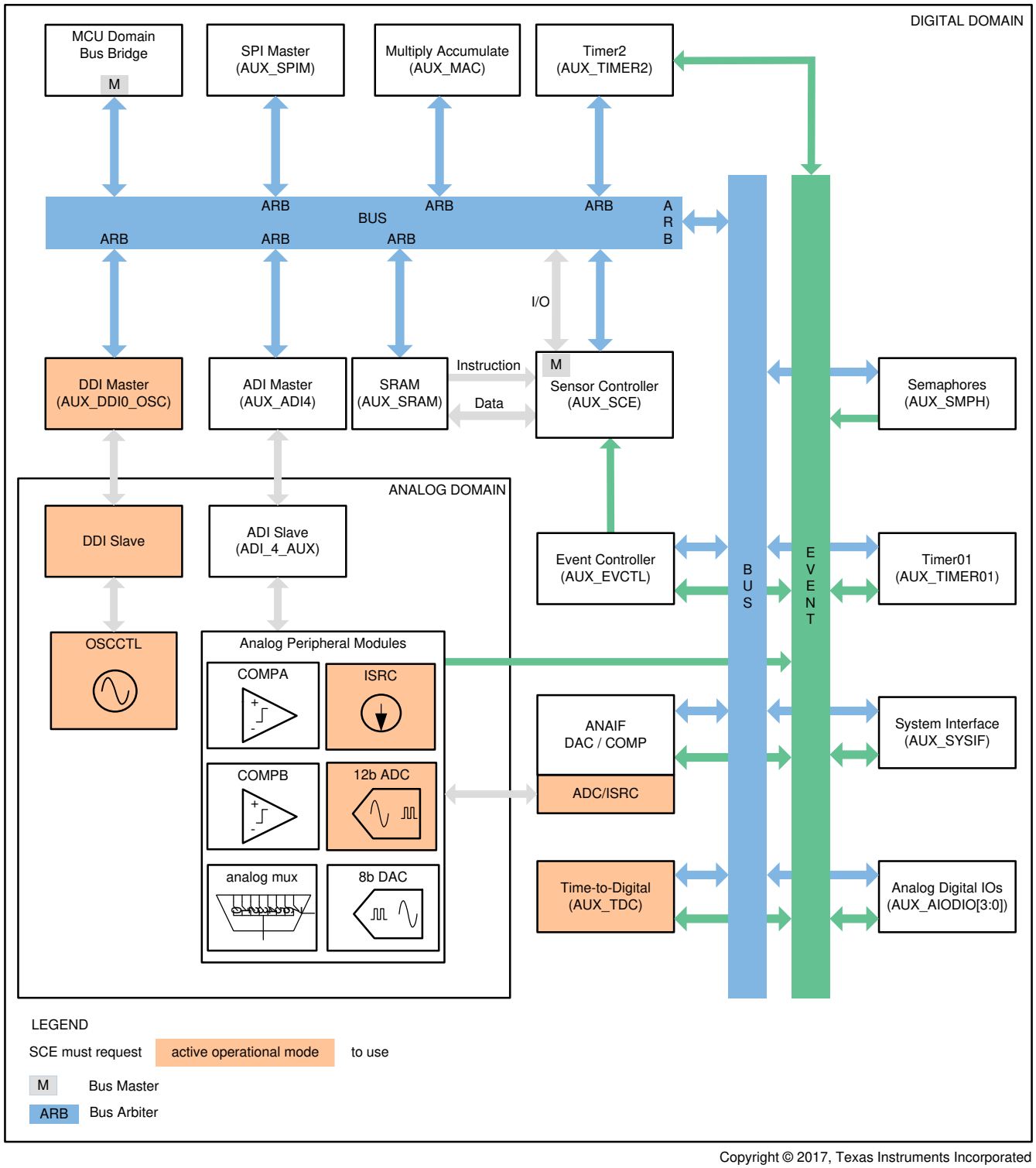
システム CPU は、AUX ドメインのペリフェラルを直接使用できます。ただし、センサ コントローラを活用することで、システム CPU から独立して単純なバックグラウンド タスクを実行することができ、システムの消費電力を最小限に抑えることができます。センサ コントローラのタスクは、定期的に実行することも、GPIO イベントなどの非同期イベントに基づいて実行することも可能です。センサ コントローラに適したタスクの例としては、次のようなものがあります。

- ADC またはコンパレータを使用するアナログ センサのポーリング
- SPI またはビット基準の I^2C または他の規格を使用するデジタル センサのポーリング
- 内蔵型電流源、コンパレータ、時間 / デジタル コンバータを使用する静電容量式センシング
- I/O 波形生成
  - センサ コントローラを使用する一般的な I/O 制御
  - AUX Timer2 を使用する PWM
- TDC または AUX Timer2 を使用する信号周期とパルス幅の測定
- タスクに応じたシステム CPU のウェークアップ：データを収集し、必要に応じてフィルタ処理を行い、システム CPU が処理できる状態にしておきます

Copyright © 2026 Texas Instruments Incorporated

19.1.1 AUX のブロック図

図 19-1 に、AUX ドメイン内のモジュールの接続を示します。



Copyright © 2017, Texas Instruments Incorporated

図 19-1. AUX ドメインのブロック図

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

図 19-1 に、AUX ドメインには、センサ コントローラとマイコン ドメイン バス ブリッジの 2 つのバス マスタがあることを示します。システム CPU および µDMA は、バス ブリッジを介して AUX ドメインにアクセスします。センサ コントローラとマイコン ドメイン バス ブリッジ間のバス アービトレーションは、同じバス アービターに接続されているモジュールのアクセス時に発生します。バス アービターは、常にセンサ コントローラを優先します。したがって、センサ コントローラが SPI マスタにアクセスしている間、システム CPU は発振器インターフェイスにアクセスでき、他のものに干渉することはありません。

19.2 電源およびクロックの管理

AUX の電源およびクロック管理機能は、ほとんどの場合、MCU ドメインとは独立しています。アクティブな MCU ドメイン状態では、以下のような可能性があります。

- AUX バス クロックの速度が上がり、アクセス時間が最小限に抑えられる。
- センサ コントローラおよび選択したペリフェラルにクロックを供給する AON_PMCTL:AUXSCECLK で選択されたクロックに小さなクロックのジッタが発生する。

これらのトピックについては、セクション 19.2.1 から セクション 19.2.4 を参照してください。MCU ドメインは、TI-RTOS 電力モード (アクティブおよびアイドル) で発生する SCLK_HF を受信するとアクティブになります。

19.2.1 動作モード

AUX ドメインは、アクティブ モード、低消費電力モード、またはパワーダウン モードのいずれかのモードで動作するように要求します (図 19-2 を参照)。

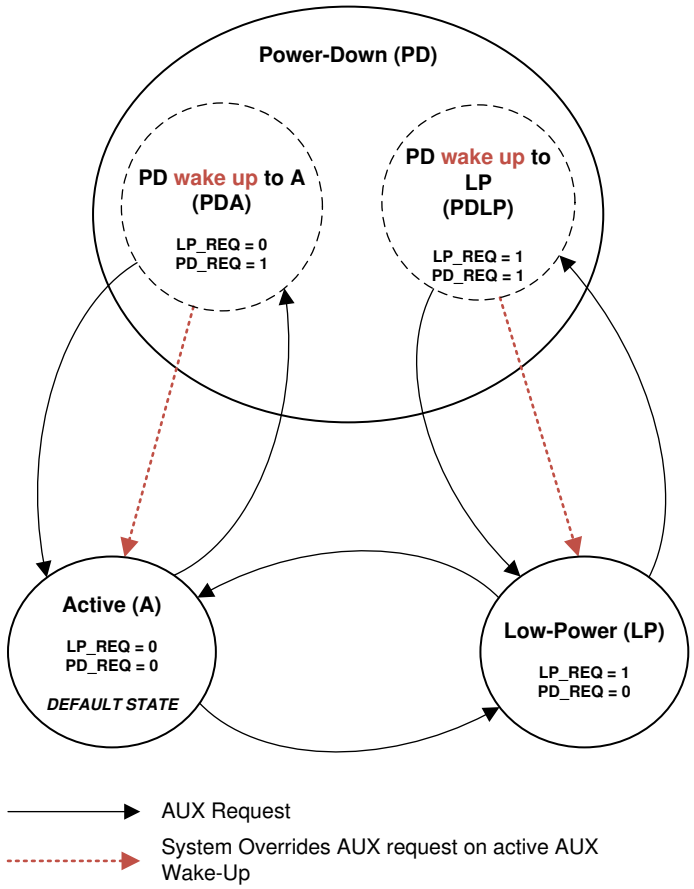


図 19-2. AUX 状態図

Copyright © 2026 Texas Instruments Incorporated

各動作モードは、次のように特徴付けられています。

- システム電源要求
- センサ コントローラの動作クロック レート (SCE クロック レート)
- センサ コントローラ モジュールの利用可否可能性
- AUX のウェークアップ イベントがアクティブになったときのシステム応答

  システムは AUX 動作モード要求を変更しません。図 19-2 に示すように、AUX のウェークアップ イベントがアクティブである限り、システムはその要求を上書きします。AUX ウェークアップは、センサ コントローラのみに適用されます (説明については、セクション 19.1 を参照)。

表 19-1 に、各動作モードの特性構成を示します。

表 19-1. AUX 動作モード

動作モード		アクティブ		低消費電力	パワーダウン	
AUX SCE クロック ソース		AON_PMCTL:AUXSCECLK.SRC		SCLK_MF	AON_PMCTL:AUXSCECLK.PDSRC	
SCE クロック レート		24MHz	2MHz	2MHz	32.768kHz	NO_CLOCK
AUX バス クロック レート	MCU 非アクティブ	24MHz	24MHz	2MHz	32.768kHz	NO_CLOCK
	MCU がアクティブ	24MHz	24MHz	24MHz	24MHz	24MHz
ウェークアップ システム応答		なし		なし	アクティブまたは低消費電力	
電源要求		DCDC または GLDO		µLDO	µLDO	
SCE モジュールの利用可否		すべて		ADC、ISRC、TDC、OSCCTL は使用しないでください。		

動作モードを要求するには、AUX_SYSIF:OPMODEREQ に記載されている手順に従います (セクション 19.8.9 を参照)。AUX ウェークアップについては、セクション 19.1 を参照してください。アクティブな動作モード要求により、システムがスタンバイに移行できないようにします。

注

アクティブ動作モード要求では、電源コントローラは高周波クロック ソースを要求するため、システムがスタンバイやシャットダウンに移行できないようにします。

19.2.1.1 デュアルレート AUX クロック

AUX モジュールは、内部でセンサ コントローラ エンジン (SCE) のクロック レートまたはバス クロック レートのいずれかで動作します。センサ コントローラは SCE クロック レートで AUX モジュールにアクセスする一方で、システム CPU と µDMA のアクセスは常にバス クロック レートで行われます。表 19-1 に示すように、AUX バスのクロック レートは、次の 2 つの条件下で SCE クロック レートよりも高くすることができます。

- SCE クロック レートが、アクティブ動作モードの 2MHz
- MCU ドメインがアクティブ

どちらの場合も、バス クロック レートは 24MHz と等しくなります。表 19-2 に、各種 AUX モジュールの動作クロック レートを示します。

正確なタイミングを確保するため、センサ コントローラが使用するモジュールおよびクロック供給リソースは、MCU 電源モードの変更時にバス クロック レートが変化する可能性があるため、可能であれば SCE クロック レートで動作する必要があります。これは、SPIM および Timer01 ペリフェラルでは特に重要です。

正確なタイミングを確保するため、センサ コントローラが使用するモジュールおよびクロック供給リソースは、MCU 電源モードの変更時にバス クロック レートが変化する可能性があるため、可能であれば SCE クロック レートで動作する必要があります。これは、SPIM および Timer01 ペリフェラルでは特に重要です。

Copyright © 2026 Texas Instruments Incorporated

バス クロック レートが SCE クロック レートよりも高い場合、2 つの副作用があります。

- バス クロック レートが SCE クロック レートよりも高くなると、DDI スレーブ、ADI スレーブ、および Timer2 へのセンサ コントローラのアクセスが高速になります。
- iobset や iobclr などの一部のセンサ コントローラ命令は、非アトミックになります。センサ コントローラとシステム CPU または µDMA は、不整合を回避するためにリソースまたはモジュールの所有権という概念を実装する必要があります。

表 19-2. AUX 動作クロック レート

モジュール	動作クロック レート(1)		
	AUX バス レート	AUX SCE レート	AUX Timer2 レート
エイリアス スペース		x	
AUX_SPIM	(X)	X	
AUX_MAC	(X)	X	
AUX_TIMER2			X
AUX_TDC	X		
AUX_EVCTL	X	(XX)	
AUX_SYSIF	X		
AUX_TIMER01	(X)	X	
AUX_SMPH	X		
AUX_ANAIF:ADC	X		
AUX_ANAIF:DAC	(X)	X	
AUX_DDI0_OSC	X		
AUX_ADI4	X		
AUX_AIODIO0		X	
AUX_AIODIO1		X	
AUX_AIODIO2		X	
AUX_AIODIO3		X	
AUX_RAM	X		
AUX_SCE		X	

(1) X = デフォルト レート
(X) = レートの上書きが可能 (XX) = イベント同期のレートの上書きが可能

19.2.2 使用シナリオ

19.2.2.1 MCU

MCU ドメインがアクティブな場合、AUX モジュールはすべて、AUX クロックや電源管理に関係なく、最小限のレイテンシでアクセスでき、MCU マスタに対して機能します。そのため、システム CPU アプリケーションは、ペリフェラルを使用するために、AUX 動作モードを構成する必要はありません。システム CPU アプリケーションは、スタンバイ TI-RTOS 電力モードでは、AUX ペリフェラルを使用することはできません (ただし、ウェークアップは除きます)。ただし、センサ コントローラ エンジンは、システムの他の部分がスタンバイの間も動作可能であり、これにより消費電流を最小限に抑えるために使用できます。

TI-RTOS は、デフォルトでパワーダウン動作モードを要求します。

19.2.2.2 センサ コントローラ

Sensor Controller Studio フレームワークは、センサ コントローラがさまざまな動作モードをアクティブに切り替えて、実現可能な限り最小のタスク消費電流に到達できるようにします。

Copyright © 2026 Texas Instruments Incorporated

センサ コントローラは、AON_PMCTL:RECHARGECFG.MODE = COMPARATOR である場合にのみ、ローパワーおよびパワーダウン動作モードでコードを実行できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.2.3 SCE クロック エミュレーション

SCE クロック ソースは、SCLK_MF または SCLK_LF と等しく、MCU ドメインがアクティブのときにエミュレートされます。クロック エミュレーションの結果として、SCE クロック周期ジッタが発生します。

- SCLK_MF クロック エミュレーション:

  瞬時 SCE クロック周期ジッタは、±2 SCLK_HF 周期に等しくなります。
- SCLK_LF クロック エミュレーション:

  瞬時 SCE クロック周期ジッタは、2 SCLK_HF 周期になります。1 つの SCE クロック周期が、エミュレーションの開始または終了時に、6 ～ 8 SCLK_HF 周期だけ増減します。

クロック エミュレーションには、次のような意味合いがあります。

- クロック周期でクロック エミュレーションが引き起こすちょっとした時間のずれは、SCE クロック レートで動作するモジュールにのみ影響します。
- SPI SCLK の周波数設定では、I/O タイミング要件を満たすために、ベース クロック周期が短くなることへの対策が必要になる場合があります。影響を受ける使用事例では、SCLK 周波数が 1MHz 以下になりますが、これはまれです。
- SCE クロック周期ジッタは累積されません。

19.2.4 AUX RAM の保持

AUX RAM の電源は、配列保持の有無にかかわらずオフにすることができます。AUX RAM の電源シーケンス中、AUX クロックは非アクティブであるため、RAM 電源シーケンスが完了するまで AUX へのすべてのアクセスを停止します。

AON_PMCTL:RAMCFG.AUX_SRAM_RET_EN は RAM 保持を制御し、
AON_PMCTL:RAMCFG.AUX_SRAM_PWR_OFF は RAM 電源を制御します。

19.3 センサ コントローラ

19.3.1 Sensor Controller Studio

TI では、Sensor Controller Studio と呼ばれるセンサ コントローラ向けの開発ツールを提供しています。このセクションでは、センサ コントローラのプログラミング モデル、センサ コントローラのタスク開発とタスク テスト、デバッグ、およびランタイム ロギングの概要を説明します。センサ コントローラの使用方法に関する完全なドキュメントは、セクション 19.3.1.4 で説明されているように、Sensor Controller Studio 自体に記載されています。

プログラミング モデルとファームウェア フレームワークは、システム CPU アプリケーションとの通信時のオーバーヘッドを抑え、AUX RAM メモリの占有量を少なくし、センサ コントローラの命令セットを効率的に使用できるように最適化されています。消費電力を最小限に抑えるため、センサ コントローラはアイドル時に自動的にスタンバイ モードに移行します。

19.3.1.1 プログラミング モデル

Sensor Controller Studio は、プロジェクト ベースです。各センサ コントローラ プロジェクトには、最大 8 つのセンサ コントローラ タスクを含めることができます。プロジェクトの出力は、センサ コントローラ インターフェイス (SCIF) ドライバと呼ばれる C ソース ファイルのセットで、システム CPU アプリケーションに簡単に統合できます。

センサ コントローラは、ユーザーがプログラムできます。センサ コントローラ タスクのコード プログラミング言語は、C 言語に似たシンタックスを使用しますが、C 言語に比べて機能が制限されています。この言語は、特にセンサ コントローラ エンジンの命令セットとファームウェア フレームワークをターゲットにしているためです。たとえば、サポートが 16 ビット変数のみであり、タスク コードの各ブロック (初期化、スケジュールに沿った実行、イベント処理、終了) には事前定義された役割があります。

Copyright © 2026 Texas Instruments Incorporated

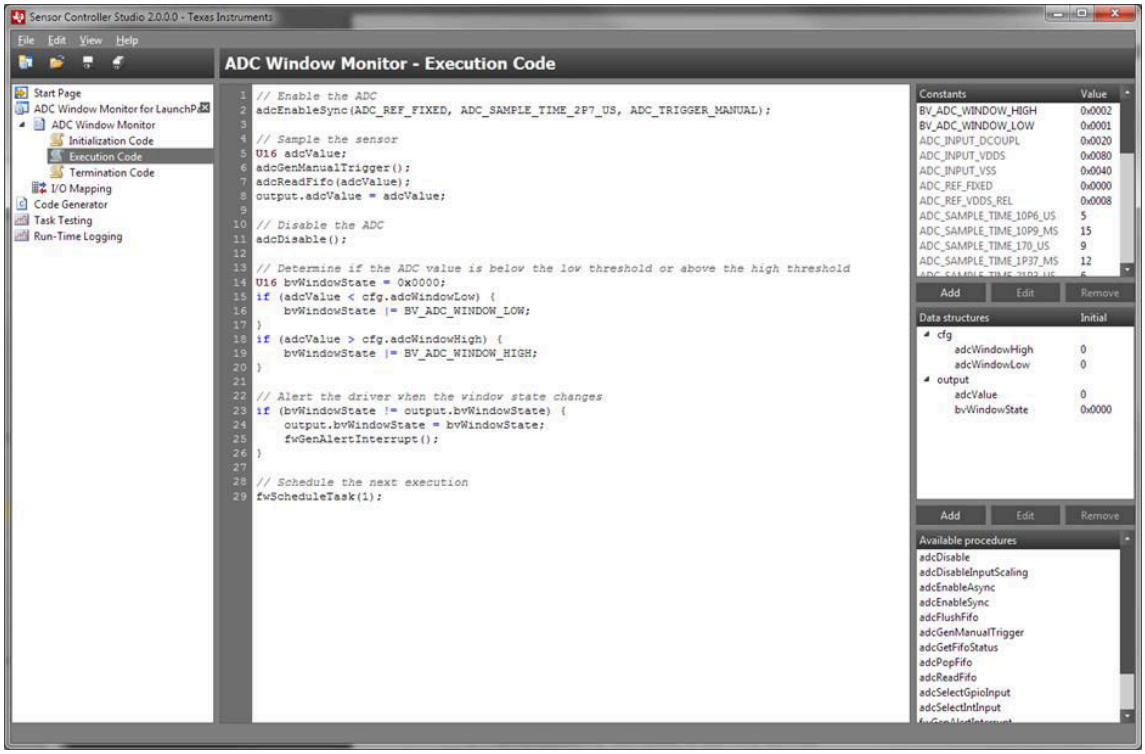


図 19-3. ADC ウィンドウ モニタ - 実行コード

ハードウェア ペリフェラルとソフトウェア アルゴリズムをリソースとして利用できます。各タスクでは、リソースのセットを選択し、次のようなさまざまなタイプの機能を有効化するように構成する必要があります。

- アナログとデジタルのペリフェラル モジュール (ADC など)
- アナログとデジタルの汎用 I/O ピン
- シンプル / 複雑なソフトウェア アルゴリズム
- ビット バンギングによるシリアル インターフェイス
- タスクのスケジューリングとイベント処理
- システム CPU との通信

各タスク リソースは、関連する定数とグローバル変数を含む、一連のプロシージャ (C 言語の関数と等価) を有効化します。センサ コントローラは、これらのプロシージャをタスク コードから呼び出すことで、複数のリソースを組み合わせて使用することができます。またリソース (ADC など、図 19-4) を複数のタスクにまたがって再利用できます。

センサ コントローラのタスクとシステム CPU アプリケーションは、(AUX RAM にある) データ構造変数を使用してデータを交換します。Sensor Controller Studio は、これらの変数に簡単にアクセスできるよう、型定義やその他の必要な定義を生成します。

Copyright © 2026 Texas Instruments Incorporated

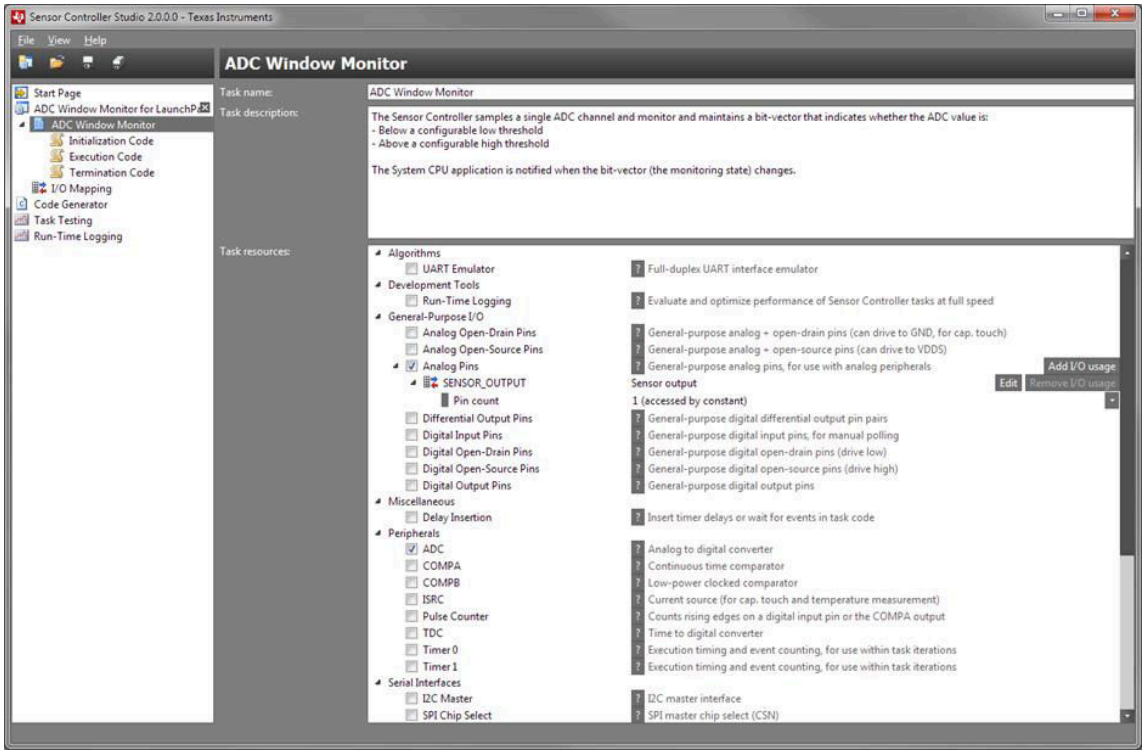


図 19-4. ADC ウィンドウ モニタ

19.3.1.2 タスク開発

センサ コントローラ プロジェクトは主に以下のもので構成されています。

- 名前と説明、およびその他のプロジェクト プロパティ
- ターゲット チップの選択、およびセンサ コントローラのその他の静的構成
- 各タスクについて:
  - 名前と説明
  - リソースの選択と構成
  - リソース定義定数とユーザー定義定数
  - リソース定義およびユーザー定義のデータ構造変数 (AUX RAM 内に配置)
  - センサ コントローラのタスクコード。
    - 初期化コード:システム CPU アプリケーションがタスクを開始する際に実行されます
    - 実行コード:AON_RTC またはソフトウェアによって定期的にトリガできます
    - イベント ハンドラ コード:さまざまなペリフェラル イベントによってトリガできます
    - 終了コード:システム CPU アプリケーションがタスクを停止する際に実行されます
- I/O ピン マッピング

生成された SCIF ドライバは主に 3 つの部分で構成されています。

- 汎用の API (アプリケーション プログラミング インターフェイス)
- ドライバのセットアップ。これには、AUX RAM イメージ、I/O ピン構成用コード、システム CPU アプリケーションで使用するリソース固有の関数など、プロジェクト固有の定義やデータがすべて含まれます
- TI-RTOS などと組み合わせてドライバをシームレスに使用できるオペレーティング システムの抽象化レイヤ

Copyright © 2026 Texas Instruments Incorporated

19.3.1.3 タスク テスト、タスク デバッグ、およびランタイム ロギング

Sensor Controller Studio には、センサ コントローラ タスクのテスト、デバッグ、評価、およびチューニングを行うためのツールが備わっています。これらのツールに共通するのは、ターゲット チップ上の実際のセンサ コントローラでタスク コードを実行し、データ構造変数をリアルタイムで表示するための一般的なサポートを提供することです。データ構造の値は、外部での分析のためにファイルに保存することもできます。

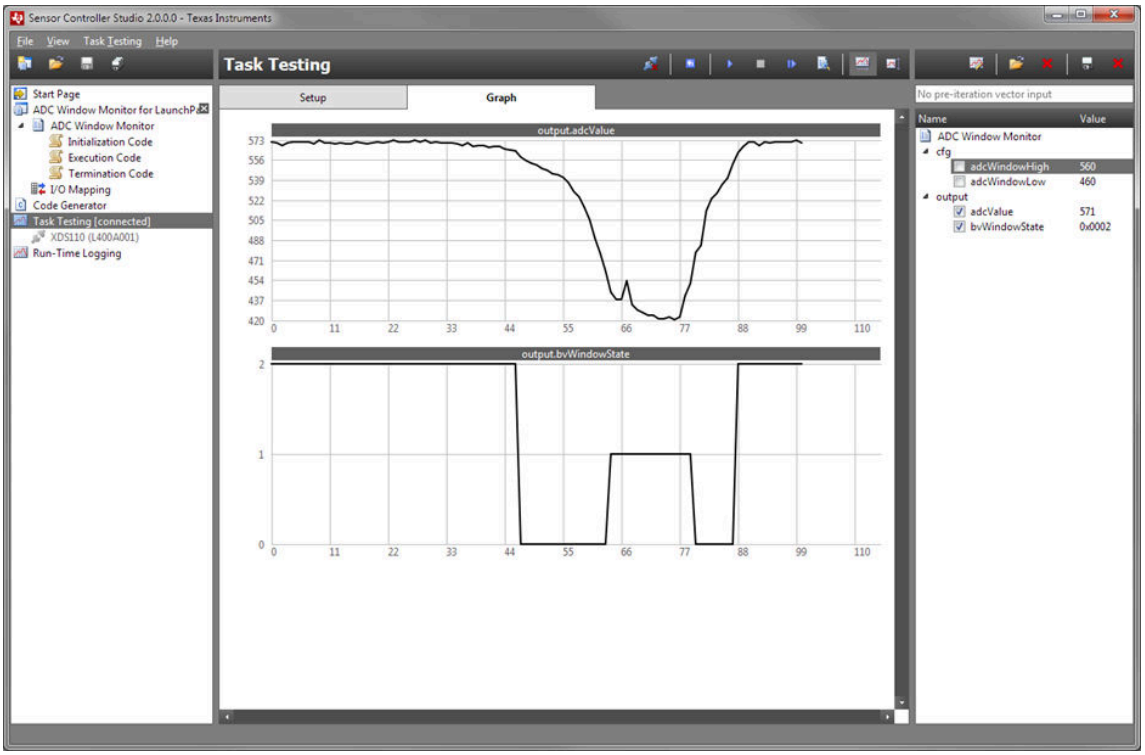


図 19-5. タスク テスト

表 19-3 は、利用可能なツールの最も重要なプロパティを要約して比較します。

表 19-3. タスク テストとタスク デバッグ

	タスク テストとタスク デバッグ	ランタイム ロギング
目的	評価、系統的なテスト、デバッグ。 選択したタスクのイテレーションは、命令レベルでデバッグできます。	性能評価と最適化。
実行速度	タスク コード ブロック内のすべてのコードは、最大速度で実行されます。 タスク コード ブロック間のタイミングは正確に制御できず、PC との通信に依存します。	タイミングは実際のアプリケーションと一致します。
準備	各タスクのイテレーションごとに一連のアクションを指定します。	ランタイム ロギング リソースを有効にし、タスク コード内の関連するプロシージャを使用してロギングを制御します。
通信インターフェイス	JTAG	UART+ JTAG、UART のみ、または TCP/IP
サポート対象のタスク数	一度に 1 つのタスク。	1 つのプロジェクト内の 1 つ以上のタスク。
データ構造のロギング	すべてのデータ構造がログに記録されます。 オーバーフローなし。	選択したデータ構造がログに記録されます。 オーバーフローが発生する可能性があり、データは警告なしに破棄されます。

Copyright © 2026 Texas Instruments Incorporated

表 19-3. タスク テストとタスク デバッグ (続き)

	タスク テストとタスク デバッグ	ランタイム ロギング
データ構造の編集	すべてのデータ構造の値は変更可能ですが、ターゲットが停止している間にのみ変更できます。 新しいデータ構造のメンバー値は、ファイルからロードし、タスクのイテレーションの間に適用できます。	ログに記録されていないデータ構造は、いつでも変更できます。

19.3.1.4 資料

Sensor Controller Studio には、センサ コントローラ開発に関連するすべての資料を提供するヘルプ ビューア (図 19-6) が付属しています。この資料には、以下が含まれています。

- センサ コントローラの概念の説明
- Sensor Controller Studio ツールに関する詳細な資料
- リソースと手順に関する資料
- タスク コード プログラミング言語リファレンスおよびその他の参考資料
- 詳細な改訂履歴

生成された SCIF ドライバは、Doxygen 構文を使用して文書化されます。この資料には、プロジェクトおよびタスク固有の情報が含まれています。

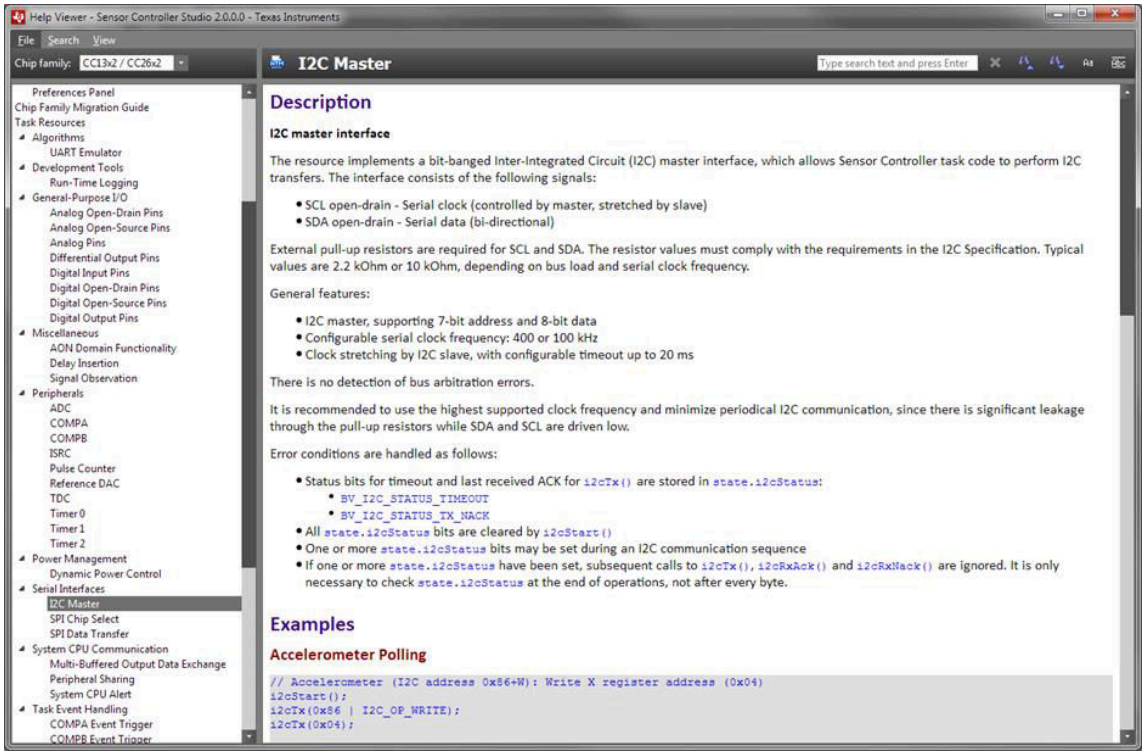


図 19-6. ヘルプ ビューア

Copyright © 2026 Texas Instruments Incorporated

19.3.2 センサ コントローラ エンジン (SCE)

このセクションでは、センサ コントローラ エンジンの CPU コアの概要を説明します。ほとんどのユーザーはこの情報を使用して、センサ コントローラ エンジンの機能と制限を理解したり、センサ コントローラのタスクをデバッグする際の参考として使用したりできます。

通常、センサ コントローラ用のアセンブリ コードを書き込む必要はありません。必要に応じて、Sensor Controller Studio 用に独自のタスク リソースと手順を作成することができます。たとえば、次のような場合です。

- 提供されている手順でサポート対象外のハードウェア レジスタやレジスタ フィールドにアクセスする必要があるとき。
- Sensor Controller Studio コンパイラでは生成できないコード構造を使用した、極端に最適化されたコードが必要とされるとき。

19.3.2.1 レジスタ

8 つの 16 ビット汎用レジスタがあります。R0 ～ R7。一部の命令では、R0 と R1 を専用に使用する必要があります。

ステータス フラグには、ゼロ (Z)、負 (N)、キャリー (C)、オーバーフロー (V) の 4 つがあります。

16 ビットのプログラム カウンタ、PC、があります。プログラム カウンタを格納するための専用スタックもあり、3 レベルのサブルーチン呼び出しが可能です。センサ コントローラのファームウェア フレームワークは、これらのレベルのいずれかを使用するため、手順では 2 つのレベルを使用できます。

パイプライン ハザード

内部パイプライン方式とレジスタ バイパス ロジックを最小化したいという要望のため、R0 を専用に使用する命令には注意が必要です。R0 を専用レジスタとして使用する命令の直前の命令で R0 をメモリまたは I/O からロードすることはできません。影響を受ける手順は次のとおりです。

```
ld Rd, [Rs+R0]
```

```
st Rd, [Rs+R0]
```

```
jmp R0
```

```
jsr R0
```

このルールに違反すると、新しくロードされた値ではなく、以前の R0 の値が使用されます。

19.3.2.2 メモリ アーキテクチャ

命令とデータへのメモリ アクセス

データおよび命令メモリのアドレッシングは 16 ビット単位です (アドレスを 1 増加させると 2 バイト進みます)。データ ワードと命令は、同じメモリ アドレス空間にマッピングされます。CC13x2/CC26x2 デバイスでは、AUX RAM は 4kB で、アドレス範囲は 0x0000 ～ 0x07FF です。

データ メモリへのアクセスはロードおよびストア命令によって行われ、ダイレクト、レジスタ間接、ポストインクリメント付きのレジスタ間接、レジスタ インデックス付きの各モードをサポートしています。サポートされるアクセス サイズは 16 ビットのみです。

AUX RAM 以外のメモリにはアクセスできません。

モジュール レジスタへの I/O アクセス

センサ コントローラは、I/O アドレス空間を介して AUX ドメイン モジュール レジスタにアクセスできます。I/O アドレッシングは 8 ビット単位です (アドレスを 1 増加させると 1 バイト進みます)。ただし、アドレス 0 ～ 255 のレジスタ エイリアシング領域は例外で、この領域では各エントリが 16 ビット レジスタにマッピングされます。

I/O レジスタは、入力命令と出力命令によってアクセスされ、以下をサポートします。

- 16 ビットレジスタの下位 8 ビットに対する 1 ビットの直接アクセス
- 16 ビットの直接アクセスおよびレジスタ間接アクセス

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

整列されていない 16 ビットのアクセスはサポートされていません。

AUX ドメイン以外のレジスタにはアクセスできません。また、I/O アドレス空間を経由して AUX RAM や AUX_SCE モジュールにアクセスすることもできません。

19.3.2.3 プログラム フロー

一般的なプログラム フローは、ジャンプ、分岐、条件分岐、サブルーチン呼び出し、リターンの各命令を明示的に使用することで制御されます。wev0 または wev1 命令を使用して、指定されたイベントが発生するまで待機してから実行を再開することで、実行を一時的に停止することもできます。いずれの場合もプリエンプションはサポートされていません。

センサ コントローラは、sleep 命令を実行することでスタンバイ モードに移行します。スタンバイ モードから、AUX_SYSIF によって設定される 8 つのイベント ベクトルのいずれかからウェークアップして実行を開始できます。

ゼロ オーバーヘッド ループ

loop 命令を使用する、1 レベルのゼロ オーバーヘッド ループに対応しています。これは、ループの最初と最後の命令のアドレスを格納し、ループ カウンタを開始します。

19.3.2.4 命令セット

19.3.2.4.1 命令のタイミング

このセンサ コントローラは、アクティブ モードの 24MHz およびローパワー モードの 2MHz で動作します。センサ コントローラのすべての命令は、以下の例外を除き、2 クロック サイクルを使用します。

- マルチサイクル インターフェイスを経由する ADI および DDI レジスタへの I/O アクセス (in 、out 、 iobset 、iobclr 、および iobtst)。これらのレジスタは、アナログ ペリフェラルおよび発振器に関連しています。
- イベント信号を待機するために使用されるパワー マネージメント命令 (wev0 、wev1 、および sleep)。

センサ コントローラは、メモリやモジュールのレジスタにアクセスするときに、システム CPU よりも優先され、µDMA を使用します。継続的なシステム CPU アクセスにより、ADI および DDI アクセスが遅延する場合があります。

19.3.2.4.2 命令の接頭辞

8 ビットまたは 10 ビットの即値を持つ一部の命令は、その直前に接頭辞命令 pfix を実行することで、即値を 16 ビットに拡張できます。この接頭辞は、次の命令に対してのみ有効です。

次の表の最後の列には、拡張可能な即値 (該当する場合) を示します。

Sensor Controller Studio のアセンブラは、必要に応じて接頭辞命令を自動的に追加し、無効または範囲外の即値を検出します。また、ターゲット アドレスが範囲外の場合には、アセンブラが分岐命令を自動的に修正します。

19.3.2.4.3 命令

表 19-4. メモリ ワード アクセス

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
ld Rd, [#addr]	直接ロード	Rd = mem[addr]	—	—	—	—	0ddd.10aa.aaaa.aaaa	addr
ld Rd, [Rs]	間接ロード	Rd = mem[Rs]	—	—	—	—	1ddd.1111.0000.1sss	
ld Rd, [Rs++]	間接ロード、 ポストインクリメント	Rd = mem[Rs], Rs++	—	—	—	—	1ddd.1111.0001.0sss	
ld Rd, [Rs+R0]	インデックス付きロード	Rd = mem[Rs + R0]	—	—	—	—	1ddd.1111.0001.1sss	
st Rd, [#addr]	直接ストア	mem[addr] = Rd	—	—	—	—	0ddd.11aa.aaaa.aaaa	addr
st Rd, [Rs]	間接ストア	mem[Rs] = Rd	—	—	—	—	1ddd.1111.0010.1sss	
st Rd, [Rs++]	間接ストア、 ポストインクリメント	mem[Rs] = Rd, Rs++	—	—	—	—	1ddd.1111.0011.0sss	
st Rd, [Rs+R0]	インデックス付きストア	mem[Rs+R0] = Rd	—	—	—	—	1ddd.1111.0011.1sss	

Copyright © 2026 Texas Instruments Incorporated

表 19-5. I/O ワード アクセス

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
in Rd, [#addr]	直接入力	Rd = reg[addr]	—	—	—	—	1ddd.1001.aaaa.aaaa	addr
in Rd, [Rs]	間接入力	Rd = reg[Rs]	—	—	—	—	1ddd.1111.0000.0sss	
out Rd, [#addr]	直接出力	reg[addr] = Rd	—	—	—	—	1ddd.1011.aaaa.aaaa	addr
out Rd, [Rs]	間接出力	reg[Rs] = Rd	—	—	—	—	1ddd.1111.0010.0sss	

表 19-6. I/O ビット アクセス

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
iobclr #imm, [#addr]	I/O ビット クリア ダイレクト	reg[addr] &= ~2^imm	—	—	—	—	010i.01ii.aaaa.aaaa	addr
iobset #imm, [#addr]	I/O ビット セット ダイレクト	reg[addr]|=2^imm	—	—	—	—	011i.01ii.aaaa.aaaa	addr
iobtst #imm, [#addr]	I/O ビット テスト ダイレクト	reg[addr] & 2^imm	—	—	✓	—	001i.01ii.aaaa.aaaa	addr

表 19-7. レジスタ アクセス

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
ld Rd, #simm	即時ロード	Rd = simm	—	—	—	—	0ddd.00ii.iiii.iiii	simm
ld Rd, Rs	レジスタ ロード	Rd = Rs	—	—	—	—	1ddd.1101.0100.0sss	

表 19-8. 論理演算

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
and Rd, #imm	AND 即値	Rd &= imm	x	x	0	0	1ddd.0000.iiii.iiii	imm
or Rd, #imm	OR 即値	Rd |= imm	x	x	0	0	1ddd.0010.iiii.iiii	imm
xor Rd, #imm	XOR 即値	Rd ^= imm	x	x	0	0	1ddd.0100.iiii.iiii	imm
tst Rd, #imm	テスト即値	Rd & imm	x	x	0	0	1ddd.1100.iiii.iiii	imm
and Rd, Rs	AND レジスタ	Rd &= Rs	x	x	0	0	1ddd.1101.0000.0sss	
or Rd, Rs	OR レジスタ	Rd |= Rs	x	x	0	0	1ddd.1101.0000.1sss	
xor Rd, Rs	XOR レジスタ	Rd^= Rs	x	x	0	0	1ddd.1101.0001.0sss	
tst Rd, Rs	テスト レジスタ	Rd & Rs	x	x	0	0	1ddd.1101.0011.0sss	
inv Rd	レジスタ反転	Rd = ~Rd	x	x	0	0	1ddd.1101.1001.0010	

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-9. 算術演算

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
add Rd, #simm	加算即値	Rd += simm	x	x	x	x	1ddd.1000.iiii.iiii	simm
cmp Rd, #simm	比較即値	Rd – simm	x	x	x	x	1ddd.1010.iiii.iiii	simm
sub Rd, Rs	減算レジスタ	Rd-= Rs	x	x	x	x	1ddd.1101.0001.1sss	
add Rd, Rs	加算レジスタ	Rd+= Rs	x	x	x	x	1ddd.1101.0010.0sss	
cmp Rd, Rs	比較レジスタ	Rd – Rs	x	x	x	x	1ddd.1101.0010.1sss	
subr Rd, Rs	逆順減算レジスタ	Rd = Rs – Rd	x	x	x	x	1ddd.1101.0011.1sss	
abs Rd	絶対レジスタ	Rd = (Rd >= 0) ? Rd : -Rd	x	x	x	x	1ddd.1101.1001.0000	
neg Rd	符号反転レジスタ	Rd = -Rd	x	x	x	x	1ddd.1101.1001.0001	

表 19-10. シフト演算

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
lsl Rd, Rs	論理左シフト レジスタ	Rd <<= Rs	x	x	x	0	1ddd.1101.1000.0sss	
lsr Rd, Rs	論理右シフト レジスタ	Rd>>>= Rs	x	x	x	0	1ddd.1101.1000.1sss	
asr Rd, Rs	算術右シフト レジスタ	rd>>=Rs, 符号保持	x	x	x	0	1ddd.1101.1001.1sss	
lsl Rd, #imm	論理左シフト即値(1)	Rd <<= imm	x	x	x	0	1ddd.1101.1010.0iii	
lsr Rd, #imm	論理右シフト即値(1)	Rd >>= imm	x	x	x	0	1ddd.1101.1010.1iii	
asr Rd, #imm	算術右シフト即値(1)	rd>>=imm, 符号保持	x	x	x	0	1ddd.1101.1011.1iii	

(1) シフト即値は 1 ～ 8 ビットを指定できますが、imm = 0 の場合は 8 ビット シフトを意味します。

表 19-11. プログラム フロー制御

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
jmp addr	ジャンプ (直接)	pc = addr	—	—	—	—	0000.01aa.aaaa.aaaa	addr
jsr addr	サブルーチン呼び出し (直接)	push(stack, pc + 1), pc = addr	—	—	—	—	0001.01aa.aaaa.aaaa	addr
jmp R0	ジャンプ (間接)	pc = R0	—	—	—	—	1000.1101.1011.0111	
jsr R0	サブルーチン呼び出し (間接)	push(stack, pc + 1) pc = R0	—	—	—	—	1001.1101.1011.0111	
rts	サブルーチン リターン	pc = pop(stack)	—	—	—	—	1010.1101.1011.0111	
bra rel	相対分岐	pc = pc + 1 + rel	—	—	—	—	1000.1110.rrrr.rrrr	
b<cc> rel	条件付き相対分岐	if (cc) pc = pc + 1 + rel	—	—	—	—	1ccc.c110.rrrr.rrrr	
bev0 #ev, rel	イベント 0 の場合分岐	if (!events[ev]) pc = pc + 1 + rel	—	—	—	—	1eee.0001.rrrr.rrrr	
bev01#ev, rel	イベント 1 の場合分岐	if (events[ev]) pc = pc + 1 + rel	—	—	—	—	1eee.0011.rrrr.rrrr	

Copyright © 2026 Texas Instruments Incorporated

他のすべての命令、また条件分岐が成立しない場合には、プログラム カウンタは 1 だけ増加します (pc = pc + 1)。条件付き動作については、表 19-12 を参照してください。

表 19-12. プログラム フローの条件

シンタックス <cc>	説明	条件	エンコーディング [3:0]
gtu	より大きい、符号なし	!C & !Z	0010
geu / iob0	以上、符号なし / テスト済み I/O ビット = 0	!C	0100
eq / z	等しい / ゼロ	Z	0110
novf	オーバーフローなし	!V	1000
pos	Positive	!N	1010
ges	以上、符号付き	(N&V)|(!N&!V)	1100
gts	より大きい、符号付き	((N & V) | (!N & !V)) & !Z	1110
leu	以下、符号なし	C | Z	0011
ltu / iob1	より小さい、符号なし / テスト済み I/O ビット = 1	C	0101
neq / nz	等しくない / ゼロ以外	!Z	0111
ovf	オーバーフロー	V	1001
neg	負	N	1011
lts	より小さい、符号付き	(N & !V) | (!N & V)	1101
les	以下、符号付き	(N & !V) | (!N & V) | Z	1111

表 19-13. ループ フロー制御

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
loop R1, rel	ループ レジスタ、 n = 1..255(1)	lc = LSB(R1), ls = pc + 1, le = pc + rel	x	x	x	x	1000.0101.rrrr.rrrr	
loop #n, rel	ループ即値、 n = 2^x (x = 1..7)(1)	lc = n、ls = pc + 1、 le = pc + rel	x	x	x	x	1nnn.0101.rrrr.rrrr	

(1) アセンブラは、ループの最後の命令の後に配置できるように、ループ終了ラベルの位置をオフセットします。

表 19-14. パワー マネージメント

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
wev0 #ev	イベント 0 を待機	events[ev] == 0 になるまで停止	x	x	x	x	1eee.1101.1011.0000	
wev1 #ev	イベント 1 を待機	events[ev] == 1 になるまで停止	x	x	x	x	1eee.1101.1011.0001	
sleep	スリープ	ウェークアップまで停止し、その後 pc = 2 * ベクトル	x	x	x	x	1011.1101.1011.0111	

Copyright © 2026 Texas Instruments Incorporated

表 19-15. その他

シンタックス	説明	動作	ステータス フラグ				エンコーディング [15:0]	接頭辞
			Z	N	C	V		
nop	無操作	R7 = R7 (影響なし)	x	x	x	x	1111.1101.0100.0111	
pfix #imm	接頭辞(1)	次の命令に対して接頭辞を使用	x	x	x	x	1000.0110.iiii.iiii	
dw #imm	データ ワード	16 ビットの即値データ値を挿入	x	x	x	x	iiii.iiii.iiii.iiii	

(1) 接頭辞 (pfix) 命令は、必要に応じてアセンブラが自動的に挿入されます。手動でこの命令を挿入しないでください。

19.3.2.5 SCE イベント インターフェイス

表 19-16 は、センサ コントローラ イベント インターフェイスの要約です。

表 19-16. SCE イベント インターフェイス

イベント名	個数	説明
AUX_PROG_DLY_IDLE	0	プログラマブルな遅延イベント。セクション 19.3.2.7 または、AUX_EVCTL:PROGDLY (セクション 19.8.3) を参照してください。
AUX_COMPA	1	コンパレータ A イベント
AUX_COMPB	2	コンパレータ B イベント
AUX_TDC_DONE	3	TDC 変換完了またはタイムアウト イベント
AUX_TIMER0_EV_OR_IDLE	4	Timer0 がターゲットに達した、またはアイドル状態
AUX_TIMER1_EV_OR_IDLE	5	Timer1 がターゲットに達した、またはアイドル状態
AUX_ADC_FIFO_NOT_EMPTY	6	ADC FIFO にサンプルが含まれている
SCEWEV_PROG	7	プログラマブル イベント。セクション 19.8.3 の AUX_EVCTL:SCEWEVCFG0 および AUX_EVCTL:SCEWEVCFG1 を参照してください。

以下の手順では、コントローラのコア パワー マネージメントまたはプログラム フロー制御で、表 19-16 に記載されているイベントを使用します。

- wev0 および wev1 命令:

  センサ コントローラは、命令の実行を停止し、内部状態を固定して、選択したイベントが 0 または 1 になるまでクロックゲートされます。
- bev0 および bev1 命令:

  センサ コントローラは、イベント レベルに応じて条件分岐を行います。

SCEWEV_PROG イベントは、最大 2 つの、極性を設定可能なイベントの関数としてプログラムできます。このプログラミングは、たとえば、センサ コントローラがタイムアウト付きの I/O イベントを待機する必要がある場合に有用であり、最小限の電力消費でこれを実現できます。

19.3.2.6 演算アクセラレータ (MAC)

センサ コントローラは、以下のような数学演算に MAC モジュールを活用できます。

- 結果のオプションの累積を含む 16 ビット符号付きまたは符号なしの乗算
- プログラマブルな項およびアキュムレータに対する、16 ビットまたは 32 ビットの符号付きまたは符号なしの加算

これらの演算結果は、常に 40 ビット符号付きアキュムレータに格納されます。センサ コントローラは、アキュムレータに対して次の動作を直接実行できます。

- アキュムレータの初期化

Copyright © 2026 Texas Instruments Incorporated

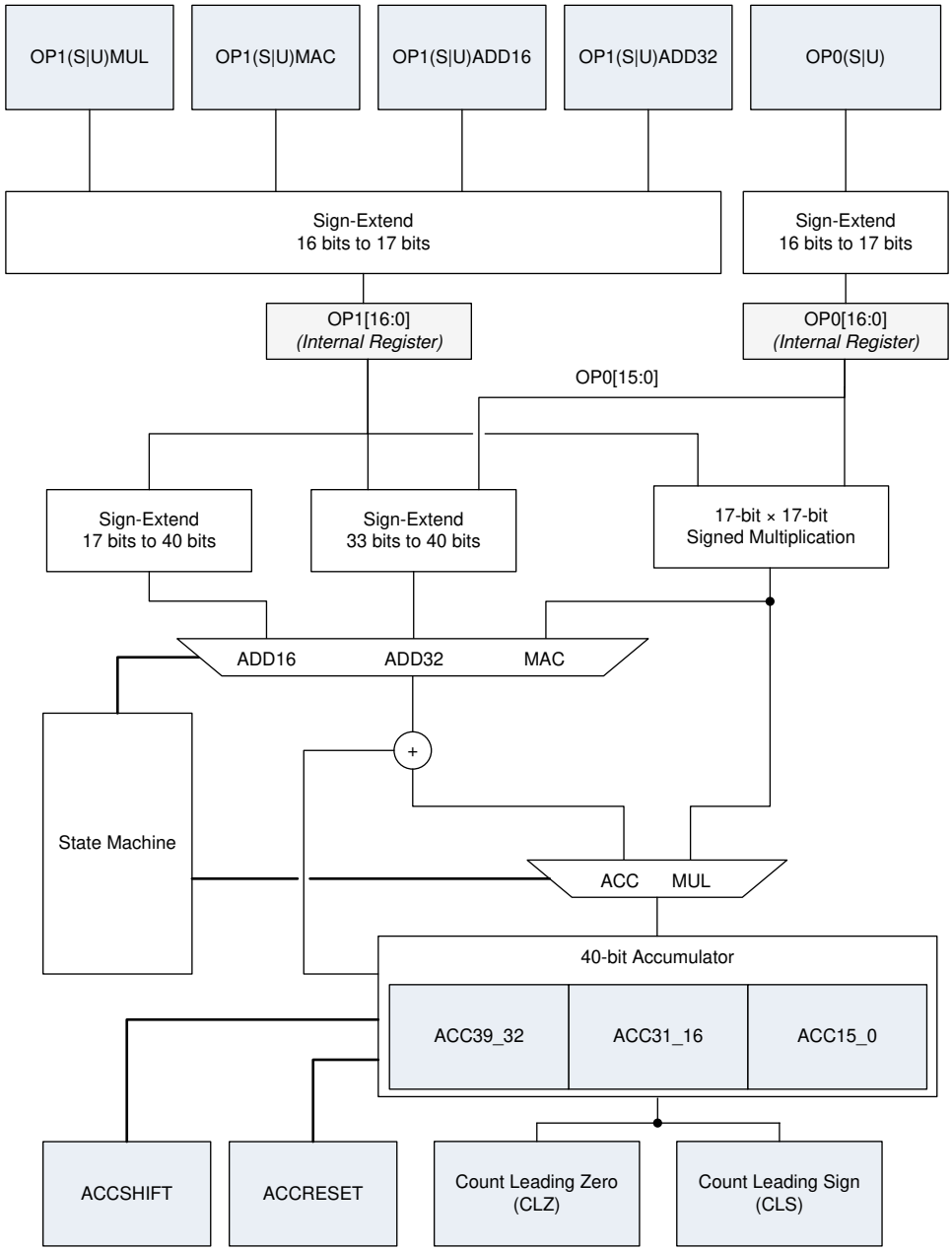
- アキュムレータのリセット
- アキュムレータの任意の 16 ビット スライスの読み出し
- アキュムレータ内の先頭の符号ビットまたはゼロ ビット数の読み出し
- アキュムレータの論理シフトと算術右シフトの実行

図 19-7 に、MAC のブロック図を示します。

タイミングを一定に保つには、センサ コントローラと MAC の動作レートを同一にすることが重要です。そのため、センサ コントローラ アプリケーションは、AUX_SYSIF:PEROPRATE レジスタの MAC_OP_RATE ビットを SCE_RATE に設定する必要があります (セクション 19.8.9 を参照)。

主な使用事例ではありませんが、システム CPU も MAC を使用できます。この場合にタイミングを一定に保つためには、AUX_SYSIF:PEROPRATE レジスタの MAC_OP_RATE ビットを BUS_RATE に設定する必要があります (セクション 19.8.9 を参照)。

Copyright © 2026 Texas Instruments Incorporated



Copyright © 2017, Texas Instruments Incorporated

図 19-7. MAC のブロック図

Copyright © 2026 Texas Instruments Incorporated

加算演算と乗算演算は、処理時間が一致しなくても結果は有効です。ただし、演算を完了するまでの時間は変動する可能性があります。

加算および乗算動作が完了するには、複数のペリフェラル クロック サイクルが必要です。以下に、Sensor Controller Studio で生成されたアセンブリ例を示します。

```
# Sample assembly (Example code produced by the Sensor Controller Studio)
# The contents of r4 are assumed to be signed in this example
0: out     R4,[#IOP_MAC_OP1SADD16]    ; add r4 to the accumulator
1: in      R1,[#IOP_MAC_15_0]         ; Store result bits 15:0 in r1
2: out     R4,[#IOP_MAC_OP1SMUL]      ; Multiply r4 with operand 0(assumed pre-programmed)
3: in      R2,[#IOP_MAC_31_16]        ; Store result bits 31:16 in r2
4: in      R3,[#IOP_MAC_15_0]         ; Store result bits 15:0  in r3
# The Sensor Controller uses the alias I/O memory space
IOP_MAC_OP1SMUL                 equ 11
IOP_MAC_OP1SADD16               equ 15
IOP_MAC_31_16                   equ 24
IOP_MAC_15_0                    equ 23
```

図 19-8 に示すように、加算演算は完了するまでに 1 ペリフェラル クロック サイクルが必要です。センサ コントローラは、演算をトリガした直後にその結果を読み取ろうとするため、1 クロック サイクル分停止します。この状態では、結果が準備できるまで、センサ コントローラへのクロックがゲートされます。

図 19-8 に示すように、乗算演算は完了するまでに 5 ペリフェラル クロック サイクルが必要です。センサ コントローラは、演算をトリガした直後にその結果を読み取ろうとするため、乗算演算では 5 クロック サイクル分停止します。この間、結果が準備されるまで、センサ コントローラへのクロックはゲートされます。乗算累積演算は、完了するために同じ数のペリフェラル クロック サイクルが必要です。

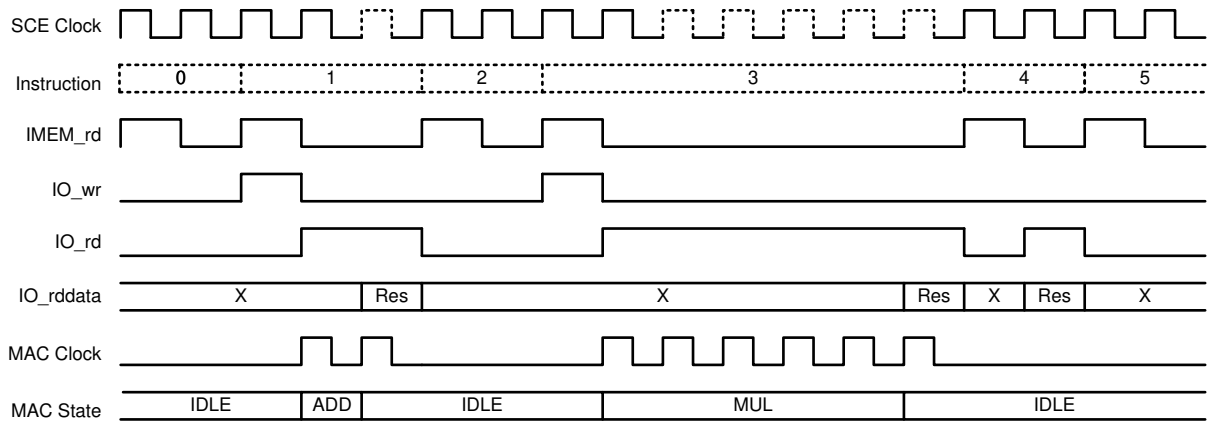


図 19-8. MAC タイミング図

19.3.2.7 プログラマブル マイクロ秒遅延

表 19-16 に、AUX_PROG_DLY_IDLE イベントを示します。このイベントのレベルは、16 ビットの AUX_EVCTL:PROGDLY カウンタの値によって異なります。カウンタ値がゼロの場合、レベルは High になり、それ以外の場合、レベルは Low になります。

カウンタにゼロでない値が読み込まれると、500kHz クロックのエッジごとに、カウンタ値がゼロになるまで、50% のデューティ サイクルで 1 LSB ずつ減少します。500kHz のクロック信号は、SCE レートで同期されます。したがって、エッジ検出ロジックが同期ジッタの影響を受けやすいため、1 つの LSB は平均で 1µs の遅延に相当します。

Copyright © 2026 Texas Instruments Incorporated

次の例は、センサ コントローラの実行を最低で 15µs 遅延させる方法を示しています。

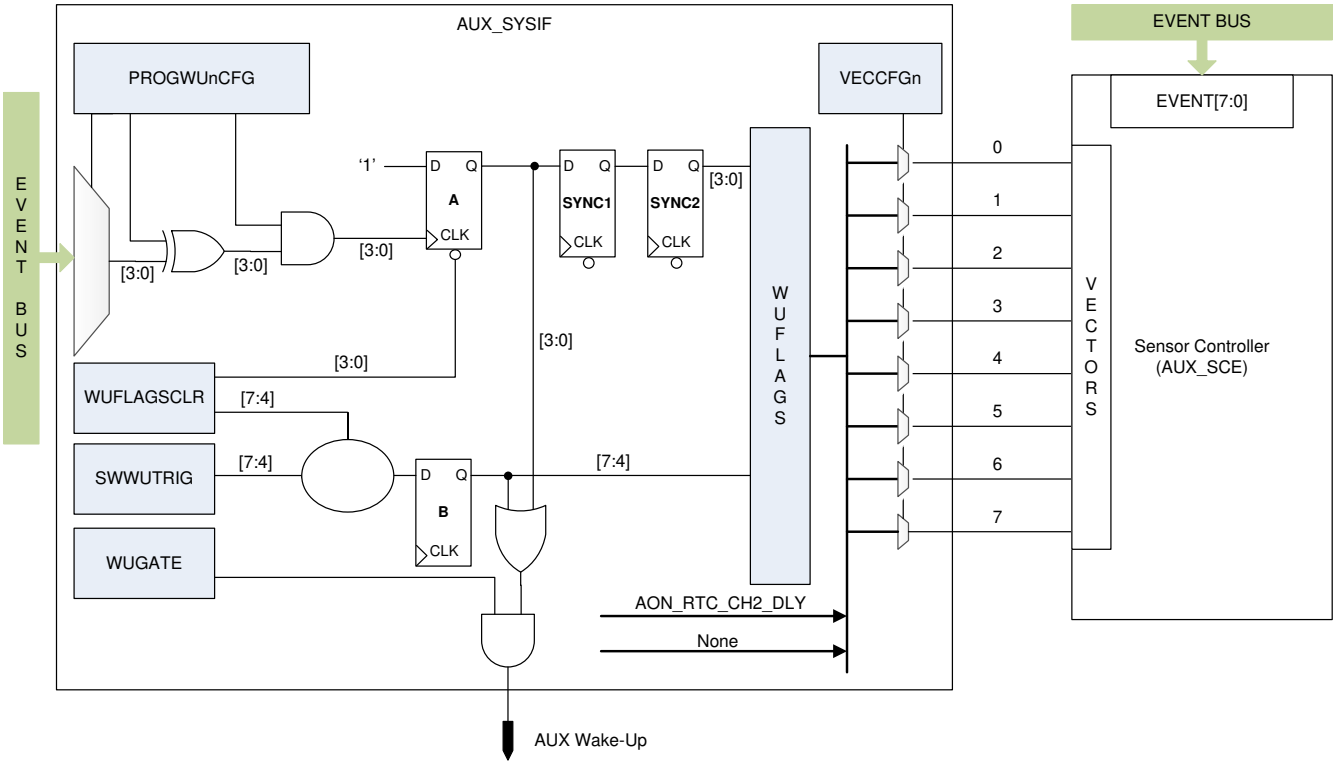
```
# Sample assembly (Example code produced by the Sensor Controller Studio)
0: ld      R4, #(15+1)              ; Load value for AUX_EVCTL:PROGDLY counter
1: out     R4, [#IOP_EVCTL_PROGDLY] ; Load the AUX_EVCTL:PROGDLY counter
2: wev1    #0                       ; Wait until AUX_EVCTL:PROGDLY counter is 0.
3: ...
# The Sensor Controller uses the alias I/O memory space
IOP_EVCTL_PROGDLY                 equ 73
```

AUX_EVCTL:PROGDLY 書き込みの瞬間と 500kHz のクロック エッジのタイミングには規則性がありません。したがって、15µs 以上の遅延を確保するためには、15µs に 1µs を追加する必要があります。

AUX_EVCTL:PROGDLY カウンタは、アクティブ モードと低消費電力動作モードでのみ機能します。パワーダウン動作モードでは、AUX_PROG_DLY_IDLE イベントを使用しないでください。

19.3.2.8 ウェークアップ イベント処理

図 19-9 に、センサ コントローラが 8 ビットのイベント インターフェイス および 8 ビットのベクタ ウェークアップ イベント インターフェイスを実装していることを示しています。



Copyright © 2017, Texas Instruments Incorporated

図 19-9. SCE ウェークアップおよびイベント インターフェイス

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

AUX_SYSIF:VECCFGn レジスタは、各ベクトル入力を選択可能なウェークアップ イベントにマッピングします (セクション 19.8.9 を参照)。表 19-17 に、使用可能なウェークアップ イベントを示します。

表 19-17. ウェークアップ イベント インターフェイス

イベント マッピング	値	説明
なし	0	ベクトル入力を無効化します
PROG_WU0	1	AUX_SYSIF:WUFLAGS.PROG_WU0
PROG_WU1	2	AUX_SYSIF:WUFLAGS.PROG_WU1
PROG_WU2	3	AUX_SYSIF:WUFLAGS.PROG_WU2
PROG_WU3	4	AUX_SYSIF:WUFLAGS.PROG_WU3
SW_WU0	5	AUX_SYSIF:WUFLAGS.SW_WU0
SW_WU1	6	AUX_SYSIF:WUFLAGS.SW_WU1
SW_WU2	7	AUX_SYSIF:WUFLAGS.SW_WU2
SW_WU3	8	AUX_SYSIF:WUFLAGS.SW_WU3
AON_RTC_CH2_DLY	9	AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

センサ コントローラは、ウェークアップ イベント インターフェイスが適切に構成されている場合にスリープ命令を実行します。スリープ命令は、命令実行を停止し、内部状態を停止し、1 つまたは複数のウェークアップ入力が設定されるまでクロックはセンサ コントローラをゲートします。その後、優先度が最も高いウェークアップ入力に対応するベクタ アドレスから命令実行が再開されます。表 19-18 に示されているように、最も高い優先度はベクトル 0 に割り当てられ、優先度はベクトル入力 7 まで直線的に減少します。

表 19-18. ウェークアップ ベクトル優先度

ウェークアップ入力	ハンドラ アドレス	優先度
0	0x0	最高
1	0x2	
2	0x4	
3	0x6	
4	0x8	
5	0xA	
6	0xC	
7	0xE	最低

1 つまたは複数のウェークアップ入力がすでに設定されている場合、スリープ 命令によってセンサ コントローラは直ちに最高優先度のベクタ アドレスから実行されます。

表 19-17 に示されているウェークアップ イベントを 図 19-9 と比較すると、AON_RTC_CH2_DLY を除くすべてのウェークアップ イベントが、AUX ドメインのウェークアップ イベントを駆動できることがわかります。AUX ドメインのウェークアップ イベントは、次のように駆動されます。

- 4 つのプログラマブル AUX ウェークアップ イベントにより、次を構成できます。
  - イベント ソース。セクション 19.8.9 の AUX_SYSIF:PROGWUnCFG.WU_SRC レジスタを参照してください。
  - 極性。セクション 19.8.9 の AUX_SYSIF:PROGWUnCFG.POL レジスタを参照してください。
  - レベル選択性またはエッジ選択性。セクション 19.8.9 の AUX_SYSIF:WUFLAGSCLR レジスタを参照してください。
- 4 つのソフトウェア イベント。セクション 19.8.9 の AUX_SYSIF:SWWUTRIG レジスタを参照してください。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

システム CPU は、これらのイベントを使用して、センサ コントローラとのハンドシェイクを実行します。

このため、センサ コントローラは通常、以下を行います。

- 1 つまたは複数の AUX ウェークアップ イベントを構成する
- センサ コントローラのウェークアップ ベクトル インターフェイスを構成する
- パワーダウン動作モードを要求する
- スリープ命令を実行する
- ウェークアップ:
  - ローパワーまたはアクティブ動作モードを要求する
  - ウェークアップ フラグをクリアする
  - タスクを実行し、場合によってはシステム CPU に通知する
- AUX ウェークアップ イベントを有効化する
- パワーダウン動作モードを要求する
- スリープ 命令を実行する

スリープ命令時に要求されるシステム リソースは最小限であり、システム全体の消費電力を低減できます。AUX ウェークアップ時に、システム電源コントローラは外部でローパワー モードまたはアクティブ AUX 動作モードを強制します。センサ コントローラは、ウェークアップ フラグをクリアする前に、同じ動作モードを要求する必要があります。AUX 動作モードのスイッチングの詳細については、セクション 19.2 を参照してください。

19.3.2.9 AON ドメイン レジスタへのアクセス

基本的に、センサ コントローラは AON ドメインにアクセスできません。ただし、特定のシステム機能にはアクセスできます。このアクセスには、以下が含まれます。

以下のバッテリ モニタおよび温度センサのレジスタへの読み出しアクセス:

- AON_BATMON:BAT
- AON_BATMON:TEMP

詳細については、セクション 19.8.9 の AUX_SYSIF:BATMONBAT および AUX_SYSIF:BATMONTEMP レジスタを参照してください。

- 以下のリアルタイム クロック レジスタへの読み出しアクセス:
  - AON_RTC:SEC.VALUE[15:0]
  - AON_RTC:SUBSEC.VALUE[31:16]

  詳細については、セクション 19.8.9 の AUX_SYSIF:RTCSEC および AUX_SYSIF:RTCSUBSEC レジスタを参照してください。
- リアルタイム クロック サブ秒のインクリメントを更新:

  詳細については、セクション 19.8.9 の AUX_SYSIF:RTCSUBSECINC0、AUX_SYSIF:RTCSUBSECINC1、および AUX_SYSIF:RTCSUBSECINCCTL レジスタを参照してください。
- リアルタイム クロック チャネル 2 イベントのクリア:

  詳細については、セクション 19.8.9 の AUX_SYSIF:RTCEVCLR レジスタを参照してください。
- VDDR 電源レールの再充電をトリガし、当該イベントが次の時間間隔で発生したかどうかを検出します。

  詳細については、セクション 19.3.2.10 を参照してください。
- 一定時間内におけるマイコン ドメインの電源状態の遷移の検出:

  このような変更により、SCE クロック レートが累積的に変化することがあります。詳細については、セクション 19.8.9 の AUX_SYSIF:CLKSHIFTDET レジスタを参照してください。

Copyright © 2026 Texas Instruments Incorporated

19.3.2.10 VDDR 再充電

VDDR の再充電は、センサ コントローラが低消費電力モードまたはパワーダウン動作モードを要求する際に発生する可能性があります。再充電によって VDDS 電流スパイクが発生し、AUX 測定値に影響を及ぼす可能性があります。高感度測定中に VDDR 再充電に起因する電源ノイズを回避するため、センサ コントローラは、図 19-10 に示す手順に従う必要があります。

この設定により、センサ コントローラは低消費電力モードまたはパワーダウン動作モードでタスクを実行できるため、この手順は、AON_PMCTL:RECHARGECFG.MODE がコンパレータに設定されている場合にのみ有効です。

センサ コントローラは、システム電源コントローラが特定の時間間隔内に VDDR を再充電するかどうかを検出することもできます。この手順は、AUX_SYSIF:RECHARGEDET で説明されています (セクション 19.8.9 を参照)。

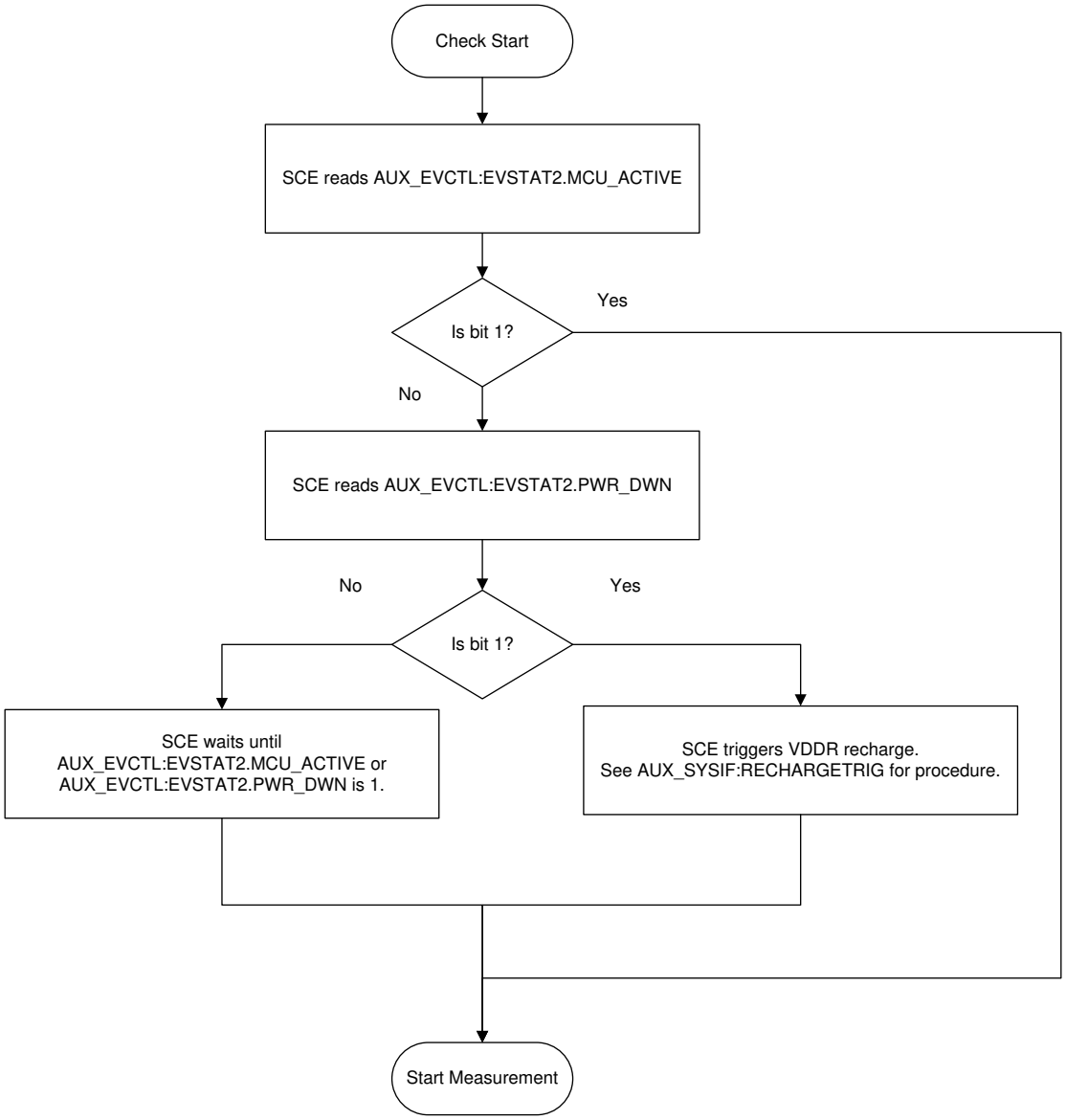


図 19-10. VDDR 再充電の電源ノイズを避ける

Copyright © 2026 Texas Instruments Incorporated

19.4 デジタル ペリフェラル モジュール

19.4.1 概要

表 19-19 に、AUX ドメインのデジタル ペリフェラルと、それぞれの動作レートおよびアドレス空間を示します。動作レートの詳細については、セクション 19.2 を参照してください。

表 19-19. デジタル ペリフェラル

デジタル ペリフェラル	動作クロック レート(1)		
	AUX バス レート	AUX SCE レート	AUX Timer2 レート
AUX_SPIM	(X)	X	
AUX_TIMER2			X
AUX_TDC	X		
AUX_TIMER01	(X)	X	
AUX_SMPH	X		
AUX_AIODIO0		X	
AUX_AIODIO1		X	
AUX_AIODIO2		X	
AUX_AIODIO3		X	
AUX_DDI0_OSC	X		

(1) X = デフォルト レート
(X) = レートの上書きが可能 (XX) = イベント同期レートの上書きが可能

センサ コントローラとシステム CPU は、AUX ドメインのデジタルペリフェラルを共有できます。このような共有が必要な場合は、ペリフェラルへのアクセスを調停するために、SMPH のハードウェア セマフォを使用することをお勧めします。同様の理由から、システム CPU とセンサ コントローラは、使用後にペリフェラルをリセット状態にしておくことを推奨します。表 19-21 に、TI ソフトウェアがセマフォにリソースを割り当てる方法を示します。

19.4.1.1 DDI 制御構成

AUX_DDI_OSC (表 19-19 に示す) は、実際はデジタル ペリフェラルではありません。図 19-1 に示すように、システム CPU とセンサ コントローラはどちらも、AUX_DDI0_OSC モジュールを経由して DDI_0_OSC にアクセスし、システム クロックを制御して構成します。AUX_DDI_OSC モジュールは、4 種類のアクセスをサポートしており、マルチサイクル バス インターフェイスを介してアナログ ドメインの接続を効率化します。アクセスのタイプ:

- ダイレクト
- 設定
- クリア
- マスク付き

バス クロック レートが SCE クロック レートよりも高い場合、センサ コントローラのアクセス レイテンシは短くなります。

システム CPU アプリケーションがこのモジュールへのアクセスを必要とする場合、TI から提供された DriverLib API 関数をアプリケーションで使用する必要があります。Sensor Controller Studio の API 関数には、必要に応じてアクセスする機能があり、コードを開発する際にこのモジュールを考慮する必要はありません。

システム クロックの説明については、セクション 19.2 を参照してください。

19.4.2 AIODIO

19.4.2.1 概要

AUX アナログ I/O デジタル I/O (AUX_AIODIOx) ペリフェラルは、パッケージ上の個別の DIO にマッピングされる 32 の AUX I/O を制御します。AUX I/O の主な所有者はセンサ コントローラですが、システム CPU も設定および使用することができます。システム CPU が関与する意味のあるシナリオは、制御をセンサ コントローラへ渡す前に AUX I/O を設定する場合のみです。

Copyright © 2026 Texas Instruments Incorporated

4 つの AIODIO インスタンスが、32 の AUX I/O を設定および制御します。表 19-20 に示すように、各 AIODIO ペリフェラルは 8 つの AUX I/O を管理します。

表 19-20. AUX I/O 制御

ペリフェラル	AUX I/O
AUX_AIODIO0	0～7
AUX_AIODIO1	8～15
AUX_AIODIO2	16～23
AUX_AIODIO3	24～31

ペリフェラルの特長は次のとおりです。

- 32 の汎用 I/O、構成可能な I/O モードを備えています。
  - デジタル入力
  - デジタル出力
  - オープンドレイン デジタル出力
  - オープンソース デジタル出力
- 最大 8 つの I/O が、アナログ転送をサポートしています。
- 構成可能な出力データ ソース:
  - ペリフェラル
  - イベント
  - 登録

図 19-11 に、単一の AUX I/O (k) のブロック図と、DIO (n) への接続方法を示します。

19.4.2.2 機能説明

19.4.2.2.1 DIO ピンへのマッピング

表 13-2 に、パッケージ固有の AUXIO-DIO のマッピングを示します。DIO (n) を AUX IO (k) に接続するには、IOC:IOCFGn.PORT_ID を AUX_IO に設定する必要があります。Sensor Controller Studio でコードを開発するときは、この操作は不要です。これは、ツールによってピン マッピングと必要な IOC 構成が処理されるためです。

19.4.2.2.2 構成

セクション 19.4.2.2.3 に、AUX I/O の構成を示します。Sensor Controller Studio でコードを開発する場合、ユーザーが直接構成する必要はありません。ユーザーは、Sensor Controller Studio API で直接操作します。

19.4.2.2.3 GPIO モード

AUX_AIODIOn:IOMODE (セクション 19.8.2 を参照) は、各 AUX I/O の I/O モードを以下のように設定します。

- 入力
- デジタル出力
- オープンドレイン デジタル出力
- オープン ソース デジタル出力

Copyright © 2026 Texas Instruments Incorporated

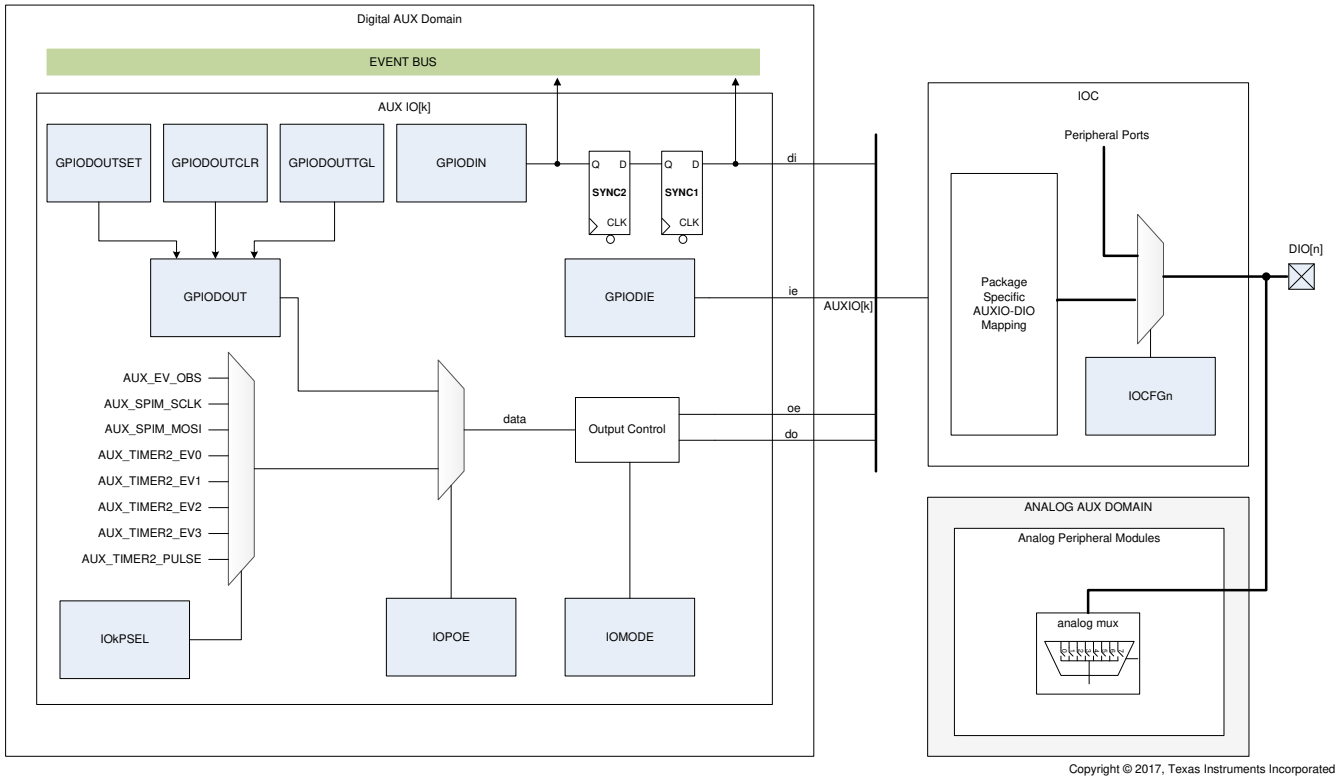


図 19-11. AUX I/O ブロック図

19.4.2.2.4 入力バッファ

AUX I/O をデジタル入力として使用するには、デジタル入力バッファを有効にする必要があります。このバッファは、AUX_AIODIOn:GPIODIE で対応するビットを設定すると、有効になります。

AUX I/O は、デフォルトでは SCE クロック レートで同期され、システム CPU が AIODIO インスタンスを書き込む際にも同期されます。後者の同期動作は、同期クロック レートを一定に保つために、AUX ペリフェラルまたはセンサ コントローラ機能より前に初期化する必要があります。

最大 8 つの AUX I/O により、DIO とアナログ AUX ペリフェラルの間でアナログ転送が可能です。アナログ転送を有効にするには、I/O モードを「入力」に設定し、デジタル入力バッファを無効化します。アナログ転送を有効にする AUX I/O を確認するには、表 13-2 を参照してください。

19.4.2.2.5 データ出力ソース

各 AUX I/O は、I/O モード出力構成に従ってデータを伝搬します。データ ソースは AUX_AIODIOn:IOPOE によって次のように制御されます。

- **ダイレクト モード:** データ ソースは内部の AUX_AIODIOn:GPIODOUT レジスタです。
- **ペリフェラル モード:** データ ソースは AUX_AIODIOn:IOnPSEL.SRC で選択します。

レジスタの説明については、セクション 19.8.2 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

19.4.3 SMPH

19.4.3.1 概要

AUX セマフォ (AUX_SMPH) ペリフェラルには、8 個のハードウェア セマフォが含まれています。システム CPU とセンサ コントローラは、セマフォを使用してリソースの所有権を実装します。

19.4.3.2 機能説明

ハードウェア セマフォ機能はシンプルです。モジュールにアクセスして使用する権限などのリソースを予約するために、システム CPU アプリケーションは読み取り動作によって特定のセマフォを要求します。その読み取り値によって所有権が決まります。

- 0 = センサ コントローラが、セマフォとそれに関連付けられたリソースを所有します。
- 1 = システム CPU がセマフォとそれに関連付けられたリソースを所有します。

モジュールにアクセスして使用する権限などのリソースを予約するために、センサ コントローラ タスクは読み取り動作によって特定のセマフォを要求します。その読み取り値によって所有権が決まります。

- 0 = システム CPU がセマフォとそれに関連付けられたリソースを所有します。
- 1 = センサ コントローラが、セマフォとそれに関連付けられたリソースを所有します。

セマフォの所有者だけが、セマフォに値 1 を書き込んで開放する必要があります。このルールを強制するハードウェア メカニズムはありません。

ポーリングを回避し、電力を節約するために、システム CPU は SMPH_ID を AUX_SMPH:AUTOTAKE.SMPH_ID に書き込み、セマフォを要求できます。AUX_EVCTL:EVTOMCUFLAGS。そのセマフォがシステム CPU に属している場合、AUX_SMPH_AUTOTAKE_DONE イベントは 1 になります。センサ コントローラではこの機能を使用しないでください。このルールを強制するハードウェア メカニズムはありません。

19.4.3.3 TI のソフトウェア内でのセマフォ アロケーション

表 19-21 に、TI ソフトウェアがセマフォにリソースを割り当てる方法の要約を示します。

表 19-21 にリストされているリソースとセマフォのマッピングに基づいて、アプリケーションが複数のセマフォを必要とする場合、システム CPU とセンサ コントローラは同じ順序でセマフォを取得する必要があります。したがって、システム CPU とセンサ コントローラ アプリケーションの両方が COMPA およびリファレンス DAC ペリフェラルを必要とする場合、両方のアプリケーションで SMPH_ID 4 を先に要求し、次に SMPH_ID 3 を要求するか、その逆の順序で要求する必要があります。

表 19-21. セマフォ リソース アロケーション

SMPH_ID	リソース アロケーション
0	TI により未割り当て
1	TDC
2	ADC + COMPB
3	COMPA + ISRC
4	リファレンス DAC
5	Timer2
6	TI により未割り当て
7	TI により未割り当て

Copyright © 2026 Texas Instruments Incorporated

19.4.4 SPIM

19.4.4.1 概要

AUX SPI マスタ (AUX_SPIM) ペリフェラルは、センサ コントローラが低消費電力で SPI 通信を行えるようにします。このペリフェラルの主な所有者はセンサ コントローラですが、システム CPU と共有したり、システム CPU が所有することも可能です。

SPI マスタは、SCLK 信号の生成、MOSI 信号の生成、MISO のサンプリングを処理します。SPI チップ セレクト (CS) 信号は、ペリフェラルによって制御されないため、CS ピンはセンサ コントローラが個別に制御する必要があります。

ペリフェラルの特長は次のとおりです。

- 構成可能な SCLK 周波数
- 構成可能な位相と極性
- 8 ビットと 16 ビットの転送サイズに対応
- SCLK、MOSI、MISO はすべての AUX I/O に接続可能
- バッファを持たない RX および TX シフト レジスタ

図 19-12 に、SPI マスタのブロック図と、DIO への接続方法を示します。

Copyright © 2026 Texas Instruments Incorporated

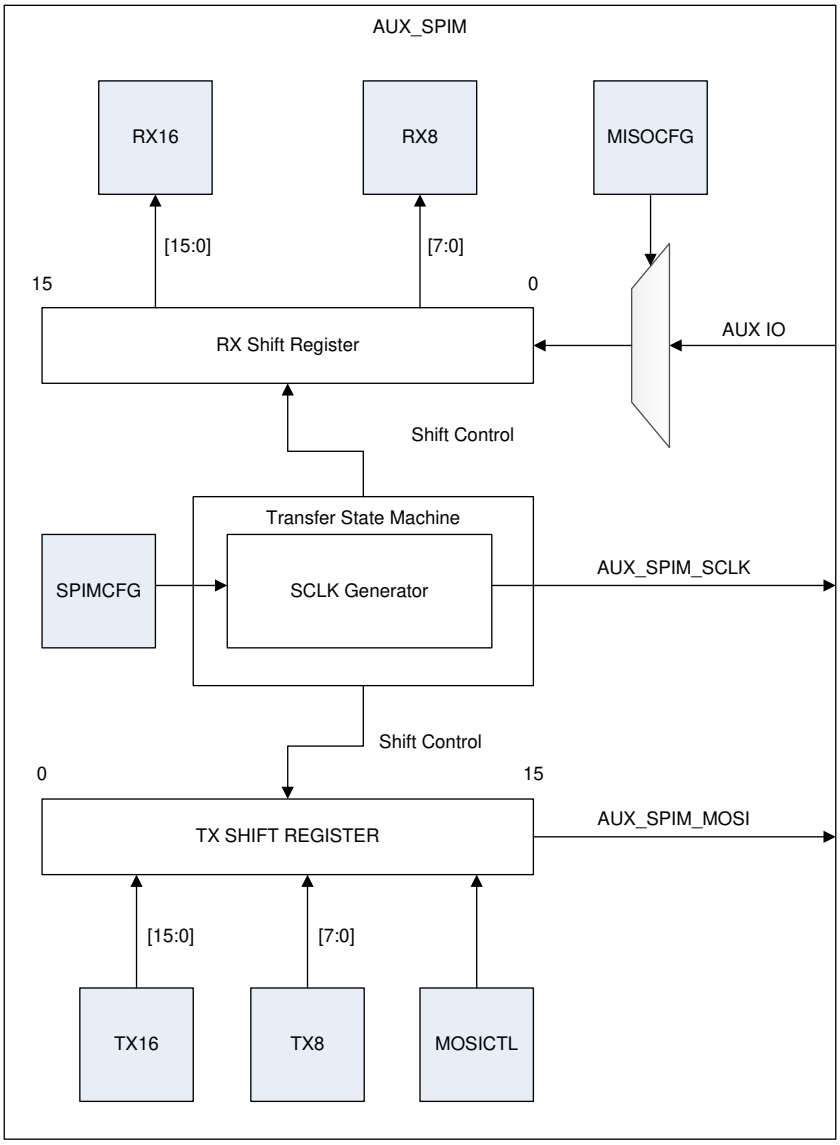


図 19-12. AUX_SPIM のブロック図

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.4.4.2 機能説明

19.4.4.2.1 TX および RX 動作

SPI マスタとスレーブの間で 8 ビットまたは 16 ビットのデータを転送するには、AUX_SPIM:TX8 または AUX_SPIM:TX16 に書き込みます。データは最初に I/O の MSB に伝播します。転送が完了すると、MOSI は LSB の値にとどまります。

SPI 転送の進行中には、レジスタへのアクセスがブロックされます。

- AUX_SPIM:SCLKIDLE の読み出しアクセスは、SCLK がアイドルのときに完了します。
- AUX_SPIM:DATAIDLE の読み出しアクセスは、LSB のビット周期が終わると完了します。
- AUX_SPIM:RX8 および AUX_SPIM:RX16 の読み出しアクセスは、LSB がキャプチャされると完了します。
- LSB のビット周期が終わると、任意のレジスタへの書き込みアクセスが完了します。

センサ コントローラへのアクセスがブロックされるとセンサ コントローラは停止します。この機能を利用することでコード サイズを縮小し、電力を節約できます。

19.4.4.2.2 構成

SPI マスタおよび必要な I/O マッピングは、最小限の設定でセットアップできます。

AUX_SPIM:SPIMCFG レジスタは、次のように設定します。

- SCLK プリスケーラ:
  - SCLK は、DIV フィールドの値で指定される、ペリフェラル クロックを分周して生成されます。
- MOSI および MISO データ信号の位相:
  - PHA フィールドは、MOSI をシフトするタイミングと MISO をサンプリングするタイミングを選択します。MISO は常に、ビット期間の途中の SCLK エッジによってサンプリングされます。
- SCLK 極性:
  - POL フィールドは SCLK のアイドル状態を選択します。

次の方法でペリフェラル SPI 信号を AUX I/O に接続します。

- SCLK:
  - SCLK に接続する AUX I/O を確認します。
  - AUX I/O ペリフェラル出力を AUX_SPIM_SCLK に設定します。
  - AUX I/O のペリフェラル出力を有効にします。
  - I/O モードをデジタル出力に設定します。
- MOSI:
  - MOSI に接続する AUX I/O を確認します。
  - AUX I/O ペリフェラル出力を AUX_SPIM_MOSI に設定します。
  - この AUX I/O のペリフェラル出力を有効にします。
  - I/O モードをデジタル出力に設定します。
- MISO:
  - MISO として接続されている AUX I/O を確認します。
  - I/O モードを入力に設定します。
  - デジタル入力バッファを有効にします。
  - 選択した AUX I/O に AUX_SPIM:MISOFCG を設定します。

チップ セレクト (CS) は、ホストによって個別に制御されます。CS として機能する AUX I/O を次のように設定します。

- CS として機能する AUX I/O を確認します。
- この AUX I/O のペリフェラル出力を無効にします。
- I/O モードをデジタル出力に設定します。

Sensor Controller Studio が必要な設定をユーザーに代わって処理します。

Copyright © 2026 Texas Instruments Incorporated

19.4.4.2.3 タイミング図

図 19-13 および 図 19-14 に、AUX_SPIM:SPIMCFG フィールドの設定が 8 ビット データ転送に与える影響と、レジスタ アクセス ブロックの期間を示します。説明のため、AUX_SPIM:SPIMCFG.DIV は 0x4 に設定されています。これにより、ペリフェラル クロック周期の 10 倍の SCLK 周期が得られます。

図 19-13 と 図 19-14 の両方で、ユーザーが送信の開始を示す AUX_SPIM:TX8 を書き込むと、ペリフェラル クロックのトグルが開始され、ブロッキングが開始されます。POL フィールドの値は波形のタイミングに影響を与えず、SCLK の IDLE 状態を設定するだけです。PHA フィールドの値によって、SCLK に対する MOSI 信号と MISO 信号の位相が決まります。図 19-13 と 図 19-14 に示すように、これは AUX_SPIM:SCLKIDLE レジスタ アクセスのブロック期間にも影響を及ぼします。PHA = 1 の場合、SCLK はより早くに IDLE 状態に達するため、アクセスはより速く完了します。

注

AUX_SYSIF:PEROPRATE.SPIM_OP_RATE でペリフェラル クロック周波数を次のように設定します。

- センサ コントローラがペリフェラルを所有する場合は、SCE_RATE に設定する必要があります。
- システム CPU がペリフェラルを所有する場合は、BUS_RATE に設定する必要があります。

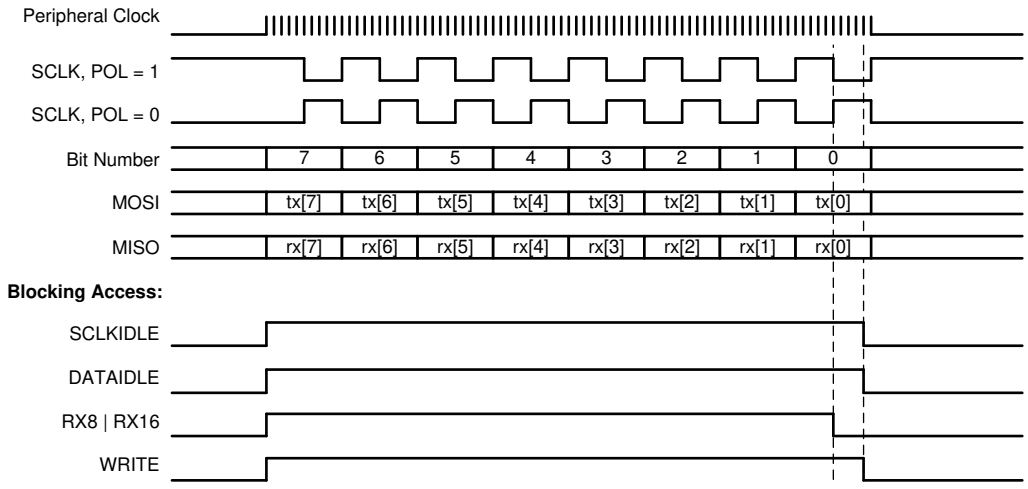


図 19-13. SPI タイミング図：PHA = 0

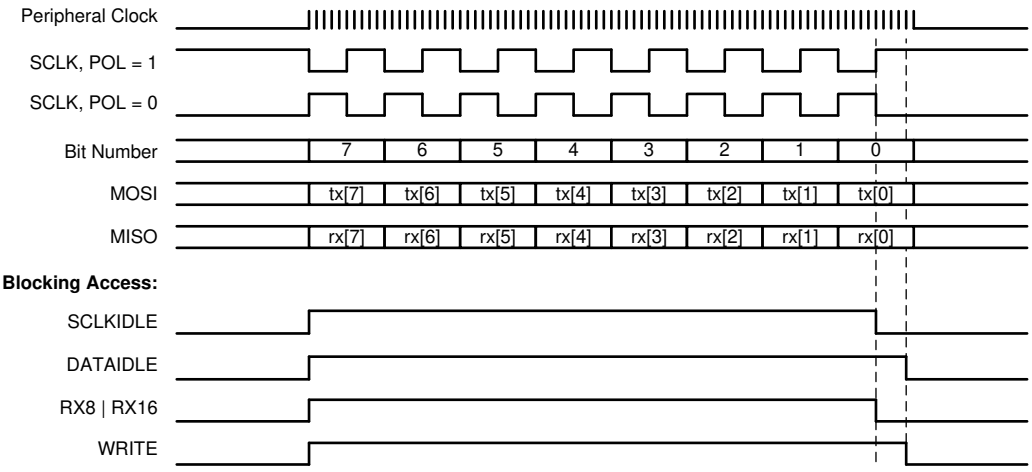


図 19-14. SPI タイミング図：PHA = 1

Copyright © 2026 Texas Instruments Incorporated

19.4.5 時間 / デジタル コンバータ (TDC)

19.4.5.1 概要

AUX TDC (AUX_TDC) ペリフェラルは、設定可能な開始イベントと停止イベントの間の時間を測定するために使用される高精度 TDC です。TDC は、選択したカウンタ クロック ソースの両方のエッジを使用して、96MHz または 48MHz のどちらかでカウントします。

TDC ペリフェラルの特長は次のとおりです。

- 構成可能なカウンタ クロック ソース
- オンチップ クロックのキャリブレーション用の構成可能なリファレンス クロック ソース
- 構成可能な開始イベント ソースと極性
- 構成可能な停止イベント ソースと極性
- 開始および停止イベントのオプションのプリスケーリング
  - プリスケーラはスタンドアロンの非同期パルス カウントにも使用できます。
- オプションの停止イベント無視カウンタ:
  - 1 回の TDC 変換で複数周期を測定できます。
- 構成可能な飽和制限を持つ 25 ビット TDC 変換カウンタ
- TDC 測定完了イベント

TDC は通常、次の用途に使用されます。

- 周波数の測定
- アナログ AUX ペリフェラル ISRC および COMPA と組み合わせた静電容量センシング
- 任意のイベント間の精密な時間測定
- プリスケーラを使用したスタンドアロンの非同期パルス カウント

センサ コントローラとシステム CPU は、TDC ペリフェラルを共有しています。TI-RTOS は、RCOSC のキャリブレーションに TDC ペリフェラルを使用します。このペリフェラルを使用するには、両方のマスタがリソース共有を実装し、それを遵守する必要があります。詳細については、セクション 19.4.3.3 を参照してください。

図 19-15 に、TDC のブロック図を示します。また、TDC を使用するために構成を必要とする発振器制御 (OSCCTL) モジュールへの接続も示しています。

Copyright © 2026 Texas Instruments Incorporated

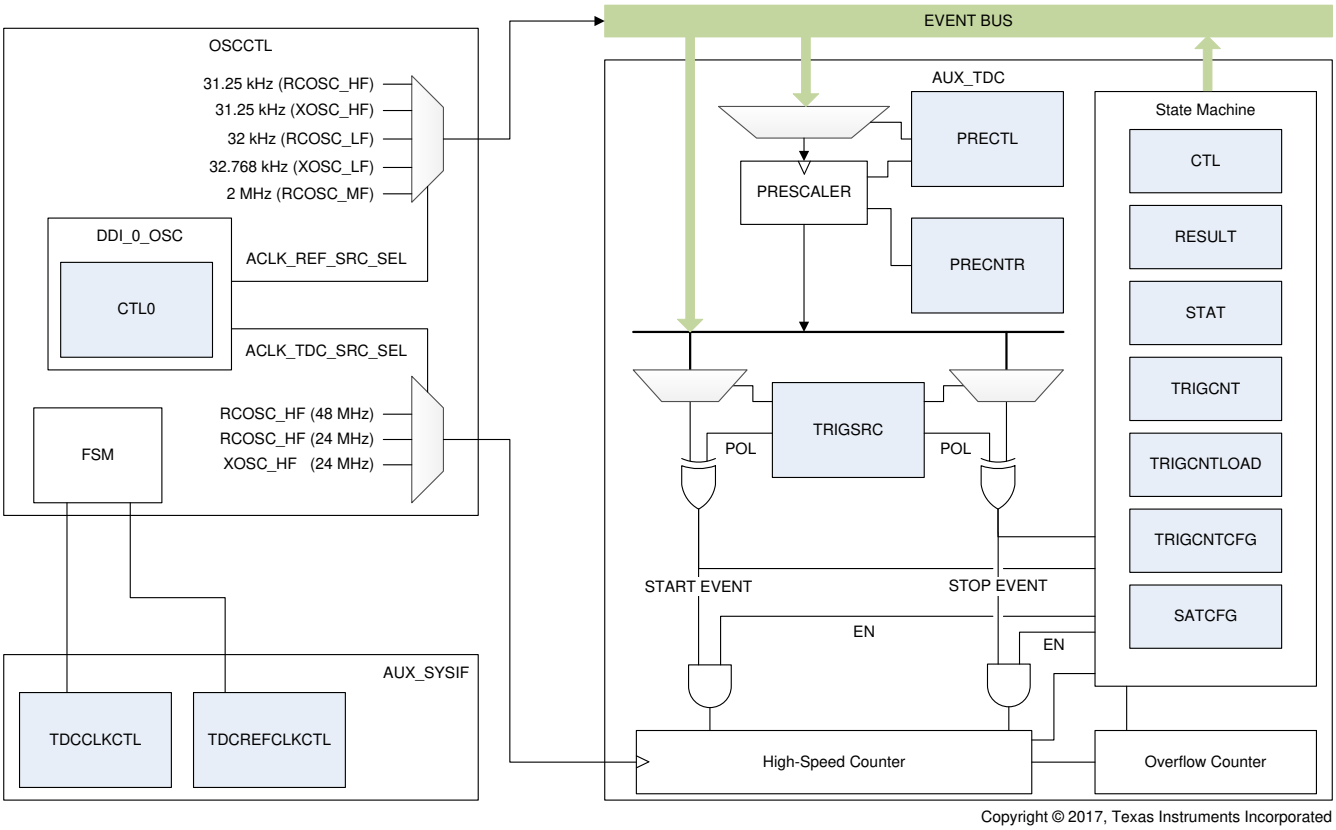


図 19-15. AUX_TDC のブロック図

19.4.5.2 機能説明

図 19-15 に示す TDC ステート マシンは、TDC 変換プロセスを制御および監視します。TDC ステート マシンには、次のユーザー インターフェイスがあります。

- コマンド
- 変換時間の構成
- ステータスと結果

TDC ステート マシンは、次の構成に基づいて変換を実行します。

- クロック ソースの選択
- イベント選択の開始と停止
- プリスケーラ構成

セクション 19.4.5.2.1 ～ セクション 19.4.5.2.6 では、インターフェイスと構成について説明しています。

注

- センサ コントローラで TDC を使用するには、アクティブな AUX 動作モードを要求する必要があります。
- システム CPU およびセンサ コントローラは TDC を構成する必要があり、AUX_TDC:STAT.STATE = IDLE です。許可される例外は次のとおりです。
  - AUX_TDC:TRIGCNT の更新
  - 中断コマンド

Copyright © 2026 Texas Instruments Incorporated

19.4.5.2.1 コマンド

TDC ステート マシンは、次の 4 つのユーザー コマンドをサポートしています。

- 同期カウンタ開始:

  TDC 変換は、開始イベント エッジが発生すると開始します。これは周波数測定に便利です。
- 非同期カウンタの開始:

  TDC 変換は、開始イベント レベルが発生すると直ちに開始されます。ユーザーがイベント ソースを制御しない限り、正確なエッジ ツー エッジ測定は保証されません。後者の場合、ユーザーは AUX_TDC:STAT.STATE が 0x5 未満になるまで開始イベントが到来しないようにする必要があります。これには約 420ns かかります。
- 中断:

  進行中の TDC 測定をステート マシンに強制的に中断させます。AUX_TDC:STAT.STATE が次のいずれかの値と等しい場合は、このコマンドを書き込まないでください。
  - CLR_CNT
  - WAIT_CLR_CNT_DONE

  これに従わないと、これらの状態で TDC が停止することがあります。
- クリア:

  結果レジスタおよびステータス レジスタをクリアします。

詳細については、セクション 19.8.5 の AUX_TDC:CTL を参照してください。

19.4.5.2.2 変換時間の構成

ユーザーは、TDC ステート マシンを次のように構成できます。

- 選択した値で変換結果を飽和:

  これは、タイムアウトを指定することと同じです。詳細については、セクション 19.8.5 の AUX_TDC:SATCFG を参照してください。
- 変換中の AUX_TDC:TRIGCNTLOAD 停止イベント数を無視する

AUX_TDC:TRIGCNTLOAD を構成し、TDC ステート マシンが IDLE のときに内部ストップ カウンタがイネーブルになるように AUX_TDC:TRIGCNTCFG.EN を設定します。

TDC 変換中に内部停止カウンタの現在値をオーバーライドするには、AUX_TDC:TRIGCNT に書き込みます。停止カウンタはユーザーが読み出している間にデクリメントする可能性があるため、このレジスタの読み戻しは慎重に処理する必要があります。この場合、無視すべき停止イベントが残っていないにもかかわらず、ユーザーは 1 の値を読み取れる場合があります。その際、TDC 測定は、停止カウンタの更新を無視します。TDC 変換中に停止カウンタを安全に更新するには、AUX_TDC:TRIGCNT > 1 のときに更新する必要があります。

19.4.5.2.3 ステータスと結果

次の状態および変換ステータス フラグは、AUX_TDC:STAT レジスタで利用できます。

- 飽和フラグ
- 完了フラグ
- TDC ステート マシンの状態

TDC ステート マシンは、変換が単独で完了したとき、または中止コマンドによって終了したときに AUX_TDC:RESULT を更新します。同時に、AUX_TDC:STAT.DONE が Low から High に遷移します。

Copyright © 2026 Texas Instruments Incorporated

19.4.5.2.4 クロック ソースの選択

19.4.5.2.4.1 カウンタ クロック

TDC 高速カウンタ クロック ソースは、DDI_0_OSC によって構成できます。表 19-22 に示す CTL0.ACLK_TDC_SRC_SEL。

表 19-22. TDC カウンタ クロック ソース

ACLK_TDC_SRC_SEL	発振器	周波数 (MHz)
0x0	RCOSC_HF	48
0x1	RCOSC_HF	24
0x2	XOSC_HF	24
0x3	未使用	該当なし

DDI_0_OSC:CTL0.ACLK_TDC_SRC_SEL の構成は、DDI 制御構成インターフェイスを使用して行います。詳しくは、セクション 19.4.1.1 を参照してください。

TDC 測定を開始する前に、選択したカウンタ クロック ソースをアクティブにする必要があります。

- AUX_SYSIF:TDCCLKCTL.REQ を設定して、クロック ソースを要求します。
- AUX_SYSIF:TDCCLKCTL.ACK が設定されている場合、クロック ソースはアクティブになります。

注

TDC 測定が完了したら、カウンタ クロック ソースを無効にする必要があります。これを行わない場合、発振器制御モジュールが電源システムにリソースを要求するため、システムはスタンバイ モードに移行できません。クロック ソース要求を削除するには、AUX_SYSIF:TDCCLKCTL.REQ をクリアします。

19.4.5.2.4.2 基準クロック

オンチップ発振器の周波数を測定するようにリファレンスクロックを構成します。リファレンス クロック ソースは、表 19-23 に示すように、DDI_0_OSC:CTL0.ACLK_REF_SRC_SEL で設定できます。

表 19-23. TDC リファレンス クロック ソース

ACLK_REF_SRC_SEL	発振器	周波数 (kHz)
0x0	RCOSC_HF	31.25
0x1	XOSC_HF	31.25
0x2	RCOSC_LF	32
0x3	XOSC_LF	32.786
0x4	RCOSC_MF	2000
0x5–0x7	未使用	該当なし

DDI_0_OSC:CTL0.ACLK_REF_SRC_SEL の設定は、DDI 制御構成インターフェイスを使用して行います。詳細については、セクション 19.4.1.1 を参照してください。

TDC 測定を開始する前に、選択したリファレンス クロック ソースをユーザーが有効化する必要があります:

- AUX_SYSIF:TDCREFCLKCTL.REQ をセットして、リファレンス クロック ソースを要求します。
- AUX_SYSIF:TDCREFCLKCTL.ACK が設定されている場合、クロック ソースはアクティブになります。

Copyright © 2026 Texas Instruments Incorporated

注

TDC 測定が完了したら、高周波発振器からの要求をすべて解除する必要があります。これを行わない場合、発振器制御モジュールが電源システムにリソースを要求するため、システムはスタンバイ モードに移行できません。AUX_SYSIF:TDCREFCLKCTL.REQ をクリアして、リファレンス クロック ソースの要求を解除します。

19.4.5.2.5 開始と停止のイベント

TDC 変換の開始および停止イベントは、AUX イベント バス上のイベントから派生します。図 19-15 に示すように、AUX_TDC:TRIGSRC レジスタは、2 つのイベントと、この目的に対応する極性を個別に選択します。どちらのイベントも、ユーザーのコマンドと設定に従って、TDC ステート マシンによってオプションでゲートされます。

19.4.5.2.6 プリスケーラ

図 19-15 に示すプリスケーラは、セクション 19.4.5.3 に示すタイミング要件を遵守するために高周波信号を分周するのに使用されます。プリスケーラは、イベント バスからイベントを分周して、AUX_TDC_PRE という名前の低周波数イベントを生成します。分周比は 16 または 64 で、結果として得られるイベント波形のデューティ サイクルは 50% です。ユーザーは、TDC 変換の開始イベントと停止イベントの両方として AUX_TDC_PRE を選択する必要があります。

以下のシーケンスでプリスケーラを初期化します。

1. AUX_TDC:PRECTL.RESET_N を 0 に設定してプリスケーラをリセットします。これにより内部カウンタがリセットされ、AUX_TDC_PRE イベントがクリアされます。
2. プリスケーラ イベント ソース、AUX_TDC:PRECTL.SRC、を設定します。
3. 分周比、AUX_TDC:PRECTL.RATIO、を設定します。

次に、AUX_TDC:PRECTL.RESET_N を 1 に設定してプリスケーラ イベント生成を有効にします。

プリスケーラをイベント プリスケーリングに使用する場合、以下の制限事項があります。

- サポート対象の TDC コマンドは、同期カウンタ開始のみです。
- プリスケーラ入力周波数は 24MHz よりも低くする必要があります。
- TDC 変換結果はイベント プリスケーリングを考慮していないため、ソフトウェアは TDC 結果を適切にスケーリングする必要があります。

19.4.5.3 サポート対象の測定タイプ

TDC を使用すると、任意に選択した 2 つのイベント間の時間を測定できます。このセクション (セクション 19.4.5.3.1 ～ セクション 19.4.5.3.4) には、最も重要な測定タイプを特定して、関連するイベントのタイミング要件を示します。測定の正確性と再現性を保証するために、タイミング要件は確実に遵守しなければなりません。

19.4.5.3.1 パルス幅の測定

イベント ソースの波形の High 位相または Low 位相の時間を測定するには、以下の構成が必要です。次のシーケンスを使用します。

1. AUX_TDC:TRIGSRC.START_SRC を AUX_TDC:TRIGSRC.STOP_SRC と同じ値に設定します。
2. 測定するイベント ソースの位相を決定します。
   - High 位相:
     - AUX_TDC:TRIGSRC.START_POL = 0 に設定します。
     - AUX_TDC:TRIGSRC.STOP_POL = 1 に設定します。
   - Low 位相:
     - AUX_TDC:TRIGSRC.START_POL = 1 に設定します。
     - AUX_TDC:TRIGSRC.STOP_POL = 0 に設定します。
3. AUX_TDC:TRIGCNTLOAD = 0 に設定し、停止カウンタがゼロ停止イベントを無視するように構成設定します。
4. AUX_TDC:TRIGCNTCFG.EN = 1 に設定して、停止カウンタを有効にします。

Copyright © 2026 Texas Instruments Incorporated

図 19-16 に、一般的なイベント ソースの波形を示します。

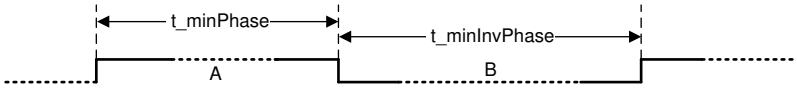


図 19-16. 位相幅のタイミング要件

測定する位相は A とラベル付けされ、図 19-16 では、任意にイベント ソースの High 位相が A として設定されています。測定されない反対側の位相は B というラベルが付けられています。表 19-24 に、これら両方の位相に対するタイミング要件を示します。

表 19-24. 位相幅のタイミング要件

説明	ラベル	要件	条件
最小位相	t_minPhase	292ns	DDI_0_OSC:CTL0.ACLK_TDC_SRC_SEL = 0x0
最小位相	t_minPhase	230ns	DDI_0_OSC:CTL0.ACLK_TDC_SRC_SEL = (0x1 | 0x2)
最小反転位相	t_minInvPhase	126ns	AUX_TDC:CTL.CMD = 0x1
最小反転位相	t_minInvPhase	42ns	AUX_TDC:CTL.CMD = 0x2

AUX_TDC:CTL.CMD = 0x2 の場合、AUX_TDC:STAT.STATE < 5 の間、イベント ソースのレベルを反転位相のレベルと一致させておく必要があります。この要件を満たさないと、TDC 変換の開始が遅れます。

19.4.5.3.2 周波数の測定

イベント ソースの波形の周波数を測定するには、以下の構成が必要です。次のシーケンスを使用します。

- AUX_TDC:TRIGSRC.START_SRC を AUX_TDC:TRIGSRC.STOP_SRC と同じ値に設定します。
- AUX_TDC:TRIGSRC.START_POL を AUX_TDC:TRIGSRC.STOP_POL と同じ値に設定します。
- AUX_TDC:TRIGCNTLOAD に N を設定し、TDC が N サイクル分の信号周期を測定できるようにします。
- AUX_TDC:TRIGCNTCFG.EN = 1 に設定し、停止カウンタを有効化します。
- AUX_TDC:CTL.CMD = 1 に設定し、TDC 変換を開始します。

図 19-17 に、一般的なイベント ソース波形を示します。

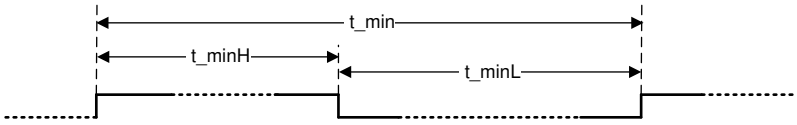


図 19-17. 周波数の測定波形

選択したイベント ソースの波形が、表 19-25 に示す要件を満たしている場合、TDC は正しい信号周波数を測定します。

表 19-25. 周波数測定のタイミング要件

説明	ラベル	要件
最小 Low 時間	t_minL	208ns
最小 High 時間	t_minH	208ns
最小周期	t_min	416ns

イベント波形がこれらの要件を直接満たしていない場合、ユーザーは以下のシーケンスを完了する必要があります。

Copyright © 2026 Texas Instruments Incorporated

1. AUX_TDC:TRIGSRC.START_SRC を AUX_TDC_PRE に設定します。
2. プリスケーラを初期化して有効化します。

詳細については、セクション 19.4.5.2.6 を参照してください。

19.4.5.3.3 異なるイベント ソースのエッジ間の時間を測定する

異なるイベント ソースから派生したイベント間の時間を測定するには、以下のシーケンスを完了します:

1. AUX_TDC:TRIGSRC.START_SRC を AUX_TDC:TRIGSRC.STOP_SRC と異なる値に設定します。
2. AUX_TDC:TRIGSRC.START_POL および AUX_TDC:TRIGSRC.STOP_POL を指定します。

次のサブセクションでは、このような測定を実行する四つの方法について説明します。

19.4.5.3.3.1 非同期カウンタの開始 — 0 停止イベントを無視する

このシナリオでは、次の手順を実行します。

- 開始イベントから初回の停止イベントまでの時間を測定する必要がある場合
- AUX_TDC:TRIGCNTCFG.EN = 0 を設定して、停止カウンタを無効化します
- AUX_TDC:CTL.CMD = 2 を書き込むことで TDC 測定を開始します
- AUX_TDC.STAT.STATE = WAIT_START になるまで、開始イベントを Low にします
- 開始イベントよりも後に、停止イベントが High になるようにします

図 19-18 に、「非同期カウンタの開始 — 0 停止イベントを無視する」シナリオを示します。

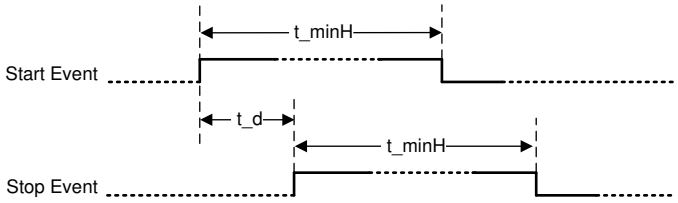


図 19-18. 任意の時間測定 1

表 19-26 に、このシナリオに関するタイミング要件を示します。

表 19-26. 任意の時間測定 1

説明	ラベル	要件
最小 High 時間	t_minH	42ns
最小遅延	t_d	21ns

Copyright © 2026 Texas Instruments Incorporated

19.4.5.3.3.2 同期カウンタの開始 — 0 停止イベントを無視する

このシナリオでは、次の手順を実行します。

- これは、立ち下がりエッジに続く開始イベントから、最初の停止イベントまでの時間を測定します
- AUX_TDC:TRIGCNTCFG.EN = 0 を設定して、停止カウンタを無効化します
- AUX_TDC:CTL.CMD = 1 を書き込むことで TDC 測定を開始します
- 開始イベントよりも後に、停止イベントが High になるようにします

図 19-19 に、「同期カウンタの開始 — 0 停止イベントを無視する」のシナリオを示します。

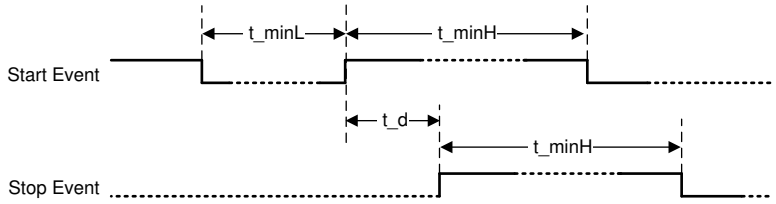


図 19-19. 任意の時間測定 2

表 19-27 に、このシナリオに関するタイミング要件を示します。

表 19-27. 任意の時間測定 2

説明	ラベル	要件
最小 High 時間	t_minH	42ns
最小 Low 時間	t_minL	126ns
最小遅延	t_d	21ns

Copyright © 2026 Texas Instruments Incorporated

19.4.5.3.3.3 非同期カウンタ開始 – 停止イベントを無視

このシナリオでは、ユーザーは次の操作を行います。

- 開始イベントから N 番目の停止イベントの間の時間を測定する必要がある場合 (N > 0)。
  - AUX_TDC:TRIGCNTLOAD を N - 1 に設定します。
  - AUX_TDC:TRIGCNTCFG.EN = 1 に設定して、停止カウンタを有効にします。
- AUX_TDC:CTL.CMD = 2 を書き込んで、TDC 測定を開始します。
- AUX_TDC.STAT.STATE = WAIT_START になるまで、開始イベントを Low にします。
- 開始イベントよりも後に停止イベントが High になるようにします。

図 19-20 は N = 2 の場合のシナリオを示しており、1 つの停止イベントを無視します。

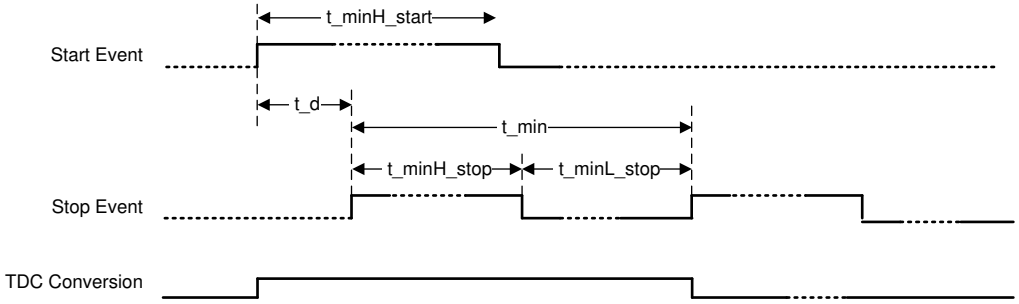


図 19-20. 任意時間測定 3

表 19-28 に、このシナリオに関連するタイミング要件をリスト表示します。

表 19-28. 任意時間測定 3

説明	ラベル	要件
最小 High 時間、開始	t_minH_start	42ns
最小 High 時間、停止	t_minH_stop	42ns
最小 Low 時間、停止	t_minL_Stop	168ns
最小停止イベント期間	t_min	210ns
最小遅延 | TRIGCNTLOAD > 0	t_d	168ns
最小遅延 | TRIGCNTLOAD = 0	t_d	292ns

Copyright © 2026 Texas Instruments Incorporated

19.4.5.3.3.4 同期カウンタの開始 — 停止イベントを無視

このシナリオでは、次の手順を実行します。

- これは、立ち下がりエッジに続く開始イベントから、N 番目の停止イベント (N > 0) までの時間を測定したい場合のシナリオです。
  - AUX_TDC:TRIGCNTLOAD を (N – 1) に設定します。
  - AUX_TDC:TRIGCNTCFG.EN = 1 に設定して、停止カウンタを有効にします。
- AUX_TDC:CTL.CMD = 1 を書き込んで TDC 測定を開始します。
- 開始イベントよりも後に、停止イベントが High になるようにします。

図 19-21 に、N = 2 の場合のシナリオを示します。このシナリオでは、1 つの停止イベントが無視されます。

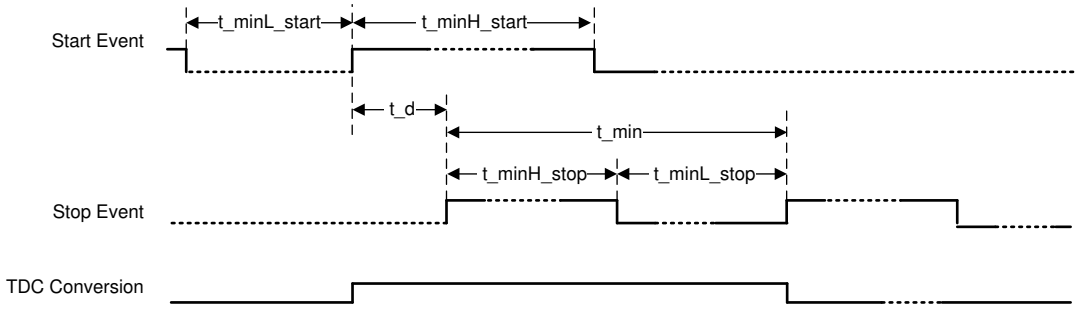


図 19-21. 任意の時間測定 4

表 19-29 に、このシナリオに関するタイミング要件を示します。

表 19-29. 任意の時間測定 4

説明	ラベル	要件
最小 High 時間、開始	t_minH_start	42ns
最小 Low 時間、開始	t_minL_start	126ns
最小 High 時間、停止	t_minH_stop	42ns
最小 Low 時間、停止	t_minL_Stop	168ns
最小停止イベント期間	t_min	210ns
最小遅延 | TRIGCNTLOAD > 0	t_d	168ns
最小遅延 | TRIGCNTLOAD = 0	t_d	292ns

19.4.5.3.4 パルス カウンティング

プリスケーラは、TDC 開始イベントおよび停止イベントのイベント プリスケーラとして使用されていない場合、パルス カウンタとして機能できます。

パルス カウンティングを目的としてプリスケーラを初期化するには、次のシーケンスを使用します。

1. AUX_TDC:PRECTL.RESET_N を 0 に設定して、プリスケーラをリセットします。これにより内部カウンタがリセットされ、AUX_TDC_PRE イベントがクリアされます。ただし、パルスをカウントする場合、AUX_TDC_PRE イベントは使用されません。
2. プリスケーラ イベント ソースを設定するために AUX_TDC:PRECTL.SRC を設定します。

AUX_TDC:PRECTL.RESET_N を 1 に設定して、パルス カウンティングのプリスケーラを有効にします。

Copyright © 2026 Texas Instruments Incorporated

プリスケーラでは、カウントを開始する前に 3 つまたは 4 つのイベント パルスが必要になります。必要なパルスの数は、図 19-22 に示すように、リセット解除からイベント パルス到着までのタイミングによって異なります。

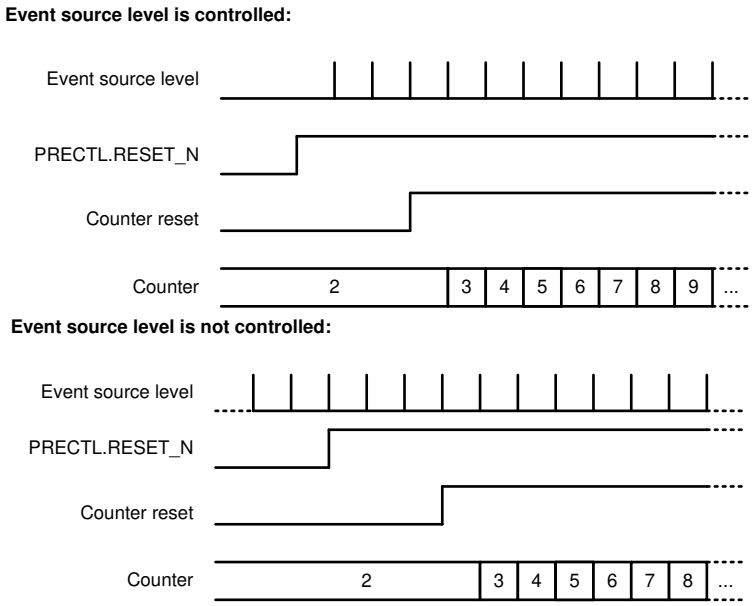


図 19-22. パルス カウンティング

リセット解除時にイベント パルスが非アクティブである場合、カウンタは 4 番目のイベント パルスでインクリメントを開始します。したがって、カウンタ値は次のようになります。

- イベント パルス数が 3 より小さい場合、カウンタは 2 になります。
- それ以外の場合、カウンタはイベント パルスの数から 1 を引いた値になります。

ユーザーがリセット解除時にイベントのレベルを制御しない場合、状況は異なります。この場合、カウンタがインクリメントを開始する前に、イベント パルスがもう 1 つ必要になる場合があります。したがって、カウンタ値は次のように動作します。

- イベント パルス数が 4 より小さい場合、カウンタは 2 になります。
- それ以外の場合、カウンタはイベント パルスの数から 2 を引いた値になります。

この不確実性のため、リセット解除時に選択したイベントのレベルを制御することをお勧めします。

プリスケーラ カウンタ値の読み取り方法の詳細については、セクション 19.8.5 の AUX_TDC:PRECNTR を参照してください。

19.4.6 Timer01

19.4.6.1 概要

AUX Timer0 および Timer1 (AUX_TIMER01) ペリフェラルは、同一構造の 16 ビット比較タイマが 2 つで構成されています。これらのペリフェラルの主な所有者は、センサ コントローラですが、Timer01 の所有権はシステム CPU と共有したり、システム CPU が所有することができます。

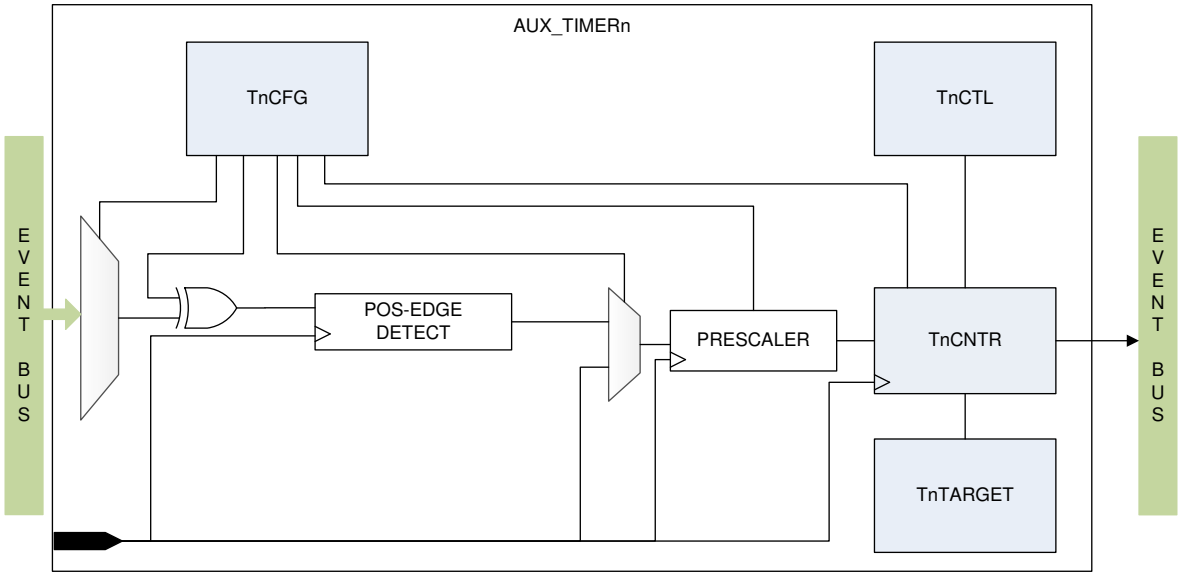
Timer01 ペリフェラルの特長は次のとおりです。

- 構成可能なカウンタ ターゲット
- オプションのクロック ソースのプリスケーリング
- 構成可能なプリスケーラのクロック ソース:
  - ペリフェラル クロック

Copyright © 2026 Texas Instruments Incorporated

  - AUX ドメイン イベント バスからの構成可能なイベント
- ワンショットおよび連続カウンタ モード:
  - 単一イベントまたは周期イベントの生成

タイマーの主な目的は、AUX ドメインのイベント バス サブスクライバ向けにイベントを生成することです。これらのタイマは波形生成を直接行うためのものではありません。図 19-23 に、単一タイマのブロック図を示します。



Copyright © 2017, Texas Instruments Incorporated

図 19-23. AUX_TIMER01 のブロック図

19.4.6.2 機能説明

これらのタイマは、各カウンタ周期の終了時にイベント (AUX_TIMERn_EV) を生成します。カウンタ周期は次のように決定されます。

- カウンタ クロック ソースの選択:
  - AUX_TIMER01:TnCFG.MODE は、ペリフェラル クロックまたは構成可能なイベントをカウンタ クロック ソースとして選択します。そのようにして、カウンタ クロック ソースのベース周波数が設定されます。
- カウンタ クロック ソースのプリスケーリング:
  - AUX_TIMER01:TnCFG.PRE は、カウンタ クロック ソースのベース周波数を分周します。その結果がカウンタ周波数になります。デフォルトは 1 による分周です。
- カウンタのターゲット値:
  - AUX_TIMER01:TnCNTR が AUX_TIMER01:TnTARGET より小さい限り、このカウンタは各カウンタ周期に対してインクリメントします。

AUX_TIMER01:TnCNTR が AUX_TIMER01:TnTARGET と一致するかそれ以上になると、カウンタ周期は終了します。AUX_TIMER01:TnCFG.RELOAD の値は、カウンタを再起動するかアイドル状態にするかを決定します。

注

ペリフェラル クロック周波数は AUX_SYSIF:PEROPRATE.TIMER01_OP_RATE によって設定されます。

- センサ コントローラがペリフェラルを制御している場合は、SCE_RATE に設定する必要があります。
- システム CPU がペリフェラルを制御している場合は、BUS_RATE に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

19.4.7 Timer2

19.4.7.1 概要

AUX Timer2 (AUX_TIMER2) ペリフェラルは、1 つの非同期 16 ビット キャプチャ比較タイマです。このペリフェラルの主な所有者はセンサ コントローラですが、システム CPU と共有したり、システム CPU が所有することも可能です。

ペリフェラルの特長は次のとおりです。

- タイマ クロックは AUX 動作モードに依存しない
- タイマ クロック ソース プリスケーラ
  - カウンタ クロック周波数は、分周後のタイマ クロック ソース周波数に等しい
- 構成可能なカウンタ ターゲット:
  - 静的値
  - 直接更新
  - シャドウ ターゲットの更新
- ワンショットおよび連続カウンタ モード
- 4 つのイベント出力:
  - 手動制御
  - チャネル制御
- 4 つのキャプチャ比較チャネル:
  - 15 種類のチャネル機能によって、フレキシブルなイベント生成が可能:
    - 単純キャプチャ イベント
    - 単純比較イベント
    - PWM
    - 周期パルス幅の測定
  - チャネル機能はワンショットまたは連続動作が可能
  - チャネル イベントは、任意のイベント出力にルーティング可能
  - パイプライン比較レジスタ
- クロック パルスの伝搬
  - 単一のクロック パルスを AUX I/O に伝搬可能

図 19-24 に、単一のキャプチャ比較チャネルを備えたタイマのブロック図を示します。

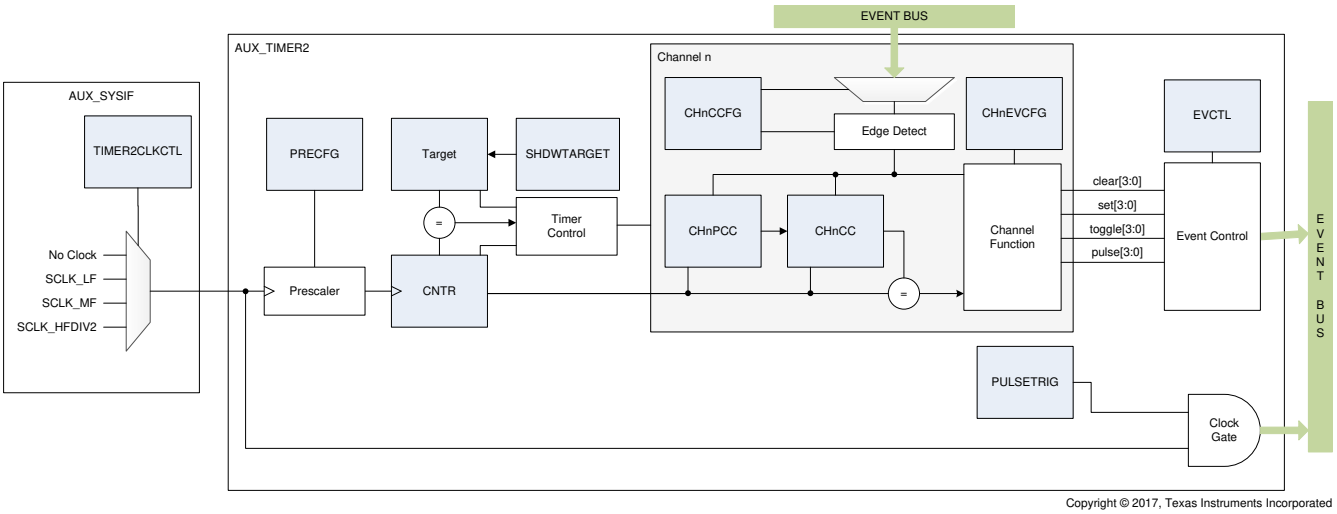


図 19-24. AUX_TIMER2 のブロック図

Copyright © 2026 Texas Instruments Incorporated

19.4.7.2 機能説明

19.4.7.2.1 クロック ソース

Timer2 クロックは AUX 動作モードとは無関係に動作します。Timer2 クロックのソースとして、以下の 4 つが使用可能です:

- NO_CLOCK (デフォルト)
- SCLK_LF
- SCLK_MF
- SCLK_HFDIV2 – SCLK_HF / 2

図 19-24 は、AUX ドメインのクロックおよび電源管理を処理する AUX_SYSIF 内に、クロック ソース構成が配置されていることを示しています。Timer2 へのアクセスは、クロックが選択されている場合のみ可能です。クロックを選択するには、次のシーケンスを使用します。

1. AUX_SYSIF:TIMER2CLKSWITCH.RDY = 1 になるまで待機します。
2. AUX_SYSIF:TIMER2CLKCTL.SRC を適切な値に設定します。
3. AUX_SYSIF:TIMER2CLKSWITCH.RDY = 1 になるまで待機します。

   クロック スイッチが完了し、選択したクロックを AUX Timer2 が受信します。

SCLK_HFDIV2 を選択するには、AUX 動作モードをアクティブに設定する必要があります。AUX_SYSIF:TIMER2CLKSWITCH.RDY = 1 の場合のみ動作モードを変更します。他のクロック ソースに切り替える場合、同様の要件はありません。

19.4.7.2.2 クロック プリスケーラ

プリスケーラはオプションで Timer2 クロックを分周します。分周クロックによって、以下のことが決まります。

- カウンタ クロック
- チャネル イベント同期クロック
- イベント制御クロック
  - このクロックのチャネルはイベント出力を更新します。

AUX_TIMER2:PRECFG.CLKDIV が分周を設定します。分周の範囲は 1 ～256 です。レジスタには、Timer2 クロックでアクセスします。

19.4.7.2.3 カウンタ

AUX_TIMER2:CTL.MODE に書き込まれた値によって、カウンタ モードが次のように決定されます。

- UP_ONCE:タイマは 0 から選択したターゲットまでカウントされます。その後、タイマが無効になります。
- UP_PER:タイマは、0 から選択したターゲットまで繰り返しカウントされます。
- UPDWN_PER:タイマは、0 から選択したターゲットまでカウントし、0 に繰り返しデクリメントします。

AUX_TIMER2:CTL.TARGET_EN は次のいずれかを選択します。

- 静的カウンタ ターゲット 65535
- AUX_TIMER2:TARGET で指定される構成可能な目標値

目標値は、AUX_TIMER2:SHDWTARGET レジスタによるシャドウ更新を可能にする構成可能にする必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.4.7.2.4 イベント出力

Timer2 には、次の 4 つのイベント出力があります。

- AUX_TIMER2_EV0 は AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 に接続します
- AUX_TIMER2_EV1 は AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 に接続します
- AUX_TIMER2_EV2 は AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 に接続します
- AUX_TIMER2_EV3 は AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 に接続します

ユーザーは、AUX_TIMER2:EVCTL を書き込むことで、イベントを手動で設定およびクリアできます。イベント出力の手動更新は、同じイベントのチャネルの自動更新よりも優先されます。各イベント出力は以下の処理を行うことができます (優先順位の高い順):

1. クリア
2. 設定
3. 点滅
4. パルス

   イベント出力は 2 カウンタ クロック周期の間 High になり、その後 Low になります。

イベント出力は、複数のチャネルから同時に更新の要求を受信することがあります。この場合、イベント出力は前述の優先順位リストに従って更新されます。

19.4.7.2.5 チャネル アクション

各チャネルに 15 種類のチャネル アクションが実装されています。これらは、シングル ショット アクションと連続アクションに分類されます。

- シングル チャネル アクションは、タイマがチャネルをディセーブルにする前に 1 回のみ機能を実行します。
- 連続チャネル アクションは、ユーザーがチャネルをディセーブルにするまで機能を実行します。

表 19-30 に、15 種類のチャネル アクションを示します。

表 19-30. チャネル アクション

インデックス	チャネル アクション	カテゴリ
0	チャネル出力を無効化	ワンショット
1	キャプチャに設定してから、チャネルを無効化	ワンショット
2	ゼロをクリアし、比較をオンに切り替えてから、チャネルを無効化	ワンショット
3	ゼロに設定し、比較をオンにしてから、チャネルを無効化	ワンショット
4	比較時にクリアしてから、チャネルを無効化	ワンショット
5	比較時に設定してから、チャネルを無効化	ワンショット
6	比較時にトグルしてから、チャネルを無効化	ワンショット
7	比較時にパルスを出力してから、チャネルを無効化	ワンショット
8	周期およびパルス幅の測定	連続
9	繰り返しキャプチャで設定	連続
10	ゼロでクリア、繰り返し比較でトグルする	連続
11	ゼロで設定し、繰り返し比較でトグルする	連続
12	繰り返し比較でクリア	連続
13	繰り返し比較で設定	連続
14	繰り返し比較でトグル	連続
15	繰り返し比較でパルスを出力	連続

Copyright © 2026 Texas Instruments Incorporated

設定後、このチャネルは、表 19-30 のチャネル アクションの説明に従って、有効化されたイベント出力の更新を要求します。詳細な説明を要するチャンネル アクションが 3 つあります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.4.7.2.5.1 周期およびパルス幅の測定

このチャネル アクションは、CHnCCFG.CAPT_SRC で選択された信号の周期およびパルス幅を、CHnCCFG.EDGE で指定された信号エッジを基準として連続的にキャプチャします。CHnCC.VALUE に信号周期が含まれ、CHnPCC.VALUE に信号パルス幅が含まれている場合、チャネルは有効なイベントの設定を要求します。

チャネル機能は、タイマ カウンタを受信信号の選択した信号エッジに同期します。したがって、

- カウンタは定期的に再起動するため、このことを考慮して他のチャネル アクションを選択する必要があります。
- このチャネル アクション用に設定されたチャネルは、測定を同時には実行できません。測定は、時間インターリーブ方式で行われます。

詳細については、セクション 19.8.7 の AUX_TIMER2:CHnEVCFG.CCACT を参照してください。

Example 19-1. タイマ周期およびパルス幅のキャプチャ

このタイマは、2 つの異なる信号 A および B の信号周期とパルス幅を測定します。この例では、両方の信号の周期がカウンタ範囲より小さいと仮定しています。このため、レジスタのドキュメントで説明されているタイムアウト検出は必要ありません。以下のように構成されます。

- チャネル 0:
  1. AUX_TIMER2:CH0EVCFG。CCACT = PER_PULSE_WIDTH_MEAS
  2. AUX_TIMER2:CH0EVCFG。EV0_GEN = 1
  3. AUX_TIMER2:CH0CCFG.CAPT_SRC = Signal A
  4. AUX_TIMER2:CH0CCFG.EDGE = RISING
- チャネル 1:
  1. AUX_TIMER2:CH1EVCFG。CCACT = PER_PULSE_WIDTH_MEAS
  2. AUX_TIMER2:CH1EVCFG。EV1_GEN = 1
  3. AUX_TIMER2:CH1CCFG.CAPT_SRC = Signal B
  4. AUX_TIMER2:CH1CCFG.EDGE = FALLING
- タイマー:
  1. CTL.MODE = UP_PER

Copyright © 2026 Texas Instruments Incorporated

図 19-25 に、タイマ カウンタが最初に信号 A に同期する方法を示します。その後、チャネル 0 は時間 t_0 における信号 A の High 位相を CH0PCC にキャプチャします。最後に、時間 t_1 における、信号 A の周期が CH0CC にキャプチャされます。同時に、チャネル 0 はイベント出力 0 を High に設定し、タイマ カウンタは信号 B との同期を開始します。その後、チャネル 1 は時間 t_2 における信号 B の Low 位相を CH1PCC にキャプチャします。最後に、時間 t_3 における信号 B の周期が CH1CC にキャプチャされます。同時に、チャネル 1 はイベント出力 1 を High に設定し、タイマ カウンタは信号 A との同期を開始します。その後、ユーザーが停止するまでこのシーケンスが繰り返されます。

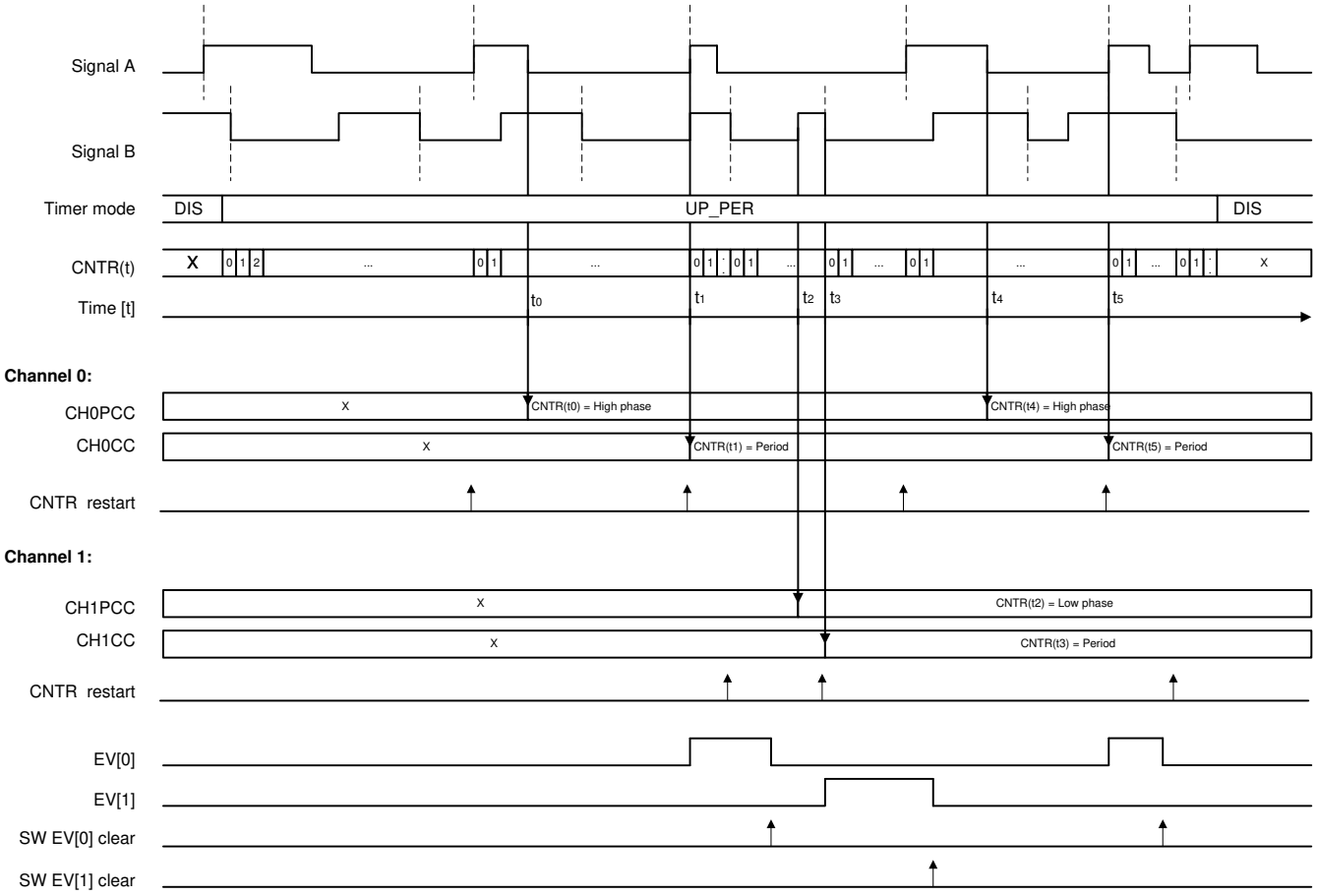


図 19-25. 周期、パルス幅の測定

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.4.7.2.5.2 ゼロでクリア、繰り返し比較でトグルする

このチャネル アクションは、継続的に以下を行います:

- AUX_TIMER2:CNTR = 0 のとき、有効な出力イベントをクリアする
- AUX_TIMER2:CNTR = CHnCC のとき、有効な出力イベントをトグルする

AUX_TIMER2:CTL.MODE = UPDWN_PER のとき、そのチャネルはセンター整列 PWM 波形を生成します。

AUX_TIMER2:CNTR が 0 になると、チャネルは AUX_TIMER2:CHnPCC に書き込まれた新しい値を AUX_TIMER2:CHnCC にコピーします。このアクションにより、生成される PWM 信号のエッジでのジッタを防止できます。同様に、AUX_TIMER2:CNTR が 0 になると、タイマは AUX_TIMER2:SHDWTARGET に書き込まれた新しい値を AUX_TIMER2:TARGET にコピーします。このアクションは、周期が時間とともに変動する PWM アプリケーションにおける周期ジッタを回避します。

詳細については、セクション 19.8.7 の AUX_TIMER2:CHnEVCFG.CCACT を参照してください。

Example 19-2. チャネル 0 によるセンター整列 PWM 生成

この例では、チャネル 0 によるセンター整列 PWM 生成を示します (図 19-26 を参照)。波形はイベント出力 0 で合成されます。タイマ期間は静的に保持され、ターゲット値は期間の半分に設定されます。以下のように構成されます。

- チャネル 0:
  1. AUX_TIMER2:CH0EVCFG.CCACT = CLR_ON_0_TGL_ON_CMP
  2. AUX_TIMER2:CH0EVCFG.EV0_GEN = 1
  3. AUX_TIMER2:CH0CC = C0
- タイマー:
  1. ターゲット = 周期 / 2
  2. CTL.MODE = UPDWN_PER

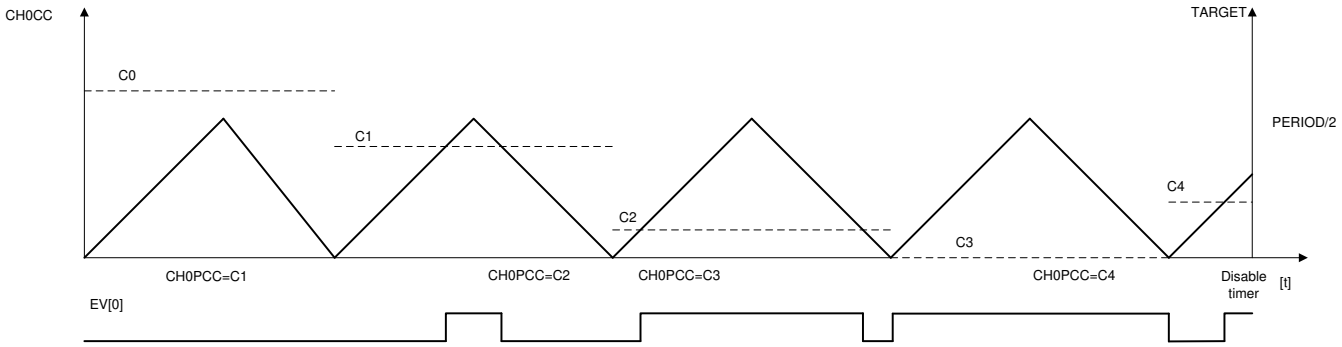


図 19-26. センター整列 PWM

生成される PWM 波形のデューティ サイクルは、AUX_TIMER2:CH0PCC の更新によって制御されます。イベント出力 0 での波形生成は、ユーザーが中断するまで継続されます。

Copyright © 2026 Texas Instruments Incorporated

19.4.7.2.5.3 ゼロで設定し、繰り返し比較でトグルする

このチャネル アクションでは、次の処理が継続的に行われます。

- AUX_TIMER2:CNTR = 0 のとき、有効な出力イベントを設定する
- AUX_TIMER2:CNTR = CHnCC のとき、有効な出力イベントをトグルする

AUX_TIMER2:CTL.MODE = UP_PER のとき、そのチャネルはエッジ整列 PWM 波形を生成します。

AUX_TIMER2:CNTR が 0 になると、チャネルは AUX_TIMER2:CHnPCC に書き込まれた新しい値を AUX_TIMER2:CHnCC にコピーします。これにより、生成される PWM 信号のエッジでのジッタを防止できます。同様に、AUX_TIMER2:CNTR が 0 になると、タイマは AUX_TIMER2:SHDWTARGET に書き込まれた新しい値を AUX_TIMER2:TARGET にコピーします。これにより、時間が変化する周期を持つ PWM アプリケーションでの周期ジッタを回避できます。

詳細については、セクション 19.8.7 の AUX_TIMER2:CHnEVCFG.CCACT を参照してください。

Example 19-3. チャネル 0 によるエッジ整列 PWM 生成

この例では、チャネル 0 によるエッジ整列 PWM 生成を示します (図 19-27 を参照)。波形はイベント出力 0 で合成されます。タイマ期間は静的に保持され、ターゲット値は期間 - 1 に設定されます。以下のように構成されます。

- チャネル 0:
  1. AUX_TIMER2:CH0EVCFG。CCACT = SET_ON_0_TGL_ON_CMP
  2. AUX_TIMER2:CH0EVCFG。EV0_GEN = 1
  3. AUX_TIMER2:CH0CC = C0
- タイマー:
  1. ターゲット = 周期 - 1
  2. CTL.MODE = UP_PER

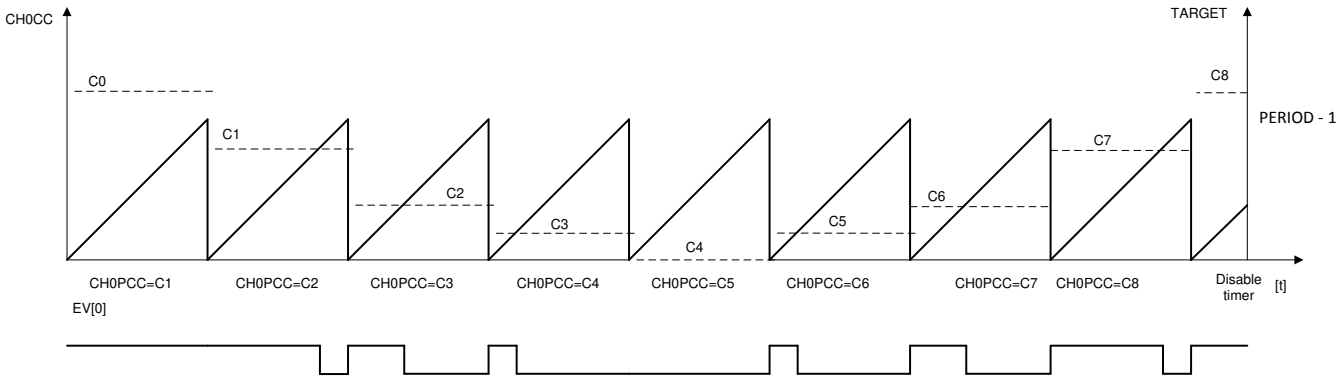


図 19-27. エッジ整列 PWM

生成される PWM 波形のデューティ サイクルは、AUX_TIMER2:CH0PCC の更新によって制御されます。イベント出力 0 での波形生成は、ユーザーが中断するまで継続されます。

19.4.7.2.6 非同期バス ブリッジ

AUX Timer2 は AUX クロックに非同期です。これは、非同期バス ブリッジを介してアクセスされます。マスタ側は AUX バス クロックによって駆動され、スレーブ側は Timer2 クロックによって駆動されます。ブリッジには 1 つの書き込みバッファがあります。進行中のバス転送は、前の転送が完了するまで新しいアクセスを停止します。

Copyright © 2026 Texas Instruments Incorporated

アクセス レイテンシを最小限に抑えるため、TI では構成する際に Timer2 クロック周波数を AUX クロック周波数以上に設定することを推奨しています。

Copyright © 2026 Texas Instruments Incorporated

19.5 アナログ ペリフェラル モジュール

19.5.1 概要

表 19-31 に、AUX ドメインのアナログ ペリフェラルを示します。AUX アナログ インターフェイス (AUX_ANAIF) は、ADC、ISRC、DAC ペリフェラルに対するデジタル制御およびデータ インターフェイスを保持します。これらのインターフェイスの動作クロック レートを 表 19-31 に示します。動作レートの詳細については、セクション 19.2 を参照してください。COMPA および COMPB モジュールは、AUX_ADI4 を介してすべて制御および構成されます。

AUX ドメインのアナログ ペリフェラルは、センサ コントローラとシステム CPU の間で共有できます。このような共有が必要な場合は、ペリフェラルへのアクセスを調停するために、AUX のハードウェア セマフォを使用することをお勧めします。同様の理由から、システム CPU とセンサ コントローラは、使用後にペリフェラルをリセット状態にしておくことを推奨します。TI ソフトウェアがセマフォにリソースを割り当てる方法については、表 19-21 を参照してください。

表 19-31. アナログ ペリフェラル

アナログ ペリフェラル	直接デジタル インターフェイス	動作クロック レート	
		BUS	SCE
ADC	AUX_ANAIF:ADCx	X	
ISRC	AUX_ANAIF:ISRCCTL	X	
DAC	AUX_ANAIF:DACx	(X)	X
COMPA	–	–	
COMPB	–	–	
AUX_ADI4	–	X	

19.5.1.1 ADI コントロール構成

表 19-31 に示す AUX_ADI4 は、実際にはアナログ ペリフェラルではありません。図 19-1 に示すように、システム CPU とセンサ コントローラはどちらも、AUX_ADI4 モジュールを経由して ADI_4_AUX にアクセスし、アナログ AUX ペリフェラルを制御および構成します。AUX_ADI4 モジュールは、マルチサイクル バス インターフェイスを介してアナログ ドメインに接続するため、4 種類のアクセスをサポートして効率化しています。アクセスのタイプ:

- ダイレクト
- 設定
- クリア
- マスク付き

バス クロック レートが SCE クロック レートよりも高い場合、センサ コントローラのアクセス レイテンシは短くなります。

システム CPU アプリケーションがこのモジュールへのアクセスを必要とする場合、TI から提供された DriverLib API 関数をアプリケーションで使用する必要があります。Sensor Controller Studio の API 関数には、必要に応じてアクセスする機能があり、コードを開発するときにこのモジュールを考慮する必要はありません。

19.5.1.2 ブロック図

図 19-28 に、AUX アナログ ブロック図を示します。

Copyright © 2026 Texas Instruments Incorporated

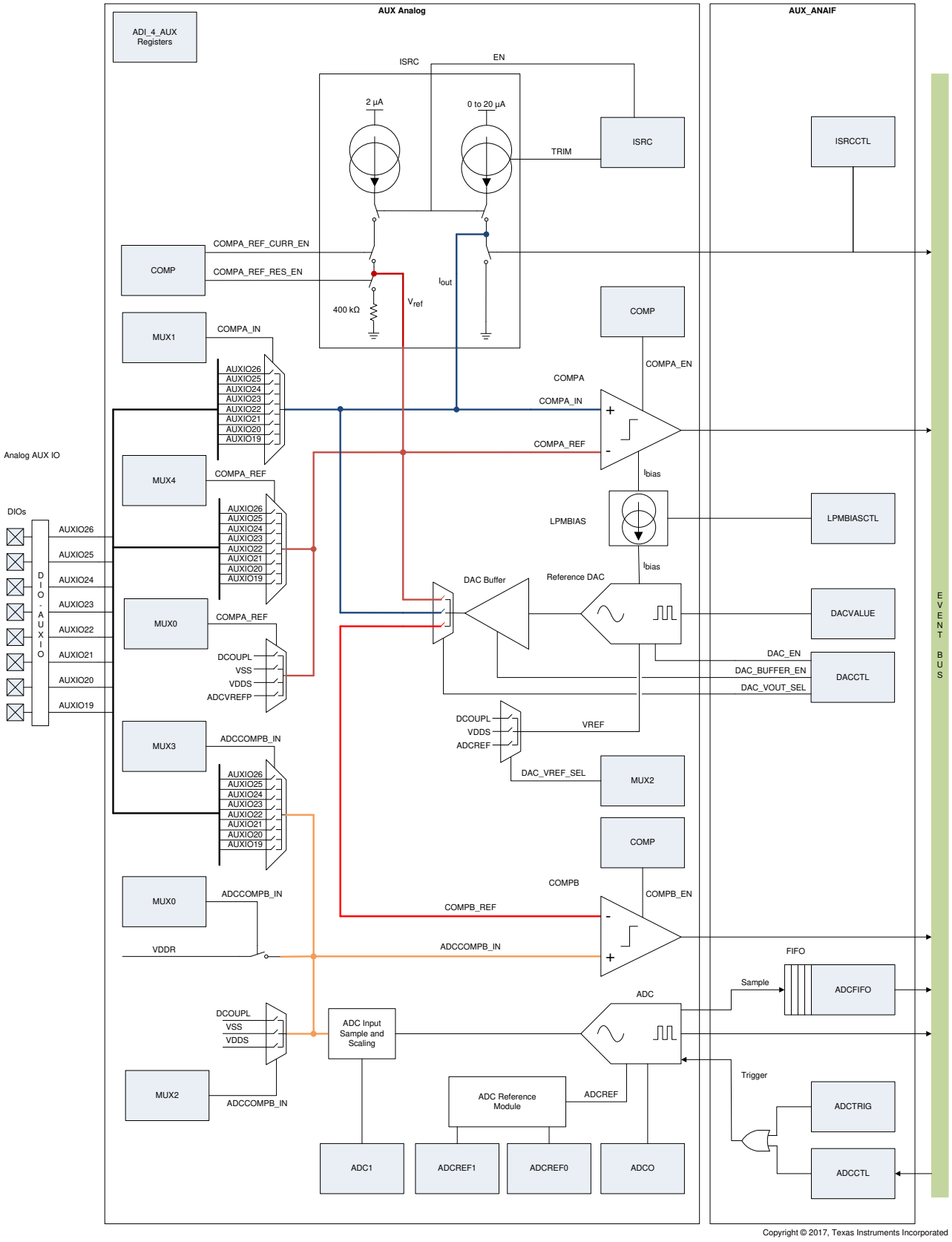


図 19-28. AUX アナログ ブロック図

Copyright © 2026 Texas Instruments Incorporated

19.5.2 A/D コンバータ (ADC)

19.5.2.1 概要

AUX ADC ペリフェラルには次のような特長があります。

- 12 ビット汎用逐次比較型 (SAR) ADC
- アナログ対応の AUX I/O ピンまたは内部チップ電圧をサンプリング
- 毎秒最大 200,000 サンプルのサンプリング レート
- 手動またはイベント駆動型の ADC トリガにより、ADC 動作モードに応じて ADC サンプリングまたは変換を開始。
  - ADC トリガによるサンプリングの開始に続き変換の実行
  - 連続サンプリング、ADC トリガによる変換の開始
- 構成可能なサンプリング時間
- 固定または相対 ADC リファレンス
- イベント インターフェイスを備えた 4 要素 ADC サンプリング FIFO

図 19-29 に、ADC をアナログ ノードに接続する方法と、AUX_ANAIF および ADI_4_AUX レジスタにより実現されるデジタル制御を示します。

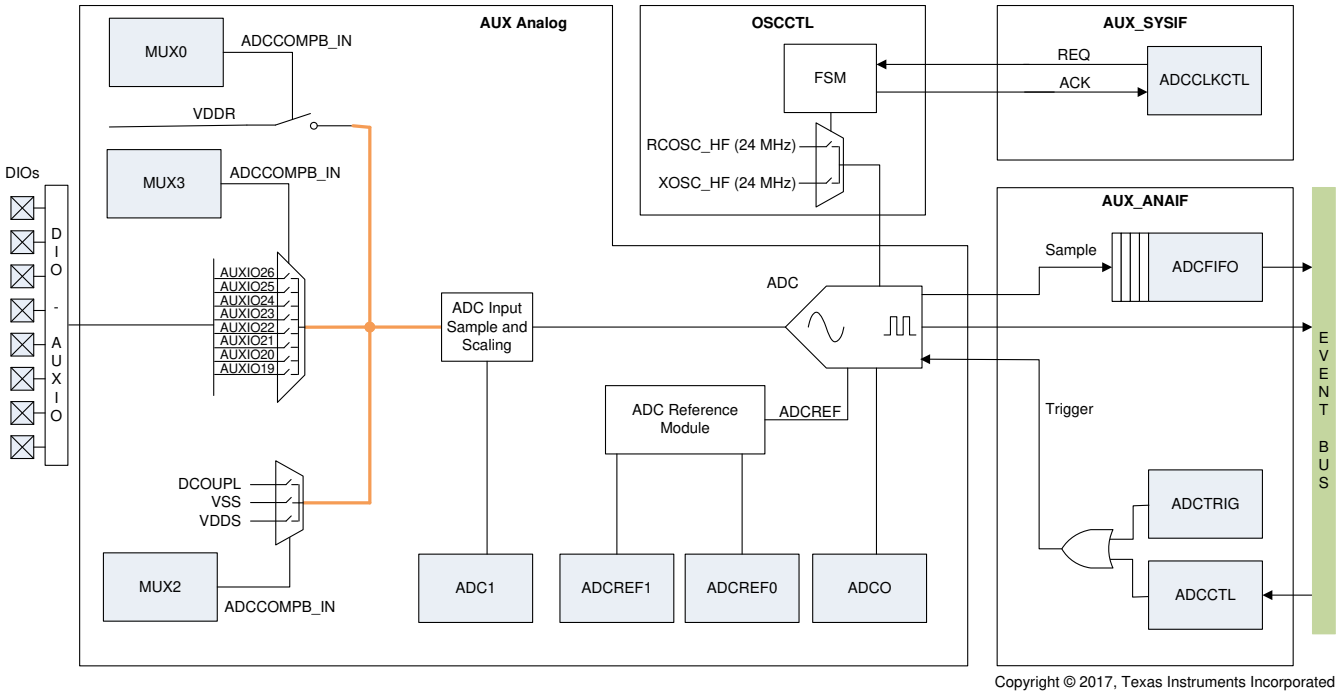


図 19-29. ADC のブロック図

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.5.2.2 機能説明

19.5.2.2.1 入力の選択とスケーリング

AUX のアナログ対応 I/O (AUXIO19 ～ AUXIO26)、および一部の内部チップ電圧を ADC 入力に接続できます。

デフォルトでは、入力は 1408/4095 の係数で内部的に降圧されてから、ADC で使用されます。分解能を向上させるために ADC 入力のダウンスケーリングを無効にすることも可能ですが、その場合は入力範囲が狭くなります。

> **注意**
>
> ダウンスケーリングを無効化すると、ADC 入力の最大入力定格が変化します。より高い電圧が加わる高いと、ADC が損傷する可能性があります。詳細については、デバイス固有のデータシートを参照してください。

ユーザーは、ADC 入力に常に 1 つのドライバだけが接続されるようにする必要があります。内部で信号が相互に短絡することを防止するため、TI では、ROM ベースの DriverLib 機能を提供しています。この機能により、内部マルチプレクサのブレイクビフォーメイクの切り替えを確実に行うことができます。

19.5.2.2.2 リファレンスの選択

ADC リファレンス モジュールの構成は、ADI_4_AUX.ADC0.RESET_N = 0 の間のみに行う必要があります。ADC サンプリングと変換を実行するには、ADC リファレンス モジュールを有効にする必要があります。このモジュールは、ADI_4_AUX:ADCREF0.SRC で選択される ADC リファレンス電圧を供給します。この電圧は、固定電圧または VDDS を基準とする電圧となります。

セクション 19.5.2.2.3 に示すように、同期 ADC サンプル モードでは ADC リファレンス モジュールをオフにして電力を節約することもできます。このモードでは、設定可能なサンプリング周期が ADC リファレンス モジュールのパワーアップ時間よりも長いことが必要です。詳細については、セクション 19.8.1 の ADI_4_AUX.ADCREF0.REF_ON_IDLE を参照してください。

ADI_4_AUX.ADCREF0.EN を設定して、ADC リファレンス モジュールを有効にします。

19.5.2.2.3 ADC サンプリング モード

サンプル モードとサンプル期間の設定は、ADI_4_AUX.ADC0.RESET_N = 0 の間にのみ発生する必要があります。ADC 入力は スイッチト コンデンサ段であり、入力電圧がサンプリングされ、変換が実行される前に保持されます。ADC は、次に説明するように、同期モードまたは非同期モードで動作します。

- 同期モードでは、ADC トリガを使用すると、入力のサンプリングが有効になり、その後の変換に続く時間をプログラムできます。このモードでは、高インピーダンスのソースを適切にサンプリングできます。ADI_4_AUX:ADC0.SMPL_CYCLE_EXP はサンプリング期間を設定します。
- 非同期モードでは、ADC トリガがサンプリングを停止して変換を開始するまで連続的にサンプリングされます。このモードでは、消費電流が増加しますが、ジッタのないサンプリングが可能です。

ADI_4_AUX.ADC0.SMPL_MODE は、サンプル モードを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.5.2.2.4 ADC クロック ソース

ADC コアは、サンプリングおよび変換用に内部 24MHz クロックを使用します。ADC コア クロックを有効にして ADC を使用するためには、この内部クロック ソースが必要です。詳細については、セクション 19.8.9 の AUX_SYSIF:ADCCLKCTL を参照してください。

ADC クロックが要求されると、クロック ソースは 表 19-32 に示すとおりになります。

表 19-32. ADC クロック ソース

RCOSC_HF	XOSC_HF	ADC クロック ソース
オフ	オフ	RCOSC_HF
オフ	オン	XOSC_HF
オン	オフ	RCOSC_HF
オン	オン	XOSC_HF

非同期モードで正確かつ低ジッタのサンプリングを行うには、ソフトウェアで SCLK_HF が 24MHz 水晶振動子から供給されるようにする必要があります。

注

ADC クロックが有効になっているとき、電源コントローラが高周波クロック ソースを要求するため、システムはスタンバイ モードにもシャットダウン モードにも移行できません。

最後に、ADI_4_AUX:ADC0.EN を設定して、アナログ ADC コアをイネーブルにし、ADC トリガへの応答を有効にする必要があります。

19.5.2.2.5 ADC トリガ

ADC 開始トリガを以下のシーケンスで構成します。

1. イベント ドリブン : AUX_ANAIF:ADCCTL は、ADC のトリガとなるイベント ソースおよび極性を選択します。
2. 手動 : AUX_ANAIF:ADCCTL.START_SRC から NO_EVENT に変換し、ADC を手動でトリガします

セクション 19.5.2.2.3 に示す ADC サンプル モードは、ADC トリガが発生したときの動作を制御します。

19.5.2.2.6 サンプル FIFO

ADC は、最大 4 個の ADC サンプルを保持可能な FIFO に接続します。AUX_ANAIF:ADCFIFO を読み出して、最も古いサンプルを取得します。デバッグの目的で、FIFO にダミー サンプルを書き込むこともできます。FIFO のサンプルは、ADC のオフセット誤差とゲイン誤差を補償していません。ユーザーはチップ製造時に保存された工場出荷時の設定データを使用して、手動で補正を行う必要があります。
セクション 11.2.1 を参照してください。システム CPU は、AUX_ADC TI-DriverLib モジュールを使用して、このタスクを完了できます。

AUX_ANAIF:ADCFIFOSTAT は、オーバーフロー、アンダーフロー、利用率などの FIFO ステータス フラグを提供します。すべての FIFO ステータス フラグと ADC 変換完了イベントは、AUX イベント バスに接続されています。

オーバーフローまたはアンダーフロー状態から回復するには、AUX_ANAIF:ADCCTL.CMD に記載されているように、FIFO をクリアし、デジタル ADC インターフェイスを再度有効にする必要があります (セクション 19.8.8 を参照)。

注

ソフトウェアをデバッグするときに AUX_ANAIF_ADCFIFO レジスタが表示されると、JTAG が FIFO を読み取り、FIFO からサンプルが取り出されるため、ソフトウェアは FIFO を読み取ることができません。

Copyright © 2026 Texas Instruments Incorporated

19.5.2.2.7 µDMA インターフェイス

µDMA チャネル 7 は、ADC FIFO から ADC サンプルを転送するための専用です。次の手順を使用して、µDMA 転送を設定します。

1. AUX_EVCTL:DMACTL で µDMA インターフェイスを設定して有効にする
   - バースト要求または単一要求
2. µDMA 転送トリガ
   - AUX_ADC_FIFO_NOT_EMPTY
   - AUX_ADC_FIFO_ALMOST_FULL
3. µDMA でブロック サイズを設定する

AUX_ADC_IRQ イベントは、µDMA がデータ ブロック転送を完了するときに発生します。AUX_ADC_IRQ はシステム CPU 割り込みライン 32 にマップされます (詳細については、セクション 5.7.2 の EVENT:CPUIRQSEL32 を参照)。

注

このイベントは、AUX_ANAIF:ADCFIFOSTAT で示される、ADC FIFO のオーバーフローまたはアンダーフローいずれかの場合にも発生します。

19.5.2.2.8 リソースの所有権と使用方法

ADC の使用には、アプリケーションの所有権が必要です。TI のソフトウェアでのセマフォ アロケーションについては、セクション 19.4.3.3 を参照してください。

システム CPU は、TI-RTOS の電力モードがアクティブおよびアイドルの場合にペリフェラルを使用できます。センサ コントローラでペリフェラルを使用するには、アクティブな AUX 動作モードを要求する必要があります。

19.5.3 COMPA

19.5.3.1 概要

AUX COMPA ペリフェラルは、高性能な連続時間コンパレータであり、以下の特長を備えています。

- アナログ対応 AUX I/O ピンからの入力
- アナログ対応 AUX I/O ピンまたは内部チップ電圧の基準電圧

静電容量式タッチ センシングでは、COMPA は ISRC および TDC ペリフェラルとともに使用されます。ISRC は COMPA 用の内部リファレンス電圧 (公称 0.8V) を駆動し、同時に COMPA 入力に接続された容量を充電します。充電開始から COMPA 出力が High になるまでの時間は、TDC を使用して測定されます。

パルス カウントは、COMPA と TDC を組み合わせて使用するもう 1 つのアプリケーションです。このアプリケーションでは、TDC プリスケーラが COMPA のイベントをカウントします。

図 19-30 に、COMPA をアナログ ノードやアナログ ペリフェラル、デジタル インターフェイスに接続する方法を示します。リファレンス DAC の適切な制御および接続方法については、セクション 19.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

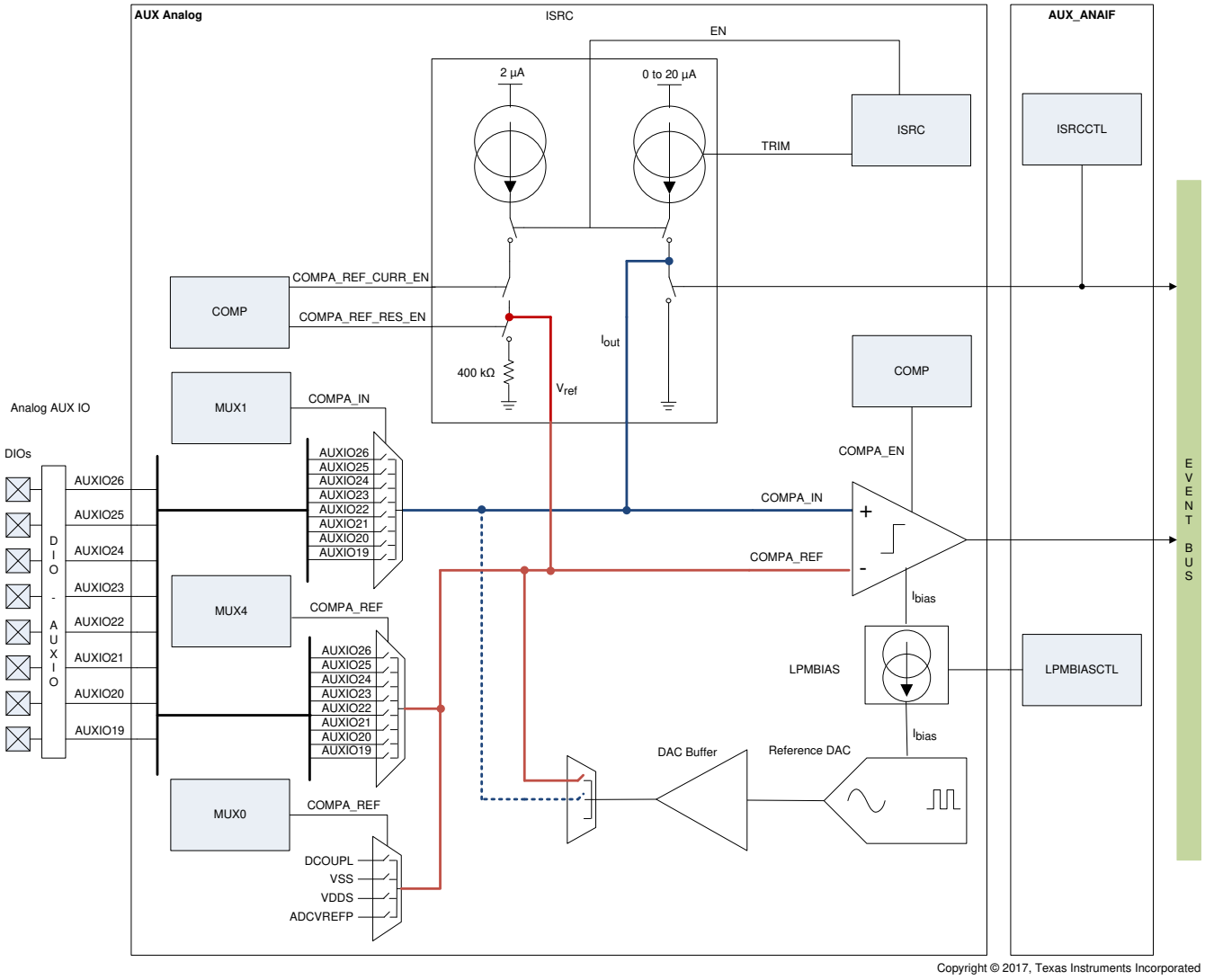


図 19-30. COMPA のブロック図

19.5.3.2 機能説明

19.5.3.2.1 入力の選択

COMPA の正入力は次のいずれかに接続できます。

- アナログ対応の AUXIO19 ～ AUXIO26
- ISRC ペリフェラルのプログラマブル電流出力
- リファレンス DAC 出力

リファレンス DAC 出力への接続は COMPA の使用を意図していません。したがって、その接続は、図 19-30 に点線で示されています。

ユーザーは、COMPA ペリフェラルの正入力に常に 1 つのドライバだけが接続されるようにする必要があります。内部で信号が相互に短絡することを防止するため、TI では、ROM ベースの TI-DriverLib 機能を提供しています。この機能により、内部マルチプレクサのブレイクビフォーメイクの切り替えを確実に行うことができます。

Copyright © 2026 Texas Instruments Incorporated

19.5.3.2.2 リファレンスの選択

COMPA のリファレンス入力は、次のものに接続できます。

- アナログ対応の AUXIO19 ～ AUXIO26
- ISRC ペリフェラルの電圧リファレンス出力
- リファレンス DAC 出力

COMPA のリファレンス入力には、常に 1 つのドライバだけが接続されるようにする必要があります。内部で信号が相互に短絡することを防止するため、TI では、ROM ベースの TI-DriverLib 機能を提供しています。この機能により、内部マルチプレクサのブレイクビフォーメイクの切り替えを確実に行うことができます。

19.5.3.2.3 LPM バイアスおよび COMPA の有効化

COMPA ペリフェラルは、以下の場合、低消費電力モード バイアス (LPMBIAS) モジュールからのバイアス電流を必要とします。

- センサ コントローラが、低消費電力およびパワーダウン動作モードでペリフェラルを所有し、使用する場合
- システム CPU が、スタンバイ TI-RTOS 電力モードでペリフェラルを所有し、使用する場合

AUX_ANAIF:LPMBIASCTL.EN を設定して LPM バイアス モジュールを有効にした後、ADI_4_AUX:COMP.COMPA_EN を設定して COMPA を有効にします。

19.5.3.2.4 リソースの所有権と使用

COMPA の使用には、COMPA とリファレンス DAC (リファレンスを生成する場合) のアプリケーション所有権が必要です。TI ソフトウェアでのセマフォ アロケーションについては、セクション 19.4.3.3 を参照してください。

システム CPU は、TI-RTOS 電力モードがアクティブおよびアイドルの時にペリフェラルを使用できます。この場合、AUX_SYSIF:EVSYNCRATE.AUX_COMPA_SYNC_RATE を BUS_RATE に設定します。TI-RTOS 電力モードがスタンバイの時にコンパレータを使用するには、セクション 19.5.5.2.6 を参照してください。

Sensor Controller Studio は、COMPA を使用するために必要な API を提供し、センサ コントローラはすべての AUX 動作モードでペリフェラルを使用できます。

19.5.4 COMPB

19.5.4.1 概要

AUX COMPB ペリフェラルは、32kHz で更新される低消費電力のクロック駆動コンパレータであり、以下の特長を備えています。

- アナログ対応 AUX I/O ピンからの入力
- プログラマブルなリファレンス

COMPB の主要なアプリケーションは、低速信号を継続的に監視し、システム CPU またはセンサ コントローラをウェークアップすることです。

図 19-31 に、COMPB をアナログ ノードやアナログ ペリフェラル、デジタル インターフェイスに接続する方法を示します。リファレンス DAC の適切な制御および接続方法については、セクション 19.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

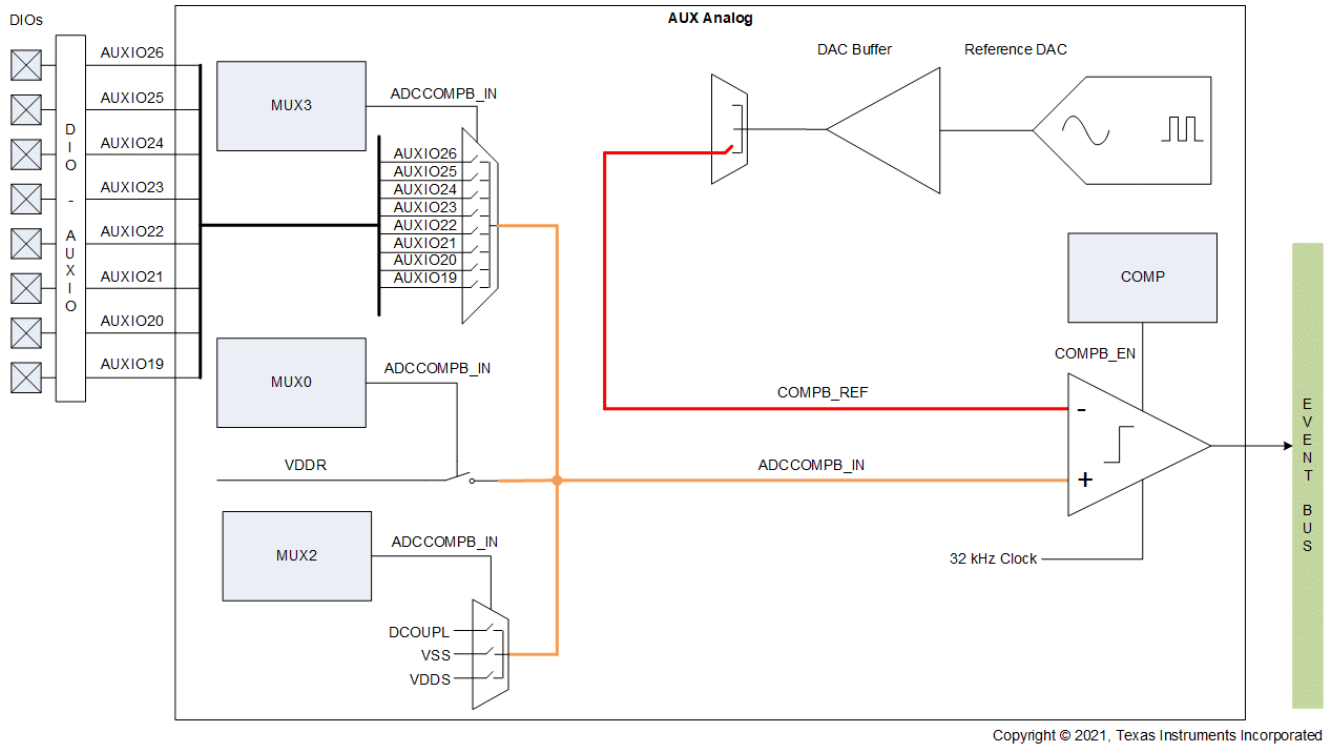


図 19-31. COMPB のブロック図

19.5.4.2 機能説明

19.5.4.2.1 入力の選択

COMPB の正入力は次のいずれかに接続できます。

- アナログ対応の AUXIO19 ～ AUXIO26
- 内部電源電圧

ユーザーは、COMPB の正入力に常に 1 つのドライバだけが接続されるようにする必要があります。内部で信号が相互に短絡することを防止するため、TI では、ROM ベースの TI-DriverLib 機能を提供しています。この機能により、内部マルチプレクサのブレイクビフォーメイクの切り替えを確実に行うことができます。

19.5.4.2.2 リファレンスの選択

リファレンス DAC は、プログラマブルな COMPB 電圧リファレンスを提供します。
AUX_ANAIF:DACCTL.DAC_VOUT_SEL を COMPB_REF に設定して、アナログ ノードを接続します。

19.5.4.2.3 リソースの所有権と使用

COMPB の使用には、COMPB とリファレンスを生成するリファレンス DAC の両方のアプリケーション所有権が必要です。TI ソフトウェアでのセマフォ アロケーションについては、セクション 19.4.3.3 を参照してください。

COMPB の主要なアプリケーションは、システム CPU のウェークアップまたはセンサ コントローラです。

19.5.4.2.3.1 センサ コントローラ ウェークアップ

Sensor Controller Studio は、センサ コントローラのウェークアップとして COMPB イベントを使用するために必要な API を提供します。センサ コントローラは、すべての AUX 動作モードでペリフェラルを使用できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.5.4.2.3.2 システム CPU ウェークアップ

センサ コントローラがアプリケーションで使用されていない場合、COMPB イベントはシステム CPU ウェークアップを以下の 2 つの方法でトリガできます。

- 直接ウェークアップ：AON_EVENT:MCUWUSEL イベント ソースとして AUX_COMPB_ASYNC または AUX_COMPB_ASYNC_N を選択します。
- 間接ウェークアップ：AUX_COMPB を AON_EVENT:MCUWUSEL イベント ソースとして選択し、AUX_EVCTL:EVTOAONFLAGS.AUX_COMPB フラグを設定する COMPB イベント極性を設定します。

直接ウェークアップは、最小ウェークアップ レイテンシを推測します。ただし、AON_EVENT の COMPB イベントをクリアすることはできません。これは、コンパレータから直接供給されるものです。

間接ウェークアップは、セクション 19.2.1 で説明されているように、SCE クロック レートで調整されるレイテンシを推測します。このレートは AUX 動作モードによって異なります。レイテンシは、2 段のシンクロナイザおよびイベント フラグのキャプチャで決定され、上限は 3 つの SCE クロック周期に制限されます。システム CPU はウェークアップ時にイベント フラグをクリアできるため、ウェークアップをトリガした COMPB イベント レベルがアクティブの間、スリープに戻ります。AON ドメインへの AUX イベント インターフェイスについては、セクション 19.6.6 を参照してください。

このシナリオではセンサ コントローラは使用されないため、システム CPU は COMPB イベントを AUX のウェークアップ イベント ソースとして構成できます。これにより、2MHz のクロックに応じて低レイテンシでのウェークアップが保証されます。この説明については、セクション 19.1 および、セクション 19.8.9 の AUX_SYSIF:PROGWUnCFG レジスタを参照してください。

間接ウェークアップの場合、システム CPU アプリケーションは次のシーケンスを使用する必要があります。

1. AUX_SYSIF:EVSYNCRATE.AUX_COMPB_SYNC_RATE を BUS_RATE に設定します。
2. AUX 動作モードを低消費電力に設定します。
3. リファレンス DAC を有効なパワーダウン構成で設定します (セクション 19.5.5.2.6 を参照)。
4. リファレンスが安定するのを待ちます。
5. AUX ウェークアップをトリガするように、COMB イベント エッジを設定します。
6. AUX 動作モードをパワーダウン、AUX_SYSIF::OPMODE.REQ = PDLP、に設定します。
7. ウェークアップ時に、AUX_SYSIF:WUFLAGSCLR で説明されているようにウェークアップ フラグをクリアします (セクション 19.8.9 を参照)。

アプリケーションでセンサ コントローラを使用する場合は、システム CPU ウェークアップを提供する必要があります。設定は、Sensor Controller Studio で行います。

Copyright © 2026 Texas Instruments Incorporated

19.5.5 リファレンス DAC

19.5.5.1 概要

AUX リファレンス D/A コンバータ (DAC) ペリフェラルには、次のような特長があります。

- 8 ビットのデジタル制御ワード
- 構成可能な出力範囲
- COMPA および COMPB リファレンス生成
- アナログ対応 AUX I/O ピンのプリチャージ

リファレンス DAC の主なアプリケーションは、さまざまな電力モードにおけるコンパレータに構成可能なリファレンスを提供することです。このため、リファレンス DAC は他のアナログ ペリフェラルと組み合わせて使用されることがよくあります。

図 19-32 に、リファレンス DAC をアナログ ノードとデジタル インターフェイスに接続する方法を示します。

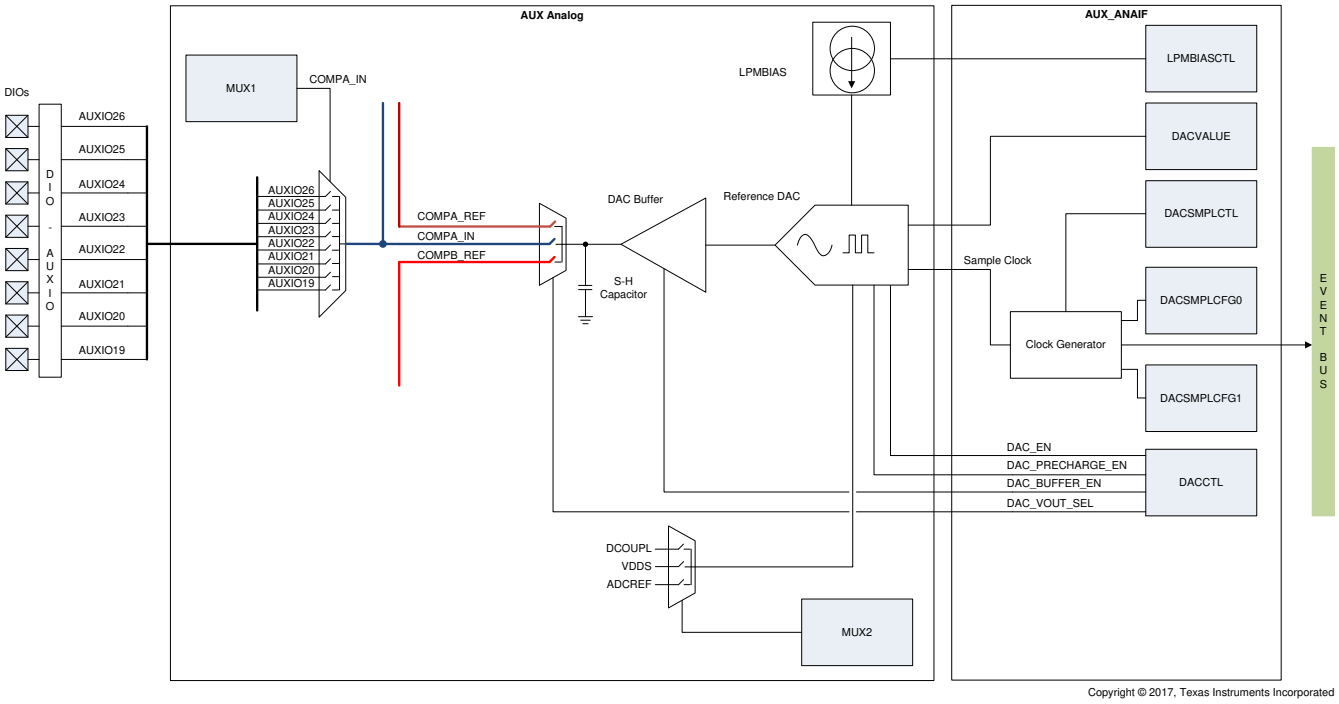


図 19-32. リファレンス DAC のブロック図

19.5.5.2 機能説明

リファレンス DAC は、構成可能なサンプル クロックを使用して、8 ビットのデジタル コードを、サンプル / ホールド (S-H) コンデンサに格納されたアナログ電圧に変換します。S-H コンデンサは、選択した負荷を直接、またはバッファを介して、より高い負荷を駆動する場合に接続します。

19.5.5.2.1 リファレンスの選択

ADI_4_AUX:MUX2.DAC_VREF_SEL は、DAC リファレンスを次のように設定します。

- DCOUPL
- ADCREF
- VDDS

ADI_4_AUX:MUX2.DAC_VREF_SEL レジスタは、一度に 1 つのリファレンスのみを選択できます。このリファレンスが出力電圧範囲を決定します。

Copyright © 2026 Texas Instruments Incorporated

19.5.5.2.2 出力電圧制御および範囲

S-H コンデンサの電圧目標は、AUX_ANAIF:DACVALUE によって設定されます (セクション 19.8.8 を参照)。

リファレンス DAC の伝達関数は非直線性を示します。

リファレンス DAC のキャリブレーション データは、チップ製造時に工場出荷時構成で保存されています。セクション 11.4.1 の DAC_CAL0 および DAC_CAL1 を参照してください。

19.5.5.2.3 サンプル クロック

DAC サンプル クロックは、S-H コンデンサに蓄積された DAC 電圧を充電し、維持します。DAC サンプル クロックの波形は、セットアップ位相と、それに続くホールド位相で構成されます。サンプル クロック周波数は、一般に、ホールド位相よりもセットアップ位相の方が高くなります。

セットアップ位相では、サンプル / ホールド コンデンサは目標電圧まで充電されますが、ホールド位相では S-H 電圧が維持されます。ホールド位相のサンプル クロック周波数を下げることで、電力を節約できます。この概念を 図 19-33 に示します。

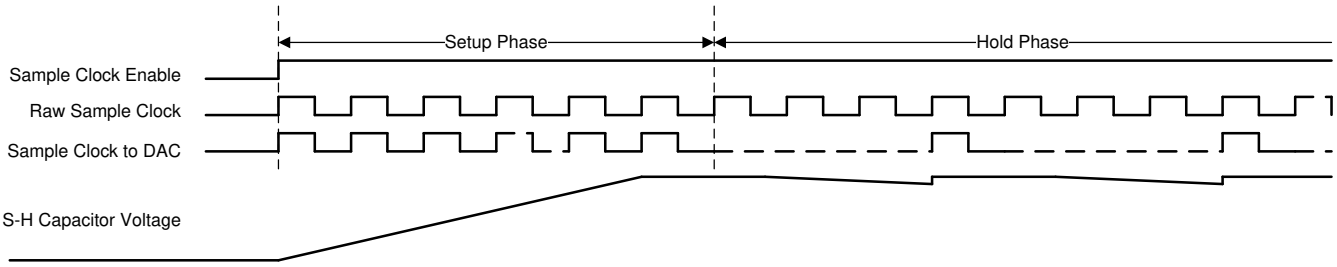


図 19-33. DAC サンプル クロック フェーズ

サンプル クロック周期は、AUX_ANAIF:DACSMPLCFG0 および AUX_ANAIF:DACSMPLCFG1 レジスタによって設定され、AUX_ANAIF:DACSMPLCTL レジスタによって有効になります。サンプル クロック周期は、AUX_SYSIF:PEROPRATE.ANAIF_DAC_OP_RATE によって設定されたペリフェラル クロック周波数によってスケーリングされます。図 19-34 に、サンプル クロック周期がどのようにペリフェラル クロックから得られるかを示します。

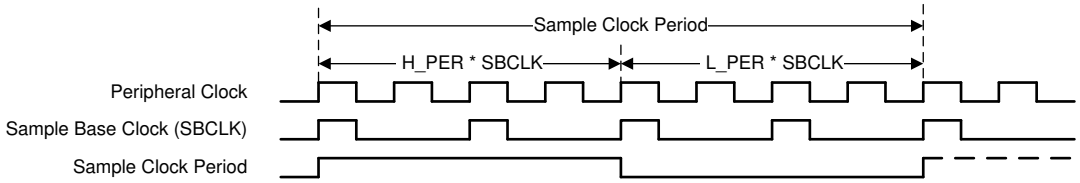


図 19-34. サンプル クロック周期設定

AUX_ANAIF:DACSMPLCFG0 は、ペリフェラル クロックからサンプル ベース クロックへのクロック分周を制御します。図 19-34 では、AUX_ANAIF:DACSMPLCFG0 レジスタは 2 に設定されています。

AUX_ANAIF:DACSMPLCFG.H_PER および AUX_ANAIF:DACSMPLCFG.L_PER は、ベース クロック周期を基準として、1 つのサンプル クロック周期の High および Low 位相の持続時間をそれぞれ指定します。図 19-34 では、これらは両方とも 2 周期に設定されています。

ステート マシンが、セットアップ位相からホールド位相への遷移を制御することも、ユーザーがこれを手動で制御することもできます。

Copyright © 2026 Texas Instruments Incorporated

19.5.5.2.3.1 自動位相制御

自動位相遷移を行うには、セットアップ位相において S-H コンデンサを目標電圧まで充電するのに必要な時間が 17 サンプル クロック周期未満である必要があります。リファレンス DAC が外部負荷を駆動する場合、一般にこれは当てはまりません。

次のシーケンスで自動位相制御を設定します。

1. AUX_ANAIF:DACSMPLCFG1.SETUP_CNT は、セットアップ位相のサンプル クロック サイクル数を指定します。
2. AUX_ANAIF:DACSMPLCFG1.HOLD_INTERVAL は、各 S-H リフレッシュ クロック間の非アクティブ サンプル クロック周期の数を指定します。

この遷移は、AUX_EVCTL:EVSTAT3.AUX_DAC_HOLD_ACTIVE イベントを設定します。

19.5.5.2.3.2 手動位相制御

セットアップ位相で、S-H コンデンサを目標電圧まで充電するために 16 サンプル クロック周期を超える時間が必要な場合、ユーザーは位相遷移を手動で制御する必要があります。手動位相制御は、次のように設定します。

1. AUX_ANAIF:DACSMPLCFG1.SETUP_CNT を 0 に設定します。
2. AUX_ANAIF:DACSMPLCFG1.HOLD_INTERVAL を初期値として 0 に設定します。

S-H コンデンサが目標電圧に到達した時点で、ユーザーは AUX_ANAIF:DACSMPLCFG1.HOLD_INTERVAL を更新する必要があります。

または、ユーザーは AUX_EVCTL:EVSTAT3.AUX_DAC_HOLD_ACTIVE を利用して、ループでサンプル クロック生成を再開することもできます。この方法では、他のハードウェア リソースは必要ありません。

19.5.5.2.3.3 動作モードの依存関係

AUX_SYSIF:OPMODEREQ.REQ が LPPD の場合、AUX パワーダウン動作モードで許可されるサンプル クロック構成は 1 つのみです。

- このとき、AUX_ANAIF:DACSMPLCFG1 のすべてのフィールドを 0 に設定します。

このシナリオでは、ユーザーは AUX_SYSIF:OPMODEREQ.REQ = LP のときに、サンプル クロック生成を有効化し、その後 LPPD を要求する必要があります。

AUX_SYSIF:OPMODEREQ.REQ = PDA の場合、サンプル クロックの生成は許可されません。

19.5.5.2.4 出力選択

AUX_ANAIF:DACCTL.DAC_VOUT_SEL は、リファレンス DAC 出力接続を選択します。

- 非接続
- 外部負荷、COMPA_IN アナログ ノード
- COMPA リファレンス入力、COMPA_REF アナログ ノード
- COMPB リファレンス入力、COMPB_REF アナログ ノード

一度に選択できる出力接続は 1 つだけです。ユーザーは、接続されているアナログ ノードに常に 1 つのドライバのみが接続されるようにする必要があります。内部で信号が相互に短絡することを防止するため、TI では、ROM ベースの TI-DriverLib 機能を提供しています。この機能により、内部マルチプレクサのブレイクビフォーメイクの切り替えを確実に行うことができます。

以下のサブセクションでは、それぞれの接続について説明します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.5.5.2.4.1 バッファ

リファレンス DAC は、バッファを介して選択された負荷と接続できます。リファレンス DAC が外部負荷と接続される場合、バッファを有効にする必要があります。内部負荷をバッファと接続することは推奨しません。

バッファを有効にするには、AUX_ANAIF:DACCTL.DAC_BUFFER_EN を 1 に設定します。LPM (低消費電力モード) でバッファを有効化するには、AUX_ANAIF:LPMBIASCTL.EN を 1 に設定して、バイアス モジュールを有効化します。AUX がパワーダウン動作モードを要求している場合、このバッファは使用できません。

19.5.5.2.4.2 外部負荷

リファレンス DAC は、ペリフェラル クロック周波数が 2MHz または 24MHz のとき、COMPA_IN アナログ ノードに接続された外部負荷を駆動できます。これは、次の場合に有効です。

- アクティブおよび低消費電力 AUX 動作モード
- アクティブおよびアイドルの TI-RTOS 電力モード

リファレンス DAC が外部負荷と接続される場合、バッファをイネーブルにする必要があります。

負荷のサポート:

- 抵抗性負荷 > 10MΩ
- AUX_DAC_Drvier 仕様書からの引用:「DAC が 2.0V で動作している場合、負荷は 10MΩ を上回る抵抗であるか、純粋な静電容量性である必要があります。この条件が満たされていない場合は、CHP を使用して VOUT 誤差を低減する必要があります」。
- 容量性負荷 < 200pF (常に安定)
- 容量性負荷
- R+C

19.5.5.2.4.3 COMPA_REF

リファレンス DAC は、すべての電力モードで COMPA_REF アナログ ノードを駆動できます。この場合、図 19-28 に示す 2 つの COMPA_REF マルチプレクサは、COMPA_REF ノードから切断されます。通常、この接続にはバッファを使用することは推奨されません。

19.5.5.2.4.4 COMPB_REF

リファレンス DAC は、すべての電力モードで COMPB_REF アナログ ノードを駆動できます。通常、この接続にはバッファを使用することは推奨されません。

19.5.5.2.5 LPM バイアス

リファレンス DAC は、以下の場合、低消費電力モード バイアス (LPMBIAS) モジュールからのバイアス電流を必要とします。

- センサ コントローラが、低消費電力およびパワーダウン動作モードでペリフェラルを所有し、使用する場合。
- システム CPU が、スタンバイ TI-RTOS 電力モードでペリフェラルを所有し、使用する場合。

AUX_ANAIF:LPMBIASCTL.EN を設定して LPM バイアス モジュールを有効にした後、AUX_ANAIF:DACCTL.DAC_EN を設定してリファレンス DAC を有効にします。

Copyright © 2026 Texas Instruments Incorporated

19.5.5.2.6 リソースの所有権と使用

リファレンス DAC の使用には、アプリケーションの所有権が必要です。TI ソフトウェアでのセマフォ アロケーションについては、セクション 19.4.3.3 を参照してください。

Sensor Controller Studio は、リファレンス DAC を使用するために必要な API を提供し、センサ コントローラはすべての AUX 動作モードでペリフェラルを使用できます。

システム CPU は、TI-RTOS 電力モードがアクティブおよびアイドルの時にペリフェラルを使用できます。この場合、AUX_SYSIF:PEROPRATE.ANAIF_DAC_OP_RATE を BUS_RATE に設定します。

アプリケーションでセンサ コントローラを使用しない場合、システム CPU は TI-RTOS 電力モードがスタンバイの時にペリフェラルを使用できます。この場合、システム CPU は AON_PMCTL.AUXSCECLK.PD_SRC を SCLK_LF に設定して、低消費電力動作モードとパワーダウン動作モードを切り換える必要があります。以下のシーケンスが必要です。

1. AUX_SYSIF:PEROPRATE.ANAIF_DAC_OP_RATE を SCE_RATE に設定します。
2. AUX_SYSIF:OPMODEREQ を LP に設定します。
3. 必要な AUX_ANAIF:DACVALUE を設定します。
4. AUX_ANAIF:DACCTL を次のように設定します。
   a. DAC_PRECHARGE_EN を目的の値に設定します。
   b. DAC_VOUT_SEL を目的の値に設定します。
   c. AUX_ANAIF:DACCTL.DAC_BUFFER_EN を 0 に設定します。
5. AUX_ANAIF:LPMBIASCTL を 1 に設定します。
6. 15µs 待ちます。
7. AUX_ANAIF:DACSMPLCFG0.CLKDIV を 0 に設定します。
8. AUX_ANAIF:DACSMPLCFG1 を次のように設定します。
   a. H_PER を 1 に設定します。
   b. L_PER を 0 に設定します。
   c. SETUP_CNT を 0 に設定します。
   d. HOLD_INTERVAL を 0 に設定します。
9. サンプル クロック生成を有効にするために AUX_ANAIF:DACSMPLCTL を 1 に設定します。
10. AUX_ANAIF:DACSMPLCFG1.H_PER を 0 に設定します。
11. S-H コンデンサを要求された電圧まで充電するために必要な時間だけ待ちます。
12. AUX_SYSIF:OPMODEREQ を PDLP に設定します。
13. スリープに移行し、割り込みを待ちます。

19.5.6 ISRC

19.5.6.1 概要

AUX 電流ソース (ISRC) モジュールには、次のような特長があります。

- プログラマブル電流出力：0 ～ 20µA
- 電圧リファレンス出力：公称 0.8V

ISRC ペリフェラルの主なアプリケーションは、静電容量式タッチ センシングであり、COMPA および TDC ペリフェラルと組み合わせて使用されます。このアプリケーションでは、ISRC は COMPA 用の内部リファレンス電圧 (公称 0.8V) を駆動し、同時に COMPA 入力に接続された容量を充電します。充電開始から COMPA 出力が High になるまでの時間は、TDC を使用して測定されます。

図 19-35 に、ISRC アナログ接続とデジタル制御を示します。リファレンス DAC の適切な制御および接続方法については、セクション 19.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

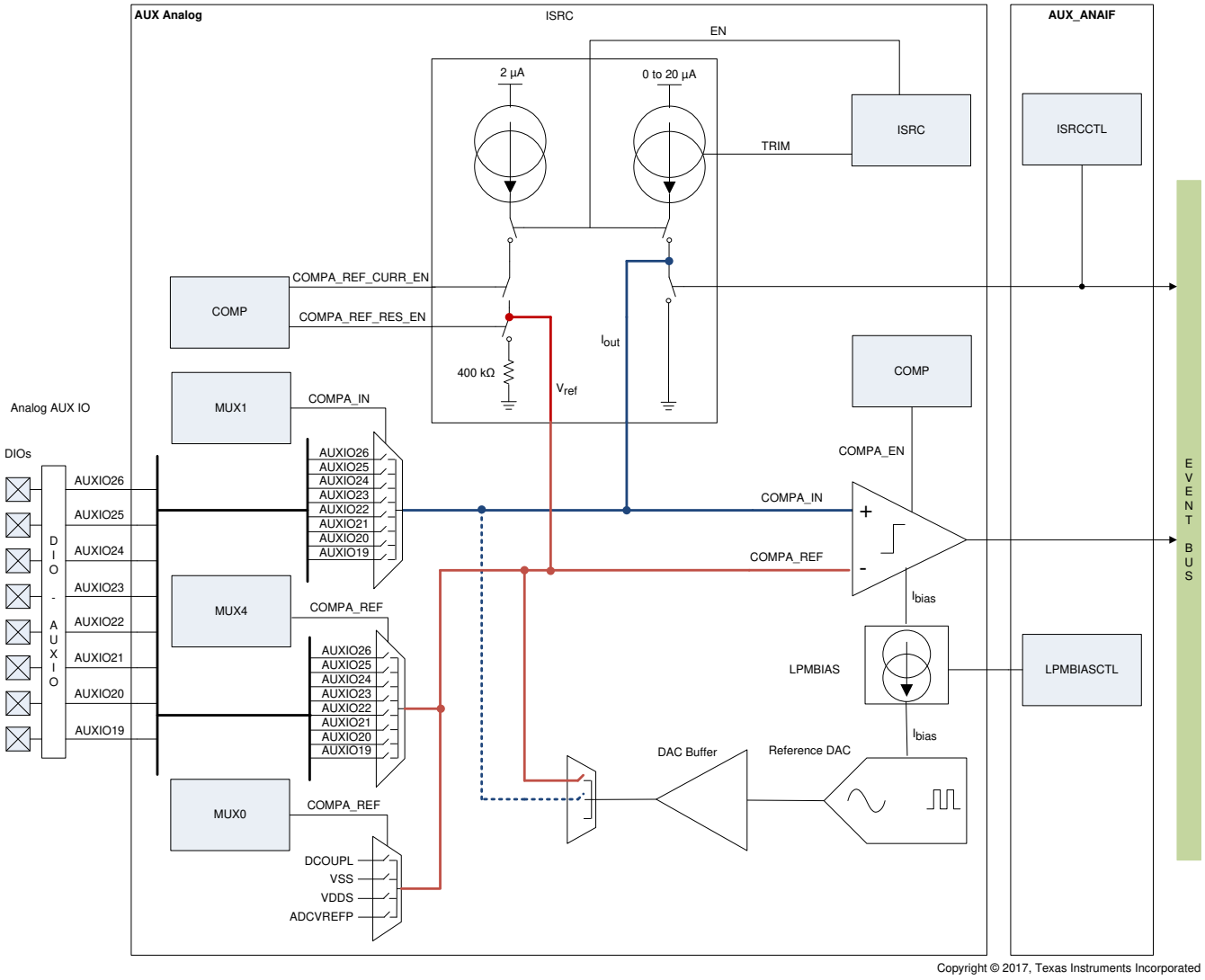


図 19-35. ISRC のブロック図

19.5.6.2 機能説明

19.5.6.2.1 プログラマブルな電流

プログラマブル電流出力は、COMPA の正入力に接続されているため、アナログ対応 AUX I/O に接続された外部容量を充電できます。物理的には、この出力はリファレンス DAC 出力にも接続されます。この接続は ISRC の使用を意図したものではありません。したがって、その接続は、図 19-35 で点線として示されています。

ISRC が有効の場合、ADI_4_AUX:ISRC.TRIM によって設定された電流が COMPA_IN アナログ ノードまたはグランドに流れます。その接続は、AUX_ANAIF:ISRCCTL.RESET_N によって制御されます。

ユーザーは、COMPA の正入力に常に 1 つのドライバしかないことを確実にする必要があります。内部で信号が相互に短絡することを防止するため、TI では、ROM ベースの TI-DriverLib 機能を提供しています。この機能により、内部マルチプレクサのブレイクビフォーメイクの切り替えを確実に行うことができます。

Copyright © 2026 Texas Instruments Incorporated

19.5.6.2.2 電圧リファレンス

電圧リファレンス出力は、COMPA のリファレンス入力に接続されます。内部の 400kΩ の抵抗を使用する場合、生成される電圧リファレンスは公称 0.8V となります。リファレンス電圧を生成し、COMPA のリファレンス入力に接続するには以下のようにします。

- ADI_4_AUX:COMP.COMPA_REF_RES_EN を設定して、内部の 400kΩ の抵抗を有効にします。
- ADI_4_AUX:COMP.COMPA_REF_CURR_EN を設定して、2µA の電流を有効にします。

外部抵抗を使用して、他の電圧を生成することもできます。この場合、リファレンス電圧を生成し、COMPA のリファレンス入力に接続するには以下のようにします。

- 抵抗をアナログ対応の AUX I/O に接続します。
- その AUX I/O を COMPA のリファレンス入力に接続します。
- ADI_4_AUX:COMP.COMPA_REF_CURR_EN を設定して、2µA の電流を有効にします。

COMPA のリファレンス入力には、常に 1 つのドライバだけが接続されるようにする必要があります。内部で信号が相互に短絡することを防止するため、TI は、ROM ベースの TI-DriverLib 機能を提供しています。この機能により、内部マルチプレクサのブレイク ビフォー メイクのスイッチングを確実に行うことができます。

19.5.6.2.3 ISRC イネーブル

ADI_4_AUX:ISRC.EN を設定して、モジュールを有効にし、任意の電流を生成します。

19.5.6.2.4 温度依存性

ISRC 出力は温度に依存します。ISRC が COMPA の正入力ノードを充電し、内部生成された 0.8 リファレンス電圧を COMPA リファレンス入力に接続すると、その効果は相殺されます。

19.5.6.2.5 リソースの所有権と使用状況

ISRC の使用にはアプリケーションが必要です。TI ソフトウェアでのセマフォ割り当てについては、セクション 19.4.3.3 を参照してください。

システム CPU は、TI-RTOS の電力モード アクティブ時およびアイドル時にペリフェラルを使用できます。ペリフェラルを使用するには、センサ コントローラがアクティブ AUX 動作モードを要求する必要があります。

19.6 イベントのルーティングと使用

19.6.1 AUX イベント バス

AUX ドメイン イベント バスは、以下のイベントを集約します。

- AUX 周辺機器
- AUX I/O 電源ピン
- リアルタイム クロック
- バッテリ モニタと温度センサ
- システム電源とクロック管理

イベントは、一部非同期であるバージョンと、AUX クロックに完全に同期しているバージョンの 2 つのバージョンに存在する 64 ビット イベント バスに集約されます。ユーザーは、AUX_EVCTL:EVSTAT0 の同期イベントのレベルを AUX_EVCTL:EVSTAT3 レジスタによって読み出すことができます。

Copyright © 2026 Texas Instruments Incorporated

19.6.1.1 イベント信号

表 19-33 に、イベント信号の概要を示します。イベントの詳細な説明については、セクション 19.8.3 の AUX_EVCTL:EVSTAT0 レジスタから AUX_EVCTL:EVSTAT3 レジスタを参照してください。

表 19-33. AUX イベント バス

インデックス	非同期イベント バス (1) (2)		同期イベント バス (3) (4) (5)	
	発生元	信号	SCE レート	バス レート
[0:31]	DIO	AUXIO[0:31]	X	
32	AUX	MANUAL_EV	X	
33	システム	AON_RTC_CH2	X	
34		AON_RTC_CH2_DLY	X	
35		AON_RTC_4KHZ	X	
36		AON_BATMON_BAT_UPD	X	
37		AON_BATMON_TEMP_UPD	X	
38		SCLK_LF	X	
39		PWR_DWN	X	
40		MCU_ACTIVE	X	
41		VDDR_RECHARGE	X	
42		ACLK_REF	X	
43		MCU_EV	X	
44		MCU_OBSMUX0	X	
45		MCU_OBSMUX1	X	
46	AUX	AUX_COMPA	X	(X)
47		AUX_COMPB	X	(X)
48		AUX_TIMER2_EV0	X	(X)
49		AUX_TIMER2_EV1	X	(X)
50		AUX_TIMER2_EV2	X	(X)
51		AUX_TIMER2_EV3	X	(X)
52		AUX_TIMER2_PULSE	X	(X)
53	AUX	AUX_TIMER1_EV	X	(X)
54		AUX_TIMER0_EV	X	(X)
55		AUX_TDC_DONE		X
56		AUX_ISRC_RESET_N		X
57		AUX_ADC_DONE		X
58		AUX_ADC_IRQ		X
59		AUX_ADC_FIFO_ALMOST_FULL		X
60		AUX_ADC_FIFO_NOT_EMPTY		X
61		AUX_SMPH_AUTOTAKE_DONE		X
62		DAC_HOLD_ACTIVE	X	(X)
63		TIMER2_CLKSWITCH_RDY		X

(1) シェーディングされていないイベントでは、AUX クロックを参照する非同期発信元があります。
(2) 青色で色分けされたイベントには、AUX クロックを基準とする同期発信元があります。
(3) X = デフォルト レート
(4) (X) = レート オーバーライド機能
(5) これらの列は、同期イベント バスのイベント更新レートを示します。

Copyright © 2026 Texas Instruments Incorporated

更新レートは、イベント同期、またはそれを生成する同期ペリフェラルの動作レートによって決定されます。

表 19-33 には以下が示されています。

- 非同期発生元の一部のイベントには、構成可能な同期レートがあります。このレートは AUX_SYSIF:EVSYNCRATE によって構成されます。
- 同期発生元の一部のイベントには、構成可能な更新レートがあります。このレートは AUX_SYSIF:PEROPRATE によって構成されます。

この構成機能により、システム CPU とセンサ コントローラ間でリソースを共有できます。

同期化のため、非同期発生元イベントの非同期バージョンと同期バージョンの間には常に遅延が生じます。システム CPU は、最小限の同期レイテンシを必要とする場合があります。その場合、同期はバス クロック レートで行わなければなりません。AUX SCE のクロック レートが遅い場合は、レイテンシに影響しません。一方、SCE クロック レートがバス クロック レートより小さい場合、バス クロック レートで同期されたあらゆるイベントは、MCU ドメインがアクティブなときにレイテンシが短くなります。この状況は、センサ コントローラのタスクや Timer01 には望ましくないことがあります。この場合、イベント同期レートは SCE クロック レートと同じでなければなりません。

19.6.1.2 イベント サブスクライバ

表 19-34 に、AUX イベント バス サブスクライバおよびサブスクライブしているイベント バスのバージョンを示します。

表 19-34. AUX イベント サブスクライバ

サブスクライバ	非同期 イベント バス	同期 イベント バス
センサ コントローラ		X
Timer0 および Timer1		X
TDC ステート マシン	X	
TDC プリスケーラ	X	
TDC 高速カウンタ	X	
Timer2	X	
ADC インターフェイス	X	
AUX プログラマブル ウェークアップ	X	

19.6.1.2.1 イベント検出

サブスクライバは、イベントを別の方法で検出します。一般に、イベントが検出に十分な長さになるという保証はありません。

19.6.1.2.1.1 非同期イベントの検出

シンクロナイザが非同期イベントを検出するか、またはイベントをクロックとして使用して検出フラグを設定し、その後、そのフラグを同期します。表 19-35 に、サブスクライバが使用する検出方式を示します。

表 19-35. 非同期イベント検出

サブスクライバ	検出方式
TDC プリスケーラ	イベントをクロックとして使用
TDC 高速カウンタ	シンクロナイザ
タイマ 2	シンクロナイザ
ADC インターフェイス	イベントをクロックとして使用
AUX プログラマブル ウェークアップ	イベントをクロックとして使用

Copyright © 2026 Texas Instruments Incorporated

AUX I/O や COMPA イベントなど、非同期発信元のイベントは、指定されたクロック周波数で適切なシンクロナイザを検出できるようにするには、短すぎる可能性があります。同様に、Timer2 イベントはすべて、低速の AUX SCE クロックと適切に同期できるようにするには、短すぎる可能性があります。一般に、適切なシンクロナイザを検出できるように、非同期イベントのパルス幅は、サンプル クロック周期よりも長くする必要があります。

イベント サブスクライバが同期イベントを確実に捕捉するには、次のいずれかを満たす必要があります。

- イベント サブスクライバの動作クロック レートが、シンクロナイザ クロック レート以上である
- 同期イベント期間は、サブスクライバ モジュールの有効クロック周期と少なくとも同じである

検出フラグを設定するために非同期イベントをクロックとして使用する場合、許容されるイベント パルス幅はシンクロナイザよりも大幅に小さくなります。

19.6.1.2.1.2 同期イベントの検出

センサ コントローラおよび Timer01 が同期起源のイベントを使用する場合にも、同様の要件が存在します。イベント サブスクライバの動作レートがイベント パブリッシャの動作レートより低い場合、サブスクライバはイベントを受信し損なう可能性があります。これは、イベント期間がサブスクライバ モジュールの有効クロック周期より短い場合に発生します。これにより、次のような問題が生じます。

- ADC インターフェイスは SCLK_HFDIV2 のクロック レートで動作するので、AUX_ADC_DONE イベントをサブスクライブするためにセンサ コントローラと Timer01 の動作レートを SCLK_HFDIV2 と同等にする必要がある。
- センサ コントローラが AUX_TIMER0_EV または AUX_TIMER1_EV をサブスクライブする場合、タイマの動作レートは、センサ コントローラの動作レート以下でなければならない。

19.6.2 外部ピンでのイベント観測

AUX_EVCTL.EVOBSCFG によって選択された非同期イベントを外部 AUX I/O ピンで観測できます。そのためには、ユーザーがペリフェラル モード出力用に対応する AUX I/O を構成し、AUX_EV_OBS イベントをデータ ソースとして設定する必要があります。

この機能は次の目的で使用されます。

- デバッグ
- 外部ピン レベルを設定し、TDC 変換などの内部ペリフェラル動作を同時にトリガする

AUX I/O 構成については、セクション 19.4.2 および 図 19-11 を参照してください。

19.6.3 MCU ドメインからのイベント

MCU イベント ファブリックは、表 19-33 のインデックス 43 にある MCU_EV イベントを定義します。EVENT:AUXSEL0 は、このイベントのソースを設定します。

AUX_EVCTL:EVTOMCUFLAGS は、MCU イベント ファブリックとシステム CPU に接続される 16 のイベント フラグを保持します。イベント フラグ名は、それが由来する同期イベント バス上のイベント名と同じです。表 19-36 に、イベント フラグとその感度タイプをリスト表示します。

19.6.4 MCU ドメインへのイベント

AUX_EVCTL:EVTOMCUFLAGS は、MCU イベント ファブリックとシステム CPU に接続される 16 のイベント フラグを保持します。イベント フラグ名は、それが由来する同期イベント バス上のイベント名と同じです。表 19-36 に、イベント フラグとその感度タイプをリスト表示します。

AUX_EVCTL:EVTOMCUPOL で構成されたレベルやエッジがそのイベントで発生すると、イベント フラグが設定されます。レベル センシティブなフラグをクリアするには、ユーザーがイベント フラグをクリアする前に、対応するイベントをクリアする必要があります。レベルまたはエッジ センシティブなフラグをクリアするには、AUX_EVCTL:EVTOMCUFLAGSCLR のイベント インデックスに 1 を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

表 19-36. MCU へのイベント

インデックス	イベント フラグ名	感度	説明
0	AUX_WU_EV	レベル	AUX ウェークアップ イベント(1)
1	AUX_COMPA	エッジ	コンパレータ A イベント
2	AUX_COMPB	エッジ	コンパレータ B イベント
3	AUX_TDC_DONE	レベル	TDC 変換完了またはタイムアウト
4	AUX_TIMER0_EV	レベル	AUX Timer0 がターゲット値に到達
5	AUX_TIMER1_EV	レベル	AUX Timer1 がターゲット値に到達
6	AUX_SMPH_AUTOTAKE_DONE	レベル	ユーザー指定セマフォを解放
7	AUX_ADC_DONE	レベル	ADC 変換を完了
8	AUX_ADC_FIFO_ALMOST_FULL	レベル	ADC FIFO がほぼ満杯
9	MCU_OBSMUX0	レベル	MCU 観測可能イベント。
10	AUX_ADC_IRQ	レベル	ADC IRQ(2)
11	AUX_TIMER2_EV0	レベル	AUX Timer2 イベント 0
12	AUX_TIMER2_EV1	レベル	AUX Timer2 イベント 1
13	AUX_TIMER2_EV2	レベル	AUX Timer2 イベント 2
14	AUX_TIMER2_EV3	レベル	AUX Timer2 イベント 3
15	AUX_TIMER2_PULSE	レベル	AUX Timer2 シングル クロック パルス

(1) AUX_SYSIF:WUFLAGS レジスタにおける AUX ウェークアップ イベントの論理 OR。
(2) ADC の新しいサンプルが利用可能、FIFO アンダーフローまたはオーバーフロー。DMA を使用する場合:ADC DMA 完了、FIFO アンダーフローまたはオーバーフロー。

AUX_EVCTL:EVTOMCUFLAGS の 16 のイベント フラグに応じて、ユーザーはオプションで AUX_COMB イベントを有効化できます。AUX_EVCTL:COMBEVTOMCUMASK 構成によって、設定したイベント フラグが AUX_COMB イベントを設定するかどうかが決まります。AUX_EVCTL:COMBEVTOMCUMASK で 1 つ以上のイベント フラグが選択されている限り、AUX_COMB イベントは High になります。

MCU イベント ファブリックは、16 のイベント フラグと AUX_COMB イベントを以下のものとして接続します。

- DMA トリガ
- 無線タイマのキャプチャ
- システム CPU 割り込み
- 汎用タイマのキャプチャ

可能なすべての接続については、Chapter 5 の EVENT:* を参照してください。

19.6.5 AON ドメインからのイベント

表 19-33 のインデックス 32 からインデックス 41 のイベントは AON ドメインから発生します。これらのイベントは主に次の 2 つの目的で行われます。

- ウェークアップ:イベントは、AUX ドメインおよびセンサ コントローラのウェークアップ ソースとして使用され、直接または Timer01 で分周されます。
- 待機イベント:特定のイベント レベルに達するまで、センサ コントローラは実行を停止します。

ウェークアップの使用例は次のとおりです。

- Timer0 は AON_RTC_4KHZ イベントを分周して、AUX ドメイン ウェークアップとセンサ コントローラ タスク実行を 10ms ごとに生成します。
- AON_RTC_CH2 イベントは AUX ドメインをウェークアップします。AON_RTC_CH2_DLY イベントは、センサ コントローラのタスク実行をトリガします。

Copyright © 2026 Texas Instruments Incorporated

待機イベントの使用例を次に示します。

- AON_BATMON_BAT_UPD が High のとき、AUX_SYSIF:BATMONBAT の新しい値の準備が完了します。
- AON_BATMON_TEMP_UPD が High になると、AUX_SYSIF:BATMONTEMP の新しい値の準備が完了します。

Copyright © 2026 Texas Instruments Incorporated

19.6.6 AON ドメインへのイベント

AUX_EVCTL:EVTOAONFLAGS は、AON イベント ファブリックに接続する 9 つのイベント フラグを保持します。イベント フラグ名は、それが由来する同期イベント バス上のイベント名と同じです。表 19-37 に、イベント フラグとその感度タイプをリスト表示します。

表 19-37. AON へのイベント

インデックス	イベント フラグ名	感度	説明
0	SWEV0	該当なし	AUX_EVCTL:SWEVSET.SWEV0 に直接マップされます
1	SWEV1	該当なし	AUX_EVCTL:SWEVSET.SWEV1 に直接マップされます
2	SWEV2	該当なし	AUX_EVCTL:SWEVSET.SWEV2 に直接マップされます
3	AUX_COMPA	エッジ	コンパレータ A イベント
4	AUX_COMPB	エッジ	コンパレータ B イベント
5	AUX_ADC_DONE	レベル	ADC 変換を完了
6	AUX_TDC_DONE	レベル	TDC 変換完了またはタイムアウト
7	AUX_TIMER0_EV	レベル	AUX Timer0 がターゲット値に到達
8	AUX_TIMER1_EV	レベル	AUX Timer1 がターゲット値に到達

AUX_EVCTL:EVTOAONPOL で構成されたレベルやエッジがそのイベントで発生すると、イベント フラグが設定されます。SWEV0 ～ SWEV2 イベント フラグのレベルは、レジスタによって制御されます。レベル センシティブなフラグをクリアするには、ユーザーがイベント フラグをクリアする前に、対応するイベントをクリアする必要があります。レベルまたはエッジセンシティブなフラグをクリアするには、AUX_EVCTL:EVTOAONFLAGSCLR のイベント インデックスに 1 を書き込みます。

イベント フラグ SWEV0 および SWEV1 もシステム CPU に直接接続します。

イベント フラグは、以下に役立ちます:

- マイコン ドメインのウェークアップ (セクション 5.7.1 の AON_EVENT:MCUWUSEL を参照)
- マイコンへのプログラマブル イベント (セクション 5.7.1 の AON_EVENT:EVTOMCUSEL を参照)
- RTC キャプチャ イベント (セクション 5.7.1 の AON_EVENT:RTCSEL を参照)
- システム CPU 割り込み:
  - SWEV0 は EVENT:CPUIRQSEL6 にマップされます
  - SWEV1 は EVENT:CPUIRQSEL13 にマップされます
- ソフトウェア定義のハンドシェイク プロトコル

AUX_TIMER2_EV* イベントも、AUX クロックへの中間同期なしに AON_EVENT に直接ルーティングされます。

19.6.7 µDMA インターフェイス

µDMA チャネル 7 は、ADC FIFO から ADC サンプルを転送するための専用です。詳細については、セクション 19.5.2.2.7 を参照してください。

システム CPU およびセンサ コントローラは、AUX_EVCTL:DMASWREQ レジスタを介して、チャネル 8 での µDMA 転送を要求できます。これには、µDMA チャネル 8 を適切に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

19.7 センサ コントローラ エイリアス レジスタ空間

ほとんどのペリフェラルのアドレスは、AUX メモリ空間の下位 256 ワード (512 バイト) にエイリアスされます。エイリアス レジスタ空間にアクセスできるのは、センサ コントローラのみです。センサ コントローラは、可能な限りエイリアス アドレスを使用します (表 19-38 を参照)。エイリアスを使用することで、エイリアス以外の 16 ビットのペリフェラル アドレスを使用した場合に比べ、命令の実行が一回の SCE クロック サイクル分短縮されます。

表 19-38. エイリアス レジスタ マッピング

レジスタ バンク	レジスタ名	送信元アドレス	エイリアス アドレス
AUX_SPIM	SPIMCFG	0x400C 1000 + 0x00	0
AUX_SPIM	MISOCFG	0x400C 1000 + 0x04	1
AUX_SPIM	MOSICTL	0x400C 1000 + 0x08	2
AUX_SPIM	TX8	0x400C 1000 + 0x0C	3
AUX_SPIM	TX16	0x400C 1000 + 0x10	4
AUX_SPIM	RX8	0x400C 1000 + 0x14	5
AUX_SPIM	RX16	0x400C 1000 + 0x18	6
AUX_SPIM	SCLKIDLE	0x400C 1000 + 0x1C	7
AUX_SPIM	DATAIDLE	0x400C 1000 + 0x20	8
AUX_MAC	OP0S	0x400C 2000 + 0x00	9
AUX_MAC	OP0U	0x400C 2000 + 0x04	10
AUX_MAC	OP1SMUL	0x400C 2000 + 0x08	11
AUX_MAC	OP1UMUL	0x400C 2000 + 0x0C	12
AUX_MAC	OP1SMAC	0x400C 2000 + 0x10	13
AUX_MAC	OP1UMAC	0x400C 2000 + 0x14	14
AUX_MAC	OP1SADD16	0x400C 2000 + 0x18	15
AUX_MAC	OP1UADD16	0x400C 2000 + 0x1C	16
AUX_MAC	OP1SADD32	0x400C 2000 + 0x20	17
AUX_MAC	OP1UADD32	0x400C 2000 + 0x24	18
AUX_MAC	CLZ	0x400C 2000 + 0x28	19
AUX_MAC	CLS	0x400C 2000 + 0x2C	20
AUX_MAC	ACCSHIFT	0x400C 2000 + 0x30	21
AUX_MAC	ACCRESET	0x400C 2000 + 0x34	22
AUX_MAC	ACC15_0	0x400C 2000 + 0x38	23
AUX_MAC	ACC31_16	0x400C 2000 + 0x78	24
AUX_MAC	ACC39_32	0x400C 2000 + 0x9C	25
AUX_TIMER2	CTL	0x400C 3000 + 0x00	26
AUX_TIMER2	ターゲット	0x400C 3000 + 0x04	27
AUX_TIMER2	SHDWTARGET	0x400C 3000 + 0x08	28
AUX_TIMER2	CNTR	0x400C 3000 + 0x0C	29
AUX_TIMER2	PRECFG	0x400C 3000 + 0x10	30
AUX_TIMER2	EVCTL	0x400C 3000 + 0x14	31
AUX_TIMER2	PULSETRIG	0x400C 3000 + 0x18	32
AUX_TIMER2	CH0EVCFG	0x400C 3000 + 0x80	33
AUX_TIMER2	CH1EVCFG	0x400C 3000 + 0x90	34
AUX_TIMER2	CH2EVCFG	0x400C 3000 + 0xA0	35
AUX_TIMER2	CH3EVCFG	0x400C 3000 + 0xB0	36
AUX_TIMER2	CH0CCFG	0x400C 3000 + 0x84	37
AUX_TIMER2	CH1CCFG	0x400C 3000 + 0x94	38

Copyright © 2026 Texas Instruments Incorporated

表 19-38. エイリアス レジスタ マッピング (続き)

レジスタ バンク	レジスタ名	送信元アドレス	エイリアス アドレス
AUX_TIMER2	CH2CCFG	0x400C 3000 + 0xA4	39
AUX_TIMER2	CH3CCFG	0x400C 3000 + 0xB4	40
AUX_TIMER2	CH0PCC	0x400C 3000 + 0x88	41
AUX_TIMER2	CH1PCC	0x400C 3000 + 0x98	42
AUX_TIMER2	CH2PCC	0x400C 3000 + 0xA8	43
AUX_TIMER2	CH3PCC	0x400C 3000 + 0xB8	44
AUX_TIMER2	CH0CC	0x400C 3000 + 0x8C	45
AUX_TIMER2	CH1CC	0x400C 3000 + 0x9C	46
AUX_TIMER2	CH2CC	0x400C 3000 + 0xAC	47
AUX_TIMER2	CH3CC	0x400C 3000 + 0xBC	48
AUX_TDC	CTL	0x400C 4000 + 0x00	49
AUX_TDC	STAT	0x400C 4000 + 0x04	50
AUX_TDC	RESULT_LO	0x400C 4000 + 0x08	51
AUX_TDC	RESULT_HI	0x400C 4000 + 0x0A	52
AUX_TDC	SATCFG	0x400C 4000 + 0x0C	53
AUX_TDC	TRIGSRC	0x400C 4000 + 0x10	54
AUX_TDC	TRIGCNT	0x400C 4000 + 0x14	55
AUX_TDC	TRIGCNTLOAD	0x400C 4000 + 0x18	56
AUX_TDC	TRIGCNTCFG	0x400C 4000 + 0x1C	57
AUX_TDC	PRECTL	0x400C 4000 + 0x20	58
AUX_TDC	PRECNTR	0x400C 4000 + 0x24	59
AUX_EVCTL	SCEWEVCFG0	0x400C 5000 + 0x10	60
AUX_EVCTL	SCEWEVCFG1	0x400C 5000 + 0x14	61
AUX_EVCTL	DMACTL	0x400C 5000 + 0x18	62
AUX_EVCTL	DMASWREQ	0x400C 5000 + 0x1C	63
AUX_EVCTL	SWEVSET	0x400C 5000 + 0x20	64
AUX_EVCTL	EVTOAONFLAGS	0x400C 5000 + 0x24	65
AUX_EVCTL	EVTOAONPOL	0x400C 5000 + 0x28	66
AUX_EVCTL	EVTOAONFLAGSCLR	0x400C 5000 + 0x2C	67
AUX_EVCTL	EVTOMCUFLAGS	0x400C 5000 + 0x30	68
AUX_EVCTL	EVTOMCUPOL	0x400C 5000 + 0x34	69
AUX_EVCTL	EVTOMCUFLAGSCLR	0x400C 5000 + 0x38	70
AUX_EVCTL	COMBEVTOMCUMASK	0x400C 5000 + 0x3C	71
AUX_EVCTL	EVOBSCFG	0x400C 5000 + 0x40	72
AUX_EVCTL	PROGDLY	0x400C 5000 + 0x44	73
AUX_EVCTL	MANUAL	0x400C 5000 + 0x48	74
AUX_EVCTL	EVSTAT0L	0x400C 5000 + 0x4C	75
AUX_EVCTL	EVSTAT0H	0x400C 5000 + 0x50	76
AUX_EVCTL	EVSTAT1L	0x400C 5000 + 0x54	77
AUX_EVCTL	EVSTAT1H	0x400C 5000 + 0x58	78
AUX_EVCTL	EVSTAT2L	0x400C 5000 + 0x5C	79
AUX_EVCTL	EVSTAT2H	0x400C 5000 + 0x60	80
AUX_EVCTL	EVSTAT3L	0x400C 5000 + 0x64	81
AUX_EVCTL	EVSTAT3H	0x400C 5000 + 0x68	82
AUX_SYSIF	OPMODEREQ	0x400C 6000 + 0x00	83

Copyright © 2026 Texas Instruments Incorporated

表 19-38. エイリアス レジスタ マッピング (続き)

レジスタ バンク	レジスタ名	送信元アドレス	エイリアス アドレス
AUX_SYSIF	OPMODEACK	0x400C 6000 + 0x04	84
AUX_SYSIF	PROGWU0CFG	0x400C 6000 + 0x08	85
AUX_SYSIF	PROGWU1CFG	0x400C 6000 + 0x0C	86
AUX_SYSIF	PROGWU2CFG	0x400C 6000 + 0x10	87
AUX_SYSIF	PROGWU3CFG	0x400C 6000 + 0x14	88
AUX_SYSIF	SWWUTRIG	0x400C 6000 + 0x18	89
AUX_SYSIF	WUFLAGS	0x400C 6000 + 0x1C	90
AUX_SYSIF	WUFLAGSCLR	0x400C 6000 + 0x20	91
AUX_SYSIF	WUGATE	0x400C 6000 + 0x24	92
AUX_SYSIF	VECCFG0	0x400C 6000 + 0x28	93
AUX_SYSIF	VECCFG1	0x400C 6000 + 0x2C	94
AUX_SYSIF	VECCFG2	0x400C 6000 + 0x30	95
AUX_SYSIF	VECCFG3	0x400C 6000 + 0x34	96
AUX_SYSIF	VECCFG4	0x400C 6000 + 0x38	97
AUX_SYSIF	VECCFG5	0x400C 6000 + 0x3C	98
AUX_SYSIF	VECCFG6	0x400C 6000 + 0x40	99
AUX_SYSIF	VECCFG7	0x400C 6000 + 0x44	100
AUX_SYSIF	EVSYNCRATE	0x400C 6000 + 0x48	101
AUX_SYSIF	PEROPRATE	0x400C 6000 + 0x4C	102
AUX_SYSIF	ADCCLKCTL	0x400C 6000 + 0x50	103
AUX_SYSIF	TDCCLKCTL	0x400C 6000 + 0x54	104
AUX_SYSIF	TDCREFCLKCTL	0x400C 6000 + 0x58	105
AUX_SYSIF	TIMER2CLKCTL	0x400C 6000 + 0x5C	106
AUX_SYSIF	TIMER2CLKSTAT	0x400C 6000 + 0x60	107
AUX_SYSIF	TIMER2CLKSWITCH	0x400C 6000 + 0x64	108
AUX_SYSIF	TIMER2DBGCTL	0x400C 6000 + 0x68	109
AUX_SYSIF	BGAPREQ	0x400C 6000 + 0x6C	110
AUX_SYSIF	CLKSHIFTDET	0x400C 6000 + 0x70	111
AUX_SYSIF	RECHARGETRIG	0x400C 6000 + 0x74	112
AUX_SYSIF	RECHARGEDET	0x400C 6000 + 0x78	113
AUX_SYSIF	RTCSUBSECINC0	0x400C 6000 + 0x7C	114
AUX_SYSIF	RTCSUBSECINC1	0x400C 6000 + 0x80	115
AUX_SYSIF	RTCSUBSECINCCTL	0x400C 6000 + 0x84	116
AUX_SYSIF	RTCSEC	0x400C 6000 + 0x88	117
AUX_SYSIF	RTCSUBSEC	0x400C 6000 + 0x8C	118
AUX_SYSIF	RTCEVCLR	0x400C 6000 + 0x90	119
AUX_SYSIF	BATMONBAT	0x400C 6000 + 0x94	120
AUX_SYSIF	BATMONTEMP	0x400C 6000 + 0x9C	121
AUX_SYSIF	TIMERHALT	0x400C 6000 + 0xA0	122
AUX_SYSIF	OPMODESTAT	0x400C 6000 + 0xAC	123
AUX_SYSIF	TIMER2BRIDGE	0x400C 6000 + 0xB0	124
AUX_TIMER01	T0CFG	0x400C 7000 + 0x00	125
AUX_TIMER01	T1CFG	0x400C 7000 + 0x10	126
AUX_TIMER01	T0CTL	0x400C 7000 + 0x04	127
AUX_TIMER01	T1CTL	0x400C 7000 + 0x14	128

Copyright © 2026 Texas Instruments Incorporated

表 19-38. エイリアス レジスタ マッピング (続き)

レジスタ バンク	レジスタ名	送信元アドレス	エイリアス アドレス
AUX_TIMER01	T0TARGET	0x400C 7000 + 0x08	129
AUX_TIMER01	T1TARGET	0x400C 7000 + 0x18	130
AUX_TIMER01	T0CNTR	0x400C 7000 + 0x0C	131
AUX_TIMER01	T1CNTR	0x400C 7000 + 0x1C	132
AUX_SMPH	SMPH0	0x400C 8000 + 0x00	133
AUX_SMPH	SMPH1	0x400C 8000 + 0x04	134
AUX_SMPH	SMPH2	0x400C 8000 + 0x08	135
AUX_SMPH	SMPH3	0x400C 8000 + 0x0C	136
AUX_SMPH	SMPH4	0x400C 8000 + 0x10	137
AUX_SMPH	SMPH5	0x400C 8000 + 0x14	138
AUX_SMPH	SMPH6	0x400C 8000 + 0x18	139
AUX_SMPH	SMPH7	0x400C 8000 + 0x1C	140
AUX_SMPH	AUTOTAKE	0x400C 8000 + 0x20	141
AUX_ANAIF	ADCCTL	0x400C 9000 + 0x10	142
AUX_ANAIF	ADCFIFOSTAT	0x400C 9000 + 0x14	143
AUX_ANAIF	ADCFIFO	0x400C 9000 + 0x18	144
AUX_ANAIF	ADCTRIG	0x400C 9000 + 0x1C	145
AUX_ANAIF	ISRCCTL	0x400C 9000 + 0x20	146
AUX_ANAIF	DACCTL	0x400C 9000 + 0x30	147
AUX_ANAIF	LPMBIASCTL	0x400C 9000 + 0x34	148
AUX_ANAIF	DACSMPLCTL	0x400C 9000 + 0x38	149
AUX_ANAIF	DACSMPLCFG0	0x400C 9000 + 0x3C	150
AUX_ANAIF	DACSMPLCFG1	0x400C 9000 + 0x40	151
AUX_ANAIF	DACVALUE	0x400C 9000 + 0x44	152
AUX_ANAIF	DACSTAT	0x400C 9000 + 0x48	153
AUX_ADI4	SET01	0x400C B000 + 0x10	154
AUX_ADI4	SET23	0x400C B000 + 0x12	155
AUX_ADI4	SET45	0x400C B000 + 0x14	156
AUX_ADI4	SET67	0x400C B000 + 0x16	157
AUX_ADI4	SET89	0x400C B000 + 0x18	158
AUX_ADI4	SET1011	0x400C B000 + 0x1A	159
AUX_ADI4	SET1213	0x400C B000 + 0x1C	160
AUX_ADI4	SET1415	0x400C B000 + 0x1E	161
AUX_ADI4	CLR01	0x400C B000 + 0x20	162
AUX_ADI4	CLR23	0x400C B000 + 0x22	163
AUX_ADI4	CLR45	0x400C B000 + 0x24	164
AUX_ADI4	CLR67	0x400C B000 + 0x26	165
AUX_ADI4	CLR89	0x400C B000 + 0x28	166
AUX_ADI4	CLR1011	0x400C B000 + 0x2A	167
AUX_ADI4	CLR1213	0x400C B000 + 0x2C	168
AUX_ADI4	CLR1415	0x400C B000 + 0x2E	169
AUX_AIODIO0	IOMODEL	0x400C C000 + 0x40	170
AUX_AIODIO0	IOMODEH	0x400C C000 + 0x44	171
AUX_AIODIO1	IOMODEL	0x400C D000 + 0x40	172
AUX_AIODIO1	IOMODEH	0x400C D000 + 0x44	173

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-38. エイリアス レジスタ マッピング (続き)

レジスタ バンク	レジスタ名	送信元アドレス	エイリアス アドレス
AUX_AIODIO2	IOMODEL	0x400C E000 + 0x40	174
AUX_AIODIO2	IOMODEH	0x400C E000 + 0x44	175
AUX_AIODIO3	IOMODEL	0x400C F000 + 0x40	176
AUX_AIODIO3	IOMODEH	0x400C F000 + 0x44	177
AUX_AIODIO0	GPIODIE	0x400C C000 + 0x04	178
AUX_AIODIO1	GPIODIE	0x400C D000 + 0x04	179
AUX_AIODIO2	GPIODIE	0x400C E000 + 0x04	180
AUX_AIODIO3	GPIODIE	0x400C F000 + 0x04	181
AUX_AIODIO0	IOPOE	0x400C C000 + 0x08	182
AUX_AIODIO1	IOPOE	0x400C D000 + 0x08	183
AUX_AIODIO2	IOPOE	0x400C E000 + 0x08	184
AUX_AIODIO3	IOPOE	0x400C F000 + 0x08	185
AUX_AIODIO0	GPIODOUT	0x400C C000 + 0x0C	186
AUX_AIODIO1	GPIODOUT	0x400C D000 + 0x0C	187
AUX_AIODIO2	GPIODOUT	0x400C E000 + 0x0C	188
AUX_AIODIO3	GPIODOUT	0x400C F000 + 0x0C	189
AUX_AIODIO0	GPIODIN	0x400C C000 + 0x10	190
AUX_AIODIO1	GPIODIN	0x400C D000 + 0x10	191
AUX_AIODIO2	GPIODIN	0x400C E000 + 0x10	192
AUX_AIODIO3	GPIODIN	0x400C F000 + 0x10	193
AUX_AIODIO0	GPIODOUTSET	0x400C C000 + 0x14	194
AUX_AIODIO1	GPIODOUTSET	0x400C D000 + 0x14	195
AUX_AIODIO2	GPIODOUTSET	0x400C E000 + 0x14	196
AUX_AIODIO3	GPIODOUTSET	0x400C F000 + 0x14	197
AUX_AIODIO0	GPIODOUTCLR	0x400C C000 + 0x18	198
AUX_AIODIO1	GPIODOUTCLR	0x400C D000 + 0x18	199
AUX_AIODIO2	GPIODOUTCLR	0x400C E000 + 0x18	200
AUX_AIODIO3	GPIODOUTCLR	0x400C F000 + 0x18	201
AUX_AIODIO0	GPIODOUTTGL	0x400C C000 + 0x1C	202
AUX_AIODIO1	GPIODOUTTGL	0x400C D000 + 0x1C	203
AUX_AIODIO2	GPIODOUTTGL	0x400C E000 + 0x1C	204
AUX_AIODIO3	GPIODOUTTGL	0x400C F000 + 0x1C	205
AUX_AIODIO0	IO0PSEL	0x400C C000 + 0x20	206
AUX_AIODIO0	IO1PSEL	0x400C C000 + 0x24	207
AUX_AIODIO0	IO2PSEL	0x400C C000 + 0x28	208
AUX_AIODIO0	IO3PSEL	0x400C C000 + 0x2C	209
AUX_AIODIO0	IO4PSEL	0x400C C000 + 0x30	210
AUX_AIODIO0	IO5PSEL	0x400C C000 + 0x34	211
AUX_AIODIO0	IO6PSEL	0x400C C000 + 0x38	212
AUX_AIODIO0	IO7PSEL	0x400C C000 + 0x3C	213
AUX_AIODIO1	IO0PSEL	0x400C D000 + 0x20	214
AUX_AIODIO1	IO1PSEL	0x400C D000 + 0x24	215
AUX_AIODIO1	IO2PSEL	0x400C D000 + 0x28	216
AUX_AIODIO1	IO3PSEL	0x400C D000 + 0x2C	217
AUX_AIODIO1	IO4PSEL	0x400C D000 + 0x30	218

Copyright © 2026 Texas Instruments Incorporated

表 19-38. エイリアス レジスタ マッピング (続き)

レジスタ バンク	レジスタ名	送信元アドレス	エイリアス アドレス
AUX_AIODIO1	IO5PSEL	0x400C D000 + 0x34	219
AUX_AIODIO1	IO6PSEL	0x400C D000 + 0x38	220
AUX_AIODIO1	IO7PSEL	0x400C D000 + 0x3C	221
AUX_AIODIO2	IO0PSEL	0x400C E000 + 0x20	222
AUX_AIODIO2	IO1PSEL	0x400C E000 + 0x24	223
AUX_AIODIO2	IO2PSEL	0x400C E000 + 0x28	224
AUX_AIODIO2	IO3PSEL	0x400C E000 + 0x2C	225
AUX_AIODIO2	IO4PSEL	0x400C E000 + 0x30	226
AUX_AIODIO2	IO5PSEL	0x400C E000 + 0x34	227
AUX_AIODIO2	IO6PSEL	0x400C E000 + 0x38	228
AUX_AIODIO2	IO7PSEL	0x400C E000 + 0x3C	229
AUX_AIODIO3	IO0PSEL	0x400C F000 + 0x20	230
AUX_AIODIO3	IO1PSEL	0x400C F000 + 0x24	231
AUX_AIODIO3	IO2PSEL	0x400C F000 + 0x28	232
AUX_AIODIO3	IO3PSEL	0x400C F000 + 0x2C	233
AUX_AIODIO3	IO4PSEL	0x400C F000 + 0x30	234
AUX_AIODIO3	IO5PSEL	0x400C F000 + 0x34	235
AUX_AIODIO3	IO6PSEL	0x400C F000 + 0x38	236
AUX_AIODIO3	IO7PSEL	0x400C F000 + 0x3C	237

19.8 AUX ドメイン センサ コントローラおよびペリフェラル レジスタ

表 19-39 に、AUX サブシステムのレジスタを示します。メモリ マップについては、Chapter 3 を参照してください。

表 19-39. AUX ドメイン センサ コントローラおよびペリフェラル レジスタ

モジュール	名称	セクション
AUX_ADI4	ADI マスタ	セクション 19.8.1
AUX_AIODIO	アナログ/デジタル IO	セクション 19.8.2
AUX_EVCTL	イベント コントローラ	セクション 19.8.3
AUX_SMPH	セマフォ	セクション 19.8.4
AUX_TDC	時間 / デジタル コンバータ	セクション 19.8.5
AUX_TIMER01	Timer01	セクション 19.8.6
AUX_TIMER2	Timer2	セクション 19.8.7
AUX_ANAIF	アナログ インターフェイス	セクション 19.8.8
AUX_SYSIF	システム インターフェイス	セクション 19.8.9
AUX_SPIM	SPI マスタ	セクション 19.8.10
AUX_MAC	演算アクセラレータ	セクション 19.8.11

Copyright © 2026 Texas Instruments Incorporated

19.8.1 ADI_4_AUX のレジスタ

ADI_4_AUX レジスタのメモリマップされたレジスタを、表 19-40 に示します。表 19-40 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-40. ADI_4_AUX のレジスタ

オフセット	略称	レジスタ名	セクション
0h	MUX0	内部	MUX0 レジスタ (オフセット = 0h) [リセット = 00h]
1h	MUX1	内部	MUX1 レジスタ (オフセット = 1h) [リセット = 00h]
2h	MUX2	内部	MUX2 レジスタ (オフセット = 2h) [リセット = 00h]
3h	MUX3	内部	MUX3 レジスタ (オフセット = 3h) [リセット = 00h]
4h	ISRC	電流源	ISRC レジスタ (オフセット = 4h) [リセット = 00h]
5h	COMP	コンパレータ	COMP レジスタ (オフセット = 5h) [リセット = 00h]
7h	MUX4	内部	MUX4 レジスタ (オフセット = 7h) [リセット = 00h]
8h	ADC0	ADC 制御 0	ADC0 レジスタ (オフセット = 8h) [リセット = 00h]
9h	ADC1	ADC 制御 1	ADC1 レジスタ (オフセット = 9h) [リセット = 00h]
Ah	ADCREF0	ADC リファレンス 0	ADCREF0 レジスタ (オフセット = Ah) [リセット = 00h]
Bh	ADCREF1	ADC リファレンス 1	ADCREF1 レジスタ (オフセット= Bh) [リセット= 00h]
Eh	LPMBIAS	内部	LPMBIAS レジスタ (オフセット = Eh) [リセット = 00h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-41 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-41. ADI_4_AUX のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
–n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.1.1 MUX0 レジスタ (オフセット = 0h) [リセット = 00h]

図 19-36 に、MUX0 を示し、表 19-42 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 19-36. MUX0 レジスタ

7	6	5	4	3	2	1	0
予約済み	ADCCOMPB_IN	予約済み		COMPA_REF			
R-0h	R/W-0h	R-0h		R/W-0h			

表 19-42. MUX0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	ADCCOMPB_IN	R/W	0h	内部。TI が提供する API によってのみ使用されます。
5-4	予約済み	R	0h	予約済み
3-0	COMPA_REF	R/W	0h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.1.2 MUX1 レジスタ (オフセット = 1h) [リセット = 00h]

図 19-37 に、MUX1 を示し、表 19-43 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 19-37. MUX1 レジスタ

7	6	5	4	3	2	1	0
COMPA_IN							
R/W-0h							

表 19-43. MUX1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	COMPA_IN	R/W	0h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.1.3 MUX2 レジスタ (オフセット = 2h) [リセット = 00h]

図 19-38 に、MUX2 を示し、表 19-44 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 19-38. MUX2 レジスタ

7	6	5	4	3	2	1	0
ADCCOMPB_IN					DAC_VREF_SEL		
R/W-0h					R/W-0h		

表 19-44. MUX2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	ADCCOMPB_IN	R/W	0h	内部。TI が提供する API によってのみ使用されます。
2-0	DAC_VREF_SEL	R/W	0h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.1.4 MUX3 レジスタ (オフセット = 3h) [リセット = 00h]

図 19-39 に、MUX3 を示し、表 19-45 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 19-39. MUX3 レジスタ

7	6	5	4	3	2	1	0
ADCCOMPB_IN							
R/W-0h							

表 19-45. MUX3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ADCCOMPB_IN	R/W	0h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.1.5 ISRC レジスタ (オフセット = 4h) [リセット = 00h]

図 19-40 に、ISRC を示し、表 19-46 に、その説明を示します。

概略表に戻ります。

電流源
電流源の強度およびトリム制御。TI が提供する API によってのみ使用されます。

図 19-40. ISRC レジスタ

7	6	5	4	3	2	1	0
TRIM						予約済み	EN
R/W-0h						R-0h	R/W-0h

表 19-46. ISRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	TRIM	R/W	0h	電流源から電流を調整します。 出力電流は組み合わせることで、目的の合計電流を得ることができます。 0h = 電流接続なし 1h = 0P25U: 0.25uA 2h = 0P5U: 0.5uA 4h = 1P0U: 1.0uA 8h = 2P0U: 2.0uA 10h = 4P5U: 4.5uA 20h = 11P75U: 11.75uA
1	予約済み	R	0h	予約済み
0	EN	R/W	0h	電流源の有効化

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.1.6 COMP レジスタ (オフセット = 5h) [リセット = 00h]

図 19-41 に、COMP を示し、表 19-47 に、その説明を示します。

概略表に戻ります。

コンパレータ
COMPA および COMPB コンパレータを制御します。TI が提供する API によってのみ使用されます。

図 19-41. COMP レジスタ

7	6	5	4	3	2	1	0
COMPA_REF_RES_EN	COMPA_REF_CURR_EN	LPM_BIAS_WIDTH_TRIM			COMPB_EN	予約済み	COMPA_EN
R/W-0h	R/W-0h	R/W-0h			R/W-0h	R-0h	R/W-0h

表 19-47. COMP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	COMPA_REF_RES_EN	R/W	0h	COMPA 基準ノードからグランドへの 400kΩ 抵抗を有効にします。COMPA_REF_CURR_EN と併用して、キャパシティ センシング用の電圧リファレンスを生成します。
6	COMPA_REF_CURR_EN	R/W	0h	ISRC から COMPA リファレンス ノードへの 2uA IPTAT 電流を有効にします。ISRC.EN = 1 が必要です。COMPA_REF_RES_EN と併用して、キャパシティ センシング用の電圧リファレンスを生成します。
5-3	LPM_BIAS_WIDTH_TRIM	R/W	0h	内部。TI が提供する API によってのみ使用されます。
2	COMPB_EN	R/W	0h	COMPB イネーブル
1	予約済み	R	0h	予約済み
0	COMPA_EN	R/W	0h	COMPA イネーブル

Copyright © 2026 Texas Instruments Incorporated

19.8.1.7 MUX4 レジスタ (オフセット = 7h) [リセット = 00h]

図 19-42 に、MUX4 を示し、表 19-48 に、その説明を示します。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 19-42. MUX4 レジスタ

7	6	5	4	3	2	1	0
COMPA_REF							
R/W-0h							

表 19-48. MUX4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	COMPA_REF	R/W	0h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.1.8 ADC0 レジスタ (オフセット = 8h) [リセット = 00h]

図 19-43 に、ADC0 を示し、表 19-49 に、その説明を示します。

概略表に戻ります。

ADC 制御 0
ADC サンプル制御。TI が提供する API によってのみ使用されます。

図 19-43. ADC0 レジスタ

7	6	5	4	3	2	1	0
SMPL_MODE	SMPL_CYCLE_EXP				予約済み	RESET_N	EN
R/W-0h	R/W-0h				R-0h	R/W-0h	R/W-0h

表 19-49. ADC0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SMPL_MODE	R/W	0h	ADC サンプリング モード: 0: 同期モード 1: 非同期モード ADC は変換前にサンプル / ホールドを行います。同期モードでは、トリガ信号の立ち上がりエッジを ADC クロックが検出したときにサンプリングが開始されます。トリガ信号が ADC クロックに対して非同期ドメインに由来する場合、検出においてジッタ / 不確かさが生じるとみなされます。 SMPL_CYCLE_EXP は、サンプリングの期間を決定します。 サンプリング終了直後に変換が開始されます。 非同期モードでは、イネーブル時はサンプリングが連続的です。サンプリングは終了し、トリガ信号の立ち上がりエッジと同時に変換が開始されます。変換が完了すると、サンプリングが再開されます。 非同期モードは、外部駆動信号のサンプリング タイミングにおけるジッタを避けることが重要な場合に有用です
6-3	SMPL_CYCLE_EXP	R/W	0h	ADC が同期モード (SMPL_MODE = 0) で動作している場合の、変換前のサンプリング期間を制御します。非同期モードでは、この設定は無効です。サンプリング期間は、$2^{SMPL_CYCLE_EXP + 1}$/6us と与えられます。 3h = 2P7_US: 16x 6MHz クロック周期 = 2.7us 4h = 5P3_US: 32x 6MHz クロック周期 = 5.3us 5h = 10P6_US: 64x 6MHz クロック周期 = 10.6us 6h = 21P3_US: 128x 6MHz クロック周期 = 21.3us 7h = 42P6_US: 256x 6MHz クロック周期 = 42.6us 8h = 85P3_US: 512x 6MHz クロック周期 = 85.3us 9h = 170_US: 1024x 6MHz クロック周期 = 170us Ah = 341_US: 2048x 6MHz クロック周期 = 341us Bh = 682_US: 4096x 6MHz クロック周期 = 682us Ch = 1P37_MS: 8192x 6MHz クロック周期 = 1.37ms Dh = 2P73_MS: 16384x 6MHz クロック周期 = 2.73ms Eh = 5P46_MS: 32768x 6MHz クロック周期 = 5.46ms Fh = 10P9_MS: 65536x 6MHz クロック周期 = 10.9ms
2	予約済み	R	0h	予約済み
1	RESET_N	R/W	0h	ADC デジタル サブチップのリセット、アクティブ Low。ADC は、再構成するたびにリセットする必要があります。 0: リセット 1: 通常動作
0	EN	R/W	0h	ADC 有効化 0: ディスエーブル 1:イネーブル

Copyright © 2026 Texas Instruments Incorporated

19.8.1.9 ADC1 レジスタ (オフセット = 9h) [リセット = 00h]

図 19-44 に、ADC1 を示し、表 19-50 に、その説明を示します。

概略表に戻ります。

ADC 制御 1
ADC コンパレータ制御。TI が提供する API によってのみ使用されます。

図 19-44. ADC1 レジスタ

7	6	5	4	3	2	1	0
予約済み							SCALE_DIS
R-0h							R/W-0h

表 19-50. ADC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R	0h	予約済み
0	SCALE_DIS	R/W	0h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.1.10 ADCREF0 レジスタ (オフセット = Ah) [リセット = 00h]

図 19-45 に、ADCREF0 を示し、表 19-51 に、その説明を示します。

概略表に戻ります。

ADC リファレンス 0
ADC で使用されるリファレンスを制御します。TI が提供する API によってのみ使用されます。

図 19-45. ADCREF0 レジスタ

7	6	5	4	3	2	1	0
予約済み	REF_ON_IDLE	IOMUX	EXT	SRC	予約済み		EN
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h

表 19-51. ADCREF0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	REF_ON_IDLE	R/W	0h	IDLE 状態で ADCREF を有効化します。 0: IDLE 状態で無効化します 1: IDLE 状態で有効 ADC0.SMPL_MODE = 0 のとき、ADCREF を有効にしたままにします。 推奨事項:ADC0.SMPL_CYCLE_EXP が 0x6 (サンプリング時間 21.3µs) 未満の場合、ADCREF を常に有効にします。
5	IOMUX	R/W	0h	内部。TI が提供する API によってのみ使用されます。
4	EXT	R/W	0h	内部。TI が提供する API によってのみ使用されます。
3	SRC	R/W	0h	ADC リファレンス ソース: 0: 固定リファレンス = 4.3V 1: 相対リファレンス = VDDS
2-1	予約済み	R	0h	予約済み
0	EN	R/W	0h	ADC リファレンス モジュールの有効化: 0: ADC リファレンス モジュールのパワーダウン 1: ADC リファレンス モジュールが有効

Copyright © 2026 Texas Instruments Incorporated

19.8.1.11 ADCREF1 レジスタ (オフセット= Bh) [リセット= 00h]

図 19-46 に、ADCREF1 を示し、表 19-52 に、その説明を示します。

概略表に戻ります。

ADC リファレンス 1
ADC で使用されるリファレンスを制御します。TI が提供する API によってのみ使用されます。

図 19-46. ADCREF1 レジスタ

7	6	5	4	3	2	1	0
予約済み		VTRIM					
R-0h		R/W-0h					

表 19-52. ADCREF1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-0	VTRIM	R/W	0h	ADC 固定リファレンスの出力電圧をトリムします (64 ステップ、2 の補数)。 ADCREF0.SRC = 0 にのみ適用されます。 例: 0x00 - 公称電圧 1.43V 0x01 - 公称 + 0.4% 1.435V 0x3F - 公称 – 0.4% 1.425V 0x1F - 最大電圧 1.6V 0x20 - 最小電圧 1.3V

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.1.12 LPMBIAS レジスタ (オフセット = Eh) [リセット = 00h]

LPMBIAS は図 19-47 に示されており、表 19-53 で説明されています。

概略表に戻ります。

内部。TI が提供する API によってのみ使用されます。

図 19-47. LPMBIAS レジスタ

7	6	5	4	3	2	1	0
予約済み		LPM_TRIM_IOUT					
R-0h		R/W-0h					

表 19-53. LPMBIAS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-0	LPM_TRIM_IOUT	R/W	0h	内部。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.2 AUX_AIODIO レジスタ

表 19-54 に、AUX_AIODIO レジスタのメモリ マップト レジスタを示します。表 19-54 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-54. AUX_AIODIO レジスタ

オフセット	略称	レジスタ名	セクション
0h	IOMODE	入出力モード	IOMODE レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	GPIODIE	汎用入出力デジタル入力イネーブル	GPIODIE レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	IOPOE	入出力ペリフェラル出力イネーブル	IOPOE レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	GPIODOUT	汎用入出力データ出力	GPIODOUT レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	GPIODIN	汎用入出力データ入力	GPIODIN レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	GPIODOUTSET	汎用入出力データ出力セット	GPIODOUTSET レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	GPIODOUTCLR	汎用入出力データ出力クリア	GPIODOUTCLR レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	GPIODOUTTGL	汎用入出力データ出力トグル	GPIODOUTTGL レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	IO0PSEL	入出力 0 ペリフェラル選択	IO0PSEL レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	IO1PSEL	入出力 1 ペリフェラル選択	IO1PSEL レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	IO2PSEL	入出力 2 ペリフェラル選択	IO2PSEL レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	IO3PSEL	入出力 3 ペリフェラル選択	IO3PSEL レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	IO4PSEL	入出力 4 ペリフェラル選択	IO4PSEL レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	IO5PSEL	入出力 5 ペリフェラル選択	IO5PSEL レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	IO6PSEL	入出力 6 ペリフェラル選択	IO6PSEL レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	IO7PSEL	入出力 7 ペリフェラル選択	IO7PSEL レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	IOMODEL	入出力モード Low	IOMODEL レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	IOMODEH	入出力モード High	IOMODEH レジスタ (オフセット = 44h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-55 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-55. AUX_AIODIO アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み

Copyright © 2026 Texas Instruments Incorporated

表 19-55. AUX_AIODIO アクセス タイプ コード (続き)

アクセス タイプ	コード	説明
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.2.1 IOMODE レジスタ (オフセット = 0h) [リセット = 00000000h]

図 19-48 に、IOMODE を示し、表 19-56 に、その説明を示します。

概略表に戻ります。

入出力モード
このレジスタは、AUX_AIODIO のインスタンス i で制御される AUXIO のプルアップ、プルダウン、および出力モードを制御します。したがって、以下の式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-48. IOMODE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IO7		IO6		IO5		IO4		IO3		IO2		IO1		IO0	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 19-56. IOMODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-14	IO7	R/W	0h	AUXIO[8i+7] のモードを選択します。 0h = 出力モード: IOPOE ビット 7 が 0 の場合:GPIODOUT ビット 7 は AUXIO[8i+7] を駆動します。 IOPOE ビット 7 が 1 の場合:IO7PSEL.SRC で選択された信号は、AUXIO[8i+7] を駆動します。 1h = 入力モード: GPIODIE ビット 7 が 0 の場合:AUXIO[8i+7] では、アナログ信号転送が有効になります。 GPIODIE ビット 7 が 1 の場合:AUXIO[8i+7] では、デジタル入力が有効になります。 2h = オープンドレイン モード: IOPOE ビット 7 が 0 の場合: - GPIODOUT ビット 7 が 0 の場合:AUXIO[8i+7] が Low に駆動されます。 - GPIODOUT ビット 7 が 1 の場合:AUXIO[8i+7] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 IOPOE ビット 7 が 1 の場合: - IO7PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+7] が Low に駆動されます。 - IO7PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+7] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 3h = オープン ソース モード: IOPOE ビット 7 が 0 の場合: - GPIODOUT ビット 7 が 0 の場合:AUXIO[8i+7] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - GPIODOUT ビット 7 が 1 の場合:AUXIO[8i+7] が High に駆動されます。 IOPOE ビット 7 が 1 の場合: - IO7PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+7] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - IO7PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+7] が High に駆動されます。

Copyright © 2026 Texas Instruments Incorporated

表 19-56. IOMODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-12	IO6	R/W	0h	AUXIO[8i+6] のモードを選択します。 0h = 出力モード: IOPOE ビット 6 が 0 の場合:GPIODOUT ビット 6 は AUXIO[8i+6] を駆動します。 IOPOE ビット 6 が 1 の場合:IO6PSEL.SRC で選択された信号は、AUXIO[8i+6] を駆動します。 1h = 入力モード: GPIODIE ビット 6 が 0 の場合:AUXIO[8i+6] では、アナログ信号転送が有効になります。 GPIODIE ビット 6 が 1 の場合:AUXIO[8i+6] では、デジタル入力が有効になります。 2h = オープン ドレイン モード: IOPOE ビット 6 が 0 の場合: - GPIODOUT ビット 6 が 0 の場合:AUXIO[8i+6] が Low に駆動されます。 - GPIODOUT ビット 6 が 1 の場合:AUXIO[8i+6] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 IOPOE ビット 6 が 1 の場合: - IO6PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+6] が Low に駆動されます。 - IO6PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+6] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 3h = オープン ソース モード: IOPOE ビット 6 が 0 の場合: - GPIODOUT ビット 6 が 0 の場合:AUXIO[8i+6] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - GPIODOUT ビット 6 が 1 の場合:AUXIO[8i+6] が High に駆動されます。 IOPOE ビット 6 が 1 の場合: - IO6PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+6] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - IO6PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+6] が High に駆動されます。

Copyright © 2026 Texas Instruments Incorporated

表 19-56. IOMODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11-10	IO5	R/W	0h	AUXIO[8i+5] のモードを選択します。 0h = 出力モード: IOPOE ビット 5 が 0 の場合:GPIODOUT ビット 5 は AUXIO[8i+5] を駆動します。 IOPOE ビット 5 が 1 の場合:IO5PSEL.SRC で選択された信号は、AUXIO[8i+5] を駆動します。 1h = 入力モード: GPIODIE ビット 5 が 0 の場合:AUXIO[8i+5] では、アナログ信号転送が有効になります。 GPIODIE ビット 5 が 1 の場合:AUXIO[8i+5] では、デジタル入力が有効になります。 2h = オープン ドレイン モード: IOPOE ビット 5 が 0 の場合: - GPIODOUT ビット 5 が 0 の場合:AUXIO[8i+5] が Low に駆動されます。 - GPIODOUT ビット 5 が 1 の場合:AUXIO[8i+5] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 IOPOE ビット 5 が 1 の場合: - IO5PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+5] が Low に駆動されます。 - IO5PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+5] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 3h = オープン ソース モード: IOPOE ビット 5 が 0 の場合: - GPIODOUT ビット 5 が 0 の場合:AUXIO[8i+5] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - GPIODOUT ビット 5 が 1 の場合:AUXIO[8i+5] が High に駆動されます。 IOPOE ビット 5 が 1 の場合: - IO5PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+5] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - IO5PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+5] が High に駆動されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-56. IOMODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9-8	IO4	R/W	0h	AUXIO[8i+4] のモードを選択します。 0h = 出力モード: IOPOE ビット 4 が 0 の場合:GPIODOUT ビット 4 は AUXIO[8i+4] を駆動します。 IOPOE ビット 4 が 1 の場合:IO4PSEL.SRC で選択された信号は、AUXIO[8i+4] を駆動します。 1h = 入力モード: GPIODIE ビット 4 が 0 の場合:AUXIO[8i+4] では、アナログ信号転送が有効になります。 GPIODIE ビット 4 が 1 の場合:AUXIO[8i+4] では、デジタル入力が有効になります。 2h = オープン ドレイン モード: IOPOE ビット 4 が 0 の場合: - GPIODOUT ビット 4 が 0 の場合:AUXIO[8i+4] が Low に駆動されます。 - GPIODOUT ビット 4 が 1 の場合:AUXIO[8i+4] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 IOPOE ビット 4 が 1 の場合: - IO4PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+4] が Low に駆動されます。 - IO4PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+4] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 3h = オープン ソース モード: IOPOE ビット 4 が 0 の場合: - GPIODOUT ビット 4 が 0 の場合:AUXIO[8i+4] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - GPIODOUT ビット 4 が 1 の場合:AUXIO[8i+4] が High に駆動されます。 IOPOE ビット 4 が 1 の場合: - IO4PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+4] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - IO4PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+4] が High に駆動されます。

Copyright © 2026 Texas Instruments Incorporated

表 19-56. IOMODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-6	IO3	R/W	0h	AUXIO[8i+3] のモードを選択します。 0h = 出力モード: IOPOE ビット 3 が 0 の場合:GPIODOUT ビット 3 は AUXIO[8i+3] を駆動します。 IOPOE ビット 3 が 1 の場合:IO3PSEL.SRC で選択された信号は、AUXIO[8i+3] を駆動します。 1h = 入力モード: GPIODIE ビット 3 が 0 の場合:AUXIO[8i+3] では、アナログ信号転送が有効になります。 GPIODIE ビット 3 が 1 の場合:AUXIO[8i+3] では、デジタル入力が有効になります。 2h = オープン ドレイン モード: IOPOE ビット 3 が 0 の場合: - GPIODOUT ビット 3 が 0 の場合:AUXIO[8i+3] が Low に駆動されます。 - GPIODOUT ビット 3 が 1 の場合:AUXIO[8i+3] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 IOPOE ビット 3 が 1 の場合: - IO3PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+3] が Low に駆動されます。 - IO3PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+3] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 3h = オープン ソース モード: IOPOE ビット 3 が 0 の場合: - GPIODOUT ビット 3 が 0 の場合:AUXIO[8i+3] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - GPIODOUT ビット 3 が 1 の場合:AUXIO[8i+3] が High に駆動されます。 IOPOE ビット 3 が 1 の場合: - IO3PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+3] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - IO3PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+3] が High に駆動されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-56. IOMODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	IO2	R/W	0h	AUXIO[8i+2] のモードを選択します。 0h = 出力モード: IOPOE ビット 2 が 0 の場合:GPIODOUT ビット 2 は AUXIO[8i+2] を駆動します。 IOPOE ビット 2 が 1 の場合:IO2PSEL.SRC で選択された信号は、AUXIO[8i+2] を駆動します。 1h = 入力モード: GPIODIE ビット 2 が 0 の場合:AUXIO[8i+2] では、アナログ信号転送が有効になります。 GPIODIE ビット 2 が 1 の場合:AUXIO[8i+2] では、デジタル入力が有効になります。 2h = オープン ドレイン モード: IOPOE ビット 2 が 0 の場合: - GPIODOUT ビット 2 が 0 の場合:AUXIO[8i+2] が Low に駆動されます。 - GPIODOUT ビット 2 が 1 の場合:AUXIO[8i+2] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 IOPOE ビット 2 が 1 の場合: - IO2PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+2] が Low に駆動されます。 - IO2PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+2] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 3h = オープン ソース モード: IOPOE ビット 2 が 0 の場合: - GPIODOUT ビット 2 が 0 の場合:AUXIO[8i+2] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - GPIODOUT ビット 2 が 1 の場合:AUXIO[8i+2] が High に駆動されます。 IOPOE ビット 2 が 1 の場合: - IO2PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+2] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - IO2PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+2] が High に駆動されます。

Copyright © 2026 Texas Instruments Incorporated

表 19-56. IOMODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	IO1	R/W	0h	AUXIO[8i+1] のモードを選択します。 0h = 出力モード: IOPOE ビット 1 が 0 の場合:GPIODOUT ビット 1 は AUXIO[8i+1] を駆動します。 IOPOE ビット 1 が 1 の場合:IO1PSEL.SRC で選択された信号は、AUXIO[8i+1] を駆動します。 1h = 入力モード: GPIODIE ビット 1 が 0 の場合:AUXIO[8i+1] では、アナログ信号転送が有効になります。 GPIODIE ビット 1 が 1 の場合:AUXIO[8i+1] では、デジタル入力が有効になります。 2h = オープン ドレイン モード: IOPOE ビット 1 が 0 の場合: - GPIODOUT ビット 1 が 0 の場合:AUXIO[8i+1] が Low に駆動されます。 - GPIODOUT ビット 1 が 1 の場合:AUXIO[8i+1] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 IOPOE ビット 1 が 1 の場合: - IO1PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+1] が Low に駆動されます。 - IO1PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+1] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 3h = オープン ソース モード: IOPOE ビット 1 が 0 の場合: - GPIODOUT ビット 1 が 0 の場合:AUXIO[8i+1] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - GPIODOUT ビット 1 が 1 の場合:AUXIO[8i+1] が High に駆動されます。 IOPOE ビット 1 が 1 の場合: - IO1PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+1] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - IO1PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+1] が High に駆動されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-56. IOMODE レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	IO0	R/W	0h	AUXIO[8i+0] のモードを選択します。 0h = 出力モード: IOPOE ビット 0 が 0 の場合:GPIODOUT ビット 0 は AUXIO[8i+0] を駆動します。 IOPOE ビット 0 が 1 の場合:IO0PSEL.SRC で選択された信号は、AUXIO[8i+0] を駆動します。 1h = 入力モード: GPIODIE ビット 0 が 0 の場合:AUXIO[8i+0] では、アナログ信号転送が有効になります。 GPIODIE ビット 0 が 1 の場合:AUXIO[8i+0] では、デジタル入力が有効になります。 2h = オープン ドレイン モード: IOPOE ビット 0 が 0 の場合: - GPIODOUT ビット 0 が 0 の場合:AUXIO[8i+0] が Low に駆動されます。 - GPIODOUT ビット 0 が 1 の場合:AUXIO[8i+0] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 IOPOE ビット 0 が 1 の場合: - IO0PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+0] が Low に駆動されます。 - IO0PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+0] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 3h = オープン ソース モード: IOPOE ビット 0 が 0 の場合: - GPIODOUT ビット 0 が 0 の場合:AUXIO[8i+0] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - GPIODOUT ビット 0 が 1 の場合:AUXIO[8i+0] が High に駆動されます。 IOPOE ビット 0 が 1 の場合: - IO0PSEL.SRC で選択された信号が 0 の場合:AUXIO[8i+0] はトライステートまたはプルされます。これは、IOC:IOCFGn.PULL_CTL に依存します。 - IO0PSEL.SRC で選択された信号が 1 の場合:AUXIO[8i+0] が High に駆動されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.2 GPIODIE レジスタ (オフセット = 4h) [リセット = 00000000h]

図 19-49 に、GPIODIE を示します。表 19-57 に、その説明を示します。

概略表に戻ります。

汎用入出力デジタル入力イネーブル
このレジスタは、AUX_AIODIO のインスタンス i で制御される AUXIO の入力バッファを制御します。したがって、以下の式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-49. GPIODIE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								IO7_0							
R-0h																								R/W-0h							

表 19-57. GPIODIE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	IO7_0	R/W	0h	AUXIO[8i+n] のデジタル入力バッファを有効化するには、このビット ベクトルのビット インデックス n に 1 を書き込みます。 AUXIO[8i+n] のデジタル入力バッファを無効化するには、このビット ベクトルのビット インデックス n に 0 を書き込みます。 GPIODIN のピン値を読み取るには、AUXIO[8i+n] のデジタル入力バッファを有効化する必要があります。 アナログ入力のデジタル入力バッファを無効化するか、電流リークを防止するためにフローティングにするピンを無効化する必要があります。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.3 IOPOE レジスタ (オフセット = 8h) [リセット = 00000000h]

図 19-50 に、IOPOE を示し、表 19-58 に、その説明を示します。

概略表に戻ります。

入出力ペリフェラル出力イネーブル
このレジスタは、AUX_AIODIO のインスタンス i で制御される AUXIO の出力ソースを選択します。したがって、以下の式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-50. IOPOE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								IO7_0							
R-0h																								R/W-0h							

表 19-58. IOPOE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	IO7_0	R/W	0h	このビット ベクトルのビット インデックス n に 1 を書き込んで、[IOnPSEL.*] で指定されたソースから駆動されるように AUXIO[8i+n] を構成します。 このビット ベクトルのビット インデックス n に 0 を書き込んで、GPIODOUT のビット n から駆動されるように AUXIO[8i+n] を構成します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.4 GPIODOUT レジスタ (オフセット = Ch) [リセット = 00000000h]

図 19-51 に、GPIODOUT を示します。表 19-59 に、その説明を示します。

概略表に戻ります。

汎用入出力データ出力
出力データ レジスタは、AUX_AIODIO のインスタンス i で制御される AUXIO のデータを設定するために使用されます。したがって、以下の式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-51. GPIODOUT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								IO7_0							
R-0h																								R/W-0h							

表 19-59. GPIODOUT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	IO7_0	R/W	0h	AUXIO[8i+n] を設定するには、このビット ベクトルのビット インデックス n に 1 を書き込みます。 AUXIO[8i+n] をクリアするには、このビット ベクトルのビット インデックス n に 0 を書き込みます。 このビット ベクトルのビット n を AUXIO[8i+n] に接続するには、IOPOE のビット n をクリアする必要があります。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.5 GPIODIN レジスタ (オフセット = 10h) [リセット = 00000000h]

図 19-52 に、GPIODIN を示します。表 19-60 に、その説明を示します。

概略表に戻ります。

汎用入出力データ入力
このレジスタは、AUX_AIODIO のインスタンス i で制御される AUXIO の同期入力データを提供します。したがって、以下の式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります

図 19-52. GPIODIN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								IO7_0							
R-0h																								R-0h							

表 19-60. GPIODIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	IO7_0	R	0h	このビット ベクトルのビット n には、GPIODIE ビット n が設定されている場合、AUXIO[8i+n] の値が含まれます。それ以外の場合、ビット n は 0 として読み取られます。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.6 GPIODOUTSET レジスタ (オフセット = 14h) [リセット = 00000000h]

図 19-53 に、GPIODOUTSET を示します。表 19-61 に、その説明を示します。

概略表に戻ります。

汎用入出力データ出力セット
AUX_AIODIO のインスタンス i で GPIODOUT のビットを設定します。したがって、以下の式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-53. GPIODOUTSET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								IO7_0							
R-0h																								R/W-0h							

表 19-61. GPIODOUTSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	IO7_0	R/W	0h	このビット ベクトルのビット インデックス n に 1 を書き込んで、GPIODOUT ビット n を設定します。 読み取り値は 0 です。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.7 GPIODOUTCLR レジスタ (オフセット = 18h) [リセット = 00000000h]

図 19-54 に、GPIODOUTCLR を示します。表 19-62 に、その説明を示します。

概略表に戻ります。

汎用入出力データ出力クリア
AUX_AIODIO の GPIODOUT インスタンス i のビットをクリアします。したがって、以下の式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-54. GPIODOUTCLR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								IO7_0							
R-0h																								R/W-0h							

表 19-62. GPIODOUTCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	IO7_0	R/W	0h	このビット ベクトルのビット インデックス n に 1 を書き込むと、GPIODOUT ビット n をクリアします。 読み取り値は 0 です。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.8 GPIODOUTTGL レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 19-55 に、GPIODOUTTGL を示します。表 19-63 に、その説明を示します。

概略表に戻ります。

汎用入出力データ出力トグル
AUX_AIODIO のインスタンス i の GPIODOUT のビットをトグルします。したがって、以下の式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-55. GPIODOUTTGL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								IO7_0							
R-0h																								R/W-0h							

表 19-63. GPIODOUTTGL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	IO7_0	R/W	0h	このビット ベクトルのビット インデックス n に 1 を書き込むと、GPIODOUT ビット n をトグルします。 読み取り値は 0 です。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.9 IO0PSEL レジスタ (オフセット = 20h) [リセット = 00000000h]

図 19-56 に、IO0PSEL を示し、表 19-64 に、その説明を示します。

概略表に戻ります。

入出力 0 ペリフェラルの選択
このレジスタは、IOPOE ビット 0 が 1 の場合に AUXIO[8i+0] に接続するペリフェラル信号を選択します。
AUXIO[8i+0] のグリッチを回避するため、IOPOE ビット 0 が 0 の場合にこのレジスタを構成する必要があります。
この式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-56. IO0PSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-64. IO0PSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	IOPOE ビット 0 が設定されている場合に、AUXIO[8i+0] に接続するペリフェラル信号を選択します。 0h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVOBSCFG によって選択されたイベントを選択します 1h = ペリフェラル出力マルチプレクサは AUX_SPIM SCLK を選択します。 2h = ペリフェラル出力マルチプレクサは AUX_SPIM MOSI を選択します。 3h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 の非同期バージョンを選択します。 4h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 の非同期バージョンを選択します。 5h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 の非同期バージョンを選択します。 6h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 の非同期バージョンを選択します。 7h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE の非同期バージョンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.10 IO1PSEL レジスタ (オフセット = 24h) [リセット = 00000000h]

図 19-57 に、IO1PSEL を示し、表 19-65 に、その説明を示します。

概略表に戻ります。

入出力 1 ペリフェラルの選択
このレジスタは、IOPOE ビット +1 が 1 の場合に AUXIO[8i1] に接続するペリフェラル信号を選択します。
AUXIO[8i+1] のグリッチを回避するため、IOPOE ビット 1 が 0 の場合にこのレジスタを構成する必要があります。
この式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-57. IO1PSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-65. IO1PSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	IOPOE ビット +1 が設定されている場合に、AUXIO[8i1] に接続するペリフェラル信号を選択します。 0h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVOBSCFG によって選択されたイベントを選択します 1h = ペリフェラル出力マルチプレクサは AUX_SPIM SCLK を選択します。 2h = ペリフェラル出力マルチプレクサは AUX_SPIM MOSI を選択します。 3h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 の非同期バージョンを選択します。 4h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 の非同期バージョンを選択します。 5h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 の非同期バージョンを選択します。 6h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 の非同期バージョンを選択します。 7h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE の非同期バージョンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.11 IO2PSEL レジスタ (オフセット = 28h) [リセット = 00000000h]

図 19-58 に、IO2PSEL を示し、表 19-66 に、その説明を示します。

概略表に戻ります。

入出力 2 ペリフェラルの選択
このレジスタは、IOPOE ビット +2 が 2 の場合に AUXIO[8i1] に接続するペリフェラル信号を選択します。
AUXIO[8i+2] のグリッチを回避するため、IOPOE ビット 2 が 0 の場合にこのレジスタを構成する必要があります。
この式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-58. IO2PSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-66. IO2PSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	IOPOE ビット +2 が設定されている場合に、AUXIO[8i+2] に接続するペリフェラル信号を選択します。 0h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVOBSCFG によって選択されたイベントを選択します 1h = ペリフェラル出力マルチプレクサは AUX_SPIM SCLK を選択します。 2h = ペリフェラル出力マルチプレクサは AUX_SPIM MOSI を選択します。 3h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 の非同期バージョンを選択します。 4h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 の非同期バージョンを選択します。 5h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 の非同期バージョンを選択します。 6h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 の非同期バージョンを選択します。 7h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE の非同期バージョンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.12 IO3PSEL レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 19-59 に、IO3PSEL を示し、表 19-67 に、その説明を示します。

概略表に戻ります。

入出力 3 ペリフェラルの選択
このレジスタは、IOPOE ビット +3 が 3 の場合に AUXIO[8i1] に接続するペリフェラル信号を選択します。
UXIO[8i+3] のグリッチを回避するため、IOPOE ビット 3 が 0 の場合にこのレジスタを構成する必要があります。
この式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-59. IO3PSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-67. IO3PSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	IOPOE ビット +3 が設定されている場合に、AUXIO[8i+3] に接続するペリフェラル信号を選択します。 0h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVOBSCFG によって選択されたイベントを選択します 1h = ペリフェラル出力マルチプレクサは AUX_SPIM SCLK を選択します。 2h = ペリフェラル出力マルチプレクサは AUX_SPIM MOSI を選択します。 3h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 の非同期バージョンを選択します。 4h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 の非同期バージョンを選択します。 5h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 の非同期バージョンを選択します。 6h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 の非同期バージョンを選択します。 7h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE の非同期バージョンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.13 IO4PSEL レジスタ (オフセット = 30h) [リセット = 00000000h]

図 19-60 に、IO4PSEL を示し、表 19-68 に、その説明を示します。

概略表に戻ります。

入出力 4 ペリフェラルの選択
このレジスタは、IOPOE ビット +4 が 4 の場合に AUXIO[8i1] に接続するペリフェラル信号を選択します。
UXIO[8i+4] のグリッチを回避するため、IOPOE ビット 4 が 0 の場合にこのレジスタを構成する必要があります。
この式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-60. IO4PSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-68. IO4PSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	IOPOE ビット +4 が設定されている場合に、AUXIO[8i+4] に接続するペリフェラル信号を選択します。 0h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVOBSCFG によって選択されたイベントを選択します 1h = ペリフェラル出力マルチプレクサは AUX_SPIM SCLK を選択します。 2h = ペリフェラル出力マルチプレクサは AUX_SPIM MOSI を選択します。 3h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 の非同期バージョンを選択します。 4h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 の非同期バージョンを選択します。 5h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 の非同期バージョンを選択します。 6h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 の非同期バージョンを選択します。 7h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE の非同期バージョンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.14 IO5PSEL レジスタ (オフセット = 34h) [リセット = 00000000h]

図 19-61 に、IO5PSEL を示し、表 19-69 に、その説明を示します。

概略表に戻ります。

入出力 5 ペリフェラルの選択
このレジスタは、IOPOE ビット +5 が 5 の場合に AUXIO[8i1] に接続するペリフェラル信号を選択します。
UXIO[8i+5] のグリッチを回避するため、IOPOE ビット 5 が 0 の場合にこのレジスタを構成する必要があります。
この式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-61. IO5PSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-69. IO5PSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	IOPOE ビット +5 が設定されている場合に、AUXIO[8i+5] に接続するペリフェラル信号を選択します。 0h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVOBSCFG によって選択されたイベントを選択します 1h = ペリフェラル出力マルチプレクサは AUX_SPIM SCLK を選択します。 2h = ペリフェラル出力マルチプレクサは AUX_SPIM MOSI を選択します。 3h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 の非同期バージョンを選択します。 4h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 の非同期バージョンを選択します。 5h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 の非同期バージョンを選択します。 6h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 の非同期バージョンを選択します。 7h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE の非同期バージョンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.15 IO6PSEL レジスタ (オフセット = 38h) [リセット = 00000000h]

図 19-62 に、IO6PSEL を示し、表 19-70 に、その説明を示します。

概略表に戻ります。

入出力 6 ペリフェラルの選択
このレジスタは、IOPOE ビット +6 が 6 の場合に AUXIO[8i1] に接続するペリフェラル信号を選択します。
UXIO[8i+6] のグリッチを回避するため、IOPOE ビット 6 が 0 の場合にこのレジスタを構成する必要があります。
この式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-62. IO6PSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-70. IO6PSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	IOPOE ビット +6 が設定されている場合に、AUXIO[8i+6] に接続するペリフェラル信号を選択します。 0h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVOBSCFG によって選択されたイベントを選択します 1h = ペリフェラル出力マルチプレクサは AUX_SPIM SCLK を選択します。 2h = ペリフェラル出力マルチプレクサは AUX_SPIM MOSI を選択します。 3h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 の非同期バージョンを選択します。 4h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 の非同期バージョンを選択します。 5h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 の非同期バージョンを選択します。 6h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 の非同期バージョンを選択します。 7h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE の非同期バージョンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.16 IO7PSEL レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 19-63 に、IO7PSEL を示し、表 19-71 に、その説明を示します。

概略表に戻ります。

入出力 7 ペリフェラルの選択
このレジスタは、IOPOE ビット +7 が 7 の場合に AUXIO[8i1] に接続するペリフェラル信号を選択します。
UXIO[8i+7] のグリッチを回避するため、IOPOE ビット 7 が 0 の場合にこのレジスタを構成する必要があります。
この式では、AUX_AIODIO0 の場合は i = 0、AUX_AIODIO1 の場合は i = 1 のようになります。

図 19-63. IO7PSEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-71. IO7PSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	IOPOE ビット +7 が設定されている場合に、AUXIO[8i+7] に接続するペリフェラル信号を選択します。 0h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVOBSCFG によって選択されたイベントを選択します 1h = ペリフェラル出力マルチプレクサは AUX_SPIM SCLK を選択します。 2h = ペリフェラル出力マルチプレクサは AUX_SPIM MOSI を選択します。 3h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 の非同期バージョンを選択します。 4h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 の非同期バージョンを選択します。 5h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 の非同期バージョンを選択します。 6h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 の非同期バージョンを選択します。 7h = ペリフェラル出力マルチプレクサは AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE の非同期バージョンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.17 IOMODEL レジスタ (オフセット = 40h) [リセット = 00000000h]

図 19-64 に、IOMODEL を示します。表 19-72 に、その説明を示します。

概略表に戻ります。

入出力モード Low
これは、IOMODE.IO0 ～ IOMODE.IO3 のエイリアス レジスタです。

図 19-64. IOMODEL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								IO3		IO2		IO1		IO0	
R-0h								R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 19-72. IOMODEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-6	IO3	R/W	0h	IOMODE.IO3 を参照。
5-4	IO2	R/W	0h	IOMODE.IO2 を参照。
3-2	IO1	R/W	0h	IOMODE.IO1 を参照。
1-0	IO0	R/W	0h	IOMODE.IO0 を参照。

Copyright © 2026 Texas Instruments Incorporated

19.8.2.18 IOMODEH レジスタ (オフセット = 44h) [リセット = 00000000h]

図 19-65 に、IOMODEH を示します。表 19-73 に、その説明を示します。

概略表に戻ります。

入出力モード High
これは、IOMODE.IO4 ～ IOMODE.IO7 のエイリアス レジスタです。

図 19-65. IOMODEH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								IO7		IO6		IO5		IO4	
R-0h								R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 19-73. IOMODEH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-6	IO7	R/W	0h	IOMODE.IO7 を参照。
5-4	IO6	R/W	0h	IOMODE.IO6 を参照。
3-2	IO5	R/W	0h	IOMODE.IO5 を参照。
1-0	IO4	R/W	0h	IOMODE.IO4 を参照。

Copyright © 2026 Texas Instruments Incorporated

19.8.3 AUX_EVCTL レジスタ

表 19-74 に、AUX_EVCTL レジスタのメモリ マップト レジスタを示します。表 19-74 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-74. AUX_EVCTL レジスタ

オフセット	略称	レジスタ名	セクション
0h	EVSTAT0	イベント ステータス 0	EVSTAT0 レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	EVSTAT1	イベント ステータス 1	EVSTAT1 レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	EVSTAT2	イベント ステータス 2	EVSTAT2 レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	EVSTAT3	イベント ステータス 3	EVSTAT3 レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	SCEWEVCFG0	センサ コントローラ エンジン待機イベント構成 0	SCEWEVCFG0 レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	SCEWEVCFG1	センサ コントローラ エンジン待機イベント構成 1	SCEWEVCFG1 レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	DMACTL	ダイレクト メモリ アクセス制御	DMACTL レジスタ (オフセット = 18h) [リセット = 00000000h]
20h	SWEVSET	ソフトウェア イベント セット	SWEVSET レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	EVTOAONFLAGS	AON へのイベント フラグ	EVTOAONFLAGS レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	EVTOAONPOL	AON へのイベント極性	EVTOAONPOL レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	EVTOAONFLAGSCLR	AON へのイベント クリア	EVTOAONFLAGSCLR レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	EVTOMCUFLAGS	マイコンへのイベント フラグ	EVTOMCUFLAGS レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	EVTOMCUPOL	マイコンへのイベント極性	EVTOMCUPOL レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	EVTOMCUFLAGSCLR	マイコンへのイベント フラグ クリア	EVTOMCUFLAGSCLR レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	COMBEVTOMCUMASK	マイコンへの結合イベント マスク	COMBEVTOMCUMASK レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	EVOBSCFG	イベント観察構成	EVOBSCFG レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	PROGDLY	プログラマブル遅延	PROGDLY レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	MANUAL	手動	MANUAL レジスタ (オフセット = 48h) [リセット = 00000000h]
4Ch	EVSTAT0L	イベント ステータス 0 Low	EVSTAT0L レジスタ (オフセット = 4Ch) [リセット = 00000000h]
50h	EVSTAT0H	イベント ステータス 0 High	EVSTAT0H レジスタ (オフセット = 50h) [リセット = 00000000h]
54h	EVSTAT1L	イベント ステータス 1 Low	EVSTAT1L レジスタ (オフセット = 54h) [リセット = 00000000h]
58h	EVSTAT1H	イベント ステータス 1 High	EVSTAT1H レジスタ (オフセット = 58h) [リセット = 00000000h]
5Ch	EVSTAT2L	イベント ステータス 2 Low	EVSTAT2L レジスタ (オフセット = 5Ch) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 19-74. AUX_EVCTL レジスタ (続き)

オフセット	略称	レジスタ名	セクション
60h	EVSTAT2H	イベント ステータス 2 High	EVSTAT2H レジスタ (オフセット = 60h) [リセット = 00000000h]
64h	EVSTAT3L	イベント ステータス 3 Low	EVSTAT3L レジスタ (オフセット = 64h) [リセット = 00000000h]
68h	EVSTAT3H	イベント ステータス 3 High	EVSTAT3H レジスタ (オフセット = 68h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-75 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-75. AUX_EVCTL アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
W0C	W 0C	書き込み 0 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.3.1 EVSTAT0 レジスタ (オフセット = 0h) [リセット = 00000000h]

図 19-66 に、EVSTAT0 を示し、表 19-76 に、その説明を示します。

概略表に戻ります。

イベント ステータス 0
レジスタは、AUX クロックに同期した 64 ビット イベント バスのイベント 0 ～ 15 を保持します。このレジスタを介して読み取られるすべてのイベントは、特に記述のない限り、SCE クロック レートで同期されます。次のサブスクライバは、このレジスタの非同期バージョンのイベントを使用します。
- AUX_TIMER2。
- AUX_ANAIF。
- AUX_TDC。
- AUX_SYSIF。
- AUX_AIODIOn。
- EVOBSCFG。

図 19-66. EVSTAT0 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AUXIO15	AUXIO14	AUXIO13	AUXIO12	AUXIO11	AUXIO10	AUXIO9	AUXIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
AUXIO7	AUXIO6	AUXIO5	AUXIO4	AUXIO3	AUXIO2	AUXIO1	AUXIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 19-76. EVSTAT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	AUXIO15	R	0h	AUXIO15 ピン レベル、読み取り値は AUX_AIODIO1:GPIODIN ビット 7 に対応します。
14	AUXIO14	R	0h	AUXIO14 ピン レベル、読み取り値は AUX_AIODIO1:GPIODIN ビット 6 に対応します。
13	AUXIO13	R	0h	AUXIO13 ピン レベル、読み取り値は AUX_AIODIO1:GPIODIN ビット 5 に対応します。
12	AUXIO12	R	0h	AUXIO12 ピン レベル、読み取り値は AUX_AIODIO1:GPIODIN ビット 4 に対応します。
11	AUXIO11	R	0h	AUXIO11 ピン レベル、読み取り値は AUX_AIODIO1:GPIODIN ビット 3 に対応します。
10	AUXIO10	R	0h	AUXIO10 ピン レベル、読み取り値は AUX_AIODIO1:GPIODIN ビット 2 に対応します。
9	AUXIO9	R	0h	AUXIO9 ピン レベル、読み取り値は AUX_AIODIO1:GPIODIN ビット 1 に対応します。
8	AUXIO8	R	0h	AUXIO8 ピン レベル、読み取り値は AUX_AIODIO1:GPIODIN ビット 0 に対応します。
7	AUXIO7	R	0h	AUXIO7 ピン レベル、読み取り値は AUX_AIODIO0:GPIODIN ビット 7 に対応します。

Copyright © 2026 Texas Instruments Incorporated

表 19-76. EVSTAT0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	AUXIO6	R	0h	AUXIO6 ピン レベル、読み取り値は AUX_AIODIO0:GPIODIN ビット 6 に対応します。
5	AUXIO5	R	0h	AUXIO5 ピン レベル、読み取り値は AUX_AIODIO0:GPIODIN ビット 5 に対応します。
4	AUXIO4	R	0h	AUXIO4 ピン レベル、読み取り値は AUX_AIODIO0:GPIODIN ビット 4 に対応します。
3	AUXIO3	R	0h	AUXIO3 ピン レベル、読み取り値は AUX_AIODIO0:GPIODIN ビット 3 に対応します。
2	AUXIO2	R	0h	AUXIO2 ピン レベル、読み取り値は AUX_AIODIO0:GPIODIN ビット 2 に対応します。
1	AUXIO1	R	0h	AUXIO1 ピン レベル、読み取り値は AUX_AIODIO0:GPIODIN ビット 1 に対応します。
0	AUXIO0	R	0h	AUXIO0 ピン レベル、読み取り値は AUX_AIODIO0:GPIODIN ビット 0 に対応します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.2 EVSTAT1 レジスタ (オフセット = 4h) [リセット = 00000000h]

図 19-67 に、EVSTAT1 を示し、表 19-77 に、その説明を示します。

概略表に戻ります。

イベント ステータス 1
レジスタは、AUX クロックに同期した 64 ビット イベント バスのイベント 16 ～ 31 を保持します。このレジスタを介して読み取られるすべてのイベントは、特に記述のない限り、SCE クロック レートで同期されます。次のサブスクライバは、このレジスタの非同期バージョンのイベントを使用します。
- AUX_TIMER2。
- AUX_ANAIF。
- AUX_TDC。
- AUX_SYSIF。
- AUX_AIODIOn。
- EVOBSCFG。

図 19-67. EVSTAT1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AUXIO31	AUXIO30	AUXIO29	AUXIO28	AUXIO27	AUXIO26	AUXIO25	AUXIO24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
AUXIO23	AUXIO22	AUXIO21	AUXIO20	AUXIO19	AUXIO18	AUXIO17	AUXIO16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 19-77. EVSTAT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	AUXIO31	R	0h	AUXIO31 ピン レベル、読み取り値は AUX_AIODIO3:GPIODIN ビット 7 に対応します。
14	AUXIO30	R	0h	AUXIO30 ピン レベル、読み取り値は AUX_AIODIO3:GPIODIN ビット 6 に対応します。
13	AUXIO29	R	0h	AUXIO29 ピン レベル、読み取り値は AUX_AIODIO3:GPIODIN ビット 5 に対応します。
12	AUXIO28	R	0h	AUXIO28 ピン レベル、読み取り値は AUX_AIODIO3:GPIODIN ビット 4 に対応します。
11	AUXIO27	R	0h	AUXIO27 ピン レベル、読み取り値は AUX_AIODIO3:GPIODIN ビット 3 に対応します。
10	AUXIO26	R	0h	AUXIO26 ピン レベル、読み取り値は AUX_AIODIO3:GPIODIN ビット 2 に対応します。
9	AUXIO25	R	0h	AUXIO25 ピン レベル、読み取り値は AUX_AIODIO3:GPIODIN ビット 1 に対応します。
8	AUXIO24	R	0h	AUXIO24 ピン レベル、読み取り値は AUX_AIODIO3:GPIODIN ビット 0 に対応します。
7	AUXIO23	R	0h	AUXIO23 ピン レベル、読み取り値は AUX_AIODIO2:GPIODIN ビット 7 に対応します。

Copyright © 2026 Texas Instruments Incorporated

表 19-77. EVSTAT1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	AUXIO22	R	0h	AUXIO22 ピン レベル、読み取り値は AUX_AIODIO2:GPIODIN ビット 6 に対応します。
5	AUXIO21	R	0h	AUXIO21 ピン レベル、読み取り値は AUX_AIODIO2:GPIODIN ビット 5 に対応します。
4	AUXIO20	R	0h	AUXIO20 ピン レベル、読み取り値は AUX_AIODIO2:GPIODIN ビット 4 に対応します。
3	AUXIO19	R	0h	AUXIO19 ピン レベル、読み取り値は AUX_AIODIO2:GPIODIN ビット 3 に対応します。
2	AUXIO18	R	0h	AUXIO18 ピン レベル、読み取り値は AUX_AIODIO2:GPIODIN ビット 2 に対応します。
1	AUXIO17	R	0h	AUXIO17 ピン レベル、読み取り値は AUX_AIODIO2:GPIODIN ビット 1 に対応します。
0	AUXIO16	R	0h	AUXIO16 ピン レベル、読み取り値は AUX_AIODIO2:GPIODIN ビット 0 に対応します。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.3 EVSTAT2 レジスタ (オフセット = 8h) [リセット = 00000000h]

図 19-68 に、EVSTAT2 を示し、表 19-78 に、その説明を示します。

概略表に戻ります。

イベント ステータス 2
レジスタは、AUX クロックに同期した 64 ビット イベント バスのイベント 32 ～ 47 を保持します。このレジスタを介して読み取られるすべてのイベントは、特に記述のない限り、SCE クロック レートで同期されます。次のサブスクライバは、このレジスタの非同期バージョンのイベントを使用します。
- AUX_TIMER2。
- AUX_ANAIF。
- AUX_TDC。
- AUX_SYSIF。
- AUX_AIODIOn。
- EVOBSCFG。

図 19-68. EVSTAT2 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AUX_COMPB	AUX_COMPA	MCU_OBSMUX1	MCU_OBSMUX0	MCU_EV	ACLK_REF	VDDR_RECHARGE	MCU_ACTIVE
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
PWR_DWN	SCLK_LF	AON_BATMON_TEMP_UPD	AON_BATMON_BAT_UPD	AON_RTC_4KHZ	AON_RTC_CH2_DLY	AON_RTC_CH2	MANUAL_EV
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 19-78. EVSTAT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	AUX_COMPB	R	0h	コンパレータ B 出力。 AUX_SYSIF:EVSYNCRATE.AUX_COMPB_SYNC_RATE の構成は、このイベントの同期レートを設定します。
14	AUX_COMPA	R	0h	コンパレータ A 出力。 AUX_SYSIF:EVSYNCRATE.AUX_COMPA_SYNC_RATE の構成は、このイベントの同期レートを設定します。
13	MCU_OBSMUX1	R	0h	IOC からの観察入力 1。 このイベントは、IOC:OBSAUXOUTPUT.SEL1 によって構成されます。
12	MCU_OBSMUX0	R	0h	IOC からの観察入力 0。 このイベントは、IOC:OBSAUXOUTPUT.SEL0 によって構成され、IOC:OBSAUXOUTPUT.SEL_MISC によって上書きできます。
11	MCU_EV	R	0h	EVENT:AUXSEL0 によって構成された EVENT からのイベント。
10	ACLK_REF	R	0h	TDC 基準クロック。 これは、DDI_0_OSC:CTL0.ACLK_REF_SRC_SEL によって構成され、AUX_SYSIF:TDCREFCLKCTL.REQ によって有効化されます。
9	VDDR_RECHARGE	R	0h	VDDR 再充電中のイベントは High になります。

Copyright © 2026 Texas Instruments Incorporated

表 19-78. EVSTAT2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	MCU_ACTIVE	R	0h	システム (マイコン、AUX、または JTAG ドメイン) がアクティブである間、またはアクティブに遷移している (GLDO または DCDC 電源状態) 間、イベントは High になります。VDDR 再充電中は、イベントは High になりません。
7	PWR_DWN	R	0h	システム (マイコン、AUX、または JTAG ドメイン) がパワーダウン している (uLDO 電源) 間、イベントは High になります。
6	SCLK_LF	R	0h	SCLK_LF クロック
5	AON_BATMON_TEMP_UPD	R	0h	AON_BATMON:TEMP の更新が発生すると、2 つの SCLK_MF クロック周期のイベントが High になります。
4	AON_BATMON_BAT_UPD	R	0h	AON_BATMON:BAT の更新が発生すると、2 つの SCLK_MF クロック周期のイベントが High になります。
3	AON_RTC_4KHZ	R	0h	AON_RTC:SUBSEC.VALUE ビット 19。 AON_RTC:CTL.RTC_4KHZ_EN は、このイベントを有効化します。
2	AON_RTC_CH2_DLY	R	0h	AON_RTC:CTL.EV_DELAY 構成によって遅延された AON_RTC:EVFLAGS.CH2。
1	AON_RTC_CH2	R	0h	AON_RTC:EVFLAGS.CH2。
0	MANUAL_EV	R	0h	プログラマブル イベント。詳細については、MANUAL を参照してください。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.4 EVSTAT3 レジスタ (オフセット = Ch) [リセット = 00000000h]

図 19-69 に、EVSTAT3 を示し、表 19-79 に、その説明を示します。

概略表に戻ります。

イベント ステータス 3
レジスタは、AUX クロックに同期した 64 ビット イベント バスのイベント 48 ～ 63 を保持します。このレジスタを介して読み取られるすべてのイベントは、特に記述のない限り、SCE クロック レートで同期されます。次のサブスクライバは、このレジスタの非同期バージョンのイベントを使用します。
- AUX_TIMER2。
- AUX_ANAIF。
- AUX_TDC。
- AUX_SYSIF。
- AUX_AIODIOn。
- EVOBSCFG。

図 19-69. EVSTAT3 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AUX_TIMER2_CLKSWITCH_RDY	AUX_DAC_HOLD_ACTIVE	AUX_SMPH_AUTOTAKE_DONE	AUX_ADC_FIFO_NOT_EMPTY	AUX_ADC_FIFO_ALMOST_FULL	AUX_ADC_IRQ	AUX_ADC_DONE	AUX_ISRC_RESET_N
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
AUX_TDC_DONE	AUX_TIMER0_EV	AUX_TIMER1_EV	AUX_TIMER2_PULSE	AUX_TIMER2_EV3	AUX_TIMER2_EV2	AUX_TIMER2_EV1	AUX_TIMER2_EV0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 19-79. EVSTAT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	AUX_TIMER2_CLKSWITCH_RDY	R	0h	AUX_SYSIF:TIMER2CLKSWITCH.RDY
14	AUX_DAC_HOLD_ACTIVE	R	0h	AUX_ANAIF:DACSTAT.HOLD_ACTIVE
13	AUX_SMPH_AUTOTAKE_DONE	R	0h	詳細については、AUX_SMPH:AUTOTAKE.SMPH_ID を参照してください。
12	AUX_ADC_FIFO_NOT_EMPTY	R	0h	AUX_ANAIF:ADCFIFOSTAT.EMPTY はネゲート
11	AUX_ADC_FIFO_ALMOST_FULL	R	0h	AUX_ANAIF:ADCFIFOSTAT.ALMOST_FULL

Copyright © 2026 Texas Instruments Incorporated

表 19-79. EVSTAT3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	AUX_ADC_IRQ	R	0h	このイベントの論理関数は設定可能です。 DMACTL.EN = 1 の場合: イベント = UDMA0 チャネル 7 完了イベントまたは AUX_ANAIF:ADCFIFOSTAT.OVERFLOW または AUX_ANAIF:ADCFIFOSTAT.UNDERFLOW DMACTL.EN = 0 の場合: イベント = (AUX_ANAIF:ADCFIFOSTAT.EMPTY 以外) または AUX_ANAIF:ADCFIFOSTAT.OVERFLOW または AUX_ANAIF:ADCFIFOSTAT.UNDERFLOW UDMA0:DONEMASK のビット 7 は 0 である必要があります。
9	AUX_ADC_DONE	R	0h	AUX_ANAIF ADC 変換完了イベント。 イベントは AUX バス レートで同期されます。
8	AUX_ISRC_RESET_N	R	0h	AUX_ANAIF:ISRCCTL.RESET_N
7	AUX_TDC_DONE	R	0h	AUX_TDC:STAT.DONE
6	AUX_TIMER0_EV	R	0h	AUX_TIMER0_EV イベント。詳細については、 AUX_TIMER01:T0TARGET を参照してください。
5	AUX_TIMER1_EV	R	0h	AUX_TIMER1_EV イベント。詳細については、 AUX_TIMER01:T1TARGET を参照してください。
4	AUX_TIMER2_PULSE	R	0h	AUX_TIMER2 パルス イベント。 AUX_SYSIF:EVSYNCRATE.AUX_TIMER2_SYNC_RATE の構成は、 このイベントの同期レートを設定します。
3	AUX_TIMER2_EV3	R	0h	AUX_TIMER2 イベント出力 3。 AUX_SYSIF:EVSYNCRATE.AUX_TIMER2_SYNC_RATE の構成は、 このイベントの同期レートを設定します。
2	AUX_TIMER2_EV2	R	0h	AUX_TIMER2 イベント出力 2。 AUX_SYSIF:EVSYNCRATE.AUX_TIMER2_SYNC_RATE の構成は、 このイベントの同期レートを設定します。
1	AUX_TIMER2_EV1	R	0h	AUX_TIMER2 イベント出力 1。 AUX_SYSIF:EVSYNCRATE.AUX_TIMER2_SYNC_RATE の構成は、 このイベントの同期レートを設定します。
0	AUX_TIMER2_EV0	R	0h	AUX_TIMER2 イベント出力 0。 AUX_SYSIF:EVSYNCRATE.AUX_TIMER2_SYNC_RATE の構成は、 このイベントの同期レートを設定します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.5 SCEWEVCFG0 レジスタ (オフセット = 10h) [リセット = 00000000h]

図 19-70 に、SCEWEVCFG0 を示し、表 19-80 に、その説明を示します。

概略表に戻ります。

センサ コントローラ エンジン待機イベント構成 0
このレジスタおよび SCEWEVCFG1 の構成は AUX_SCE:WUSTAT.EV_SIGNALS のビット インデックス 7 を制御します。このビットは、AUX_SCE WEV0、WEV1、BEV0 BEV1 命令で使用できます。
COMB_EV_EN = 0 の場合:
AUX_SCE:WUSTAT.EV_SIGNALS (7) = EV0_SEL イベント
COMB_EV_EN = 1 の場合:
AUX_SCE:WUSTAT.EV_SIGNALS (7) = (EV0_SEL イベント) または (SCEWEVCFG1.EV1_SEL イベント)
ビット フィールド SCEWEVCFG1.EV0_POL および SCEWEVCFG1.EV1_POL は選択されたイベントの極性を制御します。
イベントの組み合わせは、タイムアウトを伴って特定の条件を待機する必要がある場合に有用です。

図 19-70. SCEWEVCFG0 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	COMB_EV_EN	EV0_SEL					
R-0h	R/W-0h	R/W-0h					

表 19-80. SCEWEVCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6	COMB_EV_EN	R/W	0h	イベント組み合わせ制御: 0:イベントの組み合わせを無効化します。 1:イベントの組み合わせを有効化します。

Copyright © 2026 Texas Instruments Incorporated

表 19-80. SCEWEVCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	EV0_SEL	R/W	0h	イベントの式で使用する同期イベント バスからイベント ソースを選択します。 0h = EVSTAT0.AUXIO0 1h = EVSTAT0.AUXIO1 2h = EVSTAT0.AUXIO2 3h = EVSTAT0.AUXIO3 4h = EVSTAT0.AUXIO4 5h = EVSTAT0.AUXIO5 6h = EVSTAT0.AUXIO6 7h = EVSTAT0.AUXIO7 8h = EVSTAT0.AUXIO8 9h = EVSTAT0.AUXIO9 Ah = EVSTAT0.AUXIO10 Bh = EVSTAT0.AUXIO11 Ch = EVSTAT0.AUXIO12 Dh = EVSTAT0.AUXIO13 Eh = EVSTAT0.AUXIO14 Fh = EVSTAT0.AUXIO15 10h = EVSTAT1.AUXIO16 11h = EVSTAT1.AUXIO17 12h = EVSTAT1.AUXIO18 13h = EVSTAT1.AUXIO19 14h = EVSTAT1.AUXIO20 15h = EVSTAT1.AUXIO21 16h = EVSTAT1.AUXIO22 17h = EVSTAT1.AUXIO23 18h = EVSTAT1.AUXIO24 19h = EVSTAT1.AUXIO25 1Ah = EVSTAT1.AUXIO26 1Bh = EVSTAT1.AUXIO27 1Ch = EVSTAT1.AUXIO28 1Dh = EVSTAT1.AUXIO29 1Eh = EVSTAT1.AUXIO30 1Fh = EVSTAT1.AUXIO31 20h = PROGDLY に説明が記載されているプログラマブル遅延イベント 21h = EVSTAT2.AON_RTC_CH2 22h = EVSTAT2.AON_RTC_CH2_DLY 23h = EVSTAT2.AON_RTC_4KHZ 24h = EVSTAT2.AON_BATMON_BAT_UPD 25h = EVSTAT2.AON_BATMON_TEMP_UPD 26h = EVSTAT2.SCLK_LF 27h = EVSTAT2.PWR_DWN 28h = EVSTAT2.MCU_ACTIVE 29h = EVSTAT2.VDDR_RECHARGE 2Ah = EVSTAT2.ACLK_REF 2Bh = EVSTAT2.MCU_EV 2Ch = EVSTAT2.MCU_OBSMUX0 2Dh = EVSTAT2.MCU_OBSMUX1 2Eh = EVSTAT2.AUX_COMPA 2Fh = EVSTAT2.AUX_COMPB 30h = EVSTAT3.AUX_TIMER2_EV0 31h = EVSTAT3.AUX_TIMER2_EV1 32h = EVSTAT3.AUX_TIMER2_EV2 33h = EVSTAT3.AUX_TIMER2_EV3 34h = EVSTAT3.AUX_TIMER2_PULSE 35h = EVSTAT3.AUX_TIMER1_EV 36h = EVSTAT3.AUX_TIMER0_EV 37h = EVSTAT3.AUX_TDC_DONE 38h = EVSTAT3.AUX_ISRC_RESET_N 39h = EVSTAT3.AUX_ADC_DONE 3Ah = EVSTAT3.AUX_ADC_IRQ 3Bh = EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Eh = EVSTAT3.AUX_DAC_HOLD_ACTIVE

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-80. SCEWEVCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = EVSTAT3.AUX_TIMER2_CLKSWITCH_RDY

Copyright © 2026 Texas Instruments Incorporated

19.8.3.6 SCEWEVCFG1 レジスタ (オフセット = 14h) [リセット = 00000000h]

図 19-71 に、SCEWEVCFG1 を示し、表 19-81 に、その説明を示します。

概略表に戻ります。

センサ コントローラ エンジン待機イベント設定 1
詳細については、SCEWEVCFG0 を参照してください。

図 19-71. SCEWEVCFG1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
EV0_POL	EV1_POL	EV1_SEL					
R/W-0h	R/W-0h	R/W-0h					

表 19-81. SCEWEVCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	EV0_POL	R/W	0h	SCEWEVCFG0.EV0_SEL イベントの極性。 SCEWEVCFG0.COMB_EV_EN が 0 場合: 0:非反転。 1:非反転。 SCEWEVCFG0.COMB_EV_EN が 1 の場合。 0:非反転。 1:反転。
6	EV1_POL	R/W	0h	EV1_SEL イベントの極性。 SCEWEVCFG0.COMB_EV_EN が 0 の場合: 0:非反転。 1:非反転。 SCEWEVCFG0.COMB_EV_EN が 1 の場合。 0:非反転。 1:反転。

Copyright © 2026 Texas Instruments Incorporated

表 19-81. SCEWEVCFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	EV1_SEL	R/W	0h	イベントの式で使用する同期イベント バスからイベント ソースを選択します。 0h = EVSTAT0.AUXIO0 1h = EVSTAT0.AUXIO1 2h = EVSTAT0.AUXIO2 3h = EVSTAT0.AUXIO3 4h = EVSTAT0.AUXIO4 5h = EVSTAT0.AUXIO5 6h = EVSTAT0.AUXIO6 7h = EVSTAT0.AUXIO7 8h = EVSTAT0.AUXIO8 9h = EVSTAT0.AUXIO9 Ah = EVSTAT0.AUXIO10 Bh = EVSTAT0.AUXIO11 Ch = EVSTAT0.AUXIO12 Dh = EVSTAT0.AUXIO13 Eh = EVSTAT0.AUXIO14 Fh = EVSTAT0.AUXIO15 10h = EVSTAT1.AUXIO16 11h = EVSTAT1.AUXIO17 12h = EVSTAT1.AUXIO18 13h = EVSTAT1.AUXIO19 14h = EVSTAT1.AUXIO20 15h = EVSTAT1.AUXIO21 16h = EVSTAT1.AUXIO22 17h = EVSTAT1.AUXIO23 18h = EVSTAT1.AUXIO24 19h = EVSTAT1.AUXIO25 1Ah = EVSTAT1.AUXIO26 1Bh = EVSTAT1.AUXIO27 1Ch = EVSTAT1.AUXIO28 1Dh = EVSTAT1.AUXIO29 1Eh = EVSTAT1.AUXIO30 1Fh = EVSTAT1.AUXIO31 20h = PROGDLY に説明が記載されているプログラマブル遅延イベント 21h = EVSTAT2.AON_RTC_CH2 22h = EVSTAT2.AON_RTC_CH2_DLY 23h = EVSTAT2.AON_RTC_4KHZ 24h = EVSTAT2.AON_BATMON_BAT_UPD 25h = EVSTAT2.AON_BATMON_TEMP_UPD 26h = EVSTAT2.SCLK_LF 27h = EVSTAT2.PWR_DWN 28h = EVSTAT2.MCU_ACTIVE 29h = EVSTAT2.VDDR_RECHARGE 2Ah = EVSTAT2.ACLK_REF 2Bh = EVSTAT2.MCU_EV 2Ch = EVSTAT2.MCU_OBSMUX0 2Dh = EVSTAT2.MCU_OBSMUX1 2Eh = EVSTAT2.AUX_COMPA 2Fh = EVSTAT2.AUX_COMPB 30h = EVSTAT3.AUX_TIMER2_EV0 31h = EVSTAT3.AUX_TIMER2_EV1 32h = EVSTAT3.AUX_TIMER2_EV2 33h = EVSTAT3.AUX_TIMER2_EV3 34h = EVSTAT3.AUX_TIMER2_PULSE 35h = EVSTAT3.AUX_TIMER1_EV 36h = EVSTAT3.AUX_TIMER0_EV 37h = EVSTAT3.AUX_TDC_DONE 38h = EVSTAT3.AUX_ISRC_RESET_N 39h = EVSTAT3.AUX_ADC_DONE 3Ah = EVSTAT3.AUX_ADC_IRQ 3Bh = EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Eh = EVSTAT3.AUX_DAC_HOLD_ACTIVE

Copyright © 2026 Texas Instruments Incorporated

表 19-81. SCEWEVCFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = EVSTAT3.AUX_TIMER2_CLKSWITCH_RDY

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.7 DMACTL レジスタ (オフセット = 18h) [リセット = 00000000h]

図 19-72 に、DMACTL を示し、表 19-82 に、その説明を示します。

概略表に戻ります。

ダイレクト メモリ アクセス制御

図 19-72. DMACTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					REQ_MODE	EN	SEL
R-0h					R/W-0h	R/W-0h	R/W-0h

表 19-82. DMACTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	REQ_MODE	R/W	0h	UDMA0 要求モード 0h = SEL で構成された条件が満たされた場合、UDMA0 チャネル 7 でバースト要求が生成されます。 1h = SEL で構成された条件が満たされた場合、UDMA0 チャネル 7 で単一の要求が生成されます。
1	EN	R/W	0h	uDMA ADC インターフェイス イネーブル。 0：ADC への UDMA0 インターフェイスを無効化します。 1：ADC への UDMA0 インターフェイスを有効化します。
0	SEL	R/W	0h	ADC FIFO データの UDMA0 転送をトリガするために必要な FIFO ウォーターマーク (基準) レベルを選択します。 0h = ADC FIFO にサンプルがある場合、UDMA0 トリガ イベントが生成されます。 1h = ADC FIFO がほぼフル (3/4 がフル) になると、UDMA0 トリガ イベントが生成されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.8 SWEVSET レジスタ (オフセット = 20h) [リセット = 00000000h]

図 19-73 に、SWEVSET を示します。表 19-83 に、その説明を示します。

概略表に戻ります。

ソフトウェア イベント セット
AUX ドメインから AON およびマイコン ドメインへのソフトウェア イベント フラグを設定します。マイコン ドメインの CPU は、EVTOAONFLAGS からイベント フラグを読み取り、EVTOAONFLAGSCLR でそれをクリアできます。
これらのイベント フラグの使用は、ソフトウェアで定義されています。

図 19-73. SWEVSET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					SWEV2	SWEV1	SWEV0
R-0h					W-0h	W-0h	W-0h

表 19-83. SWEVSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	SWEV2	W	0h	ソフトウェア イベント フラグ 2。 0:影響なし。 1:ソフトウェア イベント フラグ 2 を設定します。
1	SWEV1	W	0h	ソフトウェア イベント フラグ 1。 0:影響なし。 1:ソフトウェア イベント フラグ 1 を設定します。
0	SWEV0	W	0h	ソフトウェア イベント フラグ 0。 0:影響なし。 1:ソフトウェア イベント フラグ 0 を設定します。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.9 EVTOAONFLAGS レジスタ (オフセット = 24h) [リセット = 00000000h]

図 19-74 に、EVTOAONFLAGS を示します。表 19-84 に、その説明を示します。

概略表に戻ります。

AON へのイベント フラグ
このレジスタには、AON_EVENT にルーティングされたイベント フラグのコレクションが含まれます。
イベント フラグをクリアするには、EVTOAONFLAGSCLR に書き込むか、このレジスタのイベント フラグに 0 を書き込みます。

図 19-74. EVTOAONFLAGS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							AUX_TIMER1_EV
R-0h							R/W0C-0h
7	6	5	4	3	2	1	0
AUX_TIMER0_EV	AUX_TDC_DONE	AUX_ADC_DONE	AUX_COMPB	AUX_COMPA	SWEV2	SWEV1	SWEV0
R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h

表 19-84. EVTOAONFLAGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	AUX_TIMER1_EV	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER1_EV において、EVTOAONPOL.AUX_TIMER1_EV によって選択されたレベルが発生した場合に設定されます。
7	AUX_TIMER0_EV	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER0_EV において、EVTOAONPOL.AUX_TIMER0_EV によって選択されたレベルが発生した場合に設定されます。
6	AUX_TDC_DONE	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TDC_DONE において、EVTOAONPOL.AUX_TDC_DONE によって選択されたレベルが発生した場合に設定されます。
5	AUX_ADC_DONE	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_ADC_DONE において、EVTOAONPOL.AUX_ADC_DONE によって選択されたレベルが発生した場合に設定されます。
4	AUX_COMPB	R/W0C	0h	このイベント フラグは、EVSTAT2.AUX_COMPB において、EVTOAONPOL.AUX_COMPB によって選択されたエッジが発生した場合に設定されます。
3	AUX_COMPA	R/W0C	0h	このイベント フラグは、EVSTAT2.AUX_COMPA において、EVTOAONPOL.AUX_COMPA によって選択されたエッジが発生した場合に設定されます。
2	SWEV2	R/W0C	0h	このイベント フラグは、ソフトウェアが SWEVSET.SWEV2 に 1 を書き込んだ場合に設定されます。
1	SWEV1	R/W0C	0h	このイベント フラグは、ソフトウェアが SWEVSET.SWEV1 に 1 を書き込んだ場合に設定されます。

Copyright © 2026 Texas Instruments Incorporated

表 19-84. EVTOAONFLAGS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	SWEV0	R/W0C	0h	このイベント フラグは、ソフトウェアが SWEVSET.SWEV0 に 1 を書き込んだ場合に設定されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.10 EVTOAONPOL レジスタ (オフセット = 28h) [リセット = 00000000h]

図 19-75 に、EVTOAONPOL を示します。表 19-85 に、その説明を示します。

概略表に戻ります。

AON へのイベント極性
EVTOAONFLAGS のイベント ソース極性構成。

図 19-75. EVTOAONPOL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							AUX_TIMER1_EV
R-0h							R/W-0h
7	6	5	4	3	2	1	0
AUX_TIMER0_EV	AUX_TDC_DONE	AUX_ADC_DONE	AUX_COMPB	AUX_COMPA	予約済み		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h		

表 19-85. EVTOAONPOL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	AUX_TIMER1_EV	R/W	0h	EVTOAONFLAGS.AUX_TIMER1_EV を設定する EVSTAT3.AUX_TIMER1_EV のレベルを選択します。 0h = High レベル 1h = Low レベル
7	AUX_TIMER0_EV	R/W	0h	EVTOAONFLAGS.AUX_TIMER0_EV を設定する EVSTAT3.AUX_TIMER0_EV のレベルを選択します。 0h = High レベル 1h = Low レベル
6	AUX_TDC_DONE	R/W	0h	EVTOAONFLAGS.AUX_TDC_DONE を設定する EVSTAT3.AUX_TDC_DONE のレベルを選択します。 0h = High レベル 1h = Low レベル
5	AUX_ADC_DONE	R/W	0h	EVTOAONFLAGS.AUX_ADC_DONE を設定する EVSTAT3.AUX_ADC_DONE のレベルを選択します。 0h = High レベル 1h = Low レベル
4	AUX_COMPB	R/W	0h	EVTOAONFLAGS.AUX_COMPB を設定する EVSTAT2.AUX_COMPB のエッジを選択します。 0h = 立ち上がりエッジ 1h = 立ち下がりエッジ
3	AUX_COMPA	R/W	0h	EVTOAONFLAGS.AUX_COMPA を設定する EVSTAT2.AUX_COMPA のエッジを選択します。 0h = 立ち上がりエッジ 1h = 立ち下がりエッジ
2-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

19.8.3.11 EVTOAONFLAGSCLR レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 19-76 に、EVTOAONFLAGSCLR を示します。表 19-86 に、その説明を示します。

概略表に戻ります。

AON へのイベント クリア
EVTOAONFLAGS のイベント フラグをクリアします。
レベルの影響を受けやすいイベント フラグをクリアするには、イベントをデアサートする必要があります。

図 19-76. EVTOAONFLAGSCLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							AUX_TIMER1_EV
R-0h							W-0h
7	6	5	4	3	2	1	0
AUX_TIMER0_EV	AUX_TDC_DONE	AUX_ADC_DONE	AUX_COMPB	AUX_COMPA	SWEV2	SWEV1	SWEV0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 19-86. EVTOAONFLAGSCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	予約済み
8	AUX_TIMER1_EV	W	0h	1 を書き込むと、EVTOAONFLAGS.AUX_TIMER1_EV がクリアされます。 読み取り値は 0 です。
7	AUX_TIMER0_EV	W	0h	1 を書き込むと、EVTOAONFLAGS.AUX_TIMER0_EV がクリアされます。 読み取り値は 0 です。
6	AUX_TDC_DONE	W	0h	1 を書き込むと、EVTOAONFLAGS.AUX_TDC_DONE がクリアされます。 読み取り値は 0 です。
5	AUX_ADC_DONE	W	0h	1 を書き込むと、EVTOAONFLAGS.AUX_ADC_DONE がクリアされます。 読み取り値は 0 です。
4	AUX_COMPB	W	0h	1 を書き込むと、EVTOAONFLAGS.AUX_COMPB がクリアされます。 読み取り値は 0 です。
3	AUX_COMPA	W	0h	1 を書き込むと、EVTOAONFLAGS.AUX_COMPA がクリアされます。 読み取り値は 0 です。
2	SWEV2	W	0h	1 を書き込むと、EVTOAONFLAGS.SWEV2 がクリアされます。 読み取り値は 0 です。
1	SWEV1	W	0h	1 を書き込むと、EVTOAONFLAGS.SWEV1 がクリアされます。 読み取り値は 0 です。
0	SWEV0	W	0h	1 を書き込むと、EVTOAONFLAGS.SWEV0 がクリアされます。 読み取り値は 0 です。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.12 EVTOMCUFLAGS レジスタ (オフセット = 30h) [リセット = 00000000h]

図 19-77 に、EVTOMCUFLAGS を示します。表 19-87 に、その説明を示します。

概略表に戻ります。

マイコンへのイベント フラグ
このレジスタには、マイコン ドメインにルーティングされたイベント フラグのコレクションが含まれます。
イベント フラグをクリアするには、EVTOMCUFLAGSCLR に書き込むか、このレジスタのイベント フラグに 0 を書き込みます。AUX_SYSIF:WUCLR で説明されている手順に従って、AUX_WU_EV イベント フラグをクリアします。

図 19-77. EVTOMCUFLAGS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AUX_TIMER2_PULSE	AUX_TIMER2_EV3	AUX_TIMER2_EV2	AUX_TIMER2_EV1	AUX_TIMER2_EV0	AUX_ADC_IRQ	MCU_OBSMUX0	AUX_ADC_FIFO_ALMOST_FULL
R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h
7	6	5	4	3	2	1	0
AUX_ADC_DONE	AUX_SMPH_AUTOTAKE_DONE	AUX_TIMER1_EV	AUX_TIMER0_EV	AUX_TDC_DONE	AUX_COMPB	AUX_COMPA	AUX_WU_EV
R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h

表 19-87. EVTOMCUFLAGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	AUX_TIMER2_PULSE	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER2_PULSE において、EVTOMCUPOL.AUX_TIMER2_PULSE によって選択されたレベルが発生した場合に設定されます。
14	AUX_TIMER2_EV3	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER2_EV3 において、EVTOMCUPOL.AUX_TIMER2_EV3 によって選択されたレベルが発生した場合に設定されます。
13	AUX_TIMER2_EV2	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER2_EV2 において、EVTOMCUPOL.AUX_TIMER2_EV2 によって選択されたレベルが発生した場合に設定されます。
12	AUX_TIMER2_EV1	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER2_EV1 において、EVTOMCUPOL.AUX_TIMER2_EV1 によって選択されたレベルが発生した場合に設定されます。
11	AUX_TIMER2_EV0	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER2_EV0 において、EVTOMCUPOL.AUX_TIMER2_EV0 によって選択されたレベルが発生した場合に設定されます。
10	AUX_ADC_IRQ	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_ADC_IRQ において、EVTOMCUPOL.AUX_ADC_IRQ によって選択されたレベルが発生した場合に設定されます。
9	MCU_OBSMUX0	R/W0C	0h	このイベント フラグは、EVSTAT2.MCU_OBSMUX0 において、EVTOMCUPOL.MCU_OBSMUX0 によって選択されたレベルが発生した場合に設定されます。

Copyright © 2026 Texas Instruments Incorporated

表 19-87. EVTOMCUFLAGS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	AUX_ADC_FIFO_ALMOST_FULL	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL において、EVTOMCUPOL.AUX_ADC_FIFO_ALMOST_FULL によって選択されたレベルが発生した場合に設定されます。
7	AUX_ADC_DONE	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_ADC_DONE において、EVTOMCUPOL.AUX_ADC_DONE によって選択されたレベルが発生した場合に設定されます。
6	AUX_SMPH_AUTOTAKE_DONE	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_SMPH_AUTOTAKE_DONE において、EVTOMCUPOL.AUX_SMPH_AUTOTAKE_DONE によって選択されたレベルが発生した場合に設定されます。
5	AUX_TIMER1_EV	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER1_EV において、EVTOMCUPOL.AUX_TIMER1_EV によって選択されたレベルが発生した場合に設定されます。
4	AUX_TIMER0_EV	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TIMER0_EV において、EVTOMCUPOL.AUX_TIMER0_EV によって選択されたレベルが発生した場合に設定されます。
3	AUX_TDC_DONE	R/W0C	0h	このイベント フラグは、EVSTAT3.AUX_TDC_DONE において、EVTOMCUPOL.AUX_TDC_DONE によって選択されたレベルが発生した場合に設定されます。
2	AUX_COMPB	R/W0C	0h	このイベント フラグは、EVSTAT2.AUX_COMPB において、EVTOMCUPOL.AUX_COMPB によって選択されたエッジが発生した場合に設定されます。
1	AUX_COMPA	R/W0C	0h	このイベント フラグは、EVSTAT2.AUX_COMPA において、EVTOMCUPOL.AUX_COMPA によって選択されたエッジが発生した場合に設定されます。
0	AUX_WU_EV	R/W0C	0h	このイベント フラグは、AUX_SYSIF:WUFLAGS レジスタ のリダクション OR において、EVTOMCUPOL.AUX_WU_EV によって選択されたレベルが発生した場合に設定されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.13 EVTOMCUPOL レジスタ (オフセット = 34h) [リセット = 00000000h]

図 19-78 に、EVTOMCUPOL を示します。表 19-88 に、その説明を示します。

概略表に戻ります。

マイコンへのイベント極性
EVTOMCUFLAGS のイベント ソース極性構成。

図 19-78. EVTOMCUPOL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AUX_TIMER2_PULSE	AUX_TIMER2_EV3	AUX_TIMER2_EV2	AUX_TIMER2_EV1	AUX_TIMER2_EV0	AUX_ADC_IRQ	MCU_OBSMUX0	AUX_ADC_FIFO_ALMOST_FULL
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
AUX_ADC_DONE	AUX_SMPH_AUTOTAKE_DONE	AUX_TIMER1_EV	AUX_TIMER0_EV	AUX_TDC_DONE	AUX_COMPB	AUX_COMPA	AUX_WU_EV
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 19-88. EVTOMCUPOL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	AUX_TIMER2_PULSE	R/W	0h	EVTOMCUFLAGS.AUX_TIMER2_PULSE を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
14	AUX_TIMER2_EV3	R/W	0h	EVTOMCUFLAGS.AUX_TIMER2_EV3 を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
13	AUX_TIMER2_EV2	R/W	0h	EVTOMCUFLAGS.AUX_TIMER2_EV2 を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
12	AUX_TIMER2_EV1	R/W	0h	EVTOMCUFLAGS.AUX_TIMER2_EV1 を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
11	AUX_TIMER2_EV0	R/W	0h	EVTOMCUFLAGS.AUX_TIMER2_EV0 を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
10	AUX_ADC_IRQ	R/W	0h	EVTOMCUFLAGS.AUX_ADC_IRQ を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル

Copyright © 2026 Texas Instruments Incorporated

表 19-88. EVTOMCUPOL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	MCU_OBSMUX0	R/W	0h	EVTOMCUFLAGS.MCU_OBSMUX0 を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
8	AUX_ADC_FIFO_ALMOST_FULL	R/W	0h	EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
7	AUX_ADC_DONE	R/W	0h	EVTOMCUFLAGS.AUX_ADC_DONE を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
6	AUX_SMPH_AUTOTAKE_DONE	R/W	0h	EVTOMCUFLAGS.AUX_SMPH_AUTOTAKE_DONE を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
5	AUX_TIMER1_EV	R/W	0h	EVTOMCUFLAGS.AUX_TIMER1_EV を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
4	AUX_TIMER0_EV	R/W	0h	EVTOMCUFLAGS.AUX_TIMER0_EV を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
3	AUX_TDC_DONE	R/W	0h	EVTOMCUFLAGS.AUX_TDC_DONE を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル
2	AUX_COMPB	R/W	0h	EVTOMCUFLAGS.AUX_COMPB を設定するイベント ソース エッジを選択します。 0h = 立ち上がりエッジ 1h = 立ち下がりエッジ
1	AUX_COMPA	R/W	0h	EVTOMCUFLAGS.AUX_COMPA を設定するイベント ソース エッジを選択します。 0h = 立ち上がりエッジ 1h = 立ち下がりエッジ
0	AUX_WU_EV	R/W	0h	EVTOMCUFLAGS.AUX_WU_EV を設定するイベント ソース レベルを選択します。 0h = High レベル 1h = Low レベル

Copyright © 2026 Texas Instruments Incorporated

19.8.3.14 EVTOMCUFLAGSCLR レジスタ (オフセット = 38h) [リセット = 00000000h]

図 19-79 に、EVTOMCUFLAGSCLR を示します。表 19-89 に、その説明を示します。

概略表に戻ります。

マイコンへのイベント フラグ クリア
EVTOMCUFLAGS のイベント フラグをクリアします。
レベルの影響を受けやすいイベント フラグをクリアするには、イベントをデアサートする必要があります。

図 19-79. EVTOMCUFLAGSCLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AUX_TIMER2_PULSE	AUX_TIMER2_EV3	AUX_TIMER2_EV2	AUX_TIMER2_EV1	AUX_TIMER2_EV0	AUX_ADC_IRQ	MCU_OBSMUX0	AUX_ADC_FIFO_ALMOST_FULL
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
AUX_ADC_DONE	AUX_SMPH_AUTOTAKE_DONE	AUX_TIMER1_EV	AUX_TIMER0_EV	AUX_TDC_DONE	AUX_COMPB	AUX_COMPA	AUX_WU_EV
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 19-89. EVTOMCUFLAGSCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	AUX_TIMER2_PULSE	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_TIMER2_PULSE がクリアされます。 読み取り値は 0 です。
14	AUX_TIMER2_EV3	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_TIMER2_EV3 がクリアされます。 読み取り値は 0 です。
13	AUX_TIMER2_EV2	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_TIMER2_EV2 がクリアされます。 読み取り値は 0 です。
12	AUX_TIMER2_EV1	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_TIMER2_EV1 がクリアされます。 読み取り値は 0 です。
11	AUX_TIMER2_EV0	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_TIMER2_EV0 がクリアされます。 読み取り値は 0 です。
10	AUX_ADC_IRQ	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_ADC_IRQ がクリアされます。 読み取り値は 0 です。
9	MCU_OBSMUX0	W	0h	1 を書き込むと、EVTOMCUFLAGS.MCU_OBSMUX0 がクリアされます。 読み取り値は 0 です。
8	AUX_ADC_FIFO_ALMOST_FULL	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL がクリアされます。 読み取り値は 0 です。

Copyright © 2026 Texas Instruments Incorporated

表 19-89. EVTOMCUFLAGSCLR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	AUX_ADC_DONE	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_ADC_DONE がクリアされます。 読み取り値は 0 です。
6	AUX_SMPH_AUTOTAKE_DONE	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_SMPH_AUTOTAKE_DONE がクリアされます。 読み取り値は 0 です。
5	AUX_TIMER1_EV	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_TIMER1_EV がクリアされます。 読み取り値は 0 です。
4	AUX_TIMER0_EV	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_TIMER0_EV がクリアされます。 読み取り値は 0 です。
3	AUX_TDC_DONE	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_TDC_DONE がクリアされます。 読み取り値は 0 です。
2	AUX_COMPB	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_COMPB がクリアされます。 読み取り値は 0 です。
1	AUX_COMPA	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_COMPA がクリアされます。 読み取り値は 0 です。
0	AUX_WU_EV	W	0h	1 を書き込むと、EVTOMCUFLAGS.AUX_WU_EV がクリアされます。 読み取り値は 0 です。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.15 COMBEVTOMCUMASK レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 19-80 に、COMBEVTOMCUMASK を示します。表 19-90 に、その説明を示します。

概略表に戻ります。

マイコンへの結合イベント マスク
EVENT およびシステム CPU への AUX_COMB イベントに寄与する EVTOMCUFLAGS のイベント フラグを選択します。
含まれるイベント フラグの 1 つまたは複数が設定されている限り、AUX_COMB イベントは High になります。

図 19-80. COMBEVTOMCUMASK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AUX_TIMER2_PULSE	AUX_TIMER2_EV3	AUX_TIMER2_EV2	AUX_TIMER2_EV1	AUX_TIMER2_EV0	AUX_ADC_IRQ	MCU_OBSMUX0	AUX_ADC_FIFO_ALMOST_FULL
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
AUX_ADC_DONE	AUX_SMPH_AUTOTAKE_DONE	AUX_TIMER1_EV	AUX_TIMER0_EV	AUX_TDC_DONE	AUX_COMPB	AUX_COMPA	AUX_WU_EV
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 19-90. COMBEVTOMCUMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	AUX_TIMER2_PULSE	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_TIMER2_PULSE の寄与。 0:除外します。 1:含めます。
14	AUX_TIMER2_EV3	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_TIMER2_EV3 の寄与。 0:除外します。 1:含めます。
13	AUX_TIMER2_EV2	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_TIMER2_EV2 の寄与。 0:除外します。 1:含めます。
12	AUX_TIMER2_EV1	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_TIMER2_EV1 の寄与。 0:除外します。 1:含めます。
11	AUX_TIMER2_EV0	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_TIMER2_EV0 の寄与。 0:除外します。 1:含めます。

Copyright © 2026 Texas Instruments Incorporated

表 19-90. COMBEVTOMCUMASK レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	AUX_ADC_IRQ	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_ADC_IRQ の寄与。 0:除外します。 1:含めます。
9	MCU_OBSMUX0	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.MCU_OBSMUX0 の寄与。 0:除外します。 1:含めます。
8	AUX_ADC_FIFO_ALMOST_FULL	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_ADC_FIFO_ALMOST_FULL の寄与。 0:除外します。 1:含めます。
7	AUX_ADC_DONE	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_ADC_DONE の寄与。 0:除外します。 1:含めます。
6	AUX_SMPH_AUTOTAKE_DONE	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_SMPH_AUTOTAKE_DONE の寄与。 0:除外します。 1:含めます。
5	AUX_TIMER1_EV	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_TIMER1_EV の寄与。 0:除外します。 1:含めます。
4	AUX_TIMER0_EV	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_TIMER0_EV の寄与。 0:除外します。 1:含めます。
3	AUX_TDC_DONE	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_TDC_DONE の寄与。 0:除外します。 1:含めます。
2	AUX_COMPB	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_COMPB の寄与。 0:除外します 1:含めます。
1	AUX_COMPA	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_COMPA の寄与。 0:除外します。 1:含めます。
0	AUX_WU_EV	R/W	0h	AUX_COMB イベントへの EVTOMCUFLAGS.AUX_WU_EV の寄与。 0:除外します。 1:含めます。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.16 EVOBSCFG レジスタ (オフセット = 40h) [リセット = 00000000h]

図 19-81 に、EVOBSCFG を示します。表 19-91 に、その説明を示します。

概略表に戻ります。

イベント観察構成

図 19-81. EVOBSCFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										EVOBS_SEL					
R-0h										R/W-0h					

表 19-91. EVOBSCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 19-91. EVOBSCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	EVOBS_SEL	R/W	0h	AUX_AIODIOn の AUX_EV_OBS を表す非同期イベント バスからイベントを選択します。 0h = EVSTAT0.AUXIO0 1h = EVSTAT0.AUXIO1 2h = EVSTAT0.AUXIO2 3h = EVSTAT0.AUXIO3 4h = EVSTAT0.AUXIO4 5h = EVSTAT0.AUXIO5 6h = EVSTAT0.AUXIO6 7h = EVSTAT0.AUXIO7 8h = EVSTAT0.AUXIO8 9h = EVSTAT0.AUXIO9 Ah = EVSTAT0.AUXIO10 Bh = EVSTAT0.AUXIO11 Ch = EVSTAT0.AUXIO12 Dh = EVSTAT0.AUXIO13 Eh = EVSTAT0.AUXIO14 Fh = EVSTAT0.AUXIO15 10h = EVSTAT1.AUXIO16 11h = EVSTAT1.AUXIO17 12h = EVSTAT1.AUXIO18 13h = EVSTAT1.AUXIO19 14h = EVSTAT1.AUXIO20 15h = EVSTAT1.AUXIO21 16h = EVSTAT1.AUXIO22 17h = EVSTAT1.AUXIO23 18h = EVSTAT1.AUXIO24 19h = EVSTAT1.AUXIO25 1Ah = EVSTAT1.AUXIO26 1Bh = EVSTAT1.AUXIO27 1Ch = EVSTAT1.AUXIO28 1Dh = EVSTAT1.AUXIO29 1Eh = EVSTAT1.AUXIO30 1Fh = EVSTAT1.AUXIO31 20h = EVSTAT2.MANUAL_EV 21h = EVSTAT2.AON_RTC_CH2 22h = EVSTAT2.AON_RTC_CH2_DLY 23h = EVSTAT2.AON_RTC_4KHZ 24h = EVSTAT2.AON_BATMON_BAT_UPD 25h = EVSTAT2.AON_BATMON_TEMP_UPD 26h = EVSTAT2.SCLK_LF 27h = EVSTAT2.PWR_DWN 28h = EVSTAT2.MCU_ACTIVE 29h = EVSTAT2.VDDR_RECHARGE 2Ah = EVSTAT2.ACLK_REF 2Bh = EVSTAT2.MCU_EV 2Ch = EVSTAT2.MCU_OBSMUX0 2Dh = EVSTAT2.MCU_OBSMUX1 2Eh = EVSTAT2.AUX_COMPA 2Fh = EVSTAT2.AUX_COMPB 30h = EVSTAT3.AUX_TIMER2_EV0 31h = EVSTAT3.AUX_TIMER2_EV1 32h = EVSTAT3.AUX_TIMER2_EV2 33h = EVSTAT3.AUX_TIMER2_EV3 34h = EVSTAT3.AUX_TIMER2_PULSE 35h = EVSTAT3.AUX_TIMER1_EV 36h = EVSTAT3.AUX_TIMER0_EV 37h = EVSTAT3.AUX_TDC_DONE 38h = EVSTAT3.AUX_ISRC_RESET_N 39h = EVSTAT3.AUX_ADC_DONE 3Ah = EVSTAT3.AUX_ADC_IRQ 3Bh = EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Eh = EVSTAT3.AUX_DAC_HOLD_ACTIVE

Copyright © 2026 Texas Instruments Incorporated

表 19-91. EVOBSCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Fh = EVSTAT3.AUX_TIMER2_CLKSWITCH_RDY

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.17 PROGDLY レジスタ (オフセット = 44h) [リセット = 00000000h]

図 19-82 に、PROGDLY を示します。表 19-92 に、その説明を示します。

概略表に戻ります。

プログラマブル遅延

図 19-82. PROGDLY レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-92. PROGDLY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	VALUE は 1MHz のレートで 0 にデクリメントします。 VALUE が 0 の場合、イベント AUX_PROG_DLY_IDLE は High になります。それ以外の場合は、Low になります。 プログラマブル遅延カウンタおよび AUX_PROG_DLY_IDLE イベントは、AUX_SYSIF:OPMODEACK.ACK が A または LP に等しい場合にのみ使用します。 VALUE のデクリメントは、以下のいずれかが true となった時点で停止します。 - AUX_SCE:CTL.DBG_FREEZE_EN が設定され、システム CPU がデバッグ モードで停止します。 - AUX_SYSIF:TIMERHALT.PROGDLY が設定されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.18 MANUAL レジスタ (オフセット = 48h) [リセット = 00000000h]

図 19-83 に、MANUAL を示し、表 19-93 に、その説明を示します。

概略表に戻ります。

手動
プログラマブル イベント。

図 19-83. MANUAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EV
R-0h															R/W-0h

表 19-93. MANUAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EV	R/W	0h	このビット フィールドは、EVSTAT2.MANUAL_EV の値を設定します。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.19 EVSTAT0L レジスタ (オフセット = 4Ch) [リセット = 00000000h]

図 19-84 に、EVSTAT0L を示し、表 19-94 に、その説明を示します。

概略表に戻ります。

イベント ステータス 0 Low

図 19-84. EVSTAT0L レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								ALIAS_EV							
R-0h																								R-0h							

表 19-94. EVSTAT0L レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ALIAS_EV	R	0h	EVSTAT0 イベント 7 のエイリアスを 0 へ。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.20 EVSTAT0H レジスタ (オフセット = 50h) [リセット = 00000000h]

図 19-85 に、EVSTAT0H を示し、表 19-95 に、その説明を示します。

概略表に戻ります。

イベント ステータス 0 High

図 19-85. EVSTAT0H レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								ALIAS_EV							
R-0h																								R-0h							

表 19-95. EVSTAT0H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ALIAS_EV	R	0h	EVSTAT0 イベント 15 のエイリアスを 8 へ。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.21 EVSTAT1L レジスタ (オフセット = 54h) [リセット = 00000000h]

図 19-86 に、EVSTAT1L を示し、表 19-96 に、その説明を示します。

概略表に戻ります。

イベント ステータス 1 Low

図 19-86. EVSTAT1L レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								ALIAS_EV							
R-0h																								R-0h							

表 19-96. EVSTAT1L レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ALIAS_EV	R	0h	EVSTAT1 イベント 7 のエイリアスを 0 へ。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.22 EVSTAT1H レジスタ (オフセット = 58h) [リセット = 00000000h]

図 19-87 に、EVSTAT1H を示し、表 19-97 に、その説明を示します。

概略表に戻ります。

イベント ステータス 1 High

図 19-87. EVSTAT1H レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								ALIAS_EV							
R-0h																								R-0h							

表 19-97. EVSTAT1H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ALIAS_EV	R	0h	EVSTAT1 イベント 15 のエイリアスを 8 へ。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.23 EVSTAT2L レジスタ (オフセット = 5Ch) [リセット = 00000000h]

図 19-88 に、EVSTAT2L を示し、表 19-98 に、その説明を示します。

概略表に戻ります。

イベント ステータス 2 Low

図 19-88. EVSTAT2L レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								ALIAS_EV							
R-0h																								R-0h							

表 19-98. EVSTAT2L レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ALIAS_EV	R	0h	EVSTAT2 イベント 7 のエイリアスを 0 へ。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.24 EVSTAT2H レジスタ (オフセット = 60h) [リセット = 00000000h]

図 19-89 に、EVSTAT2H を示し、表 19-99 に、その説明を示します。

概略表に戻ります。

イベント ステータス 2 High

図 19-89. EVSTAT2H レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								ALIAS_EV							
R-0h																								R-0h							

表 19-99. EVSTAT2H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ALIAS_EV	R	0h	EVSTAT2 イベント 15 のエイリアスを 8 へ。

Copyright © 2026 Texas Instruments Incorporated

19.8.3.25 EVSTAT3L レジスタ (オフセット = 64h) [リセット = 00000000h]

図 19-90 に、EVSTAT3L を示し、表 19-100 に、その説明を示します。

概略表に戻ります。

イベント ステータス 3 Low

図 19-90. EVSTAT3L レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								ALIAS_EV							
R-0h																								R-0h							

表 19-100. EVSTAT3L レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ALIAS_EV	R	0h	EVSTAT3 イベント 7 のエイリアスを 0 へ。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.3.26 EVSTAT3H レジスタ (オフセット = 68h) [リセット = 00000000h]

図 19-91 に、EVSTAT3H を示し、表 19-101 に、その説明を示します。

概略表に戻ります。

イベント ステータス 3 High

図 19-91. EVSTAT3H レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								ALIAS_EV							
R-0h																								R-0h							

表 19-101. EVSTAT3H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ALIAS_EV	R	0h	EVSTAT3 イベント 15 のエイリアスを 8 へ。

Copyright © 2026 Texas Instruments Incorporated

19.8.4 AUX_SMPH レジスタ

AUX_SMPH レジスタのメモリマップト レジスタを、表 19-102 に示します。表 19-102 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-102. AUX_SMPH レジスタ

オフセット	略称	レジスタ名	セクション
0h	SMPH0	セマフォ 0	SMPH0 レジスタ (オフセット = 0h) [リセット = 00000001h]
4h	SMPH1	セマフォ 1	SMPH1 レジスタ (オフセット = 4h) [リセット = 00000001h]
8h	SMPH2	セマフォ 2	SMPH2 レジスタ (オフセット = 8h) [リセット = 00000001h]
Ch	SMPH3	セマフォ 3	SMPH3 レジスタ (オフセット = Ch) [リセット = 00000001h]
10h	SMPH4	セマフォ 4	SMPH4 レジスタ (オフセット = 10h) [リセット = 00000001h]
14h	SMPH5	セマフォ 5	SMPH5 レジスタ (オフセット = 14h) [リセット = 00000001h]
18h	SMPH6	セマフォ 6	SMPH6 レジスタ (オフセット = 18h) [リセット = 00000001h]
1Ch	SMPH7	セマフォ 7	SMPH7 レジスタ (オフセット = 1Ch) [リセット = 00000001h]
20h	AUTOTAKE	自動取得	AUTOTAKE レジスタ (オフセット = 20h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-103 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-103. AUX_SMPH アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.4.1 SMPH0 レジスタ (オフセット = 0h) [リセット = 00000001h]

図 19-92 に、SMPH0 を示し、表 19-104 に、その説明を示します。

概略表に戻ります。

セマフォ 0

図 19-92. SMPH0 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-104. SMPH0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	セマフォの要求または解放。 読み取りによる要求: 0:セマフォを使用できません。 1:セマフォが付与されました。 書き込みによる解放: 0:使用しないでください。 1:セマフォを解放します。

Copyright © 2026 Texas Instruments Incorporated

19.8.4.2 SMPH1 レジスタ (オフセット = 4h) [リセット = 00000001h]

図 19-93 に、SMPH1 を示し、表 19-105 に、その説明を示します。

概略表に戻ります。

セマフォ 1

図 19-93. SMPH1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-105. SMPH1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	セマフォの要求または解放。 読み取りによる要求: 0:セマフォを使用できません。 1:セマフォが付与されました。 書き込みによる解放: 0:使用しないでください。 1:セマフォを解放します。

Copyright © 2026 Texas Instruments Incorporated

19.8.4.3 SMPH2 レジスタ (オフセット = 8h) [リセット = 00000001h]

図 19-94 に、SMPH2 を示し、表 19-106 に、その説明を示します。

概略表に戻ります。

セマフォ 2

図 19-94. SMPH2 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-106. SMPH2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	セマフォの要求または解放。 読み取りによる要求: 0:セマフォを使用できません。 1:セマフォが付与されました。 書き込みによる解放: 0:使用しないでください。 1:セマフォを解放します。

Copyright © 2026 Texas Instruments Incorporated

19.8.4.4 SMPH3 レジスタ (オフセット = Ch) [リセット = 00000001h]

図 19-95 に、SMPH3 を示し、表 19-107 に、その説明を示します。

概略表に戻ります。

セマフォ 3

図 19-95. SMPH3 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-107. SMPH3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	セマフォの要求または解放。 読み取りによる要求: 0:セマフォを使用できません。 1:セマフォが付与されました。 書き込みによる解放: 0:使用しないでください。 1:セマフォを解放します。

Copyright © 2026 Texas Instruments Incorporated

19.8.4.5 SMPH4 レジスタ (オフセット = 10h) [リセット = 00000001h]

図 19-96 に、SMPH4 を示し、表 19-108 に、その説明を示します。

概略表に戻ります。

セマフォ 4

図 19-96. SMPH4 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-108. SMPH4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	セマフォの要求または解放。 読み取りによる要求: 0:セマフォを使用できません。 1:セマフォが付与されました。 書き込みによる解放: 0:使用しないでください。 1:セマフォを解放します。

Copyright © 2026 Texas Instruments Incorporated

19.8.4.6 SMPH5 レジスタ (オフセット = 14h) [リセット = 00000001h]

図 19-97 に、SMPH5 を示し、表 19-109 に、その説明を示します。

概略表に戻ります。

セマフォ 5

図 19-97. SMPH5 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-109. SMPH5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	セマフォの要求または解放。 読み取りによる要求: 0:セマフォを使用できません。 1:セマフォが付与されました。 書き込みによる解放: 0:使用しないでください。 1:セマフォを解放します。

Copyright © 2026 Texas Instruments Incorporated

19.8.4.7 SMPH6 レジスタ (オフセット = 18h) [リセット = 00000001h]

図 19-98 に、SMPH6 を示し、表 19-110 に、その説明を示します。

概略表に戻ります。

セマフォ 6

図 19-98. SMPH6 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-110. SMPH6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	セマフォの要求または解放。 読み取りによる要求: 0:セマフォを使用できません。 1:セマフォが付与されました。 書き込みによる解放: 0:使用しないでください。 1:セマフォを解放します。

Copyright © 2026 Texas Instruments Incorporated

19.8.4.8 SMPH7 レジスタ (オフセット = 1Ch) [リセット = 00000001h]

図 19-99 に、SMPH7 を示し、表 19-111 に、その説明を示します。

概略表に戻ります。

セマフォ 7

図 19-99. SMPH7 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-111. SMPH7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	セマフォの要求または解放。 読み取りによる要求: 0:セマフォを使用できません。 1:セマフォが付与されました。 書き込みによる解放: 0:使用しないでください。 1:セマフォを解放します。

Copyright © 2026 Texas Instruments Incorporated

19.8.4.9 AUTOTAKE レジスタ (オフセット = 20h) [リセット = 00000000h]

AUTOTAKE は図 19-100 に示されており、表 19-112 で説明されています。

概略表に戻ります。

自動取得
単一のセマフォに対するスティッキー要求。

図 19-100. AUTOTAKE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													SMPH_ID		
R-0h													R/W-0h		

表 19-112. AUTOTAKE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SMPH_ID	R/W	0h	SMPH_ID にセマフォ ID 0x0 ～ 0x7 を書き込み、このセマフォが付与されるまで要求します。 セマフォの SMPH_ID が付与されると、イベント AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE が 1 になります。 ソフトウェアがセマフォを解放するか、新しい値を SMPH_ID に書き込むと、イベントは 0 になります。 セマフォの破損を回避するには、以下のようにします。 - この機能の使用は、1 つの CPU コアに制限する必要があります。 - ソフトウェアは、AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE が 1 になるまで待ってから SMPH_ID に新しい値を書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

19.8.5 AUX_TDC レジスタ

AUX_TDC レジスタのメモリマップト レジスタを表 19-113 に示します。表 19-113 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-113. AUX_TDC レジスタ

オフセット	略称	レジスタ名	セクション
0h	CTL	制御	CTL レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	STAT	ステータス	STAT レジスタ (オフセット = 4h) [リセット = 00000006h]
8h	結果	結果	RESULT レジスタ (オフセット = 8h) [リセット = 00000002h]
Ch	SATCFG	サチュレーションの設定	SATCFG レジスタ (オフセット = Ch) [リセット = 0000000Fh]
10h	TRIGSRC	トリガ ソース	TRIGSRC レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	TRIGCNT	トリガ カウンタ	TRIGCNT レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	TRIGCNTLOAD	トリガ カウンタ ロード	TRIGCNTLOAD レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	TRIGCNTCFG	トリガ カウンタ構成	TRIGCNTCFG レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	PRECTL	プリスケーラ制御	PRECTL レジスタ (オフセット = 20h) [リセット = 0000003Fh]
24h	PRECNTR	プリスケーラ カウンタ	PRECNTR レジスタ (オフセット = 24h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-114 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-114. AUX_TDC アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
–n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.5.1 CTL レジスタ (オフセット = 0h) [リセット = 00000000h]

図 19-101 に、CTL を示し、表 19-115 に、その説明を示します。

概略表に戻ります。

制御

図 19-101. CTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														CMD	
R-0h														W-0h	

表 19-115. CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	CMD	W	0h	TDC コマンド。 0h = STAT.SAT、STAT.DONE、および RESULT.VALUE をクリアします。これは測定の前提条件として必要ありません。信頼性のあるクリアは、IDLE 状態からのみ保証されます。 1h = 同期カウンタを開始します。 選択された開始イベントが発生すると、カウンタはカウントを開始する前に、対応する反対エッジを検出します。これによりエッジ トリガの開始が保証され、周波数測定に推奨されます。 2h = 非同期カウンタを開始します。 カウンタは、開始イベントが High のときにカウントを開始します。正確なエッジ間測定を行うには、このコマンドを書き込んだ後、開始イベントが少なくとも 420ns の間、Low であることを確認する必要があります。 3h = TDC ステート マシンを強制的に IDLE 状態に戻します。 AUX_TDC:STAT.STATE が CLR_CNT または WAIT_CLR_CNT_DONE のときに、このコマンドを書き込まないようにします。

Copyright © 2026 Texas Instruments Incorporated

19.8.5.2 STAT レジスタ (オフセット = 4h) [リセット = 00000006h]

図 19-102 に、STAT を示し、表 19-116 に、その説明を示します。

概略表に戻ります。

ステータス

図 19-102. STAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
SAT	終了	状態					
R-0h	R-0h	R-6h					

表 19-116. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	SAT	R	0h	TDC 測定飽和フラグ。 0:変換が飽和していません。 1:飽和により変換が停止しました。 このフィールドは、新しい測定が開始されたとき、または CTL.CMD に CLR_RESULT が書き込まれたときにクリアされます。
6	終了	R	0h	TDC 測定完了フラグ。 0:TDC 測定がまだ完了していません。 1:TDC 測定が完了しました。 このフィールドは、新しい TDC 測定が開始されたとき、または CTL.CMD に CLR_RESULT を書き込んだときにクリアされます。

Copyright © 2026 Texas Instruments Incorporated

表 19-116. STAT レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	状態	R	6h	TDC ステート マシンのステータス。 0h = 現在の状態は TDC_STATE_WAIT_START です。 高速カウンタ回路は開始条件を探します。ステート マシンは、高速カウンタがインクリメントするまで待機します。 4h = 現在の状態は、TDC_STATE_WAIT_STARTSTOPCNTEN です。 高速カウンタ回路は開始条件を探します。ステート マシンは、高速カウンタがインクリメントするまで待機します。 6h = 現在の状態は TDC_STATE_IDLE です。 これはリセット後および中断後のデフォルト状態です。CTL.CMD に RUN_SYNC_START または RUN を書き込むと、状態が変化します。 7h = 現在の状態は TDC_STATE_CLRCNT です。高速カウンタ回路がリセットされます。 8h = 現在の状態は TDC_STATE_WAIT_STOP です。 ステート マシンは、高速カウンタ回路が停止するまで待機します。 Ch = 現在の状態は TDC_STATE_WAIT_STOPCNTDOWN です。 高速カウンタ回路は、停止条件を探します。TRIGCNTLOAD.CNT で設定された多くの停止イベントは無視されます。 Eh = 現在の状態は TDC_STATE_GETRESULTS です。 ステート マシンは、高速カウンタ回路からカウンタ値をコピーします。 Fh = 現在の状態は TDC_STATE_POR です。 これはリセット状態です。 16h = 現在の状態は TDC_STATE_WAIT_CLRCNT_DONE です。 ステート マシンは、高速カウンタ回路がリセットを完了するまで待機します。 1Eh = 現在の状態は TDC_WAIT_STARTFALL です。 高速カウンタ回路は開始イベントで立ち下がりエッジを待機します。 2Eh = 現在の状態は TDC_FORCESTOP です。 TDC 測定を中止するため、CTL.CMD に ABORT を記述しました。

Copyright © 2026 Texas Instruments Incorporated

19.8.5.3 RESULT レジスタ (オフセット = 8h) [リセット = 00000002h]

図 19-103 に、RESULT を示し、表 19-117 に、その説明を示します。

概略表に戻ります。

結果
最後の TDC 変換の結果。

図 19-103. RESULT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み							値								
R-0h							R-2h								
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
値															
R-2h															

表 19-117. RESULT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24-0	値	R	2h	TDC 変換結果。 TDC 変換結果は、DDI_0_OSC:CTL0.ACLK_TDC_SRC_SEL で選択されたクロック ソースのクロック エッジ数として得られます。立ち上がりエッジと立ち下がりエッジの両方がカウントされます。 TDC カウンタが飽和した場合、測定の停止にはゼロではない時間を要するため、VALUE は SATCFG.LIMIT よりわずかに大きくなります。したがって、SATCFG.LIMIT を R24 に設定すると、このフィールドの最大値は 2^{24} よりわずかに大きくなります。

Copyright © 2026 Texas Instruments Incorporated

19.8.5.4 SATCFG レジスタ (オフセット = Ch) [リセット = 0000000Fh]

図 19-104 に、SATCFG を示し、表 19-118 に、その説明を示します。

概略表に戻ります。

サチュレーションの設定

図 19-104. SATCFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												LIMIT			
R-0h												R/W-Fh			

表 19-118. SATCFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	LIMIT	R/W	Fh	飽和制限値。 TDC カウンタが飽和すると、STAT.SAT フラグが設定されます。 列挙されていない値はサポートされていません 3h = 結果ビット 12: TDC 変換は RESULT.VALUE[12] がセットされると飽和し、停止します。 4h = 結果ビット 13: TDC 変換は RESULT.VALUE[13] がセットされると飽和し、停止します。 5h = 結果ビット 14: TDC 変換は RESULT.VALUE[14] がセットされると飽和し、停止します。 6h = 結果ビット 15: TDC 変換は RESULT.VALUE[15] がセットされると飽和し、停止します。 7h = 結果ビット 16: TDC 変換は RESULT.VALUE[16] がセットされると飽和し、停止します。 8h = 結果ビット 17: TDC 変換は RESULT.VALUE[17] がセットされると飽和し、停止します。 9h = 結果ビット 18: TDC 変換は RESULT.VALUE[18] がセットされると飽和し、停止します。 Ah = 結果ビット 19: TDC 変換は RESULT.VALUE[19] がセットされると飽和し、停止します。 Bh = 結果ビット 20: TDC 変換は RESULT.VALUE[20] がセットされると飽和し、停止します。 Ch = 結果ビット 21: TDC 変換は RESULT.VALUE[21] がセットされると飽和し、停止します。 Dh = 結果ビット 22: TDC 変換は RESULT.VALUE[22] がセットされると飽和し、停止します。 Eh = 結果ビット 23: TDC 変換は RESULT.VALUE[23] がセットされると飽和し、停止します。 Fh = 結果ビット 24: TDC 変換は RESULT.VALUE[24] がセットされると飽和し、停止します。

Copyright © 2026 Texas Instruments Incorporated

19.8.5.5 TRIGSRC レジスタ (オフセット = 10h) [リセット = 00000000h]

TRIGSRC は図 19-105 に示されており、表 19-119 で説明されています。

概略表に戻ります。

トリガ ソース
TDC の開始および停止イベントのソースと極性を選択します。イベント タイミング要件については、『テクニカル リファレンス マニュアル』を参照してください。

図 19-105. TRIGSRC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	STOP_POL	STOP_SRC					
R-0h	R/W-0h	R/W-0h					
7	6	5	4	3	2	1	0
予約済み	START_POL	START_SRC					
R-0h	R/W-0h	R/W-0h					

表 19-119. TRIGSRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	予約済み
14	STOP_POL	R/W	0h	ストップ ソースの極性。 STAT.STATE が IDLE のときのみ変更します。 0h = High レベルが検出されると、TDC 変換は停止します。 1h = Low レベルが検出されると、TDC 変換は停止します。

Copyright © 2026 Texas Instruments Incorporated

表 19-119. TRIGSRC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-8	STOP_SRC	R/W	0h	非同期 AUX イベント バスから停止ソースを選択します。 STAT.STATE が IDLE のときのみ変更します。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE

Copyright © 2026 Texas Instruments Incorporated

表 19-119. TRIGSRC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Eh = PRECTL の設定によって生成される TDC プリスケーラ イベントを選択します。 3Fh = イベントなし。
7	予約済み	R	0h	予約済み
6	START_POL	R/W	0h	開始ソースの極性。 STAT.STATE が IDLE のときのみ変更します。 0h = High レベルが検出されると TDC 変換が開始されます。 1h = Low レベルが検出されると TDC 変換は停止します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-119. TRIGSRC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	START_SRC	R/W	0h	非同期 AUX イベント バスから開始ソースを選択します。 STAT.STATE が IDLE のときのみ変更します。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE

Copyright © 2026 Texas Instruments Incorporated

表 19-119. TRIGSRC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Eh = PRECTL の設定によって生成される TDC プリスケーラ イベントを選択します。 3Fh = イベントなし。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.5.6 TRIGCNT レジスタ (オフセット = 14h) [リセット = 00000000h]

TRIGCNT は図 19-106 に示されており、表 19-120 で説明されています。

概略表に戻ります。

トリガ カウンタ
停止カウンタの制御およびステータス。

図 19-106. TRIGCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CNT															
R-0h																R/W-0h															

表 19-120. TRIGCNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CNT	R/W	0h	AUX_TDC:TRIGCNTCFG.EN が 1 のときに無視する停止イベントの数。 TDC 測定中に残っている無視対象の停止イベント数を取得するには、CNT を読み取ります。 TDC 測定中に無視する停止イベントの残りの数を更新するには、CNT を書き込みます。無視する停止イベントが残っていない場合、TDC 測定は CNT の更新を無視します。 AUX_TDC:TRIGCNTCFG.EN = 1 の場合、TRIGCNTLOAD.CNT の値が測定開始時に CNT に読み込まれます。

Copyright © 2026 Texas Instruments Incorporated

19.8.5.7 TRIGCNTLOAD レジスタ (オフセット = 18h) [リセット = 00000000h]

TRIGCNTLOAD は図 19-107 に示されており、表 19-121 で説明されています。

概略表に戻ります。

トリガ カウンタ ロード
停止カウンタのロード。

図 19-107. TRIGCNTLOAD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CNT															
R-0h																R/W-0h															

表 19-121. TRIGCNTLOAD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CNT	R/W	0h	AUX_TDC:TRIGCNTCFG.EN が 1 のときに無視する停止イベントの数。 イベント ソースの頻度を測定する場合: - 開始イベントを停止イベントと同じに設定します。 - CNT に測定する周期数を設定します。0 と 1 の両方の値は、単一のイベント ソース期間を測定します。 イベント ソースのパルス幅を測定する場合: - 開始イベント ソースを停止イベント ソースと同じに設定します。 - 開始イベントと停止イベントに異なる極性を選択します。 - CNT を 0 に設定します。 N > 1 の場合に、開始イベントから N 番目の停止イベントまでの時間を測定する場合: - 別の開始および停止イベント ソースを選択します。 - CNT に (N–1) を設定します。 イベント タイミング要件については、『テクニカル リファレンス マニュアル』を参照してください。 AUX_TDC:TRIGCNTCFG.EN が 1 の場合、測定開始時に CNT の値が TRIGCNT.CNT にロードされます。

Copyright © 2026 Texas Instruments Incorporated

19.8.5.8 TRIGCNTCFG レジスタ (オフセット = 1Ch) [リセット = 00000000h]

TRIGCNTCFG は図 19-108 に示されており、表 19-122 で説明されています。

概略表に戻ります。

トリガ カウンタ構成
停止カウンタの設定。

図 19-108. TRIGCNTCFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EN
R-0h															R/W-0h

表 19-122. TRIGCNTCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN	R/W	0h	停止カウンタを有効化します。 0:停止カウンタを無効化します。 1:停止カウンタを有効化します。 STAT.STATE が IDLE のときのみ変更します。

Copyright © 2026 Texas Instruments Incorporated

19.8.5.9 PRECTL レジスタ (オフセット = 20h) [リセット = 0000003Fh]

図 19-109 に、PRECTL を示し、表 19-123 に、その説明を示します。

概略表に戻ります。

プリスケーラ制御
プリスケーラは、AUX バスのレートより高速なイベントをカウントするために使用できます。
次の用途に使用できます:
- 非同期イベント バス上の指定されたイベントのパルス数をカウントします。
- 非同期イベント バス上の指定されたイベントをプリスケールします。
プリスケーラ出力を TDC 測定のイベント ソースとして使用するには、TRIGSRC.START_SRC および TRIGSRC.STOP_SRC の両方を AUX_TDC_PRE に設定する必要があります。
測定対象の信号周波数が AUX バス速度の 10 分の 1 を超える場合は、プリスケーラの使用が推奨されます。

図 19-109. PRECTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RESET_N	比率	SRC					
R/W-0h	R/W-0h	R/W-3Fh					

表 19-123. PRECTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	RESET_N	R/W	0h	プリスケーラ リセット。 0:プリスケーラをリセットします。 1:プリスケーラのリセットを解除します。 プリスケーラをリセットすると、AUX_TDC_PRE イベントは 0 になります。
6	比率	R/W	0h	プリスケーラ比。 この設定は、プリスケーラによる AUX_TDC_PRE イベントの生成頻度を制御します。 0h = プリスケーラは入力を 16 分周します。 AUX_TDC_PRE イベントは、入力信号の立ち上がりエッジ 16 回ごとに立ち上がりエッジを生成します。AUX_TDC_PRE イベントは、入力の 8 番目の立ち上がりエッジごとにトグルします。 1h = プリスケーラは入力を 64 分周します。 AUX_TDC_PRE イベントは、入力信号の立ち上がりエッジ 64 回ごとに立ち上がりエッジを生成します。AUX_TDC_PRE イベントは、入力信号の 32 回目の立ち上がりエッジごとにトグルします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-123. PRECTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	SRC	R/W	3Fh	プリスケーラ イベント ソース。 プリスケーラ入力に接続するイベントを、非同期 AUX イベント バスから選択します。 RESET_N が 0 のときのみ構成します。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-123. PRECTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.5.10 PRECNTR レジスタ (オフセット = 24h) [リセット = 00000000h]

PRECNTR は図 19-110 に示されており、表 19-124 で説明されています。

概略表に戻ります。

プリスケーラ カウンタ

図 19-110. PRECNTR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CNT															
R-0h																R/W-0h															

表 19-124. PRECNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CNT	R/W	0h	プリスケーラ カウンタ値。 CNT に値を書き込むことで、16 ビットのプリスケーラ カウンタの値を CNT にキャプチャします。CNT を読み取って、キャプチャされた値を取得します。 リセットを解除した際にイベント ソースのレベルが立ち上がると、読み取り値に 1 LSB の不確かさが生じます。 プリスケーラ カウンタをキャプチャする際にイベント ソースのレベルが立ち上がると、読み取り値に 1 LSB の不確かさが生じます。 以下の点をご確認ください: - プリスケーラ カウンタは PRECTL.RESET_N によって 2 にリセットされます。 - プリスケーラ入力の立ち上がりエッジ数が 3 未満の場合、キャプチャ値は 2 になります。それ以外の場合、キャプチャ値はイベント パルス数 −1 に等しくなります。

Copyright © 2026 Texas Instruments Incorporated

19.8.6 AUX_TIMER01 のレジスタ

表 19-125 に、AUX_TIMER01 レジスタのメモリ マップト レジスタを示します。表 19-125 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-125. AUX_TIMER01 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	T0CFG	タイマ 0 構成	T0CFG レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	T0CTL	タイマ 0 制御	T0CTL レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	T0TARGET	タイマ 0 ターゲット	T0TARGET レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	T0CNTR	タイマ 0 カウンタ	T0CNTR レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	T1CFG	タイマ 1 構成	T1CFG レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	T1CTL	タイマ 1 制御	T1CTL レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	T1TARGET	タイマ 1 ターゲット	T1TARGET レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	T1CNTR	タイマ 1 カウンタ	T1CNTR レジスタ (オフセット = 1Ch) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-126 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-126. AUX_TIMER01 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.6.1 T0CFG レジスタ (オフセット = 0h) [リセット = 00000000h]

図 19-111 に、T0CFG を示し、表 19-127 に、その説明を示します。

概略表に戻ります。

タイマ 0 構成

図 19-111. T0CFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	TICK_SRC_POL	TICK_SRC					
R-0h	R/W-0h	R/W-0h					
7	6	5	4	3	2	1	0
PRE				予約済み		モード	RELOAD
R/W-0h				R-0h		R/W-0h	R/W-0h

表 19-127. T0CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	予約済み
14	TICK_SRC_POL	R/W	0h	タイマ 0 のティック ソース極性。 0h = TICK_SRC の立ち上がりエッジでカウントします。 1h = TICK_SRC の立ち下がりエッジでカウントします。

Copyright © 2026 Texas Instruments Incorporated

表 19-127. T0CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-8	TICK_SRC	R/W	0h	同期イベント バスからタイマ 0 ティック ソースを選択します。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = イベントなし。 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Eh = AUX_EVCTL:EVSTAT3.AUX_DAC_HOLD_ACTIVE 3Fh = AUX_EVCTL:EVSTAT3.AUX_TIMER2_CLKSWITCH_RDY

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-127. T0CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-4	PRE	R/W	0h	プリスケーラ分周比は 2^{PRE}: 0x0:1 分周。 0x1:2 分周。 0x2:4 分周。 ... 0xF:32,768 分周。
3-2	予約済み	R	0h	予約済み
1	モード	R/W	0h	タイマ 0 モード。 タイマ 0 プリスケーラのソースを構成します。 0h = プリスケーラのソースとしてクロックを使用します。 AUX_SYSIF:PEROPRATE.TIMER01_OP_RATE はクロック周波数を設定することに注意してください。 1h = プリスケーラのソースとして TICK_SRC によって設定されたイベントを使用します。
0	RELOAD	R/W	0h	タイマ 0 リロード モード。 0h = 手動モード。 カウンタ値が T0TARGET.VALUE 以上になると、タイマ 0 は停止し、T0CTL.EN は 0 になります。 1h = 連続モード。 カウンタ値が (T0TARGET.VALUE - 1) 以上になると、タイマ 0 は再起動します。

Copyright © 2026 Texas Instruments Incorporated

19.8.6.2 T0CTL レジスタ (オフセット = 4h) [リセット = 00000000h]

図 19-112 に、T0CTL を示し、表 19-128 に、その説明を示します。

概略表に戻ります。

タイマ 0 制御

図 19-112. T0CTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EN
R-0h															R/W-0h

表 19-128. T0CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN	R/W	0h	タイマ 0 イネーブル。 0:タイマ 0 を無効化します。 1:タイマ 0 を有効化します。 タイマ 0 を有効化すると、カウンタは 0 から再起動します。

Copyright © 2026 Texas Instruments Incorporated

19.8.6.3 T0TARGET レジスタ (オフセット = 8h) [リセット = 00000000h]

図 19-113 に、T0TARGET を示し、表 19-129 に、その説明を示します。

概略表に戻ります。

タイマ 0 ターゲット

図 19-113. T0TARGET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-129. T0TARGET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	タイマ 0 のターゲット値。 手動リロード モード: - カウンタ値が VALUE 以上になるまでタイマ 0 がインクリメントします。 - カウンタ値が VALUE 以上の場合に、1 ペリフェラル クロック周期の間 AUX_TIMER0_EV パルスが High になります。 注:VALUE が 0 の場合、タイマ 0 は 1 にカウントされます。1 ペリフェラル クロック周期の間 AUX_TIMER0_EV パルスが High になります。 連続リロード モード: - タイマ 0 は、カウンタ値が (VALUE - 1) 以上になるまでインクリメントし、その後 0 から再起動します。 - タイマを有効化した場合を除き、カウンタ値が 0 の場合に、1 ペリフェラル クロック周期の間 AUX_TIMER0_EV パルスが High になります。 注:VALUE が 2 未満の場合、タイマ 0 のカウンタ値は 0 のままとなります。タイマを有効化した後、AUX_TIMER0_EV は High になり、1 ペリフェラル クロック周期の間維持されます。 タイマの実行中に VALUE を更新できます。

Copyright © 2026 Texas Instruments Incorporated

19.8.6.4 T0CNTR レジスタ (オフセット = Ch) [リセット = 00000000h]

図 19-114 に、T0CNTR を示し、表 19-130 に、その説明を示します。

概略表に戻ります。

タイマ 0 カウンタ

図 19-114. T0CNTR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-130. T0CNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	タイマ 0 カウンタ値。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.6.5 T1CFG レジスタ (オフセット = 10h) [リセット = 00000000h]

図 19-115 に、T1CFG を示し、表 19-131 に、その説明を示します。

概略表に戻ります。

タイマ 1 構成

図 19-115. T1CFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	TICK_SRC_POL	TICK_SRC					
R-0h	R/W-0h	R/W-0h					
7	6	5	4	3	2	1	0
PRE				予約済み		モード	RELOAD
R/W-0h				R-0h		R/W-0h	R/W-0h

表 19-131. T1CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	予約済み
14	TICK_SRC_POL	R/W	0h	タイマ 1 のティック ソース極性。 0h = TICK_SRC の立ち上がりエッジでカウントします。 1h = TICK_SRC の立ち下がりエッジでカウントします。

Copyright © 2026 Texas Instruments Incorporated

表 19-131. T1CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-8	TICK_SRC	R/W	0h	同期イベント バスからタイマ 1 ティック ソースを選択します。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = イベントなし。 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Eh = AUX_EVCTL:EVSTAT3.AUX_DAC_HOLD_ACTIVE 3Fh = AUX_EVCTL:EVSTAT3.AUX_TIMER2_CLKSWITCH_RDY

Copyright © 2026 Texas Instruments Incorporated

表 19-131. T1CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-4	PRE	R/W	0h	プリスケーラ分周比は 2^{PRE}: 0x0:1 分周。 0x1:2 分周。 0x2:4 分周。 ... 0xF:32,768 分周。
3-2	予約済み	R	0h	予約済み
1	モード	R/W	0h	タイマ 1 モード。 タイマ 1 プリスケーラのソースを構成します。 0h = プリスケーラのソースとしてクロックを使用します。 AUX_SYSIF:PEROPRATE.TIMER01_OP_RATE はクロック周波数を設定することに注意してください。 1h = プリスケーラのソースとして TICK_SRC によって設定されたイベントを使用します。
0	RELOAD	R/W	0h	タイマ 1 リロード モード。 0h = 手動モード。 カウンタ値が T1TARGET.VALUE 以上になると、タイマ 1 が停止し、T1CTL.EN は 0 になります。 1h = 連続モード。 カウンタ値が (T1TARGET.VALUE - 1) 以上になると、タイマ 1 は再起動します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.6.6 T1CTL レジスタ (オフセット = 14h) [リセット = 00000000h]

図 19-116 に、T1CTL を示し、表 19-132 に、その説明を示します。

概略表に戻ります。

タイマ 1 制御

図 19-116. T1CTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EN
R-0h															R/W-0h

表 19-132. T1CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN	R/W	0h	タイマ 1 イネーブル。 0:タイマ 1 を無効化します。 1:タイマ 1 を有効化します。 タイマ 1 を有効化すると、カウンタは 0 から再起動します。

Copyright © 2026 Texas Instruments Incorporated

19.8.6.7 T1TARGET レジスタ (オフセット = 18h) [リセット = 00000000h]

図 19-117 に、T1TARGET を示し、表 19-133 に、その説明を示します。

概略表に戻ります。

タイマ 1 ターゲット
タイマ 1 カウンタ ターゲット値

図 19-117. T1TARGET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-133. T1TARGET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	タイマ 1 のターゲット値。 手動リロード モード: - カウンタ値が VALUE 以上になるまでタイマ 1 がインクリメントします。 - カウンタ値が VALUE 以上の場合に、1 ペリフェラル クロック周期の間 AUX_TIMER1_EV パルスが High になります。 注:VALUE が 0 の場合、タイマ 1 は 1 にカウントされます。1 ペリフェラル クロック周期の間 AUX_TIMER1_EV パルスが High になります。 連続リロード モード: - タイマ 1 は、カウンタ値が (VALUE - 1) 以上になるまでインクリメントし、その後 0 から再起動します。 - タイマを有効化した場合を除き、カウンタ値が 0 の場合に、1 ペリフェラル クロック周期の間 AUX_TIMER1_EV パルスが High になります。 注:VALUE が 2 未満の場合、タイマ 1 カウンタ値は 0 のままとなります。タイマを有効化した後、AUX_TIMER1_EV は High になり、1 ペリフェラル クロック周期の間維持されます。 タイマの実行中に VALUE を更新できます。

Copyright © 2026 Texas Instruments Incorporated

19.8.6.8 T1CNTR レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 19-118 に、T1CNTR を示し、表 19-134 に、その説明を示します。

概略表に戻ります。

タイマ 1 カウンタ

図 19-118. T1CNTR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-134. T1CNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	タイマ 1 カウンタ値。

Copyright © 2026 Texas Instruments Incorporated

19.8.7 AUX_TIMER2 のレジスタ

AUX_TIMER2 レジスタのメモリマップされたレジスタを、表 19-135 に示します。表 19-135 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-135. AUX_TIMER2 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	CTL	タイマ制御	CTL レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	ターゲット	ターゲット	TARGET レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	SHDWTARGET	シャドウ ターゲット	SHDWTARGET レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	CNTR	カウンタ	CNTR レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	PRECFG	クロック プリスケーラ構成	PRECFG レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	EVCTL	イベントコントロール	EVCTL レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	PULSETRIG	パルス トリガ	PULSETRIG レジスタ (オフセット = 18h) [リセット = 00000000h]
80h	CH0EVCFG	チャネル 0 イベント構成	CH0EVCFG レジスタ (オフセット = 80h) [リセット = 00000000h]
84h	CH0CCFG	チャネル 0 キャプチャ構成	CH0CCFG レジスタ (オフセット = 84h) [リセット = 00000000h]
88h	CH0PCC	チャネル 0 パイプライン キャプチャ比較	CH0PCC レジスタ (オフセット = 88h) [リセット = 00000000h]
8Ch	CH0CC	チャネル 0 キャプチャ比較	CH0CC レジスタ (オフセット = 8Ch) [リセット = 00000000h]
90h	CH1EVCFG	チャネル 1 イベント構成	CH1EVCFG レジスタ (オフセット = 90h) [リセット = 00000000h]
94h	CH1CCFG	チャネル 1 キャプチャ構成	CH1CCFG レジスタ (オフセット = 94h) [リセット = 00000000h]
98h	CH1PCC	チャネル 1 パイプライン キャプチャ比較	CH1PCC レジスタ (オフセット = 98h) [リセット = 00000000h]
9Ch	CH1CC	チャネル 1 キャプチャ比較	CH1CC レジスタ (オフセット = 9Ch) [リセット = 00000000h]
A0h	CH2EVCFG	チャネル 2 イベント構成	CH2EVCFG レジスタ (オフセット = A0h) [リセット = 00000000h]
A4h	CH2CCFG	チャネル 2 キャプチャ構成	CH2CCFG レジスタ (オフセット = A4h) [リセット = 00000000h]
A8h	CH2PCC	チャネル 2 パイプライン キャプチャ比較	CH2PCC レジスタ (オフセット = A8h) [リセット = 00000000h]
ACh	CH2CC	チャネル 2 キャプチャ比較	CH2CC レジスタ (オフセット = ACh) [リセット = 00000000h]
B0h	CH3EVCFG	チャネル 3 イベント構成	CH3EVCFG レジスタ (オフセット = B0h) [リセット = 00000000h]
B4h	CH3CCFG	チャネル 3 キャプチャ構成	CH3CCFG レジスタ (オフセット = B4h) [リセット = 00000000h]
B8h	CH3PCC	チャネル 3 パイプライン キャプチャ比較	CH3PCC レジスタ (オフセット = B8h) [リセット = 00000000h]
BCh	CH3CC	チャネル 3 キャプチャ比較	CH3CC レジスタ (オフセット = BCh) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-136 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-136. AUX_TIMER2 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
–n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.7.1 CTL レジスタ (オフセット = 0h) [リセット = 00000000h]

図 19-119 に、CTL を示し、表 19-137 に、その説明を示します。

概略表に戻ります。

タイマ制御

図 19-119. CTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	CH3_RESET	CH2_RESET	CH1_RESET	CH0_RESET	TARGET_EN	モード	
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 19-137. CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6	CH3_RESET	R/W	0h	チャネル 3 リセット。 0:影響なし。 1:CH3CC、CH3PCC、CH3EVCFG、CH3CCFG をリセットします。 読み出しでは 0 が返されます。
5	CH2_RESET	R/W	0h	チャネル 2 リセット。 0:影響なし。 1:CH2CC、CH2PCC、CH2EVCFG、CH2CCFG をリセットします。 読み出しでは 0 が返されます。
4	CH1_RESET	R/W	0h	チャネル 1 リセット。 0:影響なし。 1:CH1CC、CH1PCC、CH1EVCFG、CH1CCFG をリセットします。 読み出しでは 0 が返されます。
3	CH0_RESET	R/W	0h	チャネル 0 リセット。 0:影響なし。 1:CH0CC、CH0PCC、CH0EVCFG、CH0CCFG をリセットします。 読み出しでは 0 が返されます。
2	TARGET_EN	R/W	0h	カウンタのターゲット値を選択します。 シャドウ ターゲット機能を使用するには、TARGET を選択する必要があります。 0h = 65535 1h = TARGET.VALUE

Copyright © 2026 Texas Instruments Incorporated

表 19-137. CTL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	モード	R/W	0h	タイマ モード制御。 MODE を UP_ONCE、UP_PER、または UPDWN_PER に設定すると、タイマは 0 から再スタートします。 MODE に書き込むと、[CHnCC.*] および TARGET に内部的にキューされているすべての更新がクリアされます。 0h = タイマを無効化します。カウンタ、チャネル、およびイベントの更新を停止します。 1h = 一回カウントアップ。タイマは 0 からターゲット値までインクリメントし、その後停止して MODE を DIS に設定します。 2h = 定期的にカウントアップ。タイマは 0 から目標値まで繰り返し増加します。 周期 = (ターゲット値 + 1) * タイマ クロック周期 3h = 定期的にカウントアップおよびカウントダウン。タイマは 0 からターゲット値までカウントアップし、その後 0 までカウントダウンする動作を繰り返します。 周期 = (目標値 * 2) * タイマ クロック周期

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.7.2 TARGET レジスタ (オフセット = 4h) [リセット = 00000000h]

図 19-120 に、TARGET を示し、表 19-138 に、その説明を示します。

概略表に戻ります。

ターゲット
ユーザ定義カウンタ ターゲット。

図 19-120. TARGET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-138. TARGET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	16 ビットのユーザ定義カウンタ ターゲット値で、CTL.TARGET_EN によって選択された場合に使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.3 SHDWTARGET レジスタ (オフセット = 8h) [リセット = 00000000h]

SHDWTARGET は図 19-121 に示されており、表 19-139 で説明されています。

概略表に戻ります。

シャドウ ターゲット

図 19-121. SHDWTARGET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-139. SHDWTARGET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	次のカウンタ周期の目標値。 CNTR.VALUE が 0 になると、タイマは VALUE を TARGET.VALUE にコピーします。タイマを再起動してもコピーは実行されません。 これは、周期が変化する PWM アプリケーションにおいて周期ジッタを回避するために有用であり、フェーズ補正 PWM と呼ばれることもあります。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.4 CNTR レジスタ (オフセット = Ch) [リセット = 00000000h]

図 19-122 に、CNTR を示し、表 19-140 に、その説明を示します。

概略表に戻ります。

カウンタ

図 19-122. CNTR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-140. CNTR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	16 ビットの電流のカウンタ値。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.5 PRECFG レジスタ (オフセット = 10h) [リセット = 00000000h]

図 19-123 に、PRECFG を示し、表 19-141 に、その説明を示します。

概略表に戻ります。

クロック プリスケーラ構成

図 19-123. PRECFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								CLKDIV							
R-0h																								R/W-0h							

表 19-141. PRECFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	CLKDIV	R/W	0h	クロックの分周。 CLKDIV は、カウンタ、同期、およびタイマ イベント更新に使用されるタイマ クロック周波数を決定します。タイマのクロック周波数は、AUX_SYSIF:TIMER2CLKCTL.SRC で選択されたクロックを (CLKDIV + 1) で除算した値になります。この逆数がタイマ クロック周期になります。 0x00：1 分周。 0x01：2 分周。 ... 0xFF：256 分周。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.6 EVCTL レジスタ (オフセット = 14h) [リセット = 00000000h]

図 19-124 に、EVCTL を示し、表 19-142 に、その説明を示します。

概略表に戻ります。

イベントコントロール
個々のイベントを手動でセットおよびクリアします。イベントの手動更新は、同じイベントに対するチャネルの自動更新よりも優先されます。同じイベントを同時にセットおよびクリアすることはできません。そのような要求は無視されます。
イベントは、各チャネルによって自動的にクリア、セット、トグル、またはパルス出力することができ、以下に優先順位の高い順で示します。複数のチャネルが同時にイベントを更新しようとする場合、最も高い優先度のアクションが実行されます。
四つのイベントは、非同期 AUX イベント バスに接続されます:
- イベント 0 は AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 に接続されています。
- イベント 1 は AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 に接続されています。
- イベント 2 は AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 に接続されています。
- イベント 3 は AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 に接続されています。

図 19-124. EVCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
EV3_SET	EV3_CLR	EV2_SET	EV2_CLR	EV1_SET	EV1_CLR	EV0_SET	EV0_CLR
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 19-142. EVCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	EV3_SET	W	0h	イベント 3 を設定します。 イベント 3 を設定するには 1 を書き込みます。
6	EV3_CLR	W	0h	イベント 3 をクリアします。 イベント 3 をクリアするには、1 を書き込みます。
5	EV2_SET	W	0h	イベント 2 を設定します。 イベント 2 を設定するには 1 を書き込みます。
4	EV2_CLR	W	0h	イベント 2 をクリアします。 イベント 2 をクリアするには、1 を書き込みます。
3	EV1_SET	W	0h	イベント 1 を設定します。 イベント 1 を設定するには 1 を書き込みます。
2	EV1_CLR	W	0h	イベント 1 をクリアします。 イベント 1 をクリアするには、1 を書き込みます。
1	EV0_SET	W	0h	イベント 0 を設定します。 イベント 0 を設定するには 1 を書き込みます。
0	EV0_CLR	W	0h	イベント 0 をクリアします。 イベント 0 をクリアするには、1 を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.7 PULSETRIG レジスタ (オフセット = 18h) [リセット = 00000000h]

PULSETRIG は図 19-125 に示されており、表 19-143 で説明されています。

概略表に戻ります。

パルス トリガ

図 19-125. PULSETRIG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG
R-0h							W-0h

表 19-143. PULSETRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	TRIG	W	0h	パルス トリガ。 AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE にパルスを生成するには、1 を書き込みます。パルス幅は AUX_SYSIF:TIMER2CLKCTL.SRC のデューティ比に等しくなります。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.8 CH0EVCFG レジスタ (オフセット = 80h) [リセット = 00000000h]

図 19-126 に、CH0EVCFG を示し、表 19-144 に、その説明を示します。

概略表に戻ります。

チャネル 0 イベント構成
このレジスタは、チャネル機能を設定し、イベント出力を有効にします。
各チャネルには、メモリ付きエッジ検出回路があります。この回路は次のとおりです:
- CCACT がキャプチャ機能を選択しており、かつ CTL.MODE が DIS でない場合に有効です。
- CCACT がキャプチャ機能を選択しており、CTL.MODE を DIS から別のモードに変更した場合にフラッシュされます。
フラッシュ動作には、二クロック周期分の AUX_SYSIF:TIMER2CLKCTL.SRC クロックが使用されます。これにより、エッジ検出回路に保持されている古い信号値によって発生するキャプチャ イベントを防止します。

図 19-126. CH0EVCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
EV3_GEN	EV2_GEN	EV1_GEN	EV0_GEN	CCACT			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

表 19-144. CH0EVCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	EV3_GEN	R/W	0h	イベント 3 を有効にします。 0:チャネル 0 はイベント 3 を制御しません。 1:チャネル 0 はイベント 3 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV3_GEN はゼロになります。
6	EV2_GEN	R/W	0h	イベント 2 を有効にします。 0:チャネル 0 はイベント 2 を制御しません。 1:チャネル 0 はイベント 2 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV2_GEN はゼロになります。
5	EV1_GEN	R/W	0h	イベント 1 を有効にします。 0:チャネル 0 はイベント 1 を制御しません。 1:チャネル 0 はイベント 1 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV1_GEN はゼロになります。
4	EV0_GEN	R/W	0h	イベント 0 を有効にします。 0:チャネル 0 はイベント 0 を制御しません。 1:チャネル 0 はイベント 0 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV0_GEN はゼロになります。

Copyright © 2026 Texas Instruments Incorporated

表 19-144. CH0EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	CCACT	R/W	0h	キャプチャ - 比較アクション。 キャプチャ - 比較動作は、キャプチャ、比較、およびゼロ イベントを利用する 15 種類のチャネル機能を定義します。 0h = チャネルを無効化します。 1h = キャプチャ時に設定してからチャネルを無効化します。 チャネル機能シーケンス: - キャプチャ イベント発生時に有効なイベントをセットし、CNTR.VALUE を CH0CC.VALUE にコピーします。 - チャネルを無効化します。 主な使用シナリオは、タイマを開始する前にこの機能を選択することです。CTL.MODE が DIS 以外の状態でこの機能を選択する必要がある場合は、以下の手順に従ってください: - イベントを有効化せずに、CCACT を SET_ON_CAPT に設定します。 - CH0CCFG を設定します (オプション)。 - CCACT を SET_ON_CAPT_DIS に設定する前に、PRECFG で定義された三クロック周期分待ちます。イベント イネーブルはオプションです。これらの手順により、エッジ検出回路に残っている古い信号値によって発生するキャプチャ イベントを防止できます。 2h = ゼロ イベントでクリアし、比較イベントでトグルした後、チャネルを無効にします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のとき、有効なイベントをクリアします。 - CH0CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 CH0CC.VALUE = 0 かつ CNTR.VALUE = 0 のとき、有効化されているイベントがセットされます。 3h = ゼロに設定し、比較時に繰り返しトグルしてから、チャネルを無効化します。 チャネル機能シーケンス: - CNTR.VALUE = 0 のときに有効なイベントを設定します。 - CH0CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 CH0CC.VALUE = 0 および CNTR.VALUE = 0 のとき、有効なイベントはクリアされます。 4h = 比較イベントでクリアした後、チャネルを無効化します。 チャネル機能シーケンス: - CH0CC.VALUE = CNTR.VALUE のとき、有効化されているイベントをクリアします。 - チャネルを無効化します。 5h = 比較時に設定してからチャネルを無効化します。 チャネル機能シーケンス: - CH0CC.VALUE = CNTR.VALUE のとき、有効化されているイベントを設定します。 - チャネルを無効化します。 6h = 比較時にトグルし、チャネルを無効化します。 チャネル機能シーケンス: - CH0CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 7h = 比較イベントでパルスを出力した後、チャネルを無効化します。 チャネル機能シーケンス: - CH0CC.VALUE = CNTR.VALUE のとき、有効化されているイベントにパルスを出力します。 - チャネルを無効化します。 イベントは二回のタイマ クロック周期の間 High になります。 8h = 周期およびパルス幅の測定。 CH0CCFG.CAPT_SRC で選択された信号の周期およびパルス幅を、CH0CCFG.EDGE で指定された信号エッジを基準として連続的にキャプチャします。

Copyright © 2026 Texas Instruments Incorporated

表 19-144. CH0EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				CH0CC.VALUE に信号周期が格納され、CH0PCC.VALUE に信号パルス幅が格納されたとき、有効化されているイベントをセットします。 注: - CTL.MODE が DIS のときに CH0CCFG.CAPT_SRC と CCACT を設定し、その後 CTL.MODE を UP_ONCE または UP_PER に設定します。 - CH0CC.VALUE に信号周期が格納されると、カウンタは選択されているタイマ モードで再スタートします。 - 複数のチャネルがこの機能を使用する場合、チャネルは順番にこの機能を実行します。番号が最も小さいチャネルは優先され、最初に機能を実行します。現在の測定が正常に完了するかタイムアウトすると、次の測定が開始されます。カウンタが目標と一致すると、タイムアウトが発生します。 - タイムアウト イベントを検出する必要がある場合は、別のチャネルを SET_ON_CAPT に設定します。 信号特性要件: - 信号周期 >= 2 * (1 + PRECFG.CLKDIV) * タイマ クロック周期。 - 信号周期 <= 65535 * (1 + PRECFG.CLKDIV) * タイマ クロック周期。 - 信号 Low および High 位相 >= (1 + PRECFG.CLKDIV) * タイマ クロック周期。 9h = キャプチャ時に繰り返し設定します。 チャネル機能シーケンス: - キャプチャ イベント発生時に有効なイベントをセットし、CNTR.VALUE を CH0CC.VALUE にコピーします。 主な使用シナリオは、タイマを開始する前にこの機能を選択することです。CTL.MODE が DIS 以外の状態でこの機能を選択する必要がある場合は、以下の手順に従ってください: - イベントが有効になっていない状態でこの機能を選択します。 - CH0CCFG を設定します (オプション)。 - イベントを有効にする前に、PRECFG で定義された三回のタイマ クロック周期分待ちます。 これらの手順により、エッジ検出回路に残っている古い信号値によって発生するキャプチャ イベントを防止できます。 Ah = ゼロでクリアし、比較時に繰り返しトグルします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のとき、有効なイベントをクリアします。 - CH0CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 センター整列 PWM を生成するには、CTL.MODE を UPDWN_PER に設定します。デューティ サイクルは次の式で求められます: CH0CC.VALUE <= TARGET.VALUE の場合: デューティ サイクル = 1 – (CH0CC.VALUE/TARGET.VALUE)。 CH0CC.VALUE > TARGET.VALUE の場合: デューティ サイクル = 0。 CH0CC.VALUE = 0 かつ CNTR.VALUE = 0 のとき、有効化されているイベントがセットされます。 Bh = ゼロに設定し、比較時に繰り返しトグルします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のときに有効なイベントを設定します。 - CH0CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 エッジ整列 PWM 生成のために、CTL.MODE を UP_PER に設定します。デューティ サイクルは次の式で求められます: CH0CC.VALUE <= TARGET.VALUE の場合: デューティ サイクル = CH0CC.VALUE / (TARGET.VALUE + 1)。 CH0CC.VALUE > TARGET.VALUE の場合: デューティ サイクル = 1。 CH0CC.VALUE = 0 および CNTR.VALUE = 0 のとき、有効なイベントはクリアされます。 Ch = 比較時に繰り返しクリアします。 チャネル機能シーケンス: - CH0CC.VALUE = CNTR.VALUE のとき、有効化されているイベントをクリアします。

Copyright © 2026 Texas Instruments Incorporated

表 19-144. CH0EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				Dh = 比較時に繰り返し設定します。 チャネル機能シーケンス: - CH0CC.VALUE = CNTR.VALUE のとき、有効化されているイベントを設定します。 Eh = 比較時に繰り返しトグルします。 チャネル機能シーケンス: - CH0CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 Fh = 比較イベントで繰り返しパルスを出力します。 チャネル機能シーケンス: - CH0CC.VALUE = CNTR.VALUE のとき、有効化されているイベントにパルスを出力します。 イベントは二回のタイマ クロック周期の間 High になります。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.9 CH0CCFG レジスタ (オフセット = 84h) [リセット = 00000000h]

図 19-127 に、CH0CCFG を示し、表 19-145 に、その説明を示します。

概略表に戻ります。

チャネル 0 キャプチャ構成

図 19-127. CH0CCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	CAPT_SRC						EDGE
R-0h	R/W-0h						R/W-0h

表 19-145. CH0CCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 19-145. CH0CCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-1	CAPT_SRC	R/W	0h	非同期 AUX イベント バスからキャプチャ信号ソースを選択します。 選択した信号がエッジ検出回路に入ります。誤ったキャプチャ イベントが発生する場合: - エッジ検出回路に古い信号サンプルが残っており、CH0EVCFG で説明されているようにフラッシュせずに回路が有効化された場合 - このレジスタが CTL.MODE が DIS でない状態で再設定された場合。 誤ったキャプチャ イベントの発生を回避できます。必要なチャネル機能が次のようになった場合: - SET_ON_CAPT_DIS: CH0EVCFG.CCACT にある SET_ON_CAPT_DIS の説明を参照してください。 - SET_ON_CAPT: CH0EVCFG.CCACT にある SET_ON_CAPT の説明を参照してください。 - PER_PULSE_WIDTH_MEAS: CH0EVCFG.CCACT にある PER_PULSE_WIDTH_MEAS の説明を参照してください。 列挙されていない値を書き込む場合、動作は NO_EVENT と同じです。 書き込まれた値は、読み取るとそのまま返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB

Copyright © 2026 Texas Instruments Incorporated

表 19-145. CH0CCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。
0	EDGE	R/W	0h	エッジ構成。 チャネルは、CAPT_SRC で選択された信号ソースの指定エッジでカウンタ値をキャプチャします。CH0EVCFG.CCACT を参照。 0h = CAPT_SRC の立ち下がりエッジで CNTR.VALUE をキャプチャします。 1h = CAPT_SRC の立ち上がりエッジで CNTR.VALUE をキャプチャします。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.10 CH0PCC レジスタ (オフセット = 88h) [リセット = 00000000h]

図 19-128 に、CH0PCC を示し、表 19-146 に、その説明を示します。

概略表に戻ります。

チャネル 0 パイプライン キャプチャ比較

図 19-128. CH0PCC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-146. CH0PCC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	パイプライン キャプチャ比較値。 16 ビットのユーザ定義パイプライン比較値、またはチャネルによって更新されたキャプチャ値。 比較モード: VALUE の更新は、次回 CNTR.VALUE がゼロかつ CTL.MODE が DIS でないときに CH0CC.VALUE に転送されます。これは PWM 生成に有用であり、生成される信号のエッジにおけるジッタを防止します。 キャプチャ モード: CH0EVCFG.CCACT が PER_PULSE_WIDTH_MEAS の場合、VALUE には選択された信号の Low または High 期間の幅が格納されます。これは CH0CCFG.EDGE および CH0CCFG.CAPT_SRC で指定されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.11 CH0CC レジスタ (オフセット = 8Ch) [リセット = 00000000h]

図 19-129 に、CH0CC を示し、表 19-147 に、その説明を示します。

概略表に戻ります。

チャネル 0 キャプチャ比較

図 19-129. CH0CC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-147. CH0CC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	比較値をキャプチャします。 16 ビットのユーザ定義コンペア値、またはチャネルによって更新されたキャプチャ値。 比較モード: 値が CNTR.VALUE と比較され、これらが等しい場合、CH0EVCFG.CCACT で指定されたようにイベントが生成されます。 キャプチャ モード: キャプチャ イベントが発生すると、現在のカウンタ値が VALUE に格納されます。CH0EVCFG.CCACT は、値が信号周期か通常のキャプチャ値かを決定します。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.12 CH1EVCFG レジスタ (オフセット = 90h) [リセット = 00000000h]

図 19-130 に、CH1EVCFG を示し、表 19-148 に、その説明を示します。

概略表に戻ります。

チャネル 1 イベント構成
このレジスタは、チャネル機能を設定し、イベント出力を有効にします。
各チャネルには、メモリ付きエッジ検出回路があります。この回路は次のとおりです:
- CCACT がキャプチャ機能を選択しており、かつ CTL.MODE が DIS でない場合に有効です。
- CCACT がキャプチャ機能を選択しており、CTL.MODE を DIS から別のモードに変更した場合にフラッシュされます。
フラッシュ動作には、二クロック周期分の AUX_SYSIF:TIMER2CLKCTL.SRC クロックが使用されます。これにより、エッジ検出回路に保持されている古い信号値によって発生するキャプチャ イベントを防止します。

図 19-130. CH1EVCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
EV3_GEN	EV2_GEN	EV1_GEN	EV0_GEN	CCACT			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

表 19-148. CH1EVCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	EV3_GEN	R/W	0h	イベント 3 を有効にします。 0:チャネル 1 はイベント 3 を制御しません。 1:チャネル 1 はイベント 3 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV3_GEN はゼロになります。
6	EV2_GEN	R/W	0h	イベント 2 を有効にします。 0:チャネル 1 はイベント 2 を制御しません。 1:チャネル 1 はイベント 2 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV2_GEN はゼロになります。
5	EV1_GEN	R/W	0h	イベント 1 を有効にします。 0:チャネル 1 はイベント 1 を制御しません。 1:チャネル 1 はイベント 1 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV1_GEN はゼロになります。
4	EV0_GEN	R/W	0h	イベント 0 を有効にします。 0:チャネル 1 はイベント 0 を制御しません。 1:チャネル 1 はイベント 0 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV0_GEN はゼロになります。

Copyright © 2026 Texas Instruments Incorporated

表 19-148. CH1EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	CCACT	R/W	0h	キャプチャ - 比較アクション。 キャプチャ - 比較動作は、キャプチャ、比較、およびゼロ イベントを利用する 15 種類のチャネル機能を定義します。 0h = チャネルを無効化します。 1h = キャプチャ時に設定してからチャネルを無効化します。 チャネル機能シーケンス: - キャプチャ イベント発生時に有効なイベントをセットし、CNTR.VALUE を CH1CC.VALUE にコピーします。 - チャネルを無効化します。 主な使用シナリオは、タイマを開始する前にこの機能を選択することです。CTL.MODE が DIS 以外の状態でこの機能を選択する必要がある場合は、以下の手順に従ってください: - イベントを有効化せずに、CCACT を SET_ON_CAPT に設定します。 - CH1CCFG を設定します (オプション)。 - CCACT を SET_ON_CAPT_DIS に設定する前に、PRECFG で定義された三クロック周期分待ちます。イベント イネーブルはオプションです。これらの手順により、エッジ検出回路に残っている古い信号値によって発生するキャプチャ イベントを防止できます。 2h = ゼロ イベントでクリアし、比較イベントでトグルした後、チャネルを無効にします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のとき、有効なイベントをクリアします。 - CH1CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 CH1CC.VALUE = 0 かつ CNTR.VALUE = 0 のとき、有効化されているイベントがセットされます。 3h = ゼロに設定し、比較時に繰り返しトグルしてから、チャネルを無効化します。 チャネル機能シーケンス: - CNTR.VALUE = 0 のときに有効なイベントを設定します。 - CH1CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 CH1CC.VALUE = 0 および CNTR.VALUE = 0 のとき、有効なイベントはクリアされます。 4h = 比較イベントでクリアした後、チャネルを無効化します。 チャネル機能シーケンス: - CH1CC.VALUE = CNTR.VALUE のとき、有効化されているイベントをクリアします。 - チャネルを無効化します。 5h = 比較時に設定してからチャネルを無効化します。 チャネル機能シーケンス: - CH1CC.VALUE = CNTR.VALUE のとき、有効化されているイベントを設定します。 - チャネルを無効化します。 6h = 比較時にトグルし、チャネルを無効化します。 チャネル機能シーケンス: - CH1CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 7h = 比較イベントでパルスを出力した後、チャネルを無効化します。 チャネル機能シーケンス: - CH1CC.VALUE = CNTR.VALUE のとき、有効化されているイベントにパルスを出力します。 - チャネルを無効化します。 イベントは二回のタイマ クロック周期の間 High になります。 8h = 周期およびパルス幅の測定。 CH1CCFG.CAPT_SRC で選択された信号の周期およびパルス幅を、CH1CCFG.EDGE で指定された信号エッジを基準として連続的にキャプチャします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-148. CH1EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				CH1CC.VALUE に信号周期が格納され、CH1PCC.VALUE に信号パルス幅が格納されたとき、有効化されているイベントをセットします。 注: - CTL.MODE が DIS の状態で CH1CCFG.CAPT_SRC および CCACT を設定し、その後 CTL.MODE を UP_ONCE または UP_PER に設定します。 - CH1CC.VALUE に信号周期が格納されると、カウンタは選択されているタイマ モードで再スタートします。 - 複数のチャネルがこの機能を使用する場合、チャネルは順番にこの機能を実行します。番号が最も小さいチャネルは優先され、最初に機能を実行します。現在の測定が正常に完了するかタイムアウトすると、次の測定が開始されます。カウンタが目標と一致すると、タイムアウトが発生します。 - タイムアウト イベントを検出する必要がある場合は、別のチャネルを SET_ON_CAPT に設定します。 信号特性要件: - 信号周期 >= 2 * (1 + PRECFG.CLKDIV) * タイマ クロック周期。 - 信号周期 <= 65535 * (1 + PRECFG.CLKDIV) * タイマ クロック周期。 - 信号 Low および High 位相 >= (1 + PRECFG.CLKDIV) * タイマ クロック周期。 9h = キャプチャ時に繰り返し設定します。 チャネル機能シーケンス: - キャプチャ イベント発生時に有効なイベントをセットし、CNTR.VALUE を CH1CC.VALUE にコピーします。 主な使用シナリオは、タイマを開始する前にこの機能を選択することです。CTL.MODE が DIS 以外の状態でこの機能を選択する必要がある場合は、以下の手順に従ってください: - イベントが有効になっていない状態でこの機能を選択します。 - CH1CCFG を設定します (オプション)。 - イベントを有効にする前に、PRECFG で定義された三回のタイマ クロック周期分待ちます。 これらの手順により、エッジ検出回路に残っている古い信号値によって発生するキャプチャ イベントを防止できます。 Ah = ゼロでクリアし、比較時に繰り返しトグルします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のとき、有効なイベントをクリアします。 - CH1CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 センター整列 PWM を生成するには、CTL.MODE を UPDWN_PER に設定します。デューティ サイクルは次の式で求められます: CH1CC.VALUE <= TARGET.VALUE の場合: デューティ サイクル = 1 – (CH1CC.VALUE/TARGET.VALUE)。 CH1CC.VALUE > TARGET.VALUE の場合: デューティ サイクル = 0。 CH1CC.VALUE = 0 かつ CNTR.VALUE = 0 のとき、有効化されているイベントがセットされます。 Bh = ゼロに設定し、比較時に繰り返しトグルします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のときに有効なイベントを設定します。 - CH1CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 エッジ整列 PWM 生成のために、CTL.MODE を UP_PER に設定します。デューティ サイクルは次の式で求められます: CH1CC.VALUE <= TARGET.VALUE の場合: デューティ サイクル = CH1CC.VALUE / (TARGET.VALUE + 1)。 CH1CC.VALUE > TARGET.VALUE の場合: デューティ サイクル = 1。 CH1CC.VALUE = 0 および CNTR.VALUE = 0 のとき、有効なイベントはクリアされます。 Ch = 比較時に繰り返しクリアします。 チャネル機能シーケンス: - CH1CC.VALUE = CNTR.VALUE のとき、有効化されているイベントをクリアします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-148. CH1EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				Dh = 比較時に繰り返し設定します。 チャネル機能シーケンス: - CH1CC.VALUE = CNTR.VALUE のとき、有効化されているイベントを設定します。 Eh = 比較時に繰り返しトグルします。 チャネル機能シーケンス: - CH1CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 Fh = 比較イベントで繰り返しパルスを出力します。 チャネル機能シーケンス: - CH1CC.VALUE = CNTR.VALUE のとき、有効化されているイベントにパルスを出力します。 イベントは二回のタイマ クロック周期の間 High になります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.7.13 CH1CCFG レジスタ (オフセット = 94h) [リセット = 00000000h]

図 19-131 に、CH1CCFG を示し、表 19-149 に、その説明を示します。

概略表に戻ります。

チャネル 1 キャプチャ構成

図 19-131. CH1CCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	CAPT_SRC						EDGE
R-0h	R/W-0h						R/W-0h

表 19-149. CH1CCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 19-149. CH1CCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-1	CAPT_SRC	R/W	0h	非同期 AUX イベント バスからキャプチャ信号ソースを選択します。 選択した信号がエッジ検出回路に入ります。誤ったキャプチャ イベントが発生する場合: - エッジ検出回路に古い信号サンプルが残っており、CH1EVCFG で説明されているようにフラッシュせずに回路が有効化された場合 - このレジスタが CTL.MODE が DIS でない状態で再設定された場合。 誤ったキャプチャ イベントの発生を回避できます。必要なチャネル機能が次のようになった場合: - SET_ON_CAPT_DIS: CH1EVCFG.CCACT にある SET_ON_CAPT_DIS の説明を参照してください。 - SET_ON_CAPT: CH1EVCFG.CCACT にある SET_ON_CAPT の説明を参照してください。 - PER_PULSE_WIDTH_MEAS: CH1EVCFG.CCACT にある PER_PULSE_WIDTH_MEAS の説明を参照してください。 列挙されていない値を書き込む場合、動作は NO_EVENT と同じです。 書き込まれた値は、読み取るとそのまま返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB

Copyright © 2026 Texas Instruments Incorporated

表 19-149. CH1CCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。
0	EDGE	R/W	0h	エッジ構成。 チャネルは、CAPT_SRC で選択された信号ソースの指定エッジでカウンタ値をキャプチャします。CH1EVCFG.CCACT を参照。 0h = CAPT_SRC の立ち下がりエッジで CNTR.VALUE をキャプチャします。 1h = CAPT_SRC の立ち上がりエッジで CNTR.VALUE をキャプチャします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.7.14 CH1PCC レジスタ (オフセット = 98h) [リセット = 00000000h]

図 19-132 に、CH1PCC を示し、表 19-150 に、その説明を示します。

概略表に戻ります。

チャネル 1 パイプライン キャプチャ比較

図 19-132. CH1PCC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-150. CH1PCC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	パイプライン キャプチャ比較値。 16 ビットのユーザ定義パイプライン比較値、またはチャネルによって更新されたキャプチャ値。 比較モード: VALUE の更新は、次回 CNTR.VALUE がゼロかつ CTL.MODE が DIS でないときに CH1CC.VALUE に転送されます。これは PWM 生成に有用であり、生成される信号のエッジにおけるジッタを防止します。 キャプチャ モード: CH1EVCFG.CCACT が PER_PULSE_WIDTH_MEAS の場合、VALUE には選択された信号の Low または High 期間の幅が格納されます。これは CH1CCFG.EDGE および CH1CCFG.CAPT_SRC で指定されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.15 CH1CC レジスタ (オフセット = 9Ch) [リセット = 00000000h]

図 19-133 に、CH1CC を示し、表 19-151 に、その説明を示します。

概略表に戻ります。

チャネル 1 キャプチャ比較

図 19-133. CH1CC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-151. CH1CC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	比較値をキャプチャします。 16 ビットのユーザ定義コンペア値、またはチャネルによって更新されたキャプチャ値。 比較モード: 値が CNTR.VALUE と比較され、これらが等しい場合、CH1EVCFG.CCACT で指定されたようにイベントが生成されます。 キャプチャ モード: キャプチャ イベントが発生すると、現在のカウンタ値が VALUE に格納されます。CH1EVCFG.CCACT は、値が信号周期か通常のキャプチャ値かを決定します。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.16 CH2EVCFG レジスタ (オフセット = A0h) [リセット = 00000000h]

図 19-134 に、CH2EVCFG を示し、表 19-152 に、その説明を示します。

概略表に戻ります。

チャネル 2 イベント構成
このレジスタは、チャネル機能を設定し、イベント出力を有効にします。
各チャネルには、メモリ付きエッジ検出回路があります。この回路は次のとおりです:
- CCACT がキャプチャ機能を選択しており、かつ CTL.MODE が DIS でない場合に有効です。
- CCACT がキャプチャ機能を選択しており、CTL.MODE を DIS から別のモードに変更した場合にフラッシュされます。
フラッシュ動作には、二クロック周期分の AUX_SYSIF:TIMER2CLKCTL.SRC クロックが使用されます。これにより、エッジ検出回路に保持されている古い信号値によって発生するキャプチャ イベントを防止します。

図 19-134. CH2EVCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
EV3_GEN	EV2_GEN	EV1_GEN	EV0_GEN	CCACT			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

表 19-152. CH2EVCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	EV3_GEN	R/W	0h	イベント 3 を有効にします。 0:チャネル 2 はイベント 3 を制御しません。 1:チャネル 2 はイベント 3 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV3_GEN はゼロになります。
6	EV2_GEN	R/W	0h	イベント 2 を有効にします。 0:チャネル 2 はイベント 2 を制御しません。 1:チャネル 2 はイベント 2 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV2_GEN はゼロになります。
5	EV1_GEN	R/W	0h	イベント 1 を有効にします。 0:チャネル 2 はイベント 1 を制御しません。 1:チャネル 2 はイベント 1 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV1_GEN はゼロになります。
4	EV0_GEN	R/W	0h	イベント 0 を有効にします。 0:チャネル 2 はイベント 0 を制御しません。 1:チャネル 2 はイベント 0 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV0_GEN はゼロになります。

Copyright © 2026 Texas Instruments Incorporated

表 19-152. CH2EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	CCACT	R/W	0h	キャプチャ - 比較アクション。 キャプチャ - 比較動作は、キャプチャ、比較、およびゼロ イベントを利用する 15 種類のチャネル機能を定義します。 0h = チャネルを無効化します。 1h = キャプチャ時に設定してからチャネルを無効化します。 チャネル機能シーケンス: - キャプチャ イベント発生時に有効なイベントをセットし、CNTR.VALUE を CH2CC.VALUE にコピーします。 - チャネルを無効化します。 主な使用シナリオは、タイマを開始する前にこの機能を選択することです。CTL.MODE が DIS 以外の状態でこの機能を選択する必要がある場合は、以下の手順に従ってください: - イベントを有効化せずに SET_ON_CAPT に設定します。 - CH2CCFG を設定します (オプション)。 - SET_ON_CAPT_DIS に設定する前に、PRECFG で定義された三回のクロック周期分待ちます。イベント イネーブルはオプションです。 これらの手順により、エッジ検出回路に残っている古い信号値によって発生するキャプチャ イベントを防止できます。 2h = ゼロ イベントでクリアし、比較イベントでトグルした後、チャネルを無効にします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のとき、有効なイベントをクリアします。 - CH2CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 CH2CC.VALUE = 0 かつ CNTR.VALUE = 0 のとき、有効化されているイベントがセットされます。 3h = ゼロに設定し、比較時に繰り返しトグルしてから、チャネルを無効化します。 チャネル機能シーケンス: - CNTR.VALUE = 0 のときに有効なイベントを設定します。 - CH2CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 CH2CC.VALUE = 0 および CNTR.VALUE = 0 のとき、有効なイベントはクリアされます。 4h = 比較イベントでクリアした後、チャネルを無効化します。 チャネル機能シーケンス: - CH2CC.VALUE = CNTR.VALUE のとき、有効化されているイベントをクリアします。 - チャネルを無効化します。 5h = 比較時に設定してからチャネルを無効化します。 チャネル機能シーケンス: - CH2CC.VALUE = CNTR.VALUE のとき、有効化されているイベントを設定します。 - チャネルを無効化します。 6h = 比較時にトグルし、チャネルを無効化します。 チャネル機能シーケンス: - CH2CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 7h = 比較イベントでパルスを出力した後、チャネルを無効化します。 チャネル機能シーケンス: - CH2CC.VALUE = CNTR.VALUE のとき、有効化されているイベントにパルスを出力します。 - チャネルを無効化します。 イベントは二回のタイマ クロック周期の間 High になります。 8h = 周期およびパルス幅の測定。 CH2CCFG.CAPT_SRC で選択された信号の周期およびパルス幅を、CH2CCFG.EDGE で指定された信号エッジを基準として連続的にキャプチャします。

Copyright © 2026 Texas Instruments Incorporated

表 19-152. CH2EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				CH2CC.VALUE に信号周期が格納され、CH2PCC.VALUE に信号パルス幅が格納されたとき、有効化されているイベントをセットします。 注: - CTL.MODE が DIS の状態で CH2CCFG.CAPT_SRC および CCACT を設定し、その後 CTL.MODE を UP_ONCE または UP_PER に設定します。 - CH2CC.VALUE に信号周期が格納されると、カウンタは選択されているタイマ モードで再スタートします。 - 複数のチャネルがこの機能を使用する場合、チャネルは順番にこの機能を実行します。番号が最も小さいチャネルは優先され、最初に機能を実行します。現在の測定が正常に完了するかタイムアウトすると、次の測定が開始されます。カウンタが目標と一致すると、タイムアウトが発生します。 - タイムアウト イベントを検出する必要がある場合は、別のチャネルを SET_ON_CAPT に設定します。 信号特性要件: - 信号周期 >= 2 * (1 + PRECFG.CLKDIV) * タイマ クロック周期。 - 信号周期 <= 65535 * (1 + PRECFG.CLKDIV) * タイマ クロック周期。 - 信号 Low および High 位相 >= (1 + PRECFG.CLKDIV) * タイマ クロック周期。 9h = キャプチャ時に繰り返し設定します。 チャネル機能シーケンス: - キャプチャ イベント発生時に有効なイベントをセットし、CNTR.VALUE を CH2CC.VALUE にコピーします。 主な使用シナリオは、タイマを開始する前にこの機能を選択することです。CTL.MODE が DIS 以外の状態でこの機能を選択する必要がある場合は、以下の手順に従ってください: - イベントが有効になっていない状態でこの機能を選択します。 - CH2CCFG を設定します (オプション)。 - イベントを有効にする前に、PRECFG で定義された三回のタイマ クロック周期分待ちます。 これらの手順により、エッジ検出回路に残っている古い信号値によって発生するキャプチャ イベントを防止できます。 Ah = ゼロでクリアし、比較時に繰り返しトグルします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のとき、有効なイベントをクリアします。 - CH2CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 センター整列 PWM を生成するには、CTL.MODE を UPDWN_PER に設定します。デューティ サイクルは次の式で求められます: CH2CC.VALUE <= TARGET.VALUE の場合: デューティ サイクル = 1 – (CH2CC.VALUE/TARGET.VALUE)。 CH2CC.VALUE > TARGET.VALUE の場合: デューティ サイクル = 0。 CH2CC.VALUE = 0 かつ CNTR.VALUE = 0 のとき、有効化されているイベントがセットされます。 Bh = ゼロに設定し、比較時に繰り返しトグルします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のときに有効なイベントを設定します。 - CH2CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 エッジ整列 PWM 生成のために、CTL.MODE を UP_PER に設定します。デューティ サイクルは次の式で求められます: CH2CC.VALUE <= TARGET.VALUE の場合: デューティ サイクル = CH2CC.VALUE / (TARGET.VALUE + 1)。 CH2CC.VALUE > TARGET.VALUE の場合: デューティ サイクル = 1。 CH2CC.VALUE = 0 および CNTR.VALUE = 0 のとき、有効なイベントはクリアされます。 Ch = 比較時に繰り返しクリアします。 チャネル機能シーケンス: - CH2CC.VALUE = CNTR.VALUE のとき、有効化されているイベントをクリアします。

Copyright © 2026 Texas Instruments Incorporated

表 19-152. CH2EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				Dh = 比較時に繰り返し設定します。 チャネル機能シーケンス: - CH2CC.VALUE = CNTR.VALUE のとき、有効化されているイベントを設定します。 Eh = 比較時に繰り返しトグルします。 チャネル機能シーケンス: - CH2CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 Fh = 比較イベントで繰り返しパルスを出力します。 チャネル機能シーケンス: - CH2CC.VALUE = CNTR.VALUE のとき、有効化されているイベントにパルスを出力します。 イベントは二回のタイマ クロック周期の間 High になります。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.17 CH2CCFG レジスタ (オフセット = A4h) [リセット = 00000000h]

図 19-135 に、CH2CCFG を示し、表 19-153 に、その説明を示します。

概略表に戻ります。

チャネル 2 キャプチャ構成

図 19-135. CH2CCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	CAPT_SRC						EDGE
R-0h	R/W-0h						R/W-0h

表 19-153. CH2CCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 19-153. CH2CCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-1	CAPT_SRC	R/W	0h	非同期 AUX イベント バスからキャプチャ信号ソースを選択します。 選択した信号がエッジ検出回路に入ります。誤ったキャプチャ イベントが発生する場合: - エッジ検出回路に古い信号サンプルが残っており、CH2EVCFG で説明されているようにフラッシュせずに回路が有効化された場合 - このレジスタが CTL.MODE が DIS でない状態で再設定された場合。 誤ったキャプチャ イベントの発生を回避できます。必要なチャネル機能が次のようになった場合: - SET_ON_CAPT_DIS: CH2EVCFG.CCACT にある SET_ON_CAPT_DIS の説明を参照してください。 - SET_ON_CAPT: CH2EVCFG.CCACT にある SET_ON_CAPT の説明を参照してください。 - PER_PULSE_WIDTH_MEAS: CH2EVCFG.CCACT にある PER_PULSE_WIDTH_MEAS の説明を参照してください。 列挙されていない値を書き込む場合、動作は NO_EVENT と同じです。 書き込まれた値は、読み取るとそのまま返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB

Copyright © 2026 Texas Instruments Incorporated

表 19-153. CH2CCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。
0	EDGE	R/W	0h	エッジ構成。 チャネルは、CAPT_SRC で選択された信号ソースの指定エッジでカウンタ値をキャプチャします。CH2EVCFG.CCACT を参照。 0h = CAPT_SRC の立ち下がりエッジで CNTR.VALUE をキャプチャします。 1h = CAPT_SRC の立ち上がりエッジで CNTR.VALUE をキャプチャします。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.18 CH2PCC レジスタ (オフセット = A8h) [リセット = 00000000h]

図 19-136 に、CH2PCC を示し、表 19-154 に、その説明を示します。

概略表に戻ります。

チャネル 2 パイプライン キャプチャ比較

図 19-136. CH2PCC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-154. CH2PCC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	パイプライン キャプチャ比較値。 16 ビットのユーザ定義パイプライン比較値、またはチャネルによって更新されたキャプチャ値。 比較モード: VALUE の更新は、次回 CNTR.VALUE がゼロかつ CTL.MODE が DIS でないときに CH2CC.VALUE に転送されます。これは PWM 生成に有用であり、生成される信号のエッジにおけるジッタを防止します。 キャプチャ モード: CH2EVCFG.CCACT が PER_PULSE_WIDTH_MEAS の場合、VALUE には選択された信号の Low または High 期間の幅が格納されます。これは、CH2CCFG.EDGE と CH2CCFG.CAPT_SRC で指定されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.19 CH2CC レジスタ (オフセット = ACh) [リセット = 00000000h]

図 19-137 に、CH2CC を示し、表 19-155 に、その説明を示します。

概略表に戻ります。

チャネル 2 キャプチャ比較

図 19-137. CH2CC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-155. CH2CC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	比較値をキャプチャします。 16 ビットのユーザ定義コンペア値、またはチャネルによって更新されたキャプチャ値。 比較モード: 値が CNTR.VALUE と比較され、これらが等しい場合、CH2EVCFG.CCACT で指定されたようにイベントが生成されます。 キャプチャ モード: キャプチャ イベントが発生すると、現在のカウンタ値が VALUE に格納されます。CH2EVCFG.CCACT は、値が信号周期か通常のキャプチャ値かを決定します。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.20 CH3EVCFG レジスタ (オフセット = B0h) [リセット = 00000000h]

図 19-138 に、CH3EVCFG を示し、表 19-156 に、その説明を示します。

概略表に戻ります。

チャネル 3 イベント構成
このレジスタは、チャネル機能を設定し、イベント出力を有効にします。
各チャネルには、メモリ付きエッジ検出回路があります。この回路は次のとおりです:
- CCACT がキャプチャ機能を選択しており、かつ CTL.MODE が DIS でない場合に有効です。
- CCACT がキャプチャ機能を選択しており、CTL.MODE を DIS から別のモードに変更した場合にフラッシュされます。
フラッシュ動作には、二クロック周期分の AUX_SYSIF:TIMER2CLKCTL.SRC クロックが使用されます。これにより、エッジ検出回路に保持されている古い信号値によって発生するキャプチャ イベントを防止します。

図 19-138. CH3EVCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
EV3_GEN	EV2_GEN	EV1_GEN	EV0_GEN	CCACT			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

表 19-156. CH3EVCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	EV3_GEN	R/W	0h	イベント 3 を有効にします。 0:チャネル 3 はイベント 3 を制御しません。 1:チャネル 3 はイベント 3 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV3_GEN はゼロになります。
6	EV2_GEN	R/W	0h	イベント 2 を有効にします。 0:チャネル 3 はイベント 2 を制御しません。 1:チャネル 3 はイベント 2 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV2_GEN はゼロになります。
5	EV1_GEN	R/W	0h	イベント 1 を有効にします。 0:チャネル 3 はイベント 1 を制御しません。 1:チャネル 3 はイベント 1 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV1_GEN はゼロになります。
4	EV0_GEN	R/W	0h	イベント 0 を有効にします。 0:チャネル 3 はイベント 0 を制御しません。 1:チャネル 3 はイベント 0 を制御します。 0 < CCACT < 8 の場合、キャプチャ イベントまたは比較イベントの発生後に EV0_GEN はゼロになります。

Copyright © 2026 Texas Instruments Incorporated

表 19-156. CH3EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	CCACT	R/W	0h	キャプチャ - 比較アクション。 キャプチャ - 比較動作は、キャプチャ、比較、およびゼロ イベントを利用する 15 種類のチャネル機能を定義します。 0h = チャネルを無効化します。 1h = キャプチャ時に設定してからチャネルを無効化します。 チャネル機能シーケンス: - キャプチャ イベント発生時に有効なイベントをセットし、CNTR.VALUE を CH3CC.VALUE にコピーします。 - チャネルを無効化します。 主な使用シナリオは、タイマを開始する前にこの機能を選択することです。CTL.MODE が DIS 以外の状態でこの機能を選択する必要がある場合は、以下の手順に従ってください: - イベントを有効化せずに、CCACT を SET_ON_CAPT に設定します。 - CH3CCFG を設定します (オプション)。 - CCACT を SET_ON_CAPT_DIS に設定する前に、PRECFG で定義された三クロック周期分待ちます。イベント イネーブルはオプションです。これらの手順により、エッジ検出回路に残っている古い信号値によって発生するキャプチャ イベントを防止できます。 2h = ゼロ イベントでクリアし、比較イベントでトグルした後、チャネルを無効にします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のとき、有効なイベントをクリアします。 - CH3CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 CH3CC.VALUE = 0 かつ CNTR.VALUE = 0 のとき、有効化されているイベントがセットされます。 3h = ゼロに設定し、比較時に繰り返しトグルしてから、チャネルを無効化します。 チャネル機能シーケンス: - CNTR.VALUE = 0 のときに有効なイベントを設定します。 - CH3CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 CH3CC.VALUE = 0 および CNTR.VALUE = 0 のとき、有効なイベントはクリアされます。 4h = 比較イベントでクリアした後、チャネルを無効化します。 チャネル機能シーケンス: - CH3CC.VALUE = CNTR.VALUE のとき、有効化されているイベントをクリアします。 - チャネルを無効化します。 5h = 比較時に設定してからチャネルを無効化します。 チャネル機能シーケンス: - CH3CC.VALUE = CNTR.VALUE のとき、有効化されているイベントを設定します。 - チャネルを無効化します。 6h = 比較時にトグルし、チャネルを無効化します。 チャネル機能シーケンス: - CH3CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 - チャネルを無効化します。 7h = 比較イベントでパルスを出力した後、チャネルを無効化します。 チャネル機能シーケンス: - CH3CC.VALUE = CNTR.VALUE のとき、有効化されているイベントにパルスを出力します。 - チャネルを無効化します。 イベントは二回のタイマ クロック周期の間 High になります。 8h = 周期およびパルス幅の測定。 CH3CCFG.CAPT_SRC で選択された信号の周期およびパルス幅を、CH3CCFG.EDGE で指定された信号エッジを基準として連続的にキャプチャします。

Copyright © 2026 Texas Instruments Incorporated

表 19-156. CH3EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				CH3CC.VALUE に信号周期が格納され、CH3PCC.VALUE に信号パルス幅が格納されたとき、有効化されているイベントをセットします。 注: - CTL.MODE が DIS の状態で CH3CCFG.CAPT_SRC および CCACT を設定し、その後 CTL.MODE を UP_ONCE または UP_PER に設定します。 - CH3CC.VALUE に信号周期が格納されると、カウンタは選択されているタイマ モードで再スタートします。 - 複数のチャネルがこの機能を使用する場合、チャネルは順番にこの機能を実行します。番号が最も小さいチャネルは優先され、最初に機能を実行します。現在の測定が正常に完了するかタイムアウトすると、次の測定が開始されます。カウンタが目標と一致すると、タイムアウトが発生します。 - タイムアウト イベントを検出する必要がある場合は、別のチャネルを SET_ON_CAPT に設定します。 信号特性要件: - 信号周期 >= 2 * (1 + PRECFG.CLKDIV) * タイマ クロック周期。 - 信号周期 <= 65535 * (1 + PRECFG.CLKDIV) * タイマ クロック周期。 - 信号 Low および High 位相 >= (1 + PRECFG.CLKDIV) * タイマ クロック周期。 9h = キャプチャ時に繰り返し設定します。 チャネル機能シーケンス: - キャプチャ イベント発生時に有効なイベントをセットし、CNTR.VALUE を CH3CC.VALUE にコピーします。 主な使用シナリオは、タイマを開始する前にこの機能を選択することです。CTL.MODE が DIS 以外の状態でこの機能を選択する必要がある場合は、以下の手順に従ってください: - イベントが有効になっていない状態でこの機能を選択します。 - CH3CCFG を設定します (オプション)。 - イベントを有効にする前に、PRECFG で定義された三回のタイマ クロック周期分待ちます。 これらの手順により、エッジ検出回路に残っている古い信号値によって発生するキャプチャ イベントを防止できます。 Ah = ゼロでクリアし、比較時に繰り返しトグルします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のとき、有効なイベントをクリアします。 - CH3CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 センター整列 PWM を生成するには、CTL.MODE を UPDWN_PER に設定します。デューティ サイクルは次の式で求められます: CH3CC.VALUE <= TARGET.VALUE の場合: デューティ サイクル = 1 – (CH3CC.VALUE/TARGET.VALUE)。 CH3CC.VALUE > TARGET.VALUE の場合: デューティ サイクル = 0。 CH3CC.VALUE = 0 かつ CNTR.VALUE = 0 のとき、有効化されているイベントがセットされます。 Bh = ゼロに設定し、比較時に繰り返しトグルします。 チャネル機能シーケンス: - CNTR.VALUE = 0 のときに有効なイベントを設定します。 - CH3CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 エッジ整列 PWM 生成のために、CTL.MODE を UP_PER に設定します。デューティ サイクルは次の式で求められます: CH3CC.VALUE <= TARGET.VALUE の場合: デューティ サイクル = CH3CC.VALUE / (TARGET.VALUE + 1)。 CH3CC.VALUE > TARGET.VALUE の場合: デューティ サイクル = 1。 CH3CC.VALUE = 0 および CNTR.VALUE = 0 のとき、有効なイベントはクリアされます。 Ch = 比較時に繰り返しクリアします。 チャネル機能シーケンス: - CH3CC.VALUE = CNTR.VALUE のとき、有効化されているイベントをクリアします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-156. CH3EVCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				Dh = 比較時に繰り返し設定します。 チャネル機能シーケンス: - CH3CC.VALUE = CNTR.VALUE のとき、有効化されているイベントを設定します。 Eh = 比較時に繰り返しトグルします。 チャネル機能シーケンス: - CH3CC.VALUE = CNTR.VALUE の場合に有効なイベントを切り替えます。 Fh = 比較イベントで繰り返しパルスを出力します。 チャネル機能シーケンス: - CH3CC.VALUE = CNTR.VALUE のとき、有効化されているイベントにパルスを出力します。 イベントは二回のタイマ クロック周期の間 High になります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.7.21 CH3CCFG レジスタ (オフセット = B4h) [リセット = 00000000h]

図 19-139 に、CH3CCFG を示し、表 19-157 に、その説明を示します。

概略表に戻ります。

チャネル 3 キャプチャ構成

図 19-139. CH3CCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	CAPT_SRC						EDGE
R-0h	R/W-0h						R/W-0h

表 19-157. CH3CCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 19-157. CH3CCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-1	CAPT_SRC	R/W	0h	非同期 AUX イベント バスからキャプチャ信号ソースを選択します。 選択した信号がエッジ検出回路に入ります。誤ったキャプチャ イベントが発生する場合: - エッジ検出回路に古い信号サンプルが残っており、CH3EVCFG で説明されているようにフラッシュせずに回路が有効化された場合 - このレジスタが CTL.MODE が DIS でない状態で再設定された場合。 誤ったキャプチャ イベントの発生を回避できます。必要なチャネル機能: - SET_ON_CAPT_DIS: CH3EVCFG.CCACT にある SET_ON_CAPT_DIS の説明を参照してください。 - SET_ON_CAPT: CH3EVCFG.CCACT にある SET_ON_CAPT の説明を参照してください。 - PER_PULSE_WIDTH_MEAS: CH3EVCFG.CCACT にある PER_PULSE_WIDTH_MEAS の説明を参照してください。 列挙されていない値を書き込む場合、動作は NO_EVENT と同じです。 書き込まれた値は、読み取るとそのまま返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0

Copyright © 2026 Texas Instruments Incorporated

表 19-157. CH3CCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL 3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。
0	EDGE	R/W	0h	エッジ構成。 チャネルは、CAPT_SRC で選択された信号ソースの指定エッジでカウンタ値をキャプチャします。CH3EVCFG.CCACT を参照。 0h = CAPT_SRC の立ち下がりエッジで CNTR.VALUE をキャプチャします。 1h = CAPT_SRC の立ち上がりエッジで CNTR.VALUE をキャプチャします。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.22 CH3PCC レジスタ (オフセット = B8h) [リセット = 00000000h]

図 19-140 に、CH3PCC を示し、表 19-158 に、その説明を示します。

概略表に戻ります。

チャネル 3 パイプライン キャプチャ比較

図 19-140. CH3PCC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-158. CH3PCC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	パイプライン キャプチャ比較値。 16 ビットのユーザ定義パイプライン比較値、またはチャネルによって更新されたキャプチャ値。 比較モード: VALUE の更新は、次回 CNTR.VALUE がゼロかつ CTL.MODE が DIS でないときに CH3CC.VALUE に転送されます。これは PWM 生成に有用であり、生成される信号のエッジにおけるジッタを防止します。 キャプチャ モード: CH3EVCFG.CCACT が PER_PULSE_WIDTH_MEAS の場合、VALUE には選択された信号の Low または High 期間の幅が格納されます。これは CH3CCFG.EDGE および CH3CCFG.CAPT_SRC で指定されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.7.23 CH3CC レジスタ (オフセット = BCh) [リセット = 00000000h]

図 19-141 に、CH3CC を示し、表 19-159 に、その説明を示します。

概略表に戻ります。

チャネル 3 キャプチャ比較

図 19-141. CH3CC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-159. CH3CC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	比較値をキャプチャします。 16 ビットのユーザ定義コンペア値、またはチャネルによって更新されたキャプチャ値。 比較モード: 値が CNTR.VALUE と比較され、これらが等しい場合、CH3EVCFG.CCACT で指定されたようにイベントが生成されます。 キャプチャ モード: キャプチャ イベントが発生すると、現在のカウンタ値が VALUE に格納されます。CH3EVCFG.CCACT は、値が信号周期か通常のキャプチャ値かを決定します。

Copyright © 2026 Texas Instruments Incorporated

19.8.8 AUX_ANAIF レジスタ

表 19-160 に、AUX_ANAIF レジスタのメモリ マップト レジスタを示します。表 19-160 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-160. AUX_ANAIF レジスタ

オフセット	略称	レジスタ名	セクション
10h	ADCCTL	ADC 制御	ADCCTL レジスタ (オフセット = 10h) [リセット = 00003F00h]
14h	ADCFIFOSTAT	ADC FIFO ステータス	ADCFIFOSTAT レジスタ (オフセット = 14h) [リセット = 00000001h]
18h	ADCFIFO	ADC FIFO	ADCFIFO レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	ADCTRIG	ADC トリガ	ADCTRIG レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	ISRCCTL	電流源制御	ISRCCTL レジスタ (オフセット = 20h) [リセット = 00000001h]
30h	DACCTL	DAC 制御	DACCTL レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	LPMBIASCTL	ローパワー モード バイアス制御	LPMBIASCTL レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	DACSMPLCTL	DAC サンプル制御	DACSMPLCTL レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	DACSMPLCFG0	DAC サンプル構成 0	DACSMPLCFG0 レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	DACSMPLCFG1	DAC サンプル構成 1	DACSMPLCFG1 レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	DACVALUE	DAC 値	DACVALUE レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	DACSTAT	DAC のステータス	DACSTAT レジスタ (オフセット = 48h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-161 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-161. AUX_ANAIF アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.8.1 ADCCTL レジスタ (オフセット = 10h) [リセット = 00003F00h]

図 19-142 に、ADCCTL を示し、表 19-162 に、その説明を示します。

概略表に戻ります。

ADC 制御
ADI_4_AUX:ADC0.SMPL_MODE の構成は、ADC トリガがサンプリングと変換のどちらを開始するかを決定します。

図 19-142. ADCCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	START_POL	START_SRC					
R-0h	R/W-0h	R/W-3Fh					
7	6	5	4	3	2	1	0
予約済み						CMD	
R-0h						R/W-0h	

表 19-162. ADCCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	予約済み
14	START_POL	R/W	0h	START_SRC イベントのアクティブ極性を選択します。 0h = イベント ソースの立ち上がりエッジで ADC トリガを設定します。 1h = イベント ソースの立ち下がりエッジで ADC トリガを設定します。

Copyright © 2026 Texas Instruments Incorporated

表 19-162. ADCCTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13-8	START_SRC	R/W	3Fh	非同期 AUX イベント バスから ADC トリガ イベント ソースを選択します。 ADCTRIG.START を介して手動で ADC をトリガする場合は、 START_SRC を NO_EVENT に設定します。 列挙されていない値を書き込む場合は、動作は NO_EVENT と同じです。読み取ると、書き込まれた値が返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。
7-2	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 19-162. ADCCTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	CMD	R/W	0h	ADC インターフェイス コマンド。 列挙されていない値はサポートされていません。読み取ると、書き込まれた値が返されます。 0h = ADC インターフェイスを無効化します。 1h = ADC インターフェイスを有効化します。 3h = ADC FIFO をフラッシュします。 フラッシュ後に CMD を EN または DIS に設定する必要があります。 システム CPU は、CMD を EN または DIS に設定する前に、2 クロック サイクル待機する必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.8.2 ADCFIFOSTAT レジスタ (オフセット = 14h) [リセット = 00000001h]

図 19-143 に、ADCFIFOSTAT を示します。表 19-163 に、その説明を示します。

概略表に戻ります。

ADC FIFO ステータス
FIFO は、最大 4 つの ADC サンプルを保持できます。

図 19-143. ADCFIFOSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			OVERFLOW	UNDERFLOW	完全	ALMOST_FULL	EMPTY
R-0h			R-0h	R-0h	R-0h	R-0h	R-1h

表 19-163. ADCFIFOSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4	OVERFLOW	R	0h	FIFO オーバーフロー フラグ 0:FIFO がオーバーフローしていません。 1:FIFO がオーバーフローしています。FIFO をフラッシュするまで、このフラグはスティッキーになります。 このフラグが設定されると、ADC FIFO 書き込みポインタは静的になります。ADC FIFO にサンプルを追加することはできません。FIFO をフラッシュして、フラグをクリアします。
3	UNDERFLOW	R	0h	FIFO アンダーフロー フラグ 0:FIFO がアンダーフローしていません。 1:FIFO はアンダーフローしています。FIFO をフラッシュするまで、このフラグはスティッキーになります。 このフラグが設定されると、ADC FIFO 読み取りポインタは静的になります。READ は、読み取り前のサンプルを返します。FIFO をフラッシュして、フラグをクリアします。
2	完全	R	0h	FIFO フル フラグ。 0:FIFO がフルで、FIFO にあるサンプルが 4 未満です。 1:FIFO がフルで、FIFO に 4 つのサンプルがあります。 このフラグが設定されると、ADC FIFO にサンプルを追加できません。サンプルを追加しようとすると、OVERFLOW フラグが設定されます。
1	ALMOST_FULL	R	0h	FIFO はほぼフル フラグです。 0:FIFO にあるサンプルが 3 未満か、FIFO がフルです。後者の場合は、FULL フラグもアサートされます。 1:FIFO に 3 つのサンプルがあり、もう 1 つのサンプルのための空きがあります。

Copyright © 2026 Texas Instruments Incorporated

表 19-163. ADCFIFOSTAT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EMPTY	R	1h	FIFO 空フラグ。 0:FIFO に 1 つまたは複数のサンプルがあります。 1:FIFO が空です。 フラグが設定されると、読み取りが読み取り前のサンプルを返し、UNDERFLOW フラグが設定されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.8.3 ADCFIFO レジスタ (オフセット = 18h) [リセット = 00000000h]

図 19-144 に、ADCFIFO を示します。表 19-164 に、その説明を示します。

概略表に戻ります。

ADC FIFO

図 19-144. ADCFIFO レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																				データ											
R-0h																				R/W-0h											

表 19-164. ADCFIFO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11-0	データ	R/W	0h	FIFO データ。 読み取り: FIFO から最も古い ADC サンプルを取得します。 書き込み: ダミー サンプルを FIFO に書き込みます。これは、実際の ADC サンプルがない場合にコード開発に役立ちます。

Copyright © 2026 Texas Instruments Incorporated

19.8.8.4 ADCTRIG レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 19-145 に、ADCTRIG を示します。表 19-165 に、その説明を示します。

概略表に戻ります。

ADC トリガ

図 19-145. ADCTRIG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							START
R-0h							W-0h

表 19-165. ADCTRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	START	W	0h	手動 ADC トリガ。 0:影響なし。 1:シングル ADC トリガ。 イベント駆動型 ADC トリガとの競合を避けるため、ADC を手動でトリガするには、ADCCTL.START_SRC を NO_EVENT に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

19.8.8.5 ISRCCTL レジスタ (オフセット = 20h) [リセット = 00000001h]

図 19-146 に、ISRCCTL を示します。表 19-166 に、その説明を示します。

概略表に戻ります。

電流源制御

図 19-146. ISRCCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							RESET_N
R-0h							R/W-1h

表 19-166. ISRCCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	RESET_N	R/W	1h	ISRC リセット制御。 0:ISRC は 0uA を駆動します。 1:ISRC は電流 ADI_4_AUX:ISRC.TRIM を COMPA_IN に駆動します。

Copyright © 2026 Texas Instruments Incorporated

19.8.8.6 DACCTL レジスタ (オフセット = 30h) [リセット = 00000000h]

図 19-147 に、DACCTL を示し、表 19-167 に、その説明を示します。

概略表に戻ります。

DAC 制御
このレジスタは、DAC のアナログ部品を制御します。

図 19-147. DACCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		DAC_EN	DAC_BUFFER_EN	DAC_PRECHARGE_EN	DAC_VOUT_SEL		
R-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h		

表 19-167. DACCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	DAC_EN	R/W	0h	DAC モジュール イネーブル。 0:DAC を無効化します。 1:DAC を有効化します。 AUX_SYSIF:OPMODEREQ.REQ が PDA に等しい場合、センサ コントローラは DAC を使用してはなりません。 スタンバイ TI-RTOS 電力モードで AUX_SYSIF:OPMODEREQ.REQ が PDA に等しい場合、システム CPU は DAC を使用してはなりません。 アクティブおよびアイドル TI-RTOS 電力モードで DAC を使用するには、システム CPU は AUX_SYSIF:PEROPRATE.ANAIF_DAC_OP_RATE を BUS_RATE に設定する必要があります。
4	DAC_BUFFER_EN	R/W	0h	DAC バッファ イネーブル。 DAC バッファは、プログラミングされた電圧生成に必要な時間を短縮しますが、消費電流が増加します。 0:DAC バッファを無効化します。 1:DAC バッファを有効化します。 DAC_VOUT_SEL が COMPA_IN に等しい場合、バッファを有効化します。 AUX_SYSIF:OPMODEREQ.REQ が PDA または PDLP に等しい場合、バッファを有効化しません。
3	DAC_PRECHARGE_EN	R/W	0h	DAC プリチャージ イネーブル。 ADI_4_AUX:MUX2.DAC_VREF_SEL が DCOUPL に等しく、VDDS が 2.65V を上回っている場合のみ、プリチャージを有効化します 。DAC 出力電圧範囲: 0:0V ～ 1.28V。 1:1.28V ～ 2.56V。 それ以外の場合、DAC 出力電圧範囲については、 ADI_4_AUX:MUX2.DAC_VREF_SEL を参照してください。 DAC とバッファを有効化する前に、プリチャージ 1us を有効化します。

Copyright © 2026 Texas Instruments Incorporated

表 19-167. DACCTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	DAC_VOUT_SEL	R/W	0h	DAC 出力接続。 アナログ ノードには 1 つのドライバしかありません。次のアナログ ノード用のその他のドライバは、[ANATOP_MMAP::ADI_4_AUX:*] に構成されています。 0h = どこにも接続していません DAC_VOUT_SEL を変更する場合は、NC を中間ステップとして使用することを推奨します。 1h = COMPB_REF アナログ ノードに接続します。 コンパレータ B を使用するために必要な設定です。 2h = COMPA_REF アナログ ノードに接続します。 この設定では、COMPA_REF I/O マルチプレクサに接続された外部負荷を駆動することはできません。 4h = COMPA_IN アナログ ノードに接続します。 ADI_4_AUX:MUX1.COMPA_IN で選択された外部負荷を駆動するために必要な設定です。

Copyright © 2026 Texas Instruments Incorporated

19.8.8.7 LPMBIASCTL レジスタ (オフセット = 34h) [リセット = 00000000h]

図 19-148 に、LPMBIASCTL を示します。表 19-168 に、その説明を示します。

概略表に戻ります。

ローパワー モード バイアス制御
ローパワー モード バイアス モジュールは、AUX_SYSIF:OPMODEREQ.REQ が A と異なる場合に、DAC およびコンパレータ A にバイアス電流を供給します。

図 19-148. LPMBIASCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EN
R-0h															R/W-0h

表 19-168. LPMBIASCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN	R/W	0h	モジュール イネーブル。 0:ローパワー モード バイアス モジュールを無効化します。 1:ローパワー モード バイアス モジュールを有効化します。 DAC またはコンパレータ A を有効化する前に、EN を 1 15 us に設定します。

Copyright © 2026 Texas Instruments Incorporated

19.8.8.8 DACSMPLCTL レジスタ (オフセット = 38h) [リセット = 00000000h]

図 19-149 に、DACSMPLCTL を示します。表 19-169 に、その説明を示します。

概略表に戻ります。

DAC サンプル制御
DAC サンプル クロックは、サンプル/ホールド コンデンサに格納されている DAC 電圧を維持します。DAC サンプル クロック波形は、セットアップ位相に続いてホールド位相で構成されます。セットアップ位相では、サンプル/ホールド コンデンサがプログラムされた電圧まで充電されます。ホールド位相は、最小電力で電圧を維持します。
DACSMPLCFG0 および DACSMPLCFG1 は、DAC サンプル クロック波形を構成します。

図 19-149. DACSMPLCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EN
R-0h															R/W-0h

表 19-169. DACSMPLCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN	R/W	0h	DAC サンプル クロック イネーブル。 0:サンプル クロックを無効化します。電流サンプル クロック周期が完了すると、サンプル クロックは Low で停止し、DACSTAT は 0 になります。 1:DAC サンプル クロックを有効化します。サンプル クロックを有効化する前に、DACSTAT を 0 にする必要があります。

Copyright © 2026 Texas Instruments Incorporated

19.8.8.9 DACSMPLCFG0 レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 19-150 に、DACSMPLCFG0 を示し、表 19-170 に、その説明を示します。

概略表に戻ります。

DAC サンプル構成 0

図 19-150. DACSMPLCFG0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										CLKDIV					
R-0h																										R/W-0h					

表 19-170. DACSMPLCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	CLKDIV	R/W	0h	クロック分周。 AUX_SYSIF:PEROPRATE.ANAIF_DAC_OP_RATE を (CLKDIV + 1) で除算した値がサンプル クロック ベース周波数を決定します。 0:1 分周。 1:2 分周。 ... 63:64 分周。

Copyright © 2026 Texas Instruments Incorporated

19.8.8.10 DACSMPLCFG1 レジスタ (オフセット = 40h) [リセット = 00000000h]

図 19-151 に、DACSMPLCFG1 を示し、表 19-171 に、その説明を示します。

概略表に戻ります。

DAC サンプル構成 1
サンプル クロック周期は (High 時間 + Low 時間) * ベース周期と等しくなります。DACSMPLCFG0.CLKDIV はベース周期を決定します。
タイミング要件 (DAC バッファ オン/DAC バッファオフ):
- (High 時間 + Low 時間) * ベース周期 > (4us/1us)
- (High 時間 * ベース周期) > (2us/0.5us)
- (Low 時間 * ベース周期) > (2us/0.5us)
- (Low 時間 * ベース周期 + HOLD_INTERVAL * サンプル クロック周期) < 32us
AUX_SYSIF:OPMODEREQ.REQ が PDLP に等しい場合、以下を設定する必要があります。
- H_PER = L_PER = HOLD_INTERVAL = 0。

図 19-151. DACSMPLCFG1 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	H_PER	L_PER		SETUP_CNT			
R-0h	R/W-0h	R/W-0h		R/W-0h			
7	6	5	4	3	2	1	0
HOLD_INTERVAL							
R/W-0h							

表 19-171. DACSMPLCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	予約済み
14	H_PER	R/W	0h	High 時間。 サンプル クロック周期は、これだけの数のベース周期にわたり High となります。 0:2 周期 1:4 周期
13-12	L_PER	R/W	0h	Low 時間。 サンプル クロック周期は、これだけの数のベース周期にわたり Low となります。 0:1 周期 1:2 周期 2:3 周期 3:4 周期
11-8	SETUP_CNT	R/W	0h	セットアップ カウント。 セットアップ位相中のアクティブ サンプル クロック周期の数。 0:1 サンプル クロック周期 1:2 サンプル クロック周期 ... 15:16 サンプル クロック周期

Copyright © 2026 Texas Instruments Incorporated

表 19-171. DACSMPLCFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	HOLD_INTERVAL	R/W	0h	ホールド間隔。 ホールド位相中の各アクティブ サンプル クロック周期間の非アクティブ サンプル クロック周期の数。非アクティブの場合、サンプル クロックは low になります。 範囲は 0 ～ 255 です。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.8.11 DACVALUE レジスタ (オフセット = 44h) [リセット = 00000000h]

図 19-152 に、DACVALUE を示します。表 19-172 に、その説明を示します。

概略表に戻ります。

DAC 値

図 19-152. DACVALUE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								値							
R-0h																								R/W-0h							

表 19-172. DACVALUE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	値	R/W	0h	DAC 値。 DAC のデジタル データ ワード。 DACCTL.DAC_EN が 0 の場合のみ VALUE を変更します。その後、1us 待ってから、DAC を有効化します。

Copyright © 2026 Texas Instruments Incorporated

19.8.8.12 DACSTAT レジスタ (オフセット = 48h) [リセット = 00000000h]

図 19-153 に、DACSTAT を示します。表 19-173 に、その説明を示します。

概略表に戻ります。

DAC のステータス

図 19-153. DACSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						SETUP_ACTIVE	HOLD_ACTIVE
R-0h						R-0h	R-0h

表 19-173. DACSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SETUP_ACTIVE	R	0h	DAC セットアップ位相ステータス。 0:サンプル クロックが無効、またはセットアップ位相が完了しています。 1:セットアップ位相が進行中です。
0	HOLD_ACTIVE	R	0h	DAC ホールド位相ステータス。 0:サンプル クロックが無効、または DAC がホールド位相にありません。 1:ホールド位相が進行中です。

Copyright © 2026 Texas Instruments Incorporated

19.8.9 AUX_SYSIF レジスタ

AUX_SYSIF レジスタのメモリマップト レジスタを、表 19-174 に示します。表 19-174 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-174. AUX_SYSIF レジスタ

オフセット	略称	レジスタ名	セクション
0h	OPMODEREQ	動作モードの要求	OPMODEREQ レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	OPMODEACK	動作モードのアクノリッジ	OPMODEACK レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	PROGWU0CFG	プログラマブルなウェークアップ 0 構成	PROGWU0CFG レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	PROGWU1CFG	プログラマブルなウェークアップ 1 構成	PROGWU1CFG レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	PROGWU2CFG	プログラマブルなウェークアップ 2 構成	PROGWU2CFG レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	PROGWU3CFG	プログラマブルなウェークアップ 3 構成	PROGWU3CFG レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	SWWUTRIG	ソフトウェアのウェークアップ トリガ	SWWUTRIG レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	WUFLAGS	ウェークアップ フラグ	WUFLAGS レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	WUFLAGSCLR	ウェークアップ フラグのクリア	WUFLAGSCLR レジスタ (オフセット = 20h) [リセット = 0000000Fh]
24h	WUGATE	ウェークアップ ゲート	WUGATE レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	VECCFG0	ベクタ構成 0	VECCFG0 レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	VECCFG1	ベクタ構成 1	VECCFG1 レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	VECCFG2	ベクタ構成 2	VECCFG2 レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	VECCFG3	ベクタ構成 3	VECCFG3 レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	VECCFG4	ベクタ構成 4	VECCFG4 レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	VECCFG5	ベクタ構成 5	VECCFG5 レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	VECCFG6	ベクタ構成 6	VECCFG6 レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	VECCFG7	ベクタ構成 7	VECCFG7 レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	EVSYNCRATE	イベント同期レート	EVSYNCRATE レジスタ (オフセット = 48h) [リセット = 00000000h]
4Ch	PEROPRATE	ペリフェラル動作レート	PEROPRATE レジスタ (オフセット = 4Ch) [リセット = 00000000h]
50h	ADCCLKCTL	ADC クロック制御	ADCCLKCTL レジスタ (オフセット = 50h) [リセット = 00000000h]
54h	TDCCLKCTL	TDC カウンタ クロック制御	TDCCLKCTL レジスタ (オフセット = 54h) [リセット = 00000000h]
58h	TDCREFCLKCTL	TDC リファレンス クロック制御	TDCREFCLKCTL レジスタ (オフセット = 58h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 19-174. AUX_SYSIF レジスタ (続き)

オフセット	略称	レジスタ名	セクション
5Ch	TIMER2CLKCTL	AUX_TIMER2 クロック制御	TIMER2CLKCTL レジスタ (オフセット = 5Ch) [リセット = 00000000h]
60h	TIMER2CLKSTAT	AUX_TIMER2 クロック ステータス	TIMER2CLKSTAT レジスタ (オフセット = 60h) [リセット = 00000000h]
64h	TIMER2CLKSWITCH	AUX_TIMER2 クロック スイッチ	TIMER2CLKSWITCH レジスタ (オフセット = 64h) [リセット = 00000001h]
68h	TIMER2DBGCTL	AUX_TIMER2 デバッグ制御	TIMER2DBGCTL レジスタ (オフセット = 68h) [リセット = 00000000h]
70h	CLKSHIFTDET	クロック シフトの検出	CLKSHIFTDET レジスタ (オフセット = 70h) [リセット = 00000001h]
74h	RECHARGETRIG	VDDR の再充電トリガ	RECHARGETRIG レジスタ (オフセット = 74h) [リセット = 00000000h]
78h	RECHARGEDET	VDDR の再充電検出	RECHARGEDET レジスタ (オフセット = 78h) [リセット = 00000000h]
7Ch	RTCSUBSECINC0	リアルタイム カウンタ サブ秒インクリメント 0	RTCSUBSECINC0 レジスタ (オフセット = 7Ch) [リセット = 00000000h]
80h	RTCSUBSECINC1	リアルタイム カウンタ サブ秒インクリメント 1	RTCSUBSECINC1 レジスタ (オフセット = 80h) [リセット = 00000000h]
84h	RTCSUBSECINCCTL	リアルタイム カウンタ サブ秒インクリメント制御	RTCSUBSECINCCTL レジスタ (オフセット = 84h) [リセット = 00000000h]
88h	RTCSEC	リアルタイム カウンタ秒	RTCSEC レジスタ (オフセット = 88h) [リセット = 00000000h]
8Ch	RTCSUBSEC	リアルタイム カウンタ サブ秒	RTCSUBSEC レジスタ (オフセット = 8Ch) [リセット = 00000000h]
90h	RTCEVCLR	AON_RTC イベントのクリア	RTCEVCLR レジスタ (オフセット = 90h) [リセット = 00000000h]
94h	BATMONBAT	AON_BATMON バッテリ電圧の値	BATMONBAT レジスタ (オフセット = 94h) [リセット = 00000000h]
9Ch	BATMONTEMP	AON_BATMON 温度の値	BATMONTEMP レジスタ (オフセット = 9Ch) [リセット = 00000000h]
A0h	TIMERHALT	タイマの停止	TIMERHALT レジスタ (オフセット = A0h) [リセット = 00000000h]
B0h	TIMER2BRIDGE	AUX_TIMER2 ブリッジ	TIMER2BRIDGE レジスタ (オフセット = B0h) [リセット = 00000000h]
B4h	SWPWRPROF	ソフトウェア電源プロファイラ	SWPWRPROF レジスタ (オフセット = B4h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-175 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-175. AUX_SYSIF アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	R H	読み出し ハードウェアによってセットまたはクリア
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		

Copyright © 2026 Texas Instruments Incorporated

表 19-175. AUX_SYSIF アクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.9.1 OPMODEREQ レジスタ (オフセット = 0h) [リセット = 00000000h]

OPMODEREQ は図 19-154 に示されており、表 19-176 で説明されています。

概略表に戻ります。

動作モードの要求
AUX は 3 つの動作モードで動作できます。各モードは以下に関連付けられています。
- AON_PMCTL:AUXSCECLK で指定される SCE クロック ソースまたはレート。このレートは SCE_RATE と呼ばれます。
- システム電源状態の要求。AUX は、パワーダウン (uLDO) またはアクティブ (GLDO または DCDC) のシステム電源状態を要求できます。
- アクティブな AUX ウェークアップ フラグに対する特定のシステム応答。応答は、要求された動作モードによって異なります。
uLDO 電源状態では、電流供給が制限されます。AUX_SCE では、この電源状態の AUX_DDI0_OSC、AUX_TDC、AUX_ANAIF ADC インターフェイスなど、特定のペリフェラルおよび機能を使用することはできません。
以下の規則に従ってください。
- OPMODEACK によって確認されるまで、要求を変更することはできません。
- モード変更の要求は、このシーケンスに従って段階的に行われる必要があり、方向は無関係です。
PDA - A - LP - PDLP。
これらの規則への違反は予期しない動作の原因になる可能性があるため、違反しないようにする必要があります。

図 19-154. OPMODEREQ レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														REQ	
R-0h														R/W-0h	

表 19-176. OPMODEREQ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 19-176. OPMODEREQ レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	REQ	R/W	0h	AUX の動作モードの要求。 0h = アクティブな動作モード。以下の特性があります。 - アクティブなシステム電源状態 (GLDO または DCDC) の要求。 - AON_PMCTL:AUXSCECLK.SRC は、SCE クロック周波数 (SCE_RATE) を設定します。 - アクティブなウェークアップ フラグは、動作モードを変更しません。 1h = 低消費電力動作モード。以下の特性があります。 - システム電源状態 (uLDO) のパワーダウン要求。 - SCE クロック周波数 (SCE_RATE) は SCLK_MF と等しくなります。 - アクティブなウェークアップ フラグは、動作モードを変更しません。 2h = アクティブ モードへのウェークアップが可能なパワーダウン動作モード。以下の特性があります。 - システム電源状態 (uLDO) のパワーダウン要求。 - AON_PMCTL:AUXSCECLK.PD_SRC は、SCE クロック周波数 (SCE_RATE) を設定します。 - フラグが設定されている場合に限り、アクティブなウェークアップ フラグは、動作モードを外部からアクティブ (A) にオーバーライドします。 3h = 低消費電力モードへのウェークアップが可能なパワーダウン動作モード。以下の特性があります。 - システム電源状態 (uLDO) のパワーダウン要求。 - AON_PMCTL:AUXSCECLK.PD_SRC は、SCE クロック周波数 (SCE_RATE) を設定します。 - フラグが設定されている場合に限り、アクティブなウェークアップ フラグは、動作モードを外部から低消費電力 (LP) にオーバーライドします。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.2 OPMODEACK レジスタ (オフセット = 4h) [リセット = 00000000h]

OPMODEACK は図 19-155 に示されており、表 19-177 で説明されています。

概略表に戻ります。

動作モードのアクノリッジ
AUX_SCE プログラムでは、現在の動作モードがアクノリッジされた動作モードであると想定する必要があります。

図 19-155. OPMODEACK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														ACK	
R-0h														R-0h	

表 19-177. OPMODEACK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	ACK	R	0h	AUX 動作モードのアクノリッジ。 0h = アクティブな動作モードはアクノリッジされています。 1h = 低消費電力動作モードはアクノリッジされています。 2h = アクティブ モードへのウェークアップが可能なパワーダウン動作モードはアクノリッジされています。 3h = 低消費電力モードへのウェークアップが可能なパワーダウン動作モードはアクノリッジされています。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.3 PROGWU0CFG レジスタ (オフセット = 8h) [リセット = 00000000h]

図 19-156 に、PROGWU0CFG を示し、表 19-178 に、その説明を示します。

概略表に戻ります。

プログラマブルなウェークアップ 0 構成
カスタマイズされた AUX ウェークアップ フラグを有効にするように、このレジスタを設定します。ウェークアップ フラグは、現在の動作モードに従って応答する AON_PMCTL によってキャプチャされます。WUFLAGS.PROG_WU0 を選択すると、VECCFGn の構成により、プログラマブルな AUX_SCE ベクタの実行をトリガできます。このフラグをクリアするには、WUFLAGSCLR で説明されている手順に従う必要があります。構成するには、WUGATE で説明されている手順に従う必要があります。

図 19-156. PROGWU0CFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								POL	EN	WU_SRC					
R-0h								R/W-0h	R/W-0h	R/W-0h					

表 19-178. PROGWU0CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	POL	R/W	0h	WU_SRC の極性。 ウェークアップ フラグをクリアするために使用する手順によって、レベル センシティブかエッジ センシティブかが決まります。 WUFLAGSCLR.PROG_WU0 を参照してください。 0h = WU_SRC が High であるか、High に移行すると、ウェークアップ フラグが設定されます。 1h = WU_SRC が Low であるか、Low に移行すると、ウェークアップ フラグが設定されます。
6	EN	R/W	0h	プログラマブル ウェークアップ フラグの有効化。 0:ウェークアップ フラグを無効化します。 1:ウェークアップ フラグを有効化します。

Copyright © 2026 Texas Instruments Incorporated

表 19-178. PROGWU0CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	WU_SRC	R/W	0h	非同期 AUX イベント バスからのウェークアップ ソース。 EN が 0 または WUFLAGSCLR.PROG_WU0 が 1 の場合のみ、 WU_SRC を変更してください。 列挙されていない値を書き込む場合、動作は NO_EVENT と同じです。 書き込まれた値は、読み取り時にそのまま返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL

Copyright © 2026 Texas Instruments Incorporated

表 19-178. PROGWU0CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.9.4 PROGWU1CFG レジスタ (オフセット = Ch) [リセット = 00000000h]

図 19-157 に、PROGWU1CFG を示し、表 19-179 に、その説明を示します。

概略表に戻ります。

プログラマブルなウェークアップ 1 構成
カスタマイズされた AUX ウェークアップ フラグを有効にするように、このレジスタを設定します。ウェークアップ フラグは、現在の動作モードに従って応答する AON_PMCTL によってキャプチャされます。WUFLAGS.PROG_WU1 を選択すると、VECCFGn の構成により、プログラマブルな AUX_SCE ベクタの実行をトリガできます。このフラグをクリアするには、WUFLAGSCLR で説明されている手順に従う必要があります。構成するには、WUGATE で説明されている手順に従う必要があります。

図 19-157. PROGWU1CFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								POL	EN	WU_SRC					
R-0h								R/W-0h	R/W-0h	R/W-0h					

表 19-179. PROGWU1CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	POL	R/W	0h	WU_SRC の極性。 ウェークアップ フラグをクリアするために使用する手順によって、レベル センシティブかエッジ センシティブかが決まります。 WUFLAGSCLR.PROG_WU1 を参照してください。 0h = WU_SRC が High であるか、High に移行すると、ウェークアップ フラグが設定されます。 1h = WU_SRC が Low であるか、Low に移行すると、ウェークアップ フラグが設定されます。
6	EN	R/W	0h	プログラマブル ウェークアップ フラグの有効化。 0:ウェークアップ フラグを無効化します。 1:ウェークアップ フラグを有効化します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-179. PROGWU1CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	WU_SRC	R/W	0h	非同期 AUX イベント バスからのウェークアップ ソース。 EN が 0 または WUFLAGSCLR.PROG_WU1 が 1 の場合のみ、 WU_SRC を変更してください。 列挙されていない値を書き込む場合、動作は NO_EVENT と同じです。 書き込まれた値は、読み取り時にそのまま返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL

Copyright © 2026 Texas Instruments Incorporated

表 19-179. PROGWU1CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.9.5 PROGWU2CFG レジスタ (オフセット = 10h) [リセット = 00000000h]

図 19-158 に、PROGWU2CFG を示し、表 19-180 に、その説明を示します。

概略表に戻ります。

プログラマブルなウェークアップ 2 構成
カスタマイズされた AUX ウェークアップ フラグを有効にするように、このレジスタを設定します。ウェークアップ フラグは、現在の動作モードに従って応答する AON_PMCTL によってキャプチャされます。WUFLAGS.PROG_WU2 を選択すると、VECCFGn の構成により、プログラマブルな AUX_SCE ベクタの実行をトリガできます。このフラグをクリアするには、WUFLAGSCLR で説明されている手順に従う必要があります。構成するには、WUGATE で説明されている手順に従う必要があります。

図 19-158. PROGWU2CFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								POL	EN	WU_SRC					
R-0h								R/W-0h	R/W-0h	R/W-0h					

表 19-180. PROGWU2CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	POL	R/W	0h	WU_SRC の極性。 ウェークアップ フラグをクリアするために使用する手順によって、レベル センシティブかエッジ センシティブかが決まります。 WUFLAGSCLR.PROG_WU2 を参照してください。 0h = WU_SRC が High であるか、High に移行すると、ウェークアップ フラグが設定されます。 1h = WU_SRC が Low であるか、Low に移行すると、ウェークアップ フラグが設定されます。
6	EN	R/W	0h	プログラマブル ウェークアップ フラグの有効化。 0:ウェークアップ フラグを無効化します。 1:ウェークアップ フラグを有効化します。

Copyright © 2026 Texas Instruments Incorporated

表 19-180. PROGWU2CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	WU_SRC	R/W	0h	非同期 AUX イベント バスからのウェークアップ ソース。 EN が 0 または WUFLAGSCLR.PROG_WU2 が 1 の場合のみ、 WU_SRC を変更してください。 列挙されていない値を書き込む場合、動作は NO_EVENT と同じです。 書き込まれた値は、読み取り時にそのまま返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL

Copyright © 2026 Texas Instruments Incorporated

表 19-180. PROGWU2CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.9.6 PROGWU3CFG レジスタ (オフセット = 14h) [リセット = 00000000h]

図 19-159 に、PROGWU3CFG を示し、表 19-181 に、その説明を示します。

概略表に戻ります。

プログラマブルなウェークアップ 3 構成
カスタマイズされた AUX ウェークアップ フラグを有効にするように、このレジスタを設定します。ウェークアップ フラグは、現在の動作モードに従って応答する AON_PMCTL によってキャプチャされます。WUFLAGS.PROG_WU3 を選択すると、VECCFGn の構成により、プログラマブルな AUX_SCE ベクタの実行をトリガできます。このフラグをクリアするには、WUFLAGSCLR で説明されている手順に従う必要があります。構成するには、WUGATE で説明されている手順に従う必要があります。

図 19-159. PROGWU3CFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								POL	EN	WU_SRC					
R-0h								R/W-0h	R/W-0h	R/W-0h					

表 19-181. PROGWU3CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	POL	R/W	0h	WU_SRC の極性。 ウェークアップ フラグをクリアするために使用する手順によって、レベル センシティブかエッジ センシティブかが決まります。 WUFLAGSCLR.PROG_WU3 を参照してください。 0h = WU_SRC が High であるか、High に移行すると、ウェークアップ フラグが設定されます。 1h = WU_SRC が Low であるか、Low に移行すると、ウェークアップ フラグが設定されます。
6	EN	R/W	0h	プログラマブル ウェークアップ フラグの有効化。 0:ウェークアップ フラグを無効化します。 1:ウェークアップ フラグを有効化します。

Copyright © 2026 Texas Instruments Incorporated

表 19-181. PROGWU3CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	WU_SRC	R/W	0h	非同期 AUX イベント バスからのウェークアップ ソース。 EN が 0 または WUFLAGSCLR.PROG_WU3 が 1 の場合のみ、 WU_SRC を変更してください。 列挙されていない値を書き込む場合、動作は NO_EVENT と同じです。 書き込まれた値は、読み取り時にそのまま返されます。 0h = AUX_EVCTL:EVSTAT0.AUXIO0 1h = AUX_EVCTL:EVSTAT0.AUXIO1 2h = AUX_EVCTL:EVSTAT0.AUXIO2 3h = AUX_EVCTL:EVSTAT0.AUXIO3 4h = AUX_EVCTL:EVSTAT0.AUXIO4 5h = AUX_EVCTL:EVSTAT0.AUXIO5 6h = AUX_EVCTL:EVSTAT0.AUXIO6 7h = AUX_EVCTL:EVSTAT0.AUXIO7 8h = AUX_EVCTL:EVSTAT0.AUXIO8 9h = AUX_EVCTL:EVSTAT0.AUXIO9 Ah = AUX_EVCTL:EVSTAT0.AUXIO10 Bh = AUX_EVCTL:EVSTAT0.AUXIO11 Ch = AUX_EVCTL:EVSTAT0.AUXIO12 Dh = AUX_EVCTL:EVSTAT0.AUXIO13 Eh = AUX_EVCTL:EVSTAT0.AUXIO14 Fh = AUX_EVCTL:EVSTAT0.AUXIO15 10h = AUX_EVCTL:EVSTAT1.AUXIO16 11h = AUX_EVCTL:EVSTAT1.AUXIO17 12h = AUX_EVCTL:EVSTAT1.AUXIO18 13h = AUX_EVCTL:EVSTAT1.AUXIO19 14h = AUX_EVCTL:EVSTAT1.AUXIO20 15h = AUX_EVCTL:EVSTAT1.AUXIO21 16h = AUX_EVCTL:EVSTAT1.AUXIO22 17h = AUX_EVCTL:EVSTAT1.AUXIO23 18h = AUX_EVCTL:EVSTAT1.AUXIO24 19h = AUX_EVCTL:EVSTAT1.AUXIO25 1Ah = AUX_EVCTL:EVSTAT1.AUXIO26 1Bh = AUX_EVCTL:EVSTAT1.AUXIO27 1Ch = AUX_EVCTL:EVSTAT1.AUXIO28 1Dh = AUX_EVCTL:EVSTAT1.AUXIO29 1Eh = AUX_EVCTL:EVSTAT1.AUXIO30 1Fh = AUX_EVCTL:EVSTAT1.AUXIO31 20h = AUX_EVCTL:EVSTAT2.MANUAL_EV 21h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2 22h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY 23h = AUX_EVCTL:EVSTAT2.AON_RTC_4KHZ 24h = AUX_EVCTL:EVSTAT2.AON_BATMON_BAT_UPD 25h = AUX_EVCTL:EVSTAT2.AON_BATMON_TEMP_UPD 26h = AUX_EVCTL:EVSTAT2.SCLK_LF 27h = AUX_EVCTL:EVSTAT2.PWR_DWN 28h = AUX_EVCTL:EVSTAT2.MCU_ACTIVE 29h = AUX_EVCTL:EVSTAT2.VDDR_RECHARGE 2Ah = AUX_EVCTL:EVSTAT2.ACLK_REF 2Bh = AUX_EVCTL:EVSTAT2.MCU_EV 2Ch = AUX_EVCTL:EVSTAT2.MCU_OBSMUX0 2Dh = AUX_EVCTL:EVSTAT2.MCU_OBSMUX1 2Eh = AUX_EVCTL:EVSTAT2.AUX_COMPA 2Fh = AUX_EVCTL:EVSTAT2.AUX_COMPB 30h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 31h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 32h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 33h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 34h = AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 35h = AUX_EVCTL:EVSTAT3.AUX_TIMER1_EV 36h = AUX_EVCTL:EVSTAT3.AUX_TIMER0_EV 37h = AUX_EVCTL:EVSTAT3.AUX_TDC_DONE 38h = AUX_EVCTL:EVSTAT3.AUX_ISRC_RESET_N 39h = AUX_EVCTL:EVSTAT3.AUX_ADC_DONE 3Ah = AUX_EVCTL:EVSTAT3.AUX_ADC_IRQ 3Bh = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_ALMOST_FULL

Copyright © 2026 Texas Instruments Incorporated

表 19-181. PROGWU3CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				3Ch = AUX_EVCTL:EVSTAT3.AUX_ADC_FIFO_NOT_EMPTY 3Dh = AUX_EVCTL:EVSTAT3.AUX_SMPH_AUTOTAKE_DONE 3Fh = イベントなし。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.9.7 SWWUTRIG レジスタ (オフセット = 18h) [リセット = 00000000h]

SWWUTRIG は図 19-160 に示されており、表 19-182 で説明されています。

概略表に戻ります。

ソフトウェアのウェークアップ トリガ
システム CPU はこれらのウェークアップ フラグを使用して、AUX_SCE とのハンドシェイクを実行します。ウェークアップ フラグを使用すると、AUX の動作モードを変更でき、ゼロでない SCE クロック レートが保証されます。AUX_SCE ウェークアップ ベクタは VECCFGn で構成されます。

図 19-160. SWWUTRIG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				SW_WU3	SW_WU2	SW_WU1	SW_WU0
R-0h				W-0h	W-0h	W-0h	W-0h

表 19-182. SWWUTRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	SW_WU3	W	0h	ソフトウェア ウェークアップ 3 トリガ。 0:影響なし。 1:WUFLAGS.SW_WU3 を設定し、AUX ウェークアップをトリガします。
2	SW_WU2	W	0h	ソフトウェア ウェークアップ 2 トリガ。 0:影響なし。 1:WUFLAGS.SW_WU2 を設定し、AUX ウェークアップをトリガします。
1	SW_WU1	W	0h	ソフトウェア ウェークアップ 1 トリガ。 0:影響なし。 1:WUFLAGS.SW_WU1 を設定し、AUX ウェークアップをトリガします。
0	SW_WU0	W	0h	ソフトウェア ウェークアップ 0 トリガ。 0:影響なし。 1:WUFLAGS.SW_WU0 を設定し、AUX ウェークアップをトリガします。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.8 WUFLAGS レジスタ (オフセット = 1Ch) [リセット = 00000000h]

WUFLAGS は図 19-161 に示されており、表 19-183 で説明されています。

概略表に戻ります。

ウェークアップ フラグ
このレジスタは、8 つの AUX ウェークアップ フラグを保持します。各フラグにより、OPMODEREQ で指定されているように AUX 動作モードが変更されます。フラグ n をクリアするには、フラグ n が 0 として読み取られるまで WUFLAGSCLR のビット n を設定する必要があります。フラグ n を再度設定する前に、WUFLAGSCLR のビット n をクリアする必要があります。

図 19-161. WUFLAGS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
SW_WU3	SW_WU2	SW_WU1	SW_WU0	PROG_WU3	PROG_WU2	PROG_WU1	PROG_WU0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 19-183. WUFLAGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	SW_WU3	R	0h	ソフトウェア ウェークアップ 3 フラグ。 0:ソフトウェア ウェークアップ 3 はトリガされていません。 1:ソフトウェア ウェークアップ 3 がトリガされました。
6	SW_WU2	R	0h	ソフトウェア ウェークアップ 2 フラグ。 0:ソフトウェア ウェークアップ 2 はトリガされていません。 1:ソフトウェア ウェークアップ 2 がトリガされました。
5	SW_WU1	R	0h	ソフトウェア ウェークアップ 1 フラグ。 0:ソフトウェア ウェークアップ 1 はトリガされていません。 1:ソフトウェア ウェークアップ 1 がトリガされました。
4	SW_WU0	R	0h	ソフトウェア ウェークアップ 0 フラグ。 0:ソフトウェア ウェークアップ 0 はトリガされていません。 1:ソフトウェア ウェークアップ 0 がトリガされました。
3	PROG_WU3	R	0h	プログラマブル ウェークアップ 3。 0:プログラマブル ウェークアップ 3 はトリガされていません。 1:プログラマブルウェークアップ 3 がトリガされました。
2	PROG_WU2	R	0h	プログラマブル ウェークアップ 2。 0:プログラマブル ウェークアップ 2 はトリガされていません。 1:プログラマブルウェークアップ 2 がトリガされました。
1	PROG_WU1	R	0h	プログラマブル ウェークアップ 1。 0:プログラマブル ウェークアップ 1 はトリガされていません。 1:プログラマブルウェークアップ 1 がトリガされました。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 19-183. WUFLAGS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	PROG_WU0	R	0h	プログラマブル ウェークアップ 0。 0:プログラマブル ウェークアップ 0 はトリガされていません。 1:プログラマブルウェークアップ 0 がトリガされました。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.9 WUFLAGSCLR レジスタ (オフセット = 20h) [リセット = 0000000Fh]

WUFLAGSCLR は図 19-162 に示されており、表 19-184 で説明されています。

概略表に戻ります。

ウェークアップ フラグのクリア
このレジスタは、AUX ウェークアップ フラグ WUFLAGS をクリアします。
プログラマブル ウェークアップ フラグをクリアするには、最初に AUX ウェークアップ出力を無効にする必要があります。プログラマブル ウェークアップ フラグがクリアされた後で、AUX ウェークアップ出力を再度有効にする必要があります。
WUGATE に書き込むことで、AUX ウェークアップ出力を無効または有効にできます。ソフトウェアによってトリガされるウェークアップをクリアする場合、この手順は不要です。

図 19-162. WUFLAGSCLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
SW_WU3	SW_WU2	SW_WU1	SW_WU0	PROG_WU3	PROG_WU2	PROG_WU1	PROG_WU0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 19-184. WUFLAGSCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	SW_WU3	R/W	0h	ソフトウェア ウェークアップ フラグ 3 をクリアします。 0:影響なし。 1:WUFLAGS.SW_WU3 をクリアします。WUFLAGS.SW_WU3 が 0 になるまで High に維持します。
6	SW_WU2	R/W	0h	ソフトウェア ウェークアップ フラグ 2 をクリアします。 0:影響なし。 1:WUFLAGS.SW_WU2 をクリアします。WUFLAGS.SW_WU2 が 0 になるまで High に維持します。
5	SW_WU1	R/W	0h	ソフトウェア ウェークアップ フラグ 1 をクリアします。 0:影響なし。 1:WUFLAGS.SW_WU1 をクリアします。WUFLAGS.SW_WU1 が 0 になるまで High に維持します。
4	SW_WU0	R/W	0h	ソフトウェア ウェークアップ フラグ 0 をクリアします。 0:影響なし。 1:WUFLAGS.SW_WU0 をクリアします。WUFLAGS.SW_WU0 が 0 になるまで High に維持します。

Copyright © 2026 Texas Instruments Incorporated

表 19-184. WUFLAGSCLR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	PROG_WU3	R/W	1h	プログラマブル ウェークアップ フラグ 3。 0:影響なし。 1:WUFLAGS.PROG_WU3 をクリアします。WUFLAGS.PROG_WU3 が 0 になるまで High に維持します。 PROGWU3CFG.EN が 1 の場合に PROG_WU3 を 0 に書き込むと、ウェークアップ フラグはエッジ センシティブになります。 PROGWU3CFG.EN が 0 の場合に PROG_WU3 を 0 に書き込み、その後 PROGWU3CFG.EN を設定すると、ウェークアップ フラグはレベル センシティブになります。
2	PROG_WU2	R/W	1h	プログラマブル ウェークアップ フラグ 2。 0:影響なし。 1:WUFLAGS.PROG_WU2 をクリアします。WUFLAGS.PROG_WU2 が 0 になるまで High に維持します。 PROGWU2CFG.EN が 1 の場合に PROG_WU2 を 0 に書き込むと、ウェークアップ フラグはエッジ センシティブになります。 PROGWU2CFG.EN が 0 の場合に PROG_WU2 を 0 に書き込み、その後 PROGWU2CFG.EN を設定すると、ウェークアップ フラグはレベル センシティブになります。
1	PROG_WU1	R/W	1h	プログラマブル ウェークアップ フラグ 1。 0:影響なし。 1:WUFLAGS.PROG_WU1 をクリアします。WUFLAGS.PROG_WU1 が 0 になるまで High に維持します。 PROGWU1CFG.EN が 1 の場合に PROG_WU1 を 0 に書き込むと、ウェークアップ フラグはエッジ センシティブになります。 PROGWU1CFG.EN が 0 の場合に PROG_WU1 を 0 に書き込み、その後 PROGWU1CFG.EN を設定すると、ウェークアップ フラグはレベル センシティブになります。
0	PROG_WU0	R/W	1h	プログラマブル ウェークアップ フラグ 0。 0:影響なし。 1:WUFLAGS.PROG_WU0 をクリアします。WUFLAGS.PROG_WU0 が 0 になるまで High に維持します。 PROGWU0CFG.EN が 1 の場合に PROG_WU0 を 0 に書き込むと、ウェークアップ フラグはエッジ センシティブになります。 PROGWU0CFG.EN が 0 の場合に PROG_WU0 を 0 に書き込み、その後 PROGWU0CFG.EN を設定すると、ウェークアップ フラグはレベル センシティブになります。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.10 WUGATE レジスタ (オフセット = 24h) [リセット = 00000000h]

図 19-163 に、WUGATE を示し、表 19-185 に、その説明を示します。

概略表に戻ります。

ウェークアップ ゲート
以下の場合、AUX ウェークアップ出力を無効にする必要があります。
- プログラマブルなウェークアップ フラグをクリアする前。
- [PROGWUnCFG.EN] または [PROGWUnCFG.WU_SRC] の値を変更する前。
クリア動作またはプログラマブル ウェークアップ構成の後は、AUX ウェークアップ出力を再度有効にする必要があります。

図 19-163. WUGATE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EN
R-0h															R/W-0h

表 19-185. WUGATE レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	EN	R/W	0h	ウェークアップ出力の有効化。 0:AUX ウェークアップ出力を無効化します。 1:AUX ウェークアップ出力を有効化します。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.11 VECCFG0 レジスタ (オフセット = 28h) [リセット = 00000000h]

図 19-164 に、VECCFG0 を示し、表 19-186 に、その説明を示します。

概略表に戻ります。

ベクタ構成 0
AUX_SCE ウェークアップ ベクタ 0 の構成

図 19-164. VECCFG0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VEC_EV			
R-0h												R/W-0h			

表 19-186. VECCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VEC_EV	R/W	0h	ベクタ 0 のトリガ イベントを選択します。 列挙されていない値は、NONE として扱われます。 0h = ベクタは無効化されています。 1h = WUFLAGS.PROG_WU0 2h = WUFLAGS.PROG_WU1 3h = WUFLAGS.PROG_WU2 4h = WUFLAGS.PROG_WU3 5h = WUFLAGS.SW_WU0 6h = WUFLAGS.SW_WU1 7h = WUFLAGS.SW_WU2 8h = WUFLAGS.SW_WU3 9h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

Copyright © 2026 Texas Instruments Incorporated

19.8.9.12 VECCFG1 レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 19-165 に、VECCFG1 を示し、表 19-187 に、その説明を示します。

概略表に戻ります。

ベクタ構成 1
AUX_SCE ウェークアップ ベクタ 1 の構成

図 19-165. VECCFG1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VEC_EV			
R-0h												R/W-0h			

表 19-187. VECCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VEC_EV	R/W	0h	ベクタ 1 のトリガ イベントを選択します。 列挙されていない値は、NONE として扱われます。 0h = ベクタは無効化されています。 1h = WUFLAGS.PROG_WU0 2h = WUFLAGS.PROG_WU1 3h = WUFLAGS.PROG_WU2 4h = WUFLAGS.PROG_WU3 5h = WUFLAGS.SW_WU0 6h = WUFLAGS.SW_WU1 7h = WUFLAGS.SW_WU2 8h = WUFLAGS.SW_WU3 9h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

Copyright © 2026 Texas Instruments Incorporated

19.8.9.13 VECCFG2 レジスタ (オフセット = 30h) [リセット = 00000000h]

図 19-166 に、VECCFG2 を示し、表 19-188 に、その説明を示します。

概略表に戻ります。

ベクタ構成 2
AUX_SCE ウェークアップ ベクタ 2 の構成

図 19-166. VECCFG2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VEC_EV			
R-0h												R/W-0h			

表 19-188. VECCFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VEC_EV	R/W	0h	ベクタ 2 のトリガ イベントを選択します。 列挙されていない値は、NONE として扱われます。 0h = ベクタは無効化されています。 1h = WUFLAGS.PROG_WU0 2h = WUFLAGS.PROG_WU1 3h = WUFLAGS.PROG_WU2 4h = WUFLAGS.PROG_WU3 5h = WUFLAGS.SW_WU0 6h = WUFLAGS.SW_WU1 7h = WUFLAGS.SW_WU2 8h = WUFLAGS.SW_WU3 9h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

Copyright © 2026 Texas Instruments Incorporated

19.8.9.14 VECCFG3 レジスタ (オフセット = 34h) [リセット = 00000000h]

図 19-167 に、VECCFG3 を示し、表 19-189 に、その説明を示します。

概略表に戻ります。

ベクタ構成 3
AUX_SCE ウェークアップ ベクタ 3 の構成

図 19-167. VECCFG3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VEC_EV			
R-0h												R/W-0h			

表 19-189. VECCFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VEC_EV	R/W	0h	ベクタ 3 のトリガ イベントを選択します。 列挙されていない値は、NONE として扱われます。 0h = ベクタは無効化されています。 1h = WUFLAGS.PROG_WU0 2h = WUFLAGS.PROG_WU1 3h = WUFLAGS.PROG_WU2 4h = WUFLAGS.PROG_WU3 5h = WUFLAGS.SW_WU0 6h = WUFLAGS.SW_WU1 7h = WUFLAGS.SW_WU2 8h = WUFLAGS.SW_WU3 9h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

Copyright © 2026 Texas Instruments Incorporated

19.8.9.15 VECCFG4 レジスタ (オフセット = 38h) [リセット = 00000000h]

図 19-168 に、VECCFG4 を示し、表 19-190 に、その説明を示します。

概略表に戻ります。

ベクタ構成 4
AUX_SCE ウェークアップ ベクタ 4 の構成

図 19-168. VECCFG4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VEC_EV			
R-0h												R/W-0h			

表 19-190. VECCFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VEC_EV	R/W	0h	ベクタ 4 のトリガ イベントを選択します。 列挙されていない値は、NONE として扱われます。 0h = ベクタは無効化されています。 1h = WUFLAGS.PROG_WU0 2h = WUFLAGS.PROG_WU1 3h = WUFLAGS.PROG_WU2 4h = WUFLAGS.PROG_WU3 5h = WUFLAGS.SW_WU0 6h = WUFLAGS.SW_WU1 7h = WUFLAGS.SW_WU2 8h = WUFLAGS.SW_WU3 9h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

Copyright © 2026 Texas Instruments Incorporated

19.8.9.16 VECCFG5 レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 19-169 に、VECCFG5 を示し、表 19-191 に、その説明を示します。

概略表に戻ります。

ベクタ構成 5
AUX_SCE ウェークアップ ベクタ 5 の構成

図 19-169. VECCFG5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VEC_EV			
R-0h												R/W-0h			

表 19-191. VECCFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VEC_EV	R/W	0h	ベクタ 5 のトリガ イベントを選択します。 列挙されていない値は、NONE として扱われます。 0h = ベクタは無効化されています。 1h = WUFLAGS.PROG_WU0 2h = WUFLAGS.PROG_WU1 3h = WUFLAGS.PROG_WU2 4h = WUFLAGS.PROG_WU3 5h = WUFLAGS.SW_WU0 6h = WUFLAGS.SW_WU1 7h = WUFLAGS.SW_WU2 8h = WUFLAGS.SW_WU3 9h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

Copyright © 2026 Texas Instruments Incorporated

19.8.9.17 VECCFG6 レジスタ (オフセット = 40h) [リセット = 00000000h]

図 19-170 に、VECCFG6 を示し、表 19-192 に、その説明を示します。

概略表に戻ります。

ベクタ構成 6
AUX_SCE ウェークアップ ベクタ 6 の構成

図 19-170. VECCFG6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VEC_EV			
R-0h												R/W-0h			

表 19-192. VECCFG6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VEC_EV	R/W	0h	ベクタ 6 のトリガ イベントを選択します。 列挙されていない値は、NONE として扱われます。 0h = ベクタは無効化されています。 1h = WUFLAGS.PROG_WU0 2h = WUFLAGS.PROG_WU1 3h = WUFLAGS.PROG_WU2 4h = WUFLAGS.PROG_WU3 5h = WUFLAGS.SW_WU0 6h = WUFLAGS.SW_WU1 7h = WUFLAGS.SW_WU2 8h = WUFLAGS.SW_WU3 9h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

Copyright © 2026 Texas Instruments Incorporated

19.8.9.18 VECCFG7 レジスタ (オフセット = 44h) [リセット = 00000000h]

図 19-171 に、VECCFG7 を示し、表 19-193 に、その説明を示します。

概略表に戻ります。

ベクタ構成 7
AUX_SCE ウェークアップ ベクタ 7 の構成

図 19-171. VECCFG7 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												VEC_EV			
R-0h												R/W-0h			

表 19-193. VECCFG7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3-0	VEC_EV	R/W	0h	ベクタ 7 のトリガ イベントを選択します。 列挙されていない値は、NONE として扱われます。 0h = ベクタは無効化されています。 1h = WUFLAGS.PROG_WU0 2h = WUFLAGS.PROG_WU1 3h = WUFLAGS.PROG_WU2 4h = WUFLAGS.PROG_WU3 5h = WUFLAGS.SW_WU0 6h = WUFLAGS.SW_WU1 7h = WUFLAGS.SW_WU2 8h = WUFLAGS.SW_WU3 9h = AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY

Copyright © 2026 Texas Instruments Incorporated

19.8.9.19 EVSYNCRATE レジスタ (オフセット = 48h) [リセット = 00000000h]

EVSYNCRATE は図 19-172 に示されており、表 19-194 で説明されています。

概略表に戻ります。

イベント同期レート
特定のイベントについて、同期 AUX イベント バスへの同期レートを構成します。
AUX_SCE がイベントを使用する場合は、SCE レートを選択する必要があります。システム CPU がイベントを使用する場合は、AUX バス レートを選択する必要があります。
SCE レートは、AON_PMCTL:AUXSCECLK で構成されたレートに相当します。AUX バス レートは SCE レートと同じか、MCU ドメインがアクティブの場合は、SCLK_HF を 2 で割った値になります。

図 19-172. EVSYNCRATE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					AUX_COMPA_SYNC_RATE	AUX_COMPB_SYNC_RATE	AUX_TIMER2_SYNC_RATE
R-0h					R/W-0h	R/W-0h	R/W-0h

表 19-194. EVSYNCRATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	AUX_COMPA_SYNC_RATE	R/W	0h	AUX_EVCTL:EVSTAT2.AUX_COMPA イベントの同期レートを選択します。 0h = SCE レート 1h = AUX バス レート
1	AUX_COMPB_SYNC_RATE	R/W	0h	AUX_EVCTL:EVSTAT2.AUX_COMPB イベントの同期レートを選択します。 0h = SCE レート 1h = AUX バス レート
0	AUX_TIMER2_SYNC_RATE	R/W	0h	以下に対する同期レートを選択します。 - AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV0 - AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV1 - AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV2 - AUX_EVCTL:EVSTAT3.AUX_TIMER2_EV3 - AUX_EVCTL:EVSTAT3.AUX_TIMER2_PULSE 0h = SCE レート 1h = AUX バス レート

Copyright © 2026 Texas Instruments Incorporated

19.8.9.20 PEROPRATE レジスタ (オフセット = 4Ch) [リセット = 00000000h]

PEROPRATE は図 19-173 に示されており、表 19-195 で説明されています。

概略表に戻ります。

ペリフェラル動作レート
一部の AUX ペリフェラルは、SCE または AUX バス レートのいずれかで動作します。
AUX_SCE がそのようなペリフェラル、またはそのようなペリフェラルによって生成されたイベントを使用する場合は、SCE レートを選択する必要があります。システム CPU がそのようなペリフェラルを使用する場合は、AUX バス レートを選択する必要があります。
SCE レートは、AON_PMCTL:AUXSCECLK で構成されたレートに相当します。AUX バス レートは SCE レートと同じか、MCU ドメインがアクティブの場合は、SCLK_HF を 2 で割った値になります。

図 19-173. PEROPRATE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				ANAIF_DAC_OP_RATE	TIMER01_OP_RATE	SPIM_OP_RATE	MAC_OP_RATE
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 19-195. PEROPRATE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	ANAIF_DAC_OP_RATE	R/W	0h	AUX_ANAIF DAC サンプル クロック ステート マシンの動作レートを選択します。 0h = SCE レート 1h = AUX バス レート
2	TIMER01_OP_RATE	R/W	0h	AUX_TIMER01 の動作レートを選択します。 0h = SCE レート 1h = AUX バス レート
1	SPIM_OP_RATE	R/W	0h	AUX_SPIM の動作レートを選択します。 0h = SCE レート 1h = AUX バス レート
0	MAC_OP_RATE	R/W	0h	AUX_MAC の動作レートを選択します。 0h = SCE レート 1h = AUX バス レート

Copyright © 2026 Texas Instruments Incorporated

19.8.9.21 ADCCLKCTL レジスタ (オフセット = 50h) [リセット = 00000000h]

ADCCLKCTL は図 19-174 に示されており、表 19-196 で説明されています。

概略表に戻ります。

ADC クロック制御

図 19-174. ADCCLKCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														ACK	REQ
R-0h														R-0h	R/W-0h

表 19-196. ADCCLKCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	ACK	R	0h	クロックのアクノリッジ。 0:ADC クロックは無効です。 1:ADC クロックは有効です。
0	REQ	R/W	0h	ADC クロック要求。 0:ADC クロックを無効化します。 1:ADC クロックを有効化します。 REQ は、ACK と等しい場合にのみ変更します。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.22 TDCCLKCTL レジスタ (オフセット = 54h) [リセット = 00000000h]

TDCCLKCTL は図 19-175 に示されており、表 19-197 で説明されています。

概略表に戻ります。

TDC カウンタ クロック制御
AUX_TDC カウンタ クロック ソースを有効化するかどうかを制御します。TDC カウンタ クロック ソースは DDI_0_OSC:CTL0.ACLK_TDC_SRC_SEL で構成されます。

図 19-175. TDCCLKCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														ACK	REQ
R-0h														R-0h	R/W-0h

表 19-197. TDCCLKCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。
1	ACK	R	0h	TDC カウンタ クロックのアクノリッジ。 0:TDC カウンタ クロックは無効です。 1:TDC カウンタ クロックは有効です。
0	REQ	R/W	0h	TDC カウンタ クロック要求。 0:TDC カウンタ クロックを無効化します。 1:TDC カウンタ クロックを有効化します。 REQ は、ACK と等しい場合にのみ変更します。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.23 TDCREFCLKCTL レジスタ (オフセット = 58h) [リセット = 00000000h]

TDCREFCLKCTL は図 19-176 に示されており、表 19-198 で説明されています。

概略表に戻ります。

TDC リファレンス クロック制御
AUX_TDC リファレンス クロック ソースを有効にするかどうかを制御します。このクロックは AUX_TDC カウンタ クロックと比較されます。TDC リファレンス クロック ソースは DDI_0_OSC:CTL0.ACLK_REF_SRC_SEL で構成されます。

図 19-176. TDCREFCLKCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														ACK	REQ
R-0h														R-0h	R/W-0h

表 19-198. TDCREFCLKCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	ACK	R	0h	TDC リファレンス クロックのアクノリッジ。 0:TDC リファレンス クロックは無効です。 1:TDC リファレンス クロックは有効です。
0	REQ	R/W	0h	TDC リファレンス クロック要求。 0:TDC リファレンス クロックを無効化します。 1:TDC リファレンス クロックを有効化します。 REQ は、ACK と等しい場合にのみ変更します。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.24 TIMER2CLKCTL レジスタ (オフセット = 5Ch) [リセット = 00000000h]

図 19-177 に、TIMER2CLKCTL を示し、表 19-199 に、その説明を示します。

概略表に戻ります。

AUX_TIMER2 クロック制御
AUX_TIMER2 にアクセスできるのは、TIMER2CLKSTAT.STAT が NONE 以外の場合のみです。

図 19-177. TIMER2CLKCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																													SRC		
R-0h																													R/W-0h		

表 19-199. TIMER2CLKCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	SRC	R/W	0h	AUX_TIMER2 のクロック ソースを選択します。 SRC が TIMER2CLKSTAT.STAT と等しい場合、または TIMER2CLKSWITCH.RDY が 1 の場合にのみ、更新が受け入れられます。 TIMER2BRIDGE.BUSY が 0 の場合にのみ NONE を選択することをお勧めします。 列挙されていない値は無視されます。 0h = クロックなし 1h = SCLK_LF 2h = SCLK_MF 4h = SCLK_HF / 2

Copyright © 2026 Texas Instruments Incorporated

19.8.9.25 TIMER2CLKSTAT レジスタ (オフセット = 60h) [リセット = 00000000h]

図 19-178 に、TIMER2CLKSTAT を示し、表 19-200 に、その説明を示します。

概略表に戻ります。

AUX_TIMER2 クロック ステータス

図 19-178. TIMER2CLKSTAT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														STAT	
R-0h														R-0h	

表 19-200. TIMER2CLKSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	STAT	R	0h	AUX_TIMER2 クロック ソースのステータス。 0h = クロックなし 1h = SCLK_LF 2h = SCLK_MF 4h = SCLK_HF / 2

Copyright © 2026 Texas Instruments Incorporated

19.8.9.26 TIMER2CLKSWITCH レジスタ (オフセット = 64h) [リセット = 00000001h]

図 19-179 に、TIMER2CLKSWITCH を示し、表 19-201 に、その説明を示します。

概略表に戻ります。

AUX_TIMER2 クロック スイッチ

図 19-179. TIMER2CLKSWITCH レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															RDY
R-0h															R-1h

表 19-201. TIMER2CLKSWITCH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	RDY	R	1h	クロック スイッチャのステータス。 0 : TIMER2CLKCTL.SRC は、TIMER2CLKSTAT.STAT と一致していません。 1 : TIMER2CLKCTL.SRC は TIMER2CLKSTAT.STAT と一致しています。 RDY は AUX_EVCTL:EVSTAT3.AUX_TIMER2_CLKSWITCH_RDY に接続されています。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.27 TIMER2DBGCTL レジスタ (オフセット = 68h) [リセット = 00000000h]

図 19-180 に、TIMER2DBGCTL を示し、表 19-202 に、その説明を示します。

概略表に戻ります。

AUX_TIMER2 デバッグ制御

図 19-180. TIMER2DBGCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							DBG_FREEZE_EN
R-0h							R/W-0h

表 19-202. TIMER2DBGCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	DBG_FREEZE_EN	R/W	0h	デバッグ フリーズの有効化。 0:システム CPU がデバッグ モードで停止しても、AUX_TIMER2 は停止しません。 1:システム CPU がデバッグ モードで停止すると、AUX_TIMER2 も停止します。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.28 CLKSHIFTDET レジスタ (オフセット = 70h) [リセット = 00000001h]

CLKSHIFTDET は図 19-181 に示されており、表 19-203 で説明されています。

概略表に戻ります。

クロック シフトの検出
AUX クロック レートが SCLK_MF または SCLK_LF から生成される場合、MCU ドメイン状態の遷移により、SCE クロック周期に非累積的な変化が生じます。
- MCU ドメインがアクティブ状態に移行すると、SCE の 1 クロック サイクルは SCLK_HF の 6 ～ 8 サイクル分長くなります。
- MCU ドメインがアクティブ状態から抜けると、SCE の 1 クロック サイクルは SCLK_HF の 6 ～ 8 サイクル分短くなります。
AUX_SCE は、STAT のクリアから STAT の読み取りまでの間に、SCE クロックでこのようなイベントが発生したかどうかを検出します。

図 19-181. CLKSHIFTDET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W-1h

表 19-203. CLKSHIFTDET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W	1h	クロック シフトの検出。 書き込み: 0:クロック シフト検出を再開始します。 1:使用禁止。 読み取り: 0:STAT に 0 が書き込まれてから、MCU ドメインのアクティブ状態への出入りは発生していません。 1:STAT に 0 が書き込まれてから、MCU ドメインのアクティブ状態への出入りが発生しました。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.29 RECHARGETRIG レジスタ (オフセット = 74h) [リセット = 00000000h]

RECHARGETRIG は図 19-182 に示されており、表 19-204 で説明されています。

概略表に戻ります。

VDDR の再充電トリガ

図 19-182. RECHARGETRIG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG
R-0h							R/W-0h

表 19-204. RECHARGETRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	TRIG	R/W	0h	再充電のトリガ。 0:影響なし。 1:VDDR の再充電を要求します。 AUX_EVCTL:EVSTAT2.PWR_DWN が 1 の場合にのみ、VDDR の再充電を要求します。 OPMODEREQ.REQ が LP の場合は、以下のシーケンスに従ってください。 - TRIG を設定します。 - AUX_EVCTL:EVSTAT2.VDDR_RECHARGE が 1 になるまで待ちます。 - TRIG をクリアします。 - AUX_EVCTL:EVSTAT2.VDDR_RECHARGE が 0 になるまで待ちます。 OPMODEREQ.REQ が PDA または PDLP の場合は、次のシーケンスに従います。 - TRIG を設定します。 - TRIG をクリアします。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.30 RECHARGEDET レジスタ (オフセット = 78h) [リセット = 00000000h]

RECHARGEDET は図 19-183 に示されており、表 19-205 で説明されています。

概略表に戻ります。

VDDR の再充電検出
アプリケーションによっては、VDDR の再充電により発生する電源ノイズの影響を受けやすい場合があります。VDDR の再充電が発生したかどうかを検出できます。

図 19-183. RECHARGEDET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						STAT	EN
R-0h						R-0h	R/W-0h

表 19-205. RECHARGEDET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	STAT	R	0h	VDDR 再充電検出器のステータス。 0:EN が設定された後、VDDR の再充電は発生していません。 1:EN が設定された後に、VDDR の再充電が発生しました。
0	EN	R/W	0h	VDDR 再充電検出器の有効化。 0:再充電検出を無効化します。STAT はゼロになります。 1:再充電検出を有効化します。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.31 RTCSUBSECINC0 レジスタ (オフセット = 7Ch) [リセット = 00000000h]

図 19-184 に、RTCSUBSECINC0 を示し、表 19-206 に、その説明を示します。

概略表に戻ります。

リアルタイム カウンタ サブ秒インクリメント 0
RTCSUBSECINCCTL.UPD_REQ が設定されると、INC15_0 は AON_RTC:SUBSECINC のビット 15:0 を置き換えます。

図 19-184. RTCSUBSECINC0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																INC15_0															
R-0h																R/W-0h															

表 19-206. RTCSUBSECINC0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	INC15_0	R/W	0h	AON_RTC:SUBSECINC のビット 15:0 の新しい値。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.32 RTCSUBSECINC1 レジスタ (オフセット = 80h) [リセット = 00000000h]

図 19-185 に、RTCSUBSECINC1 を示し、表 19-207 に、その説明を示します。

概略表に戻ります。

リアルタイム カウンタ サブ秒インクリメント 1
RTCSUBSECINCCTL.UPD_REQ が設定されると、INC23_16 は AON_RTC:SUBSECINC のビット 23:16 を置き換えます。

図 19-185. RTCSUBSECINC1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								INC23_16							
R-0h																								R/W-0h							

表 19-207. RTCSUBSECINC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	INC23_16	R/W	0h	AON_RTC:SUBSECINC のビット 23:16 の新しい値。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.33 RTCSUBSECINCCTL レジスタ (オフセット = 84h) [リセット = 00000000h]

RTCSUBSECINCCTL は図 19-186 に示されており、表 19-208 で説明されています。

概略表に戻ります。

リアルタイム カウンタ サブ秒インクリメント制御

図 19-186. RTCSUBSECINCCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						UPD_ACK	UPD_REQ
R-0h						R-0h	R/W-0h

表 19-208. RTCSUBSECINCCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	UPD_ACK	R	0h	更新のアクノリッジ。 0:AON_RTC は UPD_REQ をアクノリッジしていません。 1:AON_RTC は UPD_REQ をアクノリッジしています。
0	UPD_REQ	R/W	0h	AON_RTC に対して、AON_RTC:SUBSECINC の更新を要求します。 0:更新の要求をクリアします。 1:更新の要求を設定します。 UPD_REQ は、UPD_ACK と等しい場合にのみ変更してください。 UPD_ACK が 1 になった後に UPD_REQ をクリアします。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.34 RTCSEC レジスタ (オフセット = 88h) [リセット = 00000000h]

図 19-187 に、RTCSEC を示し、表 19-209 に、その説明を示します。

概略表に戻ります。

リアルタイム カウンタ秒
システム CPU は、このレジスタにアクセスしてはなりません。代わりに、システム CPU は AON_RTC:SEC.VALUE に直接アクセスする必要があります。

図 19-187. RTCSEC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																SEC															
R-0h																R-0h															

表 19-209. RTCSEC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	SEC	R	0h	AON_RTC:SEC.VALUE のビット 15:0。 正しい値を取得するには、以下の手順に従います。 - SEC のダミー読み取りを 2 回行います。 - 次に、読み取り値が 2 回連続で等しくなるまで SEC を読み取ります。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.35 RTCSUBSEC レジスタ (オフセット = 8Ch) [リセット = 00000000h]

RTCSUBSEC は図 19-188 に示されており、表 19-210 で説明されています。

概略表に戻ります。

リアルタイム カウンタ サブ秒
システム CPU は、このレジスタにアクセスしてはなりません。代わりに、システム CPU は AON_RTC:SUBSEC.VALUE に直接アクセスする必要があります。

図 19-188. RTCSUBSEC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																SUBSEC															
R-0h																R-0h															

表 19-210. RTCSUBSEC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	SUBSEC	R	0h	AON_RTC:SUBSEC.VALUE のビット 31:16。 正しい値を取得するには、以下の手順に従います。 - SUBSEC のダミー読み取りを 2 回行います。 - 次に、読み取り値が 2 回連続で等しくなるまで SUBSEC を読み取ります。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.36 RTCEVCLR レジスタ (オフセット = 90h) [リセット = 00000000h]

RTCEVCLR は図 19-189 に示されており、表 19-211 で説明されています。

概略表に戻ります。

AON_RTC イベントのクリア
イベントのクリアを以下のようにして要求します。
- AON_RTC:EVFLAGS.CH2。
- AON_RTC:EVFLAGS.CH2 の遅延バージョン。
- AUX_EVCTL:EVSTAT2.AON_RTC_CH2。
- AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY。

図 19-189. RTCEVCLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							RTC_CH2_EV_CLR
R-0h							R/W-0h

表 19-211. RTCEVCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	RTC_CH2_EV_CLR	R/W	0h	AON_RTC チャネル 2 からイベントをクリアします。 0:影響なし。 1:AON_RTC チャネル 2 からイベントをクリアします。 AUX_EVCTL:EVSTAT2.AON_RTC_CH2 と AUX_EVCTL:EVSTAT2.AON_RTC_CH2_DLY が 0 になるまで、 RTC_CH2_EV_CLR を High に維持します。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.37 BATMONBAT レジスタ (オフセット = 94h) [リセット = 00000000h]

BATMONBAT は図 19-190 に示されており、表 19-212 で説明されています。

概略表に戻ります。

AON_BATMON バッテリ電圧の値
AON_BATMON:BAT への読み取りアクセス。システム CPU は、このレジスタにアクセスしてはなりません。代わりに、システム CPU は AON_BATMON:BAT に直接アクセスする必要があります。AON_BATMON:BAT は VDDR 再充電中またはアクティブ動作モード中に更新されます。

図 19-190. BATMONBAT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					INT			FRAC							
R-0h																					RH-0h			R-0h							

表 19-212. BATMONBAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-8	INT	RH	0h	AON_BATMON:BAT.INT を参照してください。 正しい値を取得するには、以下の手順に従います。 - INT のダミー読み取りを 2 回行います。 - 次に、読み取り値が 2 回連続で等しくなるまで INT を読み取ります。
7-0	FRAC	R	0h	AON_BATMON:BAT.FRAC を参照してください。 正しい値を取得するには、以下の手順に従います。 - FRAC のダミー読み取りを 2 回行います。 - 次に、読み取り値が 2 回連続で等しくなるまで FRAC を読み取ります。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.38 BATMONTEMP レジスタ (オフセット = 9Ch) [リセット = 00000000h]

BATMONTEMP は図 19-191 に示されており、表 19-213 で説明されています。

概略表に戻ります。

AON_BATMON 温度の値
AON_BATMON:TEMP への読み取りアクセス。システム CPU は、このレジスタにアクセスしてはなりません。代わりに、システム CPU は AON_BATMON:TEMP に直接アクセスする必要があります。AON_BATMON:TEMP は VDDR 再充電中またはアクティブ動作モード中に更新されます。

図 19-191. BATMONTEMP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIGN					INT									FRAC	
R-0h					RH-0h									R-0h	

表 19-213. BATMONTEMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-11	SIGN	R	0h	INT の符号拡張。 正しい値を取得するには、以下の手順に従います。 - SIGN のダミー読み取りを 2 回行います。 - 次に、読み取り値が 2 回連続で等しくなるまで SIGN を読み取ります。
10-2	INT	RH	0h	AON_BATMON:TEMP.INT を参照してください。 正しい値を取得するには、以下の手順に従います。 - INT のダミー読み取りを 2 回行います。 - 次に、読み取り値が 2 回連続で等しくなるまで INT を読み取ります。
1-0	FRAC	R	0h	AON_BATMON:TEMP.FRAC を参照してください。 正しい値を取得するには、以下の手順に従います。 - FRAC のダミー読み取りを 2 回行います。 - 次に、読み取り値が 2 回連続で等しくなるまで FRAC を読み取ります。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.39 TIMERHALT レジスタ (オフセット = A0h) [リセット = 00000000h]

TIMERHALT は図 19-192 に示されており、表 19-214 で説明されています。

概略表に戻ります。

タイマの停止
デバッグ レジスタ

図 19-192. TIMERHALT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				PROGDLY	AUX_TIMER2	AUX_TIMER1	AUX_TIMER0
R-0h				RH/W-0h	RH/W-0h	RH/W-0h	RH/W-0h

表 19-214. TIMERHALT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	PROGDLY	RH/W	0h	プログラマブルな遅延を停止します。 0:AUX_EVCTL:PROGDLY.VALUE は通常どおりデクリメントします。 1:AUX_EVCTL:PROGDLY.VALUE のデクリメントを停止します。
2	AUX_TIMER2	RH/W	0h	AUX_TIMER2 を停止します。 0:AUX_TIMER2 は通常どおり動作します。 1:AUX_TIMER2 の動作を停止します。
1	AUX_TIMER1	RH/W	0h	AUX_TIMER01 タイマ 1 を停止します。 0:AUX_TIMER01 タイマ 1 は通常どおり動作します。 1:AUX_TIMER01 のタイマ 1 の動作を停止します。
0	AUX_TIMER0	RH/W	0h	AUX_TIMER01 タイマ 0 を停止します。 0:AUX_TIMER01 タイマ 0 は通常どおり動作します。 1:AUX_TIMER01 のタイマ 0 の動作を停止します。

Copyright © 2026 Texas Instruments Incorporated

19.8.9.40 TIMER2BRIDGE レジスタ (オフセット = B0h) [リセット = 00000000h]

図 19-193 に、TIMER2BRIDGE を示し、表 19-215 に、その説明を示します。

概略表に戻ります。

AUX_TIMER2 ブリッジ

図 19-193. TIMER2BRIDGE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							BUSY
R-0h							R-0h

表 19-215. TIMER2BRIDGE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	BUSY	R	0h	AUX_TIMER2 へのバストランザクションのステータス。 0:未完了のバストランザクションはありません。 1:バストランザクションが進行中です。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.9.41 SWPWRPROF レジスタ (オフセット = B4h) [リセット = 00000000h]

SWPWRPROF は図 19-194 に示されており、表 19-216 で説明されています。

概略表に戻ります。

ソフトウェア電源プロファイラ

図 19-194. SWPWRPROF レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														STAT	
R-0h														R/W-0h	

表 19-216. SWPWRPROF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	STAT	R/W	0h	パワー プロファイラが読み取ることのできるソフトウェア ステータス ビット。

Copyright © 2026 Texas Instruments Incorporated

19.8.10 AUX_SPIM レジスタ

表 19-217 に、AUX_SPIM レジスタのメモリマップト レジスタを示します。表 19-217 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-217. AUX_SPIM レジスタ

オフセット	略称	レジスタ名	セクション
0h	SPIMCFG	SPI マスタ構成	SPIMCFG レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	MISOCFG	MISO の構成	MISOCFG レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	MOSICTL	MOSI 制御	MOSICTL レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	TX8	8 ビット送信	TX8 レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	TX16	16 ビット送信	TX16 レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	RX8	8 ビット受信	RX8 レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	RX16	16 ビット受信	RX16 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	SCLKIDLE	SCLK アイドル	SCLKIDLE レジスタ (オフセット = 1Ch) [リセット = 00000001h]
20h	DATAIDLE	データ アイドル	DATAIDLE レジスタ (オフセット = 20h) [リセット = 00000001h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-218 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-218. AUX_SPIM のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.10.1 SPIMCFG レジスタ (オフセット = 0h) [リセット = 00000000h]

SPIMCFG は図 19-195 に示されており、表 19-219 で説明されています。

概略表に戻ります。

SPI マスタ構成
現在の転送が完了するまで、書き込み操作はストールします。

図 19-195. SPIMCFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								DIV						PHA	POL
R-0h								R/W-0h						R/W-0h	R/W-0h

表 19-219. SPIMCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-2	DIV	R/W	0h	SCLK 分周器。 ペリフェラル クロック周波数の分周により SCLK クロック周波数が決まります。分周比は (2 × (DIV+1)): 0x00:2 分周。 0x01:4 分周。 0x02:6 分周。 ... 0x3F:128 分周。
1	PHA	R/W	0h	MOSI と MISO データ信号の位相。 0:SCLK の立ち上がり (奇数) エッジで MISO をサンプリングし、SCLK の立ち下がり (偶数) エッジで MOSI をシフトします。 1:SCLK の立ち下がり (偶数) エッジで MISO をサンプリングし、SCLK の立ち上がり (奇数) エッジで MOSI をシフトします。
0	POL	R/W	0h	SCLK 信号の極性。 0:アイドル時に SCLK は Low で、最初のクロック エッジは立ち上がりになります。 1:アイドル時に SCLK は High で、最初のクロックエッジは立ち下がりになります。

Copyright © 2026 Texas Instruments Incorporated

19.8.10.2 MISOCFG レジスタ (オフセット = 4h) [リセット = 00000000h]

MISOCFG は図 19-196 に示されており、表 19-220 で説明されています。

概略表に戻ります。

MISO 構成
現在の転送が完了するまで、書き込み操作はストールします。

図 19-196. MISOCFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											AUXIO			
R-0h																											R/W-0h			

表 19-220. MISOCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-0	AUXIO	R/W	0h	AUXIO から MISO へのマルチプレクサ。 MISO に接続する AUXIO ピンを選択します。

Copyright © 2026 Texas Instruments Incorporated

19.8.10.3 MOSICTL レジスタ (オフセット = 8h) [リセット = 00000000h]

MOSICTL は図 19-197 に示されており、表 19-221 で説明されています。

概略表に戻ります。

MOSI 制御
現在の転送が完了するまで、書き込み操作はストールします。

図 19-197. MOSICTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							値
R-0h							W-0h

表 19-221. MOSICTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	値	W	0h	MOSI レベル制御。 0:MOSI を Low に設定します。 1:MOSI を High に設定します。

Copyright © 2026 Texas Instruments Incorporated

19.8.10.4 TX8 レジスタ (オフセット = Ch) [リセット = 00000000h]

図 19-198 に、TX8 を示し、表 19-222 に、その説明を示します。

概略表に戻ります。

8 ビット送信
現在の転送が完了するまで、書き込み操作はストールします。

図 19-198. TX8 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								データ							
R-0h																								W-0h							

表 19-222. TX8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	データ	W	0h	8 ビット データ転送。 DATA に書き込み、MSB ファーストで転送を開始します。転送が完了すると、MOSI は LSB の値にとどまります。

Copyright © 2026 Texas Instruments Incorporated

19.8.10.5 TX16 レジスタ (オフセット = 10h) [リセット = 00000000h]

図 19-199 に、TX16 を示し、表 19-223 に、その説明を示します。

概略表に戻ります。

16 ビット送信
現在の転送が完了するまで、書き込み操作はストールします。

図 19-199. TX16 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																データ															
R-0h																W-0h															

表 19-223. TX16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	データ	W	0h	16 ビット データ転送。 DATA に書き込み、MSB ファーストで転送を開始します。転送が完了すると、MOSI は LSB の値にとどまります。

Copyright © 2026 Texas Instruments Incorporated

19.8.10.6 RX8 レジスタ (オフセット = 14h) [リセット = 00000000h]

図 19-200 に、RX8 を示し、表 19-224 に、その説明を示します。

概略表に戻ります。

8 ビット受信
現在の転送が完了するまで、読み取り操作はストールします。

図 19-200. RX8 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								データ							
R-0h																								R-0h							

表 19-224. RX8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	データ	R	0h	MISO で受信された最新の 8 ビット。

Copyright © 2026 Texas Instruments Incorporated

19.8.10.7 RX16 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 19-201 に、RX16 を示し、表 19-225 に、その説明を示します。

概略表に戻ります。

16 ビット受信
現在の転送が完了するまで、読み取り操作はストールします。

図 19-201. RX16 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																データ															
R-0h																R-0h															

表 19-225. RX16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	データ	R	0h	MISO で受信された最新の 16 ビット。

Copyright © 2026 Texas Instruments Incorporated

19.8.10.8 SCLKIDLE レジスタ (オフセット = 1Ch) [リセット = 00000001h]

SCLKIDLE は図 19-202 に示されており、表 19-226 で説明されています。

概略表に戻ります。

SCLK アイドル
読み取り操作は、SCLK がアイドルになり、残りのクロック エッジがなくなるまでストールします。

図 19-202. SCLKIDLE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R-1h

表 19-226. SCLKIDLE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R	1h	SCLK がアイドル状態になるまで待ちます。 読み取り操作は、SCLK がアイドルになり、残りのクロック エッジがなくなるまでストールします。読み取ると 1 が返されます。 AUX_SCE はこれを使用して CS のデアサートを制御できます。

Copyright © 2026 Texas Instruments Incorporated

19.8.10.9 DATAIDLE レジスタ (オフセット = 20h) [リセット = 00000001h]

DATAIDLE は図 19-203 に示されており、表 19-227 で説明されています。

概略表に戻ります。

データ アイドル
読み取り操作は、現在の転送が完了するまでストールします。

図 19-203. DATAIDLE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R-1h

表 19-227. DATAIDLE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R	1h	データがアイドル状態になるまで待ちます。 読み取り操作は、LSB 転送に関連付けられた SCLK 周期が完了するまでストールします。読み取ると 1 が返されます。 AUX_SCE はこれを使用して CS のデアサートを制御できます。

Copyright © 2026 Texas Instruments Incorporated

19.8.11 AUX_MAC レジスタ

AUX_MAC レジスタのメモリマップト レジスタを、表 19-228 にリスト表示します。表 19-228 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-228. AUX_MAC レジスタ

オフセット	略称	レジスタ名	セクション
0h	OP0S	符号付きオペランド 0	OP0S レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	OP0U	符号なしオペランド 0	OP0U レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	OP1SMUL	符号付きオペランド 1 と乗算	OP1SMUL レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	OP1UMUL	符号なしオペランド 1 と乗算	OP1UMUL レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	OP1SMAC	符号付きオペランド 1 と積和演算	OP1SMAC レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	OP1UMAC	符号なしオペランド 1 と積和演算	OP1UMAC レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	OP1SADD16	符号付きオペランド 1 と 16 ビット加算	OP1SADD16 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	OP1UADD16	符号なしオペランド 1 と 16 ビット加算	OP1UADD16 レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	OP1SADD32	符号付きオペランド 1 と 32 ビット加算	OP1SADD32 レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	OP1UADD32	符号なしオペランド 1 と 32 ビット加算	OP1UADD32 レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	CLZ	先頭から連続する 0 の個数をカウント	CLZ レジスタ (オフセット = 28h) [リセット = 00000028h]
2Ch	CLS	先頭から連続する符号ビットの個数をカウント	CLS レジスタ (オフセット = 2Ch) [リセット = 00000028h]
30h	ACCSHIFT	アキュームレータのシフト	ACCSHIFT レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	ACCRESET	アキュームレータのリセット	ACCRESET レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	ACC15_0	アキュームレータ ビット 15:0	ACC15_0 レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	ACC16_1	アキュームレータ ビット 16:1	ACC16_1 レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	ACC17_2	アキュームレータ ビット 17:2	ACC17_2 レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	ACC18_3	アキュームレータ ビット 18:3	ACC18_3 レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	ACC19_4	アキュームレータ ビット 19:4	ACC19_4 レジスタ (オフセット = 48h) [リセット = 00000000h]
4Ch	ACC20_5	アキュームレータ ビット 20:5	ACC20_5 レジスタ (オフセット = 4Ch) [リセット = 00000000h]
50h	ACC21_6	アキュームレータ ビット 21:6	ACC21_6 レジスタ (オフセット = 50h) [リセット = 00000000h]
54h	ACC22_7	アキュームレータ ビット 22:7	ACC22_7 レジスタ (オフセット = 54h) [リセット = 00000000h]
58h	ACC23_8	アキュームレータ ビット 23:8	ACC23_8 レジスタ (オフセット = 58h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 19-228. AUX_MAC レジスタ (続き)

オフセット	略称	レジスタ名	セクション
5Ch	ACC24_9	アキュームレータ ビット 24:9	ACC24_9 レジスタ (オフセット = 5Ch) [リセット = 00000000h]
60h	ACC25_10	アキュームレータ ビット 25:10	ACC25_10 レジスタ (オフセット = 60h) [リセット = 00000000h]
64h	ACC26_11	アキュームレータ ビット 26:11	ACC26_11 レジスタ (オフセット = 64h) [リセット = 00000000h]
68h	ACC27_12	アキュームレータ ビット 27:12	ACC27_12 レジスタ (オフセット = 68h) [リセット = 00000000h]
6Ch	ACC28_13	アキュームレータ ビット 28:13	ACC28_13 レジスタ (オフセット = 6Ch) [リセット = 00000000h]
70h	ACC29_14	アキュームレータ ビット 29:14	ACC29_14 レジスタ (オフセット = 70h) [リセット = 00000000h]
74h	ACC30_15	アキュームレータ ビット 30:15	ACC30_15 レジスタ (オフセット = 74h) [リセット = 00000000h]
78h	ACC31_16	アキュームレータ ビット 31:16	ACC31_16 レジスタ (オフセット = 78h) [リセット = 00000000h]
7Ch	ACC32_17	アキュームレータ ビット 32:17	ACC32_17 レジスタ (オフセット = 7Ch) [リセット = 00000000h]
80h	ACC33_18	アキュームレータ ビット 33:18	ACC33_18 レジスタ (オフセット = 80h) [リセット = 00000000h]
84h	ACC34_19	アキュームレータ ビット 34:19	ACC34_19 レジスタ (オフセット = 84h) [リセット = 00000000h]
88h	ACC35_20	アキュームレータ ビット 35:20	ACC35_20 レジスタ (オフセット = 88h) [リセット = 00000000h]
8Ch	ACC36_21	アキュームレータ ビット 36:21	ACC36_21 レジスタ (オフセット = 8Ch) [リセット = 00000000h]
90h	ACC37_22	アキュームレータ ビット 37:22	ACC37_22 レジスタ (オフセット = 90h) [リセット = 00000000h]
94h	ACC38_23	アキュームレータ ビット 38:23	ACC38_23 レジスタ (オフセット = 94h) [リセット = 00000000h]
98h	ACC39_24	アキュームレータ ビット 39:24	ACC39_24 レジスタ (オフセット = 98h) [リセット = 00000000h]
9Ch	ACC39_32	アキュームレータ ビット 39:32	ACC39_32 レジスタ (オフセット = 9Ch) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-229 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-229. AUX_MAC アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.8.11.1 OP0S レジスタ (オフセット = 0h) [リセット = 00000000h]

図 19-204 に、OP0S を示し、表 19-230 に、その説明を示します。

概略表に戻ります。

符号付きオペランド 0

図 19-204. OP0S レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP0_VALUE															
R-0h																W-0h															

表 19-230. OP0S レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP0_VALUE	W	0h	符号付きオペランド 0。 乗算、乗算と累算、または 32 ビット加算演算用のオペランド。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.2 OP0U レジスタ (オフセット = 4h) [リセット = 00000000h]

図 19-205 に、OP0U を示し、表 19-231 に、その説明を示します。

概略表に戻ります。

符号なしオペランド 0

図 19-205. OP0U レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP0_VALUE															
R-0h																W-0h															

表 19-231. OP0U レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP0_VALUE	W	0h	符号なしオペランド 0。 乗算、乗算と累算、または 32 ビット加算演算用のオペランド。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.3 OP1SMUL レジスタ (オフセット = 8h) [リセット = 00000000h]

図 19-206 に、OP1SMUL を示し、表 19-232 に、その説明を示します。

概略表に戻ります。

符号付きオペランド 1 と乗算

図 19-206. OP1SMUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP1_VALUE															
R-0h																W-0h															

表 19-232. OP1SMUL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP1_VALUE	W	0h	符号付きオペランド 1 と乗算のトリガ。 OP1_VALUE に書き込み、符号付きオペランド 1 を設定して次の演算をトリガします。 オペランド 0 を OP0S.OP0_VALUE に書き込んだ場合：ACC = OP1_VALUE × OP0S.OP0_VALUE。 オペランド 0 を OP0U.OP0_VALUE に書き込んだ場合：ACC = OP1_VALUE × OP0U.OP0_VALUE。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.4 OP1UMUL レジスタ (オフセット = Ch) [リセット = 00000000h]

図 19-207 に、OP1UMUL を示し、表 19-233 に、その説明を示します。

概略表に戻ります。

符号なしオペランド 1 と乗算

図 19-207. OP1UMUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP1_VALUE															
R-0h																W-0h															

表 19-233. OP1UMUL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP1_VALUE	W	0h	符号なしオペランド 1 と乗算のトリガ。 OP1_VALUE に書き込み、符号なしオペランド 1 を設定して次の演算をトリガします。 オペランド 0 を OP0S.OP0_VALUE に書き込んだ場合:ACC = OP1_VALUE × OP0S.OP0_VALUE。 オペランド 0 を OP0U.OP0_VALUE に書き込んだ場合:ACC = OP1_VALUE × OP0U.OP0_VALUE。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.5 OP1SMAC レジスタ (オフセット = 10h) [リセット = 00000000h]

図 19-208 に、OP1SMAC を示し、表 19-234 に、その説明を示します。

概略表に戻ります。

符号付きオペランド 1 と積和演算

図 19-208. OP1SMAC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP1_VALUE															
R-0h																W-0h															

表 19-234. OP1SMAC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP1_VALUE	W	0h	符号付きオペランド 1 と積和演算のトリガ。 OP1_VALUE に書き込み、符号付きオペランド 1 を設定して次の演算をトリガします。 オペランド 0 を OP0S.OP0_VALUE に書き込んだ場合:ACC = ACC+ (OP1_VALUE × OP0S.OP0_VALUE)。 オペランド 0 を OP0U.OP0_VALUE に書き込んだ場合:ACC = ACC+ (OP1_VALUE × OP0U.OP0_VALUE)。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.11.6 OP1UMAC レジスタ (オフセット = 14h) [リセット = 00000000h]

図 19-209 に、OP1UMAC を示し、表 19-235 に、その説明を示します。

概略表に戻ります。

符号なしオペランド 1 と積和演算

図 19-209. OP1UMAC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP1_VALUE															
R-0h																W-0h															

表 19-235. OP1UMAC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP1_VALUE	W	0h	符号なしオペランド 1 と積和演算のトリガ。 OP1_VALUE に書き込み、符号なしオペランド 1 を設定して次の演算をトリガします。 オペランド 0 を OP0S.OP0_VALUE に書き込んだ場合:ACC = ACC+ (OP1_VALUE × OP0S.OP0_VALUE)。 オペランド 0 を OP0U.OP0_VALUE に書き込んだ場合:ACC = ACC+ (OP1_VALUE × OP0U.OP0_VALUE)。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.7 OP1SADD16 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 19-210 に、OP1SADD16 を示し、表 19-236 に、その説明を示します。

概略表に戻ります。

符号付きオペランド 1 と 16 ビット加算

図 19-210. OP1SADD16 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP1_VALUE															
R-0h																W-0h															

表 19-236. OP1SADD16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP1_VALUE	W	0h	符号付きオペランド 1 と 16 ビット加算のトリガ。 OP1_VALUE に書き込み、符号付きオペランド 1 を設定して次の演算をトリガします。 ACC = ACC + OP1_VALUE。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.8 OP1UADD16 レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 19-211 に、OP1UADD16 を示し、表 19-237 に、その説明を示します。

概略表に戻ります。

符号なしオペランド 1 と 16 ビット加算

図 19-211. OP1UADD16 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP1_VALUE															
R-0h																W-0h															

表 19-237. OP1UADD16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP1_VALUE	W	0h	符号なしオペランド 1 と 16 ビット加算のトリガ。 OP1_VALUE に書き込み、符号なしオペランド 1 を設定して次の演算をトリガします。 ACC = ACC + OP1_VALUE。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.9 OP1SADD32 レジスタ (オフセット = 20h) [リセット = 00000000h]

図 19-212 に、OP1SADD32 を示し、表 19-238 に、その説明を示します。

概略表に戻ります。

符号付きオペランド 1 と 32 ビット加算

図 19-212. OP1SADD32 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP1_VALUE															
R-0h																W-0h															

表 19-238. OP1SADD32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP1_VALUE	W	0h	符号付き 32 ビット オペランドの上位半分と加算のトリガ。 OP1_VALUE に書き込み、符号付き 32 ビット オペランドの上位半分を設定して次の演算をトリガします。 32 ビット オペランドの下位半分を OP0S.OP0_VALUE に書き込んだ場合:ACC = ACC+ ((OP1_VALUE << 16) | OP0S.OP0_VALUE)。 32 ビット オペランドの下位半分を OP0U.OP0_VALUE に書き込んだ場合:ACC = ACC + ((OP1_VALUE << 16) | OP0U.OP0_VALUE)。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.10 OP1UADD32 レジスタ (オフセット = 24h) [リセット = 00000000h]

図 19-213 に、OP1UADD32 を示し、表 19-239 に、その説明を示します。

概略表に戻ります。

符号なしオペランド 1 と 32 ビット加算

図 19-213. OP1UADD32 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OP1_VALUE															
R-0h																W-0h															

表 19-239. OP1UADD32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OP1_VALUE	W	0h	符号なし 32 ビット オペランドの上位半分と加算のトリガ。 OP1_VALUE に書き込み、符号なし 32 ビット オペランドの上位半分を設定して次の演算をトリガします。 32 ビット オペランドの下位半分を OP0S.OP0_VALUE に書き込んだ場合:ACC = ACC+ ((OP1_VALUE << 16) | OP0S.OP0_VALUE)。 32 ビット オペランドの下位半分を OP0U.OP0_VALUE に書き込んだ場合:ACC = ACC + ((OP1_VALUE << 16) | OP0U.OP0_VALUE)。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.11 CLZ レジスタ (オフセット = 28h) [リセット = 00000028h]

図 19-214 に、CLZ を示し、表 19-240 に、その説明を示します。

概略表に戻ります。

先頭から連続する 0 の個数をカウント

図 19-214. CLZ レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										値					
R-0h																										R-28h					

表 19-240. CLZ レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	値	R	28h	アキュームレータ内の先頭から連続する 0 ビットの個数: 0x00: 先頭から連続するゼロの個数は 0 個。 0x01: 先頭から連続するゼロの個数は 1 個。 ... 0x28: 先頭から連続するゼロの個数は 40 個 (アキュームレータ値は 0)。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.11.12 CLS レジスタ (オフセット = 2Ch) [リセット = 00000028h]

図 19-215 に、CLS を示し、表 19-241 に、その説明を示します。

概略表に戻ります。

先頭から連続する符号ビットの個数をカウント

図 19-215. CLS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										値					
R-0h																										R-28h					

表 19-241. CLS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	値	R	28h	アキュームレータの先頭から連続する符号ビットの個数。 アキュームレータの MSB が 0 の場合、VALUE は先頭 (MSB を含む) から連続するゼロの個数です。 アキュームレータの MSB が 1 の場合、VALUE は先頭 (MSB を含む) から連続する 1 の個数です。 VALUE の範囲は 1 ～ 40 です。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.13 ACCSHIFT レジスタ (オフセット = 30h) [リセット = 00000000h]

ACCSHIFT は図 19-216 に提示し、表 19-242 で説明しています。

概略表に戻ります。

アキュームレータ シフト
レジスタ書き込みごとに 1 つのシフト演算のみをトリガできます。

図 19-216. ACCSHIFT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					LSL1	LSR1	ASR1
R-0h					W-0h	W-0h	W-0h

表 19-242. ACCSHIFT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	LSL1	W	0h	1 ビット左に論理シフト。 1 を書き込むとアキュームレータを 1 ビット左にシフトし、ビット 0 に 0 を挿入。
1	LSR1	W	0h	1 ビット右論理にシフト。 1 を書き込むとアキュームレータを 1 ビット右にシフトし、ビット 39 に 0 を挿入。
0	ASR1	W	0h	1 ビット右に算術シフト。 1 を書き込むとアキュームレータを 1 ビット右にシフトし、ビット 39 に以前の符号ビットを挿入。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.14 ACCRESET レジスタ (オフセット = 34h) [リセット = 00000000h]

ACCRESET は図 19-217 に提示し、表 19-243 で説明しています。

概略表に戻ります。

アキュームレータのリセット

図 19-217. ACCRESET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																TRG															
R-0h																W-0h															

表 19-243. ACCRESET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	TRG	W	0h	このレジスタになんらかの値を書き込むと、アキュームレータのすべてのビットがリセットされます。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.15 ACC15_0 レジスタ (オフセット = 38h) [リセット = 00000000h]

図 19-218 に、ACC15_0 を示し、表 19-244 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 15:0

図 19-218. ACC15_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-244. ACC15_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	アキュームレータの値、ビット 15:0。 VALUE を書き込むと、アキュームレータのビット 15:0 を初期化します。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.16 ACC16_1 レジスタ (オフセット = 3Ch) [リセット = 00000000h]

図 19-219 に、ACC16_1 を示し、表 19-245 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 16:1

図 19-219. ACC16_1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-245. ACC16_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 16:1。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.17 ACC17_2 レジスタ (オフセット = 40h) [リセット = 00000000h]

図 19-220 に、ACC17_2 を示し、表 19-246 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 17:2

図 19-220. ACC17_2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-246. ACC17_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 17:2。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.11.18 ACC18_3 レジスタ (オフセット = 44h) [リセット = 00000000h]

図 19-221 に、ACC18_3 を示し、表 19-247 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 18:3

図 19-221. ACC18_3 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-247. ACC18_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 18:3。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.19 ACC19_4 レジスタ (オフセット = 48h) [リセット = 00000000h]

図 19-222 に、ACC19_4 を示し、表 19-248 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 19:4

図 19-222. ACC19_4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-248. ACC19_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 19:4。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.11.20 ACC20_5 レジスタ (オフセット = 4Ch) [リセット = 00000000h]

図 19-223 に、ACC20_5 を示し、表 19-249 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 20:5

図 19-223. ACC20_5 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-249. ACC20_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 20:5。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.21 ACC21_6 レジスタ (オフセット = 50h) [リセット = 00000000h]

図 19-224 に、ACC21_6 を示し、表 19-250 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 21:6

図 19-224. ACC21_6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-250. ACC21_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 21:6。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.22 ACC22_7 レジスタ (オフセット = 54h) [リセット = 00000000h]

図 19-225 に、ACC22_7 を示し、表 19-251 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 22:7

図 19-225. ACC22_7 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-251. ACC22_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 22:7。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.23 ACC23_8 レジスタ (オフセット = 58h) [リセット = 00000000h]

図 19-226 に、ACC23_8 を示し、表 19-252 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 23:8

図 19-226. ACC23_8 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-252. ACC23_8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 23:8。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.24 ACC24_9 レジスタ (オフセット = 5Ch) [リセット = 00000000h]

図 19-227 に、ACC24_9 を示し、表 19-253 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 24:9

図 19-227. ACC24_9 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-253. ACC24_9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 24:9。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.25 ACC25_10 レジスタ (オフセット = 60h) [リセット = 00000000h]

図 19-228 に、ACC25_10 を示し、表 19-254 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 25:10

図 19-228. ACC25_10 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-254. ACC25_10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 25:10。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.26 ACC26_11 レジスタ (オフセット = 64h) [リセット = 00000000h]

図 19-229 に、ACC26_11 を示し、表 19-255 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 26:11

図 19-229. ACC26_11 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-255. ACC26_11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 26:11。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.27 ACC27_12 レジスタ (オフセット = 68h) [リセット = 00000000h]

図 19-230 に、ACC27_12 を示し、表 19-256 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 27:12

図 19-230. ACC27_12 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-256. ACC27_12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 27:12。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.28 ACC28_13 レジスタ (オフセット = 6Ch) [リセット = 00000000h]

図 19-231 に、ACC28_13 を示し、表 19-257 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 28:13

図 19-231. ACC28_13 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-257. ACC28_13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 28:13。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.29 ACC29_14 レジスタ (オフセット = 70h) [リセット = 00000000h]

図 19-232 に、ACC29_14 を示し、表 19-258 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 29:14

図 19-232. ACC29_14 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-258. ACC29_14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 29:14。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.30 ACC30_15 レジスタ (オフセット = 74h) [リセット = 00000000h]

図 19-233 に、ACC30_15 を示し、表 19-259 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 30:15

図 19-233. ACC30_15 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-259. ACC30_15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 30:15。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.31 ACC31_16 レジスタ (オフセット = 78h) [リセット = 00000000h]

図 19-234 に、ACC31_16 を示し、表 19-260 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 31:16

図 19-234. ACC31_16 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 19-260. ACC31_16 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	アキュームレータの値、ビット 31:16。 VALUE を書き込むと、アキュームレータのビット 31:16 を初期化します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.11.32 ACC32_17 レジスタ (オフセット = 7Ch) [リセット = 00000000h]

図 19-235 に、ACC32_17 を示し、表 19-261 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 32:17

図 19-235. ACC32_17 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-261. ACC32_17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 32:17。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.33 ACC33_18 レジスタ (オフセット = 80h) [リセット = 00000000h]

図 19-236 に、ACC33_18 を示し、表 19-262 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 33:18

図 19-236. ACC33_18 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-262. ACC33_18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 33:18。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.34 ACC34_19 レジスタ (オフセット = 84h) [リセット = 00000000h]

図 19-237 に、ACC34_19 を示し、表 19-263 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 34:19

図 19-237. ACC34_19 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-263. ACC34_19 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 34:19。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.35 ACC35_20 レジスタ (オフセット = 88h) [リセット = 00000000h]

図 19-238 に、ACC35_20 を示し、表 19-264 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 35:20

図 19-238. ACC35_20 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-264. ACC35_20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 35:20。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.36 ACC36_21 レジスタ (オフセット = 8Ch) [リセット = 00000000h]

図 19-239 に、ACC36_21 を示し、表 19-265 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 36:21

図 19-239. ACC36_21 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-265. ACC36_21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 36:21。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.37 ACC37_22 レジスタ (オフセット = 90h) [リセット = 00000000h]

図 19-240 に、ACC37_22 を示し、表 19-266 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 37:22

図 19-240. ACC37_22 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-266. ACC37_22 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 37:22。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.11.38 ACC38_23 レジスタ (オフセット = 94h) [リセット = 00000000h]

図 19-241 に、ACC38_23 を示し、表 19-267 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 38:23

図 19-241. ACC38_23 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-267. ACC38_23 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 38:23。

Copyright © 2026 Texas Instruments Incorporated

19.8.11.39 ACC39_24 レジスタ (オフセット = 98h) [リセット = 00000000h]

図 19-242 に、ACC39_24 を示し、表 19-268 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 39:24

図 19-242. ACC39_24 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 19-268. ACC39_24 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	アキュームレータの値、ビット 39:24。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.11.40 ACC39_32 レジスタ (オフセット = 9Ch) [リセット = 00000000h]

図 19-243 に、ACC39_32 を示し、表 19-269 に、その説明を示します。

概略表に戻ります。

アキュームレータ ビット 39:32

図 19-243. ACC39_32 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								値							
R-0h																								R/W-0h							

表 19-269. ACC39_32 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	値	R/W	0h	アキュームレータの値、ビット 39:32。 VALUE を書き込むと、アキュームレータのビット 39:32 を初期化します。

Copyright © 2026 Texas Instruments Incorporated

19.8.12 AUX_SCE レジスタ

AUX_SCE レジスタのメモリマップト レジスタを、表 19-270 にリスト表示します。表 19-270 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-270. AUX_SCE レジスタ

オフセット	略称	レジスタ名	セクション
0h	CTL	内部	CTL レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	FETCHSTAT	内部	FETCHSTAT レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	CPUSTAT	内部	CPUSTAT レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	WUSTAT	内部	WUSTAT レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	REG1_0	内部	REG1_0 レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	REG3_2	内部	REG3_2 レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	REG5_4	内部	REG5_4 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	REG7_6	内部	REG7_6 レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	LOOPADDR	内部	LOOPADDR レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	LOOPCNT	内部	LOOPCNT レジスタ (オフセット = 24h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-271 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-271. AUX_SCE アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

19.8.12.1 CTL レジスタ (オフセット = 0h) [リセット = 00000000h]

図 19-244 に、CTL を示し、表 19-272 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-244. CTL レジスタ

31	30	29	28	27	26	25	24
FORCE_EV_LOW							
R/W-0h							
23	22	21	20	19	18	17	16
FORCE_EV_HIGH							
R/W-0h							
15	14	13	12	11	10	9	8
RESET_VECTOR							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み	DBG_FREEZE_EN	FORCE_WU_LOW	FORCE_WU_HIGH	RESTART	SINGLE_STEP	中断	CLK_EN
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 19-272. CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	FORCE_EV_LOW	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
23-16	FORCE_EV_HIGH	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
15-8	RESET_VECTOR	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
7	予約済み	R	0h	予約済み
6	DBG_FREEZE_EN	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
5	FORCE_WU_LOW	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
4	FORCE_WU_HIGH	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
3	RESTART	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
2	SINGLE_STEP	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
1	中断	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
0	CLK_EN	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.2 FETCHSTAT レジスタ (オフセット = 4h) [リセット = 00000000h]

FETCHSTAT は図 19-245 に提示し、表 19-273 で説明しています。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-245. FETCHSTAT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPCODE																PC															
R-0h																R-0h															

表 19-273. FETCHSTAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	OPCODE	R	0h	内部用。TI が提供する API によってのみ使用されます。
15-0	PC	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.3 CPUSTAT レジスタ (オフセット = 8h) [リセット = 00000000h]

CPUSTAT は図 19-246 に提示し、表 19-274 で説明しています。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-246. CPUSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				BUS_ERROR	SLEEP	WEV	HALTED
R-0h				R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み				V_FLAG	C_FLAG	N_FLAG	Z_FLAG
R-0h				R-0h	R-0h	R-0h	R-0h

表 19-274. CPUSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11	BUS_ERROR	R	0h	内部用。TI が提供する API によってのみ使用されます。
10	SLEEP	R	0h	内部用。TI が提供する API によってのみ使用されます。
9	WEV	R	0h	内部用。TI が提供する API によってのみ使用されます。
8	HALTED	R	0h	内部用。TI が提供する API によってのみ使用されます。
7-4	予約済み	R	0h	予約済み
3	V_FLAG	R	0h	内部用。TI が提供する API によってのみ使用されます。
2	C_FLAG	R	0h	内部用。TI が提供する API によってのみ使用されます。
1	N_FLAG	R	0h	内部用。TI が提供する API によってのみ使用されます。
0	Z_FLAG	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.4 WUSTAT レジスタ (オフセット = Ch) [リセット = 00000000h]

図 19-247 に、WUSTAT を示し、表 19-275 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-247. WUSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み					EXC_VECTOR		
R-0h					R-0h		
15	14	13	12	11	10	9	8
予約済み							WU_SIGNAL
R-0h							R-0h
7	6	5	4	3	2	1	0
EV_SIGNALS							
R-0h							

表 19-275. WUSTAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-16	EXC_VECTOR	R	0h	内部用。TI が提供する API によってのみ使用されます。
15-9	予約済み	R	0h	予約済み
8	WU_SIGNAL	R	0h	内部用。TI が提供する API によってのみ使用されます。
7-0	EV_SIGNALS	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.5 REG1_0 レジスタ (オフセット = 10h) [リセット = 00000000h]

図 19-248 に、REG1_0 を示し、表 19-276 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-248. REG1_0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REG1																REG0															
R-0h																R-0h															

表 19-276. REG1_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	REG1	R	0h	内部用。TI が提供する API によってのみ使用されます。
15-0	REG0	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.6 REG3_2 レジスタ (オフセット = 14h) [リセット = 00000000h]

図 19-249 に、REG3_2 を示し、表 19-277 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-249. REG3_2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REG3																REG2															
R-0h																R-0h															

表 19-277. REG3_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	REG3	R	0h	内部用。TI が提供する API によってのみ使用されます。
15-0	REG2	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.7 REG5_4 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 19-250 に、REG5_4 を示し、表 19-278 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-250. REG5_4 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REG5																REG4															
R-0h																R-0h															

表 19-278. REG5_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	REG5	R	0h	内部用。TI が提供する API によってのみ使用されます。
15-0	REG4	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.8 REG7_6 レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 19-251 に、REG7_6 を示し、表 19-279 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-251. REG7_6 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REG7																REG6															
R-0h																R-0h															

表 19-279. REG7_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	REG7	R	0h	内部用。TI が提供する API によってのみ使用されます。
15-0	REG6	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.9 LOOPADDR レジスタ (オフセット = 20h) [リセット = 00000000h]

LOOPADDR は図 19-252 に提示し、表 19-280 で説明しています。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-252. LOOPADDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ストップ																START															
R-0h																R-0h															

表 19-280. LOOPADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	ストップ	R	0h	内部用。TI が提供する API によってのみ使用されます。
15-0	START	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

19.8.12.10 LOOPCNT レジスタ (オフセット = 24h) [リセット = 00000000h]

LOOPCNT は図 19-253 に提示し、表 19-281 で説明しています。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 19-253. LOOPCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								ITER_LEFT							
R-0h								R-0h							

表 19-281. LOOPCNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	ITER_LEFT	R	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

Chapter 20

バッテリ モニタおよび温度センサ (BATMON)

この章では、CC13x2 および CC26x2 デバイス プラットフォームのバッテリ モニタと温度センサについて説明します。

20.1 概要 1875
20.2 機能説明 1875
20.3 BATMON レジスタ 1875

Copyright © 2026 Texas Instruments Incorporated

20.1 概要

バッテリ モニタは、VDDS の電源電圧とオンチップ温度センサによる温度の両方を監視する、ブート時に自動的に有効化される小さなブロックです。バッテリおよび温度監視ブロックは、有効化すると、最も深い電力モードである STANDBY および SHUTDOWN を除くすべての動作モードで動作します。デバイスが STANDBY 状態のとき、バッテリ監視モジュールによる測定は再充電サイクルに制限されます。各再充電サイクルで、少なくとも 2 回の測定が実行されます。

バッテリ モニタは、フラッシュや無線モジュールなどの複数のモジュールに電圧と温度の情報を提供し、正常な動作と最小限の消費電力を保証します。そのため、バッテリ モニタの設定を変更したり、オフにしたりすることはお勧めできません。

20.2 機能説明

バッテリ モニタは、逐次比較型の 7 ビット ADC で、125kHz で動作し、電源電圧と温度センサの代替測定を実行します。バッテリ モニタは最初の測定値が安定すると SAR モードでの動作を停止し、電圧と温度の線形トラッキングを開始します。小型デジタル コアがこれらの測定値を電圧および ℃ 単位の温度に変換します。これらは AON_BATMON:BAT および AON_BATMON:TEMP レジスタから直接読み出されます。

電源電圧または温度の変化が検出されると、バッテリ モニタは新しい一定電圧に落ち着くまで、電圧のみを追跡します。電圧スパイクを測定するバッテリ モニタの能力は、ADC の分解能と 125kHz のクロック速度によって制限されます。バッテリ モニタは、温度とバッテリ電圧を交互に切り替えるだけでなく、前回の読み出し以降に正または負の変化があったかどうかのチェックも交互に行うため、電圧低下の発生から ADC が温度または電圧の変化を検出するまでに 6 クロック サイクルの遅延が発生する可能性があります。電圧変化の検出時に電圧トラッキングが優先されるため、電圧も同時に変化している場合は、温度変化の検出がさらに遅れる可能性があります。このバッテリ モニタはバッテリ電圧を測定する設計であり、大きな消費電流による電圧スプリアスを測定するように設計されていないことに注意する必要があります。

このモジュールには、イベント レジスタ AON_BATMON:EVENT も含まれています。これには、次の 6 つのイベントが含まれます。

- TEMP_UPDATE：温度が変化したことを示します
- BATT_UPDATE：電圧が変化したことを示します
- TEMP_BELOW_LL：AON_BATMON:TEMPLL レジスタで設定されている下限値を温度が下回っていることを示します
- TEMP_OVER_UL：AON_BATMON:TEMPUL レジスタで設定されている上限値を温度が上回っていることを示します
- BATT_BELOW_LL：AON_BATMON:BATTLL レジスタで設定されている下限値を電圧が下回っていることを示します
- BATT_OVER_UL：AON_BATMON:BATTUL レジスタで設定されている上限値を電圧が上回っていることを示します

これらのイベントは、AON_BATMON:EVENT レジスタに書き込むことでクリアする必要があります。イベントの条件が満たされると、イベントが再度アサートされます (新しいイベントのアサートがイベントのクリアよりも優先されます)。バッテリ モニタ モジュールには、前述の個別のイベントに加えて、複合イベントがあり、割り込みラインとして CPU に接続されています。マスク レジスタ AON_BATMON:EVENTMASK を使用して、AON_BATMON:EVENT 内のイベントのうち、結合されたイベントに寄与するイベントを選択できます。これらのイベントは AON イベント ファブリックに接続されます。詳細については、Chapter 5 を参照してください。

20.3 BATMON レジスタ

Copyright © 2026 Texas Instruments Incorporated

20.3.1 AON_BATMON レジスタ

表 20-1 に、AON_BATMON レジスタのメモリマップト レジスタを示します。表 20-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 20-1. AON_BATMON レジスタ

オフセット	略称	レジスタ名	セクション
0h	CTL	内部	CTL レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	MEASCFG	内部	MEASCFG レジスタ (オフセット = 4h) [リセット = 00000000h]
Ch	TEMPP0	内部	TEMPP0 レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	TEMPP1	内部	TEMPP1 レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	TEMPP2	内部	TEMPP2 レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	BATMONP0	内部	BATMONP0 レジスタ (オフセット = 18h) [リセット = 00000000h]
1Ch	BATMONP1	内部	BATMONP1 レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	IOSTRP0	内部	IOSTRP0 レジスタ (オフセット = 20h) [リセット = 00000028h]
24h	FLASHPUMPP0	内部	FLASHPUMPP0 レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	BAT	前回測定したバッテリ電圧	BAT レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	BATUPD	バッテリの更新	BATUPD レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	TEMP	温度	TEMP レジスタ (オフセット = 30h) [リセット = 00000000h]
34h	TEMPUPD	温度の更新	TEMPUPD レジスタ (オフセット = 34h) [リセット = 00000000h]
48h	EVENTMASK	イベント マスク	EVENTMASK レジスタ (オフセット = 48h) [リセット = 00000000h]
4Ch	EVENT	イベント	EVENT レジスタ (オフセット = 4Ch) [リセット = 00000000h]
50h	BATTUL	バッテリ上限	BATTUL レジスタ (オフセット = 50h) [リセット = 000007FFh]
54h	BATTLL	バッテリ下限	BATTLL レジスタ (オフセット = 54h) [リセット = 00000000h]
58h	TEMPUL	温度上限	TEMPUL レジスタ (オフセット = 58h) [リセット = 0000FFC0h]
5Ch	TEMPLL	温度下限	TEMPLL レジスタ (オフセット = 5Ch) [リセット = 00010000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 20-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 20-2. AON_BATMON のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し

Copyright © 2026 Texas Instruments Incorporated

表 20-2. AON_BATMON のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

20.3.1.1 CTL レジスタ (オフセット = 0h) [リセット = 00000000h]

図 20-1 に、CTL を示し、表 20-3 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-1. CTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						CALC_EN	MEAS_EN
R-0h						R/W-0h	R/W-0h

表 20-3. CTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	CALC_EN	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
0	MEAS_EN	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.2 MEASCFG レジスタ (オフセット = 4h) [リセット = 00000000h]

MEASCFG は図 20-2 に示されており、表 20-4 で説明されています。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-2. MEASCFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														PER	
R-0h														R/W-0h	

表 20-4. MEASCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	PER	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.3 TEMPP0 レジスタ (オフセット = Ch) [リセット = 00000000h]

図 20-3 に、TEMPP0 を示し、表 20-5 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-3. TEMPP0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								CFG							
R-0h																								R/W-0h							

表 20-5. TEMPP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	CFG	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.4 TEMPP1 レジスタ (オフセット = 10h) [リセット = 00000000h]

図 20-4 に、TEMPP1 を示し、表 20-6 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-4. TEMPP1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										CFG					
R-0h																										R/W-0h					

表 20-6. TEMPP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	CFG	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.5 TEMPP2 レジスタ (オフセット = 14h) [リセット = 00000000h]

図 20-5 に、TEMPP2 を示し、表 20-7 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-5. TEMPP2 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											CFG			
R-0h																											R/W-0h			

表 20-7. TEMPP2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-0	CFG	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.6 BATMONP0 レジスタ (オフセット = 18h) [リセット = 00000000h]

図 20-6 に、BATMONP0 を示し、表 20-8 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-6. BATMONP0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									CFG						
R-0h																									R/W-0h						

表 20-8. BATMONP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	CFG	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.7 BATMONP1 レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 20-7 に、BATMONP1 を示し、表 20-9 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-7. BATMONP1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										CFG					
R-0h																										R/W-0h					

表 20-9. BATMONP1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	CFG	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.8 IOSTRP0 レジスタ (オフセット = 20h) [リセット = 00000028h]

図 20-8 に、IOSTRP0 を示し、表 20-10 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-8. IOSTRP0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										CFG2		CFG1			
R-0h										R/W-2h		R/W-8h			

表 20-10. IOSTRP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-4	CFG2	R/W	2h	内部用。TI が提供する API によってのみ使用されます。
3-0	CFG1	R/W	8h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.9 FLASHPUMPP0 レジスタ (オフセット = 24h) [リセット = 00000000h]

図 20-9 に、FLASHPUMPP0 を示し、表 20-11 に、その説明を示します。

概略表に戻ります。

内部用。TI が提供する API によってのみ使用されます。

図 20-9. FLASHPUMPP0 レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						DIS_NOISE_FILTER	FALLB
R-0h						R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
HIGHLIM		LOWLIM	OVR	CFG			
R/W-0h		R/W-0h	R/W-0h	R/W-0h			

表 20-11. FLASHPUMPP0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	予約済み
9	DIS_NOISE_FILTER	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
8	FALLB	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
7-6	HIGHLIM	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
5	LOWLIM	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
4	OVR	R/W	0h	内部用。TI が提供する API によってのみ使用されます。
3-0	CFG	R/W	0h	内部用。TI が提供する API によってのみ使用されます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.10 BAT レジスタ (オフセット = 28h) [リセット = 00000000h]

図 20-10 に、BAT を示し、表 20-12 に、その説明を示します。

概略表に戻ります。

前回測定されたバッテリ電圧
このレジスタは、BATUPD.STAT = 1 のとき読み取ることができます

図 20-10. BAT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					INT			FRAC							
R-0h																					R-0h			R-0h							

表 20-12. BAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-8	INT	R	0h	整数部: 0x0:0V + 小数部 ... 0x3:3V + 小数部 0x4:4V + 小数部
7-0	FRAC	R	0h	小数部、標準 2 進小数エンコード。 0x00:.0V ... 0x20:1/8 = .125V 0x40:1/4 = .25V 0x80:1/2 = .5V ... 0xA0:1/2 + 1/8 = .625V ... 0xFF:最大

Copyright © 2026 Texas Instruments Incorporated

20.3.1.11 BATUPD レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 20-11 に、BATUPD を示し、表 20-13 に、その説明を示します。

概略表に戻ります。

バッテリの更新
BAT 更新を示します

図 20-11. BATUPD レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W1C-0h

表 20-13. BATUPD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W1C	0h	0:前回のクリア以降、更新がありません 1:新しいバッテリ電圧があります。 1 を書き込むとステータスがクリアされます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.12 TEMP レジスタ (オフセット = 30h) [リセット = 00000000h]

図 20-12 に、TEMP を示し、表 20-14 に、その説明を示します。

概略表に戻ります。

温度
前回測定された温度 (℃)
このレジスタは TEMPUPD.STAT = 1 のとき読み取ることができます。

図 20-12. TEMP レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															INT									予約済み							
R-0h															R-0h									R-0h							

表 20-14. TEMP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16-8	INT	R	0h	温度値の整数部 (符号付き)。 合計値 = 整数 + 小数 2 の補数エンコード 0x100:最小値 0x1D8:-40C 0x1FF:-1C 0x00:0C 0x1B:27C 0x55:85C 0xFF:最大値
7-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

20.3.1.13 TEMPUPD レジスタ (オフセット = 34h) [リセット = 00000000h]

TEMPUPD は図 20-13 に示されており、表 20-15 で説明されています。

概略表に戻ります。

温度の更新
TEMP 更新を示します

図 20-13. TEMPUPD レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							STAT
R-0h							R/W1C-0h

表 20-15. TEMPUPD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R/W1C	0h	0:前回のクリア以降、更新がありません 1:新しい温度があります。 1 を書き込むとステータスがクリアされます。

Copyright © 2026 Texas Instruments Incorporated

20.3.1.14 EVENTMASK レジスタ (オフセット = 48h) [リセット = 00000000h]

EVENTMASK は図 20-14 に示されており、表 20-16 で説明されています。

概略表に戻ります。

イベント マスク

図 20-14. EVENTMASK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		TEMP_UPDATE_MASK	BATT_UPDATE_MASK	TEMP_BELOW_LL_MASK	TEMP_OVER_UL_MASK	BATT_BELOW_LL_MASK	BATT_OVER_UL_MASK
R-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 20-16. EVENTMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	TEMP_UPDATE_MASK	R/W	0h	1:EVENT.TEMP_UPDATE は BATMON からの複合イベントに寄与します 0:EVENT.TEMP_UPDATE は BATMON からの複合イベントに寄与しません
4	BATT_UPDATE_MASK	R/W	0h	1:EVENT.BATT_UPDATE は BATMON からの複合イベントに寄与します 0:EVENT.BATT_UPDATE は、BATMON からの複合イベントに寄与しません
3	TEMP_BELOW_LL_MASK	R/W	0h	1:EVENT.TEMP_BELOW_LL は、BATMON からの複合イベントに寄与します 0:EVENT.TEMP_BELOW_LL は、BATMON からの複合イベントに寄与しません
2	TEMP_OVER_UL_MASK	R/W	0h	1:EVENT.TEMP_OVER_UL は BATMON からの複合イベントに寄与します 0:EVENT.TEMP_OVER_UL は、BATMON からの複合イベントに寄与しません
1	BATT_BELOW_LL_MASK	R/W	0h	1:EVENT.BATT_BELOW_LL は、BATMON からの複合イベントに寄与します 0:EVENT.BATT_BELOW_LL は、BATMON からの複合イベントに寄与しません
0	BATT_OVER_UL_MASK	R/W	0h	1:EVENT.BATT_OVER_UL は BATMON からの複合イベントに寄与します 0:EVENT.BATT_OVER_UL は、BATMON からの複合イベントに寄与しません

Copyright © 2026 Texas Instruments Incorporated

20.3.1.15 EVENT レジスタ (オフセット = 4Ch) [リセット = 00000000h]

図 20-15 に、EVENT を示し、表 20-17 に、その説明を示します。

概略表に戻ります。

イベント

図 20-15. EVENT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		TEMP_UPDATE	BATT_UPDATE	TEMP_BELOW_LL	TEMP_OVER_UL	BATT_BELOW_LL	BATT_OVER_UL
R-0h		R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 20-17. EVENT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	TEMP_UPDATE	R/W1C	0h	TEMPUPD.STAT のエイリアス
4	BATT_UPDATE	R/W1C	0h	BATUPD.STAT のエイリアス
3	TEMP_BELOW_LL	R/W1C	0h	読み取り: 1:温度レベルが TEMPLL で設定された下限を下回っています。 0:温度レベルは TEMPLL で設定された下限を下回っていません。 書き込み: 1:フラグをクリアします 0:フラグに変更はありません
2	TEMP_OVER_UL	R/W1C	0h	読み取り: 1:温度レベルが TEMPUL で設定された上限を超えています。 0:温度レベルは TEMPUL で設定された上限を超えていません。 書き込み: 1:フラグをクリアします 0:フラグに変更はありません
1	BATT_BELOW_LL	R/W1C	0h	読み取り: 1:バッテリ レベルが BATTLL で設定された下限を下回っています。 0:バッテリ レベルは BATTLL で設定された下限を下回っていません。 書き込み: 1:フラグをクリアします 0:フラグに変更はありません
0	BATT_OVER_UL	R/W1C	0h	読み取り: 1:バッテリ レベルが BATTUL で設定された上限を超えています。 0:バッテリ レベルは BATTUL で設定された上限を超えていません。 書き込み: 1:フラグをクリアします 0:フラグに変更はありません

Copyright © 2026 Texas Instruments Incorporated

20.3.1.16 BATTUL レジスタ (オフセット = 50h) [リセット = 000007FFh]

図 20-16 に、BATTUL を示し、表 20-18 に、その説明を示します。

概略表に戻ります。

バッテリ上限

図 20-16. BATTUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					INT			FRAC							
R-0h																					R/W-7h			R/W-FFh							

表 20-18. BATTUL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-8	INT	R/W	7h	整数部: 0x0:0V + 小数部 ... 0x3:3V + 小数部 0x4:4V + 小数部
7-0	FRAC	R/W	FFh	小数部、標準 2 進小数エンコード。 0x00:.0V ... 0x20:1/8 = .125V 0x40:1/4 = .25V 0x80:1/2 = .5V ... 0xA0:1/2 + 1/8 = .625V ... 0xFF:最大

Copyright © 2026 Texas Instruments Incorporated

20.3.1.17 BATTLL レジスタ (オフセット = 54h) [リセット = 00000000h]

図 20-17 に、BATTLL を示し、表 20-19 に、その説明を示します。

概略表に戻ります。

バッテリ下限

図 20-17. BATTLL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					INT			FRAC							
R-0h																					R/W-0h			R/W-0h							

表 20-19. BATTLL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-8	INT	R/W	0h	整数部: 0x0:0V + 小数部 ... 0x3:3V + 小数部 0x4:4V + 小数部
7-0	FRAC	R/W	0h	小数部、標準 2 進小数エンコード。 0x00:.0V ... 0x20:1/8 = .125V 0x40:1/4 = .25V 0x80:1/2 = .5V ... 0xA0:1/2 + 1/8 = .625V ... 0xFF:最大

Copyright © 2026 Texas Instruments Incorporated

20.3.1.18 TEMPUL レジスタ (オフセット = 58h) [リセット = 0000FFC0h]

図 20-18 に、TEMPUL を示し、表 20-20 に、その説明を示します。

概略表に戻ります。

温度上限

図 20-18. TEMPUL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															INT
R-0h															R/W-FFh
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INT								FRAC		予約済み					
R/W-FFh								R/W-3h		R-0h					

表 20-20. TEMPUL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16-8	INT	R/W	FFh	温度上限の整数部 (符号付き)。 合計値 = 整数 + 小数 2 の補数エンコード 0x100:最小値 0x1D8:-40C 0x1FF:-1C 0x00:0C 0x1B:27C 0x55:85C 0xFF:最大値
7-6	FRAC	R/W	3h	温度上限の小数部。 合計値 = 整数 + 小数 エンコードは 2 の補数エンコードの拡張です。 00:0.0C 01:0.25C 10:0.5C 11:0.75C 例: 000000001,00 = (1+0,00) = 1,00 000000000,11 = (0+0,75) = 0,75 000000000,10 = (0+0,50) = 0,50 000000000,01 = (0+0,25) = 0,25 000000000,00 = (0+0,00) = 0,00 111111111,11 = (-1+0,75) = -0,25 111111111,10 = (-1+0,50) = -0,50 111111111,01 = (-1+0,25) = -0,75 111111111,00 = (-1+0,00) = -1,00 111111110,11 = (-2+0,75) = -1,25
5-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

20.3.1.19 TEMPLL レジスタ (オフセット = 5Ch) [リセット = 00010000h]

図 20-19 に、TEMPLL を示し、表 20-21 に、その説明を示します。

概略表に戻ります。

温度下限

図 20-19. TEMPLL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															INT
R-0h															R/W-100h
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INT								FRAC		予約済み					
R/W-100h								R/W-0h		R-0h					

表 20-21. TEMPLL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	予約済み
16-8	INT	R/W	100h	温度下限の整数部 (符号付き)。 合計値 = 整数 + 小数 2 の補数エンコード 0x100:最小値 0x1D8:-40C 0x1FF:-1C 0x00:0C 0x1B:27C 0x55:85C 0xFF:最大値
7-6	FRAC	R/W	0h	温度下限の小数部。 合計値 = 整数 + 小数 エンコードは 2 の補数エンコードの拡張です。 00:0.0C 01:0.25C 10:0.5C 11:0.75C 例: 000000001,00 = (1+0,00) = 1,00 000000000,11 = (0+0,75) = 0,75 000000000,10 = (0+0,50) = 0,50 000000000,01 = (0+0,25) = 0,25 000000000,00 = (0+0,00) = 0,00 111111111,11 = (-1+0,75) = -0,25 111111111,10 = (-1+0,50) = -0,50 111111111,01 = (-1+0,25) = -0,75 111111111,00 = (-1+0,00) = -1,00 111111110,11 = (-2+0,75) = -1,25
5-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

Chapter 21

UART (ユニバーサル非同期レシーバ / トランスミッタ)

この章では、ユニバーサル非同期レシーバ / トランスミッタ (UART) について説明しています。

21.1 概要 1898
21.2 ブロック図 1899
21.3 信号の説明 1899
21.4 機能説明 1899
21.5 DMA へのインターフェイス 1905
21.6 初期化および構成 1907
21.7 UART レジスタ 1908

Copyright © 2026 Texas Instruments Incorporated

21.1 概要

CC13x2 および CC26x2 デバイス プラットフォームのコントローラには、次の特長を備えた UART が含まれています。

- プログラマブル ボーレート ジェネレータにより、最大 3Mbps の速度を実現
- 個別の 32 × 8 送信 (TX) バッファと 32 × 12 受信 (RX) 先入れ先出し (FIFO) バッファにより、CPU 割り込み処理の負荷を軽減
- 従来のダブルバッファ インターフェイスを提供する 1 バイト動作を含む、プログラマブルな FIFO 長
- ⅛、¼、½、¾、⅞ の FIFO トリガ レベル
- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- 改行の生成と検出
- 完全にプログラマブルなシリアル インターフェイス特性:
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、固定パリティ ビット、およびパリティなしビットの生成および検出
  - 1 または 2 ストップ ビットの生成
- CTS と RTS のモデム制御機能をサポート
- TX FIFO、RX FIFO RX タイムアウト、モデム ステータス、およびエラー条件を個別にマスク可能
- 標準 FIFO レベル割り込みおよびデータ送信終了割り込みに対応
- マイクロ ダイレクト メモリ アクセス コントローラ (µDMA) による効率的な転送:
  - 送信用と受信用でチャネルを分離
  - FIFO 内にデータがあるときにアサートされる単一の要求と、設定した FIFO レベルでアサートされるバースト要求を受信
  - FIFO 内に空きがあるときにアサートされる単一の要求と、設定した FIFO レベルでアサートされるバースト要求を送信
- プログラマブル ハードウェア フロー制御

Copyright © 2026 Texas Instruments Incorporated

21.2 ブロック図

図 21-1 に、UART モジュールのブロック図を示します。

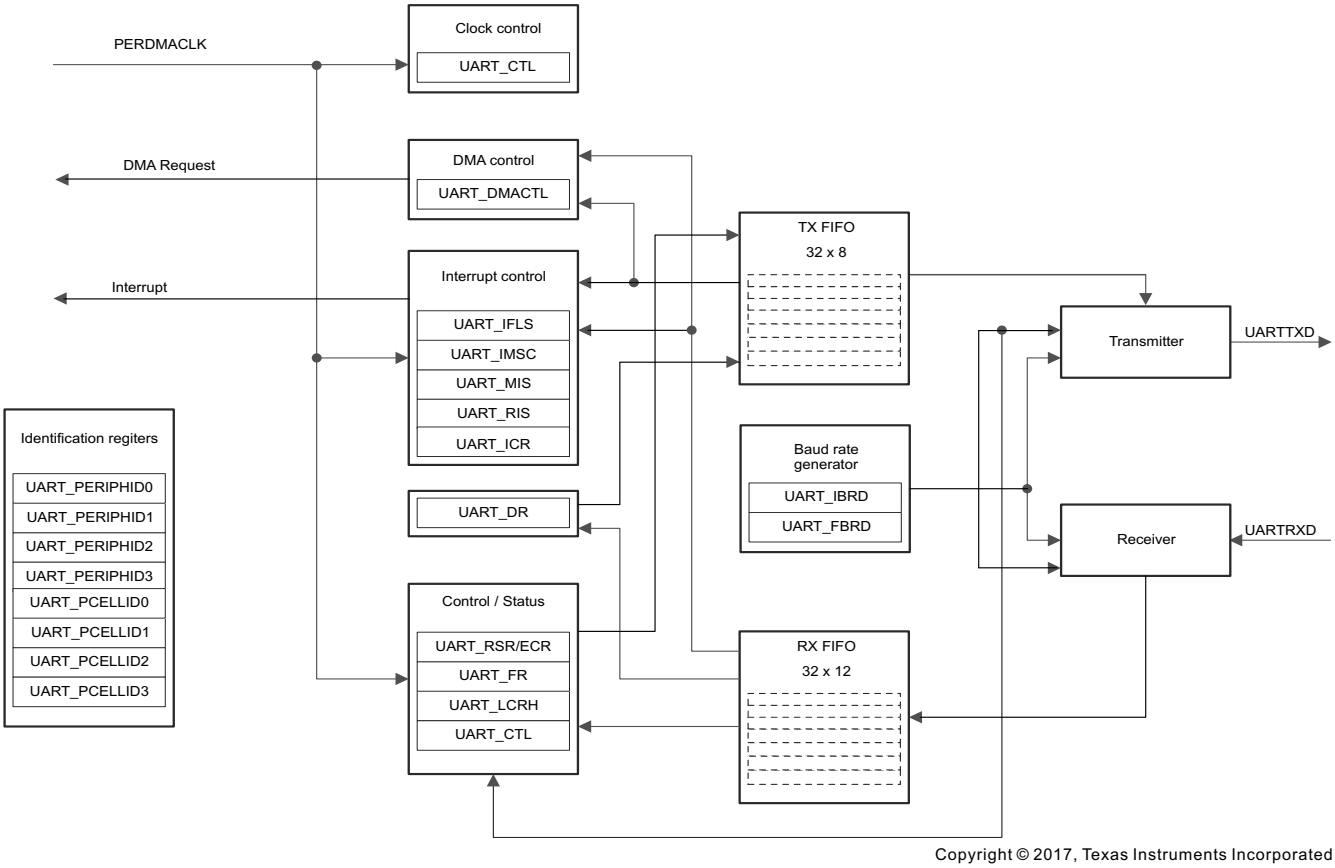


図 21-1. UART モジュールのブロック図

21.3 信号の説明

表 21-1 に UART モジュールの外部信号を示し、各機能を説明します。UART 信号は IOCFGn レジスタで設定されます。GPIO の構成の詳細については、Chapter 13 を参照してください。

表 21-1. UART の信号

ピン名	ピン番号	ピンの種類(1)	説明
UARTRxD	GPIO 構成により割り当てられます	I	UART モジュール 0 受信
UARTTxD		O	UART モジュール 0 送信

(1) I = 入力、O = 出力、I/O = 双方向

21.4 機能説明

CC13x2 および CC26x2 UART は、それぞれパラレルからシリアルおよびシリアルからパラレルへの変換機能を実行します。CC13x2 および CC26x2 UART は 16C550 UART と機能が類似していますが、レジスタの互換性はありません。

UART は、UART 制御レジスタ (UART:CTL) TXE および RXE ビットを介して送受信するように構成されています。送信と受信の両方がリセットからイネーブルになります。制御レジスタをプログラムする前に、UART:CTL UARTEN レジスタ ビ

Copyright © 2026 Texas Instruments Incorporated

ットをクリアして UART を無効化する必要があります。送受信動作中に UART がディスエーブルになっている場合、現在のトランザクションは UART が停止する前に完了します。

21.4.1 送信および受信ロジック

送信ロジックは、TX FIFO から読み出されたデータをパラレルからシリアルへ変換します。制御ロジックは、制御レジスタにプログラムされた設定に応じて、シリアル ビット ストリームを出力します。それは、スタート ビットから始まり、その後にデータ ビット (LSB が最初)、パリティ ビット、ストップ ビットと続きます。詳細については、図 21-2 を参照してください。

受信ロジックは、有効な開始パルスが検出された後、受信されたビット ストリームでシリアルからパラレルへの変換を実行します。オーバーラン、パリティ、フレーム エラー チェック、改行検出も実行され、それらのステータスは RX FIFO に書き込まれたデータと共に書き込まれます。

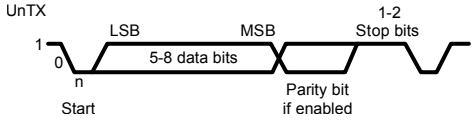


図 21-2. UART 文字フレーム

21.4.2 ボーレート生成

ボーレート除数 (BRD) は、16 ビットの整数部と 6 ビットの分数部で構成される 22 ビットの数値です。これら 2 つの値によって形成される数値は、ボーレート ジェネレータで使用され、ビット周期が決定されます。小数ボーレート除数を使用すると、UART はすべての標準ボーレートを生成できます。

16 ビットの整数は UART 整数ボーレート除数レジスタ (UART:IBRD) にロードされ、6 ビットの小数部は UART 小数ボーレート除数レジスタ (UART:FBRD) にロードされます。式 4 に、BRD とシステム クロックの関係を示します。

$$BRD = BRDI + BRDF = PERDMACLK / (ClkDiv \times Baud\ Rate) \quad (4)$$

ここで

- BRDI は、BRD の整数部
- BRDF は、小数点で区切られた小数部
- PERDMACLK は、UART に接続されたシステム クロック
- ClkDiv は 16

UART:FBRD の DIVFRAC ビット フィールドにロードする 6 ビットの小数値は、ボーレート除数の小数部に 64 を掛け、丸め誤差を補正するために 0.5 を加えることで算出できます (式 5 を参照)。

$$UART:FBRD.DIVFRAC = integer\ (BRDF \times 64 + 0.5) \quad (5)$$

UART ライン制御、上位バイト レジスタ (UART:LCRH)、UART_IBRD、UART:FBRD レジスタは、内部の 30 ビット レジスタを形成します。この内部レジスタは、UART:LCRH レジスタへの書き込みが行われた場合にのみ更新されるため、BRD を変更した後は、その変更を有効にするために必ず UART:LCRH レジスタへの書き込みを実行する必要があります。

ボーレート レジスタを更新するために使用できるシーケンスは以下の 4 つです。

- UART:IBRD 書き込み、UART:FBRD 書き込み、UART:LCRH 書き込み
- UART:FBRD 書き込み、UART:IBRD 書き込み、UART:LCRH 書き込み
- UART:IBRD 書き込みと UART:LCRH 書き込み
- UART:FBRD 書き込みと UART:LCRH 書き込み

Copyright © 2026 Texas Instruments Incorporated

21.4.3 データ転送

受信または送信されたデータは 2 つの FIFO に保存されますが、RX FIFO にはステータス情報のための追加 4 ビット / 文字があります。送信の際、データは TX FIFO に書き込まれます。UART がイネーブルの場合、データ フレームが UART:LCRH レジスタに示されているパラメータを使用して送信を開始します。TX FIFO 内のデータがなくなるまで、データの送信が継続します。UART フラグ レジスタ (UART:FR) の BUSY ビットは、データが TX FIFO に書き込まれるとすぐに (つまり、FIFO が空ではない場合)、アサートされ、データの送信中もアサート状態を維持します。BUSY ビットは、TX FIFO が空で、ストップ ビットを含む最後の文字がシフト レジスタから送信されたときのみ反転されます。UART は、すでに有効ではない状態であっても、ビジー状態を示すことがあります。

レシーバがアイドル状態 (UARTRXD 信号が連続的に 1) で、データ入力が Low に遷移する (スタート ビットを受信) と、受信カウンタは実行を開始し、データをサンプリングします。

ボーレート クロックの 8 サイクル目で UARTRXD 信号が依然として Low である場合、スタート ビットを有効とみなして認識します。そうでない場合、スタート ビットを無視します。有効なスタート ビットが検出された後で、ボーレート クロックの 16 サイクルごとに、連続したデータ ビットがサンプリングされます。その後で、パリティ モードがイネーブルの場合、パリティ ビットがチェックされます。データ長とパリティは、UART:LCRH レジスタで定義されます。

最後に、UARTRXD 信号が High の場合、有効なストップ ビットを確認します。そうでない場合、フレーミング エラーが発生します。フル ワードが受信されると、データは受信 FIFO に格納され、そのワードに関連するエラー ビットが設定されます。

21.4.4 モデム ハンドシェイク サポート

このセクションでは、UART0 をデータ端末装置 (DTE) またはデータ通信装置 (DCE) として接続した場合に、モデム フロー制御信号を設定および使用する方法について説明します。モデムは DCE であり、モデムに接続するコンピューティング デバイスは DTE です。

21.4.4.1 制御信号

UART0 によって提供されるステータス信号は、UART を DTE として使用するか DCE として使用するかによって異なります。DTE として使用する場合、モデム フロー制御信号は次のように定義されます。

- **UART0CTS** は送信許可
- **UART0RTS** は送信要求

DCE として使用する場合、モデム フロー制御信号は次のように定義されます。

- **UART0CTS** は送信要求
- **UART0RTS** は送信許可

21.4.4.2 フロー制御

フロー制御は、ハードウェアまたはソフトウェアのいずれでも実現できます。以下のセクションでは、さまざまな方法について説明します。

21.4.4.2.1 ハードウェア フロー制御 (RTS および CTS)

2 つのデバイス間でのハードウェア フロー制御は、UART0RTS 出力を受信デバイスの送信許可入力に接続し、受信デバイスの送信要求出力を UART0CTS 入力に接続します。

UART0CTS 入力はトランスミッタを制御します。トランスミッタは、UART0CTS 入力がアサートされているときのみデータを送信できます。UART0RTS 出力信号は、受信 FIFO の状態を示します。UART0CTS は、事前プログラムされたウォーターマーク (基準) レベルに達するまでアサートされた状態を維持し、RX FIFO に追加の文字を格納する空きがないことを示します。

UART:CTL レジスタ ビットの CTSEN と RTSEN は、フロー制御モードを指定します (表 21-2 を参照)。

Copyright © 2026 Texas Instruments Incorporated

表 21-2. フロー制御モード

CTSEN	RTSEN	説明
1	1	RTS と CTS のフロー制御が有効
1	0	CTS フロー制御のみが有効
0	1	RTS フロー制御のみが有効
0	0	RTS と CTS の両方のフロー制御が無効

21.4.4.2.2 ソフトウェア フロー制御 (モデム ステータス割り込み)

2 つのデバイス間のソフトウェア フロー制御は、UART のステータスを示す割り込みを使用して実現されます。U1CTS 信号用の割り込みは、UART:IMSC レジスタのビット 3 を使用して生成できます。未加工のおよびマスクされた割り込みのステータスは、UART:RIS および UART:MIS レジスタを使用して確認できます。これらの割り込みは、UART:ICR レジスタを使用してクリアできます。

21.4.5 FIFO 動作

UART には、送信用と受信用の 2 つの 32 エントリ FIFO があります。どちらの FIFO も、UART データ レジスタ (UART:DR) 経由でアクセスされます。UART:DR レジスタの読み出し動作は、8 データ ビットと 4 つのエラー フラグで構成される 12 ビット値を返します。書き込み動作では TX FIFO に 8 ビット データが配置されます。

リセットから復帰すると、両方の FIFO がディセーブルされ、1 バイトの保持レジスタとして動作します。FIFO は、UART:LCRH FEN レジスタ ビットをセットすることでイネーブルされます。

FIFO ステータスは、UART フラグ レジスタ (UART:FR) と UART 受信ステータス レジスタ (UART:RSR) を通じて監視できます。ハードウェアは、空、フル、オーバーランの状態を監視します。UART:FR レジスタには空のフラグとフル フラグ (TXFE、TXFF、RXFE、RXFF ビット) が含まれており、UART:RSR レジスタは OE ビット経由でオーバーラン ステータスを示します。FIFO がディセーブルなら、深さ 1 バイトの保持レジスタのステータスに応じて空フラグとフル フラグが設定されます。

FIFO が割り込みを生成するトリガ ポイントは、UART 割り込み FIFO レベル選択レジスタ (UART:IFLS) により制御されます。どちらの FIFO も、異なるレベルで割り込みをトリガするように個別に構成できます。⅛、¼、½、¾、⅞ の構成が使用可能です。たとえば、受信 FIFO に ¼ オプションを選択した場合、UART は 4 データ バイトを受信した後に受信割り込みを生成します。リセット状態から復帰すると、両方の FIFO は ½ マークで割り込みをトリガするように構成されます。

21.4.6 割り込み

以下の条件が観測されると、UART は割り込みを生成できます。

- オーバーラン エラー
- ブレーク エラー
- パリティ エラー
- フレーミング エラー
- 受信タイムアウト
- 送信 (UART:IFLS TXSEL レジスタ ビットで定義された条件が満たされた場合)
- 受信 (UART:IFLS RXSEL レジスタ ビットで定義された条件が満たされた場合)
- 送信終了 (TX ラインにデータがなく、TX FIFO がアンダーフローの場合)

すべての割り込みイベントは、割り込みコントローラに送信される前に OR 演算 (論理和) されるため、UART は常にコントローラに対して 1 つの割り込み要求しか生成できません。ソフトウェアは、UART マスク割り込みステータス レジスタ (UART:MIS) を読み取ることで、単一の割り込みサービス ルーチン (ISR) で複数の割り込みイベントを処理できます。

コントローラ レベルの割り込みをトリガできる割り込みイベントは、対応するビットを設定することにより、UART 割り込みマスク レジスタ (UART:IMSC) で定義されます。割り込みを使用しない場合は、未処理割り込みステータスが、UART 未処理割り込みステータス レジスタ (UART:RIS) 経由で常に表示されます。

Copyright © 2026 Texas Instruments Incorporated

UART 割り込みクリア レジスタ (UART:ICR) の対応するビットを設定することで、割り込みをクリアできます (UART:MIS および UART:RIS レジスタの場合)。

受信タイムアウト割り込みは、RX FIFO が空ではなく、かつ 32 ビット期間にわたってそれ以上のデータが受信されない場合にアサートされます。受信タイムアウト割り込みは、すべてのデータを読み取ることで (または保持レジスタを読み取ることで) FIFO が空になった場合、または UART:ICR レジスタの対応するビットが設定されている場合のいずれかでクリアされます。

Copyright © 2026 Texas Instruments Incorporated

UART モジュールでは、UART 割り込みマスク セット/クリア レジスタ (UART:IMSC) を使用して、個別の割り込みソースごとにマスクを設定およびクリアすることができます。結合された割り込みを CPU に発生させる可能性がある 5 つのイベントは以下のとおりです。

- RX:受信割り込みは、以下のいずれかのイベントが発生したときに状態が変化します。
  - FIFO が有効で、受信 FIFO がプログラムされたトリガ レベルに達した場合。この場合、受信割り込みが High にアサートされます。受信割り込みは、トリガ レベルを下回るまで受信 FIFO からデータを読み取るか、割り込みをクリアすることでクリアされます。
  - FIFO が無効 (特定地点における深度) に設定されている状態でデータを受信し、その格納場所が満たされると、受信割り込みが High にアサートされます。受信割り込みは、受信 FIFO を 1 回だけ読み取るか、割り込みをクリアすることでクリアされます。
- TX:送信割り込みは、以下のいずれかのイベントが発生したときに状態が変化します。
  - FIFO が有効で、送信 FIFO がプログラムされたトリガ レベルと同じかそれ以下の場合、送信割り込みが High にアサートされます。送信割り込みは、トリガ レベルを超えるまで送信 FIFO にデータを書き込むか、割り込みをクリアすることでクリアされます。
  - FIFO が無効 (特定地点における深度) で、トランスミッタのシングル位置にデータが存在しない場合、送信割り込みは High にアサートされます。割り込みは、送信 FIFO に 1 回だけ書き込むか、割り込みをクリアすることでクリアされます。
- RX タイムアウト:受信タイムアウト割り込みは、受信 FIFO が空ではなく、かつ 32 ビット期間にわたってそれ以上のデータが受信されない場合にアサートされます。受信タイムアウト割り込みは、すべてのデータを読み取ることで (または保持レジスタを読み取ることで) FIFO が空になった場合、または割り込みクリア レジスタの対応するビット (UART:ICR) に 1 が書き込まれた場合のいずれかでクリアされます。
- モデム ステータス:モデム ステータス信号 *uart_cts* が変化すると、モデム ステータス割り込みがアサートされます。これは、UART:ICR レジスタの対応するクリア ビットを使用してクリアできます。
- 誤差:UART によるデータ受信でエラーが発生すると、エラー割り込みがアサートされます。この割り込みは、さまざまなエラー状態が原因で発生する可能性があります。
  - フレーミング
  - パリティ
  - ブレーク
  - オーバーラン

  割り込みの原因は、UART:RIS レジスタまたは UART:MIS レジスタを読み取ることで特定できます。割り込みは、UART:ICR レジスタの該当するビットに書き込むことでクリアできます。

UART モジュールによって生成される 5 つのイベントに加えて、次の 2 つの追加イベントが割り込みラインに OR 演算 (論理和) されます。

- RX DMA 完了:レシーバ DMA がタスクを完了したことを示します。これは、DMA モジュールによって提供されるレベルの割り込みであり、DMA モジュールの dma_done クリア レジスタ (UDMA:REQDONE) を使用してクリアされます。
- TX DMA 完了:送信 DMA がタスクを完了したことを示します。これは、DMA モジュールによって提供されるレベルの割り込みであり、DMA モジュールの dma_done クリア レジスタ (UDMA:REQDONE) を使用してクリアされます。

21.4.7 ループバック動作

UART は、UART:CTL レジスタの LBE ビットをセットすることで、診断またはデバッグ用のループバック モードに設定できます。ループバック モードでは、UARTTXD 出力に送信されたデータが UARTRXD 入力で受信されます。LBE ビットは、UART を有効化する前にセットしておく必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

21.5 DMA へのインターフェイス

CC13x2 および CC26x2 デバイスは、DMA コントローラに接続するためのインターフェイスを提供します。図 21-3 に、DMA と UART の間のインターフェイスを示します。このインターフェイスには、4 種類の DMA 要求出力 (RX シングル、RX バースト、TX シングル、TX バースト) が含まれます。DMA インターフェイスには、TX および RX DMA 要求をクリアするための入力として 2 つの DMA 要求クリアがあります。各 DMA 要求信号は、対応する DMA クリア信号がアサートされるまでアサートされたまま保持されます。DMA クリア信号がデアサートされた後、条件が正しく設定されていれば、要求信号は再度アクティブになります。DMA クリア信号は、DMA モジュールからの DMA アクティブ信号に接続する必要があります。この信号は、DMA へのアクセスが許可され、アクティブになったときに、アサートされます。DMA アクティブ信号は、DMA 転送が完了すると、デアサートされます。DMA アクティブ信号を DMA から UART モジュールの DMA 要求クリア入力に接続することで、DMA がアクティブの間 UART モジュールによって要求を生成しないようにすることができます。

バースト転送要求信号と単一転送要求信号は相互に排他的ではなく、同時にアサートされる場合があります。たとえば、受信 FIFO にウォーターマーク (基準) レベルよりも多くのデータがある場合、バースト転送要求と単一転送要求がアサートされます。

単一要求とバースト要求は、UART モジュールで個別にマスクできません。対応する DMA (RX または TX) が有効化されている場合、これら両方の要求が DMA に送信されます。DMA の構成によって、単一要求またはバースト要求のどちらをトリガとして使用するかが選択されます。UART が無効化されている場合、または DMA 制御レジスタ (UART:DMACTL) 内の該当する DMA イネーブル ビット (TXDMAE または RXDMAE) がクリアされている場合、すべての要求信号はデアサートされます。

Copyright © 2026 Texas Instruments Incorporated

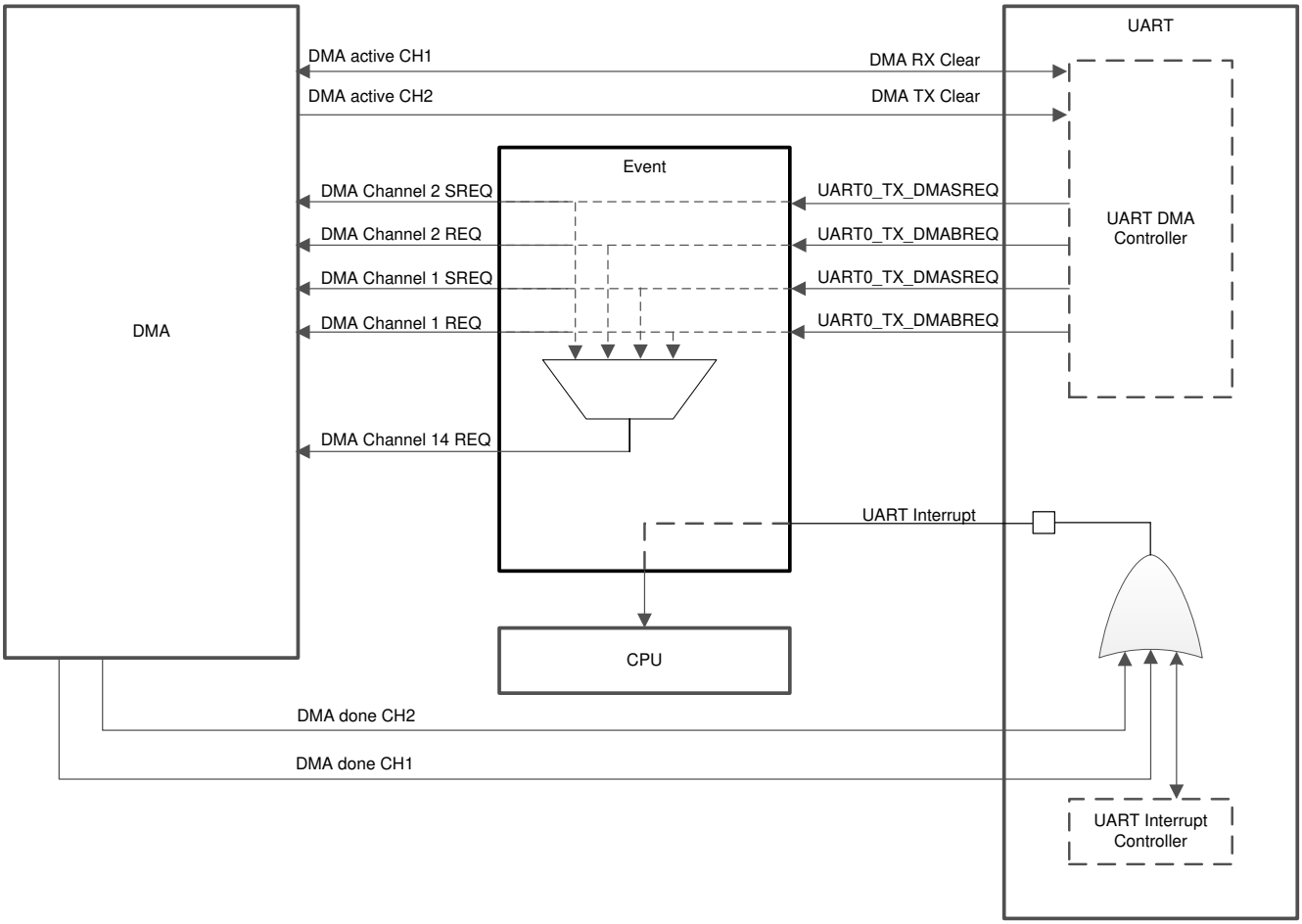


図 21-3. µDMA の例

Copyright © 2026 Texas Instruments Incorporated

21.6 初期化および構成

UART モジュールは、DIO にルーティング可能な 4 つの I/O 信号を提供します。以下の信号は、IOC モジュールの IOCFGn レジスタを通じて選択されます。

- 入力:RXD、CTS
- 出力 TXD、RTS

CTS および RTS ラインはアクティブ Low です。

注

UART を有効にする前に IOC を構成する必要があります。これを行わないと、入力信号に不要な遷移が発生し、UART が受信トランザクションを誤認する可能性があります。IOC が UART 固有の I/O (RXD、CTS、TXD、または RTS) として構成されている場合、IOC は DIO に対して静的な出力ドライバ イネーブルを設定します (TXD および RTS の出力では出力ドライバ イネーブル = 1、RXD および CTS の入力では出力ドライバ イネーブル = 0)。

UART を有効化して初期化するには、次の手順に従います。

1. PRCM:UARTCLKGR レジスタ、PRCM:UARTCLKGS レジスタ、PRCM:UARTCLKGS レジスタ、PRCM:UARTCLKGDS レジスタに書き込むか、またはドライバ ライブラリ関数を使用して、シリアル電源ドメインを有効化し、PRCM モジュール内の UART モジュールを有効にします。

```
PRCMPeripheralRunEnable(uint32_t), PRCMPeripheralSleepEnable(uint32_t),
PRCMPeripheralDeepSleepEnable(unit32_t)
```

   さらに、PRCM:CLKLOADCTL レジスタに書き込むか、または関数を使用して、設定をクロック コントローラにロードします

```
PRCMLoadSet().
```

2. UART 信号を適切な正しい GPIO ピンにマッピングするように IOC モジュールを構成します。ピン接続の詳細については、Chapter 13 を参照してください。

このセクションでは、UART モジュールを使用するために必要なステップについて説明します。この例では、UART クロックを 24MHz とし、UART の構成は次のとおりであると仮定します。

- ボーレート:115 200
- 8 ビットのデータ長
- 1 ストップ ビット
- パリティなし
- FIFO が無効
- 割り込みなし

UART をプログラミングする際、最初に考慮すべき点は BRD です。これは、UART:IBRD レジスタおよび UART:FBRD レジスタは、UART:LCRH レジスタより先に書き込む必要があるためです。BRD は、セクション 21.4.2 で説明されている式を用いて計算できます。

$$BRD = 24\,000\,000 / (16 \times 115\,200) = 13.0208 \quad (6)$$

式 6 の結果から、UART:IBRD の DIVINT フィールドは 10 進で 13 (0xD) に設定する必要があることが分かります。式 7 は、UART:FBRD レジスタにロードすべき値を計算します。

$$UART:FBRD.DIVFRAC = integer\ (0.0208 \times 64 + 0.5) = 1 \quad (7)$$

Copyright © 2026 Texas Instruments Incorporated

BRD 値が利用可能になると、UART の構成は次の順序でモジュールに書き込みます。

1. UART:CTL レジスタの UARTEN ビットをクリアして、UART を無効化します。
2. BRD の整数部を UART:IBRD レジスタに書き込みます。
3. BRD の小数部を UART:FBRD レジスタに書き込みます。
4. 目的のシリアル パラメータを UART:LCRH レジスタに書き込みます (この場合、値 0x0000 0060)。
5. UART:CTL レジスタの UARTEN ビットをセットして、UART を有効化します。

21.7 UART レジスタ

Copyright © 2026 Texas Instruments Incorporated

21.7.1 UART レジスタ

表 21-3 に、UART レジスタのメモリ マップト レジスタを示します。表 21-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 21-3. UART レジスタ

オフセット	略称	レジスタ名	セクション
0h	DR	データ	DR レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	RSR	ステータス	RSR レジスタ (オフセット = 4h) [リセット = 00000000h]
4h	ECR	エラー クリア	ECR レジスタ (オフセット = 4h) [リセット = 00000000h]
18h	FR	フラグ	FR レジスタ (オフセット = 18h) [リセット = 00000090h]
24h	IBRD	整数ボーレート除数	IBRD レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	FBRD	分数ボーレート除数	FBRD レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	LCRH	ライン制御	LCRH レジスタ (オフセット = 2Ch) [リセット = 00000000h]
30h	CTL	制御	CTL レジスタ (オフセット = 30h) [リセット = 00000300h]
34h	IFLS	割り込み FIFO レベル選択	IFLS レジスタ (オフセット = 34h) [リセット = 00000012h]
38h	IMSC	割り込みマスク セット/クリア	IMSC レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	RIS	未処理割り込みステータス	RIS レジスタ (オフセット = 3Ch) [リセット = 0000000Dh]
40h	MIS	マスク割り込みステータス	MIS レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	ICR	割り込みクリア	ICR レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	DMACTL	DMA 制御	DMACTL レジスタ (オフセット = 48h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 21-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 21-4. UART のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

21.7.1.1 DR レジスタ (オフセット = 0h) [リセット = 00000000h]

図 21-4 に、DR を示し、表 21-5 に、その説明を示します。

概略表に戻ります。

データ
送信されるワードの場合:
- FIFO が有効化されている場合 (LCRH.FEN = 1)、この位置に書き込まれたデータは送信 FIFO にプッシュされます
— FIFO が有効化されていない場合 (LCRH.FEN = 0)、データは送信保持レジスタ (送信 FIFO の最下位ワード) に格納されます。
書き込み動作により、UART からの送信が開始されます。データの冒頭にスタート ビットが付加され、末尾に適切なパリティ ビット (パリティが有効の場合) およびストップ ビットが付加されます。
その後、結果として得られたワードが送信されます。
受信済みワードの場合:
- FIFO が有効化されている場合 (LCRH.FEN = 1)、データ バイトと 4 ビットのステータス (ブレーク、フレーム、パリティ、オーバーラン) が 12 ビット幅の受信 FIFO に格納されます。
— FIFO が有効化されていない場合 (LCRH.FEN = 0)、データ バイトとステータスは受信 FIFO (受信 FIFO の下位ワード) に格納されます。
受信されたデータ バイトは、対応するステータス情報と一緒にこのレジスタから読み取りを実行することで読み取られます。ステータス情報は、RSR レジスタを読み取ることでも読み取ることができます。

図 21-4. DR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み				OE	BE	PE	FE	データ							
R-0h				R-X	R-X	R-X	R-X	R/W-X							

表 21-5. DR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11	OE	R	X	UART オーバーラン エラー: データが受信され、受信 FIFO がすでにフルになっている場合、このビットは 1 に設定されます。FIFO がフルなるとデータはそれ以上書き込まれず、シフト レジスタの内容のみが上書きされるため、FIFO の内容は有効なままとなります。 FIFO 内に空領域があり、新しい文字を書き込むことができると、これは 0 にクリアされます。
10	BE	R	X	UART ブレーク エラー: ブレーク状態が検出されると、このビットは 1 に設定され、受信データ入力 (UARTRXD 入力ピン) がフル ワード送信時間 (スタート、データ、パリティ、ストップ ビットとして定義) よりも長い時間 LOW に保持されたことを示します。 FIFO モードでは、このエラーは FIFO の先頭の文字 (つまり、最後に読み取られてから受信されたデータ文字のうち最も古いもの) に関連付けられます。ブレークが発生すると、0 文字が FIFO にロードされます。受信データ入力 (UARTRXD 入力ピン) が 1 (マーキング状態) になり、次の有効なスタート ビットが受信された後で、次の文字が有効になります。
9	PE	R	X	UART パリティ エラー: 1 に設定されている場合、受信データ文字のパリティが、LCRH.EPS および LCRH.SPS によって選択されたパリティと一致しないことを示します。 FIFO モードでは、このエラーは FIFO の最上位の文字 (つまり、最後に読み取られてから受信されたデータ文字のうち最も古いもの) に関連付けられます。

Copyright © 2026 Texas Instruments Incorporated

表 21-5. DR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	FE	R	X	UART フレーミング エラー: 1 に設定されている場合、受信された文字に有効なストップ ビットがなかったことを示します (有効なストップ ビットが 1)。 FIFO モードでは、このエラーは FIFO の最上位の文字 (つまり、最後に読み取られてから受信されたデータ文字のうち最も古いもの) に関連付けられます。
7-0	データ	R/W	X	送信済みまたは受信済みデータ: 書き込み時に、送信データ文字は FIFO にプッシュされます。 読み取りでは、最後に読み取られてから受信されたデータ文字が返されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

21.7.1.2 RSR レジスタ (オフセット = 4h) [リセット = 00000000h]

図 21-5 に、RSR を示し、表 21-6 に、その説明を示します。

概略表に戻ります。

ステータス
このレジスタは、ECR レジスタと同じアドレスにマッピングされます。このアドレスからの読み取りは RSR レジスタに関連付けられ、受信ステータスを返します。このアドレスへの書き込みは、ECR レジスタに関連付けられ、受信ステータス フラグ (フレーミング、パリティ、ブレーク、オーバーラン エラー) がクリアされます。
このレジスタからステータスが読み取られる場合、ブレーク、フレーミング、パリティのステータス情報は、RSR を読み取る前にデータ レジスタ DR から読み取られたデータ文字に対応します。オーバーランのステータス情報は、オーバーラン状態が発生するとすぐに設定されます。

図 21-5. RSR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												OE	BE	PE	FE
R-0h												R-0h	R-0h	R-0h	R-0h

表 21-6. RSR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	OE	R	0h	UART オーバーラン エラー: データが受信され、受信 FIFO がすでにフルになっている場合、このビットは 1 に設定されます。FIFO がフルなるとデータはそれ以上書き込まれず、シフト レジスタの内容のみが上書きされるため、FIFO の内容は有効なままとなります。 FIFO 内に空領域があり、新しい文字を書き込むことができると、これは 0 にクリアされます。
2	BE	R	0h	UART ブレーク エラー: ブレーク状態が検出されると、このビットは 1 に設定され、受信データ入力 (UARTRXD 入力ピン) がフル ワード送信時間 (スタート、データ、パリティ、ストップ ビットとして定義) よりも長い時間 LOW に保持されたことを示します。 ブレークが発生すると、0 文字が FIFO にロードされます。受信データ入力 (UARTRXD 入力ピン) が 1 (マーキング状態) になり、次の有効なスタート ビットが受信された後で、次の文字が有効になります。
1	PE	R	0h	UART パリティ エラー: 1 に設定されている場合、受信データ文字のパリティが、LCRH.EPS および LCRH.SPS によって選択されたパリティと一致しないことを示します。
0	FE	R	0h	UART フレーミング エラー: 1 に設定されている場合、受信された文字に有効なストップ ビットがなかったことを示します (有効なストップ ビットが 1)。

Copyright © 2026 Texas Instruments Incorporated

21.7.1.3 ECR レジスタ (オフセット = 4h) [リセット = 00000000h]

図 21-6 に、ECR を示し、表 21-7 に、その説明を示します。

概略表に戻ります。

エラー クリア
このレジスタは、RSR レジスタと同じアドレスにマッピングされます。このアドレスからの読み取りは RSR レジスタに関連付けられ、受信ステータスを返します。このアドレスへの書き込みは、ECR レジスタに関連付けられ、受信ステータス フラグ (フレーミング、パリティ、ブレーク、オーバーラン エラー) がクリアされます。

図 21-6. ECR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												OE	BE	PE	FE
R-0h												W-0h	W-0h	W-0h	W-0h

表 21-7. ECR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	OE	W	0h	このレジスタに書き込むと、フレーミング (FE)、パリティ (PE)、ブレーク (BE)、オーバーラン (OE) エラーは 0 にクリアされます。
2	BE	W	0h	このレジスタに書き込むと、フレーミング (FE)、パリティ (PE)、ブレーク (BE)、オーバーラン (OE) エラーは 0 にクリアされます。
1	PE	W	0h	このレジスタに書き込むと、フレーミング (FE)、パリティ (PE)、ブレーク (BE)、オーバーラン (OE) エラーは 0 にクリアされます。
0	FE	W	0h	このレジスタに書き込むと、フレーミング (FE)、パリティ (PE)、ブレーク (BE)、オーバーラン (OE) エラーは 0 にクリアされます。

Copyright © 2026 Texas Instruments Incorporated

21.7.1.4 FR レジスタ (オフセット = 18h) [リセット = 00000090h]

図 21-7 に、FR を示し、表 21-8 に、その説明を示します。

概略表に戻ります。

フラグ
このレジスタを読み取ると、UART フラグが返されます。

図 21-7. FR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
TXFE	RXFF	TXFF	RXFE	BUSY	予約済み		CTS
R-1h	R-0h	R-0h	R-1h	R-0h	R-0h		R-X

表 21-8. FR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	TXFE	R	1h	UART 送信 FIFO 空: このビットの意味は、LCRH.FEN の状態によって異なります。 - FIFO が無効の場合、送信保持レジスタが空になると、このビットが設定されます。 - FIFO が有効の場合、送信 FIFO が空になると、このビットが設定されます。 このビットは、送信シフト レジスタにデータが存在するかどうかを示しません。
6	RXFF	R	0h	UART 受信 FIFO フル: このビットの意味は、LCRH.FEN の状態によって異なります。 - FIFO が無効の場合、受信保持レジスタがフルになると、このビットが設定されます。 - FIFO が有効の場合、受信 FIFO がフルになると、このビットが設定されます。
5	TXFF	R	0h	UART 送信 FIFO フル: 送信 FIFO がフルです。このビットの意味は、LCRH.FEN の状態によって異なります。 - FIFO が無効の場合、送信保持レジスタがフルになると、このビットが設定されます。 - FIFO が有効の場合、送信 FIFO がフルになると、このビットが設定されます。
4	RXFE	R	1h	UART 受信 FIFO 空: 受信 FIFO が空です。このビットの意味は、LCRH.FEN の状態によって異なります。 - FIFO が無効の場合、受信保留レジスタが空になると、このビットが設定されます。 - FIFO が有効の場合、受信 FIFO が空になると、このビットが設定されます。

Copyright © 2026 Texas Instruments Incorporated

表 21-8. FR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	BUSY	R	0h	UART ビジー: このビットが 1 に設定されている場合、UART はデータ送信中でビジー状態です。このビットは、すべてのストップ ビットを含め、すべてのバイトがシフト レジスタから送信されるまで設定されたままになります。 このビットは、UART が有効か無効かにかかわらず、送信 FIFO が空でなくなった時点で設定されます。
2-1	予約済み	R	0h	予約済み
0	CTS	R	X	送信許可: このビットは、アクティブ low UART CTS 入力ピンの補数です。 つまり、CTS 入力ピンが LOW の場合、ビットは 1 です。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

21.7.1.5 IBRD レジスタ (オフセット = 24h) [リセット = 00000000h]

図 21-8 に、IBRD を示し、表 21-9 に、その説明を示します。

概略表に戻ります。

整数ボーレート除数
送信または受信の実行中にこのレジスタが変更された場合、現在処理中の文字の送信または受信が完了するまで、ボーレートは更新されません。

図 21-8. IBRD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																DIVINT															
R-0h																R/W-0h															

表 21-9. IBRD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	DIVINT	R/W	0h	整数ボーレート除数: ボーレート除数は、以下の式を使用して計算します。 ボーレート除数 = (UART 基準クロック周波数)/(16 * ボーレート) ボーレート除数は、最小 1 および最大 65535 でなければなりません。 つまり、DIVINT=0 では有効なボーレートは得られません。 同様に、DIVINT=0xFFFF の場合、FBRD.DIVFRAC におけるゼロ以外のすべての値は不正になります。 UART を RX または TX 動作に使用するには、有効な値をこのフィールドに書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

21.7.1.6 FBRD レジスタ (オフセット = 28h) [リセット = 00000000h]

図 21-9 に、FBRD を示し、表 21-10 に、その説明を示します。

概略表に戻ります。

分数ボーレート除数
送信または受信の実行中にこのレジスタが変更された場合、現在処理中の文字の送信または受信が完了するまで、ボーレートは更新されません。

図 21-9. FBRD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										DIVFRAC					
R-0h										R/W-0h					

表 21-10. FBRD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	DIVFRAC	R/W	0h	分数ボーレート除数: ボーレート除数は、以下の式を使用して計算します。 ボーレート除数 = (UART 基準クロック周波数)/(16 * ボーレート) ボーレート除数は、最小 1 および最大 65535 でなければなりません。 つまり、IBRD.DIVINT=0 では有効なボーレートは得られません。 同様に、IBRD.DIVINT=0xFFFF の場合、DIVFRAC におけるゼロ以外のすべての値は不正になります。 UART を RX または TX 動作に使用するには、有効な値をこのフィールドに書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

21.7.1.7 LCRH レジスタ (オフセット = 2Ch) [リセット = 00000000h]

図 21-10 に、LCRH を示し、表 21-11 に、その説明を示します。

概略表に戻ります。

ライン制御

図 21-10. LCRH レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
SPS	WLEN		FEN	STP2	EPS	PEN	BRK
R/W-0h	R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 21-11. LCRH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	SPS	R/W	0h	UART スティック パリティ選択: 0:スティック パリティは無効です 1:パリティ ビットは EPS フィールドの反転として送信およびチェックされます (つまり、EPS = 0 の場合、パリティ ビットが 1 として送信およびチェックされます)。 PEN がパリティ チェックと生成を無効化すると、このビットは影響を与えません。
6-5	WLEN	R/W	0h	UART ワード長: これらのビットは、フレーム内で送受信されるデータビット数を示します。 0h = 5:ワード長 5 ビット 1h = 6:ワード長 6 ビット 2h = 7:ワード長 7 ビット 3h = 8:ワード長 8 ビット
4	FEN	R/W	0h	UART イネーブル FIFO 0h = FIFO は無効です (文字モード)。すなわち、FIFO は 1 バイト ディープ保持レジスタになります。 1h = 送信および受信 FIFO バッファは有効です (FIFO モード)
3	STP2	R/W	0h	UART 2 ストップ ビット選択: このビットが 1 に設定されている場合、フレームの最後に 2 つのストップ ビットが送信されます。受信ロジックでは、受信された 2 つのストップ ビットはチェックしません。
2	EPS	R/W	0h	UART 偶数パリティ選択 0h = 奇数パリティ:UART は、データおよびパリティ ビットで奇数個の 1s を生成またはチェックします。 1h = 偶数パリティ:UART は、データおよびパリティ ビットで偶数個の 1s を生成またはチェックします。

Copyright © 2026 Texas Instruments Incorporated

表 21-11. LCRH レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	PEN	R/W	0h	UART パリティ イネーブル このビットは、パリティ ビットの生成とチェックを制御します。 0h = パリティは無効で、データ フレームにパリティ ビットは追加されません 1h = パリティ チェックと生成は有効です。
0	BRK	R/W	0h	UART 送信ブレーク このビットが 1 に設定されている場合、現在の文字の送信完了後、UARTTXD 出力ピンで Low レベルが連続的に出力されます。ブレーク コマンドを適切に実行するには、ソフトウェアはこのビットを少なくとも 2 つの完全なフレームにわたって設定しなければなりません。 通常使用の場合、このビットを 0 にクリアする必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

21.7.1.8 CTL レジスタ (オフセット = 30h) [リセット = 00000300h]

図 21-11 に、CTL を示し、表 21-12 に、その説明を示します。

概略表に戻ります。

制御

図 21-11. CTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CTSEN	RTSEN	予約済み		RTS	予約済み	RXE	TXE
R/W-0h	R/W-0h	R-0h		R/W-0h	R-0h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
LBE	予約済み						UARTEN
R/W-0h	R-0h						R/W-0h

表 21-12. CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	CTSEN	R/W	0h	CTS ハードウェア フロー制御イネーブル 0h = CTS ハードウェア フロー制御は無効です 1h = CTS ハードウェア フロー制御は有効です
14	RTSEN	R/W	0h	RTS ハードウェア フロー制御イネーブル 0h = RTS ハードウェア フロー制御は無効です 1h = RTS ハードウェア フロー制御は有効です
13-12	予約済み	R	0h	予約済み
11	RTS	R/W	0h	RTS (送信要求) このビットは、アクティブ Low UART RTS 出力の補数です。つまり、ビットが 1 にプログラムされている場合、ピンの RTS 出力は LOW になります。
10	予約済み	R	0h	予約済み
9	RXE	R/W	1h	UART 受信イネーブル 受信の途中で UART が無効化された場合、停止する前に現在の文字を完了します。 0h = UART 受信は無効です 1h = UART 受信は有効です
8	TXE	R/W	1h	UART 送信イネーブル 送信の途中で UART が無効化された場合、停止する前に現在の文字を完了します。 0h = UART 送信は無効です 1h = UART 送信は有効です
7	LBE	R/W	0h	UART ループバック イネーブル: ループバック モードを有効にすると、UART の UARTTXD 出力が UART の UARTRXD 入力に接続されます。 0h = ループバックは無効です 1h = ループバックは有効です
6-1	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 21-12. CTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	UARTEN	R/W	0h	UART イネーブル 0h = UART は無効です 1h = UART は有効です

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

21.7.1.9 IFLS レジスタ (オフセット = 34h) [リセット = 00000012h]

図 21-12 に、IFLS を示し、表 21-13 に、その説明を示します。

概略表に戻ります。

割り込み FIFO レベル選択

図 21-12. IFLS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										RXSEL			TXSEL		
R-0h										R/W-2h			R/W-2h		

表 21-13. IFLS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-3	RXSEL	R/W	2h	受信割り込み FIFO レベル選択: このフィールドは、受信割り込みのトリガ ポイントを設定します。0b101 ～ 0b111 の値は予約済みです。 0h = 1_8:受信 FIFO はフルの 1/8 以上になります 1h = 2_8: 受信 FIFO はフルの 1/4 以上になります 2h = 4_8: 受信 FIFO はフルの 1/2 以上になります 3h = 6_8: 受信 FIFO はフルの 3/4 以上になります 4h = 7_8: 受信 FIFO はフルの 7/8 以上になります
2-0	TXSEL	R/W	2h	送信割り込み FIFO レベル選択: このフィールドは、送信割り込みのトリガ ポイントを設定します。0b101 ～ 0b111 の値は予約済みです。 0h = 1_8:送信 FIFO はフルの 1/8 以下になります 1h = 2_8: 送信 FIFO はフルの 1/4 以下になります 2h = 4_8: 送信 FIFO はフルの 1/2 以下になります 3h = 6_8: 送信 FIFO はフルの 3/4 以下になります 4h = 7_8: 送信 FIFO はフルの 7/8 以下になります

Copyright © 2026 Texas Instruments Incorporated

21.7.1.10 IMSC レジスタ (オフセット = 38h) [リセット = 00000000h]

図 21-13 に、IMSC を示し、表 21-14 に、その説明を示します。

概略表に戻ります。

割り込みマスク セット/クリア

図 21-13. IMSC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				EOTIM	OEIM	BEIM	PEIM
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
FEIM	RTIM	TXIM	RXIM	予約済み		CTSMIM	予約済み
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R-0h

表 21-14. IMSC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11	EOTIM	R/W	0h	送信終了割り込みマスク。読み取りは、UART の EoT 割り込みの現在のマスクを返します。1 を書き込むと、EoT 割り込みのマスクが設定されます。これは、割り込み状態が MIS.EOTMIS に反映されることを意味します。0 を書き込むとマスクがクリアされます。これは、割り込みが MIS.EOTMIS に反映されないことを意味します。
10	OEIM	R/W	0h	オーバーラン エラー割り込みマスク。読み取りは、UART のオーバーラン エラー割り込みの現在のマスクを返します。1 を書き込むと、オーバーラン エラー割り込みのマスクが設定されます。これは、割り込み状態が MIS.OEMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、割り込みが MIS.OEMIS に反映されないことを意味します。
9	BEIM	R/W	0h	ブレーク エラー割り込みマスク。読み取りは、UART のブレーク エラー割り込みの現在のマスクを返します。1 を書き込むと、オーバーラン エラー割り込みのマスクが設定されます。これは、割り込み状態が MIS.BEMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、割り込みが MIS.BEMIS に反映されないことを意味します。
8	PEIM	R/W	0h	パリティ エラー割り込みマスク。読み取りは、UART のパリティ エラー割り込みの現在のマスクを返します。1 を書き込むと、オーバーラン エラー割り込みのマスクが設定されます。これは、割り込み状態が MIS.PEMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、割り込みが MIS.PEMIS に反映されないことを意味します。
7	FEIM	R/W	0h	フレーミング エラー割り込みマスク。読み取りは、UART のフレーミング エラー割り込みの現在のマスクを返します。1 を書き込むと、オーバーラン エラー割り込みのマスクが設定されます。これは、割り込み状態が MIS.FEMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、割り込みが MIS.FEMIS に反映されないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

表 21-14. IMSC レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	RTIM	R/W	0h	受信タイムアウト割り込みマスク。読み取りは、UART の受信タイムアウト割り込みの現在のマスクを返します。1 を書き込むと、オーバーラン エラー割り込みのマスクが設定されます。これは、割り込み状態が MIS.RTMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、割り込みがこのビット フィールドに反映されないことを意味します。 受信タイムアウト RIS.RTRIS の未処理割り込みは、マスクが設定されていない限り設定できません (RTIM=1)。これは、省電力がイネーブルとしてマスクが機能するためです。つまり、MIS.RTMIS および RIS.RTRIS から同じステータスを読み取ることができます。
5	TXIM	R/W	0h	送信割り込みマスク。読み取りは、UART の送信割り込みの現在のマスクを返します。1 を書き込むと、オーバーラン エラー割り込みのマスクが設定されます。これは、割り込み状態が MIS.TXMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、割り込みが MIS.TXMIS に反映されないことを意味します。
4	RXIM	R/W	0h	受信割り込みマスク。読み取りは、UART 受信割り込みの現在のマスクを返します。1 を書き込むと、オーバーラン エラー割り込みのマスクが設定されます。これは、割り込み状態が MIS.RXMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、割り込みが MIS.RXMIS に反映されないことを意味します。
3-2	予約済み	R	0h	予約済み
1	CTSMIM	R/W	0h	送信許可 (CTS) モデム割り込みマスク。読み取りは、UART の送信許可割り込みの現在のマスクを返します。1 を書き込むと、オーバーラン エラー割り込みのマスクが設定されます。これは、割り込み状態が MIS.CTSMMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、割り込みが MIS.CTSMMIS に反映されないことを意味します。
0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

21.7.1.11 RIS レジスタ (オフセット = 3Ch) [リセット = 0000000Dh]

図 21-14 に、RIS を示し、表 21-15 に、その説明を示します。

概略表に戻ります。

未処理割り込みステータス

図 21-14. RIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				EOTRIS	OERIS	BERIS	PERIS
R-0h				R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
FERIS	RTRIS	TXRIS	RXRIS	予約済み		CTSRMIS	予約済み
R-0h	R-0h	R-0h	R-0h	R-0h		R-X	R-0h

表 21-15. RIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11	EOTRIS	R	0h	送信終了割り込みステータス: このフィールドは、UART の送信終了割り込みの未処理割り込み状態を返します。FIFO 内と TX ライン上のすべての送信データがトランザクションされると、送信終了フラグが設定されます。
10	OERIS	R	0h	オーバーラン エラー割り込みステータス: このフィールドは、UART のオーバーラン エラー割り込みの未処理割り込み状態を返します。データが受信され、受信 FIFO がフルの場合、オーバーラン エラーが発生します。
9	BERIS	R	0h	ブレーク エラー割り込みステータス: このフィールドは、UART のブレーク エラー割り込みの未処理割り込み状態を返します。ブレーク状態が検出されると、ブレーク エラーが設定され、受信データ入力 (UARTRXD 入力ピン) がフル ワード送信時間 (スタート、データ、パリティ、ストップ ビットとして定義) よりも長い時間 LOW に保持されたことを示します。
8	PERIS	R	0h	パリティ エラー割り込みステータス: このフィールドは、UART のパリティ エラー割り込みの未処理割り込み状態を返します。受信データ文字のパリティが、LCRH.EPS および LCRH.SPS によって選択されたパリティと一致しない場合、パリティ エラーが設定されます。
7	FERIS	R	0h	フレーミング エラー割り込みステータス: このフィールドは、UART のフレーミング エラー割り込みの未処理割り込み状態を返します。受信された文字に有効なストップ ビットがない場合 (有効なストップ ビットが 1)、フレーミング エラーが設定されます。

Copyright © 2026 Texas Instruments Incorporated

表 21-15. RIS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	RTRIS	R	0h	受信タイムアウト割り込みステータス: このフィールドは、UART の受信タイムアウト割り込みの未処理割り込み状態を返します。受信タイムアウト割り込みは、受信 FIFO が空ではなく、かつ 32 ビット期間にわたってそれ以上のデータが受信されない場合にアサートされます。受信タイムアウト割り込みは、すべてのデータを読み取ることで FIFO が空になった場合、または ICR.RTIC に 1 が書き込まれた場合のいずれかでクリアされます。 受信タイムアウトの未処理割り込みは、マスクが設定されていない限り設定できません (IMSC.RTIM = 1)。これは、省電力がイネーブルとしてマスクが機能するためです。つまり、MIS.RTMIS および RTRIS から同じステータスを読み取ることができます。
5	TXRIS	R	0h	送信割り込みステータス: このフィールドは、UART の送信割り込みの未処理割り込み状態を返します。 FIFO が有効の場合 (LCRH.FEN = 1)、送信 FIFO のバイト数が設定されたトリガ レベル (IFLS.TXSEL) 以下になると、送信割り込みがアサートされます。送信割り込みは、トリガ レベルを超えるまで送信 FIFO にデータを書き込むか、ICR.TXIC 経由で割り込みをクリアすることでクリアされます。 FIFO が無効の場合 (LCRH.FEN = 0)、つまり特定地点における深度の場合、トランスミッタのシングル位置にデータが存在しないと、送信割り込みがアサートされます。送信 FIFO に 1 回だけ書き込むか、ICR.TXIC 経由で割り込みをクリアすることでクリアされます。
4	RXRIS	R	0h	受信割り込みステータス: このフィールドは、UART の受信割り込みの未処理割り込み状態を返します。 FIFO が有効の場合 (LCRH.FEN = 1)、受信 FIFO がプログラムされたトリガ レベル (IFLS.RXSEL) に達すると、受信割り込みがアサートされます。 受信割り込みは、トリガ レベルを下回るまで受信 FIFO からデータを読み取るか、ICR.RXIC 経由で割り込みをクリアすることでクリアされます。 FIFO が無効の場合 (LCRH.FEN = 0)、つまり特定地点における深度の場合、データが受信されると、受信割り込みがアサートされ、その位置が満たされます。 受信割り込みは、受信 FIFO を 1 回だけ読み取るか、ICR.RXIC 経由で割り込みをクリアすることでクリアされます。
3-2	予約済み	R	0h	予約済み
1	CTSRMIS	R	X	送信許可 (CTS) モデム割り込みステータス: このフィールドは、UART の送信許可割り込みの未処理割り込み状態を返します。
0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

21.7.1.12 MIS レジスタ (オフセット = 40h) [リセット = 00000000h]

図 21-15 に、MIS を示し、表 21-16 に、その説明を示します。

概略表に戻ります。

マスク割り込みステータス

図 21-15. MIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				EOTMIS	OEMIS	BEMIS	PEMIS
R-0h				R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
FEMIS	RTMIS	TXMIS	RXMIS	予約済み		CTSMMIS	予約済み
R-0h	R-0h	R-0h	R-0h	R-0h		R-0h	R-0h

表 21-16. MIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11	EOTMIS	R	0h	送信終了割り込みステータス: このフィールドは、未処理割り込み状態 RIS.EOTRIS とマスク設定 IMSC.EOTIM の論理積 (AND 演算) であるオーバーラン割り込みのマスク割り込み状態を返します。
10	OEMIS	R	0h	オーバーラン エラー マスク割り込みステータス: このフィールドは、未処理割り込み状態 RIS.OERIS とマスク設定 IMSC.OEIM の論理積 (AND 演算) であるオーバーラン割り込みのマスク割り込み状態を返します。
9	BEMIS	R	0h	ブレーク エラー マスク割り込みステータス: このフィールドは、未処理割り込み状態 RIS.BERIS とマスク設定 IMSC.BEIM の論理積 (AND 演算) であるブレーク エラー割り込みのマスク割り込み状態を返します。
8	PEMIS	R	0h	パリティ エラー マスク割り込みステータス: このフィールドは、未処理割り込み状態 RIS.PERIS とマスク設定 IMSC.PEIM の論理積 (AND 演算) であるパリティ エラー割り込みのマスク割り込み状態を返します。
7	FEMIS	R	0h	フレーミング エラー マスク割り込みステータス:未処理割り込み状態 RIS.FERIS とマスク設定 IMSC.FEIM の論理積 (AND 演算) であるフレーミング エラー割り込みのマスク割り込み状態を返します。
6	RTMIS	R	0h	受信タイムアウト マスク割り込みステータス: 受信タイムアウト割り込みのマスク割り込み状態を返します。 受信タイムアウトの未処理割り込みは、マスクが設定されていない限り設定できません (IMSC.RTIM = 1)。これは、省電力がイネーブルとしてマスクが機能するためです。つまり、RTMIS および RIS.RTRIS から同じステータスを読み取ることができます。
5	TXMIS	R	0h	送信マスク割り込みステータス: このフィールドは、未処理割り込み状態 RIS.TXRIS とマスク設定 IMSC.TXIM の論理積 (AND 演算) である送信割り込みのマスク割り込み状態を返します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 21-16. MIS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	RXMIS	R	0h	受信マスク割り込みステータス: このフィールドは、未処理割り込み状態 RIS.RXRIS とマスク設定 IMSC.RXIM の論理積 (AND 演算) である受信割り込みのマスク割り込み状態を返します。
3-2	予約済み	R	0h	予約済み
1	CTSMMIS	R	0h	送信許可 (CTS) モデム マスク割り込みステータス: このフィールドは、未処理割り込み状態 RIS.CTSRMIS とマスク設定 IMSC.CTSMIM の論理積 (AND 演算) である CTS 割り込みのマスク割り込み状態を返します。
0	予約済み	R	0h	予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

21.7.1.13 ICR レジスタ (オフセット = 44h) [リセット = 00000000h]

図 21-16 に、ICR を示し、表 21-17 に、その説明を示します。

概略表に戻ります。

割り込みクリア
1 を書き込むと、対応する割り込みがクリアされます。0 を書き込んでも何もしません。

図 21-16. ICR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				EOTIC	OEIC	BEIC	PEIC
R-0h				W-X	W-X	W-X	W-X
7	6	5	4	3	2	1	0
FEIC	RTIC	TXIC	RXIC	予約済み		CTSMIC	予約済み
W-X	W-X	W-X	W-X	W-X		W-X	W-X

表 21-17. ICR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11	EOTIC	W	X	送信終了割り込みクリア: このフィールドに 1 を書き込むと、オーバーラン エラー割り込み (RIS.EOTRIS) がクリアされます。0 を書き込んでも何もしません。
10	OEIC	W	X	オーバーラン エラー割り込みクリア: このフィールドに 1 を書き込むと、オーバーラン エラー割り込み (RIS.OERIS) がクリアされます。0 を書き込んでも何もしません。
9	BEIC	W	X	ブレーク エラー割り込みクリア: このフィールドに 1 を書き込むと、ブレーク エラー割り込み (RIS.BERIS) がクリアされます。0 を書き込んでも何もしません。
8	PEIC	W	X	パリティ エラー割り込みクリア: このフィールドに 1 を書き込むと、パリティ エラー割り込み (RIS.PERIS) がクリアされます。0 を書き込んでも何もしません。
7	FEIC	W	X	フレーミング エラー割り込みクリア: このフィールドに 1 を書き込むと、フレーミング エラー割り込み (RIS.FERIS) がクリアされます。0 を書き込んでも何もしません。
6	RTIC	W	X	受信タイムアウト割り込みクリア: このフィールドに 1 を書き込むと、受信タイムアウト割り込み (RIS.RTRIS) がクリアされます。0 を書き込んでも何もしません。
5	TXIC	W	X	送信割り込みクリア: このフィールドに 1 を書き込むと、送信割り込み (RIS.TXRIS) がクリアされます。0 を書き込んでも何もしません。
4	RXIC	W	X	受信割り込みクリア: このフィールドに 1 を書き込むと、受信割り込み (RIS.RXRIS) がクリアされます。0 を書き込んでも何もしません。
3-2	予約済み	W	X	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。0 を書き込みます

Copyright © 2026 Texas Instruments Incorporated

表 21-17. ICR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	CTSMIC	W	X	送信許可 (CTS) モデム割り込みクリア: このフィールドに 1 を書き込むと、送信許可割り込み (RIS.CTSRMIS) がクリアされます。0 を書き込んでも何もしません。
0	予約済み	W	X	ソフトウェアは、予約済みの値に依存してはなりません。リセット値以外の値を書き込むと、未定義の動作が発生する可能性があります。0 を書き込みます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

21.7.1.14 DMACTL レジスタ (オフセット = 48h) [リセット = 00000000h]

図 21-17 に、DMACTL を示し、表 21-18 に、その説明を示します。

概略表に戻ります。

DMA 制御

図 21-17. DMACTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					DMAONERR	TXDMAE	RXDMAE
R-0h					R/W-0h	R/W-0h	R/W-0h

表 21-18. DMACTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	DMAONERR	R/W	0h	エラーの DMA。このビットが 1 に設定されている場合、UART エラー割り込みがアサートされると (具体的には、RIS.PERIS、RIS.BERIS、RIS.FERIS、RIS.OERIS のいずれかのエラー割り込みがアサートされた場合)、DMA 受信要求出力 (シングル要求およびバースト要求対象) が無効になります。
1	TXDMAE	R/W	0h	送信 DMA イネーブル。このビットが 1 に設定されている場合、送信 FIFO の DMA が有効になります。
0	RXDMAE	R/W	0h	受信 DMA イネーブル。このビットが 1 に設定されている場合、受信 FIFO の DMA が有効になります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

Chapter 22

同期式シリアル インターフェイス (SSI)

この章では、同期シリアル インターフェイス (SSI) について説明します。

22.1 概要 1933
22.2 ブロック図 1934
22.3 信号の説明 1935
22.4 機能説明 1935
22.5 DMA 動作 1945
22.6 初期化および構成 1945
22.7 SSI レジスタ 1946

Copyright © 2026 Texas Instruments Incorporated

22.1 概要

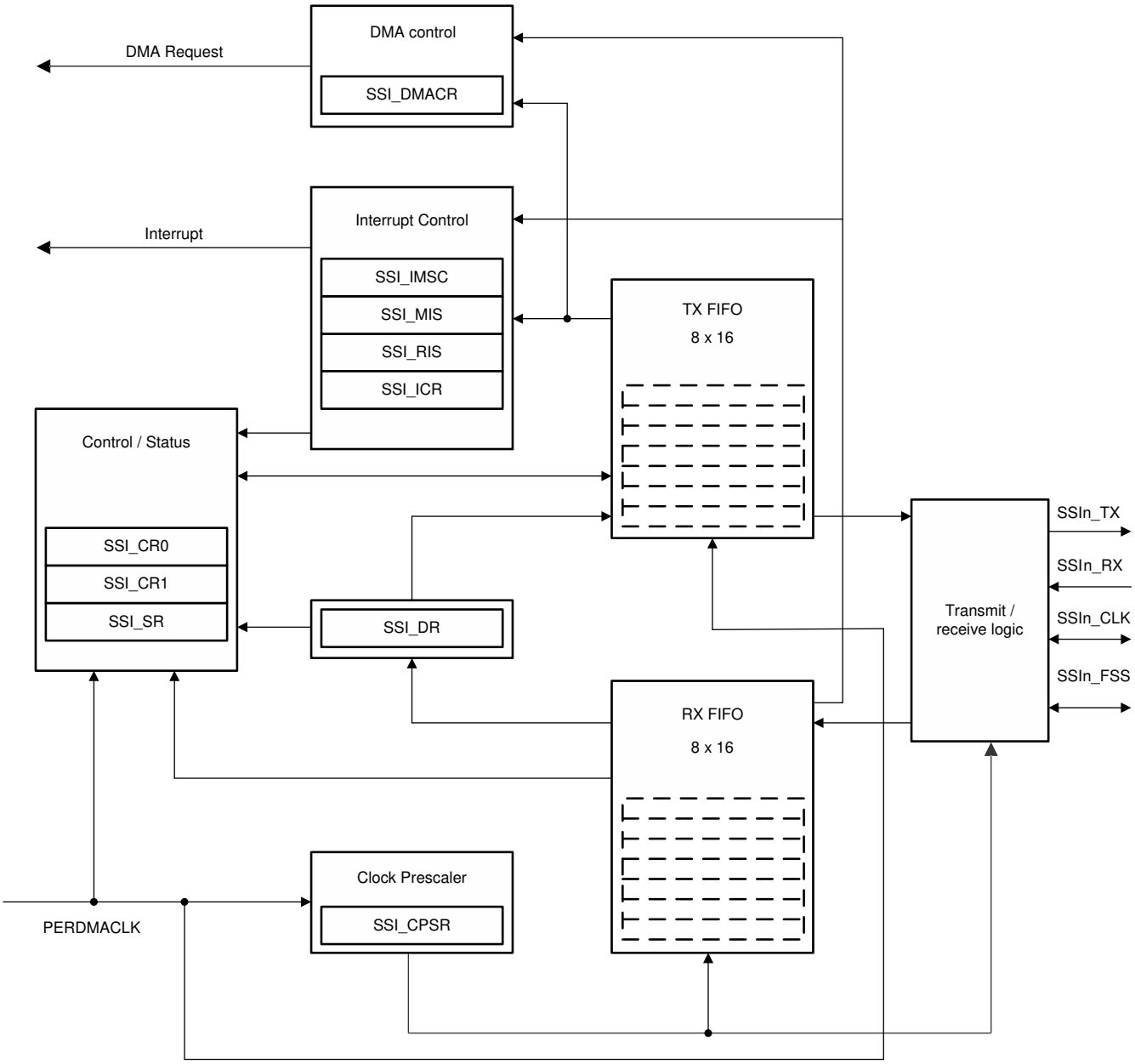
CC13x2 および CC26x2 デバイス プラットフォームの 2 つの SSI モジュールの主な特長は次のとおりです。

- Motorola SPI、MICROWIRE、TI SSI に対応したプログラマブル インターフェイス動作
- インターフェイス上でマスタまたはスレーブとして構成可能
- プログラマブルなクロック ビット レートとプリスケーラ
- 送信 (TX) と受信 (RX) の先入れ先出しバッファ (FIFO) は独立しており、それぞれ 16 ビット幅と 8 段の奥行きがあります
- プログラマブルなデータ フレーム サイズ (4～16 ビット)
- 診断およびデバッグ テスト用の内部ループバック テスト モード
- 送信 FIFO と受信 FIFO の割り込み、オーバーランとタイムアウトの割り込み、DMA 完了割り込みに対応
- マイクロ ダイレクト メモリ アクセス コントローラ (µDMA) による効率的な転送:
  - 送信用と受信用でチャネルを分離
  - FIFO 内にデータがあるときにアサートされる単一の要求と、FIFO に 4 つ以上のエントリが含まれていたときにアサートされるバースト要求を受信
  - FIFO 内に空きがあるときにアサートされる単一の要求と、FIFO に 4 つ以下のエントリが含まれたときにアサートされるバースト要求を送信

Copyright © 2026 Texas Instruments Incorporated

22.2 ブロック図

図 22-1 に、SSI のブロック図を示します。



Copyright © 2017, Texas Instruments Incorporated

図 22-1. SSI モジュールのブロック図

Copyright © 2026 Texas Instruments Incorporated

22.3 信号の説明

表 22-1 に SSI モジュールの外部信号を示し、各機能を説明します。SSI 信号は、IOC モジュールで IOCFGn レジスタを介して選択されます。GPIO の構成の詳細については、Chapter 5 を参照してください。

表 22-1. SSI の信号

信号名	ピン番号	ピンの種類(1)	説明
SSI0_CLK	I/O コントローラで割り当てられます	I/O	SSI モジュール 0 クロック ピン
SSI0_FSS		I/O	SSI モジュール 0 フレーム ピン
SSI0_RX		I	SSI モジュール 0 RX ピン
SSI0_TX		O	SSI モジュール 0 TX ピン
SSI1_CLK		I/O	SSI モジュール 1 クロック ピン
SSI1_FSS		I/O	SSI モジュール 1 フレーム ピン
SSI1_RX		I	SSI モジュール 1 RX ピン
SSI1_TX		O	SSI モジュール 1 TX ピン

(1) I = 入力、O = 出力、I/O = 双方向

22.4 機能説明

SSI は、ペリフェラル デバイスから受信したデータをシリアルからパラレルへ変換します。CPU は、データ、制御、およびステータス情報にアクセスします。内部 FIFO メモリは送信および受信パスをバッファするため、送信モードと受信モードの両方で最大 8 つの 16 ビット値を独立して保存できます。SSI は、µDMA インターフェイスもサポートしています。TX および RX FIFO は、µDMA モジュールの送信先アドレスまたはソース アドレスとしてプログラムできます。µDMA の動作は、SSI:DMACR レジスタの適切なビットをセットするとイネーブルされます。

22.4.1 ビット レート生成

SSI には、プログラマブル ビット レート クロック分周器とプリスケーラが含まれており、シリアル出力クロックを生成します。ビット レートは 2MHz 以上でサポートされ、最大ビット レートはペリフェラル デバイスによって決定されます。

シリアル ビット レートは、入力クロック (SysClk) を分周することで得られます。最初に、クロックを SSI クロック プリスケール レジスタ (SSI:CPSR) にプログラムされている 2 から 254 の偶数のプリスケール値 CPSDVSR で分周します (セクション 22.7.1 を参照)。クロックは、1 から 256 の値 (すなわち 1 + SCR) でさらに分周されます。ここで SCR は、SSI コントロール 0 レジスタ (SSI:CR0) にプログラムされている値です (セクション 22.7.1 を参照)。

式 8 で、出力クロック SSIn_CLK の周波数を定義しています。

$$SSIn_CLK = PERDMACLK / [CPSDVSR \times (1 + SCR)] \quad (8)$$

注

スレーブ モードの場合、コア クロック (PERDMACLK) は SSIn_CLK の 12 倍以上高速である必要があります。

マスタ モードの場合、コア クロック (PERDMACLK) は SSIn_CLK の 2 倍以上高速である必要があります。

Copyright © 2026 Texas Instruments Incorporated

22.4.2 FIFO 動作

22.4.2.1 送信 FIFO

共通 TX FIFO は、16 ビット幅、8 領域深さ、先入れ先出しメモリ バッファです。CPU は SSI データ レジスター、SSI:DR (式 8 を参照) に書き込むことで FIFO にデータを書き込み、データは送信ロジックによって読み取られるまで FIFO に格納されます。

マスタまたはスレーブとして構成した場合、パラレル データが TX FIFO に書き込まれてから、シリアル変換と、接続されているスレーブまたはマスタへの SSIn_TX ピン経由での送信が、それぞれ行われます。

スレーブ モードでは、マスタがトランザクションを開始するたびに SSI がデータを送信します。TX FIFO が空で、マスタがトランザクションを開始すると、スレーブはゼロを送信します。ユーザーまたはソフトウェアにより、必要に応じて FIFO で有効なデータを利用可能にする必要があります。SSI は、FIFO がハーフ フルのとき (4 ワード未満) に割り込みを生成するように設定することも、FIFO が FULL でないときに µDMA 要求を生成するように設定することもできます。

22.4.2.2 受信 FIFO

共通 RX FIFO は、16 ビット幅、8 領域深さ、先入れ先出しメモリ バッファです。シリアル インターフェイスから受信したデータは、CPU が読み取るまでバッファに格納されます。CPU は、SSI:DR レジスタを読み出すことで読み出し FIFO にアクセスします。

マスタまたはスレーブとして構成されている場合、SSIn_RX ピンを介して受信したシリアル データは、それぞれ接続されているスレーブまたはマスタの RX FIFO にパラレル ロードされる前に登録されます。

22.4.3 割り込み

SSI は、以下の条件が発生したときに割り込みを生成できます。

- TX FIFO サービス要求 (TX FIFO がハーフ フル以下のとき)
- RX FIFO サービス要求 (RX FIFO がハーフ フル以上のとき)
- RX FIFO タイムアウト
- RX FIFO オーバーラン

すべての割り込みイベントは、イベント ファブリックに送信される前に論理和されるため、アクティブな割り込みの数に関係なく、SSI はコントローラに対して 1 つの割り込み要求を生成します。TX FIFO、RX FIFO、RX タイムアウト、RX オーバーラン割り込みは、SSI:IMSC レジスタの適切なビットをクリアすることでマスクできます。逆に、SSI:IMSC レジスタの当該ビットをセットすると、その割り込みが有効になります。RX DMA 完了割り込みと TX DMA 完了割り込みは、UDMA チャネル要求完了マスク レジスタ (UDMA:DONEMASK) の該当ビットをセットすることでマスクできます。
UDMA:DONEMASK レジスタの該当ビットをクリアすると、RX または TX DMA 完了割り込みが有効になります。

個々の割り込みソースのステータスは、SSI の未加工割り込みステータス レジスタ (SSI:RIS) および SSI マスク済み割り込みステータス レジスタ (SSI:MIS) から読み取ることができます (セクション 22.7.1 を参照)。

受信 FIFO サービス割り込み要求 SSI:RIS.RXRIS は、受信 FIFO に有効なエントリが 4 つ以上ある場合に、アサートされます。

送信 FIFO サービス割り込み要求 SSI:RIS.TXRIS は、送信 FIFO に有効なエントリが 4 つ以下の場合に、アサートされます。トランスミッタ割り込みは SSP 有効化信号によって条件付けされていないため、SSP および割り込みを有効化する前にデータを送信 FIFO に書き込むことが可能であり、また、SSP および割り込みを有効化して、割り込みサービス ルーチン (ISR) から送信 FIFO にデータを書き込むことができます。

受信オーバーラン割り込み SSI:RIS.RORRIS 要求は、FIFO がすでにフルの状態で、さらに追加のデータ フレームを受信した場合にアサートされ、FIFO のオーバーランが発生したことを示します。受信シフト レジスタではデータは上書きされますが、FIFO では上書きされません。

Copyright © 2026 Texas Instruments Incorporated

RX FIFO には SSIn_CLK のレート (SSIn_CLK が現在アクティブかどうかに関係なく) で 32 周期分のタイムアウト期間があり、RX FIFO が空から空でない状態になった時点でカウントが開始されます。32 クロックが経過する前に RX FIFO が再び空になると、タイムアウト期間はリセットされます。その結果、ISR は、RX FIFO を読み出した直後に、SSI 割り込みクリア (SSI:ICR) レジスタの RTIC ビットに 1 を書き込むことで、RX FIFO タイムアウト割り込みをクリアします。

注

割り込をクリアするタイミングが遅すぎて、ISR が割り込みを実際にクリアする前に復帰してしまうと、ISR が不必要に再アクティブ化される可能性があります。

22.4.4 フレーム フォーマット

各データ フレームは、プログラムされたデータのサイズに応じて 4 ～ 16 ビット長で、最上位ビット (MSB) から順に送信されます。次の 3 つの基本フレーム タイプを選択できます。

- TI 同期シリアル
- Motorola™ SPI
- ナショナル MICROWIRE

3 つのフォーマットすべてで、シリアル クロック (SSIn_CLK) は非アクティブに保持されます。その間、SSI がアイドル状態で、SSIn_CLK はアクティブな送信またはデータ受信中のみ、プログラムされた周波数で遷移します。SSIn_CLK の IDLE 状態は、タイムアウト期間後に RX FIFO にまだデータが含まれている場合に発生する受信タイムアウトを示します。

Motorola SPI および MICROWIRE フレーム フォーマットの場合、シリアル フレーム (SSIn_FSS) ピンはアクティブ Low で、フレームの送信中にアサート (プルダウン) されます。

TI 同期シリアル フレーム フォーマットでは、SSIn_FSS ピンは、各フレームの送信前に、立ち上がりエッジから開始される 1 シリアル クロック周期のパルスを生成します。このフレーム フォーマットでは、SSI とオフ チップ スレーブ デバイスはどちらも、SSIn_CLK の立ち上がりエッジで出力データを駆動し、もう一方のデバイスからのデータを立ち下がりエッジでラッチします。

他の 2 つのフレーム フォーマットの全二重伝送とは異なり、MICROWIRE フォーマットは半二重で動作する特別なマスター/スレーブ メッセージング技術を使用します。フレームが開始されると、8 ビットの制御メッセージがオフ チップ スレーブに送信されます。この送信中、SSI は受信データを受信しません。メッセージが送信されると、オフ チップ スレーブはそのメッセージをデコードし、8 ビット制御メッセージの最後のビットが送信された後、1 つのシリアル クロックを待機した後で、要求されたデータに対して応答します。返されるデータは 4 ～ 16 ビット長であるため、フレーム全体の長さは 13 ～ 25 ビットになります。

Copyright © 2026 Texas Instruments Incorporated

22.4.4.1 テキサス インスツルメンツの同期シリアル フレーム フォーマット

図 22-2 に、単一の送信フレームの TI 同期シリアル フレーム フォーマットを示します。

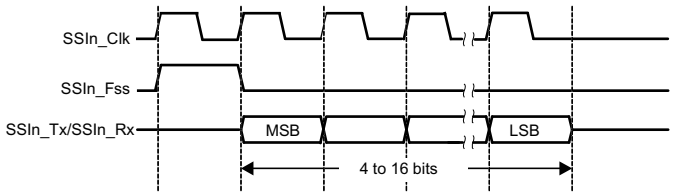


図 22-2. TI 同期シリアル フレーム フォーマット (シングル転送)

SSI がアイドル状態の場合は常に、SSIn_CLK および SSIn_FSS は強制的に Low になり、送信データ ライン SSIn_TX はトライステートになります。TX FIFO の下部エントリにデータが含まれている場合、SSIn_FSS は 1 SSIn_CLK 周期の間 High にパルスされます。送信値は、TX FIFO から送信ロジックのシリアル シフト レジスタにも転送されます。SSIn_CLK の次の立ち上がりエッジで、4 ～ 16 ビットのデータ フレームの MSB が SSIn_TX ピンでシフトアウトされます。同様に、受信データの MSB はオフ チップのシリアル スレーブ デバイスによって SSIn_RX ピンにシフトされます。

SSI とオフ チップ シリアル スレーブ デバイスは、SSIn_CLK の立ち下がりエッジごとに、各データ ビットをシリアル シフタにクロックします。受信データは、最下位ビット (LSB) がラッチされた後、SSIn_CLK の最初の立ち上がりエッジで、シリアル シフタから RX FIFO に転送されます。

図 22-3 に、双方向フレームの送信時の TI 同期シリアル フレーム フォーマットを示します。

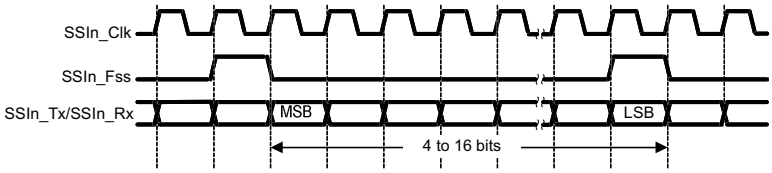


図 22-3. TI の同期シリアル フレーム フォーマット (連続転送)

22.4.4.2 Motorola SPI フレーム フォーマット

Motorola SPI インターフェイスは 4 線式インターフェイスで、SSIn_FSS 信号がスレーブ選択として動作します。Motorola の SPI 形式の主な特長は、SSI:CR0 制御レジスタの SPO ビットと SPH ビットを使用して、SSIn_CLK 信号の非アクティブ状態と位相をプログラムできることです。

22.4.4.2.1 SPO クロック極性ビット

SPO クロック極性制御ビットがクリアされると、このビットは SSIn_CLK ピンに定常状態の "Low" の値を生成します。SPO ビットが設定されている場合、データが転送されていないとき、このビットは SSIn_CLK ピンに定常状態の "High" の値を出力します。

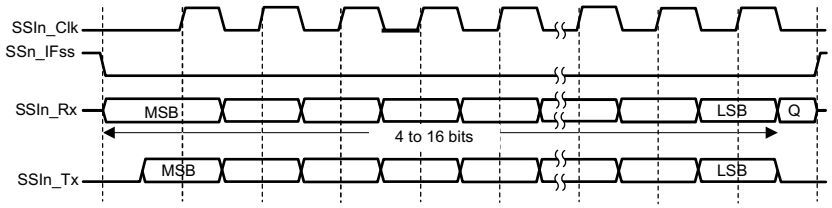
22.4.4.2.2 SPH 位相制御ビット

SPH 位相制御ビットは、データをキャプチャするクロック エッジを選択し、状態の変更を許可します。このビットの状態は、最初のデータをキャプチャするエッジの前にクロック遷移を許可または許可しないことで、送信された最初のビットに最も影響を及ぼします。SPH 位相制御ビットがクリアされると、最初のクロック エッジ遷移時にデータがキャプチャされます。SPH ビットが設定されている場合、2 番目のクロック エッジ遷移時にデータがキャプチャされます。

Copyright © 2026 Texas Instruments Incorporated

22.4.4.3 SPO = 0 および SPH = 0 での Motorola SPI フレームフォーマット

図 22-4 および 図 22-5 に、SPO = 0 とおよび SPH = 0 での Motorola SPI フォーマットにおける単発送信および連続送信の信号シーケンスをそれぞれ示します。



Q は未定義です。

図 22-4. SPO = 0 および SPH = 0 での Motorola SPI フォーマット (単発送信)

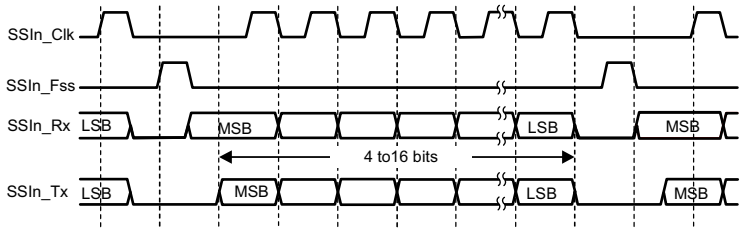


図 22-5. SPO = 0 および SPH = 0 での Motorola SPI フォーマット (連続送信)

この構成では、アイドル期間中に以下の処理が行われます。

- SSIn_CLK は Low に強制される
- SSIn_FSS は High に強制される
- 送信データ ライン SSIn_TX は任意に Low に強制される
- SSI がマスタとして構成されている場合、SSI は SSIn_CLK DIO を有効化する
- SSI がスレーブとして構成されている場合、SSI は SSIn_CLK DIO を無効化する

SSI が有効化されており、TX FIFO に有効なデータがある場合、SSIn_FSS マスタ信号は送信開始時に Low に駆動され、これにより、スレーブのデータがマスタの SSIn_RX 入力ラインへ出力可能になります。マスタ SSIn_TX 出力 DIO が有効化されます。

SSIn_CLK の 1/2 周期後、有効なマスタ データが SSIn_TX ピンに転送されます。マスタとスレーブの両方のデータが設定されると、追加の SSIn_CLK の 1/2 周期後に、SSIn_CLK マスタ クロック ピンが High になります。

これで、データは SSIn_CLK 信号の立ち上がりエッジでキャプチャされ、立ち下がりエッジで伝搬されるようになりました。

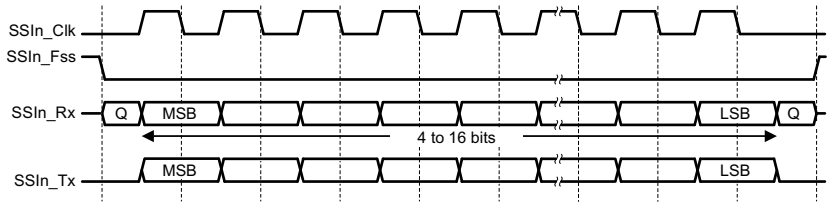
シングルワード送信の場合、データ ワードのすべてのビットが転送された後、最後のビットがキャプチャされてから SSIn_CLK の 1 周期後に、SSIn_FSS ラインは IDLE (High) 状態に戻ります。

連続バックツーバック送信の場合、SPH ビットがクリアされていると、スレーブ セレクト ピンはシリアル ペリフェラル レジスタ内のデータを固定し、データの変更を許可しないため、SSIn_FSS 信号は各データ ワード転送の間で High にパルスする必要があります。マスタ デバイスは、シリアル ペリフェラルへのデータ書き込みを有効にするために、各データ転送の間でスレーブ デバイスの SSIn_FSS ピンを立ち上げる必要があります。連続転送が完了すると、最後のビットがキャプチャされてから、SSIn_CLK の 1 周期後に、SSIn_FSS ピンは IDLE 状態に戻されます。

Copyright © 2026 Texas Instruments Incorporated

22.4.4.4 SPO = 0 および SPH = 1 での Motorola SPI フレーム フォーマット

図 22-6 に、SPO = 0 および SPH = 1 での Motorola SPI フォーマットの転送信号シーケンスを示します。これらは、単発転送と連続転送の両方を対象としています。



Q は未定義です。

図 22-6. SPO = 0 および SPH = 1 での Motorola SPI フレーム フォーマット

この構成では、アイドル期間中に以下の処理が行われます。

- SSIn_CLK は Low に強制される
- SSIn_FSS は High に強制される
- 送信データ ライン SSIn_TX は任意に Low に強制される
- SSI がマスタとして構成されている場合、SSI は SSIn_CLK DIO を有効化する
- SSI がスレーブとして構成されている場合、SSI は SSIn_CLK DIO を無効化する

SSI が有効化されており、TX FIFO に有効なデータがある場合、SSIn_FSS マスタ信号は送信開始時に Low になります。マスタ SSIn_TX 出力が有効化されます。SSIn_CLK の 1/2 周期が追加された後、マスタとスレーブの両方の有効データがそれぞれの送信ラインに対して有効になります。同時に、SSIn_CLK が立ち上がりエッジ遷移で有効化されます。その後、データは SSIn_CLK 信号の立ち下がりエッジでキャプチャされ、立ち上がりエッジで伝搬されます。

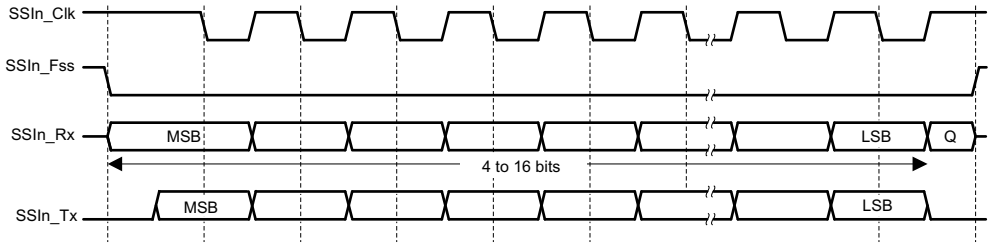
シングルワード転送の場合、すべてのビットが転送された後、最後のビットがキャプチャされてから、SSIn_CLK の 1 周期後に、SSIn_FSS ラインは IDLE (High) 状態に戻されます。

連続バックツーバック転送の場合、連続するデータ ワードの間で SSIn_FSS ピンは Low のまま保持され、シングルワード転送と同じように転送が終了します。

Copyright © 2026 Texas Instruments Incorporated

22.4.4.5 SPO = 1 および SPH = 0 での Motorola SPI フレームフォーマット

図 22-7 および図 22-8 に、SPO = 1、SPH = 0 の Motorola SPI 形式について、それぞれ単一送信信号シーケンスおよび連続送信信号シーケンスを示します。



Q は未定義です。

図 22-7. SPO = 1、SPH = 0 の Motorola SPI フレーム形式 (単一転送)

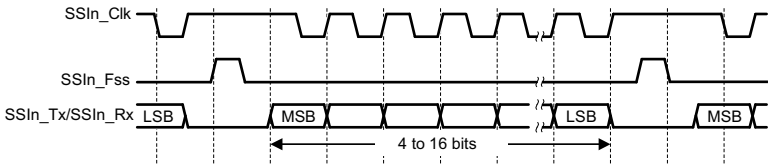


図 22-8. SPO = 1、SPH = 0 の Motorola SPI フレーム形式 (連続転送)

この構成では、アイドル期間中に次のようになります。

- SSIn_CLK は High に強制
- SSIn_FSS は High に強制
- 送信データ ライン SSIn_TX は任意に Low に強制
- SSI がマスタとして構成されている場合、SSI は SSIn_CLK DIO を有効化
- SSI がスレーブとして構成されている場合、SSI は SSIn_CLK DIO を無効化

SSI が有効で、TX FIFO に有効なデータがある場合、SSIFss マスタ信号は送信開始時に Low になり、スレーブ データを直ちにマスタの SSIn_RX ラインに転送します。マスタ SSIn_TX 出力 DIO が有効化されます。

SSIn_CLK 周期の 1/2 の後に、有効なマスタ データが SSIn_TX ラインに転送されます。マスタ データとスレーブ データの両方が設定されると、さらに 1/2 SSIn_CLK 周期後に SSIn_CLK マスタ クロック ピンが Low になります。データは SSIn_CLK 信号の立ち下がりエッジでキャプチャされ、立ち上がりエッジで伝搬されます。

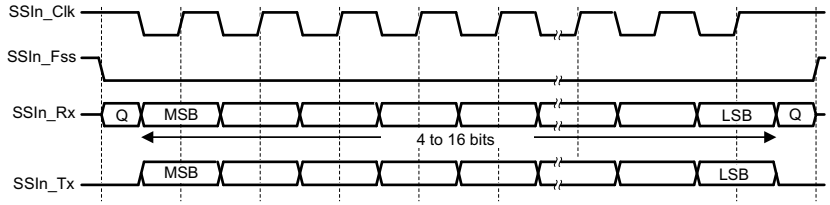
単一ワード送信では、データ ワードのすべてのビットが転送された後、最後のビットがキャプチャされてから 1 SSIn_CLK 周期後に、SSIn_FSS ラインが IDLE High 状態に戻ります。

連続するバックツーバック送信では、各データ ワード転送の間に SSIn_FSS 信号を High にパルスする必要があります。これは、SPH ビットがクリアされている場合、スレーブ選択ピンによってシリアル ペリフェラル レジスタ内のデータが固定され、変更されないようにするためです。マスタ デバイスは、シリアル ペリフェラル データ書き込みを有効にするため、各データ転送の間にスレーブ デバイスの SSIn_FSS ピンを High にする必要があります。連続転送が完了すると、最後のビットがキャプチャされてから 1 SSIn_CLK 周期後に、SSIn_FSS ピンは IDLE 状態に戻ります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

22.4.4.6 SPO = 1 および SPH = 1 での Motorola SPI フレームフォーマット

図 22-9 に、SPO = 1 および SPH = 1 での Motorola SPI フォーマットの転送信号シーケンスを示します。これらは、単発転送と連続転送の両方を対象としています。



Q は未定義です。

図 22-9. SPO = 1 および SPH = 1 での Motorola SPI フレームフォーマット

この構成では、アイドル期間中に以下の処理が行われます。

- SSIClk は high に強制される
- SSIn_FSS は high に強制される
- 送信データ ライン SSIn_TX は任意に Low に強制される
- SSI がマスタとして構成されている場合、SSI は SSIn_CLK DIO を有効化する
- SSI がスレーブとして構成されている場合、SSI は SSIn_CLK DIO を無効化する

SSI が有効になっており、TX FIFO に有効なデータが存在する場合、SSIn_FSS マスタ信号が Low になることで送信開始が示されます。マスタ SSIn_TX 出力 DIO が有効化されます。さらに SSIn_CLK の半周期が経過すると、マスタおよびスレーブのデータがそれぞれの送信ラインに出力されます。同時に、SSIn_CLK が立ち下がりエッジ遷移で有効化されます。その後、データは SSIn_CLK 信号の立ち上がりエッジで取り込まれ、立ち下がりエッジで出力されます。

シングル ワードの送信では、すべてのビットが転送された後、最後のビットが取り込まれてから一回の SSIn_CLK 周期後に、SSIn_FSS ラインはアイドル時の High レベル状態に戻ります。

連続的なバック ツー バック送信の場合、最後のワードの最後のビットがキャプチャされてから、アイドル状態に戻るまで、SSIn_FSS ピンはアクティブ Low 状態のままです。

連続双方向転送の場合、連続するデータ ワードの間で SSIn_FSS ピンは Low のまま保持され、シングルワード転送と同じように転送が終了します。

22.4.4.7 MICROWIRE フレーム形式

図 22-10 に、単一フレームの MICROWIRE フレーム形式を示します。図 22-11 は、バック ツー バック フレームが送信された場合と同じ形式を表示します。

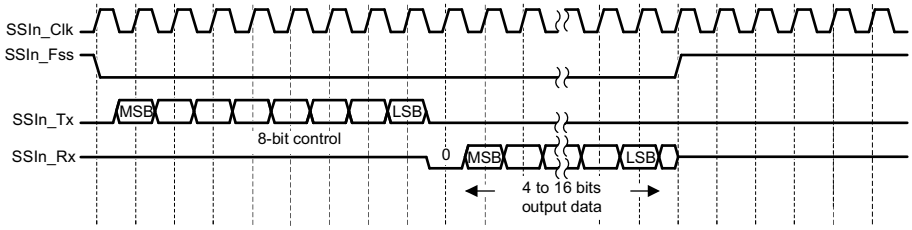


図 22-10. MICROWIRE フレーム形式 (シングル フレーム)

MICROWIRE フォーマットは SPI フォーマットに類似していますが、通信が半二重であり、マスタ / スレーブ間のメッセージ受け渡し方式を使用する点が異なります。各シリアル転送は、SSI からオフ チップ スレーブ デバイスへ送信される 8 ビットの制御ワードで開始されます。この送信中、SSI は受信データを受信しません。メッセージが送信されると、オフ チップ

Copyright © 2026 Texas Instruments Incorporated

スレーブはメッセージをデコードし、8 ビット制御メッセージの最後のビットが送信された後、一回のシリアル クロックを待機します。その後、オフ チップ スレーブは必要なデータを返します。返されるデータは 4 ～ 16 ビット長で、フレーム全体の長さは 13 ～ 25 ビットになります。

この構成では、アイドル期間中に以下の処理が行われます。

- SSIn_CLK は low に強制される
- SSIn_FSS は high に強制される
- 送信データ ライン SSIn_TX は任意に Low に強制される

TX FIFO に制御バイトを書き込むと、送信がトリガされます。SSIn_FSS の立ち下がりエッジで、TX FIFO の先頭エントリの値が送信ロジックのシリアル シフト レジスタへ転送されるとともに、8 ビット制御フレームの MSB が SSIn_TX ピンにシフト出力されます。SSIn_FSS は、フレームの送信期間中、low の状態を維持します。この送信中、SSIn_RX ピンはトライステート状態を維持します。

オフ チップ シリアル スレーブ デバイスは、SSIn_CLK の各立ち上がりエッジで、各制御ビットをシリアル シフタへ取り込みます。最後のビットがスレーブ デバイスによって取り込まれた後、一回のクロックの待機状態の間に制御バイトがデコードされ、その後スレーブは SSI に対してデータの送信を開始します。各ビットは、SSIn_CLK の立ち下がりエッジで SSIn_RX ラインに駆動されます。SSI は、SSIn_CLK の立ち上がりエッジで各ビットを取り込みます。シングル転送の場合、フレームの終了時に、受信シリアル シフタで最後のビットが取り込まれてデータが RX FIFO に転送された一回のクロック周期後に、SSIFss 信号は High レベルに戻ります。

注

オフ チップスレーブデバイスは、受信シフタが LSB を取り込んだ後の SSIn_CLK の立ち下がりエッジ、または SSIn_FSS ピンが High レベルになった時点で、受信ラインをトライステート状態にすることができます。

連続転送では、データ転送の開始および終了の動作はシングル転送と同じですが、SSIn_FSS ラインは low レベルのまま保持され、データは連続して送信されます。次のフレームの制御バイトは、現在のフレームから受信したデータの LSB に追従します。フレームの LSB が SSI に取り込まれた後、受信した各データ値は、SSIn_CLK の立ち下がりエッジで受信シフタから転送されます。

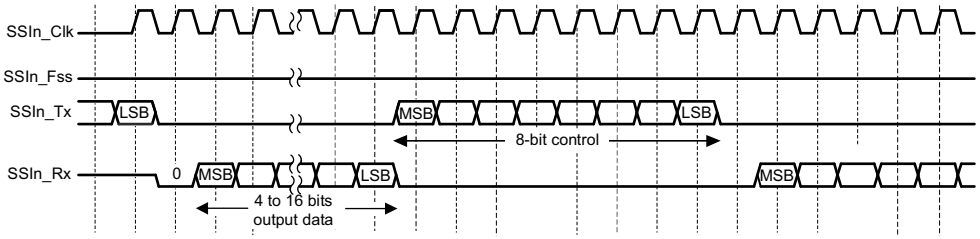


図 22-11. MICROWIRE フレーム形式 (連続転送)

MICROWIRE モードでは、SSIFss が Low になった後、SSI スレーブは SSIn_CLK の立ち上がりエッジで受信データの最初のビットをサンプリングします。フリーランニングの SSIn_CLK を駆動するマスタは、SSIFss 信号が SSIn_CLK の立ち上がりエッジに対して十分なセットアップ時間およびホールド時間のマージンを確保する必要があります。

図 22-12 に、これらのセットアップ時間とホールド時間の要件を示します。SSI スレーブが受信データの最初のビットをサンプリングする SSIn_CLK の立ち上がりエッジに対して、SSIn_FSS は、SSI が動作する SSIn_CLK の周期の少なくとも二倍のセットアップ時間を満たしている必要があります。この立ち上がりエッジの直前の SSIn_CLK 立ち上がりエッジを基準として、SSIn_FSS は少なくとも一回の SSIn_CLK 周期のホールド時間を満たしている必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

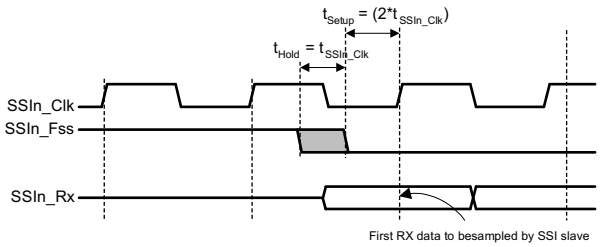


図 22-12. MICROWIRE フレーム形式、SSIFss 入力セットアップ、ホールド要件

Copyright © 2026 Texas Instruments Incorporated

22.5 DMA 動作

SSI ペリフェラルは、µDMA コントローラへのインターフェイスとして機能し、送信用と受信用に個別のチャネルを備えています。SSI DMA 制御レジスタ (SSI:DMACR) を使用すると、µDMA が SSI を動作させることができます。µDMA 動作が有効なとき、関連する FIFO がデータを転送できるとき、SSI は、受信または送信チャネルに µDMA 要求をアサートします。受信チャネルの場合、RX FIFO にデータがあるときは常に、単一の転送要求がアサートされます。RX FIFO のデータが 4 つ以上の項目になると、バースト転送要求がアサートされます。送信チャネルでは、TX FIFO に少なくとも 1 つの空の場所があるたびに、単一の転送要求がアサートされます。TX FIFO に 4 つ以上の空のスロットがあるたびに、バースト要求がアサートされます。µDMA コントローラは、µDMA チャネルの構成方法に応じて、シングルおよびバースト µDMA 転送要求を自動的に処理します。

受信チャネルの µDMA 動作を有効にするには、SSI:DMACR RXDMAE レジスタ ビットを設定します。送信チャネルの µDMA 動作を有効にするには、SSI:MAC RTXDMAE レジスタ ビットを設定します。µDMA が有効で、DMA Done Mask レジスタ (UDMA:DONEMASK) の適切なビットがクリアされると、µDMA コントローラは転送の完了時に割り込みをトリガします。割り込みは SSI 割り込みベクタで発生します。SSI 動作に割り込みが使用され、µDMA が有効な場合、SSI 割り込みハンドラを、µDMA 完了割り込みを処理するよう設計する必要があります。TX および RX DMA 完了割り込みのステータスは、チャネル要求完了レジスタ (UDMA:REQDONE) から読み取ることができます。TX と RX の DMA 完了割り込みをクリアするには、UDMA:REQDONE レジスタの対応するビットを 1 にする必要があります。

µDMA コントローラのプログラミングの詳細については、Chapter 14 を参照してください。

22.6 初期化および構成

SSI を有効化して初期化するには、次の手順を実行します。

1. 対応する電源ドメインが適切にパワーアップされていることを確認します。詳細については、Chapter 7 を参照してください。
2. PRCM:SSICLKGR レジスタ、PRCM:SSICLKGS レジスタ、PRCM:SSICLKGDS レジスタに書き込むか、DriverLib 関数を使用して、PRCM で該当する SSI モジュールを有効化します。

```
PRCMPeripheralRunEnable(uint32_t)
```

```
PRCMPeripheralSleepEnable(uint32_t)
```

```
PRCMPeripheralDeepSleepEnable(uint32_t)
```

```
and then loading the setting to clock controller by writing to PRCM:CLKLOADCTL
```

   または、DriverLib 関数を使用します。

```
PRCMLoadSet().
```

3. IOC モジュールを構成して、SSIn_RX、SSIn_TX、SSIn_FSS、SSIn_CLK の機能を I/O から SSI モジュールにルーティングします。IOCFGn.PORTID には、正しい PORTID を書き込む必要があります。

各フレーム形式について、SSI は次の手順で構成します。

1. 構成を変更する前に、SSI:CR1 レジスタの SSE ビットがクリアされていることを確認します。
2. SSI をマスタにするかスレーブにするかを選択します。
   a. マスタ動作の場合は、SSI:CR1 レジスタを 0x0000 0000 に設定します。
   b. スレーブ モード (出力有効) の場合は、SSI:CR1 レジスタを 0x0000 0004 に設定します。
   c. スレーブ モード (出力無効) の場合は、SSI:CR1 レジスタを 0x0000 000C に設定します。
3. SSI:CPSR レジスタに書き込んで、クロック プリスケール除数を構成します。
4. SSI:CR0 レジスタに次の構成を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

- シリアル クロック レート (SCR)
- Motorola SPI モードを使用する場合は、目的のクロック位相と極性 (SPH および SPO)
- プロトコル モード: Motorola SPI、TI SSF、MICROWIRE (FRF)
- データ サイズ (DSS)

5. 必要に応じて、µDMA チャネル (Chapter 14 を参照) を構成し、SSI:DMACR レジスタで DMA オプションを有効化します。
6. SSI:CR1 レジスタの SSE ビットを設定して、SSI を有効化します。

例として、次のパラメータで動作する SSI 構成が必要であるとします。

- マスタ動作
- テキサス インスツルメンツの SSI モード
- 1Mbps ビット レート
- 8 データ ビット

システム クロックが 48MHz であるとすると、ビット レートの計算は式 9 に示すとおりです。

SSIn_CLK = PERDMACLK / [CPSDVSR × (1 + SCR)] 1 × 106 = 20 × 106 / [CPSDVSR × (1 + SCR)] 1000000 bps = 48000000 Hz / [2 × (1 + 23)] (9)

この場合、CPSDVSR = 0x2 であれば、SCR は 0x18 である必要があります。

構成シーケンスは次のとおりです。

1. SSI:CR1 レジスタの SSE ビットがクリアされていることを確認します。
2. SSI:CR1 レジスタに値 0x0000 0000 を書き込みます。
3. SSI:CPSR レジスタに値 0x0000 0002 を書き込みます。
4. SSI:CR0 レジスタに値 0x0000 1817 を書き込みます。
5. その後、SSI:CR1 レジスタの SSE ビットを設定して SSI を有効化します。

22.7 SSI レジスタ

Copyright © 2026 Texas Instruments Incorporated

22.7.1 SSI レジスタ

表 22-2 に、SSI レジスタのメモリマップト レジスタを示します。表 22-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 22-2. SSI レジスタ

オフセット	略称	レジスタ名	セクション
0h	CR0	コントロール 0	CR0 レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	CR1	コントロール 1	CR1 レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	DR	データ	DR レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	SR	ステータス	SR レジスタ (オフセット = Ch) [リセット = 00000003h]
10h	CPSR	クロック プリスケール	CPSR レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	IMSC	割り込みマスクの設定とクリア	IMSC レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	RIS	未加工割り込みステータス	RIS レジスタ (オフセット = 18h) [リセット = 00000008h]
1Ch	MIS	マスクされた割り込みステータス	MIS レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	ICR	割り込みクリア	ICR レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	DMACR	DMA 制御	DMACR レジスタ (オフセット = 24h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 22-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 22-3. SSI のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

22.7.1.1 CR0 レジスタ (オフセット = 0h) [リセット = 00000000h]

図 22-13 に、CR0 を示し、表 22-4 に、その説明を示します。

概略表に戻ります。

コントロール 0

図 22-13. CR0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR								SPH	SPO	FRF		DSS			
R/W-0h								R/W-0h	R/W-0h	R/W-0h		R/W-0h			

表 22-4. CR0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	SCR	R/W	0h	シリアル クロック レート: SSI の送受信ビット レートを生成するために使用されます。ビット レートは (SSI のクロック周波数) / ((SCR + 1) * CPSR.CPSDVSR) です。 SCR は 0 ～ 255 の値です。
7	SPH	R/W	0h	CLKOUT 位相 (モトローラ SPI フレーム形式のみ) このビットは、データをキャプチャし、状態変更を可能にするクロック エッジを選択します。 最初のデータをキャプチャするエッジの前にクロック遷移を許可または許可しないことで、送信された最初のビットに最も影響を及ぼします。 0h = 1ST_CLK_EDGE:データは、最初のクロック エッジ遷移時にキャプチャされます。 1h = 2ND_CLK_EDGE:データは、2 番目のクロック エッジ遷移時にキャプチャされます。
6	SPO	R/W	0h	CLKOUT 極性 (モトローラ SPI フレーム形式のみ) 0h = SSI は、データが転送されていないときの CLKOUT ピンに、定常状態の Low の値を生成します。 1h = SSI は、データが転送されていないときの CLKOUT ピンに、定常状態の High の値を生成します。
5-4	FRF	R/W	0h	フレーム形式。 サポート対象のフレーム形式は、Motorola SPI、TI の同期シリアル、National Microwire です。 0'b11 値は予約済みであり、使用できません。 0h = Motorola SPI フレーム形式 1h = TI の同期シリアル フレーム形式 2h = National Microwire フレーム形式

Copyright © 2026 Texas Instruments Incorporated

表 22-4. CR0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	DSS	R/W	0h	データ サイズ選択。 0b0000、0b0001、0b0010 の値は予約済みで、使用できません。 3h = 4_BIT:4 ビット データ 4h = 5_BIT:5 ビット データ 5h = 6_BIT:6 ビット データ 6h = 7_BIT: 7 ビット データ 7h = 8_BIT:8 ビット データ 8h = 9_BIT:9 ビット データ 9h = 10_BIT: 10 ビット データ Ah = 11_BIT:11 ビット データ Bh = 12_BIT:12 ビットデータ Ch = 13_BIT:13 ビット データ Dh = 14_BIT:14 ビット データ Eh = 15_BIT:15 ビット データ Fh = 16_BIT:16 ビット データ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

22.7.1.2 CR1 レジスタ (オフセット = 4h) [リセット = 00000000h]

図 22-14 に、CR1 を示し、表 22-5 に、その説明を示します。

概略表に戻ります。

コントロール 1

図 22-14. CR1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												SOD	MS	SSE	LBM
R-0h												R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 22-5. CR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	SOD	R/W	0h	スレーブ モード出力の無効化 このビットはスレーブ モード、MS = 1 にのみ関連します。複数スレーブ システムでは、SSI マスターがシステム内のすべてのスレーブにメッセージをブロードキャストしながら、シリアル出力ラインにデータを送出するスレーブを 1 台に限定することが可能です。このようなシステムでは、複数のスレーブからの RXD ラインを互いに接続できます。このようなシステムで動作させる場合、SSI スレーブが TXD ラインを駆動しないようにするには、このビットフィールドを設定することができます。 0:SSI は TXD 出力をスレーブ モードで駆動できます。 1:SSI は、TXD 出力をスレーブ モードで駆動できません。
2	MS	R/W	0h	マスタまたはスレーブ モードの選択。このビットは、SSI が無効、SSE = 0 の場合にのみ変更できます。 0h = デバイスをマスタとして構成 1h = デバイスをスレーブとして構成
1	SSE	R/W	0h	同期シリアル インターフェイスの有効化。 0h = SSI_DISABLED:動作を無効化 1h = SSI_ENABLED:動作を有効化
0	LBM	R/W	0h	ループ バック モード。 0:通常のシリアル ポート動作が有効。 1:送信シリアル シフタの出力が、受信シリアル シフタの入力に内部で接続。

Copyright © 2026 Texas Instruments Incorporated

22.7.1.3 DR レジスタ (オフセット = 8h) [リセット = 00000000h]

図 22-15 に、DR を示し、表 22-6 に、その説明を示します。

概略表に戻ります。

データ
16 ビット幅データ レジスタ:
読み出すと、現在の FIFO 読み出しポインタによって示される受信 FIFO のエントリがアクセスされます。データ値が受信データ フレームから受信ロジックによって削除されると、データ値は、現在の FIFO 書き込みポインタが指す受信 FIFO のエントリに格納されます。
書き込むと、書き込みポインタが指す送信 FIFO のエントリに書き込まれます。データ値は、送信ロジックによって、送信 FIFO から一度に 1 つずつ削除されます。削除されたデータ値は送信シリアル シフタにロードされ、プログラムされたビット レートで TXD 出力ピンにシリアルにシフト アウトされます。
16 ビット未満のデータ サイズを選択する時は、送信 FIFO に書き込まれるデータを右揃えにする必要があります。送信ロジックは、未使用ビットを無視します。受信バッファでは 16 ビット未満の受信データは自動的に右揃えされます。

図 22-15. DR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																データ															
R-0h																R/W-X															

表 22-6. DR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	データ	R/W	X	送信 / 受信データ SSI が 16 ビット未満 (CR0.DSS ! = 0b1111) のデータ サイズにプログラムされている場合、このフィールドから読み取った値またはこのフィールドに書き込まれる値は右揃えにする必要があります。上位の未使用ビットは、送信ロジックによって無視されます。受信ロジックが自動的に右揃えします。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

22.7.1.4 SR レジスタ (オフセット = Ch) [リセット = 00000003h]

図 22-16 に、SR を示し、表 22-7 に、その説明を示します。

概略表に戻ります。

ステータス

図 22-16. SR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み											BSY	RFF	RNE	TNF	TFE
R-0h											R-0h	R-0h	R-0h	R-1h	R-1h

表 22-7. SR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4	BSY	R	0h	シリアル インターフェイスがビジー。 0:SSI がアイドル 1:SSI は現在フレームを送信 / 受信しているか、送信 FIFO が空ではない。
3	RFF	R	0h	受信 FIFO がフル。 0:受信 FIFO がフルでない。 1:受信 FIFO がフル。
2	RNE	R	0h	受信 FIFO が空でない 0:受信 FIFO が空。 1:受信 FIFO が空でない。
1	TNF	R	1h	送信 FIFO がフルでない。 0:送信 FIFO がフル。 1:送信 FIFO がフルでない。
0	TFE	R	1h	送信 FIFO が空。 0:送信 FIFO が空でない。 1:送信 FIFO が空。

Copyright © 2026 Texas Instruments Incorporated

22.7.1.5 CPSR レジスタ (オフセット = 10h) [リセット = 00000000h]

図 22-17 に、CPSR を示し、表 22-8 に、その説明を示します。

概略表に戻ります。

クロック プリスケール

図 22-17. CPSR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								CPSDVSR							
R-0h																								R/W-0h							

表 22-8. CPSR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	CPSDVSR	R/W	0h	クロック・プリスケール除数。 このフィールドは、SSI への入力システム クロックをさらに使用する前に内部で分周する必要がある場合の分周係数を指定します。 このフィールドにプログラムされる値は、ゼロでない偶数値 (2 ～ 254) である必要があります。プログラムされた数字の最下位ビットはゼロにハード コードされています。このレジスタに奇数が書き込まれると、 このレジスタから読み戻したデータの最下位ビットはゼロになります。

Copyright © 2026 Texas Instruments Incorporated

22.7.1.6 IMSC レジスタ (オフセット = 14h) [リセット = 00000000h]

図 22-18 に、IMSC を示し、表 22-9 に、その説明を示します。

概略表に戻ります。

割り込みマスクの設定とクリア

図 22-18. IMSC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXIM	RXIM	RTIM	RORIM
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 22-9. IMSC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	TXIM	R/W	0h	送信 FIFO 割り込みマスク。 読み取ると、送信 FIFO 割り込みの現在のマスクを返します。1 を書き込むと、送信 FIFO 割り込みのマスクがセットされます。これは、割り込み状態が MIS.TXMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、MIS.TXMIS が割り込みを反映しないことを意味します。
2	RXIM	R/W	0h	受信 FIFO 割り込みマスク。 読み取ると、受信 FIFO 割り込みの現在のマスクを返します。1 を書き込むと、受信 FIFO 割り込みのマスクがセットされます。これは、割り込み状態が MIS.RXMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、MIS.RXMIS が割り込みを反映しないことを意味します。
1	RTIM	R/W	0h	受信タイムアウト割り込みマスク。 読み取ると、受信タイムアウト割り込みの現在のマスクを返します。1 を書き込むと、受信タイムアウト割り込みのマスクが設定されます。これは、割り込み状態が MIS.RTMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、MIS.RTMIS が割り込みを反映しないことを意味します。
0	RORIM	R/W	0h	受信オーバーラン割り込みマスク。 読み取ると、受信オーバーラン割り込みの現在のマスクを返します。1 を書き込むと、受信オーバーラン割り込みのマスクがセットされます。これは、割り込み状態が MIS.RORMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、MIS.RORMIS が割り込みを反映しないことを意味します。

Copyright © 2026 Texas Instruments Incorporated

22.7.1.7 RIS レジスタ (オフセット = 18h) [リセット = 00000008h]

図 22-19 に、RIS を示し、表 22-10 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス

図 22-19. RIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXRIS	RXRIS	RTRIS	RORRIS
R-0h				R-1h	R-0h	R-0h	R-0h

表 22-10. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	TXRIS	R	1h	未加工の送信 FIFO 割り込みステータス。 送信 FIFO に有効なエントリが 4 つ以下のとき、送信割り込みがアサートされます。送信割り込みは、SSI イネーブル信号によって制限されません。したがって、次のいずれかの方法が使用できます。 - SSI および割り込みを有効にする前に、データを送信 FIFO に書き込む。 - SSI と割り込みを有効にして、割り込みサービス ルーチンによってデータを送信 FIFO に書き込む。
2	RXRIS	R	0h	受信 FIFO 割り込みの未加工の割り込み状態。 受信 FIFO に有効なエントリが 4 つ以上あると、受信割り込みがアサートされます。
1	RTRIS	R	0h	受信タイムアウト割り込みの未加工の割り込み状態。 受信 FIFO が空ではなく、SSI が所定の 32 ビット期間にわたってアイドル状態のままになると、受信タイムアウト割り込みがアサートされます。このメカニズムを使用すると、受信 FIFO にデータがまだ存在し、処理が必要であることをユーザーに通知できます。この割り込みは、受信 FIFO がそれ以後の読み取りによって空になった場合、または RXD で新しいデータが受信された場合にデアサートされます。 ICR.RTIC に書き込むことでクリアすることもできます。
0	RORRIS	R	0h	受信オーバーラン割り込みの未加工の割り込み状態。 FIFO がすでにフルで、FIFO のオーバーランの原因となる追加のデータ フレームを受信すると、受信オーバーラン割り込みがアサートされます。受信シフト レジスタでデータが 上書きされますが、FIFO ではないため、FIFO の内容は有効なままです。 ICR.RORIC に書き込むことでクリアすることもできます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

22.7.1.8 MIS レジスタ (オフセット = 1Ch) [リセット = 00000000h]

図 22-20 に、MIS を示し、表 22-11 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス

図 22-20. MIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXMIS	RXMIS	RTMIS	RORMIS
R-0h				R-0h	R-0h	R-0h	R-0h

表 22-11. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	TXMIS	R	0h	送信 FIFO 割り込みのマスクされた割り込み状態。 このフィールドは、送信 FIFO 割り込みのマスクされた割り込み状態を返します。これは、未加工の割り込み状態である RIS.TXRIS とマスク設定 IMSC.TXIM の論理積です。
2	RXMIS	R	0h	受信 FIFO 割り込みのマスクされた割り込み状態。 このフィールドは、受信 FIFO 割り込みのマスクされた割り込み状態を返します。これは、未加工の割り込み状態である RIS.RXRIS とマスク設定 IMSC.RXIM の論理積です。
1	RTMIS	R	0h	受信タイムアウト割り込みのマスクされた割り込み状態。 このフィールドは、受信タイムアウト割り込みのマスクされた割り込み状態を返します。これは、未加工の割り込み状態である RIS.RTRIS とマスク設定 IMSC.RTIM の論理積です。
0	RORMIS	R	0h	受信オーバーラン割り込みのマスク割り込み状態。 このフィールドは、受信オーバーラン割り込みのマスクされた割り込み状態を返します。これは、未加工の割り込み状態である RIS.RORRIS とマスク設定 IMSC.RORIM の論理積です。

Copyright © 2026 Texas Instruments Incorporated

22.7.1.9 ICR レジスタ (オフセット = 20h) [リセット = 00000000h]

図 22-21 に、ICR を示し、表 22-12 に、その説明を示します。

概略表に戻ります。

割り込みクリア
1 を書き込むと、対応する割り込みがクリアされます。0 を書き込んでも何も影響ありません。

図 22-21. ICR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RTIC	RORIC
R-0h						W-0h	W-0h

表 22-12. ICR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	RTIC	W	0h	受信タイムアウト割り込みをクリアします。 このフィールドに 1 を書き込むと、タイムアウト割り込み (RIS.RTRIS) がクリアされます。0 を書き込んでも何も影響ありません。
0	RORIC	W	0h	受信オーバーラン割り込みをクリアします。 このフィールドに 1 を書き込むと、オーバーラン エラー割り込み (RIS.RORRIS) がクリアされます。0 を書き込んでも何も影響ありません。

Copyright © 2026 Texas Instruments Incorporated

22.7.1.10 DMACR レジスタ (オフセット = 24h) [リセット = 00000000h]

図 22-22 に、DMACR を示し、表 22-13 に、その説明を示します。

概略表に戻ります。

DMA 制御

図 22-22. DMACR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						TXDMAE	RXDMAE
R-0h						R/W-0h	R/W-0h

表 22-13. DMACR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	TXDMAE	R/W	0h	送信 DMA イネーブル。このビットが 1 に設定されている場合、送信 FIFO の DMA が有効になります。
0	RXDMAE	R/W	0h	受信 DMA イネーブル。このビットが 1 に設定されている場合、受信 FIFO の DMA が有効になります。

Copyright © 2026 Texas Instruments Incorporated

Chapter 23

I2C (Inter-Integrated Circuit)

この章では、Inter-Integrated Circuit インターフェイスについて説明します。

23.1 概要 1960
23.2 ブロック図 1960
23.3 機能説明 1961
23.4 初期化および構成 1973
23.5 I²C レジスタ 1973

Copyright © 2026 Texas Instruments Incorporated

23.1 概要

I²C バスは、2 つのライン (SDA (シリアル データ ライン) と SCL (シリアル クロック ライン)) を使用した双方向データ転送を実現し、シリアル メモリ (RAM や ROM)、ネットワーキング デバイス、LCD、トーン ジェネレータなどの外部 I²C デバイスとのインターフェイスを提供します。I²C バスはまた、製品の開発時やメーカーにおいて、システムのテストや診断を行う目的で使用することも可能です。CC13x2 および CC26x2 デバイス プラットフォームには I²C モジュールが 1 つ含まれており、バス上の他の I²C デバイスとやり取りする機能 (送信と受信の両方) を提供します。

CC13x2 および CC26x2 デバイス プラットフォームには、次の機能を備えた I²C モジュールが 1 つ含まれています。

- I²C バス上のデバイスは、マスタまたはスレーブのいずれかとして指定できます。
  - マスタまたはスレーブとしてのデータ送信および受信の両方をサポート
  - マスタ動作とスレーブ動作の同時実行をサポート
- 4 つの I²C モード:
  - マスタ送信
  - マスタ受信
  - スレーブ送信
  - スレーブ受信
- 2 つの伝送速度:標準 (100Kbps) および高速 (400Kbps)
- マスタおよびスレーブ割り込みの生成:
  - マスタは、送信または受信動作が完了したとき (またはエラーにより中止されたとき) に割り込みを生成します。
  - スレーブは、データがマスタによって転送または要求されたとき、または開始条件や停止条件が検出されたときに割り込みを生成します。
- アービトレーションとクロック同期、マルチマスタ サポート、および 7 ビット アドレス指定モードを備えたマスタ

23.2 ブロック図

図 23-1 に、I²C ブロック図を示します。

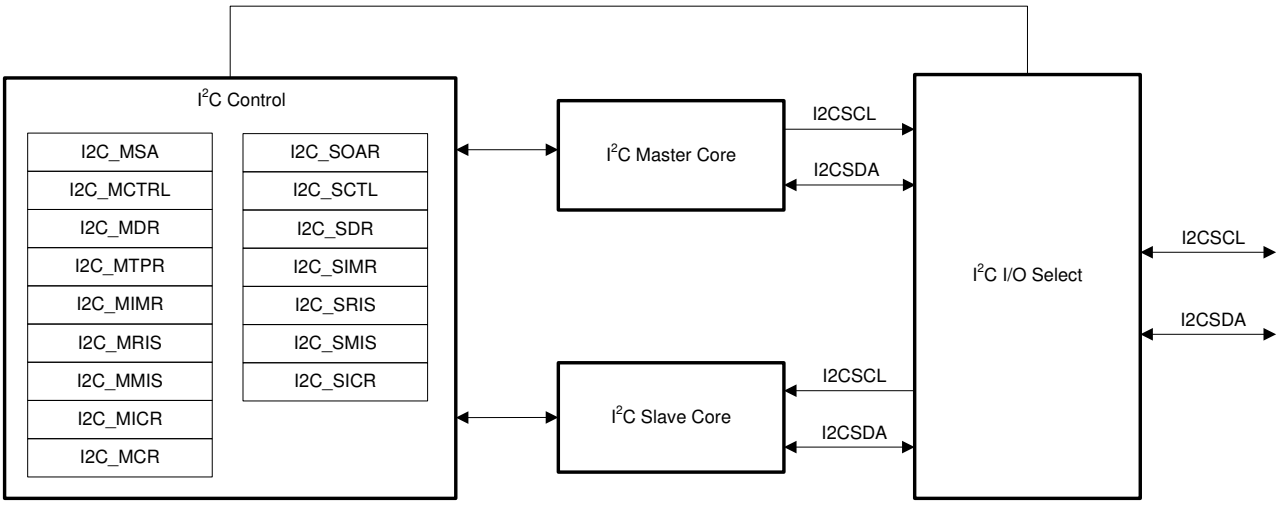


図 23-1. I²C ブロック図

Copyright © 2026 Texas Instruments Incorporated

23.3 機能説明

I²C モジュールは、マスタ機能とスレーブ機能で構成されています。正常に動作させるには、SDA ピンをオープン ドレイン信号として構成する必要があります。図 23-2 に、代表的な I²C バスの構成を示します。

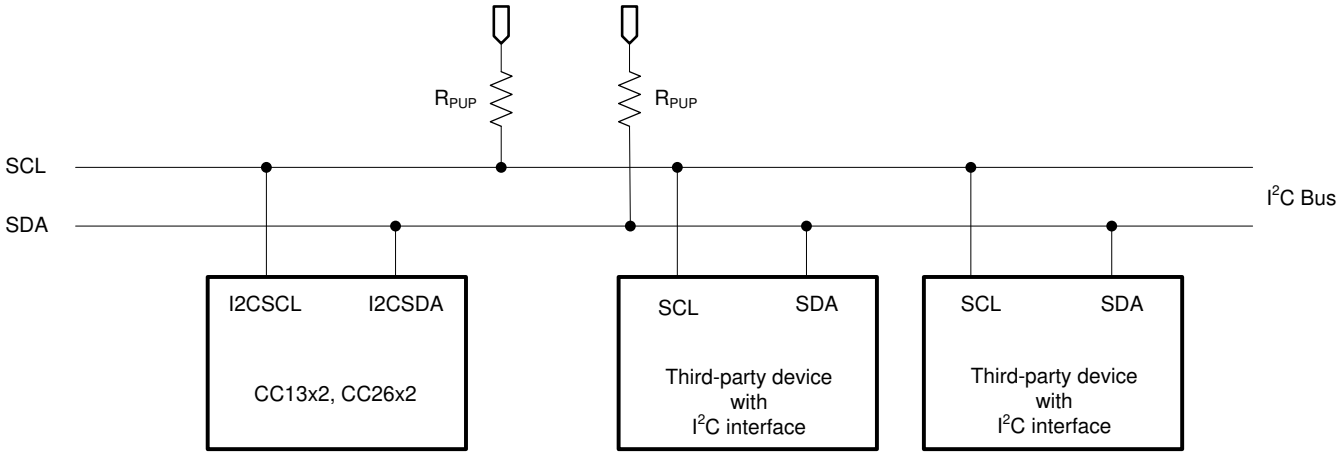


図 23-2. I²C バス構成

23.3.1 I²C バス機能の概要

I²C バスは、2 つの信号のみを使用します。SDA と SCL は、CC13x2 および CC26x2 コントローラでは I2CSDA および I2CSCL と呼ばれます。SDA は双方向シリアル データ ラインで、SCL ラインは双方向シリアル クロック ラインです。両方のラインが High の場合、バスはアイドル状態と見なされます。

I²C バス上の各トランザクションは 9 ビット長で、8 データ ビットと 1 アクノリッジ ビットで構成されます。転送あたりのバイト数 (有効な開始条件から停止条件までの時間として定義、セクション 23.3.1.1 に記載) に制限はありません。各バイトの後にはアクノリッジ ビットが続く必要があり、データは MSB ファーストで転送する必要があります。レシーバが次の完全なバイトを受信できない場合、レシーバはクロック ライン SCL を Low に保持し、トランスミッタを待機状態に強制できます。レシーバがクロック SCL を解放すると、データ転送が続行されます。

23.3.1.1 START 条件と STOP 条件

I²C バスのプロトコルは、トランザクションを開始および終了するための二つの状態を定義しています: 開始と停止。SCL が high のときに SDA が high から low に遷移することを Start 条件と定義し、SCL が high のときに SDA が low から high に遷移することを Stop 条件と定義します。バスは、Start 条件の後はビジー状態とみなされ、Stop 条件の後はフリーとみなされます (図 23-3 を参照)。

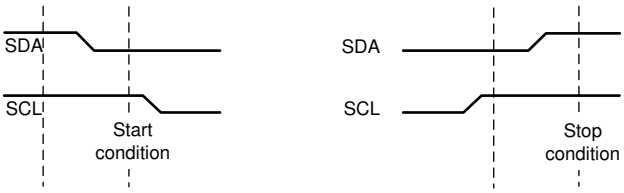


図 23-3. START 条件と STOP 条件

ストップ ビットは、データ サイクルの終わりでサイクルを停止するか、繰り返しスタート条件を継続するかを決定します。単一の送信サイクルを生成するには、I²C マスタ スレーブ アドレス I2C:MSA レジスタに目的のアドレスを書き込み、R/S ビットがクリアされ、制御レジスタ I2C:MCTRL に ACK = X (0 または 1)、STOP = 1、START = 1、RUN = 1 が書き込まれて動作と停止を実行します。動作が完了すると (またはエラーが原因で中止)、割り込みピンがアクティブになり、I²C マスタ データ I2C:MDR レジスタからデータを読み取ることができます。I²C モジュールがマスタ レシーバ モードで動作しているときは、ACK ビットが通常設定され、I²C バス コントローラは各バイトの後にアクノリッジを自動的に送信します。I²C バ

Copyright © 2026 Texas Instruments Incorporated

スコントローラがスレーブ トランスミッタからそれ以上データを送信する必要がない場合、ACK ビットはクリアされる必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

スレーブ モードで動作しているとき、I²C スレーブ未加工割り込みステータス I2C:SRIS レジスタ内の 2 ビットは、バス上の Start 条件と Stop 条件の検出を示し、I²C スレーブ マスク割り込みステータス I2C:SMIS レジスタ内の 2 ビットにより、コントローラ割り込みに対して Start 条件と Stop 条件のプロモーションを許可します (割り込みが有効の場合)。

23.3.1.2 7 ビット アドレスのデータ フォーマット

データ転送は、図 23-4 に示すフォーマットに従います。開始条件の後、スレーブ アドレスが送信されます。このアドレスは 7 ビット長で、その後に八番目のビットとしてデータ転送方向を示すビット (I2C:MSA レジスタの R/S ビット) が続きます。RS ビットがクリアされている場合、送信動作 (送信) であり、設定されている場合はデータ要求 (受信) を示します。データ転送は常に、マスタが生成するストップ条件によって終了します。ただし、マスタはストップ条件を生成せずに反復スタート条件を生成し、別のスレーブをアドレス指定することで、同じバス上の他のデバイスとの通信を開始することもできます。この場合、一回の転送内で受信および送信フォーマットのさまざまな組み合わせが可能になります。

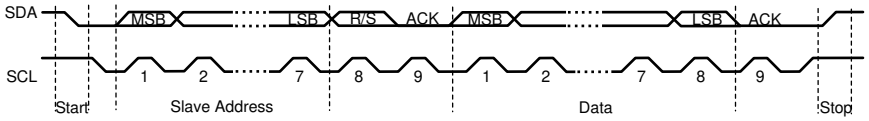


図 23-4. 7 ビット アドレスによるデータ転送の完了

最初のバイトの最初の 7 ビットはスレーブ アドレスを構成します (図 23-5 を参照)。八番目のビットは、メッセージの方向を決定します。最初のバイトの R/S 位置が 0 の場合は、マスタが選択したスレーブにデータを送信し、この位置が 1 の場合はマスタがスレーブからデータを受信したことを意味します。

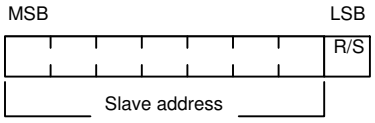


図 23-5. 最初のバイトの R/S ビット

23.3.1.3 データの有効性

SDA ラインには、クロックの High 期間中は安定したデータが含まれている必要があります。また、データ ラインは SCL が Low のときのみ変化します (図 23-6 を参照)。

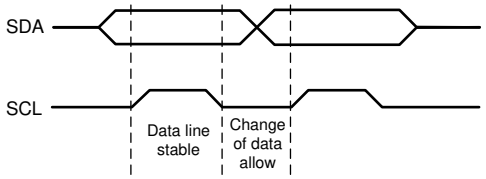


図 23-6. I²C バスでのビット転送中のデータ有効性

23.3.1.4 アクノリッジ

すべてのバストランザクションには、マスタによって生成される、必要なアクノリッジ クロック サイクルがあります。アクノリッジ サイクルの間に、トランスミッタ (マスタまたはスレーブ) は SDA ラインを解放します。トランザクションを確認するには、アクノリッジ クロック サイクル中にレシーバは SDA をプルダウンする必要があります。アクノリッジサイクル中にレシーバによって送信されるデータは、セクション 23.3.1.3 に記載されているデータ有効性要件に準拠している必要があります。

スレーブ レシーバがスレーブ アドレスをアクノリッジしない場合、スレーブは SDA を high のままにする必要があります。これにより、マスタはストップ条件を生成し、現在の転送を中止できます。マスタ デバイスが転送中にレシーバとして動作している場合、スレーブから行われる各転送をアクノリッジする責任があります。マスタは転送内のバイト数を制御するので、

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

最後のデータ バイトに対してアクノリッジを生成しないことで、データの終了をスレーブ トランスミッタに通知します。次に、マスタがストップ条件またはリピート スタート条件を生成できるように、スレーブ トランスミッタは SDA を解放する必要があります。

23.3.1.5 調停

マスタは、バスがアイドル状態の場合にのみ転送を開始できます。2 つ以上のマスタが、開始条件の最小ホールド時間内に開始条件を生成する場合があります。このような状況では、SCL が High の間に SDA ライン上で調停方式が実行されます。調停中に、別のマスタが 0 (Low) を送信している間に SDA に 1 (High) を出力した競合マスタ デバイスは、最初にデータ出力段をオフにし、バスが再びアイドル状態になるまで退避します。

調停は複数のビットにわたって発生することがあります。調停の最初の段階はアドレス ビットの比較です。両方のマスタが同じデバイスをアドレス指定しようとしている場合、調停はデータ ビットの比較に進みます。

23.3.2 使用可能な速度モード

I²C バスは、標準モード (100kbps) または高速モード (400kbps) のいずれかで動作できます。選択したモードは、バス上の他の I²C デバイスの速度と一致している必要があります。

23.3.2.1 標準モードおよび高速モード

標準モードおよび高速モードは、I²C マスタ タイマ期間 I2C:MTPR レジスタの値を使用して選択され、SCL 周波数は標準モードでは 100kbps、高速モードでは 400kbps になります。

I²C クロック レートは、パラメータ CLK_PRD、TIMER_PRD、SCL_LP、SCL_HP によって決定されます。ここで、

- CLK_PRD はシステム クロック周期です。
- TIMER_PRD は、I2C:MTPR レジスタにプログラムされた値です。
- SCL_LP は SCL の low 位相 (6 に固定) です。
- SCL_HP は SCL の high 位相 (4 に固定) です。

I²C のクロック周期は、次のように計算されます。

$$SCL_PERIOD = 2 \times (1 + TIMER_PRD) \times (SCL_LP + SCL_HP) \times CLK_PRD \quad (10)$$

例:
CLK_PRD = 50ns
TIMER_PRD = 2
SCL_LP = 6
SCL_HP = 4

SCL 周波数は次のように求められます:
1/SCL_PERIOD = 333kHz

表 23-1 に、各種のシステム クロック周波数に基づいて、標準モードと高速モードの両方の SCL 周波数を生成するために使用されるタイマ期間の例を示します。

表 23-1. I²C マスタ タイマ期間と速度モードとの関係の例

システム クロック (MHz)	タイマ期間	標準モード (kpbs)	タイマ期間	高速モード (kbps)
4	0x01	100	–	–
8	0x03	100	0x01	–
16	0x07	100	0x01	400

Copyright © 2026 Texas Instruments Incorporated

23.3.3 割り込み

以下の条件が観測されると、I²C は割り込みを生成できます。

- マスタ トランザクションが完了しました
- マスタ アービトレーション喪失
- マスタ トランザクション エラー
- マスタ バス タイムアウト
- スレーブ トランザクションを受信しました
- スレーブ トランザクションが要求されました
- バス上でのストップ条件が検出されました
- バス上のスタート条件が検出されました

I²C マスタと I²C スレーブ モジュールには、個別の割り込み信号があります。両方のモジュールは複数の条件に対して割り込みを生成できますが、割り込みコントローラ (INTC) へは一本の割り込み信号のみが送られます。

23.3.3.1 I²C マスタ割り込み

I²C マスタ モジュールは、トランザクションが完了したとき (送信または受信)、調停が失われたとき、またはトランザクション中にエラーが発生したときに割り込みを生成します。I²C マスタ割り込みを有効にするには、ソフトウェアで I²C Master Interrupt Mask レジスタ I2C:MIMR の IM ビットを設定する必要があります。割り込み条件が満たされた場合、ソフトウェアは I²C Master Control and Status レジスタ (I2C:MSTAT) の ERR ビットおよび ARBLST ビットを確認し、直前のトランザクション中にエラーが発生していないこと、および調停が失われていないことを確認する必要があります。直前のトランザクションがスレーブによってアクノリッジされなかった場合、エラー条件がアサートされます。エラーが検出されず、マスタが調停を失っていない場合、アプリケーションは転送を続行できます。I²C Master Interrupt Clear レジスタ (I2C:MICR) の IC ビットを 1 に設定すると、割り込みがクリアされます。

アプリケーションで割り込みを使用する必要がない場合、raw 割り込みステータスは I²C Master Raw Interrupt Status レジスタ (I2C:MRIS) で常に確認できます。

23.3.3.2 I²C スレーブ割り込み

スレーブ モジュールは、データを受信または要求したときに割り込みを生成できます。この割り込みは、I²C スレーブ割り込みマスク レジスタ (I2C:SIMR) をセットすることでイネーブルになります。ソフトウェアは、I²C スレーブ制御およびステータス レジスタ (I2C:SSTAT) の RREQ ビットと TREQ ビットをチェックすることで、モジュールが I²C スレーブ データ レジスタ (I2C:SDR) DATAIM ビットからデータを書き込み (送信) するか読み取り (受信) するかを決定します。スレーブ モジュールが受信モードのとき、転送の最初のバイトを受信すると、FBR ビットと RREQ ビットがセットされます。割り込みは、I²C スレーブ割り込みクリア レジスタ (I2C:SICR) DATAIC ビットをセットすることでクリアされます。

さらに、スレーブ モジュールはスタートおよびストップ条件が検出されたときに割り込みを生成します。これらの割り込みは、I2C:SIMR レジスタの STARTIM および STOPIM ビットを設定することで有効化されます。また、これらの割り込みは I2C:SICR レジスタの STOPIC および STARTIC ビットを 1 に設定することでクリアされます。

アプリケーションが割り込みを使用する必要がない場合、未処理の割り込みのステータスは常に、I²C スレーブの未処理割り込みステータスレジスタ (I2C:SRIS) から確認できます。

23.3.4 ループバック動作

I²C Master Configuration レジスタ (I2C:MCR) の LPBK ビットを設定すると、診断またはデバッグ作業のために I²C モジュールを内部ループバック モードに設定できます。ループバック モードでは、マスタ モジュールおよびスレーブ モジュールからの SDA 信号と SCL 信号が相互に接続されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

23.3.5 コマンド シーケンスのフロー チャート

このセクションでは、マスタ モードとスレーブ モードの両方で各種の I²C 転送タイプを実行するために必要な手順について詳しく説明します。これを行うには、SDA 信号および SCL 信号の設定を IOC:IOCFG レジスタで行う必要があります。

23.3.5.1 I²C マスタ コマンド シーケンス

図 23-7 から図 23-12 に、I²C マスタで使用可能なコマンド シーケンスを示します。

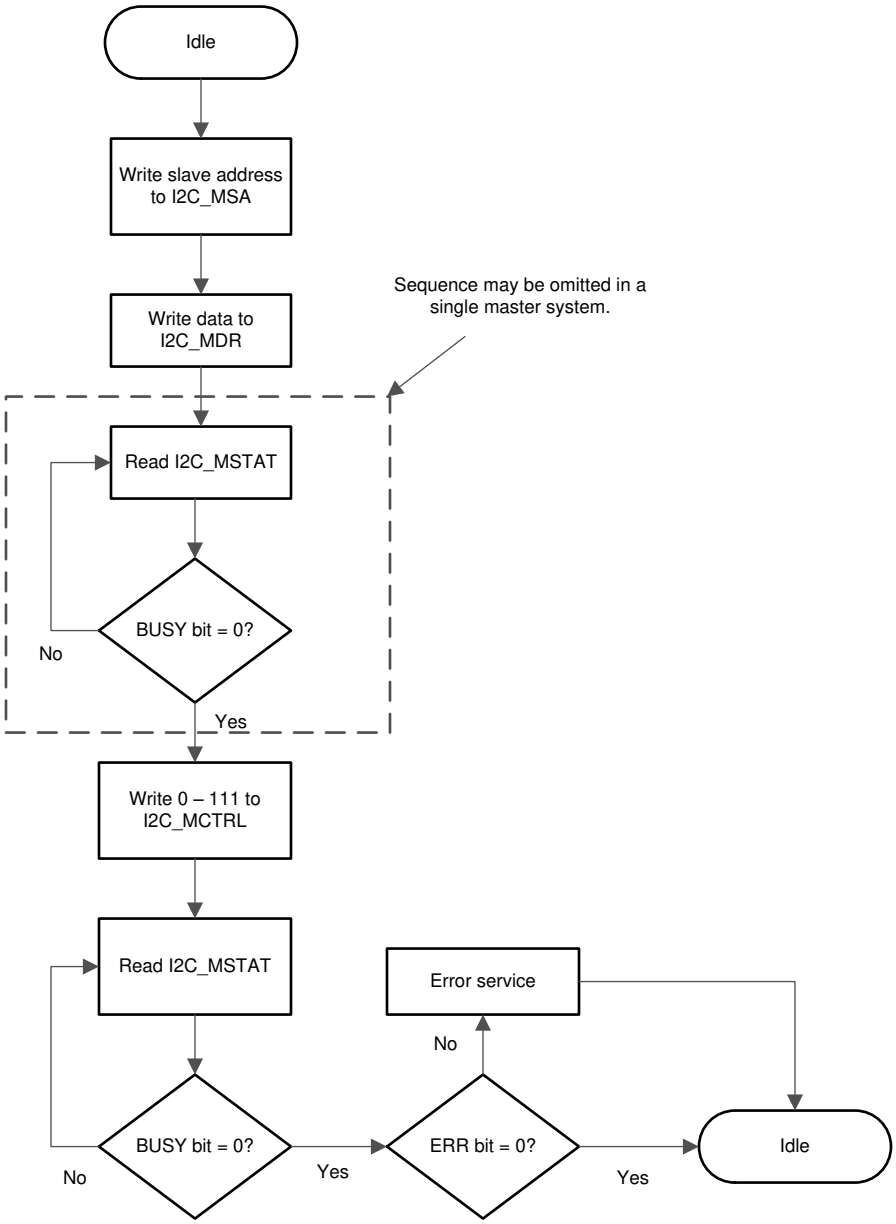


図 23-7. マスタ単一 TRANSMIT

Copyright © 2026 Texas Instruments Incorporated

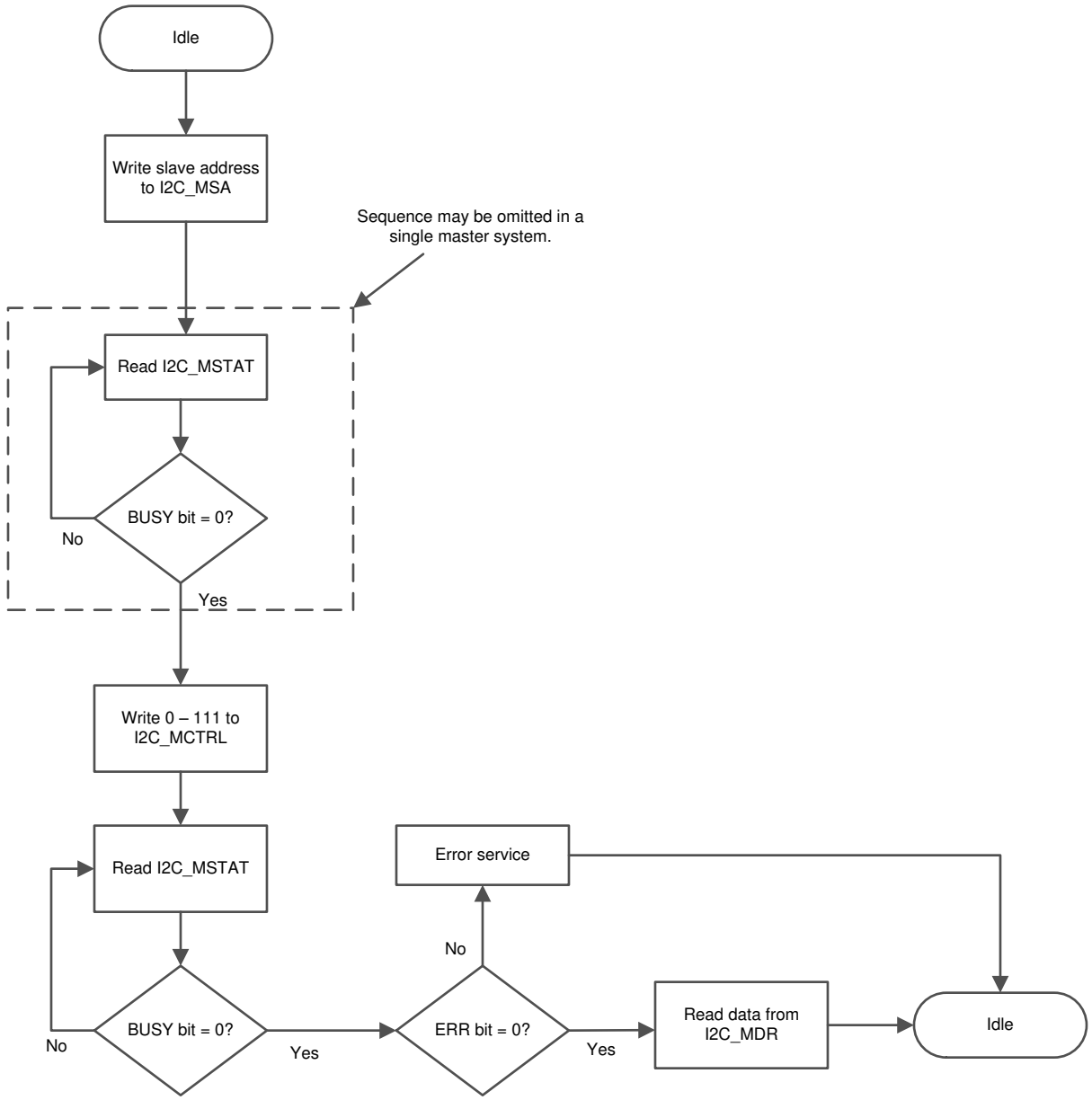


図 23-8. マスタ単一 RECEIVE

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

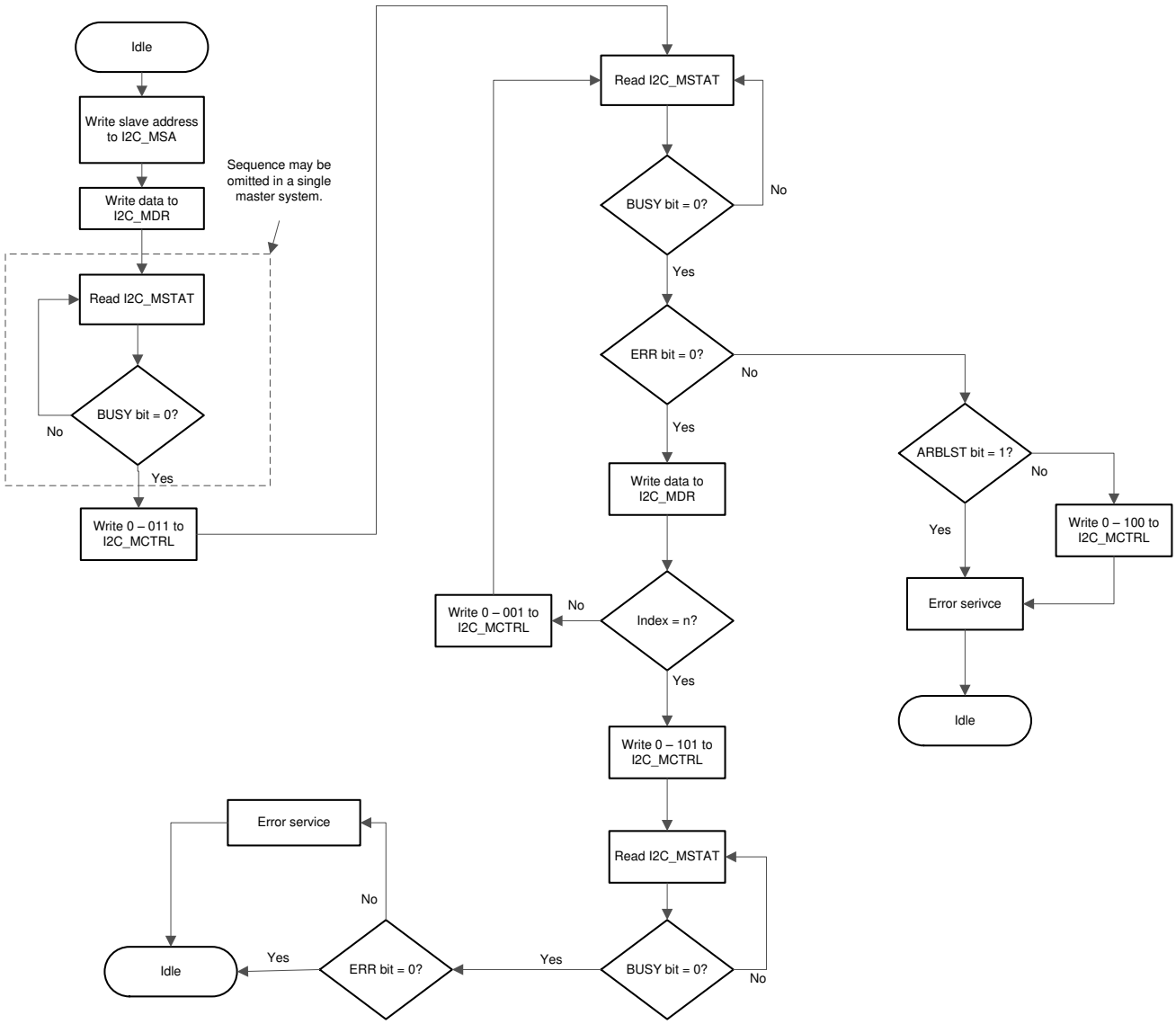


図 23-9. 反復スタート条件付きマスタ TRANSMIT

Copyright © 2026 Texas Instruments Incorporated

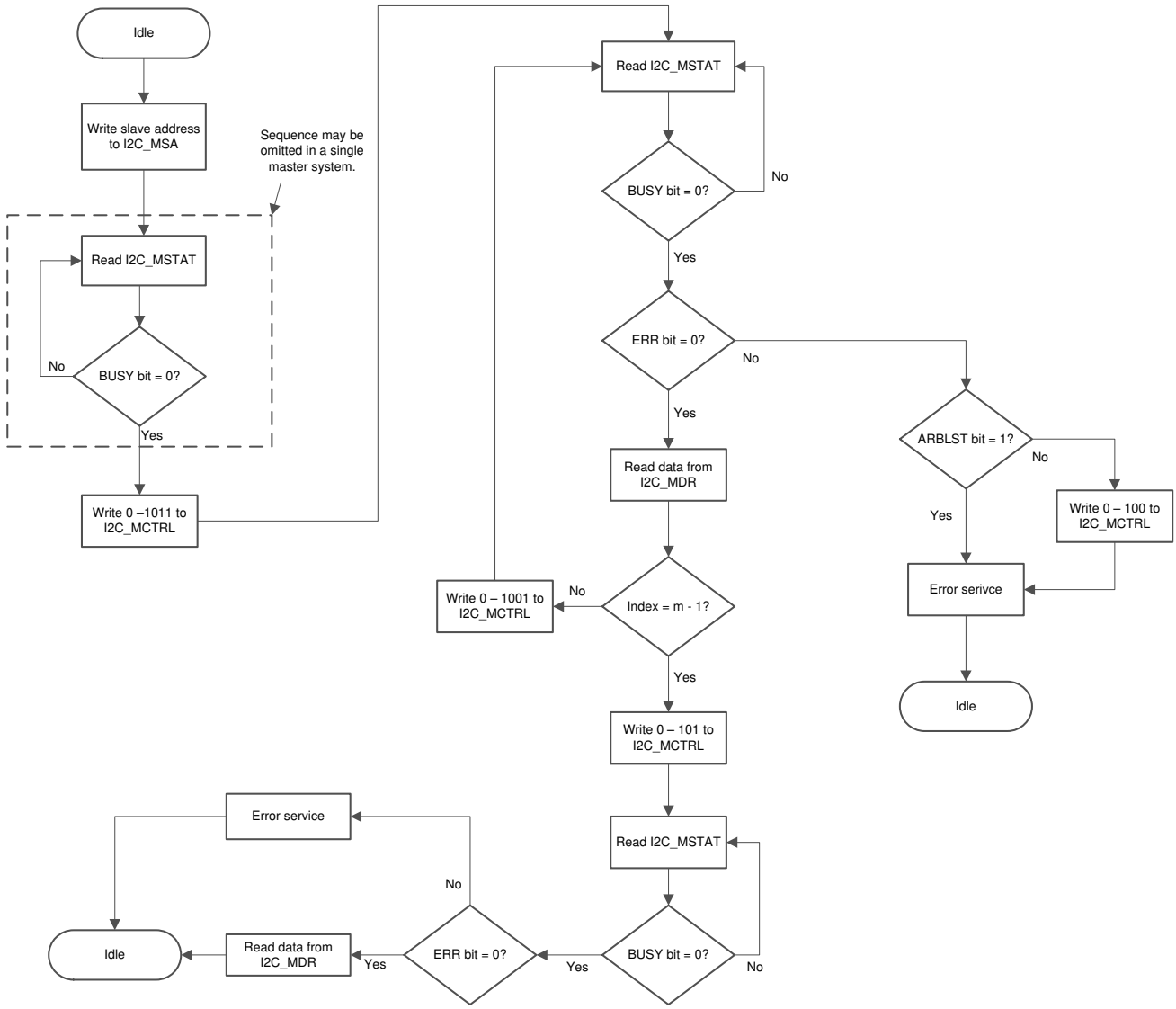


図 23-10. 反復スタート条件付きマスタ RECEIVE

Copyright © 2026 Texas Instruments Incorporated

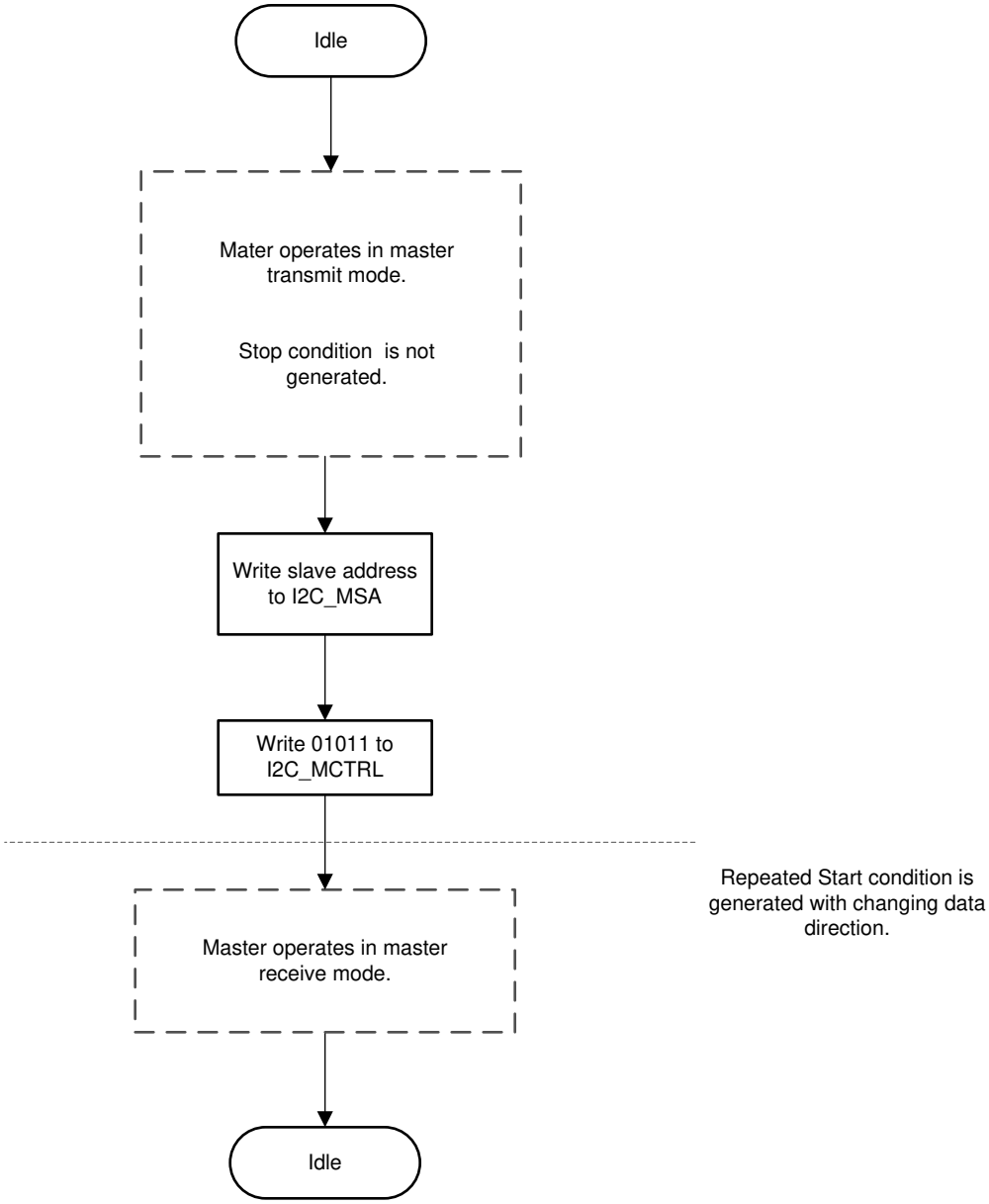


図 23-11. 反復スタート条件付き TRANSMIT 後の反復スタート付きマスタ RECEIVE

Copyright © 2026 Texas Instruments Incorporated

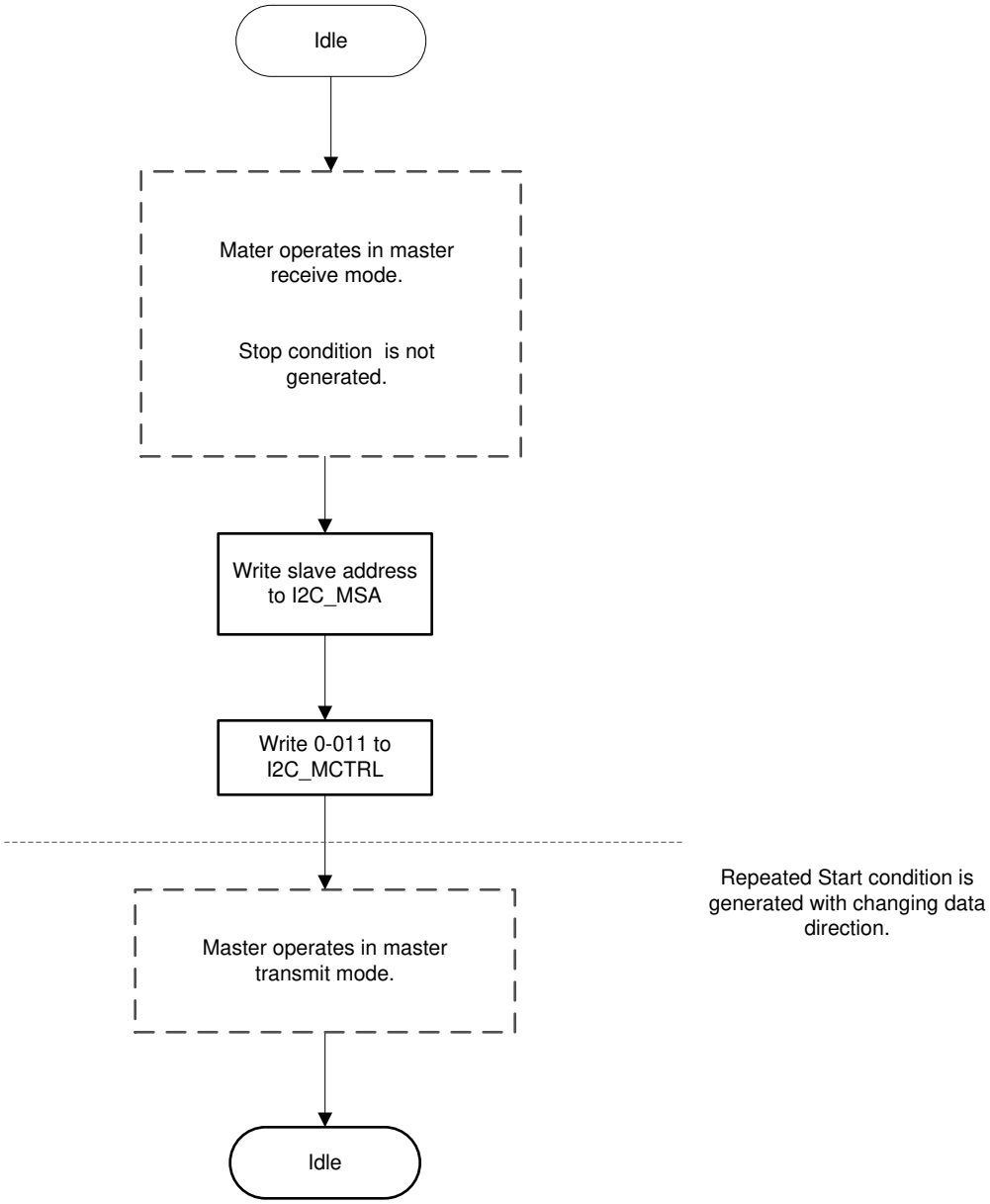


図 23-12. 反復スタート条件付き RECEIVE 後の反復スタート付きマスタ TRANSMIT

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

23.3.5.2 I²C スレーブ コマンド シーケンス

図 23-13 に、I² C スレーブで利用可能なコマンド シーケンスを示します。

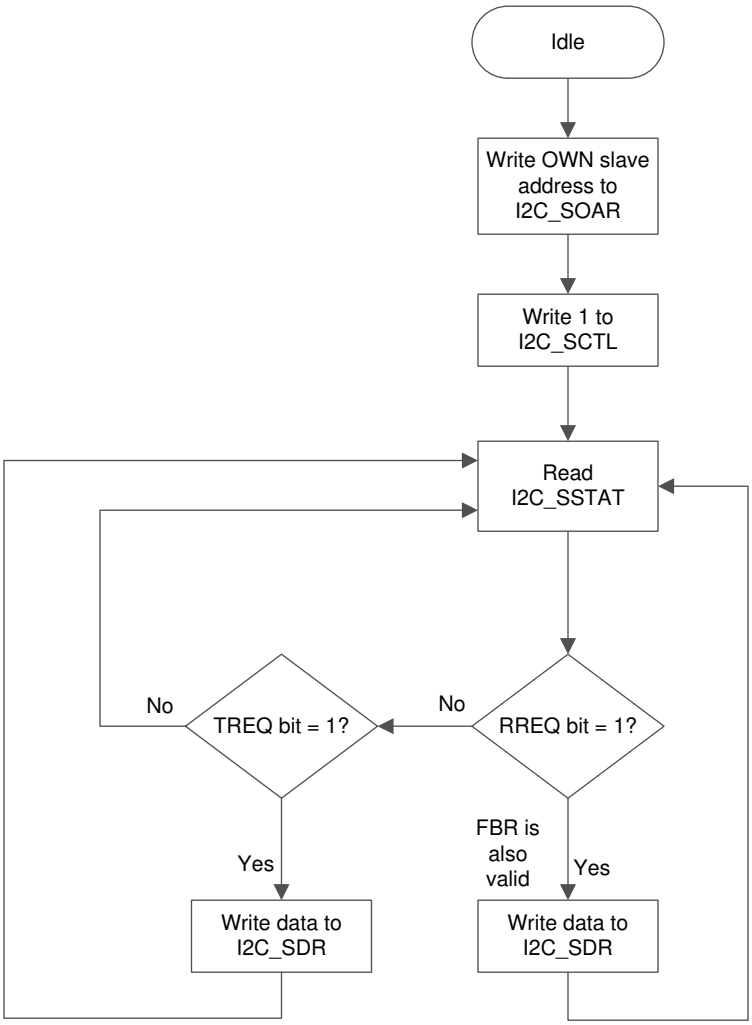


図 23-13. スレーブ コマンド シーケンス

Copyright © 2026 Texas Instruments Incorporated

23.4 初期化および構成

次の例では、システム クロックが 24MHz であると仮定して、I²C モジュールをマスタとして 1 バイト送信するように構成する方法を示します。

1. PRCM:I2CCLKGR レジスタ、PRCM:I2CCLKGS レジスタ、PRCM:I2CCLKGDS レジスタに書き込むか、次のドライバ ライブラリ関数を使用して、シリアル電源ドメインを有効化し、PRCM で I²C モジュールを有効にします。

```
PRCMPeripheralRunEnabe(uint32_t)
```

```
PRCMPeripheralSleepEnable(uint32_t)
```

```
PRCMPeripheralDeepSLeepEnable(uint32_t)
```

   さらに、PRCM:CLKLOADCTL レジスタに書き込んで、設定をクロック コントローラにロードします。

   または、driverlib 関数 PRCMLoadSet() を使用します。
2. IOC モジュールを構成して、SDA 信号および SCL 信号を I/O から I²C モジュールにルーティングします。
3. I2C:MCR レジスタに値 0x0000 0010 を書き込んで、I²C マスタを初期化します。
4. I2C:MTPR レジスタに適切な値を書き込んで、目的の SCL クロック速度 100kbps を設定します。I2C:MTPR レジスタに書き込まれる値は、1 SCL クロック周期内のシステム クロック周期数を表します。TPR 値は、式 11、式 12、および 式 13 によって決まります。

$$TPR = [PERDMACLK / (2 \times (SCL_LP + SCL_HP) \times SCL_CLK)] - 1 \quad (11)$$

$$TPR = [24\ MHz / (2 \times (6 + 4) \times 100000)] - 1 \quad (12)$$

$$TPR = 11 \quad (13)$$

   I2C:MTPR レジスタに値 0x0000 000B を書き込みます。
5. I2C:MSA レジスタに値 0x0000 0076 を書き込んで、マスタのスレーブ アドレスと、次の動作が送信であることを指定します。これにより、スレーブ アドレスは 0x3B に設定されます。
6. I2C:MDR レジスタに目的のデータを書き込んで、送信するデータ (バイト) をデータ レジスタに配置します。
7. I2C:MCTRL レジスタに値 0x0000 0007 (Stop、Start、Run) を書き込んで、マスタからスレーブへのデータの 1 バイト送信を開始します。
8. I2C:MSTAT BUSBSY レジスタ ビットがクリアされるまでポーリングして、送信が完了するまで待機します。
9. I2C:MSTAT ERR レジスタ ビットを確認して、送信がアクノリッジされたことを確認します。

23.5 I²C レジスタ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

23.5.1 I2C のレジスタ

I2C レジスタのメモリマップされたレジスタを、表 23-2 に示します。表 23-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 23-2. I2C のレジスタ

オフセット	略称	レジスタ名	セクション
0h	SOAR	スレーブ独自のアドレス	SOAR レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	SSTAT	スレーブ ステータス	SSTAT レジスタ (オフセット = 4h) [リセット = 00000000h]
4h	SCTL	スレーブ制御	SCTL レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	SDR	スレーブ データ	SDR レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	SIMR	スレーブ割り込みマスク	SIMR レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	SRIS	スレーブ未加工割り込みステータス	SRIS レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	SMIS	スレーブ マスク適用割り込みステータス	SMIS レジスタ (オフセット = 14h) [リセット = 00000000h]
18h	SICR	スレーブ割り込みクリア	SICR レジスタ (オフセット = 18h) [リセット = 00000000h]
800h	MSA	マスター スレーブ アドレス	MSA レジスタ (オフセット = 800h) [リセット = 00000000h]
804h	MSTAT	マスタ ステータス	MSTAT レジスタ (オフセット = 804h) [リセット = 00000020h]
804h	MCTRL	マスタ制御	MCTRL レジスタ (オフセット = 804h) [リセット = 00000000h]
808h	MDR	マスタ データ	MDR レジスタ (オフセット = 808h) [リセット = 00000000h]
80Ch	MTPR	I2C マスタ タイマ周期	MTPR レジスタ (オフセット = 80Ch) [リセット = 00000001h]
810h	MIMR	マスタ割り込みマスク	MIMR レジスタ (オフセット = 810h) [リセット = 00000000h]
814h	MRIS	マスタ未加工割り込みステータス	MRIS レジスタ (オフセット = 814h) [リセット = 00000000h]
818h	MMIS	マスタ マスク適用割り込みステータス	MMIS レジスタ (オフセット = 818h) [リセット = 00000000h]
81Ch	MICR	マスタ割り込みクリア	MICR レジスタ (オフセット = 81Ch) [リセット = 00000000h]
820h	MCR	マスタ構成	MCR レジスタ (オフセット = 820h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 23-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 23-3. I2C のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み

Copyright © 2026 Texas Instruments Incorporated

表 23-3. I2C のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

23.5.1.1 SOAR レジスタ (オフセット = 0h) [リセット = 00000000h]

図 23-14 に、SOAR を示し、表 23-4 に、その説明を示します。

概略表に戻ります。

スレーブ独自アドレス
このレジスタは、I2C バス上でこの I2C デバイスを識別する 7 アドレス ビットで構成されています。

図 23-14. SOAR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									OAR						
R-0h																									R/W-0h						

表 23-4. SOAR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-0	OAR	R/W	0h	I2C スレーブ独自アドレス このフィールドは、スレーブ アドレスのビット a6 ～ a0 を指定します。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.2 SSTAT レジスタ (オフセット = 4h) [リセット = 00000000h]

図 23-15 に、SSTAT を示し、表 23-5 に、その説明を示します。

概略表に戻ります。

スレーブ ステータス
注:このレジスタは SCTL とアドレスを共有します。つまり、このレジスタは書き込み時に制御レジスタとして機能し、読み取り時にステータス レジスタとして機能します。

図 23-15. SSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					FBR	TREQ	RREQ
R-0h					R-0h	R-0h	R-0h

表 23-5. SSTAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	FBR	R	0h	最初のバイトを受信済み 0:最初のバイトを受信していません。 1:スレーブ自身のアドレスに続く最初のバイトが受信されます。 このビットは、RREQ ビットが設定されているときのみ有効で、SDR レジスタからデータが読み取られると自動的にクリアされます。 注:このビットは、スレーブ送信動作には使用されません。
1	TREQ	R	0h	送信要求 0:未処理の送信要求はありません。 1:I2C コントローラはスレーブ トランスミッタとしてアドレス指定され、SDR レジスタにデータが書き込まれるまで、クロック ストレッチングを使用してマスタを遅延させます。
0	RREQ	R	0h	受信要求 0:未処理の受信データなし 1:I2C コントローラは I2C マスタからの未処理の受信データがあり、SDR レジスタからデータが読み取られるまで、クロック ストレッチングを使用してマスタを遅延させます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.3 SCTL レジスタ (オフセット = 4h) [リセット = 00000000h]

図 23-16 に、SCTL を示し、表 23-6 に、その説明を示します。

概略表に戻ります。

スレーブ制御
注:このレジスタは SSTAT とアドレスを共有します。つまり、このレジスタは書き込み時に制御レジスタとして機能し、読み取り時にステータス レジスタとして機能します。

図 23-16. SCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
W-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															DA
W-0h															W-0h

表 23-6. SCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	W	0h	ソフトウェアは予約済みフィールドの値に依存すべきではありません。他の値を書き込むと、未定義の動作が発生する可能性があります。
0	DA	W	0h	デバイス アクティブ 0:I2C スレーブ動作を無効化 1:I2C スレーブ動作を有効化

Copyright © 2026 Texas Instruments Incorporated

23.5.1.4 SDR レジスタ (オフセット = 8h) [リセット = 00000000h]

図 23-17 に、SDR を示し、表 23-7 に、その説明を示します。

概略表に戻ります。

スレーブ データ
このレジスタには、スレーブ送信状態のときに送信するデータと、スレーブ受信状態のときに受信したデータが含まれています。

図 23-17. SDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								データ							
R-0h																								R/W-0h							

表 23-7. SDR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	データ	R/W	0h	転送用データ このフィールドには、スレーブ受信または送信動作中の転送用データが含まれます。書き込まれると、レジスタ データが送信データとして使用されます。読み取りの際に、このレジスタは最後に受信したデータを返します。データは、送信のためのシステム書き込み、または受信のための外部マスタによる次の更新まで保存されます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.5 SIMR レジスタ (オフセット = Ch) [リセット = 00000000h]

図 23-18 に、SIMR を示し、表 23-8 に、その説明を示します。

概略表に戻ります。

スレーブ割り込みマスク
このレジスタは、未処理の割り込みをコントローラ割り込みに格上げするかどうかを制御します。

図 23-18. SIMR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					STOPIM	STARTIM	DATAIM
R-0h					R/W-0h	R/W-0h	R/W-0h

表 23-8. SIMR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	STOPIM	R/W	0h	ストップ条件割り込みマスク 0:SRIS.STOPRIS 割り込みは抑制され、割り込みコントローラに送信されません。 1:SRIS.STOPRIS 割り込みが有効になり、割り込みコントローラに送信されます。 0h = 割り込みを無効化 1h = 割り込みを有効化
1	STARTIM	R/W	0h	スタート条件割り込みマスク 0:SRIS.STARTRIS 割り込みは抑制され、割り込みコントローラに送信されません。 1:SRIS.STARTRIS 割り込みが有効になり、割り込みコントローラに送信されます。 0h = 割り込みを無効化 1h = 割り込みを有効化
0	DATAIM	R/W	0h	データ割り込みマスク 0:SRIS.DATARIS 割り込みは抑制され、割り込みコントローラに送信されません。 1:SRIS.DATARIS 割り込みが有効になり、割り込みコントローラに送信されます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.6 SRIS レジスタ (オフセット = 10h) [リセット = 00000000h]

図 23-19 に、SRIS を示し、表 23-9 に、その説明を示します。

概略表に戻ります。

スレーブ未加工割り込みステータス
このレジスタは、マスクされていない割り込みステータスを示します。

図 23-19. SRIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					STOPRIS	STARTRIS	DATARIS
R-0h					R-0h	R-0h	R-0h

表 23-9. SRIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	STOPRIS	R	0h	ストップ条件の未加工割り込みステータス 0:割り込みなし 1:ストップ条件の割り込みは保留中です。 このビットは、SICR.STOPIC に 1 を書き込むことでクリアされます。
1	STARTRIS	R	0h	スタート条件の未加工割り込みステータス 0:割り込みなし 1:スタート条件の割り込みは保留中です。 このビットは、SICR.STARTIC に 1 を書き込むことでクリアされます。
0	DATARIS	R	0h	データ未加工割り込みステータス 0:割り込みなし 1:受信したデータ割り込みまたはデータ要求割り込みは保留中です。 このビットは、SICR.DATAIC に 1 を書き込むことでクリアされます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.7 SMIS レジスタ (オフセット = 14h) [リセット = 00000000h]

図 23-20 に、SMIS を示し、表 23-10 に、その説明を示します。

概略表に戻ります。

スレーブ マスク適用割り込みステータス
このレジスタは、どの割り込みがアクティブであるかを示します (SRIS および SIMR の結果に基づいて)。

図 23-20. SMIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					STOPMIS	STARTMIS	DATAMIS
R-0h					R-0h	R-0h	R-0h

表 23-10. SMIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	STOPMIS	R	0h	ストップ条件マスク適用割り込みステータス 0:割り込みが発生していないか、マスク適用や無効化されています。 1:マスクされていないストップ条件の割り込みは保留中です。 このビットは、SICR.STOPIC に 1 を書き込むことでクリアされます。
1	STARTMIS	R	0h	スタート条件マスク適用割り込みステータス 0:割り込みが発生していないか、マスク適用や無効化されています。 1:マスクされていないスタート条件の割り込みは保留中です。 このビットは、SICR.STARTIC に 1 を書き込むことでクリアされます。
0	DATAMIS	R	0h	データ マスク適用割り込みステータス 0:割り込みが発生していないか、マスク適用や無効化されています。 1:マスクされていない受信データ割り込みまたはデータ要求割り込みは保留中です。 このビットは、SICR.DATAIC に 1 を書き込むことでクリアされます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.8 SICR レジスタ (オフセット = 18h) [リセット = 00000000h]

図 23-21 に、SICR を示し、表 23-11 に、その説明を示します。

概略表に戻ります。

スレーブ割り込みクリア
このレジスタは、未加工割り込み SRIS をクリアします。

図 23-21. SICR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					STOPIC	STARTIC	DATAIC
R-0h					W-0h	W-0h	W-0h

表 23-11. SICR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	STOPIC	W	0h	ストップ条件割り込みクリア このビットに 1 を書き込むと、SRIS.STOPRIS と SMIS.STOPMIS がクリアされます。
1	STARTIC	W	0h	スタート条件割り込みクリア このビットに 1 を書き込むと、SRIS.STARTRIS と SMIS.STARTMIS がクリアされます。
0	DATAIC	W	0h	データ割り込みクリア このビットに 1 を書き込むと、SRIS.DATARIS と SMIS.DATAMIS がクリアされます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.9 MSA レジスタ (オフセット = 800h) [リセット = 00000000h]

図 23-22 に、MSA を示し、表 23-12 に、その説明を示します。

概略表に戻ります。

マスタ スレーブ アドレス
このレジスタには、マスタによってアクセスされるスレーブの 7 アドレス ビット (a6 ～ a0) と、次の動作が受信と送信のどちらであるかを決定する RS ビットが含まれます。

図 23-22. MSA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								SA							RS
R-0h								R/W-0h							R/W-0h

表 23-12. MSA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-1	SA	R/W	0h	I2C マスタ スレーブ アドレス マスタ モードでのトランザクションでアドレス指定するスレーブを定義します
0	RS	R/W	0h	受信または送信 このビット フィールドは、次の動作がアドレス指定されたスレーブ SA からの受信 (High) か、それとも転送 / 送信 (Low) のどちらであるかを指定します。 0h = スレーブにデータを転送 / 送信 1h = スレーブからデータを受信

Copyright © 2026 Texas Instruments Incorporated

23.5.1.10 MSTAT レジスタ (オフセット = 804h) [リセット = 00000020h]

図 23-23 に、MSTAT を示し、表 23-13 に、その説明を示します。

概略表に戻ります。

マスタ ステータス

図 23-23. MSTAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	BUSBSY	IDLE	ARBLST	DATACK_N	ADRACK_N	ERR	BUSY
R-0h	R-0h	R-1h	R-0h	R-0h	R-0h	R-0h	R-0h

表 23-13. MSTAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6	BUSBSY	R	0h	バス ビジー 0:I2C バスはアイドル状態です。 1:I2C バスはビジーです。 ビットは、MCTRL.START 条件と MCTRL.STOP 条件に基づいて変化します。
5	IDLE	R	1h	I2C アイドル 0:I2C コントローラはアイドル状態ではありません。 1:I2C コントローラはアイドル状態です。
4	ARBLST	R	0h	アービトレーション ロスト 0:I2C コントローラがアービトレーションに成功しました。 1:I2C コントローラがアービトレーション ロストしました。
3	DATACK_N	R	0h	データはアクノリッジされませんでした 0:送信されたデータはアクノリッジされました。 1:送信されたデータはアクノリッジされませんでした。
2	ADRACK_N	R	0h	アドレスはアクノリッジされませんでした 0:送信されたアドレスはアクノリッジされました。 1:送信されたアドレスはアクノリッジされませんでした。
1	ERR	R	0h	エラー 0:最後の操作でエラーは検出されませんでした。 1:最後の操作でエラーが発生しました。

Copyright © 2026 Texas Instruments Incorporated

表 23-13. MSTAT レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	BUSY	R	0h	I2C ビジー 0:コントローラはアイドル状態です。 1:コントローラはビジー状態です。 このビット フィールドが設定されている場合、他のステータス ビットは有効ではありません。 注:I2C コントローラでは、MCTRL レジスタによって I2C マスタ動作が開始された後で、BUSY ステータスをアサートするために 4 SYSBUS クロック サイクルが必要です。 したがって、MCTRL レジスタをプログラムした後、アプリケーションは、MSTAT レジスタでコントローラ ステータス照会を発行する前に、4 SYSBUS クロック サイクルの待機を要求されます。 事前に照会を行うと、誤ったステータスが報告されます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.11 MCTRL レジスタ (オフセット = 804h) [リセット = 00000000h]

図 23-24 に、MCTRL を示し、表 23-14 に、その説明を示します。

概略表に戻ります。

マスタ制御
このレジスタは、読み取り時にはステータス ビットに、書き込み時には制御ビットにアクセスします。読み取り時、ステータス レジスタは、MSTAT で規定されているように I2C バス コントローラの状態を示します。書き込まれると、制御レジスタによって I2C コントローラの動作が設定されます。
単一の送信サイクルを生成するには、I2C マスタ スレーブ アドレス (MSA) レジスタに目的のアドレスが書き込まれ、MSA.RS ビットがクリアされ、このレジスタに
* ACK = X (0 または 1)、
* STOP = 1、
* START = 1、
* RUN = 1
で書き込まれることで、操作と停止を実行します。
動作が完了すると (またはエラーが原因で中止すると)、割り込みがアクティブになり、データが MDR レジスタから読み取られる可能性があります。

図 23-24. MCTRL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				ACK	STOP	START	RUN
R-0h				W-0h	W-0h	W-0h	W-0h

表 23-14. MCTRL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	ACK	W	0h	データ アクノリッジ イネーブル 0:受信データ バイトは、マスタにより自動的にアクノリッジされません。 1:受信データ バイトは、マスタにより自動的にアクノリッジされます。 I2C バス コントローラがスレーブ トランスミッタからそれ以上データを送信する必要がない場合、このビット フィールドをクリアする必要があります。 0h = アクノリッジを無効化 1h = アクノリッジを有効化
2	STOP	W	0h	このビットフィールドは、サイクルがデータサイクルの終了時に停止するか、それとも繰り返される START 条件 まで継続するかを決定します。 0:コントローラはストップ条件を生成しません。 1:コントローラはストップ条件を生成します。 0h = STOP を無効化 1h = STOP を有効化

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 23-14. MCTRL レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	START	W	0h	このビット フィールドは、スタート条件または繰り返しスタート条件を生成します。 0:コントローラはスタート条件を生成しません。 1:コントローラはスタート条件を生成します。 0h = START を無効化 1h = START を有効化
0	RUN	W	0h	I2C マスタ有効 0:このマスタは無効化されています。 1:マスタは、データの送信または受信を有効にします。 0h = マスタを無効化 1h = マスタを有効化

Copyright © 2026 Texas Instruments Incorporated

23.5.1.12 MDR レジスタ (オフセット = 808h) [リセット = 00000000h]

図 23-25 に、MDR を示し、表 23-15 に、その説明を示します。

概略表に戻ります。

マスタ データ
このレジスタには、マスタ送信状態のときに送信するデータと、マスタ受信状態のときに受信したデータが含まれます。

図 23-25. MDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								データ							
R-0h																								R/W-0h							

表 23-15. MDR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	データ	R/W	0h	読み取り時:最新の RX データが返されます 書き込み時:データは TX トランザクション中に転送されます

Copyright © 2026 Texas Instruments Incorporated

23.5.1.13 MTPR レジスタ (オフセット = 80Ch) [リセット = 00000001h]

図 23-26 に、MTPR を示し、表 23-16 に、その説明を示します。

概略表に戻ります。

I2C マスタ タイマ周期
このレジスタは SCL クロックの周期を指定します。

図 23-26. MTPR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
TPR_7	TPR						
R/W-0h	R/W-1h						

表 23-16. MTPR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	TPR_7	R/W	0h	TPR を設定するには、0 に設定する必要があります。1 に設定されている場合、TPR への書き込みは無視されます。
6-0	TPR	R/W	1h	SCL クロック周期 このフィールドは、SCL クロックの周期を指定します。 SCL_PRD = 2*(1+TPR)*(SCL_LP + SCL_HP)*CLK_PRD ここで: SCL_PRD は SCL ライン周期 (I2C クロック) です。 TPR はタイマ周期レジスタ値 (1 ～ 127 の範囲) SCL_LP は SCL の Low 周期 (6 に固定) です。 SCL_HP は SCL の High 周期 (4 に固定) です。 CLK_PRD はシステム クロック周期 (ns 単位) です。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.14 MIMR レジスタ (オフセット = 810h) [リセット = 00000000h]

図 23-27 に、MIMR を示し、表 23-17 に、その説明を示します。

概略表に戻ります。

マスタ割り込みマスク
このレジスタは、未処理の割り込みをコントローラ割り込みに格上げするかどうかを制御します。

図 23-27. MIMR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															IM
R-0h															R/W-0h

表 23-17. MIMR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	IM	R/W	0h	割り込みマスク 0:MRIS.RIS 割り込みは抑制され、割り込みコントローラに送信されません。 1:MRIS.RIS が設定されているときに、マスタ割り込みが割り込みコントローラに送信されます。 0h = 割り込みを無効化 1h = 割り込みを有効化

Copyright © 2026 Texas Instruments Incorporated

23.5.1.15 MRIS レジスタ (オフセット = 814h) [リセット = 00000000h]

図 23-28 に、MRIS を示し、表 23-18 に、その説明を示します。

概略表に戻ります。

マスタ未加工割り込みステータス
このレジスタは、マスクされていない割り込みステータスを示します。

図 23-28. MRIS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															RIS
R-0h															R-0h

表 23-18. MRIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	RIS	R	0h	未加工割り込みステータス 0:割り込みなし 1:マスタ割り込みは保留中です。 このビットは、MICR.IC ビットに 1 を書き込むことでクリアされます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.16 MMIS レジスタ (オフセット = 818h) [リセット = 00000000h]

図 23-29 に、MMIS を示し、表 23-19 に、その説明を示します。

概略表に戻ります。

マスタ マスク適用割り込みステータス
このレジスタは、どの割り込みがアクティブであるかを示します (MRIS および MIMR の結果に基づいて)。

図 23-29. MMIS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															MIS
R-0h															R-0h

表 23-19. MMIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	MIS	R	0h	マスク適用割り込みステータス 0:割り込みが発生していないか、マスクされています。 1:マスタ割り込みは保留中です。 このビットは、MICR.IC ビットに 1 を書き込むことでクリアされます。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.17 MICR レジスタ (オフセット = 81Ch) [リセット = 00000000h]

図 23-30 に、MICR を示し、表 23-20 に、その説明を示します。

概略表に戻ります。

マスタ割り込みクリア
このレジスタは、未加工割り込みおよびマスク適用割り込みをクリアします。

図 23-30. MICR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															IC
R-0h															W-0h

表 23-20. MICR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	IC	W	0h	割り込みクリア このビットに 1 を書き込むと、MRIS.RIS および MMIS.MIS がクリアされます。 このレジスタを読み取っても、意味のあるデータは返されません。

Copyright © 2026 Texas Instruments Incorporated

23.5.1.18 MCR レジスタ (オフセット = 820h) [リセット = 00000000h]

図 23-31 に、MCR を示し、表 23-21 に、その説明を示します。

概略表に戻ります。

マスタ構成
このレジスタは、モード (マスタまたはスレーブ) を構成し、テスト モード ループバック用のインターフェイスを設定します。

図 23-31. MCR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		SFE	MFE	予約済み			LPBK
R-0h		R/W-0h	R/W-0h	R-0h			R/W-0h

表 23-21. MCR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	SFE	R/W	0h	I2C スレーブ機能イネーブル 0h = スレーブ モードを無効化。 1h = スレーブ モードを有効化。
4	MFE	R/W	0h	I2C マスタ機能イネーブル 0h = マスタ モードを無効化。 1h = マスタ モードを有効化。
3-1	予約済み	R	0h	予約済み
0	LPBK	R/W	0h	I2C ループバック 0 : 通常動作 1 : ループバック動作 (テスト モード) 0h = テスト モードを無効化 1h = テスト モードを有効化

Copyright © 2026 Texas Instruments Incorporated

Chapter 24

インタ IC サウンド (I2S)

この章では、IC 間サウンド (I2S) モジュールについて説明します。

24.1 概要 1997
24.2 ブロック図 1998
24.3 信号の説明 1999
24.4 機能説明 1999
24.5 メモリ インターフェイス 2005
24.6 サンプルスタンプ ジェネレータ 2010
24.7 エラー検出 2012
24.8 使用法 2012
24.9 I2S レジスタ 2012

Copyright © 2026 Texas Instruments Incorporated

24.1 概要

I²S モジュールは、CC13x2 および CC26x2 デバイス プラットフォームと外部オーディオ デバイス (コーデック、DAC、ADC など) との間でオーディオ サンプルを転送するための標準化されたシリアル インターフェイスを提供します。

I²S モジュールは、デジタル マイクなどのデバイスからパルス密度変調 (PDM) 信号を受信し、その後ソフトウェアでパルス符号変調 (PCM) に変換することもできます。

I²S モジュールの主な機能は次のとおりです。

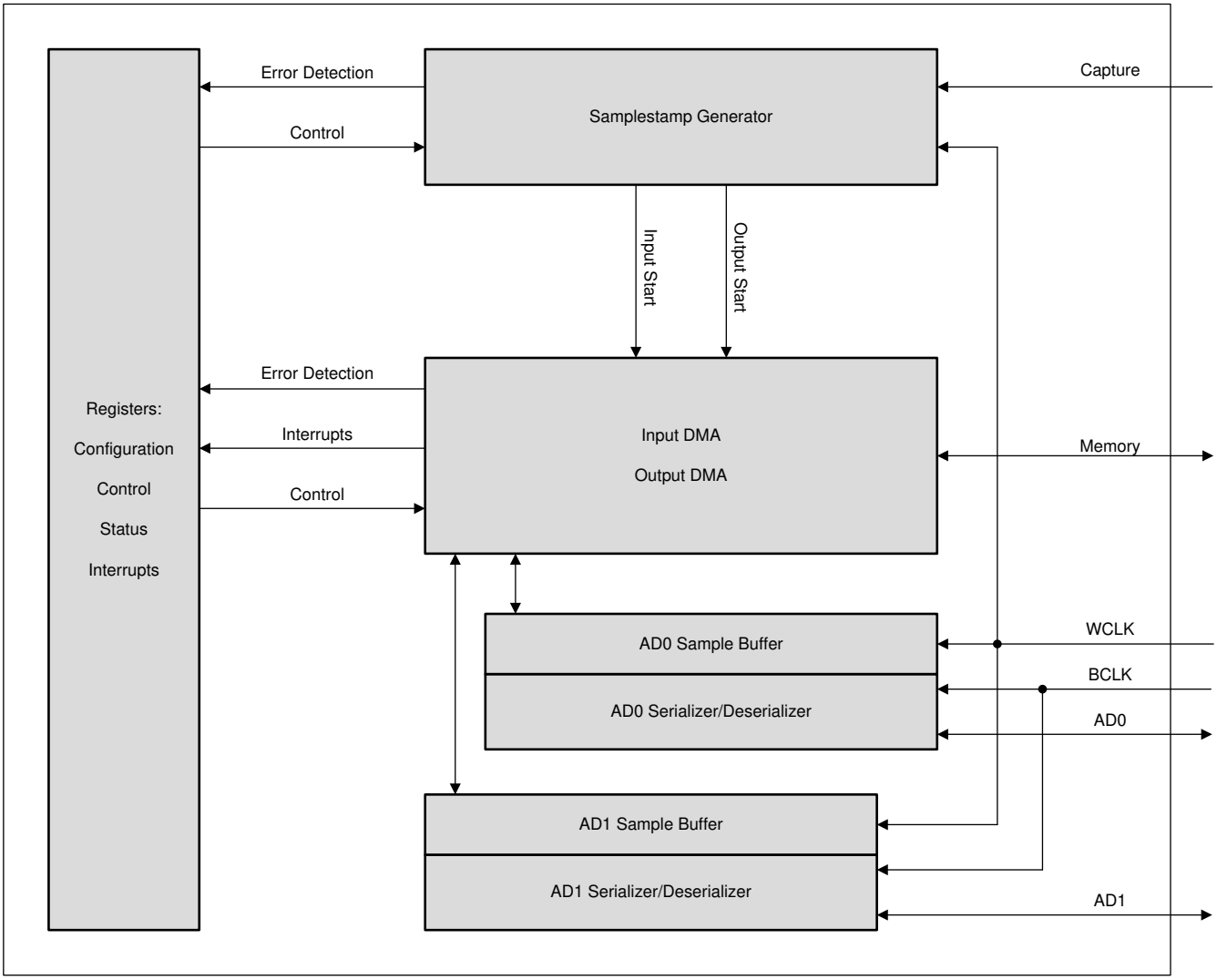
- オーディオ クロック信号は、PRCM モジュールによって内部生成されるか、別のデバイスによって外部生成されます。
- 入力または出力として個別に構成可能な 1 本または 2 本のデータ ピン
- データ ピンごとに最大 2 つのオーディオ チャネルをサポートする I²S、左詰め (LJF)、右詰め (RJF) シリアル インターフェイス形式
- DSP シリアル インターフェイス フォーマットで、データ ピンごとに最大 8 つのオーディオ チャネルをサポート
- 最大 24 ビットのサンプル ワード長。不一致の場合は切り捨てまたはゼロ パディング:
  - シリアル インターフェイス: サンプル ワードあたり 8 ～ 24 ビット、最上位ビット (MSB) から転送
  - メモリ: サンプル ワードあたり 16 または 24 ビット、リトル エンディアン バイト順で格納
- ダブル バッファ ポインタを使用する DMA
- DMA およびオーディオ クロック信号の完全性に関するエラー検出
- 1 つの CC13x2 または CC26x2 デバイス上の I²S モジュールで生成されたオーディオ サンプルを別の CC13x2 または CC26x2 デバイス上の I²S モジュールで使用する場合に、一定のオーディオ レイテンシを維持できる Samplestamp ジェネレータ。

Copyright © 2026 Texas Instruments Incorporated

24.2 ブロック図

図 24-1 は I2S モジュールのブロック図を示します。

図 24-1. I2S モジュールのブロック図



Copyright © 2017, Texas Instruments Incorporated

Copyright © 2026 Texas Instruments Incorporated

24.3 信号の説明

シリアル オーディオ インターフェイスは、I²S モジュールの使用方法に応じて、2 つまたは 3 つのクロック信号と 1 つまたは 2 つのデータ信号で構成されます。クロック信号は、内部 (CC13x2 および CC26x2 デバイス プラットフォームの PRCM モジュール) または外部 (オーディオ デバイスまたは別のクロック ソース) で生成できます。

表 24-1 に、シリアル オーディオ ピン インターフェイスの詳細を示します。

表 24-1. シリアル オーディオ ピン インターフェイス

CC13x2 および CC26x2 ピン	機能および方向	説明
MCLK (オプション)	マスタ クロック出力	外部オーディオ デバイスでのサンプル変換用マスタ クロック。この信号は CC13x2 または CC26x2 デバイス プラットフォームの内部では使用されないため、CC13x2 または CC26x2 デバイス プラットフォームへの入力になることはありません。一部の外部オーディオ デバイスでは、この信号は不要です。
BCLK	ビット クロック入力／出力	WCLK 信号、AD0 信号、および AD1 信号用のビット クロック。この信号は、外部クロック ソースを使用する場合は入力であり、内部クロック ソースを使用する場合は出力です。
WCLK	ワード クロック入力／出力。	AD0 および AD1 シリアル データ ストリーム内のオーディオ サンプル周波数とサンプル ワード境界を定義するサンプル フレーミング信号。WCLK 周波数はオーディオ サンプル周波数と同じです。この信号は、外部クロック ソースを使用する場合は入力であり、内部クロック ソースを使用する場合は出力です。
AD0 AD1	シリアル データ入力／出力	オーディオ サンプル ワードの転送を担うシリアル データ信号。各ピンは、入力、出力、または未使用として個別に構成できます。すべてのピンは同じインターフェイス形式 (LJF など) を使用します。 以下では、AD0 ピンと AD1 ピンを「ADx ピン」と呼びます。

CC13x2 および CC26x2 デバイス プラットフォームでは、ADx ピンを動的にトライステート状態にすることはできません。そのため、TDM モードは、外部オーディオ デバイスのみがこれらの信号を駆動する ADx 入力ピンでサポートされますが、ADx 出力ピンではサポートされません。

24.4 機能説明

24.4.1 依存関係

I²S モジュールのレジスタにアクセスする前に、I²S モジュールへのシステム クロックを有効にします:

- システム CPU 実行モードの場合:PRCM:I2SCLKGR.CLK_EN = 1 (PRCM:CLKLOADCTL でロード)
- システム CPU スリープ モードの場合:PRCM:I2SCLKGS.CLK_EN = 1 (PRCM:CLKLOADCTL でロード)
- システム CPU ディープスリープ モードの場合:PRCM:I2SCLKGDS.CLK_EN = 1 (PRCM:CLKLOADCTL でロード)

24.4.1.1 システム CPU ディープ スリープ モード

システム バスがオフになると、I²S DMA は RAM およびフラッシュへのアクセスを失います。

システム バスは、次のすべての条件が満たされるとオフになります。

- PRCM:PDCTL1.CPU_ON = 0
- PRCM:PDCTL1.VIMS_MODE = 0
- PRCM:SECDMACLKGDS.DMA_CLK_EN = 0
- PRCM:SECDMACLKGDS.CRYPTO_CLK_EN = 0
- RFCORE はバスへのアクセスを要求しません。
- システム CPU はディープスリープ モードです。

消費電流を最小限に抑えるためには、PRCM:SECDMACLKGDS.DMA_CLK_EN = 1 に設定し (PRCM:CLKLOADCTL をロード)、I²S DMA のシステム バスを有効にしたままにします。

Copyright © 2026 Texas Instruments Incorporated

24.4.2 ピン構成

I2S:AIFDIRCFG レジスタは、各 ADx 信号を入力、出力、または未使用のいずれとして使用するかを設定します。

使用される各 I2S 信号は、対応する IOC:IOCFGn レジスタを設定することにより、物理 I/O ピンである DIOn にマッピングする必要があります。

24.4.3 シリアル形式構成

WCLK 信号および ADx 信号は BCLK の一方のエッジで更新され、反対側のエッジでサンプリングされます。

ADx ピンで転送されるサンプル ワードは、構成されたシリアル インターフェイス形式に従って WCLK 信号に揃えられます。サンプル ワードの最初の WCLK エッジは、構成されたシリアル インターフェイス形式に応じて、立ち上がりまたは立ち下がりになります。

オーディオ サンプル (1 つ以上のチャネル) の最初の WCLK エッジから、次のオーディオ サンプルの最初の WCLK エッジまでの期間をフレームと呼びます。フレームは 1 つまたは 2 つのフェーズで構成されます。フェーズは次の区間に分割されます。

- データ遅延 (オプション):そのフェーズ中に転送される (最初の) オーディオ チャネル データの最初の WCLK エッジから MSB までの BCLK 周期
- ワード:ADx ピンでサンプル ワードが転送される BCLK 周期
  - 1 相では、1 ～ 8 個のサンプル ワードが連続して転送されます。
  - 2 相では、1 つのサンプル ワードが転送されます。サンプル ワードの最下位ビット (LSB) は、次のフェーズのデータ遅延区間に延長される場合があります。
- アイドル (オプション):ワード区間と次のフェーズの間の BCLK 周期

シリアル インターフェイス上のサンプル ワードには 8 ～ 24 ビットを含めることができます。

24.4.4 I2S

I2S は、50% WCLK のデューティ サイクルを持ち、各サンプル ワードの MSB の開始が WCLK + 1 BCLK 周期の各エッジに揃えられた 2 相形式です。任意のフレームについて、WCLK が Low のときに左チャネルが最初に転送され、WCLK が High のときに右チャネルが次に転送されます。図 24-2 に、I2S シリアル形式を示します。

データは BCLK の立ち上がりエッジでサンプリングされ、BCLK の立ち下がりエッジで更新されます。

I2S 形式は、CC13x2 および CC26x2 デバイス プラットフォームが WCLK 周期あたりの BCLK 周期数を自動的に検出できるという点で一意です。したがって、I2S は外部オーディオ クロック ソースからの任意の BCLK レートと可変のサンプル ワード長をサポートします:

- 設定されたサンプル ワードの長さが WCLK 周期あたりのビット数より大きい場合、サンプル ワードは切り捨てられます。
- 設定されたサンプル ワードの長さが WCLK 周期あたりのビット数より小さい場合、サンプル ワードはゼロパディングされます。

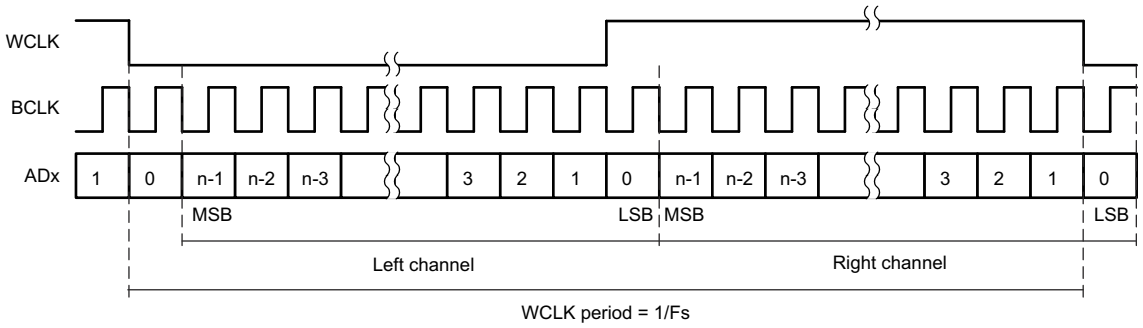


図 24-2. I2S シリアル形式

Copyright © 2026 Texas Instruments Incorporated

24.4.4.1 レジスタ構成

レジスタ構成は以下のとおりです。

- I2S:AIFWCLKSRC.WCLK_INV = 1
- I2S:AIFFMTCFG.DUAL_PHASE = 1
- I2S:AIFFMTCFG.SMPL_EDGE = 1
- I2S:AIFFMTCFG.WORD_LEN = サンプル ワードあたりの最大ビット数
- I2S:AIFFMTCFG.DATA_DELAY = 1

24.4.5 左揃え (LJF)

LJF は、50% の WCLK デューティ サイクルを持つデュアル フェーズ形式であり、各サンプル ワードの MSB の始端が WCLK の各エッジに揃えられます。任意のフレームで、WCLK が High のときに左チャネルが先に転送され、WCLK が Low のときに右チャネルが次に転送されます。

データは BCLK の立ち上がりエッジでサンプリングされ、BCLK の立ち下がりエッジで更新されます。図 24-3 に LJF シリアル形式を示します。

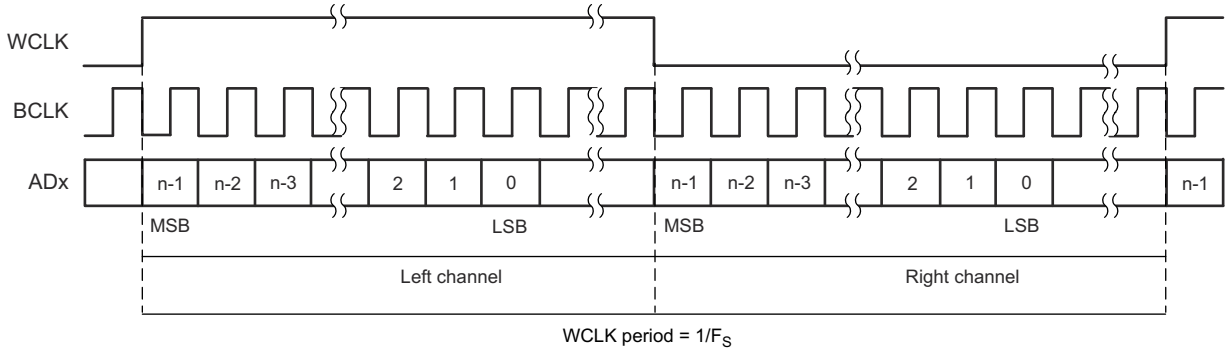


図 24-3. LJF シリアル形式

24.4.5.1 レジスタ設定

レジスタ設定は以下のとおりです。

- I2S:AIFWCLKSRC.WCLK_INV = 0
- I2S:AIFFMTCFG.DUAL_PHASE = 1
- I2S:AIFFMTCFG.SMPL_EDGE = 1
- I2S:AIFFMTCFG.WORD_LEN = サンプル ワードあたりの最大ビット数
- I2S:AIFFMTCFG.DATA_DELAY = 0

WORD_LEN は、位相ごとの BCLK 周期の数と同じかそれ以下である必要があります。

Copyright © 2026 Texas Instruments Incorporated

24.4.6 右揃え (RJF)

RJF は、50% の WCLK デューティ サイクルを持つデュアル フェーズ形式であり、各サンプル ワードの LSB の終端が WCLK の各エッジに揃えられます。任意のフレームで、WCLK が High のときに左チャネルが先に転送され、WCLK が Low のときに右チャネルが次に転送されます。

データは BCLK の立ち上がりエッジでサンプリングされ、BCLK の立ち下がりエッジで更新されます。図 24-4 に RJF シリアル形式を示します。

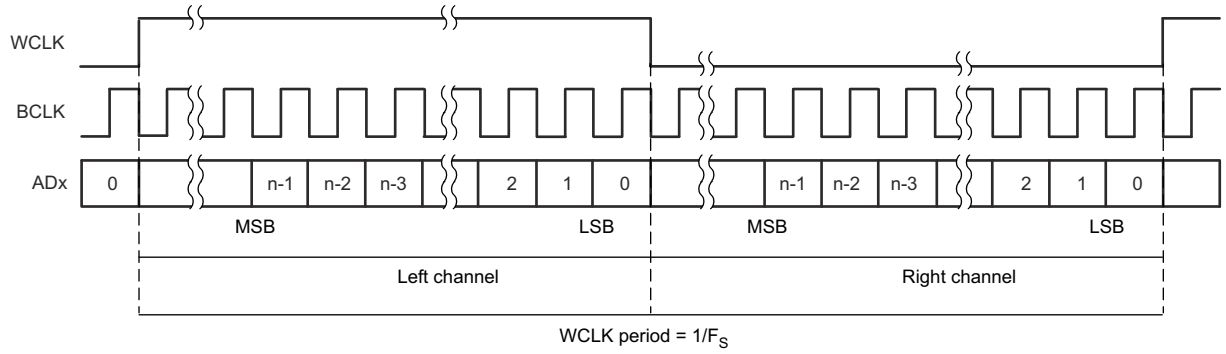


図 24-4. RJF シリアル形式

24.4.6.1 レジスタ設定

レジスタ設定は以下のとおりです。

- I2S:AIFWCLKSRC.WCLK_INV = 0
- I2S:AIFFMTCFG.DUAL_PHASE = 1
- I2S:AIFFMTCFG.SMPL_EDGE = 1
- I2S:AIFFMTCFG.WORD_LEN = サンプル ワードあたりの正確なビット数
- I2S:AIFFMTCFG.DATA_DELAY = 位相あたりの BCLK 周期数から I2S:AIFFMTCFG.WORD_LEN の値を減算した値

DATA_DELAY + WORD_LEN は、位相ごとの BCLK 周期の数と同じかそれ以下である必要があります。

Copyright © 2026 Texas Instruments Incorporated

24.4.7 DSP

DSP は単相フォーマットであり、WCLK は 1 回の BCLK 周期の間 High であり、最初のサンプル ワードの MSB は通常この WCLK パルスと一致するか、または次の BCLK 周期に続きます。後続のオーディオ チャネルのサンプル ワードが連続して転送され、その後、次の位相またはフレームが開始するまでアイドル期間が続きます。

データは BCLK の立ち下がりエッジで読み取られ、BCLK の立ち上がりエッジで更新されます。図 24-5 に、データ遅延 0 の DSP シリアル フォーマットを示します。

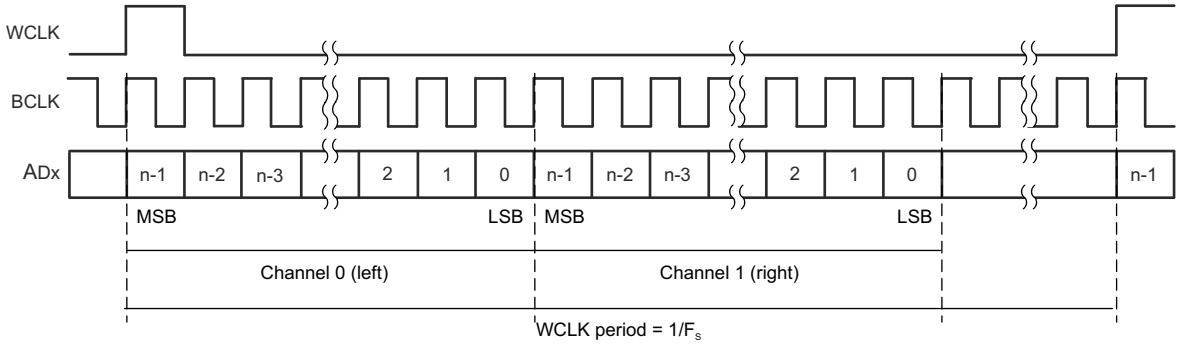


図 24-5. DSP シリアル フォーマット (ゼロ データ遅延)

24.4.7.1 レジスタ設定

レジスタ設定は以下のとおりです。

- I2S:AIFWCLKSRC.WCLK_INV = 0
- I2S:AIFFMTCFG.DUAL_PHASE = 0
- I2S:AIFFMTCFG.SMPL_EDGE = 0
- I2S:AIFFMTCFG.WORD_LEN = サンプル ワードあたりの正確なビット数
- I2S:AIFFMTCFG.DATA_DELAY = 0 または 1

DATA_DELAY + (WORD_LEN × チャネル数) は、位相ごとの BCLK 周期の数以下である必要があります。

チャネル数は、I2S:AIFWMASK0 および I2S:AIFWMASK1 レジスタの MSB セットによって決定されます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

24.4.8 クロック構成

オーディオ クロック信号 MCLK、BCLK、WCLK は、PRCM モジュールによって内部で、または外部クロック ソースによって生成できます。

内部生成されたオーディオ クロック信号は、以下の理由により、すべてのアプリケーションに適しているとは限りません。

- ジッタ性能
- クロック構成では、48MHz から分周可能な周波数のみがサポートされています。
- 一定のオーディオ遅延を維持するよう調整できない周波数

内部生成されたオーディオ クロックを使用する場合、48MHz の高周波システム クロック SCLK_HF は、常に XOSC_HF から生成されている必要があります。このように生成するのは、ジッタを低減し、SCLK_HF のクロック源を RCOSC_HF から XOSC_HF に切り替える際の副作用 (クロック サイクルの欠落や周波数の変動) を回避するためです。

24.4.8.1 内部オーディオ クロック ソース

I2S モジュールと PRCM モジュールの両方で、内部オーディオ クロック ソースを選択する必要があります:

- I2S:AIFWCLKSRC = 2
- PRCM:I2SBCLKSEL.SRC = 1

PRCM:I2SCLKCTL.SMPL_ON_POSEDGE レジスタの設定は、BCLK のどのエッジで WCLK 信号をサンプリングするかを指定するものとします。この設定は、I2S:AIFFMTCFG.SMPL_EDGE レジスタの設定と同じである必要があります。

MCLK、BCLK、WCLK 周波数、WCLK デューティ サイクルは次のように設定されます。

- MCLK 周波数 = 48MHz/PRCM:I2SMCLKDIV.MDIV
- BCLK 周波数 = 48MHz/PRCM:I2SBCLKDIV.BDIV
- WCLK の場合、構成はデューティ サイクルによって異なります (PRCM:I2SWCLKDIV。WDIV は WDIV と呼ばれます):
  - 単相 (DSP フォーマット): PRCM:I2SCLKCTL.WCLK_PHASE = 0
    - WCLK は 1 BCLK 周期の間 high となり、その後、WDIV[9:0] (1 ～ 1023) で指定された BCLK 周期数の間 low となります。
    - WCLK 周波数 = BCLK 周波数 / (1 + PRCM:I2SWCLKDIV.WDIV[9:0])
- 二相 (I2S、LJF、RJF 形式): PRCM:I2SCLKCTL.WCLK_PHASE = 1
  - WCLK は、WDIV[9:0] (1 ～ 1023) BCLK 周期分だけ high 状態となり、その後 WDIV[9:0] (1 ～ 1023) BCLK 周期分だけ Low 状態となります。
  - WCLK 周波数 = BCLK 周波数 / (2 × WDIV[9:0])
- ユーザー定義:PRCM:I2SCLKCTL.WCLK_PHASE = 2
  - WCLK は、WDIV[7:0] (1 ～ 255) BCLK 周期分だけ high 状態となり、その後 WDIV[15:8] (1 ～ 255) BCLK 周期分だけ Low 状態となります。
  - WCLK 周波数 = BCLK 周波数 / (WDIV[7:0] + WDIV[15:8])

クロック信号 MCLK、BCLK、WCLK の信号生成は、PRCM:I2SCLKCTL.EN = 1 を設定して有効化する必要があります。PRCM:I2SCLKCTL.EN = 0 のとき、MCLK、BCLK 信号、WCLK 信号は静的 Low になります。

24.4.8.2 外部オーディオ クロック ソース

外部オーディオ クロック ソースは、I2S モジュールと PRCM モジュールの両方で選択する必要があります:

- I2S:AIFWCLKSRC = 1
- PRCM:I2SBCLKSEL.SRC = 0

Copyright © 2026 Texas Instruments Incorporated

24.5 メモリ インターフェイス

内蔵のダイレクト メモリ アクセス コントローラ (DMA) は独立して (一つまたは二つの ADx ピンから RAM へ) 入力サンプルと (RAM またはフラッシュから一つまたは二つの ADx ピンへ) 出力サンプルを処理します。

各 ADx ピンには、一つのシフト レジスタと一つのサンプル ワード バッファがあります。DMA は、次のサンプル ワードを受信している間に入力サンプル ワードをメモリへ格納し、直前に読み込まれたサンプル ワードを送信している間に出力サンプル ワードをメモリから読み込みます。

DMA はメモリのブロックで動作します。DMA が現在のメモリ ブロックを処理している間に、ソフトウェアは次に使用するメモリ ブロックの先頭アドレスを設定する必要があります。入力サンプルの場合は I2S:AIFINPTRNEXT レジスタに、出力サンプルの場合は I2S:AIFOUTPTRNEXT レジスタに書き込みます。

24.5.1 サンプル ワード長

メモリ内のサンプル ワード長 (16 または 24 ビット) は、シリアル インターフェイス上のサンプル ワード長 (8 ～ 24 ビット) とは独立して構成されます。宛先がソースより短い場合、サンプル ワードは切り捨てられます。宛先がソースより長い場合は、ゼロ パディングされます。

I2S:AIFFMTCFG.MEM_LEN_24 フィールドは、メモリ内のサンプル ワードを 16 ビットにするか 24 ビットにするかを構成します。

- 0:各 16 ビット サンプル ワードは、1 回の 16 ビット転送でメモリへ、またはメモリから移動されます。I2S:AIFINPTRNEXT および I2S:AIFOUTPTRNEXT レジスタに書き込まれる DMA ポインタは、ハーフワード アラインされている必要があります。
- 1:各 24 ビット サンプル ワードは、ロックされたバス転送で、1 回の 16 ビット転送と 1 回の 8 ビット転送を使用してメモリへ、またはメモリから移動されます。I2S:AIFINPTRNEXT および I2S:AIFOUTPTRNEXT レジスタに書き込まれる DMA ポインタは、どのメモリ サイズにもアラインされている必要はありません。

24.5.2 チャネル マッピング

各 ADx ピンについて、対応する I2S:AIFWMASKx レジスタにより、どのサンプル ワードがメモリ内に存在するかが決まります。

- I2S:AIFFMTCFG.DUAL_PHASE = 0 (DSP 形式) の場合の各フレーム:
  - 入力:I2S:AIFWMASKx.MASK レジスタにより、チャネルをメモリに格納するかどうかが決まります。
  - 出力:I2S:AIFWMASKx.MASK レジスタにより、チャネルをメモリからフェッチするかどうかが決まります。除外されたチャネルでは、ADx 出力は Low になります。
- I2S:AIFFMTCFG.DUAL_PHASE = 1 (I²S、LJF、RJF 形式) の場合の各フレーム:
  - モノラル:I2S:AIFWMASKx.MASK = 0x01
    - 入力:左 (0) チャネルがメモリに保存されます。
    - 出力:左 (0) チャネルがメモリからフェッチされ、右チャネルに対して繰り返されます。
  - ステレオ:I2S:AIFWMASKx.MASK = 0x03
    - 入力:左 (0) および右 (1) チャネルがメモリに保存されます。
    - 出力:左 (0) および右 (1) チャネルがメモリからフェッチされます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

24.5.3 メモリ内のサンプル ストレージ

サンプル ワードはリトル エンディアン バイト順でメモリに格納されます。つまり、最下位バイト (LSByte) は下位バイト アドレスに格納され、最上位バイト (MSByte) は上位バイト アドレスに格納されます。

両方の ADx ピンが入力または出力として構成されている場合、各オーディオ チャネルのサンプル ワードは AD0 が先、AD1 が後に格納されます。

図 24-6、図 24-7、図 24-8、図 24-9、および図 24-10 に、一般的なユース ケースのサンプル ストレージ例を示します (F = フレーム インデックス、C = チャネル インデックス、P = ADx ピン インデックス)。

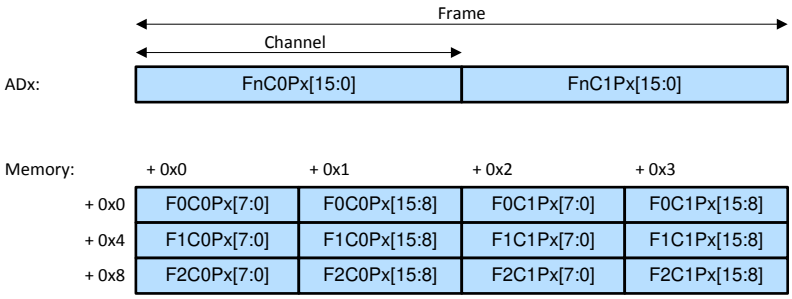


図 24-6. 1 つの ADx ピンでの 16 ビット モノラル I²S、LJF、RJF 形式。メモリ内の 6 フレームを表示

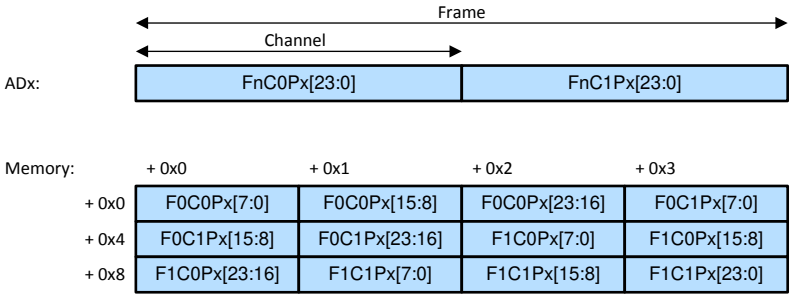


図 24-7. 1 つの ADx ピンでの 16 ビット ステレオ I²S、LJF、RJF 形式。メモリ内の 3 フレームを表示

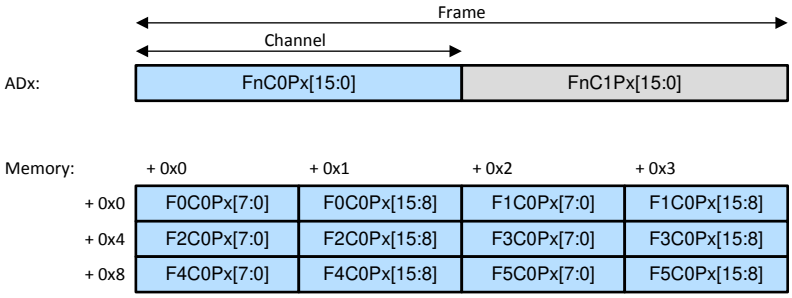


図 24-8. 1 つの ADx ピンでの 24 ビット ステレオ I²S、LJF、RJF 形式。メモリ内の 2 フレームを表示

Copyright © 2026 Texas Instruments Incorporated

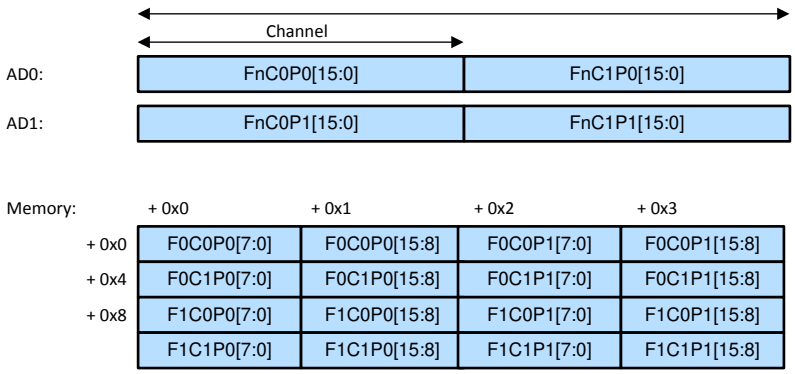


図 24-9. AD0 ピンおよび AD1 ピンでの 16 ビット I²S 形式。メモリ内の 2 フレームを表示

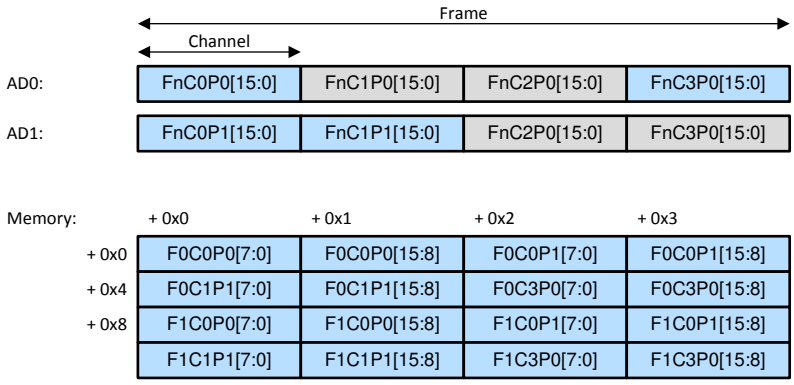


図 24-10. AD0 ピンおよび AD1 ピンでの 16 ビット DSP 形式。メモリ内の 2 フレームを表示

24.5.4 DMA 動作

DMA はメモリのブロックで動作します。各入力および出力 DMA メモリ ブロックには、それぞれ I2S:AIFDMACFG.END_FRAME_IDX + 1 フレーム分の入力および出力サンプル ワードが格納されます。

I2S:AIFDMACFG.END_FRAME_IDX にゼロでない値を書き込むと、DMA が初期化され、開始できるよう準備されます。I2S:AIFDMACFG.END_FRAME_IDX にゼロを書き込むと、DMA が無効化され、シリアル オーディオ インターフェイスがリセットされます。

入力 ADx ピンを使用する場合、ソフトウェアは入力 DMA のメモリ ブロック開始アドレスを I2S:AIFINPTRNEXT に書き込む必要があります。現在の入力 DMA メモリの位置は I2S:AIFINPTR で確認できます。

出力 ADx ピンを使用する場合、ソフトウェアは出力 DMA のメモリ ブロック開始アドレスを I2S:AIFOUTPTRNEXT に書き込む必要があります。現在の出力 DMA メモリの位置は I2S:AIFOUTPTR で確認できます。

この書き込み操作または DMA 操作により、ソフトウェアは入力サンプルおよび出力サンプル用のサンプル ブロック リング バッファを、任意の数のブロックでメモリ上に実装できます。

24.5.4.1 スタートアップ

I2S:AIFDMACFG.END_FRAME_IDX レジスタにゼロ以外の値を書き込む前に、その他すべてのオーディオ インターフェイス関連レジスタ構成 (ピン、シリアル形式、クロック、サンプル ワード サイズ、チャネル マッピング) を完了する必要があります。

入力 DMA および出力 DMA の起動を準備するには、ソフトウェアで、使用する 1 番目と 2 番目の DMA ポインタを事前にロードし、DMA をアームする必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

- 使用する 1 番目のメモリ ブロック開始アドレスを I2S:AIFINPTRNEXT および/または I2S:AIFOUTPTRNEXT に書き込みます。

Copyright © 2026 Texas Instruments Incorporated

- I2S:AIFDMACFG.END_FRAME_IDX = ブロックあたりのフレーム数 - 1 に設定します。
  - これにより、I2S:AIFINPTRNEXT が I2S:AIFINPTR に、I2S:AIFOUTPTRNEXT が I2S:AIFOUTPTR にロードされ、出力 DMA は最初の 2 つのオーディオ チャネルのサンプル ワードを直ちにプリフェッチします。
- 使用する 2 番目のメモリ ブロック開始アドレスを I2S:AIFINPTRNEXT および/または I2S:AIFOUTPTRNEXT に書き込みます。

その後、入力 DMA と出力 DMA は、セクション 24.6.2 に記載されているように、サンプルスタンプ ジェネレータによって個別に開始されます。

24.5.4.2 動作

DMA 動作を維持するため、ソフトウェアは、メモリ ブロックが完了するたびに新しいメモリブロック開始アドレスを提供する必要があります。

ブロックが終了すると、次のようになります。

- 入力メモリ インターフェイス ブロックの場合:
  - I2S:AIFINPTR = I2S:AIFINPTRNEXT
  - I2S:AIFINPTRNEXT = 0x0000 0000
  - I2S:IRQFLAGS.AIF_DMA_IN を設定して、I2S_IRQ 割り込みを生成します。
- 出力メモリ インターフェイス ブロックの場合:
- – I2S:AIFOUTPTR = I2S:AIFOUTPTRNEXT
  - I2S:AIFOUTPTRNEXT = 0x0000 0000
  - I2S:IRQFLAGS.AIF_DMA_OUT を設定して、I2S_IRQ 割り込みを生成します。

この操作を処理するには、ソフトウェアは I2S:AIFINPTRNEXT および (または) I2S:AIFOUTPTRNEXT レジスタがゼロであるかをポーリングするか、あるいは I2S:IRQFLAGS.AIF_DMA_IN および (または) I2S:IRQFLAGS.AIF_DMA_OUT 割り込み要求を使用する必要があります。

実行ブロックが完了する前に、ソフトウェアは新しいメモリブロック開始アドレスを I2S:AIFINPTRNEXT および (または) I2S:AIFOUTPTRNEXT に書き込む必要があります。I2S:AIFINPTRNEXT、(または) I2S:AIFOUTPTRNEXT がゼロのときに実行ブロックが完了すると、影響を受ける DMA チャネルは停止し、I2S:IRQFLAGS.PTR_ERR がセットされます。

24.5.4.3 シャットダウン

DMA をシャットダウンする前に、すべての出力側外部オーディオ デバイス (DAC など) をミュートするか、ADx 出力ピンから無音データを送信する必要があります。

DMA メモリ転送が進行中である可能性がある間は、DMA を停止してはいけません。

内部オーディオ クロック ソース、または予期せず停止しない外部オーディオ クロック ソースを使用している場合、DMA の停止には次の手順を使用します。

- I2S:AIFINPTRNEXT レジスタおよび/または I2S:AIFOUTPTRNEXT レジスタへの書き込みを停止します。
- オプション: I2S:IRQFLAGS.PTR_ERR が発生するのを待ちます。
- I2S:AIFINPTRNEXT と I2S:AIFOUTPTRNEXT がゼロになるまで待ちます。
- I2S:AIFDMACFG.END_FRAME_IDX = 0 を書き込みます。

予期せず停止する可能性がある外部オーディオ クロック ソースを使用している場合、DMA の停止には次の手順を使用します。

- I2S:AIFINPTRNEXT レジスタおよび/または I2S:AIFOUTPTRNEXT レジスタへの書き込みを停止します。
- 外部オーディオ クロック ソースを停止します。
- I2S:IRQFLAGS.WCLK_TIMEOUT が発生するか、I2S:AIFINPTRNEXT と I2S:AIFOUTPTRNEXT がゼロになるかのいずれか早い方を待ちます。
- I2S:AIFDMACFG.END_FRAME_IDX = 0 を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

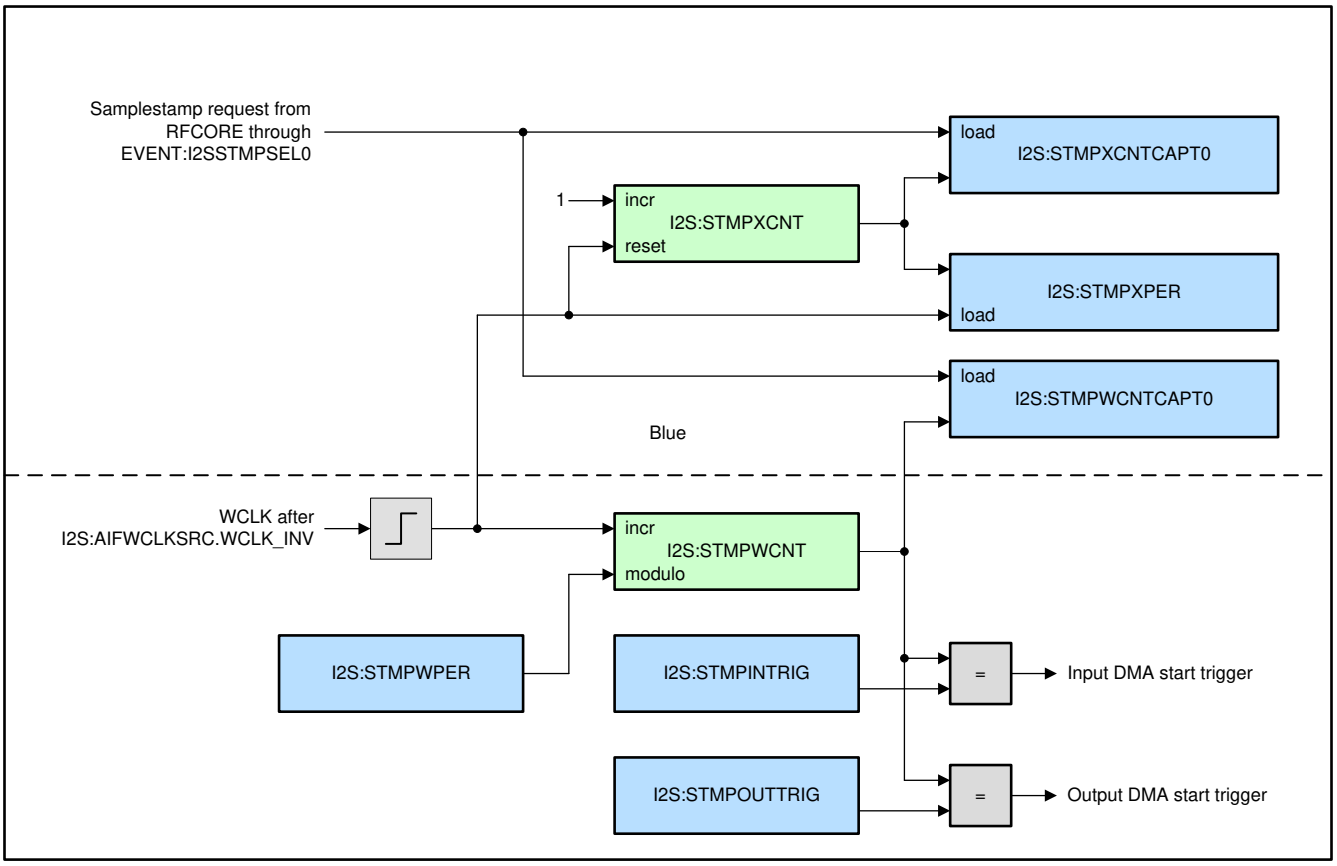
24.6 サンプルスタンプ ジェネレータ

サンプルスタンプ ジェネレータは、入力および出力 DMA 動作を開始するために使用されます。サンプルスタンプ ジェネレータは、ワイヤレス ネットワーク経由で I²S モジュールを同期するためにも使用され、正確で固定されたオーディオ レイテンシを実現できます。ワイヤレス ネットワーク経由の同期はオプション機能であり、バイパスできます。

I2S:STMPCTL.STMP_EN = 1 の間、サンプルスタンプ ジェネレータは有効化され、動作します。ソフトウェアが I2S:STMPCTL.STMP_EN = 0 を書き込むと、カウンタ レジスタおよびキャプチャ レジスタがリセットされます。

図 24-11 に、サンプルスタンプ ジェネレータの簡略ブロック図を示します。

- 図の下部は、入力および出力 DMA の起動に関連しています。
- 図の上部は、I²2S モジュール同期用の RFCORE イベント キャプチャに関連しています。



Copyright © 2017, Texas Instruments Incorporated

図 24-11. サンプルスタンプ ジェネレータ

24.6.1 サンプルスタンプ カウンタ

サンプルスタンプ ジェネレータは、各フレーム内のフレーム (WCLK 周期) および 48MHz クロック サイクル (水晶発振器の周期) をカウントします:

- I2S:STMPWCNT は各フレームの最初の WCLK エッジ (モジュールの周期値 I2S:STMPWPER) でインクリメントします。
- I2S:STMPXCNT は各フレームの最初の WCLK エッジで 0 にリセットされ、48MHz クロック サイクルごとに 1 つインクリメントされます。I2S:STMPWCNT を読み取ると、I2S:STMPXCNT の読み出し値がラッチされます。

ソフトウェアは、I2S:STMPWSET に絶対値を書き込むか、I2S:STMPWADD に相対値を書き込むことで、I2S:STMPWCNT の値を変更できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

24.6.2 スタートアップ トリガ

I2S:STMPINTRIG および I2S:STMPOUTTRIG レジスタには、それぞれ入力および出力 DMA を開始するために使用される I2S:STMPWCNT 比較値が含まれています。

- I2S:STMPWCNT が I2S:STMPINTRIG と等しい場合、入力 DMA は次のフレームでサンプル ワードのメモリへの格納を開始します: (I2S:STMPINTRIG + 1) % I2S:STMPWPER
- I2S:STMPWCNT が I2S:STMPOUTTRIG と等しい場合、出力 DMA は次のフレームでメモリからサンプル ワードの出力を開始します: (I2S:STMPOUTTRIG + 1) % I2S:STMPWPER

誤ったスタートアップ トリガを回避するため、I2S:STMPINTRIG および I2S:STMPOUTTRIG は、最初に I2S:STMPWPER と同じかそれ以上である必要があります。

入力と出力の DMA の開始が準備完了したときに I2S:STMPCTL.IN_RDY および I2S:STMPCTL.OUT_RDY ステータス ビットが設定され、DMA 開始トリガが発生するとクリアされます。

24.6.3 Samplestamp キャプチャ

RFCORE からのキャプチャ要求信号をルーティングして、サンプル スタンプ キャプチャのトリガとして使用できます。EVENT:I2SSTMPSEL0 レジスタは、使用する RFCORE 信号を選択します。このキャプチャ要求信号が High の場合:

- I2S:STMPXCNT の現在の値が I2S:STMPXCNTCAPT0 にコピーされます。
- I2S:STMPWCNT の現在の値が I2S:STMPWCNTCAPT0 にコピーされます。

また、各フレームの最初の WCLK エッジで、I2S:STMPXCNT の現在値が I2S:STMPXPER にキャプチャされ、その後 I2S:STMPXCNT は 0 から再びカウントを開始します。

これらの値を使用して、固定小数点のサンプル スタンプ値を計算できます:

I2S:STMPWCNTCAPT0 + (I2S:STMPXCNTCAPT0/I2S:STMPXPER)

I2S:STMPXPER の値は、通常、他の値と同時にはキャプチャされないことに注意してください。したがって、I2S:STMPXPER は I2S:STMPXCNTCAPT0 より小さい値になる場合があります。

24.6.4 一定のオーディオ レイテンシの実現

ワイヤレス ネットワーク経由で双方向に同じ一定のオーディオ レイテンシを実現するには、次のアクションを実行できます (一方の CC13x2 および CC26x2 デバイス プラットフォームの I²S ピンから、もう一方の CC13x2 および CC26x2 デバイス プラットフォームの I²S ピンまで)。

- 一方のノードをオーディオ クロック マスタとして定義し、もう一方のノードをオーディオ クロック スレーブとして定義する必要があります。スレーブは、レート調整可能な外部オーディオ クロック ソースを使用する必要があります。
- 両方のノードで、I2S:STMPWPER = N × (I2S:AIFDMACFG.END_FRAME_IDX + 1) に設定します。ここで、N は整数です。
  - I2S:STMPWPER の値は、フレーム数で表したオーディオ レイテンシに等しくなります。
  - I2S:STMPWPER の値は、サンプル数で表したメモリ バッファ サイズにも等しくなります。
- マスタが RF パケットの同期ワードを送信するときにサンプルスタンプをキャプチャし、その固定小数点サンプルスタンプ値を送信パケットに含めます。
- スレーブが RF パケットの同期ワードを受信するときにサンプルスタンプをキャプチャし、RF パケット内のマスタのサンプルスタンプ値を格納します。マスタとスレーブのサンプルスタンプ値の差を計算し、それを次の用途に使用します。
  - 初期状態でスレーブの I2S:STMPWCNT カウンタにオフセットを適用し、マスタのサンプルスタンプ値と一致させます。
  - 動作中は、スレーブとマスタのサンプルスタンプ値の差が 0 に近づくように、外部オーディオ クロック ソースのレートを調整します。
- 両方のノードで DMA ポインタと DMA 開始トリガを設定し、STMPWCNT の値が ADx ピン上の現在のフレームの入力および出力バッファ位置を表すようにします。

Copyright © 2026 Texas Instruments Incorporated

24.7 エラー検出

I2S モジュールは、以下に関連するエラーを検出できます。

- DMA 動作
- オーディオクロック信号の信号品質

以下のエラーが検出されました。

- WCLK 周波数誤差 (STMPXPERMIN:VALUE)
- WCLK 信号のノイズ (IRQFLAGS:WCLK_ERR)
- オーディオ クロック喪失 (IRQFLAGS:WCLK_TIMEOUT)
- DMA ポインタが時間内にロードされていない (IRQFLAGS:PTR_ERR)
- DMA 転送が時間内に完了していない (IRQFLAGS:BUS_ERR)

24.8 使用法

24.8.1 スタートアップ シーケンス

I2S モジュール動作を開始するには、示された順序で以下の手順を実行します。

1. 依存関係を設定します (セクション 24.4.1 を参照)。
2. ピンを構成します (Chapter 13 を参照)。
3. シリアル形式を校正 (セクション 24.4.3 を参照)。
4. クロックを構成します (セクション 24.4.8 を参照)。
5. サンプル ワード長を構成します (セクション 24.5.1 を参照)。
6. チャネル マッピングを構成します (セクション 24.5.2 を参照)。
7. DMA 起動シーケンスを実行します (セクション 24.5.4.1 を参照)。
8. サンプルスタンプ ジェネレータを設定します。
   - I2S:STMPWPER レジスタを設定します。
   - 誤った DMA 開始トリガを回避するため、I2S:STMPINTRIG および I2S:STMPOUTTRIG > I2S:STMPWPER に設定します。
   - I2S:STMPCTL.EN = 1 を設定します。
   - 必要に応じて、一定のオーディオ レイテンシを実現するためのガイドラインに従います (セクション 24.6.4 を参照)。
   - それ以外の場合は、I2S:STMPINTRIG および I2S:STMPOUTTRIG を現在の (I2S:STMPWCNT + 2) % I2S:STMPWPER に一致するように設定するだけです。

注

DMA が最初のサンプル ブロックを完了すると、DMA 割り込みが開始されます。

24.8.2 シャットダウン シーケンス

I2S モジュールの動作を終了するには、示された順序で次の手順を実行します。

1. DMA シャットダウン シーケンス (セクション 24.5.4.3 を参照)。
2. I2S:STMPCTL.EN = 0 に設定します。
3. 内部または外部オーディオ クロック ソースを無効化します。
4. 依存関係を無効化します (セクション 24.4.1 を参照)。

24.9 I2S レジスタ

Copyright © 2026 Texas Instruments Incorporated

24.9.1 I2S のレジスタ

I2S レジスタのメモリマップされたレジスタを、表 24-2 に示します。表 24-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 24-2. I2S のレジスタ

オフセット	略称	レジスタ名	セクション
0h	AIFWCLKSRC	WCLK ソース選択	AIFWCLKSRC レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	AIFDMACFG	DMA バッファ サイズの構成	AIFDMACFG レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	AIFDIRCFG	ピン方向	AIFDIRCFG レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	AIFFMTCFG	シリアル インターフェイス フォーマット構成	AIFFMTCFG レジスタ (オフセット = Ch) [リセット = 00000170h]
10h	AIFWMASK0	ピン 0 用ワード選択ビット マスク	AIFWMASK0 レジスタ (オフセット = 10h) [リセット = 00000003h]
14h	AIFWMASK1	ピン 1 用ワード選択ビット マスク	AIFWMASK1 レジスタ (オフセット = 14h) [リセット = 00000003h]
1Ch	AIFPWMVALUE	オーディオ インターフェイス PWM デバッグ値	AIFPWMVALUE レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	AIFINPTRNEXT	DMA 入力バッファの次のポインタ	AIFINPTRNEXT レジスタ (オフセット = 20h) [リセット = 00000000h]
24h	AIFINPTR	DMA 入力バッファの現在のポインタ	AIFINPTR レジスタ (オフセット = 24h) [リセット = 00000000h]
28h	AIFOUTPTRNEXT	DMA 出力バッファの次のポインタ	AIFOUTPTRNEXT レジスタ (オフセット = 28h) [リセット = 00000000h]
2Ch	AIFOUTPTR	DMA 出力バッファの現在のポインタ	AIFOUTPTR レジスタ (オフセット = 2Ch) [リセット = 00000000h]
34h	STMPCTL	サンプルスタンプ ジェネレータ制御レジスタ	STMPCTL レジスタ (オフセット = 34h) [リセット = 00000000h]
38h	STMPXCNTCAPT0	キャプチャされた XOSC カウンタ値、キャプチャ チャネル 0	STMPXCNTCAPT0 レジスタ (オフセット = 38h) [リセット = 00000000h]
3Ch	STMPXPER	XOSC 周期値	STMPXPER レジスタ (オフセット = 3Ch) [リセット = 00000000h]
40h	STMPWCNTCAPT0	キャプチャされた WCLK カウンタ値、キャプチャ チャネル 0	STMPWCNTCAPT0 レジスタ (オフセット = 40h) [リセット = 00000000h]
44h	STMPWPER	WCLK カウンタ周期値	STMPWPER レジスタ (オフセット = 44h) [リセット = 00000000h]
48h	STMPINTRIG	入力ピン用 WCLK カウンタ トリガ値	STMPINTRIG レジスタ (オフセット = 48h) [リセット = 00000000h]
4Ch	STMPOUTTRIG	出力ピン用 WCLK カウンタ トリガ値	STMPOUTTRIG レジスタ (オフセット = 4Ch) [リセット = 00000000h]
50h	STMPWSET	WCLK カウンタ セット操作	STMPWSET レジスタ (オフセット = 50h) [リセット = 00000000h]
54h	STMPWADD	WCLK カウンタ加算操作	STMPWADD レジスタ (オフセット = 54h) [リセット = 00000000h]
58h	STMPXPERMIN	XOSC 最小周期値	STMPXPERMIN レジスタ (オフセット = 58h) [リセット = 0000FFFFh]
5Ch	STMPWCNT	WCNT の現在値	STMPWCNT レジスタ (オフセット = 5Ch) [リセット = 00000000h]
60h	STMPXCNT	XCNT の現在値	STMPXCNT レジスタ (オフセット = 60h) [リセット = 00000000h]

Copyright © 2026 Texas Instruments Incorporated

表 24-2. I2S のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
64h	STMPXCNTCAPT1	内部	STMPXCNTCAPT1 レジスタ (オフセット = 64h) [リセット = 00000000h]
68h	STMPWCNTCAPT1	内部	STMPWCNTCAPT1 レジスタ (オフセット = 68h) [リセット = 00000000h]
70h	IRQMASK	割り込みマスク レジスタ	IRQMASK レジスタ (オフセット = 70h) [リセット = 00000000h]
74h	IRQFLAGS	未加工の割り込みステータス レジスタ	IRQFLAGS レジスタ (オフセット = 74h) [リセット = 00000000h]
78h	IRQSET	割り込みセット レジスタ	IRQSET レジスタ (オフセット = 78h) [リセット = 00000000h]
7Ch	IRQCLR	割り込みクリア レジスタ	IRQCLR レジスタ (オフセット = 7Ch) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 24-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 24-3. I2S のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

24.9.1.1 AIFWCLKSRC レジスタ (オフセット = 0h) [リセット = 00000000h]

AIFWCLKSRC は 図 24-12 に示されており、表 24-4 で説明されています。

概略表に戻ります。

WCLK ソース選択

図 24-12. AIFWCLKSRC レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					WCLK_INV	WCLK_SRC	
R-0h					R/W-0h	R/W-0h	

表 24-4. AIFWCLKSRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	WCLK_INV	R/W	0h	設定すると、WCLK ソース (パッドまたは内部) を反転させます。 0:非反転 1:反転
1-0	WCLK_SRC	R/W	0h	AIF 用の WCLK ソースを選択します (BCLK ソースと同じにする必要があります)。BCLK ソースは PRCM:I2SBCLKSEL.SRC で定義されます。 0h = なし ('0') 1h = 外部 WCLK ジェネレータ (パッド入力) 2h = 内部 WCLK ジェネレータ (PRCM モジュールから) 3h = サポートなし。'NONE' (00) と同じ WCLK を出力します

Copyright © 2026 Texas Instruments Incorporated

24.9.1.2 AIFDMACFG レジスタ (オフセット = 4h) [リセット = 00000000h]

AIFDMACFG は 図 24-13 に示されており、表 24-5 で説明されています。

概略表に戻ります。

DMA バッファ サイズの構成

図 24-13. AIFDMACFG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								END_FRAME_IDX							
R-0h								R/W-0h							

表 24-5. AIFDMACFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	END_FRAME_IDX	R/W	0h	DMA バッファの長さを定義します。このレジスタ フィールドにゼロ以外の値を書き込むと、AIF が有効化され初期化されます。ただし、その前に他のすべての構成を完了し、AIFINPTRNEXT / AIFOUTPTRNEXT に値をロードしておく必要があります。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.3 AIFDIRCFG レジスタ (オフセット = 8h) [リセット = 00000000h]

AIFDIRCFG は 図 24-14 に示されており、表 24-6 で説明されています。

概略表に戻ります。

ピン方向

図 24-14. AIFDIRCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		AD1		予約済み		AD0	
R-0h		R/W-0h		R-0h		R/W-0h	

表 24-6. AIFDIRCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-4	AD1	R/W	0h	AD1 オーディオ データ ピンの使用方法を設定します。 0x3: 予約済み 0h = 未使用 (無効) 1h = 入力モード 2h = 出力モード
3-2	予約済み	R	0h	予約済み
1-0	AD0	R/W	0h	AD0 オーディオ データ ピンの使用方法を設定します。 0x3: 予約済み 0h = 未使用 (無効) 1h = 入力モード 2h = 出力モード

Copyright © 2026 Texas Instruments Incorporated

24.9.1.4 AIFFMTCFG レジスタ (オフセット = Ch) [リセット = 00000170h]

AIFFMTCFG は 図 24-15 に示されており、表 24-7 で説明されています。

概略表に戻ります。

シリアル インターフェイス フォーマット構成

図 24-15. AIFFMTCFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
DATA_DELAY							
R/W-1h							
7	6	5	4	3	2	1	0
MEM_LEN_24	SMPL_EDGE	DUAL_PHASE	WORD_LEN				
R/W-0h	R/W-1h	R/W-1h	R/W-10h				

表 24-7. AIFFMTCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	DATA_DELAY	R/W	1h	WCLK エッジから、位相の最初のワードの MSB までの BCLK 周期数。 0x00 : LJF および DSP フォーマット 0x01 : I2S および DSP フォーマット 0x02 : RJF フォーマット ... 0xFF : RJF フォーマット 注記 : 値が 0 の場合、前のワードの LSB と次のワードの開始の間のアイドル期間に、次のワードの MSB が出力されます。それ以外の場合は、データ遅延時間が経過するまで論理 0 が出力されます。
7	MEM_LEN_24	R/W	0h	メモリに格納される、またはメモリからロードされる各ワードのサイズ。 0h = 16BIT : 16 ビット (サンプルごとに 1 つの 16 ビット アクセス) 1h = 24 ビット : 24 ビット (サンプルごとに 1 つの 8 ビットおよび 1 つの 16 ビットのロック付きアクセス)
6	SMPL_EDGE	R/W	1h	シリアル オーディオ インターフェイスでは、データ (および wclk) は BCLK の反対側のエッジでサンプリングされ、クロック出力されます。 0h = データは負のエッジでサンプリングされ、正のエッジでクロック出力されます。 1h = データは正のエッジでサンプリングされ、負のエッジでクロック出力されます。
5	DUAL_PHASE	R/W	1h	2 相または単相フォーマットを選択します。 0 : 単相 : DSP フォーマット形式 1 : 2 相 : I2S、LJF、RJF の各フォーマット形式
4-0	WORD_LEN	R/W	10h	ワードあたりのビット数 (8～24)。 単相フォーマットでは、この値がそのままワードあたりのビット数になります。 2 相フォーマットでは、この値はワードあたりの最大ビット数になります。 8 未満または 24 を超える値は未定義動作となります。メモリに書き込まれるデータは、MEM_LEN_24 で定義された 16 ビットまたは 24 ビットに常に整列されます。このアライメントと異なるビット幅が設定された場合、データは切り捨てられるか、ゼロ パディングされます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.5 AIFWMASK0 レジスタ (オフセット = 10h) [リセット = 00000003h]

図 24-16 に、AIFWMASK0 を示し、表 24-8 に、その説明を示します。

概略表に戻ります。

ピン 0 用ワード選択ビット マスク

図 24-16. AIFWMASK0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								MASK							
R-0h																								R/W-3h							

表 24-8. AIFWMASK0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	MASK	R/W	3h	AD0 のフレーム内の有効なチャネルを示すビットマスク。 単相モードの場合、各ビットは 1 つのチャネルを表し、フレーム内の最初のワードは LSB で始まります。1 フレームには、最大 8 個のチャネルを含めることができます。マスクに含まれていないチャネルは、サンプリングされず、メモリにも格納されず、「0」としてクロック出力されます。 2 相モードの場合、2 つの LSB のみが考慮されます。ステレオ構成の場合は、両方のを設定します。モノラル構成の場合は、ビット 0 のみを設定します。モノラル モードでは、チャネル 0 のみがサンプリングされてメモリに格納され、クロック出力されるとチャネル 0 が繰り返されます。 モノラル モードでは、チャネル 0 のみがサンプリングされてメモリに格納され、クロック出力時にチャネル 0 が第 2 相で繰り返されます。 すべてのビットが 0 の場合、入力ワードはメモリに格納されず、出力データラインは定数 0 になります。これは、アクティブな出力ピンを使わずに、PWM デバッグ出力を行いたい場合に利用できます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.6 AIFWMASK1 レジスタ (オフセット = 14h) [リセット = 00000003h]

図 24-17 に、AIFWMASK1 を示し、表 24-9 に、その説明を示します。

概略表に戻ります。

ピン 1 用ワード選択ビット マスク

図 24-17. AIFWMASK1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								MASK							
R-0h																								R/W-3h							

表 24-9. AIFWMASK1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	MASK	R/W	3h	AD1 のフレーム内の有効なチャネルを示すビットマスク。 単相モードの場合、各ビットは 1 つのチャネルを表し、フレーム内の最初のワードは LSB で始まります。1 フレームには、最大 8 個のチャネルを含めることができます。マスクに含まれていないチャネルは、サンプリングされず、メモリにも格納されず、「0」としてクロック出力されます。 2 相モードの場合、2 つの LSB のみが考慮されます。ステレオ構成の場合は、両方のを設定します。モノラル構成の場合は、ビット 0 のみを設定します。モノラル モードでは、チャネル 0 のみがサンプリングされてメモリに格納され、クロック出力されるとチャネル 0 が繰り返されます。 モノラル モードでは、チャネル 0 のみがサンプリングされてメモリに格納され、クロック出力時にチャネル 0 が第 2 相で繰り返されます。 すべてのビットが 0 の場合、入力ワードはメモリに格納されず、出力データラインは定数 0 になります。これは、アクティブな出力ピンを使わずに、PWM デバッグ出力を行いたい場合に利用できます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.7 AIFPWMVALUE レジスタ (オフセット = 1Ch) [リセット = 00000000h]

AIFPWMVALUE は 図 24-18 に示されており、表 24-10 で説明されています。

概略表に戻ります。

オーディオ インターフェイス PWM デバッグ値

図 24-18. AIFPWMVALUE レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PULSE_WIDTH															
R-0h																R/W-0h															

表 24-10. AIFPWMVALUE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	PULSE_WIDTH	R/W	0h	このレジスタに書き込まれた値によって、アクティブ High の PWM パルス (pwm_debug) の幅が決まり、DMA バッファの最初の出力ワードの MSB と同時に始まります。 0x0000 : 常時 Low 0x0001 : パルスの幅 (BCLK サイクル数、ここでは 1)。 ...0xFFFE : パルスの幅 (BCLK サイクル数、ここでは 65534)。 0xFFFF : 常時 High

Copyright © 2026 Texas Instruments Incorporated

24.9.1.8 AIFINPTRNEXT レジスタ (オフセット = 20h) [リセット = 00000000h]

AIFINPTRNEXT は 図 24-19 に示されており、表 24-11 で説明されています。

概略表に戻ります。

DMA 入力バッファの次のポインタ

図 24-19. AIFINPTRNEXT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTR																															
R/W-0h																															

表 24-11. AIFINPTRNEXT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PTR	R/W	0h	次の DMA 入力バッファの最初のバイトを指すポインタ。 読み取り値は、現在使用されている DMA 入力バッファが完了するまでは、最後に書き込まれた値と同じになり、最後に書き込まれた値が次のバッファで開始するために DMA コントローラに転送されると、null になります。このイベントは IRQFLAGS.AIF_DMA_IN によって通知されます。 起動時には、AIFDMACFG で DMA バッファ サイズを設定する前と後に、それぞれ 1 回ずつ値を書き込む必要があります。 次のポインタは、DMA 機能が直前に書き込まれたポインタを使用してる間に、このレジスタに書き込む必要があります。適切なタイミングで書き込まれなかった場合、IRQFLAGS.PTR_ERR が発生し、すべての入力ピンが無効化されます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.9 AIFINPTR レジスタ (オフセット = 24h) [リセット = 00000000h]

AIFINPTR は 図 24-20 に示されており、表 24-12 で説明されています。

概略表に戻ります。

DMA 入力バッファの現在のポインタ

図 24-20. AIFINPTR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTR																															
R-0h																															

表 24-12. AIFINPTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PTR	R	0h	DMA コントローラによって現在使用されている DMA 入力バッファ ポインタの値。AHB アクセスごとに 1 (バイト) または 2 (ワード) ずつインクリメントします。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.10 AIFOUTPTRNEXT レジスタ (オフセット = 28h) [リセット = 00000000h]

AIFOUTPTRNEXT は 図 24-21 に示されており、表 24-13 で説明されています。

概略表に戻ります。

DMA 出力バッファの次のポインタ

図 24-21. AIFOUTPTRNEXT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTR																															
R/W-0h																															

表 24-13. AIFOUTPTRNEXT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PTR	R/W	0h	次の DMA 出力バッファの最初のバイトを指すポインタ。 読み取り値は、現在使用されている DMA 出力バッファが完了するまで最後に書き込まれた値と同じになり、最後に書き込まれた値が次のバッファで開始するために DMA コントローラに転送されると、null になります。このイベントは IRQFLAGS.AIF_DMA_OUT によって通知されます。 起動時、AIFDMACFG で DMA バッファ サイズを設定する前と後に、それぞれ 1 回ずつ値を書き込む必要があります。この時点で、最初の 2 つのサンプルはメモリからフェッチされます。 DMA 機能が直前に書き込まれたポインタを使用している間に、次のポインタをこのレジスタに書き込む必要があります。適切なタイミングで書き込まれなかった場合、IRQFLAGS.PTR_ERR が発生し、すべての出力ピンが無効化されます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.11 AIFOUTPTR レジスタ (オフセット = 2Ch) [リセット = 00000000h]

AIFOUTPTR は 図 24-22 に示されており、表 24-14 で説明されています。

概略表に戻ります。

DMA 出力バッファの現在のポインタ

図 24-22. AIFOUTPTR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTR																															
R-0h																															

表 24-14. AIFOUTPTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PTR	R	0h	DMA コントローラによって現在使用されている DMA 出力バッファ ポインタの値が、AHB アクセスごとに 1 (バイト) または 2 (ワード) ずつインクリメントします。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.12 STMPCTL レジスタ (オフセット = 34h) [リセット = 00000000h]

STMPCTL は 図 24-23 に示されており、表 24-15 で説明されています。

概略表に戻ります。

サンプルスタンプ ジェネレータ制御レジスタ

図 24-23. STMPCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					OUT_RDY	IN_RDY	STMP_EN
R-0h					R-0h	R-0h	R/W-0h

表 24-15. STMPCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	OUT_RDY	R	0h	サンプルスタンプ ジェネレータによって出力ピンが開始可能になるまで Low のままです。開始されると (つまり STMPOUTTRIG が WCLK カウンタと一致すると)、このビットは Low に戻ります。
1	IN_RDY	R	0h	サンプルスタンプ ジェネレータによって入力ピンが開始可能になるまで Low のままです。開始されると (つまり STMPINTRIG が WCLK カウンタと一致すると)、このビットは Low に戻ります。
0	STMP_EN	R/W	0h	サンプルスタンプ ジェネレータを有効化します。サンプルスタンプ ジェネレータは、適切に設定された後にのみ有効化する必要があります。クリアされると、すべてのサンプルスタンプ ジェネレータのカウンタおよびキャプチャ値がクリアされます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.13 STMPXCNTCAPT0 レジスタ (オフセット = 38h) [リセット = 00000000h]

図 24-24 に、STMPXCNTCAPT0 を示し、表 24-16 に、その説明を示します。

概略表に戻ります。

キャプチャされた XOSC カウンタ値、キャプチャ チャネル 0

図 24-24. STMPXCNTCAPT0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CAPT_VALUE															
R-0h																R-0h															

表 24-16. STMPXCNTCAPT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CAPT_VALUE	R	0h	イベントが最後にパルスされた時点のサンプルスタンプ XOSC カウンタ (STMPXCNT.CURR_VALUE) の値。(イベント ソースは、チャネル 0 に対して [EVENT.I2SSTMPSEL0.EV] で選択されたもの)。この値は、選択された WCLK の直前の正のエッジからの 24MHz クロック サイクル数を表します。 STMPCTL.STMP_EN = 0 のとき、この値はクリアされます。 注記:バッファリングおよび同期により、WCLK は BCLK 周期と clk 周期のわずかな値分だけ遅延します。 注記:サンプルスタンプの小数部分を計算する際、STMPXPER はこのビット フィールドよりも小さくなる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.14 STMPXPER レジスタ (オフセット = 3Ch) [リセット = 00000000h]

STMPXPER は 図 24-25 に示されており、表 24-17 で説明されています。

概略表に戻ります。

XOSC 周期値

図 24-25. STMPXPER レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R-0h															

表 24-17. STMPXPER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R	0h	直前の WCLK 周期における 24MHz クロック サイクル数 (つまり、XOSC カウンタが正の WCLK エッジで 0 にリセットされずにカウントを続けていた場合に得られる次の値)。 この値は、STMPCTL.STMP_EN = 0 のときにクリアされます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.15 STMPWCNTCAPT0 レジスタ (オフセット = 40h) [リセット = 00000000h]

図 24-26 に、STMPWCNTCAPT0 を示し、表 24-18 に、その説明を示します。

概略表に戻ります。

キャプチャされた WCLK カウンタ値、キャプチャ チャネル 0

図 24-26. STMPWCNTCAPT0 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CAPT_VALUE															
R-0h																R-0h															

表 24-18. STMPWCNTCAPT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CAPT_VALUE	R	0h	イベントが最後にパルスされた時点のサンプルスタンプ WCLK カウンタ (STMPWCNT.CURR_VALUE) の値。(イベント ソースは、チャネル 0 に対して [EVENT:I2SSTMPSEL0.EV] で選択されたもの)。この値は、サンプルスタンプ ジェネレータが有効になってからの正の WCLK エッジの数を表します (STMPWADD/STMPWSET による変更は考慮されません)。STMPCTL.STMP_EN = 0 のとき、この値はクリアされます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.16 STMPWPER レジスタ (オフセット = 44h) [リセット = 00000000h]

STMPWPER は 図 24-27 に示されており、表 24-19 で説明されています。

概略表に戻ります。

WCLK カウンタ周期値

図 24-27. STMPWPER レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 24-19. STMPWPER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	STMPWCNT がリセットされるタイミングを定義するために使用され、サンプル バッファのサイズに対して WCLK エッジ数を求められるようにします。したがって、この値は WCLK カウンタのモジュロ値となります。この値は、システムで使用されるサンプル バッファのサイズ (つまり、最後のサンプルのインデックスに 1 を加えた値) と一致する必要があります。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.17 STMPINTRIG レジスタ (オフセット = 48h) [リセット = 00000000h]

STMPINTRIG は 図 24-28 に示されており、表 24-20 で説明されています。

概略表に戻ります。

入力ピン用 WCLK カウンタ トリガ値

図 24-28. STMPINTRIG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																IN_START_WCNT															
R-0h																R/W-0h															

表 24-20. STMPINTRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	IN_START_WCNT	R/W	0h	受信オーディオ ストリームの開始に使用される比較値。 このビット フィールドは、最初の入力ワードがサンプリングされてメモリに格納される WCLK 周期 (つまり、最初の DMA 入力バッファの開始時のサンプル) 中の WCLK カウンタ値に一致している必要があります。 このレジスタの値は、以下の条件が満たされたとき有効になります。- AIFDIRCFG で 1 つ以上のピンが入力として構成されている。 - AIFDMACFG で正しいバッファ サイズが設定され、かつ少なくとも 32 回の BCLK サイクルが経過している。 注記：誤トリガを防止するため、このビット フィールドは STMPWPER.VALUE より大きい値に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.18 STMPOUTTRIG レジスタ (オフセット = 4Ch) [リセット = 00000000h]

STMPOUTTRIG は 図 24-29 に示されており、表 24-21 で説明されています。

概略表に戻ります。

出力ピン用 WCLK カウンタ トリガ値

図 24-29. STMPOUTTRIG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																OUT_START_WCNT															
R-0h																R/W-0h															

表 24-21. STMPOUTTRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	OUT_START_WCNT	R/W	0h	発信オーディオ ストリームの開始に使用される比較値。 このビット フィールドは、メモリから読み取られた最初の出力ワードがクロック出力される WCLK 周期 (つまり、最初の DMA 出力バッファの開始時のサンプル) 中の WCLK カウンタ値に一致している必要があります。 このレジスタの値は、以下の条件が満たされたとき有効になります。 - AIFDIRCFG で 1 つ以上のピンが出力として構成されている。 - AIFDMACFG で正しいバッファ サイズが設定され、かつ 32 回の BCLK サイクルが経過している。 - 2 つのサンプルがメモリからプリロードされている (必要に応じて AIFOUTPTR レジスタを確認してください)。 注記:メモリの読み取りアクセスは、必要な場合にのみ実行されます。つまり、チャネル 0/1 が AIFWMASK0/AIFWMASK1 で選択されている必要があります。 注記:誤トリガを防止するため、このビット フィールドは STMPWPER.VALUE より大きい値に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.19 STMPWSET レジスタ (オフセット = 50h) [リセット = 00000000h]

STMPWSET は 図 24-30 に示されており、表 24-22 で説明されています。

概略表に戻ります。

WCLK カウンタ セット操作

図 24-30. STMPWSET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-0h															

表 24-22. STMPWSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	0h	WCLK カウンタの変更:実行中の WCLK カウンタが書き込まれた値と一致するように設定します。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.20 STMPWADD レジスタ (オフセット = 54h) [リセット = 00000000h]

STMPWADD は 図 24-31 に示されており、表 24-23 で説明されています。

概略表に戻ります。

WCLK カウンタ加算操作

図 24-31. STMPWADD レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																VALUE_INC															
R-0h																R/W-0h															

表 24-23. STMPWADD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	VALUE_INC	R/W	0h	WCLK カウンタの変更:実行中の WCLK カウンタに書き込まれた値を追加します。WCLK の正のエッジが操作と同時に発生した場合、これが考慮されます。 負の値を追加するには、「STMPWPER.VALUE - value」を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.21 STMPXPERMIN レジスタ (オフセット = 58h) [リセット = 0000FFFFh]

STMPXPERMIN は 図 24-32 に示されており、表 24-24 で説明されています。

概略表に戻ります。

XOSC 最小周期値
STMPXPER の最小値

図 24-32. STMPXPERMIN レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																値															
R-0h																R/W-FFFFh															

表 24-24. STMPXPERMIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	値	R/W	FFFFh	STMPXPER が更新されるたびに、値はこのレジスタに格納されている現在の値より小さい場合に、このレジスタにもロードされます。 書き込まれると、このレジスタは、書き込まれた値に関係なく、0xFFFF (65535) にリセットされます。 この最小値は、余分な WCLK パルスを検出するために使用できます (このレジスタの値は STMPXPER.VALUE よりも大幅に小さくなります)。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.22 STMPWCNT レジスタ (オフセット = 5Ch) [リセット = 00000000h]

STMPWCNT は 図 24-33 に示されており、表 24-25 で説明されています。

概略表に戻ります。

WCNT の現在値

図 24-33. STMPWCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CURR_VALUE															
R-0h																R-0h															

表 24-25. STMPWCNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CURR_VALUE	R	0h	WCLK カウンタの現在値

Copyright © 2026 Texas Instruments Incorporated

24.9.1.23 STMPXCNT レジスタ (オフセット = 60h) [リセット = 00000000h]

STMPXCNT は 図 24-34 に示されており、表 24-26 で説明されています。

概略表に戻ります。

XCNT の現在値

図 24-34. STMPXCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CURR_VALUE															
R-0h																R-0h															

表 24-26. STMPXCNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CURR_VALUE	R	0h	STMPWCNT の読み取り時にラッチされる XOSC カウンタの現在値。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.24 STMPXCNTCAPT1 レジスタ (オフセット = 64h) [リセット = 00000000h]

図 24-35 に、STMPXCNTCAPT1 を示し、表 24-27 に、その説明を示します。

概略表に戻ります。

内部:TI が提供する API 経由でのみ使用できます。

図 24-35. STMPXCNTCAPT1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CAPT_VALUE															
R-0h																R-0h															

表 24-27. STMPXCNTCAPT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CAPT_VALUE	R	0h	内部:TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.25 STMPWCNTCAPT1 レジスタ (オフセット = 68h) [リセット = 00000000h]

図 24-36 に、STMPWCNTCAPT1 を示し、表 24-28 に、その説明を示します。

概略表に戻ります。

内部:TI が提供する API 経由でのみ使用できます。

図 24-36. STMPWCNTCAPT1 レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CAPT_VALUE															
R-0h																R-0h															

表 24-28. STMPWCNTCAPT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	CAPT_VALUE	R	0h	内部:TI が提供する API 経由でのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

24.9.1.26 IRQMASK レジスタ (オフセット = 70h) [リセット = 00000000h]

IRQMASK は 図 24-37 に示されており、表 24-29 で説明されています。

概略表に戻ります。

割り込みマスク レジスタ
I2S_IRQ イベントに寄与する IRQFLAGS 内のフラグのマスク状態を選択します。

図 24-37. IRQMASK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		AIF_DMA_IN	AIF_DMA_OUT	WCLK_TIMEOUT	BUS_ERR	WCLK_ERR	PTR_ERR
R-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 24-29. IRQMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	AIF_DMA_IN	R/W	0h	IRQFLAGS.AIF_DMA_IN 割り込みマスク 0:ディスエーブル 1:イネーブル
4	AIF_DMA_OUT	R/W	0h	IRQFLAGS.AIF_DMA_OUT 割り込みマスク 0:ディスエーブル 1:イネーブル
3	WCLK_TIMEOUT	R/W	0h	IRQFLAGS.WCLK_TIMEOUT 割り込みマスク 0:ディスエーブル 1:イネーブル
2	BUS_ERR	R/W	0h	IRQFLAGS.BUS_ERR 割り込みマスク 0:ディスエーブル 1:イネーブル
1	WCLK_ERR	R/W	0h	IRQFLAGS.WCLK_ERR 割り込みマスク 0:ディスエーブル 1:イネーブル
0	PTR_ERR	R/W	0h	IRQFLAGS.PTR_ERR 割り込みマスク。 0:ディスエーブル 1:イネーブル

Copyright © 2026 Texas Instruments Incorporated

24.9.1.27 IRQFLAGS レジスタ (オフセット = 74h) [リセット = 00000000h]

IRQFLAGS は 図 24-38 に示されており、表 24-30 で説明されています。

概略表に戻ります。

未加工の割り込みステータス レジスタ

図 24-38. IRQFLAGS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		AIF_DMA_IN	AIF_DMA_OUT	WCLK_TIMEOUT	BUS_ERR	WCLK_ERR	PTR_ERR
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 24-30. IRQFLAGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	AIF_DMA_IN	R	0h	このビット フィールド イベントの条件が発生した場合に設定されます (入力ポインタが更新されると自動的にクリアされます — AIFINPTRNEXT)。詳細については、AIFINPTRNEXT レジスタの説明を参照してください。
4	AIF_DMA_OUT	R	0h	このビット フィールド イベントの条件が発生した場合に設定されます (出力ポインタが更新されると自動的にクリアされます — AIFOUTPTRNEXT)。詳細については、AIFOUTPTRNEXT レジスタの説明を参照してください
3	WCLK_TIMEOUT	R	0h	サンプルスタンプ ジェネレータが 65535 クロック周期の間、正の WCLK エッジを検出しなかった場合に設定されます。これは、内部または外部の BCLK および WCLK ジェネレータ ソースが無効化されたことを示します。このビットはスティッキー ビットであり、ソフトウェアでのみクリアできます (IRQCLR.WCLK_TIMEOUT に「1」を書き込むことでクリアされます)。
2	BUS_ERR	R	0h	DMA 操作が時間内に完了していない場合 (オーディオ出力バッファ アンダーフロー、またはオーディオ入力バッファ オーバーフロー) に設定されます。 ワード同期が失われたため、このエラーは完全に再起動する必要があります。このビットはスティッキー ビットであり、(IRQCLR.BUS_ERR に「1」を書き込むことで) ソフトウェアでのみクリアできます。 不正なアドレスに対して DMA が開始したトランザクションでは、割り込みはトリガされないことに注意してください。そのようなトランザクションに対する応答は未定義です。

Copyright © 2026 Texas Instruments Incorporated

表 24-30. IRQFLAGS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	WCLK_ERR	R	0h	以下の場合に設定されます。 - 位相のデータ遅延期間中に予期しない WCLK エッジが発生した場合。位相のワード期間およびアイドル期間中に発生した予期しない WCLK エッジは検出されないことに注意してください。 - 2 相モードで、2 つの WCLK エッジ間隔が 4 BCLK サイクル未満の場合。 - 単相モードで、最後のチャネルより前に WCLK パルスが発生した場合。 ワード同期が失われたため、このエラーは完全に再起動する必要があります。このビットはスティッキー ビットであり、(IRQCLR.WCLK_ERR に「1」を書き込むことで) ソフトウェアでのみクリアできます。
0	PTR_ERR	R	0h	AIFINPTRNEXT または AIFOUTPTRNEXT が次のブロック アドレスを時間内にロードされていない場合に設定されます。 ワード同期が失われたため、このエラーは完全に再起動する必要があります。このビットはスティッキー ビットであり、(IRQCLR.PTR_ERR に「1」を書き込むことで) ソフトウェアでのみクリアできます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

24.9.1.28 IRQSET レジスタ (オフセット = 78h) [リセット = 00000000h]

図 24-39 に、IRQSET を示し、表 24-31 に、その説明を示します。

概略表に戻ります。

割り込みセット レジスタ

図 24-39. IRQSET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		AIF_DMA_IN	AIF_DMA_OUT	WCLK_TIMEOUT	BUS_ERR	WCLK_ERR	PTR_ERR
R-0h		W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 24-31. IRQSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	AIF_DMA_IN	W	0h	1:IRQFLAGS.AIF_DMA_IN の割り込みを設定します (ただし、同時に自動クリア条件が指定されていた場合、その設定は無視されます)。
4	AIF_DMA_OUT	W	0h	1:IRQFLAGS.AIF_DMA_OUT の割り込みを設定します (ただし、同時に自動クリア条件が指定されていた場合、その設定は無視されます)。
3	WCLK_TIMEOUT	W	0h	1:IRQFLAGS.WCLK_TIMEOUT の割り込みを設定します
2	BUS_ERR	W	0h	1:IRQFLAGS.BUS_ERR の割り込みを設定します
1	WCLK_ERR	W	0h	1:IRQFLAGS.WCLK_ERR の割り込みを設定します
0	PTR_ERR	W	0h	1:IRQFLAGS.PTR_ERR の割り込みを設定します

Copyright © 2026 Texas Instruments Incorporated

24.9.1.29 IRQCLR レジスタ (オフセット = 7Ch) [リセット = 00000000h]

図 24-40 に、IRQCLR を示し、表 24-32 に、その説明を示します。

概略表に戻ります。

割り込みクリア レジスタ

図 24-40. IRQCLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		AIF_DMA_IN	AIF_DMA_OUT	WCLK_TIMEOUT	BUS_ERR	WCLK_ERR	PTR_ERR
R-0h		W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 24-32. IRQCLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5	AIF_DMA_IN	W	0h	1:IRQFLAGS.AIF_DMA_IN の割り込みをクリアします (ただし、同時に設定条件が指定されていた場合、そのクリアは無視されます)
4	AIF_DMA_OUT	W	0h	1:IRQFLAGS.AIF_DMA_OUT の割り込みをクリアします (ただし、同時に設定条件が指定されていた場合、そのクリアは無視されます)。
3	WCLK_TIMEOUT	W	0h	1:IRQFLAGS.WCLK_TIMEOUT の割り込みをクリアします (ただし、同時に設定条件が指定されていた場合、そのクリアは無視されます)
2	BUS_ERR	W	0h	1:IRQFLAGS.BUS_ERR の割り込みをクリアします (ただし、同時に設定条件が指定されていた場合、そのクリアは無視されます)
1	WCLK_ERR	W	0h	1:IRQFLAGS.WCLK_ERR の割り込みをクリアします (ただし、同時に設定条件が指定されていた場合、そのクリアは無視されます)
0	PTR_ERR	W	0h	1:IRQFLAGS.PTR_ERR の割り込みをクリアします (ただし、同時に設定条件が指定されていた場合、そのクリアは無視されます)

Copyright © 2026 Texas Instruments Incorporated

Chapter 25
無線

CC13x2 および CC26x2 デバイス プラットフォームの無線は、多くの異なるパケット形式に対応する多種多様な動作モードを提供します。無線ファームウェアは、CC13x2 および CC26x2 プラットフォーム無線ドメインの Arm® Cortex®-M0 プロセッサ上で実行され、広範なベースバンド自動化を提供できます。アプリケーション ソフトウェアは、共有メモリ インターフェイス (システム RAM または無線 RAM) と特定のハンドシェイク ハードウェア (無線ドアベル) を使用して、無線ファームウェアとのインターフェイスおよび相互運用を行います。

25.1 RF コア 2046
25.2 無線ドアベル 2048
25.3 RF コア HAL 2052
25.4 データ キューの使用状況 2095
25.5 IEEE 802.15.4 2099
25.6 Bluetooth® Low Energy 2126
25.7 データ処理 2149
25.8 無線動作コマンドの説明 2150
25.9 即時コマンド 2191
25.10 独自の無線 2192
25.11 無線レジスタ 2217

Copyright © 2026 Texas Instruments Incorporated

25.1 RF コア

RF コアには Arm® Cortex®-M0 プロセッサが搭載されており、アナログ RF 回路およびベースバンド回路とのインターフェイス、システム側とのデータの送受信、および所定のパケット構造への情報ビットの組み立てを行います。RF コアは、システム CPU (Arm Cortex-M4F プロセッサ) に対して、高水準のコマンド ベース アプリケーション プログラム インターフェイス (API) を提供します。RF コアは、無線プロトコル (802.15.4 RF4CE、Zigbee®、Bluetooth® Low Energy など) の時間制約の厳しい処理を自律的に実行できるため、システム CPU の負荷を軽減し、ユーザー アプリケーションにより多くのリソースを割り当てることができます。

RF コアには専用の 8kB リテンション SRAM ブロックと 4kB 非リテンション SRAM ブロックがあり、ほぼすべての処理を専用 ROM から実行します。非リテンション SRAM ブロックの内容は、無線の電源がオフになるたびに失われます。

25.1.1 ハイレベルな説明および概要

RF コアは、システム CPU からの高レベル要求を受信し、それらを満たすために必要なすべてのトランザクションを実行します。これらの要求は基本的に、無線チャネルを介した情報の送受信に向けられていますが、較正、テスト、デバッグ機能といった追加のメンテナンス タスクも含む場合があります。

一般的なフレームワークとして、システム CPU と RF コアの間のトランザクションは次のように動作します。

- RF コアは、システム RAM からのデータと構成パラメータにアクセスできます。これにより、RF コアのメモリ要件が削減され、システムの各部分間での不要なトラフィックが回避され、全体の消費エネルギーも低減されます。
- 同様に、RF コアは受信した無線パケットの内容をデコードし、ステータス情報とともにシステム RAM へ書き戻すことができます。
- プロトコルの機密性および認証サポートのため、RF コアはセキュリティ サブシステムにもアクセスすることができます。
- 一般に、RF コアはシステム CPU からの複雑なコマンド (CCA 送信、アクノリッジ自動応答付き RX など) を認識し、システム CPU の追加介入なしにそれらをサブコマンドへ分解します。

Copyright © 2026 Texas Instruments Incorporated

図 25-1 に、外部インターフェイスと RF コアの依存関係を示します。

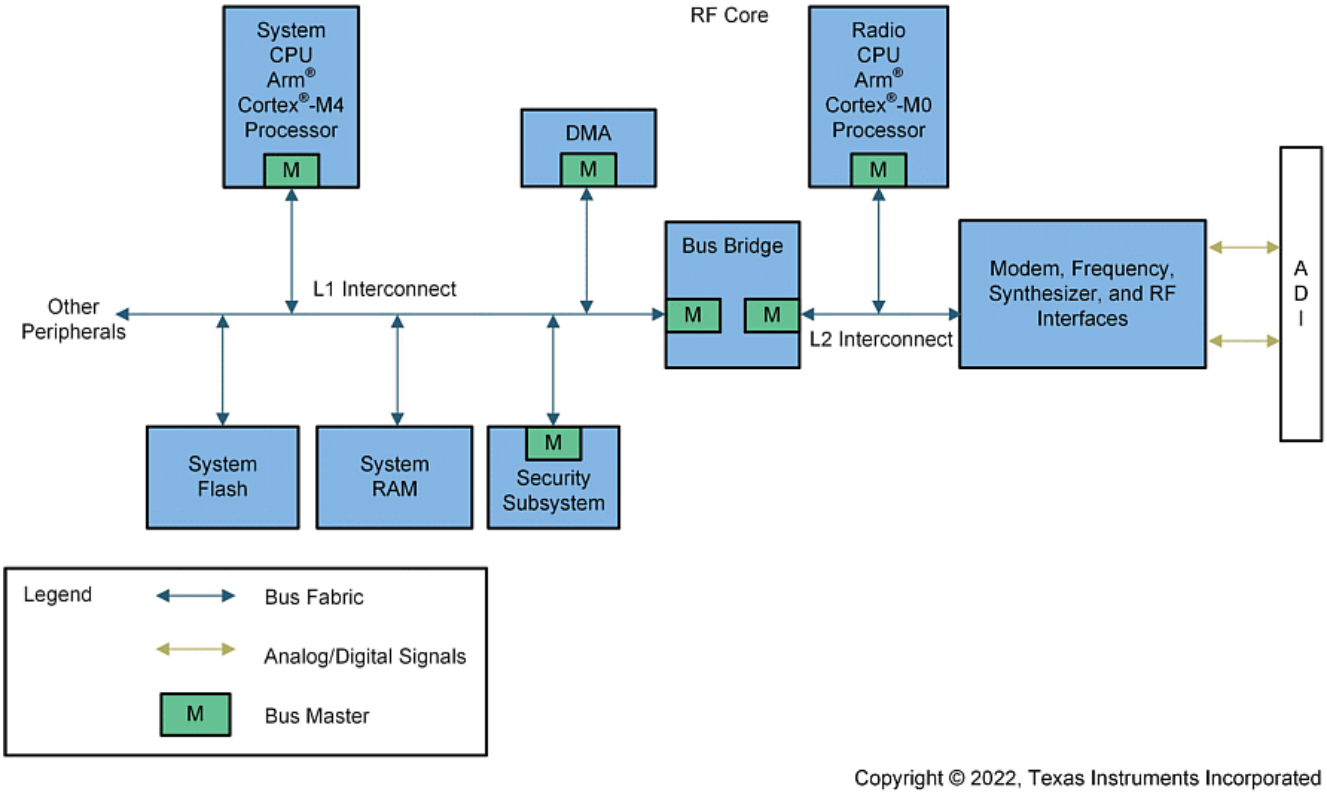


図 25-1. 外部依存性を伴う限定的な RF コアの概要

図 25-1 に示す各ブロックは、以下の機能を実行します。

システム側

- システム CPU: ユーザーのアプリケーションを実行するメイン システム プロセッサであり、(複数のサポート構成における) 高レベル プロトコル スタックと、場合によっては一部プロトコル向けの高レベル MAC 機能も併せて実行します。システム CPU は、ブート ROM およびシステム フラッシュからコードを実行します。
- システム RAM: パケット情報 (TX および RX ペイロード) と、特定のトランザクションのさまざまなパラメータまたは構成オプションが含まれます。
- セキュリティ サブシステム:プロトコルの機密性と認証を提供するために、さまざまな要素が含まれています。
- DMA: ダイレクト CPU アクセスが使用されていない場合は、無線 RAM からシステム RAM に情報を移動するタスクで、オプションで充電されます。

無線側

- 無線 CPU: メイン RF コア プロセッサ。システム CPU から高レベルのコマンドを受信し、RF コアのさまざまな部分にスケジュール設定します。
- モデム、周波数シンセサイザ、RF インターフェイス:これは無線のコアであり、ビットを変調信号に変換します。その逆も同様です。

Copyright © 2026 Texas Instruments Incorporated

25.2 無線ドアベル

無線ドアベル モジュール (RFC_DBELL) は、システム CPU と無線 CPU 間の通信の主要な手段であり、コマンドおよびパケット エンジン (CPE) とも呼ばれます。無線ドアベルには、専用レジスタのセット、デバイス プラットフォームのいずれかの RAM に含まれるパラメータ、無線 CPU とシステム CPU の両方に対する一連の割り込みが含まれています。

さらに、パラメータとペイロードはシステム RAM または無線 RAM を経由して転送されます。システム RAM にパラメータまたはペイロードがある場合、システム CPU は電源が入ったままの状態を維持する必要があります。ただし、すべてが無線 RAM 内にある場合、システム CPU は消費電流を削減するためにパワーダウン モードに移行することもできます。

動作中に、無線 CPU は RAM 内のパラメータとペイロードを更新し、割り込みを発生させます。システム CPU は割り込みをマスクすることで、無線動作全体が完了するまでアイドル モードまたはパワーダウン モードを維持することができます。

システム CPU と無線 CPU は共通の RAM 領域を共有するため、競合やレース状態が発生しないようにしてください。これは、無線ハードウェア抽象化レイヤ (HAL) で設定されたルールによってソフトウェアで実現できます。

図 25-2 に、CPU 間の情報交換に関連するモジュールを示します。

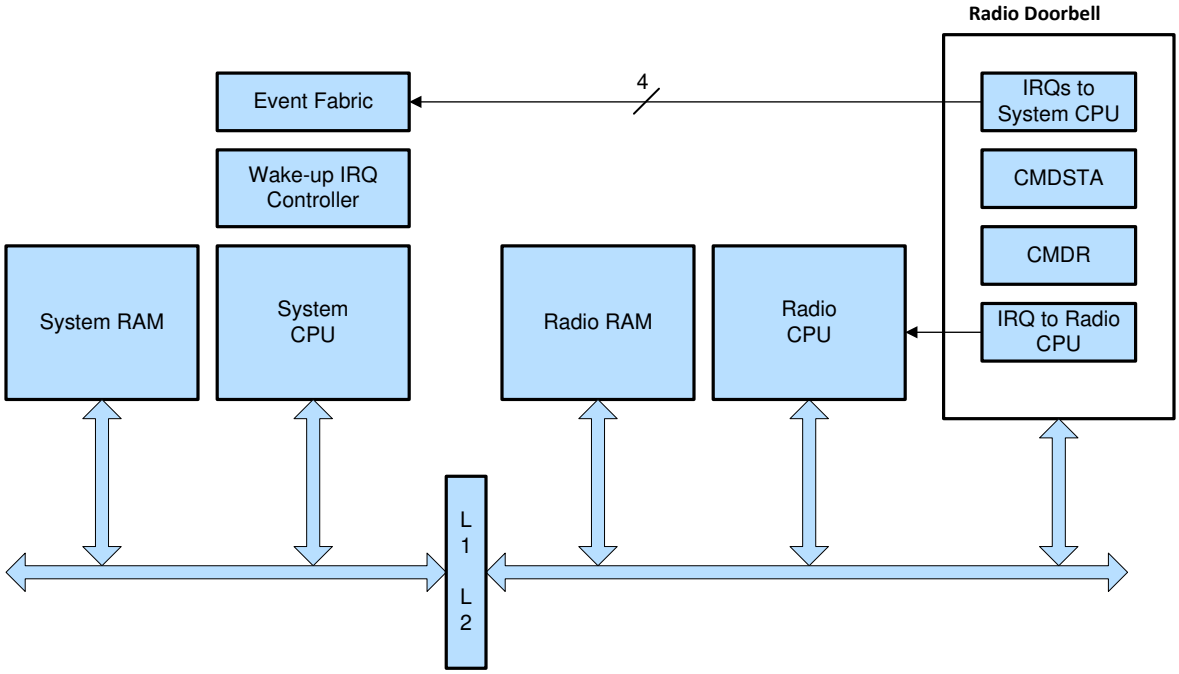


図 25-2. HAL のハードウェア サポート

25.2.1 特別な起動プロセス

PRCM:RFCBITS レジスタは、ブート時に CPE によって評価される制御情報を集約します。対応するビットを設定することで、機能を個別に有効化／無効化できます。また、よく使用される機能の自動化に役立ちます。表 25-1 を参照してください。

表 25-1. ブート プロセスの一部として選択された機能を有効化するための RFCBITS の形式

ビット インデックス	値	説明
0	1	特殊ブート シーケンス
1..2	0	ブート オプション
3	x	1 の場合、ブート時に有効化されるすべてのクロックを強制オン

Copyright © 2026 Texas Instruments Incorporated

表 25-1. ブート プロセスの一部として選択された機能を有効化するための RFCBITS の形式 (続き)

ビット インデックス	値	説明
4	x	1 の場合、システム バスを直ちに要求
5	x	1 の場合、無線タイマを直ちに開始
6	x	1 の場合、ポインタ チェックをすぐに無効化
7	x	1 の場合、RF コア保持 RAM が初期化済みであると見なす
8..11	x	予約済み
12	x	1 の場合、割り込み Command_Started および FG_Command_Started の生成を有効化 (PG2.0 のみ)
13..28	0	予約済み
29..31	7	特殊ブート オプション

25.2.2 コマンドおよびステータス レジスタとイベント

無線機へのコマンドの送信は CMDR レジスタを介して行われ、CMDSTA 読み取り専用レジスタは無線からステータスを返します。CMDR レジスタは、0 を読み出している間のみ書き込みできます。それ以外の場合、書き込みは無視されます。CMDR レジスタが 0 で、ゼロでない値が書き込まれると、無線機 CPU に通知され、CMDSTA レジスタが 0 になります。このアクションの後、CMDR レジスタから書き込まれた値は無線機 CPU がコマンドを処理するまで読み取り可能になり、その後 0 に戻ります。

コマンドが無線機 CPU によって処理されると、CMDSTA レジスタにはゼロ以外のステータスが格納され、CMDR レジスタが 0 に戻るのと同時に提供されます。この瞬間に、RFCMDACK 割り込みが発生します。この割り込みは RFACKIFG レジスタにもマップされ、割り込みを処理したときにクリアされます 。

コマンドおよびステータス レジスタのフォーマットについては、セクション 25.3.2 を参照してください。

25.2.3 RF コア割り込み

RF コアには、Arm Cortex -M4F プロセッサへの四つの割り込みラインがあります (図 25-2 を参照)。以下の割り込みは、無線ドアベル モジュールによって制御されます。

- RF_CPE0 (割り込み番号 9)
- RF_CPE1 (割り込み番号 2)
- RF_HW (割り込み番号 10)
- RF_CMD_ACK (割り込み番号 11)

25.2.3.1 RF コマンド割り込みおよびパケット エンジン割り込み

二つのシステム レベル割り込み RF_CPE0 および RF_CPE1 は、CPE によって生成される複数の低レベル割り込みから生成することができます。これらの各低レベル割り込みは、RFCPEISL レジスタを使用して RF_CPE0 または RF_CPE1 にマッピングできます。また、RFCPEIEN レジスタを使用すると、システム レベルでの割り込み生成のオン / オフを切り替えることができます。

低レベルの割り込みをトリガするイベントが発生した場合、RFCPEIFG レジスタの対応するビットは 1 にセットされます。RFCPEIFG のビットと RFCPEIEN の対応するビットの両方が 1 である場合、RFCPEISL で選択されたシステム レベルの割り込みが発生します。これは、割り込みサービス ルーチン (ISR) が、処理された低レベル割り込みに対応する RFCPEIFG 内のビットをクリアする必要があることを意味します。

セクション 25.11.2 の RFCPEIFG のレジスタの説明には、使用可能な割り込みのリストが記載されています。

RFCPEIFG のビットに 0 を書き込むことでクリアしますが、1 に書き込まれたビットは変更されません。

Copyright © 2026 Texas Instruments Incorporated

注

RFCPEIFG レジスタのビットクリア時に、読み取り / 変更 / 書き込み動作が行われた場合、割り込みが失われる可能性があります。これは、読み取り / 書き込み動作の間でアクティブになった割り込みフラグが失われる可能性があるためです。したがって、割り込みフラグをクリアするには、次のようにします。

```
HWREG(RFC_DBELL_BASE + RFC_DBELL_O_RFCPEIFG) = ~(1 << irq_no);
```

以下のようではありません。

```
HWREG(RFC_DBELL_BASE + RFC_DBELL_O_RFCPEIFG) &= ~(1 << irq_no); // wrong
```

25.2.3.2 RF コア ハードウェア割り込み

システム レベル割り込み RF_HW は、RF コア ハードウェアによって生成される複数の低レベル割り込みから生成できます。システム レベルでの割り込み生成は、RFHWEN レジスタを使用してソースごとにオン/オフできます。

低レベル割り込みをトリガするイベントが発生した場合、RFHWIFG レジスタ内の対応するビットが 1 に設定されます。RFHWIFG 内のビットと RFHWIEN 内の対応するビットがどちらも 1 の場合、RF_HW 割り込みが発生します。つまり、ISR は、処理済みの低レベル割り込みに対応する RFHWIFG 内のビットをクリアする必要があります。

セクション 25.11.2 の RFHWIFG のレジスタ説明に、使用可能な割り込みの一覧を示します。一般に、TI はこれらの割り込みをシステム CPU で処理することを推奨していませんが、使用可能な無線タイマ チャネル割り込みはこの方法で処理できます。

RFHWIFG 内のビットのクリアは、それらのビットに 0 を書き込むことで行います。一方、1 が書き込まれたビットは変更されません。

注

RFHWIFG 内のビットをクリアする際に読み出し - 変更 - 書き込み動作を行うと、割り込みが失われる可能性があります。したがって、RFHWIFG レジスタには RFCPEIFG と同じ規則が適用されます (セクション 25.2.3.1 を参照)。

25.2.3.3 RF コア コマンド アクノリッジ割り込み

システム レベルの割り込み RF_CMD_ACK は、RF コア コマンドが認識されたとき、つまり CMDSTA でステータスが利用可能になったときに生成されます (セクション 25.11.2 を参照)。ステータスが利用可能になると、RFACKIFG.ACKFLAG レジスタ ビットは 1 に設定されます。このビットが 1 になると、RF_CMD_ACK 割り込みが発生します。これは、RF_CMD_ACK 割り込みを処理するときに、ISR が RFACKIFG.ACKFLAG をクリアする必要があることを意味します。

25.2.4 無線タイマ

無線機には、専用のタイマ、無線タイマ (RAT) モジュールがあります。RAT は、4MHz で動作するフリーランニング 32 ビット タイマです。RAT には、比較およびキャプチャ機能を備えた 8 つのチャネルがあります。これらのチャネルのうち 5 つは無線 CPU 用に予約されており、残りの 3 つはシステム CPU 用に使用できます。使用可能なチャネルには、5、6、7 の番号が付けられています。

RAT は、RF コアに電源が投入されている間のみ動作します。RAT は、CMD_START_RAT コマンドまたは CMD_SYNC_START_RAT コマンドで開始する必要があります。遅延開始を伴う無線操作コマンド、または、受信機あるいは送信機を実行する任意の無線操作コマンドを実行するには、無線タイマが動作していなければなりません。

RAT が実行されているとき、タイマの現在の値を RATCNT レジスタから読み取ることができます (セクション 25.11.1 を参照)。

Copyright © 2026 Texas Instruments Incorporated

25.2.4.1 比較およびキャプチャ イベント

利用可能なチャネルは、比較モードまたはキャプチャ モードに設定できます。

比較モードは、CMD_SET_RAT_CMP コマンドを使用して設定できます (セクション 25.3.3.2.10 を参照)。この場合、カウンタが compareTime で指定された値に達すると、タイマが割り込みを生成します。割り込みは RFHWIFG にマッピングされます (セクション 25.2.3.2 およびセクション 25.11.2 を参照)。利用可能な RAT チャネルにおいて使用される割り込みフラグは、RATCH5、RATCH6、および RATCH7 です。オプションとして、カウンタが compareTime で指定された値に達したときに I/O ピンを制御することもできます (セクション 25.2.4.2 を参照)。CMD_SET_RAT_CMP コマンドが送信されると、compareTime の値は、選択されたチャネルに対応する無線チャネル値レジスタ (RATCHnVAL) に保存されます (セクション 25.11.2 を参照)。

キャプチャ モードは、入力ピン上の遷移をキャプチャし、遷移が発生した時点の RAT カウンタ値を記録するために使用できます。比較モードは、CMD_SET_RAT_CPT コマンドを使用して設定できます (セクション 25.3.3.2.11 を参照)。遷移が発生すると、RAT の現在値が選択されたチャネルに対応する RATCHnVAL レジスタに保存され (セクション 25.11.1 を参照)、タイマが割り込みを生成します。比較モードでは、割り込みは RFHWIFG にマッピングされます。利用可能な RAT チャネルにおいて使用される割り込みフラグは、RATCH5、RATCH6、および RATCH7 です。CMD_SET_CPT でシングル キャプチャ モードが設定されている場合、チャネルが再度アームされない限り、最初の遷移のみがキャプチャされます。これは次の段落で説明されます。反復モードを設定すると、すべての遷移がキャプチャされます。

注

この場合、新しい遷移が発生すると RATCHnVAL レジスタに保持されたキャプチャ値はいつでも上書きされる可能性があります。

比較モードまたはシングル キャプチャ モードで設定されたチャネルは、アーム状態またはアーム解除状態にある場合があります。CMD_SET_RAT_CMP または CMD_SET_RAT_CPT が送信されると、チャネルは自動的にアームされ、キャプチャまたは比較イベントが発生すると、チャネルは自動的に解除されます。アーム解除されたチャネルでは、割り込みは発生しません。また、タイマ値はキャプチャされません。さらに、CMD_ARM_RAT_CH または CMD_DISARM_RAT_CH を使用して、チャネルを有効化または無効化できます (セクション 25.3.3.2.14 ～ セクション 25.3.3.2.15 を参照)。アーム解除状態の間も、チャネルは設定を保持します。同じ設定で再設定されないチャネルを無効化するには、CMD_DISABLE_RAT_CH コマンドを使用できます (セクション 25.3.3.2.12 を参照)。

25.2.4.2 無線タイマ出力

RAT モジュールには、RAT_GPO0 ～ RAT_GPO3 という四つの制御可能な出力があります。これらの信号は RAT チャネルのいずれかで制御でき、SYSGPOCTL レジスタを使用して、IOC が利用可能な信号にマッピングできます (セクション 25.11.2 を参照)。信号 RAT_GPO0 はトランスミッタを起動するために予約されており、無線 CPU によって内部的に制御されます (セクション 25.3.2.8 を参照)。他の三つの信号は、CMD_SET_RAT_OUTPUT コマンドによって設定できます (セクション 25.3.3.2.11 を参照)。各出力モードは、選択した RAT チャネルで割り込みが発生した際の出力信号の遷移動作を示します。ただし、常時 0 および常時 1 の設定は例外で、これらは直ちに有効となり、初期化に使用できます。

25.2.4.3 リアルタイム クロックによる同期

無線機の電源がオフのとき、RAT モジュールはカウントしません。同期されたプロトコルに対して時間の経過とともに一貫したタイムベースを維持するために、無線タイマをリアルタイム クロック (RTC) に同期させることができます (Chapter 16 を参照)。

パワーアップ後に同期を可能にするには、RF コアの電源をオフにする前に CMD_SYNC_STOP_RAT コマンド (セクション 25.3.3.1.10 を参照) を送信する必要があります。このコマンドは (次の RTC ティックまで) 無線タイマを停止し、パラメータ rat0 を返します。これを保存して、無線タイマを再起動するときに指定します。

次に RF コアの電源が投入されて RAT が起動するときに、この同期は CMD_SYNC_START_RAT (セクション 25.3.3.1.11 を参照) を使用して実行する必要があります。ここで、CMD_SYNC_STOP_RAT から取得した rat0 パラメータを指定する必要があります。このコマンドは RAT を開始し、RTC ティックを待機して RAT を調整します。アプリケーショ

Copyright © 2026 Texas Instruments Incorporated

ンによっては、無線の電源がオフになるたびに CMD_SYNC_STOP_RAT コマンドを実行する必要はない場合があります。以前の値の rat0 を再利用することもできます。ただし、無線機が長時間動作し続ける場合や、低周波および高周波の水晶発振器間で大きな誤差が生じている場合には、これが問題を引き起こす可能性があります。

正確な同期を実現するには、CMD_SYNC_START_RAT コマンドの実行前にシステムが高周波数水晶発振器で動作し、CMD_SYNC_STOP_RAT コマンドの完了後にまで延びることが重要です。

注

CMD_SYNC_START_RAT および CMD_SYNC_STOP_RAT コマンドの場合、AON_RTC:CTL RTC_UPD_EN レジスタ ビットを 1 に設定する必要があります (セクション 16.4.1 を参照)。このビットを 0 にリセットする必要はありません。RTC の開始時に永続的に 1 に設定できます。

25.3 RF コア HAL

RF コアは、システム CPU に統合 HAL を提供することで、無線動作の複雑さを見えなくします。

注

最適な無線性能を確保するために、常に TI が提供する最新の無線パッチを使用してください。最新のパッチについては、www.ti.com の製品ページを参照してください。

25.3.1 ハードウェア サポート

無線 HAL は、RF コア領域の無線ドアベル モジュールとシステム RAM 内のコマンド ディスクリプタによって、ハードウェア レベルでサポートされています。

25.3.2 ファームウェア サポート

RF コアは、一連の高レベル プリミティブを受け入れます。必要な機能については、セクション 25.3.2.1 からセクション 25.3.2.8 までの概要で説明します。

25.3.2.1 コマンド

無線 CPU により、ユーザーはシステム CPU から一連の高レベル プリミティブまたはコマンドを実行できます。CMDR レジスタを通じてコマンドが発行されると、無線 CPU はそのコマンドを調べ、実行するアクションを決定します。

次の 3 つのクラスのコマンドが発行されます。

- 無線動作コマンド
- 即時コマンド
- ダイレクト コマンド

最初の 2 つのコマンド クラスでは、CMDR にコマンド構造へのポインタが格納されます。このポインタは 32 ビット ワード アラインメントの有効なポインタである必要があるため、図 25-3 に示すように、最下位 2 ビット (LSB) は 0 0 である必要があります。ダイレクト コマンドは、2 つの LSB を 01 または 10 に設定し、コマンド ID 番号を CMDR のビット 16 ～ 31 に配置することで通知されます。ビット 8 ～ 15、または代替としてビット 2 ～ 15 を、オプションのバイト パラメータとして使用できます。図 25-4 はダイレクト コマンドの形式を示しています。

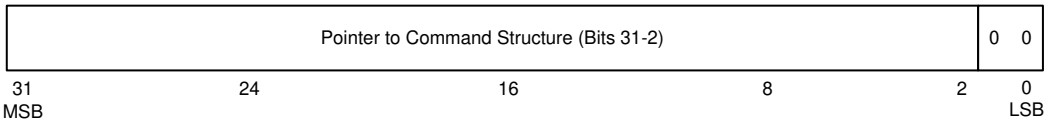


図 25-3. 無線動作コマンドおよび即時コマンドの CMDR レジスタ

Copyright © 2026 Texas Instruments Incorporated

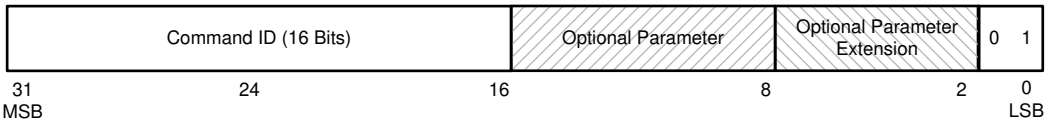


図 25-4. ダイレクト コマンドの CMDR レジスタ

無線動作コマンドおよび即時コマンドの場合、CMDR レジスタが指すデータ構造は、システム RAM または無線 RAM に配置できます。システム CPU は、使用中のメモリ領域にアクセスできる状態であることを確認する必要があります。特に無線 RAM を使用する場合は、メモリの一部が無線 CPU 用に予約されているため注意が必要です。この情報は、CMD_GET_FW_INFO コマンドで取得できます (セクション 25.3.3.2.6 を参照)。コマンドの形式はセクション 25.3.2.6 およびセクション 25.3.2.6.1 に示す構造に従い、各コマンドに固有の詳細が定義されています。

データを配置するメモリ領域を決定する際は、どのモジュールがパワーダウンされる可能性があるかを考慮してください。

- 無線 RAM には無線 CPU がいつでもアクセスできますが、無線がパワーダウンされると保持されません。したがって、保持する必要があるデータは、無線のパワーアップ時またはパワーダウン時に、それぞれ無線 RAM にコピーするか、無線 RAM からコピーする必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

- システム RAM は、ほとんどの低消費電力モードで保持されます。システム側がパワーダウンされている場合、無線 CPU は RAM にアクセスするために、システム側の再パワーアップを要求します。無線 CPU がシステム RAM にアクセスする際のアクティブ電流消費は、無線 RAM にアクセスする際の電流消費より大きくなります。特に、そうでなければシステム側をパワーダウンできた場合に顕著です。
- すべてのデータ構造を無線 RAM に配置し、無線 CPU の動作中にシステム側をパワーダウンすることで、最も低いピーク消費電力が得られます。場合によっては、データ構造をシステム RAM に配置することで、必要なコピーが少なくなり、平均消費電力が低くなることがあります。その場合でも、システム側は長時間パワーダウンできます (たとえば、レシーバが同期検索中の場合)。

無線動作コマンドにより、無線ハードウェアにアクセスします。無線動作コマンドでは、パケットの送信または受信、無線ハードウェア レジスタの設定、あるいは、より複雑なプロトコル依存の動作などを実行できます。通常、無線動作コマンドは、無線がアイドル状態のときにのみ発行できます。

即時コマンドは、無線のステータスを変更または要求したり、TX または RX データ キューを操作したりするためのコマンドです。中間コマンドは、受信信号強度などのステータスを監視できます。即時コマンドはいつでも発行できますが、多くの場合、その応答が重要になるのは無線動作中に限られます。

ダイレクト コマンドはパラメータのない即時コマンドですが、場合によっては、1 バイトまたは 2 バイトのパラメータを持ちます。ダイレクト コマンドは、図 25-4 の形式で CMDR レジスタに値を送信することで発行されます。最上位 16 ビット (MSB) には、実行する即時コマンドのコマンド ID が含まれます。ビット 8 ～ 15 またはビット 2 ～ 15 には、コマンドに指定されている場合、オプションのパラメータを含めることができます。

25.3.2.2 コマンド ステータス

コマンドが発行されると、CMDSTA レジスタが無線 CPU によって更新され、その結果、RFCMDACK 割り込みがシステム CPU へ送信されます。この更新は、即時コマンドおよび直接コマンドではコマンドの完了後に行われ、無線動作コマンドではコマンドがスケジュールされた後に行われます。この割り込みを受信するまで、新しいコマンドは発行できません。CMDSTA レジスタは 32 ビットで構成されています。8 LSB には実行結果が格納され、上位 24 ビットは各コマンド固有のシグナリングに使用される場合があります。この形式を、図 25-5 に示します。

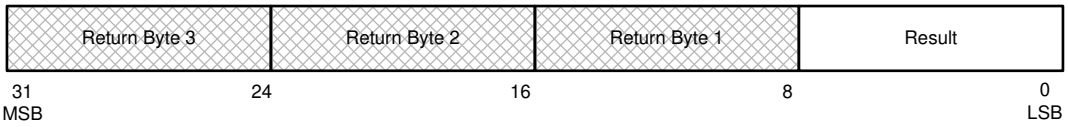


図 25-5. CMDSTA レジスタの形式

結果バイトでは、ビット 7 がエラーの発生有無を示します。0x00 の結果バイト (「保留中」) は、コマンドが発行されたときに無線ドアベルハードウェアによって自動的に生成されます。CMDSTA レジスタの他のビットも 0 になります。これは、RF_CMD_ACK 割り込みが発生する前の CMDSTA の値です。

表 25-2 に、CMDSTA レジスタの結果バイトの値を示します。

表 25-2. CMDSTA レジスタの結果バイトの値

値	名称	説明
エラーなし		
0x00	保留	コマンドはまだ解析されていません。
0x01	ドーム ライト	即時コマンド:コマンドは正常に終了しました。 無線動作コマンド:コマンドは正常に実行登録されました。
エラー		
0x81	IllegalPointer	CMDR で通知されたポインタが無効です。
0x82	UnknownCommand	コマンド構造内のコマンド ID 番号が不明です。
0x83	UnknownDirCommand	ダイレクト コマンドのコマンド番号が不明であるか、またはそのコマンドがダイレクト コマンドではありません。
0x85	ContextError	即時または直接コマンドが、サポートされていないコンテキストで発行されました。

Copyright © 2026 Texas Instruments Incorporated

表 25-2. CMDSTA レジスタの結果バイトの値 (続き)

値	名称	説明
0x86	SchedulingError	RF コアですでに別の動作が実行中であったにもかかわらず、無線動作コマンドをスケジュールしようとしました。新しいコマンドは拒否されますが、すでに実行中のコマンドには影響しません。
0x87	ParError	コマンドの受け付け時に解析されるコマンド パラメータに誤りがあります。無線動作コマンドについては、コマンド開始後に解析されるパラメータのエラーは、コマンドの終了によって通知されます。また、そのエラーはコマンド構造体の status フィールドに示されます。
0x88	QueueError	データ エントリ キューに対する操作が試行されましたが、その時点のキューの状態では、その操作はサポートされていませんでした。
0x89	QueueBusy	データ エントリに対する操作が試行されましたが、そのエントリは使用中でした。

コマンド ステータス レジスタに加えて、各無線動作コマンドにはステータス フィールドが含まれています (表 25-9 を参照)。このフィールドには、次のカテゴリの値が含まれている場合があります。

- アイドル:コマンドが開始されていません。
- 保留:コマンドは解析されていますが、開始トリガはまだ発生していません。
- アクティブ:コマンドが実行中です。
- 中断:このコマンドはアクティブ状態であり、再びアクティブ状態になる可能性があります。このコマンドは、特定の IEEE 802.15.4 コマンドでのみサポートされています。
- 終了:コマンドは終了しており、システム CPU はコマンド構造体を変更したり、メモリを解放したりできます。
- スキップ済み:コマンドはスキップされ、実行されませんでした。

表 25-3 に、共通コマンドのステータス コードと、コマンド開始前の解析時に発生するステータス コードを示します。

表 25-3. 共通の無線機動作ステータス コード

個数	名称	説明
操作が完了していません		
0x0000	IDLE	操作が開始されていません。
0x0001	保留	スタート トリガ待ち。
0x0002	アクティブ	動作が実行中。
0x0003	スキップ済み	別のコマンドの条件により、この動作はスキップされました。
動作が正常に終了		
0x0400	DONE_OK	動作が正常に終了。
0x0401	DONE_COUNTDOWN	カウンタがゼロに達しました。
0x0402	DONE_RXERR	CRC エラーで動作が終了しました。
0x0403	DONE_TIMEOUT	動作はタイムアウトにより終了しました。
0x0404	DONE_STOPPED	CMD_STOP コマンド後、動作が停止しました。
0x0405	DONE_ABORT	CMD_ABORT コマンドによって動作が中止されました。
エラーで動作が終了		
0x0800	ERROR_PAST_START	開始トリガは過去に発生しました。
0x0801	ERROR_START_TRIG	不正な開始トリガ パラメータです。
0x0802	ERROR_CONDITION	次の動作に対する条件が不正です。
0x0803	ERROR_PAR	コマンド固有のパラメータでエラーが発生しました。
0x0804	ERROR_POINTER	次の動作へのポインタが無効です。
0x0805	ERROR_CMDID	次の動作のコマンド ID が未定義であるか、または無線動作コマンドではありません。
0x0807	ERROR_NO_SETUP	CMD_RADIO_SETUP なしで、RX、TX、またはシンセサイザを使用した動作。
0x0808	ERROR_NO_FS	シンセサイザのプログラミングまたは電源をオンにしないで、RX または TX を使用した動作を試行しました。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-3. 共通の無線機動作ステータス コード (続き)

個数	名称	説明
0x0809	ERROR_SYNTH_PROG	シンセサイザのプログラミングに失敗しました。
0x080A	ERROR_TXUNF	モデムの TX アンダーフローが確認されました。
0x080B	ERROR_RXOVF	モデム RX オーバーフローが確認されました。
0x080C	ERROR_NO_RX	前回の RX データが存在しないにもかかわらず、そのデータが要求されました。

システム CPU がコマンド構造を準備するとき、CPU はステータス フィールドを IDLE に初期化する必要があります。コマンドはループで設定できます。その場合、システム CPU は無線 CPU がアイドル状態になるまでコマンド構造を変更してしないものとします (ステータスが終了またはスキップされた場合でも、システム CPU は LAST_COMMAND_DONE 割り込みを受信します (セクション 25.11.2 を参照))。

25.3.2.3 割り込み

無線 CPU には、システム CPU で RFCPE0 および RFCPE1 割り込みを生成する 32 個のソフトウェア割り込みソースがあります。割り込みフラグ レジスタにより、どのソフトウェア割り込みが発生したかを通知でき、割り込みは個別に有効化されます。さらに、CMDSTA が更新されると、RFCMDACK 割り込みが自動的に発生します。

ソフトウェア定義割り込みの一部は、すべてのコマンドに共通の意味を持っています。一方、それ以外の割り込みの詳細な意味は、その割り込みを使用する各プロトコルごとに定義されています。一部の割り込みは一つのプロトコルでのみ使用され、他の割り込みは複数のプロトコルで使用されます。割り込みは、RFCPEIFG レジスタの説明に記載されています (セクション 25.11.2 を参照)。

25.3.2.4 データの受け渡し

無線で送受信されるデータを受け渡す基本的な方法は、直接受け渡す方法とキューを介して受け渡す二つの方法があります。

データを受け渡す最も単純な方法は、コマンド パラメータの一部としてデータを付加することです (直接指定するか、ポインタを介して指定します)。正確な形式は実行するコマンドによって異なります。通常、長さフィールドと TX 用のデータ バッファ、最大長、受信長 (可変長の場合)、RX 用の受信バッファがあります。

キューは、受信または送信されるパケット数を事前に把握できない処理をサポートするために使用されます。一回の処理で一つ以上のキューを使用できます。例えば、RX/TX 複合処理では、一つの RX キューと一つの TX キューを使用できます。キューを使用する操作では、セクション 25.3.2.7 で説明されているように、それらを維持するために共通のシステムが使用されます。無線機コマンドごとに、キューを使用するか、単一のバッファを使用するかが示されます。

無線機操作コマンドは、使用されるデータ メソッドを宣言します。

Copyright © 2026 Texas Instruments Incorporated

25.3.2.5 コマンド スケジューリング

システム CPU は、必要に応じてコマンドをスケジューリングします。低消費電力モードを使用する場合、システム CPU は RTC を利用して、次の動作が開始される少し前にウェークアップする必要があります。

無線動作コマンドは、遅延スタートでスケジュールできます (セクション 25.3.2.5.1 を参照)。コマンドが遅延して開始されると、無線機 CPU はコマンドが開始されるまでアイドル モードになります。この遅延期間中も、無線機動作コマンドは実行中であると見なされます。そのため、保留中のコマンドを先に中止または停止しない限り、他の無線機動作コマンドをスケジュールすることはできません。

システム CPU は、任意の無線機動作コマンドで次の動作ポインタを使用して、バック ツー バック無線機動作コマンドをスケジュールできます。このポインタは、チェーン内で次に実行するコマンドを指すことができ、この仕組みによって複雑な処理を実現できます。エラーの発生やタイマの期限切れなど、特定の条件下では、次のコマンドは開始されません。代わりに、動作が終了するか、いくつかのコマンドをスキップできます (セクション 25.3.2.5.2 を参照)。別のコマンドが実行中の状態で新しいコマンドをスケジュールする場合、システム CPU は、先行するコマンドまたはコマンド チェーンの実行が完了するまで待機する必要があります。IEEE 802.15.4 コマンドには、この規則の例外があります。

無線機動作コマンドが完了すると、無線機 CPU はシステム CPU に対して COMMAND_DONE 割り込みを発生させます。前述のように複数のコマンドがチェーン接続されている場合、COMMAND_DONE 割り込みは各コマンドの完了後に発生します。一方、LAST_COMMAND_DONE 割り込みは、チェーン内の最後のコマンドが完了した後に発生します。チェーン接続されていない一つのコマンドでは、コマンドの後に LAST_COMMAND_DONE 割り込みも発生します。LAST_COMMAND_DONE が発行されると、COMMAND_DONE は常に同時に発行されます。COMMAND_DONE 割り込みを発生させる前に、無線機 CPU は、コマンド構造のステータス フィールドを、コマンドが完了したことを示すステータスに更新します。COMMAND_DONE 割り込みを発生させた後、無線機 CPU はコマンド構造にアクセスしません。

Copyright © 2026 Texas Instruments Incorporated

25.3.2.5.1 トリガ

トリガは、開始時刻の設定や、特定の無線動作コマンドにおけるその他の特定用途に使用できます。表 25-4 に定義されている共通トリガ バイト定義が存在します。

表 25-4. トリガ定義バイトの形式

ビット インデックス	フィールド	説明
0 ~ 3	triggerType	トリガのタイプ
4	bEnaCmd	0:代替トリガ コマンドなし。 1:CMD_TRIGGER は代替トリガとして使用できます。
5 ~ 6	triggerNo	このアクションをトリガする CMD_TRIGGER コマンドのトリガ番号。
7	pastTrig	0:過去のトリガは決してトリガされず、コマンドの開始に使用する場合はエラーになります。 1:過去のトリガは、できるだけ早くトリガされます。

triggerType には、表 25-5 に示されている値を設定できます。その他の値は予約済みです。

表 25-5. サポートされているトリガ タイプ

個数	名称	説明
0	TRIG_NOW	即時 (終了トリガには適用されません)
1	TRIG_NEVER	なし (bEnaCmd = 1 の場合、CMD_TRIGGER による可能性あり)
2	TRIG_ABSTIME	タイマ パラメータで指定された絶対時刻
3	TRIG_REL_SUBMIT	コマンドが送信された時刻を基準とする相対時刻
4	TRIG_REL_START	このコマンドの開始時刻を基準とする相対時刻 (開始トリガには使用できません)
5	TRIG_REL_PREVSTART	前のコマンドの開始時点を基準とする相対時間
6	TRIG_REL_FIRSTSTART	チェーンの最初のコマンドの開始時点を基準とする相対時間
7	TRIG_REL_PREVEND	前のコマンドの終了時点を基準とする相対時間
8	TRIG_REL_EVT1	前のコマンドのイベント 1 を基準とする相対時間
9	TRIG_REL_EVT2	前のコマンドのイベント 2 を基準とする相対時間
10	TRIG_EXTERNAL	RAT への外部トリガ入力時

32 ビットの時間パラメータは、TRIG_NOW と TRIG_NEVER を除くすべてのトリガとともに使用されます。絶対タイミングでは、32 ビット RAT の値が使用されます。相対タイミングでは、RAT ティック数が使用されます。外部トリガでは、表 25-6 に定義されているソースとエッジの識別子が使用されます。

表 25-6. 外部イベント トリガの時間パラメータのフィールド

ビット インデックス	フィールド	説明
0 ~ 1		予約済み
2 ~ 3	inputMode	入力モード 00:立ち上がりエッジ 01:立ち下がりエッジ 10:両方のエッジ 11:予約済み
4 ~ 7		予約済み
8 ~ 12	ソース	22:RFC_GPI0 23:RFC_GPI1 その他:予約済み
13 ~ 31		予約済み

Copyright © 2026 Texas Instruments Incorporated

相対タイミングは、コマンド チェーンの送信時刻、コマンドの開始時点、前のコマンドまたは最初のコマンドの開始時点、またはコマンド内で検出された特定のイベントを基準にすることができます。基準となるイベントは、コマンドごとに定義されます。次の規則が適用されます。

- チェーン内の最初のコマンドでは、開始トリガがタイプ 5 ～ 9 のいずれかの場合、開始は即時になります。チェーン内の最初のコマンドで参照される別のトリガがタイプ 5 ～ 9 のいずれかの場合、トリガ時間はコマンドが送信された時刻を基準とします。
- コマンドの開始トリガが TRIG_REL_START の場合、エラーが発生します。
- コマンドの開始トリガが TRIG_NEVER で、bEnaCmd が 0 の場合、エラーが発生します。
- 一部の無線動作コマンドでは、イベント 1 と 2 が定義されています。これらは、無線 CPU が検出できるコンテキスト依存イベントです。そのコンテキストでの定義については、各コマンドの説明を参照してください。未定義の場合、これらのイベントはコマンドの開始時刻になります。

bEnaCmd が 1 の場合、アクションはコマンド (CMD_TRIGGER コマンド、セクション 25.3.3.2.5 を参照) によってトリガすることもできます。triggerNo パラメータは、このコマンドのトリガ番号を識別します。

評価時にトリガが過去に発生している場合、動作は pastTrig ビットによって決まります。このビットが 0 の場合、トリガは発生せず、開始トリガの場合はエラーが発生します。このビットが 1 の場合、トリガは可能な限り早く実行されます。開始トリガの pastTrig ビットが 1 の場合、コマンドの開始を基準とするタイミングは、実際の開始時刻ではなく、プログラムされた開始時刻を基準とします。

外部トリガの場合、無線 CPU は RAT を設定して、選択した入力イベントをワンキャプチャ トリガとして使用します。その後、CPU はこのキャプチャ割り込みを使用してアクションをトリガします。セットアップが行われる前にイベントが発生した場合、そのイベントはキャプチャされず、pastTrig ビットは無視されます。

25.3.2.5.2 条件付き実行

コマンドの実行は、前のコマンドの結果に条件がある場合があります。コマンドごとに、三つの結果が考えられます:

- TRUE
- FALSE
- ABORT

条件はコマンドごとに定義されます。未定義の場合、結果は TRUE となります。ただしコマンドがエラーで終了した場合は、結果は ABORT となります。

各コマンド構造には、次のコマンドを実行するための条件が含まれています。条件バイトを表 25-7 に示します。ルールが COND_SKIP_ON_FALSE または COND_SKIP_ON_TRUE の場合、スキップするコマンド数は nSkip フィールドで示されます。スキップ数がゼロの場合は、同じコマンドを再実行します。スキップ数が 1 の場合は、チェーン内の次のコマンドを実行します。スキップ数が 2 の場合は、次のコマンドの後に実行します。ルールが COND_NEVER で、かつ過去のコマンドでスキップが使用されていない場合、次のコマンドのポインタは無視され、NULL であってもよいです。

表 25-7. 条件バイトの形式

ビット インデックス	フィールド名	説明
0 ~ 3	rule	表 25-8 で定義されている手順のルール
4 ~ 7	nSkip	スキップを伴うルールの場合、スキップ数 + 1 0: 同じ、1: 次へ、2: 次をスキップ、...

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-8. 条件ルール

個数	名称	説明
0	COND_ALWAYS	必ず次のコマンドを実行します (ABORT の場合を除く)。
1	COND_NEVER	次のコマンドは実行しないでください (次のコマンド ポインタはスキップに使用できます)。
2	COND_STOP_ON_FALSE	このコマンドが TRUE を返した場合は次のコマンドを実行し、FALSE を返した場合は停止します。
3	COND_STOP_ON_TRUE	このコマンドが TRUE を返した場合は停止し、FALSE を返した場合は次のコマンドを実行します。
4	COND_SKIP_ON_FALSE	このコマンドが TRUE を返した場合は次のコマンドを実行し、FALSE を返した場合は指定された数のコマンドをスキップします。
5	COND_SKIP_ON_TRUE	このコマンドが TRUE を返した場合は指定された数のコマンドをスキップし、FALSE を返した場合は次のコマンドを実行します。

実行が停止した場合、無線 CPU はアイドル状態に戻り、新しいコマンドが CMDR レジスタを通じて入力されるまで、それ以上のコマンドは実行されません。LAST_COMMAND_DONE 割り込みが発生します。

あるコマンドが ABORT 結果で終了した場合、その実行は条件に関係なく終了します。LAST_COMMAND_DONE 割り込みが発生します。ABORT 結果となる判定条件の一例として、CMD_ABORT コマンドが発行される場合があります。

25.3.2.5.3 コマンド開始前の処理

すべての無線動作コマンドについて、コマンドの残りの部分を解析する前に、開始トリガと条件コードがチェックされます。開始トリガに不正なトリガ タイプ (開始トリガでは許可されていない TRIG_REL_START、およびコマンド トリガなしの TRIG_NEVER を含む) が設定されている場合、無線 CPU はステータス フィールドを ERROR_START_TRIG に設定します。条件フィールドに不正な値が設定されている場合、無線 CPU はステータス フィールドを ERROR_CONDITION に設定します。開始トリガが過去に発生しており、startTrigger.pastTrig が 0 の場合、無線 CPU はステータス フィールドを ERROR_PAST_START に設定します。

25.3.2.6 コマンド データ構造

この章では、データ構造の表を示します。バイト インデックスは、その構造を指すポインタからのオフセットです。マルチバイト フィールドはリトル エンディアンであり、フィールドサイズで指定される 16 ビット ハーフワードまたは 32 ビット ワード整列が必要です。ビット番号付けの場合、0 は LSB です。R/W 列は次のように使用されます。

R: システム CPU は結果を読み取ることができます。無線 CPU はフィールドを読み取りません。

W: システム CPU は値を書き込みます。無線 CPU は値を読み取りますが変更しません。

R/W:システム CPU が初期値を書き込み、無線 CPU が変更する場合があります。

別のデータ構造の派生であるデータ構造の場合、親構造のフィールドは繰り返されませんが、バイト インデックス列はその存在を反映します。

すべてのコマンドで唯一の必須フィールドは、コマンド ID 番号です。これは、コマンド構造の最初の 2 バイトとして送信される 16 ビット番号です。

一部の即時コマンドには追加のフィールドがあり、各コマンドに定義されています。無線操作コマンドには、で定義されている追加の必須フィールドがあり表 25-9 で定義されている追加の必須フィールドがあります。

「RESERVED」または「予約済み」と表示されたすべてのコマンド フィールドには、0 を書き込む必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.3.2.6.1 無線動作コマンドの構造

表 25-9 に、無線動作コマンドのコマンド構造を示します。一部のコマンドでは、この後に追加のフィールドが追加されます。

表 25-9. 無線操作コマンドのフォーマット

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3	ステータス			R/W	コマンドのステータスを示す整数。この値は動作中に無線 CPU によって更新され、システム CPU は任意のタイミングで読み出すことができます。
4 ~ 7	pNextOp			W	この動作が完了した後に実行する次の動作へのポインタ
8 ~ 11	startTime			W	絶対開始時間または相対開始時間 (startTrigger フィールドの値によります)
12	startTrigger				動作を開始するトリガの識別
13	条件			W	次の操作を実行するための条件

25.3.2.7 データ エントリ構造

データ エントリはキューに属している必要があります。キューは、無線操作コマンドのコマンド構造の一部として設定されます。

コマンドとして使用可能なキューに対する操作については、セクション 25.3.4 を参照してください。

25.3.2.7.1 データ エントリ キュー

キューを使用するすべてのコマンドには、
表 25-10 に示すようにデータ エントリ キュー構造へのポインタが含まれます。システム CPU は、このキュー構造のアロケーションと初期化を行います。

表 25-10. データ エントリ キュー構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 3	pCurrEntry			R/W	無線 CPU が現在使用しているデータ エントリへのポインタ (無線がキューを使用していない場合は、次に使用される予定のデータ エントリへのポインタ)。NULL は、現在キューにバッファがないことを意味します。
4 ~ 7	pLastEntry			R/W	このキューに入力された最後のエントリにポインタを置きます。pCurrEntry が非 NULL で、pLastEntry が NULL の場合は、それ以上のエントリを付加することはできません。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.3.2.7.2 データ エントリ

データ エントリキューには、表 25-11 にリストされているタイプのデータ エントリが含まれます。これらのエントリはリンク リストとして管理されています。キューの最初のエントリは、キュー構造体の pCurrEntry フィールドによって参照されます (表 25-10 を参照)。各 pNextEntry フィールドは、次のエントリを指します。キュー内の最後のエントリは、キュー構造体の pLastEntry フィールドでも参照されます。

表 25-11. 一般データ エントリ構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 3	pNextEntry			R/W	キュー内の次エントリを指すポインタで最終エントリの場合は NULL
4	ステータス			R/W	エントリの状態を示し、これには、システム CPU からの書き込みを受け付け可能かどうかも含まれます
5	config	0 ~ 1	タイプ	W	データ エントリ構造体のタイプ 0: 一般的なデータ エントリ 1: 予約済み 2:ポインタ エントリ 3: 部分読み取り RX エントリ
		2 ~ 3	lenSz	W	各 RX エントリ要素の先頭にある長さワードのサイズ 0: 長さインジケータなし 1: 1 バイト長インジケータ 2: 2 バイト長インジケータ 3: 予約済み
		4 ~ 7	irqIntv	W	部分的読み取り RX エントリのみ:無線 CPU によって生成された割り込み間のバイト数 (0000: 16 バイト)
6 ~ 7	length			W	データ フィールドの長さ、またはポインタ エントリの場合はデータ バッファの長さを示します。TX エントリの場合、一つのエントリ要素 (パケット) に対応します。RX エントリの場合、使用可能なストレージ容量の合計が表示されます。
8 – (7 + n)	データ			R/W	受信または送信されるデータの配列 (n = 長さ)

ステータス フィールドには、次の値を指定できます。

- 0:保留:このエントリは、無線 CPU によってまだ使用されていません。これは、エントリを送信する前にシステム CPU が書き込むステータスです。
- 1:アクティブ:エントリは、無線 CPU による書き込み (RX) または読み取り (TX) 用に現在開いているキュー内のエントリです。
- 2:ビジー:進行中の無線動作とは、未完了パケットの書き込みまたは読み取りです。エントリがこの状態にある場合、一部の操作は許可されません (セクション 25.3.4 を参照)。
- 3:終了:このエントリへのデータ書き込みが無線 CPU によって完了しており、システム CPU による再利用またはメモリ解放 (動的割り当ての場合) が可能な状態であることを示します。

データ エントリについては、システム CPU が必要なデータ構造を、システム RAM またはラジオ RAM の空き領域のいずれかに設定します。データ構造が動的に割り当てられている場合、システム CPU は使用後にメモリを解放します。

エントリが受信データに使用されている場合、無線 CPU は長さインジケータでエントリ要素を開始することができます。config.lenSz が 00 の場合、このようなインジケータは書き込まれません。このオプションは、受信パケットの長さが他の方法で決定できる場合にのみ使用します。config.lenSz が 01 の場合、1 バイトは長さバイトの後のバイト数を示します。255 バイトを超える要素がエントリに書き込まれていない場合にのみ使用できます。config.lenSz が 10 の場合、16 ビット ワードは長さワードの後のバイト数を示します。

Copyright © 2026 Texas Instruments Incorporated

25.3.2.7.3 ポインタ エントリ

ポインタ エントリは、データがエントリ自体に含まれていないが、そのエントリはバッファへのポインタを保持するエントリです。このようなエントリは、config.type を 2 に設定することで示されます。表 25-12 に示すように、ポインタがデータ フィールドに置き換わります。

表 25-12. ポインタ エントリ構造内のポインタ フィールド

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
8 ~ 11	pData			W	サイズ長バイトのデータ バッファへのポインタ

データは pData によって指定されたバッファから読み取られるか、またはバッファに格納されます。このバッファのサイズは、一般的なデータ エントリのデータ フィールドのサイズと同様に、長さによって指定されます。

25.3.2.7.4 部分読み取り用 RX エントリ

独自モードは RX エントリに対応しています。この RX エントリは、パケット全体が無線で受信される前にデータを読み取ることができ、以下の目的で使用できます。

- パケット全体を受信する前にデータを読み取る必要がある場合
- パケットの先頭でパケットの長さが不明な場合
- パケット長が長すぎてペイロード全体をまとめてメモリに保持できない場合

これに対応するために、表 25-11 で示される構造の特殊なバリアントが使用されます。いくつかのエントリ要素が同じエントリに含まれている場合があります。各エントリ要素は、無線で受信された 1 つのパケット、またはその一部に対応します。要素には、追加のフィールドを含めることもできます。このタイプは、config.type を 3 に設定することで選択できます。エントリで、データ フィールドは、表 25-13 に示すように構成されます (インデックスはエントリ構造全体に対して相対的なものです)。

表 25-13. 部分読み取り用 RX エントリのフィールド

バイト インデックス	バイト フィールド名	ビット	ビット フィールド名	タイプ	説明
8 ~ 9	pktStatus	0 ~ 12	numElements	R	エントリでコミットされたエントリ要素の数
		13	bEntryOpen	R	エントリには、データを追加するためにまだ空いている要素が含まれています。
		14	bFirstCont	R	最初の要素は、前のエントリの最後のパケットの続きです。
		15	bLastCont	R	最後の要素のパケットは、次のエントリに続きます。
10 ~ 11	nextIndex			R	無線 CPU によってコミットされた最後のエントリ要素の最後のバイトの次のバイトへのインデックス
12 ～ (7 + n)	rxData			R	受信したデータ。正確なフォーマットは、実行中の動作によって異なります。各エントリ要素は、長さバイトまたはワードで始まることができます。

エントリは次のように更新されます。

- nextIndex フィールドは、新しいバイトがバッファに書き込まれると更新されます。
- パケットを受信している間、無線 CPU によって pktStatus.bEntryOpen が 1 に設定されます。

エントリ要素が終了すると、パケットが終了したか、または要素がエントリの最後に到達したために、pktStatus.bEntryOpen が無線 CPU によって 0 に設定され、pktStatus.numElements がインクリメントされます。パケットが次のエントリに続く場合、無線 CPU によって pktStatus.bLastCont が 1 に設定されます。この場合、無線 CPU によ

Copyright © 2026 Texas Instruments Incorporated

って次のエントリの pktStatus.bFirstCont ビットも 1 に設定されます。次のエントリが使用できない場合、ステータスは「未完了」に設定され、それ以外の場合は「完了」に設定されます。

エントリ要素の先頭に指定された長さフィールド (config.lenSz に応じて異なる) は、パケット全体ではなく、エントリ内のエントリ要素の長さを示します。エントリを開いたときに長さがわからない場合、長さフィールドにはエントリの残りの長さが書き込まれ、エントリが終了する前に無線 CPU によって更新されます。

部分読み取り用 RX エントリの場合、1 つまたは複数のバイトがエントリに書き込まれるたびに、無線 CPU はシステム CPU に対して Rx_Data_Written 割り込みを生成します。さらに、最後の割り込みまたはエントリ要素の開始以降に k バイトが書き込まれたときに Rx_N_Data_Written 割り込みが生成されます。k は config.irqIntv で指定されます。

25.3.2.8 外部信号

無線 CPU は CPEGPO0 および CPEGPO1 信号を制御します。外部フロントエンドを制御するために、LNA を有効にする必要がある場合は CPEGPO0 が High となり、それ以外の場合は Low となります。PA を有効にする必要がある場合は CPEGPO1 が High となり、それ以外の場合は Low となります。また、無線 CPU は、シンセサイザの較正が開始されたときに信号 CPEGPO2 を High にし、較正が完了したときに Low にするように制御します。この制御はデバッグに使用できます。

無線タイマの出力信号のうち二つは、自動設定機能を持っており、観測用途に使用できます。パケットの送信が開始されると、信号 RATGPO0 は High になり、送信が完了すると Low になります。RATGPO0 信号は同じ信号が内部で使用されるため、パケット送信の正確なタイミングのために観測されることがあります。この信号は CPEGPO1 と非常に似ていますが、数マイクロ秒早く High になり、モデムから最初に送信されるシンボルと比較してタイミング精度がより高くなっています。ただし、CPEGPO1 は外部 PA の制御に推奨されており、早すぎるタイミングでオンにしてしまうのを避けるために使用されます。信号 RATGPO1 は、レシーバで同期が検出されたときに High に遷移し、パケット受信完了または受信中断時に Low に遷移するよう設定できます (ただし IEEE 802.15.4 受信コマンドではこの動作はサポートされません)。RATGPO1 を RFC_GPO 信号にマッピングするには、追加のオーバーライドが必要です。他の無線タイマ出力は、CMD_SET_RAT_OUTPUT を使用して、必要に応じてイベントを生成するように設定できます。

デフォルトでは、無線機 CPU はブート時に CPEGPO0 を RFC_GPO0 に、CPEGPO1 を RFC_GPO1 に、CPEGPO2 を RFC_GPO2 に、そして RATGPO0 を RFC_GPO3 にマッピングします。このマッピングは、RFC_DBELL:SYSGPOCTL レジスタに書き込むことで変更できます。

RFC_GPO 信号は、システム I/O コントローラを使用して出力ピンにマッピングできます。

Copyright © 2026 Texas Instruments Incorporated

25.3.3 コマンドの定義

現在の RF プロトコルに依存しない一連のコマンドがあります。これらのコマンドは、無線の低レベル動作に関連しています。

25.3.3.1 プロトコルに依存しない無線動作コマンド

以降のサブセクション (セクション 25.3.3.1.1 ～ セクション 25.3.3.1.14) で説明されている無線動作コマンドについては、動作は
表 25-14 に示された原因のいずれか、または各コマンドごとに追加で定義されているステータスによって終了します。動作が終了した後、コマンド構造の status フィールドに操作が終了した理由が示されます。それぞれの場合について、結果が TRUE、FALSE、または ABORT のいずれであるかが示されます (セクション 25.3.2.5.2 を参照)。この結果は、pNextOp で指定された次のコマンド (存在する場合) を開始するか、アイドル状態に戻すかを示します。

表 25-14. 無線操作の終了コマンド

条件	ステータス コード	結果
操作終了	DONE_OK	TRUE
開始トリガ待機中に CMD_STOP を受信しました	DONE_STOPPED	FALSE
CMD_ABORT を受信しました	DONE_ABORT	ABORT
startTrigger.pastTrig = 0 で、過去に開始トリガが発生しました	ERROR_PAST_START	ABORT
開始トリガ パラメータが正しくありません	ERROR_START_TRIG	ABORT
次の動作に対する条件が正しくありません	ERROR_CONDITION	ABORT
不正なパラメータを検出しました	ERROR_PAR	ABORT
次の動作へのポインタが無効です	ERROR_POINTER	ABORT
次の動作のコマンド ID が未定義であるか、または無線動作コマンドではありません	ERROR_CMDID	ABORT
CMD_RADIO_SETUP なしで、RX、TX、またはシンセサイザを使用した動作	ERROR_NO_SETUP	ABORT
シンセサイザをプログラムしない状態で、RX または TX を使用した動作を試行します	ERROR_NO_FS	ABORT

Copyright © 2026 Texas Instruments Incorporated

25.3.3.1.1 CMD_NOP：無動作コマンド

コマンド ID 番号：0x0801

CMD_NOP は、表 25-9 に示す必須引数のみを取る無線動作コマンドです。このコマンドは開始トリガを待機するだけで、その後終了します。このコマンドは、システム CPU と無線 CPU 間の通信をテストするため、または待機を挿入するために使用できます。

25.3.3.1.2 CMD_RADIO_SETUP：無線設定セットアップ コマンド

コマンド ID 番号：0x0802

CMD_RADIO_SETUP は、無線動作コマンドです。コマンド構造には、表 25-9 に示すパラメータのほかに、表 25-15 に示すフィールドが含まれます。

表 25-15. CMD_RADIO_SETUP コマンド フォーマット

バイト インデックス	フィールド	ビット インデックス	ビット フィールド名	タイプ	説明
14	モード			W	これは、メイン モードで使用します。 0x00：Bluetooth Low Energy 0x01：IEEE 802.15.4 0x02：2Mbps GFSK 0x05：5Mbps コード 8-FSK 0xFF：既存のモードを保持。更新は上書きのみを行います。
15	loDivider			W	使用する分周器の設定。デバイスおよび帯域ごとの推奨設定については、Smart RF Studio を参照してください。 範囲は、一部のチップ バージョンでは制限されています。
16 ~ 17	config	0 ~ 2	frontEndMode		0x00：差動モード 0x01：シングルエンド モード RFP 0x02：シングルエンド モード RFN その他：予約済み
		3	biasMode	W	0：内部バイアス 1：外部バイアス
		4-9	analogCfgMode	W	0x00：アナログ構成を書き込みます。起動後、周波数帯域またはフロントエンド構成を変更するときに初めて必要です。 0x2D：アナログ構成を維持します。スタンバイ後、または同じ周波数帯域とフロントエンド構成でモードを変更する場合に使用できます。 その他：予約済み
		10	bNoFsPowerup	W	0：パワーアップ周波数シンセサイザ。 1：周波数シンセサイザに電源を投入しないでください。
		11	lnaIbBoost		SmartRF Studio の設定を使用します
		12	bSynthNarrowBand		SmartRF Studio の設定を使用します
		13 ~ 15			予約済み
18 ~ 19	txPower			W	出力電力設定。SmartRF Studio の値を使用します。詳細については、セクション 25.3.3.2.16 を参照してください。 0xFFFF：20dBm PA を使用します
20 ~ 23	pRegOverride			W	オーバーライドするハードウェア レジスタと構成レジスタのリストへのポインタ。NULL の場合、オーバーライドは使用されません。

Copyright © 2026 Texas Instruments Incorporated

開始時に、無線 CPU は mode.radioMode で指定された動作モードのパラメータを設定します。この場合、pRegOverride で指定された変更、特定のハードウェア レジスタのオーバーライド値、無線 CPU で制御される無線構成、およびプロトコル関連の変数を含む構造へのポインタを設定します。pRegOverride が NULL の場合、レジスタはオーバーライドされません。オーバーライド値構造は、TI から提供されるか、SmartRF Studio によって生成された 32 ビット エントリからなる文字列です。

レシーバ、トランスミッタ、または周波数シンセサイザを使用するコマンドを使用する前に、CMD_RADIO_SETUP または別の無線セットアップ コマンドを実行する必要があります。RF コアがリセットされた場合、CMD_RADIO_SETUP を再実行する必要があります。

CMD_RADIO_SETUP の実行時、トリム値は他の場所で提供されていない限り、FCFG1 から読み取られます。これらの値が FCFG1 から読み取られる場合、CMD_RADIO_SETUP の実行中には以下の制限が適用されます。

VIMS モジュールに電源を供給し、フラッシュ読み取りを可能にする必要があります。

前述の制限に違反すると、内部システム バスが応答しない状態になる可能性があります。この状態を終了するには、システム リセットが必要です。CMD_RADIO_SETUP 実行中の FCFG1 読み取りを可能にするため、TI が提供する RF ドライバは、無線セットアップ コマンドの実行中に VIMS を自動的に有効にします。

表 25-16 に、ハードウェア レジスタ オーバーライド エントリのフォーマットを示します。表 25-17 に、配列イニシエータのフォーマットを示します。表 25-18 に、ADI レジスタ オーバーライド エントリのフォーマットを示します。表 25-19 に、ファームウェア定義のパラメータ オーバーライド エントリのフォーマットを示します。表 25-20 に、MCE/RFE オーバーライド モード エントリのフォーマットを示します。表 25-21 に、中心周波数エントリのフォーマットを示します。

txPower パラメータは、パケットの送信が温度補償付きの出力電力の設定を開始するたびに保存され、適用されます。この設定は、後で CMD_SET_TX_POWER コマンドを使用して変更できます (セクション 25.3.3.2.16 を参照)。txPower が 0xFFFF の場合、通常の PA ではなく 20dBm PA が選択されます。この設定は「P」デバイスでのみ許可されます。この設定を使用する場合、表 25-22 で定義されている 20dBm の PA 電力オーバーライドは必須です。セットアップ コマンドがない場合はエラーで終了します。

表 25-16. ハードウェア レジスタ オーバーライド エントリのフォーマット

ビット インデックス	ビット フィールド名	説明
0 ~ 1	entryType	00:ハードウェア レジスタ 01:配列イニシエータ、表 25-17 10 を参照:ADI レジスタ、表 25-18 を参照、または MCE/RFE オーバーライド 11:ファームウェア定義パラメータ、表 25-19 を参照
2 ~ 15	hwAddr	ハードウェア レジスタへのアドレスのビット 2 ～ 15。アドレスのビット 0 ～ 1 は 0 です。
16 ~ 31	値	レジスタに書き込む値

表 25-17. 配列イニシエータのフォーマット

ビット インデックス	ビット フィールド名	説明
0 ~ 1	entryType	01:配列イニシエータ
2 ~ 15	startAddr	書き込む最初のアドレスまたはインデックス: ハードウェア レジスタ:アドレスのビット 2 ～ 15 (ビット 0 ～ 1 は 0) ADI レジスタ:ADI バス アドレス、ビット 6 のハーフバイト インジケータ、ビット 7 の ADI セレクタ ファームウェア定義パラメータ:バイト インデックス
16 ~ 29	length	エントリ数

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-17. 配列イニシエータのフォーマット (続き)

ビット インデックス	ビット フィールド名	説明
30 ~ 31	arrayType	アレイのタイプ : 00 : 16 ビット値を持つハードウェア レジスタ 01 : 32 ビット値を持つハードウェア レジスタ 10 : ADI レジスタ 11 : ファームウェア定義のパラメータ

Copyright © 2026 Texas Instruments Incorporated

表 25-18. ADI レジスタ オーバーライド エントリのフォーマット

ビット インデックス	ビット フィールド名	説明
0 ~ 1	entryType	10:ADI レジスタ
2 ~ 9	adiValue2	書き込むオプションの 2 番目の値
10 ~ 15	adiAddr2	オプションの 2 番目の ADI バス アドレス
16 ~ 23	adiValue	レジスタに書き込む値
24 ~ 29	adiAddr	ADI バス アドレス
30	bHalfSize	0:フルサイズ書き込みを使用 1:ハーフ サイズの書き込みを使用、読み取り / 変更 / 書き込み機能が実行されます
31	adiNo	0:ADI 0 (RF) に書き込む 1:ADI 1 に書き込み (シンセサイザ)

表 25-19. ファームウェア定義パラメータ オーバーライド エントリのフォーマット

ビット インデックス	ビット フィールド名	説明
0 ~ 1	entryType	11:ファームウェア定義のパラメータ
2 ~ 3	entrySubType	00:ファームウェア定義パラメータ 01:MCE/RFE オーバーライド モード (最初のエントリにある必要があります)。表 25-20 を参照:予約済み 10 11:オーバーライド リストの終了
4 ~ 14	fwAddr	パラメータ構造へのバイト インデックス
15	bByte	0:16 ビット値 1:8 ビット値
16 ~ 31	値	パラメータに書き込む値

表 25-20. MCE/RFE オーバーライド モード エントリのフォーマット

ビット インデックス	ビット フィールド名	説明
0 ~ 1	entryType	11:ファームウェア定義のパラメータ
2 ~ 3	entrySubType	01:MCE/RFE オーバーライド モード
4	bMceCopyRam	1 の場合は、mceRomBank から提供された MDM ROM バンクの内容を MCE のセットアップ完了後に RAM にコピーします。
5	bRfeCopyRam	1 の場合は、rfeRomBank によって与えられた RFE ROM バンクの内容を MCE のセットアップ完了後に RAM にコピーします。
6	bMceUseRam	0:ROM から MCE を実行 1:RAM から MCE を実行
7 ~ 10	mceRomBank	実行元の MCE ROM バンク
11	bRfeUseRam	0:ROM から RFE を実行 1:RAM から RFE を実行
12 ~ 15	rfeRomBank	実行元の RFE ROM バンク
16 ~ 23	mceMode	MCE に送信するモード
24 ~ 31	rfeMode	RFE に送信するモード

Copyright © 2026 Texas Instruments Incorporated

表 25-21. 中心周波数エントリのフォーマット

ビット インデックス	ビット フィールド名	説明
0 ~ 1	entryType	11:ファームウェア定義のパラメータ
2 ~ 3	entrySubType	10:特別な構成
4 ~ 7	specialType	0001:中心周波数エントリ
8		予約済み
9	bAutoTxIf	1 の場合、TX IF を RX IF に設定します。
10	bApplyRx	1 の場合、invRfFreq を使用して RX IF を再計算します。
11	bApplyTx	1 の場合、invRfFreq を使用して TX 形状を再計算します。
12 ~ 31	invRfFreq	fRFMHz が中心周波数 (MHz 単位) である場合の値: (12 × 24 × 220) / (fRFMHz × loDivider)

表 25-22. 20dBm PA TX 出力エントリ

ビット インデックス	ビット フィールド名	説明
0 ~ 1	entryType	11:ファームウェア定義パラメータ
2 ~ 3	entrySubType	10:特別な構成
4 ~ 7	specialType	0010:20dBm PA TX 出力エントリ
8 ~ 9		予約済み
10 ~ 15	IB	新しい TX 出力設定。TI では、SmartRF Studio の値を使用することを推奨しています。25℃ の PA 電力制御フィールドに書き込む値。詳細は、式 14 を参照してください。
16 ~ 17	ibBoost	PA のバイアス制御フィールドに書き込む値
18	昇圧	PA へのドライバ強度 0:低いドライバ強度 1:高いドライバ強度
19 ~ 25	tempCoeff	IB の温度係数 0:温度補償なし
26 ~ 31	paLdoTrim	20dBm PA LDO の出力電圧制御に書き込む値

表 25-23. End of List エントリのフォーマット

ビット インデックス	ビット フィールド名	説明
0 ~ 1	entryType	11:ファームウェア定義のパラメータ
2 ~ 3	entrySubType	11:End of List セグメント
4 ~ 7	nextEntryRegion	0x0:End of list 0x1:SRAM。基数 = 0x2000 0000 0x2:RF コア RAM。基数 = 0x2100 0000 0x3:フラッシュ。基数 = 0xA000 0000 0xF:End of list その他:予約済み
8 ~ 31	addrOffset	次のリスト パートへのアドレス オフセット。次のアドレス: 基数 + (addrOffset × 4)

SmartRF Studio のコード エクスポート機能を使用して、さまざまな PHY と設定に対応するオーバーライド リストを生成します。

Copyright © 2026 Texas Instruments Incorporated

pRegOverride のポインタが無効の場合、オーバーライド エントリも無効です。配列長が大きすぎる、またはゼロの場合、この操作は ERROR_PAR のステータスで終了します。config.bNoFsPowerup = 0 でシンセサイザの電源投入が失敗した場合、このコマンドは ERROR_SYNTH_PROG のステータスで終了します。

開始トリガの待機中に CMD_ABORT または CMD_STOP を受信すると、セットアップなしに動作が終了します。開始トリガの後に CMD_STOP を受信すると、セットアップは完了するまで進みます。開始トリガの後に CMD_ABORT を受信すると、セットアップ プロセスは中止されます。これにより、レジスタは不完全な状態になるため、無線を使用する前に、別の CMD_RADIO_SETUP コマンドを発行する必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.3.3.1.3 CMD_FS_POWERUP: パワー アップ周波数シンセサイザ

コマンド ID 番号:0x080C

CMD_FS_POWERUP は、無線機操作コマンドです。コマンド構造には、表 25-9 に示すパラメータのほかに、表 25-24 に示すフィールドが含まれます。

開始時に、無線機 CPU は周波数シンセサイザを起動し、pRegOverride で指定されたレジスタの変更を適用します。pRegOverride が NULL の場合、レジスタはオーバーライドされません。オーバーライド構造体の形式は、CMD_RADIO_SETUP の形式と同じです (セクション 25.3.3.1.2 を参照)。オーバーライドのみがシンセサイザ ハードウェアに適用されます。

無線の設定時にシンセサイザの電源がオンになっていない限り、周波数シンセサイザ (つまりトランスミッタまたはレシーバ) を使用するコマンドを使用する前に、CMD_FS_POWERUP を実行することが必須です。無線は、CMD_FS_POWERUP 前に、CMD_RADIO_SETUP または別の設定コマンドを使用して設定する必要があります。

pRegOverride のポインタが無効である場合、アドレスまたはインデックスが無効である場合、配列の長さがゼロまたは大きすぎる場合。エントリ内の別のパラメータが許可されない場合、操作はステータス ERROR_PAR で終了します。シンセサイザの電源投入に失敗した場合、コマンドはステータスとして ERROR_SYNTH_PROG で終了します。それ以外の方法が完了すると、コマンドのステータスは DONE_OK になります。

表 25-24. CMD_FS_POWERUP コマンドの形式

バイト インデックス	フィールド名	ビット インデックス	ビット フィールド名	タイプ	説明
14 ~ 15					予約済み
16 ~ 19	pRegOverride			W	オーバーライドするハードウェア レジスタと構成レジスタのリストへのポインタ。NULL の場合、オーバーライドは使用されません。

25.3.3.1.4 CMD_FS_POWERDOWN:周波数シンセサイザをパワーダウン

コマンド ID 番号:0x080D

CMD_FS_POWERDOWN は、表 25-9 に示す必須引数のみを取る無線動作コマンドです。このコマンドは開始トリガを待機し、その後シンセサイザをパワーダウンします。パワーダウン動作では、CMD_FS_OFF (セクション 25.3.3.1.6 を参照) や一部の他の無線動作コマンドの終了時と同様にシンセサイザを停止するだけでなく、アナログ モジュールもオフにします。

CMD_FS_POWERDOWN の実行後は、シンセサイザを使用する前に、CMD_FS_POWERUP またはシンセサイザをパワーアップする別のコマンドを使用して、シンセサイザを再度パワーアップする必要があります。

無線をパワーダウンする前には、必ず CMD_FS_POWERDOWN を実行する必要があります (たとえば、デバイスが低消費電力モードに移行する場合)。

完了すると、CMD_FS_POWERDOWN コマンドは DONE_OK ステータスで終了します。

Copyright © 2026 Texas Instruments Incorporated

25.3.3.1.5 CMD_FS：周波数シンセサイザ制御コマンド

コマンド ID 番号：0x0803

CMD_FS は無線動作コマンドです。表 25-9 に示すパラメータに加えて、コマンド構造には表 25-25 に示すフィールドが含まれ、シンセサイザを特定の周波数にプログラムできます。

使用する周波数は frequency と fractFreq で指定され、
(frequency + fractFreq / 65536) MHz にできるだけ近い値である必要があります。

シンセサイザは、synthConf.bTxMode に応じて RX モードまたは TX モードで設定されます。このモードは、RX または TX の設定時に無線動作コマンドによって変更される場合があります。synthConf.refFreq がゼロ以外の場合、デフォルトのリファレンス周波数の代わりに 24MHz / synthConf.refFreq のリファレンス周波数が使用されます。

シンセサイザがプログラムされ、ロック状態になった後にロック喪失を報告した場合、無線 CPU は Synth_No_Lock 割り込みを発生させます。シンセサイザは動作を継続しますが、システム CPU はこの情報を使用して無線を停止し、再起動できます。Synth_No_Lock は、シンセサイザがプログラムされるたびに 1 回を超えて発生することはありません。暗黙的な周波数プログラミングを伴うコマンドでも、この割り込みが発生する場合があります。

コマンドが不正な周波数または分周器設定で呼び出された場合、コマンドは ERROR_PAR ステータスで終了します。無線が構成されていない状態でコマンドが呼び出された場合、ERROR_NO_SETUP ステータスで終了します。シンセサイザがパワーアップされていない状態でコマンドが呼び出された場合、ERROR_NO_FS ステータスで終了します。

表 25-25. CMD_FS コマンドの形式

バイト インデックス	フィールド名	ビット インデックス	ビット フィールド名	タイプ	説明
14 ~ 15	frequency			W	シンセサイザの調整先の周波数 (MHz)
16 ~ 17	fractFreq			W	シンセサイザの調整先の周波数の小数部分
18	synthConf	0	bTxMode	W	0：シンセサイザを RX モードで開始します。 1：シンセサイザを TX モードで開始します。
		1 ~ 6	refFreq	W	0：デフォルトのリファレンス周波数を使用します。 その他：リファレンス周波数 24MHz/refFreq を使用します。
		7	予約済み	W	予約済み
19 ~ 23			予約済み	W	予約済み

25.3.3.1.6 CMD_FS_OFF: 周波数シンセサイザをオフにします

コマンド ID 番号：0x0804

CMD_FS_OFF は、
表 25-9 に示されている必須の引数のみを取る無線操作コマンドです。周波数シンセサイザが CMD_FS によって起動されている場合、またはシンセサイザの電源をオフにしない無線操作コマンドによってオンのままになっている場合は、周波数シンセサイザをオフにします。

コマンドが開始されると、シンセサイザ出力は無効化され、ステート マシンはリセットされます。アナログ部品には引き続き電力が供給されます。CMD_FS_POWERDOWN (セクション 25.3.3.1.4 を参照) は、シンセサイザの電源をオフにして、消費電流をさらに低減できます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.3.3.1.7 CMD_RX_TEST: レシーバ テスト コマンド

コマンド ID 番号:0x0807

CMD_RX_TEST は、テスト目的でレシーバを無限 RX モードに設定するために使用する無線動作コマンドです。

レシーバにプログラムされた同期ワードは、syncWord の LSB に示されます。config.bNoSync が 1 の場合、同期探索のための相関スレッショルドは最大値に設定され、同期が検出されないようにします。スレッショルドは、コマンドが終了すると復元されます。

pktConfig.bFsOff が 1 の場合、動作が完了した後、シンセサイザはオフになります (CMD_FS_OFF に対応します。セクション 25.3.3.1.6 を参照)。それ以外の場合、シンセサイザはオンのままになります。

動作を終了するトリガーは、endTrigger と endTime によって設定されます (セクション 25.3.2.5.1 を参照)。このパラメータで定義されているトリガが発生すると、無線動作が終了します。

この動作は、表 25-14 に示されているいずれかの原因によって終了します。

CMD_RX_TEST のコマンド構造には、表 25-26 に示すフィールドが含まれています。

表 25-26. CMD_RX_TEST コマンドのフォーマット

バイト インデックス	バイト フィールド名	ビット	ビット フィールド名	タイプ	説明
14	config	0	予約済み	W	0 に設定します
		1	bFsOff	W	0:コマンド後も周波数シンセサイザをオンのままにします。 1:コマンド後に周波数シンセサイザをオフにします。
		2	bNoSync	W	0:設定されたモードの同期検索を通常どおり実行します。 1:同期を避けるために、相関スレッショルドを最大値に書き込みます。
15	endTrigger			W	動作を終了するためのトリガ分類器
16 ~ 19	syncWord			W	レシーバに使用する同期ワード
20 ~ 23	endTime			W	動作を終了する時間

Copyright © 2026 Texas Instruments Incorporated

25.3.3.1.8 CMD_TX_TEST：トランスミッタ テスト コマンド

コマンド ID 番号：0x0808

CMD_TX_TEST は、レシーバを無限 TX モードに設定し、テスト用の CW または変調データを送信するために使用する無線動作コマンドです。

開始時に、無線 CPU はトランスミッタを起動します。CMD_TX_TEST を発行する前に、無線は CMD_RADIO_SETUP で構成され、無線シンセサイザは CMD_FS 無線コマンドにより TX モードで起動する必要があります。無線は、現在の無線設定で指定されたサイズのプリアンブルと同期ワードを送信します (CMD_RADIO_SETUP を使用して指定されます)。同期ワードは、syncWord の LSB に示されます。同期ワード後のペイロードは、16 ビット ワードの txWord で構成され、無期限に繰り返されます。このワードは、config.whitenMode で指定されたオプションを使用して、ホワイトニングを実行することができます。このオプションには、次の値があります。

- 0：ホワイトニングは使用されません。この値は、繰り返しパターンを使用するテストに便利ですが、スペクトル測定に使用する場合はスプリアスがあります。
- 1：デフォルトのホワイトニング。この値は、現在使用中のモードの設定に従ってホワイトバランスが調整されることを意味します (オーバーライドがある可能性があります)。ホワイトニングを使用しないモードの場合、ホワイトニングは適用されません。
- 2：PRBS-15：使用される多項式は、$x^{15} + x^{14} + 1$ です。この値により、長さ 32767 の疑似ノイズ シーケンスが得られます。
- 3：PRBS-31：使用される多項式は、$x^{32} + x^{22} + x^2 + x + 1$ です。この値により、長さ 4294967295 の疑似ノイズ シーケンスが得られます。

ホワイトニング モード 2 および 3 の場合、無線 CPU が PRBS 値レジスタに 0xAAAA 0000 を書き込んでから、送信が開始します。ホワイトニング モード 1 では、デフォルトの初期化が使用されます。

トランスミッタは、endTrigger と endTime によって設定されたトリガ (セクション 25.3.2.5.1 を参照) が発生するまで、または中断コマンドが発行されるまで実行されます。

pktConfig.bFsOn が 1 の場合、動作が完了した後、シンセサイザはオフになります (CMD_FS_OFF に対応します。セクション 25.3.3.1.6 を参照)。それ以外の場合はオンのままになります。

この動作は、表 25-14 に示されているいずれかの原因によって終了します。

CMD_TX_TEST のコマンド構造には、表 25-27 に示すフィールドが含まれています。

表 25-27. CMD_TX_TEST コマンド フォーマット

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14	config	0	bUseCw	W	0：変調済み信号を送信します。 1：連続波を送信します。
		1	bFsOff	W	0：コマンド後、周波数シンセサイザのオンを維持します。 1：コマンド後、周波数シンセサイザをオフにします。
		2 ~ 3	whitenMode	W	0：ホワイトニングなし 1：デフォルト ホワイトニング 2：PRBS-15 3：PRBS-32
15					予約済み
16 ~ 17	txWord			W	ホワイトニング前にモデムに送信する値
18					予約済み
19	endTrigger			W	動作を終了するためのトリガ分類器
20 ~ 23	syncWord			W	トランスミッタに使用する同期ワード
24 ~ 27	endTime			W	動作を終了する時間

Copyright © 2026 Texas Instruments Incorporated

25.3.3.1.9 CMD_SYNC_STOP_RAT：無線タイマの同期および停止コマンド

コマンド ID 番号：0x0809

CMD_SYNC_STOP_RAT は無線動作コマンドです。コマンド構造には、
表 25-9 に示すパラメータのほかに、表 25-28 に示すフィールドが含まれます。

詳細については、Chapter 16 を参照してください。

AON_RTC:CTL.RTC_UPD_EN は 1 にする必要があります。

表 25-28. CMD_SYNC_STOP_RAT コマンド フォーマット

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14 ~ 15					未使用。
16 ~ 19	rat0			R	RTC がゼロであったときに RAT の値に対応する、返された RAT 値。

開始時に無線 CPU は RTC ティックのキャプチャを設定し、このティックを待機してから RAT を停止し、値 rat0 を計算します。この値は、RAT の再起動時の使用に保存する必要があります。

25.3.3.1.10 CMD_SYNC_START_RAT: 無線タイマの同期開始コマンド

コマンド ID 番号：0x080A

CMD_SYNC_START_RAT は無線操動作コマンドです。コマンド構造には、
表 25-9 に示すパラメータのほかに、表 25-29 に示すフィールドが含まれます。

詳細については、Chapter 16 を参照してください。

TOP:AON_RTC:CTL.RTC_UPD_EN は 1 である必要があります。

表 25-29. CMD_SYNC_START_RAT コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14 ~ 15					未使用。
16 ~ 19	rat0			W	RTC がゼロだったときに RAT が持っていた値に対応する、所望の RAT 値。このパラメータは、CMD_SYNC_STOP_RAT によって返されます。

起動時、無線機 CPU は RAT を開始し、RTC ティックのキャプチャを設定してそのティックを待機し、その後入力パラメータ rat0 に基づいて必要なタイマ調整量を計算し、その調整を実行します。入力パラメータ rat0 は、CMD_SYNC_STOP_RAT によって以前返された値です。

このコマンドが発行されると、無線タイマは通常は動作しないため、開始トリガは TRIG_NOW である必要があります (セクション 25.3.2.5.1 を参照)。

システム ブート後に RAT を最初に起動するときは、CMD_START_RAT コマンドを使用する必要があります (セクション 25.3.3.2.7 を参照)。代替として、CMD_SYNC_START_RAT を 0 などの固定パラメータで発行することも可能ですが、その場合 RAT の開始値は任意の値になります。無線機の電源をオフにする前に、システム CPU は CMD_SYNC_STOP_RAT コマンドを実行する必要があります。無線に再度電源を投入した後、システム CPU は、CMD_SYNC_STOP_RAT が発行されたときに受信したパラメータと同じパラメータで、CMD_SYNC_START_RAT コマンドを実行する必要があります。

Copyright © 2026 Texas Instruments Incorporated

25.3.3.1.11 CMD_COUNT：カウンタ コマンド

コマンド ID 番号：0x080B

CMD_COUNT は無線動作コマンドです。表 25-9 に示すパラメータに加えて、コマンド構造には表 25-30 に示すフィールドが含まれます。

表 25-30. CMD_COUNT コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14 ~ 15	counter			R/W	カウンタ。開始時に、無線 CPU は値をデクリメントします。結果がゼロの場合、動作の終了ステータスは異なります。

開始時に、無線 CPU は counter フィールドを 1 デクリメントし、結果をこのフィールドに書き戻します。デクリメントの結果がゼロの場合、動作は DONE_COUNTDOWN ステータスおよび FALSE の結果で終了します。それ以外の場合、動作は DONE_OK ステータスおよび TRUE の結果で終了します。これは、条件付き実行でループを作成するために使用できます。

counter がゼロの状態で動作が開始された場合、これは不正なパラメータであるため、動作は ERROR_PAR ステータスで終了します。

動作は、表 25-26 または表 25-31 に示すいずれかの原因によって終了します。

表 25-31. CMD_COUNT の追加の終了要因

条件	ステータス コード	結果
counter > 0 で動作を終了	DONE_OK	TRUE
counter = 0 で動作を終了	DONE_COUNTDOWN	FALSE

25.3.3.1.12 CMD_SCH_IMM：即時コマンドを無線動作として実行

コマンド ID 番号：0x0810

CMD_SCH_IMM は無線動作コマンドです。表 25-9 に示すパラメータに加えて、コマンド構造には表 25-32 に示すフィールドが含まれます。

表 25-32. CMD_SCH_IMM コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14 ~ 15					予約済み
16 ~ 19	cmdrVal			W	CMDR に書き込まれる値
20 ~ 23	cmdstaVal			R	CMDSTA で返される値

開始時に、無線 CPU は cmdrVal の値を取得し、それが CMDR レジスタに書き込まれたものとして処理します。このコマンドは、即時コマンドへのポインタである場合も、図 25-4 に示すようにダイレクト コマンドを構成する場合もあります。無線動作コマンドへのポインタは、スケジューリング エラーを発生させます。通常であれば CMDSTA で返される値は cmdstaVal に書き込まれるため、コマンド RF_CMD_ACK 割り込みは発生しません。代わりに、他の無線動作コマンドと同様に COMMAND_DONE 割り込みが発生します。

即時コマンドまたはダイレクト コマンドの結果に応じて、無線動作コマンドのステータスおよび結果は表 25-33 に示すようになります。

Copyright © 2026 Texas Instruments Incorporated

CMD_SCH_IMM は、無線動作コマンド チェーンの一部として、または将来のスケジュール用に即時コマンドを実行できます。スケジュールされた CMD_SCH_IMM コマンドの開始時に、CMDR レジスタで受信された即時コマンドまたはダイレクト コマンドが処理中である場合、スケジュールされたコマンドの処理は、もう一方のコマンドが完了した後に開始されます。

表 25-33. CMD_SCH_IMM の終了ステータス

条件	ステータス コード	結果
即時コマンドが DONE の結果で終了	DONE_OK	TRUE
コマンドの実行中にエラーが発生し、次の表行に記載されていない CMDSTA 結果が返されました。	DONE_FAILED	FALSE
コマンドにエラーがあり、次のいずれかの結果が返されました。 • SchedulingError • UnknownCommand • UnknownDirCommand • IllegalPointer • ParError.	ERROR_PAR	ABORT

25.3.3.1.13 CMD_COUNT_BRANCH: コマンド チェーンの分岐を使用するカウンタ コマンド

コマンド ID 番号:0x0812

CMD_COUNT_BRANCH は、無線操作コマンドです。コマンド構造には、表 25-9 に示すパラメータのほかに、表 25-34 に示すフィールドが含まれます。

表 25-34. CMD_COUNT_BRANCH コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14 ~ 15	カウンタ			R/W	カウンタ 開始時に無線 CPU は値をデクリメントし、結果がゼロの場合は動作終了ステータスが異なります。
16 ~ 19	pNextOpIfOk			W	カウンタが満了しなかった場合の次の動作へのポインタ。

開始時に、無線機 CPU はカウンタ フィールドがすでに 0 でない限り 1 ずつデクリメントし、結果をこのフィールドに書き戻します。デクリメントの結果がゼロの場合、操作はステータス DONE_COUNTDOWN と結果 FALSE で終了します。それ以外の場合、操作はステータス DONE_OK で終了し、結果は TRUE になります。この場合、次に実行する無線操作コマンドは pNextOp (表 25-9 を参照) の代わりに pNextOpIfOk によって与えられ、条件付き実行でループを作成するために使用できます。

カウンタがゼロに等しくなって操作が開始された場合、操作はステータス DONE_OK で終了し、次の操作は pNextOpIfOk から実行されます。この操作は、前のコマンドがオプションとしてスキップ設定されている場合に使用できます。これは、チェーン内の前のコマンドからのスキップが pNextOp に従って処理されるためです。

操作は、表 25-14 または表 25-35 に示すいずれかの原因によって終了します。

表 25-35. CMD_COUNT_BRANCH の追加の終了原因

条件	ステータス コード	結果
開始時点でカウンタが 0 のまま操作が終了したことを示します	DONE_OK	TRUE
デクリメント後、カウンタが 0 より大きい状態で操作が終了したことを示します	DONE_OK	TRUE
デクリメントした後、カウンタが 0 で動作を終了します	DONE_COUNTDOWN	FALSE

Copyright © 2026 Texas Instruments Incorporated

25.3.3.1.14 CMD_PATTERN_CHECK：メモリ内の値をパターンと照合

コマンド ID 番号：0x0813

CMD_PATTERN_CHECK は無線動作コマンドです。
表 25-9 に示すパラメータに加えて、コマンド構造には表 25-36 に示すフィールドが含まれます。

表 25-36. CMD_PATTERN_CHECK コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14 ~ 15	patternOpt	0 ~ 1	オペレーション	W	実行する動作: 0：value == compareVal の場合は TRUE 1：value < compareVal の場合は TRUE 2：value > compareVal の場合は TRUE 3：予約済み
		2	bByteRev	W	1 の場合、値の 4 バイトを入れ替えて、MSB ファーストで読み出されるようにします。
		3	bBitRev	W	1 の場合、値のビット反転を実行します。
		4 ~ 8	signExtend	W	0：value と compareVal を符号なし値として扱います。 1 ～ 31：value と compareVal を符号付き値として扱います。このとき、この値は符号付き数値の MSB のビット番号を示します。
		9	bRxVal	W	0：pValue をポインタとして使用します。 1：pValue は、最後にコミットされた RX エントリ要素の先頭に署名されたオフセットとして使用します。
16 ~ 19	pNextOpIfOk			W	比較結果が TRUE の場合は、次の動作へのポインタ
20 ~ 23	pValue			W	読み出し元のポインタ、または patternOpt.bRxVal == 1 の場合は最後の RX エントリからのオフセット
24 ~ 27	マスク			W	比較前に適用するビット マスク
28 ~ 31	compareVal			W	比較対象の値

開始時に、patternOpt.bRxVal == 0 の場合、
無線 CPU は pValue が指す位置から 4 バイトの値を読み出します。patternOpt.bRxVal == 1 の場合、最後にコミットされた RX エントリ要素の先頭へのポインタに、pValue にある符号付き数値をバイト オフセットとして加算することで、読み出し元の位置が求められます。どちらの場合も、このポインタは 4 バイト アラインされている必要はありません。ポインタがバイト アラインされていない場合、値はバイト単位で読み出されます。

その後、値には次の動作がこの順序で適用されます。

1. patternOpt.bByteRev == 1 の場合、バイトが MSB ファーストで読み出されたものとして、バイト 3 とバイト 0、バイト 1 とバイト 2 を入れ替えます。
2. patternOpt.bBitRev == 1 の場合、32 ビット ワード全体のビット順序を反転します。
3. 値とマスクの間でビット単位の AND 演算を実行します。
4. patternOpt.signExtend > 0 の場合、ビット番号 patternOpt.signExtend の値 (ビット 0 が LSB) を、より上位のすべてのビットにコピーします。
5. その後、patternOpt.operation に従って、結果の値と compareVal を比較します (表 25-36 を参照)。比較は、patternOpt.signExtend == 0 の場合は
符号なし、それ以外の場合は符号付きで実行されます。

patternOpt.operation または pValue が不正な値の場合、この動作は ERROR_PAR ステータスで終了します。それ以外の場合、この動作は、前のリストのステップ 5 の比較結果に応じて、表 25-14 または表 25-37 に示すいずれかの原因で終了します。比較結果が TRUE の場合、次に実行される無線動作コマンドは、pNextOp ではなく pNextOpIfOk で指定されます。

Copyright © 2026 Texas Instruments Incorporated

表 25-37. CMD_PATTERN_CHECK のその他の終了原因

条件	ステータス コード	結果
比較結果は TRUE でした。	DONE_OK	TRUE
比較結果は FALSE でした。	DONE_FAILED	FALSE
RX データが完全に受信されていない状態で patternOpt.bRxVal を指定してコマンドを実行	ERROR_NO_RX	ABORT

25.3.3.2 プロトコル非依存ダイレクト コマンドおよび即時コマンド

ここでは、プロトコル間で使用できる即時コマンドについて説明します。セクション 25.3.4 では、データ キューを操作するためのコマンドについて説明します。

25.3.3.2.1 CMD_ABORT:ABORT コマンド

コマンド ID 番号:0x0401

CMD_ABORT はダイレクト コマンドです。

受信時に、無線 CPU は実行中の無線動作コマンドをできるだけ速やかに終了します。RX および TX 用のアナログ回路は安全にオフにされ、データ構造は未完了の状態で残らないよう更新されます。

CMD_ABORT 発行時に無線動作コマンドが実行中の場合、その無線動作コマンドの終了時に、無線 CPU は COMMAND_DONE 割り込みおよび LAST_COMMAND_DONE 割り込みを生成します。その無線動作コマンドのコマンド構造内のステータスは、コマンドが中止されたことを示します。

無線動作コマンドが実行されていない場合は、何も実行されません。CMDSTA レジスタで通知される結果は、すべての場合で DONE です。無線動作コマンドが実行中の場合、無線動作が終了する前に CMDSTA が更新されることがあります。

25.3.3.2.2 CMD_STOP:ストップ コマンド

コマンド ID 番号:0x0402

CMD_STOP は直接コマンドです。

受信時に、無線 CPU は現在実行中の無線動作コマンドに停止を要求したことを通知します。CMD_STOP コマンドは、CMD_ABORT コマンドよりも「緩やか」で、完了するまでに時間がかかる場合があります。通常、受信または送信されたパケットは完了まで処理されます。CMD_STOP 受信時の正確な動作は、各無線動作コマンドごとに記述されています。一部のコマンドは常に既知の時間内に終了し、CMD_STOP に応答しません。

無線動作コマンドが実行されていない場合は、何も実行されません。CMDSTA で通知される結果は、すべての場合で DONE になります。無線動作コマンドが実行中の場合、無線動作が終了する前に CMDSTA が更新されることがあります。

25.3.3.2.3 CMD_GET_RSSI: RSSI の読み取りコマンド

コマンド ID 番号:0x0403

CMD_GET_RSSI はパラメータを必要としない即時コマンドであるため、ダイレクト コマンドとして使用できます。

受信時に、無線 CPU は基盤となるレシーバから RSSI を読み取ります。RSSI は、CMDSTA の結果バイト 2 (ビット 23 ～ 16) として返されます (図 25-5 を参照)。RSSI は、dBm 単位の符号付き値で表されます。RSSI が利用できない場合は、特別な RSSI 値 (−128、または 0x80) によって示されます。

無線操作コマンドが実行されていない場合、無線 CPU は CMDSTA に Result ContextError を返します。それ以外の場合、無線 CPU は RSSI 値とともに DONE を返します。

Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.4 CMD_UPDATE_RADIO_SETUP: 無線設定の更新コマンド

コマンド ID 番号:0x0001

CMD_UPDATE_RADIO_SETUP は、
表 25-38 に示すパラメータを取得する即時コマンドです。

表 25-38. CMD_UPDATE_RADIO_SETUP コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3					予約済み
4 ~ 7	pRegOverride			W	オーバーライドするハードウェア レジスタおよび設定レジスタのリストへのポインタ

受信時に、無線 CPU は pRegOverride で指定されたレジスタを更新します。これは、特定のハードウェア レジスタのオーバーライド値、無線 CPU によって制御される無線設定、およびプロトコル関連の変数を含む構造体へのポインタです。この形式は、CMD_RADIO_SETUP のものです (セクション 25.3.3.1 を参照)。無線動作中に更新を行う場合は、主として無線設定およびプロトコル設定に対して行う必要があります。ハードウェア レジスタを変更すると、意図しない動作を引き起こす可能性があるためです。

25.3.3.2.5 CMD_TRIGGER:コマンド トリガを生成

コマンド ID 番号:0x0404

CMD_TRIGGER は、表 25-39 に示すパラメータを取得する即時コマンドです。

表 25-39. CMD_TRIGGER コマンドの書式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2	triggerNo			W	コマンド トリガ番号

受信時に、無線 CPU は triggerNo で指定されたコマンド トリガを生成し、実行中の無線動作コマンドがそれに応じて応答するようにします (セクション 25.3.2.5.1 を参照)。

トリガ番号が有効範囲 0～3 以外の場合、無線 CPU は CMDSTA の結果 ParError を返します。送信したトリガ番号で実行保留中の無線動作コマンドがない場合、無線 CPU は CMDSTA の結果 ContextError を返します。それ以外の場合、無線 CPU は DONE を返します。これは実行中の無線動作コマンドがトリガに応答する前に返される場合があります。

CMD_TRIGGER は直接コマンドとして送信される場合があります。その場合、トリガ番号は CMDR のビット 8 ～ 15 のパラメータで指定されます。

Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.6 CMD_GET_FW_INFO: 実行中のファームウェアに関する情報を要求します

コマンド ID 番号:0x0002

CMD_GET_FW_INFO は、表 25-40 に示すパラメータを取得する即時コマンドです。

表 25-40. CMD_GET_FW_INFO コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3	versionNo			R	ファームウェアのバージョン番号
4 ~ 5	startOffset			R	空き RAM の開始
6 ~ 7	freeRamSz			R	空き RAM のサイズ
8 ~ 9	availRatCh			R	使用可能な RAT チャンネルのビットマップ

受信時に、無線機 CPU は実行中の無線ファームウェアに関する情報を報告します。バージョン番号は、versionNo に返される。startOffset および freeRamSz フィールドには、無線機 CPU がデータ (スタックおよびヒープを含む) 用に使用していない無線機 RAM の非保持領域に関する情報が含まれます。この領域は、データ交換、無線機 CPU パッチ適用、またはその他の目的でシステム CPU によって自由に使用できます。空き RAM の開始アドレスと終了アドレスは、無線機 RAM の開始アドレスからのオフセットとして与えられます。RF コア保持 RAM は、最初の 36 バイトを除いて自由に使用できます。

注

この無料の RAM の一部は、TI が提供するパッチに使用されます。

availRatCh フィールドはビットマップで、ビット位置 n は RAT チャネル n がシステム CPU で使用できるかどうかを示します。ビット値が 1 の場合、そのチャネルはシステム CPU によって使用可能であることを示し、ビット値が 0 の場合、そのチャネルは無線機 CPU 用に予約されているか、または存在しないことを示します。

25.3.3.2.7 CMD_START_RAT : 無線タイマ コマンドを非同期で開始する

コマンド ID 番号:0x0405

CMD_START_RAT は直接コマンドです。

受信すると、まだ開始されていない場合、無線 CPU が RAT を開始します。

RAT がすでに実行されている場合、無線 CPU は CMDSTA で ContextError の結果を返します。それ以外の場合、無線 CPU は DONE を返します。

25.3.3.2.8 CMD_PING: 割り込みを使用して応答

コマンド ID 番号:0x0406

CMD_PING は直接コマンドです。

受信時には、無線 CPU は CMDSTA に DONE を返します。このコマンドは、二つの CPU 間の通信をテストしたり、ブート後に無線 CPU の準備が完了したことを確認したりするために使用できます。

Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.9 CMD_READ_RFREG :RF コアレジスタの読み取り

コマンド ID 番号:0x0601

CMD_READ_RFREG は、表 25-41 に示されているパラメータを取得する即時コマンドです。

表 25-41. CMD_READ_RFREG コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3	アドレス			W	RF コア ハードウェア レジスタ バンク (0x4004 0000) の開始からのオフセット
4 ~ 7	値			R	レジスタの戻り値

受信時、無線 CPU はアドレス 0x4004 0000 + アドレスを持つ RF コア レジスタを読み出します。結果は値に書き込まれます。アドレスが 4 で割り切れない場合、無線 CPU は CMDSTA で ParError を返します。

CMD_READ_RFREG は、ダイレクト コマンドとして送信できます。その場合、アドレスは CMDR のビット 2 ～ 15 で指定され、アドレスの下位 2 ビットは 00 に設定されます。

読み取りが実行されると、結果は値として返されます。結果の 24 LSB は、CMDSTA ビット 8 ～ 31 で返されます。CMDSTA で返される結果は DONE です。

25.3.3.2.10 CMD_SET_RAT_CMP: RAT チャネルを比較モードに設定します

コマンド ID 番号:0x000A

CMD_SET_RAT_CMP は、表 25-42 に示すパラメータを取得する即時コマンドです。

表 25-42. CMD_SET_RAT_CMP コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2	ratCh			W	無線タイマのチャネル番号
3					予約済み
4 ~ 7	compareTime			W	比較が行われる時刻

受信時に、無線 CPU は ratCh で指定された RAT チャネルを比較モードに設定し、チャネルの比較時刻を compareTime に設定します。この設定により、チャネルもアームされます。チャネル イベントは指定された時刻に発生します。このイベントは、RFC_DBELL モジュールを介してシステム CPU への RF ハードウェア割り込みとして有効にできます。

チャネル番号には、無線 CPU 用に予約されていないチャネルを指定する必要があります。それ以外の場合、無線 CPU は CMDSTA に ParError を返します。コマンドの評価時に比較時刻がすでに経過している場合、無線 CPU は CMDSTA に ContextError を返し、RAT チャネルを無効にします。比較イベントの設定に成功すると、無線 CPU は CMDSTA に DONE を返します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.11 CMD_SET_RAT_CPT: RAT チャネルをキャプチャ モードに設定します

コマンド ID 番号:0x0603

CMD_SET_RAT_CPT は、表 25-43 に示すパラメータを取得する即時コマンドです。

表 25-43. CMD_SET_RAT_CPT コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3	config	0 ~ 2			予約済み
		3 ~ 7	inputSrc	W	入力ソース インジケータ: 22:RFC_GPI0 23:RFC_GPI1 その他:予約済み
		8 ~ 11	ratCh	W	無線タイマのチャネル番号
		12	bRepeated	W	0:シングル キャプチャ モード 1: 反復キャプチャ モード
		13 ~ 14	inputMode	W	入力モード: 00:立ち上がりエッジ 01: 立ち下がりエッジ 10: 両方のエッジ 11: 予約済み

受信時に、無線 CPU は config.ratCh によって指定された RAT チャネルをキャプチャ モードに設定します。config.bRepeated が 0 の場合、チャネルはシングル キャプチャ モードに設定されます。それ以外の場合、チャネルはリピート キャプチャ モードに設定されます。無線 CPU は入力ソースを config.inputSrc に、入力モードを config.inputMode に設定します。チャネルがシングル キャプチャ モードに設定されている場合は、アラームも設定されます。これにより、キャプチャが発生したときにチャネル イベントが発生し、RFC_DBELL モジュールを介したシステム CPU への RF ハードウェア割り込みとしてイネーブルにできます。

CMD_SET_RAT_CMP は、ダイレクト コマンドとして送信できます。その場合、構成ワードのビット 2 ～ 15 は CMDR のビット 2 ～ 15 で示されます (構成のビット 0 ～ 1 は使用されません)。

チャネル番号には、無線 CPU 用に予約されていないチャネルを指定する必要があります。それ以外の場合、無線 CPU は CMDSTA に ParError を返します。チャネルの設定に成功すると、無線 CPU は CMDSTA に DONE を返します。

25.3.3.2.12 CMD_DISABLE_RAT_CH: RAT チャネルを無効にします

コマンド ID 番号:0x0408

CMD_DISABLE_RAT_CH は、表 25-44 に示すパラメータを取得する即時コマンドです。

表 25-44. CMD_DISABLE_RAT_CH コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2	ratCh			W	RAT チャネル番号

受信時に、無線 CPU は ratCh によって与えられた RAT チャネルを無効にします。これにより、CMD_SET_RAT_CMP コマンドまたは CMD_SET_RAT_CPT コマンドによって以前に行われたチャネルの設定は無効になります。

CMD_DISABLE_RAT_CH は、ダイレクト コマンドとして送信できます。その場合、ratCh は CMDR のビット 8 ～ 15 に指定されたパラメータによって与えられます。

Copyright © 2026 Texas Instruments Incorporated

チャネル番号には、無線 CPU 用に予約されていないチャネルを指定する必要があります。それ以外の場合、無線 CPU は CMDSTA に ParError を返します。チャネル番号が有効な場合、チャネルが無効化された後に、CPU は CMDSTA に DONE を返します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.13 CMD_SET_RAT_OUTPUT: RAT 出力を指定モードに設定します

コマンド ID 番号:0x0604

CMD_SET_RAT_OUTPUT は、表 25-45 に示すパラメータを取得する即時コマンドです。

表 25-45. CMD_SET_RAT_OUTPUT コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3	config	0 ~ 1			予約済み
		2 ~ 4	outputSel	W	出力イベント インジケータ: 1:RAT_GPO1 2:RAT_GPO2 3:RAT_GPO3 その他:予約済み
		5 ~ 7	outputMode	W	出力モード: 000:パルス 001: 設定 010: クリア 011: トグル 100: 常に 0 101: 常に 1 その他:予約済み
		8 ~ 11	ratCh	W	RAT チャネル番号

受信時、無線 CPU は config.outputSel で指定された RAT 出力イベントを、config.outputMode で指定されたモードで設定し、config.ratCh で指定された RAT チャネルによって制御されるようにします。このコマンドは、CMD_SET_RAT_CMP コマンドを使用して、比較モードでこのチャネルを設定するものと組み合わせる必要があります。

CMD_SET_RAT_OUTPUT は、ダイレクト コマンドとして送信できます。その場合、構成ワードのビット 2 ～ 15 は CMDR のビット 2 ～ 15 で示されます (構成のビット 0 ～ 1 は使用されません)。

チャネル番号 config.ratCh には、無線 CPU による使用のために予約されていないチャネルを指定する必要があります。また、出力番号 config.outputSel には、無線 CPU が使用している出力を指定してはなりません。それ以外の場合、無線 CPU は CMDSTA に ParError を返します。出力イベントの設定に成功すると、無線機 CPU は CMDSTA に DONE を返します。

25.3.3.2.14 CMD_ARM_RAT_CH:アーム RAT チャネル

コマンド ID 番号:0x0409

CMD_ARM_RAT_CH は、表 25-46 に示すパラメータを取る即時コマンドです。

表 25-46. CMD_ARM_RAT_CH コマンド形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2	ratCh			W	RAT チャネル番号

受信時に、無線 CPU は ratCh で指定された RAT チャネルをアームします。

CMD_DISABLE_RAT_CH コマンドは、直接コマンドとして送信できます。その場合、ratCh は CMDR のビット 8 ～ 15 のパラメータで指定されます。

Copyright © 2026 Texas Instruments Incorporated

チャネル番号は、無線 CPU 用に予約されていないチャネルを示す必要があります。それ以外の場合、無線 CPU は CMDSTA で ParError を返します。チャネル番号が有効な場合、チャネルがアームされた後、CPU は CMDSTA で DONE を返します。

Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.15 CMD_DISARM_RAT_CH:RAT チャネルをディスアーム

コマンド ID 番号:0x040A

CMD_DISARM_RAT_CH は、表 25-47 に示すパラメータを取る即時コマンドです。

表 25-47. CMD_DISARM_RAT_CH コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2	ratCh			W	RAT チャネル番号

受信時に、無線 CPU は ratCh で指定された RAT チャネルをディスアームします。

CMD_DISABLE_RAT_CH は、ダイレクト コマンドとして送信できます。その場合、ratCh は CMDR のビット 8 ～ 15 のパラメータで指定されます。

チャネル番号は、無線 CPU 用に予約されていないチャネルを示す必要があります。それ以外の場合、無線 CPU は CMDSTA で ParError を返します。チャネル番号が有効な場合、チャネルがアームされた後、CPU は CMDSTA で DONE を返します。

25.3.3.2.16 CMD_SET_TX_POWER: 送信電力を設定します

コマンド ID 番号:0x0010

CMD_SET_TX_POWER は、表 25-48 に示すパラメータを取得する即時コマンドです。

表 25-48. CMD_SET_TX_POWER コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3	txPower			W	新しい TX 出力設定。TI は、SmartRF Studio の値を使用することを推奨します。 ビット 0-6: 25°C の PA 電力制御フィールドに書き込むための IB 値。 詳細は、式 14 を参照してください。 ビット 6-7: PA の最初のステージのゲイン コントロールに書き込む GC 値。 ビット 8: ブースト ドライバ強度を PA に設定します。 0: 低いドライバ強度 1: 高いドライバ強度 ビット 9 ～ 15: tempCoeff IB の温度係数。 0: 温度補償なし。

$$IB = IB_{25°C} + \frac{(Temperature[°C] - 25) \times tempCoeff}{256} \quad (14)$$

受信時に、無線機 CPU は次回の送信開始時に使用する送信電力を設定します。パケットの送信中である場合、送信電力は次のパケットの送信開始時まで更新されません。

パケットの送信が開始されるたびに、送信電力の温度補償が行われます。

無線設定コマンドで 20dBm PA が設定されている場合、CMD_SET_TX_POWER を使用することはできません。この場合、CMD_SET_TX20_POWER (セクション 25.3.3.2.17 を参照) を使用する必要があります。

Copyright © 2026 Texas Instruments Incorporated

完了すると、無線 CPU は CMDSTA に DONE を返します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.17 CMD_SET_TX20_POWER：20dBm PA の送信電力を設定

コマンド ID 番号：0x0014

CMD_SET_TX20_POWER は、表 25-49 に示すパラメータを取る即時コマンドです。

表 25-49. CMD_SET_TX20_POWER コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3					予約済み
4 ~ 7	txPower	0 ~ 6	IB	W	新しい TX 電源設定。SmartRF Studio の値を使用することを推奨します。 25℃ で PA 電力制御フィールドに書き込む値です。 詳細については、式 14 を参照してください。
		6 ~ 7	ibBoost	W	PA のバイアス制御フィールドに書き込む値
		8	昇圧	W	PA へのドライバ強度 0：低ドライバ強度 1：高ドライバ強度
		9-15	tempCoeff	W	IB の温度係数 0：温度補償なし
		16 ~ 21	paLdoTrim	W	20dBm PA LDO の出力電圧制御に書き込む値
		22 ~ 31			予約済み

受信時に、無線 CPU は、次回送信開始時に使用する 20dBm PA の送信電力と温度係数を設定します。パケットの送信中の場合、次のパケットの送信が開始されるまで送信電力は更新されません。

パケットの送信が開始されるたびに、送信電力の温度補償が実行されます。

無線セットアップ コマンドで 20dBm PA が構成されていない場合、CMD_SET_TX20_POWER は使用できません。この場合は、CMD_SET_TX_POWER (セクション 25.3.3.2.16 を参照) を使用する必要があります。

完了すると、無線 CPU は CMDSTA で DONE を返します。

25.3.3.2.18 CMD_UPDATE_FS: 再キャリブレーションなしでシンセサイザ周波数を設定 (非推奨)

コマンド ID 番号：0x0011

CMD_UPDATE_FS は、表 25-50 に示すパラメータを取得する即時コマンドです。このコマンドは他のデバイスとの後方互換性のために提供されていますが、使用は推奨されません。代わりに、CMD_MODIFY_FS (セクション 25.3.3.2.19 を参照) を使用する必要があります。

表 25-50. CMD_UPDATE_FS コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 13					予約済み
14 ~ 15	周波数			W	調整する周波数 (MHz)
16 ~ 17	fractFreq			W	調整する周波数の分数

このコマンドは CMD_MODIFY_FS と同じ動作をしますが、コマンド フォーマットには多くの未使用領域があり、また LO 分周器が 2 以外の場合には周波数が正しく解釈されません。

Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.19 CMD_MODIFY_FS：再キャリブレーションなしで新しいシンセサイザ周波数を設定

コマンド ID 番号：0x0013

CMD_MODIFY_FS は、表 25-51 に示すパラメータを取る即時コマンドです。

表 25-51. CMD_MODIFY_FS コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3	frequency			W	調整先の周波数 (MHz)
4 ~ 5	fractFreq			W	調整先の周波数の小数部分

受信時に、無線 CPU はキャリブレーションを再開せずにシンセサイザに新しい周波数をプログラムします。これは、キャリブレーション時に使用された周波数と比べて小さい変更である必要があります。そうでない場合、シンセサイザは再ロックできない可能性が高くなります。RX または TX 中にコマンドを実行すると、余分な歪みが発生する可能性があります。

使用する周波数は frequency と fractFreq で指定され、周波数は (frequency + fractFreq / 65536) MHz にできるだけ近い値になります。

シンセサイザが動作しておらず、キャリブレーションが完了している場合、無線 CPU は CMDSTA で ContextError を返します。frequency が無効な場合、無線 CPU は CMDSTA で ParError を返します。それ以外の場合、更新が完了すると、無線 CPU は CMDSTA で DONE を返します。

25.3.3.2.20 CMD_BUS_REQUEST: RF コア用のシステム バスを要求します

コマンド ID 番号：0x040E

CMD_BUS_REQUEST は、表 25-52 に示すパラメータを取得する即時コマンドです。

表 25-52. CMD_BUS_REQUEST コマンドのフォーマット

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2	bSysBusNeeded			W	0：システム バスはスリープ状態です 1: システム バス アクセスが必要です

受信時に、無線機の CPU は bSysBusNeeded がゼロでない場合は PRCM へのバス要求ビットを 1 に設定し、bSysBusNeeded がゼロの場合は 0 に設定します。bSysBusNeeded がゼロでない場合、これはシステムがディープ スリープ状態に移行してもシステム バスがアクティブ状態のままとなることを示します。これは、RF コアを動作させ、システム側へアクセスする必要があるために実行され、次のいずれかの理由によって要求されます。

- RF コアに渡されるポインタが指すコマンド構造体やデータ構造体などは、すべてシステム RAM またはフラッシュ上に配置されます。
- TX 出力は温度係数がゼロでない場合、RF コアは温度を読み取る必要があります。
- RF コアは、CMD_SYNC_STOP_RAT または CMD_SYNC_START_RAT 実行時に RAT と同期するため、RTC を読み出す必要があります。

CMD_BUS_REQUEST は、ダイレクト コマンドとして送信できます。その場合、bSysBusNeeded は CMDR のビット 8 ～ 15 のパラメータによって与えられます。

無線機 CPU は、更新が完了すると CMDSTA に DONE を返します。

Copyright © 2026 Texas Instruments Incorporated

25.3.4 データ キュー操作の即時コマンド

次のコマンドは、データ キューを使用するすべての無線操作のデータ キュー操作に使用される即時コマンドです。

25.3.4.1 CMD_ADD_DATA_ENTRY：データ エントリをキューに追加

コマンド ID 番号：0x0005

CMD_ADD_DATA_ENTRY は、表 25-53 に示すパラメータを取得する即時コマンドです。

表 25-53. CMD_ADD_DATA_ENTRY コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3					予約済み
4 ~ 7	pQueue			W	エントリが追加されるキュー構造へのポインタ
8 ~ 11	pEntry			W	エントリへのポインタ

受信時に、無線 CPU は指定されたデータ エントリを、指定されたキューに追加します。無線 CPU は次の動作を実行します。

```
Set pQueue-> pLastEntry-> pNextEntry = pEntry
Set pQueue-> pLastEntry = pEntry
```

ポインタ pQueue または pEntry のいずれかが無効な場合 (つまり、メモリではないアドレス範囲にある場合、または 32 ビット ワード アラインメントがない場合)、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを ParError に設定します。pQueue で指定されたキューがエントリの追加を許可しないように設定されている場合 (セクション 25.3.2.7.1 を参照)、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを QueueError に設定します。

25.3.4.2 CMD_REMOVE_DATA_ENTRY: キューから最初のデータ エントリを削除します

コマンド ID 番号：0x0006

CMD_REMOVE_DATA_ENTRY は、
表 25-54 に示すパラメータを取得する即時コマンドです。

表 25-54. CMD_REMOVE_DATA_ENTRY コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3					予約済み
4 ~ 7	pQueue			W	エントリが削除されるキュー構造へのポインタ
8 ~ 11	pEntry			R	削除されたエントリへのポインタ

受信時に、無線 CPU は指定されたキューから最初のデータ エントリを削除します。このコマンドは、削除されたエントリへのポインタを返します。無線 CPU は次の操作を実行します。

```
Set pEntry = pQueue->pCurrEntry
Set pQueue->pCurrEntry = pEntry->pNextEntry
Set pEntry->status = Finished
```

ポインタ pQueue が無効な場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを ParError に設定します。pQueue で指定されたキューが空の場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを QueueError に設定します。削除するエントリが BUSY 状態の場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを QueueBusy に設定します。

Copyright © 2026 Texas Instruments Incorporated

25.3.4.3 CMD_FLUSH_QUEUE：キューのフラッシュ

コマンド ID 番号：0x0007

CMD_FLUSH_QUEUE は、表 25-55 に示すパラメータを取得する即時コマンドです。

表 25-55. CMD_FLUSH_QUEUE コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3					予約済み
4 ~ 7	pQueue			W	フラッシュするキュー構造体へのポインタ
8 ~ 11	pFirstEntry			R	削除された最初のエントリへのポインタ

受信時に、無線 CPU は指定されたキューをフラッシュし、削除された最初のエントリへのポインタを返します。無線 CPU は次の動作を実行します。

```
Set pFirstEntry = pQueue->pCurrEntry
Set pQueue->pCurrEntry = NULL
Set pQueue->pLastEntry = NULL
```

ポインタ pQueue が無効な場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを ParError に設定します。削除する最初のエントリが BUSY 状態の場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを QueueBusy に設定します。pQueue で指定されたキューが空の場合、無線 CPU が実行すべき動作はありませんが、それでも成功と見なされます。この場合、返される pFirstEntry は NULL です。

25.3.4.4 CMD_CLEAR_RX：すべての RX キュー エントリのクリア

コマンド ID 番号：0x0008

CMD_CLEAR_RX は、表 25-56 に示すパラメータを取得する即時コマンドです。

表 25-56. CMD_CLEAR_RX コマンド フォーマット

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2–:3					予約済み
4 ~ 7	pQueue			W	キュー構造体へのポインタがクリアされます

受信時に、無線 CPU はすべての RX エントリを空であることを示します。無線 CPU は次の動作を実行します。

```
Set pTemp = pQueue->pCurrEntry
Loop: Set pTemp->status = Pending
If pTemp->type == 1 then:
Set pTemp->nextIndex = 0
Set pTemp->numElements = 0
Set pTemp = pTemp->nextIndex
If pTemp != NULL and pTemp != pQueue->pCurrEntry, repeat from Loop
```

ポインタ pQueue が無効な場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを ParError に設定します。pQueue で指定されたキューが空の場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを QueueError に設定します。削除する最初のエントリが BUSY 状態の場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを QueueBusy に設定します。

Copyright © 2026 Texas Instruments Incorporated

25.3.4.5 CMD_REMOVE_PENDING_ENTRIES: 保留中のエントリをキューから削除します

コマンド ID 番号:0x0009

CMD_REMOVE_PENDING_ENTRIES は、表 25-57 に示すパラメータを取得する即時コマンドです。

表 25-57. CMD_REMOVE_PENDING_ENTRIES コマンドの形式

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3					予約済み
4 ~ 7	pQueue			W	フラッシュするキュー構造体へのポインタ
8 ~ 11	pFirstEntry			R	削除された最初のエントリへのポインタ

このコマンドを受信すると、無線 CPU は指定されたキュー内の保留状態のエントリをすべて削除し、削除された最初のエントリへのポインタを返します。無線 CPU は次の操作を実行します。

```
If pQueue->pCurrEntry->status = Pending, then
Set pFirstEntry = pQueue->pCurrEntry
Set pQueue->pCurrEntry = NULL
Set pQueue->pLastEntry = NULL
else
Set pFirstEntry = pQueue->pCurrEntry->pNextEntry
Set pQueue->pCurrEntry->pNextEntry = NULL
Set pQueue->pLastEntry = pQueue->pCurrEntry
```

ポインタ pQueue が無効な場合、コマンドは失敗し、無線 CPU は CMDSTA の結果バイトを ParError に設定します。pQueue で指定されたキューが空の場合、無線 CPU が実行すべき操作はありませんが、それでも成功と見なされます。この場合、返される pFirstEntry は NULL です。

Copyright © 2026 Texas Instruments Incorporated

25.4 データ キューの使用状況

このセクションでは、無線 CPU がデータキューを使用する方法について説明します。

25.4.1 内部無線 CPU 動作専用のデータ キュー操作

セクション 25.3.4 に、データ キュー操作に使用するコマンドを示します。ここで説明した内部無線 CPU 操作については、追加の操作も可能です。これらの動作については、セクション 25.4.1.1 ～ セクション 25.4.1.5 を参照してください。

25.4.1.1 PROC_ALLOCATE_TX:読み取り用に TX エントリを割り当てます

この手順では、次の入力パラメータを使用します:

- キューへのポインタ pQueue

この手順では、次の情報を返します:

- 割り当てられたデータ入力へのポインタ pEntry

指定されたキューが空の場合、またはキューの最初のエントリがすでにビジー状態の場合、この手順ではエラーを返します。それ以外の場合は、次の手順を実行します:

```
Set pQueue->pCurrEntry->status = Busy
Set pEntry = pQueue->pCurrEntry
```

25.4.1.2 PROC_FREE_DATA_ENTRY: 空き割り当て済みデータ エントリ

この手順では、次の入力パラメータを使用します。

- キューへのポインタ pQueue

この手順では、次の情報を返します。

- 割り当てられたデータ入力へのポインタ pEntry

指定されたキューが空の場合、手順はエラーを返して終了します。それ以外の場合は、次の手順を実行します。

```
Set pQueue->pCurrEntry->status = Active
```

25.4.1.3 PROC_FINISH_DATA_ENTRY:キュー内の最初のデータ エントリの使用を終了

このプロシージャは、次の入力パラメータを取ります。

- キューへのポインタ、pQueue

このプロシージャは、以下の情報を返します。

- 新しいエントリ pEntry へのポインタ

指定されたキューが空の場合、このプロシージャはエラーで戻ります。それ以外の場合は、次の処理が実行されます。

```
Set pTemp = pQueue->pCurrEntry
Set pQueue->pCurrEntry = pTemp->pNextEntry
Set pTemp->status = Finished
Set pEntry = pQueue->pCurrEntry
```


English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.4.1.4 PROC_ALLOCATE_RX：データ格納用 RX バッファを割り当て

このプロシージャは、次の入力パラメータを取ります。

- キューへのポインタ、pQueue
- 格納するエントリ要素のサイズ、size

このプロシージャは、以下の情報を返します。

- データが格納されるデータ エントリへのポインタ、pEntry
- 終了したデータ エントリへのポインタ、完了していない場合は NULL、pFinishedEntry

キューの最初のエントリがすでにビジー状態の場合、このプロシージャはエラーで戻ります。キューが空の場合を含め、指定されたサイズのエントリ要素を格納するための空き領域がない場合は、「空き領域なし」エラーが返されます。次のプロシージャで、動作について説明します。

```
Set pFinishedEntry == NULL
If pQueue->pCurrEntry == NULL then
Return with no space error
end if
If pQueue->pCurrEntry->type != 1 then
if pQueue->pCurrEntry->length < size then
Return with no space error
else
Set pQueue->pCurrEntry->status = Busy
Set pEntry = pQueue->pCurrEntry
end if
else
Set pTemp = pQueue->pCurrEntry
If pTemp->nextIndex + 2 + size > pTemp->length then
Set pQueue->pCurrEntry = pTemp->pNextEntry
Set pTemp->status = Finished
Set pFinishedEntry = pTemp
Set pTemp = pTemp->pNextEntry
If pTemp == NULL or pTemp->length < size + 2 then
Return with no space error
end if
end if
Set pTemp->status = Busy
Set pEntry = pTemp
end if
```


Copyright © 2026 Texas Instruments Incorporated

25.4.1.5 PROC_FINISH_RX：受信データを RX データ エントリにコミット

このプロシージャは、次の入力パラメータを取ります。

- キューへのポインタ、pQueue
- 格納するエントリ要素のサイズ、size

このプロシージャは、以下の情報を返します。

- データが格納されるデータ エントリへのポインタ、pEntry
- 終了したデータ エントリへのポインタ、完了していない場合は NULL、pFinishedEntry

キューが空である場合、または指定されたサイズのエントリ要素を格納するための空き領域がない場合、このプロシージャはエラーで戻ります。それ以外の場合は、次の処理が実行されます。

```
If pQueue->pCurrEntry->type != 1 then
Set pTemp = pQueue->pCurrEntry
Set pQueue->pCurrEntry = pTemp->pNextEntry
Set pTemp->status = Finished
else
Increase pQueue->pCurrEntry->nextIndex by size
Increment pQueue->pCurrEntry->numElements by 1
If pQueue->pCurrEntry->nextIndex + 2 == pQueue->pCurrEntry->length then
Set pTemp = pQueue->pCurrEntry
Set pQueue->pCurrEntry = pTemp->pNextEntry
Set pTemp->status = Finished
Set pFinishedEntry == pTemp
else
Set pQueue->pCurrEntry->status = Active
Set pFinishedEntry == NULL
end if
end if
```

この処理は、PROC_ALLOCATE_RX を実行してバッファ内の正しい位置に書き込んだ後に行います。size は PROC_ALLOCATE_RX で使用したサイズと同じである必要があります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.4.2 無線 CPU 使用状況モデル

25.4.2.1 受信キュー

無線 CPU はパケットを受信すると、PROC_ALLOCATE_RX を呼び出して読み取り用のバッファを準備します。これに成功すると、確保されたバッファは、各プロトコルで定義されている方法に従って受信パケットの格納に使用されます。空き領域不足エラーが発生した場合、受信データを格納できず、その際の処理は各プロトコルで定義されています。

パケットを受信した後、そのパケットを保持するか破棄するかは、各プロトコルで定義された規則に従って決定されます。パケットを保持するために、無線 CPU は PROC_FINISH_RX を呼び出します。これにより、受信データがシステム CPU で利用できるようになります。パケットを破棄する場合、無線 CPU は PROC_FREE_DATA_ENTRY を呼び出します。これは、次のパケットによって直前に受信したパケットのデータが上書きされる可能性があることを意味します。

25.4.2.2 送信キュー

無線機 CPU は、TX キューからパケットを送信しようとしているときに、PROC_ALLOCATE_TX を呼び出して、送信するデータへのポインタを取得します。パケットが送信されると、無線 CPU は PROC_FINISH_DATA_ENTRY または PROC_FREE_DATA_ENTRY を呼び出します。PROC_FINISH_DATA_ENTRY が呼び出されると、システム CPU に対してエントリの処理が完了し再利用可能であることが通知されます。パケットの再送信がオプションでない場合は、この呼び出しプロセスを使用する必要があります。PROC_FREE_DATA_ENTRY が呼び出された場合、送信されたエントリはキューの先頭に残り、送信される可能性があります。これは、アクノリッジが必要な場合に使用されます。

送信されたパケットで確が受信され、その後に PROC_FREE_DATA_ENTRY を呼び出す無線 CPU が続く場合、無線 CPU は PROC_ALLOCATE_TX を呼び出し、その後に PROC_FINISH_DATA_ENTRY を呼び出します (これは CMD_REMOVE_DATA_ENTRY と同じです。セクション 25.3.3.2 を参照してください)。この呼び出しプロセスにより、キュー内の次のエントリが送信されます。アクノリッジが受信されない場合は、最後に送信されたパケットが再送信されます。

Copyright © 2026 Texas Instruments Incorporated

25.5 IEEE 802.15.4

このセクションでは、IEEE 802.15.4 固有のコマンド構造、割り込み、データ処理、無線操作コマンド、および即時コマンドについて説明します。

25.5.1 IEEE 802.15.4 コマンド

表 25-58 および表 25-59 に、IEEE 802.15.4 固有の無線機動作コマンドを定義します。

表 25-58. バックグラウンド レベルでの IEEE 802.15.4 無線機動作コマンド

ID	コマンド名	説明
0x2801	CMD_IEEE_RX	レシーバを実行します
0x2802	CMD_IEEE_ED_SCAN	エネルギー検出スキャンを実行します

表 25-59. フォアグラウンド レベルでの IEEE 802.15.4 無線機動作コマンド

ID	コマンド名	説明
0x2C01	CMD_IEEE_TX	パケットを送信します
0x2C02	CMD_IEEE_CSMA	CSMA-CA を実行します
0x2C03	CMD_IEEE_RX_ACK	アクノリッジを受信します
0x2C04	CMD_IEEE_ABORT_BG	バックグラウンド レベル操作を中止します

表 25-60. フォアグラウンド レベルでの共通無線機動作コマンド

ID	コマンド名	説明
0x0C10	CMD_FG_SCH_IMM	CMD_SCH_IMM として動作します

表 25-61 は即時コマンドを定義します。

表 25-61. IEEE 802.15.4 の即時コマンド

ID	コマンド名	説明
0x2001	CMD_IEEE_MOD_CCA	レシーバを実行するための CCA パラメータを変更します
0x2002	CMD_IEEE_MOD_FILT	レシーバを実行するためのフレーム フィルタリング パラメータを変更します
0x2003	CMD_IEEE_MOD_SRC_MATCH	レシーバを実行するためのソース マッチング パラメータを変更します
0x2401	CMD_IEEE_ABORT_FG	フォアグラウンド レベルの操作を中止します
0x2402	CMD_IEEE_STOP_FG	フォアグラウンド レベルの操作を停止します
0x2403	CMD_IEEE_CCA_REQ	CCA および RSSI 情報を要求します

Copyright © 2026 Texas Instruments Incorporated

25.5.1.1 IEEE 802.15.4 無線操作コマンド構造

表 25-9 は、すべての無線動作コマンドの最初の 14 バイトを定義します。CMD_IEEE_ABORT_BG コマンドには、これらの 14 バイトに追加のフィールドはありません。

表 25-62. IEEE 802.15.4 RX コマンド構造

バイト インデックス	フィールド名	タイプ	説明
14	channel	W	動作開始時にチューニングするためのチャネル: 0:既存のチャネルを使用 11 ～ 26: IEEE 802.15.4 チャネルとして使用します。つまり、周波数は [2405 + 5 × (チャネル − 11)] MHz です 60–207: 周波数は (2300 + チャネル) MHz です その他:予約済み
15	rxConfig	W	受信キュー エントリの設定ビット (詳細については、表 25-72 を参照)
16 ~ 19	pRxQ	W	受信キュー
20 ~ 23	pOutput	W	結果構造体へのポインタ (表 25-71 を参照) (NULL: 結果を格納しません)
24 ~ 25	frameFiltOpt	R/W	フレーム フィルタリング オプション (詳細については、表 25-74 を参照)
26	frameTypes	R/W	フレーム フィルタリングで受信するフレーム タイプ (詳細については、表 25-75 を参照)
27	ccaOpt	R/W	CCA オプション (詳細については、表 25-73 を参照)
28	ccaRssiThr	R/W	CCA の RSSI スレッショルド
29			予約済み
30	numExtEntries	W	拡張アドレス エントリの数
31	numShortEntries	W	ショート アドレス エントリの数
32 ~ 35	pExtEntryList	W	拡張アドレス エントリ リストへのポインタ
36 ~ 39	pShortEntryList	W	ショート アドレス エントリのリストへのポインタ
40 ~ 47	localExtAddr	W	ローカル デバイスの拡張アドレス
48 ~ 49	localShortAddr	W	ローカル デバイスのショート アドレス
50 ~ 51	localPanID	W	ローカル デバイスの PAN ID
52 ~ 54			予約済み
55	endTrigger	W	デバイスが RX 動作を終了するトリガ
56 ~ 59	endTime	W	endTrigger の時間パラメータ

表 25-63. IEEE 802.15.4 エネルギー検出スキャン コマンド構造

バイト インデックス	フィールド名	タイプ	説明
14	channel	W	動作開始時に調整するためのチャネル: 0:既存のチャネルを使用 11 ～ 26: IEEE 802.15.4 チャネルとして使用します。周波数は [2405 + 5 × (チャネル - 11)] MHz です 60–207: 周波数は (2300 + チャネル) MHz です その他:予約済み
15	ccaOpt	R/W	CCA オプション (詳細については、表 25-73 を参照)
16	ccaRssiThr	R/W	CCA の RSSI スレッショルド
17			予約済み
18	maxRssi	R	ED スキャン中に記録された最大 RSSI です
19	endTrigger	W	デバイスが RX 動作を終了するトリガ
20 ~ 23	endTime	W	endTrigger の時間パラメータ

Copyright © 2026 Texas Instruments Incorporated

表 25-64. IEEE 802.15.4 CSMA-CA コマンド構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14 ~ 15	randomState			R/W	疑似ランダム ジェネレータの状態
16	macMaxBE			W	IEEE 802.15.4 MAC パラメータ macMaxBE
17	macMaxCSMABackoffs			W	IEEE 802.15.4 MAC パラメータ macMaxCSMABackoffs
18	csmaConfig	0 ~ 4	initCW	W	CW パラメータの初期値を指定します
		5	bSlotted	W	スロット化されていない CSMA の場合は 0、スロット化された CSMA の場合は 1
		6 ~ 7	rxOffMode	W	0:CSMA バックオフ中は RX は動作を維持します 1: フレームが受信されていない場合、CSMA-CA アルゴリズムはレシーバを一時停止します 2: CSMA-CA アルゴリズムは、フレームを受信していない場合にレシーバをサスペンドし、受信中の場合は (自動 ACK を含めて) 受信完了後にレシーバをサスペンドします 3: CSMA-CA アルゴリズムは、バックオフ中にレシーバを直ちに一時停止します
19	NB			R/W	IEEE 802.15.4 CSMA-CA アルゴリズムの NB パラメータ
20	BE			R/W	IEEE 802.15.4 CSMA-CA アルゴリズムの BE パラメータ
21	remainingPeriods			R/W	一時停止されたバックオフ カウントダウンからの残り期間の数
22	lastRssi			R	最後の CCA 動作で測定された RSSI
23	endTrigger			W	デバイスが CSMA-CA 動作を終了させるトリガ
24 ~ 27	lastTimeStamp			R	最後の CCA 動作の時刻
28 ~ 31	endTime			W	endTrigger の時間パラメータ

表 25-65. IEEE 802.15.4 TX コマンド構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14	txOpt	0	bIncludePhyHdr	W	0:PHY ヘッダを自動的に検索します。 1:バッファから PHY ヘッダを挿入します。
		1	bIncludeCrc	W	0:自動的に計算された CRC を追加します。 1:バッファから FCS (CRC) を挿入します。
		2			予約済み
		3 ~ 7	payloadLenMsb	W	ペイロードの長さの最上位ビット。テスト目的で長い非標準パケットを生成する場合にのみゼロでないようにします
15	payloadLen			W	このパケット内のバイト数
16 ~ 19	pPayload			W	size payloadLen のペイロード バッファへのポインタ
20 ~ 23	timeStamp			R	送信済みフレームのタイムスタンプ

表 25-66. IEEE 802.15.4 受信 ACK コマンドの構造

バイト インデックス	フィールド名	タイプ	説明
14	seqNo	W	予期されるシーケンス番号

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-66. IEEE 802.15.4 受信 ACK コマンドの構造 (続き)

バイト インデックス	フィールド名	タイプ	説明
15	endTrigger	W	デバイスがアクノリッジの受信を放棄するトリガ
16 ~ 19	endTime	W	endTrigger の時間パラメータ

Copyright © 2026 Texas Instruments Incorporated

25.5.1.2 IEEE 802.15.4 即時コマンド構造

表 25-67. IEEE 802.15.4 CCA 即時コマンド構造の変更

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	commandNo	W	コマンド番号
2	newCcaOpt	W	実行中のバックグラウンド レベル動作の ccaOpt の新しい値 (詳細については、表 25-73 を参照)
3	newCcaRssiThr	W	実行中のバックグラウンド レベル動作の ccaRssiThr の新しい値

表 25-68. IEEE 802.15.4 フレーム フィルタリング変更即時コマンド構造

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	commandNo	W	コマンド番号
2 ~ 3	newFrameFiltOpt	W	実行中のバックグラウンド レベル動作の frameFiltOpt の新しい値
4	newFrameTypes	W	実行中のバックグラウンド レベル動作の frameTypes の新しい値

表 25-69. IEEE 802.15.4 ソース マッチング エントリ有効化または無効化即時コマンド構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド番号
2	オプション	0	bEnable	W	0 : エントリを無効化 1 : エントリを有効化
		1	srcPend	W	エントリの保留ビットの新しい値
		2	entryType	W	0 : 拡張アドレス 1 : ショート アドレス
		3 ~ 7			予約済み
3	entryNo			W	有効化または無効化するエントリのインデックス

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-70. IEEE 802.15.4 CCA 状態要求即時コマンド構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド番号
2	currentRssi			R	チャネル上で現在検出されている RSSI
3	maxRssi			R	RX が開始されたためにチャネル上で検出された最大 RSSI
4	ccaInfo	0 ~ 1	ccaState	R	現在の CCA 状態の値: 00:Idle 01:Busy 10:無効
		2 ~ 3	ccaEnergy	R	現在のエネルギー検出 CCA 状態の値: 00:Idle 01:Busy 10:無効
		4 ~ 5	ccaCorr	R	現在の相関器ベースのキャリア検知 CCA 状態の値: 00:Idle 01:Busy 10:無効
		6	ccaSync	R	現在の同期ワード検出ベースのキャリア検知 CCA 状態の値: 0:Idle 1:ビジー
		7			予約済み

25.5.1.3 出力構造

表 25-71. RX コマンド

バイト インデックス	フィールド名	タイプ	説明
0	nTxAck	R/W	送信された ACK フレームの総数
1	nRxBeacon	R/W	受信したビーコン フレームの数
2	nRxData	R/W	受信データ フレーム数
3	nRxAck	R/W	受信したアクノリッジ フレームの数
4	nRxMacCmd	R/W	受信した MAC コマンド フレームの数
5	nRxReserved	R/W	予約済みフレーム タイプを持つ受信フレームの数
6	nRxOk	R/W	CRC エラーが発生した受信フレームの数
7	nRxIgnored	R/W	無視される受信フレームの数
8	nRxBufFull	R/W	RX バッファがいっぱいになったために廃棄された受信フレームの数
9	lastRssi	R	最後に受信したフレームの RSSI
10	maxRssi	R	動作で観測された最大 RSSI
11			予約済み
12 ~ 15	beaconTimeStamp	R	最後に受信したビーコン フレームのタイムスタンプ

Copyright © 2026 Texas Instruments Incorporated

25.5.1.4 その他の構造とビット フィールド

表 25-72. 受信キュー エントリ構成ビット フィールド

ビット	ビット フィールド名	説明
0	bAutoFlushCrc	1 の場合、CRC エラーのあるパケットを RX キューから自動的に削除します。
1	bAutoFlushIgn	1 の場合、フレーム フィルタリングに従って無視できるパケットを、RX キューから自動的に削除します。
2	bIncludePhyHdr	1 の場合、受信した PHY ヘッダ フィールドを格納されたパケットに含めます。それ以外の場合は破棄します。
3	bIncludeCrc	1 の場合、受信した CRC フィールドを格納されたパケットに含めます。それ以外の場合は破棄します。これには、pktConf.bUseCrc が 1 である必要があります。
4	bAppendRssi	1 の場合は、RSSI バイトを RX キュー内のパケットに追加します。
5	bAppendCorrCrc	1 の場合、相関値と CRC 結果バイトを RX キュー内のパケットに追加します。
6	bAppendSrcInd	1 の場合は、ソース マッチング アルゴリズムによって生成されたインデックスを追加します。
7	bAppendTimestamp	1 の場合は、タイムスタンプを RX キュー内のパケットに追加します。

表 25-73. CCA 構成ビット フィールド

ビット	ビット フィールド名	説明
0	ccaEnEnergy	エネルギー スキャンを CCA ソースとして有効にします。
1	ccaEnCorr	相関器ベースのキャリア センスを CCA ソースとして有効にします。
2	ccaEnSync	同期発見ベースのキャリア センスを CCA ソースとして有効にします。
3	ccaCorrOp	エネルギーベースの CCA と相関器ベースの CCA の間で使用する論理演算子 0:ccaEnergy または ccaCorr のいずれかがビジーの場合は、ビジー チャネルを報告します。 1:ccaEnergy と ccaCorr の両方がビジーの場合、ビジー チャネルを報告します。
4	ccaSyncOp	同期発見ベースの CCA とその他の CCA の間で使用する論理演算子 0:ccaSync がビジーの場合は、常にビジー チャネルを報告します。 1:ccaSync がアイドル状態の場合、常に必ずアイドル チャネルを報告します。
5 ~ 6	ccaCorrThr	相関器ベースのキャリア センスにおける相関ピーク数のしきい値
7		予約済み

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-74. フレーム フィルタリング構成ビット フィールド

ビット	ビット フィールド名	説明
0	frameFiltEn	0:フレーム フィルタリングを無効にします。 1:フレーム フィルタリングを有効にします。
1	frameFiltStop	0:パケットを最後まで受信します 1:フレーム フィルタリングによってフレームが拒否された時点でフレームの受信を停止します。
2	autoAckEn	0:自動 ACK を無効にします。 1:自動 ACK を有効にします。
3	slottedAckEn	0:非スロット方式の ACK。 1:スロット方式の ACK。
4	autoPendEn	0:自動ペンドが無効です。 1:自動ペンドが有効です。
5	defaultPend	自動ペンドの対象でない自動 ACK パケット内の保留データ ビットの値。
6	bPendDataReqOnly	0:すべてのパケットに対して自動ペンドを使用します。 1:データ要求パケットに対してのみ自動ペンドを使用します。
7	bPanCoord	0:デバイスは PAN コーディネータではありません。 1:デバイスは PAN コーディネータです。
8 ~ 9	maxFrameVersion	FCF 内のフレーム バージョン フィールドがこの値より大きい場合、そのフレームを拒否します。
10 ~ 12	fcfReservedMask	FCF の予約領域で AND 処理される値。結果がゼロ以外の場合、そのフレームは拒否されます。
13 ~ 14	modifyFtFilter	フレームタイプ フィルタリングを実行する前のフレーム タイプ フィールドの MSB の処理。 0:変更ありません。 1:MSB を反転します。 2:MSB を 0 に設定します。 3:MSB を 1 に設定します。
15	bStrictLenFilter	0:長さ 5 以上の ACK フレームをすべて受け入れます。 1:長さ 5 の ACK フレームのみを受け入れます。

表 25-75. フレーム タイプ フィルタリング ビット フィールド

ビット	ビット フィールド名	説明
0	bAcceptFt0Beacon	フレーム タイプ 000 (ビーコン) のフレーム処理: 0:拒否 1:承認
1	bAcceptFt1Data	フレーム タイプ 001 のフレームの処理 (データ): 0:拒否 1:承認
2	bAcceptFt2Ack	フレーム タイプ 010 (ACK) のフレームの処理: 0:拒否 (ただし ACK 受信コマンドの実行中は例外) 1:常に受け入れる
3	bAcceptFt3MacCmd	フレーム タイプ 011 のフレームの処理 (MAC コマンド): 0:拒否 1:承認
4	bAcceptFt4Reserved	フレーム タイプ 100 のフレームの処理 (予約済み): 0:拒否 1:承認
5	bAcceptFt5Reserved	フレーム タイプ 101 のフレームの処理 (予約済み): 0:拒否 1:承認

Copyright © 2026 Texas Instruments Incorporated

表 25-75. フレーム タイプ フィルタリング ビット フィールド (続き)

ビット	ビット フィールド名	説明
6	bAcceptFt6Reserved	フレーム タイプ 110 のフレームの処理 (予約済み): 0:拒否 1:承認
7	bAcceptFt7Reserved	フレーム タイプ 111 のフレームの処理 (予約済み): 0:拒否 1:承認

Copyright © 2026 Texas Instruments Incorporated

表 25-76. ショート アドレス エントリ構造

バイト インデックス	フィールド名	説明
0 ~ 1	shortAddr	エントリのショート アドレス
2 ~ 3	panID	エントリの PAN ID

表 25-77. 拡張アドレス リスト構造

バイト インデックス	フィールド名	タイプ	説明
0–4K−1	srcMatchEn	R/W	各 extAddrEntry に対応する有効ビットを持つワード。最初のワードの LSB がエントリ 0 に対応します。配列サイズ K = ceil (N/32)。N はエントリ数 (numExtEntries で指定。詳細については、表 25-62 を参照) で、ceil は切り上げを示します。
4K–8K−1	srcPendEn	R/W	各 extAddrEntry に対応する保留データ ビットを持つワード。最初のワードの LSB がエントリ 0 に対応します。
8K–8K+7	extAddrEntry[0]	W	拡張アドレス番号 0
...			
8K+8n-8K+8n+7	extAddrEntry[n]	W	拡張アドレス番号 n
...			
8K+8(N−1)-8K+8N+7	extAddrEntry[N-1]	W	拡張アドレス番号 N−1 (最後のエントリ)

表 25-78. ショート アドレス リスト構造

バイト インデックス	フィールド名	タイプ	説明
0:4K−1	srcMatchEn	R/W	各 shortAddrEntry に対応する有効ビットを持つワード。最初のワードの LSB がエントリ 0 に対応します。配列サイズ K = ceil (N/32)。N はエントリ数 (numShortEntries で指定。詳細については、表 25-62 を参照) で、ceil は切り上げを示します。
4K:8K−1	srcPendEn	R/W	各 shortAddrEntry に対応する保留データ ビットを持つワード。最初のワードの LSB がエントリ 0 に対応します。
8K–8K+3	shortAddrEntry[0]	W	ショート アドレス番号 0。このエントリは、表 25-76 で定義されているアドレス / PAN ID のペアです。
...			
8K+4n-8K+4n+3	shortAddrEntry[n]	W	ショート アドレス番号 n。このエントリは、表 25-76 で定義されているアドレス / PAN ID のペアです。
...			
8K+4(N−1)-8K+4N+3	shortAddrEntry[N-1]	W	ショート アドレス番号 N−1 (最後のエントリ)。エントリは、表 25-76 で定義されているアドレス / PAN ID のペアです。

表 25-79. 受信相関 / CRC 結果ビット フィールド

ビット	ビット フィールド名	説明
0 ~ 5	corr	相関値
6	bIgnore	フレーム フィルタリングによってそのパケットを拒否する必要がある場合は 1、それ以外の場合は 0。
7	bCrcErr	パケットが CRC エラーで受信された場合は 1、それ以外の場合は 0。

Copyright © 2026 Texas Instruments Incorporated

25.5.2 割り込み

表 25-80 は、IEEE 802.15.4 コマンドで使用する割り込みを示しています。各割り込みはシステムの CPU で個別に有効にすることができます。セクション 25.5.4 は、割り込みが生成される際の詳細を示しています。

表 25-80. IEEE 802.15.4 に適用可能な割り込みの定義

割り込み番号	割り込み名	説明
0	COMMAND_DONE	バックグラウンド レベルの無線動作コマンドが終了しました。
1	LAST_COMMAND_DONE	一連のコマンドの最後のバックグラウンド レベルの無線動作コマンドが終了しました。
2	FG_COMMAND_DONE	フォアグラウンドの無線動作コマンドが終了しました。
3	LAST_FG_COMMAND_DONE	一連のコマンドの最後のフォアグラウンドの無線動作コマンドが終了しました。
4	TX_DONE	送信済みフレーム
5	TX_ACK	送信済み自動 ACK フレーム
16	RX_OK	CRC OK を受信したフレーム
17	RX_NOK	CRC エラーを受信したフレーム
18	RX_IGNORED	無視フラグ セットを受信したフレーム
22	RX_BUF_FULL	TX キューに収まらなかったことを受信したフレーム
23	RX_ENTRY_DONE	TX キュー データのエントリの状態が終了に変更
29	MODULES_UNLOCKED	ブート プロセスの一部として、Arm Cortex-M0 プロセッサが RF コア モジュールおよびメモリへのアクセスをオープンにしました。
30	BOOT_DONE	RF コアの CPU ブートが終了しました。
31	INTERNAL_ERROR	無線 CPU で予期しないエラーが観察されました。

25.5.3 データ処理

すべての IEEE 802.15.4 コマンドについて、無線で受信されたデータは受信キューに格納されます。

送信するデータは、送信コマンドで指定されたバッファからフェッチされます。

25.5.3.1 受信バッファ

受信したフレームは受信バッファに格納されます。まず、RX エントリで config.lenSz によって設定されている場合、長さバイトまたは長さワードが格納されます。この値は、無線で受信したデータ長と、付加されるステータス情報の設定に基づいて算出されます。

pRxQ が指す受信キュー内のエントリ要素の形式は、セクション 25.6.1.4 で定義されている設定 rxConfig によって提供されます。

長さフィールドの後に、rxConfig.bIncludePhyHdr が 1 の場合、受信された PHY ヘッダ バイトが格納されます。長さフィールドが存在する場合、予約ビットを除いて、このバイトは冗長です。受信した MAC ヘッダと MAC ペイロードは、無線で受信したものとして保存されます。rxConfig.bIncludeCrc が 1 の場合、16 ビット フレーム チェック シーケンスを含む MAC フッタが保存されます。

rxConfig.bAppendRssi が 1 の場合、受信した RSSI 値を示すバイトが追加されます。rxConfig.bAppendCorrCrc が 1 の場合、表 25-79 で定義されているタイプのステータス バイトが追加されます。rxConfig.bAppendSrcInd が 1 に設定されている場合、受信パケットのヘッダに一致した最初のソース マッチ エントリのインデックスを示す一バイトが付加されます。一致するエントリが存在しない場合は、0xFF が付加されます。rxConfig.bAppendTimeStamp が 1 の場合、フレームの開始を示すタイムスタンプが付加されます。このタイムスタンプは、無線タイマから取得された 4 バイトの値です。タイムスタンプはマルチバイトですが、ワード アドレスの整列が行われないため、タイムスタンプはバイト単位で書き込みおよび読み取りする必要があります。このタイムスタンプは SFD が検出された時点で取得されますが、フレーム開始時刻を反

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

映するよう補正されます (規格に従い、プリアンブル長は 8 バイトであると仮定)。このフレーム開始時刻は、送信側で使用される開始トリガの時刻に対応するよう定義されています。調整は、syncTimeAdjust ファームウェア定義パラメータで定義されており、上書きできます。

Copyright © 2026 Texas Instruments Incorporated

図 25-6 は、RX キュー内のエントリ要素の形式を表示します。

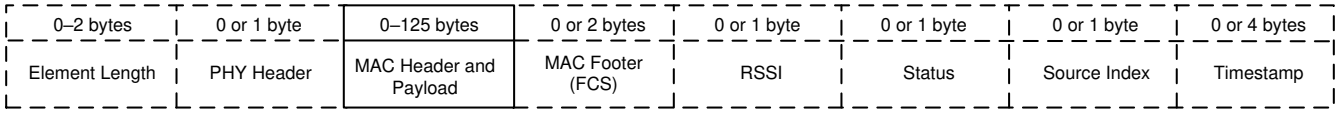


図 25-6. RX キュー エントリ要素 (ステイプル フィールドはオプション)

25.5.3.2 送信バッファ

送信動作では、ペイロードを含むバッファへのポインタは pPayload によって指定されます。このバッファの長さは、payloadLen によって個別に指定されます。送信バッファの内容は txOpt パラメータで指定します。送信バッファには、常に MAC ヘッダーと MAC ペイロードが含まれます。txOpt.bIncludePhyHdr が 1 の場合、バッファには、バッファの最初のバイトで PHY ヘッダとして送信されるバイトも含まれます。txOpt.bIncludeCrc が 1 の場合、CRC が自動的に計算されるのではなく、バッファの最後の 2 バイトが CRC として送信されます。

25.5.4 無線動作コマンド

このドキュメントに記載されている無線動作コマンドを実行する前に、CMD_RADIO_SETUP コマンドを使用して無線を IEEE 802.15.4 モードに設定する必要があります。さもなければ、動作はエラーで終了します。

IEEE 802.15.4 モードでは、無線 CPU は 2 つのレベルの無線動作コマンドを受け入れます。動作はバックグラウンド レベルまたはフォアグラウンド レベルで実行できます。各動作は、これらのレベルのいずれかでのみ実行できます。フォアグラウンド レベルの動作では、通常、バックグラウンド レベルの動作が同時に実行されている必要があります。

バックグラウンド レベルの動作は、受信およびエネルギー検出スキャン動作です。ただし、一度に動作できるのは 1 つだけです。フォアグラウンド レベルの動作は、CSMA-CA 動作、受信 ACK 動作、送信動作、バックグラウンド レベル動作中断、および無線設定変更動作です。これらは、バックグラウンド レベルの動作が実行されている場合でも、1 つのコマンドまたはコマンド チェーンとして入力できます。CSMA-CA および受信 ACK 動作は、バックグラウンド レベルの動作と同時に実行されます。送信動作は、送信が完了するまでバックグラウンド レベルの動作を一時停止します。表 25-81 に、バックグラウンド レベルの動作とフォアグラウンド レベルの動作で許可されている組み合わせを示します。これらの組み合わせに違反すると、フォアグラウンド レベル コマンドを開始しようとするときにエラーが発生し、フォアグラウンド レベル コマンド構造体のステータス フィールドの ERROR_WRONG_BG ステータスによって通知されます。

表 25-81. フォアグラウンド レベルの動作とバックグラウンド レベルの動作で許可されている組み合わせ

フォアグラウンド レベルの動作	バックグラウンド レベルの動作		
	なし	CMD_IEEE_RX	CMD_IEEE_ED_SCAN
なし	許可	許可	許可
CMD_IEEE_TX	Allowed1	許可	許可
CMD_IEEE_CSMA	禁止	許可	許可
CMD_IEEE_RX_ACK	禁止	許可	禁止
CMD_IEEE_ABORT_BG	Allowed2	許可	許可

Copyright © 2026 Texas Instruments Incorporated

15.4 以外の無線動作は、15.4 無線動作と同時に実行することはできません。15.4 動作がいずれかのレベルで実行されているときに 15.4 以外の無線動作を入力すると、スケジューリング エラーが発生します。ただし、15.4 動作と 15.4 以外の動作のチェーンは作成できます。

フォアグラウンド レベルの動作が完了すると、FG_COMMAND_DONE 割り込みが発生します。コマンドがチェーン内の最後のコマンドである場合は、LAST_FG_COMMAND_DONE 割り込みも発生します (表 25-80 を参照)。バックグラウンド レベルの動作では、一般的な割り込み、COMMAND_DONE と LAST_COMMAND_DONE を使用します (表 25-80 を参照)。

コマンド構造のステータス フィールドは、動作中に更新されます。コマンドを送信するとき、システム CPU はこのフィールドに IDLE 状態を書き込みます。動作中に、無線 CPU はフィールドを更新して動作モードを示します。動作が完了すると、無線 CPU によりは、コマンドが終了したことを示すステータスを書き込みます。表 25-82 に、IEEE 802.15.4 無線動作のステータス コードをリストします。

表 25-82. IEEE 802.15.4 無線動作ステータス コード

個数	名称	説明
動作が完了していません		
0x0000	IDLE	動作が開始されていません
0x0001	PENDING	開始トリガ待ち
0x0002	ACTIVE	動作が実行中
0x2001	IEEE_SUSPENDED	動作が一時停止されました
通常動作が終了中		
0x2400	IEEE_DONE_OK	動作が正常に終了しました
0x2401	IEEE_DONE_BUSY	CSMA-CA 動作が失敗して終了しました
0x2402	IEEE_DONE_STOPPED	停止コマンド後、動作が停止しました
0x2403	IEEE_DONE_ACK	保留中のデータ ビットがクリアされた状態で ACK パケットが受信されました
0x2404	IEEE_DONE_ACKPEND	保留中のデータ ビットが設定された状態で ACK パケットが受信されました
0x2405	IEEE_DONE_TIMEOUT	タイムアウトにより動作が終了しました
0x2406	IEEE_DONE_BGEND	必要なバックグラウンド レベルの動作が終了したため FG 動作が終了しました
0x2407	IEEE_DONE_ABORT	コマンドによって動作が中断されました
エラーで動作が終了中		
0x0806	ERROR_WRONG_BG	フォアグラウンド レベルの動作は、実行中のバックグラウンド レベルの動作と互換性がありません
0x2800	IEEE_ERROR_PAR	不正なパラメータ
0x2801	IEEE_ERROR_NO_SETUP	無線が IEEE 802.15.4 モードで設定されていませんでした
0x2802	IEEE_ERROR_NO_FS	RX または TX 実行中に、シンセサイザがプログラムされていません
0x2803	IEEE_ERROR_SYNTH_PROG	シンセサイザのプログラミングに失敗しました
0x2804	IEEE_ERROR_RXOVF	動作中に RX オーバーフローを観測しました
0x2805	IEEE_ERROR_TXUNF	動作中に TX アンダーフローを観測しました

各ステータスを与えるための条件が各動作ごとに記載されています。表 25-82 に示されるエラーの原因の一部は、これらのリストで繰り返されていません。場合によっては、セクション 25.3 に記載されている一般的なエラー原因が発生することがあります。これらすべての場合において、セクション 25.3 で定義されている動作の結果は ABORT となります。

Copyright © 2026 Texas Instruments Incorporated

25.5.4.1 RX 動作

受信無線動作はバックグラウンド レベルの動作であり、表 25-62 に示すコマンド構造を使用した、CMD_IEEE_RX コマンドで開始します。

RX 動作の開始時に、無線 CPU はスタート トリガを待機してから、チャネル パラメータに基づいて周波数をプログラムします。チャネルが 0xFF の場合、すでに構成済みのチャネルで動作を継続します。これには、操作が別の受信動作またはシンセサイザ プログラミング動作に従う必要があります。周波数シンセサイザが実行されていない場合、動作はエラーで終了します。周波数をプログラミングすると、無線 CPU はレシーバを IEEE 802.15.4 パケットを受信するように設定します。

復調器がフレーム上の同期を取得すると、PHY ヘッダが最初に読み取られます。このバイトの 7 つの LSB はフレーム長を示します。これ以降の処理は frameFiltOpt の設定によって異なります。frameFiltOpt.frameFiltEn が 1 の場合、以下で説明するように、さらにフレーム フィルタリングが実行されます。0 の場合、フレーム フィルタリングは実行されません。

受信した PHY ヘッダによって指定されるバイト数は、pRxQ で指定される受信キューに格納されます。セクション 25.7.1 で説明したように、形式は rxConfig により異なります。PHY ペイロードの最後の 2 バイトは、パケットの FCS または CRC です。これらのバイトは FCS 仕様に従って確認され、それ以降の処理は CRC の結果により異なります。

CRC エラーが発生し、rxConfig.bAutoFlushCrc が 1 の場合、パケットは RX バッファから破棄されます。受信したパケットを保持するのに十分な空き容量を持つ使用可能な RX バッファがない場合、受信データは破棄されます。frameFiltOpt.frameFiltStop が 1 の場合、受信は停止します。それ以外の場合はパケットが受信され CRC を確認できます。

25.5.4.1.1 フレーム フィルタリングとソース マッチング

frameFiltOpt.frameFiltEn が 1 の場合、このセクションで説明するようにフレーム フィルタリングとソース マッチングを実行します。フレーム フィルタリングには、以下のような目的があります。

- 異なるパケット タイプの区別
- 宛先アドレスが一致しないパケットの除去
- 不明なバージョンまたは不正なフィールドがあるパケットの除去
- ソース アドレスの自動識別
- 自動アクノリッジ トランスミッション
- ソース アドレスに基づく保留データ ビットの自動挿入

25.5.4.1.1.1 フレーム フィルタリング

フレーム フィルタリングが有効な場合、パケットの MAC ヘッダは無線 CPU によって調査されます。最初にフレーム制御フィールド (FCF) がチェックされます。フレーム タイプ サブフィールドは、チェックする FCF の最初のサブフィールドであり、それ以降の処理を決定します。フレーム タイプの MSB は、チェックが行われる前に frameFiltOpt.modifyFtFilter に従って処理されます。この変更の結果は、確認時にのみ使用され、FCF を RX キュー エントリに保存する場合には使用されません。フレーム タイプ フィールドの、(4 つの予約済み値を含む) 8 つの可能な値のそれぞれについて、フレームを受け入れるか拒否するよう設定できます。これは、frameTypes のビットによって制御されます。フレームタイプが Acknowledgment (010b) で CMD_RX_ACK 操作がフォアグラウンドで実行されている場合、frameTypes.bAcceptFt2Ack が 0 であっても、パケットはさらに処理されます。セクション 25.5.4.5 に、その場合の処理の詳細を示します。

フィルタリングは、Frame Version および Reserved サブフィールドに対して実行されます。フレームバージョンが frameFiltOpt.maxFrameVersion よりも大きい場合、フレームは拒否されます。

Reserved サブフィールドと frameFiltOpt.fcfReservedMask の論理積 (AND) がゼロ以外の場合、フレームは拒否されます。アドレス指定フィールドは、フレームを受け入れる必要があるかどうかをチェックします。このフィルタリングは、第 3 レベル フィルタリングのルールに従います (IEEE 802.15.4 規格を参照)。ローカル アドレスをチェックする場合は、localExtAddr または localShortAddr フィールドが使用され、ローカル PAN ID をチェックする場合は localPanID フィールドが使用されます。

Copyright © 2026 Texas Instruments Incorporated

frameFiltOpt.bStrictLenFilter が 1 であり、そのフレームが確認応答フレームであることをフレーム タイプが示している場合、PHY ペイロードの長さが、正しく構成された ACK フレームの長さである 5 でなければ、そのフレームは拒否されます。

frameFiltOpt.frameFiltStop が 1 であり、フレーム フィルタリングによってフレームが拒否されるという結論が得られる場合、受信は停止し、無線は同期検索に戻ります。それ以外の場合、フレームは最後まで受信されます。

無線 CPU は、確認応答を送信する必要があるかどうかを確認するためにヘッダをチェックします。これにより、暫定的な結果が得られます。ACK の実際の送信は、フレーム終了時のステータスによって異なります。セクション 25.5.4.1.3 に、確認応答フレームを送信する条件を示します。

25.5.4.1.1.2 ソース マッチング

ソース マッチングは、ソース アドレスが存在するフレーム フィルタリングで受け入れられたフレームに対して実行されます。送信元アドレスが拡張アドレスである場合、受信したアドレスは pExtEntryList リストのエントリと比較されます。ソース アドレスがショート アドレスであった場合、受信アドレスおよびソース pan ID は、pShortEntryList のエントリと比較されます。

リストが保持できるエントリの数は、numExtEntries と numShortEntries で指定されます。これらの値のいずれかが 0 の場合、対応するアドレス タイプに対するソース マッチングは実行されず、対応するポインタは NULL となります。リストはまずソース マッチング有効ビット (srcMatchEn) から始まり、次にペンディング有効ビット (srcPendEn) が続き、その後にリスト エントリが配置されます。詳細は表 25-76 および表 25-77 を参照してください。有効化ビットは、リスト内の各エントリに対して一ビットを保持するために必要な 32 ビット ワード数で構成されます。各エントリについて対応する srcMatchEn ビットが 1 の場合、エントリは受信ソース アドレスと比較されます。拡張アドレスの場合は受信ソース アドレスのみと、ショート アドレスの場合は受信ソース アドレスおよび PAN ID と照合されます。一致するものが見つかった場合、インデックスが保存され、設定されている場合はメッセージ フッタに報告されます (セクション 25.7.1 を参照)。一致するものが見つからない場合、報告されるインデックスは 0xFF です。

ソース マッチング手順は、自動アクノリッジ フレームで送信される保留データ ビットを見つけるためにも使用できます (セクション 25.5.4.1.3 を参照)。frameFiltOpt.autoPendEn が 1 で、ソースと一致するものが検出された場合、保留中のデータ ビットは、一致するインデックスに対応する srcPendEn 内のビットの値に設定されます。一致するものが見つからなかった場合、または frameFiltOpt.autoPendEn が 0 の場合、保留データ ビットは frameFiltOpt.defaultPend に設定されます。frameFiltOpt.bPendDataReqOnly が 1 の場合、無線機 CPU はフレームを調べて、コマンド フレーム識別子がデータ要求に設定された MAC コマンド フレームであるかどうかを判断します。そうでない場合、ソース マッチング結果と frameFiltOpt.defaultPend の値に関係なく、自動 ACK の保留データ ビットは 0 に設定されます。

25.5.4.1.2 フレーム受信

フレーム フィルタリングが完了すると、残りのパケットは受信キューに格納されます。PHY パケットの最後の 2 バイトは MAC フッター (FCS) であり、CRC がチェックされます。CRC は、rxConfig.bIncludeCrc が 1 の場合にのみキューに格納されます。

受信フレームのステータスは、フレーム フィルタリング結果と CRC チェック結果によって異なります。2 つのステータス ビット bCrcErr と bIgnore を維持する必要があります。設定されている場合、これらのビットは RX キュー エントリのステータス バイトに存在します。フレームに CRC エラーが発生した場合、bCrcErr ビットは 1 になり、それ以外の場合は 0 になります。フレーム フィルタリングが有効で、フレームがフレーム フィルタリングによって拒否された場合、bIgnore ビットは 1 になります。それ以外の場合は 0 になります。

注

frameFiltOpt.frameFiltStop が 1 の場合、bIgnore が 1 のフレームは検出されません。これは、受信が停止され、受信バイトがキューに格納されないためです。rxConfig.bAutoFlushCrc が 1 の場合、bCrcErr が 1 のパケットは受信後にキューから削除されます。また、rxConfig.bAutoFlushIgn が 1 の場合、bIgnore が 1 のパケットは受信後にキューから削除されます。

Copyright © 2026 Texas Instruments Incorporated

パケットを受信すると、割り込みが発生し、pOutput のいずれかのカウンタがインクリメントされます。表 25-83 に、これらの条件を示します。

表 25-83. RX 動作のカウンタ インクリメントおよび割り込み発生の条件

条件	カウンタがインクリメント済み	割り込みが生成済み
CRC OK のフレームを受信し、フレーム フィルタリングは無効	nRxData	RX_OK
CRC エラーのあるフレームを受信	nRxNok	RX_NOK
RX キューに収まらないフレームを受信	nRxBufFull	RX_BUF_FULL
CRC OK でビーコン フレームを受信し、bIgnore = 0	nRxBeacon	RX_OK
CRC OK で ACK フレームを受信し、bIgnore = 0	nRxAck	RX_OK
CRC OK でデータ フレームを受信し、bIgnore = 0	nRxData	RX_OK
CRC OK で MAC コマンドフ レームを受信し、bIgnore = 0	nRxMacCmd	RX_OK
CRC OK で予約済みフレーム タイプのフレームを受信し、bIgnore = 0	nRxReserved	RX_OK
CRC OK でフレームを受信し、bIgnore = 1	nRxIgnored	RX_IGNORED
RX キュー内の最初の RX データ エントリの状態が完了に変更	—	RX_ENTRY_DONE

フレームを受信すると、フレーム受信中に検出された RSSI が pOutput->lastRssi に書き込まれます。フレームがフレーム フィルタリングで許可されたビーコン フレームで、CRC OK の場合、フレーム先頭のタイムスタンプが pOutput->beaconTimeStamp に書き込まれます。タイムスタンプが RX エントリ要素に追加される場合 (セクション 25.7.1 を参照)、ビーコン フレームでは、これら 2 つのタイムスタンプは同じです。

パケットを受信した後、無線 CPU は同期検索を再開するか、確認応答フレームを送信します。後者の条件はセクション 25.5.4.1.3 に示すとおりです。

25.5.4.1.3 ACK 送信

パケット受信後、以下のすべての条件が満たされる場合、無線 CPU はアクノリッジ フレームの送信を開始します。

- 自動 ACK は frameFiltOpt.autoAckEn = 1 によって有効化されます
- フレームはフレーム フィルタリングにより受理されます (bIgnore = 0)
- フレームは、データ フレームまたは MAC コマンド フレームです
- 宛先アドレスはブロードキャスト アドレスではありません
- FCF の ACK 要求ビットがセットされます
- CRC チェックに合格します (bCrcErr = 0)
- フレームは受信キューに収まります

ACK パケットの送信タイミングは、frameFiltOpt.slottedAckEn の設定に応じて無線機 CPU によって制御されます。このビットが 0 の場合、受信パケットの終了後に ACK パケットが 192µs 送信されます。それ以外の場合は、スロット付き ACK が使用されます。受信したパケットがバックオフ スロット境界で開始されたと仮定します。ACK フレームは、その後、受信フレームの開始時点から数えて整数個のバックオフ期間分だけ遅れて送信されます。具体的には、受信フレーム終了後、少なくとも一回の TurnaroundTime シンボル期間が経過した後に到来する最初のバックオフ境界において送信が開始されます。

自動送信される ACK フレームの内容は次のとおりです。

- PHY ヘッダは 0x05 です
- PHY ペイロードは、3 バイトの MAC ヘッダと 2 バイトの MAC フッタで構成されます
- MAC ヘッダは 2 バイト FCF で始まり、次のフィールドが含まれます。
  - Frame Type サブフィールドは 010b です
  - Frame Pending サブフィールドは、セクション 25.5.4.1.1.2 の説明に従って設定されます
  - 残りのサブフィールドはすべてゼロに設定されます
- MAC ヘッダの次のバイトはシーケンス番号で、受信フレームのシーケンス番号と同じ値に設定されます
- MAC フッタは FCS で、自動的に計算されます

Copyright © 2026 Texas Instruments Incorporated

ACK フレームが送信された後、TX_ACK 割り込みが発生します。その後、無線機 CPU はレシーバを再度有効にします。

Copyright © 2026 Texas Instruments Incorporated

25.5.4.1.4 受信動作の終了

受信動作は、endTrigger および endTime で指定される終了トリガ、またはコマンドによって終了できます。受信動作を終了できるコマンドは、即時コマンド CMD_ABORT および CMD_STOP、ならびにフォアグラウンド レベルの無線動作コマンド CMD_IEEE_ABORT_BG です。終了トリガおよび CMD_STOP コマンドにより、パケット受信中に検出された場合、レシーバはフレームの終わりまで、または受信が通常停止される時点まで動作を継続します。CMD_ABORT および CMD_IEEE_ABORT_BG コマンドにより、レシーバは実装で可能な限り速やかに停止します。

受信動作は、表 25-84 に示すいずれかの要因で終了します。コマンドの終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。いずれの場合も、COMMAND_DONE 割り込みが発生します。結果はそれぞれ TRUE、FALSE、または ABORT として示されます。レシーバは、結果に応じて、pNextOp に示される次のコマンド (存在する場合) を開始するか、IDLE 状態に戻るかを決定します。受信動作が終了する前に、無線 CPU は受信動作中に検出された最大 RSSI を pOutput->maxRssi に書き込みます。

送信動作がフォアグラウンドで開始されると、受信動作はサスペンドされます。レシーバは中止時と同様に停止しますが、送信モードへの切り替え時には、可能な限りシンセサイザはオンのまま維持されます。レシーバが停止すると、コマンド構造のステータス フィールドは IEEE_SUSPENDED に設定されます。送信コマンドが完了すると、レシーバは再起動し、コマンド構造のステータス フィールドは RUNNING に戻ります。

表 25-84. 受信動作の終了

条件	ステータス コード	結果
終了トリガを検出し、進行中の受信を完了	IEEE_DONE_OK	TRUE
CMD_STOP を受信済み	IEEE_DONE_STOPPED	FALSE
CMD_ABORT または CMD_IEEE_ABORT_BG を受信	IEEE_DONE_ABORT	ABORT
不正なパラメータを検出	IEEE_ERROR_PAR	ABORT

25.5.4.1.5 CCA 監視

レシーバの動作中、無線 CPU はクリア チャネル評価に使用するいくつかの信号を監視します。この監視は ccaOpt によって制御されます。CCA には次の 3 つのソースがあります。RSSI レベル超過 (ccaEnergy)、相関値に基づくキャリア検知 (ccaCorr)、sync 検出に基づくキャリア検知 (ccaSync) です。これらはそれぞれ BUSY、IDLE、INVALID のいずれかの状態になります。

RSSI レベル超過は、RSSI を監視することで維持されます。RSSI が ccaRssiThr 以上の場合、ccaEnergy はビジー状態になります。RSSI が ccaRssiThr より小さい場合、ccaEnergy は IDLE になります。レシーバが開始したため RSSI 計算がまだ完了していない場合、ccaEnergy は INVALID になります。

相関値に基づくキャリア検知の監視では、レシーバの SFD 検索アルゴリズムで使用するものとして定義された相関ピークを使用します。直近の 8 シンボル周期 (32µs) で検出された相関ピークの数が ccaOpt.corrThr より大きい場合、ccaCorr は BUSY になります。それ以外の場合、ccaCorr は IDLE になります。ccaOpt.corrThr の値は 0 ～ 3 に設定できます。レシーバがフレームを受信している間、ccaCorr は、検出された相関ピークに関係なく BUSY になります。レシーバの開始から 8 シンボル周期未満であり、レシーバの開始以降に検出された相関ピークの数が ccaOpt.corrThr 以下の場合、ccaCorr は INVALID になります。

同期検出に基づくキャリア検知の監視は、無線 CPU によって次のように維持されます。レシーバで同期が取得されると、無線 CPU は PHY ヘッダをチェックしてフレーム長を確認します。無線 CPU は、このフレームの継続時間中、チャネルをビジーと見なします。このチェックは、フレーム フィルタリングによってフレームの受信が停止され、同期検索が再開された場合でも実行されます。チャネルが BUSY と見なされている間に再度 sync が検出された場合、検出されたフレーム長に従ってこれら両方のフレームが終了するまで、チャネルはビジー状態と見なされます。INVALID 状態は ccaSync には使用されません。

無線が ACK を送信している場合、または TX 動作を実行するためにサスペンドされている場合、ccaEnergy、ccaCorr、ccaSync はすべて BUSY になります。

Copyright © 2026 Texas Instruments Incorporated

全体の CCA 状態 ccaState は、ccaOpt の ccaEnEnergy、ccaEnCorr、ccaEnSync ビット、および ccaCorrOp、ccaSyncOp ビットによって決まります。ccaState を求めるには、次のルールが適用されます (説明では ccaTmp はヘルパー状態です)。

- ccaEnEnergy = 0 かつ ccaEnCorr = 0 かつ ccaEnSync = 0 の場合、ccaState = IDLE
- ccaEnEnergy = 1 かつ ccaEnCorr = 0 の場合、ccaTmp = ccaEnergy
- ccaEnEnergy = 0 かつ ccaEnCorr = 1 の場合、ccaTmp = ccaCorr
- ccaEnEnergy = 1 かつ ccaEnCorr = 1 かつ ccaCorrOp = 0 の場合:
  - ccaEnergy または ccaCorr のいずれかが BUSY の場合、ccaTmp = BUSY。
  - それ以外で、ccaEnergy または ccaCorr のいずれかが INVALID の場合、ccaTmp = INVALID。
  - それ以外の場合、ccaTmp = IDLE
- ccaEnEnergy = 1 かつ ccaEnCorr = 1 かつ ccaCorrOp = 1 の場合:
  - ccaEnergy または ccaCorr のいずれかが IDLE の場合、ccaTmp = IDLE。
  - それ以外で、ccaEnergy または ccaCorr のいずれかが無効の場合、ccaTmp = INVALID。
  - それ以外の場合、ccaTmp = BUSY
- ccaEnEnergy = 0 かつ ccaEnCorr = 0 かつ ccaEnSync = 1 の場合、ccaState = ccaSync
- それ以外で、ccaEnSync = 1 かつ ccaSyncOp = 0 の場合:
  - ccaTmp または ccaSync のいずれかが BUSY の場合、ccaState = BUSY。
  - それ以外で、ccaTmp が無効の場合、ccaState = INVALID。
  - それ以外の場合、ccaState = IDLE
- それ以外で、ccaEnSync = 1 かつ ccaSyncOp = 1 の場合:
  - ccaTmp または ccaSync のいずれかが IDLE の場合、ccaState = IDLE。
  - それ以外で、ccaTmp が INVALID の場合、ccaState = INVALID。
  - それ以外の場合、ccaState = BUSY

IEEE 802.15.4 規格に従い、全体の CCA 状態が IDLE になるには、ccaSync CCA 状態が IDLE である必要があります。したがって、準拠するには、ccaEnSync を 1、cceSyncOp を 0 にする必要があります。

IEEE 802.15.4 規格で定義されている CCA mode 1 は、ccaEnEnergy = 1 および ccaEnCorr = 0 に設定することで実装されます。CCA モード 2 は、ccaEnEnergy = 0 および ccaEnCorr = 1 に設定することで実装されます。CCA モード 3 は、ccaEnEnergy = 1 および ccaEnCorr = 1 に設定することで実装されます。CCA モード 3 では、ccaCorrOp に 0 または 1 を設定できます。これにより、IEEE 802.15.4 規格に記載されている論理演算子 AND (1) と OR (0) が区別されます。

システム CPU は、即時コマンド CMD_IEEE_CCA_REQ を発行することで、CCA 状態と現在の RSSI を読み出すことができます。CMD_IEEE_CSMA 動作がフォアグラウンドで実行されている場合、無線 CPU も CCA を自律的に監視します。

Copyright © 2026 Texas Instruments Incorporated

25.5.4.2 エネルギー検出スキャン動作

エネルギー検出スキャン無線動作は、CMD_IEEE_ED_SCAN コマンドで開始され、コマンド構造を使用するバックグラウンド レベルの動作です (表 25-63 を参照)。

RX 動作の開始時に、無線 CPU はスタートトリガを待機し、チャネル パラメータに基づいて周波数をプログラムします。チャネルが 0xFF の場合、この動作はすでに設定されたチャネルで動作し続けます。この場合、直前に受信動作またはシンセサイザのプログラミング動作が行われている必要があります。周波数シンセサイザが動作していない場合、動作はエラーで終了します。周波数をプログラミングした後、無線 CPU は IEEE 802.15.4 パケットを受信するようにレシーバを設定しますが、受信したデータを保存しません。

レシーバが動作中、CCA は セクション 25.5.4.1.5 で示されているように更新されます。復調器がフレームで同期を取得すると、PHY ヘッダが読み出されます。これは、検出された同期に基づいてキャリア センスの決定のみに使用され、同期検索はその後すぐに再開されます。

エネルギー検出スキャン動作は、セクション 25.5.4.1.4 に示すように、RX 動作と同じ条件で終了します。動作が終了する前に、無線 CPU は、エネルギー検出スキャン動作中に観測された最大 RSSI を maxRssi に書き込みます。

25.5.4.3 CSMA-CA 動作

CSMA-CA 動作は、受信動作またはエネルギー検出スキャン動作の上位で実行されるフォアグラウンド レベルの動作です。エネルギー検出スキャン動作の上位で実行する場合、実際のエネルギー検出スキャン手順は実行されません。その代わり、パケット受信を行うことなくレシーバが起動されます。この動作は CMD_IEEE_CSMA コマンドによって開始され、表 25-64 に示すコマンド構造体を使用します。

CSMA-CA 動作の開始時に、無線 CPU は開始トリガを待機します。

無線 CPU は変数「CW」を保持し、csmaConfig.initCW に初期化されます。

コマンド開始時に remainingPeriods がゼロでない場合、無線 CPU は処理を続行する前に、開始トリガを基準としてその回数分のバックオフ期間 (デフォルト 320µs) だけ待機します。それ以外の場合、無線 CPU は 0 ～ $2^{(BE)-1}$ の範囲の擬似乱数を描画します。ここでは BE を表 25-64 に示します。その後、無線 CPU は開始トリガから起算して、その回数分のバックオフ期間だけ待機した後、処理を続行します。

この待ち時間が経過すると、無線 CPU はバックグラウンド レベルの動作から CCA 状態をチェックします (セクション 25.5.4.1.5 を参照)。CCA 状態が無効であった場合、無線 CPU は再試行する前に待機します。csmaConfig.bSlotted = 1 の場合、待機時間は 1 バックオフ期間です。それ以外の場合は、RSSI 結果が使用可能になるまで待機します。CCA 状態が IDLE であった場合、無線 CPU は CW を 1 減算します。その結果、値がゼロになると、CSMA-CA 動作は成功として終了します。その結果がゼロでない場合、無線 CPU は待機時間の終了時点を基準として 1 バックオフ期間待機した後、前述の手順に従って再び CCA 状態を確認します。

CCA 状態がオンのときにチャネルが BUSY の場合、無線 CPU は次のように変数を更新します。

CW = csmaConfig.initCW、NB + = 1、BE + = min (BE + 1、macMaxBE)

この更新後の NB が macMaxCSMABackoffs を超えた場合、CSMA-CA 動作は失敗として終了します。それ以外の場合、無線 CPU は前述の方法に従って待機するバックオフ期間数をランダムに決定し、前と同様に処理を続行します。csmaConfig.bSlotted = 1 の場合、待機は前回の待機時間終了後の次のバックオフ期間から開始されます。それ以外の場合は、前回の待機時間終了後の設定可能な時間を基準として待機します。

Copyright © 2026 Texas Instruments Incorporated

図 25-7 に、CSMA を CA Rx として使用する場合のフロー チャートを示します。

前述のとおり、CSMA-CA 動作は成功または失敗によって終了する場合がありますが、それに加えて、endTrigger および endTime で指定された終了トリガ、またはコマンドによって終了することもあります。CSMA-CA 動作を終了させることができるコマンドは、即時コマンドである CMD_ABORT、CMD_STOP、CMD_IEEE_ABORT_FG、および CMD_IEEE_STOP_FG です。CSMA-CA 動作が終了すると、無線 CPU は、直近の CCA チェックが実行される前の最後の待機期間終了時点のタイマ値を lastTimeStamp に書き込み、その時点の RSSI 値を lastRssi に書き込みます。動作がタイムアウトまたは停止コマンドによって終了した場合、無線 CPU は、待機時間に残っているバックオフ期間数を remainingPeriods に書き込みます。それ以外の場合、無線 CPU は remainingPeriods に 0 を書き込みます。

この擬似乱数アルゴリズムは、最大長の 16 ビット線形帰還シフト レジスタ (LFSR) に基づいています。シードは randomState で提供されます。操作が終了すると、無線 CPU は現在の状態をこのフィールドに書き込みます。randomState が 0 の場合、無線 CPU は LFSR を無線タイマの 16 LSB で初期化することにより、自動的にシード値を設定します。この値にはある程度のランダム性がありますが、そのランダム性は限定的です。特にスロット付き CSMA-CA ではその傾向が顕著です。そのため、システム CPU により、真性乱数または真性乱数をシードとして生成した擬似乱数を用いてシード値を設定することを推奨します。無線タイマの 16 LSB がすべて 0 の場合は、別の固定値が置き換えられます。

csmaConfig.rxOffMode の設定によっては、次の CCA チェックまでのバックオフ期間中に十分な時間がある場合、基盤となる RX 動作が一時停止されることがあります。値が異なると、次のような意味になります。

- rxOffMode = 0: CSMA バックオフ中も無線はオンのままです。
- rxOffMode = 1: フレームが受信されている、ACK が送信されている、またはそれらの間の遷移中の場合、無線はオンのままです。それ以外の場合、無線はバックオフ期間が終了するまでオフになります。
- rxOffMode = 2: フレームを受信中、ACK を送信中、またはそれらの遷移中である場合、無線回路は動作を継続し、必要に応じてパケットの受信完了および ACK の送信完了までオンの状態を維持します。その後、無線はバックオフ期間の終了までオフになります。
- rxOffMode = 3: 無線は、バックオフ期間の開始時に直ちにオフになります。これにより、受信中のフレームまたは送信中の ACK は中断されます。無線は、バックオフ期間が終了するまでオフの状態を維持します。

この方法で無線をオフにした場合、次の CCA 動作を実行できるよう、レシーバは十分に早いタイミングで再起動されます。また、無線がオフになるのは、そのための十分な時間的余裕がある場合に限られます。この機能は、常に RX である必要がないシステムにおいて、省電力化のために利用できます。モード 0 以外のすべてのモードでは、確率が高くなるとフレームが失われる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

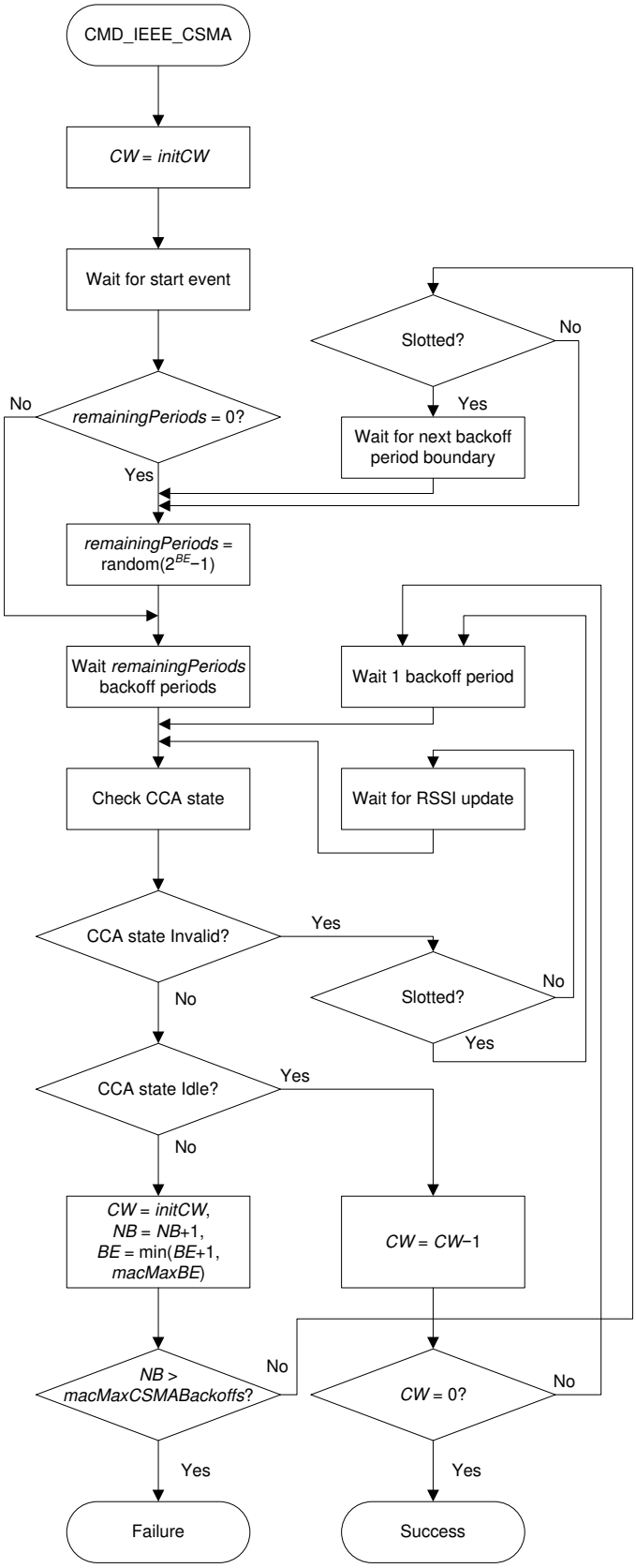


図 25-7. CSMA-CA 動作

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

IEEE 802.15.4 に準拠した動作を行う場合、新しい CSMA-CA 動作を開始する前に、各パラメータを以下のように初期化する必要があります。

1. randomState はランダムな値に設定する必要があります
2. csmaConfig.initCW は、スロット付き CSMA-CA では 2、スロットなし CSMA-CA では 1 に設定する必要があります
3. csmaConfig.bSlotted は、スロット付き CSMA-CA では 1、スロットなし CSMA-CA では 0 に設定する必要があります
4. NB は 0 に設定する必要があります
5. BE は macMinBE に設定する必要があります。ただし、バッテリ寿命延長機能を使用するスロット付き CSMA-CA の場合は、BE を min(2, macMinBE) に設定する必要があります
6. remainingPeriods は 0 に設定する必要があります
7. macMaxBE および macMaxCSMABackoffs は、それぞれ対応する MAC PIB 属性の値に設定する必要があります

スロット付き CSMA-CS の場合、startTrigger はバックオフ スロット境界で発生するように設定する必要があります。スロット付き CSMA-CA の場合、IEEE 802.15.4 規格で規定されているとおり、トランザクションをスーパーフレーム内で完了できる最も遅い時刻に endTrigger が発生するよう設定する必要があります。CSMA-CA がタイムアウトのために終了した場合、次のスーパーフレームでパラメータを変更せずに CSMA を再起動できます (終了時間を除きます)。

表 25-85 に、CSMA-CA 動作終了の原因を示します。コマンドの終了後のコマンド構造のステータス フィールドは、操作が終了した理由を示します。いずれの場合も、FG_COMMAND_DONE 割り込みが発生します。それぞれの場合について、結果が TRUE、FALSE、または ABORT のいずれであるかが示されます。これは、pNextOp に設定された次のコマンド (存在する場合) を開始するか、それとも IDLE 状態へ戻るかを示します。

表 25-85. CSMA-CA 動作の終了

条件	ステータス コード	結果
CSMA-CA 操作が正常に終了しました	IEEE_DONE_OK	TRUE
CSMA-CA 操作が失敗しました	IEEE_DONE_BUSY	FALSE
終了トリガが発生しました	IEEE_DONE_TIMEOUT	FALSE
CMD_STOP または CMD_IEEE_STOP_FG を受信しました	IEEE_DONE_STOPPED	FALSE
CMD_ABORT または CMD_IEEE_ABORT_FG を受信しました	IEEE_DONE_ABORT	ABORT
バックグラウンド操作が終了しました	IEEE_DONE_BGEND	ABORT
不正なパラメータを検出しました	IEEE_ERROR_PAR	ABORT

動作終了時には、最後の CCA チェック時刻 (つまり lastTimeStamp に書き込まれる時刻) がイベント 1 として定義され、後続のチェーン実行される動作のタイミング基準として使用できます。

25.5.4.4 送信動作

送信動作は、一つのパケットを送信するフォアグラウンド レベルの動作です。この動作は CMD_IEEE_TX コマンドで開始され、表 25-65 で示されているコマンド構造を使用します。

無線 CPU はコマンドを受信すると、開始トリガを待ちます。この待ち時間の間、バックグラウンド レベルの操作はすべて実行され続けます。開始トリガで無線 CPU はレシーバを一時停止し、トランスミッタを構成します。シンセサイザは電源投入済みかつ較正済みであることが前提とされているため、バックグラウンド レベルの動作が実行されていない場合、TX 動作の前にシンセサイザの較正コマンドを実行する必要があります。周波数シンセサイザが実行されていない場合、動作はエラーで終了します。

トランスミッタは、バッファ ポインタで見つかったペイロードを、payloadLen バイトで構成される pPayload に送信します。txOpt.payloadLenMsb がゼロでない場合、このフィールドに 256 を掛けて payloadLen に追加し、IEEE 802.15.4 に準拠しないロングフレームを作成します (テスト目的)。txOpt.bIncludePhyHdr が 0 の場合、無線 CPU はペイロード長から計算された PHY ヘッダを自動的に挿入します。それ以外の場合、PHY ヘッダは無線 CPU によって挿入されないため、IEEE 802.15.4 準拠のためには、ペイロード バッファの先頭バイトが PHY ヘッダである必要があります。

Copyright © 2026 Texas Instruments Incorporated

その後、ペイロードはペイロード バッファ内で検出されたとおりに送信されます。txOpt.bIncludeCrc が 0 の場合、無線 CPU は IEEE 802.15.4 規格に従って計算された二つの CRC バイトを追加します。それ以外の場合、CRC は付加されないため、IEEE 802.15.4 MAC 準拠のためには、ペイロード バッファの最後の二バイトが MAC フッタである必要があります。送信動作は、即時コマンド CMD_ABORT、CMD_STOP、CMD_IEEE_ABORT_FG、または CMD_IEEE_STOP_FG のいずれかによって終了させることができます。CMD_ABORT または CMD_IEEE_ABORT_FG を受信すると、パケットの途中で可能な限り早く送信が終了します。無線 CPU が開始トリガを待機している間に CMD_STOP または CMD_IEEE_STOP_BG を受信した場合、送信を行うことなく処理は終了します。一方、それ以外の場合は送信は完了しますが、終了ステータスおよび結果は後続の説明に示すように異なります。

パケットの送信が開始されると、モデム起動に使用されたトリガ RAT 時刻が、無線 CPU によって timeStamp フィールドに書き込まれます。このタイムスタンプは、CMD_IEEE_TX コマンドで設定された開始時刻と比較して、ファームウェア定義パラメータ startToTXRatOffset によって遅延させられます。トランスミッタとレシーバが RAT タイマを同期している場合、このタイムスタンプは RX エントリ要素に追加されたタイムスタンプと同じになります (セクション 25.7.1 を参照)。ただし、受信側では予測の不確定性があります。

動作が終了すると、送信されたフレームの終了時刻は event 1 として定義され、その後のチェーン化されたオペレーションのタイミング制御に使用される場合があります。

表 25-86 に、送信動作終了の原因を示します。コマンドの終了後のコマンド構造のステータス フィールドは、操作が終了した理由を示します。いずれの場合も、FG_COMMAND_DONE 割り込みが発生します。それぞれの場合について、結果が TRUE、FALSE、または ABORT のいずれであるかが示されます。これは、pNextOp に設定された次のコマンド (存在する場合) を開始するか、それとも IDLE 状態へ戻るかを示します。

表 25-86. 送信動作の終了

条件	ステータス コード	結果
パケット送信済み	IEEE_DONE_OK	TRUE
CMD_STOP または CMD_IEEE_STOP_FG を受信し、開始されていれば送信を終了します	IEEE_DONE_STOPPED	FALSE
CMD_ABORT または CMD_IEEE_ABORT_FG を受信しました	IEEE_DONE_ABORT	ABORT
不正なパラメータを検出しました	IEEE_ERROR_PAR	ABORT

25.5.4.5 受信アクノリッジ動作

受信 ACK 動作は、受信動作の上位に実行されるフォアグラウンド レベルの動作です。この動作は CMD_IEEE_RX_ACK コマンドで開始し、表 25-66 に示すコマンド構造を使用します。

受信 ACK 動作の開始時に、無線機 CPU は開始トリガを待ちます。受信 ACK 動作の前に TX 処理によってレシーバが中断されていた場合、開始トリガが発生するまでバックグラウンド レベルの RX 動作は再開されません。

受信 ACK 動作の実行中、バックグラウンド レベルの RX 動作は通常実行されます。ただし、パケットの探索に加えて、この動作は seqNo で指定されたシーケンス番号を持つ ACK パケットも探索します。パケットは、バックグラウンド レベルの受信動作 (frameTypes.bAcceptFt2Ack = 1) でに設定されている場合にのみ受信キューに格納されます。ACK パケットがバックグラウンド RX 動作でフィルタリングされている場合でも、ACK パケットについてはシーケンス番号が受信され、一致した場合には FCS も受信されます。

要求されたシーケンス番号の ACK パケットを受信すると、FCS がチェックされます。CRC が OK なら、受信 ACK 動作は終了します。それ以外の場合は続行します。ACK を受信すると、ヘッダの保留中のデータ ビットがチェックされます。

受信 ACK 動作は、前述のとおり ACK を受信した時点で終了することに加え、endTrigger および endTime によって指定される終了トリガ、またはコマンドによっても終了することができます。受信 ACK 動作を終了できるコマンドは、即時コマンド CMD_ABORT、CMD_STOP、CMD_IEEE_ABORT_FG、および CMD_IEEE_STOP_FG です。

Receiver-ACK 動作は、表 25-87 に示す原因の一つによって終了します。コマンドの終了後のコマンド構造のステータス フィールドは、操作が終了した理由を示します。いずれの場合も、FG_COMMAND_DONE 割り込みが発生します。それ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

それの場合について、結果が TRUE、FALSE、または ABORT のいずれであるかが示されます。これは、pNextOp に設定された次のコマンド (存在する場合) を開始するか、それとも IDLE 状態へ戻るかを示します。

表 25-87. 受信 ACK 動作の終了

条件	ステータス コード	結果
保留データ ビットがクリアされた状態で、ACK を要求しました	IEEE_DONE_ACK	FALSE
保留データ ビットがセットされた状態で、ACK を要求しました	IEEE_DONE_ACKPEND	TRUE
終了トリガが発生しました	IEEE_DONE_TIMEOUT	FALSE
CMD_STOP または CMD_IEEE_STOP_FG を受信しました	IEEE_DONE_STOPPED	FALSE
CMD_ABORT または CMD_IEEE_ABORT_FG を受信しました	IEEE_DONE_ABORT	ABORT
バックグラウンド操作が終了しました	IEEE_DONE_BGEND	ABORT
不正なパラメータを検出しました	IEEE_ERROR_PAR	ABORT

25.5.4.6 バックグラウンド レベル動作の中止コマンド

バックグラウンド レベル動作の中止コマンドは、バックグラウンドで実行されているコマンドを停止するフォアグラウンドレベルのコマンドです。バックグラウンド レベル動作の中止コマンドは、フォアグラウンド動作コマンドとして定義されています。これにより、実行のタイミングを制御し、他のメイン処理と連続して実行できます。このコマンドは CMD_IEEE_ABORT_BG コマンドで実行され、最小パラメータ セットのみを持つコマンド構造を使用します。

バックグラウンド レベル動作を中止すると、無線 CPU はスタート トリガを待機してから、進行中のバックグラウンド レベル受信またはエネルギー検出スキャン動作を中止します。

開始トリガを待機している間は、コマンドによって動作を停止できます。動作を停止できるコマンドは、CMD_ABORT、CMD_STOP、CMD_IEEE _ABORT_FG、および CMD_IEEE_STOP_FG です。最初の 2 つは、バックグラウンド レベルの動作を停止させます。

表 25-88 に示すいずれかの原因により、バックグラウンド レベル動作が終了します。コマンドの終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。いずれの場合も、FG_COMMAND_DONE 割り込みが発生します。いずれの場合も、結果が TRUE、FALSE、または ABORT の場合に示されます。これは、pNextOp で次のコマンドを開始するか (存在する場合)、IDLE 状態に戻すかを示します。

表 25-88. バックグラウンド レベル動作の ABORT 完了

条件	ステータス コード	結果
バックグラウンド レベルが中止された	IEEE_DONE_OK	TRUE
CMD_STOP または CMD_IEEE_STOP_FG を受信した	IEEE_DONE_STOPPED	FALSE
CMD_ABORT または CMD_IEEEE_ABORT_FG を受信した	IEEE_DONE_ABORT	ABORT

Copyright © 2026 Texas Instruments Incorporated

25.5.5 即時コマンド

25.5.5.1 CCA パラメータ変更コマンド

CMD_IEEE_MOD_CCA コマンドは、表 25-67 で定義されているコマンド構造を取ります。

CMD_IEEE_MOD_CCA コマンドは、RX 動作またはエネルギー検出スキャン動作が実行中の場合にのみ発行できます。このコマンドを受信すると、無線 CPU は実行中の処理で使用している ccaRssiThr および ccaOpt の値を、それぞれ newCcaRssiThr および newCcaOpt に設定された値へ変更します。無線 CPU はコマンド構造体を更新します。新しい設定は、今後の CCA 要求に使用されます。

アクティブまたは一時停止中のバックグラウンド レベル動作が存在しない状態でこのコマンドを発行した場合、無線 CPU は CMDSTA に結果コード ContextError を返します。指定されたパラメータのいずれかが不正な場合、無線 CPU は CMDSTA に結果コード ParError を返します。それ以外の場合、無線 CPU は DONE を返します。

25.5.5.2 フレーム フィルタリング パラメータ変更コマンド

CMD_IEEE_MOD_FILT コマンドは、表 25-68 で定義されるコマンド構造を取ります。

CMD_IEEE_MOD_FILT は、RX 動作の実行中にのみ送信できます。受信すると、無線 CPU は実行中プロセスの frameFiltOpt および frameTypes の値を、それぞれ newFrameFiltOpt および newFrameTypes で指定された値に変更します。無線 CPU はコマンド構造を更新します。

新しいフレーム フィルタリング オプション値は、次回フレーム フィルタリング開始時から使用されます。autoAckEn または slottedAckEn が変更された場合、その変更は次回のパケット受信終了時から適用されます。

アクティブな、または一時停止されたバックグラウンド レベルの RX 操作なしにコマンドが発行された場合、無線 CPU は CMDSTA に結果の ContextError を返します。入力されたパラメータのいずれかが不正な場合、無線 CPU は CMDSTA に ParError を返します。それ以外の場合、無線 CPU は DONE を返します。

25.5.5.3 ソース マッチング エントリ コマンドを有効または無効にする

CMD_IEEE_MOD_SRC_MATCH コマンドでは、表 25-68 で定義されているコマンド構造が使用されます。CMD_IEEE_MOD_SRC_MATCH は、RX 動作の実行中にのみ送信する必要があります。受信時に、無線 CPU はコマンド構造で信号を送信するソース マッチング エントリを有効または無効にします。options.entryType が 0 の場合、エントリは pExtEntryList が指す構造の拡張アドレス エントリであり、options.entryType が 1 の場合、エントリは pShortEntryList が指す構造のショート アドレス エントリです。エントリのインデックスは entryNo でシグナルされます。options.bEnable が 0 の場合、エントリは無効になり、1 の場合はエントリは有効になります。対応するソース保留ビットが options.srcMatch の値に設定されます。有効値の新しい値は、次回のソース マッチングが実行されたときから使用されます。システム CPU は、無効なエントリのアドレスを変更できますが、有効なエントリは変更できません。アクティブな、または一時停止されたバックグラウンド レベルの RX 操作なしにコマンドが発行された場合、無線 CPU は CMDSTA に結果の ContextError を返します。入力されたパラメータのいずれかが不正な場合 (存在しないエントリを指しているなど)、無線 CPU は CMDSTA の結果の ParError を返します。それ以外の場合、無線 CPU は DONE を返します。

25.5.5.4 フォアグラウンド レベル動作中止コマンド

CMD_IEEE_ABORT_FG はパラメータを取らない即時コマンドであるため、ダイレクト コマンドとして使用できます。

CMD_IEEE_ABORT_FG コマンドは、バックグラウンド レベル動作を継続実行したまま、フォアグラウンド レベル動作を中止します。詳細については、表 25-59 のフォアグラウンド レベル動作の説明を参照してください。

フォアグラウンド レベル無線動作コマンドが実行されていない場合は、何も実行されません。CMDSTA で通知される結果は、すべての場合で DONE です。フォアグラウンド レベル無線動作コマンドが実行中だった場合、無線動作が終了する前に CMDSTA が更新されることがあります。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.5.5.5 フォアグラウンド レベルの動作コマンドの停止

CMD_IEEE_STOP_FG は、パラメータを指定しない即時コマンドで、直接コマンドとして使用できます。

CMD_IEEE_STOP_FG コマンドは、バックグラウンド レベルの動作を引き続き実行しつつ、フォアグラウンド レベルの動作を安全に停止させます。詳細については、表 25-59 のフォアグラウンド レベルの動作の説明を参照してください。

フォアグラウンド レベルの無線動作コマンドが実行されていない場合は、何も実行されません。CMDSTA で通知される結果は、すべての場合で DONE になります。フォアグラウンド レベルの無線動作コマンドが実行されている場合、無線動作が終了する前に CMDSTA が更新される可能性があります。

25.5.5.6 リクエスト CCA および RSSI 情報コマンド

CMD_IEEE_CCA_REQ コマンドは、表 25-70 で定義されているコマンド構造を取ります。

CMD_IEEE_CCA_REQ は、RX またはエネルギー検出スキャン動作の実行中にのみ送信されます。受信時に、無線 CPU は次の数量をコマンド構造に書き出します:

- currentRssi は復調器で現在利用可能な RSSI 番号に設定されます
- maxRssi はバックグラウンドレベルの操作が開始されたために観測された RSSI の最大値に設定されます
- ccaState は現在の CCA オプションに従って CCA 状態に設定されます。セクション 25.5.4.1.5 を参照してください
- ccaEnergy は、セクション 25.5.4.1.5 に従ってエネルギー検出 CCA 状態に設定されます
- ccaCorr は、セクション 25.5.4.1.5 に従って相関器ベースのキャリア検知 CCA 状態に設定されます
- ccaSync は、セクション 25.5.4.1.5 に従って同期発見ベースのキャリア検知 CCA 状態に設定されます

リクエストが送信されるときに有効な RSSI が見つからない場合、返される currentRssi と maxRssi は特別な値 (0x80) を使用して、見つからないことを示します。

アクティブまたは中断されたバックグラウンド レベルの RX 動作なしでコマンドが発行される場合、無線 CPU は CMDSTA の結果 ContextError を返します。それ以外の場合、無線 CPU は DONE を返します。

25.6 Bluetooth® Low Energy

このセクションでは、Bluetooth Low Energy 固有のコマンド構造、データ処理、無線動作コマンド、即時コマンドについて説明します。

25.6.1 Bluetooth® Low Energy コマンド

従来のモードの Bluetooth Low Energy 固有の無線動作コマンドは、表 25-89 で定義されています。これらのコマンドは、Bluetooth バージョン 4.0、4.1、4.2、および Bluetooth 5.0 の従来の機能を実行するために使用する必要があります。

表 25-89. 従来の Bluetooth® Low Energy 無線動作コマンド

ID	コマンド名	説明
0x1801	CMD_BLE_SLAVE	スレーブ動作を開始します。
0x1802	CMD_BLE_MASTER	マスタ動作を開始します。
0x1803	CMD_BLE_ADV	接続可能な無指向性アドバタイザ動作を開始します。
0x1804	CMD_BLE_ADV_DIR	接続可能な指向性アドバタイザ動作を開始します。
0x1805	CMD_BLE_ADV_NC	接続できないアドバタイザ動作を開始します。
0x1806	CMD_BLE_ADV_SCAN	スキャン可能な無指向性アドバタイザ動作を開始します。
0x1807	CMD_BLE_SCANNER	スキャナ動作を開始します。
0x1808	CMD_BLE_INITIATOR	イニシエータ動作を開始します。
0x1809	CMD_BLE_GENERIC_RX	汎用パケットを受信します (PHY テストまたはパケット スニフィングに使用)。
0x180A	CMD_BLE_TX_TEST	PHY テストパケットを送信します。

Copyright © 2026 Texas Instruments Incorporated

表 25-90 は Bluetooth 5 モードの Bluetooth Low Energy 固有の無線動作コマンドを定義しています。

表 25-90. Bluetooth® Low Energy 5 無線動作コマンド

ID	コマンド名	説明
0x1820	CMD_BLE5_RADIO_SETUP	PHY 間で切り替える機能を備えた Bluetooth 5 モードで無線を設定します。
0x1821	CMD_BLE5_SLAVE	スレーブ動作を開始します。
0x1822	CMD_BLE5_MASTER	マスタ動作を開始します。
0x1823	CMD_BLE5_ADV_EXT	プライマリ チャネルで拡張アドバタイザ動作を開始します。
0x1824	CMD_BLE5_ADV_AUX	セカンダリ チャネルで拡張アドバタイザ動作を開始します。
0x1827	CMD_BLE5_SCANNER	スキャナ動作を開始します。
0x1828	CMD_BLE5_INITIATOR	イニシエータ動作を開始します。
0x1829	CMD_BLE5_GENERIC_RX	汎用パケットを受信します (PHY テストまたはパケット スニフィングに使用)。
0x182A	CMD_BLE5_TX_TEST	PHY テストパケットを送信します。

表 25-91 は Bluetooth Low Energy 固有の即時コマンドを定義しています。

表 25-91. Bluetooth® Low Energy 即時コマンド

ID	コマンド名	説明
0x1001	CMD_BLE_ADV_PAYLOAD	アドバタイザ動作で使用するペイロードを変更します。

25.6.1.1 コマンド データの定義

このセクションでは、システム CPU と無線 CPU 間の通信に使用されるデータ構造を説明する際に使用するデータ型を定義します。データ構造は表に示します。バイト インデックスは、その構造を指すポインタからのオフセットです。マルチバイト フィールドはリトル エンディアンであり、ハーフワードまたはワード アラインメントが必要です。ビット番号付けでは、0 が最下位ビット (LSB) です。R/W 列は次のように使用されます。

- R: システム CPU は結果を読み戻すことができます。無線 CPU はこのフィールドを読み出しません。
- W: システム CPU は値を書き込む必要があります。無線 CPU はその値を読み出しますが、変更はしません。
- R/W:システム CPU は初期値を書き込む必要があります。無線 CPU はその初期値を変更する場合があります。

25.6.1.1.1 Bluetooth® Low Energy コマンド構造

表 25-92. 従来の Bluetooth® Low Energy 無線操作コマンド構造 (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号
2 ~ 3	ステータス			R/W	コマンドのステータスを示す整数。この値は動作中に無線 CPU によって更新され、システム CPU は任意のタイミングで読み出すことができます。
4 ~ 7	pNextOp			W	この動作が完了した後に実行する次の動作へのポインタ
8 ~ 11	startTime			W	絶対開始時間または相対開始時間 (startTrigger の値に依存)
12	startTrigger				動作を開始するトリガの識別。
13	条件	0 ~ 3	rule	W	次のコマンドの実行条件:手順のルール。
		4 ~ 7	nSkip	W	スキップ回数 + 1 (ルールがスキップを含む場合)。 0: 同じ 1: 次へ 2: 次の項目をスキップする ...

Copyright © 2026 Texas Instruments Incorporated

表 25-92. 従来の Bluetooth® Low Energy 無線操作コマンド構造 (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14	channel			W	使用するチャネル 0–39: Bluetooth Low Energy アドバタイズ / データ チャネル番号 60–207: カスタム周波数、(2300 以上のチャネル) MHz 255: 既存の周波数を使用 その他:予約済み
15	whitening	0 ~ 6	init	W	bOverride = 1 またはカスタム周波数が使用されている場合: 0:ホワイトニング処理を使用しないでください その他の値:7 ビット LFSR ホワイトナーの初期化
		7	bOverride	W	0:Bluetooth Low Energy アドバタイズ / データ チャネルにデフォルトのホワイトニングを使用 1: init の値でホワイトニング初期化を上書き
16 ~ 19	pParams			W	コマンド固有のパラメータ構造へのポインタ
20 ~ 23	pOutput			W	コマンド固有の出力構造へのポインタ

(1) このコマンド構造は、表 25-89 に示す従来の Bluetooth Low Energy サポートのすべての無線動作コマンドに使用する必要があります。

表 25-93. Bluetooth® Low Energy 5 無線操作コマンド構造 (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号 0x1821
2 ~ 3	ステータス			R/W	コマンドのステータスを示す整数。この値は動作中に無線 CPU によって更新され、システム CPU は任意のタイミングで読み出すことができます。
4 ~ 7	pNextOp			W	この動作が完了した後に実行する次の動作へのポインタ
8 ~ 11	startTime			W	絶対開始時間または相対開始時間 (startTrigger の値に依存)
12	startTrigger				動作を開始するトリガの識別
13	条件	0 ~ 3	rule	W	次のコマンドの実行条件:手順のルール
		4 ~ 7	nSkip	W	スキップ回数 + 1 (ルールがスキップを含む場合)。 0: 同じ 1: 次へ 2: 次の項目をスキップする ...
14	channel			W	使用するチャネル 0–39: Bluetooth Low Energy アドバタイズ / データ チャネル番号 60–207: カスタム周波数、(2300 以上のチャネル) MHz 255: 既存の周波数を使用 その他:予約済み
15	whitening	0 ~ 6	init	W	bOverride = 1 またはカスタム周波数が使用されている場合: 0:ホワイトニング処理を使用しないでください その他の値:7 ビット LFSR ホワイトナーの初期化
		7	bOverride	W	0:Bluetooth Low Energy アドバタイズ / データ チャネルにデフォルトのホワイトニングを使用 1: init の値でホワイトニング初期化を上書き

Copyright © 2026 Texas Instruments Incorporated

表 25-93. Bluetooth® Low Energy 5 無線操作コマンド構造 (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
16	phyMode	0 ~ 1	mainMode	W	使用する PHY: 0 : 1Mbps 1: 2Mbps 2: コード付き 3: 予約済み
		2 ~ 7	coding	W	コード化された PHY が選択されている場合に TX に使用するコーディング。セクション 25.8.3 を参照
17	rangeDelay			W	T_IFS の後にリスニング時間に追加する RAT ティックの数
18 ~ 19	txPower			W	使用する送信電力 (無線セットアップで指定された電力をオーバーライド)。 0x0000 : デフォルトの TX 出力を使用します。
20 ~ 23	pParams			W	コマンド固有のパラメータ構造へのポインタ
24 ~ 27	pOutput			W	コマンド固有の出力構造へのポインタ

(1) このコマンド構造は、表 25-90 に示す Bluetooth Low Energy 5 サポートのすべての無線動作コマンドに使用する必要があります (CMD_BLE5_RADIO_SETUP を除きます)。

表 25-94. Bluetooth® Low Energy 5 無線セットアップコマンド構造 (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	commandNo			W	コマンド ID 番号 0x1820
2 ~ 3	ステータス			R/W	コマンドのステータスを示す整数。この値は動作中に無線 CPU によって更新され、システム CPU は任意のタイミングで読み出すことができます。
4 ~ 7	pNextOp			W	この動作が完了した後に実行する次の動作へのポインタ
8 ~ 11	startTime			W	絶対開始時間または相対開始時間 (startTrigger の値に依存)
12	startTrigger				動作を開始するトリガの識別
13	条件	0 ~ 3	rule	W	次のコマンドの実行条件 : 手順のルール
		4 ~ 7	nSkip	W	スキップ回数 + 1 (ルールがスキップを含む場合)。 0: 同じ 1: 次へ 2: 次の項目をスキップする ...
14	defaultPhy	0 ~ 1	mainMode	W	BLE 以外のコマンドに使用する PHY: 0 : 1Mbps 1: 2Mbps 2: コード付き 3: 予約済み
		2	coding	W	BLE 以外のコマンドにコード化された PHY が選択されている場合に TX に使用するコーディング 0: S = 8 (125kbps) 1: S = 2 (500kbps)
		3 ~ 7			予約済み
15					予約済み
16 ~ 17	config				構成オプション
18 ~ 19	txPower				デフォルトの送信電力
20 ~ 23	pRegOverrideCommon			W	共通初期化時にオーバーライドするハードウェアおよび設定レジスタのリストへのポインタ。NULL の場合、オーバーライドは使用されません。

Copyright © 2026 Texas Instruments Incorporated

表 25-94. Bluetooth® Low Energy 5 無線セットアップコマンド構造 (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
24 ~ 27	pRegOverride1Mbps			W	1Mbps PHY モードを選択した場合にオーバーライドするハードウェアおよび設定レジスタのリストへのポインタ。NULL の場合、オーバーライドは使用されません。
28 ~ 31	pRegOverride2Mbps			W	2Mbps PHY モードを選択した場合にオーバーライドするハードウェアおよび設定レジスタのリストへのポインタ。NULL の場合、オーバーライドは使用されません。
32 ~ 35	pRegOverrideCoded			W	コード化された PHY モードを選択するときにオーバーライドされるハードウェアおよび構成レジスタのリストへのポインタ。NULL の場合、オーバーライドは使用されません。

(1) このコマンド構造は、CMD_BLE5_RADIO_SETUP に使用されます。

表 25-95. アドバタイズ ペイロード コマンドを更新 (1)

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	commandNo	W	コマンド ID 番号 0x1001
2	payloadType	W	0: 広告データ 1: 応答データをスキャンします
3	newLen	W	新しいペイロードの長さ
4 ~ 7	pNewData	W	新しいデータを含むバッファへのポインタ
8 ~ 11	pParams	W	更新するパラメータ構造へのポインタ

(1) このコマンド構造は、CMD_BLE_ADV_PAYLOAD に使用されるものとします。

25.6.1.2 パラメータ構造

表 25-96. 従来のスレーブ コマンド (1)

バイト インデックス	フィールド名	タイプ	説明
0 ~ 3	pRxQ	W	受信キューへのポインタ
4 ~ 7	pTxQ	W	送信キューへのポインタ
8	rxConfig	W	受信キュー エントリの構成ビット (表 25-116 を参照)
9	seqStat	R/W	シーケンス番号ステータス (表 25-117 を参照)
10	maxNack	W	動作終了までに受信した NACK の最大数。 0: 無制限
11	maxPkt	W	動作終了まで送信したパケットの最大数。 0: 無制限
12 ~ 15	accessAddress	W	接続で使用するアクセス アドレス
16	crcInit0	W	接続で使用する CRC 初期化値 – 最下位バイト
17	crcInit1	W	接続で使用する CRC 初期化値 – 中央バイト
18	crcInit2	W	接続で使用する CRC 初期化値 – 最上位バイト
19	timeoutTrigger	W	最初の受信動作のタイムアウトを定義するトリガ
20 ~ 23	timeoutTime	W	最初の受信動作のタイムアウトを定義する timeoutTrigger と共に使用する時間
24 ~ 26			予約済み
27	endTrigger	W	デバイスが許容されると直ちに接続イベントを終了させるトリガ
28 ~ 31	endTime	W	デバイスが許容されると直ちに接続イベントを終了させる endTrigger と共に使用する時間

(1) このパラメータ構造は従来のスレーブ コマンド CMD_BLE_SLAVE で使用します。

Copyright © 2026 Texas Instruments Incorporated

表 25-97. 従来のマスタ コマンド (1)

バイト インデックス	フィールド名	タイプ	説明
0 ~ 3	pRxQ	W	受信キューへのポインタ
4 ~ 7	pTxQ	W	送信キューへのポインタ
8	rxConfig	W	受信キュー エントリの構成ビット (表 25-116 を参照)
9	seqStat	R/W	シーケンス番号ステータス (表 25-117 を参照)
10	maxNack	W	動作終了までに受信した NACK の最大数。 0:無制限
11	maxPkt	W	動作終了まで送信したパケットの最大数。 0:無制限
12 ~ 15	accessAddress	W	接続で使用するアクセス アドレス
16	crcInit0	W	接続で使用する CRC 初期化値 – 最下位バイト
17	crcInit1	W	接続で使用する CRC 初期化値 – 中央バイト
18	crcInit2	W	接続で使用する CRC 初期化値 – 最上位バイト
19	endTrigger	W	デバイスが許容されると直ちに接続イベントを終了させるトリガ
20 ~ 23	endTime	W	デバイスが許容されると直ちに接続イベントを終了させる endTrigger と共に使用する時間

(1) このパラメータ構造は従来のマスタ コマンド CMD_BLE_MASTER で使用します。

表 25-98. 従来のアドバタイザ コマンド (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 3	pRxQ			W	受信キューへのポインタ
4	rxConfig			W	受信キュー エントリの構成ビット (表 25-116 を参照)
5	advConfig	0 ~ 1	advFilterPolicy	W	アドバタイザ フィルタ ポリシー 0:すべてのデバイスからのスキャン リクエストおび接続リクエストを処理 1:すべてのデバイスからの接続リクエスト及びホワイトリスト内のデバイスのみのスキャン リクエストを処理 2:すべてのデバイスからのスキャン リクエストおよびホワイトリスト内のデバイスのみの接続リクエストを処理 3:ホワイトリスト内のデバイスのみのスキャン リクエスト及び接続リクエストを処理
		2	deviceAddrType	W	デバイス アドレスのタイプ: パブリック (0) またはランダム (1)
		3	peerAddrType	W	指向性アドバタイザ:ピア アドレスのタイプ: パブリック (0) またはランダム (1)
		4	bStrictLenFilter	W	0:有効なアドバタイズ パケット長のすべてのパケットを受け入れ 1:指定のパケット タイプの長さを超えたメッセージを破棄
		5	chSel	W	0:チャネル選択アルゴリズム 2 のサポートを報告しない 1:チャネル選択アルゴリズム 2 のサポートを報告する
		6			予約済み
		7	rpaMode	W	解決可能なプライベート アドレス モード 0:通常動作 1:フィルタ ポリシーに関わりなく受信した RPA にホワイトリストを使用
6	advLen			W	アドバタイザ データのサイズ
7	scanRspLen			W	スキャン応答データのサイズ
8 ~ 11	pAdvData			W	ADV*_IND データを含むバッファへのポインタ
12 ~ 15	pScanRspData			W	SCAN_RSP データを含むバッファへのポインタ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-98. 従来のアドバタイザ コマンド (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
16 ~ 19	pDeviceAddress			W	このデバイスで使用するデバイス アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、advConfig.deviceAddrType で指定されるアドレス タイプが反転します。
20 ~ 23	pWhiteList			W	ホワイトリストまたはピア アドレス (指向性アドバタイザ) へのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、advConfig.peerAddrType で指定されるアドレス タイプが反転します。
24 ~ 26					予約済み
27	endTrigger			W	デバイスが許容されると直ちにアドバタイザ イベントを終了させるトリガ
28 ~ 31	endTime			W	デバイスが許容されると直ちにアドバタイザ イベントを終了させる endTrigger と共に使用する時間

(1) このパラメータ構造は、すべての従来のアドバタイザ コマンド、CMD_BLE_ADV、CMD_BLE_ADV_DIR、CMD_BLE_ADV_NC、CMD_BLE_ADV_SCAN で使用します。

Copyright © 2026 Texas Instruments Incorporated

表 25-99. 従来のスキャナ コマンド (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 3	pRxQ			W	受信キューへのポインタ
4	rxConfig			W	受信キュー エントリの構成ビット
5	scanConfig	0	scanFilterPolicy	W	アドバタイザ アドレスに関するスキャン フィルタ ポリシー 0:すべてのアドバタイズメント パケットを受け入れます。 1:アドバタイザのアドレスがホワイトリスト内にあるデバイスからのアドバタイズメント パケットのみ受け入れます。
		1	bActiveScan	W	0:パッシブ スキャン 1:アクティブ スキャン
		2	deviceAddrType	W	デバイス アドレスのタイプ: パブリック (0) またはランダム (1)
		3	rpaFilterPolicy	W	ADV_DIRECT_IND メッセージの TargetA 用フィルタ ポリシー 0:自身のアドレスと一致する TargetA のみを受け入れます。 1:解決可能なすべてのプライベート アドレスも受け入れます。
		4	bStrictLenFilter	W	0:有効なアドバタイズ パケット長のすべてのパケットを受け入れ 1:指定のパケット タイプの長さを超えたメッセージを破棄
		5	bAutoWlIgnore	W	0:無線 CPU からのホワイトリスト内に無視ビットを設定しない 1:ホワイトリスト内に無視ビットを自動的に設定する
		6	bEndOnRpt	W	0:ADV*_IND を報告または SCAN_RSP の各送信後にスキャナ動作を継続する 1: ADV*_IND および可能性のある SCAN_RSP の各報告後にスキャナ動作を終了する
		7	rpaMode	W	解決可能なプライベート アドレス モード 0:通常動作 1:フィルタ ポリシーに関わりなく受信した RPA にホワイトリストを使用
6 ~ 7	randomState			R/W	バックオフ処理で使用される擬似ランダム数生成の状態
8 ~ 9	backoffCount			R/W	バックオフ処理で使用されるパラメータ backoffCount (関連資料の Bluetooth 仕様の資料を参照)。
10	backoffPar	0 ~ 3	logUpperLimit	R/W	スキャナのバックオフ処理で使用されるパラメータ upperLimit のバイナリ対数
		4	bLastSucceeded	R/W	最後の SCAN_RSP の受信が成功し upperLimit が変更されない場合は 1
		5	bLastFailed	R/W	最後の SCAN_RSP の受信に失敗し upperLimit が変更されなかった場合は 1
		6 ~ 7			予約済み
11	scanReqLen			W	スキャン リクエスト データのサイズ
12 ~ 15	pScanReqData			W	SCAN_REQ データを含むバッファへのポインタ
16 ~ 19	pDeviceAddress			W	このデバイスで使用するデバイス アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、scanConfig.deviceAddrType で指定されるアドレス タイプが反転します。
20 ~ 23	pWhiteList			W	ホワイトリストへのポインタ
24 ~ 25					予約済み
26	timeoutTrigger			W	デバイスが許容されると直ちに受信を終了させるトリガ
27	endTrigger			W	デバイスが許容されると直ちに受信を終了させるトリガ

Copyright © 2026 Texas Instruments Incorporated

表 25-99. 従来のスキャナ コマンド (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
28 ~ 31	timeoutTime			W	デバイスが許容されると直ちに受信を停止し、BLE_DONE_RXTIMEOUT で終了する、timeoutTrigger と共に使用する時間
32 ~ 35	endTime			W	デバイスが可能な限り直ちに受信を終了し、BLE_DONE_ENDED で終了する、endTrigger と共に使用する時間

(1) このパラメータ構造は、従来のスキャナ コマンド CMD_BLE_SCANNER で使用します。

表 25-100. 従来のイニシエータ コマンド (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 3	pRxQ			W	受信キューへのポインタ
4	rxConfig			W	受信キュー エントリの構成ビット (表 25-116 を参照)
5	initConfig	0	bUseWhiteList	W	イニシエータ フィルタ ポリシー 0 : 特定のピア アドレスを使用 1 : ホワイトリストを使用
		1	bDynamicWinOffset		0 : 動的 WinOffset 挿入なし 1 : 動的 WinOffset 挿入を使用
		2	deviceAddrType	W	デバイス アドレスのタイプ : パブリック (0) またはランダム (1)
		3	peerAddrType	W	ピア アドレスのタイプ : パブリック (0) またはランダム (1)
		4	bStrictLenFilter	W	0 : 有効なアドバタイズ パケット長のすべてのパケットを受け入れ 1 : 指定のパケット タイプの長さを超えたメッセージを破棄
		5	chSel	W	0 : チャネル選択アルゴリズム 2 のサポートを報告しない 1 : チャネル選択アルゴリズム 2 のサポートを報告する
		6			予約済み
		7			予約済み
6					予約済み
7	connectReqLen			W	接続リクエスト データのサイズ
8 ~ 11	pConnectReqData			W	CONNECT_IND (CONNECT_REQ) に入る LLData を含むバッファへのポインタ
12 ~ 15	pDeviceAddress			W	このデバイスで使用するデバイス アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、initConfig.deviceAddrType で指定されるアドレス タイプが反転します。
16 ~ 19	pWhiteList			W	ホワイトリストまたはピア アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、initConfig.peerAddrType で指定されるアドレス タイプが反転します。
20 ~ 23	connectTime			R/W	最初の接続イベントで可能な最初の開始時刻のタイマ値を示します。接続された場合は計算値を設定し、接続されていない場合は次の接続時間を設定します (表 25-112 を参照)。
24 ~ 25					予約済み
26	timeoutTrigger			W	デバイスが許容されると直ちに受信を終了させるトリガ
27	endTrigger			W	デバイスが許容されると直ちに受信を終了させるトリガ
28 ~ 31	timeoutTime			W	デバイスが許容されると直ちに受信を停止し、BLE_DONE_RXTIMEOUT で終了する、timeoutTrigger と共に使用する時間

Copyright © 2026 Texas Instruments Incorporated

表 25-100. 従来のイニシエータ コマンド (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
32 ~ 35	endTime			W	デバイスが可能な限り直ちに受信を終了し、BLE_DONE_ENDED で終了する、endTrigger と共に使用する時間

(1) このパラメータ構造は、従来のイニシエータ コマンド CMD_BLE_INITIATOR で使用します。

表 25-101. 汎用 RX コマンド (1)

バイト インデックス	フィールド名	タイプ	説明
0 ~ 3	pRxQ	W	受信キューへのポインタ。NULL にできます。その場合、受信したパケットは保存されません。
4	rxConfig	W	受信キュー エントリの構成ビット (表 25-116 を参照)
5	bRepeat	W	0:パケット受信後に動作を終了 1:パケット受信後にレシーバを再起動
6 ~ 7			予約済み
8 ~ 11	accessAddress	W	接続で使用するアクセス アドレス
12	crcInit0	W	接続で使用する CRC 初期化値 – 最下位バイト
13	crcInit1	W	接続で使用する CRC 初期化値 – 中央バイト
14	crcInit2	W	接続で使用する CRC 初期化値 – 最上位バイト
15	endTrigger	W	デバイスが RX 動作を終了するトリガ
16 ~ 19	endTime	W	デバイスが許容されると直ちに RX 動作を終了させる endTrigger と共に使用する時間です。

(1) このパラメータ構造は、従来のコマンドおよび Bluetooth Low Energy 5 の汎用レシーバ コマンド、CMD_BLE_GENERIC_RX と CMD_BLE5_GENERIC_RX の両方で使用します。

表 25-102. TX テスト コマンド (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	numPackets			W	送信するパケット数 0:無制限のパケット数を送信
2	payloadLength			W	各パケット内のペイロード バイト数。
3	packetType			W	Bluetooth 5.0 仕様に従ってエンコードして使用するパケット タイプ (関連資料を参照)。
4 ~ 7	period			W	各パケットが開始される間の無線タイマ サイクル数
8	config	0	bOverrideDefault	W	0:デフォルトのパケット エンコーディングを使用 1:パケットの内容を無効にする
		1	bUsePrbs9	W	bOverride が 1 の場合: 0:パケットの PRBS15 エンコードなし 1:パケットの PRBS9 エンコーディングを使用
		2	bUsePrbs15	W	bOverride が 1 の場合: 0:パケットの PRBS15 エンコードなし 1:パケットの PRBS15 エンコーディングを使用
		3 ~ 7			予約済み
9	byteVal			W	config.bOverride が 1 の場合、送信される各バイトの値
10					予約済み
11	endTrigger			W	デバイスが TX のテスト動作を終了するトリガ

Copyright © 2026 Texas Instruments Incorporated

表 25-102. TX テスト コマンド (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
12 ~ 15	endTime			W	デバイスが許容されると直ちに TX のテスト動作を終了させる endTrigger と共に使用する時間

(1) このパラメータ構造は、従来のコマンドおよび Bluetooth Low Energy 5 の汎用レシーバ コマンド、CMD_BLE_TX_TEST と CMD_BLE5_TX_TEST の両方で使用します。

Copyright © 2026 Texas Instruments Incorporated

表 25-103. Bluetooth® 5 スレーブ コマンド (1)

バイト インデックス	フィールド名	タイプ	説明
0 ~ 3	pRxQ	W	受信キューへのポインタ
4 ~ 7	pTxQ	W	送信キューへのポインタ
8	rxConfig	W	受信キュー エントリの構成ビット (表 25-116 を参照)
9	seqStat	RW	シーケンス番号ステータス (表 25-117 を参照)
10	maxNack	W	動作終了までに受信した NACK の最大数。 0 : 無制限
11	maxPkt	W	動作終了まで送信したパケットの最大数。 0 : 無制限
12 ~ 15	accessAddress	W	接続で使用するアクセス アドレス
16	crcInit0	W	接続で使用する CRC 初期化値 – 最下位バイト
17	crcInit1	W	接続で使用する CRC 初期化値 – 中央バイト
18	crcInit2	W	接続で使用する CRC 初期化値 – 最上位バイト
19	timeoutTrigger	W	最初の受信動作のタイムアウトを定義するトリガ
20 ~ 23	timeoutTime	W	最初の受信動作のタイムアウトを定義する timeoutTrigger と共に使用する時間
24	maxRxPktLen	W	接続中に受信するパケットに対して現在許可されている最大パケット長
25	maxLenLowRate	W	送信時に S = 8 (125kbps) の使用が許可される最大パケット長。 0 : 無制限
26			予約済み
27	endTrigger	W	デバイスが許容されると直ちに接続イベントを終了させるトリガ
28 ~ 31	endTime	W	デバイスが許容されると直ちに接続イベントを終了させる endTrigger と共に使用する時間

(1) このパラメータ構造は、Bluetooth 5 スレーブ、CMD_BLE5_SLAVE で使用します。

表 25-104. Bluetooth® 5 マスタ コマンド (1)

バイト インデックス	フィールド名	タイプ	説明
0 ~ 3	pRxQ	W	受信キューへのポインタ
4 ~ 7	pTxQ	W	送信キューへのポインタ
8	rxConfig	W	受信キュー エントリの構成ビット (表 25-116 を参照)
9	seqStat	RW	シーケンス番号ステータス (表 25-117 を参照)
10	maxNack	W	動作終了までに受信した NACK の最大数。 0 : 無制限
11	maxPkt	W	動作終了まで送信したパケットの最大数。 0 : 無制限
12 ~ 15	accessAddress	W	接続で使用するアクセス アドレス
16	crcInit0	W	接続で使用する CRC 初期化値 – 最下位バイト
17	crcInit1	W	接続で使用する CRC 初期化値 – 中央バイト
18	crcInit2	W	接続で使用する CRC 初期化値 – 最上位バイト
19	endTrigger	W	デバイスが許容されると直ちに接続イベントを終了させるトリガ
20 ~ 23	endTime	W	デバイスが許容されると直ちに接続イベントを終了させる endTrigger と共に使用する時間
24	maxRxPktLen	W	接続中に受信するパケットに対して現在許可されている最大パケット長
25	maxLenLowRate	W	送信時に S = 8 (125kbps) の使用が許可される最大パケット長。 0 : 無制限

(1) このパラメータ構造は、Bluetooth 5 マスタ、CMD_BLE5_MASTER で使用します。

Copyright © 2026 Texas Instruments Incorporated

表 25-105. 拡張アドバタイザ コマンド (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0	advConfig	0 ~ 1			予約済み
		2	deviceAddrType	W	デバイス アドレスのタイプ パブリック (0) またはランダム (1)
		3 ~ 7			予約済み
1 ~ 2					予約済み
3	auxPtrTargetType			W	auxPtrTargetTime の参照を示す番号。トリガ タイプと同じ値を取りますが、TRIG_ABSTIME と TRIG_REL_* のみが許可されます。
4 ~ 7	auxPtrTargetTime			W	auxPtr が指すパケットの開始時刻
8 ~ 11	pAdvPkt			W	ADV_EXT_IND パケットの拡張アドバタイズ パケットへのポインタ
12 ~ 15	pDeviceAddress			W	このデバイスで使用するデバイス アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、advConfig.deviceAddrType で指定されるアドレス タイプが反転します。

(1) このパラメータ構造は、Bluetooth low energy 5 拡張アドバタイザ コマンド、CMD_BLE5_ADV_EXT で使用します。pAdvPkt が指す構造の定義については、表 25-123 を参照してください。

表 25-106. セカンダリ チャネル アドバタイザ コマンド (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 3	pRxQ			W	受信キューへのポインタ
4	rxConfig			W	受信キュー エントリの構成ビット (表 25-116 を参照)
5	advConfig	0 ~ 1	advFilterPolicy	W	アドバタイザ フィルタ ポリシー 0:すべてのデバイスからのスキャン リクエストおび接続リクエストを処理します。 1:すべてのデバイスからの接続リクエスト及びホワイトリスト内のデバイスのみのスキャン リクエストを処理します。 2:すべてのデバイスからのスキャン リクエストおよびホワイトリスト内のデバイスのみの接続リクエストを処理します。 3:ホワイトリスト内のデバイスのみのスキャン リクエスト及び接続リクエストを処理します。
		2	deviceAddrType	W	デバイス アドレスのタイプ パブリック (0) またはランダム (1)
		3	targetAddrType	W	指向性セカンダリ アドバタイザ:ターゲット アドレスのタイプ パブリック (0) またはランダム (1)
		4	bStrictLenFilter	W	0:有効なアドバタイズ パケット長のすべてのパケットを受け入れます。 1:指定のパケット タイプの長さを超えたメッセージを破棄します。
		5	bDirected	W	0:無指向性アドバタイザ:pWhiteList はホワイトリストをポイント 1:指向性アドバタイザ:pWhiteList は単一デバイス アドレスをポイント。
		6			予約済み
		7	rpaMode	W	解決可能なプライベート アドレス モード 0:通常動作 1:フィルタ ポリシーに関わりなく受信した RPA にホワイトリストを使用します。

Copyright © 2026 Texas Instruments Incorporated

表 25-106. セカンダリ チャネル アドバタイザ コマンド (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
6					予約済み
7	auxPtrTargetType			W	auxPtrTargetTime の参照を示す番号。トリガ タイプと同じ値を取りますが、TRIG_ABSTIME と TRIG_REL_* のみが許可されます。
8 ~ 11	auxPtrTargetTime			W	auxPtr が指すパケットの開始時刻
12 ~ 15	pAdvPkt			W	ADV_AUX_IND パケットの拡張アドバタイズ パケットへのポインタ
16 ~ 19	pRspPkt			W	AUX_SCAN_RSP または AUX_CONNECT_RSP パケット用の拡張アドバタイズ パケットへのポインタ (該当しない場合は NULL の場合があります)
20 ~ 23	pDeviceAddress			W	このデバイスで使用するデバイス アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、advConfig.deviceAddrType で指定されるアドレス タイプが反転します。
24 ~ 27	pWhiteList			W	ホワイトリストまたはピア アドレス (指向性アドバタイザ) へのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、advConfig.peerAddrType で指定されるアドレス タイプが反転します。

(1) このパラメータ構造は、Bluetooth low energy 5 セカンダリ チャネル アドバタイザ コマンド、CMD_BLE5_ADV_AUX で使用します。pAdvPkt および pRspPkt が指す構造の定義については、表 25-123 を参照してください。

表 25-107. Bluetooth® 5 スキャナ コマンド (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 3	pRxQ			W	受信キューへのポインタ
4	rxConfig			W	受信キュー エントリの構成ビット (表 25-116 を参照)

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-107. Bluetooth® 5 スキャナ コマンド (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
5	scanConfig	0	scanFilterPolicy	W	アドバタイザ アドレスに関するスキャン フィルタ ポリシー 0:すべてのアドバタイズメント パケットを受け入れます。 1:アドバタイザのアドレスがホワイトリスト内にあるデバイスからのアドバタイズメント パケットのみ受け入れます。
		1	bActiveScan	W	0:パッシブ スキャン 1:アクティブ スキャン
		2	deviceAddrType	W	デバイス アドレスのタイプ パブリック (0) またはランダム (1)
		3	rpaFilterPolicy	W	ADV_DIRECT_IND メッセージの initA 用フィルタ ポリシー 0:自身のアドレスと一致する initA のみを受け入れます。 1:解決可能なすべてのプライベート アドレスも受け入れます。
		4	bStrictLenFilter	W	0:有効なアドバタイズ パケット長のすべてのパケットを受け入れます。 1:指定のパケット タイプの長さを超えたメッセージを破棄します。
		5	bAutoWlIgnore	W	0:従来のパケットでは、無線 CPU からのホワイトリスト内に無視ビットを設定しません。 1:従来のパケットでは、ホワイトリスト内に無視ビットを自動的に設定します。
		6	bEndOnRpt	W	0:ADV*_IND を報告または SCAN_RSP の各送信後にスキャナ動作を継続します。 1:ADV*_IND および可能性のある SCAN_RSP の各報告後にスキャナ動作を終了します。
		7	rpaMode	W	解決可能なプライベート アドレス モード 0:通常動作 1:フィルタ ポリシーに関わりなく受信した RPA にホワイトリストを使用します。
6 ~ 7	randomState			R/W	バックオフ処理で使用される擬似ランダム数生成の状態
8 ~ 9	backoffCount			R/W	バックオフ処理で使用されるパラメータ backoffCount。関連資料の Bluetooth 仕様の一覧を参照してください。
10	backoffPar	0 ~ 3	logUpperLimit	R/W	スキャナのバックオフ処理で使用されるパラメータ upperLimit のバイナリ対数
		4	bLastSucceeded	R/W	最後の SCAN_RSP の受信が成功し upperLimit が変更されない場合は 1
		5	bLastFailed	R/W	最後の SCAN_RSP の受信に失敗し upperLimit が変更されなかった場合は 1
		6 ~ 7			予約済み

Copyright © 2026 Texas Instruments Incorporated

表 25-107. Bluetooth® 5 スキャナ コマンド (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
11	extFilterConfig	0	bCheckAdi	W	0:ADI フィルタリングを実行しない。 1:ADI が存在するパケットに対して ADI フィルタリングを実行する。
		1	bAutoAdiUpdate	W	0:無線 CPU の ADI エントリを更新しない。 1:AdvDataIndex で受信したパケットの ADI エントリを自動的に更新する。
		2	bApplyDuplicateFiltering	W	0:拡張アドバタイザ パケットにデバイス アドレスに基づく重複フィルタリングを適用しない。 1:ADI フィールドがない拡張アドバタイザ パケットにデバイス アドレスに基づく重複フィルタリングを適用する。
		3	bAutoWlIgnore	W	0:拡張アドバイズ パケットでは、無線 CPU からのホワイトリスト内に無視ビットを設定しません。 1:拡張アドバイズ パケットでは、ホワイトリスト内に無視ビットを自動的に設定します。
		4 ~ 7			予約済み
12 ~ 15					予約済み
16 ~ 19	pDeviceAddress			W	このデバイスで使用するデバイス アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、scanConfig.deviceAddrType で指定されるアドレス タイプが反転します。
20 ~ 23	pWhiteList			W	ホワイトリストへのポインタ
24 ~ 27	pAdiList			W	advDataInfo リストへのポインタ
28 ~ 29	maxWaitTimeForAuxCh			W	コマンド内でセカンダリ スキャンに切り替える最大待機時間。イベント開始までの時間がこれよりも長い場合、コマンドは BLE_DONE_AUX で終了します。これより小さい場合、無線は自動的に正しいチャネルと PHY に切り替わります。
30	timeoutTrigger			W	デバイスが許容されると直ちに受信を終了させるトリガ
31	endTrigger			W	デバイスが許容されると直ちに受信を終了させるトリガ
32 ~ 35	timeoutTime			W	デバイスが許容されると直ちに受信を停止し、BLE_DONE_RXTIMEOUT で終了する、timeoutTrigger と共に使用する時間
36 ~ 39	endTime			W	デバイスが可能な限り直ちに受信を終了し、BLE_DONE_ENDED で終了する、endTrigger と共に使用する時間
40 ~ 43	rxStartTime			R	パケットを受信するために RX の開始に要する時間
44 ~ 45	rxListenTime			R	パケットを受信するためにリッスンに要する時間。 0:AUX パケットなし
46	channelNo			R	セカンダリ アドバタイズに使用するチャネル番号
47	phyMode			R	セカンダリ チャネルで使用する PHY: 0:1 Mbps 1:2 Mbps 2:コード化 その他:予約済み

(1) このパラメータ構造は、Bluetooth 5 スキャナ コマンド、CMD_BLE5_SCANNER で使用します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-108. Bluetooth® 5 イニシエータ コマンド (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 3	pRxQ			W	受信キューへのポインタ
4	rxConfig			W	受信キュー エントリの構成ビット (表 25-116 を参照)
5	initConfig	0	bUseWhiteList	W	イニシエータ フィルタ ポリシー 0:特定のピア アドレスを使用。 1:ホワイトリストを使用。
		1	bDynamicWinOffset		1:動的 WinOffset 挿入を使用。
		2	deviceAddrType	W	デバイス アドレスのタイプ パブリック (0) またはランダム (1)
		3	peerAddrType	W	ピア アドレスのタイプ パブリック (0) またはランダム (1)
		4	bStrictLenFilter	W	0:有効なアドバタイズ パケット長のすべてのパケットを受け入れます。 1:指定のパケット タイプの長さを超えたメッセージを破棄します。
		5	chSel	W	0:CONNECT_IND でのチャネル選択アルゴリズム 2 のサポートを報告しない。 1:CONNECT_IND でのチャネル選択アルゴリズム 2 のサポートを報告する。
		6			予約済み
		7			予約済み
6 ~ 7	randomState			R/W	バックオフ処理で使用される擬似ランダム数生成の状態
8 ~ 9	backoffCount			R/W	バックオフ処理で使用されるパラメータ backoffCount。関連資料の Bluetooth 仕様の一覧を参照してください。
10	backoffPar	0 ~ 3	logUpperLimit	R/W	スキャナのバックオフ処理で使用されるパラメータ upperLimit のバイナリ対数
		4	bLastSucceeded	R/W	最後の SCAN_RSP の受信が成功し upperLimit が変更されない場合は 1
		5	bLastFailed	R/W	最後の SCAN_RSP の受信に失敗し upperLimit が変更されなかった場合は 1
		6 ~ 7			予約済み
11	connectReqLen			W	接続リクエスト データのサイズ
12 ~ 15	pConnectReqData			W	CONNECT_IND または AUX_CONNECT_REQ パケットに入る LLData を含むバッファへのポインタ
16 ~ 19	pDeviceAddress			W	このデバイスで使用するデバイス アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、initConfig.deviceAddrType で指定されるアドレス タイプが反転します。
20 ~ 23	pWhiteList			W	ホワイトリストまたはピア アドレスへのポインタです (最下位ビットを 0 に設定)。最下位ビットが 1 の場合、initConfig.peerAddrType で指定されるアドレス タイプが反転します。
24 ~ 27	connectTime			R/W	最初の接続イベントで可能な最初の開始時刻のタイマ値を示します。接続された場合は計算値を設定し、接続されていない場合は次の接続時間を設定します。
28 ~ 29	maxWaitTimeForAuxCh			W	コマンド内でセカンダリ スキャンに切り替える最大待機時間。イベント開始までの時間がこれよりも長い場合、コマンドは BLE_DONE_AUX で終了します。これより小さい場合、無線は自動的に正しいチャネルと PHY に切り替わります。

Copyright © 2026 Texas Instruments Incorporated

表 25-108. Bluetooth® 5 イニシエータ コマンド (1) (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
30	timeoutTrigger			W	デバイスが許容されると直ちに受信を終了させるトリガ
31	endTrigger			W	デバイスが許容されると直ちに受信を終了させるトリガ
32 ~ 35	timeoutTime			W	デバイスが許容されると直ちに受信を停止し、BLE_DONE_RXTIMEOUT で終了する、timeoutTrigger と共に使用する時間
36 ~ 39	endTime			W	デバイスが可能な限り直ちに受信を終了し、BLE_DONE_ENDED で終了する、endTrigger と共に使用する時間
40 ~ 43	rxStartTime			R	パケットを受信するために RX の開始に要する時間
44 ~ 45	rxListenTime			R	パケットを受信するためにリッスンに要する時間。 0:AUX パケットなし
46	channelNo			R	セカンダリ アドバタイズに使用するチャネル番号
47	phyMode			R	セカンダリ チャネルで使用する PHY: 0:1 Mbps 1:2 Mbps 2:コード化 その他:予約済み
40	auxChRes				

(1) このパラメータ構造は、Bluetooth 5 イニシエータ コマンド、CMD_BLE5_INITIATOR で使用します。

25.6.1.3 出力構造

表 25-109. マスタ コマンドおよびスレーブ コマンド

バイト インデックス	フィールド名	タイプ	説明
0	nTx	R/W	送信されたパケットの総数 (自動空および再送信を含む)
1	nTxAck	R/W	ACK を受信した送信済みパケットの総数 (自動空を含む)
2	nTxCtrl	R/W	送信された、TX キュー内の一意の LL 制御パケットの数
3	nTxCtrlAck	R/W	完了した (ACK を受信した)、TX キュー内の LL 制御パケットの数
4	nTxCtrlAckAck	R/W	ACK を受信し、その応答として ACK を送信した LL 制御パケットの数
5	nTxRetrans	R/W	実行された再送信の回数
6	nTxEntryDone	R/W	完了した (ACK を受信した)、TX キュー内のパケットの数
7	nRxOk	R/W	ペイロードを含み、CRC OK で、無視されなかった受信パケットの数
8	nRxCtrl	R/W	CRC OK で無視されなかった受信 LL 制御パケットの数
9	nRxCtrlAck	R/W	CRC OK で無視されずに受信され、その後 ACK を受信した LL 制御パケットの数
10	nRxNok	R/W	CRC エラーで受信されたパケットの数
11	nRxIgnored	R/W	CRC OK で受信され、シーケンス番号の重複により無視されたパケットの数
12	nRxEmpty	R/W	CRC OK で受信され、ペイロードがないパケットの数
13	nRxBufFull	R/W	受信され、バッファ領域不足により破棄されたパケットの数
14	lastRssi	R	最後に受信したパケットの RSSI (符号付き)
15	pktStatus	R/W	受信パケットのステータス (表 25-122 を参照)
16 ~ 19	timeStamp	R	スレーブ動作:最初に受信したパケットのタイムスタンプ

表 25-110. アドバタイザ コマンド

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	nTxAdvInd	R/W	完全に送信された ADV*_IND パケットの数

Copyright © 2026 Texas Instruments Incorporated

表 25-110. アドバタイザ コマンド (続き)

バイト インデックス	フィールド名	タイプ	説明
2	nTxScanRsp	R/W	送信された AUX_SCAN_RSP または SCAN_RSP パケットの数
3	nRxScanReq	R/W	OK で受信され、無視されなかった AUX_SCAN_REQ または SCAN_REQ パケットの数
4	nRxConnectReq	R/W	OK で受信され、無視されなかった AUX_CONNECT_REQ または CONNECT_IND (CONNECT_REQ) パケットの数
5	nTxConnectRsp	R/W	送信された AUX_CONNECT_RSP パケットの数
6 ~ 7	nRxNok	R/W	CRC エラーで受信されたパケットの数
8 ~ 9	nRxIgnored	R/W	CRC OK で受信されたものの、無視されたパケットの数
10	nRxBufFull	R/W	RX キューに収まらなかった受信パケットの数
11	lastRssi	R	最後に受信したパケットの RSSI (符号付き)
12 ~ 15	timeStamp	R	最後に受信したパケットのタイムスタンプ

表 25-111. レガシー スキャナ コマンド

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	nTxScanReq	R/W	送信された SCAN_REQ パケットの数
2 ~ 3	nBackedOffScanReq	R/W	バックオフ手順のために送信されなかった SCAN_REQ パケットの数
4 ~ 5	nRxAdvOk	R/W	CRC OK で無視されなかった ADV*_IND 受信パケットの数
6 ~ 7	nRxAdvIgnored	R/W	CRC OK で受信されたものの、無視された ADV*_IND パケットの数
8 ~ 9	nRxAdvNok	R/W	CRC エラーで受信された ADV*_IND パケットの数
10 ~ 11	nRxScanRspOk	R/W	CRC OK で無視されなかった SCAN_RSP 受信パケットの数
12 ~ 13	nRxScanRspIgnored	R/W	CRC OK で受信されたものの、無視された SCAN_RSP パケットの数
14 ~ 15	nRxScanRspNok	R/W	CRC エラーで受信された SCAN_RSP パケットの数
16	nRxAdvBufFull	R/W	RX キューに収まらなかった ADV*_IND 受信パケットの数
17	nRxScanRspBufFull	R/W	RX キューに収まらなかった SCAN_RSP 受信パケットの数
18	lastRssi	R	最後に受信したパケットの RSSI (符号付き)
19			予約済み
20 ~ 23	timeStamp	R	無視されず、最後に正常に受信された ADV*_IND パケットのタイムスタンプ

表 25-112. レガシー イニシエータ コマンド

バイト インデックス	フィールド名	タイプ	説明
0	nTxConnectReq	R/W	送信された CONNECT_IND (CONNECT_REQ) パケットの数
1	nRxAdvOk	R/W	CRC OK で無視されなかった ADV*_IND 受信パケットの数
2 ~ 3	nRxAdvIgnored	R/W	CRC OK で受信されたものの、無視された ADV*_IND パケットの数
4 ~ 5	nRxAdvNok	R/W	CRC エラーで受信された ADV*_IND パケットの数
6	nRxAdvBufFull	R/W	RX キューに収まらなかった ADV*_IND 受信パケットの数
7	lastRssi	R	最後に受信したパケットの RSSI (符号付き)
8 ~ 11	timeStamp	R	CONNECT_IND (CONNECT_REQ) の送信を引き起こした受信 ADV*_IND パケットのタイムスタンプ

表 25-113. Bluetooth®Low Energy 5 スキャナおよびイニシエータ コマンド

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	nTxReq	R/W	送信された AUX_SCAN_REQ、SCAN_REQ、AUX_CONNECT_REQ、または CONNECT_IND パケットの数

Copyright © 2026 Texas Instruments Incorporated

表 25-113. Bluetooth®Low Energy 5 スキャナおよびイニシエータ コマンド (続き)

バイト インデックス	フィールド名	タイプ	説明
2 ~ 3	nBackedOffReq	R/W	バックオフ手順により送信されなかった AUX_SCAN_REQ、SCAN_REQ、または AUX_CONNECT_REQ パケットの数
4 ~ 5	nRxAdvOk	R/W	CRC OK で無視されなかった ADV*_IND 受信パケットの数
6 ~ 7	nRxAdvIgnored	R/W	CRC OK で受信されたものの、無視された ADV*_IND パケットの数
8 ~ 9	nRxAdvNok	R/W	CRC エラーで受信された ADV*_IND パケットの数
10 ~ 11	nRxRspOk	R/W	CRC OK で無視されなかった AUX_SCAN_RSP、SCAN_RSP、または AUX_CONNECT_RSP 受信パケットの数
12 ~ 13	nRxRspIgnored	R/W	CRC OK で受信されたものの、無視された AUX_SCAN_RSP、SCAN_RSP、または AUX_CONNECT_RSP パケットの数
14 ~ 15	nRxRspNok	R/W	CRC エラーで受信された AUX_SCAN_RSP、SCAN_RSP、または AUX_CONNECT_RSP パケットの数
16	nRxAdvBufFull	R/W	RX キューに収まらなかった ADV*_IND 受信パケットの数
17	nRxRspBufFull	R/W	RX キューに収まらなかった AUX_SCAN_RSP、SCAN_RSP、または AUX_CONNECT_RSP 受信パケットの数
18	lastRssi	R	最後に受信したパケットの RSSI (符号付き)
19			予約済み
20 ~ 23	timeStamp	R	無視されず、最後に正常に受信された *ADV*_IND パケットのタイムスタンプ

表 25-114. 汎用 RX コマンド

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	nRxOk	R/W	CRC OK で受信されたパケットの数
2 ~ 3	nRxNok	R/W	CRC エラーで受信されたパケットの数
4 ~ 5	nRxBufFull	R/W	受信され、バッファ領域不足により破棄されたパケットの数
6	lastRssi	R	最後に受信したパケットの RSSI (符号付き)
7			予約済み
8 ~ 11	timeStamp	R	最後に受信したパケットのタイムスタンプ

表 25-115. TX テスト コマンド

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	nTx	R/W	送信されたパケット数

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.6.1.4 その他の構造体とビット フィールド

表 25-116. 受信キュー エントリ構成ビット フィールド (1)

ビット インデックス	ビット フィールド名	タイプ	説明
0	bAutoFlushIgnored	W	1 の場合、RX キューから無視されたパケットを自動的に削除します。
1	bAutoFlushCrcErr	W	1 の場合、CRC エラーのあるパケットを RX キューから自動的に削除します。
2	bAutoFlushEmpty	W	1 の場合、RX キューから空のパケットを自動的に削除します。
3	bIncludeLenByte	W	1 の場合、受信した長さバイトを格納パケットに含めます。それ以外の場合は破棄します。
4	bIncludeCrc	W	1 の場合、受信した CRC フィールドを格納されたパケットに含めます。それ以外の場合は破棄します。
5	bAppendRssi	W	1 の場合は、RSSI バイトを RX キュー内のパケットに追加します。
6	bAppendStatus	W	1 の場合は、RX キュー内のパケットにステータス ワードを追加します。
7	bAppendTimestamp	W	1 の場合は、タイムスタンプを RX キュー内のパケットに追加します。

(1) このビット フィールドは、パラメータ構造の rxConfig バイトに使用されます。

表 25-117. シーケンス番号ステータス ビット フィールド (1)

ビット インデックス	ビット フィールド名	タイプ	説明
0	lastRxSn	R/W	CRC OK で受信された最後のパケットのヘッダの SN ビット
1	lastTxSn	R/W	最後に送信されたパケットのヘッダの SN ビット
2	nextTxSn	R/W	次の送信パケットのヘッダの SN ビット
3	bFirstPkt	R/W	スレーブの場合：パケットが接続で送信される場合は 0、それ以外の場合は 1
4	bAutoEmpty	R/W	最後に送信したパケットが自動空パケットである場合は 1
5	bLlCtrlTx	R/W	最後に送信したパケットが LL 制御パケット (LLID = 11) であった場合は 1
6	bLlCtrlAckRx	R/W	最後に受信したパケットが LL 制御パケットの ACK である場合は 1
7	bLlCtrlAckPending	R/W	最後に正常に受信したパケットが、まだ ACK されていない LL 制御パケットである場合は 1

(1) このビット フィールドは、マスタおよびスレーブのパラメータ構造体の seqStat バイトで使用されます。

ホワイトリスト構造は配列の形式です。表 25-118 に示すように、各要素は 8 バイトで構成されています。最初の要素の先頭バイトはエントリ数を示しますが、残りの要素ではこのバイトは予約領域です。二番目のバイトにはいくつかの構成ビットが含まれ、残りの 6 バイトにはアドレスが含まれます。

表 25-118. ホワイトリスト構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0	サイズ			W	while リストのエントリの数。リストの最初のエントリでのみ使用されます。
1	conf	0	bEnable	W	エントリが使用中の場合は 1、エントリが使用中でない場合は 0
		1	addrType	W	エントリ内のアドレスタイプ 公開 (0) またはランダム (1)
		2	bWIlgn	R/W	AdvDataInfo フィールドが存在しないときに、エントリをスキャナが無視する設定であれば 1、そうでなければ 0。すでにスキャンおよび報告されているエントリをマスクアウトするために使用します。
		3			予約済み
		4	bIrkValid	R/W	有効な IRK が存在する場合は 1 で、エントリはイニシエータによって無視され、それ以外は 0
		5 ~ 7			予約済み

Copyright © 2026 Texas Instruments Incorporated

表 25-118. ホワイトリスト構造 (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
2 ~ 3	アドレス			W	エントリに含まれるアドレスの最小桁 16 ビット
4 ~ 7	addressHi			W	エントリに含まれるアドレスの最上位 32 ビット

ADI リストは、表 25-119 で指定されたタイプの 16 エントリからなる配列の形式を持ちます。

表 25-119. 広告データ ID エントリ構造

ビット インデックス	ビット フィールド名	タイプ	説明
0 ~ 11	advDataId	R/W	モード = 1 の場合:配列内のエントリ番号に対応する広告セット ID (SID) の最終広告セット ID (DID)
12 ~ 13	モード	R/W	0:エントリが無効です (指定された SID を持つ常時受信パケット)。 1: エントリは有効です (指定された SID を持ち、DID が advDataId と等しいパケットを無視します) 2: エントリはブロックされます (指定された SID のパケットは常に無視されます) 3: 予約済み
14 ~ 15			予約済み

表 25-120. 従来コマンドの受信ステータス バイト ビット フィールド (1)

ビット インデックス	ビット フィールド名	タイプ	説明
0 ~ 5	channel	R	パケットが受信されたチャネルの範囲は 0 ～ 39 で、それ以外の場合は 0x3F
6	bIgnore	R	パケットが無視としてマークされている場合は 1、それ以外の場合は 0
7	bCrcErr	R	パケットを CRC エラー付きで受信した場合は 1、それ以外は 0

(1) 設定されている場合、このビット フィールドを格納した一バイトが従来コマンドの受信エントリに付加されます。

表 25-121. Bluetooth® Low Energy 5 コマンド (1) の受信ステータス ワード ビット フィールド

ビット インデックス	ビット フィールド名	タイプ	説明
0 ~ 5	Channel	R	パケットが受信されたチャネルの範囲は 0 ～ 39 で、それ以外の場合は 0x3F
6	bIgnore	R	パケットが無視としてマークされている場合は 1、それ以外の場合は 0
7	bCrcErr	R	パケットを CRC エラー付きで受信した場合は 1、それ以外は 0
8 ~ 9	phyMode	R	パケットを受信した PHY 0: 1Mbps 1: 2Mbps 2: コード化、S = 8 (125kbps) 3: コード化、S = 2 (500kbps)
10 ~ 15			予約済み

(1) 設定されている場合、このビット フィールドの 16 ビット ワードが Bluetooth Low Energy 5 コマンドの受信エントリに付加されます。

マスタおよびスレーブ出力構造フィールド pktStatus は表 25-122 に示す形式になります。bTimeStampValid ビットは、動作開始時に無線 CPU によって 0 に設定されます。また、タイムスタンプが出力構造体に書き込まれた場合は 1 に設定されます (これはスレーブ動作の場合にのみ発生します)。bLastCrcErr ビットは、パケットを完全に受信した際の CRC チェック結果に応じて設定されます。パケットが受信されなかった場合、このビットの値は変更されません。残りのビットは、CRC チェックに成功したパケットを受信した際に設定されます。正しく受信されたパケットがない場合、これらのビットの値は変更されません。

Copyright © 2026 Texas Instruments Incorporated

表 25-122. マスタおよびスレーブ パケット ステータス バイト

ビット インデックス	ビット フィールド名	タイプ	説明
0	bTimeStampValid	R/W	timeStamp に有効なタイムスタンプが書き込まれている場合は 1、そうでなければ 0
1	bLastCrcErr	R/W	最後に受信したパケットで CRC エラーが検出された場合は 1、それ以外は 0
2	bLastIgnored	R/W	CRC チェックに成功した最後の受信パケットが無視された場合は 1、それ以外は 0
3	bLastEmpty	R/W	CRC チェックに成功した最後の受信パケットが空パケットであった場合は 1、それ以外は 0
4	bLastCtrl	R/W	CRC チェックに成功した最後の受信パケットが LL 制御パケットであった場合は 1、それ以外は 0
5	bLastMd	R/W	CRC チェックに成功した最後の受信パケットの MD ビットが 1 であった場合は 1、それ以外は 0
6	bLastAck	R/W	CRC チェックに成功した最後の受信パケットが、送信済みパケットに対する ACK であった場合は 1、それ以外は 0
7			予約済み

表 25-123. 共通拡張パケット エントリ フォーマット (1)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0	extHdrInfo	0 ~ 5	length	W	拡張ヘッダ長
		6 ~ 7	advMode	W	Bluetooth Low Energy で定義されるアドバタイザ モード: 0:接続不可能、スキャン不可能 1: 接続可能、スキャン不可能 2: 接続不可能、スキャン可能 3: 予約済み
1	extHdrFlags			W	Bluetooth Low Energy で定義されている拡張ヘッダ フラグ
2	extHdrConfig	0	bSkipAdvA	W	0:extHdrFlags の設定に応じて、AdvA は拡張ペイロード内に含まれます。 1:AdvA は、extHdrFlags で設定されている場合、コマンド構造体から自動的に挿入されるため、拡張ヘッダには含めません。
		1	bSkipTargetA	W	0:TargetA は、extHdrFlags で設定されている場合に、拡張ペイロード内に含まれます。応答メッセージの場合、この値は送信時に受信したアドレスへ置き換えられます。 1:TargetA は、extHdrFlags で設定されている場合、コマンド構造体または受信したアドレスから自動的に挿入されるため、拡張ヘッダには含めません。
		2	deviceAddrType	W	bSkipAdvA = 0 の場合:拡張ヘッダ バッファ内のデバイスアドレスの種別 パブリック (0) またはランダム (1)
		3	targetAddrType	W	bSkipAdvA = 0 の場合:拡張ヘッダ バッファ パブリック (0) またはランダム (1) 内のターゲット アドレスのタイプ
		4 ~ 7			予約済み
3	advDataLen			W	ペイロード バッファのサイズ
4 ~ 7	pExtHeader			W	拡張ヘッダを含むバッファへのポインタ。拡張ヘッダ フラグ、自動挿入されるアドバタイザ アドレス、または自動挿入されるターゲット アドレス以外のフィールドが存在しない場合、ポインタは NULL にできます。
8 ~ 11	pAdvData			W	advData を含むバッファへのポインタ。advDataLen = 0 の場合、ポインタは NULL にできます。

(1) この構造は、一般的な拡張広告ペイロード形式の送信パケットのパケットフォーマットに使用されます (「関連資料」に記載されている Bluetooth システム バージョン 5.0 の仕様を参照)。これは、CMD_BLE5_ADV_EXT および CMD_BLE5_ADV_AUX とともに使用されます。

Copyright © 2026 Texas Instruments Incorporated

25.6.2 割り込み

無線 CPU は、ファームウェア定義の割り込みを使用してイベントをシステム CPU に通知します。表 25-124 に、Bluetooth Low Energy コマンドで使用される割り込みを示します。各割り込みは、システム CPU で個別に有効化できます。セクション 25.8 に、割り込みが生成されるタイミングの詳細を示します。

表 25-124. Bluetooth® Low Energy に適用される割り込みの定義

割り込み番号	割り込み名	説明
0	Command_Done	無線操作コマンドが終了しました
1	Last_Command_Done	一連のコマンドの最後の無線操作コマンドが終了しました
4	Tx_Done	パケットが送信されました
5	Tx_Ack	送信されたパケットで受信されたアクノリッジ
6	Tx_Ctrl	LL 制御パケットを送信しました
7	Tx_Ctrl_Ack	送信された LL 制御パケットで受信されたアクノリッジ
8	Tx_Ctrl_Ack_Ack	送信された LL 制御パケットに対するアクノリッジを受信し、そのパケットに対してアクノリッジを送信
9	Tx_Retrans	パケットが再送信されました
10	Tx_Entry_Done	TX キュー データ入力の状態が完了に変更されました
11	Tx_Buffer_Changed	バッファの変更は、CMD_BLE_ADV_PAYLOAD の後に完了します
16	Rx_Ok	CRC OK、ペイロードで受信されたパケットで、無視しないようにします
17	Rx_Nok	CRC エラーが発生したパケットを受信
18	Rx_Ignored	CRC OK で受信されたパケットですが、無視されます
19	Rx_Empty	CRC OK なパケットを受信したため、無視できないものの、ペイロードはありません
20	Rx_Ctrl	CRC OK な LL 制御パケットを受信したため、無視できません
21	Rx_Ctrl_Ack	CRC OK な LL 制御パケットを受信したため、無視できず、アクノリッジが送信されます
22	Rx_Buf_Full	RX キューに収まりきらなかったパケットを受信しました
23	Rx_Entry_Done	RX キュー データのエントリの状態が終了に変更
29	Modules_Unlocked	ブート プロセスの一環として、Arm Cortex-M0 プロセッサは RF コアのモジュールおよびメモリへのアクセスを有効化します
30	Boot_Done	RF コアの CPU ブートが完了します
31	Internal_Error	無線 CPU で予期しないエラーが観察されました

25.7 データ処理

すべての Bluetooth Low Energy コマンドについて、無線で受信したデータは受信キューに格納されます。送信するデータは、マスタ動作およびスレーブ動作では送信キューからフェッチされます。一方、非接続動作では、データは特定のバッファからフェッチされるか、または利用可能な他の情報に基づいて無線 CPU が完全に生成します。

25.7.1 受信バッファ

受信したパケットは受信バッファに格納されます。まず、セクション 25.3.2.7.2 で説明されているように、config.lenSz によって RX エントリに設定されている場合、長さのバイトまたはワードが格納されます。これは、無線で受信した長さと追加情報の構成から計算されます。

オプションの長さフィールドに続いて、受信したヘッダおよびペイロードは無線上で受信された状態で格納されます。rxConfig.bIncludeLenByte が 1 の場合、長さバイトまたはワードが存在していても長さフィールドが冗長情報であるにもかかわらず、受信された完全な 16 ビットヘッダ (受信長さフィールドを含む) が格納されます。rxConfig.bIncludeLenByte が 0 の場合、ヘッダの最初のバイトだけが格納され、二番目のバイトには冗長長フィールドのみが含まれ、(Bluetooth バージョンによっては) 一部の RFU ビットが破棄されます。

Copyright © 2026 Texas Instruments Incorporated

rxConfig.bIncludeCrc が 1 の場合、受信した CRC 値は RX バッファに格納されます。rxConfig.bAppendRssi が 1 の場合、受信した RSSI 値を示す符号付きバイトが追加されます。rxConfig.bAppendStatus が 1 の場合、ステータス ワードが付加されます。従来の Bluetooth Low Energy コマンドの場合は、表 25-120 で定義されている 1 バイトのフィールドです。Bluetooth Low Energy 5 コマンドの場合は、表 25-121 で定義されている 2 バイトのフィールドです。rxConfig.bAppendTimeStamp が 1 の場合、パケットの開始を示すタイムスタンプが付加されます。このタイムスタンプは、ratmr_t データ型に対応します。このデータ型は、リトルエンディアン形式の 32 ビット値です。マルチバイト フィールド (タイムスタンプおよび Bluetooth Low Energy 5 ステータス) において特定の整列を保証するためのパディングは行われません。したがって、マルチバイト フィールドはバイト単位で書き込みおよび読み取りを行う必要があります。

図 25-8 は、RX キュー内のエントリ要素の形式を表示します。

Optional	Mandatory Fields		Optional Fields			
0–2 bytes	1–2 bytes	0–255 bytes	0 or 3 bytes	0 or 1 byte	0–2 bytes	0 or 4 bytes
Element Length	BLE Header	BLE Payload	Received CRC	RSSI	Status	Timestamp

図 25-8. 受信バッファ エントリ要素

25.7.2 送信バッファ

マスタおよびスレーブ動作では、送信バッファはバッファ キューとして構成されます。パケットの長さは、データ エントリの長さフィールドによって定義されます。データ エントリの最初のバイトは、データ チャネル パケット ヘッダに格納される LLID を示します。NESN、SN、および MD ビットは無線機 CPU によって自動的に挿入され、RFU ビットは 0 に設定され、長さフィールドはデータ入力の長さから計算されます。

従来のアドバタイズ チャネル パケットおよび Bluetooth Low Energy スキャナ / イニシエータによって送信されるパケットについては、無線機 CPU がヘッダおよびペイロード内のアドレス フィールドを自動的に生成します。各メッセージ タイプにおいてアドレス フィールドの後に続くデータは、データ バッファへのポインタによって指定されます。このバッファのバイト数は、別のパラメータで指定されます。送信すべきデータ バイトがない場合は、長さを 0 に設定することでこれを示すことができます。この場合、ポインタは無視され、NULL に設定できます。Bluetooth Low Energy に準拠するために、ADV_DIRECT_IND および SCAN_REQ メッセージにはペイロードは含まれません (ただし、これをオーバーライドする可能性があるため、従来のコマンドにはデータ バッファがまだ存在します)。Bluetooth Low Energy 5 スキャナ コマンドでは、Bluetooth 仕様に従い、SCAN_REQ および AUX_SCAN_REQ メッセージは常にペイロードなしで送信されます。CONNECT_IND および AUX_CONNECT_REQ メッセージについては、Bluetooth Low Energy の仕様適合のためデータ長は 22 バイトである必要がありますが、実装としては任意の長さを許容するものとします。

Bluetooth Low Energy 5 アドバタイズ コマンドの場合、送信されるパケットは共通の拡張アドバタイズ形式を使用します。表 25-123 に、このようなパケットの記述に使用される構造を示します。PDU ヘッダと拡張ヘッダの一部は、この構造に基づいて無線機 CPU によって自動的に生成されます。送信パケット、PDU ヘッダ、または拡張ヘッダは、拡張ヘッダの残り部分を含むバッファと、ペイロードを含む別のバッファを指すポインタを持ちます。

25.8 無線動作コマンドの説明

25.8.1 Bluetooth® 5 無線セットアップ コマンド

Bluetooth 5 を実行している場合は、CMD_BLE5_RADIO_SETUP コマンドを使用して無線を設定する必要があります。このコマンドは CMD_RADIO_SETUP コマンドと同様にラジオを設定しますが、コマンドごとにサポートされる異なる PHY 間で切り替えることができる点が異なります。

パラメータ defaultPhy により、Bluetooth Low Energy 以外の RX または TX コマンドでコマンドが使用される場合に PHY が使用するように指定されます。Bluetooth Low Energy コマンドでは、defaultPhy パラメータは無視されます。Bluetooth Low Energy 5 コマンドではコマンド内で PHY を選択できます。一方、従来の Bluetooth Low Energy コマンドは、CMD_BLE5_RADIO_SETUP コマンドを使用してラジオが設定されている場合、常に 1Mbps PHY を使用します。

Copyright © 2026 Texas Instruments Incorporated

config および txPower パラメータは、CMD_RADIO_SETUP コマンドと同じ意味を持ちます。

このコマンドには、リストを上書きするための四つのポインタがあります。これらのオーバーライド リストは、CMD_RADIO_SETUP コマンドと同じ方法で処理されます。オーバーライド リスト pRegOverrideCommon は、setup コマンドの実行時にのみ処理され、すべての PHY に適用されるオーバーライドが含まれている必要があります。オーバーライドには、特定の PHY に切り替えるときに pRegOverride1Mbps、pRegOverrideCoded、および pRegOverride2Mbps が処理されることがリストされます。無線 CPU はこれらのオーバーライド ポインタを保存し、各切り替え時にオーバーライド リストを読み出すため、これらのオーバーライド リストはメモリ上に常に保持されている必要があります。オーバーライドが不要な場合、いずれのオーバーライド ポインタも NULL にすることができます。

1Mbps のみをサポートするレガシー Bluetooth Low Energy モードを実行する場合、CC26x0 デバイスと同様に、モード 0 の CMD_RADIO_SETUP を使用できます。

25.8.2 Bluetooth® Low Energy パケット転送用無線動作コマンド

このドキュメントで説明されている無線動作コマンドを実行する前に (CMD_BLE5_RADIO_SETUP コマンドを除く)、CMD_BLE5_RADIO_SETUP コマンドまたは CMD_RADIO_SETUP コマンドを使用して、無線を Bluetooth Low Energy モードに設定しておく必要があります。そうしない場合、動作はエラーで終了します。Bluetooth Low Energy 5 コマンドを実行する場合は、CMD_BLE5_RADIO_SETUP コマンドを使用する必要があります。

各動作は、システム CPU から送信される無線動作コマンドによって開始されます。実際の動作開始タイミングは、コマンド構造体の startTrigger および startTime の設定に基づいて、無線 CPU が決定します。この時点で、無線 CPU は動作の種類に応じてトランスミッタまたはレシーバの設定を開始します。システム CPU は、動作の開始時刻を計算する際に、トランスミッタまたはレシーバのセットアップ時間を考慮する必要があります。

無線 CPU は、チャネル パラメータに基づいてチャネルを設定します。チャネルが 0 ～ 39 の範囲にある場合、それはデータ チャネル インデックスまたは広告チャネル インデックスを示します。この場合、マスタ コマンドおよびスレーブ コマンドでは 0 ～ 36 の値のみ使用可能であり、アドバタイズ コマンド、スキャナ コマンド、およびイニシエータ コマンドでは 37 ～ 39 の値のみ使用可能です。チャネルが 60 ～ 207 の範囲にある場合、2300MHz をオフセットとする RF 周波数を示します。チャネルが 255 の場合、無線 CPU は周波数ワードをプログラムしませんが、すでに CMD_FS でプログラムされている周波数を維持します。チャネル値が 255 で、かつ周波数シンセサイザが動作していない場合、動作はエラーで終了します。

whitening パラメータは、Bluetooth Low Energy のデータ ホワイトニングで使用される 7 ビット LFSR の初期値を示します。whitening.bOverride が 0 に設定されており、チャネル値が 0 ～ 39 の範囲である場合、LFSR の初期値は (0x40 | channel) に設定されます。それ以外の場合、LFSR は whitening.init で初期化されます。この場合、whitening.init が 0 のときは、ホワイトニングは使用されません。

Bluetooth Low Energy 無線動作コマンドを用いて送信するすべてのパケットには、Bluetooth Low Energy 規格に準拠した CRC を付加する必要があります。Bluetooth Low Energy 無線動作コマンドで受信したすべてのパケットに対して、Bluetooth Low Energy 準拠の CRC チェックが実行されるものとします。CRC レジスタの初期化は、各コマンドに定義されます。

Bluetooth Low Energy 5 コマンドには、追加のパラメータがいくつかあります。phyMode パラメータを使用して、コマンドに使用する PHY を選択します。コード化された PHY については、phyMode.coding で各パケットに使用されるコーディングを選択するためのルールが規定されています (詳細については、セクション 25.8.3 を参照)。txPower パラメータを使用すると、このコマンドで使用する送信出力 (TX 電力) を個別に指定できます。この設定は、無線設定コマンドおよび CMD_SET_TX_POWER コマンドで設定された送信出力よりも優先されます。txPower が 0x0000 に設定されている場合は、無線設定コマンドまたは直前の CMD_SET_TX_POWER コマンドで設定された TX 出力が使用されます。rangeDelay パラメータは、T_IFS の後にレシーバに使用される追加のリスニング時間を提供します。指定された RAT ティック数は、受信待機ウィンドウの終了時刻に加算されます。

T_IFS の要件を満たすため、受信後に続く送信のタイミング制御および同期は無線 CPU によって行われます。送信直後に受信を行う場合、無線 CPU は RX の開始タイミングとタイムアウトを制御し、Bluetooth Low Energy 規格で規定された時間範囲内に送信されたパケットを確実に受信できるようにします。ただし、広告チャネルでの誤同期を防ぐため、過

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

度なマージンは設けません。スレーブ コマンドにおける最初の受信動作では、無線 CPU は pParams->timeoutTrigger および pParams->timeoutTime で定義されたタイムアウトを設定します。このトリガの時刻は、スレーブ側および接続先マスタ側の両方におけるスリープ クロックの不確かさに依存します。

レシーバが実行中の場合、メッセージは RX エントリに受信されます (セクション 25.3.2.7.2 を参照)。無線 CPU は bCrcErr および bIgnore フラグを保持しており、RX エントリが存在する場合、これらのフラグはステータス バイト内の対応するフィールドに書き込まれます。受信パケットに CRC エラーが発生した場合は、bCrcErr フラグがセットされます。CRC が OK の場合、各ロールに対して定義された原則に基づいて bIgnore フラグが設定されます。このフラグは、システム CPU がパケットを無視できることを意味します。パケットを受信した後、無線 CPU はシステム CPU に対して割り込みを発生させます。

長さフィールドが以下で定義される最大長を超えるパケットを受信した場合、受信は中止され、そのパケットでは同期が取得されなかったものとして扱われます。CMD_RADIO_SETUP コマンドを使用して無線を設定した場合、データ チャネル パケットの長さフィールドは 5 ビット、広告チャネル パケットの長さフィールドは 6 ビットに設定されます。これは Bluetooth 4.0 および Bluetooth 4.1 の仕様に対応しています。Bluetooth 4.2 では、データ チャネル パケットは 8 ビット長フィールドで、オーバーライドによって設定できます。セクション 25.8.4 を参照します。CMD_BLE5_RADIO_SETUP コマンドを使用して無線を設定した場合、すべての長さフィールドは 8 ビットに設定されます。これは Bluetooth 5.0 の仕様に対応しています。

デフォルトでは、従来の広告チャネル パケットの最大許容ペイロード長は 37 で、拡張広告チャネル パケットの最大許容ペイロード長は 255 です。従来のマスタおよびスレーブ コマンドの場合、受信データ チャネル パケットのデフォルトで許容される最大長は 31 です (この場合の長さフィールドは 5 ビットなので、CMD_RADIO_SETUP コマンドを使用するデフォルト設定では違反しません)。Bluetooth Low Energy 5 マスタおよびスレーブ コマンドの場合、受信パケットの最大パケット長はコマンド構造 pParams->maxRxPktLen で設定されます。

bCrcErr フラグまたは bIgnore フラグのいずれかがセットされている場合、あるいはパケットが空であった場合 (各動作で定義される条件による)、pParams->rxConfig の bAutoFlushIgnored、bAutoFlushCrc、および bAutoFlushEmpty ビットの設定に応じて、割り込みを発生させる前にそのパケットが RX エントリから削除されることがあります。

発行されたコマンドのステータス フィールドは、動作中に更新されます。コマンドを送信するとき、システム CPU はこのフィールドに IDLE 状態を書き込みます。操作中、無線 CPU はフィールドを更新して動作モードを示します。操作が完了すると、無線 CPU は操作が完了したことを示すステータスを書き込むものとします。Bluetooth Low Energy 無線で使用するステータス コードを、表 25-125 に示します。

表 25-125. Bluetooth® Low Energy 無線の動作ステータス コード

個数	名称	説明
操作が完了していません		
0x0000	IDLE	操作が開始されていません
0x0001	保留	スタートトリガ待ち
0x0002	アクティブ	動作が実行中
動作が正常に終了		
0x1400	BLE_DONE_OK	動作が正常に終了
0x1401	BLE_DONE_RXTIMEOUT	スレーブ動作の最初の RX のタイムアウト、またはスキャン ウィンドウの終了
0x1402	BLE_DONE_NOSYNC	後続 RX のタイムアウト
0x1403	BLE_DONE_RXERR	受信エラー (CRC またはその他) により動作を終了
0x1404	BLE_DONE_CONNECT	CONNECT_IND または AUX_CONNECT_RSP を受信または送信
0x1405	BLE_DONE_MAXNACK	再送回数が上限を超過
0x1406	BLE_DONE_ENDED	終了トリガにより動作が停止
0x1407	BLE_DONE_ABORT	中止コマンドにより動作が中止
0x1408	BLE_DONE_STOPPED	停止コマンド後、動作が停止し
0x1409	BLE_DONE_AUX	長い時間先を指す AuxPtr を受信した後、動作が終了

Copyright © 2026 Texas Instruments Incorporated

表 25-125. Bluetooth® Low Energy 無線の動作ステータス コード (続き)

個数	名称	説明
0x140A	BLE_DONE_CONNECT_CHSEL0	CONNECT_IND を受信または送信したが、対向機器がチャネル選択アルゴリズム 2 をサポートしていませんでした
エラーで動作が終了		
0x1800	BLE_ERROR_PAR	不正なパラメータ
0x1801	BLE_ERROR_RXBUF	使用可能な RX バッファがありません (アドバタイザ、スキャナ、イニシエータ)
0x1802	BLE_ERROR_NO_SETUP	無線が Bluetooth Low Energy モードに設定されていませんでした
0x1803	BLE_ERROR_NO_FS	RX または TX 実行中に、シンセサイザがプログラムされていません
0x1804	BLE_ERROR_SYNTH_PROG	シンセサイザのプログラミングに失敗しました
0x1805	BLE_ERROR_RXOVF	動作中に RX オーバーフローが観測されました
0x1806	BLE_ERROR_TXUNF	動作中に TX アンダーフローが観測されました
0x1807	BLE_ERROR_AUX	AUX ポインタの指し示す対象時刻が将来すぎます

各ステータスを与えるための条件が各動作ごとに記載されています。表 25-125 に示されるエラーの原因の一部は、これらのリストで繰り返されていません。場合によっては、一般的なエラー原因が発生することがあります。これらすべての場合において、動作の結果は ABORT となります。

25.8.3 Coded PHY のコーディング選択

Bluetooth 5 コマンドの phyMode.coding パラメータは、Coded PHY が選択されている場合に使用され、送信パケットのコーディング レートを決定します。phyMode.coding パラメータは、リンク レイヤ接続コマンド (マスタおよびスレーブ) とその他のコマンドとでは異なる意味を持ちます。

マスタおよびスレーブ コマンドでは、pParams->maxLenLowRate パラメータも符号化レートの決定に使用されます。送信パケットの長さが pParams->maxLenLowRate よりも大きい場合、phyMode.coding に関係なく、パケットは S = 2 (500kbps) で送信されます。この機能を使用すると、最大パケット期間に違反しないようにすることができます。それ以外の場合は、phyMode.coding パラメータが使用され、ビットの意味については表 25-126 で説明します。

表 25-126. マスタ コマンドとスレーブ コマンドのコーディング選択

ビット番号	説明
0	0: デフォルトは S = 8 (125kbps) 1: デフォルトは S = 2 (500kbps)
1	0: 最後に受信したパケットに基づいてデフォルト レートを変更しません 1: 同一接続イベントにおいて最後に受信したパケットが S = 8 (125kbps) で符号化されている場合、常に S = 8 (125kbps) を使用するものとします
2	0: 空のパケットにデフォルト レートを使用します 1: 空のパケットには必ず S = 8 (125kbps) を使用します
3	0: 再送信にはデフォルト レートを使用します 1: 再送信には必ず S = 8 (125kbps) を使用します
4 ~ 5	予約済み

その他の Bluetooth 5 コマンドについては、phyMode.coding の意味を表 25-127 に示します。CMD_BLE5_ADV_EXT および CMD_BLE5_TX_TEST コマンドの場合、ビット 1 および 2 は適用されません。CMD_BLE5_SCANNER および CMD_BLE5_INITIATOR コマンドの場合、ビット 0 は適用されません。CMD_BLE5_ADV_AUX コマンドの場合、ビット 0、ビット 1、ビット 2 のすべてが適用可能です。

Copyright © 2026 Texas Instruments Incorporated

表 25-127. アドバタイザ、スキャナ、およびイニシエータ コマンドのコーディング選択

ビット番号	説明
0	アドバタイズ通知 (ADV_EXT_IND、AUX_ADV_IND、AUX_CHAIN_IND) および TX テスト パケットに使用するコード レート 0: S = 8 (125kbps) を使用します 1: S = 2 (500kbps) を使用します
1	要求パケットおよび応答パケットに使用するデフォルトのコード レート (AUX_SCAN_REQ、AUX_CONNECT_REQ、AUX_SCAN_RSP、AUX_CONNECT_RSP) 0: デフォルトは S = 8 (125kbps) 1: デフォルトは S = 2 (500kbps)
2	0 : 要求パケットおよび応答パケットにはデフォルト レートを使用します 1: 最後に受信したパケットが S = 8 (125kbps) でコード化されている場合は、要求または応答パケットには常に S = 8 (125kbps) を使用します
3 ~ 5	予約済み

25.8.4 パラメータのオーバーライド

パラメータ構造体では設定できない一部のパラメータについても、CMD_BLE5_RADIO_SETUP、CMD_RADIO_SETUP、CMD_UPDATE_RADIO_SETUP、または CMD_WRITE_FWPAR コマンドを使用することでオーバーライドできます。

Bluetooth Low Energy モードでオーバーライド可能なパラメータは、「関連資料」に記載されている Bluetooth 仕様のドキュメントに記載されています。これらのパラメータは、例えば、性能を向上させたり、特定の用途で有用となる可能性のある非準拠動作を実現したりするために使用できます。例を以下に示します。

- T_IFS とその他のタイミングの変更
- 最大 RX パケット長の変更 (Bluetooth 4.2 の LE データ パケット長拡張機能に必要)
- 自動生成されたヘッダなどの変更
- CRC に変更を加え、テスト用のビット エラー生成と異なる CRC の使用を目的としています

25.8.5 リンク レイヤ接続

スレーブまたはマスタ動作の開始時に、無線 CPU は開始トリガを待ちます。その後、コマンド構造のチャネル パラメータに基づいて周波数をプログラムします。チャネル パラメータはデータ チャネルではないため、37、38、39 にすることはできません。Bluetooth Low Energy 5 コマンドの場合、phyMode.mainMode で指定される PHY モードも設定する必要があります。無線 CPU は、pParams->accessAddress で定義されたアクセス アドレスを設定し、pParams->crcInit で定義されている CRC 初期化値を使用するものとします。ホワイトナは、ホワイトニング パラメータで定義されているように設定する必要があります。その後、無線 CPU はレシーバまたはトランスミッタを構成します。動作は、コマンド終了条件のいずれかによって終了するまで、受信と送信を順番に行います。

復調器がメッセージの同期を取得すると、そのメッセージはパケットに適合できる最初の使用可能な RX バッファに受信されます。bCrcErr フラグおよび bIgnore フラグは、CRC 結果と、ヘッダの SN フィールドが最後に正常に受信したパケットの SN フィールドと同じかどうかに応じて、表 25-128 に従って設定されます。ペイロード長が 0 の受信パケットは空のパケットと見なされます。つまり、pParams->rxConfig.bAutoflushEmpty が 1 で、bCrcErr と bIgnore の両方が 0 の場合、そのパケットは RX バッファから削除されます。

表 25-128. 受信パケットに対するアクション

CRC の結果	SN が以前と異なる	bCrcErr	bIgnore
OK	はい	0	0
OK	いいえ	0	1
NOK	X	1	0

Copyright © 2026 Texas Instruments Incorporated

受信したパケットを格納するのに十分なスペースを持つ利用可能な RX バッファがない場合、受信したデータは破棄されます。ただし、CRC をチェックできるようにパケットを受信する必要があります。パケットが受信されると、無線 CPU はシーケンスビットを設定して、失われたパケットの再送信が要求されるようにします (つまり、NACK)。ただし、pParams->rxConfig の設定によりパケットが RX キューから破棄される場合を除きます。

その後に 2 つのパケットを CRC エラーで受信すると、Bluetooth Low Energy 仕様の要求に応じてコマンドは終了します。

パケットが送信または再送信される場合は、TX キューが空であるか、自動空パケットが再送信されなければならない場合を除き、TX キュー内の現在のデータ エントリからパケットが読み取られます。無線 CPU は、次のようにヘッダを作成します。

- LLID ビットは、TX データ エントリの最初のバイトから挿入します。
- SN ビットと NESN ビットは、Bluetooth Low Energy プロトコルに従って値に設定されます (これについては後ほど説明します)
- MD ビットは、これがオーバーライドされない限り、この後に説明するように自動的に計算されます (セクション 25.8.4 を参照)。
- TX キューが空の場合、空のパケット (LLID = 0x1、長さ = 0) が送信されます。このようなパケットは、自動空パケットと呼ばれます。

さまざまな条件で発生する可能性のある割り込みはいくつかあります。pOutput 構造には、割り込みに対応するいくつかのカウンタが含まれています。表 25-129 に、各カウンタをインクリメントするための条件、または割り込みを発生させるための条件を示します。パケットが送受信された後に、複数の条件が満たされる場合があります。条件のリストでは、「アクノリッジ」という用語を使用して、最後に送信されたパケットの SN 値と異なる NESN 値を持つ、正常に受信されたパケットをヘッダに定義します。

Copyright © 2026 Texas Instruments Incorporated

表 25-129. マスタおよびスレーブ コマンドのカウンタをインクリメントし、割り込みを発生させるための条件

条件	カウンタがインクリメント済み	割り込みが生成済み
パケットが送信済み	nTx	Tx_Done
パケットが送信済みでアクノリッジが受信済み	nTxAck	Tx_Ack
LLID = 11b のパケットが送信済み	nTxCtrl	Tx_Ctrl
LLID = 11b のパケットが送信済みでアクノリッジが受信済み	nTxCtrlAck	Tx_Ctrl_Ack
LLID = 11b のパケットが送信済、アクノリッジが受信済み、アクノリッジが送信済み	nTxCtrlAckAck	Tx_Ctrl_Ack_Ack
前の送信パケットと同じ SN でパケットが送信済み	nTxRetrans	Tx_Retrans
ペイロードを持つパケットが送信済みでアクノリッジが受信済み	nTxEntryDone	Tx_Entry_Done
bCrcErr = 0、bIgnore = 0、ペイロード長 > 0 のパケットが受信済み	nRxOk	Rx_Ok
CRC エラー (bCrcErr=1) のあるパケットが受信済み	nRxNok	Rx_Nok
bCrcErr=0 および bIgnore=1 のパケットが受信済み	nRxIgnored	Rx_Ignored
bCrcErr=0、bIgnore=0、ペイロード長 = 0 のパケットが受信済み	nRxEmpty	Rx_Empty
LLID = 11b、bCrcErr = 0、bIgnore = 0 のパケットが受信済み	nRxCtrl	Rx_Ctrl
LLID = 11b、bCrcErr = 0、bIgnore = 0 のパケットが受信済みでアクノリッジが送信済み	nRxCtrlAck	Rx_Ctrl_Ack
RX バッファに収まらなかった、フラッシュされる予定ではなかったパケットを受信済み	nRxBufFull	Rx_Buf_Full
RX キュー内の最初の RX データ エントリの状態が完了に変更	—	Rx_Entry_Done

無線 CPU は、パケット カウンタ nPkt と NACK カウンタ nNack の 2 つのカウンタを保持します。マスタまたはスレーブ無線動作の開始時に、両方のカウンタがそれぞれ pParams->maxPkt および pParams->maxNack に初期化されます。パケットカウンタ nPkt は、パケットが送信されるたびにデクリメントされます。前回送信されたパケットの確認応答を含まないパケットを受信した場合、NACK カウンタ nNack はデクリメントされる必要があります。そうではなく、アクノリッジを受信した場合は、pParams->maxNack にリセットされる必要があります。いずれかのカウンタが 0 にカウントされた場合、動作は終了します。これは、マスタに対するパケットを受信し、スレーブに対してパケットを送信した後に発生します。pParams->maxPkt または pParams->maxNack を 0 に設定すると、対応するカウンタ機能が無効になります。

動作を終了するトリガは、pParams->endTrigger および pParams->endTime で設定します。このパラメータで定義されたトリガが発生した場合、無線機の動作はできるだけ早く終了します。無線動作が終了した後、送信されたパケットは MD = 0 となり、次のパケットがスレーブに送信されるか、マスタに受信された後に接続イベントが終了します。無線 CPU によって即時コマンド CMD_STOP が受信された場合、発生している終了トリガと同じ意味を持ちます (終了後にステータスコードは CMD_DONE_STOPPED になります)。スレーブコマンドの場合、pParams->endTrigger.triggerType は BLE_TRIG_REL_SYNC の値を取ることができます。これは 15 です。この値は、pParams->endTime が最初に受信したパケットのタイムスタンプに相対的であることを意味します。パケットが受信されない場合、終了トリガは発生しません (この状況を処理するためにタイムアウト トリガを使用する必要があります)。

Copyright © 2026 Texas Instruments Incorporated

レジスタ pParams->seqStat には、動作中に無線 CPU によって更新されるビットが含まれており、SN、NESN、および再送信で正しい動作を取得するために使用されます。無線 CPU に関して従わなければならない規則は次のとおりです。

- 接続の最初の動作の前に、pParams -> seqStat のビットはシステム CPU によって次のように設定されます。
  - lastRxSn = 1
  - lastTxSn = 1
  - nextTxSn = 0
  - bFirstPkt = 1
  - bAutoEmpty = 0
  - bLlCtrlRx = 0
  - bLlCtrlAckRx = 0
  - bLlCtrlAckPending = 0
- ヘッダの SN フィールドが、最後に正常に受信されたパケットの SN フィールドと同じかどうかを判断する場合、受信した SN ビットは pParams->seqStat.lastRxSn と比較されます。
- 正しい CRC で受信されたパケットが RX バッファに収まった場合、受信した SN は pParams->seqStat.lastRxSn に格納されます。パケットが LL コントロール パケット (LLID = 11b) であり、かつそのパケットが無視される予定ではなかった場合、pParams->seqStat.bLlCtrlAckPending は 1 に設定される必要があり、Rx_Ctrl 割り込みが発生させられる必要があります。
- 正しい CRC を持つパケットを受信し、かつ受信した NESN が pParams->seqStat.lastTxSn と異なる場合、pParams->seqStat.nextTxSn は受信した NESN の値に設定される必要があります (パケットが RX バッファに収まったかどうかは関係ありません)。
- pParams->seqStat.bFirstPkt = 0 の場合:
  - パケットの受信後に pParams->seqStat.nextTxSn が更新され、pParams->seqStat.lastTxSn と異なる場合は、nNack を pParams->maxNack に設定し、Tx_Ack 割り込みを発生させます。
  - それ以外の場合は、nNack を減少させます。
  - pParams->seqStat.nextTxSn が更新され、パケットを受信し pParams->seqStat.bAutoEmpty=0 になった後、pParams->seqStat.lastTxSn と異なる場合、現在の TX キューエントリが終了し、次のエントリがアクティブに設定され (セクション 25.3.2.7.2 を参照)、Tx_Entry_Done 割り込みが発生します。pParams->seqStat.bLlCtrlTx = 1 の場合、Tx_Ctrl_Ack 割り込みが発生し、pParams->seqStat.bLlCtrlAckRx は 1 に設定されます。
  - pParams->seqStat.nextTxSn が更新され、パケットの受信後に pParams->seqStat.lastTxSn と異なる場合、pParams->seqStat.bAutoEmpty は 0 に設定されます。
- TX キューで使用可能なバッファがない場合、または pParams->seqStat.nextTxSn が pParams->seqStat.lastTxSn および pParams->seqStat.bAutoEmpty=1 と等しい場合、パケットの送信時に自動空のパケットが送信されます。TX キューからは何も読み出されません。それ以外の場合、送信されたパケットは TX キューの最初のエントリから読み取られます。

Copyright © 2026 Texas Instruments Incorporated

- 送信パケットのヘッダには、SN ビットを pParams->seqStat.nextTxSn の値に設定し、NESN ビットを pParams->seqStat.lastRxSn の逆に設定します。
- パケットが送信された後:
  - pParams->seqStat.nextTxSn が pParams->seqStat.lastTxSn と等しい場合、Tx_retrans 割り込みが発生します。
  - pParams -> seqStat.nextTxSn が pParams -> seqStat.lastTxSn と異なる場合、および送信パケットが LLID = 11b の場合、Tx_Ctrl 割り込みが発生します。
  - 転送後に pParams->seqStat.nextTxSn と pParams->seqStat.lastTxSn が異なる場合、および pParams->seqStat.bLlCtrlAckPending = 1 の場合、Rx_Ctrl_Ack 割り込みが発生します。
  - 転送後に pParams->seqStat.nextTxSn と pParams->seqStat.lastTxSn が異なる場合、および pParams->seqStat.bLlCtrlAckRx=1 の場合、Tx_Ctrl_Ack_Ack 割り込みが発生します。
  - pParams->seqStat.lastTxSn は、pParams->seqStat.nextTxSn の値に設定します。
  - pParams->seqStat.bAutoEmpty は、パケットが TX キューから読み出されなかった場合は 1 に設定され、それ以外の場合は 0 に設定されます。
  - pParams->seqStat.bLlCtrlTx は、送信パケットが LLID = 11 の場合は 1 に設定され、それ以外の場合は 0 に設定されます。
  - pParams->seqStat.firstPkt、pParams->seqStat.bLlCtrlAckPending、および pParams->seqStat.bLlCtrlAckRx は 0 に設定します。
  - Tx_Done 割り込みが発生します。
  - nPkt はデクリメントされます。

前のリストで説明したように割り込みが発生した場合は、
表 25-129 に示す対応するカウンタがインクリメントされます。

送信されたパケットのヘッダでは、MD ビットは次の規則に従って設定されます。

- 送信キューが空の場合、または送信されるパケットが送信キューの最後のパケットである場合、MD は 0 に設定されます。
- pParams->endTrigger で説明されているトリガが発生した場合、MD は 0 に設定されます。
- カウンタ nPkt が 1 の場合、MD は 0 に設定されます。
- それ以外の場合、MD は 1 に設定されます。

pOutput 構造にはカウンタが含まれており、前のリストおよび表 25-129 で説明したように、無線 CPU によって更新されます。無線 CPU はフィールドを初期化しないため、カウンタをリセットする必要があるときにシステム CPU がこれを行う必要があります。カウンタに加えて、無線 CPU によって次のフィールドを設定する必要があります。

- パケットが受信されると、lastRssi はそのパケットの RSSI に設定されます。
- スレーブコマンドの場合、timeStamp は最初に受信したパケットの開始時刻のタイムスタンプに設定する必要があります (パケットが受信された場合)。bValidTimeStamp フィールドは、動作の開始時に 0 に、timeStamp が書き込まれるようにパケットを受信した場合は 1 に設定する必要があります。

正しく動作させるには、コマンドの先頭で pParams -> seqStat の値を同じ接続の前の動作終了時の値と同じにする必要があります。TX キューも、同じ接続で動作するコマンド間で変更しないでください (パケットがキューに追加される場合を除く)。

Copyright © 2026 Texas Instruments Incorporated

25.8.6 スレーブ コマンド

スレーブ無線動作は、CMD_BLE_SLAVE または CMD_BLE5_SLAVE コマンドによって開始されます。コマンド構造において、本仕様は pParams パラメータ (表 25-96 または表 25-103 で定義された型) および pOutput パラメータ (表 25-109 で定義された型) を持つものとします。動作は受信から開始されます。パラメータ pParams->timeoutTrigger および pParams->timeoutTime は、復調器で同期が検出されない場合に操作を終了する時間を定義します。startTrigger と pParams->timeoutTrigger を合わせてスレーブの受信ウィンドウを定義します。

スレーブ側での新しい LL 接続における最初の受信パケットは、特別な方法で処理されるものとします。これは、新しい接続の最初のスレーブ動作を開始するときに、pParams->seqStat.bFirstPkt を 1 に設定することによって、システム CPU によって通知されます。このフラグが設定されている場合、受信したパケットは、以前に送信されたパケットに対する ACK または NACK として扱われないものとします。パケットが送信されると、pParams->seqStat.bFirstPkt が無線 CPU によってクリアされます。

無線 CPU は、無線動作の最初に受信したパケットのタイムスタンプを pOutput->timeStamp に書き込むものとします。キャプチャされた時間は、システム CPU が将来のスレーブ コマンドの開始を計算するためのアンカー ポイントとして使用できます。この時間は「イベント 1」としても定義されます。これは後続のチェーン化された動作のタイミング制御に使用される場合があります。アンカー ポイントが見つからない場合、イベント 1 はスレーブ動作の開始時刻になります。

CRC エラーを伴うパケットを受信した場合、同じ無線動作の前のパケットも CRC エラーを伴って受信された場合、無線 CPU は無線動作を終了します (表 25-130 を参照)。それ以外の場合、パケットを受信すると、無線 CPU は送信を開始して TX キューから送信するか、TX キューが空の場合は自動で空のパケットを送信します。送信は再送信である可能性があります。動作が表 25-130 に示す基準で終了しない限り、送信が完了した後にレシーバが開始されます。

スレーブ操作は、表 25-130 に示す原因のいずれかによって終了するものとします。動作が終了した後、コマンド構造の status フィールドに操作が終了した理由が示されます。すべての場合に、Command_Done 割り込みが発生します。それぞれの場合において、結果は TRUE、FALSE、または ABORT として示され、次の動作を決定します。

表 25-130. スレーブ動作の終了

条件	ステータス コード	結果
MD ビットが 0 のヘッダを持つパケットを正常に受信した後、MD = 0 でパケットを送信します	BLE_DONE_OK	TRUE
RX キューに収まりきらないパケットを受信した後、MD = 0 のパケットが送信されます	BLE_DONE_OK	TRUE
パケットの送信が終了し、nPkt が 0 にカウントされました	BLE_DONE_OK	TRUE
コマンド開始後、復調器の同期が一度も確立される前に、pParams->timeoutTrigger によって指定されたトリガが発生しました	BLE_DONE_RXTIMEOUT	FALSE
送信後の受信動作で同期が得られませんでした	BLE_DONE_NOSYNC	TRUE
同じ動作で後続の二つのパケットが CRC エラーで受信されました	BLE_DONE_RXERR	TRUE
内部カウンタ nNack が 0 にカウントダウンした後、パケットの送信を終了しました	BLE_DONE_MAXNACK	TRUE
pParams->endTrigger で示されたトリガーを観察した後、パケットの送信を終了しました	BLE_DONE_ENDED	FALSE
CMD_STOP を観察した後、パケットの送信を終了しました	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信しました	BLE_DONE_ABORT	ABORT
チャネルの値が正しくありません	BLE_ERROR_PAR	ABORT
TX データ エントリ長フィールドの値が正しくありません	BLE_ERROR_PAR	ABORT

Copyright © 2026 Texas Instruments Incorporated

25.8.7 マスタ コマンド

マスタ無線動作は、CMD_BLE_MASTER または CMD_BLE5_MASTER コマンドによって開始されます。コマンド構造には、表 25-97 で定義されているタイプの pParams パラメータと、表 25-109 で定義されているタイプの pOutput パラメータが含まれます。 動作は送信から開始されます。各送信の後、レシーバが起動します。

マスタ動作は、表 25-131 に示すいずれかの原因で終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。すべての場合に、Command_Done 割り込みが発生します。すべての場合に、TRUE、FALSE、または ABORT の結果が表示され、次のアクションが決定されます。

表 25-131. マスタ動作の終了

条件	ステータス コード	結果
MD = 0 のパケットを送信した後、MD = 0 のパケットを正常に受信しました	BLE_DONE_OK	TRUE
MD = 0 のパケットを送信した後、RX キューに格納できないパケットを受信しました	BLE_DONE_OK	TRUE
nPkt が 0 にカウントされた後、パケットを受信しました	BLE_DONE_OK	TRUE
送信後の受信動作で同期が得られませんでした	BLE_DONE_NOSYNC	TRUE
同じ動作で後続の二つのパケットが CRC エラーで受信されました	BLE_DONE_RXERR	TRUE
内部カウンタ nNack は、パケット受信後に 0 にカウントダウンされました	BLE_DONE_MAXNACK	TRUE
pParams->endTrigger で示されるトリガーを観察した後、パケットを受信しました	BLE_DONE_ENDED	FALSE
CMD_STOP を観察した後にパケットを受信しました	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信しました	BLE_DONE_ABORT	ABORT
チャネルの値が正しくありません	BLE_ERROR_PAR	ABORT
TX データ エントリ長フィールドの値が正しくありません	BLE_ERROR_PAR	ABORT

Copyright © 2026 Texas Instruments Incorporated

25.8.8 レガシー アドバタイザ

任意の種類のアドバタイザ動作の開始時に、無線 CPU は開始トリガを待機し、コマンド構造のチャネル パラメータに基づいて周波数をプログラムします。チャネル パラメータはデータ チャネルであるため、0 ～ 36 の範囲にすることはできません。無線 CPU は、アドバタイズ チャネル アクセス アドレスを設定し、CRC 初期化値 0x55 5555 を使用します。ホワイトナは、ホワイトニング パラメータで定義されているように設定する必要があります。その後、無線 CPU はトランスミッタを構成します。接続不可能なアドバタイザを除き、動作は送信後に受信して続行され、SCAN_REQ を受信すると、SCAN_RSP が再度送信される可能性があります。

Bluetooth Low Energy モードでは、通常、3 つのアドバタイズ チャネルのすべてでアドバタイズが行われます。これを設定するために、pNextOp パラメータを使用して 3 つのコマンド構造をチェーン接続できます。通常、パラメータと出力構造はすべてのチャネルで同じにすることができます。

最初に送信されるパケットは常に ADV*_IND パケットです。このパケットは、ヘッダ、アドバタイザ アドレス、アドバタイズ データ (ダイレクト アドバタイズで使用される ADV_DIRECT_IND パケットを除く) で構成されます。無線 CPU は、これらのパケットを次のように構成します (ADV_DIRECT_IND パケットについては、セクション 25.8.8.2 を参照)。

- ヘッダの PDU タイプビットは表 25-132 に示されています。
- TXAdd ビットは、pParams->advConfig.deviceAddrType に示されているとおりになります。
- 長さは、アドバタイズ データのサイズから計算されます。つまり、pParams->advLen + 6 です。
- RXAdd ビットは使用されず、RFU ビットとともに 0 です。
- ペイロードは 6 バイトのデバイス アドレスから開始されます。このアドレスは、pParams->pDeviceAddress から読み取られます。
- 残りのペイロードは pParams->pAdvData バッファから読み取られます (pParams->advLen がゼロでない場合)。

表 25-132. さまざまなアドバタイザ コマンドの PDU タイプ

コマンド	アドバタイズ パケットのタイプ	PDU タイプ ビットの値ヘッダ
CMD_BLE_ADV	ADV_IND	0000b
CMD_BLE_ADV_DIR	ADV_DIRECT_IND	0001b
CMD_BLE_ADV_NC	ADV_NONCONN_IND	0010b
CMD_BLE_ADV_SCAN	ADV_SCAN_IND	0110b

接続不可能なアドバタイズを除き、受信機は ADV*_IND パケットの送信後に起動されます。アドバタイズ メントの動作の種類に応じて、レシーバは SCAN_REQ と CONNECT_IND (関連ドキュメントに記載されている Bluetooth 4.0、4.1、および 4.2 仕様では CONNECT_REQ と呼ばれる) をリッスンします。復調器が同期を取得した場合、ヘッダの受信時にそれがチェックされ、SCAN_REQ または CONNECT_IND メッセージではない場合、復調器は直ちに停止される必要があります。

セクション 25.10.4.1 で説明されているように、SCAN_REQ または CONNECT_IND メッセージが、pParams->pRxQ で指定された RX キューに受信されます。CRC の結果と受信したメッセージに応じて、bCrcErr ビットと bIgnore ビットが設定されます。メッセージ内の AdvA フィールドと受信したヘッダの TxAdd ビットは、メッセージがこのアドバイザ宛てであるかどうかを確認するために、それぞれ pParams->pDeviceAddress 配列および pParams->advConfig.deviceAddrType と比較されます。次に、pParams->advConfig.advFilterPolicy で指定されたアドバタイズ フィルタ ポリシーに応じて、受信した ScanA フィールドまたは InitA フィールドと、受信したヘッダの RxAdd ビットがホワイトリストに対してチェックされます (セクション 25.8.14 を参照)。ただし、ダイレクト アドバタイザでは、受信したヘッダがピア アドレスと比較されます (セクション 25.8.8.2 を参照)。解決可能なプライベート アドレス (RPA) モード (pParams->advConfig.rpaMode によって指定) がゼロ以外の場合、ピア アドレスが解読可能なプライベート アドレスであるかどうかを確認するための追加のチェックが行われます。受信した TxAdd が 1 であり、受信した ScanA または InitA フィールドの最上位 2 ビットが 01b である場合、そのアドレスは解決可能なプライベート アドレス (RPA) です。その場合は、フィルタ ポリシーに関係なくホワイトリスト チェックが実行されます。受信したパケットに応じて、実行されるアクションは、表 25-133 に示すとおりになります。ここでは、各アクション (bCrcErr および bIgnore で使用される値を含む) の定義が表 25-134 に示されています。pParams->advConfig.bStrictLenFilter が 1 の場合、Bluetooth Low Energy 仕様に準拠した長さのフィールドのみが有効と見なされます。SCAN_REQ の場合は長さフィールドが 12 であることを意味し、

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

CONNECT_IND の場合は長さフィールドが 34 であることを意味します。pParams->advConfig.bStrictLenFilter が 0 の場合、アドバイザ パケットの最大長 以下の長さフィールドを持つ、受信したすべてのパケットが有効と見なされる必要があります。長さが無効な場合は、レシーバを停止します。

表 25-133. アドバタイザの受信パケットに基づいて実行するアクション

PDU のタイプ	CRC の結果	Adv. タイプ	有効な長さ	AdvA が自身のアドレスと一致	フィルタ ポリシー	RPA モード	解決可能なプライベート アドレス	ScanA または InitA がホワイトリストに存在	アクション番号
SCAN_REQ	OK	C、S	はい	いいえ	X	X	X	X	1
SCAN_REQ	OK	C、S	はい	はい	1 または 3	X	X	いいえ	1
SCAN_REQ	OK	C、S	はい	はい	1 または 3	X	X	はい	2
SCAN_REQ	OK	C、S	はい	はい	0 または 2	0	X	X	2
SCAN_REQ	OK	C、S	はい	はい	0 または 2	1	いいえ	X	2
SCAN_REQ	OK	C、S	はい	はい	0 または 2	1	はい	いいえ	1
SCAN_REQ	OK	C、S	はい	はい	0 または 2	1	はい	はい	2
SCAN_REQ	NOK	C、S	はい	X	X	X	X	X	3
SCAN_REQ	X	C、S	いいえ	X	X	X	X	X	5
SCAN_REQ	X	D	X	X	X	X	X	X	5
CONNECT_IND	OK	C、D	はい	いいえ	X	X	X	X	1
CONNECT_IND	OK	C、D	はい	はい	2 または 3	X	X	いいえ	1
CONNECT_IND	OK	C、D	はい	はい	2 または 3	X	X	はい	4
CONNECT_IND	OK	C、D	はい	はい	0 または 1	0	X	X	4
CONNECT_IND	OK	C、D	はい	はい	0 または 1	1	いいえ	X	4
CONNECT_IND	OK	C、D	はい	はい	0 または 1	1	はい	いいえ	1
CONNECT_IND	OK	C、D	はい	はい	0 または 1	1	はい	はい	4
CONNECT_IND	NOK	C、D	はい	X	X	X	X	X	3
CONNECT_IND	X	C、D	いいえ	X	X	X	X	X	5
CONNECT_IND	X	S	X	X	X	X	X	X	5
その他	X	X	X	該当なし	X	X	該当なし	該当なし	5
受信パケットなし	該当なし	X	該当なし	該当なし	X	X	該当なし	該当なし	5

表 25-134. 受信パケットに対して実行するアクションの説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	BLE_DONE_OK ステータスで動作終了
2	0	0	SCAN_RSP メッセージを送信
3	1	0	BLE_DONE_RXERR ステータスで動作終了
4	0	0	BLE_DONE_CONNECT または BLE_DONE_CONNECT_CHSEL0 ステータスで動作終了
5	—	—	レシーバを直ちに停止し、BLE_DONE_NOSYNC ステータスで動作終了

SCAN_REQ パケットが 12 以下の長さで受信された場合、そのパケットは空のパケットと見なされます。これは、pParams->rxConfig.bAutoflushEmpty が 1 であり、bCrcErr と bIgnore が両方とも 0 である場合、パケットが RX バッファから削除されることを意味します。パケットが bIgnore または bCrcErr によってフラグを立てられている場合、pParams->rxConfig 内のビットに基づいて削除されることもあります。

Copyright © 2026 Texas Instruments Incorporated

受信されたパケットが RX キューに収まらなかった場合、パケットは最後まで受信されますが、受信されたバイトは保存されません。pParams->rxConfig のビットに基づいて、通常パケットが RX キューから廃棄されなかった場合、コマンドは終了します。

CONNECT_IND パケットが正しく受信され (表 25-134 のアクション 4 を参照)、pParams->advConfig.chSel が 1 の場合、受信したヘッダの ChSel ビットがチェックされます。このビットが 0 の場合 (ピアがチャネル選択アルゴリズム 2 をサポートしていない場合)、ステータスは BLE_DONE_CONNECT ではなく BLE_DONE_CONNECT_CHSEL0 に設定されます。。

次のアクション (表 25-133 および表 25-134 による) が SCAN_RSP パケットを送信する場合、無線 CPU は送信機を開始してこのパケットを送信します。このパケットは、ヘッダ、アドバタイザ アドレス、およびアドバタイズ データで構成されます。

無線 CPU は、これらのパケットを次のように構築します。

- ヘッダの PDU Type ビットは 0100b になります。
- TxAdd ビットは、pParams->advConfig.deviceAddrType に示されているとおりになります。
- 長さは、スキャン応答データのサイズから計算されます。つまり、pParams->scanRspLen + 6 となります。
- RxAdd および ChSel ビットは使用されないため、0 である必要があります。
- RFU ビットは 0 である必要があります。
- ペイロードは 6 バイトのデバイス アドレスで開始されます。このアドレスは pParams->pDeviceAddress から読み取られます。
- 残りのペイロードは、pParams->pScanRspData バッファから読み取る必要があります。
- SCAN_RSP が送信された後、コマンドは終了します。

操作を終了するトリガは、pParams->endTrigger によって設定されます。このパラメータによって定義されたトリガが発生した場合、無線動作は完了するまで継続されますが、終了後のステータス コードは BLE_DONE_ENDED になり、結果は FALSE になります。このトリガを使用すると、コマンド構造内の条件を使用することによって、次のチェーン処理に進む代わりに実行を停止できます。無線 CPU によって即時コマンド CMD_STOP が受信された場合、終了トリガが発生したときと同じ意味を持ちます (終了後のステータスコードは CMD_DONE_STOPPED になることを除く)。

出力構造 pOutput には、実行中のコマンドに関する情報を示すフィールドが含まれています。無線 CPU はフィールドを初期化しないため、カウンタをリセットする必要があるときにシステム CPU がこれを行う必要があります。フィールドは、次のリストに示すように、無線機 CPU によって更新されます。このリストには、システム CPU で割り込みが発生するタイミングも示されています。

- ADV*_IND パケットが送信されると、nTxAdvInd がインクリメントされ、Tx_Done 割り込みが発生します。
- SCAN_RSP パケットが送信されると、nTxScanRsp が後に増分され、Tx_Done 割り込みが発生します。
- CRC OK で SCAN_REQ パケットを受信し、bIgnore フラグをクリアすると、nRxScanReq がインクリメントされます。ペイロードの長さが 12 以下の場合、Rx_Empty 割り込みが発生します。ペイロードの長さが 12 を超えると、Rx_Ok 割り込みが発生します。
- CRC OK で CONNECT_IND パケットが受信され、bIgnore フラグがクリアされると、nRxConnectReq がインクリメントされ、Rx_OK 割り込みが発生します。
- CRC エラーのあるパケットが受信されると、nRxNok がインクリメントされ、Rx_Nok 割り込みが発生します。
- パケットが受信され、bIgnore フラグがセットされると、nRxIgnored がインクリメントされ、Rx_Ignored 割り込みが発生します。
- RX キューに収まらなかったパケットを受信すると、nRxBufFull がインクリメントされ、Rx_Buf_Full 割り込みが発生します。
- パケットが受信されると、lastRssi はそのパケットの RSSI に設定されます。
- パケットが受信されると、timeStamp はそのパケットの開始時刻のタイムスタンプに設定されます。CONNECT_IND パケットの場合、これを使用して最初のパケットのアンカー ポイントを計算できます。
- RX キューの最初の RX データ エントリが、パケットを受信した後に状態を終了に変更した場合、Rx_Entry_Done 割り込みが発生します。

Copyright © 2026 Texas Instruments Incorporated

25.8.8.1 接続可能な無指向性アドバタイザ コマンド

接続可能な無指向性アドバタイザ動作は、CMD_BLE_ADV コマンドによって開始されます。コマンド構造は、表 25-98 で定義されているタイプの pParams パラメータと、表 25-110 で定義されているタイプの pOutput パラメータで構成されます。この動作は送信から開始し、セクション 25.8.8 に示すように動作します。

接続可能な無指向性アドバタイザ動作は、表 25-135 に示すステータスのいずれかで終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。すべての場合に、Command_Done 割り込みが発生します。すべての場合に、TRUE、FALSE、または ABORT の結果が表示され、次のアクションが決定されます。

表 25-135. 接続可能な無指向アドバタイザ動作の終了

条件	ステータス コード	結果
レシーバ実行後にアクション 1 を実行	BLE_DONE_OK	TRUE
アクション 2 を実行し、SCAN_RSP を送信	BLE_DONE_OK	TRUE
レシーバ実行後にアクション 3 を実行	BLE_DONE_RXERR	TRUE
pParams->advConfig.chSel = 0 または受信した CONNECT_IND の ChSel ビットが 1 の場合、レシーバ実行後にアクション 4 を実行	BLE_DONE_CONNECT	FALSE
pParams->advConfig.chSel = 1 かつ受信した CONNECT_IND の ChSel ビットが 0 の場合、レシーバ実行後にアクション 4 を実行	BLE_DONE_CONNECT_CHSEL0	FALSE
レシーバ実行後にアクション 5 を実行	BLE_DONE_NOSYNC	TRUE
pParams->endTrigger が示すトリガを検出後、アクション 1、2、3、または 5 を実行	BLE_DONE_ENDED	FALSE
CMD_STOP を検出後、アクション 1、2、3、または 5 を実行	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信	BLE_DONE_ABORT	ABORT
受信したパケットを格納する RX バッファに空きがない	BLE_ERROR_RXBUF	FALSE
チャネルの値が正しくない	BLE_ERROR_PAR	ABORT
アドバタイズ データまたはスキャン応答データの長さフィールドに不正な値がある	BLE_ERROR_PAR	ABORT

25.8.8.2 接続可能な指向型アドバタイザ コマンド

接続可能な指向型アドバタイザ操作は、CMD_BLE_ADV_DIR コマンドによって開始されます。コマンド構造には、表 25-98 で定義されているタイプの pParams パラメータと、表 25-110 で定義されているタイプの pOutput パラメータが含まれます。動作は送信から開始され、その動作は以下に示す内容を除き、セクション 25.8.8 で記述されている仕様に従って動作します。

指向型アドバタイザにおいて、pParams->pWhiteList は接続先デバイスのデバイスアドレスのみを含むバッファを指すものします。ピアのアドレス タイプは、pParams->advConfig.peerAddrType で指定するものとします。

最初の送信操作では、ADV_DIRECT_IND パケットが送信されます。無線 CPU は、このパケットを次のように構成します。

- 表 25-132 に示すように、ヘッダでは PDU Type ビットは 0001b になります。
- TxAdd ビットは、pParams->advConfig.deviceAddrType のようにする必要があります 。
- RxAdd ビットは、pParams->advConfig.peerAddrType のようになります (pParams->pWhiteList の最下位ビットが 1 の場合、RxAdd ビットが反転します。セクション 25.8.17 を参照してください)。
- pParams->advConfig.chSel が 1 の場合、ChSel ビットは 1 になりますそれ以外の場合は、ChSel は 0 になります。
- 長さはアドバタイジング データのサイズから算出されるものとし、pParams->advLen + 12 とします。
- RFU ビットは 0 であるものとします。
- ペイロードは 6 バイトのデバイス アドレスで開始するもとします。このアドレスは pParams->pDeviceAddress から読み出され、その後に pParams->pWhiteList から読み出される 6 バイトのピア アドレスが続きます。
- Bluetooth Low Energy 仕様では、それ以上のペイロードは存在しないものとされますが、pParams->advLen をゼロ以外に設定することで、非準拠のメッセージを構成することが可能です。その場合、ペイロードの残りの部分は pParams->pAdvData バッファから読み取る必要があります。

Copyright © 2026 Texas Instruments Incorporated

レシーバは、セクション 25.8.8 に示すように ADV_DIRECT_IND パケットが送信された後に開始され、受信されたパケットはここで説明されているように処理されます。受信した TargetA フィールドおよび TxAdd ビットは、ホワイトリストとの比較ではなく、それぞれ pParams->pWhiteList および pParams->advConfig.peerAddrType と照合されます。

指向型アドバタイザ動作は、表 25-136 に列挙されたいずれかのステータスで終了するものとします。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。すべての場合に、Command_Done 割り込みが発生します。すべての場合に、TRUE、FALSE、または ABORT の結果が表示され、次のアクションが決定されます。

表 25-136. 指向型アドバタイザ動作の終了

条件	ステータス コード	結果
レシーバ実行後にアクション 1 を実行	BLE_DONE_OK	TRUE
レシーバ実行後にアクション 3 を実行	BLE_DONE_RXERR	TRUE
pParams->advConfig.chSel = 0 または受信した CONNECT_IND の ChSel ビットが 1 の場合、レシーバ実行後にアクション 4 を実行	BLE_DONE_CONNECT	FALSE
pParams->advConfig.chSel = 1 かつ受信した CONNECT_IND の ChSel ビットが 0 の場合、レシーバ実行後にアクション 4 を実行	BLE_DONE_CONNECT_CHSEL0	FALSE
レシーバ実行後にアクション 5 を実行	BLE_DONE_NOSYNC	TRUE
pParams->endTrigger が示すトリガを検出後、アクション 1、3、または 5 を実行	BLE_DONE_ENDED	FALSE
CMD_STOP を検出後、アクション 1、3、または 5 を実行	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信しました	BLE_DONE_ABORT	ABORT
受信したパケットを格納する RX バッファに空きがありません	BLE_ERROR_RXBUF	FALSE
チャネルの値が正しくありません	BLE_ERROR_PAR	ABORT
アドバタイズ データ エントリ長フィールドの値が正しくありません	BLE_ERROR_PAR	ABORT

25.8.8.3 接続不可能なアドバタイズ コマンド

接続不可能なアドバタイズメ動作は、CMD_BLE_ADV_NC コマンドによって開始されます。コマンド構造には、表 25-98 で定義されているタイプの pParams パラメータと、表 25-110 で定義されているタイプの pOutput パラメータが含まれます。動作はトランスミッションから開始し、セクション 25.8.8 に示すように動作します。ADV_NONCONN_IND パケットの送信後、この動作は受信処理を行うことなく終了します。

非接続型アドバタイザ動作は、表 25-137 に示すいずれかのステータスで終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。すべての場合に、Command_Done 割り込みが発生します。すべての場合に、TRUE、FALSE、または ABORT の結果が表示され、次のアクションが決定されます。

表 25-137. 接続不可能なアドバタイズ動作の終了

条件	ステータス コード	結果
送信された ADV_NONCONN_IND	BLE_DONE_OK	TRUE
pParams->endTrigger で指定されたトリガを検出し、ADV_NONCONN_IND の送信を完了しました	BLE_DONE_ENDED	FALSE
CMD_STOP を確認した後、ADV_NONCONN_IND の送信が完了しました	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信しました	BLE_DONE_ABORT	ABORT
チャネルの値が正しくありません	BLE_ERROR_PAR	ABORT
アドバタイズ データ エントリ長フィールドの値が正しくありません	BLE_ERROR_PAR	ABORT

25.8.8.4 スキャン可能な無指向アドバタイザ コマンド

スキャン可能な無指向アドバタイザ動作は、CMD_BLE_ADV_SCAN コマンドによって開始されます。コマンド構造には、表 25-98 で定義されているタイプの pParams パラメータと、表 25-110 で定義されているタイプの pOutput パラメータが含まれます。この動作は送信動作から開始され、セクション 25.8.8 に記載されているとおりに動作します。

Copyright © 2026 Texas Instruments Incorporated

スキャン可能な無指向アドバタイザ動作は、表 25-138 に示すいずれかのステータスで終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。いずれの場合も、Command_Done 割り込みが発生します。各ケースでは TRUE、FALSE、または ABORT の結果が示され、その結果によって次の処理が決まります。

表 25-138. スキャン可能な無指向アドバタイザ動作の終了

条件	ステータス コード	結果
レシーバの実行後にアクション 1 を実行	BLE_DONE_OK	TRUE
アクション 2 を実行し、SCAN_RSP を送信	BLE_DONE_OK	TRUE
レシーバの実行後にアクション 3 を実行	BLE_DONE_RXERR	TRUE
レシーバの実行後にアクション 5 を実行	BLE_DONE_NOSYNC	TRUE
pParams->endTrigger で示されるトリガを検出した後、アクション 1、2、3、または 5 を実行	BLE_DONE_ENDED	FALSE
CMD_STOP を確認した後、アクション 1、2、3、または 5 を実行	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信	BLE_DONE_ABORT	ABORT
受信したパケットを保存するための空きが RX バッファにない	BLE_ERROR_RXBUF	FALSE
不正なチャネル値	BLE_ERROR_PAR	ABORT
アドバタイズ データまたはスキャン応答データの長さフィールドに不正な値を設定	BLE_ERROR_PAR	ABORT

25.8.9 Bluetooth® 5 アドバタイザコマンド

拡張チャネルまたはセカンダリ チャネルのアドバタイザ開始時、無線 CPU は開始トリガを待機するものとします。その後、コマンド構造体のチャネル パラメータに基づいて周波数を設定します。チャネル パラメータはアドバタイザ チャネルの種類を正しく示す必要があり、拡張アドバタイザでは 37、38、39 のいずれか、セカンダリ チャネル アドバタイザでは 0 ～ 36 の範囲である必要があります。無線 CPU は、phyMode.mainMode で指定された PHY モードも設定します。さらに、アドバタイズ チャネル アクセス アドレスを設定し、CRC 初期化値 0x55 5555 を使用します。ホワイトナは、ホワイトニング パラメータで定義されているように設定する必要があります。その後、無線 CPU はトランスミッタを構成します。セカンダリ チャネルのアドバタイザでは、送信後に受信へ移行して動作が継続されます。ただし、送信したパケットがスキャナブルまたはコネクタブルの場合に限り、要求パケットを受信した場合には応答パケットの送信が続く場合があります。

Bluetooth Low Energy では、広告は通常三つすべてのプライマリ アドバタイジング チャネルで行われ、その後に一つ以上のセカンダリ アドバタイジング チャネルで継続されます。これを設定するには、pNextOp パラメータを使用して四つ (またはそれ以上) のコマンド構造をチェーン接続できます。三つの拡張アドバタイザ コマンドでパラメータ構造を同じにすることができ、出力構造はすべてのチャネルで同じにすることができます。

送信パケットは常に、共通の拡張アドバタイズ形式を使用します。このようなパケットは、表 25-105 に示す記述子の情報に基づいて無線 CPU によって構築されます。パケット処理の詳細については、セクション 25.8.9.1 を参照してください。最初に送信されたパケットは、pParams->pAdvPkt で指す記述子によって定義されます。

送信されたパケットに AuxPtr フィールドが含まれている場合、Offset Units および Aux Offset (Related Documentation に記載されている Bluetooth System バージョン 5.0 の仕様を参照) フィールドは無線 CPU によって変更され、pParams->auxPtrType および pParams->auxPtrTime で指定された時点で送信されたパケットを指すようになります。pParams->auxPtrType に許可される値は、一般的なコマンドで使用されるトリガと同一ですが、TRIG_ABSTIME、TRIG_NEVER、および各種の相対時間のみが許可されます。また TRIG_NEVER は、無線機 CPU による AuxPtr の修正を行わないことを意味します。無線 CPU は、送信パケットの開始時刻から指定時刻までの時間差を算出し、その時間を表現可能な最小のオフセット単位を決定するものとします。Aux オフセットは、時間差を単位切り捨てで除算した値に設定されます。

セクション 25.8.9.2 およびセクション 25.8.9.3 に CMD_ADV_EXT および CMD_ADV_AUX の動作の詳細を示します。

25.8.9.1 共通拡張アドバタイズ パケット

共通拡張アドバタイズ形式を使用する送信パケットは、次の要素で構成されます。

- ヘッダ

Copyright © 2026 Texas Instruments Incorporated

- 拡張ヘッダ長とアドバタイザ モード
- オプションの拡張ヘッダ
- オプションのペイロード

ヘッダでは、AUX_CONNECT_RSP を除くすべての該当タイプについて PDU タイプは 0111b に設定されます。この場合、PDU タイプは 1000b です。TxAdd ビットと RxAdd ビットは、以下の説明に従って自動的に挿入されます。長さは、拡張ヘッダ長とペイロード長に基づいて無線 CPU によって計算されます。拡張ヘッダ長フィールドとアドバタイザ モード フィールドは、extHdrInfo の対応するフィールドから挿入されます。拡張ヘッダ長が 0 より大きい場合、拡張ヘッダの最初のバイトは拡張ヘッダ フラグです。これは、無線 CPU によって extHdrFlags から挿入されます。拡張ヘッダの残りの部分は、pExtHeader が指すバッファに格納されます。

拡張ヘッダ内のアドレスはバッファから省略できます (この場合、pExtHdr が指すバッファは 6 バイトまたは 12 バイト短くなります)。extHdrConfig.bSkipAdvA が 1 で、extHdrInfo の AdvA ビットが 1 の場合、アドバタイザ アドレスはパラメータ構造内の pDeviceAddress が指すバッファから挿入されます。この場合、ヘッダの TxAdd ビットは、パラメータ構造の advConfig.deviceAddrType ビットから設定されます 。extHdrConfig.bSkipAdvA が 0 で、extHdrInfo の AdvA ビットが 1 の場合、ヘッダの TxAdd ビットは extHdrConfig.deviceAddrType から設定されます。extHdrInfo の AdvA ビットが 0 の場合、ヘッダの TxAdd ビットは 0 です。同様に、セカンダリ チャネル上のダイレクト アドバタイズ パケットでは、extHdrConfig.bSkipTargetA が 1 で、extHdrInfo の TargetA ビットが 1 の場合、ターゲット アドレスはパラメータ構造内の pWhiteList が指すバッファから挿入されます。この場合、ヘッダの RxAdd ビットは、パラメータ構造の advConfig.peerAddrType ビットから設定されます (pWhiteList の LSB が 1 の場合は、セクション 25.8.17 に記載されているとおり反転されます)。extHdrConfig.bSkipTargetA が 0 で、extHdrInfo の TargetA ビットが 1 の場合、ヘッダの RxAdd ビットは extHdrConfig.targetAddrType から設定されます。extHdrInfo の TargetA ビットが 0 の場合、ヘッダの RxAdd ビットは 0 です。

AUX_CONNECT_RSP パケットの場合、TargetA フィールドとヘッダの RxAdd ビットは、常に受信した AUX_CONNECT_REQ のアドレスから挿入されます。extHdrConfig.bSkipTargetA が 0 の場合、pExtHeader が指すバッファにはターゲット アドレスのプレースホルダを含める必要があります。一方、extHdrConfig.bSkipTargetA が 1 の場合、TargetA フィールドは省略する必要があります。

操作を終了するトリガは、pParams->endTrigger によって設定されます。このパラメータによって定義されたトリガが発生した場合、無線動作は完了するまで継続されますが、終了後のステータス コードは BLE_DONE_ENDED になり、結果は FALSE になります。これはたとえば、コマンド構造内の条件を使用して、次の連鎖動作に進む代わりに実行を停止するために使用できます。即時コマンド CMD_STOP を無線 CPU が受信した場合、終了後のステータス コードが CMD_DONE_STOPPED になる点を除き、終了トリガが発生した場合と同じ意味になります。

出力構造 pOutput には、実行中のコマンドに関する情報を示すフィールドが含まれています。無線 CPU はフィールドを初期化しないため、カウンタをリセットする必要があるときにシステム CPU がこれを行う必要があります。フィールドは、次のリストに示すように、無線機 CPU によって更新されます。このリストには、システム CPU で割り込みが発生するタイミングも示されています。

- ADV_EXT_IND、AUX_ADV_IND、または AUX_CHAIN_IND パケットが送信されると、nTxAdvInd がインクリメントされ、Tx_Done 割り込みが発生します。
- AUX_SCAN_RSP パケットが送信されると、その後 nTxScanRsp がインクリメントされ、Tx_Done 割り込みが発生します。
- AUX_CONNECT_RSP パケットが送信されると、その後 nTxConnectRsp がインクリメントされ、Tx_Done 割り込みが発生します。
- AUX_SCAN_REQ が CRC OK で受信され、bIgnore フラグがクリアされている場合、nRxScanReq がインクリメントされます。ペイロードの長さが 12 以下の場合、Rx_Empty 割り込みが発生します。ペイロードの長さが 12 を超えると、Rx_Ok 割り込みが発生します。
- AUX_CONNECT_REQ メッセージが CRC OK で受信され、bIgnore フラグがクリアされている場合、nRxConnectReq がインクリメントされ、Rx_OK 割り込みが発生します。
- CRC エラーのあるパケットが受信されると、nRxNok がインクリメントされ、Rx_Nok 割り込みが発生します。
- パケットが受信され、bIgnore フラグがセットされると、nRxIgnored がインクリメントされ、Rx_Ignored 割り込みが発生します。

Copyright © 2026 Texas Instruments Incorporated

- RX キューに収まらなかったパケットを受信すると、nRxBufFull がインクリメントされ、Rx_Buf_Full 割り込みが発生します。

Copyright © 2026 Texas Instruments Incorporated

- パケットが受信されると、lastRssi はそのパケットの RSSI に設定されます。
- パケットが受信されると、timeStamp はそのパケットの開始時刻のタイムスタンプに設定されます。AUX_CONNECT_REQ メッセージの場合、これは最初のパケットのアンカー ポイントを計算するために使用できます。
- RX キューの最初の RX データ エントリが、パケットを受信した後に状態を終了に変更した場合、Rx_Entry_Done 割り込みが発生します。

25.8.9.2 拡張アドバタイズ コマンド

拡張アドバタイズ動作は、CMD_BLE5_ADV_EXT コマンドによって開始されます。コマンド構造には、表 25-105 で定義されているタイプの pParams パラメータと、表 25-110 で定義されているタイプの pOutput パラメータが含まれます。この動作は、一つのプライマリ アドバタイズ チャネルで一パケットを送信する処理で構成されます。ADV_EXT_IND を送信した後、この動作は受信動作を実行せずに終了します。

拡張アドバタイズの操作は、表 25-139 に示すステータスのいずれかで終了するものとします。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。すべての場合に、Command_Done 割り込みが発生します。すべての場合に、TRUE、FALSE、または ABORT の結果が表示され、次のアクションが決定されます。

表 25-139. 拡張アドバタイズ操作の終了

条件	ステータス コード	結果
送信済み ADV_EXT_IND	BLE_DONE_OK	TRUE
観察されたトリガは pParams->endTrigger で示され、ADV_EXT_IND の送信が終了しました	BLE_DONE_ENDED	FALSE
CMD_STOP を確認した後、ADV_EXT_IND の送信を完了しました	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信しました	BLE_DONE_ABORT	ABORT
不正なパラメータ値	BLE_ERROR_PAR	ABORT
Aux ポインタのターゲット時刻に対応する Aux オフセットが、表現可能な値の範囲を超えています	BLE_ERROR_AUX	ABORT

25.8.9.3 2 次チャネル アドバタイザ コマンド

2 次チャネル アドバタイザ動作は、CMD_BLE5_ADV_AUX コマンドによって開始されます。コマンド構造には、表 25-106 で定義されているタイプの pParams パラメータと、表 25-110 で定義されているタイプの pOutput パラメータが含まれます。送信から動作が開始されます。

AUX_ADV_IND パケットが送信された後、送信されたパケットがスキャン可能であればレシーバを開始します。送信されたアドバタイズ パケットがスキャン可能な場合、レシーバは AUX_CONNECT_REQ メッセージを探します。送信されたアドバタイズ パケットが接続可能な場合、レシーバは AUX_SCAN_REQ メッセージを探します。

セクション 25.10.4.1 に示すように、AUX_SCAN_REQ または AUX_CONNECT_REQ メッセージが、pParams->pRxQ で指定された RX キューに受信されます。CRC の結果と受信したメッセージに応じて、bCrcErr ビットと bIgnore ビットが設定されます。メッセージ内の AdvA フィールドと受信ヘッダの TxAdd ビットを、それぞれ pParams->pDeviceAddress 配列および pParams->advConfig.deviceAddrType と比較して、そのメッセージがこのアドバタイザ宛てかどうかを確認します。受信した ScanA または InitA フィールドと、受信ヘッダの RxAdd ビットは、次のようにチェックされます。

- pParams->advConfig.bDirected が 1 の場合、ScanA または InitA は pParams->pWhiteList が指す単一のアドレスと照合され、RxAdd は pParams->advConfig.peerAddrType と照合されます
- pParams->advConfig.bDirected が 0 の場合、pParams->advConfig.advFilterPolicy で指定されるアドバタイズ フィルタ ポリシーに応じて、受信した ScanA または InitA フィールドと受信ヘッダの RxAdd ビットが、セクション 25.8.14 に記載されているとおり、ホワイトリストと照合されます。pParams->advConfig.rpaMode で指定される解決可能プライベート アドレス (RPA) モードが 0 以外の場合、ピア アドレスが解決可能プライベート アドレスであるかどうかを確認する追加チェックが実行されます。受信した TxAdd が 1 であり、受信した ScanA または InitA フィールドの最上位 2 ビットが 01b である場合、そのアドレスは解決可能なプライベート アドレス (RPA) です。その場合は、フィルタ ポリシーに関係なくホワイトリスト チェックが実行されます。

Copyright © 2026 Texas Instruments Incorporated

受信したパケットに応じて、実行される処理は表 25-140 および表 25-141 に示すとおりです。各処理の定義 (bCrcErr および bIgnore に使用される値を含む) は、表 25-142 に示されています。pParams->advConfig.bStrictLenFilter が 1 の場合、Bluetooth Low Energy 仕様に準拠した長さのフィールドのみが有効と見なされます。AUX_SCAN_REQ パケットの場合は長さフィールドが 12、AUX_CONNECT_REQ パケットの場合は長さフィールドが 34 であることを意味します。pParams->advConfig.bStrictLenFilter が 0 の場合、長さフィールドがアドバタイザ パケットの最大長 (255。ただし上書き可能) 以下である受信パケットは、すべて有効と見なされます。長さが無効な場合は、レシーバを停止します。

表 25-140. スキャン可能なアドバタイザで受信パケットに基づいて実行するアクション (extHdrInfo.advMode = 2) (1)

PDU のタイプ	CRC の結果	ダイレクト型	有効な長さ	AdvA の一致	フィルタ ポリシー	RPA モード	解決可能なプライベート アドレス	ScanA または InitA の一致	アクション番号
AUX_SCAN_REQ	OK	X	はい	いいえ	X	X	X	X	1
AUX_SCAN_REQ	OK	いいえ	はい	はい	2 または 3	X	X	いいえ	1
AUX_SCAN_REQ	OK	いいえ	はい	はい	2 または 3	X	X	はい	2
AUX_SCAN_REQ	OK	いいえ	はい	はい	0 または 1	0	X	X	2
AUX_SCAN_REQ	OK	いいえ	はい	はい	0 または 1	1	いいえ	X	2
AUX_SCAN_REQ	OK	いいえ	はい	はい	0 または 1	1	はい	いいえ	1
AUX_SCAN_REQ	OK	いいえ	はい	はい	0 または 1	1	はい	はい	2
AUX_SCAN_REQ	OK	はい	はい	はい	X	X	X	いいえ	1
AUX_SCAN_REQ	OK	はい	はい	はい	X	X	X	はい	2
AUX_SCAN_REQ	NOK	X	はい	X	X	X	X	X	3
AUX_SCAN_REQ	X	X	いいえ	X	X	X	X	X	5
その他	X	X	X	該当なし	X	X	該当なし	該当なし	5
受信パケットなし	該当なし	X	該当なし	該当なし	X	X	該当なし	該当なし	5

(1) X = 未使用。N/A = 該当なし。

表 25-141. 接続可能なアドバタイザで受信パケットに基づいて実行するアクション (extHdrInfo.advMode = 1) (1)

PDU のタイプ	CRC の結果	ダイレクト型	有効な長さ	AdvA の一致	フィルタ ポリシー	RPA モード	解決可能なプライベート アドレス	ScanA または InitA の一致	アクション番号
AUX_CONNECT_REQ	OK	X	はい	いいえ	X	X	X	X	1
AUX_CONNECT_REQ	OK	いいえ	はい	はい	2 または 3	X	X	いいえ	1
AUX_CONNECT_REQ	OK	いいえ	はい	はい	2 または 3	X	X	はい	4
AUX_CONNECT_REQ	OK	いいえ	はい	はい	0 または 1	0	X	X	4
AUX_CONNECT_REQ	OK	いいえ	はい	はい	0 または 1	1	いいえ	X	4
AUX_CONNECT_REQ	OK	いいえ	はい	はい	0 または 1	1	はい	いいえ	1
AUX_CONNECT_REQ	OK	いいえ	はい	はい	0 または 1	1	はい	はい	4
AUX_CONNECT_REQ	OK	はい	はい	はい	X	X	X	いいえ	1
AUX_CONNECT_REQ	OK	はい	はい	はい	X	X	X	はい	4
AUX_CONNECT_REQ	NOK	X	はい	X	X	X	X	X	3
AUX_CONNECT_REQ	X	X	いいえ	X	X	X	X	X	5
その他	X	X	X	該当なし	X	X	該当なし	該当なし	5
受信パケットなし	該当なし	X	該当なし	該当なし	X	X	該当なし	該当なし	5

(1) X = 未使用。N/A = 該当なし。

表 25-142. 受信パケットに対して実行するアクションの説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	BLE_DONE_OK ステータスで動作終了
2	0	0	AUX_SCAN_RSP メッセージを送信
3	1	0	BLE_DONE_RXERR ステータスで動作終了
4	0	0	AUX_CONNECT_RSP メッセージを送信
5	—	—	レシーバを直ちに停止し、BLE_DONE_NOSYNC ステータスで動作終了

Copyright © 2026 Texas Instruments Incorporated

長さが 12 以下の AUX_SCAN_REQ パケットを受信した場合、空のパケットと見なされます。これは、pParams->rxConfig.bAutoflushEmpty が 1 であり、bCrcErr と bIgnore が両方とも 0 である場合、パケットが RX バッファから削除されることを意味します。bIgnore または bCrcErr によってフラグが設定されたパケットも、pParams->rxConfig 内のビット設定に基づいて削除される場合があります。

受信されたパケットが RX キューに収まらなかった場合、パケットは最後まで受信されますが、受信されたバイトは保存されません。pParams->rxConfig のビットに基づいて、通常パケットが RX キューから廃棄されなかった場合、コマンドは終了します。

表 25-142 に従った次の処理が AUX_SCAN_RSP または AUX_CONNECT_RSP メッセージの送信である場合、無線 CPU は、セクション 25.8.9.1 に記載されているとおり、pParams->pRspPkt 内のディスクリプタからこのパケットを送信するためにトランスミッタを起動します。

2 次チャネル アドバタイザ動作は、表 25-143 に示すステータスのいずれかで終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。いずれの場合も、Command_Done 割り込みが発生します。各ケースでは TRUE、FALSE、または ABORT の結果が示され、その結果によって次の処理が決まります。

表 25-143. 2 次チャネル アドバタイザ動作の終了

条件	ステータス コード	結果
レシーバの実行後にアクション 1 を実行	BLE_DONE_OK	TRUE
アクション 2 を実行し、AUX_SCAN_RSP を送信	BLE_DONE_OK	TRUE
レシーバの実行後にアクション 3 を実行	BLE_DONE_RXERR	TRUE
アクション 4 を実行し、AUX_CONNECT_RSP を送信	BLE_DONE_CONNECT	FALSE
レシーバの実行後にアクション 5 を実行	BLE_DONE_NOSYNC	TRUE
pParams->endTrigger で示されるトリガを検出した後、アクション 1、2、3、または 5 を実行	BLE_DONE_ENDED	FALSE
CMD_STOP を確認した後、アクション 1、2、3、または 5 を実行	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信	BLE_DONE_ABORT	ABORT
受信したパケットを保存するための空きが RX バッファにない	BLE_ERROR_RXBUF	FALSE
不正なパラメータ	BLE_ERROR_PAR	ABORT
Aux ポインタのターゲット時刻から算出される Aux Offset が、数値として表現可能な範囲を超えている	BLE_ERROR_AUX	ABORT

25.8.10 スキャナ コマンド

スキャナ動作は、CMD_BLE_SCANNER または CMD_BLE5_SCANNER コマンドによって開始されます。コマンド構造には、表 25-99 または、表 25-107 で定義されたタイプの pParams パラメータと、表 25-99 または、表 25-113 で定義されたタイプの pOutput パラメータが含まれます。スキャナ動作の開始時に、無線 CPU は開始トリガを待ちます。その後、コマンド構造のチャネル パラメータに基づいて周波数をプログラムします。CMD_BLE_SCANNER の場合、チャネル パラメータはプライマリ アドバタイズ チャネルではないため、0 ～ 36 の範囲にすることはできません。
CMD_BLE5_SCANNER の場合、phyMode.mainMode で指定された PHY モードも設定します。無線 CPU は、アドバタイズ チャネルへのアクセス アドレスを設定し、CRC 初期化値 0x55 5555 を使用します。ホワイトナーは、ホワイトニング パラメータで定義されているように設定する必要があります。無線 CPU は受信先を設定します。

正しいチャネルに調整した後、無線 CPU はアドバタイズ チャネル パケットの待ち受けを開始します。復調器で同期が取れた場合、メッセージは RX キューに受信されます。ヘッダーがチェックされ、アドバタイズ パケットでない場合は受信を停止し、同期検索を再開します。受け入れられたパケットおよびそれ以降の動作は、実行中のコマンド、チャネル タイプ、および PHY モードによって異なります (セクション 25.8.10.1、セクション 25.8.10.2、および セクション 25.8.10.3 の説明を参照)。すべてのスキャナ コマンドは、セクション 25.8.10.5 の説明のように終了します。

Copyright © 2026 Texas Instruments Incorporated

25.8.10.1 スキャナがプライマリ チャネルでレガシー アドバタイズ パケットを受信

CMD_BLE_SCANNER を実行している場合、または 1Mbps PHY を持つプライマリ アドバタイズ チャネルで CMD_BLE5_SCANNER を実行している場合、レガシーアドバタイズパケット (ADV_IND、ADV_NONCONN_IND、ADV_SCAN_IND、ADV_DIRECT_IND) が受け入れられます。動作の説明は次のとおりです。

- CRC の結果と受信したメッセージに応じて、bCrcErr ビットと bIgnore ビットが設定されます。
- pParams->scanConfig.scanFilterPolicy で指定されるスキャン フィルタ ポリシーに応じて、メッセージの受信された AdvA フィールドと、受信されたヘッダの TxAdd ビットがホワイトリストに対してチェックされます (セクション 25.8.14 を参照)。pParams->scanConfig.rpaMode で指定された解決可能なプライベート アドレス (RPA) モードがゼロ以外の場合は、ピア アドレスが解決可能なプライベート アドレスであるかどうかを確認するために追加のチェックが行われます。
- 受信した TxAdd が 1 で、受信した AdvA フィールドの最上位 2 ビットが 01b の場合、そのアドレスは RPA です。その場合は、フィルタ ポリシーに関係なくホワイトリスト チェックが実行されます。AdvA のすべてのチェックは、表 25-144 に示されているとおりに実行されます。ADV_DIRECT_IND メッセージの場合、受信した TargetA フィールドと RxAdd ビットは、それぞれ pParams->pDeviceAddress と pParams->scanConfig.deviceAddrType に対してチェックされます。pParams->scanConfig.rpaFilterPolicy で指定された RPA フィルタ ポリシーが 1 の場合、InitA および RxAdd が RPA を示している場合はパケットも受け入れられます。表 25-145 に、ADV_DIRECT_IND メッセージのすべてのフィルタリングを示します。
- pParams->scanConfig.bActiveScan で通知される受信パケットとスキャンがアクティブかパッシブかに応じて、実行されるアクションは表 25-146 に示すとおりになります。ここでは、bCrcErr および bIgnore で使用される値を含む各アクションの定義を表 25-147 に示します。
- pParams->scanConfig.bStrictLenFilter が 1 の場合、Bluetooth Low Energy 仕様に準拠した長さフィールドのみが有効とみなされます。ADV_DIRECT_IND の場合、長さフィールドは 12 を、その他の ADV*_IND メッセージの場合、長さフィールドは 6～37 の範囲であることを意味します。
- pParams->advConfig.bStrictLenFilter が 0 の場合、アドバタイザ パケットの最大長 以下の長さのフィールドを持つ受信パケットはすべて有効とみなされます。長さが無効な場合は、レシーバを停止します。

表 25-144. 受信アドバタイザ アドレスのフィルタリング

フィルタ ポリシー	RPA モード	AdvA が RPA	AdvA がホワイトリスト エントリを bWIlgn = 1 と照合	AdvA がホワイトリスト エントリを bEnable=1 と照合	AdvA フィルタ結果	bAutoWIlgnore = 1 の場合は自動無視を実行
1	X	X	いいえ	なし	拒否	いいえ
1	X	X	いいえ	はい	承認	はい
1	X	X	はい	X	拒否	いいえ
0	0	X	いいえ	X	承認	いいえ
0	0	X	はい	X	拒否	いいえ
0	1	いいえ	なし	X	承認	いいえ
0	1	いいえ	はい	X	拒否	いいえ
0	1	はい	いいえ	なし	拒否	いいえ
0	1	はい	いいえ	はい	承認	はい
0	1	はい	はい	X	拒否	いいえ

表 25-145. ADV_DIRECT_IND パケットの受信イニシエータ アドレスのフィルタリング

RPA フィルタ ポリシー	TargetA が RPA	TargetA がデバイス アドレスと同一	TargetA 一致
0	X	いいえ	なし
0	X	はい	はい
1	いいえ	なし	なし
1	いいえ	はい	はい
1	はい	X	はい

Copyright © 2026 Texas Instruments Incorporated

表 25-146. スキャナが受信したパケットに対するアクション

PDU のタイプ	CRC の結果	AdvA フィルタ結果	TargetA 一致	アクティブ スキャン	アクション番号
ADV_IND	OK	拒否	該当なし	X	1
ADV_IND	OK	承認	該当なし	いいえ	2
ADV_IND	OK	承認	該当なし	はい	3
ADV_IND	NOK	X	該当なし	X	4
ADV_SCAN_IND	OK	拒否	該当なし	X	1
ADV_SCAN_IND	OK	承認	該当なし	いいえ	2
ADV_SCAN_IND	OK	承認	該当なし	はい	3
ADV_SCAN_IND	NOK	X	該当なし	X	4
ADV_NONCONN_IND	OK	拒否	該当なし	X	1
ADV_NONCONN_IND	OK	承認	該当なし	X	2
ADV_NONCONN_IND	NOK	X	該当なし	X	4
ADV_DIRECT_IND	OK	拒否	X	X	1
ADV_DIRECT_IND	OK	承認	いいえ	X	1
ADV_DIRECT_IND	OK	承認	はい	X	2
ADV_DIRECT_IND	NOK	X	X	X	4
無効な長さの ADV*_IND	X	X	X	X	5
その他 (セクション 25.8.10.2 も参照)	X	X	該当なし	X	5

表 25-147. スキャナが受信したパケットに対して実行するアクションの説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	スキャンを続行する
2	0	0	BLE_DONE_OK ステータスでスキャンを続行するか、動作を終了する
3	0	0	バックオフ手続きを実行し、該当する場合は SCAN_REQ を送信して SCAN_RSP を受信する。その後、スキャンを続行するか、動作を終了する
4	1	0	スキャンを続行する
5	—	—	パケットの受信を停止して、スキャンを続行する

受信したパケットが RX キューに収まらなかった場合、そのパケットは最後まで受信されますが、受信したバイトは保存されません。通常、パケットが RX バッファから破棄されない場合は、動作を終了します。

受信したパケットからのアクションが 3 の場合、バックオフ手順の後、許可されていれば SCAN_REQ メッセージが送信されます。この手順は、pParams->backoffCount のデクリメントから始まります。デクリメント後にこの変数が 0 になると、SCAN_REQ メッセージが送信されます。そうでない場合は、動作が終了します。

受信したパケットからのアクションが 2 または 3 の場合、次のアクションはスキャンを続行するか、動作を終了します。これは pParams->scanConfig.bEndOnRpt で設定されます。1 の場合、動作は終了し、それ以外の場合はスキャンが続行されます。

SCAN_REQ メッセージを送信する場合、無線 CPU はこのパケットを構成します。ヘッダでは、PDU Type ビットは 0011b になります。TxAdd ビットは、pParams->scanConfig.deviceAddrType のようになります (pParams->pDeviceAddress の最下位ビットが 1 の場合、TxAdd ビットは反転されます。セクション 25.8.17 を参照してください)。RxAdd ビットは、受信した ADV_IND または ADV_SCAN_IND メッセージのヘッダの TxAdd フィールドと同じになります。長さは、スキャン要求データのサイズから計算されます。つまり、pParams->scanReqLen + 12 となります。ChSel ビットと RFU ビットは 0 でなければなりません。ペイロードは 6 バイトのデバイス アドレスで開始されます。このアドレスは pParams->pDeviceAddress から読み取られ、その後に、受信メッセージの AdvA フィールドから読み取られた 6 バイトのピア アドレスが続きます。Bluetooth Low Energy 仕様では、ペイロードはこれ以上ありませんが、CMD_BLE_SCANNER コマンドを使用する場合、pParams->scanReqLen をゼロ以外の値に設定することにより非準拠メッセージを作成できます。その場合は、pParams->pScanData バッファから残りのペイロードを読み取る必要があります。

Copyright © 2026 Texas Instruments Incorporated

SCAN_REQ メッセージが送信された後、無線 CPU は受信機を設定し、SCAN_REQ が送信されたアドバタイズ機から SCAN_RSP を検索します。復調器で同期が取得された場合、ヘッダは受信され次第チェックされ、それが SCAN_RSP メッセージではない場合は、復調器は直ちに停止されなければなりません。SCAN_RSP メッセージの場合は、RX キューに受信されます。受信した SCAN_RSP メッセージに応じて、bCrcErr および bIgnore の値は表 25-148 に示すとおりになります。pParams->scanConfig.bStrictLenFilter が 1 の場合、Bluetooth Low Energy 仕様に準拠した長さフィールドのみが有効とみなされます。SCAN_RSP の場合、これは 6 ～ 37 の範囲の長さのフィールドを意味します。pParams->scanConfig.bStrictLenFilter が 0 の場合、アドバタイザ パケットの最大長 以下の長さのフィールドを持つ受信パケットはすべて有効とみなされます。長さが無効な場合は、レシーバを停止します。

表 25-148. SCAN_REQ の送信後にスキャナが受信したパケットに対するアクション

PDU のタイプ	CRC の結果	AdvA はリクエストと同じ	bCrcErr	bIgnore	応答パケットの結果
SCAN_RSP	OK	いいえ	0	1	失敗
SCAN_RSP	OK	はい	0	0	成功
SCAN_RSP	NOK	X	1	0	失敗
無効な長さの SCAN_RSP	X	X	—	—	失敗
その他	X	該当なし	—	—	失敗
受信パケットなし	該当なし	該当なし	—	—	失敗

SCAN_RSP を受信した後、または受信を試みた後、表 25-148 の「Response Packet Result」列に示されている結果とバックオフ パラメータの古い値に基づいて、セクション 25.8.15 で説明されているように、無線 CPU によってバックオフ パラメータが更新されなければなりません。

pParams->scanConfig.bAutoWlIgnore が 1 の場合、自動無視機能が有効になります。表 25-154 の右端の列に記載されている場合、無線機 CPU は、ADV*_IND メッセージを受信したアドレスに対応するホワイトリストエントリの bWlIgn ビットを自動的に設定します。これは、アクション 2 が実行された後、またはアクション 3 が実行され、結果が成功した SCAN_RSP を受信した後に実行されます。これを使用すると、同じデバイスから複数の広告メッセージが報告されないようにしたり、同じデバイスを繰り返しスキャンしたりしないようにすることができます。

25.8.10.2 プライマリ チャネルで拡張広告パケットを受信するスキャナ

プライマリ広告チャネルで次の AuxPtr の前に CMD_BLE5_SCANNER を実行している場合、プライマリ チャネル上の拡張広告パケット (ADV_EXT_IND) が受け入れられます。

CRC の結果と受信したメッセージに応じて、bCrcErr ビットと bIgnore ビットが設定されます。拡張ヘッダ フラグが AdvA が存在することを示している場合は、メッセージの受信した AdvA フィールドと、受信したヘッダの TxAdd ビットがホワイトリストに対してチェックされます (セクション 25.8.14 を参照)。pParams->scanConfig.rpaMode で指定される解決可能プライベート アドレス (RPA) モードがゼロではない場合、ピア アドレスが解決可能プライベート アドレスであるかどうかを確認するための追加チェックが実行されます。受信した TxAdd が 1 であり、かつ受信した AdvA フィールドの最上位二ビットが 01b の場合、そのアドレスは RPA です。その場合は、フィルタ ポリシーに関係なくホワイトリスト チェックが実行されます。AdvA の完全なチェックは、表 25-144 に示すように実行されます。ただし、ホワイトリストに設定された bWlIgn ビットに対するルールは、拡張ヘッダに ADI フィールドが存在せず、pParams->extFilterConfig.bApplyDuplicateFiltering が 1 の場合にのみ適用されます。ADI の結果は、セクション 25.8.10.4 の説明に示されています。AdvA が存在しないことを拡張ヘッダ フラグが示している場合、AdvA フィルタの結果は常に「承認」になります。拡張ヘッダ フラグによって TargetA が存在することが示されている場合 (つまり、そのパケットが指向性パケットである場合)、受信した TargetA フィールドおよび RxAdd ビットが、それぞれ pParams->pDeviceAddress および pParams->scanConfig.deviceAddrType と照合されます。pParams->scanConfig.rpaFilterPolicy で指定される RPA フィルタポリシーが 1 の場合、TargetA および RxAdd が RPA を示しているパケットも受け入れられます。ダイレクト メッセージの完全なフィルタリングについては、表 25-145 を参照してください。無指向性メッセージは常に TargetA と一致します。受信したパケットに応じて、実行されるアクションは、表 25-149 に示すとおりになります。各アクション (bCrcErr および bIgnore で使用される値を含む) の定義は、表 25-150 で指定されています。受信した ADV_EXT_IND パケットのパケット長はデフォルトで常に有効ですが、ファームウェアの定義パラメータ maxAdvExtLen を無効にすることで最大長を構成できます。さらに、拡張ヘッダ長とフラグ

Copyright © 2026 Texas Instruments Incorporated

が確認されます。拡張ヘッダ長が大きすぎて拡張ヘッダがパケットに収まらない場合、または構成内容を保持するには小さすぎる場合、その長さは無効です。pParams->scanConfig.bStrictLenFilter が 1 の場合、定義済みのすべてのフィールドが考慮されます。pParams->scanConfig.bStrictLenFilter が 0 の場合、CPE が自動的に確認しないフィールド (SyncInfo および TxPower) は、許容される最小拡張ヘッダ長の検索時に無視されます。

表 25-149. スキャナによる受信した拡張アドバタイザ パケットへの処理

PDU のタイプ	CRC の結果	AdvA フィルタの結果	TargetA 一致	ADI の結果	AuxPtr が存在	アクション番号
ADV_EXT_IND	OK	拒否	X	X	X	1
ADV_EXT_IND	OK	承認	なし	X	X	1
ADV_EXT_IND	OK	承認	あり	拒否	X	1
ADV_EXT_IND	OK	承認	あり	承認	なし	2
ADV_EXT_IND	OK	承認	あり	承認	あり	6
ADV_EXT_IND	NOK	X	X	X	X	4
長さが無効な ADV_EXT_IND	X	X	X	X	X	5
その他 (セクション 25.8.10.1 も参照)	X	X	X	X	X	5

表 25-150. イニシエータが 拡張アドバタイザ パケットの受信時に実行するアクションの説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	スキャンを続行
2	0	0	スキャンを継続するか、または BLE_DONE_OK ステータスで動作を終了
4	1	0	スキャンを続行
5	—	—	パケットの受信を停止してからスキャンを続行
6	0	0	補助ポインタに従い新しいチャネルで受信、または BLE_DONE_AUX で動作を終了

受信したパケットが RX キューに収まらなかった場合、そのパケットを最後まで受信しますが、受信したバイトは保存されません。パケットが正常に RX バッファから廃棄されなかった場合、動作が終了します。

受信したパケットに対するアクションが 2 の場合、次の動作はスキャンを継続するか、または動作を終了するかのいずれかになります。この動作は pParams->scanConfig.bEndOnRpt によって制御されます。1 に設定されている場合は動作を終了し、それ以外の場合はスキャンを継続します。

pParams->extFilterConfig.bAutoWlIgnore が 1 の場合、自動無視機能が有効になります。表 25-144 の最右列に示された条件に該当し、かつ拡張ヘッダ内に ADI フィールド が存在しない場合、無線 CPU はその後、自動的に ADV_EXT_IND メッセージを受信した送信元アドレスに対応するホワイトリスト エントリの bWlIgn ビット をセットする必要があります。これは、アクション 2 の実行後、またはアクション 6 を実行する直前に行われます。これは、同じデバイスからの複数の広告メッセージが繰り返し報告されるのを防ぎ、同じデバイスを繰り返しスキャンすることを回避するために使用できます。

受信パケットからのアクションが 6 の場合、無線 CPU はセクション 25.8.16 の手順に従います。これにより、レシーバはセクション 25.8.10.3 に記載されているとおりセカンダリ アドバタイズパケットの受信を試みるか、または BLE_DONE_AUX ステータスで動作を終了します。

25.8.10.3 セカンダリチャネルで拡張広告パケットを受信するスキャナ

セカンダリ チャネル上の拡張アドバタイジング パケット (AUX_ADV_IND および AUX_CHAIN_IND) は、CMD_BLE5_SCANNER がセカンダリ アドバタイジング チャネルで動作している場合、または AuxPtr を追跡している場合に受信対象として受け付けられます。

CRC の結果と受信したメッセージに応じて、bCrcErr ビットと bIgnore ビットが設定されます。pParams->scanConfig.scanFilterPolicy で指定されたスキャン フィルタ ポリシーに応じて、受信したメッセージ内の AdvA フィールドと受信ヘッダの TxAdd ビットが、ホワイトリストと照合されます (セクション 25.8.14 を参照)。pParams-

Copyright © 2026 Texas Instruments Incorporated

>scanConfig.rpaMode で指定される解決可能プライベート アドレス (RPA) モードがゼロではない場合、ピア アドレスが解決可能プライベート アドレスであるかどうかを確認するための追加チェックが実行されます。受信した TxAdd が 1 であり、かつ受信した AdvA フィールドの最上位二ビットが 01b の場合、そのアドレスは RPA です。その場合は、フィルタ ポリシーに関係なくホワイトリスト チェックが実行されます。AdvA の完全なチェックは、表 25-154 に示すように実行されます。ただし、ホワイトリストに bWIIgn ビットが設定されているエントリは、拡張ヘッダに ADI フィールドが存在せず、pParams->extFilterConfig.bApplyDuplicateFiltering が 1 の場合にのみ考慮されます。ADI の結果は、セクション 25.8.10.4 の説明に示されています。拡張ヘッダ フラグによって TargetA が存在することが示されている場合 (つまり、そのパケットが指向性パケットである場合)、受信した TargetA フィールドおよび RxAdd ビットが、それぞれ pParams->pDeviceAddress および pParams->scanConfig.deviceAddrType と照合されます (セクション 25.8.17 も参照)。pParams->scanConfig.rpaFilterPolicy で指定される RPA フィルタポリシーが 1 の場合、TargetA および RxAdd が RPA を示しているパケットも受け入れられます。ダイレクト メッセージの完全なフィルタリングについては、表 25-145 を参照してください。無指向性メッセージは常に TargetA と一致します。受信したパケットの種類と、スキャンがアクティブかパッシブか (pParams->scanConfig.bActiveScan で示されます) に応じて、実行される処理は表 25-151 に示すとおりです。各処理の内容、および bCrcErr と bIgnore に設定される値については、表 25-152 で定義されています。受信された AUX_ADV_IND または AUX_CHAIN_IND パケットのパケット長はデフォルトで常に有効ですが、ファームウェアで定義されたパラメータ maxAdvExtLen をオーバーライドすることで、最大長を設定することもできます。さらに、拡張ヘッダ長とフラグが確認されます。拡張ヘッダ長が大きすぎて拡張ヘッダがパケットに収まらない場合、または構成内容を保持するには小さすぎる場合、その長さは無効です。pParams->scanConfig.bStrictLenFilter が 1 の場合、定義済みのすべてのフィールドが考慮されます。pParams->scanConfig.bStrictLenFilter が 0 の場合、CPE が自動的に確認しないフィールド (SyncInfo および TxPower) は、許容される最小拡張ヘッダ長の検索時に無視されます。

表 25-151. スキャナによるセカンダリ チャネル受信パケットへの処理

PDU のタイプ	AdvMode	CRC の結果	AdvA フィルタの結果	TargetA 一致	ADI の結果	AuxPtr が存在	アクティブ スキャン	アクション番号
AUX_ADV_IND	X	OK	拒否	X	X	X	X	1
AUX_ADV_IND	X	OK	承認	なし	X	X	X	1
AUX_ADV_IND	X	OK	承認	あり	拒否	X	X	1
AUX_ADV_IND	00	OK	承認	あり	承認	なし	X	2
AUX_ADV_IND	00	OK	承認	あり	承認	あり	X	6
AUX_ADV_IND	01、11	OK	承認	あり	承認	X	X	2
AUX_ADV_IND	10	OK	承認	あり	承認	X	なし	2
AUX_ADV_IND	10	OK	承認	あり	承認	X	あり	3
AUX_ADV_IND	X	NOK	X	X	X	X	X	4
長さが無効な AUX_ADV_IND	X	X	X	X	X	X	X	5
その他	X	X	X	X	X	X	X	5

表 25-152. スキャナが受信する セカンダリ チャネルのパケットに対して実行する処理の説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	BLE_DONE_RXERR ステータスで動作を終了
2	0	0	BLE_DONE_OK ステータスで動作を終了します
3	0	0	バックオフ手順を実行し、必要に応じて AUX_SCAN_REQ を送信して AUX_SCAN_RSP を受信します。その後、動作を終了
4	1	0	BLE_DONE_RXERR ステータスで動作を終了
5	—	—	パケットの受信を停止してからスキャンを続行
6	0	0	補助ポインタに従い新しいチャネルで受信、または BLE_DONE_AUX で動作を終了

Copyright © 2026 Texas Instruments Incorporated

受信したパケットが RX キューに収まらなかった場合、そのパケットを最後まで受信しますが、受信したバイトは保存されません。パケットが正常に RX バッファから廃棄されなかった場合、動作が終了します。

受信パケットに対する処理が 3 の場合、バックオフ処理を実行した後、条件が許せば AUX_SCAN_REQ を送信します。この手順は、pParams->backoffCount をデクリメントすることから始まります。この変数をデクリメントした結果、その値が 0 になった場合は、AUX_SCAN_REQ を送信します。そうでない場合は、動作を終了します。

AUX_SCAN_REQ を送信する際、無線 CPU はこのパケットを生成します。ヘッダでは、PDU Type ビットは 0011b になります。TxAdd ビットは、pParams->scanConfig.deviceAddrType の設定に従います (ただし、pParams->pDeviceAddress の最下位ビットが 1 の場合は、TxAdd ビットを反転します。詳細についてはセクション 25.8.17 を参照してください)。RxAdd ビットは、受信した AUX_ADV_IND メッセージのヘッダにある TxAdd フィールドの値に従って設定されます。長さは 12 とします。ChSel ビットと RFU ビットは 0 であるものとします。ペイロードは、pParams->pDeviceAddress から読み出した 6 バイトのデバイス アドレスで始まり、その後に、受信メッセージの AdvA フィールドから読み出した 6 バイトのピア アドレスが続きます。

AUX_SCAN_REQ メッセージが送信された後、無線 CPU はレシーバを設定し、AUX_SCAN_RSP を探します。パケットは表 25-151 からのルールを使用して受信されますが、アクション 3 は実行されず、アクション 2 は代わりに実行され、この場合のアクション 5 は BLE_DONE_NOSYNC ステータスで終了動作です。これは、最初の AUX_ADV_IND パケットとは異なる AdvA を持つパケットであっても、受け入れられる可能性があることを意味します。この問題を修正するには、システム CPU でチェックを行うか、パッチを検討することができます。

AUX_SCAN_RSP を受信または受信しようとした後、バックオフ パラメータは、表 25-148 の「応答パケット結果」列に記載されている結果と、バックオフ パラメータの古い値に基づいて、無線 CPU によって更新されます。

受信パケットからのアクションが 6 の場合、無線 CPU はセクション 25.8.16 の手順に従います。これにより、レシーバはこのセクションで説明されているとおりセカンダリ アドバタイズ パケットの受信を試みるか、またはステータス BLE_DONE_AUX を設定して動作を終了します。

25.8.10.4 ADI フィルタリング

受信した拡張アドバタイズ パケットに拡張ヘッダに AdvDataIndex フィールドが含まれ、pParams->extFilterConfig.bCheckAdi が 1 の場合、AdvDataIndex フィールドは pParams->pAdiList で指定されたリストのエントリと照合されます。このリストは、表 25-119 で定義されているタイプの 16 エントリで構成されます。

AdvDataIndex フィールドは、広告セット ID (SID) と広告データ ID (DID) フィールドで構成されます。リストに対してチェックを行う場合は、受信した SID で指定されたインデックスを持つエントリが使用されます。このエントリのモード フィールドが最初にチェックされます。0 の場合、この DID にはフィルタリングは使用されず、ADI が受け入れられます。モードが 2 の場合、ADI は常に拒否されます。モードが 1 の場合、受信した DID はエントリの advDataId フィールドと比較してチェックされます。そ等しい場合、ADI は拒否され、それ以外の場合は受け入れられます。

パケットが CRC OK で受信され、無視されず、バッファがいっぱいにならず、pParams->extFilterConfig.bCheckAdi と pParams->extFilterConfig.bAutoAdiUpdate の両方が 1 の場合、無線機の CPU は ADI リストを自動的に更新します。次に、受信した DID フィールドを、受信した SID によって指定されたエントリの advDataId フィールドにコピーします。

注

モードが 0 の場合、コピーは実行されますが、モードは自動的に変更されません。同じ DID を持つ将来のパケットは無視され、モードはシステム CPU によって変更される必要があります。

Copyright © 2026 Texas Instruments Incorporated

25.8.10.5 スキャナ コマンドの終了

操作を終了する二つのトリガは、pParams->endTrigger/pParams->endTime および pParams->timeoutTrigger/pParams->timeoutTime でそれぞれ設定されます。トリガの動作は次のとおりです。

- アドバタイザ パケットとの同期を待機している間にタイムアウト トリガが発生した場合、その動作は直ちに終了します
- プライマリ チャネルで動作中に、これ以外のタイミングでタイムアウト トリガが発生した場合、その動作は本来プライマリ チャネルでのスキャンが再開される時点まで継続され、その後終了します。
- 補助ポインタが続くと、タイムアウト トリガ (過去または未来) は無視されます。
- アドバタイザ パケットとの同期を待機している間に終了トリガが発生した場合、その動作は直ちに終了します。
- 終了トリガがそれ以外のタイミングで発生した場合、動作は Aux ポインタに従う時点、または本来プライマリ チャネルでのスキャンが再開される時点まで継続され、その後終了します。

無線 CPU が即時コマンド CMD_STOP を受信した場合、その意味は終了トリガが発生した場合と同じです。ただし、終了後のステータス コードは CMD_DONE_STOPPED となります。通常、timeoutTrigger はスキャン ウィンドウの終了時に使用でき、endTrigger はスキャンそのものを完全に終了する場合に使用できます。

出力構造体 pOutput には、実行中のコマンドに関する情報を示すフィールドが含まれています。無線 CPU はこれらのフィールドを初期化しないため、カウンタをリセットしたい場合は、システム CPU がこれを行うものとします。フィールドは、以下に説明するように無線 CPU によって更新される必要があります。このリストは、システム CPU で割り込みが発生するタイミングも示します。

- SCAN_REQ または AUX_SCAN_REQ パケットが送信されると、nTxScanReq (CMD_BLE_SCANNER) または nTxReq (CMD_BLE5_SCANNER) がインクリメントされ、Tx_Done 割り込みが発生します。
- バックオフ処理により SCAN_REQ または AUX_SCAN_REQ が送信されなかった場合、nBackedOffScanReq (CMD_BLE_SCANNER) または nBackedOffReq (CMD_BLE5_SCANNER) がインクリメントされます
- *ADV*_IND パケットまたは AUX_CHAIN_IND パケットが CRC OK で受信され、かつ bIgnore フラグがクリアされている場合、nRxAdvOk がインクリメントされ、Rx_Ok 割り込みが発生し、さらに timeStamp にはパケット開始時刻のタイムスタンプが設定されます。
- *ADV*_IND パケットまたは AUX_CHAIN_IND パケットが CRC OK で受信され、かつ bIgnore フラグがセットされている場合、nRxAdvIgnored がインクリメントされ、Rx_Ignored 割り込みが発生します。
- *ADV*_IND または AUX_CHAIN_IND パケットを CRC エラーありで受信した場合、nRxAdvNok がインクリメントされ、Rx_Nok 割り込みが発生します。
- *ADV*_IND または AUX_CHAIN_IND パケットが受信され、RX キューに収まらなかった場合、nRxAdvBufFull がインクリメントされ、Rx_Buf_Full 割り込みが発生します。
- SCAN_RSP パケットまたは AUX_SCAN_RSP パケットが CRC OK で受信され、かつ bIgnore フラグがクリアされている場合、nRxScanRspOk (CMD_BLE_SCANNER) または nRxRspOk (CMD_BLE5_SCANNER) がインクリメントされ、Rx_Ok 割り込みが発生します。
- SCAN_RSP パケットまたは AUX_SCAN_RSP パケットが CRC OK で受信され、かつ bIgnore フラグがセットされている場合、nRxScanRspIgnored (CMD_BLE_SCANNER) または nRxRspIgnored (CMD_BLE5_SCANNER) がインクリメントされ、Rx_Ignored 割り込みが発生します。
- SCAN_RSP または AUX_SCAN_RSP パケットが受信され、CRC エラーが発生した場合、nRxScanRspNok (CMD_BLE_SCANNER) または nRxRspNok (CMD_BLE5_SCANNER) がインクリメントされ、Rx_Nok 割り込みが発生します。
- SCAN_RSP または AUX_SCAN_RSP パケットが受信され、RX キューに収まらなかった場合、nRxScanRspBufFull (CMD_BLE_SCANNER) または nRxRspBufFull (CMD_BLE5_SCANNER) がインクリメントされ、Rx_Buf_Full 割り込みが発生します。
- パケットを受信すると、lastRssi はそのパケットの RSSI に設定されます。
- パケット受信後に RX キューの最初の RX データ エントリの状態が「終了」に変化すると、Rx_Entry_Done 割り込みが発生します。

Copyright © 2026 Texas Instruments Incorporated

スキャナ操作は、表 25-153 に示すいずれかのステータスで終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。すべての場合に、Command_Done 割り込みが発生します。すべての場合に、TRUE、FALSE、または ABORT の結果が表示され、次のアクションが決定されます。

表 25-153. スキャナ動作の終了

条件	ステータス コード	結果
pParams->scanConfig.bEndOnRpt = 1 でアクション 2 を実行したか、セカンダリ チャネルで受信した場合	BLE_DONE_OK	TRUE
pParams->scanConfig.bEndOnRpt = 1 またはセカンダリ チャネルでアクション 3 を実行し、バックオフのため SCAN_REQ または AUX_SCAN_REQ を送信しませんでした	BLE_DONE_OK	TRUE
pParams->scanConfig.bEndOnRpt = 1 の設定でアクション 3 を実行した場合、またはセカンダリ チャネル上で実行した場合に、SCAN_REQ または AUX_SCAN_REQ を送信し、bCrcErr = 0 かつ bIgnore = 0 の SCAN_RSP または AUX_SCAN_RSP を受信しました	BLE_DONE_OK	TRUE
セカンダリ チャネルでアクション 1 またはアクション 4 を実行	BLE_DONE_RXERR	TRUE
pParams->scanConfig.bEndOnRpt = 1 またはセカンダリ チャネルでアクション 3 を実行し、SCAN_REQ または AUX_SCAN_REQ を送信し、bCrcErr = 1 および bIgnore = 1 の SCAN_RSP または AUX_SCAN_RSP を受信しました	BLE_DONE_RXERR	TRUE
アクション 3 を実行し、pParams->scanConfig.bEndOnRpt = 1 が設定されていた、またはセカンダリ チャネル上で動作しており、SCAN_REQ または AUX_SCAN_REQ を送信したものの、同期が確立できなかったか、不正なパケット種別を受信したか、あるいはパケット長が無効でした	BLE_DONE_NOSYNC	TRUE
アドバタイザ パケットでの同期待機中に pParams->timeoutTrigger が示すトリガを観測済み	BLE_DONE_RXTIMEOUT	TRUE
プライマリ チャネル上で pParams->timeoutTrigger によって指定されたトリガを検出し、その後アクション 1、2、3、4、または 5 を実行。	BLE_DONE_RXTIMEOUT	TRUE
アドバタイザ パケットでの同期待機中に pParams->endTrigger が示すトリガを観測済み	BLE_DONE_ENDED	FALSE
pParams->endTrigger が示すトリガを監視し、アクション 1、2、3、4、5、または 6 を実行。	BLE_DONE_ENDED	FALSE
アドバタイザ パケットでの同期待機中に CMD_STOP を観測済み	BLE_DONE_STOPPED	FALSE
CMD_STOP を観測し、アクション 1、2、3、4、5、または 6 を実行。	BLE_DONE_STOPPED	FALSE
pParams->maxWaitTimeForAuxCh を超える AUX パケットの待機時間でアクション 6 を実行済み。	BLE_DONE_AUX	FALSE
CMD_ABORT を受信しました	BLE_DONE_ABORT	ABORT
受信したパケットを格納する RX バッファに空きがありません	BLE_ERROR_RXBUF	FALSE
チャネルの値が正しくありません	BLE_ERROR_PAR	ABORT
スキャン要求データ長フィールドの値が正しくありません	BLE_ERROR_PAR	ABORT

25.8.11 イニシエータ コマンド

イニシエータ動作は、CMD_BLE_INITIATOR コマンドまたは CMD_BLE5_INITIATOR コマンドによって開始されます。コマンド構造には、表 25-100 または表 25-108 で定義されたタイプの pParams パラメータと、表 25-100 または表 25-113 で定義されたタイプの pOutput パラメータが含まれます。イニシエータ動作の開始時に、無線 CPU は開始トリガを待機します。その後、コマンド構造体のチャネル パラメータに基づいて周波数を設定します。CMD_BLE_INITIATOR の場合、チャネル パラメータに 0 ～ 36 の範囲の値を指定することはできません。これらはプライマリ アドバタイズチャネルではないためです。CMD_BLE5_INITIATOR の場合は、phyMode.mainMode で指定された PHY モードも設定します。無線機 CPU は、アドバタイズ チャネル アクセス アドレスを設定し、CRC 初期化値 0x55 5555 を使用します。ホワイトナは、ホワイトニング パラメータで定義されているように設定する必要があります。無線 CPU はレシーバを設定するものとします。

正しいチャネルに調整した後、無線 CPU はアドバタイズ チャネル パケットのリッスンを開始します。復調器で同期が確立されると、メッセージは RX キューに受信されます。ヘッダがチェックされ、接続可能なアドバタイズ パケットでない場合は

Copyright © 2026 Texas Instruments Incorporated

受信を停止し、同期検索を再開します。受け入れられるパケットおよびそれ以降の動作は、コマンド実行、チャネル タイプおよび PHY モードによって異なります。

25.8.11.1 プライマリチャネル上で従来の広告パケットを受信するイニシエータ動作

従来のアドバタイズ パケット (ADV_IND および ADV_DIRECT_IND) は、CMD_BLE_INITIATOR または CMD_BLE5_INITIATOR がプライマリ アドバタイズ チャネル上で 1Mbps PHY を使用して実行されている場合に受信可能です。動作は以下のリストに示すとおりです。

- CRC の結果と受信したメッセージに応じて、bCrcErr ビットと bIgnore ビットが設定されます。
- パラメータ pParams->initConfig.bUseWhiteList は、イニシエータが特定のデバイスに接続、またはホワイトリストに接続するかを決定します。このパラメータが 0 の場合、ホワイトリストは使用されず、pParams->pWhiteList は接続先のデバイスのデバイス アドレスのみを含むバッファを指します。
- ピアのアドレス タイプは、pParams->advConfig.peerAddrType で指定します (セクション 25.8.17 も参照)。それ以外の場合、pParams->pWhiteList はホワイトリストを指し、受信したメッセージの AdvA フィールドと、受信したヘッダの TxAdd ビットがホワイトリストで確認されます (セクション 25.8.14 で説明)。
- フィルタリングについては、表 25-154 にまとめられています。
- ADV_DIRECT_IND メッセージの場合、受信した TargetA フィールドと RxAdd ビットは、それぞれ pParams->pDeviceAddress および pParams->initConfig.deviceAddrType に対してチェックされます (セクション 25.8.17 も参照)。これに応じて、実行されるアクションは表 25-155 に記載されているとおりになります。ここでは、各アクションの定義 (bCrcErr および bIgnore で使用される値を含む) が表 25-156 に記載されています。
- pParams->initConfig.bStrictLenFilter が 1 の場合、Bluetooth Low Energy 仕様に準拠した長さのフィールドのみが有効とみなされます。
- ADV_DIRECT_IND の場合、長さフィールドが 12 で、ADV_IND メッセージの場合、長さフィールドが 6 ～ 37 の範囲であることを意味します。
- pParams->initConfig.bStrictLenFilter が 0 の場合、アドバタイズ パケットの最大長以下の長さフィールドを持つ受信パケットはすべて有効とみなされます。長さが無効な場合は、レシーバを停止します。

表 25-154. 受信したアドバタイズ アドレスに対するフィルタリング

bUseWhiteList	AdvA は特定のピアアドレスと一致します	AdvA は bEnable = 1 のホワイトリスト エントリと一致します	AdvA は bIrkValid = 1 のホワイトリスト エントリと一致します	AdvA フィルタの結果
0	なし	該当なし	該当なし	拒否
0	あり	該当なし	該当なし	承認
1	該当なし	なし	X	拒否
1	該当なし	あり	なし	承認
1	該当なし	あり	あり	拒否

表 25-155. イニシエータによる受信パケットに対する動作

PDU のタイプ	CRC の結果	AdvA フィルタの結果	TargetA 一致	アクション番号
ADV_IND	OK	拒否	該当なし	1
ADV_IND	OK	承認	該当なし	3
ADV_IND	NOK	X	該当なし	4
ADV_DIRECT_IND	OK	拒否	X	1
ADV_DIRECT_IND	OK	承認	なし	1
ADV_DIRECT_IND	OK	承認	あり	3
ADV_DIRECT_IND	NOK	X	X	4
長さが無効な ADV*_IND	X	X	X	5

Copyright © 2026 Texas Instruments Incorporated

表 25-155. イニシエータによる受信パケットに対する動作 (続き)

PDU のタイプ	CRC の結果	AdvA フィルタの結果	TargetA 一致	アクション番号
その他 (セクション 25.8.11.2 も参照)	X	該当なし	該当なし	5

表 25-156. イニシエータが受信したパケットに対して実行するアクションの説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	スキャンを続行
3	0	0	CONNECT_IND と end 動作を送信
4	1	0	スキャンを続行
5	—	—	パケットの受信を停止してからスキャンを続行

受信したパケットが RX キューに収まらなかった場合、そのパケットを最後まで受信しますが、受信したバイトは保存されません。パケットが正常に RX バッファから廃棄されなかった場合、動作が終了します。

受信パケットのアクションが 2 の場合、CONNECT_IND (「関連文書」で列挙されている Bluetooth 4.0、4.1、4.2 仕様では CONNECT_REQ と呼ばれる) パケットを送信するものとします。CONNECT_IND を送信する場合、無線機 CPU はこのパケットを構成します。ヘッダでは、PDU Type ビットは 0101b になります。TxAdd ビットは、pParams->initConfig.deviceAddrType の設定に従います (ただし、pParams->pDeviceAddress の最下位ビットが 1 の場合は、TxAdd ビットを反転します。詳細についてはセクション 25.8.17 を参照してください)。RxAdd ビットは、受信した ADV_IND または ADV_DIRECT_IND メッセージのヘッダに含まれる TxAdd フィールドと同じ値とするものとします。pParams->initConfig.chSel が 1 の場合、ChSel ビットは 1 になります。それ以外の場合、ChSel は 0 になります。長さは LLData の長さから算出されるため、pParams->connectReqLen + 12 となります。RFU ビットは 0 であるものとします。ペイロードは、pParams->pDeviceAddress から読み出した 6 バイトのデバイス アドレスで始まり、その後に、受信メッセージの AdvA フィールドから読み出した 6 バイトのピア アドレスが続きます。ペイロードの残りの部分は、pParams->pConnectData バッファから読み取られます。pParams->initConfig.bDynamicWinOffset が 1 の場合、無線 CPU は WinSize および WinOffset 位置のバイト (「関連資料」に記載されている Bluetooth システムの仕様、バージョン 5.0 を参照) をセクション 25.8.11.4 で説明されている計算値に置き換えます。CONNECT_IND メッセージが送信された後、動作が終了するものとします。pParams->initConfig.chSel が 1 の場合、受信した ADV_IND パケットまたは ADV_DIRECT_IND パケットの ChSel ビットをチェックして終了ステータスを確認します。セクション 25.8.11.5 を参照してください。

25.8.11.2 プライマリ チャネルで拡張アドバタイズ パケットを受信するイニシエータ

プライマリ アドバタイズ チャネルで次の AuxPtr の前に CMD_BLE5_SCANNER を実行している場合、プライマリ チャネル上の拡張アドバタイズパケット (ADV_EXT_IND) が受け入れられます。

CRC の結果と受信したメッセージに応じて、bCrcErr ビットと bIgnore ビットが設定されます。接続可能なパケットのみがイニシエータに受け入れられます。パラメータ pParams->initConfig.bUseWhiteList は、イニシエータが特定のデバイスに接続、またはホワイトリストに接続するかを決定します。このパラメータが 0 の場合、ホワイトリストは使用されず、pParams->pWhiteList は接続先のデバイスのデバイス アドレスのみを含むバッファを指します。ピアのアドレス タイプは、pParams->advConfig.peerAddrType で指定します (セクション 25.8.17 も参照)。それ以外の場合、pParams->pWhiteList はホワイトリストを指し、受信したメッセージの AdvA フィールドと、受信したヘッダの TxAdd ビットがホワイトリストで確認されます (セクション 25.8.14 で説明)。AdvA の完全な確認は、表 25-144 に示すように実行されます。AdvA が存在しないことを拡張ヘッダ フラグが示している場合、AdvA フィルタの結果は常に「承認」になります。TargetA が存在することを拡張ヘッダ フラグが示している場合 (パケットが指向性)、受信した TargetA フィールドと RxAdd ビットはそれぞれ pParams->pDeviceAddress と pParams->initConfig.deviceAddrType と照合され (セクション 25.8.17 も参照)、同じである場合は一致させます。無指向性メッセージは常に TargetA と一致します。受信したパケットに応じて、実行されるアクションは、表 25-157 に示すとおりになります。各アクション (bCrcErr および bIgnore で使用される値を含む) の定義は、表 25-158 で指定されています。受信した ADV_EXT_IND パケットのパケット長はデフォルトで常に有効ですが、ファームウェアの定義パラメータ maxAdvExtLen を無効にすることで最大長を構成できます。さらに、拡張ヘッダ長とフラグが確認されます。拡張ヘッダ長が大きすぎて拡張ヘッダがパケットに収まらない場合、または構成内容を保持するには小

Copyright © 2026 Texas Instruments Incorporated

さすぎる場合、その長さは無効です。pParams->initConfig.bStrictLenFilter が 1 の場合、定義済みのすべてのフィールドが考慮されます。pParams->initConfig.bStrictLenFilter が 0 の場合、CPE が自動的に確認しないフィールド (SyncInfo および TxPower) は、許容される最小拡張ヘッダ長の検索時に無視されます。

表 25-157. イニシエータが拡張アドバタイザ パケットを受信時のアクション

PDU のタイプ	CRC の結果	AdvMode	AdvA フィルタの結果	TargetA 一致	AuxPtr が存在	アクション番号
ADV_EXT_IND	OK	01	拒否	X	X	1
ADV_EXT_IND	OK	01	承認	なし	X	1
ADV_EXT_IND	OK	01	承認	あり	なし	2
ADV_EXT_IND	OK	01	承認	あり	あり	6
ADV_EXT_IND	NOK	01	X	X	X	4
ADV_EXT_IND	X	00、10、または 11	X	X	X	5
長さが無効な ADV_EXT_IND	X	X	X	X	X	5
その他 (セクション 25.8.10.1 も参照)	X	X	X	X	X	5

表 25-158. イニシエータが拡張アドバタイザ パケットの受信時に実行するアクションの説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	スキャンを続行
2	0	0	スキャンを続行
4	1	0	スキャンを続行
5	—	—	パケットの受信を停止してからスキャンを続行
6	0	0	補助ポインタに従い新しいチャネルで受信、または BLE_DONE_AUX で動作を終了

受信したパケットが RX キューに収まらなかった場合、そのパケットを最後まで受信しますが、受信したバイトは保存されません。パケットが正常に RX バッファから廃棄されなかった場合、動作が終了します。

受信パケットからのアクションが 6 の場合、無線 CPU はセカンダリ アドバタイズ パケットを検索、またはステータス BLE_DONE_AUX で動作を終了します。

25.8.11.3 セカンダリ チャネルで拡張アドバタイズ パケットを受信しているイニシエータ

セカンダリ チャネル上の拡張アドバタイズ パケット (AUX_ADV_IND) は、CMD_BLE5_INITIATOR をセカンダリ アドバタイズチャネルで実行している場合、または AuxPtr を追跡している場合に受け入れられます。

CRC の結果と受信したメッセージに応じて、bCrcErr ビットと bIgnore ビットが設定されます。接続可能なパケットのみがイニシエータに受け入れられます。パラメータ pParams->initConfig.bUseWhiteList は、イニシエータが特定のデバイスに接続、またはホワイトリストに接続するかを決定します。このパラメータが 0 の場合、ホワイトリストは使用されず、pParams->pWhiteList は接続先のデバイスのデバイス アドレスのみを含むバッファを指します。ピアのアドレス タイプは、pParams->advConfig.peerAddrType で指定します (セクション 25.8.17 も参照)。それ以外の場合、pParams->pWhiteList はホワイトリストを指し、受信したメッセージの AdvA フィールドと、受信したヘッダの TxAdd ビットがホワイトリストで確認されます (セクション 25.8.14 で説明)。AdvA の完全な確認は、表 25-144 に示すように実行されます。AdvA が存在しないことを拡張ヘッダ フラグが示している場合、AdvA フィルタの結果は常に「承認」になります。TargetA が存在することを拡張ヘッダ フラグが示している場合 (パケットが指向性)、受信した TargetA フィールドと RxAdd ビットはそれぞれ pParams->pDeviceAddress と pParams->initConfig.deviceAddrType と照合され (セクション 25.8.17 も参照)、同じである場合は一致させます。無指向性メッセージは常に TargetA と一致します。受信したパケットに応じて、実行されるアクションは、表 25-159 に示すとおりになります。各アクション (bCrcErr および bIgnore で使用される値を含む) の定義は、表 25-160 で指定されています。受信した AUX_ADV_IND パケットのパケット長はデフォルトで常に有効ですが、ファームウェアの定義パラメータ maxAdvExtLen を無効にすることで最大長を構成できます。さらに、拡張ヘッダ長とフラグが確認されます。拡張ヘッダ長が大きすぎて拡張ヘッダがパケットに収まらない場合、または構成内容を保持するには小

Copyright © 2026 Texas Instruments Incorporated

さすぎる場合、その長さは無効です。pParams->initConfig.bStrictLenFilter が 1 の場合、定義済みのすべてのフィールドが考慮されます。pParams->initConfig.bStrictLenFilter が 0 の場合、CPE が自動的に確認しないフィールド (SyncInfo および TxPower) は、許容される最小拡張ヘッダ長の検索時に無視されます。

表 25-159. イニシエータが受信したセカンダリ チャネル パケットに対する処理

PDU のタイプ	CRC の結果	AdvMode	AdvA フィルタの結果	TargetA 一致	アクション番号
AUX_ADV_IND	OK	01	拒否	X	1
AUX_ADV_IND	OK	01	承認	なし	1
AUX_ADV_IND	OK	01	承認	あり	3
AUX_ADV_IND	NOK	01	X	X	4
AUX_ADV_IND	X	00、10、または 11	X	X	5
長さが無効な AUX_ADV_IND	X	X	X	X	5
その他	X	X	X	X	5

表 25-160. イニシエータが受信するセカンダリ チャネルのパケットに対して実行する処理の説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	BLE_DONE_RXERR ステータスで動作を終了
3	0	0	バックオフ処理を実行し、必要に応じて AUX_CONNECT_REQ を送信して AUX_CONNECT_RSP を受信した後、動作を終了
4	1	0	BLE_DONE_RXERR ステータスで動作を終了
5	—	—	パケットの受信を停止してからスキャンを続行

受信したパケットが RX キューに収まらなかった場合、そのパケットを最後まで受信しますが、受信したバイトは保存されません。パケットが正常に RX バッファから廃棄されなかった場合、動作が終了します。

受信パケットに対する処理が 3 の場合、バックオフ処理を実行した後、条件が許せば AUX_CONNEXT_REQ を送信します。この手順は、pParams->backoffCount をデクリメントすることから始まります。この変数をデクリメントした結果、その値が 0 になった場合は、AUX_CONNECT_REQ を送信します。そうでない場合は、動作を終了します。

AUX_CONNECT_REQ を送信する際、無線 CPU はこのパケットを生成します。ヘッダでは、PDU Type ビットは 0101b になります。TxAdd ビットは pParams->initConfig.deviceAddrType の値に従って設定されます (ただし、pParams->pDeviceAddress の最下位ビットが 1 の場合は、TxAdd ビットを反転します。詳細についてはセクション 25.8.17 を参照してください)。RxAdd ビットは、受信した AUX_ADV_IND メッセージのヘッダにある TxAdd フィールドの値に従って設定されます。長さは LLData の長さから算出されるため、pParams->connectReqLen + 12 となります。ChSel ビットと RFU ビットは 0 であるものとします。ペイロードは、pParams->pDeviceAddress から読み出した 6 バイトのデバイス アドレスで始まり、その後に、受信メッセージの AdvA フィールドから読み出した 6 バイトのピア アドレスが続きます。ペイロードの残りの部分は、pParams->pConnectData バッファから読み取られます。pParams->initConfig.bDynamicWinOffset が 1 の場合、無線 CPU は WinSize および WifOffset 位置のバイトを計算値に置き換えます (「関連資料」に記載されている Bluetooth システム、バージョン 5.0 の仕様を参照)。

AUX_CONNECT_REQ メッセージを送信した後、無線 CPU はレシーバを設定し、AUX_CONNECT_RSP を待ち受けます。パケットは、表 25-161 および表 25-162 からのルールを使用して受信されます。表 25-161 のルールは、最初の AUX_ADV_IND パケットと異なる AdvA を持つパケットでも、パケットが受け入れられることを意味します。この問題を修正するには、システム CPU でチェックを行うか、パッチを検討することができます。

表 25-161. イニシエータによって受信された AUX_CONNECT_RSP パケットに対するアクション

PDU のタイプ	CRC の結果	AdvA フィルタの結果	TargetA 一致	アクション番号
AUX_CONNECT_RSP	OK	拒否	X	1
AUX_CONNECT_RSP	OK	承認	なし	1
AUX_CONNECT_RSP	OK	承認	あり	3

Copyright © 2026 Texas Instruments Incorporated

表 25-161. イニシエータによって受信された AUX_CONNECT_RSP パケットに対するアクション (続き)

PDU のタイプ	CRC の結果	AdvA フィルタの結果	TargetA 一致	アクション番号
AUX_CONNECT_RSP	NOK	X	X	4
長さが無効な AUX_CONNECT_RSP	X	X	X	5
その他	X	X	X	5

表 25-162. イニシエータが受信するセカンダリ チャネルのパケットに対して実行する処理の説明

アクション番号	bCrcErr	bIgnore	説明
1	0	1	BLE_DONE_RXERR ステータスで動作を終了
3	0	0	BLE_DONE_CONNECT ステータスで動作を終了
4	1	0	BLE_DONE_RXERR ステータスで動作を終了
5	—	—	パケットの受信を停止し、その後、ステータス BLE_DONE_NOSYNC で動作を終了します

AUX_CONNECT_RSP を受信または受信しようとした後、バックオフ パラメータは、セクション 25.8.15 に示すように、無線 CPU によって更新されます。これは、表 25-148 の「応答パケットの結果」列に記載されている結果と、バックオフ パラメータの古い値に基づいて行われます。

25.8.11.4 自動ウィンドウ オフセット挿入

pParams->initConfig.bDynamicWinOffset が 1 の場合、無線 CPU は送信された CONNECT_IND または AUX_CONNECT_REQ メッセージの WinSize および WinOffset パラメータの自動計算を実行します。WinSize はペイロードのバイト 7 で、WinOffset はバイト 8 および 9 です (「関連資料」に記載されている Bluetooth 仕様のドキュメントを参照)。無線 CPU は、最初の接続イベントの可能な開始時間を pParams->connectTime パラメータと接続間隔から見つけるものとします。この接続間隔は、送信するペイロードからインターバル フィールド (バイト 10 および 11) によって 1.25ms 単位で与えられます (「関連資料」に記載されている Bluetooth 仕様ドキュメントを参照)。最初の接続イベントの発生時刻は、pParams->connectTime を基準として接続インターバルの整数倍となる任意の時刻であり、開始した initiator コマンドの開始時刻より過去または未来となる可能性があります。

無線 CPU は、送信する CONNECT_IND または AUX_CONNECT_RSP に WinOffset パラメータ を設定し、CONNECT_IND または AUX_CONNEXT_REQ パケットの送信終了後、送信処理を完了するために十分な時間が経過した後に到来する最初の接続イベントが、初回の接続イベントとして通知されるようにするものとします。これは、CONNECT_IND または AUX_CONNECT_REQ パケットの送信終了から接続内の最初のパケットの開始までの時間が、transmitWindowDelay + WinOffset 以上 transmitWindowDelay + WinOffset + WinSize 以下となることを意味し、ここで transmitWindowDelay は CONNECT_IND PDU 使用時には 1.25ms、LE Uncoded PHY の AUX_CONNECT_REQ PDU 使用時には 2.5ms、LE Coded PHY の AUX_CONNECT_REQ PDU 使用時には 3.75ms です (詳細は関連資料に記載されている Bluetooth Core Specification Version 5.0 を参照)。無線機 CPU は、送信ウィンドウの開始と最初のマスタ パケットの開始の間、および最初のマスタ パケットの開始と送信ウィンドウの終了の間にマージンがあるように、送信ウィンドウ (WinOffset と WinSize) を設定します (「関連資料」に記載されている Bluetooth システムの仕様、バージョン 5.0 を参照)。挿入された WinSize は 1 または 2 とし、十分な余裕が確保されるようにする。マージンは、BLE スタックのオーバーライドによって正しい値に設定されます (セクション 25.8.4 を参照)。

無線 CPU は、計算された WinSize および WinOffset の値を、pParams->pConnectData バッファ内の対応する位置に書き込みます。信号送信ウィンドウ内で最初のパケットを送信するために最初に使用される接続イベントの開始時刻は、無線 CPU によって pParams->connectTime に書き込まれます。接続が確立されていない場合、無線 CPU は pParams->connectTime に複数の接続間隔を追加して、操作が終了した後の接続イベントの最初の可能な時間になります。

25.8.11.5 イニシエータ コマンドの終了

動作を終了する 2 つのトリガはそれぞれ、pParams->endTrigger/pParams->endTime および pParams->timeoutTrigger/pParams->timeoutTime で設定します。これらのいずれかのトリガが発生すると、無線動作は可能な限り早く終了します。ADV*_IND パケットで同期の待機中に発生する場合、直ちに動作を終了します。別の時間に発生する場合、スキャンが再開されるまで動作を継続してから終了します。無線 CPU が即時コマンド CMD_STOP (セクション

Copyright © 2026 Texas Instruments Incorporated

25.3.3.2.2 を参照) を受信する場合、終了後のステータス コードが CMD_DONE_STOPPED になることを除いて、終了トリガの発生時と同じ意味になります。2 つのトリガの違いは、動作終了時のステータスと結果です。通常、timeoutTrigger はスキャン ウィンドウの最後に使用できますが、endTrigger はスキャンが完全に終了するときに使用できます。

出力構造 pOutput には、実行中のコマンドに関する情報を示すフィールドが含まれています。無線 CPU はフィールドを初期化しないため、カウンタをリセットする必要があるときは、システム CPU がこれを実行する必要があります。次のリストで説明されているように、フィールドは無線 CPU によって更新されます。このリストは、システム CPU で割り込みが発生するタイミングも示しています。

- CONNECT_IND または AUX_CONNECT_REQ パケットが送信されると、nTxConnectReq (CMD_BLE_INITIATOR) または nTxReq (CMD_BLE5_INITIATOR) がインクリメントされ、Tx_Done 割り込みが発生します。
- バックオフ手順のために AUX_CONNECT_REQ が送信されない場合は、nBackedOffReq がインクリメントされます
- CRC OK で *ADV*_IND パケットを受信して bIgnore フラグをクリアすると、nRxAdvOk がインクリメントされ、Rx_Ok 割り込みが発生し、timeStamp はパケット開始時のタイムスタンプに設定されます。
- CRC OK で *ADV*_IND パケットを受信して bIgnore フラグがセットされると、nRxAdvIgnored がインクリメントされ、Rx_Ignored 割り込みが発生します。
- CRC エラーで *ADV*_IND パケットを受信すると、nRxAdvNok がインクリメントされ、Rx_Nok 割り込みが発生します。
- *ADV *_IND を受信して RX キューに収まらなかった場合は、nRxAdvBufFull がインクリメントされ、Rx_Buf_Full 割り込みが発生します。
- CRC OK で AUX_CONNECT_RSP パケットを受信して bIgnore フラグをクリアすると、nRxRspOk がインクリメントされ、Rx_Ok 割り込みが発生します。
- CRC OK で AUX_CONNECT_RSP パケットを受信して bIgnore フラグがセットされると、nRxRspIgnored がインクリメントされ、Rx_Ignored 割り込みが発生します。
- CRC エラーで AUX_CONNECT_RSP パケットを受信すると、nRxRspNok がインクリメントされ、Rx_Nok 割り込みが発生します。
- AUX_SCAN_RSP パケットを受信して RX キューに収まらなかった場合は、nRxRspBufFull がインクリメントされ、Rx_Buf_Full 割り込みが発生します。
- パケットを受信すると、lastRssi はそのパケットの RSSI に設定されます。
- パケット受信後に RX キューの最初の RX データ エントリの状態が「終了」に変化すると、Rx_Entry_Done 割り込みが発生します。

イニシエータ動作は、表 25-163 に示すいずれかのステータスで終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。すべての場合に、Command_Done 割り込みが発生します。すべての場合に、TRUE、FALSE、または ABORT の結果が表示され、セクション 25.3.2.5.2 で定義されているように、次のアクションが決定されます。

表 25-163. イニシエータ動作の終了

条件	ステータス コード	結果
pParams->advConfig.chSel = 0 または受信した ADV_IND または ADV_DIRECT_IND の ChSel ビットが 1 の場合、従来のパケット (送信された CONNECT_IND) の受信後にアクション 3 が実行されます	BLE_DONE_CONNECT	FALSE
pParams->advConfig.chSel = 1 で、受信した ADV_IND または ADV_DIRECT_IND の ChSel ビットが 0 の場合、従来のパケット (送信された CONNECT_IND) の受信後にアクション 3 が実行されます	BLE_DONE_CONNECT_CHSEL0	FALSE
AUX_CONNECT_REQ 送信後に AUX_CONNECT_RSP を正常に受信	BLE_DONE_CONNECT	FALSE
無視されない接続可能 ADV_EXT_IND パケットを AUX ポインタなしで受信	BLE_DONE_OK	TRUE
セカンダリ チャネルでアクション 3 を実行し、バックオフのせいで AUX_CONNECT_REQ を未送信	BLE_DONE_OK	TRUE
セカンダリ チャネルでアクション 1 またはアクション 4 を実行	BLE_DONE_RXERR	TRUE
セカンダリ チャネルでアクション 3 を実行して、AUX_CONNECT_REQ を送信し、bCrcErr = 1 または bIgnore = 1 で AUX_CONNECT_RSP を受信	BLE_DONE_RXERR	TRUE

Copyright © 2026 Texas Instruments Incorporated

表 25-163. イニシエータ動作の終了 (続き)

条件	ステータス コード	結果
セカンダリ チャネルでアクション 3 を実行して、AUX_CONNECT_REQ を送信し、同期されない、または間違ったパケット タイプを検索、または長さが無効	BLE_DONE_NOSYNC	TRUE
アドバタイザ パケットでの同期待機中に pParams->timeoutTrigger が示すトリガを観測済み	BLE_DONE_RXTIMEOUT	TRUE
pParams->timeoutTrigger が示すトリガを監視し、アクション 1、2、3、4、または 5 を実行。	BLE_DONE_RXTIMEOUT	TRUE
アドバタイザ パケットでの同期待機中に pParams->endTrigger が示すトリガを観測済み	BLE_DONE_ENDED	FALSE
pParams->endTrigger が示すトリガを監視し、アクション 1、2、3、4、5、または 6 を実行。	BLE_DONE_ENDED	FALSE
アドバタイザ パケットでの同期待機中に CMD_STOP を観測済み	BLE_DONE_STOPPED	FALSE
CMD_STOP を観測し、アクション 1、2、3、4、5、または 6 を実行。	BLE_DONE_STOPPED	FALSE
pParams->maxWaitTimeForAuxCh を超える AUX パケットの待機時間でアクション 6 を実行済み。	BLE_DONE_AUX	FALSE
CMD_ABORT を受信済み	BLE_DONE_ABORT	ABORT
受信したパケットを格納する RX バッファに空きがない	BLE_ERROR_RXBUF	FALSE
チャネルの値が正しくない	BLE_ERROR_PAR	ABORT
LLData 長さフィールドに正しくない値がある	BLE_ERROR_PAR	ABORT

25.8.12 汎用レシーバ コマンド

汎用レシーバ コマンドは、物理層テスト パケットを受信する場合や、パケット スニファ アプリケーションなどで任意のパケットを受信する場合に使用できます。

CMD_BLE_GENERIC_RX または CMD_BLE5_GENERIC_RX コマンドによって、汎用レシーバ動作が開始されます。コマンド構造には、表 25-101 で定義されているタイプの pParams パラメータと、表 25-114 で定義されているタイプの pOutput パラメータが含まれます。汎用レシーバ動作の開始時に、無線 CPU は開始トリガを待ちます。その後、コマンド構造のチャネル パラメータに基づいて周波数をプログラムします。CMD_BLE5_GENERIC_RX の場合は、phyMode.mainMode で指定される PHY モードも設定されます。無線 CPU は、pParams->accessAddress で定義されるアクセス アドレスを設定し、pParams->crcInit で定義される CRC 初期化値を使用します。ホワイトナは、ホワイトニング パラメータで定義されているように設定する必要があります。その後、無線 CPU はレシーバを設定します。

汎用レシーバ動作では、パケット形式について、2 番目に受信されるバイトが、そのバイトに続くペイロードの長さを示す長さフィールドであり、標準の BLE タイプ CRC がパケットに付加されることのみを前提としています。長さフィールドのビット数はアドバタイジング パケットと同じと見なされます。つまり、CMD_BLE5_RADIO_SETUP を使用して設定されている場合はデフォルトで 8 ビット、それ以外の場合は 6 ビットです。

正しいチャネルに同調した後、無線 CPU はパケットのリッスンを開始します。復調器で同期が得られた場合、メッセージは RX キュー (存在する場合) に受信されます。長さが BLE レガシー アドバタイズ パケットの最大許容長 (37。ただし上書き可能) を超える場合、受信は停止され、再開されます。

pParams->pRxQ が NULL の場合、受信パケットは保存されません。カウンタは引き続き更新され、割り込みが生成されます。

CRC エラーでパケットを受信した場合、bCrcErr ビットが設定されます。汎用 RX コマンドでは、bIgnored フラグが設定されることはありません。

受信したパケットが RX キューに収まらなかった場合、そのパケットは最後まで受信されますが、受信したバイトは保存されません。通常、パケットが RX バッファから破棄されない場合は、動作を終了します。

動作を終了するトリガは、pParams->endTrigger および pParams->endTime で設定します。このパラメータで定義されたトリガが発生した場合、無線機の動作はできるだけ早く終了します。同期を待機している間に発生した場合、動作は直

Copyright © 2026 Texas Instruments Incorporated

ちに終了します。別の時点で発生した場合、動作は現在のパケットを完全に受信するまで継続し、その後終了します。即時コマンド CMD_STOP (セクション 25.3.3.2.2 を参照) を無線 CPU が受信した場合、終了後のステータス コードが CMD_DONE_STOPPED になる点を除き、終了トリガが発生した場合と同じ意味になります。

出力構造 pOutput には、実行中のコマンドに関する情報を示すフィールドが含まれています。無線 CPU はフィールドを初期化しないため、カウンタをリセットする必要があるときにシステム CPU がこれを行う必要があります。フィールドは、次のリストに示すように、無線機 CPU によって更新されます。このリストには、システム CPU で割り込みが発生するタイミングも示されています。

- CRC OK でパケットを受信した場合、nRxOk がインクリメントされ、Rx_Ok 割り込みが発生します。
- CRC エラーのあるパケットが受信されると、nRxNok がインクリメントされ、Rx_Nok 割り込みが発生します。
- パケットを受信し、そのパケットが RX キューに収まらなかった場合、nRxBufFull がインクリメントされ、Rx_Buf_Full 割り込みが発生します。
- パケットが受信されると、lastRssi はそのパケットの RSSI に設定されます。
- パケットが受信されると、timeStamp はそのパケットの開始時刻のタイムスタンプに設定されます。
- RX キューの最初の RX データ エントリが、パケットを受信した後に状態を終了に変更した場合、Rx_Entry_Done 割り込みが発生します。

パケット受信後、pParams->bRepeat = 1、終了イベントが検出されておらず、パケットが受信キューに収まった場合、同じチャネルで受信が再開されます。pParams->bRepeat = 0 の場合、パケット受信後に動作は必ず終了します。

汎用 RX 動作は、表 25-164 に示すいずれかのステータスで終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。いずれの場合も、Command_Done 割り込みが発生します。各ケースでは TRUE、FALSE、または ABORT の結果が示され、セクション 25.3.2.5.2 で定義されているとおり、その結果によって次のアクションが決まります。汎用 RX コマンド構造の pNextOp フィールドは、同じコマンド構造を指すことができます。これにより、終了トリガまで、または RX バッファがフルになるまで RX を実行できます。

表 25-164. 汎用 RX 動作の終了

条件	ステータス コード	結果
CRC OK でパケットを受信し、かつ pParams->bRepeat = 0	BLE_DONE_OK	TRUE
CRC エラーでパケットを受信し、かつ pParams->bRepeat = 0	BLE_DONE_RXERR	TRUE
同期待機中に pParams->endTrigger で示されるトリガを検出	BLE_DONE_ENDED	FALSE
pParams->endTrigger で示されるトリガを検出した後、パケットの受信を完了	BLE_DONE_ENDED	FALSE
同期待機中に CMD_STOP を検出	BLE_DONE_STOPPED	FALSE
CMD_STOP を検出した後、パケットの受信を完了	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信	BLE_DONE_ABORT	ABORT
受信したパケットを保存するための空きが RX バッファにない	BLE_ERROR_RXBUF	FALSE
不正なチャネル値	BLE_ERROR_PAR	ABORT

25.8.13 PHY テスト送信コマンド

テスト パケット送信コマンドは、物理層テスト パケットを送信するために使用できます。

テスト パケット送信動作は、CMD_BLE_TX_TEST コマンドまたは CMD_BLE5_TX_TEST コマンドによって開始されます。コマンド構造には、表 25-102 で定義されているタイプの pParams パラメータと、表 25-115 で定義されているタイプの pOutput パラメータが含まれます。テスト TX 動作の開始時に、無線 CPU は開始トリガを待機します。その後、コマンド構造体のチャネル パラメータに基づいて周波数を設定します。CMD_BLE5_TX_TEST の場合、phyMode.mainMode で指定された PHY モードも設定するものとします。無線 CPU は、テストパケット同期ワードを設定し (「関連資料」に記載されている Bluetooth 仕様の資料を参照)、CRC 初期化値 0x55 5555 を使用する必要があります。ホワイトナは、ホワイトニング パラメータで定義されているように設定する必要があります。「関連資料」に記載されている Bluetooth システム、バージョン 5.0 ドキュメントの仕様に準拠した PHY テスト パケットを生成するには、ホワイトナを無効にする必要があります。

Copyright © 2026 Texas Instruments Incorporated

無線 CPU は、pParams->numPackets パケットを送信し、操作を終了するものとします。pParams->numPackets が 0 の場合、別の理由 (timeout、stop、または abort コマンド) で処理が終了するまで送信が続行されます。各パケットの開始までの時間 (無線タイマのティック数) は、pParams->Period で指定します。この時間が一パケットの送信時間より短い場合、各パケットは可能な限り速やかに送信されます。各パケットは、無線 CPU によって次のように組み立てられます。最初のバイトはヘッダ バイトです。これには、pParams->packetType の値が含まれるものとします。ただし、表 25-165 に示されている値のいずれかになります。次のバイトは長さバイトで、pParams->payloadLength の値になります。これには、表 25-165 に示すいくつかのペイロード バイトが続きます。ペイロード バイト数は、pParams->payloadLength と等しくする必要があります。pParams->packetType が 0 の場合、バイトは「関連資料」に記載されている Bluetooth システム ドキュメントの仕様で定義されている PRBS9 シーケンスのものとします。それ以外の場合は、表 25-165 に示すように、すべてのバイトが同じであるものとします。Bluetooth Low Energy 仕様の「関連資料」に記載されている 3 バイトの CRC を付加するものとします。

表 25-165. サポートされている PHY テスト パケット タイプ

packetType の値	送信済みバイト数
0	PRBS9 シーケンス
1	0x0F の繰り返し
2	0x55 の繰り返し
3	PRBS15 シーケンス
4	0xFF の繰り返し
5	0x00 の繰り返し
6	0xF0 の繰り返し
7	0xAA の繰り返し

「関連資料」に記載されている Bluetooth 仕様ドキュメントに定義されている PRBS15 ペイロード タイプは、ペイロード タイプ 3 に対応しており、多項式 x15 + x14 + 1 を用いて実装されます。初回に送信されるパケットについては、初期値は無線タイマから取得されます。その後に送信されるパケットでは、再初期化は行われません。

pParams->config.overrideDefault が 1 の場合、パケットは非標準形式となります。ヘッダには pParams->packetType で指定された値が設定され、送信される各バイトには pParams->byteVal で指定された値が使用されるものとします。pParams->config.bUsePrbs9 が 1 の場合、シーケンスは、パケット タイプ 0 で使用される PRBS9 シーケンスの各バイトと pParams->byteVal との XOR 演算によって生成されます。pParams->config.bUsePrbs15 が 1 の場合、シーケンスは、パケット タイプ 3 で使用される PRBS15 シーケンスの各バイトと pParams->byteVal との XOR 演算によって生成されます。

いずれかの PRBS シーケンスを使用する場合、whitening パラメータの設定にかかわらず、ホワイトニングは無効になります。

動作を終了するためのトリガは、pParams->endTrigger および pParams->endTime によって設定されます。このパラメータで定義されたトリガが発生した場合、無線の動作はできるだけ早く終了します。パケット間で待機中に発生した場合、動作は直ちに終了します。それ以外のタイミングで発生した場合、動作は現在送信中のパケットの送信が完了するまで継続され、その後終了します。無線 CPU が即時コマンド CMD_STOP (セクション 25.3.3.2.2 を参照) を受信する場合、終了後のステータス コードが CMD_DONE_STOPPED になることを除いて、終了トリガの発生時と同じ意味になります。

出力構造体 pOutput には、フィールド nTx のみが含まれます。nTx フィールドは、パケットが送信されるたびにインクリメントされます。無線 CPU はこれらのフィールドを初期化しないため、カウンタをリセットしたい場合は、システム CPU がこれを行うものとします。パケットが送信されるたびに、Tx_Done 割り込みが発生します。

PHY テスト TX 動作は、表 25-166 に示すいずれかのステータスで終了します。動作終了後のコマンド構造のステータス フィールドは、動作が終了した理由を示します。すべての場合に、Command_Done 割り込みが発生します。すべての場合に、TRUE、FALSE、または ABORT の結果が表示され、セクション 25.3.3.2.2 で定義されているように、次のアクションが決定されます。

Copyright © 2026 Texas Instruments Incorporated

表 25-166. PHY テスト TX 動作の終了

条件	ステータス コード	結果
送信された pParams->numPackets パケット	BLE_DONE_OK	TRUE
パケット間の待機中に、pParams->endTrigger で指定されたトリガを検出	BLE_DONE_ENDED	FALSE
pParams->endTrigger で指定されたトリガを検出した後、パケットの送信を完了しました。	BLE_DONE_ENDED	FALSE
パケット間の待機中に CMD_STOP を観測済み	BLE_DONE_STOPPED	FALSE
CMD_STOP を受信した後、パケットの送信を完了します	BLE_DONE_STOPPED	FALSE
CMD_ABORT を受信しました	BLE_DONE_ABORT	ABORT
チャネルの値が正しくありません	BLE_ERROR_PAR	ABORT
pParams->packetType の値が正しくありません	BLE_ERROR_PAR	ABORT

25.8.14 ホワイトリストの処理

ホワイトリストは、アドバタイザ、スキャナ、イニシエータの動作で使用されます。ホワイトリストは、構成可能な数のエントリから成ります。ホワイトリストは、表 25-118 で定義されるタイプのエントリの配列です。配列の最初のエントリでは、サイズ フィールドに配列サイズを含める必要があります。

ホワイトリストの配列の最小エントリ数は 1 ですが、ホワイトリストを使用しない場合は、pParams->pWhiteList を NULL にできます。エントリの最大数は、フィルタリングを実行するために、無線 CPU で得られるパフォーマンスによって制限されます。テストは、最大 24 エントリを使用できることを示しています。

各エントリには 1 つのアドレスと 3 つの構成ビットが含まれています。エントリを有効にする場合の bEnable ビットは 1 です。それ以外の場合、ホワイトリストのフィルタリング実行時にアドレスが無視されます。addrType ビットは、エントリがパブリック アドレスかランダム アドレスかを示します。bIgnore ビットは、同じデバイスで複数回の通知とスキャンを実行することを避けるためにスキャナで使用できます。

アドレスがホワイトリストと照合される際、アドレスはホワイトリスト内の各エントリのアドレス フィールドと比較されます。次の条件においてエントリがある場合にのみ、ホワイトリスト内にアドレスが存在すると通知されます:

- bEnable が 1
- addrType が確認対象のアドレスのアドレス タイプと同じ
- アドレス配列のすべてのバイトが確認対象のアドレスのバイトと同じ
- スキャナのみの場合:bWIIgn が 0
- イニシエータのみの場合:bIrkValid が 0

スキャナの場合、ホワイトリストのエントリが一致していてもデバイスが無視されることを示すために、ホワイトリストに bWIIgn ビットが設定できます。これは、すでにスキャン済みのアドバタイザ、またはすでにアドバタイジング データが報告済みのアドバタイザを確認するために使用できます。ホワイトリスト フィルタリングを実行しなくても、この機能を使用できます。アドレスとアドレス タイプが一致するデバイスについてホワイトリストがスキャンされます。この場合の bWIIgn は 1 です。このようなデバイスは無視されます。この場合、bEnable ビットはチェックされません。従来のパケットを受信するときは常に確認が実行されますが、拡張アドバタイザ パケットの場合は、pParams -> extFilterConfig.bApplyDuplicateFiltering が 1 で、拡張ヘッダーに ADI フィールドがない場合にのみ確認が実行されます。bWIIgn ビットを自動的に設定するように無線 CPU を構成できます。セクション 25.8.10 を参照してください。

イニシエータの場合、ホワイトリストのエントリが一致していてもデバイスが無視されることを示すために、ホワイトリストに bIrkValid ビットが設定できます。有効な識別解決キー (IRK) が存在する、解決可能なプライベート アドレスを持つデバイスに接続することを防ぐためにこれを使用できます。RPA を含まないアドレス エントリの場合、システム CPU は bIrkValid ビットを設定しません。

25.8.15 バックオフ手順

SCAN_RSP、AUX_SCAN_RSP、または AUX_CONNECT_RSP パケットを受信または受信しようとした後、バックオフ パラメータは無線機 CPU によって更新される必要があります。更新は、応答パケットの結果とバックオフ パラメータの古

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

い値によって異なります。pParams->backoffPar で指定されたバックオフ パラメータは、表 25-167 に示すように更新されます。この更新後、無線機 CPU は pParams->backoffCount を 1 ～ 2 pParams->backoffPar.logUpperLimit の間の擬似乱数に設定します。

表 25-167. バックオフ パラメータの更新

応答パケットの結果	古い pParams->backoffPar		新しい pParams->backoffPar		
	bLastSucceeded	bLastFailed	bLastSucceeded	bLastFailed	logUpperLimit
失敗	X	0	0	1	logUpperLimit
失敗	0	1	0	0	min(logUpperLimit+1, 8)
正常に完了	0	X	1	0	logUpperLimit
正常に完了	1	0	0	0	max(logUpperLimit-1, 0)

擬似乱数アルゴリズムは、最大長 16 ビットの線形フィードバック シフト レジスタ (LFSR) に基づくものとします。シードは、pParams->randomState により提供されるものとする。操作が終了すると、無線機 CPU は現在の状態をこのフィールドに書き戻す必要があります。pParams->randomState が 0 の場合、無線 CPU は LFSR を無線タイマの最下位 16 ビットに初期化することでセルフシードを行います。これは、LFSR が最初に必要なとき (つまり、ADV*_IND を受信した後) にのみ行われるため、この値に何らかのランダム性が発生します。無線タイマの最下位 16 ビットがすべて 0 の場合は、別の固定値が置き換えられます。

デバイスがスキャン状態またはイニシエート状態 (Bluetooth 5 のみ) に遷移した場合、システム CPU は pParams->backoffCount を 1 に、pParams->backoffPar.logUpperLimit を 0 に、pParams->backoffPar.bLastSucceeded および pParams->backoffPar.bLastFailed を 0 に設定し、pParams->randomState を真の乱数値 (または真の乱数シードに基づく擬似乱数値) で初期化する必要があります。スキャン状態のままで新しいスキャナ操作を開始する場合、システム CPU は、pParams->randomState、pParams->backoffCount、および pParams->backoffPar を、最後のスキャナ操作の終了時の値に保持する必要があります。

25.8.16 AUX ポインタ処理

Aux ポインタを含む拡張アドバタイズ パケットを受信した場合、無線機 CPU は Aux ポインタに従って処理を行うか、または後続コマンドで Aux ポインタを追従する方法に関する情報を返すものとします。以下のいずれかの場合、Aux ポインタは追従されません。

- パケットに CRC エラーがあります
- パケットは無視されます
- 受信バッファがフルです
- このパケットはスキャン可能または接続可能な AUX_ADV_IND パケットまたは AUX_CONNECT_RSP パケットです (これらのパケットには Aux ポインタはありません)

Aux ポインタが追従される場合、AUX Offset が読み取られ、導出された値はパラメータ構造体に格納されます。pParams->rxStartTime は、次のパケットを受信するためにレシーバを起動すべき時刻として設定され、受信パケット長、クロック誤差、および次のパケットで使用する PHY の受信機起動時間を考慮した値となります。pParams->rxListenTime は、pParams->rxStartTime から受信オペレーションのタイムアウトまでの時間として設定されます。pParams->channelNo は遷移先のセカンダリ チャネルに設定され、pParams->phyMode は使用される PHY を示します。

Aux ポインタを含むパケットの終了時刻から pParams->rxStartTime で指定された時刻までの時間が pParams->maxWaitTimeForAuxCh を超える場合、パケット受信後にオペレーションは BLE_DONE_AUX ステータスで終了します。次に、通常は低電力モードになった後で、指定した時間にセカンダリ チャネルで新しい scanner または initiator コマンドを開始するのは、システム CPU までです。このコマンドは、絶対開始時刻として pParams->rxStartTime – startToSynthRatOffset を用いて開始されるものとします。なお startToSynthRatOffset はファームウェア定義パラメータです。このコマンドは、pParams->rxStartTime + pParams->rxListenTime の時刻にタイムアウト トリガを持つ必要があります。

Copyright © 2026 Texas Instruments Incorporated

pParams->rxStartTime で指定された時間がこれよりも前の場合、無線機 CPU は自動的にチャネルと PHY スイッチをスケジュールします。レシーバは、Aux ポインタを含むパケットの受信後に停止され、その後、シンセサイザが再設定され PHY モードが切り替えられた後、pParams->rxStartTime で再起動されます。受信パケットの終了時刻から pParams->rxStartTime までの時間が短すぎる場合、受信機は可能な限り早い時刻で起動します。レシーバは、スキャナの場合はセクション 25.8.10.3 に、イニシエータの場合はセクション 25.8.11.3 に記載された通りに動作します。pParams->rxListenTime の後にタイムアウトが発生し、タイムアウトした場合は BLE_DONE_RXTIMEOUT ステータスで操作が終了します。

25.8.17 デバイス アドレスの動的変更

アドバタイザ、スキャナ、イニシエータの各コマンドでは、コマンドの実行中にデバイス アドレスを変更できます。アドバタイザ、スキャナ、またはイニシエータの各パラメータ構造体の pDeviceAddress または pWhiteList フィールドに新しいポインタが書き込まれると、このポインタは次の時点でデバイス アドレスまたはピア アドレスに使用されます。

- アドバタイザの場合、次に (コマンド チェーン内の) アドバタイザ コマンドが開始されたとき。コマンドがすでに実行されている場合、アドレスは更新されません。
- スキャナとイニシエータの場合、次回の同期がアドバタイザ パケットで検出されます。

新しいポインタが使用されるまで、前のポインタがデバイス アドレスに使用されます。

advConfig、scanConfig、および initConfig の各フィールドは、デバイス アドレス ポインタと同時に再読み取りされます。ただし、コマンドまたはコマンド チェーンの実行中に、これらのフィールド内のデバイス アドレス タイプまたはピア アドレス タイプを変更することは推奨されません。アドレス タイプとアドレスの同期がずれる可能性がわずかにあるためです。代わりに、pDeviceAddress の最下位ビットを 1 に設定して、advConfig、scanConfig、または initConfig で指定されたタイプに対してデバイス アドレス タイプを反転させるよう指定できます。同様に、pWhiteList の最下位ビットを 1 に設定して、advConfig または initConfig で検出されたタイプと比較してピア アドレス タイプを反転させるよう指定できます。これは、アドレスおよびアドレス タイプがアトミック動作で変更される可能性があることを意味します。アドレスを保持する配列のアドレスを特定する際、pDeviceAddress および pWhiteList の最下位ビットは無視されます。無線 CPU は、常にハーフワード境界にアラインされたアドレスから読み出しを行います。

注

pDeviceAddress または pWhiteList によって参照される配列の内容 (単一のアドレスを指す場合) は、コマンドの実行中に変更しないでください。コマンド構造内でポインタが更新された場合、指されているアドレスを無線 CPU が使用していないことが確認されるまで、pDeviceAddress または pWhiteList の古い値が指す配列を変更しないでください。

25.9 即時コマンド

それ以外で使用可能な即時コマンドに加えて、即時コマンドの「アドバタイズ ペイロード コマンドを更新」をサポートする必要があります (詳細については、セクション 25.9.1 を参照)。

25.9.1 アドバタイズ ペイロード コマンドを更新

CMD_BLE_ADV_PAYLOAD コマンドは、従来のアドバタイズ コマンドのペイロード バッファを変更するために使用できます。これはアドバタイズ コマンドが実行されているかどうかに関係なく発行される場合があります。

コマンド構造は、表 25-95 に記載されているフォーマットとします。このコマンドを受信すると、無線機 CPU は、即時コマンド構造体の pParams で指定されたパラメータ構造体を使用して、アドバタイザ無線機動作コマンドが実行中かどうかを確認します。そうでない場合、無線機 CPU はパラメータ構造を直ちに更新します。更新対象のパラメータ構造体を使用して無線機動作コマンドが実行中の場合、無線機 CPU は、変更対象のペイロードが現在送信中でない場合に限り、そのパラメータ構造体を変更します。送信中の場合、パケットの送信が終了するとすぐに、無線機 CPU は要求を保存し、更新します。

パラメータ構造を更新するとき、変更するペイロードはコマンド構造体の payloadType パラメータに依存します。payloadType が 0 の場合、無線機 CPU は pParams->advLen を newLen に、pParams->pAdvData を newData に

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

設定します。payloadType が 1 の場合、無線機 CPU は pParams->scanRspLen を newLen に、pParams->pScanRspData を newData に設定します。更新が行われた後、無線機 CPU は Tx_Buffer_Changed 割り込みを発生させます。表 25-124 を参照してください。この割り込みは、更新が遅延したかどうかに関係なく発生するものとします。

パラメータのいずれかが不正な場合、無線機 CPU は CMDSTAT の ParError で応答し、更新を実行しません。それ以外の場合、無線機 CPU は CMDSTAT に Done を返します。これは、更新が行われる前に実行される可能性があります。

このコマンドは、ペイロードと長さをアトミックに変更するために提供されています。Bluetooth 5 アドバタイズ コマンドの場合、これは不要です。pAdvPkt および pRspPkt のポインタは、いつでも安全に変更できます。ただし、それらのポインタが指しているパケット エントリについては、コマンドが終了するまで変更しないものとします。

25.10 独自の無線

このセクションでは、独自の無線コマンド構造、データ処理、ラジオオペレーションコマンド、および即時コマンドについて説明します。これらのコマンドは、CC110x、CC111x、CC112x、CC120x、CC2500、および CC251x デバイスと互換性のある柔軟なパケット処理を定義し、さらに他の従来のモードもサポートします。

25.10.1 パケット フォーマット

既存の TI のパーツとの互換性を確保するため、ほとんどの場合、図 25-9 に示すパケット フォーマットを使用できます。このパケット フォーマットは、CMD_PROP_TX および CMD_PROP_RX コマンドを使用する際に使用できます。

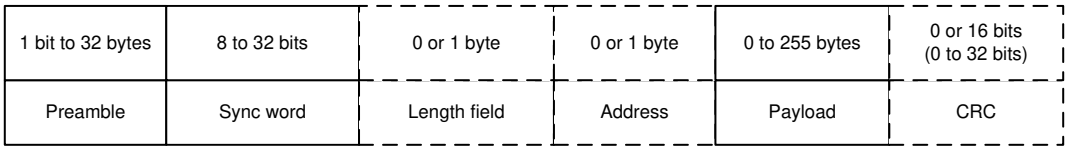


図 25-9. 標準パケット フォーマット

図 25-10 で定義されているように、より柔軟なパケット フォーマットも使用できます。このフォーマットは、コマンド CMD_PROP_RX_ADV および CMD_PROP_TX_ADV に対応しています。図 25-9 は、このフォーマットの例です。

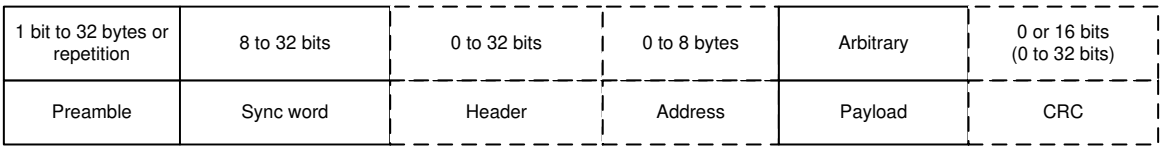


図 25-10. 高度なパケット フォーマット

25.10.2 コマンド

表 25-168 は独自の無線操作コマンドを定義します。

表 25-168. 独自の無線操作コマンド

ID	コマンド名	説明
0x3801	CMD_PROP_TX	パケットを送信します
0x3802	CMD_PROP_RX	一個以上のパケットを受信します
0x3803	CMD_PROP_TX_ADV	高度なモードでパケットを送信します
0x3804	CMD_PROP_RX_ADV	高度なモードで一個以上のパケットを受信します
0x3805	CMD_PROP_CS	キャリア検知コマンドを実行します
0x3806	CMD_PROP_RADIO_SETUP	無線を専用モードで設定します
0x3807	CMD_PROP_RADIO_DIV_SETUP	無線を専用モードで設定します
0x3808	CMD_PROP_RX_SNIFF	スニフ モード対応の一個以上のパケットを受信します

Copyright © 2026 Texas Instruments Incorporated

表 25-168. 独自の無線操作コマンド (続き)

ID	コマンド名	説明
0x3809	CMD_PROP_RX_ADV_SNIFF	高度なモードとスニッフ モードをサポートしているパケットまたはパケットを受信します

表 25-169 は独自の即時コマンドを定義します。

表 25-169. 独自の即時コマンド

ID	コマンド名	説明
0x3401	CMD_PROP_SET_LEN	受信するパケットの長さを設定します
0x3402	CMD_PROP_RESTART_RX	パケットの受信を停止し、同期検索に戻ります

25.10.2.1 コマンド データの定義

このセクションでは、システム CPU と無線 CPU 間の通信に使用されるデータ構造を説明する際に使用するデータ型を定義します。データ構造は表に示します。バイト インデックスは、その構造を指すポインタからのオフセットです。マルチバイト フィールドはリトル エンディアンで、ハーフワードまたはワード アラインメントが必要です。ビット番号付けの場合、0 は LSB です。R/W 列は次のように使用されます。

R: システム CPU は結果を読み取ることができます。無線 CPU はフィールドを読み取りません。

W: システム CPU が値を書き込み、無線 CPU はその値を読み出しますが、変更はしません。

R/W:システム CPU が初期値を書き込み、無線 CPU はその初期値を変更する場合があります。

25.10.2.1.1 コマンド構造

すべての無線動作コマンドについて、最初の 14 バイトは表 25-9 で定義されています。

表 25-170. CMD_PROP_TX コマンドの構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14	pktConf	0	bFsOff	W	0:コマンド後に周波数シンセサイザをオンにしたままにします。 1:コマンド後に周波数シンセサイザをオフにします。
		1 ~ 2			予約済み
		3	bUseCrc	W	0:CRC を付加しません。 1:CRC を付加します。
		4	bVarLen	W	0:固定長 1:長さを最初のバイトとして送信
		5 ~ 7			予約済み
15	pktLen			W	パケットの長さ
16 ~ 19	syncWord			W	送信する同期ワード
20 ~ 23	pPkt			W	パケットへのポインタ

Copyright © 2026 Texas Instruments Incorporated

表 25-171. CMD_PROP_TX_ADV コマンドの構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14	pktConf	0	bFsOff	W	0:コマンド後に周波数シンセサイザをオンにしたままにします。 1:コマンド後に周波数シンセサイザをオフにします。
		1 ~ 2			予約済み
		3	bUseCrc	W	0:CRC を付加しません。 1:CRC を付加します。
		4	bCrcIncSw	W	0:CRC の計算に同期ワードを含めません。 1:CRC の計算に同期ワードを含めます。
		5	bCrcIncHdr	W	0:CRC の計算にヘッダを含めません。 1:CRC の計算にヘッダを含めます。
		6 ~ 7			予約済み
15	numHdrBits			W	ヘッダ内のビット数 (0 ～ 32)
16 ~ 17	pktLen			W	パケット長。0:制限なし
18	startConf	0	bExtTxTrig	W	0:コマンド開始トリガから固定の時間でパケットを開始します。 1:外部トリガでパケットを開始します (この機能を有効にする場合は TI にお問い合わせください)。
		1 ~ 2	inputMode	W	TX 開始に外部トリガを使用する場合の入力モード。 00:立ち上がりエッジ 01:立ち下がりエッジ 10:両方のエッジ 11:予約済み
		3 ~ 7	ソース	W	TX 開始に外部トリガが使用される場合に、キャプチャに使用される RAT 入力イベント番号。
19	preTrigger			W	プリアンブルから同期ワードへの遷移のトリガ。これが「now」に設定されている場合、セットアップで構成された 1 つのプリアンブルが送信されます。それ以外の場合は、このトリガが確認されるまでプリアンブルが繰り返されます。
20 ~ 23	preTime			W	preTrigger の時間パラメータ
24 ~ 27	syncWord			W	送信する同期ワード
28 ~ 31	pPkt			W	パケットへのポインタ、または長さ無制限の TX キュー

Copyright © 2026 Texas Instruments Incorporated

表 25-172. CMD_PROP_RX および CMD_PROP_RX_SNIFF コマンドの構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14	pktConf	0	bFsOff	W	0:コマンド後に周波数シンセサイザをオンにしたままにします。 1:コマンド後に周波数シンセサイザをオフにします。
		1	bRepeatOk	W	0:パケットを正しく受信した後、動作を終了します。 1:パケットを正しく受信した後、同期検索に戻ります。
		2	bRepeatNok	W	0:CRC エラーのあるパケットを受信した後、動作を終了します。 1:CRC エラーのあるパケットを受信した後、同期検索に戻ります。
		3	bUseCrc	W	0:CRC をチェックしません。 1:CRC を確認してください。
		4	bVarLen	W	0:固定長 1:長さを最初のバイトとして受信します。
		5	bChkAddress	W	0:アドレスをチェックしない。 1:アドレスをチェックする。
		6	endType	W	0:同期が取得された後に終了トリガが発生した場合、パケットは最後まで受信されます。 1:終了トリガが発生すると、パケット受信が停止します。
		7	filterOp	W	0:レシーバを停止し、アドレスが一致しない場合に同期検索を再開します。 1:パケットを受信し、アドレス不一致時に無視としてマークします。
15	rxConf			W	RX 構成の詳細については、表 25-179 を参照してください
16 ~ 19	syncWord			W	リッスンする同期ワード
20	maxPktLen			W	固定長のパケット長、可変長の最大パケット長 0:無制限または不明な長さ
21	address0			W	アドレス
22	address1			W	アドレス (address0 と同じ値に設定して、アドレスを 1 つだけ受け入れるようにします。0xFF の場合、0x00 も受け付けます)
23	endTrigger			W	動作を終了するためのトリガ分類子
24 ~ 27	endTime			W	動作を終了する時刻
28 ~ 31	pQueue			W	キューを受信するポインタ
32 ~ 35	pOutput			W	出力構造へのポインタ
36 ~ 47	CMD_PROP_RX_SNIFF のみ:表 25-178 に示すキャリア センス オプション				

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-173. CMD_PROP_RX_ADV および CMD_PROP_RX_ADV_SNIFF のコマンド構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14	pktConf	0	bFsOff	W	0:コマンド後に周波数シンセサイザをオンにしたままにします。 1:コマンド後に周波数シンセサイザをオフにします。
		1	bRepeatOk	W	0:パケットを正しく受信した後、動作を終了します。 1:パケットを正しく受信した後、同期検索に戻ります。
		2	bRepeatNok	W	0:CRC エラーのあるパケットを受信した後、動作を終了します。 1:CRC エラーのあるパケットを受信した後、同期検索に戻ります。
		3	bUseCrc	W	0:CRC をチェックしません。 1:CRC を確認してください。
		4	bCrcIncSw	W	0:CRC の計算に同期ワードを含めません。 1:CRC の計算に同期ワードを含めます。
		5	bCrcIncHdr	W	0:CRC の計算にヘッダを含めません。 1:CRC の計算にヘッダを含めます。
		6	endType	W	0:同期が取得された後に終了トリガが発生した場合、パケットは最後まで受信されます。 1:終了トリガが発生すると、パケット受信が停止します。
		7	filterOp	W	0:レシーバを停止し、アドレスが一致しない場合に同期検索を再開します。 1:パケットを受信し、アドレス不一致時に無視としてマークします。
15	rxConf			W	RX 構成 (詳細については、表 25-179 を参照)
16 ~ 19	syncWord0			W	リッスンする同期ワード
20 ~ 23	syncWord1			W	nonzero の場合の代替同期ワード
24 ~ 25	maxPktLen			W	受信パケットの最大長 0:無制限または不明な長さ
26 ~ 27	hdrConf	0 ~ 5	numHdrBits	W	ヘッダ内のビット数 (0 ～ 32)
		6 ~ 10	lenPos	W	ヘッダ内の長さフィールドの位置 (0 ～ 31)
		11 ~ 15	numLenBits	W	長さフィールド内のビット数 (0 ～ 16)
28 ~ 29	addrConf	0	addrType	W	0:ヘッダ後のアドレス
					1:ヘッダ内のアドレス
		1 ~ 5	addrSize	W	addrType = 0 の場合:アドレス サイズ (バイト単位)。addrType = 1 の場合:アドレス サイズ (ビット単位)。
		6 ~ 10	addrPos	W	addrType = 1 の場合:ヘッダ内におけるアドレスのビット位置 addrType = 0: nonzero の場合、同期ワード識別子でアドレスを拡張
		11 ~ 15	numAddr	W	アドレス リスト内のアドレスの数
30	lenOffset			W	長さフィールドに追加する符号付きの値
31	endTrigger			W	動作を終了するためのトリガ分類子
32 ~ 35	endTime			W	動作を終了する時刻
36 ~ 39	pAddr			W	アドレス リストへのポインタ
40 ~ 43	pQueue			W	キューを受信するポインタ
44 ~ 47	pOutput			W	出力構造へのポインタ
48 ~ 59	CMD_PROP_RX_ADV_SNIFF のみ:表 25-178 に示すキャリア センス オプション				

Copyright © 2026 Texas Instruments Incorporated

表 25-174. CMD_PROP_CS コマンドの構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14	csFsConf	0	bFsOffIdle	W	0:コマンドが channel Idle で終了する場合は、シンセサイザを実行し続けます。 1:コマンドが channel Idle で終了する場合は、シンセサイザをオフにします。
		1	bFsOffBusy	W	0:コマンドが channel Busy で終了する場合は、シンセサイザを実行し続けます。 1:コマンドが channel Busy で終了する場合は、シンセサイザをオフにします。
15					予約済み
16 ~ 27	キャリア センス オプション (表 25-178 を参照)。				

表 25-175. CMD_PROP_RADIO_SETUP および CMD_PROP_RADIO_DIV_SETUP コマンドの構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
14 ~ 15	変調	0 ~ 2	modType	W	0:FSK 1:GFSK その他:予約済み
		3 ~ 13	偏差	W	偏差 (deviationStepSz で指定されるステップ サイズ)
		14 ~ 15	deviationStepSz		偏差ステップ サイズ: 0:250Hz 1: 1000Hz 2: 15.625Hz 3: 62.5Hz
16 ~ 19	symbolRate	0 ~ 7	preScale	W	プリスケーラ値 (セクション 25.10.5.2 を参照)
		8 ~ 28	rateWord	W	レート ワード (セクション 25.10.5.2 を参照)
		29 ~ 31			予約済み、0 に設定
20	rxBw			W	レシーバ帯域幅 (表 25-183 を参照) 1 ～ 18:レガシー モード (帯域幅 87 ～ 4236kHz) 32 ～ 52:通常モード (帯域幅 45 ～ 4236kHz) 64 ～ 103:エンハンスド モード (帯域幅 4.8 ～ 4236kHz)
21	preamConf	0 ~ 5	nPreamBytes	W	0:1 プリアンブル ビット 1 ～ 16:プリアンブル バイトの数 18、20、...、30:プリアンブル バイトの数 31:4 プリアンブル ビット 32:32 プリアンブル バイト その他:予約済み
		6 ~ 7	preamMode	W	00:最初のプリアンブル ビットとして 0 を送信 01:最初のプリアンブル ビットとして 1 を送信 10:プリアンブル ワードと同期ワードで同じ最初のビットを送信 11:プリアンブル ワードと同期ワードで別の最初のビットを送信

Copyright © 2026 Texas Instruments Incorporated

表 25-175. CMD_PROP_RADIO_SETUP および CMD_PROP_RADIO_DIV_SETUP コマンドの構造 (続き)

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
22 ~ 23	formatConf	0 ~ 5	nSwBits	W	同期ワードのビット数。有効な値は 8～32
		6	bBitReversal	W	0:1 に正の偏差を使用 1:0 に正の偏差を使用
		7	bMsbFirst	W	0:最下位ビットを最初に送信 1:最上位ビットを最初に送信
		8 ~ 11	fecMode	W	コーディングを選択 0000:非符号化バイナリ変調 1000:長距離モード 1010:マンチェスター符号化バイナリ変調 (FSK/GFSK) その他:予約済み
		12			予約済み
		13 ~ 15	whitenMode	W	000:ホワイトニングなし 001:CC1101 および CC2500 互換ホワイトニング 010:バイト反転なしの PN9 ホワイトニング 011:予約済み 100:ホワイトナなし、32 ビット IEEE 802.15.4g 互換 CRC 101:IEEE 802.15.4g 互換ホワイトナおよび 32 ビット CRC 110:ホワイトナなし、動的な IEEE 802.15.4g 互換 16 ビットまたは 32 ビット CRC 111:動的な IEEE 802.15.4g 互換ホワイトナと 16 ビットまたは 32 ビット CRC
24 ~ 25	config	0 ~ 2	予約済み	W	
		3	予約済み	W	
		4-9	予約済み	W	
		10	予約済み	W	
		11	予約済み	W	
		12	予約済み	W	
		13 ~ 15	予約済み		
26 ~ 27	txPower			W	出力電力設定。SmartRF Studio の値を使用します。詳細については、セクション 25.3.3.2.16 を参照してください。 0xFFFF:20dBm PA を使用 (「P」デバイスのみ)
28 ~ 31	pRegOverride			W	オーバーライドするハードウェア レジスタおよび構成レジスタのリストへのポインタ。NULL の場合、オーバーライドは使用されません。
32 ~ 33	centerFreq			W	CMD_PROP_RADIO_DIV_SETUP のみ:帯域の中心周波数。初期パラメータ計算で使用されます。
34 ~ 35	intFreq			W	CMD_PROP_RADIO_DIV_SETUP のみ:RX に使用する中間周波数、4.12 符号付き形式 (MHz 単位)。TX は、サポートされている場合は同じ中間周波数を、それ以外の場合は 0 を使用します。 0x8000:デフォルトを使用
36	loDivider			W	CMD_PROP_RADIO_DIV_SETUP のみ:使用する分周器の設定。デバイスおよび帯域ごとの推奨設定については、Smart RF Studio を参照してください。

表 25-176. CMD_PROP_SET_LEN コマンドの構造

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0 ~ 1	RXLen			W	使用するペイロードの長さ

Copyright © 2026 Texas Instruments Incorporated

25.10.2.2 出力構造

表 25-177. 受信コマンド

バイト インデックス	フィールド名	タイプ	説明
0 ~ 1	nRxOk	R/W	ペイロードを含み、CRC OK で、無視されなかった受信パケットの数
2 ~ 3	nRxNok	R/W	CRC エラーで受信されたパケットの数
4	nRxIgnored	R/W	CRC OK で受信され、アドレス不一致により無視されたパケット数
5	nRxStopped	R/W	pktConf.filterOp = 1 で、不正な長さまたはアドレス不一致のために受信されなかったパケット数
6	nRxBufFull	R/W	受信され、バッファ領域不足により破棄されたパケットの数
7	lastRssi	R	最後に受信したパケットの RSSI。同期ワードが検出された時点で RSSI が取得されます。
8 ~ 11	timeStamp	R	最後に受信したパケットのタイムスタンプ

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.10.2.3 その他の構造とビット フィールド

表 25-178. CMD_PROP_RX_SNIFF、CMD_PROP_RX_ADV_SNIFF、および CMD_PROP_CS のキャリア検知フィールド

バイト インデックス	フィールド名	ビット	ビット フィールド名	タイプ	説明
0	csConf	0	bEnaRssi	W	1 の場合、RSSI を基準として有効にします。
		1	bEnaCorr	W	1 の場合、相関関係を基準として有効にします。
		2	オペレーション	W	0:RSSI または相関関係が BUSY と示されている場合はビジーです。 1:RSSI と相関関係の両方が BUSY と示されている場合はビジーです。
		3	busyOp	W	0:チャネル BUSY でキャリア検知を続行します。 1:チャネル BUSY でキャリア検知を終了します。 RX コマンドの場合、キャリア検知が終了してもレシーバは動作を継続し、その後チャネルが IDLE になっても終了しません。
		4	idleOp	W	0:チャネル IDLE で続行します。 1:チャネル IDLE で終了します。
		5	timeoutRes	W	0:チャネル状態が Invalid の場合、タイムアウトは BUSY として扱われます。 1:チャネル状態が Invalid の場合、タイムアウトは IDLE として扱われます。
1	rssiThr			W	RSSI スレッショルド
2	numRssiIdle			W	チャネルが IDLE と判定されるまでに必要な、スレッショルドを下回る連続 RSSI 測定回数。
3	numRssiBusy			W	チャネルが BUSY と判定されるまでに必要な、スレッショルドを上回る連続 RSSI 測定回数。
4 ~ 5	corrPeriod			W	相関関係検出期間の RAT ティック数
6	corrConfig	0 ~ 3	numCorrInv	W	IDLE から INVALID に移行するために必要な、相互の間隔が最大 corrPeriod RAT ティックである後続の相関ピークの数。
		4 ~ 7	numCorrBusy	W	INVALID から BUSY に移行するために必要な、相互の間隔が最大 corrPeriod RAT ティックである後続の相関ピークの数。
7	csEndTrigger			W	キャリア検知を終了するためのトリガ分類子
8 ~ 11	csEndTime			W	キャリア検知を終了するまでの時間

表 25-179. 受信キュー エントリ構成ビット フィールド (1)

ビット	ビット フィールド名	説明
0	bAutoFlushIgnored	1 の場合、無視されたパケットを RX キューから自動的に破棄します。
1	bAutoFlushCrcErr	1 の場合、CRC エラーのあるパケットを RX キューから自動的に破棄します。
2		予約済み
3	bIncludeHdr	1 の場合、受信したヘッダまたは長さバイトを、保存されるパケットに含めます。それ以外の場合は破棄します。
4	bIncludeCrc	1 の場合、受信した CRC フィールドを、保存されるパケットに含めます。それ以外の場合は破棄します。これには、pktConf.bUseCrc を 1 に設定する必要があります。
5	bAppendRssi	1 の場合は、RX キュー内のパケットに RSSI バイトを追加します。
6	bAppendTimestamp	1 の場合は、RX キュー内のパケットにタイムスタンプを追加します。
7	bAppendStatus	1 の場合は、RX キュー内のパケットにステータス バイトを追加します。

(1) このビット フィールドは、パラメータ構造の rxConf バイトに使用されます。

表 25-180. 受信ステータス バイトのビット フィールド (1)

ビット	ビット フィールド名	説明
0 ~ 4	addressInd	見つかったアドレスのインデックス (該当しない場合は 0)
5	syncWordId	プライマリ同期ワードの場合は 0、代替同期ワードの場合は 1。

Copyright © 2026 Texas Instruments Incorporated

表 25-180. 受信ステータス バイトのビット フィールド (1) (続き)

ビット	ビット フィールド名	説明
6 ~ 7	result	00 : パケットは正しく受信され、無視されません。 01 : CRC エラーのあるパケットを受信しました。 10 : パケットは正しく受信されましたが、無視される可能性があります。 11 : パケット受信が中断されました。

(1) 設定されている場合、このビット フィールドの 1 バイトが受信エントリに付加されます。

25.10.3 割り込み

無線 CPU は、ファームウェア定義の割り込みを使用して、イベントをシステム CPU に通知します。表 25-181 に、独自のコマンドで使用される割り込みを示します。各割り込みは、システム CPU で個別に有効化できます。セクション 25.10.4 およびセクション 25.10.5 に、割り込みが生成されるタイミングの詳細を示します。

表 25-181. 割り込み定義

割り込み番号	割り込み名	説明
0	COMMAND_DONE	無線操作コマンドが終了しました
1	LAST_COMMAND_DONE	一連のコマンドの最後の無線操作コマンドが終了しました
10	TX_ENTRY_DONE	無制限の長さのパケット送信の場合 : TX エントリからの読み取りが終了します
16	RX_OK	CRC OK、ペイロードで受信されたパケットで、無視しないようにします
17	RX_NOK	CRC エラーが発生したパケットを受信
18	RX_IGNORED	CRC OK で受信されたパケットですが、無視されます
22	RX_BUF_FULL	受信したパケットが RX バッファに収まりませんでした
23	RX_ENTRY_DONE	RX キュー データのエントリの状態が終了に変更
24	RX_DATA_WRITTEN	部分的読み取り RX バッファに書き込まれるデータ
25	RX_N_DATA_WRITTEN	部分的読み取り RX バッファに書き込まれる指定バイト数
26	RX_ABORTED	パケットの受信が停止した後、パケットが完了しました
28	SYNTH_NO_LOCK	シンセサイザがロックの喪失を報告しました
29	MODULES_UNLOCKED	ブート プロセスの一環として、Arm Cortex-M0 プロセッサは RF コアのモジュールおよびメモリへのアクセスを有効化します
30	BOOT_DONE	RF コアの CPU ブートが完了します
31	INTERNAL_ERROR	無線 CPU で予期しないエラーが観察されました

25.10.4 データ処理

独自モードの TX コマンドでは、無線で受信したデータは受信キューに保存されます。部分読み取り対応の RX バッファがサポートされており、無制限長のパケットを受信する場合には必須です。送信されたデータは特定のバッファからフェッチされます。

25.10.4.1 受信バッファ

受信したパケットは受信バッファに格納されます。最初に、RX エントリで config.lenSz として設定されている場合、長さバイトまたはワードが格納され、無線で受信した長さと付加情報の構成から計算されます。あるいは、セグメントの最大サイズに初期化された部分読み取り RX バッファの場合は、終了時に 1 バッファのセグメントの長さに設定されます。

オプションの長さフィールドの後に、rxConf.bIncludeHdr が 1 の場合、受信したヘッダーは無線で受信したものとして格納されます。このヘッダーは、CMD_PROP_RX の長さバイトで、CMD_PROP_RX_ADV の最大 32 ビットのフィールドです。後者の場合、ビット数が 8 で割り切れない場合、ヘッダーの最後のバイトの最上位ビット (MSB) がゼロでパディングされ、その後に受信アドレス (設定されている場合) とペイロードが続きます。

rxConf.bIncludeCrc が 1 の場合、受信した CRC 値は RX バッファに格納されます。それ以外の場合、受信した CRC 値は格納されませんが、CRC 結果のチェックにのみ使用されます。rxConf.bAppendRssi が 1 の場合、受信した RSSI 値を示すバイトが追加されます。rxConf.bAppendStatus が 1 の場合、表 25-180 で定義されているタイプのステータス

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

バイトが追加されます。rxConf.bAppendTimeStamp が 1 の場合、パケットの開始を示すタイムスタンプが付加されます。このタイムスタンプは ratmr_t データ型に一致します。タイムスタンプはマルチバイトですが、ワード アドレスの整列が行われないため、タイムスタンプはバイト単位で書き込みおよび読み取りする必要があります。

パケットの受信が中断されると、部分読み取り RX エントリが使用されている場合を除いて、そのパケットはただちに受信キューから削除されます。この場合、RSSI、タイムスタンプ、ステータス の各フィールドが設定されていれば追加され (バッファ領域が残っていない場合を除いて)、ステータス バイトは受信が中断されたことを示します。

図 25-11 に RX キュー内のエントリ要素のフォーマットを示します。

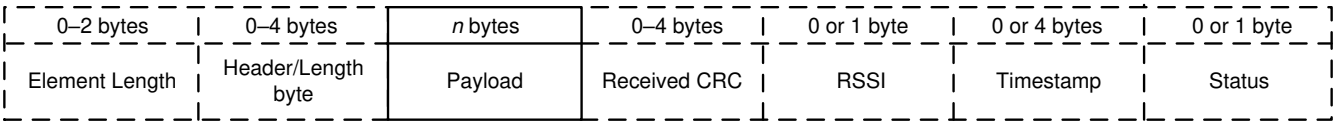


図 25-11. 受信バッファのエントリ要素

RX エントリが状態を「完了」に変更すると、RX_ENTRY_DONE 割り込みが発生します。使用されている RX エントリのタイプによって、これは次のことを意味します。

- 一般エントリまたはポインタ エントリの場合、パケットが自動的にクリアされない限り、パケットが完全に受信された後に RX_ENTRY_DONE 割り込みが発生します。
- マルチエレメント エントリの場合、新しいバッファが割り当てられて新しいエントリが使用されたとき、またはバッファが終了してエントリ全体が埋められたときに、RX_ENTRY_DONE 割り込みが発生します。
- 部分読み取りエントリの場合、RX エントリが許容量に達したときに RX_ENTRY_DONE 割り込みが発生するため、次のエントリで書き込みを続行する必要があります。

部分読み取りエントリの場合、データが受信バッファに書き込まれるたびに RX_Data_Written 割り込みが発生します。RX_N_Data_Written は、パケットの開始後に config.irqIntv (データ エントリに指定) バイトの倍数が書き込まれるたびに発生します。

25.10.4.2 送信バッファ

送信動作には、送信されるデータを備えたバッファが含まれます。このバッファのバイト数は pktLen によって指定されます。CMD_PROP_TX コマンドでは、pktConf.bVarLen が 1 の場合、pktLen に指定された長さが最初のバイトとして送信され、その後に送信バッファの内容が続きます。

CMD_PROP_TX_ADV の場合、ヘッダ長が 0 より大きい場合、バッファの最初のバイトにはヘッダが含まれます。バイト数は、ヘッダ内のビット数を 8 で割った値で、切り上げられます。ビット数が 8 分周されない場合、最後のヘッダ バイトの MSB は送信されません。CMD_PROP_TX_ADV を使用して長さフィールドを送信する場合、その値はヘッダの一部としてシステム側から明示的に指定する必要があります。

無制限の長さが設定されている場合、一つのバッファの代わりに TX キューが使用されます。この場合、ペイロードの送信はキューが空になるまで続行されます。あるエントリからの転送が終了するたびに、読み取りが次のエントリから続行されるか、ペイロード全体がモデムに入力されるたびに、TX_ENTRY_DONE 割り込みが発生します。

25.10.5 無線動作コマンドの説明

独自の RX/TX 無線動作コマンドを実行する前に、CMD_PROP_RADIO_SETUP または CMD_PROP_RADIO_DIV_SETUP コマンドを使用して無線を独自モードに設定する必要があります。または、CMD_RADIO_SETUP コマンドを使用して互換性のある別のモードに設定しておく必要があります。さもなければ、動作はエラーで終了します。RX および TX コマンドでは、CMD_FS コマンドを使用してシンセサイザを設定しておく必要があります。通常、これは CMD_FS の直後に RX または TX コマンドが続くコマンド チェーンによって実行できます。

25.10.5.1 動作の終了

発行されたコマンドのステータス フィールドは、操作中に更新されます。コマンドを送信するときは、システム CPU はこのフィールドに IDLE 状態を書き込む必要があります。動作中、無線 CPU はフィールドを更新して動作モードを示します。

Copyright © 2026 Texas Instruments Incorporated

動作が完了すると、無線 CPU は動作が完了したことを示すステータスを書き込みます。独自の無線操作で使用されるステータス コードを
表 25-182 に示します。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-182. 独自の無線動作ステータス コード

個数	名称	説明
動作が終了していない		
0x0000	IDLE	動作が開始していない
0x0001	PENDING	開始トリガ待ち
0x0002	アクティブ	実行中の動作
動作が正常に終了		
0x3400	PROP_DONE_OK	動作が正常に終了
0x3401	PROP_DONE_RXTIMEOUT	同期待機中の終了トリガの後に動作が停止
0x3402	PROP_DONE_BREAK	パケットの途中でタイムアウトが発生したため、RX が停止
0x3403	PROP_DONE_ENDED	受信中の終了トリガ後に動作が停止
0x3404	PROP_DONE_STOPPED	停止コマンド後、動作が停止
0x3405	PROP_DONE_ABORT	中止コマンドによって動作が中断
0x3406	PROP_DONE_RXERR	CRC エラーのあるパケットを受信後、動作が終了
0x3407	PROP_DONE_IDLE	アイドル チャネルにより、キャリア検知動作が終了
0x3408	PROP_DONE_BUSY	ビジー チャネルにより、キャリア検知動作が終了
0x3409	PROP_DONE_IDLETIMEOUT	csConf.timeoutRes = 1 でタイムアウトしたため、キャリア検知動作が終了
0x340A	PROP_DONE_BUSYTIMEOUT	csConf.timeoutRes = 0 でタイムアウトしたため、キャリア検知動作が終了
動作がエラーで終了		
0x3800	PROP_ERROR_PAR	不正なパラメータ
0x3801	PROP_ERROR_RXBUF	パケットの開始時に受信データに使用できる十分な大きさの RX バッファがない
0x3802	PROP_ERROR_RXFULL	部分的な読み取りバッファでの受信中に RX バッファから復帰
0x3803	PROP_ERROR_NO_SETUP	無線が専用モードで設定されていない
0x3804	PROP_ERROR_NO_FS	RX または TX の実行中にシンセサイザがプログラムされていない
0x3805	PROP_ERROR_RXOVF	動作中に検出された TX オーバーフロー
0x3806	PROP_ERROR_TXUNF	動作中に検出された TX アンダーフロー

各動作のステータスを示すための条件がリストに記載されています。表 25-182 に記載されているエラー原因の一部は、これらのリストには重複して掲載されていません。開始トリガを待機している間に CMD_STOP または CMD_ABORT を受信した場合、終了原因はそれぞれ DONE_STOPPED または DONE_ABORT となり、最終結果は FALSE および ABORT になります。場合によっては、一般的なエラー原因が発生します。このようなエラーの場合はすべて、動作結果が ABORT になります。

25.10.5.2 独自のモード設定コマンド

独自モードの無線では、CMD_RADIO_SETUP の代わりに CMD_PROP_RADIO_SETUP コマンドおよび CMD_PROP_RADIO_DIV_SETUP コマンドを使用します。CMD_PROP_RADIO_SETUP または CMD_PROP_RADIO_DIV_SETUP が実行されている場合、トリム値は他の場所で提供されていない限り FCFG1 から読み出されます (詳細については、セクション 25.3.3.1.2 を参照)。

開始時に、無線 CPU は表 25-175 に記載されたパラメータを使用して独自モードのパラメータを設定します。modulation.modType パラメータは、GFSK と非整形 FSK のいずれかを選択し、。FSK および GFSK では、modulation.deviation によって周波数偏移量を指定します。この偏移量は modulation.stepSize で設定されたステップ サイズ単位で表されます。無線 CPU はこのパラメータを使用して、TX で使用する適切な形状を計算します。

注

ハードウェア上の制約により、周波数偏移量の精度は設定したステップ サイズよりも粗くなる場合があります。

Copyright © 2026 Texas Instruments Incorporated

シンボル レートは symbolRate でプログラムされています。これらのパラメータはモデムに直接渡され、外部ツールを使用して算出することができます。シンボル レートは式 15 で与えられます。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

$$f_{baud} = (R \times f_{clk}) / (p \times 2^{21}) \quad (15)$$

ここで、

- f_{baud} は取得されたボーレートです
- f_{clk} は 48MHz のシステム クロック周波数です
- R は symbolRate.rateWord で指定されるレート ワードです
- p はプリスケーラ値を表し、symbolRate.preScale で指定されます。この値の範囲は 4 ～ 255 です

rxBw パラメータはレシーバの帯域幅を示します。64 ～ 108 の値を指定すると、推奨設定によるサポート対象の帯域幅が得られます。値 32 ～ 52 はこの一部を示しており、CC13x0 との下位互換性を確保するためにサポートされています。1 ～ 18 の値は、CC13x2 および CC26x2 デバイス プラットフォームとの互換性を確保するため、設定値 35 ～ 52 と同じ帯域幅を提供します。サポートされている値と対応する設定については、表 25-183 を参照してください。レシーバの帯域幅は、868MHz (LO 分周器 5)、915MHz (LO 分周器 5)、2432MHz (LO 分周器 2) の RF 周波数に対して示されます。帯域幅は、RF 周波数に LO 分周器を乗算した値に比例します。

表 25-183. レシーバの帯域幅設定

設定 (従来)	設定 (標準)	設定 (拡張)	レシーバ帯域幅 (868MHz)	レシーバ帯域幅 (915MHz)	レシーバ帯域幅 (2432MHz)	デフォルト中間周波数 (kHz)
—	—	64	4.3	4.5	4.8	62.5
—	—	65	4.9	5.1	5.4	62.5
—	—	66	6.1	6.5	6.9	62.5
—	—	67	7.4	7.8	8.2	62.5
—	—	68	8.5	9.0	9.6	125
—	—	69	9.7	10.2	10.9	125
—	—	70	12.2	12.9	13.7	125
—	—	71	14.7	15.5	16.5	125
—	—	72	17.1	18.0	19.1	125
—	—	73	19.4	20.5	21.8	125
—	—	74	24.5	25.8	27.4	125
—	—	75	29.4	31.0	33.0	125
—	—	76	34.1	36.0	38.3	250
—	32	77	38.9	41.0	43.5	250
—	33	78	49.0	51.6	54.9	250
—	34	79	58.9	62.1	66.0	250
—	—	80	68.3	72.0	76.5	250
1	35	81	77.7	81.9	87.1	250
2	36	82	98.0	103.3	109.8	250
3	37	83	117.7	124.1	131.9	250
—	—	84	136.6	144.0	153.1	500
4	38	85	155.4	163.8	174.2	500
5	39	86	195.9	206.5	219.6	500
6	40	87	235.5	248.2	263.9	500
—	—	88	273.1	287.9	306.1	1000
7	41	89	310.8	327.6	348.3	1000
8	42	90	391.8	413.0	439.1	1000
9	43	91	470.9	496.4	527.8	1000
—	-	92	546.3	575.8	612.2	1000
10	44	93	621.6	655.3	696.7	1000

Copyright © 2026 Texas Instruments Incorporated

表 25-183. レシーバの帯域幅設定 (続き)

設定 (従来)	設定 (標準)	設定 (拡張)	レシーバ帯域幅 (868MHz)	レシーバ帯域幅 (915MHz)	レシーバ帯域幅 (2432MHz)	デフォルト中間周波数 (kHz)
11	45	94	783.6	826.0	878.2	1000
12	46	95	941.8	992.8	1055.6	1000
—	—	96	1092.5	1151.7	1224.4	1000
13	47	97	1243.2	1310.5	1393.3	1000
14	48	98	1567.2	1652.1	1756.4	1000
15	49	99	1883.7	1985.7	2111.1	1000
—	—	100	2185.1	2303.4	2448.9	1000
16	50	101	2486.5	2621.1	2786.7	1000
17	51	102	3134.4	3304.2	3512.9	1000
18	52	103	3767.4	3971.4	4222.2	1000
その他			予約済み			

CMD_PROP_RADIO_DIV_SETUP コマンドには、周波数帯域および中間周波数に関する設定が含まれています。使用する帯域の中心周波数は centerFreq で与えられ、トランスミッタ シェーピング フィルタと TX IF の計算に使用されます。シンセサイザで使用する分周比は、loDivider で指定します。ユーザーは、設定が指定された周波数と互換性があることを確認する必要があります。値 0 または 2 は、2.4GHz 帯での動作をサポートするデバイスでのみ使用できます。一方、2 を超える値は、Sub-1GHz 帯での動作をサポートするデバイスでのみ使用できます。
CMD_PROP_RADIO_SETUP コマンドでは、centerFreq はデフォルトで 2432MHz に、loDivider はデフォルトで 0 になります。

CMD_PROP_RADIO_DIV_SETUP では、中間周波数を intFreq パラメータで指定できます。このパラメータに基づいて RX 用モデムの設定値が算出され、値が構成パラメータ領域に書き込まれます。このパラメータが 0x8000 で、CMD_PROP_RADIO_SETUP の場合、表 25-183 で示されているデフォルトの中間周波数が使用されます。設定された中間周波数が TX でサポートされているかどうかが確認されます。そうでない場合、TX 中間周波数は 0 に設定されます。これは、中間周波数が RF 中心周波数を 15500 で除した値を超える場合、。これにより、RX と TX の切り替え時に再較正を行うことなく、シンセサイザが再設定されます。これにより、必要なターンアラウンド時間が増加する場合があります。また、場合によっては周波数シンセサイザがロック状態を維持できなくなり、RX と TX の切り替え時に再較正が必要になることがあります。

preamConf の設定では、プリアンブルが指定されます。プリアンブルは 1010... または 0101... のビット列であり、最初に送信されるビットは preamConf.preamMode によって指定されます。16 バイトを超える場合、偶数バイトのみがサポートされます。preamConf.nPreamBytes = 31 に設定すると 4 ビットプリアンブルとなり、preamConf.nPremBytes = 0 に設定すると 1 ビット プリアンブルとなります。

formatConf 設定は、パケット形式のさまざまな設定に使用されます。同期ワードの長さは nSwBits で与えられ、最大 32 ビットに対応できます。FSK 系変調におけるビット極性は bBitReversal によって指定されます。CC1101 との互換性を確保するため、この値は 1 に設定する必要があります。ビット順序は bMsbFirst によって指定され、1 に設定すると CC1101 デバイスとの互換性が得られ、その他の設定についても同様です。whitenMode 設定では、ホワイトナ スキームを選択できます。その他のホワイトナは、オーバーライド設定を使用して実現します。IEEE 802.15.4g 設定の詳細については、セクション 25.10.5.2.1 を参照してください。fecMode の設定を使用して、送信または受信する信号の符号化方式を変更できます。長距離モード (fecMode = 8) では、nSwBits の設定および RX コマンドと TX コマンドで設定された同期ワードは無視され、性能の良い固定の 64 ビット同期ワードが使用されます。fecMode を 10 に設定すると、マンチェスター符号化が有効になります。ペイロードと CRC のエンコード / デコードのみがサポートされます。0 は 01b として、1 は 10b にエンコードされます。

このコマンドは、多項式 $x^{16} + x^{15} + x^2 + 1$ とすべての 1 の初期化で 16 ビット CRC を設定します。これは CC1101 デバイスとの互換性があります。その他の多項式、長さ、初期化は、パラメータのオーバーライドによって得ることができます。

Copyright © 2026 Texas Instruments Incorporated

pRegOverride パラメータは、CMD_RADIO_SETUP に指定するものと同様のオーバーライド構造体へのポインタを指定します。このパラメータは、コマンド内の他の設定から計算されたパラメータ、および他のパラメータをオーバーライドするために使用できます。値が NULL の場合、オーバーライドは使用されません。

25.10.5.2.1 IEEE 802.15.4g パケット形式

ヘッダを含む IEEE 802.15.4g PHY は、CMD_PROP_RX_ADV コマンドおよび CMD_PROP_TX_ADV コマンドを使用することでサポートされます。

CMD_PROP_RADIO_DIV_SETUP コマンドを使用して formatConf.whitenMode フィールドを値 4、5、6、または 7 に設定し、formatConf.bMsbFirst を 1 に設定することで、無線は IEEE 802.15.4g モードに構成されます。CMD_PROP_TX_ADV コマンドおよび CMD_PROP_RX_ADV コマンドでは、pktConf.bCrcIncSw と pktConf.bCrcIncHdr の両方を 0 に設定する必要があります。CMD_PROP_RX_ADV では、hdrConf.numHdrBits を 16、hdrConf.lenPos を 0、hdrConf.numLenBits を 11、lenOffset を −4 に設定する必要があります。

formatConf.whitenMode が 5 または 7 の場合、無線は IEEE 802.15.4g で定義されている 32 ビット CRC およびホワイトニングを生成するように構成されます。formatConf.whitenMode が 6 または 7 の場合、無線は受信と送信の両方でヘッダも次のように処理します。

- ヘッダのビット 15 (LSB から数える) が 1 の場合、フレームはヘッダのみで構成され、ペイロードまたは CRC はないものと見なされます。
- ヘッダのビット 12 (LSB から数える) が 1 の場合、32 ビット CRC ではなく、IEEE 802.15.4g で定義されている 16 ビット CRC が使用されるものと見なされます。TX では、CRC が受信フレーム長に含まれるものとして、これを考慮するために長さオフセットに 2 が加算されます。
- モード 7 の場合：ヘッダのビット 11 (LSB から数える) が 1 の場合、ホワイトニングが有効になります。それ以外の場合は無効になります。

注

IEEE 802.15.4g PHY ヘッダは、MSB ファーストで RF Core に渡す必要があります。IEEE 802.15.4g 仕様では、ペイロード部分は LSb ファーストですが、物理層ヘッダ (PHR) のペイロード長情報は MSb ファーストです。つまり、ペイロードをシステム CPU で反転する必要があります。これは、システム CPU のアセンブリ命令 RBIT によって実現できます。

次の例では、自動ヘッダ処理機能 (formatConf.whitenMode = 7) を使用して、ホワイトニングが有効な CRC-32 IEEE 802.15.4g フレームを送信する方法を示します。

```
/*
 * Prepare the .15.4g PHY header
 * MS=0, Length MSBits=0, DW and CRC settings read from 15.4g header (PHDR) by RF core.
 * Total length = transmit_len (payload) + CRC length
 *
 * The Radio will flip the bits around, so tx_buf[0] must have the
 * length LSBs (PHR[15:8] and tx_buf[1] will have PHR[7:0]
 */
/* Length in .15.4g PHY HDR includes the CRC but not the HDR itself */
```

```
uint16_t total_length;
```

```
total_length = transmit_len + CRC_LEN; /* CRC_LEN is 2 for CRC-16 and 4 for CRC-32 */
```

```
tx_buf[0] = total_length & 0xFF;
tx_buf[1] = (total_length >> 8) + 0x08 + 0x0; /* Whitening and CRC-32 bits */
tx_buf[2] = data;
```

IEEE 802.15.4g PHY の FEC、Mode Switch、またはその他の高度な機能をサポートするには、MCE パッチが必要です。

Copyright © 2026 Texas Instruments Incorporated

25.10.5.3 トランスミッタ・コマンド

パケット送信には、CMD_PROP_TX と CMD_PROP_TX_ADV の 2 つのコマンドがあります。後者は、パケットの生成方法に柔軟性を与えます。詳細については、セクション 25.10.5.3.1 と セクション 25.10.5.3.2 をそれぞれ参照してください。

どちらのコマンドでも、無線が互換モード (専用モードなど) に設定され、シンセサイザが CMD_FS を使用してプログラムされている必要があります。

どちらのコマンドでも、パケットが送信された後、pktConf.bFsOff が 1 の場合にコマンドが終了すると周波数シンセサイザがオフになります。pktConf.bFsOff が 0 の場合、シンセサイザは実行を継続します。シンセサイザをオフにするには、コマンドの後に RX または TX コマンド (同じ周波数で動作) または CMD_FS_OFF コマンドを実行する必要があります。

表 25-184 に、CMD_PROP_TX と CMD_PROP_TX_ADV を使用する場合の終了ステータスを示します。このステータスは次の動作を決定します。セクション 25.10.5.1 を参照してください。

表 25-184. 無線の CMD_PROP_TX および CMD_PROP_TX_ADV コマンドの終了

条件	ステータス コード	結果
パケットを送信しました	PROP_DONE_OK	TRUE
パケットの送信中に CMD_STOP を受信し、パケットの送信を完了しました	PROP_DONE_STOPPED	FALSE
パケットの送信中に CMD_ABORT を受信しました	PROP_DONE_ABORT	ABORT
不正なパラメータを検出しました	PROP_ERROR_PAR	ABORT
CMD_PROP_RADIO_SETUP または CMD_RADIO_SETUP を使用してサポート対象のモードでの無線設定をせずにコマンドを送信しました	PROP_ERROR_NO_SETUP	ABORT
シンセサイザをプログラムせずにコマンドを送信しました	PROP_ERROR_NO_FS	ABORT
動作中に TX アンダーフローを観測しました	PROP_ERROR_TXUNF	ABORT

25.10.5.3.1 標準送信コマンド、CMD_PROP_TX

CMD_PROP_TX コマンドは、表 25-172 に示す形式のパケットを送信します。パラメータを表 25-168 に示します。

パケット送信は、指定された開始トリガで、固定遅延を伴って開始されます。モデムは最初に、構成されたとおりにプリアンブルと同期ワードを送信します。送信する同期ワードは syncWord フィールドで指定され、32 ビット未満が使用される場合は LSB に配置されます。ワードは、無線にプログラムされたビット順序で送信されます。

pktConf.bVarLen が 1 の場合、pktLen の値と等しい長さバイトが次に送信されます。その後、pPkt が指すバッファの内容が送信されます。このバッファは、pktLen で指定されたバイト数で構成されます。図 25-9 に示すアドレス バイトが必要な場合は、最初のペイロード バイトとして送信する必要があります。

pktConf.bUseCrc が 1 の場合、CRC が計算され、最後に送信されます。CRC ビット数、多項式、および初期化は、無線での設定に従います。CRC は、長さバイト (存在する場合) と、pPkt が指すバッファの内容全体を対象として計算されます。

ホワイトニングが有効な場合、オプションの長さバイト、pPkt が指すバッファの内容全体、および CRC にホワイトニングが適用されます。ホワイトニングは、データが CRC 計算に使用された後で実行されます。

25.10.5.3.2 高度な送信コマンド、CMD_PROP_TX_ADV

CMD_PROP_TX_ADV コマンドは、図 25-10 のフォーマットのパケットを送信します。特別なケースとして、ユーザは図 25-9 のようにパケットを設定できます。無線は互換性のあるモード (独自モードなど) に設定し、CMD_FS を使用してシンセサイザを設定しておく必要があります。パラメータを表 25-173 に示します。

パケットの送信は、指定された開始トリガーから一定の遅延時間をおいて開始されます。または、startConf.bExtTXTrig が 1 の場合、RF コアへの外部トリガからパケット送信が開始されます。このトリガは無線タイマへの入力の一つとして指定され、startConf パラメータによって立ち上がりエッジ、立ち下がりエッジ、またはその両方のエッジで動作するように設定できます。システムは、このトリガが開始トリガの後に発生することを保証する必要があります。そうでない場合、このトリガは失われます。開始トリガ後の最小遅延時間は実装依存であり、評特性測定の対象となります。

Copyright © 2026 Texas Instruments Incorporated

モデムはまず、設定されたとおりのプリアンブルおよび同期ワードを送信します。preTrigger が TRIG_NOW でない場合、設定されたプリアンブルは、トリガ (preTime と組み合わせて判定されます) が検出されるまで繰り返し送信されます。トリガが検出されると、送信中のプリアンブルは最後まで送信され、その後に同期ワードの送信が開始されます。preTrigger が TRIG_NOW の場合、プリアンブルが一回送信され、その後に同期ワードが送信されます。送信する同期ワードは syncWord フィールドで指定されます。32 ビット未満を使用する場合は LSB に格納され、無線に設定されたビット順序で送信されます。

numHdrBits が 0 より大きい場合、numHdrBits のヘッダが次に送信されます。ヘッダには、長さフィールドまたはアドレスを含めることができます。その場合、これらのフィールドはパケット バッファ内に正しく挿入する必要があります。送信されるヘッダは、pPkt が指すバッファの最初のバイトです。numHdrBits が 8 の倍数でない場合、ヘッダの最後のバイトの MSB は無視されます。

ヘッダは一つのフィールドとして扱われ、無線に設定されたビット順序で送信されます。ヘッダが 8 ビットを超える場合、ヘッダは常に送信バッファからリトル エンディアンのバイト順で読み出されます。無線が MSB ファースト送信に設定されている場合、TX バッファ内の最後のヘッダ バイトが最初に送信されます。

ヘッダの送信後、pPkt が指すバッファ内の残りのバイトが送信されます。ペイロードはバイト単位で送信されるため、ヘッダ以降は、無線上のビット順序の設定にかかわらず、バイトの並べ替えは行われません。このバッファ内の合計バイト数 (ヘッダを含む) は pktLen によって指定されます。この長さがヘッダを格納するのに不足している場合、動作は PROP_ERROR_PAR ステータスで終了します。図 25-10 に示すヘッダの後にアドレス フィールドが必要な場合は、最初のペイロード バイトとして送信する必要があります。

pktLen が 0 の場合、無制限の長さが使用されます。この場合、pPkt はバッファではなく送信キューを指します。セクション 25.5.3.2 を参照してください。

pktConf.bUseCrc が 1 の場合、CRC が計算され、最後に送信されます。CRC ビット数、多項式、初期化値は、無線の設定に従います。pktConf.bCrcIncSw が 1 の場合、送信される同期ワードは CRC の計算対象データに含まれます。pktConf.bCrcIncHdr が 1 の場合、CRC が計算されるデータセットに送信されたヘッダが含まれます。ペイロードは常に CRC の計算に使用されます。

ホワイトニングが有効な場合、pktConf.bCrcIncHdr が 1 の場合、オプション ヘッダーはホワイトニングの対象となります。ペイロード全体および CRC は、ホワイトニングが有効な場合には常にホワイトニング処理の対象となります。ホワイトニングは、CRC 計算にデータが使用された後に行われます。

25.10.5.4 レシーバ コマンド

パケットを受信するためのコマンドには、CMD_PROP_RX と CMD_PROP_RX_ADV の 2 つがあります。後者では、パケットの形成方法に柔軟性が高くなります。詳細については、セクション 25.10.5.4.1 とセクション 25.10.5.4.2 をそれぞれ参照してください。

どちらのコマンドでも、無線を互換性のあるモード (独自モードなど) に設定し、コマンドを無線コアに送信する前に CMD_FS を使用してシンセサイザをプログラムする必要があります。

どちらのコマンドにも、endTrigger および endTime で指定される終了トリガがあります。レシーバが同期を検索している間にこのトリガが発生した場合、動作はステータス PROP_DONE_RXTIMEOUT で終了します。パケット受信中にトリガが発生した場合、アクションは pktConf.endType によって異なります。pktConf.endType = 0 の場合、パケットは最後まで受信され、その後、動作は PROP_DONE_ENDED ステータスで終了します。pktConf.endType = 1 の場合、パケット受信は中止され、動作は PROP_DONE_BREAK ステータスで終了します。無線は、セクション 25.10.5.4.1 と セクション 25.10.5.4.2 にそれぞれ示されている詳細に従ってパケットを受信します。パケットを受信すると、割り込みが発生します。pOutput が NULL でない場合、pOutput が指す、表 25-173 に示す出力構造も更新されます。発生する割り込みと更新するフィールドを表 25-185 に示します。この表には、受信バッファが有効な場合にステータス フィールドに書き込まれる結果も示されます。パケットを無視する条件については、セクション 25.10.5.4.1 とセクション 25.10.5.4.2 にそれぞれ説明されています。

Copyright © 2026 Texas Instruments Incorporated

表 25-185. 受信パケットの割り込み、カウンタ、結果フィールド (1)

条件	発生する割り込み	カウンタがインクリメント済み	ステータス バイトの結果フィールド
CRC OK でパケット全体を受信し、無視対象外	RX_OK	nRxOk	0
CRC エラーでパケット全体を受信	RX_NOK	nRxNok	1
CRC OK でパケット全体を受信し、アドレス不一致 (pktConf.filterOp = 1)	RX_IGNORED	nRxIgnored	2
タイムアウト (pktConf.endType = 1)、CMD_ABORT、CMD_PROP_SET_LEN で長さが短すぎる、または CMD_PROP_RESTART_RX によりパケット受信を中止	RX_ABORTED	nRxStopped	3 (1)
不正な長さまたはアドレス不一致 (pktConf.filterOp = 0) によりパケット受信を中止	RX_ABORTED	nRxStopped	–
バッファ容量不足によりパケットが格納不可	RX_BUF_FULL	nRxBufFull	3 (1)

(1) 指定された部分読み出しエントリが使用され、データがバッファに書き込まれます。

どちらのタイプのコマンドでも、maxPktLen を 0 に設定することで、パケット受信の開始時点でパケット長を無制限または不明として構成できます。このモードは、部分読み出し RX バッファでのみ使用できます。後で長さが判明した場合は、ヘッダ (存在する場合) と CRC の間のバイト数を指定する即時コマンドまたはダイレクト コマンドの CMD_PROP_SET_LEN によって設定できます。この方法で長さを設定するほか、次の方法でパケット受信を停止できます (以下の場合、CRC チェックは実行されません)。

- CMD_PROP_SET_LEN が、すでに受信済みのバイト数より小さい値で呼び出された場合
- CMD_PROP_RESTART_RX が発行された場合
- 利用可能な RX バッファがなくなった場合
- 終了トリガが発生し、pktConf.endType が 1 の場合
- CMD_ABORT によってコマンドが中止された場合

無視されるパケットおよび CRC エラーのあるパケットについては、受信バッファの自動フラッシュを構成できます。この場合、パケットは受信後に受信バッファから削除されるため、次のパケットによって上書きされ、カウンタも受信したパケットを反映するようには更新されません。

注

部分読み出し RX エントリでは、自動フラッシュはサポートされていません。CRC エラーのあるパケット (つまり、RX_NOK 割り込みが発生するパケット) は、rxConf.bAutoFlushCrcErr が 1 の場合に自動的にフラッシュされます。

無視されるパケット (つまり、RX_IGNORED 割り込みが発生するパケット) は、rxConf.bAutoFlushIgnored が 1 の場合に自動的にフラッシュされます。パケットを受信した後のアクションは、pktConf.bRepeat によって決まります。これが 0 の場合、コマンドは終了します。それ以外の場合は、コマンドの終了につながる別の条件が存在しない限り、RX に戻ります。コマンドが終了すると、pktConf.bFsOff が 1 の場合は周波数シンセサイザがオフになります。pktConf.bFsOff が 0 の場合、シンセサイザは動作を継続するため、後続のコマンドは、RX コマンドまたは TX コマンド (同じ周波数で動作するもの) か、あるいはシンセサイザをオフにする CMD_FS_OFF コマンドである必要があります。

CMD_PROP_RX および CMD_PROP_RX_ADV の終了ステータスを表 25-186 に示します。このステータスは次の動作を決定します。セクション 25.10.5.1 を参照してください。

表 25-186. 無線 CMD_PROP_RX および CMD_PROP_RX_ADV コマンドの終了

条件	ステータス コード	結果
CRC OK のパケットを受信し、pktConf.bRepeatOk = 0	PROP_DONE_OK	TRUE
CRC エラーのあるパケットを受信し、pktConf.bRepeatNok = 0	PROP_DONE_RXERR	FALSE
同期検索中に終了トリガを検出	PROP_DONE_RXTIMEOUT	FALSE
パケット受信中に終了トリガを検出し、pktConf.endType = 1	PROP_DONE_BREAK	FALSE

Copyright © 2026 Texas Instruments Incorporated

表 25-186. 無線 CMD_PROP_RX および CMD_PROP_RX_ADV コマンドの終了 (続き)

条件	ステータス コード	結果
パケット受信中に終了トリガを検出後、pktConf.endType = 0 でパケットを受信	PROP_DONE_ENDED	FALSE
コマンド開始後に CMD_STOP を受信し、同期が見つかっている場合はパケットを受信	PROP_DONE_STOPPED	FALSE
コマンド開始後に CMD_ABORT を受信	PROP_DONE_ABORT	ABORT
パケット開始時に利用可能な RX バッファなし	PROP_ERROR_RXBUF	FALSE
部分的な読み取りバッファでの受信中に RX バッファから復帰	PROP_ERROR_RXFULL	FALSE
不正なパラメータを検出	PROP_ERROR_PAR	ABORT
CMD_PROP_RADIO_SETUP または CMD_RADIO_SETUP を使用してサポート対象のモードで無線をセットアップせずにコマンドを送信	PROP_ERROR_NO_SETUP	ABORT
シンセサイザをプログラムせずにコマンドを送信	PROP_ERROR_NO_FS	ABORT
動作中に検出された TX オーバーフロー	PROP_ERROR_RXOVF	ABORT

25.10.5.4.1 標準受信コマンド、CMD_PROP_RX

CMD_PROP_RX は、図 25-9 に示されるフォーマットのパケットを受信します。
パラメータを、表 25-174 に示します。

モデムは受信先を設定し、同期のために待ち受けを開始します。待ち受ける同期ワードは、32 ビット未満の場合は、syncWord フィールドの LSB に指定されます。ワードは、無線でプログラムされたビット順序です。

同期が検出されると、無線 CPU はデータの受信を開始します。pktConf.bVarLen が 1 で maxPktLen がゼロでない場合、長さバイトが次のバイトと見なされます。この長さバイトは maxPktLen と比較され、それより大きい場合は受信が停止され、同期検索が再開されます。それ以外の場合は、長さバイトには長さバイトの後で CRC の前のバイト数が示されます。pktConf.bVarLen が 0 の場合、長さは固定され、受信側は同期ワードの後で CRC の前に maxPktLen バイト分があると想定します。maxPktLen がゼロの場合、セクション 25.10.5.4 の冒頭に記載されているように、長さは無制限になります。

pktConf.bChkAddress が 1 の場合、次にアドレス バイトがチェックされます。アドレス バイトは、address0 と address1 の値と比較されます。アドレスが 1 つだけ必要な場合は、これら 2 つのフィールドを同じ値に設定する必要があります。address1 が 0xFF の場合、0x00 値に対してもチェックされます。0x00 をチェックせずに 0xFF をチェックするには、address0 を 0xFF に設定する必要があります。アドレス バイトが構成されたアドレスと一致しない場合、それ以降の処理は pktConf.filterOp に依存します。これが 0 の場合、受信は停止し、同期検索が再開されます。これが 1 の場合、パケットはアドレスが一致したかのように受信されますが、「無視」とマークされます。

パケットが受信されている場合、データは受信バッファに格納されます。この受信バッファは、pQueue が指す受信キューにあります。pQueue が NULL の場合、パケットは保存されません。

pktConf.bUseCrc が 1 の場合、CRC を受信して最後にチェックされます。CRC ビット数、多項式、初期化値は、無線の設定に従います。CRC は、長さバイト (存在する場合)、オプションのアドレス、ペイロードに基づいて計算されます。pktConf.bUseCrc が 0 の場合、その処理は CRC OK の場合と同じです。

ホワイトニングが有効な場合、オプションの長さバイト、オプションのアドレスを含むペイロード、および受信された CRC は、デホワイトニングの対象となります。デホワイトニングは、CRC が評価される前に行われます。

ステータス バイトがパケットに付加されると (rxConf.bAppendStatus が 1)、次のようにフォーマットされます (表 25-180 を参照)。pktConf.addressMode がゼロでない場合、addressInd フィールドは address0 と一致した場合は 0、address1 と一致した場合は 1、0x00 と一致してこのアドレスが有効化された場合は 2、0xFF と一致してこのアドレスが有効化された場合は 3 になります。それ以外の場合、addressInd は 0 です。CMD_PROP_RX の syncWordId フィールドは常に 0 です。結果フィールドは、表 25-186 に従って書き込まれます。

25.10.5.4.2 高度な受信コマンド、CMD_PROP_RX_ADV

CMD_PROP_RX_ADV は、図 25-10 に示す形式のパケットを受信するために使用します。特殊なケースとして、ユーザーは、図 25-9 に記載されているようにパケットを設定できます。パラメータを表 25-175 に示します。

Copyright © 2026 Texas Instruments Incorporated

モデムはレシーバを構成し、同期のためにリスニングを開始します。リッスン対象の同期ワードは syncWord0 フィールドで指定され、使用するビット数が 32 ビット未満の場合は LSB に配置されます。このワードは、無線にプログラムされたビット順序になります。syncWord1 が 0 以外の場合、MCE でサポートされていれば、レシーバは syncWord1 フィールドで指定された同期ワード (同じ形式) もリッスンします。CMD_PROP_RX_ADV_SNIFF を使用し、csConf.bEnaCorr が 1 に設定されている場合、2 つの同期ワードを使用することはできません。

同期が検出されると、無線 CPU はデータの受信を開始します。パケットにはヘッダを含めることができ、ヘッダは hdrConf.numHdrBits で指定される最大 32 ビットまでの任意のビット数で構成できます。セクション 25.5.3.1 に示すように、ヘッダのビット数が 8 で除算されていない場合、すべての格納ビットを含むのに十分な数のバイトで構成されていると見なされます。このヘッダには、長さのフィールドまたはアドレスを含めることができます。

受信パケットの長さは、固定長または可変長にすることができます。hdrConf.numLenBits が 0 で、maxPktLen が 0 以外の場合、パケットは固定長になり、ヘッダの後、CRC の前に maxPktLen バイトが含まれます。hdrConf.numLenBits が 0 より大きい場合、ヘッダの LSB から hdrConf.lenPos ビット目を起点として読み取られる hdrConf.numLenBits のフィールドが、長さフィールドとして扱われます。符号付き数値 lenOffset が受信した長さに加算され、ヘッダの後、CRC の前のバイト数が決まります。この数値が maxPktLen 以下の場合、パケットは受信されます。maxPktLen が 0 の場合、セクション 25.10.5.4 の冒頭に記載されているとおり、長さは無制限になります。CMD_PROP_RX_ADV のパケット長の定義は CMD_PROP_TX_ADV の定義と異なります。ヘッダがパケット長に含まれる場合については、セクション 25.10.5.4.2 を参照してください。

2 種類のアドレスがサポートされています。最初のオプションでは、アドレスはヘッダの一部です。この場合、アドレス サイズは 1 ～ 31 ビットにすることができます。もう 1 つのオプションは、ヘッダの後にアドレスを持つことです。その場合、このアドレスは 1 ～ 8 バイトで構成されます。ヘッダの一部としてアドレスを使用するには、addrConf.addrType を 1 に設定する必要があります。アドレスのビット数は、addrConf.addrSize で指定されます。これらのビットは、ヘッダの先頭ビットから addrConf.addrPos ビット目を起点として読み取られます。ヘッダの後にあるアドレスを使用するには、addrConf.addrType を 0 に設定する必要があります。この場合、アドレスのバイト数は addrConf.addrSize で指定されます。

受信したアドレスは、pAddr が指すアドレス リストと比較されます。このリストと比較するアドレスは、受信したままの形式です。さらに、次のいずれかの条件が満たされる場合、同期ワードを識別する 1 ビットが MSB としてアドレスに連結されます。

- syncWord1 ≠ 0 および addrConf.addrType = 1
- syncWord1 ≠ 0、addrConf.addrType = 0、および addrConf.addrPos ≠ 0

この追加ビットは、受信した同期ワードが syncWord0 の場合は 0、syncWord1 の場合は 1 になります。アドレス リスト内のエントリのサイズは 8、16、32、または 64 ビットです。該当する場合は同期ワード識別ビットを含め、アドレス サイズを格納できる最小サイズになります。アドレス リスト内のエントリ数は addrConf.numAddr で指定されます。無線 CPU はアドレス リスト内のアドレスを順にスキャンし、受信したアドレスと比較します。一致しない場合、その後の処理は pktConf.filterOp によって異なります。これが 0 の場合、受信は停止され、同期検索が再開されます。これが 1 の場合、パケットはアドレスが一致した場合と同様に受信されますが、無視対象としてマークされます。

addrConf.addrSize が 0 の場合、アドレスは使用されません。この場合、pAddr は無視され、NULL である必要があります。

パケットが受信される場合、データはセクション 25.5.3.1 のとおり、受信バッファに配置されます。この受信バッファは、pQueue が指す受信キューから検出されます。pQueue が NULL の場合、パケットは保存されません。

ヘッダは、無線にプログラムされたビット順序で、1 つのフィールドとして受信されます。ヘッダが 8 ビットを超え、rxConf.bIncludeHdr が 1 の場合、ヘッダは常にリトル エンディアン バイト順で受信バッファに書き込まれます。無線が MSB を先に受信するように設定されている場合、受信バッファに保存される最後のヘッダ バイトが最初に受信されます。ペイロードはバイト単位で保存されるため、ヘッダの後では、無線経由のビット順序に関係なくバイトの入れ替えは発生しません。

pktConf.bUseCrc が 1 の場合、最後に CRC が受信され、チェックされます。CRC ビット数、多項式、および初期化は、無線での設定に従います。pktConf.bCrcIncSw が 1 の場合、受信した同期ワード (syncWord0 または syncWord1 と完

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

全に一致すると仮定) が、CRC 計算対象のデータ セットに含まれます。pktConf.bCrcIncHdr が 1 の場合、受信したヘッダが CRC 計算対象のデータ セットに含まれます。ペイロードは、ヘッダの後にあるオプションのアドレスを含め、常に CRC の計算に使用されます。pktConf.bUseCrc が 0 の場合、CRC OK と同じ処理になります。

ホワイトニングが有効になっている場合、オプションのヘッダは pktConf.bCrcIncHdr が 1 の場合にのみデホワイトニングの対象になります。ヘッダの後にあるオプションのアドレスを含むペイロードと、受信した CRC は、有効な場合、常にデホワイトニングの対象になります。デホワイトニングは、CRC が評価される前に実行されます。

ステータス バイトがパケットに付加される場合 (rxConf.bAppendStatus が 1)、その形式は次のとおりです (Receive Buffers

表 25-180 を参照)。addrConf.addrSize が 0 以外の場合、アドレス一致が存在していれば、addressInd フィールドは受信したアドレスと一致したアドレス リスト内の最初のインデックスになります。それ以外の場合、addressInd は 0 です。syncWordId フィールドは、受信した同期ワードが syncWord0 の場合は 0、syncWord1 の場合は 1 です。結果フィールドは、表 25-185 に従って書き込まれます。

25.10.5.5 キャリア センス動作

キャリア センス動作は信号の有無を検出し、主に以下の用途に使用します。

- 信号がないときに、受信の代わりに無線をオフにする
- 信号が存在しない場合にのみ、無線を送信する

キャリア センス動作は、CMD_PROP_CS コマンドを使用して別の動作 (送信動作など) を連鎖させるか、スニフ モードを実装するために CMD_PROP_RX_SNIFF または CMD_PROP_RX_ADV_SNIFF コマンドを使用して、通常の受信動作と組み合わせることができます。これらのコマンドの詳細については セクション 25.10.5.5.1、セクション 25.10.5.5.2、セクション 25.10.5.5.3 を参照してください。

25.10.5.5.1 一般的なキャリア センスの説明

セクション 25.10.2.3 に、すべてのコマンドに共通するキャリア センス動作のパラメータを示します。セクション 25.10.2.3 に、キャリア センス パラメータに使用される最初のバイトからのオフセットも示します。

チャネルは、次の三つの状態のいずれかになります。BUSY、IDLE、または INVALID です。BUSY は、チャネル上の信号を示します。IDLE は、チャネルに信号がないことを示します。INVALID は、状態を判別できないことを示します。チャネル情報には RSSI と相関値の二つの情報源があり、それぞれの情報源について独立した状態が維持されます。

無線機を受信モードに設定すると、動作が開始されます。RSSI または相関値は、csConf.bEnaRssi および csConf.bEnaCorr の有効化ビットに従って監視されます。csConf.bEnaRssi が 1 の場合、RSSI が監視されます。csConf.bEnaCorr が 1 の場合、プリアンブルと相関するように相関器が設定されます。両方のイネーブル ビットを 0 に設定することはできません。

csConf.bEnaRssi が 1 の場合、RSSI は無線回路から新しい値が取得されるたびに監視されます。更新ごとに、RSSI は符号付き値 rssiThr と比較されます。RSSI が rssiThr 未満であり、スレッショルド未満の RSSI 測定値が連続して numRssiIdle 回観測された場合、RSSI 状態は IDLE になります。RSSI が rssiThr を上回り、スレッショルドを超える RSSI 測定値が numRssiBusy 回連続して観測された場合、RSSI 状態は BUSY になります。それ以外の場合、RSSI 状態は INVALID です。

csConf.bEnaCorr が 1 の場合、無線 CPU はモデムからの相関ピークを監視します。無線機が起動すると、状態は INVALID です。キャリア センス コマンドの開始後、corrPeriod RAT ティックが経過するまで相関ピークが観測されなかった場合、状態は IDLE になります。状態が IDLE であり、かつ、相関ピーク間の間隔が corrPeriod RAT ティック以下である相関ピークが少なくとも corrConfig.numCorrInv 回観測された場合、状態は Invalid になります。状態が INVALID であり、かつ、相関ピーク間の間隔が corrPeriod RAT ティック以下である相関ピークが少なくとも corrConfig.numCorrBusy 回観測された場合、状態は BUSY になります。corrConfig.numCorrBusy が 0 の場合、状態は IDLE から直接 BUSY に遷移します。corrConfig.numCorrIdle の値は 0 より大きくなければなりません。状態が Idle 以外であり、最後の相関ピークが観測されてから corrTime RAT ティックが経過した場合、状態は再び IDLE になります。

Copyright © 2026 Texas Instruments Incorporated

有効化ビットのうち一方のみが 1 の場合、チャネル状態は対応する情報源の状態と同じになります。両方のイネーブル ビットが 1 の場合、チャネルの状態は、表 25-187 に示すように、二つのソースと csConf.operation ビットの状態によって異なります。

表 25-187. 両方のソースがイネーブルのときのチャネル状態

csConf.operation = 0			
RSSI 状態	相関状態		
	INVALID	IDLE	BUSY
INVALID	INVALID	INVALID	BUSY
IDLE	INVALID	IDLE	BUSY
BUSY	BUSY	BUSY	BUSY
csConf.operation = 1			
RSSI 状態	相関状態		
	INVALID	IDLE	BUSY
INVALID	INVALID	IDLE	INVALID
IDLE	IDLE	IDLE	IDLE
BUSY	INVALID	IDLE	BUSY

チャネルの状態が BUSY に変化した場合に実行される処理は、csConf.busyOp の設定および実行中のコマンドによって決まります。csConf.busyOp が 0 の場合、操作は続行されます。csConf.busyOp が 1 で、実行中のコマンドが CMD_PROP_CS の場合、動作はステータス PROP_DONE_BUSY で終了します。csConf.busyOp が 1 で、コマンドが CMD_PROP_RX_SNIFF または CMD_PROP_RX_ADV_SNIFF の場合、受信動作は継続されますが、キャリアセンスは停止されます。そのため、後でチャネル状態が IDLE に変化しても、動作には影響しません。

チャネル状態が IDLE に変化した場合の動作は、csConf.idleOp の設定によって決まります。このフィールドの値が 0 の場合、受信動作およびキャリア センス動作は継続されます。1 の場合、操作は PROP_DONE_IDLE をステータスとして終了します。

csEndTrigger および csEndTime で指定されたトリガが発生した場合の動作は、その時点で実行中のコマンドおよびチャネル状態によって決まります。詳細については、セクション 25.10.5.5.2 およびセクション 25.10.5.5.3 を参照してください。

25.10.5.5.2 キャリアセンス コマンド、CMD_PROP_CS

キャリアセンス コマンドが開始されると、無線は受信モードに設定され、セクション 25.10.5.5.1 で説明されている操作が実行されます。無線は互換性のあるモード (独自モードなど) に設定し、CMD_FS を使用してシンセサイザを設定しておく必要があります。

csEndTrigger と csEndTime で指定されたトリガが確認されると、動作が終了し、現在のチャネル状態がチェックされます。状態が BUSY の場合はステータスは PROP_DONE_BUSY となり、状態が IDLE の場合はステータスは PROP_DONE_IDLE となります。状態が INVALID の場合、状態は csConf.timeoutRes によって異なります。値が 0 の場合、ステータスは PROP_DONE_BUSYTIMEOUT となり、値が 1 の場合は PROP_DONE_IDLETIMEOUT となります。

CMD_PROP_CS が終了し、ステータスが PROP_DONE_BUSY または PROP_DONE_BUSYTIMEOUT の場合、csFsConf.bFsOffBusy が 1 に設定されていると、シンセサイザはオフになります。コマンドが終了し、ステータスが PROP_DONE_IDLE または PROP_DONE_IDLETIMEOUT の場合、csFsConf.bFsOffIdle が 1 に設定されていると、シンセサイザはオフになります。別のステータスで終了した場合、これらのビットのいずれかが 1 の場合、シンセサイザはオフになります。

CMD_PROP_CS で使用する終了ステータスのまとめを表 25-188 に示します。セクション 25.10.5.1 に示すように、このステータスによって次の操作が決定されます。

Copyright © 2026 Texas Instruments Incorporated

表 25-188. CMD_PROP_CS コマンドの終了

条件	ステータス コード	結果
チャネル状態が Busy と検出され、csConf.busyOp = 1 の場合	PROP_DONE_BUSY	TRUE
チャネル状態が Idle と判定され、csConf.idleOp = 1 の場合	PROP_DONE_IDLE	FALSE
チャネル状態が Busy のときにタイムアウトトリガが検出された場合	PROP_DONE_BUSY	TRUE
タイムアウトトリガが検出され、チャネル状態が Idle の場合	PROP_DONE_IDLE	FALSE
タイムアウトトリガが検出され、チャネル状態が Invalid で、かつ csConf.timeoutRes = 0 の場合	PROP_DONE_BUSYTIMEOUT	TRUE
タイムアウトトリガが検出され、チャネル状態が Invalid で、かつ csConf.timeoutRes = 1 の場合	PROP_DONE_IDLETIMEOUT	FALSE
コマンド開始後に CMD_STOP を受信	PROP_DONE_STOPPED	FALSE
コマンド開始後に CMD_ABORT を受信	PROP_DONE_ABORT	ABORT
不正なパラメータを検出しました	PROP_ERROR_PAR	ABORT
CMD_PROP_RADIO_SETUP または CMD_RADIO_SETUP を使用してサポート対象のモードでの無線設定をせずにコマンドを送信	PROP_ERROR_NO_SETUP	ABORT
シンセサイザをプログラムせずにコマンドを送信	PROP_ERROR_NO_FS	ABORT

25.10.5.5.3 スニッフ モード受信コマンド、CMD_PROP_RX_SNIFF および CMD_PROP_RX_ADV_SNIFF

CMD_PROP_RX_SNIFF および CMD_PROP_RX_ADV_SNIFF コマンドは、それぞれ CMD_PROP_RX および CMD_PROP_RX_ADV コマンドと同様に動作しますが、同期検索中にキャリア検知動作を実行します。

開始されると、これらのコマンドはセクション 25.10.5.5.1 に記載されたキャリア検知動作を実行します。前述のとおり、チャネル状態が IDLE になると動作が終了する場合があります。

csEndTrigger および csEndTime で指定されたトリガが検出されると、現在のチャネル状態が確認されます。BUSY の場合、受信機は動作を継続しますが、その後チャネル状態が IDLE になり、かつ csConf.busyOp が 0 の場合は終了することがあります。チャネル状態が IDLE の場合、動作は終了し (csConf.idleOp が 0 の場合でも)、ステータスは PROP_DONE_IDLE になります。チャネル状態が INVALID の場合、動作は csConf.timeoutRes に依存します。0 の場合、受信動作は継続され、csConf.busyOp が 1 の場合はキャリア検知は以後確認されません。csConf.timeoutRes が 1 の場合、動作は終了し、ステータスは PROP_DONE_IDLETIMEOUT になります。

同期が検出された場合、受信機はセクション 25.10.5.4 に記載されたとおりに動作します。パケット受信後、または長さフィールドの不正やアドレス不一致によって受信が停止した後に同期検索が再開された場合、同期検出時にキャリア検知動作が実行中であった場合は、その動作が再開されます。

CMD_PROP_RX_SNIFF および CMD_PROP_RX_ADV_SNIFF で使用される終了ステータスを表 25-186 および表 25-189 に示します。このステータスは、セクション 25.10.5.1 に示すように次の動作を決定します。

表 25-189. CMD_PROP_RX_SNIFF および CMD_PROP_RX_ADV_SNIFF の追加終了ステータス

条件	ステータス コード	結果
csConf.idleOp = 1 の状態でチャネル状態 IDLE を検出	PROP_DONE_IDLE	FALSE
チャネル状態 IDLE でタイムアウトトリガを検出	PROP_DONE_IDLE	FALSE
チャネル状態 INVALID かつ csConf.timeoutRes = 1 の状態でタイムアウトトリガを検出	PROP_DONE_IDLETIMEOUT	FALSE

25.10.6 即時コマンド

25.10.6.1 パケット長設定コマンド、CMD_PROP_SET_LEN

CMD_PROP_SET_LEN コマンドは、表 25-176 で定義されるコマンド構造を指定します。

CMD_PROP_SET_LEN は、パケット長が無制限に設定された CMD_PROP_RX または CMD_PROP_RX_ADV コマンドの実行中にのみ送信できます。コマンドを受信すると、無線 CPU はヘッダーと CRC の間で受信するバイト数を

Copyright © 2026 Texas Instruments Incorporated

RXLen に設定します。このバイト数以上がすでに受信されている場合、セクション 25.10.5.4 と セクション 25.10.5.4.2 に示すように、受信は中止されます。

設定するペイロードの長さが 255 バイト以下の場合、このコマンドを直接コマンドとして送信できます。この場合、RXLen パラメータは CMDR のビット 8 ～ 16 に書き込まれ、このパラメータの上位 8 ビットは 0 になります。

CMD_PROP_RX または CMD_PROP_RX_ADV コマンドを実行せずにコマンドを発行した場合、またはそのコマンドが無制限の長さで設定されていない場合、無線 CPU は CMDSTA で ContextError を結果として返します。それ以外の場合、無線 CPU は DONE を返します。

25.10.6.2 パケット RX 再起動コマンド、CMD_PROP_RESTART_RX

CMD_PROP_RESTART_RX コマンドは、パラメータを指定しない直接コマンドです。

CMD_PROP_RESTART_RX は、CMD_PROP_RX または CMD_PROP_RX_ADV コマンドが実行中にのみ送信できます。パケットを受信すると、セクション 25.10.5.4 で説明されているように、受信が中断され、パケットは同期検索に戻ります。

RX コマンドを実行せずにコマンドが発行された場合、無線 CPU は CMDSTA で ContextError を結果として返します。それ以外の場合、無線 CPU は DONE を返します。

25.11 無線レジスタ

Copyright © 2026 Texas Instruments Incorporated

25.11.1 RFC_RAT レジスタ

表 25-190 に、RFC_RAT レジスタのメモリマップト レジスタを示します。表 25-190 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 25-190. RFC_RAT レジスタ

オフセット	略称	レジスタ名	セクション
4h	RATCNT	無線タイマ カウンタ値	RATCNT レジスタ (オフセット = 4h) [リセット = 00000000h]
80h	RATCH0VAL	タイマ チャネル 0 キャプチャ / 比較レジスタ	RATCH0VAL レジスタ (オフセット = 80h) [リセット = 00000000h]
84h	RATCH1VAL	タイマ チャネル 1 キャプチャ / 比較レジスタ	RATCH1VAL レジスタ (オフセット = 84h) [リセット = 00000000h]
88h	RATCH2VAL	タイマ チャネル 2 キャプチャ / 比較レジスタ	RATCH2VAL レジスタ (オフセット = 88h) [リセット = 00000000h]
8Ch	RATCH3VAL	タイマ チャネル 3 キャプチャ / 比較レジスタ	RATCH3VAL レジスタ (オフセット = 8Ch) [リセット = 00000000h]
90h	RATCH4VAL	タイマ チャネル 4 キャプチャ / 比較レジスタ	RATCH4VAL レジスタ (オフセット = 90h) [リセット = 00000000h]
94h	RATCH5VAL	タイマ チャネル 5 キャプチャ / 比較レジスタ	RATCH5VAL レジスタ (オフセット = 94h) [リセット = 00000000h]
98h	RATCH6VAL	タイマ チャネル 6 キャプチャ / 比較レジスタ	RATCH6VAL レジスタ (オフセット = 98h) [リセット = 00000000h]
9Ch	RATCH7VAL	タイマ チャネル 7 キャプチャ / 比較レジスタ	RATCH7VAL レジスタ (オフセット = 9Ch) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 25-191 に、このセクションでアクセス タイプに使用しているコードを示します。

表 25-191. RFC_RAT のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

25.11.1.1 RATCNT レジスタ (オフセット = 4h) [リセット = 00000000h]

図 25-12 に、RATCNT を示し、表 25-192 に、その説明を示します。

概略表に戻ります。

無線タイマ カウンタ値

図 25-12. RATCNT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT																															
R/W-0h																															

表 25-192. RATCNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CNT	R/W	0h	カウンタ値。無線タイマ カウンタが有効になっている間は、書き込みできません。

Copyright © 2026 Texas Instruments Incorporated

25.11.1.2 RATCH0VAL レジスタ (オフセット = 80h) [リセット = 00000000h]

図 25-13 に、RATCH0VAL を示し、表 25-193 に、その説明を示します。

概略表に戻ります。

タイマ チャネル 0 キャプチャ / 比較レジスタ

図 25-13. RATCH0VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
R/W-0h																															

表 25-193. RATCH0VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VAL	R/W	0h	値のキャプチャ / 比較。チャネルが比較モードに構成されている場合にのみ書き込み可能です。比較モードでは、このレジスタに書き込みを行うと、チャネルが自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

25.11.1.3 RATCH1VAL レジスタ (オフセット = 84h) [リセット = 00000000h]

図 25-14 に、RATCH1VAL を示し、表 25-194 に、その説明を示します。

概略表に戻ります。

タイマ チャネル 1 キャプチャ / 比較レジスタ

図 25-14. RATCH1VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
R/W-0h																															

表 25-194. RATCH1VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VAL	R/W	0h	値のキャプチャ / 比較。チャネルが比較モードに構成されている場合にのみ書き込み可能です。比較モードでは、このレジスタに書き込みを行うと、チャネルが自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

25.11.1.4 RATCH2VAL レジスタ (オフセット = 88h) [リセット = 00000000h]

図 25-15 に、RATCH2VAL を示し、表 25-195 に、その説明を示します。

概略表に戻ります。

タイマ チャネル 2 キャプチャ / 比較レジスタ

図 25-15. RATCH2VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
R/W-0h																															

表 25-195. RATCH2VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VAL	R/W	0h	値のキャプチャ / 比較。チャネルが比較モードに構成されている場合にのみ書き込み可能です。比較モードでは、このレジスタに書き込みを行うと、チャネルが自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

25.11.1.5 RATCH3VAL レジスタ (オフセット = 8Ch) [リセット = 00000000h]

図 25-16 に、RATCH3VAL を示し、表 25-196 に、その説明を示します。

概略表に戻ります。

タイマ チャネル 3 キャプチャ / 比較レジスタ

図 25-16. RATCH3VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
R/W-0h																															

表 25-196. RATCH3VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VAL	R/W	0h	値のキャプチャ / 比較。チャネルが比較モードに構成されている場合にのみ書き込み可能です。比較モードでは、このレジスタに書き込みを行うと、チャネルが自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

25.11.1.6 RATCH4VAL レジスタ (オフセット = 90h) [リセット = 00000000h]

図 25-17 に、RATCH4VAL を示し、表 25-197 に、その説明を示します。

概略表に戻ります。

タイマ チャネル 4 キャプチャ / 比較レジスタ

図 25-17. RATCH4VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
R/W-0h																															

表 25-197. RATCH4VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VAL	R/W	0h	値のキャプチャ / 比較。チャネルが比較モードに構成されている場合にのみ書き込み可能です。比較モードでは、このレジスタに書き込みを行うと、チャネルが自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

25.11.1.7 RATCH5VAL レジスタ (オフセット = 94h) [リセット = 00000000h]

図 25-18 に、RATCH5VAL を示し、表 25-198 に、その説明を示します。

概略表に戻ります。

タイマ チャネル 5 キャプチャ / 比較レジスタ

図 25-18. RATCH5VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
R/W-0h																															

表 25-198. RATCH5VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VAL	R/W	0h	値のキャプチャ / 比較。チャネルが比較モードに構成されている場合にのみ書き込み可能です。比較モードでは、このレジスタに書き込みを行うと、チャネルが自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

25.11.1.8 RATCH6VAL レジスタ (オフセット = 98h) [リセット = 00000000h]

図 25-19 に、RATCH6VAL を示し、表 25-199 に、その説明を示します。

概略表に戻ります。

タイマ チャネル 6 キャプチャ / 比較レジスタ

図 25-19. RATCH6VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
R/W-0h																															

表 25-199. RATCH6VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VAL	R/W	0h	値のキャプチャ / 比較。チャネルが比較モードに構成されている場合にのみ書き込み可能です。比較モードでは、このレジスタに書き込みを行うと、チャネルが自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

25.11.1.9 RATCH7VAL レジスタ (オフセット = 9Ch) [リセット = 00000000h]

図 25-20 に、RATCH7VAL を示し、表 25-200 に、その説明を示します。

概略表に戻ります。

タイマ チャネル 7 キャプチャ / 比較レジスタ

図 25-20. RATCH7VAL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
R/W-0h																															

表 25-200. RATCH7VAL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VAL	R/W	0h	値のキャプチャ / 比較。チャネルが比較モードに構成されている場合にのみ書き込み可能です。比較モードでは、このレジスタに書き込みを行うと、チャネルが自動的に有効になります。

Copyright © 2026 Texas Instruments Incorporated

25.11.2 RFC_DBELL レジスタ

表 25-201 に、RFC_DBELL レジスタの メモリマップト レジスタを示します。表 25-201 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 25-201. RFC_DBELL レジスタ

オフセット	略称	レジスタ名	セクション
0h	CMDR	ドアベル コマンド レジスタ	CMDR レジスタ (オフセット = 0h) [リセット = 00000000h]
4h	CMDSTA	ドアベル コマンド ステータス レジスタ	CMDSTA レジスタ (オフセット = 4h) [リセット = 00000000h]
8h	RFHWIFG	RF ハードウェア モジュールからの割り込みフラグ	RFHWIFG レジスタ (オフセット = 8h) [リセット = 00000000h]
Ch	RFHWIEN	RF ハードウェア モジュールの割り込みイネーブル	RFHWIEN レジスタ (オフセット = Ch) [リセット = 00000000h]
10h	RFCPEIFG	コマンドおよびパケット エンジンで生成された割り込み用の割り込みフラグ	RFCPEIFG レジスタ (オフセット = 10h) [リセット = 00000000h]
14h	RFCPEIEN	コマンドおよびパケット エンジンで生成された割り込み用の割り込みイネーブル	RFCPEIEN レジスタ (オフセット = 14h) [リセット = FFFFFFFFh]
18h	RFCPEISL	コマンドおよびパケット エンジンで生成された割り込み用の割り込みベクタ選択	RFCPEISL レジスタ (オフセット = 18h) [リセット = FFFF0000h]
1Ch	RFACKIFG	ドアベル コマンド アクノリッジ割り込みフラグ	RFACKIFG レジスタ (オフセット = 1Ch) [リセット = 00000000h]
20h	SYSGPOCTL	RF コア汎用出力制御	SYSGPOCTL レジスタ (オフセット = 20h) [リセット = 00000000h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 25-202 に、このセクションでアクセス タイプに使用しているコードを示します。

表 25-202. RFC_DBELL のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

25.11.2.1 CMDR レジスタ (オフセット = 0h) [リセット = 00000000h]

図 25-21 に、CMDR を示し、表 25-203 に、その説明を示します。

概略表に戻ります。

ドアベル コマンド レジスタ

図 25-21. CMDR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMD																															
R/W-0h																															

表 25-203. CMDR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CMD	R/W	0h	コマンド レジスタ。書き込み時にコマンドおよびパケット エンジン (CPE) への割り込みを発生させます。

Copyright © 2026 Texas Instruments Incorporated

25.11.2.2 CMDSTA レジスタ (オフセット = 4h) [リセット = 00000000h]

図 25-22 に、CMDSTA を示し、表 25-204 に、その説明を示します。

概略表に戻ります。

ドアベル コマンド ステータス レジスタ

図 25-22. CMDSTA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STAT																															
R-0h																															

表 25-204. CMDSTA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	STAT	R	0h	最後に使用したコマンドのステータス

Copyright © 2026 Texas Instruments Incorporated

25.11.2.3 RFHWIFG レジスタ (オフセット = 8h) [リセット = 00000000h]

RFHWIFG は図 25-23 に示されており、表 25-205 で説明されています。

概略表に戻ります。

RF ハードウェア モジュールからの割り込みフラグ

図 25-23. RFHWIFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				RATCH7	RATCH6	RATCH5	RATCH4
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
RATCH3	RATCH2	RATCH1	RATCH0	RFESOFT2	RFESOFT1	RFESOFT0	RFEDONE
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み	TRCTK	MDMSOFT	MDMOUT	MDMIN	MDMDONE	FSCA	予約済み
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

表 25-205. RFHWIFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19	RATCH7	R/W	0h	無線タイマ チャネル 7 割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
18	RATCH6	R/W	0h	無線タイマ チャネル 6 割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
17	RATCH5	R/W	0h	無線タイマ チャネル 5 割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
16	RATCH4	R/W	0h	無線タイマ チャネル 4 割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
15	RATCH3	R/W	0h	無線タイマ チャネル 3 割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
14	RATCH2	R/W	0h	無線タイマ チャネル 2 割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
13	RATCH1	R/W	0h	無線タイマ チャネル 1 割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
12	RATCH0	R/W	0h	無線タイマ チャネル 0 割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
11	RFESOFT2	R/W	0h	RF エンジン ソフトウェア定義の割り込み 2 フラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
10	RFESOFT1	R/W	0h	RF エンジン ソフトウェア定義の割り込み 1 フラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
9	RFESOFT0	R/W	0h	RF エンジン ソフトウェア定義の割り込み 0 フラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
8	RFEDONE	R/W	0h	RF エンジン コマンド完了の割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
7	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 25-205. RFHWIFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	TRCTK	R/W	0h	デバッグ トレーサ システム ティック割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
5	MDMSOFT	R/W	0h	モデム ソフトウェア定義の割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
4	MDMOUT	R/W	0h	モデム FIFO 出力割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
3	MDMIN	R/W	0h	モデム FIFO 入力割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
2	MDMDONE	R/W	0h	モデム コマンド完了割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
1	FSCA	R/W	0h	周波数シンセサイザ キャリブレーション アクセラレータ割り込みフラグ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

25.11.2.4 RFHWIEN レジスタ (オフセット = Ch) [リセット = 00000000h]

RFHWIEN は図 25-24 に示されており、表 25-206 で説明されています。

概略表に戻ります。

RF ハードウェア モジュールの割り込みイネーブル

図 25-24. RFHWIEN レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				RATCH7	RATCH6	RATCH5	RATCH4
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
RATCH3	RATCH2	RATCH1	RATCH0	RFESOFT2	RFESOFT1	RFESOFT0	RFEDONE
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み	TRCTK	MDMSOFT	MDMOUT	MDMIN	MDMDONE	FSCA	予約済み
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

表 25-206. RFHWIEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19	RATCH7	R/W	0h	RFHWIFG.RATCH7 の割り込みイネーブル。
18	RATCH6	R/W	0h	RFHWIFG.RATCH6 の割り込みイネーブル。
17	RATCH5	R/W	0h	RFHWIFG.RATCH5 の割り込みイネーブル。
16	RATCH4	R/W	0h	RFHWIFG.RATCH4 の割り込みイネーブル。
15	RATCH3	R/W	0h	RFHWIFG.RATCH3 の割り込みイネーブル。
14	RATCH2	R/W	0h	RFHWIFG.RATCH2 の割り込みイネーブル。
13	RATCH1	R/W	0h	RFHWIFG.RATCH1 の割り込みイネーブル。
12	RATCH0	R/W	0h	RFHWIFG.RATCH0 の割り込みイネーブル。
11	RFESOFT2	R/W	0h	RFHWIFG.RFESOFT2 の割り込みイネーブル。
10	RFESOFT1	R/W	0h	RFHWIFG.RFESOFT1 の割り込みイネーブル。
9	RFESOFT0	R/W	0h	RFHWIFG.RFESOFT0 の割り込みイネーブル。
8	RFEDONE	R/W	0h	RFHWIFG.RFEDONE の割り込みイネーブル。
7	予約済み	R	0h	予約済み
6	TRCTK	R/W	0h	RFHWIFG.TRCTK の割り込みイネーブル。
5	MDMSOFT	R/W	0h	RFHWIFG.MDMSOFT の割り込みイネーブル。
4	MDMOUT	R/W	0h	RFHWIFG.MDMOUT の割り込みイネーブル。
3	MDMIN	R/W	0h	RFHWIFG.MDMIN の割り込みイネーブル。
2	MDMDONE	R/W	0h	RFHWIFG.MDMDONE の割り込みイネーブル。
1	FSCA	R/W	0h	RFHWIFG.FSCA の割り込みイネーブル。
0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

25.11.2.5 RFCPEIFG レジスタ (オフセット = 10h) [リセット = 00000000h]

RFCPEIFG は図 25-25 に示されており、表 25-207 で説明されています。

概略表に戻ります。

コマンドおよびパケット エンジンで生成された割り込み用の割り込みフラグ

図 25-25. RFCPEIFG レジスタ

31	30	29	28	27	26	25	24
INTERNAL_ERROR	BOOT_DONE	MODULES_UNLOCKED	SYNTH_NO_LOCK	IRQ27	RX_ABORTED	RX_N_DATA_WRITTEN	RX_DATA_WRITTEN
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
RX_ENTRY_DONE	RX_BUF_FULL	RX_CTRL_ACK	RX_CTRL	RX_EMPTY	RX_IGNORED	RX_NOK	RX_OK
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
IRQ15	IRQ14	FG_COMMAND_STARTED	COMMAND_STARTED	TX_BUFFER_CHANGED	TX_ENTRY_DONE	TX_RETRANS	TX_CTRL_ACK_ACK
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TX_CTRL_ACK	TX_CTRL	TX_ACK	TX_DONE	LAST_FG_COMMAND_DONE	FG_COMMAND_DONE	LAST_COMMAND_DONE	COMMAND_DONE
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 25-207. RFCPEIFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	INTERNAL_ERROR	R/W	0h	割り込みフラグ 31。コマンドおよびパケット エンジン (CPE) で予期しないエラーが検出されました。CPE をリセットする必要があります。これは、PRCM:PDCTL1RFC で RF コア電源ドメインをオフまたはオンに切り替えることで実行できます。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
30	BOOT_DONE	R/W	0h	割り込みフラグ 30。コマンドおよびパケット エンジン (CPE) のブートが完了しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
29	MODULES_UNLOCKED	R/W	0h	割り込みフラグ 29。コマンドおよびパケット エンジン (CPE) のブート プロセスの一部として、RF コア モジュールおよびメモリへのアクセスが可能になっています。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
28	SYNTH_NO_LOCK	R/W	0h	割り込みフラグ 28。周波数シンセサイザのフェーズ ロック ループでロック損失が報告されました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
27	IRQ27	R/W	0h	割り込みフラグ 27。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
26	RX_ABORTED	R/W	0h	割り込みフラグ 26。パケット受信完了前にパケットの受信が停止しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
25	RX_N_DATA_WRITTEN	R/W	0h	割り込みフラグ 25。Rx バッファの部分読み取りに書き込まれる指定バイト数。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
24	RX_DATA_WRITTEN	R/W	0h	割り込みフラグ 24。Rx バッファの部分読み取りに書き込まれるデータ。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。

Copyright © 2026 Texas Instruments Incorporated

表 25-207. RFCPEIFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
23	RX_ENTRY_DONE	R/W	0h	割り込みフラグ 23。Rx キュー データ入力の状態が完了に変更されました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
22	RX_BUF_FULL	R/W	0h	割り込みフラグ 22。Rx キューに収まりきらなかったパケットを受信しました。BLE モード:Rx キューに収まりきらなかったパケットを受信しました。IEEE 802.15.4 モード:Rx キューに収まりきらなかったフレームを受信しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
21	RX_CTRL_ACK	R/W	0h	割り込みフラグ 21。BLE モードのみ:CRC OK な LL 制御パケットを受信したため、無視できず、アクノリッジが送信されます。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
20	RX_CTRL	R/W	0h	割り込みフラグ 20。BLE モードのみ:CRC OK な LL 制御パケットを受信したため、無視できません。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
19	RX_EMPTY	R/W	0h	割り込みフラグ 19。BLE モードのみ:CRC OK なパケットを受信したため、無視できないものの、ペイロードはありません。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
18	RX_IGNORED	R/W	0h	割り込みフラグ 18。パケットを受信しましたが、無視できます。BLE モード:CRC OK なパケットを受信しましたが、無視できます。IEEE 802.15.4 モード:無視フラグが設定されたフレームを受信しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
17	RX_NOK	R/W	0h	割り込みフラグ 17。CRC エラーが発生したパケットを受信しました。BLE モード:CRC エラーが発生したパケットを受信しました。IEEE 802.15.4 モード:CRC エラーが発生したフレームを受信しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
16	RX_OK	R/W	0h	割り込みフラグ 16。パケットが正しく受信されました。BLE モード:CRC OK、ペイロードを含むパケットを受信したため、無視できません。IEEE 802.15.4 モード:CRC OK なフレームを受信しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
15	IRQ15	R/W	0h	割り込みフラグ 15。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
14	IRQ14	R/W	0h	割り込みフラグ 14。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
13	FG_COMMAND_STARTED	R/W	0h	割り込みフラグ 13。IEEE 802.15.4 モードのみ:フォアグラウンドの無線操作コマンドがアクティブ状態になりました。
12	COMMAND_STARTED	R/W	0h	割り込みフラグ 12。無線操作コマンドがアクティブ状態になりました。
11	TX_BUFFER_CHANGED	R/W	0h	割り込みフラグ 11。BLE モードのみ:バッファの変更は、CMD_BLE_ADV_PAYLOAD の後に完了します。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
10	TX_ENTRY_DONE	R/W	0h	割り込みフラグ 10。Tx キュー データ入力の状態が完了に変更されました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
9	TX_RETRANS	R/W	0h	割り込みフラグ 9。BLE モードのみ:パケットが再送信されました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
8	TX_CTRL_ACK_ACK	R/W	0h	割り込みフラグ 8。BLE モードのみ:送信された LL 制御パケットに対するアクノリッジを受信し、そのパケットに対してアクノリッジを送信しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
7	TX_CTRL_ACK	R/W	0h	割り込みフラグ 7。BLE モード:送信された LL 制御パケットに対するアクノリッジを受信しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
6	TX_CTRL	R/W	0h	割り込みフラグ 6。BLE モード:LL 制御パケットを送信しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

表 25-207. RFCPEIFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	TX_ACK	R/W	0h	割り込みフラグ 5。BLE モード:送信されたパケットに対するアクノリッジを受信しました。IEEE 802.15.4 モード:自動 ACK フレームを送信しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
4	TX_DONE	R/W	0h	割り込みフラグ 4。パケットを送信しました。(BLE モード:パケットが送信されました。)(IEEE 802.15.4 モード:フレームが送信されました)。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
3	LAST_FG_COMMAND_DONE	R/W	0h	割り込みフラグ 3。IEEE 802.15.4 モードのみ:一連のコマンドのうち、最後に実行されたフォアグラウンドの無線操作コマンドが完了しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
2	FG_COMMAND_DONE	R/W	0h	割り込みフラグ 2。IEEE 802.15.4 モードのみ:フォアグラウンドの無線操作コマンドが完了しました。フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
1	LAST_COMMAND_DONE	R/W	0h	割り込みフラグ 1。一連のコマンドのうち、最後に実行された無線操作コマンドが完了しました。(IEEE 802.15.4 モード:一連のコマンドのうち、最後に実行されたバックグラウンド レベルの無線操作コマンドが完了しました。)フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。
0	COMMAND_DONE	R/W	0h	割り込みフラグ 0。無線操作が完了しました。(IEEE 802.15.4 モード:バックグラウンド レベルの無線操作コマンドが完了しました。)フラグをクリアするにはゼロを書き込みます。1 を書き込んでも効果はありません。

Copyright © 2026 Texas Instruments Incorporated

25.11.2.6 RFCPEIEN レジスタ (オフセット = 14h) [リセット = FFFFFFFFh]

RFCPEIEN は図 25-26 に示されており、表 25-208 で説明されています。

概略表に戻ります。

コマンドおよびパケット エンジンで生成された割り込み用の割り込みイネーブル

図 25-26. RFCPEIEN レジスタ

31	30	29	28	27	26	25	24
INTERNAL_ERROR	BOOT_DONE	MODULES_UNLOCKED	SYNTH_NO_LOCK	IRQ27	RX_ABORTED	RX_N_DATA_WRITTEN	RX_DATA_WRITTEN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
23	22	21	20	19	18	17	16
RX_ENTRY_DONE	RX_BUF_FULL	RX_CTRL_ACK	RX_CTRL	RX_EMPTY	RX_IGNORED	RX_NOK	RX_OK
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
15	14	13	12	11	10	9	8
IRQ15	IRQ14	FG_COMMAND_STARTED	COMMAND_STARTED	TX_BUFFER_CHANGED	TX_ENTRY_DONE	TX_RETRANS	TX_CTRL_ACK_ACK
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
7	6	5	4	3	2	1	0
TX_CTRL_ACK	TX_CTRL	TX_ACK	TX_DONE	LAST_FG_COMMAND_DONE	FG_COMMAND_DONE	LAST_COMMAND_DONE	COMMAND_DONE
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h

表 25-208. RFCPEIEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	INTERNAL_ERROR	R/W	1h	RFCPEIFG.INTERNAL_ERROR の割り込みイネーブル。
30	BOOT_DONE	R/W	1h	RFCPEIFG.BOOT_DONE の割り込みイネーブル。
29	MODULES_UNLOCKED	R/W	1h	RFCPEIFG.MODULES_UNLOCKED の割り込みイネーブル。
28	SYNTH_NO_LOCK	R/W	1h	RFCPEIFG.SYNTH_NO_LOCK の割り込みイネーブル。
27	IRQ27	R/W	1h	RFCPEIFG.IRQ27 の割り込みイネーブル。
26	RX_ABORTED	R/W	1h	RFCPEIFG.RX_ABORTED の割り込みイネーブル。
25	RX_N_DATA_WRITTEN	R/W	1h	RFCPEIFG.RX_N_DATA_WRITTEN の割り込みイネーブル。
24	RX_DATA_WRITTEN	R/W	1h	RFCPEIFG.RX_DATA_WRITTEN の割り込みイネーブル。
23	RX_ENTRY_DONE	R/W	1h	RFCPEIFG.RX_ENTRY_DONE の割り込みイネーブル。
22	RX_BUF_FULL	R/W	1h	RFCPEIFG.RX_BUF_FULL の割り込みイネーブル。
21	RX_CTRL_ACK	R/W	1h	RFCPEIFG.RX_CTRL_ACK の割り込みイネーブル。
20	RX_CTRL	R/W	1h	RFCPEIFG.RX_CTRL の割り込みイネーブル。
19	RX_EMPTY	R/W	1h	RFCPEIFG.RX_EMPTY の割り込みイネーブル。
18	RX_IGNORED	R/W	1h	RFCPEIFG.RX_IGNORED の割り込みイネーブル。
17	RX_NOK	R/W	1h	RFCPEIFG.RX_NOK の割り込みイネーブル。
16	RX_OK	R/W	1h	RFCPEIFG.RX_OK の割り込みイネーブル。
15	IRQ15	R/W	1h	RFCPEIFG.IRQ15 の割り込みイネーブル。
14	IRQ14	R/W	1h	RFCPEIFG.IRQ14 の割り込みイネーブル。
13	FG_COMMAND_STARTED	R/W	1h	RFCPEIFG.FG_COMMAND_STARTED の割り込みイネーブル。
12	COMMAND_STARTED	R/W	1h	RFCPEIFG.COMMAND_STARTED の割り込みイネーブル。

Copyright © 2026 Texas Instruments Incorporated

表 25-208. RFCPEIEN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	TX_BUFFER_CHANGED	R/W	1h	RFCPEIFG.TX_BUFFER_CHANGED の割り込みイネーブル。
10	TX_ENTRY_DONE	R/W	1h	RFCPEIFG.TX_ENTRY_DONE の割り込みイネーブル。
9	TX_RETRANS	R/W	1h	RFCPEIFG.TX_RETRANS の割り込みイネーブル。
8	TX_CTRL_ACK_ACK	R/W	1h	RFCPEIFG.TX_CTRL_ACK_ACK の割り込みイネーブル。
7	TX_CTRL_ACK	R/W	1h	RFCPEIFG.TX_CTRL_ACK の割り込みイネーブル。
6	TX_CTRL	R/W	1h	RFCPEIFG.TX_CTRL の割り込みイネーブル。
5	TX_ACK	R/W	1h	RFCPEIFG.TX_ACK の割り込みイネーブル。
4	TX_DONE	R/W	1h	RFCPEIFG.TX_DONE の割り込みイネーブル。
3	LAST_FG_COMMAND_DONE	R/W	1h	RFCPEIFG.LAST_FG_COMMAND_DONE の割り込みイネーブル。
2	FG_COMMAND_DONE	R/W	1h	RFCPEIFG.FG_COMMAND_DONE の割り込みイネーブル。
1	LAST_COMMAND_DONE	R/W	1h	RFCPEIFG.LAST_COMMAND_DONE の割り込みイネーブル。
0	COMMAND_DONE	R/W	1h	RFCPEIFG.COMMAND_DONE の割り込みイネーブル。

Copyright © 2026 Texas Instruments Incorporated

25.11.2.7 RFCPEISL レジスタ (オフセット = 18h) [リセット = FFFF0000h]

RFCPEISL は図 25-27 に示されており、表 25-209 で説明されています。

概略表に戻ります。

コマンドおよびパケット エンジンで生成された割り込み用の割り込みベクタ選択

図 25-27. RFCPEISL レジスタ

31	30	29	28	27	26	25	24
INTERNAL_ERROR	BOOT_DONE	MODULES_UNLOCKED	SYNTH_NO_LOCK	IRQ27	RX_ABORTED	RX_N_DATA_WRITTEN	RX_DATA_WRITTEN
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
23	22	21	20	19	18	17	16
RX_ENTRY_DONE	RX_BUF_FULL	RX_CTRL_ACK	RX_CTRL	RX_EMPTY	RX_IGNORED	RX_NOK	RX_OK
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h
15	14	13	12	11	10	9	8
IRQ15	IRQ14	FG_COMMAND_STARTED	COMMAND_STARTED	TX_BUFFER_CHANGED	TX_ENTRY_DONE	TX_RETRANS	TX_CTRL_ACK_ACK
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TX_CTRL_ACK	TX_CTRL	TX_ACK	TX_DONE	LAST_FG_COMMAND_DONE	FG_COMMAND_DONE	LAST_COMMAND_DONE	COMMAND_DONE
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 25-209. RFCPEISL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	INTERNAL_ERROR	R/W	1h	RFCPEIFG.INTERNAL_ERROR 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
30	BOOT_DONE	R/W	1h	RFCPEIFG.BOOT_DONE 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
29	MODULES_UNLOCKED	R/W	1h	RFCPEIFG.MODULES_UNLOCKED 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
28	SYNTH_NO_LOCK	R/W	1h	RFCPEIFG.SYNTH_NO_LOCK 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
27	IRQ27	R/W	1h	RFCPEIFG.IRQ27 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
26	RX_ABORTED	R/W	1h	RFCPEIFG.RX_ABORTED 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け

Copyright © 2026 Texas Instruments Incorporated

表 25-209. RFCPEISL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
25	RX_N_DATA_WRITTEN	R/W	1h	RFCPEIFG.RX_N_DATA_WRITTEN 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
24	RX_DATA_WRITTEN	R/W	1h	RFCPEIFG.RX_DATA_WRITTEN 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
23	RX_ENTRY_DONE	R/W	1h	RFCPEIFG.RX_ENTRY_DONE 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
22	RX_BUF_FULL	R/W	1h	RFCPEIFG.RX_BUF_FULL 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
21	RX_CTRL_ACK	R/W	1h	RFCPEIFG.RX_CTRL_ACK 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
20	RX_CTRL	R/W	1h	RFCPEIFG.RX_CTRL 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
19	RX_EMPTY	R/W	1h	RFCPEIFG.RX_EMPTY 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
18	RX_IGNORED	R/W	1h	RFCPEIFG.RX_IGNORED 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
17	RX_NOK	R/W	1h	RFCPEIFG.RX_NOK 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
16	RX_OK	R/W	1h	RFCPEIFG.RX_OK 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
15	IRQ15	R/W	0h	RFCPEIFG.IRQ15 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
14	IRQ14	R/W	0h	RFCPEIFG.IRQ14 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
13	FG_COMMAND_STARTED	R/W	0h	RFCPEIFG.FG_COMMAND_STARTED 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
12	COMMAND_STARTED	R/W	0h	RFCPEIFG.COMMAND_STARTED 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け

Copyright © 2026 Texas Instruments Incorporated

表 25-209. RFCPEISL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	TX_BUFFER_CHANGED	R/W	0h	RFCPEIFG.TX_BUFFER_CHANGED 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
10	TX_ENTRY_DONE	R/W	0h	RFCPEIFG.TX_ENTRY_DONE 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
9	TX_RETRANS	R/W	0h	RFCPEIFG.TX_RETRANS 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
8	TX_CTRL_ACK_ACK	R/W	0h	RFCPEIFG.TX_CTRL_ACK_ACK 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
7	TX_CTRL_ACK	R/W	0h	RFCPEIFG.TX_CTRL_ACK 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
6	TX_CTRL	R/W	0h	RFCPEIFG.TX_CTRL 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
5	TX_ACK	R/W	0h	RFCPEIFG.TX_ACK 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
4	TX_DONE	R/W	0h	RFCPEIFG.TX_DONE 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
3	LAST_FG_COMMAND_DONE	R/W	0h	RFCPEIFG.LAST_FG_COMMAND_DONE 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
2	FG_COMMAND_DONE	R/W	0h	RFCPEIFG.FG_COMMAND_DONE 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
1	LAST_COMMAND_DONE	R/W	0h	RFCPEIFG.LAST_COMMAND_DONE 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け
0	COMMAND_DONE	R/W	0h	RFCPEIFG.COMMAND_DONE 割り込みが使用する CPU 割り込みベクタを選択します。 0h = この割り込みラインを INT_RF_CPE0 割り込みベクタに関連付け 1h = この割り込みラインを INT_RF_CPE1 割り込みベクタに関連付け

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

25.11.2.8 RFACKIFG レジスタ (オフセット = 1Ch) [リセット = 00000000h]

RFACKIFG は図 25-28 に示されており、表 25-210 で説明されています。

概略表に戻ります。

ドアベル コマンド アクノリッジ割り込みフラグ

図 25-28. RFACKIFG レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							ACKFLAG
R-0h							R/W-0h

表 25-210. RFACKIFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	ACKFLAG	R/W	0h	コマンド ACK の割り込みフラグ

Copyright © 2026 Texas Instruments Incorporated

25.11.2.9 SYSGPOCTL レジスタ (オフセット = 20h) [リセット = 00000000h]

SYSGPOCTL は図 25-29 に示されており、表 25-211 で説明されています。

概略表に戻ります。

RF コア汎用出力制御

図 25-29. SYSGPOCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPOCTL3				GPOCTL2				GPOCTL1				GPOCTL0			
R/W-0h				R/W-0h				R/W-0h				R/W-0h			

表 25-211. SYSGPOCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-12	GPOCTL3	R/W	0h	RF コア GPO 制御ビット 3。RF コア GPO ライン 3 で出力する信号を選択します。 0h = CPE GPO ライン 0 1h = CPE GPO ライン 1 2h = CPE GPO ライン 2 3h = CPE GPO ライン 3 4h = MCE GPO ライン 0 5h = MCE GPO ライン 1 6h = MCE GPO ライン 2 7h = MCE GPO ライン 3 8h = RFE GPO ライン 0 9h = RFE GPO ライン 1 Ah = RFE GPO ライン 2 Bh = RFE GPO ライン 3 Ch = RAT GPO ライン 0 Dh = RAT GPO ライン 1 Eh = RAT GPO ライン 2 Fh = RAT GPO ライン 3
11-8	GPOCTL2	R/W	0h	RF コア GPO 制御ビット 2。RF コア GPO ライン 2 で出力する信号を選択します。 0h = CPE GPO ライン 0 1h = CPE GPO ライン 1 2h = CPE GPO ライン 2 3h = CPE GPO ライン 3 4h = MCE GPO ライン 0 5h = MCE GPO ライン 1 6h = MCE GPO ライン 2 7h = MCE GPO ライン 3 8h = RFE GPO ライン 0 9h = RFE GPO ライン 1 Ah = RFE GPO ライン 2 Bh = RFE GPO ライン 3 Ch = RAT GPO ライン 0 Dh = RAT GPO ライン 1 Eh = RAT GPO ライン 2 Fh = RAT GPO ライン 3

Copyright © 2026 Texas Instruments Incorporated

表 25-211. SYSGPOCTL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-4	GPOCTL1	R/W	0h	RF コア GPO 制御ビット 1。RF コア GPO ライン 1 で出力する信号を選択します。 0h = CPE GPO ライン 0 1h = CPE GPO ライン 1 2h = CPE GPO ライン 2 3h = CPE GPO ライン 3 4h = MCE GPO ライン 0 5h = MCE GPO ライン 1 6h = MCE GPO ライン 2 7h = MCE GPO ライン 3 8h = RFE GPO ライン 0 9h = RFE GPO ライン 1 Ah = RFE GPO ライン 2 Bh = RFE GPO ライン 3 Ch = RAT GPO ライン 0 Dh = RAT GPO ライン 1 Eh = RAT GPO ライン 2 Fh = RAT GPO ライン 3
3-0	GPOCTL0	R/W	0h	RF コア GPO 制御ビット 0。RF コア GPO ライン 0 で出力する信号を選択します。 0h = CPE GPO ライン 0 1h = CPE GPO ライン 1 2h = CPE GPO ライン 2 3h = CPE GPO ライン 3 4h = MCE GPO ライン 0 5h = MCE GPO ライン 1 6h = MCE GPO ライン 2 7h = MCE GPO ライン 3 8h = RFE GPO ライン 0 9h = RFE GPO ライン 1 Ah = RFE GPO ライン 2 Bh = RFE GPO ライン 3 Ch = RAT GPO ライン 0 Dh = RAT GPO ライン 1 Eh = RAT GPO ライン 2 Fh = RAT GPO ライン 3

Copyright © 2026 Texas Instruments Incorporated

25.11.3 RFC_PWR レジスタ

表 25-212 に、RFC_PWR レジスタのメモリマップト レジスタを示します。表 25-212 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 25-212. RFC_PWR レジスタ

オフセット	略称	レジスタ名	セクション
0h	PWMCLKEN	RF コア パワー マネージメントおよびクロック イネーブル	PWMCLKEN レジスタ (オフセット = 0h) [リセット = 00000001h]

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 25-213 に、このセクションでアクセス タイプに使用しているコードを示します。

表 25-213. RFC_PWR のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

25.11.3.1 PWMCLKEN レジスタ (オフセット = 0h) [リセット = 00000001h]

PWMCLKEN は図 25-30 に示されており、表 25-214 で説明されています。

概略表に戻ります。

RF コア パワー マネージメントおよびクロック イネーブル

図 25-30. PWMCLKEN レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み					RFCTRC	FSCA	PHA
R-0h					R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RAT	RFERAM	RFE	MDMRAM	MDM	CPERAM	CPE	RFC
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-1h

表 25-214. PWMCLKEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10	RFCTRC	R/W	0h	RF コア トレーサ (RFCTRC) モジュールへのクロックを有効にします。
9	FSCA	R/W	0h	周波数シンセサイザ キャリブレーション アクセラレータ (FSCA) モジュールへのクロックを有効にします。
8	PHA	R/W	0h	パケット処理アクセラレータ (PHA) モジュールへのクロックを有効にします。
7	RAT	R/W	0h	無線タイマ (RAT) モジュールへのクロックを有効にします。
6	RFERAM	R/W	0h	RF エンジン RAM モジュールへのクロックを有効にします。
5	RFE	R/W	0h	RF エンジン (RFE) モジュールへのクロックを有効にします。
4	MDMRAM	R/W	0h	モデム RAM モジュールへのクロックを有効にします。
3	MDM	R/W	0h	モデム (MDM) モジュールへのクロックを有効にします。
2	CPERAM	R/W	0h	コマンドおよびパケット エンジン (CPE) RAM モジュールへのクロックを有効にします。RF コアの初期化の一環として、CPE のブートを有効にするには、このビットを CPE ビットと併せて設定します。
1	CPE	R/W	0h	コマンドおよびパケット エンジン (CPE) へのプロセッサ クロック (hclk) を有効にします。RF コアの初期化の一環として、CPERAM のブートを有効にするには、このビットを CPE ビットと併せて設定します。
0	RFC	R	1h	RF コア インターフェイスの必須クロックを有効にします。これには、インターコネクト、無線ドアベル DBELL コマンド インターフェイス、パワー マネージメント (PWR) クロック制御モジュール、および CPE 用バス クロック (sclk) が含まれます。RF コアから自身をロックアウトする可能性を排除するため、このビットをクリアすることはできません。RF コアへのすべてのクロックを無効にする必要がある場合は、PRCM:RFCCLKG.CLK_EN レジスタを参照してください。

Copyright © 2026 Texas Instruments Incorporated

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (April 2023) to Revision G (June 2024)	Page
• CC1312PSIP デバイスの製品ページを追加	66

Changes from Revision E (February 2022) to Revision F (April 2023)	Page
• CC1352R および CC1352P デバイス向けに表 13-2 の脚注を再フォーマット	1124

English Document: SWCU185
Copyright © 2026 Texas Instruments Incorporated

This page intentionally left blank.

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月