MSPM33 C3 シリーズ 160MHz マイコン

Technical Reference Manual

Literature Number: JADU157A
DECEMBER 2025 – REVISED JUNE 2026

目次

はじめにお読みください 13
このマニュアルについて 13
表記規則 13
用語集 13
関連資料 13
サポート・リソース 13
1 アーキテクチャ 14
1.1 アーキテクチャの概要 15
1.2 バス編成 15
1.3 プラットフォーム メモリ マップ 17
1.3.1 コード領域 17
1.3.2 SRAM 領域 17
1.3.3 ペリフェラル領域 18
1.3.4 システム PPB 領域 18
1.4 ブート構成 18
1.4.1 構成メモリ 18
1.4.2 NON_MAIN_Configuration レジスタ 20
1.5 ファクトリ定数 115
1.5.1 FACTORYREGION レジスタ 116
1.6 メモリの構成 135
1.6.1 memcfg レジスタ 136
2 PMCU 142
2.1 PMCU の概要 143
2.1.1 パワードメイン 144
2.1.2 動作モード 144
2.2 パワー マネージメント (PMU) 146
2.2.1 電源 147
2.2.2 コア レギュレータ 147
2.2.3 電源スーパーバイザ 147
2.2.4 バンドギャップ リファレンス 149
2.2.5 アナログ マルチプレクサ用 VBOOST 149
2.2.6 ペリフェラル イネーブル 152
2.3 クロック モジュール (CKM) 152
2.3.1 発振器 152
2.3.2 クロック 161
2.3.3 クロック ツリー 168
2.4 クロック モニタ 170
2.4.1 LFCLK モニタ 170
2.4.2 MCLK モニタ 172
2.4.3 スタートアップ モニタ 172
2.5 周波数クロック カウンタ (FCC) 173
2.5.1 FCC の使用 174
2.5.2 FCC 周波数の計算と精度 176
2.6 システム コントローラ (SYSCTL) 176
2.6.1 リセットおよびデバイス初期化 176
2.6.2 動作モード選択 184

Copyright © 2026 Texas Instruments Incorporated

2.6.3 非同期高速クロック要求 186
2.6.4 バンク アドレス スワップ 188
2.6.5 シャットダウン モードの処理 (存在する場合) 188
2.6.6 構成ロックアウト 188
2.6.7 システム ステータス 189
2.6.8 エラー処理 189
2.6.9 SYSCTL イベント 191
2.7 クイック スタート リファレンス 192
2.7.1 デフォルトのデバイス構成 192
2.7.2 MFCLK の活用 193
2.7.3 STOP モードにおける消費電力の最適化 193
2.7.4 STANDBY モードにおける消費電力の最適化 193
2.7.5 MCLK と ULPCLK の精度向上 193
2.7.6 最大速度の MCLK を構成する 193
2.7.7 低消費電力モードでの高速クロック (SYSPLL、HFCLK) 処理 194
2.7.8 最小のウェークアップ レイテンシを実現するための最適化 194
2.8 SYSCTL レジスタ 195
3 CPU 272
3.1 概要 273
3.2 CPU 274
3.2.1 Arm Cortex-M33 CPU 274
3.2.2 CPU レジスタ ファイル 274
3.2.3 スタック動作 277
3.2.4 実行モードと権限レベル 277
3.2.5 アドレス空間とサポートされるデータ サイズ 277
3.2.6 セキュア メモリ パーティション分割 278
3.3 割り込みと例外 278
3.3.1 ペリフェラル割り込み (IRQ) 279
3.3.2 割り込みと例外テーブル 282
3.3.3 プロセッサのロックアップ シナリオ 283
3.4 CPU 周辺機器 283
3.4.1 システム コントロール ブロック (SCB) 283
3.4.2 システム ティック タイマ (SysTick) 284
3.4.3 メモリ保護ユニット (MPU) 285
3.4.4 セキュリティ属性単位 286
3.4.5 実装定義属性ユニット (IDAU) 287
3.4.6 浮動小数点演算ユニット (FPU) 287
3.4.7 デジタル信号処理拡張 288
3.5 読み取り専用メモリ (ROM) 288
4 セキュア ROM 289
4.1 ROM の概要 290
4.2 メモリ マップ 290
4.3 ブート構成ルーチン (BCR) 290
4.3.1 SWD 一括消去および工場出荷時のリセット コマンド 290
4.3.2 アプリケーションのハッシュ検証 291
4.3.3 高速ブート 291
4.4 ブートストラップ ローダ (BSL) 291
4.4.1 アプリケーションのバージョン 292
4.4.2 GPIO 起動 292
4.4.3 BSL トリガによる一括消去と工場出荷時リセット 292
4.5 ライフサイクル管理 293
4.5.1 デバイス サブタイプ 293
4.5.2 ライフサイクルの遷移 294
4.6 ブートおよびスタートアップ シーケンス 294
4.6.1 セキュア ブート 296
4.6.2 カスタマ セキュア コード (CSC) 297

Copyright © 2026 Texas Instruments Incorporated

5 NVM (フラッシュ) 298
5.1 NVM の概要 299
5.1.1 主な特長 299
5.1.2 システム コンポーネント 299
5.1.3 用語 299
5.2 フラッシュ メモリ バンク構成 300
5.2.1 バンク 300
5.2.2 フラッシュ メモリ領域 300
5.2.3 アドレス 300
5.3 フラッシュ コントローラ 301
5.3.1 フラッシュ コントローラ コマンドの概要 302
5.3.2 NOOP コマンド 302
5.3.3 PROGRAM コマンド 302
5.3.4 ERASE コマンド 307
5.3.5 READVERIFY コマンド 308
5.3.6 コマンド診断 309
5.3.7 システム アドレスをバンク ID、領域 ID、およびバンク アドレスで上書きする 309
5.4 フラッシュ プログラミング インターフェイス 310
5.4.1 フラッシュ リソースの所有権チェック 310
5.4.2 許可チェック 310
5.4.3 FPI SEC エラー処理 319
5.4.4 バンク消去保護 320
5.5 フラッシュ読み取りインターフェイス 320
5.5.1 バンク アドレスのスワップ 320
5.5.2 ECC エラー処理 321
5.5.3 GSC SEC エラー処理 321
5.6 FLASHCTL レジスタ 322
5.7 FRI レジスタ 323
6 EAM 329
6.1 EAM の概要 330
6.2 EAM 動作 330
6.2.1 セキュリティ エラー アグリゲータ 330
6.2.2 セーフティ エラー アグリゲータ 331
6.3 EAM レジスタ 332
7 ダイレクト メモリ アクセス (DMA) 354
7.1 DMA の概要 355
7.2 DMA 動作 356
7.2.1 アドレッシング モード 356
7.2.2 チャネル タイプ 358
7.2.3 転送モード 359
7.2.4 拡張モード 361
7.2.5 DMA 転送の開始 363
7.2.6 DMA 転送の停止 364
7.2.7 チャネルの優先度 364
7.2.8 バースト ブロック モード 364
7.2.9 システム割り込みでの DMA の使用 365
7.2.10 DMA コントローラ割り込み 365
7.2.11 DMA トリガ イベント ステータス 365
7.2.12 DMA 動作モードのサポート 366
7.2.13 DMA アドレスおよびデータ エラー 366
7.2.14 割り込みとイベントのサポート 366
7.3 DMA レジスタ 368
8 イベント 418
8.1 イベントの概要 419
8.1.1 イベント パブリッシャ 419
8.1.2 イベント サブスクライバ 419

Copyright © 2026 Texas Instruments Incorporated

8.1.3 イベント ファブリック ルーティング 419
8.1.4 イベント ルーティング マップ 421
8.1.5 イベント伝播遅延 422
8.2 イベント オペレーション 423
8.2.1 CPU 割り込み 423
8.2.2 DMA トリガ 423
8.2.3 ペリフェラルからペリフェラルへのイベント 424
8.2.4 拡張モジュール ディスクリプション レジスタ 425
8.2.5 イベント レジスタの使用 425
9 IOMUX 428
9.1 IOMUX の概要 429
9.1.1 IO タイプとアナログ共有 429
9.2 IOMUX 動作 432
9.2.1 ペリフェラル機能 (PF) の割り当て 432
9.2.2 論理 High からハイ インピーダンスへの変換 433
9.2.3 ロジック反転 433
9.2.4 SHUTDOWN モードのウェークアップ ロジック 433
9.2.5 プルアップ / プルダウン抵抗 434
9.2.6 ドライブ強度制御 434
9.2.7 ヒステリシスおよびロジック レベル制御 434
9.3 IOMUX レジスタ 436
10 汎用入出力 (GPIO) 439
10.1 GPIO の概要 440
10.2 GPIO 動作 440
10.2.1 GPIO ポート 441
10.2.2 GPIO 読み取り / 書き込みインターフェイス 441
10.2.3 GPIO 入力のグリッチ フィルタリングおよび同期 441
10.2.4 GPIO 高速ウェークアップ 442
10.2.5 イベント パブリッシャとサブスクライバ 443
10.3 GPIO レジスタ 444
11 グローバル セキュリティ コントローラ 557
11.1 GSC の概要 558
11.1.1 GSC の機能 558
11.2 GSC 動作 558
11.2.1 機能ブロック図 558
11.2.2 ペリフェラル保護コントローラ 559
11.2.3 SRAM 保護コントローラ 559
11.2.4 フラッシュ保護コントローラ 561
11.2.5 厳格なセキュアおよび特権コンテキスト保護 566
11.2.6 GSC 構成ロック 567
11.3 GSC レジスタ 568
12 PKA 670
12.1 PKA の概要 671
12.1.1 PKA 機能 671
12.2 PKA 動作 671
12.2.1 機能ブロック図 671
12.2.2 動作原理 671
12.2.3 複合コマンド 674
12.2.4 コマンドの実行とステータス 675
12.2.5 初期化 675
12.2.6 割り込みサポート 676
12.3 PKA レジスタ 677
13 AESADV 713
13.1 AES の概要 714
13.1.1 AESADV 性能 714
13.2 AESADV 動作 715

Copyright © 2026 Texas Instruments Incorporated

13.2.1 キーのロード....715
13.2.2 入力データの書き込み....715
13.2.3 出力データの読み取り....715
13.2.4 動作の説明....716
13.2.5 AES イベント....735
13.3 AESADV レジスタ....737
14 SHA2....807
14.1 SHA の概要....808
14.1.1 SHA 機能....808
14.2 SHA 動作....808
14.2.1 機能ブロック図....808
14.2.2 HMAC コントローラ....808
14.2.3 HASH/HMAC エンジン....809
14.3 SHA 自動フィード モード....811
14.4 SHA レジスタ....813
15 CRC....878
15.1 CRC の概要....879
15.1.1 CRC16-CCITT....879
15.1.2 CRC32-ISO3309....879
15.2 CRC 動作....879
15.2.1 CRC ジェネレータの実装....880
15.2.2 構成....880
15.3 CRCP0 のレジスタ....883
16 キーストア....896
16.1 概要....897
16.2 詳細説明....897
16.3 KEYSTORECTL レジスタ....898
17 TRNG....905
17.1 TRNG の概要....906
17.2 TRNG 動作....906
17.2.1 TRNG 生成データ パス....906
17.2.2 クロック構成と出力レート....907
17.2.3 低消費電力モードでの動作....907
17.2.4 ヘルス テスト....907
17.2.5 構成....909
17.3 TRNG レジスタ....913
18 HSADC....930
18.1 概要....931
18.1.1 特長....931
18.1.2 ブロック図....932
18.2 HSADC 動作....932
18.2.1 ADC の構成可能性....933
18.2.2 SOC の動作原理....935
18.2.3 EOC と割り込み動作....940
18.2.4 後処理ブロック....942
18.2.5 ADC の結果....944
18.2.6 パワーアップ シーケンス....947
18.2.7 ADC タイミング....947
18.3 ADC_LITE_REGS レジスタ....951
18.4 ADC_LITE_RESULT_REGS レジスタ....1061
19 VREF....1099
19.1 VREF の概要....1100
19.2 VREF 動作....1101
19.2.1 内部リファレンス生成....1102
19.2.2 外部リファレンス入力....1102
19.2.3 アナログ ペリフェラル インターフェイス....1102

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

19.2.4 サンプル / ホールド モード 1103
19.3 VREF レジスタ 1104
20 COMP 1114
20.1 コンパレータの概要 1115
20.2 コンパレータ動作 1117
20.2.1 コンパレータの構成 1117
20.2.2 コンパレータ チャネルの選択 1117
20.2.3 コンパレータ出力 1118
20.2.4 出力フィルタ 1118
20.2.5 サンプリング出力モード 1119
20.2.6 ブランキング モード 1120
20.2.7 リファレンス電圧ジェネレータ 1121
20.2.8 コンパレータ ヒステリシス 1122
20.2.9 入力 SHORT スイッチ 1122
20.2.10 アナログ比較機能 1123
20.2.11 割り込みとイベントのサポート 1124
20.3 COMP レジスタ 1127
21 UNICOMM 1156
21.1 概要 1157
21.1.1 ブロック図 1159
21.2 Unicomm のアーキテクチャ 1159
21.2.1 シリアル ペリフェラル グループ (SPG) の構成 1159
21.2.2 イネーブルおよびリセット 1160
21.3 ハイレベル初期化 1161
21.4 UNICOMM/SPGSS レジスタ 1161
21.4.1 UNICOMM レジスタ 1161
21.4.2 SPG レジスタ 1167
22 UNICOMM UART 1185
22.1 UART の概要 1186
22.1.1 ペリフェラルの目的 1186
22.1.2 特長 1186
22.1.3 機能ブロック図 1187
22.2 UART 動作 1187
22.2.1 クロック制御 1187
22.2.2 一般的なアーキテクチャとプロトコル 1188
22.2.3 追加のプロトコルおよび機能のサポート 1193
22.2.4 低消費電力動作 1205
22.2.5 リセットの考慮事項 1205
22.2.6 UART の初期化 1205
22.2.7 割り込みとイベントのサポート 1206
22.2.8 エミュレーション モード 1208
22.3 UNICOMMUART レジスタ 1209
23 UNICOMM-I2C 1251
23.1 UNICOMM-I2C の概要 1252
23.1.1 ペリフェラルの目的 1252
23.1.2 特長 1252
23.1.3 機能ブロック図 1253
23.1.4 環境接続と外部接続 1254
23.2 UNICOMM の共通インフラ 1255
23.3 ペリフェラルの機能説明 1255
23.3.1 クロック制御 1255
23.3.2 信号の説明 1256
23.3.3 一般アーキテクチャ 1256
23.3.4 プロトコルの記述と初期化 1273
23.3.5 リセットの考慮事項 1285
23.3.6 初期化 1286

Copyright © 2026 Texas Instruments Incorporated

23.3.7 割り込みとイベントのサポート....1286
23.3.8 エミュレーション モード....1289
23.4 UNICOMM I2C レジスタ....1290
23.4.1 UNICOMMI2CC のレジスタ....1291
23.4.2 UNICOMMI2CT のレジスタ....1338
24 UNICOMM-SPI....1385
24.1 UNICOMM-SPI の概要....1386
24.1.1 ペリフェラルの目的....1386
24.1.2 特長....1386
24.1.3 機能ブロック図....1387
24.1.4 外部接続と信号の説明....1387
24.2 SPI 動作....1389
24.2.1 クロック周波数サポート....1389
24.2.2 一般アーキテクチャ....1390
24.2.3 FIFO 動作....1392
24.2.4 通信の中断....1394
24.2.5 内部ループバック動作....1394
24.2.6 反復転送モード....1395
24.2.7 受信タイムアウト....1396
24.2.8 ライン タイムアウト....1396
24.2.9 プロトコルの記述....1396
24.2.10 ステータス フラグ....1401
24.2.11 モジュール構成....1401
24.2.12 リセットの考慮事項....1401
24.2.13 初期化....1402
24.2.14 割り込みとイベントのサポート....1402
24.2.15 エミュレーション モード....1404
24.3 UNICOMMSPI レジスタ....1406
25 QSPI....1441
25.1 QSPI の概要....1442
25.1.1 ペリフェラルの目的....1442
25.1.2 特長....1442
25.1.3 機能ブロック図....1443
25.1.4 外部接続と信号の説明....1443
25.2 QSPI 動作....1445
25.2.1 クロック制御....1445
25.2.2 一般アーキテクチャ....1445
25.2.3 リセットの考慮事項....1447
25.2.4 初期化....1447
25.2.5 QSPI コントローラの説明....1448
25.2.6 割り込みとイベントのサポート....1454
25.2.7 エミュレーション モード....1455
25.3 QSPI レジスタ....1457
26 CAN-FD....1502
26.1 MCAN の概要....1503
26.1.1 MCAN の機能....1504
26.2 MCAN 環境....1504
26.3 CAN ネットワークの基礎....1505
26.4 MCAN の機能説明....1507
26.4.1 クロックのセットアップ....1508
26.4.2 モジュール クロックの要件....1509
26.4.3 割り込み要求....1509
26.4.4 動作モード....1511
26.4.5 ソフトウェアの初期化....1513
26.4.6 トランスミッタ遅延補償....1514
26.4.7 制限操作モード....1516

Copyright © 2026 Texas Instruments Incorporated

26.4.8 バス監視モード ... 1517
26.4.9 自動再送信無効 (DAR) モード ... 1518
26.4.10 クロック停止モード ... 1518
26.4.11 テスト モード ... 1524
26.4.12 タイムスタンプ生成 ... 1525
26.4.13 タイムアウト カウンタ ... 1526
26.4.14 安全 ... 1527
26.4.15 Tx 処理 ... 1530
26.4.16 Rx 処理 ... 1540
26.4.17 Rx FIFO ... 1544
26.4.18 専用 Rx バッファ ... 1547
26.4.19 メッセージ RAM ... 1547
26.5 MCAN の統合 ... 1558
26.6 割り込みとイベントのサポート ... 1559
26.6.1 CPU 割り込みイベント パブリッシャ (CPU_INT) ... 1559
26.7 MCAN レジスタ ... 1561
27 I2S/TDM ... 1693
27.1 I2S/TDM の概要 ... 1694
27.1.1 I2S/TDM の機能 ... 1694
27.2 I2S/TDM の動作 ... 1694
27.2.1 機能ブロック図 ... 1694
27.2.2 動作モード ... 1695
27.2.3 クロック / タイミング システム ... 1695
27.2.4 フレーム同期 ... 1696
27.2.5 スロット マッピングと構成 ... 1698
27.2.6 シリアル フレーム フォーマットの例 ... 1701
27.2.7 初期化 ... 1705
27.2.8 I2S の無効化 ... 1706
27.2.9 割り込みおよびイベント サポート ... 1706
27.2.10 エミュレーション モード ... 1707
27.3 I2S のレジスタ ... 1708
28 タイマ (TIMx) ... 1747
28.1 TIMx の概要 ... 1748
28.1.1 TIMG の概要 ... 1748
28.1.2 TIMA の概要 ... 1749
28.1.3 TIMx インスタンスの構成 ... 1750
28.2 TIMx の動作 ... 1751
28.2.1 タイマ カウンタ ... 1752
28.2.2 カウント モード制御 ... 1754
28.2.3 キャプチャ / 比較モジュール ... 1760
28.2.4 シャドウ ロードとシャドウ比較 ... 1775
28.2.5 出力ジェネレータ ... 1778
28.2.6 フォールト ハンドラ (TIMA のみ) ... 1789
28.2.7 クロストリガとの同期 ... 1794
28.2.8 低消費電力動作 ... 1797
28.2.9 割り込みとイベントのサポート ... 1797
28.2.10 デバッグ ハンドラ (TIMA のみ) ... 1801
28.3 TIMx レジスタ ... 1802
29 低周波数サブシステム (LFSS) ... 1899
29.1 概要 ... 1900
29.2 クロック システム ... 1901
29.3 VBAT を使用した LFSS リセット ... 1902
29.4 電力ドメインと電源検出 ... 1903
29.4.1 VBAT が先に電源投入された場合の起動 ... 1904
29.4.2 VDD が先に電源投入された場合の起動 ... 1904
29.4.3 VDD 喪失時の動作 ... 1904

Copyright © 2026 Texas Instruments Incorporated

29.4.4 VBAT 喪失時の動作 1904
29.4.5 デバイスの SHUTDOWN モード遷移時の動作 1904
29.4.6 スーパーキャパシタの充電回路 1904
29.5 リアルタイム カウンタ (RTC_x) 1905
29.6 独立型ウォッチドッグ タイマ (IWDT) 1905
29.7 タンパ入出力 1906
29.7.1 IOMUX モード 1907
29.7.2 改ざんモード 1908
29.8 スクラッチパッド メモリ 1909
29.9 RTC、TIO、IWDT のロック機能 1910
29.10 LFSS レジスタ 1911
30 RTC 2033
30.1 概要 2034
30.1.1 RTC インスタンス 2034
30.2 基本動作 2035
30.3 構成 2037
30.3.1 クロック処理 2037
30.3.2 RTC ペリフェラル レジスタの読み取りと書き込み 2037
30.3.3 バイナリ対 BCD 2038
30.3.4 うるう年の取り扱い 2038
30.3.5 カレンダ アラーム構成 2038
30.3.6 インターバル アラーム構成 2039
30.3.7 定期的なアラーム設定 2039
30.3.8 キャリブレーション 2040
30.3.9 RTC プリスケーラ拡張 2043
30.3.10 RTC タイムスタンプ キャプチャ 2045
30.3.11 RTC イベント 2046
30.4 RTC レジスタ 2048
31 IWDT 2116
31.2 IWDT クロックの構成 2118
31.3 IWDT 周期の選択 2118
31.4 IWDT のデバッグ動作 2118
31.5 IWDT レジスタ 2118
32 ウィンドウ ウォッチドッグ タイマ (WWDT) 2119
32.1 WWDT の概要 2120
32.1.1 ウォッチドッグ モード 2120
32.1.2 インターバル タイマ モード 2121
32.2 WWDT 動作 2121
32.2.1 モード選択 2121
32.2.2 クロック構成 2122
32.2.3 低電力モードの動作 2123
32.2.4 デバッグ動作 2123
32.2.5 WWDT イベント 2124
32.3 WWDT レジスタ 2125
33 デバッグ 2143
33.1 DEBUGSS の概要 2144
33.1.1 デバッグ インターコネクト 2144
33.1.2 物理層インターフェイス 2145
33.1.3 デバッグ アクセス ポート 2146
33.2 DEBUGSS の動作 2147
33.2.1 デバッグ機能 2147
33.2.2 低消費電力モードでの動作 2148
33.2.3 デバッグ アクセスの制限 2149
33.2.4 メールボックス (DSSM) 2151
33.3 DEBUGSS レジスタ 2155
34 改訂履歴 2171

Copyright © 2026 Texas Instruments Incorporated

This page intentionally left blank.

Copyright © 2026 Texas Instruments Incorporated

このマニュアルについて

表記規則

このドキュメントでは、次の表記規則を使用しています。

- 16 進数は、末尾に h または先頭に 0x を付けて表記しています。たとえば、次の数値は 16 進数の 40 (10 進数の 64) です。40h、0x40 のいずれかの接頭辞があります。
- このドキュメントでは、レジスタを図で表記し、その説明を表で表しています。
  - 各レジスタ図では、レジスタのフィールドを長方形で表しています。各フィールドの上段にビット名、先頭および末尾のビット番号を示し、下段には読み取り / 書き込みプロパティとデフォルトのリセット値を示しています。凡例には、プロパティで使用した表記法の説明を示しています。
  - レジスタ図の予約済みビットには、次のような意味があります。
    - デバイスに未実装
    - 将来の拡張のため予約済み
    - TI でのテストのため予約済み
    - サポートされていないデバイスの設定として予約済み
  - 予約済みビットにデフォルト以外の値を書き込むと、予期しない動作が発生する可能性があるため、このような操作を実行してはなりません。

用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

関連資料

サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

商標

テキサス・インスツルメンツ E2E™ and EnergyTrace™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

Chapter 1

アーキテクチャ

デバイス アーキテクチャには、バス構成、プラットフォーム メモリ マップ、ブート構成が含まれます。

1.1 アーキテクチャの概要 15
1.2 バス編成 15
1.3 プラットフォーム メモリ マップ 17
1.4 ブート構成 18
1.5 ファクトリ定数 115
1.6 メモリの構成 135

Copyright © 2026 Texas Instruments Incorporated

1.1 アーキテクチャの概要

MSPM33 C シリーズ マイコン (MSPM33Cx) は、32 ビットの演算性能と高精度アナログを兼ね備え、様々なセンシング、インターフェイス、制御、ハウスキーピング アプリケーションを実現します。このデバイス アーキテクチャは、フレキシブルで構成しやすいパワー マネージメントおよびクロック供給システムにより、高性能および低消費電力の両方のアプリケーションをサポートします。

MSPM33 C シリーズ デバイスは、ECC 保護のフラッシュ メモリと ECC 保護の SRAM を搭載し、デュアル ウィンドウ ウォッチドッグ タイマを利用できます。また、125°C までの周囲温度と AEC-Q100 グレード 1 認定のサポートにより、堅牢性が強化されています (デバイスのデータシートを参照)。

この章では、電源ドメインとバスの構成、プラットフォーム メモリ マップ、デバイスのブート構成の概要など、デバイスのアーキテクチャについて紹介します。

1.2 バス編成

MSPM33Cx デバイスには、次の 3 つのメイン電源ドメインがあります。

- PD1 (電源ドメイン 1)。CPU サブシステム、メモリ インターフェイス、高速ペリフェラルが含まれています。
- PD0 (電源ドメイン 0)。低速、低消費電力ペリフェラルが含まれています。
- 電源電圧 (VDD)。電源から直接 IO、アナログ モジュール、制限されたロジックに電力を供給します。

PD1 ドメインは、より高いクロック速度をサポートしており、消費電力を最小化するために、特定の動作モードでは無効になります。PD0 ドメインは超低消費電力パフォーマンスをサポートしており、コアレギュレータが動作している動作モードで常に有効になっています。

MSPM33Cx デバイスには 4 つの主なデータ バスがあります。

- AHB バス マトリクス。CPU をデバイスのメモリ システム (ROM、SRAM、フラッシュ メモリ) およびペリフェラル バスに接続します。
- PD1 (電源ドメイン 1) CPU のみのペリフェラルバス。MCLK/4 からクロックが供給されます。
- PD1 (電源ドメイン 1) ペリフェラル バス。MCLK、MCLK/2、または MCLK/4 からクロックが供給されます。
- PD0 (電源ドメイン 0) ペリフェラル バス。ULPCLK からクロックを供給されます。

CPU と DMA コントローラは、デバイスのバス イニシエータです。共有ペリフェラルの CPU と DMA の間での調停は、PD1 および PD0 ペリフェラル バスにおいて行われます。DMA は、CPU のみの PD1 ペリフェラル バス上のペリフェラルにも、CPU サブシステムにもアクセスできません。そのため、CPU は、DMA が PD1 または PD0 バスでトランザクションを処理するのと同時に、CPU のみの PD1 ペリフェラル バス上のペリフェラルにアクセスできます。

同様に、DMA が CPU がアクセスしようとしているのと同じメモリにアクセスしていない限り、CPU は DMA がトランザクションを処理すると同時に、AHB バス マトリクスを介して SRAM またはフラッシュ メモリにアクセスできます。メモリ システム (SRAM またはフラッシュ メモリ) についての CPU と DMA 間の調停は、メモリ インターフェイス自体で行われます。CPU と DMA 間のすべての調停は、ラウンドロビン方式で行われます。

Copyright © 2026 Texas Instruments Incorporated

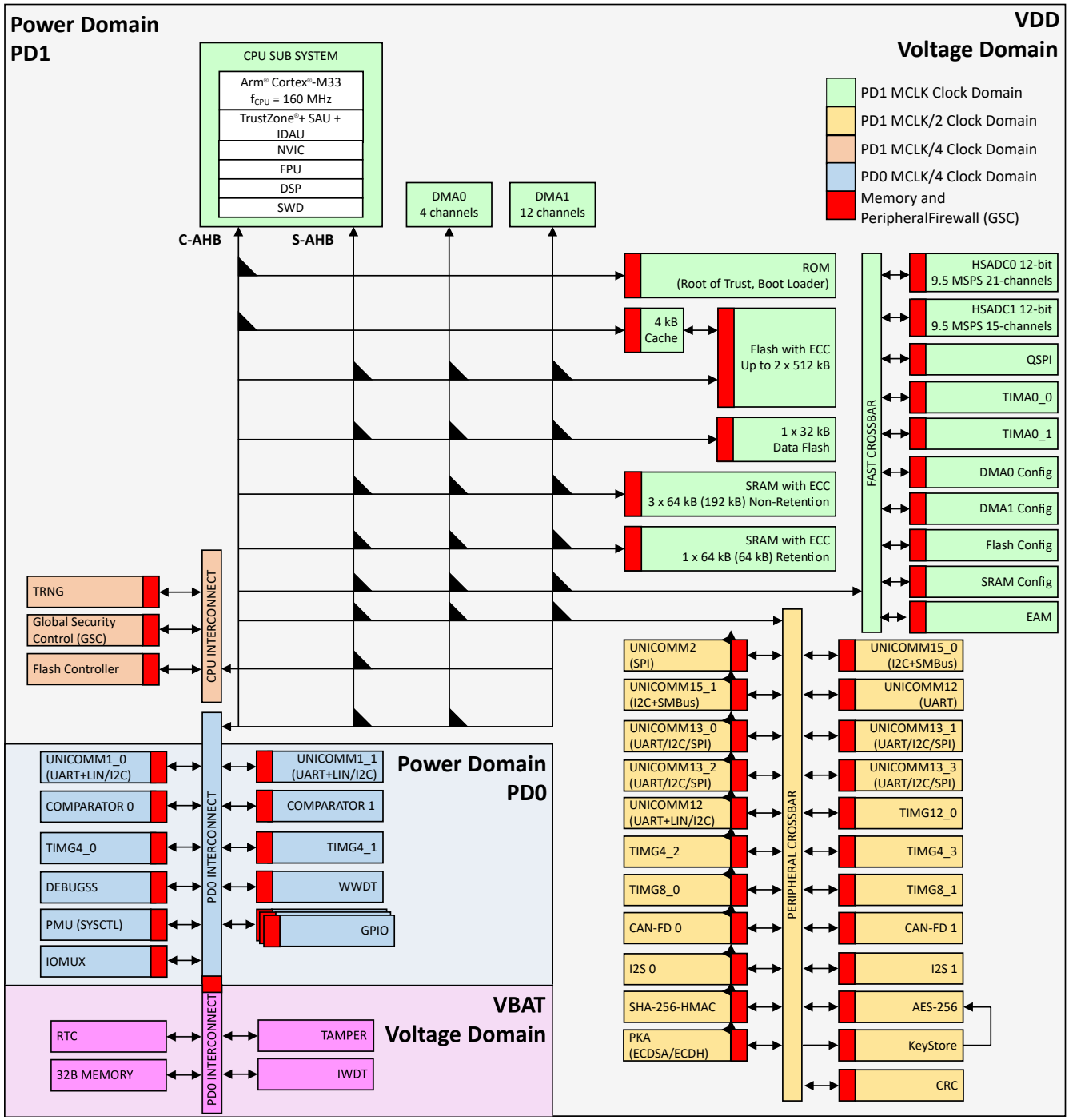


図 1-1. MSPM33Cx バス編成

注

これは、MSPM33Cx デバイスに搭載されている代表的なペリフェラルとそれぞれのバス位置の一般的な図です。ここに示すように、すべてのデバイスにすべてのペリフェラル オプションがあるわけではありません。特定のデバイスで利用可能なペリフェラルを確認するには、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

1.3 プラットフォーム メモリ マップ

すべての MSPM33Cx デバイスは、共通のプラットフォーム メモリ マップを共有しています。ペリフェラルには固定されたアドレス空間が割り当てられており、ファミリ内のすべてのデバイスで同じアドレス空間を持ちます。このメモリ マップは標準 Arm Cortex-M メモリ領域に準拠しています。

表 1-1. トップ レベル メモリ マップ

メモリ領域	サブ リージョン	開始アドレス	終了アドレス	説明
コード	非セキュア	0x0000.0000	0x0FFF.FFFF	フラッシュ メモリと ROM
	セキュアな機能	0x1000.0000	0x1FFF.FFFF	
SRAM	非セキュア	0x2000.0000	0x2FFF.FFFF	SRAM
	セキュアな機能	0x3000.0000	0x3FFF.FFFF	
ペリフェラル	非セキュア	0x4000.0000	0x4FFF.FFFF	グローバル ペリフェラル メモリ マップド レジスタとグローバル非実行可能データ メモリ
	セキュアな機能	0x5000.0000	0x5FFF.FFFF	
サブシステム	非セキュア	0x6000.0000	0x6FFF.FFFF	ローカル CPU サブシステム メモリマップ レジスタ
	セキュアな機能	0x7000.0000	0x7FFF.FFFF	
システム PPB		0xE000.0000	0xE00F.FFFF	Arm プライベート ペリフェラル バス

1.3.1 コード領域

コード領域には、実行可能コードとデータを格納するために使用されるフラッシュ メモリが含まれています。コード領域を介した CPU からのフラッシュ メモリへのアクセスは、AHB バス マトリクスを介してフラッシュ読み取りインターフェイスに直接処理されます。フラッシュ メモリは、コード領域の 2 つのアドレス空間 (1 つはセキュア アドレス マップ内、もう 1 つは非セキュア アドレス マップ内) にエイリアスされます。

このコード領域には、テキサス インスツルメンツのデバイスのブート コードおよびブート ストラップ ローダに使用される読み取り専用メモリ (ROM) も含まれています。この ROM は、デバイスの初期ブート プロセスでのみ利用できます。

1.3.2 SRAM 領域

SRAM 領域には、システム メモリ (SRAM) が含まれています。デバイス固有のデータシートに記載されているように、SRAM は特定の MCLK 周波数以下であれば、待ち時間なしでのアクセスをサポートしています。CPU からの SRAM へのアクセスは、AHB バス マトリクスを介して SRAM インターフェイスに直接処理されます。特定のデバイスに存在する SRAM 容量については、デバイス固有のデータシートを参照してください。

デバイスはオプションで、SRAM の ECC チェックをサポートしています。デバイスが特定の SRAM バンクで ECC をサポートしているかどうかを確認するには、デバイス固有のデータシートを参照してください。デバイスが ECC エラーを処理する方法については、EAM モジュールを参照してください。

ECC チェック

ECC チェックを行う場合 (利用可能な場合)、64 データ ビットごとに 8 つの ECC ビットが提供されます。ECC は、対応する 64 データ ビットにおいて、シングル ビット エラーの訂正 (SEC) およびデュアル ビット エラーの検出 (DED) を行うことができます。ECC チェックが行われたアドレスにデータを書き込むと、新しいデータに基づいて対応する ECC コードが更新されます。ECC チェック アドレスからデータを読み取ると、読み取りデータが対応する ECC コードと比較してチェックされます。シングル ビット エラーが検出されると、自動的に修正され、訂正可能な ECC エラーのログが生成されます。デュアル ビット エラーが検出されると、訂正不可能 ECC エラーのログが生成されます。

サブ領域のエイリアス

デバイス上の物理的な SRAM は、SRAM 領域全体の 2 つのアドレス サブ領域にエイリアスされます。1 つはセキュア アドレス サブ領域 (0x3000.0000) で、もう 1 つは非セキュア アドレス サブ領域 (0x2000.0000) です。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

一部のデバイスでは、SRAM は 2 つ以上のバンクに構成されています。すべてのバンクが ECC を備えているわけではありません。通常、最小の数のバンクには ECC が含まれますが、追加のバンクには ECC が含まれる場合と含まれない場合があります。

1.3.3 ペリフェラル領域

ペリフェラル領域には、ペリフェラル バス上にメモリ マップされたペリフェラルが含まれています。コードおよび SRAM 領域と同様に、ペリフェラルもセキュアおよび非セキュアなサブ領域でエイリアスされます。

1.3.4 システム PPB 領域

システム プライベート ペリフェラル バス (PPB) 領域には、Arm プライベート ペリフェラル バス上のメモリマップされたレジスタが含まれています。これらのレジスタは CPU に緊密に結合されており、メモリ保護ユニット (MPU)、SysTick タイマ、セキュリティ属性ユニット (SAU)、CPU 電源管理、リセット機能などのペリフェラルのインターフェイスとして機能します。

1.4 ブート構成

BOOTRST の後、デバイスはメイン アプリケーションを開始する前に、動作に必要な設定を行うための起動ブートルーチンを実行します。ブート ルーチンは、メイン アプリケーションが開始する前に、読み取り専用メモリ (ROM) から実行されます。ブート ルーチンには ブート構成ルーチン (BCR)と ブートストラップ ローダ (BSL) の 2 つがあります。ブート構成ルーチンは、デバイスのセキュリティ ポリシーをセットアップし、デバイスを動作用に構成し、BSL が存在する場合は、オプションとして BSL を起動します。BCR によって起動された場合、BSL は、標準のシリアル インターフェイス (UART または I2C) を使用してデバイス メモリ (フラッシュや SRAM) のプログラムや検証を行うことができます。

スタートアップ ルーチン完了後、非セキュア ブート デバイスの CPU がリセットされると、フラッシュ メモリの 0x0000.0000 および 0x0000.0004 からスタック ポインタ (SP) とリセット ベクタが無条件にフェッチされ、アプリケーションが起動します。セキュア ブートをイネーブルにするため、署名されたアプリケーション イメージのヘッダには SP とリセット ベクタが含まれており、これは ROM によって読み取られ、GSC VTOR (仮想マシンインターフェイス) 領域を更新するために使用されます。

1.4.1 構成メモリ

構成メモリは、デバイスをブートするために BCR および BSL が使用する設定データを格納する、フラッシュ メモリの専用領域 (コード領域とは異なる) です。この領域は、他の目的では使用されません。BCR と BSL にはどちらも構成ポリシーがあり、構成フラッシュ領域にプログラムされた値を変更することで、デフォルト値 (開発および評価時の標準値) をそのままにするか、特定の目的 (量産プログラミング時の標準値) に変更することができます。

BCR と BSL の構成データ構造は、どちらも構成メモリ領域の 1 つのフラッシュセクタに含まれています。ブート構成のパラメータを変更するには、構成メモリ全体を消去し、目的の設定で BCR と BSL の両方の構成構造を再プログラムする必要があります。

この領域の構成データは一括消去コマンドの影響を受けませんが、SWD 経由でデバッグサブシステムメールボックス (DSSM) 経由で BCR に送信される工場出荷時リセットコマンドによって、消去され、出荷時デフォルトに再プログラムされます。

構成メモリは、UART または I2C BSL インターフェイスを使用して BSL に送信される工場出荷時リセットコマンドによっても消去されます。しかし、DSSM の工場出荷時リセットとは異なり、BSL の工場出荷時リセットでは、消去後にテキサス インスツルメンツの工場出荷時デフォルトを構成メモリにプログラムすることはありません。そのため、BSL セッションを終了する前に、マイクロコントローラのターゲットに接続されているホストが (BSL インターフェイスを介して) 有効な構成で構成メモリを再プログラムする必要があります。

Copyright © 2026 Texas Instruments Incorporated

注

BSL を使用して工場出荷時リセットコマンドを実行し、BSL セッションが終了する前に有効な構成がデバイスにプログラムされていない場合、デバイスは次のリセットサイクルで最大制限状態と想定し、SWD または BSL を使用してデバイスにアクセスできません。BSL の工場出荷時リセットコマンドを使用する場合は、必ず有効な構成がプログラムされていることを確認してください。

NONMAIN データ構造のアドレス範囲は、*NONMAIN レジスタ*セクションに記載されています。NONMAIN 領域の詳細な内訳は、このセクションの末尾に示します。

Copyright © 2026 Texas Instruments Incorporated

1.4.2 NON_MAIN_Configuration レジスタ

NON_MAIN_Configuration レジスタのメモリ マップド レジスタを表 1-2 に示します。表 1-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 1-2. NON_MAIN_CONFIGURATION レジスタ

オフセット	略称	レジスタ名	セクション
80101800h	BCR_CONFIG_ID	あらかじめ決められたブートコード構成シグニチャ ID	セクション 1.4.2.1
80101804h	BOOTCFG0	AHB-AP、ET-AP、PWR-AP のイネーブル / ディスエーブルを制御します。 値:DEBUG_EN、DEBUG_EN_PW、DEBUG_NS_EN、DEBUG_NS_EN_PW、DEBUG_DIS。シリアル ワイヤ デバッグ ポート モード。 これをディスエーブルにすると、CFG_AP、SEC_AP を含むすべてのデバッグポートが無効になります。 ディスエーブルにすると、DSSM コマンドは処理されません	セクション 1.4.2.2
80101808h	BOOTCFG1	BSL ピンの起動機能を制御します。 値:BSL_PIN_INVOKE_EN、BSL_PIN_INVOKE_DIS。 INITDONE が発行されるまでデバッグ アクセスのリリースを制御します	セクション 1.4.2.3
8010180Ch	BOOTCFG2	SYSCTL の CSC ポリシーを制御します。 YES は CSC ポリシー チェックをイネーブルをにします。 SYSCTL でのフラッシュ バンク スワップ ポリシーを制御します	セクション 1.4.2.4
80101810h	BOOTCFG3	高速ブート モード構成 - イネーブル時に特定のブート時間チェックをスキップします。ブートローダー モードのイネーブル / ディスエーブル制御。 BSL 機能を実現するには、イネーブルにする必要があります	セクション 1.4.2.5
80101814h	BOOTCFG4	一括消去モードの構成。 値:BC_CFG_MASS_ERASE_EN (0xAABB)、BC_CFG_MASS_ERASE_EN_PW (0xCCDD)、BC_CFG_MASS_ERASE_DIS (0x5522)。工場出荷時リセットモード構成。 値:BC_CFG_FACTORY_RESET_EN (0xAABB)、BC_CFG_FACTORY_RESET_EN_PW (0xCCDD)、BC_CFG_FACTORY_RESET_DIS (0x5522)	セクション 1.4.2.6
80101818h	MASS_ERASE_0	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 0	セクション 1.4.2.7
8010181Ch	MASS_ERASE_1	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 1	セクション 1.4.2.8
80101820h	MASS_ERASE_2	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 2	セクション 1.4.2.9
80101824h	MASS_ERASE_3	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 3	セクション 1.4.2.10
80101828h	MASS_ERASE_4	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 4	セクション 1.4.2.11
8010182Ch	MASS_ERASE_5	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 5	セクション 1.4.2.12
80101830h	MASS_ERASE_6	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 6	セクション 1.4.2.13
80101834h	MASS_ERASE_7	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 7	セクション 1.4.2.14
80101838h	FACTORY_RESET_0	工場出荷時リセット コマンドのパスワード ハッシュ - Word 0	セクション 1.4.2.15
8010183Ch	FACTORY_RESET_1	工場出荷時リセット コマンドのパスワード ハッシュ - Word 1	セクション 1.4.2.16
80101840h	FACTORY_RESET_2	工場出荷時リセット コマンドのパスワード ハッシュ - Word 2	セクション 1.4.2.17
80101844h	FACTORY_RESET_3	工場出荷時リセット コマンドのパスワード ハッシュ - Word 3	セクション 1.4.2.18

Copyright © 2026 Texas Instruments Incorporated

表 1-2. NON_MAIN_CONFIGURATION レジスタ (続き)

オフセット	略称	レジスタ名	セクション
80101848h	FACTORY_RESET_4	工場出荷時リセット コマンドのパスワード ハッシュ - Word 4	セクション 1.4.2.19
8010184Ch	FACTORY_RESET_5	工場出荷時リセット コマンドのパスワード ハッシュ - Word 5	セクション 1.4.2.20
80101850h	FACTORY_RESET_6	工場出荷時リセット コマンドのパスワード ハッシュ - Word 6	セクション 1.4.2.21
80101854h	FACTORY_RESET_7	工場出荷時リセット コマンドのパスワード ハッシュ - Word 7	セクション 1.4.2.22
80101858h	DEBUG_LOCK_0	デバッグ アクセス認証用パスワード ハッシュ - Word 0	セクション 1.4.2.23
8010185Ch	DEBUG_LOCK_1	デバッグ アクセス認証用パスワード ハッシュ - Word 1	セクション 1.4.2.24
80101860h	DEBUG_LOCK_2	デバッグ アクセス認証用パスワード ハッシュ - Word 2	セクション 1.4.2.25
80101864h	DEBUG_LOCK_3	デバッグ アクセス認証用パスワード ハッシュ - Word 3	セクション 1.4.2.26
80101868h	DEBUG_LOCK_4	デバッグ アクセス認証用パスワード ハッシュ - Word 4	セクション 1.4.2.27
8010186Ch	DEBUG_LOCK_5	デバッグ アクセス認証用パスワード ハッシュ - Word 5	セクション 1.4.2.28
80101870h	DEBUG_LOCK_6	デバッグ アクセス認証用パスワード ハッシュ - Word 6	セクション 1.4.2.29
80101874h	DEBUG_LOCK_7	デバッグ アクセス認証用パスワード ハッシュ - Word 7	セクション 1.4.2.30
80101878h	DEBUG_NS_LOCK_0	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 0	セクション 1.4.2.31
8010187Ch	DEBUG_NS_LOCK_1	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 1	セクション 1.4.2.32
80101880h	DEBUG_NS_LOCK_2	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 2	セクション 1.4.2.33
80101884h	DEBUG_NS_LOCK_3	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 3	セクション 1.4.2.34
80101888h	DEBUG_NS_LOCK_4	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 4	セクション 1.4.2.35
8010188Ch	DEBUG_NS_LOCK_5	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 5	セクション 1.4.2.36
80101890h	DEBUG_NS_LOCK_6	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 6	セクション 1.4.2.37
80101894h	DEBUG_NS_LOCK_7	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 7	セクション 1.4.2.38
80101898h	BAD_CONV_0	このフィールドには、不正なデバイス変換に使用される 16 バイトパスワードの SHA-256 ハッシュ (32 バイト) が格納されます。 このハッシュは、8 つの 32 ビットワードの配列として格納されます。	セクション 1.4.2.39
8010189Ch	BAD_CONV_1	不正な変換パスワード ハッシュ - Word 1	セクション 1.4.2.40
801018A0h	BAD_CONV_2	不正な変換パスワード ハッシュ - Word 2	セクション 1.4.2.41
801018A4h	BAD_CONV_3	不正な変換パスワード ハッシュ - Word 3	セクション 1.4.2.42
801018A8h	BAD_CONV_4	不正な変換パスワード ハッシュ - Word 4	セクション 1.4.2.43
801018ACh	BAD_CONV_5	不正な変換パスワード ハッシュ - Word 5	セクション 1.4.2.44
801018B0h	BAD_CONV_6	不正な変換パスワード ハッシュ - Word 6	セクション 1.4.2.45
801018B4h	BAD_CONV_7	不正な変換パスワード ハッシュ - Word 7	セクション 1.4.2.46
801018B8h	SECURE_BOOT_MODE	アプリケーション認証を制御します。予約済みフィールド	
801018BCh	USER_SECURE_APP_START_ADDR	セキュアなアプリケーションの開始アドレス	セクション 1.4.2.48
801018C0h	USER_SECURE_APP_LENGTH	セキュアなアプリケーションの長さ	セクション 1.4.2.49
801018C4h	USER_SECURE_APP_HASH_0	セキュアなアプリケーションのハッシュ - Word 0	セクション 1.4.2.50
801018C8h	USER_SECURE_APP_HASH_1	セキュアなアプリケーションのハッシュ - Word 1	セクション 1.4.2.51
801018CCh	USER_SECURE_APP_HASH_2	セキュアなアプリケーションのハッシュ - Word 2	セクション 1.4.2.52
801018D0h	USER_SECURE_APP_HASH_3	セキュアなアプリケーションのハッシュ - Word 3	セクション 1.4.2.53

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 1-2. NON_MAIN_CONFIGURATION レジスタ (続き)

オフセット	略称	レジスタ名	セクション
801018D4h	USER_SECURE_APP_HASH_4	セキュアなアプリケーションのハッシュ - Word 4	セクション 1.4.2.54
801018D8h	USER_SECURE_APP_HASH_5	セキュアなアプリケーションのハッシュ - Word 5	セクション 1.4.2.55
801018DCh	USER_SECURE_APP_HASH_6	セキュアなアプリケーションのハッシュ - Word 6	セクション 1.4.2.56
801018E0h	USER_SECURE_APP_HASH_7	セキュアなアプリケーションのハッシュ - Word 7	セクション 1.4.2.57
801018E4h	BANK0_NM_USER_CONFIG	ユーザー構成非メイン フラッシュの静的書き込み保護。WEP_DISABLE = 0xAABB。予約済みフィールド	
801018E8h	BANK0_WRITE_ERASE_PROTECTION_A	最初の 32 セクタに対する書き込み保護	セクション 1.4.2.59
801018ECh	BANK0_WRITE_ERASE_PROTECTION_B	512KB ～ 64KB に対する書き込み保護	セクション 1.4.2.60
801018F0h	BANK0_SECURITY_PROTECTION_A	最初の 32 セクタに対するセキュリティ保護	セクション 1.4.2.61
801018F4h	BANK0_SECURITY_PROTECTION_B	512KB ～ 64KB に対するセキュリティ保護	セクション 1.4.2.62
801018F8h	BANK0_PRIVILEGE_PROTECTION_A	最初の 32 セクタに対する特権保護	セクション 1.4.2.63
801018FCh	BANK0_PRIVILEGE_PROTECTION_B	512KB ～ 64KB に対する特権保護	セクション 1.4.2.64
80101900h	BANK0_RESERVED	BANK0 整列用の予約済みフィールド	
80101904h	BANK1_WRITE_ERASE_PROTECTION_A	最初の 32 セクタに対する書き込み保護	セクション 1.4.2.65
80101908h	BANK1_WRITE_ERASE_PROTECTION_B	512KB ～ 64KB に対する書き込み保護	セクション 1.4.2.66
8010190Ch	BANK1_SECURITY_PROTECTION_A	最初の 32 セクタに対するセキュリティ保護	セクション 1.4.2.67
80101910h	BANK1_SECURITY_PROTECTION_B	512KB ～ 64KB に対するセキュリティ保護	セクション 1.4.2.68
80101914h	BANK1_PRIVILEGE_PROTECTION_A	最初の 32 セクタに対する特権保護	セクション 1.4.2.69
80101918h	BANK1_PRIVILEGE_PROTECTION_B	512KB ～ 64KB に対する特権保護	セクション 1.4.2.70
8010191Ch	BANK1_RESERVED	BANK1 用の予約済みフィールド	
80101920h	DBANK_WRITE_ERASE_PROTECTION	データ バンクに対する書き込み / 消去保護	セクション 1.4.2.71
80101924h	DBANK_SECURITY_PROTECTION	データ バンクに対するセキュリティ保護	セクション 1.4.2.72
80101928h	DBANK_PRIVILEGE_PROTECTION	データ バンクに対する特権保護	セクション 1.4.2.73
8010192Ch	DBANK_RESERVED	DBANK 用の予約済みフィールド	
80101930h	BOOTCLK0	クロック構成、PLL 乗算値、PLL 分周値、PLL クロック ソース構成	セクション 1.4.2.74
80101934h	BOOTCLK1	PLL セトリング タイムのための CPU 遅延サイクル、HFXT 監視のための CPU 遅延サイクル、予約済み設定フィールド 0	
80101938h	RESERVED_REG_0	予約済み構成フィールド 0、予約済み構成フィールド 1	
8010193Ch	RESERVED_REG_1	予約済み構成フィールド 2、予約済み構成フィールド 3	
80101940h	RESERVED_REG_2	予約済み構成フィールド 4、予約済み構成フィールド 5	
80101944h	RESERVED_REG_3	予約済み構成フィールド 6、予約済み構成フィールド 7	
80101948h	RESERVED_REG_4	予約済み構成フィールド 8、予約済み構成フィールド 9	
8010194Ch	CRC	BCR 構成構造の CRC-32	セクション 1.4.2.76
80101C00h	BSL_CONFIG_ID	あらかじめ決められたブートローダー構成シグネチャ ID	セクション 1.4.2.77
80101C04h	BSLPINCFG0	UART 受信ピンの番号構成、UART 受信ピンのマルチプレクサ選択、UART 送信ピンの番号構成、UART 送信ピンのマルチプレクサ選択	セクション 1.4.2.78
80101C08h	BSLPINCFG1	I2C データ ピンの番号構成、I2C データ ピンのマルチプレクサ選択、I2C クロック ピンの番号構成、I2C クロック ピンのマルチプレクサ選択	セクション 1.4.2.79

Copyright © 2026 Texas Instruments Incorporated

表 1-2. NON_MAIN_CONFIGURATION レジスタ (続き)

オフセット	略称	レジスタ名	セクション
80101C0Ch	BSLPINCFG2	MCAN 受信ピンの番号構成、MCAN 受信ピンのマルチプレクサ選択、MCAN 送信ピンの番号構成、MCAN 送信ピンのマルチプレクサ選択	セクション 1.4.2.80
80101C10h	BSLCONFIG0	BSL 呼び出しピンの構成データ 0、BSL 呼び出しピンの構成データ 1、メモリ読み出し制御。 ENABLE は、メモリの読み取り操作を許可します	セクション 1.4.2.81
80101C14h	PASSWORD_0	BSL アクセス パスワード - Word 0	セクション 1.4.2.82
80101C18h	PASSWORD_1	BSL アクセス パスワード - Word 1	セクション 1.4.2.83
80101C1Ch	PASSWORD_2	BSL アクセス パスワード - Word 2	セクション 1.4.2.84
80101C20h	PASSWORD_3	BSL アクセス パスワード - Word 3	セクション 1.4.2.85
80101C24h	PASSWORD_4	BSL アクセス パスワード - Word 4	セクション 1.4.2.86
80101C28h	PASSWORD_5	BSL アクセス パスワード - Word 5	セクション 1.4.2.87
80101C2Ch	PASSWORD_6	BSL アクセス パスワード - Word 6	セクション 1.4.2.88
80101C30h	PASSWORD_7	BSL アクセス パスワード - Word 7	セクション 1.4.2.89
80101C34h	APP_REV_POINTER	MAIN フラッシュ内のアプリケーション バージョン情報へのポインタ	セクション 1.4.2.90
80101C38h	BSLCONFIG1	セキュリティ アラートの応答：工場出荷時リセット / BSL をディスエーブル / 無視、ROM BSL 用の UART 通信速度の選択	セクション 1.4.2.91
80101C3Ch	I2C_SLAVE_ADDR	ROM BSL I2C インターフェイスの I2C スレーブ アドレス、予約済みフィールド。予約済みフィールド	
80101C40h	RESERVED_REG_0	予約済みフィールド、予約済みフィールド、予約済みフィールド、予約済みフィールド	
80101C44h	RESERVED_REG_1	予約済みフィールド、予約済みフィールド、予約済みフィールド、予約済みフィールド	
80101C48h	RESERVED_REG_2	予約済みフィールド、予約済みフィールド、予約済みフィールド、予約済みフィールド	
80101C4Ch	CRC	BSL 構成構造の CRC	

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 1-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 1-3. NON_MAIN_Configuration アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

1.4.2.1 BCR_CONFIG_ID レジスタ (オフセット = 80101800h) [リセット = 00000000h]

表 1-4 に、BCR_CONFIG_ID を示します。

概略表に戻ります。

あらかじめ決められたブートコード構成シグニチャ ID

表 1-4. BCR_CONFIG_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BCR_CONFIG_ID	R/W	0h	あらかじめ決められたブートコード構成シグニチャ ID

Copyright © 2026 Texas Instruments Incorporated

1.4.2.2 BOOTCFG0 レジスタ (オフセット = 80101804h) [リセット = 00000000h]

BOOTCFG0 を表 1-5 に示します。

概略表に戻ります。

AHB-AP、ET-AP、PWR-AP のイネーブル / ディスエーブルを制御します。値: DEBUG_EN、DEBUG_EN_PW、DEBUG_NS_EN、DEBUG_NS_EN_PW、DEBUG_DIS、シリアル ワイヤ デバッグ ポート モード。これをディスエーブルにすると、CFG_AP、SEC_AP を含むすべてのデバッグポートがディスエーブルになります。ディスエーブルにすると、DSSM コマンドは処理されません

表 1-5. BOOTCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SWDP_MODE	R/W	0h	シリアル ワイヤ デバッグ ポート モード。これをディスエーブルにすると、CFG_AP、SEC_AP を含むすべてのデバッグポートがディスエーブルになります。ディスエーブルにすると、DSSM コマンドは処理されません 5522h = DISABLED の構成 AABBh = ENABLED の構成
15-0	DEBUG_ACCESS	R/W	0h	AHB-AP、ET-AP、PWR-AP のイネーブル / ディスエーブルを制御します。値: DEBUG_EN、DEBUG_EN_PW、DEBUG_NS_EN、DEBUG_NS_EN_PW、DEBUG_DIS 5522h = DISABLED の構成 AABBh = ENABLED の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.3 BOOTCFG1 レジスタ (オフセット = 80101808h) [リセット = 00000000h]

BOOTCFG1 を表 1-6 に示します。

概略表に戻ります。

BSL ピンの起動機能を制御します。値: BSL_PIN_INVOKE_EN、BSL_PIN_INVOKE_DIS。INITDONE が発行されるまでデバッグ アクセスのリリースを制御します

表 1-6. BOOTCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	DEBUG_HOLD	R/W	0h	INITDONE が発行されるまで、デバッグ アクセスのリリースを制御します
15-0	BSL_PIN_INVOKE	R/W	0h	BSL ピンの起動機能を制御します。値: BSL_PIN_INVOKE_EN、BSL_PIN_INVOKE_DIS 5522h = DISABLED の構成 AABBh = ENABLED の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.4 BOOTCFG2 レジスタ (オフセット = 8010180Ch) [リセット = 00000000h]

BOOTCFG2 を表 1-7 に示します。

概略表に戻ります。

SYSCTL の CSC ポリシーを制御します。YES は、CSC ポリシー チェックを有効にします。SYSCTL でフラッシュバンク スワップポリシーを制御します

表 1-7. BOOTCFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	FLASH_BANK_SWAP_POLICY	R/W	0h	SYSCTL のフラッシュ バンク スワップ ポリシーを制御します
15-0	CSC_EXISTS	R/W	0h	SYSCTL の CSC ポリシーを制御します。YES は、CSC ポリシー チェックをイネーブルにします 5522h = DISABLED の構成 AABBh = ENABLED の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.5 BOOTCFG3 レジスタ (オフセット = 80101810h) [リセット = 00000000h]

BOOTCFG3 を表 1-8 に示します。

概略表に戻ります。

高速ブート モード構成 - イネーブル時に特定のブート時間チェックをスキップします。ブートローダー モードのイネーブル / ディスエーブル制御。BSL 機能を実現するには、イネーブルにする必要があります

表 1-8. BOOTCFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	BOOTLOADER_MODE	R/W	0h	ブートローダー モードのイネーブル / ディスエーブル制御。BSL 機能を実現するには、イネーブルにする必要があります
15-0	FAST_BOOT_MODE	R/W	0h	高速ブート モード構成 - イネーブル時に特定のブート時間チェックをスキップします

Copyright © 2026 Texas Instruments Incorporated

1.4.2.6 BOOTCFG4 レジスタ (オフセット = 80101814h) [リセット = 00000000h]

BOOTCFG4 を表 1-9 に示します。

概略表に戻ります。

一括消去モードの構成。値: BC_CFG_MASS_ERASE_EN (0xAABB)、BC_CFG_MASS_ERASE_EN_PW (0xCCDD)、BC_CFG_MASS_ERASE_DIS (0x5522)。工場出荷時リセットモード構成。値: BC_CFG_FACTORY_RESET_EN (0xAABB)、BC_CFG_FACTORY_RESET_EN_PW (0xCCDD)、BC_CFG_FACTORY_RESET_DIS (0x5522)

表 1-9. BOOTCFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	FACTORY_RESET_MODE	R/W	0h	工場出荷時リセット モードの構成。値: BC_CFG_FACTORY_RESET_EN (0xAABB)、 BC_CFG_FACTORY_RESET_EN_PW (0xCCDD)、 BC_CFG_FACTORY_RESET_DIS (0x5522) 5522h = DISABLE の構成 AABBh = ENABLE の構成 CCDDh = ENABLE_WITH_PASSWORD の構成
15-0	MASS_ERASE_MODE	R/W	0h	一括消去モードの構成。値: BC_CFG_MASS_ERASE_EN (0xAABB)、 BC_CFG_MASS_ERASE_EN_PW (0xCCDD)、 BC_CFG_MASS_ERASE_DIS (0x5522) 5522h = DISABLE の構成 AABBh = ENABLE の構成 CCDDh = ENABLE_WITH_PASSWORD の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.7 MASS_ERASE_0 レジスタ (オフセット = 80101818h) [リセット = 00000000h]

MASS_ERASE_0 を表 1-10 に示します。

概略表に戻ります。

DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 0

表 1-10. MASS_ERASE_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MASS_ERASE_0	R/W	0h	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 0

Copyright © 2026 Texas Instruments Incorporated

1.4.2.8 MASS_ERASE_1 レジスタ (オフセット = 8010181Ch) [リセット = 00000000h]

MASS_ERASE_1 を表 1-11 に示します。

概略表に戻ります。

DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 1

表 1-11. MASS_ERASE_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MASS_ERASE_1	R/W	0h	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 1

Copyright © 2026 Texas Instruments Incorporated

1.4.2.9 MASS_ERASE_2 レジスタ (オフセット = 80101820h) [リセット = 00000000h]

MASS_ERASE_2 を表 1-12 に示します。

概略表に戻ります。

DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 2

表 1-12. MASS_ERASE_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MASS_ERASE_2	R/W	0h	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 2

Copyright © 2026 Texas Instruments Incorporated

1.4.2.10 MASS_ERASE_3 レジスタ (オフセット = 80101824h) [リセット = 00000000h]

MASS_ERASE_3 を表 1-13 に示します。

概略表に戻ります。

DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 3

表 1-13. MASS_ERASE_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MASS_ERASE_3	R/W	0h	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 3

Copyright © 2026 Texas Instruments Incorporated

1.4.2.11 MASS_ERASE_4 レジスタ (オフセット = 80101828h) [リセット = 00000000h]

MASS_ERASE_4 を表 1-14 に示します。

概略表に戻ります。

DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 4

表 1-14. MASS_ERASE_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MASS_ERASE_4	R/W	0h	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 4

Copyright © 2026 Texas Instruments Incorporated

1.4.2.12 MASS_ERASE_5 レジスタ (オフセット = 8010182Ch) [リセット = 00000000h]

MASS_ERASE_5 を表 1-15 に示します。

概略表に戻ります。

DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 5

表 1-15. MASS_ERASE_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MASS_ERASE_5	R/W	0h	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 5

Copyright © 2026 Texas Instruments Incorporated

1.4.2.13 MASS_ERASE_6 レジスタ (オフセット = 80101830h) [リセット = 00000000h]

MASS_ERASE_6 を表 1-16 に示します。

概略表に戻ります。

DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 6

表 1-16. MASS_ERASE_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MASS_ERASE_6	R/W	0h	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 6

Copyright © 2026 Texas Instruments Incorporated

1.4.2.14 MASS_ERASE_7 レジスタ (オフセット = 80101834h) [リセット = 00000000h]

MASS_ERASE_7 を表 1-17 に示します。

概略表に戻ります。

DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 7

表 1-17. MASS_ERASE_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	MASS_ERASE_7	R/W	0h	DSSM_BC_MASS_ERASE_REQUEST コマンドのパスワード ハッシュ - Word 7

Copyright © 2026 Texas Instruments Incorporated

1.4.2.15 FACTORY_RESET_0 レジスタ (オフセット = 80101838h) [リセット = 00000000h]

FACTORY_RESET_0 を表 1-18 に示します。

概略表に戻ります。

工場出荷時リセット コマンドのパスワード ハッシュ - Word 0

表 1-18. FACTORY_RESET_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FACTORY_RESET_0	R/W	0h	工場出荷時リセット コマンドのパスワード ハッシュ - Word 0

Copyright © 2026 Texas Instruments Incorporated

1.4.2.16 FACTORY_RESET_1 レジスタ (オフセット = 8010183Ch) [リセット = 00000000h]

FACTORY_RESET_1 を表 1-19 に示します。

概略表に戻ります。

工場出荷時リセット コマンドのパスワード ハッシュ - Word 1

表 1-19. FACTORY_RESET_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FACTORY_RESET_1	R/W	0h	工場出荷時リセット コマンドのパスワード ハッシュ - Word 1

Copyright © 2026 Texas Instruments Incorporated

1.4.2.17 FACTORY_RESET_2 レジスタ (オフセット = 80101840h) [リセット = 00000000h]

FACTORY_RESET_2 を表 1-20 に示します。

概略表に戻ります。

工場出荷時リセット コマンドのパスワード ハッシュ - Word 2

表 1-20. FACTORY_RESET_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FACTORY_RESET_2	R/W	0h	工場出荷時リセット コマンドのパスワード ハッシュ - Word 2

Copyright © 2026 Texas Instruments Incorporated

1.4.2.18 FACTORY_RESET_3 レジスタ (オフセット = 80101844h) [リセット = 00000000h]

FACTORY_RESET_3 を表 1-21 に示します。

概略表に戻ります。

工場出荷時リセット コマンドのパスワード ハッシュ - Word 3

表 1-21. FACTORY_RESET_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FACTORY_RESET_3	R/W	0h	工場出荷時リセット コマンドのパスワード ハッシュ - Word 3

Copyright © 2026 Texas Instruments Incorporated

1.4.2.19 FACTORY_RESET_4 レジスタ (オフセット = 80101848h) [リセット = 00000000h]

FACTORY_RESET_4 を表 1-22 に示します。

概略表に戻ります。

工場出荷時リセット コマンドのパスワード ハッシュ - Word 4

表 1-22. FACTORY_RESET_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FACTORY_RESET_4	R/W	0h	工場出荷時リセット コマンドのパスワード ハッシュ - Word 4

Copyright © 2026 Texas Instruments Incorporated

1.4.2.20 FACTORY_RESET_5 レジスタ (オフセット = 8010184Ch) [リセット = 00000000h]

FACTORY_RESET_5 を表 1-23 に示します。

概略表に戻ります。

工場出荷時リセット コマンドのパスワード ハッシュ - Word 5

表 1-23. FACTORY_RESET_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FACTORY_RESET_5	R/W	0h	工場出荷時リセット コマンドのパスワード ハッシュ - Word 5

Copyright © 2026 Texas Instruments Incorporated

1.4.2.21 FACTORY_RESET_6 レジスタ (オフセット = 80101850h) [リセット = 00000000h]

FACTORY_RESET_6 を表 1-24 に示します。

概略表に戻ります。

工場出荷時リセット コマンドのパスワード ハッシュ - Word 6

表 1-24. FACTORY_RESET_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FACTORY_RESET_6	R/W	0h	工場出荷時リセット コマンドのパスワード ハッシュ - Word 6

Copyright © 2026 Texas Instruments Incorporated

1.4.2.22 FACTORY_RESET_7 レジスタ (オフセット = 80101854h) [リセット = 00000000h]

FACTORY_RESET_7 を表 1-25 に示します。

概略表に戻ります。

工場出荷時リセット コマンドのパスワード ハッシュ - Word 7

表 1-25. FACTORY_RESET_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	FACTORY_RESET_7	R/W	0h	工場出荷時リセット コマンドのパスワード ハッシュ - Word 7

Copyright © 2026 Texas Instruments Incorporated

1.4.2.23 DEBUG_LOCK_0 レジスタ (オフセット = 80101858h) [リセット = 00000000h]

DEBUG_LOCK_0 を表 1-26 に示します。

概略表に戻ります。

デバッグ アクセス認証用パスワード ハッシュ - Word 0

表 1-26. DEBUG_LOCK_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_LOCK_0	R/W	0h	デバッグ アクセス認証用パスワード ハッシュ - Word 0

Copyright © 2026 Texas Instruments Incorporated

1.4.2.24 DEBUG_LOCK_1 レジスタ (オフセット = 8010185Ch) [リセット = 00000000h]

DEBUG_LOCK_1 を表 1-27 に示します。

概略表に戻ります。

デバッグ アクセス認証用パスワード ハッシュ - Word 1

表 1-27. DEBUG_LOCK_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_LOCK_1	R/W	0h	デバッグ アクセス認証用パスワード ハッシュ - Word 1

Copyright © 2026 Texas Instruments Incorporated

1.4.2.25 DEBUG_LOCK_2 レジスタ (オフセット = 80101860h) [リセット = 00000000h]

DEBUG_LOCK_2 を表 1-28 に示します。

概略表に戻ります。

デバッグ アクセス認証用パスワード ハッシュ - Word 2

表 1-28. DEBUG_LOCK_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_LOCK_2	R/W	0h	デバッグ アクセス認証用パスワード ハッシュ - Word 2

Copyright © 2026 Texas Instruments Incorporated

1.4.2.26 DEBUG_LOCK_3 レジスタ (オフセット = 80101864h) [リセット = 00000000h]

DEBUG_LOCK_3 を表 1-29 に示します。

概略表に戻ります。

デバッグ アクセス認証用パスワード ハッシュ - Word 3

表 1-29. DEBUG_LOCK_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_LOCK_3	R/W	0h	デバッグ アクセス認証用パスワード ハッシュ - Word 3

Copyright © 2026 Texas Instruments Incorporated

1.4.2.27 DEBUG_LOCK_4 レジスタ (オフセット = 80101868h) [リセット = 00000000h]

DEBUG_LOCK_4 を表 1-30 に示します。

概略表に戻ります。

デバッグ アクセス認証用パスワード ハッシュ - Word 4

表 1-30. DEBUG_LOCK_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_LOCK_4	R/W	0h	デバッグ アクセス認証用パスワード ハッシュ - Word 4

Copyright © 2026 Texas Instruments Incorporated

1.4.2.28 DEBUG_LOCK_5 レジスタ (オフセット = 8010186Ch) [リセット = 00000000h]

DEBUG_LOCK_5 を表 1-31 に示します。

概略表に戻ります。

デバッグ アクセス認証用パスワード ハッシュ - Word 5

表 1-31. DEBUG_LOCK_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_LOCK_5	R/W	0h	デバッグ アクセス認証用パスワード ハッシュ - Word 5

Copyright © 2026 Texas Instruments Incorporated

1.4.2.29 DEBUG_LOCK_6 レジスタ (オフセット = 80101870h) [リセット = 00000000h]

DEBUG_LOCK_6 を表 1-32 に示します。

概略表に戻ります。

デバッグ アクセス認証用パスワード ハッシュ - Word 6

表 1-32. DEBUG_LOCK_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_LOCK_6	R/W	0h	デバッグ アクセス認証用パスワード ハッシュ - Word 6

Copyright © 2026 Texas Instruments Incorporated

1.4.2.30 DEBUG_LOCK_7 レジスタ (オフセット = 80101874h) [リセット = 00000000h]

DEBUG_LOCK_7 を表 1-33 に示します。

概略表に戻ります。

デバッグ アクセス認証用パスワード ハッシュ - Word 7

表 1-33. DEBUG_LOCK_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_LOCK_7	R/W	0h	デバッグ アクセス認証用パスワード ハッシュ - Word 7

Copyright © 2026 Texas Instruments Incorporated

1.4.2.31 DEBUG_NS_LOCK_0 レジスタ (オフセット = 80101878h) [リセット = 00000000h]

DEBUG_NS_LOCK_0 を表 1-34 に示します。

概略表に戻ります。

セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 0

表 1-34. DEBUG_NS_LOCK_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_NS_LOCK_0	R/W	0h	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 0

Copyright © 2026 Texas Instruments Incorporated

1.4.2.32 DEBUG_NS_LOCK_1 レジスタ (オフセット = 8010187Ch) [リセット = 00000000h]

DEBUG_NS_LOCK_1 を表 1-35 に示します。

概略表に戻ります。

セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 1

表 1-35. DEBUG_NS_LOCK_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_NS_LOCK_1	R/W	0h	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 1

Copyright © 2026 Texas Instruments Incorporated

1.4.2.33 DEBUG_NS_LOCK_2 レジスタ (オフセット = 80101880h) [リセット = 00000000h]

DEBUG_NS_LOCK_2 を表 1-36 に示します。

概略表に戻ります。

セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 2

表 1-36. DEBUG_NS_LOCK_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_NS_LOCK_2	R/W	0h	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 2

Copyright © 2026 Texas Instruments Incorporated

1.4.2.34 DEBUG_NS_LOCK_3 レジスタ (オフセット = 80101884h) [リセット = 00000000h]

DEBUG_NS_LOCK_3 を表 1-37 に示します。

概略表に戻ります。

セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 3

表 1-37. DEBUG_NS_LOCK_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_NS_LOCK_3	R/W	0h	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 3

Copyright © 2026 Texas Instruments Incorporated

1.4.2.35 DEBUG_NS_LOCK_4 レジスタ (オフセット = 80101888h) [リセット = 00000000h]

DEBUG_NS_LOCK_4 を表 1-38 に示します。

概略表に戻ります。

セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 4

表 1-38. DEBUG_NS_LOCK_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_NS_LOCK_4	R/W	0h	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 4

Copyright © 2026 Texas Instruments Incorporated

1.4.2.36 DEBUG_NS_LOCK_5 レジスタ (オフセット = 8010188Ch) [リセット = 00000000h]

DEBUG_NS_LOCK_5 を表 1-39 に示します。

概略表に戻ります。

セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 5

表 1-39. DEBUG_NS_LOCK_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_NS_LOCK_5	R/W	0h	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 5

Copyright © 2026 Texas Instruments Incorporated

1.4.2.37 DEBUG_NS_LOCK_6 レジスタ (オフセット = 80101890h) [リセット = 00000000h]

DEBUG_NS_LOCK_6 を表 1-40 に示します。

概略表に戻ります。

セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 6

表 1-40. DEBUG_NS_LOCK_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_NS_LOCK_6	R/W	0h	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 6

Copyright © 2026 Texas Instruments Incorporated

1.4.2.38 DEBUG_NS_LOCK_7 レジスタ (オフセット = 80101894h) [リセット = 00000000h]

DEBUG_NS_LOCK_7 を表 1-41 に示します。

概略表に戻ります。

セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 7

表 1-41. DEBUG_NS_LOCK_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DEBUG_NS_LOCK_7	R/W	0h	セキュアでないデバッグ アクセスのパスワード ハッシュ - Word 7

Copyright © 2026 Texas Instruments Incorporated

1.4.2.39 BAD_CONV_0 レジスタ (オフセット = 80101898h) [リセット = 00000000h]

BAD_CONV_0 を表 1-42 に示します。

概略表に戻ります。

このフィールドには、不正なデバイス変換に使用される 16 バイトパスワードの SHA-256 ハッシュ (32 バイト) が格納されます。このハッシュは、8 つの 32 ビットワードの配列として格納されます。

表 1-42. BAD_CONV_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BAD_CONV_0	R/W	0h	不正な変換パスワード ハッシュ - Word 0

Copyright © 2026 Texas Instruments Incorporated

1.4.2.40 BAD_CONV_1 レジスタ (オフセット = 8010189Ch) [リセット = 00000000h]

BAD_CONV_1 を表 1-43 に示します。

概略表に戻ります。

不正な変換パスワード ハッシュ - Word 1

表 1-43. BAD_CONV_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BAD_CONV_1	R/W	0h	不正な変換パスワード ハッシュ - Word 1

Copyright © 2026 Texas Instruments Incorporated

1.4.2.41 BAD_CONV_2 レジスタ (オフセット = 801018A0h) [リセット = 00000000h]

BAD_CONV_2 を表 1-44 に示します。

概略表に戻ります。

不正な変換パスワード ハッシュ - Word 2

表 1-44. BAD_CONV_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BAD_CONV_2	R/W	0h	不正な変換パスワード ハッシュ - Word 2

Copyright © 2026 Texas Instruments Incorporated

1.4.2.42 BAD_CONV_3 レジスタ (オフセット = 801018A4h) [リセット = 00000000h]

BAD_CONV_3 を表 1-45 に示します。

概略表に戻ります。

不正な変換パスワード ハッシュ - Word 3

表 1-45. BAD_CONV_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BAD_CONV_3	R/W	0h	不正な変換パスワード ハッシュ - Word 3

Copyright © 2026 Texas Instruments Incorporated

1.4.2.43 BAD_CONV_4 レジスタ (オフセット = 801018A8h) [リセット = 00000000h]

BAD_CONV_4 を表 1-46 に示します。

概略表に戻ります。

不正な変換パスワード ハッシュ - Word 4

表 1-46. BAD_CONV_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BAD_CONV_4	R/W	0h	不正な変換パスワード ハッシュ - Word 4

Copyright © 2026 Texas Instruments Incorporated

1.4.2.44 BAD_CONV_5 レジスタ (オフセット = 801018ACh) [リセット = 00000000h]

BAD_CONV_5 を表 1-47 に示します。

概略表に戻ります。

不正な変換パスワード ハッシュ - Word 5

表 1-47. BAD_CONV_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BAD_CONV_5	R/W	0h	不正な変換パスワード ハッシュ - Word 5

Copyright © 2026 Texas Instruments Incorporated

1.4.2.45 BAD_CONV_6 レジスタ (オフセット = 801018B0h) [リセット = 00000000h]

BAD_CONV_6 を表 1-48 に示します。

概略表に戻ります。

不正な変換パスワード ハッシュ - Word 6

表 1-48. BAD_CONV_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BAD_CONV_6	R/W	0h	不正な変換パスワード ハッシュ - Word 6

Copyright © 2026 Texas Instruments Incorporated

1.4.2.46 BAD_CONV_7 レジスタ (オフセット = 801018B4h) [リセット = 00000000h]

BAD_CONV_7 を表 1-49 に示します。

概略表に戻ります。

不正な変換パスワード ハッシュ - Word 7

表 1-49. BAD_CONV_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BAD_CONV_7	R/W	0h	不正な変換パスワード ハッシュ - Word 7

Copyright © 2026 Texas Instruments Incorporated

1.4.2.47 SECURE_BOOT_MODE レジスタ (オフセット = 801018B8h) [リセット = 00000000h]

表 1-50 に、SECURE_BOOT_MODE を示します。

概略表に戻ります。

アプリケーション認証を制御します。予約済みフィールド

表 1-50. SECURE_BOOT_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	予約済みフィールド
15-0	SECURE_BOOT_MODE	R/W	0h	アプリケーション認証を制御します AABBh = BC_CFG_SECURE_BOOT_CRC_EN の構成 CCDDh = BC_CFG_SECURE_BOOT_HASH_EN の構成 FFFFh = DISABLED の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.48 USER_SECURE_APP_START_ADDR レジスタ (オフセット = 801018BCh) [リセット = 00000000h]

表 1-51 に、USER_SECURE_APP_START_ADDR を示します。

概略表に戻ります。

セキュアなアプリケーションの開始アドレス

表 1-51. USER_SECURE_APP_START_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_START_ADDR	R/W	0h	セキュアなアプリケーションの開始アドレス

Copyright © 2026 Texas Instruments Incorporated

1.4.2.49 USER_SECURE_APP_LENGTH レジスタ (オフセット = 801018C0h) [リセット = 00000000h]

表 1-52 に、USER_SECURE_APP_LENGTH を示します。

概略表に戻ります。

セキュアなアプリケーションの長さ

表 1-52. USER_SECURE_APP_LENGTH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_LENGTH	R/W	0h	セキュアなアプリケーションの長さ

Copyright © 2026 Texas Instruments Incorporated

1.4.2.50 USER_SECURE_APP_HASH_0 レジスタ (オフセット = 801018C4h) [リセット = 00000000h]

USER_SECURE_APP_HASH_0 を表 1-53 に示します。

概略表に戻ります。

セキュアなアプリケーションのハッシュ - Word 0

表 1-53. USER_SECURE_APP_HASH_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_HASH_0	R/W	0h	セキュアなアプリケーションのハッシュ - Word 0

Copyright © 2026 Texas Instruments Incorporated

1.4.2.51 USER_SECURE_APP_HASH_1 レジスタ (オフセット = 801018C8h) [リセット = 00000000h]

USER_SECURE_APP_HASH_1 を表 1-54 に示します。

概略表に戻ります。

セキュアなアプリケーションのハッシュ - Word 1

表 1-54. USER_SECURE_APP_HASH_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_HASH_1	R/W	0h	セキュアなアプリケーションのハッシュ - Word 1

Copyright © 2026 Texas Instruments Incorporated

1.4.2.52 USER_SECURE_APP_HASH_2 レジスタ (オフセット = 801018CCh) [リセット = 00000000h]

USER_SECURE_APP_HASH_2 を表 1-55 に示します。

概略表に戻ります。

セキュアなアプリケーションのハッシュ - Word 2

表 1-55. USER_SECURE_APP_HASH_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_HASH_2	R/W	0h	セキュアなアプリケーションのハッシュ - Word 2

Copyright © 2026 Texas Instruments Incorporated

1.4.2.53 USER_SECURE_APP_HASH_3 レジスタ (オフセット = 801018D0h) [リセット = 00000000h]

USER_SECURE_APP_HASH_3 を表 1-56 に示します。

概略表に戻ります。

セキュアなアプリケーションのハッシュ - Word 3

表 1-56. USER_SECURE_APP_HASH_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_HASH_3	R/W	0h	セキュアなアプリケーションのハッシュ - Word 3

Copyright © 2026 Texas Instruments Incorporated

1.4.2.54 USER_SECURE_APP_HASH_4 レジスタ (オフセット = 801018D4h) [リセット = 00000000h]

USER_SECURE_APP_HASH_4 を表 1-57 に示します。

概略表に戻ります。

セキュアなアプリケーションのハッシュ - Word 4

表 1-57. USER_SECURE_APP_HASH_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_HASH_4	R/W	0h	セキュアなアプリケーションのハッシュ - Word 4

Copyright © 2026 Texas Instruments Incorporated

1.4.2.55 USER_SECURE_APP_HASH_5 レジスタ (オフセット = 801018D8h) [リセット = 00000000h]

USER_SECURE_APP_HASH_5 を表 1-58 に示します。

概略表に戻ります。

セキュアなアプリケーションのハッシュ - Word 5

表 1-58. USER_SECURE_APP_HASH_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_HASH_5	R/W	0h	セキュアなアプリケーションのハッシュ - Word 5

Copyright © 2026 Texas Instruments Incorporated

1.4.2.56 USER_SECURE_APP_HASH_6 レジスタ (オフセット = 801018DCh) [リセット = 00000000h]

USER_SECURE_APP_HASH_6 を表 1-59 に示します。

概略表に戻ります。

セキュアなアプリケーションのハッシュ - Word 6

表 1-59. USER_SECURE_APP_HASH_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_HASH_6	R/W	0h	セキュアなアプリケーションのハッシュ - Word 6

Copyright © 2026 Texas Instruments Incorporated

1.4.2.57 USER_SECURE_APP_HASH_7 レジスタ (オフセット = 801018E0h) [リセット = 00000000h]

USER_SECURE_APP_HASH_7 を表 1-60 に示します。

概略表に戻ります。

セキュアなアプリケーションのハッシュ - Word 7

表 1-60. USER_SECURE_APP_HASH_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	USER_SECURE_APP_HASH_7	R/W	0h	セキュアなアプリケーションのハッシュ - Word 7

Copyright © 2026 Texas Instruments Incorporated

1.4.2.58 BANK0_NM_USER_CONFIG レジスタ (オフセット = 801018E4h) [リセット = 00000000h]

BANK0_NM_USER_CONFIG を表 1-61 に示します。

概略表に戻ります。

ユーザー構成非メイン フラッシュの静的書き込み保護。WEP_DISABLE = 0xAABB。予約済みフィールド

表 1-61. BANK0_NM_USER_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	予約済みフィールド
15-0	BANK0_NM_USER_CONFIG	R/W	0h	ユーザー構成非メイン フラッシュの静的書き込み保護。WEP_DISABLE = 0xAABB

Copyright © 2026 Texas Instruments Incorporated

1.4.2.59 BANK0_WRITE_ERASE_PROTECTION_A レジスタ (オフセット = 801018E8h) [リセット = 00000000h]

BANK0_WRITE_ERASE_PROTECTION_A を表 1-62 に示します。

概略表に戻ります。

最初の 32 セクタに対する書き込み保護

表 1-62. BANK0_WRITE_ERASE_PROTECTION_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK0_WRITE_ERASE_PROTECTION_A	R/W	0h	最初の 32 セクタに対する書き込み保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.60 BANK0_WRITE_ERASE_PROTECTION_B レジスタ (オフセット = 801018ECh) [リセット = 00000000h]

BANK0_WRITE_ERASE_PROTECTION_B を表 1-63 に示します。

概略表に戻ります。

512KB ～ 64KB に対する書き込み保護

表 1-63. BANK0_WRITE_ERASE_PROTECTION_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK0_WRITE_ERASE_PROTECTION_B	R/W	0h	512KB ～ 64KB に対する書き込み保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.61 BANK0_SECURITY_PROTECTION_A レジスタ (オフセット = 801018F0h) [リセット = 00000000h]

BANK0_SECURITY_PROTECTION_A を表 1-64 に示します。

概略表に戻ります。

最初の 32 セクタに対するセキュリティ保護

表 1-64. BANK0_SECURITY_PROTECTION_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK0_SECURITY_PROTECTION_A	R/W	0h	最初の 32 セクタに対するセキュリティ保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.62 BANK0_SECURITY_PROTECTION_B レジスタ (オフセット = 801018F4h) [リセット = 00000000h]

BANK0_SECURITY_PROTECTION_B を表 1-65 に示します。

概略表に戻ります。

512KB ～ 64KB に対するセキュリティ保護

表 1-65. BANK0_SECURITY_PROTECTION_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK0_SECURITY_PROTECTION_B	R/W	0h	512KB ～ 64KB に対するセキュリティ保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.63 BANK0_PRIVILEGE_PROTECTION_A レジスタ (オフセット = 801018F8h) [リセット = 00000000h]

BANK0_PRIVILEGE_PROTECTION_A を表 1-66 に示します。

概略表に戻ります。

最初の 32 セクタに対する特権保護

表 1-66. BANK0_PRIVILEGE_PROTECTION_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK0_PRIVILEGE_PROTECTION_A	R/W	0h	最初の 32 セクタに対する特権保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.64 BANK0_PRIVILEGE_PROTECTION_B レジスタ (オフセット = 801018FCh) [リセット = 00000000h]

BANK0_PRIVILEGE_PROTECTION_B を表 1-67 に示します。

概略表に戻ります。

512KB ～ 64KB に対する特権保護

表 1-67. BANK0_PRIVILEGE_PROTECTION_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK0_PRIVILEGE_PROTECTION_B	R/W	0h	512KB ～ 64KB に対する特権保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.65 BANK1_WRITE_ERASE_PROTECTION_A レジスタ (オフセット = 80101904h) [リセット = 00000000h]

BANK1_WRITE_ERASE_PROTECTION_A を表 1-68 に示します。

概略表に戻ります。

最初の 32 セクタに対する書き込み保護

表 1-68. BANK1_WRITE_ERASE_PROTECTION_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK1_WRITE_ERASE_PROTECTION_A	R/W	0h	最初の 32 セクタに対する書き込み保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.66 BANK1_WRITE_ERASE_PROTECTION_B レジスタ (オフセット = 80101908h) [リセット = 00000000h]

BANK1_WRITE_ERASE_PROTECTION_B を表 1-69 に示します。

概略表に戻ります。

512KB ～ 64KB に対する書き込み保護

表 1-69. BANK1_WRITE_ERASE_PROTECTION_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK1_WRITE_ERASE_PROTECTION_B	R/W	0h	512KB ～ 64KB に対する書き込み保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.67 BANK1_SECURITY_PROTECTION_A レジスタ (オフセット = 8010190Ch) [リセット = 00000000h]

BANK1_SECURITY_PROTECTION_A を表 1-70 に示します。

概略表に戻ります。

最初の 32 セクタに対するセキュリティ保護

表 1-70. BANK1_SECURITY_PROTECTION_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK1_SECURITY_PROTECTION_A	R/W	0h	最初の 32 セクタに対するセキュリティ保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.68 BANK1_SECURITY_PROTECTION_B レジスタ (オフセット = 80101910h) [リセット = 00000000h]

BANK1_SECURITY_PROTECTION_B を表 1-71 に示します。

概略表に戻ります。

512KB ～ 64KB に対するセキュリティ保護

表 1-71. BANK1_SECURITY_PROTECTION_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK1_SECURITY_PROTECTION_B	R/W	0h	512KB ～ 64KB に対するセキュリティ保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.69 BANK1_PRIVILEGE_PROTECTION_A レジスタ (オフセット = 80101914h) [リセット = 00000000h]

BANK1_PRIVILEGE_PROTECTION_A を表 1-72 に示します。

概略表に戻ります。

最初の 32 セクタに対する特権保護

表 1-72. BANK1_PRIVILEGE_PROTECTION_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK1_PRIVILEGE_PROTECTION_A	R/W	0h	最初の 32 セクタに対する特権保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.70 BANK1_PRIVILEGE_PROTECTION_B レジスタ (オフセット = 80101918h) [リセット = 00000000h]

BANK1_PRIVILEGE_PROTECTION_B を表 1-73 に示します。

概略表に戻ります。

512KB ～ 64KB に対する特権保護

表 1-73. BANK1_PRIVILEGE_PROTECTION_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BANK1_PRIVILEGE_PROTECTION_B	R/W	0h	512KB ～ 64KB に対する特権保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.71 DBANK_WRITE_ERASE_PROTECTION レジスタ (オフセット = 80101920h) [リセット = 00000000h]

表 1-74 に、DBANK_WRITE_ERASE_PROTECTION を示します。

概略表に戻ります。

データ バンクに対する書き込み / 消去保護

表 1-74. DBANK_WRITE_ERASE_PROTECTION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DBANK_WRITE_ERASE_PROTECTION	R/W	0h	データ バンクに対する書き込み / 消去保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.72 DBANK_SECURITY_PROTECTION レジスタ (オフセット = 80101924h) [リセット = 00000000h]

表 1-75 に、DBANK_SECURITY_PROTECTION を示します。

概略表に戻ります。

データ バンクに対するセキュリティ保護

表 1-75. DBANK_SECURITY_PROTECTION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DBANK_SECURITY_PROTECTION	R/W	0h	データ バンクに対するセキュリティ保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.73 DBANK_PRIVILEGE_PROTECTION レジスタ (オフセット = 80101928h) [リセット = 00000000h]

表 1-76 に、DBANK_PRIVILEGE_PROTECTION を示します。

概略表に戻ります。

データ バンクに対する特権保護

表 1-76. DBANK_PRIVILEGE_PROTECTION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DBANK_PRIVILEGE_PROTECTION	R/W	0h	データ バンクに対する特権保護

Copyright © 2026 Texas Instruments Incorporated

1.4.2.74 BOOTCLK0 レジスタ (オフセット = 80101930h) [リセット = 00000000h]

BOOTCLK0 を表 1-77 に示します。

概略表に戻ります。

クロック構成、PLL 乗算値、PLL 分周値、PLL クロック ソース構成

表 1-77. BOOTCLK0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	SYSPLL_SOURCE	R/W	0h	PLL クロック ソース構成 AAh = BC_CFG_PLL_SOURCE_HFXT_20MHZ の構成 BBh = BC_CFG_PLL_SOURCE_HFXT_40MHZ 構成 FFh = DEFAULT 構成
23-16	SYSPLL_CONFIG_RDIV	R/W	0h	PLL デバイダの値
15-8	SYSPLL_CONFIG_QDIV	R/W	0h	PLL 乗算値
7-0	SYSPLL_CONFIG	R/W	0h	クロックの構成 AAh = PLL_80 の構成 BBh = PLL_CUSTOM の構成 FFh = NOPLL の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.75 BOOTCLK1 レジスタ (オフセット = 80101934h) [リセット = 00000000h]

BOOTCLK1 を表 1-78 に示します。

概略表に戻ります。

PLL セトリング タイムのための CPU 遅延サイクル、HFXT 監視のための CPU 遅延サイクル、予約済み設定フィールド 0

表 1-78. BOOTCLK1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	RESVD_0	R/W	0h	予約済み構成フィールド 0
15-8	HFXT_STARTUP_MONITOR_TIME	R/W	0h	HFXT 監視に対する CPU 遅延サイクル
7-0	SYSPLL_SETTLING_TIME	R/W	0h	PLL セトリング タイムに必要な CPU 遅延サイクル

Copyright © 2026 Texas Instruments Incorporated

1.4.2.76 CRC レジスタ (オフセット = 8010194Ch) [リセット = 00000000h]

CRC を表 1-79 に示します。

概略表に戻ります。

BCR 構成構造の CRC-32

表 1-79. CRC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CRC	R/W	0h	BCR 構成構造の CRC-32

Copyright © 2026 Texas Instruments Incorporated

1.4.2.77 BSL_CONFIG_ID レジスタ (オフセット = 80101C00h) [リセット = 00000000h]

表 1-80 に、BSL_CONFIG_ID を示します。

概略表に戻ります。

あらかじめ決められたブートローダー構成シグネチャ ID

表 1-80. BSL_CONFIG_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	BSL_CONFIG_ID	R/W	0h	あらかじめ決められたブートローダー構成シグネチャ ID

Copyright © 2026 Texas Instruments Incorporated

1.4.2.78 BSLPINCFG0 レジスタ (オフセット = 80101C04h) [リセット = 00000000h]

BSLPINCFG0 を表 1-81 に示します。

概略表に戻ります。

UART 受信ピンの番号構成、UART 受信ピンのマルチプレクサ選択、UART 送信ピンの番号構成、UART 送信ピンのマルチプレクサ選択

表 1-81. BSLPINCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	UART_TXD_PF_MUX_SEL	R/W	0h	UART 送信ピン マルチプレクサの選択
23-16	UART_TXD_PAD_NUM	R/W	0h	UART 送信ピン番号の構成
15-8	UART_RXD_PF_MUX_SEL	R/W	0h	UART 受信ピン マルチプレクサの選択
7-0	UART_RXD_PAD_NUM	R/W	0h	UART 受信ピン番号の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.79 BSLPINCFG1 レジスタ (オフセット = 80101C08h) [リセット = 00000000h]

BSLPINCFG1 を表 1-82 に示します。

概略表に戻ります。

I2C データ ピンの番号構成、I2C データ ピンのマルチプレクサ選択、I2C クロック ピンの番号構成、I2C クロック ピンのマルチプレクサ選択

表 1-82. BSLPINCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	I2C_SCL_PF_MUX_SEL	R/W	0h	I2C クロック ピン マルチプレクサの選択
23-16	I2C_SCL_PAD_NUM	R/W	0h	I2C クロック ピン番号の構成
15-8	I2C_SDA_PF_MUX_SEL	R/W	0h	I2C データ ピン マルチプレクサの選択
7-0	I2C_SDA_PAD_NUM	R/W	0h	I2C データ ピン番号の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.80 BSLPINCFG2 レジスタ (オフセット = 80101C0Ch) [リセット = 00000000h]

BSLPINCFG2 を表 1-83 に示します。

概略表に戻ります。

MCAN 受信ピンの番号構成、MCAN 受信ピンのマルチプレクサ選択、MCAN 送信ピンの番号構成、MCAN 送信ピンのマルチプレクサ選択

表 1-83. BSLPINCFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	MCAN_TX_PF_MUX_SEL	R/W	0h	MCAN 送信ピン マルチプレクサの選択
23-16	MCAN_TX_PAD_NUM	R/W	0h	MCAN 送信ピン番号の構成
15-8	MCAN_RX_PF_MUX_SEL	R/W	0h	MCAN 受信ピン マルチプレクサの選択
7-0	MCAN_RX_PAD_NUM	R/W	0h	MCAN 受信ピン番号の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.81 BSLCONFIG0 レジスタ (オフセット = 80101C10h) [リセット = 00000000h]

BSLCONFIG0 を表 1-84 に示します。

概略表に戻ります。

BSL 呼び出しピンの構成データ 0、BSL 呼び出しピンの構成データ 1、メモリ読み出し制御。ENABLE は、メモリの読み取り操作を許可します

表 1-84. BSLCONFIG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	READOUT	R/W	0h	メモリ読み出し制御。ENABLE は、メモリの読み取り操作を許可します
15-8	PIN_DATA_1	R/W	0h	BSL はピン構成データ 1 を呼び出します
7-0	PIN_DATA_0	R/W	0h	BSL はピン構成データ 0 を呼び出します

Copyright © 2026 Texas Instruments Incorporated

1.4.2.82 PASSWORD_0 レジスタ (オフセット = 80101C14h) [リセット = 00000000h]

PASSWORD_0 を表 1-85 に示します。

概略表に戻ります。

BSL アクセス パスワード - Word 0

表 1-85. PASSWORD_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PASSWORD_0	R/W	0h	BSL アクセス パスワード - Word 0

Copyright © 2026 Texas Instruments Incorporated

1.4.2.83 PASSWORD_1 レジスタ (オフセット = 80101C18h) [リセット = 00000000h]

PASSWORD_1 を表 1-86 に示します。

概略表に戻ります。

BSL アクセス パスワード - Word 1

表 1-86. PASSWORD_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PASSWORD_1	R/W	0h	BSL アクセス パスワード - Word 1

Copyright © 2026 Texas Instruments Incorporated

1.4.2.84 PASSWORD_2 レジスタ (オフセット = 80101C1Ch) [リセット = 00000000h]

PASSWORD_2 を表 1-87 に示します。

概略表に戻ります。

BSL アクセス パスワード - Word 2

表 1-87. PASSWORD_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PASSWORD_2	R/W	0h	BSL アクセス パスワード - Word 2

Copyright © 2026 Texas Instruments Incorporated

1.4.2.85 PASSWORD_3 レジスタ (オフセット = 80101C20h) [リセット = 00000000h]

PASSWORD_3 を表 1-88 に示します。

概略表に戻ります。

BSL アクセス パスワード - Word 3

表 1-88. PASSWORD_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PASSWORD_3	R/W	0h	BSL アクセス パスワード - Word 3

Copyright © 2026 Texas Instruments Incorporated

1.4.2.86 PASSWORD_4 レジスタ (オフセット = 80101C24h) [リセット = 00000000h]

PASSWORD_4 を表 1-89 に示します。

概略表に戻ります。

BSL アクセス パスワード - Word 4

表 1-89. PASSWORD_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PASSWORD_4	R/W	0h	BSL アクセス パスワード - Word 4

Copyright © 2026 Texas Instruments Incorporated

1.4.2.87 PASSWORD_5 レジスタ (オフセット = 80101C28h) [リセット = 00000000h]

PASSWORD_5 を表 1-90 に示します。

概略表に戻ります。

BSL アクセス パスワード - Word 5

表 1-90. PASSWORD_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PASSWORD_5	R/W	0h	BSL アクセス パスワード - Word 5

Copyright © 2026 Texas Instruments Incorporated

1.4.2.88 PASSWORD_6 レジスタ (オフセット = 80101C2Ch) [リセット = 00000000h]

PASSWORD_6 を表 1-91 に示します。

概略表に戻ります。

BSL アクセス パスワード - Word 6

表 1-91. PASSWORD_6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PASSWORD_6	R/W	0h	BSL アクセス パスワード - Word 6

Copyright © 2026 Texas Instruments Incorporated

1.4.2.89 PASSWORD_7 レジスタ (オフセット = 80101C30h) [リセット = 00000000h]

PASSWORD_7 を表 1-92 に示します。

概略表に戻ります。

BSL アクセス パスワード - Word 7

表 1-92. PASSWORD_7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PASSWORD_7	R/W	0h	BSL アクセス パスワード - Word 7

Copyright © 2026 Texas Instruments Incorporated

1.4.2.90 APP_REV_POINTER レジスタ (オフセット = 80101C34h) [リセット = 00000000h]

表 1-93 に、APP_REV_POINTER を示します。

概略表に戻ります。

MAIN フラッシュ内のアプリケーション バージョン情報へのポインタ

表 1-93. APP_REV_POINTER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	APP_REV_POINTER	R/W	0h	MAIN フラッシュ内のアプリケーション バージョン情報へのポインタ

Copyright © 2026 Texas Instruments Incorporated

1.4.2.91 BSLCONFIG1 レジスタ (オフセット = 80101C38h) [リセット = 00000000h]

BSLCONFIG1 を表 1-94 に示します。

概略表に戻ります。

セキュリティ アラートの応答: 工場出荷時リセット / BSL をディスエーブル / 無視、ROM BSL 用の UART 通信速度の選択

表 1-94. BSLCONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	UART_BAUD_RATE	R/W	0h	ROM BSL の UART 通信速度の選択 1h = BAUDRATE_4800 の構成 2h = BAUDRATE_9600 の構成 3h = BAUDRATE_19200 の構成 4h = BAUDRATE_38400 の構成 5h = BAUDRATE_57600 の構成 6h = BAUDRATE_115200 の構成 7h = BAUDRATE_1000000 の構成 8h = BAUDRATE_2000000 の構成 9h = BAUDRATE_3000000 の構成
15-0	SECURITY_ALERT_LEVEL	R/W	0h	セキュリティ アラートの応答: 工場出荷時リセット / BSL をディスエーブル / 無視 AABBh = FACTORY_RESET の構成 CCDDh = DISABLE_BSL の構成 FFFFh = DO_NOTHING の構成

Copyright © 2026 Texas Instruments Incorporated

1.4.2.92 I2C_SLAVE_ADDR レジスタ (オフセット = 80101C3Ch) [リセット = 00000000h]

I2C_SLAVE_ADDR を表 1-95 に示します。

概略表に戻ります。

ROM BSL I2C インターフェイスの I2C スレーブ アドレス、予約済みフィールド。予約済みフィールド

表 1-95. I2C_SLAVE_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R/W	0h	予約済みフィールド
23-16	予約済み	R/W	0h	予約済みフィールド
15-0	I2C_SLAVE_ADDR	R/W	0h	ROM BSL I2C インターフェイスの I2C スレーブ アドレス

1.5 ファクトリ定数

すべてのデバイスは、アプリケーション ソフトウェア用に、デバイスの機能を説明する読み出し専用データと、工場から提供された調整情報とを、メモリ内に割り当てられた FACTORY 領域に格納しています。

FACTORY メモリ領域で提供される主なデータには、以下が含まれています。

- デバイス固有の 96 ビット ID
- デフォルトの BSL ピン
- MAIN 領域のフラッシュ メモリの合計サイズ (KB)
- DATA 領域のフラッシュ メモリの合計サイズ (KB) (存在する場合)
- フラッシュ バンク数
- SRAM メモリの合計サイズ (KB)
- 温度センサのキャリブレーション値
- SYSPLL スタートアップ パラメータ

Copyright © 2026 Texas Instruments Incorporated

1.5.1 FACTORYREGION レジスタ

FACTORYREGION レジスタのメモリマップト レジスタを 表 1-96 に示します。表 1-96 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 1-96. FACTORYREGION レジスタ

オフセット	略称	レジスタ名	セクション
80111000h	TRACEID	TI により定義され、ATE においてウェハを基準として規定される	セクション 1.5.1.1
80111004h	DEVICEID	これは、ランプ システムから供給される JTAGIDCODE である	セクション 1.5.1.2
80111008h	USERID	TI によりよ定義され、デバイスのスピンにより異なる	セクション 1.5.1.3
8011100Ch	BSLPIN_UART	BSL UART ピンの構成	セクション 1.5.1.4
80111010h	BSLPIN_I2C	BSL I2C ピンの構成	セクション 1.5.1.5
80111014h	BSLPIN_CAN	BSL CAN ピンの構成	セクション 1.5.1.6
80111018h	BSLPIN_INVOKE	BSL ピンの起動構成	セクション 1.5.1.7
8011101Ch	SRAMFLASH		セクション 1.5.1.8
80111020h	PLLSTARTUP0_4_8MHZ		セクション 1.5.1.9
80111024h	PLLSTARTUP1_4_8MHZ	システム PLL パラメータ 1 MMR --- フラッシュ テーブル ルックアップからのデータ	セクション 1.5.1.10
80111028h	PLLSTARTUP0_8_16MHZ		セクション 1.5.1.11
8011102Ch	PLLSTARTUP1_8_16MHZ	システム PLL パラメータ 1 MMR --- フラッシュ テーブル ルックアップからのデータ	セクション 1.5.1.12
80111030h	PLLSTARTUP0_16_32MHZ		セクション 1.5.1.13
80111034h	PLLSTARTUP1_16_32MHZ	システム PLL パラメータ 1 MMR --- フラッシュ テーブル ルックアップからのデータ	セクション 1.5.1.14
80111038h	PLLSTARTUP0_32_48MHZ		セクション 1.5.1.15
8011103Ch	PLLSTARTUP1_32_48MHZ	システム PLL パラメータ 1 MMR --- フラッシュ テーブル ルックアップからのデータ	セクション 1.5.1.16
80111040h	TEMP_SENSE0	温度センサ室温キャリブレーション コード。 これは、温度センサの出力電圧の ADC 変換結果である。 BOOTCRC 計算に含まれる。	セクション 1.5.1.17
80111044h	RESERVED00		
80111048h	RESERVED01		
8011104Ch	RESERVED02		
80111050h	RESERVED03		
80111054h	RESERVED04		
80111058h	RESERVED05		
8011105Ch	RESERVED06		
80111060h	RESERVED07		
80111064h	RESERVED08		
80111068h	RESERVED09		
8011106Ch	RESERVED10		
80111070h	RESERVED11		
80111074h	RESERVED12		
80111078h	RESERVED13		
8011107Ch	BOOTCRC	BOOTCRC は、予約済み領域を含む OPEN 内のすべての領域の 32 ビット CRC を記録します。	

Copyright © 2026 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 1-97 に、このセクションでアクセス タイプに使用しているコードを示します。

表 1-97. FACTORYREGION アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

1.5.1.1 TRACEID レジスタ (オフセット = 80111000h) [リセット = 00000000h]

表 1-98 に、TRACEID を示します。

概略表に戻ります。

出荷された部品ごとに固有のもので、TI のプロセスに従って実施されます

表 1-98. TRACEID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	

Copyright © 2026 Texas Instruments Incorporated

1.5.1.2 DEVICEID レジスタ (オフセット = 80111004h) [リセット = 1BBB702Fh]

表 1-99 に、DEVICEID を示します。

概略表に戻ります。

接続形式ごとに、RAMP からプロビジョニングされ、ダイリビジョン固有です

表 1-99. DEVICEID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	バージョン	R	1h	デバイスのリビジョン。このフィールドは、デバイスのロジックまたはマスクセットが改訂されるたびに変更する必要があります。
27-12	PARTNUM	R	BBB7h	デバイスの型番。
11-1	製造元	R	17h	TI の JEDEC バンクおよび会社コード:00000010111b
0	ALWAYS_1	R	1h	これは常に 1 になる

Copyright © 2026 Texas Instruments Incorporated

1.5.1.3 USERID レジスタ (オフセット = 80111008h) [リセット = 00000000h]

USERID を表 1-100 に示します。

概略表に戻ります。

接続形式ごとに、バリアント フィーチャ セットを定義します

表 1-100. USERID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	START	R	1h	
30-28	MAJORREV	R	0h	単調増加値は、SKU の新しいリビジョンが、デバイスのユーザーが PCB またはソフトウェアの設計変更を必要とすることを示しています
27-24	MINORREV	R	0h	単調増加値は、より小さい minorrev 値との互換性を維持する SKU の新しいリビジョンであることを示しています。新しい機能が導入される場合、その機能を使用すると、より小さな minorrev 番号のものが、より大きい番号のものと互換性を持たなくなる可能性があります。
23-16	バリアント	R	0h	ビット パターン部品のバリアントを一意に識別します。これは、同じ部品番号のメモリまたはパッケージのバリエーションを示すために使用されます。この番号は、IDCODE.device と USERCODE.part の関連する組み合わせの残りの番号の中からランダムに選択され、作成の順序が番号によって推測できないようにします。バリアント番号は、そのバリアントの具体的な内容を直接的に表すものではありません。
15-0	PART	R	0h	部品を一意に識別するビット パターン。これは、DEVICEID.device で識別されたダイに基づいて特定の部品を識別するために使用されます。この番号は、DEVICEID.device の残りの番号の中からランダムに選択され、作成の順序が番号によって推測されないようにします。この値は、型番の具体的な内容を直接的に表すものではありません。

Copyright © 2026 Texas Instruments Incorporated

1.5.1.4 BSLPIN_UART レジスタ (オフセット = 8011100Ch) [リセット = 00000000h]

表 1-101 に、BSLPIN_UART を示します。

概略表に戻ります。

BSL UART ピンの構成

表 1-101. BSLPIN_UART レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	UART_TXD_PF	R	07h	UART TXD ピンの機能選択値
23-16	UART_TXD_PAD	R	15h	BSL で使用される UART TXD ピン
15-8	UART_RXD_PF	R	07h	UART RXD ピンの機能選択値
7-0	UART_RXD_PAD	R	16h	BSL で使用される UART RXD パッド

Copyright © 2026 Texas Instruments Incorporated

1.5.1.5 BSLPIN_I2C レジスタ (オフセット = 80111010h) [リセット = 00000000h]

BSLPIN_I2C を表 1-102 に示します。

概略表に戻ります。

BSL I2C ピンの構成

表 1-102. BSLPIN_I2C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	I2C_SCL_PF	R	6h	I2C SCL ピンの機能選択値
23-16	I2C_SCL_PAD	R	2h	BSL で使用される I2C SCL ピン
15-8	I2C_SDA_PF	R	6h	I2C SDA ピンの機能選択値
7-0	I2C_SDA_PAD	R	1h	BSL で使用される I2C SDA ピン

Copyright © 2026 Texas Instruments Incorporated

1.5.1.6 BSLPIN_CAN レジスタ (オフセット = 80111014h) [リセット = 00000000h]

表 1-103 に、BSLPIN_CAN を示します。

概略表に戻ります。

BSL CAN ピンの構成

表 1-103. BSLPIN_CAN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	CAN_TX_PF	R	04h	MCAN TX ピンの機能選択値
23-16	CAN_TX_PAD	R	3Bh	BSL で使用される MCAN TX ピン
15-8	CAN_RX_PF	R	04h	MCAN RX ピンの機能選択値
7-0	CAN_RX_PAD	R	3Ch	BSL で使用される MCAN RX ピン

Copyright © 2026 Texas Instruments Incorporated

1.5.1.7 BSLPIN_INVOKE レジスタ (オフセット = 80111018h) [リセット = 00000000h]

表 1-104 に、BSLPIN_INVOKE を示します。

概略表に戻ります。

BSL ピンの起動構成

表 1-104. BSLPIN_INVOKE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-13	GPIO_REG_SEL	R	0h	GPIO モジュールの選択
12-8	GPIO_PIN_SEL	R	12h	GPIO モジュールの GPIO ピン番号
7	GPIO_LEVEL	R	1h	BSL 起動用の GPIO レベルの構成
6-0	BSL_PAD	R	28h	BSL 起動ピン番号

Copyright © 2026 Texas Instruments Incorporated

1.5.1.8 SRAMFLASH レジスタ (オフセット = 8011101Ch) [リセット = 00000000h]

表 1-105 に、SRAMFLASH を示します。

概略表に戻ります。

表 1-105. SRAMFLASH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	DATAFLASH_SZ	R	20h	このフィールドのエンコーディングは、フィールドの値を KB 数として解釈する整数とします。 たとえば、フィールドの値が 4 であれば 4KB、32 であれば 32KB となります。
25-16	SRAM_SZ	R	100h	このフィールドのエンコーディングは、フィールドの値を KB 数として解釈する整数とします。たとえば、フィールドの値が 4 であれば 4KB、32 であれば 32KB となります。
15-14	予約済み	R	0h	
13-12	MAINNUMBANKS	R	2h	メイン フラッシュ バンクの数を定義します
11-0	MAINFLASH_SZ	R	400h	このフィールドのエンコーディングは、フィールドの値を KB 数として解釈する整数とします。たとえば、フィールドの値が 4 であれば 4KB、32 であれば 32KB となります。

Copyright © 2026 Texas Instruments Incorporated

1.5.1.9 PLLSTARTUP0_4_8MHZ レジスタ (オフセット = 80111020h) [リセット = 00000000h]

PLLSTARTUP0_4_8MHZ を表 1-106 に示します。

概略表に戻ります。

表 1-106. PLLSTARTUP0_4_8MHZ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CAPBOVERRIDE	R	1h	キャップ B のオーバーライド イネーブル 0h = 0 1h = 1
30-29	予約済み	R	0h	
28-24	CAPBVAL	R	1h	キャップ B のオーバーライド値
23-22	予約済み	R	0h	
21-16	CPCURRENT	R	Ah	チャージ ポンプの電流
15-14	予約済み	R	0h	
13-8	STARTTIMELP	R	16h	低消費電力モードから復帰してからクロックをロックするまでにかかる時間 (1µs の分解能)
7-6	予約済み	R	0h	
5-0	STARTTIME	R	16h	イネーブルからクロックをロックするまでにかかる時間 (1µs の分解能)

Copyright © 2026 Texas Instruments Incorporated

1.5.1.10 PLLSTARTUP1_4_8MHZ レジスタ (オフセット = 80111024h) [リセット = 00000000h]

PLLSTARTUP1_4_8MHZ を表 1-107 に示します。

概略表に戻ります。

表 1-107. PLLSTARTUP1_4_8MHZ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	LPFRESC	R	FFh	ループ フィルタ Res C
23-18	予約済み	R	0h	
17-8	LPFRESA	R	4h	ループ フィルタ Res A
7-5	予約済み	R	0h	
4-0	LPFCAPA	R	1Fh	ループ フィルタ Cap A

Copyright © 2026 Texas Instruments Incorporated

1.5.1.11 PLLSTARTUP0_8_16MHZ レジスタ (オフセット = 80111028h) [リセット = 00000000h]

PLLSTARTUP0_8_16MHZ を表 1-108 に示します。

概略表に戻ります。

表 1-108. PLLSTARTUP0_8_16MHZ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CAPBOVERRIDE	R	1h	キャップ B のオーバーライド イネーブル 0h = 0 1h = 1
30-29	予約済み	R	0h	
28-24	CAPBVAL	R	1h	キャップ B のオーバーライド値
23-22	予約済み	R	0h	
21-16	CPCURRENT	R	Ah	チャージ ポンプの電流
15-14	予約済み	R	0h	
13-8	STARTTIMELP	R	16h	低消費電力モードから復帰してからクロックをロックするまでにかかる時間 (1µs の分解能)
7-6	予約済み	R	0h	
5-0	STARTTIME	R	16h	イネーブルからクロックをロックするまでにかかる時間 (1µs の分解能)

Copyright © 2026 Texas Instruments Incorporated

1.5.1.12 PLLSTARTUP1_8_16MHZ レジスタ (オフセット = 8011102Ch) [リセット = 00000000h]

PLLSTARTUP1_8_16MHZ を表 1-109 に示します。

概略表に戻ります。

表 1-109. PLLSTARTUP1_8_16MHZ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	LPFRESC	R	FFh	ループ フィルタ Res C
23-18	予約済み	R	0h	
17-8	LPFRESA	R	4h	ループ フィルタ Res A
7-5	予約済み	R	0h	
4-0	LPFCAPA	R	Fh	ループ フィルタ Cap A

Copyright © 2026 Texas Instruments Incorporated

1.5.1.13 PLLSTARTUP0_16_32MHZ レジスタ (オフセット = 80111030h) [リセット = 00000000h]

PLLSTARTUP0_16_32MHZ を表 1-110 に示します。

概略表に戻ります。

表 1-110. PLLSTARTUP0_16_32MHZ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CAPBOVERRIDE	R	1h	キャップ B のオーバーライド イネーブル 0h = 0 1h = 1
30-29	予約済み	R	0h	
28-24	CAPBVAL	R	1h	キャップ B のオーバーライド値
23-22	予約済み	R	0h	
21-16	CPCURRENT	R	Ah	チャージ ポンプの電流
15-14	予約済み	R	0h	
13-8	STARTTIMELP	R	16h	低消費電力モードから復帰してからクロックをロックするまでにかかる時間 (1µs の分解能)
7-6	予約済み	R	0h	
5-0	STARTTIME	R	16h	イネーブルからクロックをロックするまでにかかる時間 (1µs の分解能)

Copyright © 2026 Texas Instruments Incorporated

1.5.1.14 PLLSTARTUP1_16_32MHZ レジスタ (オフセット = 80111034h) [リセット = 00000000h]

PLLSTARTUP1_16_32MHZ を表 1-111 に示します。

概略表に戻ります。

表 1-111. PLLSTARTUP1_16_32MHZ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	LPFRESC	R	FFh	ループ フィルタ Res C
23-18	予約済み	R	0h	
17-8	LPFRESA	R	4h	ループ フィルタ Res A
7-5	予約済み	R	0h	
4-0	LPFCAPA	R	Fh	ループ フィルタ Cap A

Copyright © 2026 Texas Instruments Incorporated

1.5.1.15 PLLSTARTUP0_32_48MHZ レジスタ (オフセット = 80111038h) [リセット = 00000000h]

PLLSTARTUP0_32_48MHZ を表 1-112 に示します。

概略表に戻ります。

表 1-112. PLLSTARTUP0_32_48MHZ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CAPBOVERRIDE	R	1h	キャップ B のオーバーライド イネーブル 0h = 0 1h = 1
30-29	予約済み	R	0h	
28-24	CAPBVAL	R	1h	キャップ B のオーバーライド値
23-22	予約済み	R	0h	
21-16	CPCURRENT	R	Ah	チャージ ポンプの電流
15-14	予約済み	R	0h	
13-8	STARTTIMELP	R	16h	低消費電力モードから復帰してからクロックをロックするまでにかかる時間 (1µs の分解能)
7-6	予約済み	R	0h	
5-0	STARTTIME	R	16h	イネーブルからクロックをロックするまでにかかる時間 (1µs の分解能)

Copyright © 2026 Texas Instruments Incorporated

1.5.1.16 PLLSTARTUP1_32_48MHZ レジスタ (オフセット = 8011103Ch) [リセット = 00000000h]

PLLSTARTUP1_32_48MHZ を表 1-113 に示します。

概略表に戻ります。

表 1-113. PLLSTARTUP1_32_48MHZ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	LPFRESC	R	FFh	ループ フィルタ Res C
23-18	予約済み	R	0h	
17-8	LPFRESA	R	4h	ループ フィルタ Res A
7-5	予約済み	R	0h	
4-0	LPFCAPA	R	Fh	ループ フィルタ Cap A

Copyright © 2026 Texas Instruments Incorporated

1.5.1.17 TEMP_SENSE0 レジスタ (オフセット = 80111040h) [リセット = 00000000h]

TEMP_SENSE0 を表 1-114 に示します。

概略表に戻ります。

温度センサ室温キャリブレーション コード。これは、温度センサの出力電圧の ADC 変換結果です。BOOTCRC 計算に含まれます。

表 1-114. TEMP_SENSE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	

Copyright © 2026 Texas Instruments Incorporated

1.5.1.18 BOOTCRC レジスタ (オフセット = 8011107Ch) [リセット = 00000000h]

表 1-115 に、BOOTCRC を示します。

概略表に戻ります。

BOOTCRC は、予約済み領域を含む OPEN 内のすべての領域の 32 ビット CRC を記録します。

表 1-115. BOOTCRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	

1.6 メモリの構成

MSPM33C3 デバイスには MEMCFG レジスタが搭載されており、RAM と ROM の設定を制御できます。MEMCFG レジスタの主な機能は次のとおりです。

1. ECC またはデータ ビットに基づく書き込みアクセス用に SRAM を設定。
2. SRAM バンクに基づいて SRAM のウェイト状態を設定。
3. ROM のウェイト状態を設定。

詳細については、セクション 1.6.1 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

1.6.1 memcfg レジスタ

表 1-116 に、memcfg レジスタのメモリ マップト レジスタを示します。表 1-116 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 1-116. MEMCFG レジスタ

オフセット	略称	レジスタ名	セクション
1000h	TEST	RAM テスト レジスタ	セクション 1.6.1.1
1004h	RAM_CACHE_CONFIG	RAM CACHE 構成	セクション 1.6.1.2
1008h	RAM_WS_CONFIG	RAM 待機状態の設定	セクション 1.6.1.3
100Ch	RAM_CACHE_CLEAR	RAM キャッシュ クリア	セクション 1.6.1.4
1010h	ROM_WS_CONFIG	ROM 待機状態の設定	セクション 1.6.1.5

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 1-117 に、このセクションでアクセス タイプに使用しているコードを示します。

表 1-117. memcfg アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

1.6.1.1 TEST レジスタ (オフセット = 1000h) [リセット = 00000000h]

TEST を表 1-118 に示します。

概略表に戻ります。

RAM テスト レジスタ

表 1-118. TEST レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R-0	0h	予約済み
7-6	TEST_GLXMP_2	R/W	0h	GLXMP_2 RAM のいくつかのモードを選択します。 00:機能モード。 01:書き込みはデータ ビットに対してのみ許可されます。ECC ビットへの書き込み不可。 10:書き込みは ECC ビットに対してのみ許可されます。データ ビットへの書き込み不可。 11:機能モードと同じ リセット タイプ:SYSRSn
5-4	TEST_GLXMP_1	R/W	0h	GLXMP_1 RAM のいくつかのモードを選択します。 00:機能モード。 01:書き込みはデータ ビットに対してのみ許可されます。ECC ビットへの書き込み不可。 10:書き込みは ECC ビットに対してのみ許可されます。データ ビットへの書き込み不可。 11:機能モードと同じ リセット タイプ:SYSRSn
3-2	TEST_GLXMP_0	R/W	0h	GLXMP_0 RAM のいくつかのモードを選択します。 00:機能モード。 01:書き込みはデータ ビットに対してのみ許可されます。ECC ビットへの書き込み不可。 10:書き込みは ECC ビットに対してのみ許可されます。データ ビットへの書き込み不可。 11:機能モードと同じ リセット タイプ:SYSRSn
1-0	TEST_ULL	R/W	0h	ULL RAM モードを選択します。 00:機能モード。 01:書き込みはデータ ビットに対してのみ許可されます。ECC ビットへの書き込み不可。 10:書き込みは ECC ビットに対してのみ許可されます。データ ビットへの書き込み不可。 11:機能モードと同じ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

1.6.1.2 RAM_CACHE_CONFIG レジスタ (オフセット = 1004h) [リセット = 00000000h]

表 1-119 に、RAM_CACHE_CONFIG を示します。

概略表に戻ります。

RAM CACHE 構成

表 1-119. RAM_CACHE_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R-0	0h	予約済み
3	GLXMP_2_CACHE_ENABLE	R/W	0h	GLXMP_2 RAM のキャッシュ構成: 1:キャッシュ有効。 0:キャッシュ サポート無効。 リセット タイプ:SYSRSn
2	GLXMP_1_CACHE_ENABLE	R/W	0h	GLXMP_1 RAM のキャッシュ構成: 1:キャッシュ有効。 0:キャッシュ サポート無効。 リセット タイプ:SYSRSn
1	GLXMP_0_CACHE_ENABLE	R/W	0h	GLXMP_0 RAM のキャッシュ構成: 1:キャッシュ有効。 0:キャッシュ サポート無効。 リセット タイプ:SYSRSn
0	ULL_CACHE_ENABLE	R/W	0h	ULL RAM のキャッシュ構成: 1:キャッシュ有効。 0:キャッシュ サポート無効。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

1.6.1.3 RAM_WS_CONFIG レジスタ (オフセット = 1008h) [リセット = 00000000h]

表 1-120 に、RAM_WS_CONFIG を示します。

概略表に戻ります。

RAM 待機状態の設定

表 1-120. RAM_WS_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R-0	0h	予約済み
3	GLXMP_2_WS_ENABLE	R/W	0h	GLXMP_2 RAM の待機状態の設定: 0:1 待機状態無効。 1:1 待機有効。 リセット タイプ:SYSRSn
2	GLXMP_1_WS_ENABLE	R/W	0h	GLXMP_1 RAM の待機状態の設定: 0:1 待機状態無効。 1:1 待機有効。 リセット タイプ:SYSRSn
1	GLXMP_0_WS_ENABLE	R/W	0h	GLXMP_0 RAM の待機状態の設定: 0:1 待機状態無効。 1:1 待機有効。 リセット タイプ:SYSRSn
0	ULL_WS_ENABLE	R/W	0h	ULL RAM の待機状態の設定: 0:1 待機状態無効。 1:1 待機有効。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

1.6.1.4 RAM_CACHE_CLEAR (オフセット = 100Ch) [リセット = 00000000h]

表 1-121 に、RAM_CACHE_CLEAR を示します。

概略表に戻ります。

RAM キャッシュ クリア

表 1-121. RAM_CACHE_CLEAR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R-0	0h	予約済み
3	GLXMP_2_WS_CACHE_CLEAR	W	0h	GLXMP_2 RAM のキャッシュ クリアの設定: 0:キャッシュ有効スロットをクリアしません。 1:すべてのキャッシュ有効スロットをクリアし、書き込みバッファ データをメモリ マクロに書き戻します。 リセット タイプ:SYSRSn
2	GLXMP_1_WS_CACHE_CLEAR	W	0h	GLXMP_1 RAM のキャッシュ クリアの設定: 0:キャッシュ有効スロットをクリアしません。 1:すべてのキャッシュ有効スロットをクリアし、書き込みバッファ データをメモリ マクロに書き戻します。 リセット タイプ:SYSRSn
1	GLXMP_0_CACHE_CLEAR	W	0h	GLAMP_0 RAM のキャッシュ クリアの設定: 0:キャッシュ有効スロットをクリアしません。 1:すべてのキャッシュ有効スロットをクリアし、書き込みバッファ データをメモリ マクロに書き戻します。 リセット タイプ:SYSRSn
0	ULL_CACHE_CLEAR	W	0h	ULL RAM のキャッシュ クリアの設定: 0:キャッシュ有効スロットをクリアしません。 1:すべてのキャッシュ有効スロットをクリアし、書き込みバッファ データをメモリ マクロに書き戻します。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

1.6.1.5 ROM_WS_CONFIG レジスタ (オフセット = 1010h) [リセット = 00000000h]

表 1-122 に、ROM_WS_CONFIG を示します。

概略表に戻ります。

ROM 待機状態の設定

表 1-122. ROM_WS_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R-0	0h	予約済み
0	ROM_WS_ENABLE	R/W	0h	ROM 待機状態の設定: 0:1 待機状態無効。 1:1 待機有効。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

Chapter 2

PMCU

パワー マネージメントおよびクロックユニット (PMCU) は、デバイスのすべてのパワー マネージメント、クロック構成、リセット制御機能を提供する統合システム モジュールです。デバイスの動作に対するすべてのパワー マネージメント ユニット (PMU) およびクロック モジュール (CKM) ポリシーは、システム コントローラ (SYSCTL) のメモリ マップト レジスタによって設定されます。

2.1 PMCU の概要 143
2.2 パワー マネージメント (PMU) 146
2.3 クロック モジュール (CKM) 152
2.4 クロック モニタ 170
2.5 周波数クロック カウンタ (FCC) 173
2.6 システム コントローラ (SYSCTL) 176
2.7 クイック スタート リファレンス 192
2.8 SYSCTL レジスタ 195

Copyright © 2026 Texas Instruments Incorporated

2.1 PMCU の概要

パワー マネージメントおよびクロック ユニット (PMCU) は、デバイスの電源、クロック、リセット、およびシステム制御サービスをすべて提供します。PMCU は、この機能を実現するために、パワー マネージメント ユニット (**PMU**)、クロック モジュール (**CKM**)、システム コントローラ (**SYSCTL**) という 3 つのサブモジュールで構成されています。

PMU は、デバイスの内部安定化電源を生成し、外部電源の状態を監視するアナログ サブモジュールです。PMU は、オンチップ レギュレータやアナログ ペリフェラルで使用される電圧および電流の基準回路も内蔵しています。

CKM は、クロック ソース (内部および外部発振器) を供給し、それらを SYSCTL に提供するアナログ サブモジュールです。SYSCTL は、これらのクロック ソースをデバイスの CPU、バス、ペリフェラルに分配します。

SYSCTL は、PMCU 内のすべての機能の制御ロジックを提供するデジタル サブモジュールです。さらに、SYSCTL には、ソフトウェアがパワー マネージメントとクロックを構成し、デバイスのステータスを評価し、リセットを制御するために使用するメモリマップされたレジスタが含まれています。また、SYSCTL は SHUTDOWN モード中も保持される汎用メモリも備えており、SRAM やレジスタの内容が失われる SHUTDOWN モードにおいて、ステータス情報を保存するために使用できます。

図 2-1 に、PMCU とデバイスの電源、クロック、信号との間のインターフェイスを示します。ソフトウェアによる PMCU の設定は、常に SYSCTL サブモジュールのメモリマップされたレジスタを使って行われます。

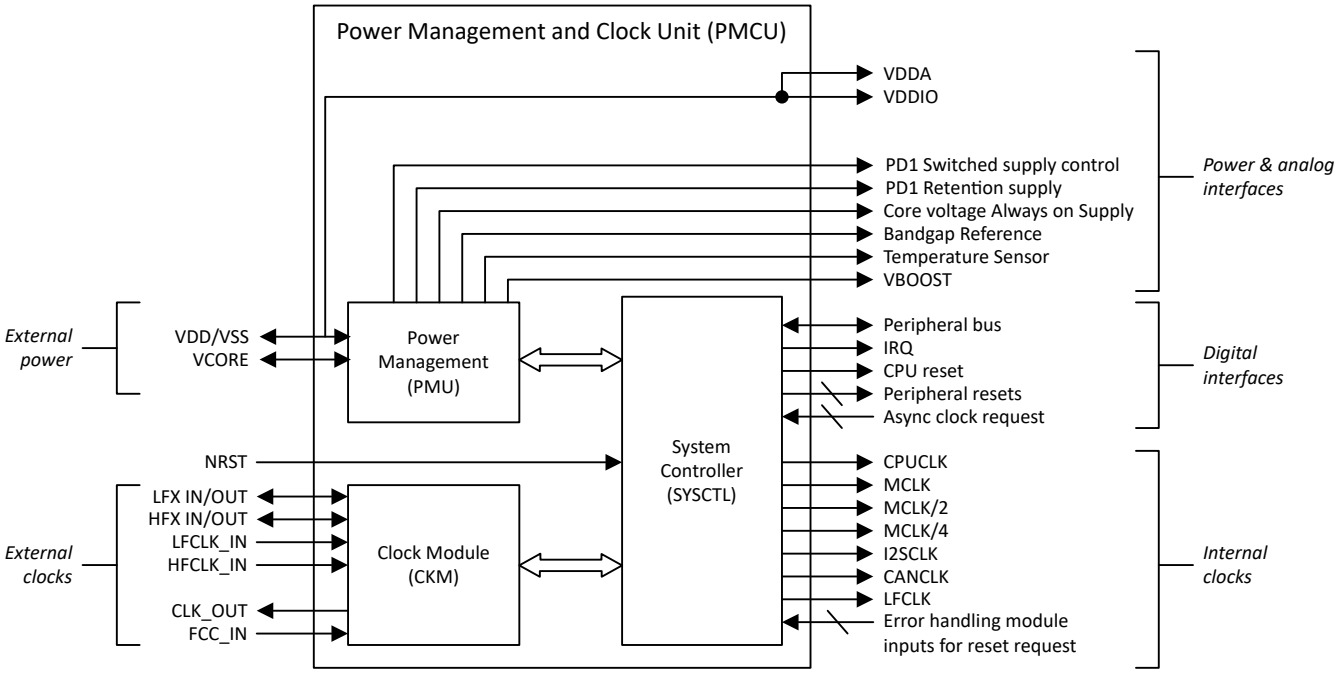


図 2-1. PMCU の最上位図

注

すべてのデバイスに、図 2-1 に示す PMCU 機能がすべて備えられているわけではありません。特定のデバイスに搭載される機能については、デバイス固有のデータシートを参照してください。

このガイドを使用する

この章の「PMU、CKM、および SYSCTL」セクションでは、各サブモジュールが提供する機能について詳しく説明します。

クイックスタートセクションでは、PMCU の全体的なシステムレベル動作と、さまざまなアプリケーションシナリオに合わせて PMCU を構成する方法について説明します。

Copyright © 2026 Texas Instruments Incorporated

2.1.1 パワードメイン

このデバイスには、2 つのコア電源ドメインが搭載されています。(PD1、PD0) で構成されています。PD1 は、RUN モードと SLEEP モードで常に電源が供給されますが、他のすべてのモードではディセーブルになります。PD0 は、RUN、SLEEP、STOP、STANDBY の各モードで常に電源が供給されます。SHUTDOWN モードでは、PD1 と PD0 の両方がディセーブルになります。

- PD1 ドメインには、CPU サブシステム、SRAM メモリ、PD1 ペリフェラル、PD1 ペリフェラル バスが含まれます。PD1 は STOP および STANDBY モードでディスエーブルされている間、CPU レジスタ、SRAM バンク 0、および一部のペリフェラル構成レジスタは保持されているため、STOP モードまたは STANDBY モードが終了したときに動作を直ちに再開できます。
- PD0 ドメインには、PD0 ペリフェラルと PD0 バス セグメントが含まれています。PD0 バス セグメントは、ULPCLK が RUN および SLEEP モード、4MHz が STOP モード、32kHz が STANDBY モードで動作します。PD0 ドメインは、SHUTDOWN 以外のすべてのモードで電源供給され、「常時オン」ドメインと考えることができます。

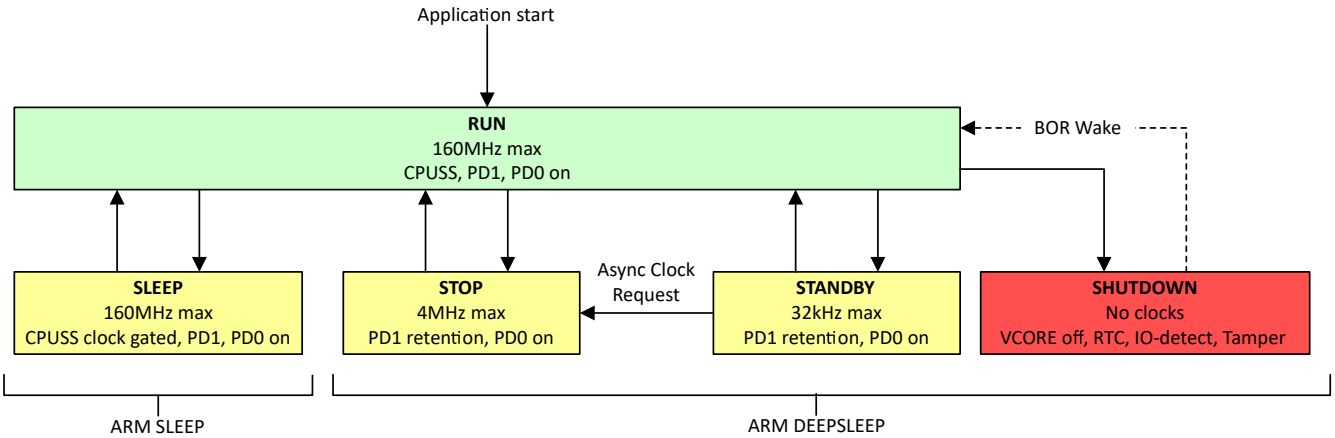
デバイス固有のデータ シートには、デバイス上に PD1 にあり、どのペリフェラルが PD0 にあるかが記載されています。

このデバイスには、IO およびアナログ ペリフェラルに電力を供給するプライマリ外部電源 (VDD) ドメインと、低周波数サブシステムに電力を供給する補助バックアップ電源 (VBAT) ドメインも搭載されています。

2.1.2 動作モード

MSPM33C3 の動作モード

さまざまな動作モード (電力モード) が用意されており、アプリケーションの要件に基づいてデバイスの消費電力を最適化できます。消費電力を低減するためのモードは次のとおりです。RUN、SLEEP、STOP、STANDBY、SHUTDOWN。下図に、モード間の相互作用を示します。



各動作モードでサポートされている機能は、デバイスのデータシートの「詳細説明」セクションの「動作モードでサポートされている機能」表に記載されています。特定の動作モード用にデバイスを構成する方法の詳細については、「動作モードの選択」セクションを参照してください。

動作モードの概念

MSPM33 マイコンは、ポリシーをベースとする電源およびクロック管理方式を実装しています。特定のアプリケーションにおいて電力と性能の最適なバランスを実現するために、各動作モードでのクロック管理ポリシーをアプリケーション ソフトウェアによって設定することができます。

各モードの動作ポリシーを設定すると、アプリケーション ソフトウェアはシンプルなレジスタ コマンドを使用して各種動作モードに移行および終了できます。また、SYSCTL は、必要なすべての PMU 状態、発振器、クロックのイネーブルとディスエーブルを自動的に管理します。

Copyright © 2026 Texas Instruments Incorporated

STOP モードにおいて、サポートされているペリフェラルからの要求に応じて高速クロックへのオンデマンド アクセスを可能にする、ハードウェア トリガ型低消費電力モード中断メカニズムも各種用意されています。STANDBY モードからの復帰を除き、その他のすべての復帰動作は、デバイスを RUN モードに移行させます。STANDBY モードのペリフェラルは、高速クロックが要求されると STOP モードに移行します。

ポリシー駆動型動作モード方式と非同期低消費電力モード中断メカニズムにより、アプリケーション ソフトウェアは動作モードと対応するポリシーを選択できます。動作モードと対応するポリシーは、バックグラウンド アクティビティの消費電力を最小限に抑えたり、高速クロックを起動したり、バースト処理のためにデバイスを RUN モードにしたりすることができます (IRQ の場合)。

2.1.2.1 RUN モード

RUN モードでは、CPU はコードをアクティブに実行し、任意のペリフェラルをイネーブルにできます。RUN モードでは、MCLK および CPUCLK は SYSOSC、HFCLK、SYSPLL などの高速クロック ソースから動作します。VCORE は、オンチップ レギュレータから供給されます。すべての機能をデバイス固有のデータシートに規定された最高周波数で使用できます。

必要に応じて、ソフトウェアは PLL 周波数やバス クロック周波数を低下させることで、PLL 分周器の設定およびロック待ちを適切なシーケンスで実行し、動的消費電力を削減できます。特定の低速 RUN モード クロック周波数のフラッシュおよび SRAM の待機状態は、デバイス固有のデータシートの規定に従って設定する必要があります

2.1.2.2 SLEEP モード

SLEEP モードでは、CPU はディスエーブルになります (クロックゲート)。それ以外、デバイスの設定は RUN と同じです。SLEEP ポリシーは、SLEEP モードに移行したときの現在の RUN ポリシーによって決定されます。

2.1.2.3 STOP モード

STOP モードでは、CPU、SRAM、PD1 ペリフェラルはディスエーブルされ、保持されます (該当する場合)。PD0 ペリフェラルは、4MHz の最大 ULPCLK 周波数で使用可能です。ペリフェラルの利用可能性の詳細については、デバイス固有のデータシートの「動作モード別のサポート機能」表を参照してください。

STOP モード動作中、SYSPLL/ /HFCLKIN はオフになります。

2.1.2.4 STANDBY モード

STANDBY モードでは、CPU、SRAM、PD1 ペリフェラルから供給されます。このペリフェラルはディスエーブルされ、保持されます。PD0 ペリフェラルは、最大 ULPCLK 周波数 32kHz で使用可能です。SYSPLL、HFXT、HFCLK_IN、SYSOSC などの高速発振器はディスエーブルです。ウェークアップ ソースには、I^2C、UART 開始検出、PD0 タイマ経過、RTC ウェークアップ、GPIO トグルなどのデジタルペリフェラルが含まれます。

STANDBY モードには、次の 2 つのポリシー オプションがあります。(STANDBY0、STANDBY1) で構成されています。

- **STANDBY0**:すべての PD0 ペリフェラルは ULPCLK と LFCLK を受信し、RTC は RTCCLK を受信します。でデバイスを同期的にウェークアップできます。高い消費電力を回避するために、コンパレータによるウェークアップはサポートされていません。
- **STANDBY1**:ULPCLK または LFCLK を受信するのはごく一部の汎用タイマのみです。詳細については、デバイス固有のデータ シートを参照してください。デバイスに RTC モジュールが内蔵されている場合、RTCCLK の受信を続行します。汎用タイマ割り込み、RTC 割り込み、または GPIO 割り込みは、システムをウェークするための非同期高速クロック要求をトリガします。その他の PD0 ペリフェラル (UART、I2C、GPIO など) も、非同期高速クロック要求によって外部イベントが発生したときにシステムをウェークできますが、STANDBY1 にアクティブにクロック供給されません。

2.1.2.5 シャットダウン モード

SHUTDOWN モードでは、コア クロックは使用できません。コア レギュレータは完全にディセーブルになり、状態情報を保存するために使用できる SYSCTL の汎用メモリを除き、すべての SRAM とレジスタ内容は失われます。VBAT に電力が供給されている限り、LFSS レジスタの内容はシャットダウン モードでも維持されます。BOR およびバンドギャップ回路はディセーブルになります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

特定の IO 構成設定は、SHUTDOWN 動作モードでも保持されます。

- 駆動能力
- プルアップをイネーブル
- プルダウンをイネーブル
- 入力イネーブル
- 出力イネーブル
- 出力状態

このデバイスは、ウェークアップ対応 IO、デバッグ接続、または NRST を使用してウェークアップできます。VBAT 電源を備えたデバイスでは、LFSS ペリフェラルはシャットダウン モードからデバイスをウェークアップできます。

SHUTDOWN モードは、すべての動作モードの中で最も消費電流が少ないです。SHUTDOWN モードから復帰すると、BOR がトリガされます。

2.1.2.6 低消費電力モード動作の中断

一部のペリフェラルは、一時的なアクティビティへの対応やイベントの処理を行うために、STANDBY 動作を一時的に中断するように構成できます。非同期高速クロック要求により、STANDBY モードを中断できます。

非同期高速クロック要求による STANDBY の中断

非同期高速クロック要求は、アクティブな低消費電力モードを一時的に中断し、SYSOSC をソースとして MCLK および ULPCLK ツリーを 4MHz で動作させます。非同期高速クロック要求は、MCLK が 32MHz の周波数で SYSOSC から供給される RUN および SLEEP モードでも機能します。

この機能により、次のような使用事例が可能になります。

- グリッチ フィルタリング用の汎用 IO (GPIO)
- オンデマンドの UART、I^2C、または SPI 通信

2.2 パワー マネージメント (PMU)

パワー マネージメント ユニット (PMU) は、デバイスのレギュレーション済みコア電源を生成し、外部電源の監視を行います。また、PMU や他のアナログ ペリフェラルで使用されるバンドギャップ電圧リファレンスも内蔵しています。サポートされている PMU 機能については、デバイス固有のデータシートを参照してください。

PMU の主な機能には、次のものがあります:

- デバイスの動作電源電圧範囲全体にわたるデバイスのサポート
- 低消費電力モード時にデバイスの消費電流を低減するための複数の動作モードを備え、内部コアロジック用電源を生成する、低ドロップアウト リニア電圧レギュレータ (SYSCTL で自動的に管理)
- VDD 電源用パワーオン リセット (POR)
- VDD 電源用ブラウンアウト リセット (BOR)
  - BOR モニタでは、NMI を報告するためにスレッショルド電圧を設定できます
- BOR、コアレ ギュレータ、アナログ ペリフェラルをサポートするバンドギャップ電圧リファレンス
- アナログ マルチプレクサ性能を強化するためのアナログ マルチプレクサ VBOOST ユニット

Copyright © 2026 Texas Instruments Incorporated

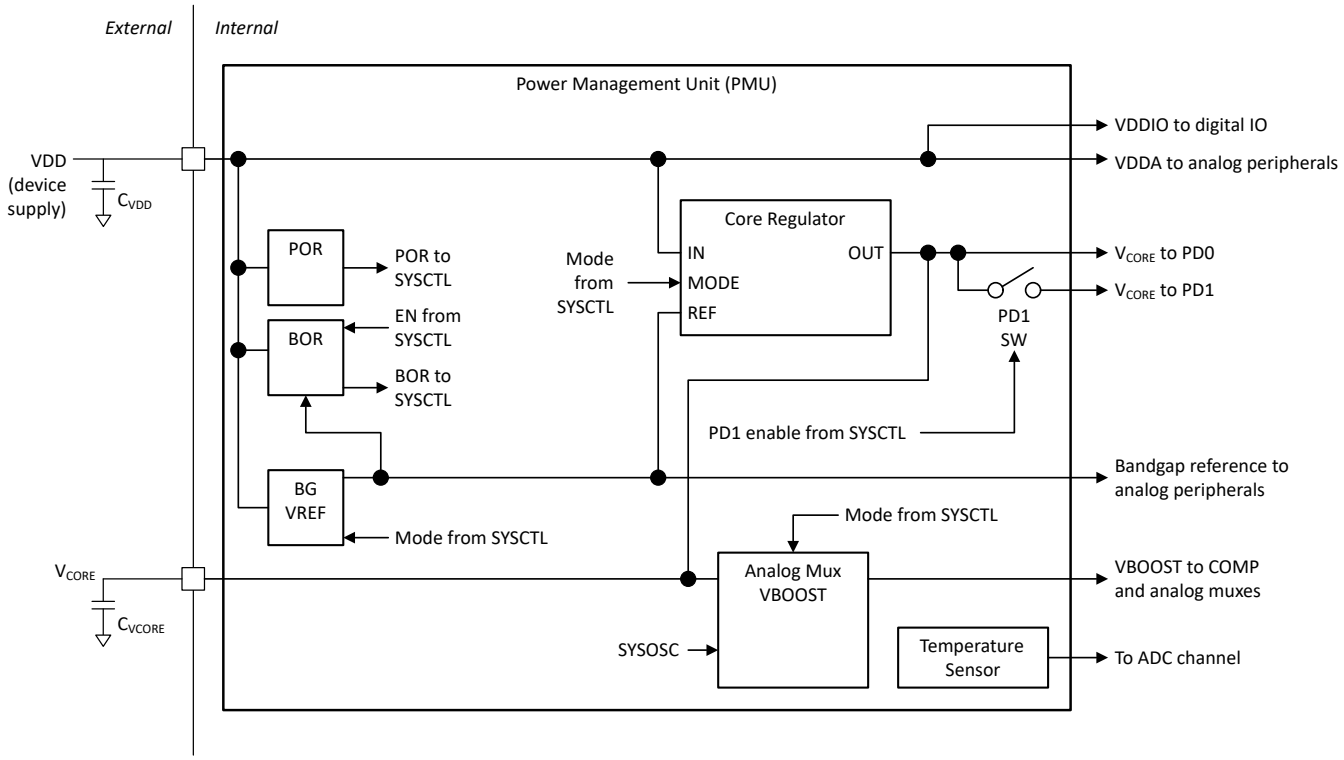


図 2-2. MSPM33C3 PMU のブロック図

2.2.1 電源

VDD および VSS 接続経由でデバイスに電力が供給されます。デカップリング コンデンサ (C_{VDD}) は、すべての VDD および VSS 電源ペアの間に配置する必要があります。C_{VDD} 正しい値と許容誤差については、デバイス固有のデータシートを参照してください。ピン数の多いデバイスでは、複数の VDD/VSS 電源ペアを備えているものがあります。

VDD は、IO 電源 (VDDIO) とアナログ電源 (VDDA) を供給するために直接使用されます。VDDIO と VDDA は内部で VDD に接続されているため、追加の電源ピンは必要ありません。

一部のデバイスには、VBAT (低周波数サブシステム用) や VUSB (USB PHY 用) などのデバイス固有の特殊機能用に独立した電源が用意されている場合があります。関連する IO ピンと機能の電源の詳細については、デバイス固有のデータシートを参照してください。

2.2.2 コア レギュレータ

PMU は、オンチップの構成可能な低ドロップアウト リニア電圧レギュレータを使用して、デバイスのコアに電力を供給する 1.35V の電源レールを生成します。コア レギュレータ出力 (V_{CORE}) は CPU、デジタル ペリフェラル、デバイス メモリなどのコア ロジックに電力を供給します。コア レギュレータには、デバイスの VCORE ピンと VSS (グランド) の間に接続された外部コンデンサ (C_{VCORE}) が必要です。C_{VCORE} 正しい値と許容誤差については、デバイス固有のデータシートを参照してください。

コア レギュレータは、SHUTDOWN を除くすべての電力モードでアクティブです。他のすべての電力モード (実行、スリープ、停止、スタンバイ) では、各モードの最大負荷電流をサポートするようにレギュレータの駆動能力が自動的に構成されます。これにより、低消費電力モード使用時のレギュレータの静止電流が減少し、低消費電力性能が向上します。SYSCTL は、現在アクティブになっている電力モードに基づいてレギュレータを自動的に構成し、最適な消費電力が得られるようにします。

2.2.3 電源スーパーバイザ

PMU には 2 つの電源スーパーバイザ回路があります。

Copyright © 2026 Texas Instruments Incorporated

- パワーオン リセット (POR) 回路は、外部電源がオンチップ バンドギャップ リファレンスと BOR 回路を開始するのに十分な電圧に達したことを示します
- ユーザーがプログラム可能なブラウンアウト リセット (BOR) 回路により、外部電源がデバイスの正常な動作をサポートするのに十分な電圧に維持されます。

2.2.3.1 パワー オン リセット (POR)

パワーオン リセット (POR) 回路により、デバイスが適切に起動されます。コールド パワーアップ時には、VDD が POR+ スレッショルドを通過するまでデバイスは POR 状態に保持されます。VDD が POR+ 通過をすると、POR 状態が解放され、バンドギャップ リファレンスと BOR モニタ回路が開始されます。VDD が POR レベルを下回ると、POR 違反がアサートされ、デバイスは再度 POR リセット状態に保持されます。

POR 回路は、VDD がデバイスの正常な動作をサポートするのに十分なレベルに達したことを示していません。代わりに、これはブート プロセスの最初のステップであり、電源電圧がバンドギャップ リファレンスと BOR 回路の電源オンに十分であるかどうかを判定するために使用されます。これを使用して、デバイスが正常に動作するのに十分なレベルに電源が達しているかどうかを判定します。

POR 回路は SHUTDOWN を含むすべての電力モードでアクティブであり、ディスエーブルすることはできません。

2.2.3.2 ブラウンアウト リセット (BOR)

ブラウンアウト リセット (BOR) スーパーバイザは、外部電源 (VDD) を監視し、SYSCTL に対する BOR 違反をアサートまたはデアサートします。BOR 回路の主な役割は、コア レギュレータを含む内部回路が正常に動作できるように、外部電源を十分に高く維持することです。BOR スレッショルド基準電圧は、内部バンドギャップ回路から得られます。スレッショルドはプログラム可能で、常に POR スレッショルドよりも高くなります。コールド スタート時に、VDD が POR+ スレッショルドを超えると、バンドギャップ リファレンスと BOR 回路が開始されます。その後、VDD が BOR0+ スレッショルドを通過するまで、デバイスは BOR 状態に保持されます。VDD が BOR0+ を通過すると、BOR スーパーバイザはデバイスを解放してブート プロセスを続行し、PMU を開始します。

最大 4 つの選択可能な BOR スレッショルド レベル (BOR0 ～ BOR3) があります。スタートアップ中は、デバイスが指定された最小 VDD で起動するように、BOR スレッショルドは常に BOR0 (最小値) です。ブート後、ソフトウェアはオプションで BOR 回路を再構成し、別の (より高い) スレッショルド レベル (BOR1 - BOR3) を使用できます。

BOR スレッショルドが BOR0 の場合、BOR0– 違反は常に SYSCTL に対して BOR– 違反信号を生成し、BOR レベル リセットを生成します。BOR スレッショルドが BOR1、BOR2、または BOR3 に再構成された場合、BOR 回路は BOR– 違反をアサートするのではなく、SYSCTL 割り込みを発生させます。これを使用することで、リセットを発生させることなく、電源電圧が特定のレベルを下回ったことをアプリケーションに通知できます。

BOR レベルをデフォルト (BOR0) から変更するには、まず SYSCTL の BORTHRESHOLD レジスタの LEVEL フィールドで目的の値を選択します。次に、BORCLRCMD レジスタの GO ビットを設定して、LEVEL フィールドで設定されたスレッショルドをイネーブルにします。この変更は、SYSSTATUS レジスタの BORCURTHRESHOLD フィールドをテストすることで検証できます。このフィールドは、現在アクティブな BOR スレッショルドに対応する値を返します。BOR スレッショルドの変更は完了するまでに約 15µs が必要です。この間、BOR 回路は電源電圧の変動を検知できません。

BOR が割り込みモード (BOR1 - BOR3 のスレッショルド レベル) であり、電源が対応する BORx– レベルを下回ると、割り込みが生成され、BOR 回路は自動的に BOR スレッショルド レベルを BOR0 に切り替え、VDD が BOR0– を下回った場合に BOR– 違反がアサートされるようにします。アプリケーション ソフトウェアは、BORCLRCMD レジスタの GO ビットを再度セットすることにより、BOR レベルを BORTHRESHOLD レジスタの LEVEL フィールドで指定されたレベルに戻すことができます。

BOR スーパーバイザは、RUN、SLEEP、STOP、および STANDBY モードでは動作しますが、SHUTDOWN モードでは自動的にディスエーブルになります。

2.2.3.3 電源変更時の POR および BOR 動作

電源電圧 (VDD) が POR- を下回ると、デバイス全体の状態がクリアされます。BOR0 - スレッショルドを下回っていない VDD の小さな変動は BOR 違反を引き起こさず、デバイスは引き続き動作します。BOR0 以外の BORx スレッショルド

Copyright © 2026 Texas Instruments Incorporated

(BOR1 ～ BOR3 など) の動作は、BOR0 の場合と同じですが、BOR 回路は BOR リセットを直ちにトリガするのではなく、割り込みを生成するように構成されています。BOR1-BOR3 割り込みが生成されると、BOR レベルは自動的に BOR0 に切り替わります。

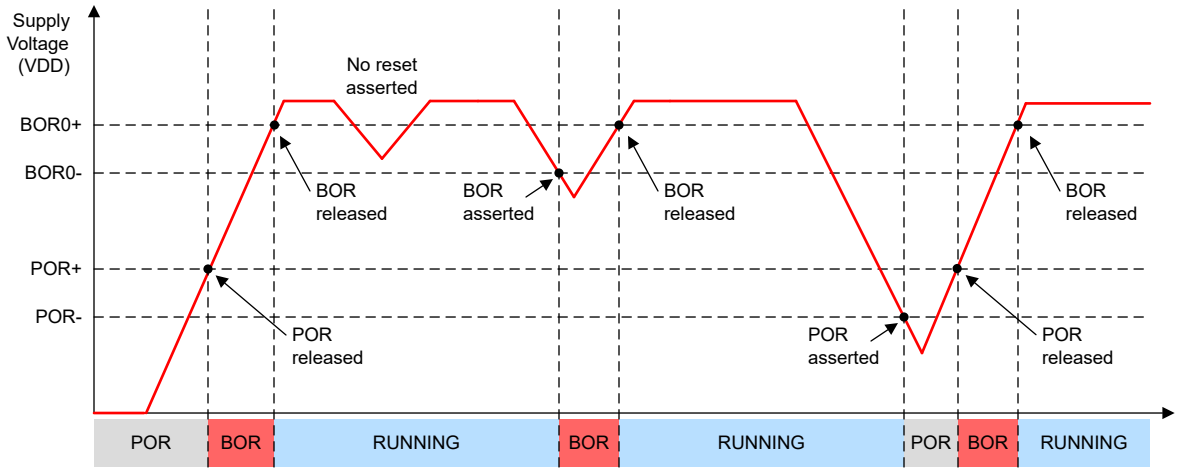


図 2-3. POR / BOR と電源電圧 (VDD) の関係

2.2.4 バンドギャップ リファレンス

PMU は、温度および VDD 電源電圧の全範囲で安定した基準電圧を提供し、以下のような内部機能にデバイスが使用します。

- ブラウンアウト リセット回路のスレッショルドの導出
- コア レギュレータの出力電圧の設定
- オンチップ アナログ ペリフェラル向けのオンチップ VREF レベルの導出

バンドギャップ リファレンスは、RUN、SLEEP、STOP モードでイネーブルになります。このリファレンスは、STANDBY でサンプリングされたモードで動作することで消費電力を低減し、SHUTDOWN モードではディセーブルです。SYSCTL はバンドギャップ状態を自動的に管理し、ユーザー設定は不要です。

2.2.5 アナログ マルチプレクサ用 VBOOST

PMU の VBOOST 回路は内部 VBOOST 電源を生成します。この電源は、特定のモジュール内のアナログ マルチプレクサで使用されます。VBOOST 回路により、外部電源電圧 (VDD) 範囲全体で一貫したアナログ マルチプレクサ性能を実現できます。

VBOOST でサポートされているモジュール

- COMP
- HFXT

注

デバイス固有の機能については、データシートを参照してください

VBOOST のイネーブル / ディスエーブル

次のパラメータに基づいて、SYSCTL は VBOOST 回路のイネーブル要求を自動的に管理します。

- SYSCTL の GENCLKCFG レジスタの ANACPUMPCFG 制御ビット (以下の表を参照)
- HFXT を HFCLK クロック ソースとして有効にすること

VBOOST は、SYSRST の後でデフォルトでディスエーブルになります。関連ペリフェラルを使用する前に VBOOST 回路をイネーブルにするために、アプリケーション ソフトウェアは必要ありません。アプリケーション ソフトウェアによってペリ

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

フェラルがイネーブルになると、SYSCTL は VBOOST 回路もイネーブルにしてペリフェラルをサポートできるようにします。

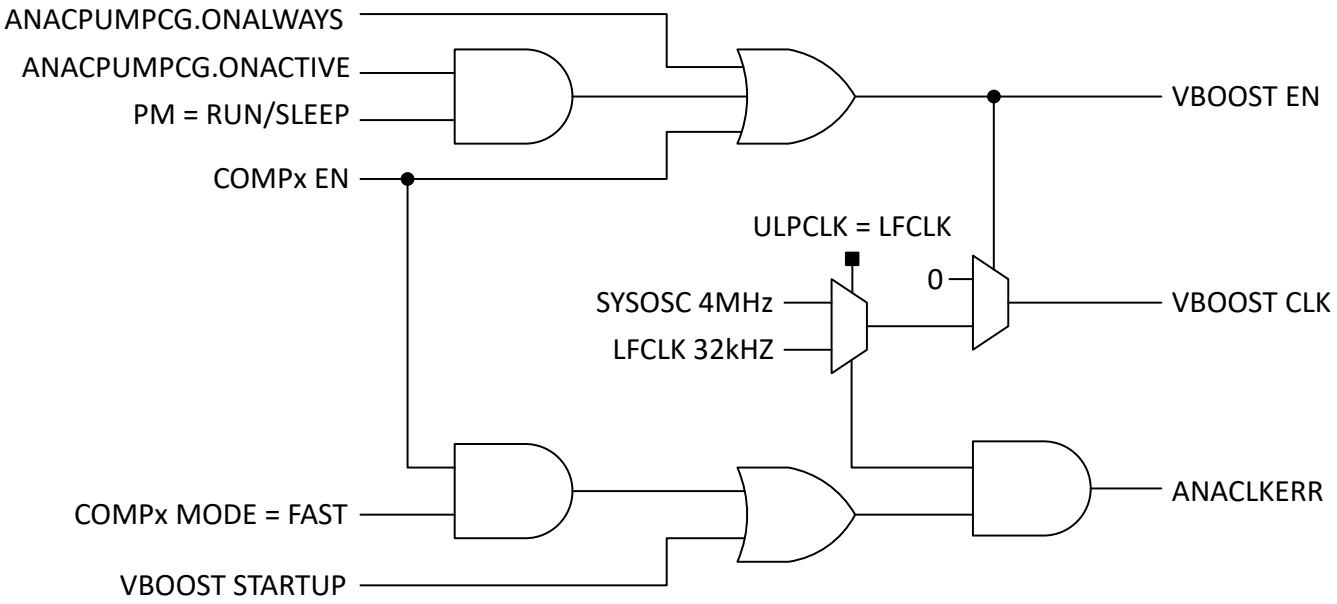
VBOOST 回路には、ディスエーブル状態からイネーブル状態に遷移するためのスタートアップ時間要件があります。VBOOST がディスエーブルの状態でペリフェラルがイネーブルされた場合、ペリフェラルと VBOOST 回路の両方の準備ができるまで、対応するペリフェラルの準備完了ステータスはアサートされません。ペリフェラルの起動時間が VBOOST の起動時間よりも短い場合、ペリフェラルの起動時間は VBOOST の起動時間と等しくなります。

または、VBOOST でサポートされるペリフェラルをイネーブルにする際の起動遅延をなくすために、アプリケーション ソフトウェアによって VBOOST 回路を常時 (ANACPUMPCFG = 0x2 の場合)、または RUN モードや SLEEP モード時 (ANACPUMPCFG = 0x1 の場合) に強制的にイネーブルすることもできます。表 2-1 に、ANACPUMPCFG 制御の動作と、対応するアプリケーションの使用事例を示します。

表 2-1. ANACPUMPCFG を使用して VBOOST を強制的にイネーブル

VBOOST 制御 (ANACPUMPCFG)		動作	
VAL	モード	VBOOST イネーブル	アプリケーション使用事例
0x0	ONDEMAND	VBOOST は、サポートされているペリフェラルがイネーブルになっている場合にのみ、SYSCTL によって自動的にイネーブルになります。	この設定により、ペリフェラルの高速起動が重要でない場合に、すべてのモードで消費電力が最小になります。
0x1	ONACTIVE	デバイスが RUN モードまたは SLEEP モードのとき、VBOOST が強制的にイネーブルになります。また、サポートされているペリフェラルがイネーブルの場合、VBOOST は STOP モードまたは STANDBY モードでもイネーブルのままになります。	この設定は、VBOOST を必要とするペリフェラルがイネーブルになっていないときに、STOP および STANDBY モードで VBOOST を自動的にディスエーブルにすることで、低消費電力を実現します。VBOOST は、アプリケーション ソフトウェアが RUN モードでイネーブルになった場合に、RUN モードの終了時に自動的に再びイネーブルになり、サポートされているペリフェラルを高速で起動できます。
0x2	ONALWAYS	SHUTDOWN を除くすべての動作モードで、VBOOST は強制的にイネーブルになります。	この設定により、高速な起動が重要なアプリケーションでは、VBOOST の起動において、ペリフェラルにさらなるレイテンシが発生することはありません。

VBOOST イネーブル、VBOOST クロック選択、および VBOOST クロック エラー ロジックを図 2-4 に示します。



Copyright © 2026 Texas Instruments Incorporated

注

VBOOST ONACTIVE 機能を使用している間は、低消費電力モードに移行する前に、ANACLKERR 割り込みのマスクとクリアを実行する必要があります。これにより、低消費電力モードから復帰したときに、ANACLKERR 割り込みはトリガされません。

図 2-4. VBOOST 要求ロジック

VBOOST クロック

VBOOST 回路を動作させるには、機能クロックが必要です。VBOOST は、現在アクティブな ULPCLK ツリー ソースに基づいて、SYSOSC (4MHz 出力) または LFCLK (32kHz) のいずれかによってクロックが供給されます。VBOOST クロックは、「VBOOST 要求ロジック」に示され、ここで説明されているロジックに従って、SYSCTL により自動的に選択されます。

- ULPCLK が LFCLK (32kHz) から供給される場合、VBOOST も LFCLK から供給されます。
- 他のすべてのシナリオで、VBOOST には SYSOSC 4MHz 出力から電力が供給されます。

特定の VBOOST 動作条件では、適切に設計された起動時間を確保するために、VBOOST クロックが 4MHz (SYSOSC から供給) であり、32kHz (LFCLK から供給) ではないことが必要です。このような条件には、以下が含まれます:

- 高速モードの COMP 動作
- VBOOST の起動 (ディスエーブルからイネーブルに遷移)

SYSCTL は、VBOOST が要求されたときに現在のシステム クロック構成を変更しません。これらのシナリオのいずれかで ULPCLK ツリーが LFCLK から供給される場合、SYSCTL は SYSCTL の SYSSTATUS レジスタの ANACLKERR ステータスをアサートし、VBOOST クロック要件と現在の ULPCLK 構成との間に不一致があることをアプリケーション ソフトウェアに示します。

VBOOST のクロック要件の完全なについては、表 2-2 を参照してください。

表 2-2. VBOOST クロックの要件

VBOOST リクエスト		VBOOST 回路クロックの要件	ULPCLK ソースの要件(1)	サポートされている動作モードまたはポリシー
アクティブ要求なし (VBOOST はディスエーブル)		該当なし	未使用	未使用
VBOOST はディスエーブル状態から起動します		4MHz	LFCLK ではありません	RUN、SLEEP、STOP
COMP はイネーブル	高速モード (FAST)	4MHz	LFCLK ではありません	RUN、SLEEP、STOP
	超低消費電力モード (ULP)(2)	4 MHz または 32 kHz	未使用	RUN、SLEEP、STOP、STANDBY0
ペリフェラル要求がアクティブでない状態で VBOOST を実行 (ANACPUMPCFG ！= 0x0 のため)(2)		4 MHz または 32 kHz	未使用	RUN、SLEEP、STOP、STANDBY0
HFXT		4 MHz または 32 kHz	未使用	RUN、SLEEP、STOP(3)

(1) アプリケーション ソフトウェアは、各シナリオで適切な VBOOST 動作をサポートするために、クロック システムが前述の表の規定に従って構成されていることを確認する必要があります。SYSCTL は、**VBOOST が要求されたときにシステム クロック構成を変更しません**。VBOOST 要求で、VBOOST クロックが LFCLK からソースされる必要がある場合、SYSCTL は ANACLKERR をアサートして、現在のシステムクロック構成ではその VBOOST 要求をサポートできないことをアプリケーションに通知します。

(2) COMP がイネーブルでなく FAST モードに設定されている場合、VBOOST は **4MHz クロックを必要とせず**、VBOOST を LFCLK から実行して消費電力を低減できます。ただし、VBOOST が以前に無効化されていて (リクエストが存在しない)、ペリフェラルがイネーブルされること、またはアプリケーション ソフトウェア (ANACPUMPCFG ！= 0x0) によって要求される場合、**VBOOST の起動には 4MHz VBOOST クロックが必要**です。VBOOST の起動が完了した後、FAST モードで COMP がイネーブルになっていない場合、VBOOST クロックは LFCLK から 32kHz を供給できます。VBOOST 回路が起動して準備ができた時点で、SYSCTL の SYSSTATUS レジスタの ANACPUMPGOOD ビットが設定されます。

(3) STOP モードで HFXT がサポートされているかを確認するには、デバイス固有のデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

2.2.6 ペリフェラル イネーブル

SYSCTL 自体や IOMUX などのインフラストラクチャ ペリフェラルを除き、デバイス上のすべてのペリフェラルを使用するには、ペリフェラルが動作可能になるように、以下に示す 2 つのユーザーアクションが必要です。

- ペリフェラル書き込みイネーブル
  - KEY および ENABLE フィールドを備えたペリフェラル書き込みイネーブル制御レジスタ (PWREN) により提供されます。
  - 他のペリフェラル レジスタをソフトウェアで設定する前に、適切な KEY 値とともに ENABLE ビットをペリフェラルの PWREN レジスタに書き込むことで、ペリフェラル自体をイネーブルにする必要があります
  - PWREN.ENABLE ビットがクリアされている場合、ペリフェラルのレジスタに対する読み取り / 書き込み動作はアクセスできません。
- ペリフェラル機能イネーブル
  - ペリフェラルは、対応するレジスタマップに機能イネーブル ビットを備えている場合があり、電源供給や動作を可能にするために使用できます

注

ペリフェラルをイネーブルにするために PWREN レジスタの ENABLE | KEY ビットを設定した後、ペリフェラルのメモリマップされた他のレジスタにアクセスする前に、4 ULPCLK クロック サイクル上の待機時間が必要です。4 サイクルにより、ペリフェラルのバス インターフェイスでのバス絶縁信号が更新されます。

2.2.6.1 低消費電力モードでのペリフェラルの自動無効化

電源ドメイン 1 (PD1) のペリフェラルは、STOP モードまたは STANDBY 低消費電力モードに移行すると、SYSCTL によって強制的にディスエーブル状態になります。そのため、これらのペリフェラルを STOP または STANDBY では使用できません。

ほとんどの PD1 ペリフェラルは、自動的にディスエーブルされた後も構成設定を維持するため、STOP モードまたは STANDBY モードが終了しても再構成する必要はありません。PD1 ペリフェラルにおいて、STOP モードおよび STANDBY モード中も保持されるペリフェラル レジスタの詳細については、このガイドの該当するペリフェラルの章を参照してください。

PD1 ペリフェラルが出力構成で IO ピン (IOMUX 経由) に多重化された場合、STOP モードまたは STANDBY モードへの移行時に、ペリフェラルから IO への最後の有効な出力状態 (論理 0 またはロジック 1) がラッチされます。これにより、低消費電力動作時にペリフェラルをディスエーブルする SYSCTL による外部回路への外乱が発生することを防止できます。STOP モードまたは STANDBY モードから復帰すると、ペリフェラルが再度イネーブルになり、IO は再びペリフェラルに接続されます。

2.3 クロック モジュール (CKM)

クロック モジュールには、内部発振器、外部発振器、クロック モニタ、クロック選択および制御ロジックが含まれています。LFXT/LFCLK_IN または IO ピン (FCC_IN) に提供される基準周期 / パルスに対する高速クロックの周波数のチェックおよび / またはキャリブレーションのための周波数クロック カウンタも備えています。

2.3.1 発振器

システムで使用する低周波数から高周波のクロックを生成するために、複数の内部および外部発振器を搭載しています。CKM には、デバイス内にあるすべての発振器が含まれており、それらを使用してシステム クロックを生成します。外部発振器が使用可能かどうかについては、デバイス固有のデータシートを参照してください。

内部発振器

- LFOSC : 低周波発振器 (標準周波数 32kHz)
- SYSOSC : システム発振器 (最大周波数 32MHz)
- SYSPLL : 周波数可変型システム PLL (フェーズ ロック ループ) (オプション)

外部発振器

Copyright © 2026 Texas Instruments Incorporated

- LFXT：低周波、ローパワー水晶発振器 (標準周波数 32kHz)
- HFXT：高周波水晶発振器 (最大標準周波数 48MHz)

発振器に加え、LFXT または HFXT を使用せず、デバイスに直接デジタル クロックを供給する場合に対応するため、低周波数 (LFCLK_IN) と高周波数 (HFCLK_IN) のデジタル クロック入力が提供されています。

2.3.1.1 内部低周波数発振器 (LFOSC)

低周波数発振器 (LFOSC) はオンチップの低消費電力発振器で、32.768kHz の周波数に工場で調整されています。低周波数の水晶発振器 (LFXT) が存在しない場合、または使用されない場合に、LFOSC は安定した低周波数クロック ソースを提供します。

LFOSC は、低い温度範囲で使用する場合、より高い精度を実現できます。詳細については、デバイス固有のデータシートを参照してください。

LFOSC は、BOOTRST 後にデフォルトでアクティブになり、LFCLK を供給します。LFOSC スタートアップ モニタは、LFOSC の準備が整うと、CLKSTATUS レジスタの LFOSCGOOD ビットを設定します。

2.3.1.2 内部システム発振器 (SYSOSC)

システム発振器 (SYSOSC) は、オンチップの高精度の高周波数クロック ソース (最大 32MHz) です。SYSOSC は、高周波水晶発振器 (HFXT) がない場合や使用しない場合、または低消費電力モードからの高速ウェークアップが必要な場合に、柔軟な高速クロック ソースをシステムに提供します。

SYSOSC の主な特長は次のとおりです。

- オプションの周波数補正ループ (FCL) と基準抵抗を使用した場合の高精度
  - 周波数補正ループは、デバイスの能力に応じて、内部抵抗による補正をサポートします。
- 低電力状態からの高速起動
- 機能を中断することなく、1 クロック サイクルでベース周波数から低周波数へ、または低周波数からベース周波数への切り替えが可能 (ギアシフト)
  - ペリフェラルへの外乱を最小限に抑えるための位相整列遷移
  - 指定の精度への高速セトリング
  - SYSCTL は、STOP モードでシームレスなギア シフト周波数スイッチを開始し、SYSOSC 電流を低減
  - SYSOSC の複数の周波数設定がサポートされているかどうかを確認するには、デバイス固有のデータシートを参照してください
- MFCLK で使用するための、4MHz の固定周波数を持つ 2 次出力。
  - f_{SYSOSC} = 4MHz のとき、MFCLK 出力は SYSOSC から直接生成されます。
  - f_{SYSOSC} が 4MHz でない場合、MFCLK 出力は、SYSOSC から適切な比率でソースされるデジタル分周器から生成されます
  - SYSCTL はこの出力のデジタル分周器を管理し、ユーザーが選択した SYSOSC 周波数に関係なく、出力を 4MHz に安定化させます。
  - この出力を使用するペリフェラルでは、RUN、SLEEP、STOP モードで連続的な 4MHz 機能クロックが表示され、STOP モードでは、SYSOSC は 4MHz でネイティブ動作しているため、ギア シフトがイネーブルになると電流が低減されます。

SYSOSC は、ブラウンアウト リセットの後、デフォルトでデバイスのベース周波数でアクティブになり、MCLK を供給します。

2.3.1.2.1 SYSOSC ギア シフト

SYSOSC は、ジッタを最小限に抑えるために位相を維持しつつ、単一の SYSOSC クロック サイクルで、ベース周波数 (32MHz など) から低周波数 (4MHz)、あるいは低周波数からベース周波数へと切り替えることができます。この機能は、1 つの発振器で 2 つの周波数を生成できるため、低消費電力で低コストのマイクロ コントローラ アプリケーションに特に適しています。

- 演算中に CPU を動作させるための高速 (例：32MHz) クロックで、必要な場合にのみイネーブルになる

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- タイマ、UART インターフェイス、I²C インターフェイスなどのペリフェラルを動作させるための、常時動作する低速の 4MHz クロック

高速クロックが必要な場合 (たとえば、RUN モードや SLEEP モード時)、SYSOSC はベース周波数で動作して高性能を実現できます。このような場合、SYSOSC を直接 MCLK のソースとして使用することで、MCLK を CPU、DMA、およびバスからクロック供給されるペリフェラルで使用できます。高クロック周波数を必要としないものの、連続的に動作するペリフェラル向けには、SYSOSC のベース周波数を分周して 4MHz とした中周波数システム クロック (MFCLK) が供給されます。

高速クロックが必要ない場合 (たとえば、CPU がデータ処理を完了した場合)、STOP モードでは、SYSOSC を 1 サイクルで 4MHz に減速させることができます。このとき、MFCLK は SYSOSC で直接クロック供給するように切り替わるため、4MHz クロックを維持しつつ SYSOSC の消費電流を低減でき、かつ 4MHz クロック供給用の個別の発振器も不要となります。CPU が再度必要になった際、SYSOSC を 4MHz からベース周波数に戻すことができます。この遷移は、1 つの SYSOSC クロック サイクルでも発生します。ギア シフトアップ中、MFCLK は 4MHz の周波数を一定に保つために切り替わります (適切なデジタル分周を使用)。ギア シフトダウン要求時のベース周波数と低周波数間のタイミング遷移を図 2-5 に示します。

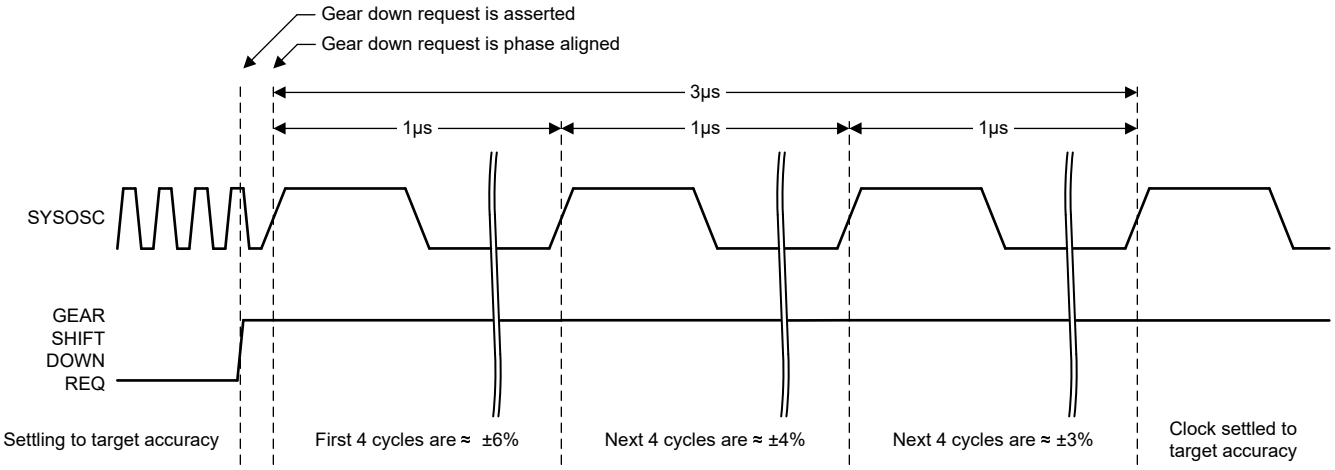


図 2-5. SYSOSC ギアシフト ダウン タイミング

SYSOSC ギアシフト モードは、パワーマネージメント方式と緊密に統合されており、SYSCTL によって制御されます。ギアシフト モードは、RUN モードと STOP モード (ギアダウン)、STOP モードと RUN モード (ギアアップ) の切り替え時に使用できます。STOP モードでギアシフトを使用して SYSOSC 電流を低減するには、SYSOSCCFG レジスタの USE4MHZSTOP ビットを設定します。

2.3.1.2.2 SYSOSC 周波数とユーザー トリム

SYSOSC はベース周波数または 4MHz で動作するよう出荷時に調整されています。デフォルトの動作周波数はベース周波数です。アプリケーションにとって 4MHz で十分な性能が得られるのであれば、SYSOSC を 4MHz で連続的に実行し、消費電流を低減させることもできます。SYSOSC 周波数を 4MHz に変更するには、SYSOSCCFG レジスタの FREQ フィールドを 4M に設定します。

注

SYSOSCCFG レジスタの FREQ フィールドは、SYSOSC が MCLK ソースの場合にのみ変更する必要があります。MCLK が HSCLK から供給されている場合は、SYSOSC FREQ の構成を変更しないでください。

2.3.1.2.3 SYSOSC 周波数補正ループ

SYSOSC 周波数補正ループ (FCL) 機能を使用することで SYSOSC の周波数精度を向上できます。FCL 回路は、SYSOSC に正確なリファレンス電流を供給することで、内部抵抗を使用して SYSOSC 周波数を安定させます。

Copyright © 2026 Texas Instruments Incorporated

2.3.1.2.3.1 内部抵抗モードでの SYSOSC FCL

このセクションでは、デバイスの SYSCTL レジスタによって内部抵抗モードを選択する手順について説明します。内部抵抗モードで FCL をイネーブルにすることは、外部抵抗のシステム コストを増加させずに SYSOSC 性能を向上させる必要があるユーザーのアプリケーションにメリットがあります。

内部抵抗による FCL のイネーブル

FCL を使用して SYSOSC の精度を高めるには、次の手順に従います。

1. SYSOSCFCLCTL レジスタの SETUSEFCL ビットを設定して、FCL をイネーブルにします。
   a. デバイスが内部抵抗と外部抵抗 FCL モードの両方をサポートしている場合、SETUSEFCL ビットを設定する際に、SYSOSCFCLCTL レジスタの SETUSEEXRES ビットを設定しないでください。
2. FCL モードがイネーブルの場合、ソフトウェアはこのモードをディスエーブルにできません。FCL モードに変更する前に、BOOTRST が必要です。

2.3.1.3 システム フェーズ ロック ループ (SYSPLL)

システム フェーズ ロック ループ (SYSPLL) は、入力基準クロックの SYSPLLREF を受け取り、その周波数をスケーリングして、デバイスで使用するユーザー指定の高周波クロック (SYSPLLCLK0、SYSPLLCLK1、SYSPLLCLK2X) を生成します。特に、SYSPLL クロック出力は MCLK および CANCLK のソースとして使用できます。図 2-6 に、SYSPLL のブロック図を示します。

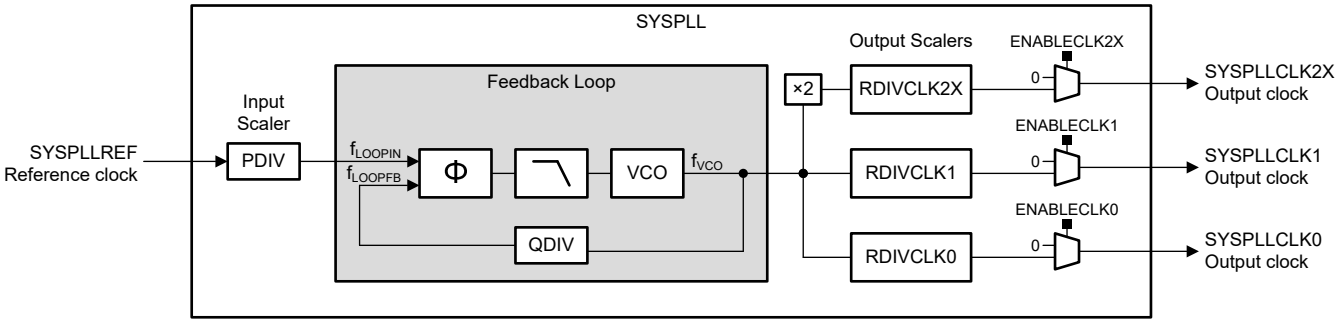


図 2-6. SYSPLL の図

注

SYSPLL がイネーブルに設定されている間は、SYSOSC をディスエーブルにしてはなりません。

2.3.1.3.1 SYSPLL 出力周波数の構成

SYSPLL は、4 ～ 48MHz の入力リファレンス クロックを受け付けます。使用可能なリファレンス クロックには、SYSOSC および HFCLK が含まれます。事前分周器 PDIV は、選択した入力リファレンス クロックを、PLL 帰還ループよりも前にスケーリングします。PDIV は、SYSPLLCFG1 レジスタの PDIV フィールドにそれぞれ 0x0 ～ 0x3 を設定することで、/1、/2、/4、/8 として選択できます。

実効分周器は、以下に示すように、PDIV レジスタ設定から計算できます。

$$SYSPLLREF_{DIV} = 2^{PDIV} \quad (1)$$

PLL 帰還ループは、分周された入力リファレンス クロック f_{LOOPIN} に QDIV 帰還分周器を乗算した値に、電圧制御発振器 (VCO) 出力を設定します。QDIV 分周器は、有効範囲が /2 ～ /127 の整数分周器です。目的の QDIV 分周器は、SYSPLLCFG1 レジスタの QDIV フィールドに、/2 ～ /127 のそれぞれ 0x01 ～ 0x7E をプログラムすることで選択されます。SYSPLLCFG1.QDIV = 0x00 は無効な設定です。実効帰還分周器は、以下に示すように、QDIV レジスタ設定から計算できます。

Copyright © 2026 Texas Instruments Incorporated

$$SYSPLLFB_{DIV} = QDIV + 1 \quad (2)$$

VCO f_{VCO} の出力周波数は以下のとおりです。

$$f_{VCO} = f_{SYSPLLREF} \times SYSPLLFB_{DIV} / SYSPLLREF_{DIV} \quad (3)$$

VCO 出力は、3 つの個別の SYSPLL 出力 (SYSPLLCLK0、SYSPLLCLK1、SYSPLLCLK2X) を供給します。各出力には独自の分周ユニットがあり、デバイス内の異なるモジュールで使用できる最大 3 つの異なる出力周波数を生成できます。3 番目の出力 (SYSPLLCLK2X) には、分周器ユニットより前に周波数ダブラも含まれているため、より広い範囲の出力周波数と消費電力を低減できます。

SYSPLLCLK2X の場合、出力分周器は /1 ～ /16 の範囲で 1 刻みで設定できます。SYSPLLCLK2X 出力分周器を設定するには、SYSPLLCFG0 レジスタの RDIVCLK2X フィールドに、/1 から /16 までの分周比に対応する値 (0x0 ～ 0xF) を書き込みます。以下に、特定の RDIVCLK2X レジスタ設定に基づいて、実効 SYSPLLCLK2X 分周器を計算する方法を示します。

$$SYSPLLCLK2X_{DIV} = RDIVCLK2X + 1 \quad (4)$$

SYSPLLCLK1 および SYSPLLCLK0 の場合、出力分周器は 2 刻みで /2 ～ /32 に設定できます。SYSPLLCLK0 または SYSPLLCLK1 の出力分周器を設定するには、SYSPLLCFG0 レジスタ内の対応する RDIVCLKx フィールドに、/2 ～ /32 に対応する値 (0x0 ～ 0xF) を書き込みます。以下に、与えられた RDIVCLK0 設定に基づいて実効 SYSPLLCLK0 分周器を計算する方法を示し、以下の式は、特定の RDIVCLK1 設定に基づいて実効 SYSPLLCLK1 分周器を計算する方法を示しています。

$$SYSPLLCLK0_{DIV} = 2 \times (RDIVCLK0+1) \quad (5)$$

$$SYSPLLCLK1_{DIV} = 2 \times (RDIVCLK1+1) \quad (6)$$

したがって、SYSPLL 出力クロック周波数は f_{VCO} とそれぞれの分周器の組み合わせによって設定されます。

$$f_{SYSPLLCLK0} = f_{VCO} / SYSPLLCLK0_{DIV} \quad (7)$$

$$f_{SYSPLLCLK1} = f_{VCO} / SYSPLLCLK1_{DIV} \quad (8)$$

$$f_{SYSPLLCLK2X} = 2 \times f_{VCO} / SYSPLLCLK2X_{DIV} \quad (9)$$

SYSPLL のイネーブル / ディスエーブル

構成後、HSCLKEN レジスタの SYSPLLEN ビットを設定して、SYSPLL をイネーブルにします。SYSPLL をイネーブルにする前に、CLKSTATUS レジスタの SYSPLLOFF ビットが設定されていることを確認して、SYSPLL がディスエーブル状態になっていることを確認してください。SYSPLL をイネーブルにした後、CLKSTATUS レジスタの SYSPLLGOOD ビットまたは SYSPLLOFF ビットが設定されるまで、アプリケーション ソフトウェアはそのビットをディスエーブルにしないでください。これは、SYSPLL が安定したアクティブ状態または安定したデッド状態に遷移したことを示します。SYSPLL がイネーブルの場合、SYSPLL リファレンス クロックの選択は変更できません。

注

HFCLK を SYSPLL リファレンス クロックとして使用する場合も、SYSPLL がイネーブルの場合、SYSOSC はイネーブルにしてベース周波数で動作させる必要があります。

SYSPLL の使用例 (CAN プロトコル用)

上記の関係を例示するために、以下の要件を例に挙げます。

- 内部システム発振器 (SYSOSC) を、SYSPLL リファレンス (32MHz) として使用

Copyright © 2026 Texas Instruments Incorporated

- SYSPLL は、MCLK をソースし、40MHz を CANCLK をソースするためには 160MHz の出力周波数で構成する必要がある

これを実現するため、PDIV と QDIV を使用して VCO を 320MHz 用に構成できます。次に、SYSPLLCLK0 は /2 の出力分周器を持つ CANCLK に信号を供給し、SYSPLLCLK2X は /2 の出力分周器で MCLK を供給できます。

次の手順では、SYSPLL をこのように使用するように CKM を設定する方法について説明します。

1. SYSPLL が無効になっていることを確認します (SYSPLLOFF が CLKSTATUS に設定されていること)
2. SYSOSC がベース周波数 (32MHz) で動作していることを確認してください。HFCLK を SYSOSC ではなく SYSPLL リファレンス クロックとして使用している場合でも、SYSPLL 動作の要件です
3. SYSOSC を SYSPLL リファレンスとして設定します (SYSPLLCFG0 レジスタの SYSPLLREF ビットがクリアされていることを確認します。これはリセット後のデフォルト状態です)
4. f_{LOOPIN} を 16MHz に設定 (32 / 2) して事前分周器 PDIV を /2 に選択します (SYSPLLCFG1.PDIV を 0x01 に設定)
5. 16MHz の f_{LOOPIN} をサポートするために、PLL パラメータを SYSPLLPARAM0 および SYSPLLPARAM1 にロードします
6. 帰還分周器 QDIV を 20 に設定 (SYSPLLCFG1.QDIV を 19 に設定) すると、f_{VCO} = 320MHz (16MHz x 20) になります
7. SYSPLLCLK0 の SYSPLL 出力分周器を /2 に設定し (SYSPLLCFG0.RDIVCLK0 を 0x0 に設定)、SYSPLLCLK0 で 160MHz を取得します
8. SYSPLLCFG0 レジスタの ENABLECLK0 ビットを設定して、SYSPLLCLK0 出力を有効にします
9. SYSOSC がイネーブルで、ベース周波数で動作する場合 (32MHz はリセット直後のデフォルト状態)、HSCLKEN レジスタで SYSPLLEN を設定して、SYSPLL をイネーブルにします
10. CLKSTATUS レジスタの SYSPLLGOOD をテストして、SYSPLLGOOD の表示を待ちます
11. SYSPLLCFG0 レジスタの MCLK2XVCO をリセットして、HSCLK マルチプレクサへの PLL 出力として SYSPLLCLK0 を選択します
12. HSCLKCFG レジスタの HSCLKSEL ビットが確実にクリアされるようにして、SYSPLL を HSCLK ソースとして選択します (これはデフォルト状態)
13. MCLKCFG レジスタの USEHSCLK ビットを設定することで、MCLK のソースとして高速クロック (HSCLK) を選択します。これにより、MCLK が SYSOSC から HSCLK に切り替わります。MCLK は現在、SYSPLLCLK0 から 160MHz で動作しています
14. CANCLK イネーブル CANEXTDIVEN を構成し、CANCLK を供給する前に GENCLKEN.EXTDIVCAN を 4 分周するように構成するには、GENCLKCFG レジスタの CANCLKSRC ビットを設定します

この例で使用する SYSPLL 分周器の値を以下に、リファレンスとしてまとめます。

表 2-3. SYSPLL 分周器の設定例

パラメータ	登録	ビット フィールド	ビット フィールド値	実際の分周器
入力リファレンス クロック分周器	SYSPLLCFG1	PDIV	0x1	/2
VCO 帰還ループ分周器	SYSPLLCFG1	QDIV	0x13	/20
出力クロック 0 分周器	SYSPLLCFG0	RDIVCLK0	0x0	/2
CAN クロック分周器	GENCLKEN	EXTDIVCAN	0x3	/4

調整ガイドライン

目的の出力周波数を提供する PDIV、QDIV、RDIVCLKx の組み合わせが複数存在する場合は、以下の調整ガイドラインを考慮して、アプリケーションに最適な値を決定してください。

- VCO 周波数 (f_{VCO}) を低くすると、消費電力が削減されます。f_{VCO} の許容範囲については、デバイスのデータ シートを参照してください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- 帰還ループの入力周波数 (f_{LOOPIN}) が高いほど、起動は高速になります。たとえば、f_{VCO} = 160MHz で 160MHz 出力周波数が必要な場合、PDIV を /8 および QDIV を /40 に設定することで、f_{VCO} = 160MHz を SYSPLLREF クロック 32MHz から導出させることができます。ただし、f_{LOOPIN} が 8MHz より小さいため、起動に時間がかかります。PDIV を /2、QDIV を /10 に設定することでも同様の結果が得られますが、この場合、f_{LOOPIN} が 16MHz であるため (32MHz/4)、より高い入力範囲の SYSPLL パラメータを使用して、起動を高速化できます。

2.3.1.3.2 SYSPLL ルックアップ パラメータのロード

SYSPLL を使用する前に、SYSPLLPARAM0 および SYSPLLPARAM1 レジスタで、複数のチューニング パラメータを設定する必要があります。この値は、PLL フィードバック ループ入力クロック周波数 (f_{LOOPIN}) によって決定されます。

SYSPLL は、表 2-4 に示す 4 つの f_{LOOPIN} 周波数範囲をサポートしています。各周波数範囲には、FACTORY フラッシュ メモリ領域に 64 ビットのルックアップ値があり、SYSPLL をイネーブルにする前に、この値をフラッシュから SYSCTL 内の SYSPLLPARAM0 および SYSPLLPARAM1 レジスタにコピーする必要があります。

表 2-4. SYSPLL パラメータ ルックアップ

f_{LOOPIN}	ルックアップ アドレス (PARAM0)	ルックアップ アドレス (PARAM1)	SDK シンボル
32MHz ≤ FREQ ≤ 48MHz	0x8011.1038	0x8011.103C	DL_SYSCTL_SYSPLL_INPUT_FREQ_32_48_MHZ
16MHz ≤ FREQ < 32MHz	0x8011.1030	0x8011.1034	DL_SYSCTL_SYSPLL_INPUT_FREQ_16_32_MHZ
8MHz ≤ FREQ < 16MHz	0x8011.1028	0x8011.102C	DL_SYSCTL_SYSPLL_INPUT_FREQ_8_16_MHZ
4MHz ≤ FREQ < 8MHz	0x8011.1020	0x8011.1024	DL_SYSCTL_SYSPLL_INPUT_FREQ_4_8_MHZ

2.3.1.3.3 SYSPLL 起動時間

PLL の起動時間は、PLL 帰還ループ入力周波数 f_{LOOPIN}、および PLL が動作状態から起動するのか (低消費電力モードからの復帰など)、それともデバイスのブート後に初めて動作を開始するのかによって異なります。

表 2-5 に、PLL の起動時間がループ入力周波数 f_{LOOPIN} の影響を受ける例を示します。f_{LOOPIN} は、SYSPLLREF とユーザー構成の PDIV と QDIV によって決定されることに注意します。

注

これらの値はあくまで相対的な例として使用されています。特定のデバイス性能については、製品データシートを参照してください。

表 2-5. SYSPLL 起動時間 (例)

f_{LOOPIN}	条件	SYSPLL 起動時間 (µs)	低消費電力モードからの復帰時の SYSPLL 起動時間 (µs)
32MHz ≤ FREQ	SYSPLLREF = 32MHz、PDIV = 0、QDIV = 4	13	11
16MHz ≤ FREQ < 32MHz	SYSPLLREF = 32MHz、PDIV = 1、QDIV = 9	16	14
8MHz ≤ FREQ < 16MHz	SYSPLLREF = 32MHz、PDIV = 2、QDIV = 19	18	16
4MHz ≤ FREQ < 8MHz	SYSPLLREF = 32MHz、PDIV = 3、QDIV = 39	26	24

2.3.1.4 低周波数水晶発振器 (LFXT)

低周波数水晶発振器 (LFXT) は超低消費電力の水晶発振器で、標準の 32.768kHz ウォッチ クリスタルをサポートしています。

Copyright © 2026 Texas Instruments Incorporated

LFXT を使用するには、LFXIN ピンと LFXOUT ピンの間にウォッチ クリスタルを接続実装します。負荷コンデンサを両方のピンに配置して、回路グランド (VSS) に接続します。使用する水晶振動子の仕様に従って、水晶負荷コンデンサのサイズを変更します。プログラマブル ドライブ メカニズムにより、さまざまな種類の水晶振動子がサポートされており、特定の水晶振動子に必要な駆動強度と駆動電流のバランスを維持できます。

LFXT ピン LFXIN および LFXOUT は、デジタル IO 機能と共有されています。LFXT を使用するには、最初に LFXIN ピンと LFXOUT ピンで LFXT 機能をサポートするように IOMUX を構成します。LFXIN および LFXOUT ピンのデジタル IO 機能をディスエーブルにするように IOMUX を構成します。LFXT はデフォルトで最大の駆動強度 (SYSCTL で LFCLKCFG.XT1DRIVE = 0x03) に設定されています。これは、発振器の確実な高速起動を実現するために推奨されます。超低容量 (3pF 未満) の水晶振動子を使用する場合、LOWCAP ビット LFCLKCFG を設定することで、LFXT の消費電力をさらに低減できます (多くの水晶振動子との互換性を確保するため、LOWCAP ビットはデフォルトでクリアされています)。

設定が完了したら、SYSCTL の LFXTCTL レジスタの STARTLFXT ビットを設定して、LFXT を起動します。発振器が正常に起動すると、LFXT 起動モニタは SYSCTL の CLKSTATUS レジスタの LFXTGOOD ビットを設定します。必要に応じて、水晶振動子の駆動強度を低減して電力を節約することができます。アプリケーション ソフトウェアで STARTLFXT を設定すると、LFCLK のソースが LFXT に切り替わる際、LFXT の起動完了を待たずに内部 LFOSC がディスエーブルになり、消費電力を抑えます。

LFCLK ツリーの 32kHz クロックソースを LFOSC から LFXT に切り替えるには、LFXTCTL レジスタの SETUSELFXT ビットを設定します。これにより、BOR リセットまたは致命的なクロック障害が発生するまで、SYSCTL は LFCLK ソースを LFXT に永続的に切り替えます。

LFXT をイネーブルにした後、内部 LFOSC はディスエーブルになります。LFOSC を再度イネーブルにして LFCLK を切り替えることはできないため、ソフトウェアによる POR リセット以外の方法で LFOSC に戻すことはできません。

注

起動時に LFCLK として LFXT を選択したものの、水晶発振器が正常に発振を開始しなかった場合、POR リセットを実行して内部 LFOSC を再度イネーブルにして LFOSC から LFCLK を実行する必要があります。これを行わないと、32kHz の LFCLK がシステムで利用できません。LFXT または LFCLK_IN の LFCLK モニタがイネーブルの場合、障害が発生します。障害発生後、LFCLK は LFOSC をイネーブルにし、BOOTRST を必要とせずに LFOSC へ切り替わります

注

LFXT が起動しない場合、アプリケーション ソフトウェアはフラッシュ メモリを活用して、水晶振動子が正常に起動しなかったことを示すフラグを保存し、次に POR リセットを実行することができます。フラッシュ メモリの内容は POR リセット後に読み取ることができるため、次の起動シーケンスでは、アプリケーション コードは、LFCLK の供給源を LFOSC にするか外部水晶発振器にするかを選択できます (水晶振動子にハードウェアの問題が発生して開始できない場合)。

2.3.1.5 LFCLK_IN (デジタル クロック)

LFXT 回路をバイパスし、32.768kHz の標準周波数デジタル クロックをデバイスに入力して、LFOSC や LFXT ではなく LFCLK ソースとして使用することができます。LFXT や LFOSC の代わりにデジタルクロック入力を LFCLK に使用するように構成するには、まず、適切なピンで LFCLK_IN 機能を有効にするように IOMUX を構成します。IOMUX が正しく構成され、外部クロック ソースが LFCLK_IN に 32kHz クロックを出力したら、SYSCTL の EXLFCTL レジスタの SETUSEEXLF ビットを設定します。

LFCLK_IN は、デジタル方形波 CMOS クロック入力と互換性があり、標準デューティ サイクルは 50% である必要があります。

システムが初期化されると、LFOSC が LFCLK の 1 次クロック ソースになります。LFCLK を切り替えて LFCLK_IN を使用する前に、LFCLKCFG レジスタの MONITOR ビットを設定して LFCLK モニタをイネーブルにすることで、LFCLK_IN の有効なクロック信号を確認できます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

LFCLK_IN を LFCLK ソースとして選択した後は、BOR リセットを経由せずに LFOSC または LFXT に戻すことはできません。

注

LFCLK_IN と LFXT は相互に排他的であり、同時にイネーブルにすることはできません。LFXTCTL レジスタの SETUSELFXT ビットまたは STARTLFXT ビットが設定されている場合、EXLFCTL レジスタの SETUSEEXLF ビットを設定しないでください。

2.3.1.6 高周波水晶発振器 (HFXT)

高周波水晶発振器 (HFXT) は、標準的な水晶振動子や共振器 (4 ～ 48MHz) と組み合わせて使用することができ、システム用に安定した高速リファレンス クロックを生成できます。HFXT は、プライマリ デバイスのクロック ツリー (MCLK) へのクロック供給に直接使用することも、より高い周波数を生成できるオンチップ PLL への高精度基準として使用することもできます。また、HFXT は、CAN-FD 機能クロック ソースなどの他のペリフェラルに直接供給できます。これにより、メイン システム クロック (MCLK) から非同期である機能クロックを実現できます。

HFXT を使用するには、HFXIN ピンと HFXOUT ピンの間に水晶振動子または共振器を実装します。負荷コンデンサを両方のピンに配置して、回路グランド (VSS) に接続する必要があります。使用する水晶振動子の仕様に従って、負荷コンデンサのサイズを変更してください。IOMUX は、HFXIN ピンと HFXOUT ピンで HFXT 機能を有効にするように構成する必要があります。HFXIN および HFXOUT ピンのデジタル IO 機能をディスエーブルにするように IOMUX を構成します。HFXT の周波数範囲は、SYSCTL の HFCLKCLKCFG レジスタの HFXTRSEL ビットを構成することで設定する必要があります。

HFXT の起動時間をプログラム可能で、64µs の分解能を実現しています。HFXT を起動する前に、使用する水晶振動子または共振器の仕様に基づいて、SYSCTL の HFCLKCLKCFG レジスタの HFXTTIME フィールドに適切な起動時間を設定します。

適切に構成した後、SYSCTL の HSCLKEN レジスタの HFXTEN ビットをセットすることで、HFXT が起動します。発振器が正常に起動すると、HFCLK 起動モニタは SYSCTL の CLKSTATUS レジスタの HFCLKGOOD ビットをアサートします。

注

HFXT がイネーブルの場合、SYSOSC をベース周波数でイネーブルにする必要があります。

HFXTEN を設定して HFXT をイネーブルにした後、HFXTEN をクリアして HFXT をディスエーブルにする前に、アプリケーション ソフトウェアは、HFCLKGOOD 表示または CLKSTATUS レジスタの HFCLKOFF (off/dead) 表示がハードウェアによってアサートされていることを確認する必要があります。HFXTEN をクリアして HFXT をディスエーブルにする場合、CLKSTATUS レジスタの HFCLKOFF ビットがハードウェアで設定されるまで、HFXT を再度イネーブルにすることはできません。

HFCLKGOOD ステータスを受信した後に HFXT を PLL リファレンスとして使用するには、SYSCTL の SYSPLLCFG0 レジスタの SYSPLLREF ビットを設定します。SYSPLL のリファレンスとして HFXT を選択し、SYSPLL がイネーブルである場合は、HFXT をディスエーブルにする前に、SYSPLL をディスエーブルにし、CLKSTATUS レジスタの SYSPLLOFF ビットを設定する必要があります。

HFCLKGOOD ステータスを受信した後に HFXT を MCLK ソースとして直接使用するには、まず、HSCLKCFG レジスタの HSCLKSEL ビットを設定して、高速クロックソースとしてシステム PLL 出力ではなく HFCLK を選択します。次に、MCLKCFG レジスタの USEHSCLK ビットを設定して、高速クロック ソースを MCLK ソースとして選択します。USEHSCLK を設定した後は、HSCLKCFG を変更せず、また MCLK ソースを SYSOSC に戻す (USEHSCLK をクリアし、CLKSTATUS の HSCLKMUX ビットがハードウェアによってクリアされたことを確認する) まで、HFXT を無効化しないでください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

2.3.1.7 HFCLK_IN (デジタル クロック)

HFXT 回路をバイパスし、外部デジタル クロック信号をデバイスに入力して、HFXT ではなく HFCLK ソースとして使用することもできます。デジタル クロック入力を使用するように HFCLK を構成するには、最初に適切なピンで HFCLK_IN 機能を有効にするように IOMUX を構成します。IOMUX が正しく構成され、クロック ソースが HFCLK_IN にクロックを出力している場合は、SYSCTL の HSCLKEN レジスタの USEEXTHFCLK ビットを設定します。

注

HFCLK_IN がイネーブルの場合、SYSOSC をベース周波数でイネーブルにする必要があります。

HFCLK_IN は、SYSPLL のリファレンスとして使用できます。SYSPLL リファレンス クロック ソースの構成を変更する前に、SYSPLL をオフにする必要があります。ユーザーは、CLKSTATUS レジスタの SYSPLLOFF ステータス ビットをチェックすることで、SYSPLL がオフであることを確認できます。次に SYSCTL の SYSPLLCFG0 レジスタの SYSPLLREF ビットを設定する前に、HSCLKEN レジスタの USEEXTHFCLK ビットを設定して、HFCLK ソースとして HFCLK_IN を選択する必要があります。最後に、HSCLKEN レジスタの SYSPLLEN ビットを使用して SYSPLL をイネーブルにできます。

HFCLK ソースとして HFCLK_IN を選択した後で HFCLK_IN から MCLK を出力するには、まず HSCLKCFG レジスタの HSCLKSEL ビットを設定して、高速クロック ソースとして HFCLK を選択します。次に、MCLKCFG レジスタの USEHSCLK ビットを設定して、高速クロック ソースを MCLK ソースとして選択します。USEHSCLK を設定した後は、HSCLKCFG を変更せず、また MCLK ソースを SYSOSC に戻す (USEHSCLK をクリアし、CLKSTATUS の HSCLKMUX ビットがハードウェアによってクリアされたことを確認する) まで、HFCLK_IN を無効化しないでください。

HFCLK_IN は、デジタル方形波 CMOS クロック入力と互換性があり、標準デューティ サイクルは 50% である必要があります。

注

HFCLK_IN と HFXT は相互に排他的であり、同時にイネーブルにすることはできません。HSCLKEN に HFXTEN ビットも設定されている場合は、USEEXTHFCLK ビットを設定しないでください。

注

HFCLK_IN を使用する場合、MCLKCFG レジスタの USEMFTICK はサポートされません。MFTICK は SYSOSC でのみ使用できます。

2.3.2 クロック

CKM は発振器出力を受け取り、デバイスで使用するためのさまざまな機能クロックを生成します。サポートされている機能クロックについては、デバイス固有のデータシートを参照してください。

クロック

- システム クロック
  - MCLK:PD1 周辺機器と PD1 バスのメイン システム クロック
  - CPUCLK:MCLK から生成された CPU クロックで、RUN モードでのみ使用可能
  - ULPCLK:PD0 周辺機器と PD0 バスのメイン システム クロック (MCLK から生成)
  - MFCLK:MCLK/ULPCLK に同期した固定 4MHz クロック
  - LFCLK:MCLK/ULPCLK に同期した固定 32kHz クロック
  - HFCLK:高周波数外部クロック
- ペリフェラル固有のクロック
  - CANCLK:CAN-FD モジュール構成クロック
  - RTCCLK:RTC に直接接続される 32kHz の固定クロック
  - I2SCLK:4、8、12、16 の分周オプションがある I2S クロック
- 外部クロック
  - CLK_OUT:外部回路にクロックを供給するための分周器を備えた外部クロック出力

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

SHUTDOWN モードでは、すべてのクロックがディスエーブルになります。

上記の構成可能なクロックに加えて、アナログ ペリフェラルに対する複数の直接クロック接続が行われます (「インフラストラクチャ向けのダイレクト クロック接続」セクションを参照)。

2.3.2.1 MCLK (メイン クロック) ツリー

MCLK はメイン システム クロックで、すべての同期クロック (MCLK、CPUCLK、ULPCLK、MFCLK、LFCLK) の同期のルート ポイントです。MCLK とその分周バージョンの MCLK/2 および MCLK/4 は、PD1 のすべてのペリフェラルをカバーしています。これは通常、システム内で最も高速なクロックであり、デバイスの全温度範囲にわたって 160MHz までの動作をサポートしています。MCLK ツリーは、CPUCLK (RUN モード)、PD1 高速ペリフェラル バス クロック (RUN および SLEEP モード)、および ULPCLK 低消費電力バス クロック (RUN、SLEEP、STOP、STANDBY モード) のルート ソースです。また、4MHz MFCLK および 32kHz LFCLK 出力は MCLK に同期しています。MCLK/4 は、PD0 ペリフェラルのソースとしても機能します。

PD1 ペリフェラルへの MCLK 出力は、RUN および SLEEP モードでイネーブルになり、他のすべての電力モードではディセーブルになります。PD1 への MCLK 出力が STOP および STANDBY モードでディセーブルになっている間、MCLK ツリーは引き続き ULPCLK のソースとして動作し、MFCLK と LFCLK の同期を提供します。MCLK ソースはグリッチ フリーのクロック マルチプレクサで選択され、ユーザー ソフトウェアによって実行時に動的に変更できます。また、STOP モードおよび STANDBY モードに移行するとき、または非同期高速クロック要求時に、ハードウェアによって自動的に変更できます。

MCLK で使用可能なソースは以下のとおりです。

- 最大 160MHz の **HSCLK** (高速クロック)。次から供給できます。
  - **SYSPLLCLK0** または **SYSPLLCLK2X** (MCLK の最大速度である 160MHz に達するために使用)
  - メイン クロックに最大限の精度が求められるアプリケーション向けの **HFCLK**
- 4MHz または 32MHz の **SYSOSC** (リセット後のデフォルト クロック ソース)
- STOP モード時、4MHz の **SYSOSC**

注: MCLK のクロック ソースとして **HSCLK** を設定する前に、**SYSPLLCLK0** または **SYSPLLCLK2X** を **HSCLK** のソースとして設定します。そうしないと、デバイスは予測不能な状態になる可能性があります。

RUN および SLEEP モードで MCLK を使用

ブート後、MCLK はデフォルトで SYSOSC から供給されます。MCLK は PD1 ペリフェラルの CPUCLK 周波数とバス クロック周波数の両方を設定するため、どの発振器を使用するかは重要です。その結果、MCLK 用に選択された発振器の精度とクロック速度は、CPU の動作だけでなく、バス クロックを機能クロックとして使用する PD1 ペリフェラルの動作にも適切なものである必要があります。

MCLK に対して行われたクロック ソースと周波数の選択は、RUN および SLEEP モードでの ULPCLK にも影響を及ぼします。RUN モードおよび SLEEP モードにおける MCLK と ULPCLK の関連性については、ULPCLK セクションを参照してください。

STOP および STANDBY モードで MCLK を使用

STOP および STANDBY モードでは、PD1 ペリフェラルへの MCLK 出力は無効化されますが、PD0 ペリフェラルのバス クロックである ULPCLK は、STOP モードでは引き続き動作し、設定すれば STANDBY モードでも動作させることが可能です。STOP モードおよび STANDBY モードにおける MCLK ソースと ULPCLK の関連性については、ULPCLK セクションを参照してください。

MCLK ソース選択

アプリケーション ソフトウェアは、SYSCTL 内で MCLKCFG.USEHSCLK および HSCLKCFG.HSCLKSEL レジスタ ビットを適切に構成することにより、MCLK ソースを SYSOSC から SYSPLL、または HFCLK (HFXT または HFCLK_IN)

Copyright © 2026 Texas Instruments Incorporated

に切り替えることができます。以下の表に、RUN モードと SLEEP モードで MCLK の各種クロックを選択するための適切なレジスタ ビット構成を示します。

表 2-6. RUN および SLEEP モードでの MSPM33C3 MCLK ソース選択

目的のソース	MCLKCFG.USEHSCLK	HSCLKCFG.HSCLKSEL	SYSPLLCFG0.MCLK2XVCO
SYSOSC	0	未使用	未使用
SYSPLLCLK0	1	0	0
SYSPLLCLK2X	1	0	1
HFCLK	1	1	未使用

MCLK を SYSOSC から HSCLK に切り替えるには:

1. MCLK が SYSOSC から供給されていることを確認します (CLKSTATUS.HSCLKMUX がクリアされている)。
2. それぞれの要件に応じて、目的の高速ソース (SYSPLL、HFXT、HFCLK_IN) を有効化します。
3. HSCLKCFG.HSCLKSEL 制御を使って、目的の HSCLK ソースを選択します
4. CLKSTATUS.HSCLKGOOD が設定されていることを確認します。これは選択した HSCLK ソースが有効であることを示します。
5. MCLKCFG.USEHSCLK を設定して、MCLK を HSCLK に切り替えます。

MCLK を HSCLK から SYSOSC に切り替えるには:

1. MCLK が HSCLK から供給されていることを確認します (CLKSTATUS.HSCLKMUX が設定されている)。
2. MCLKCFG.USEHSCLK をクリアして、MCLK を SYSOSC に切り替えます。
3. CLKSTATUS.HSCLKMUX がクリアされるまで待機します。これは MCLK が SYSOSC から供給されるようになったことを示します。
4. 必要に、すべての高速クロックソース (SYSPLL または HFXT) を無効化します

注

MCLK が HSCLK からアクティブに供給されている場合 (CLKSTATUS レジスタの HSCLKMUX ビットが設定されている場合)、HSCLK ソースの選択を変更しないでください (HSCLKCFG レジスタの HSCLKSEL ビットと SYSPLLCFG0 レジスタの MCLK2XVCO ビットをしてはなりません)。HSCLK ソースを変更するには、まず上記の手順を使用して MCLK を SYSOSC に切り替え、HSCLK ソースを再構成した後、MCLK を HSCLK に戻します。

2.3.2.2 MCLK/2 (ハーフ クロック)

概要

MCLK/2 (ハーフ クロック) ドメインは、分周回路を使用してメイン MCLK クロックから生成される同期クロック ドメインです。MCLK/2 ドメインは MCLK を半分に分周した周波数で動作し、最大帯域幅を必要としないシリアル ペリフェラルとの通信やタイマー機能に対して、低減されたクロック レートを供給します。MCLK/2 ドメインで動作するペリフェラルや機能の詳細については、デバイス固有のデータシートを参照してください。クロックド メインは、分周器ロジックを内蔵した共通クロック ルートを使用して、MCLK ドメインとの同期を維持します。

クロックの構成と分周器の選択

クロック デバイダ回路は、MCLK/2 ドメインにクロックを供給します。この分周器を使用すると、MCLKCFG[26] 構成ビットを使用して、1/2 分周動作またはバイパス モードを選択できます。分周器の設定オプションは次のとおりです。

MCLKCFG[26]	分周器の選択
0	分周器がバイパス (By1) され、MCLK/2 ドメインにフル MCLK クロック周波数が供給されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

MCLKCFG[26]	分周器の選択
1	分周器が有効 (By2) になり、MCLK/2 ドメインに半分に分割された MCLK 周波数が供給されます。

レジスタの依存関係と制約

注:MCLKCFG[26] を 1 (By2 モード) にプログラムすると、このビットは MCLKCFG[24] を強制的に 1 にします。MCLKCFG[26] = 1 の場合、MCLKCFG[24] へのユーザー書き込みは無視されます。この依存関係により、適切なクロックドメイン構成が維持され、レジスタ設定の競合が防止されます。

動作条件

デバイスが HSCLK で動作する場合に、MCLK/2 ドメインはアクティブとなり、構成されます。ドメインは次のシナリオでは非アクティブとなり使用されません。

- PLL をイネーブルしない状態でのブート動作
- 低消費電力モードでの動作

2.3.2.3 MCLK/4 (クォーター クロック)

概要

MCLK/4 (クォーター クロック) ドメインは、分周回路を使用してメイン MCLK クロックから生成される同期クロックドメインです。MCLK/4 ドメインは MCLK を 4 分の一に分周した周波数で動作し、最大帯域幅を必要としない複数のペリフェラルとの通信や機能に対して、低減されたクロック レートを供給します。MCLK/4 ドメインで動作するペリフェラルや機能の詳細については、デバイス固有のデータシートを参照してください。クロックド メインは、分周器ロジックを内蔵した共通クロックルートを使用して、MCLK ドメインとの同期を維持します。

クォータ分周器の構成

MCLK/4 ドメインへのクロック分配は、分周回路を介して提供され、柔軟なクロック分周オプションが利用できます。分周回路は、バイパス (By1)、2 分周 (By2)、4 分周 (By4) の 3 つの動作モードをサポートしています。MCLKCFG レジスタ (特にビット [25:24]) は、分周回路の構成を制御します。

以下の表は、MCLKCFG[25:24] ビット値に基づく分周器の選択を定義しています。

MCLKCFG[25:24]	分周比の選択
00	バイパス (By1)
01	By2
11	By4

2.3.2.4 CPUCLK (プロセッサ クロック)

プロセッサ クロック (CPU クロック) は常に MCLK から直接生成され、MCLK 周波数の RUN モードで動作します。他のすべての電力モードでは、CPUCLK はディスエーブルになります。

2.3.2.5 ULPCLK (ローパワー クロック)

ULPCLK は、PD0 電源ドメインのペリフェラル用のバスクロックです。40MHz までの動作をサポートしており、MCLK ツリーからクロック分周器 (MCLK/4) を介して直接生成されます。この分周器は、MCLK が高速クロック (SYSPLL、HFXT、または HFCLK_IN) から供給されている場合にのみ有効になります。ULPCLK 周波数は、MCLK の構成と選択した電力モードに依存します。

Copyright © 2026 Texas Instruments Incorporated

RUN モードおよび SLEEP モードでの ULPCLK の動作

PD0 電源ドメインには、RUN および SLEEP モードにおいて 40MHz の周波数制限があります。そのため、ULPCLK を常に 40MHz 以下に維持する必要があります。MCLK が SYSOSC から動作するように構成されている場合、SYSCTL は MDIV/4 を自動的に無効化し、これらのクロック ソースは常に 32MHz 以下であるため $f_{ULPCLK}=f_{MCLK}$ となります。

ただし、MCLK が高速クロック (SYSPLL、HFXT、HFCLK_IN) から動作するように構成されている場合、ハードウェアは MCLK/4 分周器に戻ります。この場合、MCLK/4 分周器を適切に設定することで、ULPCLK が RUN および SLEEP モードで 40MHz 以下であることを確認するのはアプリケーション ソフトウェアの責任です。

STOP モードおよび STANDBY モードでの ULPCLK の動作

- STOP モードでは、MCLK ツリーは SYSOSC から 4MHz で動作します。
- STANDBY モードでは、MCLK ツリー (また、その延長として ULPCLK) は、LFCLK (STANDBY0) から動作するか、ディセーブル (STANDBY1) になって消費電力を節約します。STANDBY1 では、ULPCLK を受信するタイマ ペリフェラルは限られています。

表 2-7. MSPM33C3 動作モード別 ULPCLK

選択された電力モード	構成	レジスタ設定	ULPCLK 周波数
RUN または SLEEP (最大 40MHz)	MCLK ソースは SYSOSC (RUN、SLEEP)	MCLKCFG.USEHSCLK = 0x0	ULPCLK は MCLK 構成に従って $f_{ULPCLK} = f_{MCLK}$ となるように MCLK から供給されます
	MCLK ソースは HSCLK (SYSPLL、HFXT、HFCLK_IN) (RUN、SLEEP)	MCLKCFG.USEHSCLK = 0x1	ULPCLK は MCLK 構成に従って $f_{ULPCLK} = f_{MCLK}/4$ となるように MCLK から供給されます
STOP (最大 4MHz)	SYSOSC をイネーブルにした状態で STOP	-	ULPCLK は、f_{ULPCLK} = 4MHz で SYSOSC から供給されます
STANDBY (最大 32kHz)	ULPCLK および LFCLK がイネーブル状態での STANDBY (STANDBY0)	MCLKCFG.STOPCLKSTBY = 0x0	ULPCLK は、$f_{ULPCLK} = f_{LFCLK}$ = 32kHz で LFCLK から供給されます
SHUTDOWN (オフ)	-	-	ULPCLK がオフになります。

2.3.2.6 MFCLK (中間周波数クロック)

MFCLK は、デバイス上の各種ペリフェラルに連続的な 4MHz クロックを供給します。MFCLK 4MHz レートは、常に SYSOSC から生成されます。SYSOSC の周波数は 32MHz または 4MHz のどちらかになるため、SYSCTL は自動的に SYSOSC に分周を適用して、MFCLK を 4MHz で一定に保ちます。MFCLK は、RUN、SLEEP、STOP の各電力モードで固定クロック ソースを必要とするタイマやシリアル インターフェイスなどのペリフェラルで使用できます。

SYSRST 後、MFCLK は初期状態でディスエーブルになります。MFCLK は、SYSCTL の MCLKCFG レジスタで USEMFTICK を設定することで、ソフトウェアでイネーブルにできます。MFCLK は、RUN、SLEEP、STOP 電力モードでのみアクティブであり、MFCLK が動作するには SYSOSC をイネーブルにする必要があります。

すべての MFCLK エッジはメイン システム クロック (MCLK および ULPCLK) と同期しているため、MFCLK でクロックされるペリフェラルのレジスタは、特別な処理なしで、いつでも読み出しまたは書き込みが可能です。

ペリフェラルは、対応する CLKSEL マルチプレクサを使用して機能クロック ソースとして MFCLK を選択できます。MFCLK から動作するすべてのペリフェラルがサポートされているわけではありません。

STOP モードで MFCLK を使用する

MFCLK を STOP モードで使用する場合、SYSOSC は、STOP モードに移行すると自動的に 4MHz (低周波) に切り替わり、STOP モードから RUN モードへ復帰する際 (ギア シフト モード)、以前選択されていた周波数へ自動的に戻るように構成できます。MFCLK は 4MHz クロック ソースであるため、STOP モードで 4MHz で SYSOSC を動作させると、STOP モードでの消費電力を低減できます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

MFCLK を使用するための要件

1. MFCLK を使用するとき、MCLK が SYSOSC 以外から供給される場合は、MFCLK が正しく動作するように MCLK 周波数を 32MHz 以上にする必要があります。
2. MFCLK を使用するとき、MCLK が高速クロック (HSCLK) から供給される場合は、MCLK ソースを SYSOSC から HSCLK にスイッチングする前に、USEMFTICK ビットを設定して、アプリケーション ソフトウェアで MFCLK をイネーブルにする必要があります。MCLK が HSCLK から供給されている場合、USEMFTICK の状態を変更しないでください。
3. MCLKCFG レジスタで USEMFTICK を設定して MFCLK をイネーブルにすると、ハードウェアによって静的ポリシーと見なされます。USEMFTICK をクリアしないでください。

2.3.2.7 LFCLK (低周波数クリスタル クロック)

LFCLK は、デバイス上の各種ペリフェラルに連続的な 32kHz クロックを供給します。BOOTRST 後、LFCLK は最初に内部 32kHz 発振器 (LFOSC) から供給されます。ブート後、LFCLK はソフトウェアで、低周波数水晶発振器 (LFXT) または低周波数デジタル クロック入力 (LFCLK_IN) に切り替えることができます。LFCLK ソースのスイッチング手順については、該当する発振器のセクションを参照してください。LFCLK ソースを変更すると、変更はロックされ、LFOSC はディセーブルとなり消費電力を削減できます。

LFCLK は、RUN、SLEEP、STOP、STANDBY の各モードで動作します。STANDBY モードでは、ほとんどのペリフェラルに対して、ULPCLK と LFCLK の両方を同時に無効化することで、STANDBY モードの消費電力 (STANDBY) を最小限に抑えることができます。そのためには、STANDBY に移行する前に、SYSCTL の MCLKCFG レジスタの STOPCLKSTBY ビットを設定します。この状態では、RTC、TIMG0、TIMG1 のみがクロック供給されるペリフェラルです。VBAT の IWDT がイネーブルの場合、LFCLK ソースの選択に関係なく、LFOSC は ON のままです

2.3.2.8 HFCLK 高周波数外部クロック

高周波数外部クロック (HFCLK) は、高周波数外部クロック選択マルチプレクサの出力であり、高周波数発振器 (HFXT) 出力または高周波数デジタル クロック入力 (HFCLK_IN) のいずれかとして選択できます。

HFCLK は、以下のクロックのソースとして使用できます。

- MCLK クロックソース
- SYSPLL リファレンスクロック
- CANCLK クロックソース
- I2S クロック ソース

HFCLK は、RUN および SLEEP モードでのみ使用可能です。他のすべてのモードでは、HFXT 自体と同様に、HFCLK も SYSCTL によって自動的に無効化されます (イネーブルの場合)。

2.3.2.9 CANCLK (CAN-FD 機能クロック)

CANCLK は、HFCLK (HFXT または HFCLK_IN) または SYSPLL (SYSPLLCLK0) からのマルチプレクサ出力から CAN-FD モジュールに直接供給される機能クロックであり、専用のクロック分周器 EXTDIVCAN によって駆動されます。このクロックは、可能な限り高い精度を実現するため、メインクロック (MCLK) とは非同期のクロックとして CAN-FD モジュールに供給されます。CANCLK ソースは、GENCLKCFG レジスタの CANCLKSRC ビットを構成することにより、SYSCTL で選択します。CAN-FD ペリフェラル自体には、追加の CAN-FD クロック構成が含まれています (詳細については、CAN-FD の章を参照)。

2.3.2.10 I2SCLK (I2S 機能クロック)

I2SCLK は、HFCLK (HFXT または HFCLK_IN)、または SYSOSC または SYSPLL クロック分周出力から I2S モジュールに直接供給される機能クロックです。I2SCLK は、可能な限り高い精度を維持するため、メイン クロック (MCLK) から非同期になっています。I2SCLK クロックの構成は、I2S ペリフェラル自体に含まれています (詳細については、「I2S」の章を参照)。対応する選択は次のとおりです。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 2-8. RUN およびスリープ モードでの I2SCLK ソース選択

CLKCFG[1:0]	ソース選択
00	SYSOSC を選択
01	HFCLK を選択
10	SYSPLL クロックを選択
11	使用できません。

SYSPLL クロック ソースは、必要に応じてオーバーサンプリングを行えるように、オーディオ クロック水晶振動子をより高い複数の水晶振動子に合成するために使用されます。SYSPLL のクロック ソースの分周器が使用され、SYSPLL 出力周波数の分周により適切なオーディオ クロックを生成できるようになり、同時に、デバイスの性能として最高の MCLK を維持できます。

表 2-9. SYSPLL からの I2SCLK 分周器

GENCLKEN[17:16]	分割器設定
00	SYSPLL 4 分周器
01	SYSPLL 8 分周器
10	SYSPLL 12 分周器
11	SYSPLL 16 分周器

2.3.2.11 RTCCLK (RTC クロック)

RTCCLK は、リアルタイム クロック ペリフェラル用の唯一のクロック ソースです。RTC の重要な時間管理特性により、LFCLK がメイン クロック (MCLK) に同期する前に、RTC は LFCLK を直接供給します。また、システム クロック ツリーが STANDBY モードで完全にゲートされても、RTC はカウントを続行し、消費電力を低減できます。RTCCLK に特別な構成は必要ありません。RTC ロジックはシステム メイン クロックから非同期にクロックされるため、特定の RTC レジスタを読み取るときに特別なルールが適用されます。RTC レジスタの処理ルールについては、RTC の章を参照してください。

2.3.2.12 外部クロック出力 (CLK_OUT)

デバイスから外部回路、または周波数クロック カウンタにデジタル クロック信号を送信するためのクロック出力ユニットが用意されています。この機能は、クロック ソースを持たない外部 ADC などの外部回路へのクロック供給に役立ちます。クロック出力ユニットには、選択可能なソースの柔軟なセットがあり、プログラマブルな分周器が含まれています。

CLK_OUT で使用可能なクロック ソース:

- SYSPLLCLK1
- HFCLK
- SYSOSC
- ULPCLK
- LFCLK

選択したクロック ソースは、ピンまたは周波数クロック カウンタに出力する前に、1 (分周なし)、2、4、6、8、10、12、14、または 16 で分周できます。

クロック出力ユニットを使用するには、次の手順に従います。

1. CLK_OUT でデバイス ピンの CLK_OUT 機能を選択するように IOMUX を構成します。
2. GENCLKCFG レジスタの EXCLKSRC フィールドで、目的のクロック ソースを選択します。
3. 必要に応じて、GENCLKCFG レジスタの EXCLKDIVVAL フィールドに目的のクロック分周器を設定し、EXCLKDIVEN ビットをセットして分周器をイネーブルします。
4. GENCLKEN レジスタの EXCLKEN ビットを設定して、外部クロック出力を有効にします。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

CLK_OUT ソースが ULPCLK に選択されている場合、クロック分周器をイネーブルにする必要があります (EXCLKDIVEN を設定する必要があります)。

注

EXCLKEN ビットをクリアして CLK_OUT をディスエーブルにする際は、クロック ソースを 10 クロック サイクルにわたって動作させて EXCLKSRC マルチプレクサを安定させます。

注

CLK_OUT に選択されたクロック ソースをディスエーブルにする際は、クロック ソースがディスエーブルされたときに CLK_OUT をロジック Low (0) にすることが重要であれば、クロック ソースをディスエーブルにする前に CLK_OUT 機能をディスエーブルにすることを推奨します。CLK_OUT がイネーブルのままで、CLK_OUT のソースがディスエーブルの場合、CLK_OUT がロジック High (1) 状態で停止する可能性があります。

注

CLK_OUT ソースを SYSPLLCLK1 として選択する場合、SYSPLLCLK1 出力を 48MHz 以下にする必要があります。特定のデバイスおよびピンの IO 機能によっては、さらに速度制限があります。サポートされている IO 速度の詳細については、デバイス固有のデータシートの「デジタル IO 仕様」を参照してください。

2.3.2.13 インフラストラクチャ向けのダイレクト クロック接続

SYSOSC と LFCLK はどちらも、PMU のアナログマルチプレクサ VBOOST 回路に直接接続されており、COMP、ADC、OPA、GPAMP で使用されるアナログマルチプレクサの性能を向上させるために用いられます (ペリフェラルの利用可能性については、デバイス固有のデータシートを参照)。ペリフェラルが正常に動作するために VBOOST 回路を必要とする場合、自動的にイネーブルになります。VBOOST 回路の正常な動作をサポートできるように SYSOSC または LFCLK をイネーブルにするのは、アプリケーション ソフトウェアの責任です。VBOOST 回路に SYSOSC または LFCLK が必要であるにもかかわらず、クロックが利用できない場合、SYSCTL の CLKSTATUS レジスタで ANACLKERR がアサートされます。ANACLKERR がアサートされたときに SYSCTL 割り込みを発生させ、COMP、ADC、OPA、または GPAMP が正常に機能しないことをアプリケーションに警告するように SYSCTL を構成することもできます。

2.3.3 クロック ツリー

次の図に、MSPM33C3 ファミリ デバイスのトップ レベル クロック ツリーを示します。この図では、発振器 (送信元) とクロック (送信先) のマッピングと、選択マルチプレクサの SYSCTL レジスタ ビット フィールドを示しています。この図に示すように、すべてのデバイスにクロック システム機能が搭載されているとは限らないことに注意してください。

Copyright © 2026 Texas Instruments Incorporated

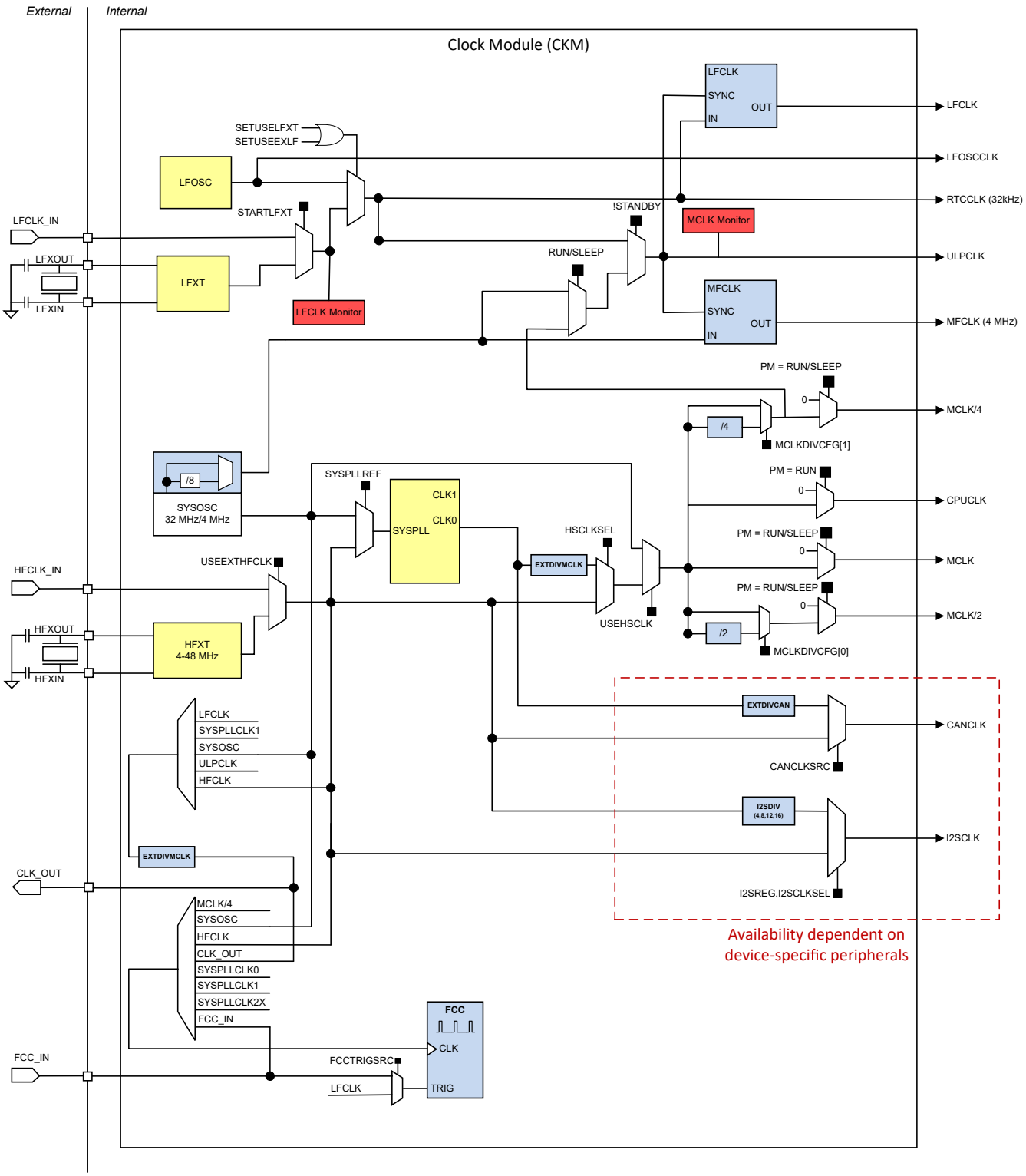


図 2-7. MSPM33C3 トップ レベル クロック ツリー

1. LFCLK と MFCLK はそれぞれ固定周波数 32kHz および 4MHz クロックであり、MCLK または ULPCLK がソースまたはレートを変更した場合でも、一定のクロック レートを保証するために、特定のペリフェラルによって選択できます。LFCK と MFCLK は常に互いに同期しており、MCLK と ULPCLK に同期しています。

Copyright © 2026 Texas Instruments Incorporated

2. 一部のペリフェラル (選択汎用タイマなど) は、ゲートなしの LFCLK と ULPCLK を受信するため、STOPCLKSTBY がアサートされて LFCLK と ULPCLK を他のすべてのペリフェラルにゲート接続するときに STANDBY1 でも動作を継続でき、STANDY モードでの追加の電力を節約できます。

2.3.3.1 ペリフェラル クロック ソースの選択

デバイス上のほとんどのペリフェラルには、ペリフェラルの機能クロックを選択 (オプションで分周) するために使用される入力クロック選択マルチプレクサが含まれています。図 2-8 に、スーパーセット ペリフェラル クロック選択マルチプレクサと、オプションのクロック分周器を示します。図 2-8 に示すように、すべてのペリフェラルにすべてのクロック ソースがあるわけではないことに注意してください。たとえば、CRC、AES、SHA、DMA などのアクセラレータは、バス クロックで動作します。これらのペリフェラルでは MFCLK または LFCLK を選択するオプションはありません。ペリフェラルで使用可能なクロック ソースを決定するには、各ペリフェラルの章を参照し、クロック入力の選択を確認します。

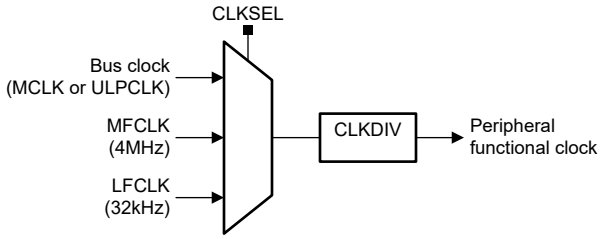


図 2-8. ペリフェラル クロック選択マルチプレクサおよび分周器

例外

独自のクロック選択方式を備え、上に示した標準的なペリフェラル クロック マルチプレクサを使用していないペリフェラルも複数存在します。通常これは、システムの他の部分とは非同期のクロック ソースをペリフェラルに搭載する必要があるためです。次のケースでこのような状況が発生します。

- リアルタイム クロック (RTC) において、RTCCLK が直接使用され、クロック選択オプションがない
- CAN-FD コントローラにおいて、CANCLK が PLL 出力または HFCLK を直接に設定できる (SYSCTL では CAN-FD 機能クロック ソースを選択)
- I2S コントローラにおいて、I2SCLK が、HFCLK (HFXT または HFCLK_IN)、あるいは SYSOSC または SYSPLL クロック分周出力から供給される

2.4 クロック モニタ

CKM が正常に機能していることを確認するために、複数のハードウェア クロック モニタが搭載されています。クロックの障害は SYSCTL によって処理され、致命的な障害の場合はブラウンアウト リセット、それ以外の場合は SYSCTL 割り込みが発生します。

2.4.1 LFCLK モニタ

低消費電力のアナログの連続的に動作するクロック モニタが搭載されており、LFCLK が内部で供給されない場合でも LFCLK が動作するようにします (たとえば、LFCLK が LFOSC ではなく LFXT や LFCLK_IN から供給される場合)。LFCLK モニタは、クロックのスタック故障をチェックすることのみを目的としています。LFCLK の周波数が特定の許容誤差内であることを検証するために使用することを意図したものではありません。

LFCLK モニタのイネーブル化

BOR リセットまたは致命的なクロック故障リセット後、LFCLK モニタは起動時にディスエーブルになります。

LFXTCTL レジスタの STARTLFXT ビットが設定されている場合、LFCLK モニタは LFXT を監視します。STARTLFXT ビットがクリアされたままの場合、LFCLK モニタは LFCLK_IN を監視します。

LFCLK モニタをイネーブルにする前に、ソース クロックが開始し、32kHz で動作していることを確認してください。STARTLFXT が設定されており、モニタが LFXT をチェックしている場合、LFXTGOOD モニタをイネーブルにする前に、

Copyright © 2026 Texas Instruments Incorporated

LFCLK 表示を待ちます。STARTLFXT がクリアされ、モニタが LFCLK_IN デジタル クロック入力をチェックしている場合は、LFCLK モニタをイネーブルにする前に、外部クロック信号がアクティブであることを確認してください。モニタの起動時に有効なクロックが存在しない場合、モニタは故障をアサートします。

LFCLK 連続モニタは、LFCLKCFG レジスタの MONITOR ビットを設定することでイネーブルできます。

注

LFCLK モニタは、イネーブル後にアクティブになるまでに 100µs を必要と要します。LFCLK モニタをイネーブルして、内部 LFOSC から LFCLK ソースを切り替える前に、LFXT または LFCLK_IN を監視できます。

LFCLK モニタの故障処理

LFCLK のスタック故障が検出されると、システム クロックの構成に応じて、システムは以下のいずれかの方法で応答します。

- LFCLK が ULPCLK のソースである場合、LFCLK 故障は致命的なものと見なされ、上昇した BOOTRST がアサートされます。このような状況の後、LFCLK は LFOSC から供給され、LFCLK モニタは ディスエーブルになります。
- 故障発生時または故障発生後に LFCLK が ULPCLK のソースでない場合、LFCLK フォルトはプロセッサに対してノンマスカブル割り込み (NMI) をアサートし、アプリケーションがただちに故障を処理して、必要なアクションを実行できるようにします。

注

通常の BOOTRST では、LFCLK ソースの選択と LFCLK モニタ構成はリセットされません。致命的なクロック故障に起因するこの上昇した BOOTRST のみが、LFCLK を遷移して LFOSC を選択します。

注

すべての BOOTRST シナリオでは、MCLK はベース周波数の SYSOSC から供給されます。

LFXT 障害後の LFOSC への切り替え

LFXT または LFCLK_IN の障害が検出され、システムレベル / PCB レベルの問題が原因で、外部クロックソースが信頼性の高い動作を妨げている場合、LFXT または LFCLK_IN を継続的に使用する代わりに、内部の 32kHz LFOSC に切り替えることが可能です。この場合、次の手順を実行することを推奨します。

1. **LFCLK モニタのイネーブル化**の手順に従って、LFXT または LFCLK_IN が LFCLK をソースとし、LFCLK モニタをイネーブルにするようにデバイスを構成します。
2. LFCLK モニタ故障を検出した場合:
   a. ULPCLK が LFCLK から供給されている場合、故障が発生すると BOOTRST が自動的に生成されます。
   b. ULPCLK が LFCLK から供給されていない場合、NMI が生成されます。NMI 処理では、LFCLK の故障が検出されると、アプリケーション ソフトウェアは ULPCLK を LFCLK に切り替えることができます。この動作により、ハードウェアがトリガされ、BOOTRST が自動的に生成されます。
3. BOOTRST の後、MCLK はベース周波数の SYSOSC から供給され、LFCLK は LFOSC から供給されます。アプリケーション ソフトウェアは、リセットの原因が致命的なクロック故障であることを確認して、どのような処置を講じるかを決定します。
   a. アプリケーション ソフトウェアは、LFXT/LFCLK_IN の使用を再度試みることがあります。LFCLK が再び故障した場合、アプリケーション ソフトウェアは上記の手順 2 に戻り、LFCLK を再度 LFOSC に切り替えることができます。
   b. LFCLK の障害数を追跡するために、アプリケーション ソフトウェアでは、診断情報をデバイスのシャットダウン メモリに格納できます。SHUTDNSTOREx メモリ位置は、BOOTRST によって保持されます。そのため、アプリケーション ソフトウェアは、LFCLK の障害の発生回数を追跡でき、その数値があるスレッショルドを超えた場合、アプリケーション ソフトウェアは、LFXT/LFCLK_IN を再度使用する代わりに、LFOSC を LFCLK ソースとして使い続けることを選択できます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

2.4.2 MCLK モニタ

デジタル クロック モニタは MCLK と組み合わせて使用できます。MCLK モニタは、1 ～ 12 LFCLK サイクル周期内で MCLK の動作が検知されなかった場合、MCLK フォルトをアサートします。MCLK フォルトはシステムにとって常に致命的とみなされ、BOOTRST を生成します。

MCLK モニタは、LFCLK が構成設定されて動作した後にイネーブルにできます。MCLK モニタをイネーブルにするには、SYSCTL の MCLKCFG レジスタの MCLKDEADCHK ビットを設定します。イネーブルのとき、MCLK モニタは STANDBY1 と SHUTDOWN を除くすべての動作モードで動作します。

2.4.3 スタートアップ モニタ

システム内のクロック供給源としてソフトウェアによって選択される前に、LFOSC、LFXT/LFCLK_IN、HFXT/HFCLK_IN、SYSPLL、HSCLK ソースが動作していることをアプリケーション ソフトウェアが確認できるよう、クロック スタートアップ モニタが用意されています。クロック ソースが正常に開始され、準備が整うと、SYSCTL の CLKSTATUS レジスタに「GOOD」が表示され、割り込みが生成されます。スタートアップ モニタは、関連するクロック システム設定が変更された場合にのみステータスを表示します。最初に「GOOD」の表示が出ると、クロックはスタートアップ モニタによって継続的に監視されません。LFCLK と MCLK については、継続的な監視が行われます。

2.4.3.1 LFOSC スタートアップ モニタ

LFOSC の起動には、ある程度の時間を要します。LFOSC の起動が完了したときにアプリケーション ソフトウェアに通知するため、スタートアップ モニタが用意されており、その時点で、ペリフェラルで LFCLK を使用できるようになります。LFSOSC の起動が完了すると、LFOSC スタートアップ モニタは SYSCTL の CLKSTATUS レジスタの LFOSCGOOD ビットをアサートし、LFOSCGOOD 割り込みをアサートしてアプリケーションに通知します。LFOSC の立ち上がり時間については、デバイス固有のデータシートを参照してください。

2.4.3.2 LFXT スタートアップ モニタ

LFXT は、イネーブルになってから起動するまでに時間がかかります。LFXT が正常に起動したことをアプリケーション ソフトウェアに通知するスタートアップ モニタが用意されており、この時点で LFXT を LFCLK のソースとして選択できるようになります。LFXT の起動が完了すると、LFXT スタートアップ モニタは SYSCTL の CLKSTATUS レジスタの LFXTGOOD ビットをアサートし、LFXTGOOD 割り込みがアサートされてアプリケーションに通知します。LFXT の立ち上がり時間については、デバイス固有のデータシートを参照してください。

2.4.3.3 HFCLK スタートアップ モニタ

HFXT は、イネーブルになってから起動するまでに時間がかかります。HFXT が正常に起動したことをアプリケーション ソフトウェアに通知するスタートアップ モニタが用意されており、この時点で HFCLK を選択してさまざまなシステム機能をソースできます。HFCLK スタートアップ モニタは、HFCLK_IN デジタル クロック入力でクロック スタック フォルトのチェックもサポートしています。

HFCLK スタートアップ モニタをイネーブルにするには、SYSCTL の HFCLKCLKCFG レジスタの HFCLKFLTCHK ビットをクリアします (デフォルト状態は無効)。

HFXT が開始されるか、または HFCLK_IN が HFCLK ソースとして選択されると、SYSCTL の CLKSTATUS レジスタの HFCLKGOOD ビットと HFCLKOFF ビットがクリアされます。

HFXT を使用している場合は、指定した HFXT 起動時間が経過すると、HFXT ステータスがテストされます。HFXT が正常に開始されると、HFXT スタートアップ モニタは CLKSTATUS レジスタの HFCLKGOOD ビットをアサートし、HFCLKGOOD 割り込みもアサートされます。指定された起動時間内に HFXT が起動しなかった場合は、HFCLKOFF ビットがセットされ、起動時に HFXT が停止していたことを示します。

HFCLK_IN を使用する場合、HFCLK_IN を選択した後にクロック スタック チェックが実行されます。クロックが動作中の場合、CLKSTATUS レジスタの HFCLKGOOD ビットがセットされ、HFCLKGOOD 割り込みもアサートされます。HFCLK_IN 信号がスタックの場合、CLKSTATUS レジスタの HFCLKOFF ビットがセットされ、HFCLK_IN が動作していないことを示します。

Copyright © 2026 Texas Instruments Incorporated

必要に応じて、SYSCTL の HFCLKCLKCFG レジスタの HFCLKFLTCHK ビットをセットしたままにすることで、HFCLK スタートアップ モニタで HFCLK をチェックすることができます。

注

STOP 低消費電力モードまたは STANDBY 低消費電力モードに移行する前に、HFCLK は安定した状態になっている必要があります。STOP または STANDBY に入る前に、HFCLKGOOD ビットまたは HFCLKOFF ビットが設定されていることを確認してください。

2.4.3.4 SYSPLL スタートアップ モニタ

SYSPLL は、イネーブルになってから起動して安定するまでに時間がかかります。SYSPLL が正常に起動したことをアプリケーション ソフトウェアに通知するスタートアップ モニタが用意されており、起動完了後は、SYSPLL からのクロック出力を選択して、さまざまなシステム機能をソースできます。

SYSPLL が起動すると、SYSCTL の CLKSTATUS レジスタの SYSPLLGOOD ビットと SYSPLLOFF ビットがクリアされます。スタートアップ / セトリング タイム時間が経過した後、SYSPLL のステータスが確認されます。SYSPLL が正常に開始されると、SYSPLL スタートアップ モニタは CLKSTATUS レジスタの SYSPLLGOOD ビットをアサートし、SYSPLLGOOD 割り込みもアサートされます。指定された時間内に SYSPLL が起動しなかった場合は、SYSPLLOFF ビットが設定され、起動時に SYSPLL が停止していたことを示します。

注

STOP 低消費電力モードまたは STANDBY 低消費電力モードに移行する前に、SYSPLL は安定した状態になっている必要があります。STOP または STANDBY に入る前に、SYSPLLGOOD ビットまたは SYSPLLOFF ビットが設定されていることを確認してください。

2.4.3.5 HSCLK のステータス

HSCLK には、HFCLK または SYSPLL が供給されます。SYSCTL の CLKSTATUS レジスタは、選択した HSCLKGOOD と HSCLKDEAD 通知を提供します。これは、選択した HSCLK ソースが正常に起動したか (「GOOD」ステータス)、あるいは失敗したか (「DEAD」ステータス) を示します。HSCLKGOOD が設定されていない場合、要求されたとしても、SYSCTL は MCLK を HSCLK に切り替えることはありません。

さらに、すべての HSCLK ソース (SYSPLL、HFCLK) がオフ (ディスエーブル) になっているか、DEAD ステータスで起動開始されているかを示すため、CLKSTATUS には HSCLKSOFF ビットが用意されています。

2.5 周波数クロック カウンタ (FCC)

周波数クロック カウンタ (FCC) を使用すると、デバイス上の各種発振器とクロックのテストとキャリブレーションを柔軟にインシステムで実施できます。FCC は、(2 次基準ソースから派生した) 既知の固定トリガ期間内に、選択したソース クロックで観測されるクロック周期の数をカウントし、ソース クロックの周波数を推定します。

アプリケーション ソフトウェアは、FCC を使用して、以下のソース発振器とクロックの周波数を測定できます (GENCLKCFG レジスタの FCCSELCLK フィールドで選択)。

- MCLK/4
- SYSOSC
- HFCLK
- CLK_OUT
- SYSPLL (3 つの SYSPLL 出力のいずれか)
- 外部 FCC 入力 (FCC_IN)

ソース クロックのパルスがカウントされるトリガ時間を設定するために使用される基準クロックは、構成可能 (GENCLKCFG レジスタの FCCTRIGSRC フィールドを使用) であり、以下で駆動できます。

- 外部 FCC 入力 (FCC_IN)
- LFCLK
- LFOSC、LFXT、LFCLK_IN のマルチプレクサの出力 (32kHz)

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

トリガ時間は、次の 2 つの方法のいずれかで設定できます (GENCLKCFG レジスタの FCCLVLTRIG フィールドを使用)。

- レベル トリガ (基準クロック入力の 1 つの立ち上がりエッジから 1 つの立ち下がりエッジまで)。レベル トリガを使用している場合、LFCLK_IN をトリガ クロック ソースとして使用できないことに注意してください。
- 基準クロックで定義されたクロック周期数にわたり、立ち上がりエッジから立ち上がりエッジまでトリガ (GENCLKCFG レジスタの FCCTRIGCNT フィールドで 1 ～ 32 を選択可能)

レベルトリガ モードでトリガ ソースが外部 FCC 入力として選択されている場合、FCC_IN ピンに目的のトリガ長のロジック High パルスを印加することで、ユーザー指定のカウント期間を設定できます。

トリガ ソースが LFXT として選択されている場合、立ち上がりエッジから立ち上がりエッジ トリガを使用すると、FCC は LFXT (30.5µs) の 1 ～ 32 32.768kHz クロック周期内に発生したソース クロック パルスの数をキャプチャします。

FCC カウンタは 22 ビットで、0 ～ 2^{22} – 1 または 4 194 303 のカウントをサポートしています。

外部 FCC 入力 (FCC_IN 機能) は FCC クロック ソースまたは FCC トリガ入力として使用できますが、同じ FCC キャプチャ中に両方の機能に使用することはできません。FCC クロック ソースまたは FCC トリガとして構成する必要があります。

2.5.1 FCC の使用

FCC_IN トリガによる立ち上がりエッジから立ち上がりエッジまでのトリガ モード

以下の手順では、FCC_IN ピンをリファレンス クロック、SYSOSC をソース クロックとして選択し、リファレンス クロックによって設定されたトリガ期間内のソース クロック パルス数を FCC でカウントする方法を説明します。この例は、FCC_IN ピンに外部から供給される正確なクロック ソースを基準として、SYSOSC 周波数をキャリブレーションするのに役立ちます。

1. GENCLKCFG レジスタの FCCSELCLK フィールドを構成して、ソース クロックを SYSOSC に設定します。
2. GENCLKCFG レジスタの FCCTRIGSRC ビットをクリアして、基準クロックを FCC_IN に設定します。
3. GENCLKCFG レジスタの FCCLVLTRIG ビットをクリアすることで、立ち上がりエッジから立ち上がりエッジまでのトリガを選択します。
4. GENCLKCFG レジスタの FCCTRIGCNT フィールドで、ソース クロックをカウントするために必要なリファレンス クロック周期の数を選択します。
5. 続行する前に、目的の周波数で SYSOSC がイネーブルになっており、FCC_IN に接続された外部クロック ソースが正しく動作していることを確認してください。
6. FCCCMD レジスタに GO ビットと KEY フィールドを書き込んで、次のトリガ クロック周期で FCC キャプチャを開始します。
7. CLKSTATUS レジスタの FCCDONE ステータス ビットをポーリングします。キャプチャが完了すると、FCCDONE はハードウェアによって設定されます。FCCDONE は読み取り専用で、新しいキャプチャが開始されるとハードウェアによって自動的にクリアされます。
8. 結果のカウントを FCC レジスタの 22 ビット DATA フィールドから抽出します。

LFXT トリガによる立ち上がりエッジから立ち上がりエッジまでのトリガモード

以下の手順では、LFXT をリファレンス クロック、SYSOSC をソース クロックとして選択し、FCC を使用してリファレンス クロック周期内のソース クロック パルス数をカウントする方法を説明します。この例は、正確な 32.768kHz ウォッチ クリスタルを基準として SYSOSC 周波数をキャリブレーションする場合に役立ちます。

1. GENCLKCFG レジスタの FCCSELCLK フィールドを構成して、ソース クロックを SYSOSC に設定します。
2. GENCLKCFG レジスタの FCCTRIGSRC ビットを設定して、リファレンス クロックを LFXT に設定します。
3. GENCLKCFG レジスタの FCCLVLTRIG ビットをクリアすることで、立ち上がりエッジから立ち上がりエッジまでのトリガを選択します。
4. GENCLKCFG レジスタの FCCTRIGCNT フィールドで、ソース クロックをカウントするために必要なリファレンス クロック周期の数を選択します。

Copyright © 2026 Texas Instruments Incorporated

5. 続行する前に、目的の周波数で SYSOSC がイネーブルになっており、LFXT が正しく動作していることを確認してください。
6. FCCCMD レジスタに GO ビットと KEY フィールドを書き込んで、次のトリガ クロック周期で FCC キャプチャを開始します。
7. CLKSTATUS レジスタの FCCDONE ステータス ビットをポーリングします。キャプチャが完了すると、FCCDONE はハードウェアによって設定されます。FCCDONE は読み取り専用で、新しいキャプチャが開始されるとハードウェアによって自動的にクリアされます。
8. 結果のカウントを FCC レジスタの 22 ビット DATA フィールドから抽出します。SYSOSC が 32MHz で動作し、FCCTRIGCNT が「0」(リファレンス クロック 1 周期分) に設定されていた場合、32.768kHz の 1 周期内でカウントされる値は約 976 サイクルになるはずです。
   a. 24MHz 動作用に SYSOSC をキャリブレーションするには、約 732 サイクルがカウントされるまで SYSOSC ユーザー トリムを調整する必要があります。
   b. 16MHz 動作用に SYSOSC をキャリブレーションするには、約 488 サイクルがカウントされるまで SYSOSC ユーザー トリムを調整する必要があります。

   一般に、FCCTRIGCNT の値を大きくすると測定精度が向上しますが、測定時間が長くなります。

FCC_IN トリガと HFCLK_IN クロックによるレベル トリガ モード

以下の手順では、HFCLK_IN をソース クロックとして選択し、外部リファレンス パルスのウィンドウ内でソース クロックのパルス数をカウントするために FCC を使用する方法を説明します。この例は、外部信号によって駆動される固定パルス幅を基準として、外部クロック ソースの周波数を測定するのに役立ちます。

1. GENCLKCFG レジスタの FCCSELCLK フィールドを構成して、ソース クロックを HFCLK に設定します。
2. GENCLKCFG レジスタの FCCTRIGSRC ビットをクリアすることで、トリガ クロックを FCC_IN ピン機能に設定します。
3. GENCLKCFG レジスタの FCCLVLTRIG ビットを設定してトリガ レベルを設定します。
4. IOMUX が FCC_IN 用に構成され、HFCLK が HFCLK_IN 用に構成され、外部クロックが HFCLK_IN を供給していることを確認します。
5. FCC_IN がロジック High になったときに FCC キャプチャを開始するには、GO ビットと KEY フィールドを FCCCMD レジスタに書き込みます。GO がアサートされたときに FCC_IN がすでにロジック High になっている場合、カウントは直ちに開始されることに注意してください。レベル モードを使用する場合、GO が設定された時点で FCC_IN は Low レベルである必要があり、GO の設定後にトリガ パルスを FCC_IN に送信する必要があります。
6. CLKSTATUS レジスタの FCCDONE ステータス ビットをポーリングします。キャプチャが完了すると、FCCDONE はハードウェアによって設定されます。FCCDONE は読み取り専用で、新しいキャプチャが開始されるとハードウェアによって自動的にクリアされます。
7. 結果のカウントを FCC レジスタの 22 ビット DATA フィールドから抽出します。

FCC_IN トリガと HFCLK_IN クロックによるレベル トリガ モード

以下の手順では、HFCLK_IN をソース クロックとして選択し、外部リファレンス パルスのウィンドウ内でソース クロックのパルス数をカウントするために FCC を使用する方法を説明します。この例は、外部信号によって駆動される固定パルス幅を基準として、外部クロック ソースの周波数を測定するのに役立ちます。

1. GENCLKCFG レジスタの FCCSELCLK フィールドを構成して、ソース クロックを HFCLK に設定します。
2. GENCLKCFG レジスタの FCCTRIGSRC ビットをクリアすることで、トリガ クロックを FCC_IN ピン機能に設定します。
3. GENCLKCFG レジスタの FCCLVLTRIG ビットを設定してトリガ レベルを設定します。
4. IOMUX が FCC_IN 用に構成され、HFCLK が HFCLK_IN 用に構成され、外部クロックが HFCLK_IN を供給していることを確認します。
5. FCC_IN がロジック High になったときに FCC キャプチャを開始するには、GO ビットと KEY フィールドを FCCCMD レジスタに書き込みます。GO がアサートされたときに FCC_IN がすでにロジック High になっている場合、カウントは

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

直ちに開始されることに注意してください。レベル モードを使用する場合、GO が設定された時点で FCC_IN は Low レベルである必要があり、GO の設定後にトリガ パルスを FCC_IN に送信する必要があります。

6. CLKSTATUS レジスタの FCCDONE ステータス ビットをポーリングします。キャプチャが完了すると、FCCDONE はハードウェアによって設定されます。FCCDONE は読み取り専用で、新しいキャプチャが開始されるとハードウェアによって自動的にクリアされます。
7. 結果のカウントを FCC レジスタの 22 ビット DATA フィールドから抽出します。

2.5.2 FCC 周波数の計算と精度

トリガ時間が判明している場合、ソース クロックの周波数はキャプチャの後に計算できます。周波数は、トリガ時間でキャプチャされたソース クロック サイクル数を除算することで計算されます。たとえば、トリガ ソースが 32.768kHz クロックで、トリガ モードが立ち上がりエッジから立ち上がりエッジまでで、周期カウントが 1 の場合、トリガ時間は 32.768kHz クロック周期 (30.5µs) になります。キャプチャされたソース カウントが 122 に戻った場合、ソース クロックの周波数は 122 を 30.5µs で除算して計算され、ソース クロック周波数は約 3.99MHz となります。

$$f_{source} = FCC.DATA / ((GENCLKCFG.FCCTRIGCNT+1) / f_{ref}) \quad (10)$$

FCC の精度は、トリガ クロックの精度と、キャプチャされるクロック サイクル総数によって異なります。トリガとソース クロックの同期に起因する FCC の固有誤差は、1 回のキャプチャあたりソース クロック 2 サイクル以下です。したがって、より多くのサイクルがカウントされる (トリガ時間が長くなったり、ソース クロック周波数が増加したりする) と、これら 2 つのクロック サイクルの影響は減少します。1 つの 32.678kHz 周期 (FCCTRIGCNT = 0) と 32 クロック周期 (FCCTRIGCNT = 31) を基準として測定した、各種ソース クロック周波数における FCC 固有誤差の概算値を 表 2-10 に示します。

表 2-10. FCC 誤差

使用事例 (ソース クロック周波数)	FCC トリガ時間	FCC カウント結果	FCC カウントの不確定性	FCC 固有の不確定性誤差の概算
4MHz ソース クロック	30.5µs	122	2 サイクル	1.6%
	976.6µs	3906		0.05%
32MHz ソース クロック	30.5µs	976		0.20%
	976.6µs	31250		0.01%
80MHz ソース クロック	30.5µs	2441		0.08%
	976.6µs	78125		0.003%

注

FCC_IN 信号を使用する場合、測定の不確実性を最小限に抑えるため、FCC_IN ピンに 10ns 以下の高速なスルーレートを設定することを推奨します。

2.6 システム コントローラ (SYSCTL)

システム コントローラ (SYSCTL) には、PMU および CKM アナログ回路の構成と状態を管理するためのすべての制御ロジックが含まれています。SYSCTL は、リセット管理、NRST および SWD ピン多重化制御、フラッシュ バンク スワップ制御も備えています。

すべての電源、クロック、およびリセットの構成は、SYSCTL の メモリ マップト レジスタ インターフェイスを使用して行われます。

2.6.1 リセットおよびデバイス初期化

SYSCTL は、デバイスのリセット レベルとデバイスの初期化を管理します。

2.6.1.1 リセット レベル

このデバイスには 5 つのリセット レベルがあります。

Copyright © 2026 Texas Instruments Incorporated

1. パワー オン リセット (POR)
2. 電圧低下リセット (BOR)
3. ブート リセット (BOOTRST)
4. システム リセット (SYSRST)
5. CPU リセット (CPURST)

リセット レベル間の関係を図 2-9 に示します。

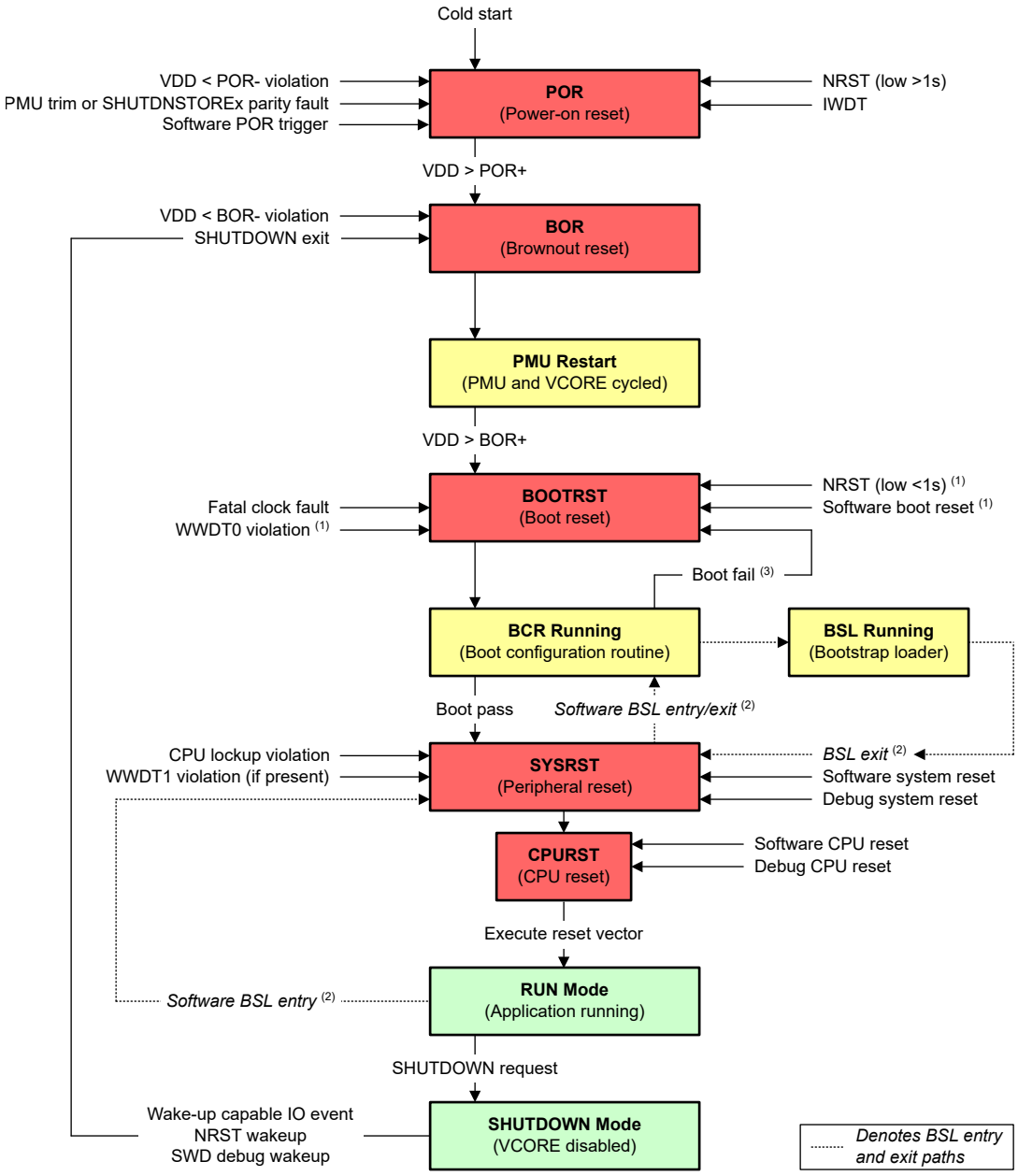


図 2-9. デバイス リセット レベル

(1) NRST (LOW、1 秒未満)、ソフトウェア ブート リセット、または WWDT0 違反によってトリガされた BOOTRST は、ブート構成ルーチンを実行します。LFXT または LFCLK_IN で使用される IO ピンの RTC、LFXT、LFCLK、LFCLK_IN、IOMUX 構成はリセットされません。これにより、RTC は外部リセット トリガを使用して時間を維持できます。

Copyright © 2026 Texas Instruments Incorporated

(2) ソフトウェアトリガ ブートストラップ ローダ (BSL) エントリ コマンドでは、最初に SYSRST がトリガされ、その後、BSL を開始する前に BSL エントリを認証するためブート構成ルーチン (BCR) が実行されます。BSL 実行が完了すると、SYSRST が生成され、BCR が再度実行されます。BCR が完了すると、最終的な SYSRST が発行され、アプリケーションが起動します。このプロセス全体では、SYSRST リセット レベルのみがアサートされるため、RTC、LFXT/LFCLK/LFCLK_IN、LFXT または LFCLK_IN で使用される任意の IO ピンの IOMUX 構成、および SYSOSC FCL イネーブル構成をリセットする必要はありません。これにより、RTC は外部リセット トリガを使用して時間を維持できます。

(3) ブート構成ルーチンの実行中にブート失敗が発生した場合、SYSCTL によって BOOTRST を生成し、BOOTRST レベルからブート プロセスを再試行できます。「ブート失敗時の処理」を参照してください。

注

SLEEP、STOP、STANDBY 動作モードは、この図には示されていません。リセット レベルがアサートされる原因となる例外が発生したり、モードが中断されたりしない限り、これらのモードは RUN モードから開始され、RUN モードに戻ります。

2.6.1.1.1 パワーオン リセット (POR) リセット レベル

パワーオン リセット (POR) は、完全なデバイス リセットです。

以下の条件で POR が生成されます。

- デバイスの電源投入 (コールド スタート)
- POR 電源モニタ違反 (VDD が POR 電源モニタ負方向スレッショルドを下回った場合)
- PMU トリム データまたはシャットダウン メモリのパリティ障害
- ソフトウェアが SYSCTL (RESETLEVEL 0x03) 経由で POR をトリガ
- NRST モードで、NRST ピンが 1 秒以上 Low レベルに保持
- VBAT ドメイン WDT または独立ウォッチドッグ タイマ (IWDT)

POR は常にシャット ダウン メモリをリセットし、NRST/SWD ピン機能を再度イネーブルにして (ディスエーブルの場合)、BOR をトリガします。

2.6.1.1.2 ブラウンアウト リセット (BOR) リセット レベル

ブラウンアウト リセット (BOR) は、デバイスのパワー マネージメント ユニット (PMU) をリセットします。VCORE から電力を供給されるすべてのレギュレートされたコア ロジックは、パワーサイクルが行われます。

以下の条件で BOR が生成されます。

- POR
- BOR0- 電源モニタ違反 (VDD が BOR0- 電源モニタの下限スレッショルド電圧レベルを下回る)
- SHUTDOWN モードがアクティブな状態での、同モードからの復帰 (ウェークアップ対応 IO、NRST、SWD によるもの)

以下は BOR でリセットされません。

- デバイスに SHUTDOWN ダウンモードが存在する場合、シャットダウン メモリ (SHUTDNSTOREx)
- ソフトウェアによって無効にされている場合、NRST の状態
- ソフトウェアによって無効にされている場合、SWD の状態
- SHUTDOWN モードがアクティブで、かつ BOR の原因が SHUTDOWN モードからの復帰である場合、ラッチされた IO ピンの状態 (「SHUTDOWN モードの処理」を参照)

BOR は、VDD が BOR0+ (ブラウンアウト電源モニタの上限スレッショルド電圧レベル) を超えると、常に BOOTRST をトリガします。

2.6.1.1.3 ブート リセット (BOOTRST) リセット レベル

ブート リセット (BOOTRST) はデバイスのブート構成ルーチンの実行をトリガし、コア ロジックの大部分、システム メモリ (SRAM)、および SYSOSC の FCL モード (有効な場合) をリセットします。

Copyright © 2026 Texas Instruments Incorporated

BOOTRST が致命的なクロック障害によるものでない限り、BOOTRST はシステムの低消費電力クロック構成 (RTC、LFCLK、LFXT、LFCLK_IN、およびこれらの機能に関連する IOMUX 構成) をリセットしません。

その結果、LFXT または LFCLK_IN から LFCLK が動作するように構成されている場合、NRST ピン BOOTRST 条件またはソフトウェアによってトリガされる BOOTRST 条件が発生しても、LFCLK はデフォルトの内部発振器 (LFOSC) にはリセットされません。LFCLK は LFXT または LFCLK_IN から動作し続け、再構成できません。これにより、RTC は外部リセット中も時間基準を維持できます。

次の条件で BOOTRST が生成されます。

- BOR
- 致命的なクロック障害 (「LFCLK モニタ」および「MCLK モニタ」を参照)
- WWDT0 違反
- ソフトウェアが SYSCTL 経由で BOOTRST をトリガ *(RESETLEVEL 0x01)*
- NRST モードで、NRST ピンが最小リセット パルス時間よりも長く、かつ 1 秒未満の間、Low レベルに保持される
- BOOTRST に続きブート障害が発生 (失敗したブート シーケンスを再試行)

以下は BOOTRST によってリセットされることはありません。

- SHUTDOWN モードが存在する場合、シャットダウン メモリ (SHUTDNSTOREx)
- ソフトウェアによって無効にされている場合、NRST の ディスエーブル状態
- ソフトウェアによって無効にされている場合、SWD の ディスエーブル状態
- これらの機能の RTC、LFCLK、LFXT、LFCLK_IN、および関連する IOMUX 構成 (BOOTRST の原因が致命的なクロック障害ではなかった場合)

BOOTRST の後、ブート構成ルーチンが正常に完了すると、SYSRST がトリガされます。ブート構成ルーチンが正常に完了しなかった場合、BOOTRST が生成され、BOOTRST ポイントからブート プロセスが再度試行されます。ブート処理は最大 3 回まで正常な完了を試みますが、それを超えると、BOR または POR リセットが発生するまでデバイスの状態はロックされます (「ブート失敗時の処理」を参照)。

2.6.1.1.4 システム リセット (SYSRST) リセット レベル

システム リセットは、以下に示す例外を除き、CPU とすべてのペリフェラルの状態をクリアします。

以下の条件で SYSRST が生成されます。

- BOOTRST の後にブート パスが続く
- ソフトウェアが SYSCTL (RESETLEVEL 0x02) 経由で BSL エントリを使用して SYSRST をトリガ
- ブートストラップローダ (BSL) が終了 (存在する場合) し、その後常にブート構成ルーチン (BCR) が実行される
- WWDT1 違反 (存在する場合)
- ソフトウェアが SYSCTL (RESETLEVEL 0x00) 経由で SYSRST をトリガ
- デバッグ サブシステムがシステム リセットをトリガ

以下は SYSRST でリセットされません。

- シャット ダウン メモリ (SHUTDNSTOREx) (存在する場合)
- ソフトウェアによって無効にされている場合、NRST の状態
- ソフトウェアによって無効にされている場合、SWD の状態
- LFXT/LFCLK_IN で使用するように構成された、任意の IO ピンの IOMUX 設定を含む、RTC、LFCLK、LFXT/LFCLK_IN 構成
- ソフトウェアでイネーブルになっている場合、SYSOSC 周波数補正ループ (FCL)

ほとんどの場合、デバイスは SYSRST 後に RUN モードになり、CPU はリセット ベクタを実行してアプリケーションソフトウェアの実行を開始します。

これには例外があります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- BSL エントリ要求を使用して SYSRST がトリガされた場合、BCR が実行され、その後 BSL が実行されます。
- BSL の終了要求により SYSRST がトリガされた場合、BCR が実行され、続いて追加の SYSRST が実行された後、アプリケーション ソフトウェアが起動します。

2.6.1.1.5 CPU のみのリセット (CPURST) リセットレベル

CPU のみのリセットは、CPU ロジックの状態のみをクリアします。ペリフェラルの状態は、CPU リセットの影響を受けません。CPU リセットは、CPU AIRCR ローカル レジスタを介して、ソフトウェアまたはデバッグ サブシステムによってのみ生成されます。

2.6.1.2 電源投入後の初期条件

POR 後、ブート処理が完了し、CPU がアプリケーションの実行を開始した時点でのデバイスの初期状態は次のとおりです。

- NRST ピンは NRST モードに設定されています
- シリアル ワイヤ デバッグ (SWD) IO は SWD モードに構成されています (SWDIO は High、SWCLK は Low)
- 他の構成可能な I/O ピンはすべて、デバイスのデータシートに特に記述のない限り ハイ インピーダンスです (Hi-Z)。
- ペリフェラル モジュールは、このマニュアルの各章の説明に従ってリセットされています
- デバイスは RUN モードです
- MCLK は内部 SYSOSC からベース周波数で供給されます
- LFCLK には内部 LFOSC から供給されます (LFCLK を使用する際、LFOSC は起動時間を要することに注意してください)
- MFCLK はディセーブルになります。
- SYSPLL はディセーブルになります。
- HFXT はディセーブルになります。
- ペリフェラルはディセーブルです
- ブート時に書き込み保護として設定されたフラッシュ セクタは、書き込み保護されます

2.6.1.3 NRST ピン

コールド スタート後、NRST ピンは NRST モードに設定されます。デバイスが正常に起動するには、NRST ピンが HIGH である必要があります。NRST には内部プルアップ抵抗はありません。外部回路 (VDD へのプルアップ抵抗またはリセット制御回路) は、デバイスを起動するために NRST をアクティブに HIGH にする必要があります。デバイス起動後、1 秒未満の NRST への Low パルスは BOOTRST をトリガします。NRST の LOW パルスが 1 秒を超えて保持されると、POR がトリガされます。

ピン数の少ないデバイスの中には、NRST ピンを GPIO ピンに再構成する機能をサポートしているものもあります。GPIO 機能が NRST と共有されているかどうかを確認するには、デバイス固有のデータシートのピン構成を参照してください。アプリケーション ソフトウェアでは NRST ピンの NRST 機能をディスエーブルにし、GPIO 機能をイネーブルにすることができます。NRST をディスエーブルにするには、EXRSTPIN レジスタの DISABLE ビットを KEY とともに設定します。次に、目的の機能に合わせて IOMUX を構成します。

NRST ピン機能がディスエーブルになった後は、POR リセット後にのみ NRST ピン機能を再度イネーブルにできます。

2.6.1.4 SWD ピン

すべてのデバイスには、2 つのシリアル ワイヤ デバッグ (SWD) ピンがあります。SWDIO と SWCLK

コールド スタート後、SWD ピンは SWD モードに構成され、デバッグ接続を確立できます。

- SWDIO (シリアル ワイヤ データ入力 / 出力) ピンは IOMUX で構成され、プルアップはイネーブルになります
- SWCLK (シリアル ワイヤ クロック) ピンは IOMUX で構成され、プルダウンはイネーブルになります

デバッグのサポートが不要になった場合にアプリケーションでこれらのピンを使用できるように、ソフトウェアで SWD ピンを汎用 IO (GPIO) として再構成することもできます。SWD 機能をディスエーブルにするには、SYSCTL の SWDCFG レジスタの DISABLE ビットを KEY とともに設定します。次に、目的の機能に合わせて IOMUX を構成します。

Copyright © 2026 Texas Instruments Incorporated

SWD ピン機能がディスエーブルになった後は、POR をトリガしてのみ再度イネーブルにできます。

2.6.1.5 ソフトウェアでリセットを生成する

ソフトウェアは、SYSCTL に適切なコマンドを発行することで、ソフトウェア POR、ソフトウェア BOOTRST、ブートストラップ ローダ (BSL) エントリ付きソフトウェア SYSRST、またはソフトウェア SYSRST を生成できます。リセットを発行するには、まず SYSCTL の RESETLEVEL レジスタで目的のリセットレベルを選択します。次に、RESETCMD レジスタの GO ビットと KEY 値を設定します。

表 2-11. ソフトウェアで生成された SYSCTL リセット コマンド

レベル	アクション
0x0	ソフトウェア SYSRST
0x1	ソフトウェア BOOTRST
0x2	ソフトウェア SYSRST (BSL エントリ付き)
0x3	ソフトウェア POR

CPU のみをリセットするリセット (CPURST) も利用可能で、このリセットは周辺モジュールをリセットせず、AIRCR ローカル CPU レジスタの SYSRESETREQ ビットを設定することで、デバイス CPU 内のソフトウェアからトリガできます。詳細については、「CPU サブ システム」の章を参照してください。

ソフトウェアから BSL を開始 (存在する場合)

ソフトウェア トリガによる BSL エントリ (RESETLEVEL 0x02) は、SYSRST の特別なケースであり、アプリケーション ソフトウェアが ROM ブートストラップ ローダ (BSL) を開始するためのメカニズムを提供します。通常実行モードでの通常のソフトウェア実行中は、ブートローダー コードに直接ジャンプすることはできません。アプリケーション ソフトウェアがソフトウェア トリガによる BSL エントリ (RESETLEVEL 0x02) を命令すると、まず SYSRST が生成され、その後ブート構成ルーチン (認証用) が実行されます。続いて、(デバイスのセキュリティ ポリシーで BSL が有効に設定されている場合) BSL が開始されます。

BSL の実行が完了すると、二回目の SYSRST が発行され、BCR が実行されます。BCR が完了すると、最後の SYSRST がアサートされ、システムの制御がアプリケーション ソフトウェアに戻されます。

BSL がユーザー構成によって無効化されている状態で、ソフトウェア トリガによる BSL エントリが呼び出された場合、デバイスは代わりに標準の SYSRST を発行し、システムの制御をアプリケーション ソフトウェアへ戻します。

SYSRST でリセットされないシステム構成は、このプロセス全体で維持されます。そのため、ソフトウェアによってトリガされる BSL のエントリおよびエグジット終了の実行中は、RTC は中断せずに実行を継続できます。

2.6.1.6 リセットの原因

デバイス リセットが発生した後、リセット処理中に発生した最も低レベルのリセット要因がハードウェアに記録されます。これにより、アプリケーション ソフトウェアはリセットの理由を確認し、アプリケーション起動時に適切な処理を実行できます。最小レベルのリセット要因は、SYSCTL のリセット要因レジスタの 5 ビット フィールドにエンコードされます。リセット要因レジスタの内容は、読み取り時に常にクリアされます。また、読み取り後に新たなリセットが発生していない場合、その後の読み取りではゼロを返します。リセット要因エンコーディングを、表 2-12 に示します。

Copyright © 2026 Texas Instruments Incorporated

表 2-12. リセット要因エンコーディング

リセット				デバイス モジュール リセット										
リセット レベル	要因 ID		リセットの原因	NRST/SWD の無効化	SHUTDN STOREx	コア レギュレータ	デバッグ サブシステム	RTC、LFXT、LFCLK の状態	SRAM	BCR の実行	IOMUX	EVENT、DMA、FLASHCTL、SYSCTL	ペリフェラル	CPU
	0x00	0	最後の読み取り以降にリセットなし											
POR	0x01	1	VDD < POR — 違反	R	R	R	R	R	R	R	R	R	R	R
			PMU トリム パリティ障害											
			SHUTDNSTOREx パリティ障害 (存在する場合)											
	0x02	2	NRST ピンのリセット (1 秒超)	R	R	R	R	R	R	R	R	R	R	R
			IWDT	R	R	R	R	R	R	R	R	R	R	R
	0x03	3	ソフトウェア トリガ POR	R	R	R	R	R	R	R	R	R	R	R
BOR	0x04	4	VDD < BOR — 違反			R	R	R	R	R	R	R	R	R
	0x05	5	SHUTDOWN からの復帰 (存在する場合)			R	R	R	R	R	R[(1)]	R	R	R
	0x06	6	予約済み											
	0x07	7	予約済み											
BOOTRST	0x08	8	予約済み											
	0x09	9	致命的なクロック障害					R	R	R	R	R	R	R
	0x0A	10	予約済み											
	0x0B	11	予約済み											
	0x0C	12	NRST ピンのリセット (1 秒未満)						R	R	R[(2)]	R	R	R
	0x0D	13	ソフトウェア トリガ BOOTRST						R	R	R[(2)]	R	R	R
	0x0E	14	WWDT0 違反						R	R	R[(2)]	R	R	R
	0x0F	15	予約済み											
SYSRST	0x10	16	BSL 終了 (存在する場合)							R	R[(2)]	R[(3)]	R	R
	0x11	17	BSL エントリ (存在する場合)							R	R[(2)]	R[(3)]	R	R
	0x12	18	予約済み											
	0x13	19	WWDT1 違反								R[(2)]	R[(3)]	R	R
	0x14	20	フラッシュの修正不可能な ECC エラー								R[(2)]	R[(3)]	R	R
	0x15	21	CPU ロックアップ違反								R[(2)]	R[(3)]	R	R
	0x16	22	予約済み											
	0x17	23	予約済み											
	0x18	24	予約済み											
	0x19	25	予約済み											
	0x1A	26	デバッグトリガ SYSRST								R[(2)]	R[(3)]	R	R
	0x1B	27	ソフトウェア トリガ SYSRST								R[(2)]	R[(3)]	R	R

Copyright © 2026 Texas Instruments Incorporated

表 2-12. リセット要因エンコーディング (続き)

リセット				デバイス モジュール リセット										
リセット レベル	要因 ID		リセットの原因	NRST/SWD の無効化	SHUTDN STOREx	コア レギュレータ	デバッグ サブシステム	RTC、LFXT、LFCLK の状態	SRAM	BCR の実行	IOMUX	EVENT、DMA、FLASHCTL、SYSCTL	ペリフェラル	CPU
CPURST	0x1C	28	デバッグトリガ CPURST											R
	0x1D	29	ソフトウェア トリガ CPURST											R
	0x1E	30	予約済み											
	0x1F	31	予約済み											

(1) SHUTDOWN モードから復帰する場合、IOMUX レジスタは常にリセットされますが、SYSCTL の SHDNIOREL レジスタの RELEASE ビットをクリアするまで、IO 自体は SHUTDOWN への移行時点での状態を保持し続けます。これにより、SHUTDOWN から復帰して IO を解放する前に、アプリケーション ソフトウェアで IOMUX および対応する各種ペリフェラルを再構成できます。「シャットダウン モード処理」および「IOMUX ウェークアップ」を参照してください。
(2) IOMUX はリセットされますが、LFXT または LFCLK_IN がイネーブルの場合、これらのパッドの IOMUX 設定はリセットされません。RTC、LFXT、LFCLK_IN、LFCLK は中断することなく動作し続けます。
(3) SYSOSC 周波数補正ループ (FCL) はリセットされません (ソフトウェアでイネーブルされた場合)

2 つのリセットの原因が同時に発生した場合、最も小さい原因のリセット ID 値が優先され、報告されます。たとえば、WWDT0 違反 (原因 0x0E) と、VDD < BOR 違反 (原因 0x04) が同時に発生した場合、報告されるリセットの原因は BOR 違反 (原因 0x04) となります。これはこれがより下位レベルのリセットであり、デバイス状態のより広範な要素をクリアするためです。

リセット要因エンコーディングにより、アプリケーションの起動時に簡単なソフトウェア処理が可能になります。リセット要因の値は、アプリケーション ソフトウェアで読み出すことができ、特定の値の範囲内であることをテストすることで、次のことが発生したかどうかを確認できます。

- **RESETCAUSE == 0x00:** 最後の読み取り以降にリセットなし
- **RESETCAUSE < 0x04:** NRST/SWD ディセーブル状態がリセットされ、デバイスを再構成する必要があります
- **RESETCAUSE < 0x04:** SHUTDNSTOREx メモリ (存在する場合) がリセットされ、デバイスを再構成する必要があります
- **RESETCAUSE < 0x08:** レギュレートされた VCORE ドメイン再起動されました
- **RESETCAUSE < 0x0C:** RTC と低周波数クロックの構成がリセットされており、再構成する必要があります
- **RESETCAUSE < 0x10:** SRAM が初期化され、その内容は失われました
- **RESETCAUSE < 0x1C:** ペリフェラルがリセットされており、再構成する必要があります

次の例は、リセット後にアプリケーションを起動す際に、リセット要因をテストして特定のアクションを実行するための方法を示しています。

```
// Read reset cause into SRAM variable
uint8_t cause = RESETCAUSE;

// Handle device re-configuration based on reset cause level
if (cause!=0)
{
    if (cause<0x04)
    {
        // NRST/SWD disable state was lost
        // SHUTDNSTOREx memory state was lost
```


English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

```
        // PMU/VCORE domain state was lost
        // RTC/LFXT/LFCLK state was lost
    }
    if (cause<0x0C)
    {
        // RTC/LFXT/LFCLK state was lost
    }
    if (cause<0x1C)
    {
        // The peripherals were reset
    }
}
```

2.6.1.7 ペリフェラル リセット制御

デバイス上の各ペリフェラルには、リセット制御レジスタ (RSTCTL) とステータス レジスタ (STAT) が含まれています。

STAT レジスタは読み取り専用レジスタで、ペリフェラルがリセットされたかどうかを示す RESETSTKY ビットを含んでいます。アプリケーション ソフトウェアでこのビットを読み出すことで、ペリフェラルがリセットがリセットされ、再構成が必要かどうかを判定できます。RESETSTKY ビットは、RESETSTKYCLR ビットと KEY 値を RSTCTL レジスタに書き込むことでクリアされます。

また、アプリケーション ソフトウェアは、RESETASSERT ビットと KEY 値を RSTCTL レジスタに書き込むことで、ペリフェラルのリセットを強制することもできます。このアクションにより、ペリフェラルがデフォルト状態にリセットされ、STAT レジスタの RESETSTKY ビットが設定されます。

注

RSTCTL レジスタは、特定のペリフェラルの FPUB および FSUB レジスタをリセットしません。パブリッシャおよびサブスクライバーのイベント レジスタをリセットするには、SYSRST を使用するか、またはペリフェラルの FPUB と FSUB を直接変更してください。

2.6.1.8 ブート失敗時の処理

ブート構成ルーチン (BCR) の実行中にブート失敗が発生した場合、SYSCTL は BOOTRST をアサートして別のブートを試行します。ブート失敗は、次の原因で発生する可能性があります。

- ブート構成データ整合性エラー
- デバイス トリムの整合性エラー
- BCR のタイムアウト (何らかの理由により、BCR の完了に想定よりも大幅に長い時間がかかる場合)

ハードウェアにより、デバイスを正常にブートさせるための試行が最大 3 回行われます。1 回目、2 回目、または 3 回目のブートに成功すると、アプリケーションは正常に起動します。3 回目の試行に失敗した場合、ブートプロセスが失敗し、それ以上のブート試行は行わず、アプリケーション ソフトウェアは開始されません。

ブート失敗の原因が一過性 (一時的) なエラーであった場合に、デバイスを正常にブートできるようにすることが、追加のブート試行を行う目的です。3 回のブート試行が成功しない場合、定常状態のエラー状態が発生する可能性があり、予期しない動作を防止するためにアプリケーションは開始されません。

注

3 回のブート失敗によりデバイスがロックされ、BOR 違反が発生した場合でも、BOR および BOOTRST が生成され (定義上)、1 回のブートが試行されます。同じ条件下で、デバイスへの電源が完全に遮断されると (POR 違反が発生)、デバイスは再び最大 3 回までブートを試みます。

2.6.2 動作モード選択

デバイス動作モードは、次のいずれかを使用して構成されます。

1. SYSCTL の MCLKCFG レジスタのポリシー ビット (STANDBY モードでの SYSOSC の動作を制御するため)
2. SYSCTL の PMODECFG レジスタのポリシー ビット (STOP、STANDBY または SHUTDOWN のディープ スリープ レベルを設定するため)

Copyright © 2026 Texas Instruments Incorporated

3. SCR ローカル CPU レジスタの SLEEPDEEP ポリシービット (WFI 命令によって SLEEP モードと STOP/STANDBY/SHUTDOWN モードのどちらをトリガするか (存在する場合) を選択)
4. Arm WFI (割り込み待機) CPU 命令を使用 (構成されている SLEEP/STOP/STANDBY/SHUTDOWN 状態 (存在する場合) に移行)

CPU がディスエーブルな動作モードに移行する前に、CPU をスリープからウェークできる適切なペリフェラルが、目的のイベントで CPU 割り込みを生成するように設定されていることを確認してください。

各動作モードの動作の詳細な説明については、「動作モード」セクションを参照してください。

ポリシー ビット構成

表 2-13 では、各動作モードに関連するポリシー ビットを構成する方法を定義します。すべての値はバイナリ形式で示されます。ダッシュ (-) は、特定のポリシー ビットが指定された動作モードのドントケア (値が無視される) であることを示します。

表 2-13. 動作モード ポリシー ビット構成

動作モード ポリシー制御		RUN	SLEEP (1)	ストップ	STANDBY		SHUTDOWN (存在する場合)
登録	ビット				STANDBY0	STANDBY1	
MCLKCFG	STOPCLKSTBY	-	-	-	0	1	-
PMODECFG	DSLEEP	-	-	00	01	01	10
SCR	SLEEPDEEP	0	0	1	1	1	1

(1) SLEEP モードの動作は、CPUCLK がディスエーブルであることを除き、RUN モードと常に同じです。そのため、SLEEP 動作は RUN モードの構成によって決定されます。

SLEEP モードへの移行

SLEEP モードに入ると CPU はディスエーブルになりますが、それ以外の場合は、**RUN** と同じ構成が維持されます。
SLEEP モードに移行するには:

1. ローカル SCR レジスタの SLEEPDEEP ビットをクリアすることで、CPU を SLEEP に構成します。
2. WFI (割り込み待機) CPU 命令を実行して、スリープ モードに移行します。

STOP モードまたは STANDBY モードへの移行

STOP モードまたは **STANDBY** モードに移行するには:

1. SYSCTL の PMODECFG レジスタを 0b00 (STOP) または 0b01 (STANDBY) 構成にします。
2. ローカル SCR レジスタの SLEEPDEEP ビットを設定することで、CPU を DEEP SLEEP に構成します。
3. WFI (割り込み待機) CPU 命令を実行して、スリープ モードに移行します。

SHUTDOWN モードへの移行 (存在する場合)

SHUTDOWN モードに移行するには:

1. SYSCTL の PMODECFG レジスタを 0b10 (SHUTDOWN) 構成にします。
2. ローカル SCR レジスタの SLEEPDEEP ビットを設定することで、CPU を DEEP SLEEP に構成します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

3. WFI (割り込み待機) CPU 命令を実行して、スリープ モードに移行します。

2.6.3 非同期高速クロック要求

ペリフェラルは、デバイスが STANDBY モードで動作しているときに、高速クロック ソースの SYSCTL へのハードウェア要求を非同期的にアサートするように構成されています。これは、ULPCLK ツリーのソースが LFCLK (32kHz 時) であるものの、ペリフェラル イベント (タイマ IRQ や GPIO IRQ など) やペリフェラルの動作 (シリアル通信や GPIO トグル検証など) を迅速に処理するために、より高速な SYSOSC (4MHz 時) が一時的に必要となるようなアプリケーション向けのメカニズムです。

非同期高速クロック要求は、デバイスが STANDBY1 モードで動作しているシナリオにも役立ちます。STANDBY1 では (STOPCLKSTBY が設定されている場合)、一部の TIMG8_x を除くすべてのペリフェラルに対して ULPCLK と LFCLK の供給が停止し、クロックが供給されるペリフェラルは TIMG8_x と RTC のみとなります。バス クロック (ULPCLK) がディスエーブルされているこの状態からデバイスをウェーク アップするには、TIMG8_x または RTC 割り込み要求が非同期高速クロック要求を強制的に発生させ、バイスを RUN モードに復帰させます。非同期イベント検出のサポート (GPIO、コンパレータ、シリアル インターフェイスなど) を検出する機能がサポートされている場合、他のペリフェラルでも、デバイスをこの状態からウェークすることができます。

非同期高速クロック要求は、要求の間、SYSOSC から供給されるバスクロック (ULPCLK) をペリフェラルに一時的に提供します。MFCLK は、使用がイネーブルになっている場合、非同期要求中にもイネーブルになります。

非同期高速クロック動作

設定すると、SYSCTL は、次の方法でペリフェラル高速クロック要求に応答します。

1. デバイスが現在 STANDBY モードにある場合、SYSOSC を 4MHz モードで動作させてバス クロック (ULPCLK) を供給するために、低消費電力状態が一時的に中断され、SYSOSC の 4MHz での起動が強制的に実行されます。
2. デバイスは STANDBY モードであり、一時的に STOP モードで動作します。
3. MCLK/ULPCLK ツリーは、強制的にベース周波数の SYSOSC から供給されます。デバイスが RUN モードの場合、CPUCLK も SYSOSC レートに切り替わります (CPUCLK は常に MCLK から生成されます)
4. MFCLK が使用するように構成されている場合、MFCLK がアクティブになります

上記の構成が適用された後、非同期要求がアサートされている間、要求が削除された後、およそ 1µs を加えた値が保持されます。その後、高速クロック要求中に CPU が構成を変更していなければ、システムは当該要求前の構成に戻ります。

次のいずれかに該当する場合、非同期高速クロック要求は無視され、デバイスの構成に影響しません。

- MCLK がすでにベース周波数の SYSOSC から供給されている
- 非同期高速クロック要求が SYSCTL の SYSOSCCFG レジスタの BLOCKASYNCALL ビットを設定することでグローバルにブロックされる

ペリフェラルのサポート

RTC、TIMG8_x、GPIO、I²C、UART ペリフェラルはすべて、非同期高速クロック要求の生成をサポートしています。これらのペリフェラルの目的、要求ソース、および構成要件については、表 2-14 を参照してください。

表 2-14. 非同期高速クロック要求に対するペリフェラルのサポート

ペリフェラル	目的	要求ソース	構成
RTC (存在する場合)	RTC イベントからの高速 CPU ウェーク	RTC IRQ から CPU へ	デバイスが STANDBY1 モードのとき、RTC IRQ イベントは常に非同期高速クロック要求を生成します。これは、消費電力を低減するために、メインの ULPCLK がディスエーブルされているとき、デバイスをウェークするために必要です。RTC は、RTC CLKCFG レジスタの BLOCKASYNC ビットをクリアすることで、任意の動作モードで非同期高速クロック要求を生成するように構成することもできます。これにより、レイテンシが最小の RTC イベント応答を実現できます。

Copyright © 2026 Texas Instruments Incorporated

表 2-14. 非同期高速クロック要求に対するペリフェラルのサポート (続き)

ペリフェラル	目的	要求ソース	構成
TIMG8_x	TIMGx イベントからの高速 CPU ウェーク	TIMGx、IRQ から CPU へ	デバイスが STANDBY1 モードにあり、かつ TIMG8_x のレジスタで対応する IMASK 割り込みが設定されている場合、TIMG8_x からの IRQ イベントは非同期の高速クロック要求を生成します。これは、消費電力を削減するために ULPCLK がディスエーブルになっているため、デバイスをウェークするのに必要です。
GPIO	GPIO イベントからの高速 CPU ウェーク	GPIO 操作	GPIO は、GPIO 構成レジスタ経由で非同期高速クロック要求を生成します。これは、STANDBY モードからの GPIO のウェークが求められる用途を対象としています。高速クロック要求を行うと、GPIO のデジタル グリッチ フィルタが SYSOSC ベース の周波数で動作するようになるためです。高速クロックを要求するために GPIO レジスタを構成することに加えて、要求を伝搬できるようにするために、SYSOSCCFG レジスタの BLOCKASYNCALL ビットをクリアする必要があります。
I2C	ビット クロック生成には高速クロックを一時的に使用します	I2C 操作	I2C 操作は、各 I2C ペリフェラルの CLKCFG レジスタにおいて BLOCKASYNC ビットがクリアされたときに、非同期高速クロック要求を生成します。
UART	ボー レート生成には高速クロックを一時的に使用します	UART 操作	UART 操作は、各 UART ペリフェラルの CLKCFG レジスタにおいて BLOCKASYNC ビットがクリアされたときに、非同期高速クロック要求を生成します。

非同期高速クロック要求ロジック

高速クロック要求をアサートするためのロジックを次の図に示します。

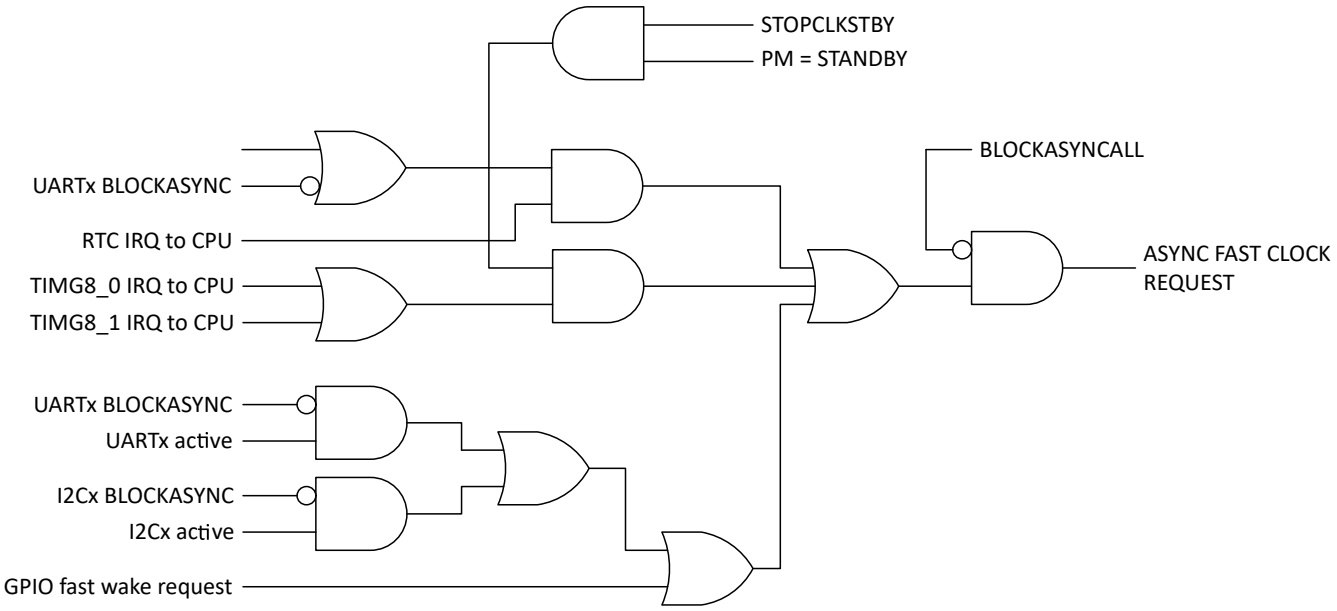


図 2-10. 非同期高速クロック要求ロジック

注

すべてのデバイスが RTC またはコンパレータをサポートしているわけではありません。これらのペリフェラルの搭載の有無については、デバイス固有のデータシートを確認してください。

Copyright © 2026 Texas Instruments Incorporated

2.6.4 バンク アドレス スワップ

複数のフラッシュ バンクを備えたデバイスには、上位バンクと下位バンクのアドレス空間を入れ替える仕組みが用意されています。これにより、ファームウェア イメージ自体が格納されているバンクを認識していなくても、ハードウェア上で適切に実行できるファームウェア更新が可能になります。

上位フラッシュ バンクのアドレスと下位フラッシュ バンクのアドレスを入れ替えるには、KEY 値を書き込むと同時に、FLBANKSWAP レジスタの USEUPPER ビットを設定します。

フラッシュ バンクのアドレス空間を切り替える際には、特別な考慮事項が適用されます。フラッシュバンクのアドレス スワップを使用する際の考慮事項については、このガイドの「不揮発性メモリ システム」の章を参照してください。

2.6.5 シャットダウン モードの処理 (存在する場合)

デバイスが SHUTDOWN モードに移行するよう構成されていると、コア レギュレータが停止し、デバイスレジスタのデータと SRAM のデータはが失われます。SHUTDOWN モードから復帰すると、BOR レベルのリセットが生成されます。SHUTDOWN モードに移行するとき、デバイスの状態を維持するため、次の 2 つのメカニズムが用意されています。IO ラッチと小型シャットダウン メモリ。

シャットダウン IO 状態

デジタル IO ピンの状態 (出力 Low/High、プルアップ / プルダウン、Hi-Z、ドライブ構成) は、SHUTDOWN モードへの移行時にラッチされ、保持されます。SHUTDOWN モードから復帰した後、IO はアプリケーション ソフトウェアが SHDNIOREL レジスタの RELEASE ビットを適切な KEY 値と共に設定して解除するまで維持されます。SHUTDOWN モードから復帰するときは、アプリケーション ソフトウェアは、まず IO を適切な状態に再構成してから、IO を解放する必要があります。起動時にリセットの原因が SHUTDOWN モードからの復帰であったかどうかを判別するには、アプリケーション ソフトウェアで SYSCTL の RSTCAUSE レジスタを読み取る必要があります。

注

SHUTDOWN モードから復帰するときは、**シリアル ワイヤ デバッグ (SWD) ピンも、アプリケーション ソフトウェアが RELEASE ビットを設定するまでの間、ロックされたままになります**。そのため、SHUTDOWN モードから復帰する際、アプリケーション ソフトウェアによって IO が解放されるまでは、デバッグ接続を確立できません。

注

SHUTDOWN から復帰するときは、意図せず ブートストラップローダ (BSL) モードに移行してしまうのを防ぐため、BSL 起動ピンを論理ロー レベルに保持する必要があります。SHUTDOWN からの復帰時に BSL へ移行すると、アプリケーション コードの実行は開始されず、BSL インターフェイスも使用できません。一方、SHUTDOWN モードからの復帰後もアプリケーション ソフトウェアが IO を解放するまで IO の状態はラッチされたまま維持されるため、SWD 接続は可能です。

シャットダウン メモリ

SHUTDOWN モードに移行する前にアプリケーションの状態情報を保存できるようにするため、SYSCTL には 4 バイトのシャットダウン メモリが提供されています。これらのメモリ位置は、SHUTDOWN モードでも保持され、SHUTDOWN モードから復帰した後にアプリケーションで読み取ることができます。SHUTDOWN メモリにデータを保存するには、SYSCTL の SHUTDNSTORE0-SHUTDNSTORE3 レジスタに書き込みます。

2.6.6 構成ロックアウト

SYSCTL の構成レジスタは書き込みからロックアウトできるため、実行時に PMCU が意図せず変更されることに対する堅牢性を高めることができます。構成レジスタの書き込みをロックアウトするには、SYSCTL の WRITELOCK レジスタの ACTIVE ビットを設定します。

以下に示すものを除き、すべての SYSCTL レジスタは WRITELOCK 機能によって保護されます。

- WRITELOCK

Copyright © 2026 Texas Instruments Incorporated

- PMODECFG
- FCC
- RSTCAUSE (読み出し後クリア)、RESETLEVEL、RESETCMD
- BORTHRESHOLD、BORCLRCMD
- SHDNIOREL (存在する場合)
- SHUTDNSTOREx (存在する場合)
- MLDOPENCFG

全体的な SYSCTL 構成の書き込みロック機能に加えて、多くの SYSCTL レジスタでは、書き込みを有効にするために、構成データと一緒に KEY 値を書き込む必要があります。

2.6.7 システム ステータス

SYSCTL の CLKSTATUS レジスタと SYSSTATUS レジスタを読み出すことで、ソフトウェアから PMCU さまざまなステータスをポーリングできます。

クロック ステータスの確認 (CLKSTATUS)

SYSCTL の CLKSTATUS レジスタは、クロック モジュールの現在の構成とステータスを示す読み取り専用レジスタです。CLKSTATUS で提供される主なステータス情報には、次のものが含まれます。

- 現在の SYSOSC 周波数
- 現在の HSCLK 選択
- 現在の LFCLK 選択
- 現在の MCLK 選択
- HFCLK と SYSPLL (存在する場合) のステータス
- LFXT ステータス
- LFOSC ステータス
- HSCLK、HFCLK、SYSPLL (使用されている場合) が無効であることを示す表示
- ペリフェラルがクロックを要求したときにクロックを生成できなかった場合のエラー表示

このステータス情報は、要求されたクロック変更が正常に完了したことを確認するのに役立ちます。または、ペリフェラルが SYSOSC の非同期起動や周波数要求を行うアプリケーションにおいて、SYSOSC の実際の周波数を確認するのに役立ちます。

システム ステータスの確認 (SYSSTATUS)

SYSCTL の SYSSTATUS レジスタは読み取り専用レジスタで、フラッシュ ECC エラー (SED および DED) およびその他のペリフェラル固有のステータス情報を示します。SYSTATUS の ECC エラー ビットはスティッキーです (以降の読み取りが正常であっても、ECC エラー発生後の値がそのまま保持される)。SYSSTATUSCLR レジスタの ALLECC ビットと KEY 値を設定すると、これらのビットをリセット (クリア) できます。

SYSCTL の SYSSTATUS レジスタは、ペリフェラル固有のステータス情報を示す読み取り専用レジスタです。

2.6.8 エラー処理

MSPM33 デバイスには実行時にエラーを検出するための複数の診断メカニズムが搭載されています。表 2-15 に、エラー発生源と対応する処理メカニズムを一覧表示しています。

注

すべての MSPM33 デバイスがすべての診断機能をサポートしているわけではありません。たとえば、一部のデバイスではメモリが部分的に ECC カバレッジとして機能しています。特定のデバイスで利用できる診断機能については、デバイス固有のデータシートを常に参照してください。「PMCU レジスタ」セクションには、各マイコン サブファミリにもレジスタ マップが用意されており、特定のデバイスで利用可能な具体的なレジスタの詳細が示されています。

Copyright © 2026 Texas Instruments Incorporated

表 2-15. 誤差発生源と処理メカニズム

誤差発生源	エラー	処理メカニズム
フラッシュ	修正不可能な ECC エラー	• CPU または DMA 要求の場合、FLASHECCRSTDIS ビットの構成に応じて、プロセッサに FLASHDED ノンマスカブル割り込みか、SYSRST が生成されます • SYSCTL の SYSCTL レジスタに FLASHDED スティッキービットが設定されます
	修正可能な ECC エラー	• SYSCTL 内で FLASHSEC 割り込みも生成されます • SYSCTL の SYSCTL レジスタに FLASHSEC スティッキービットが設定されます
SRAM	修正不可能な ECC エラー	• SRAMDED ノンマスカブル割り込みがプロセッサに生成されます
	修正可能な ECC エラー	• プロセッサに対して SYSCTL SRAMSED 割り込みが生成されます
	CPU アクセス時のアドレス エラー	• CPU にハード障害が発生しています
	DMA アクセス時のアドレス エラー	• DMA コントローラで DMA アドレス エラー割り込みが生成されます
	CAN SRAM での ECC エラー (デバイスに CAN-FD がある場合)	• CAN-FD 周辺装置で割り込みが生成されます
SHUTDNSTOREx メモリ (存在する場合)	パリティ エラー	• POR が生成されます
CKM	MCLK 障害	• BOOTRST が生成されます
	LFCLK 障害 (存在する場合)	• LFCLK が MCLK をソースしている場合、BOOTRST が生成されます • SYSCTL NMI レジスタで、LFCLKFAIL ノンマスカブル割り込みが生成されます。
CPUSS (デバイスに MPU がある場合)	メモリ保護ユニット違反	• CPU にハード障害が発生しています
WWDT	WWDT0 違反	• WWDTLP0RSTDIS ビットの設定に応じて、BOOTRST が生成されるか、または SYSCTL NMI レジスタにノンマスカブル割り込みが生成されます
	WWDT1 違反 (存在する場合)	• WWDTLP1RSTDIS ビットの設定に応じて、BOOTRST が生成されるか、または SYSCTL NMI レジスタにノンマスカブル割り込みが生成されます
PMU	TRIM パリティ エラー	• POR が生成されます
	POR0 - 電源エラー	• POR が生成されます
	BOR0 - 電源エラー	• BOR が生成されます
	BOR1/2/3 — 電源エラー (存在する場合)	• SYSCTL NMI レジスタで、BORLVL ノンマスカブル割り込みが生成されます
CPUSS	メモリ保護ユニット違反 (存在する場合)	• CPU にハード障害が発生しています

構成可能な NMI トリガ

エラー ソースは、ノンマスカブル割り込み、または異なる処理メカニズムをトリガするように構成できます。SYSCTL の SYSTEMCFG レジスタを使用して、目的のエラー処理機能を指定できます。たとえば、BOOTRST をデフォルトのケース

Copyright © 2026 Texas Instruments Incorporated

にして、BOOTRST と NMI のどちらかを生成するように WWDT0 を構成できます。利用可能なエラー処理オプションについては、関連するデバイス サブファミリの SYSTEMCFG レジスタを参照してください。

2.6.9 SYSCTL イベント

SYSCTL モジュールには、2 つのイベント パブリッシャが含まれており、イベント サブスクライバは含まれていません。1 つのイベント パブリッシャが CPU サブシステムへの SYSCTL 割り込み要求 (IRQ) を管理します。2 番目のパブリッシャは、重要な診断のために、CPU サブシステムへのノンマスカブル割り込みを管理します。

表 2-16 に、SYSCTL イベントのまとめを示します。

表 2-16. SYSCTL イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	SYSCTL	CPU サブシステム	スタティック ルート	SYSCTL 割り込みレジスタ	SYSCTL から CPU への固定割り込みルート
CPU ノンマスカブル割り込み (NMI)	パブリッシャ	SYSCTL	CPU サブシステム	スタティック ルート	NMI 割り込みレジスタ	SYSCTL から CPU への固定割り込みルート

2.6.9.1 CPU 割り込みイベント (CPU_INT)

SYSCTL モジュールは、CPU 割り込みイベントを発生させるように構成可能な、複数の割り込みソースを提供します。割り込みの優先度を下げるため、SYSCTL からの CPU 割り込みイベントは表 2-17 に示されます。

表 2-17. SYSCTL CPU 割り込みイベント ソース

インデックス (IIDX)	名称	説明
0	なし	割り込み保留なし。
1	LFOSCGOOD	起動中に LFOSC が準備完了していることを示します。LFOSC は開始に約 1ms かかります。
2	ANACLKERR	アナログ機能がイネーブルであり、特定の周波数で SYSOSC が動作することを期待していましたが、SYSOSC が利用できないか、必要な周波数で動作していないことを示しています。
3	FLASHSEC	フラッシュ メモリの 1 ビットの修正可能なエラーが検出されたことを示します
4	SRAMSEC	SRAM の 1 ビットの修正可能なエラーが検出されたことを示します
5	LFXTGOOD	低周波数の外部クロック (LFXT 発振器または LFCLK_IN デジタル クロック) が準備完了したことを示します。この表示は、クロック システムを起動し、LFCLK ソースを LFOSC から外部ソースに切り替える前に、LFXT または LFCK_IN の準備が整うのを待機する際に役立ちます。
6	HFCLKGOOD	高周波の外部クロック (HFXT 発振器または HFCLK_IN デジタル クロック) の準備ができたことを示します。この表示は、クロック システムを起動し、MCLK ソースを HFCLK に切り替える前、または SYSPLL リファレンスとして HFCLK を使用して SYSPLL を開始する前、HFCLK の準備ができるのを待機する際に役立ちます。
7	SYSPLLGOOD	SYSPLL の準備が完了しており、使用可能であることを示します。この表示は、クロック システムを起動し、MCLK ソースを SYSPLL に切り替える前に SYSPLL の準備ができているのを待機する際に役立ちます。
8	HSCLKGOOD	HSCLK (HFCLK または SYSPLL 出力から供給) の準備が完了したことを示します。この表示は、HSCLK が MCLK ソースとして RUN/SLEEP モードに構成されている場合に、STOP モードまたは STANDBY モードからウェークアップする際に役立ちます。STOP または STANDBY からウェークするとき、MCLK は SYSOSC から HSCLK が利用可能になるまで実行されます。この時点で、SYSCTL は MCLK ソースを選択した HSCLK ソースに自動的に切り替えます。この割り込みは、STOP/STANDBY からのウェークアップ後、MCLK が目的の HSCLK ソースに切り替わったことを通信し、MCLK がソースするタイミングに制約のあるペリフェラルを使用できるようになります。

Copyright © 2026 Texas Instruments Incorporated

CPU 割り込みイベント構成は、SYSCTL IIDX、IMASK、RIS、MIS、ISET および ICLR イベント管理レジスタを使用して管理されます。CPU 割り込み用にこれらのレジスタを構成する方法のガイダンスについては、「イベント レジスタの使用」を参照してください。

2.6.9.2 ノンマスカブル割り込みイベント (NMI)

SYSCTL モジュールは、CPU 割り込みイベントを発生させるように構成可能な、x 割り込みソースを提供します。割り込みの優先度を下げるため、SYSCTL からの CPU 割り込みイベントは表 2-18 に示されます。

表 2-18. ノンマスカブル割り込みイベント テーブル

インデックス (IIDX)	名称	説明
0	なし	保留中 の NMI はありません。
1	BORLVL	VDD が指定された VBOR スレッショルドを下回ったことを示します。
2	WWDT0	WWDT0 違反が発生しました。
3	セキュリティ エラー	セキュア リソースへのアクセス違反。
4	LFCLKFAIL	LFXT または LFCLK_IN クロック ソースがデッドであることを示します。この表示は、LFCLK が MCLK のソースではなく、周辺装置 (RTC など) をソースしている場合に、LFCLK エラーを処理するのに便利です
5	FLASHDED	フラッシュ メモリの 2 ビットの修正不可能なエラーが検出されたことを示します。
6	SRAMDED	SRAM の修正不可能なエラーが検出されたことを示します。
7	VBATDN	VBAT LDO の出力が有効範囲内ではありません
8	VBATUP	VBAT LDO 出力は有効です

CPU ノンマスカブル割り込みイベント構成は、NMIIIDX、NMIRIS、NMIISET、NMIICLR イベント管理レジスタで管理されます。割り込み管理レジスタの構成については、セクション 8.2.5 を参照してください。

2.7 クイック スタート リファレンス

この PMCU はシンプルで使いやすいパワー マネージメント、クロック供給、リセット管理機能を提供するように設計されています。このセクションでは、PMCU の基本的な動作原理と、デフォルト設定をリセットから解除し、特定のアプリケーションに合わせて最適化するためのヒントとコツについて説明します。

2.7.1 デフォルトのデバイス構成

このデバイスのデフォルトの動作構成は、基本的な機能を提供しており、多くの用途において、変更を加えることなくそのまま使用できます。

MSPM33C3 デバイスは、外部電源 (VDD および VSS) が $V_{DD\ (min)}$ に達すると、電源が立ち上がり、リセットが解除されてアプリケーション コードの実行が開始します。アプリケーション コードが実行用にリリースされると、デバイスは MCLK を使用して RUN モードになります。MCLK は 32MHz の内部 SYSOSC から供給されます。CPUCLK と ULPCLK も 32MHz であり、MCLK から生成されます。LFCLK は自動的に開始し、内部 LFOSC から供給されます。デフォルト構成の RUN モードでは、すべてのペリフェラルをイネーブルにすることができます。

SLEEP、STOP、STANDBY、SHUTDOWN の各モードに移行することで、消費電力を低減できます。デフォルトでは、これらのモードは次のように動作します。

- SLEEP モードでは、CPUCLK はディセーブルになりますが、DMA を含むすべてのペリフェラルは構成されたとおりに動作し続けます。この電力モードは、PD1 ペリフェラルを使用し、消費電力を最小限に抑えるよりも、ウェイクアップ レイテンシを可能な限り短縮することが重視されるシナリオ向けに設計されています。
- STOP モードでは、PD1 ペリフェラルへの電源供給が遮断されますが、状態は保持されます (使用不可)。デフォルトの STOP モードは、電力の最適化が重要でありながら、32kHz より高速なクロックも必要とされるシナリオ向けに設計

Copyright © 2026 Texas Instruments Incorporated

されています。MCLK ツリーは 4MHz で動作し、PD0 のペリフェラルは 4MHz のバス クロック (ULPCLK) を認識します。
  - LFCLK から動作するように構成された PD0 ペリフェラルは 32kHz で動作を継続します。
- STANDBY モードでは、MCLK ツリーは LFCLK から 32kHz で動作し、SYSOSC はディセーブルになります。バス クロックから動作する PD0 ペリフェラルは 32kHz に変更されます。LFCLK から実行される PD0 ペリフェラルは変更なしに 32kHz で動作を継続します。

2.7.2 MFCLK の活用

デフォルトの PMCU 構成で動作している場合、タイマとシリアル インターフェイスは、バス クロック (MCLK/ULPCLK) または LFCLK のいずれかをクロック ソースとして選択できます。LFCLK は、RUN、SLEEP、STOP、STANDBY では常に 32kHz ですが、MCLK/ULPCLK は STOP では 4MHz に、STANDBY では 32kHz に変化します。つまり、バス クロックから動作するペリフェラルは、電力モードの遷移時に、ソースク ロックの周波数が変化することになります。

一方、MFCLK は、RUN、SLEEP、STOP モードにわたり各ペリフェラルに一定の周波数クロック ソースを提供するという点で LFCLK と同様に動作します。MFCLK は、32kHz で動作する LFCLK の代わりに、4MHz の一定のクロックを供給します。MFCLK の 4MHz 時間基準は、常に SYSOSC から生成されます。ペリフェラル、特に STOP モードで使用できる PD0 ペリフェラルは、ULPCLK の代わりに MFCLK をクロック ソースとして選択できます。UART、I2C、低消費電力タイマなど、安定したクロックを必要としつつ 32kHz を超えるクロック ソースを必要とするペリフェラルのために、MFCLK は RUN、SLEEP、および STOP の各モードにおいて 4MHz に維持されます。

MFCLK の使用に関する詳細については、「MFCLK」セクションを参照してください。

2.7.3 STOP モードにおける消費電力の最適化

STOP モードでは、アプリケーション固有の電力および性能要件に合わせてデバイスを調整することができます。デバイスは低クロック周波数で動作できるため、SYSOSC 出力からの分周器は自動的に変化して、4MHz のクロック出力を供給できます。

2.7.4 STANDBY モードにおける消費電力の最適化

STANDBY モードで、RTC、TIMG8_x、GPIO、コンパレータ (低消費電力モード)、またはシリアル インターフェイスからの非同期高速ウェークアップのみが必要な場合、STANDBY モードへの移行時に ULPCLK および LFCLK をディスエーブルにし、RTC、TIMG8_x のみを動作させるように設定 (STANDBY1) することで、消費電力を最小限に抑えることができます。LFCLK のセクションを参照してください。この状態では、RTC、TIMG8_x、または非同期アクティビティ / イベントが、システムをウェークアップするための非同期高速クロック要求をトリガします。

2.7.5 MCLK と ULPCLK の精度向上

アプリケーションで高周波ペリフェラルに高いクロック精度が必要な場合、外付けの高周波水晶振動子を HFXT とともに使用し、HFCLK から MCLK ツリーを直接供給することで、最高の精度を実現できます。HFCLK から MCLK を直接供給することで、PD1 および PD0 内のすべてのペリフェラルへのバス クロックが HFCLK になります。

HFXT では、48MHz までの水晶振動子周波数がサポートされていますが、ULPCLK を使用する PD0 ペリフェラルは 40MHz に制限されているため、40MHz は、PD1 および PD0 ペリフェラルを同じ周波数で実行するためにサポートされる最高の水晶振動子周波数です。48MHz 水晶振動子を使用する場合、PD1 ペリフェラルと CPUCLK は水晶振動子から 48MHz で直接動作できますが、PD0 ペリフェラルは MCLK/4 (12MHz) で動作する必要があります。

CAN-FD コントローラまたは I2S インスタンスに高精度クロックを供給する必要があり、高い CPU 性能 (高い MCLK) も必要な場合、最高の計算性能を得るために PLL を使用して最大周波数で MCLK を動作させながら、CAN-FD コントローラ (CANCLK) と I2S サンプリング クロック (I2SCLK) には HFCLK から直接供給する (MCLK とは非同期とする) ことも可能です。

2.7.6 最大速度の MCLK を構成する

SYSPLL を使用して SYSOSC リファレンスまたは HFXT から 160MHz クロックを生成することで、最高の CPU 演算処理性能が得られます。MCLK をソースとして 816MHz の出力を生成するように SYSPLL を構成するには、「SYSPLL 構成」セクションを参照してください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

MCLK を 160MHz で動作させると、PD1 ドメイン内の TIMA および TIMG 周辺回路において、最高のタイマー分解能（6.25ns）を達成できます。

2.7.7 低消費電力モードでの高速クロック (SYSPLL、HFCLK) 処理

SYSPLL および HFCLK (HFXT、HFCLK_IN) 高速クロック ソースは、STOP モードおよび STANDBY 動作モードではサポートされません。高速クロック ソース (SYSPLL、HFCLK) がイネーブルの状態で、STOP モードまたは STANDBY モードに移行すると、STOP モードまたは STANDBY モードに移行する前に、SYSCTL は SYSPLLand/ または HFCLK を自動的に ディスエーブルにします。STOP モードまたは STANDBY モードから RUN モードに移行すると、低消費電力モードに移行する前に SYSPLL や HFCLK がイネーブルであった場合、SYSCTL はそれらを自動的に再度イネーブルにします。

SYSPLL または HFCLK をイネーブルにした後、初めて STOP または STANDBY に移行する前、また STOP モードまたは STANDBY モードから復帰した後、アプリケーション ソフトウェアは、以前にイネーブルになっていた高速クロック ソースが起動を完了するまで、STOP モードまたは STANDBY モードへの移行を待機する必要があります。

アプリケーション ソフトウェアは、STOP モードまたは STANDBY モードに移行する前に、以下を確認する必要があります。

- **SYSPLL がイネーブル**の場合、アプリケーション ソフトウェアは SYSPLL の起動が完了するまで待機する必要があります。SYSPLL の起動が完了すると、SYSCTL の CLKSTATUS レジスタの SYSPLLGOOD ビットが設定されます。SYSPLL の起動に失敗した場合は、代わりに SYSPLLOFF ビットが設定されます。SYSPLLOFF ビットは、起動時に SYSPLL が停止していたか、以前にイネーブルではなかったことを示します。STOP または STANDBY に移行する前に、SYSPLLGOOD または SYSPLLOFF が設定されていることを確認してください。
- **HFCLK がイネーブル**の場合、アプリケーション ソフトウェアは HFCLK の起動が完了するまで待機する必要があります。HFCLK の起動が完了すると、SYSCTL の CLKSTATUS レジスタの HFCLKGOOD ビットが設定されます。HFCLK の起動に失敗した場合は、代わりに HFCLKOFF ビットが設定されます。HFCLKOFF ビットは、起動時に HFCLK が停止していたか、以前にイネーブルではなかったことを示します。STOP または STANDBY に移行する前に、HFCLKGOOD または HFCLKOFF が設定されていることを確認してください。

STOP または STANDBY モードへの移行前に MCLK が HSCLK から供給されるように設定されていた場合、STOP または STANDBY モードからの復帰時に、MCLK はまず SYSOSC から供給され、CPU は SYSOSC の周波数でコードの実行を開始するために開放されます。高速クロックが起動し使用可能になると、SYSCTL は MCLK 構成を以前に選択されていた高速クロックに自動的に復元します。MCLK が高速クロックに戻ると、SYSCTL は HSCLK GOOD 割り込みを生成し、MCLK が再び高速クロックで動作していることをアプリケーションに通知します。

2.7.8 最小のウェークアップ レイテンシを実現するための最適化

STOP モードまたは STANDBY モードから RUN モードまでのウェークアップ レイテンシをできるだけ短くするには、STOP または STANDBY に移行する前に、SYSOSC をベース周波数 (32MHz) で動作させた状態で、MCLK を SYSOSC に設定します。SYSOSC は常にベース周波数で動作を開始し、SYSOSC を代替周波数に変更する必要がない場合、レイテンシは最小限に抑えられます。

Copyright © 2026 Texas Instruments Incorporated

2.8 SYSCTL レジスタ

表 2-19 に、SYSCTL レジスタのメモリマップト レジスタを示します。表 2-19 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 2-19. SYSCTL レジスタ

オフセット	略称	レジスタ名	セクション
1020h	IIDX	SYSCTL 割り込みインデックス	セクション 2.8.1
1028h	IMASK	SYSCTL 割り込みマスク	セクション 2.8.2
1030h	RIS	SYSCTL 未加工割り込みステータス	セクション 2.8.3
1038h	MIS	SYSCTL マスク割り込みステータス	セクション 2.8.4
1040h	ISET	SYSCTL 割り込みセット	セクション 2.8.5
1048h	ICLR	SYSCTL 割り込みクリア	セクション 2.8.6
1050h	NMIIIDX	NMI 割り込みインデックス	セクション 2.8.7
1060h	NMIRIS	NMI 未加工割り込みステータス	セクション 2.8.8
1070h	NMIISET	NMI 割り込みセット	セクション 2.8.9
1078h	NMIICLR	NMI 割り込みクリア	セクション 2.8.10
1100h	SYSOSCCFG	SYSOSC による構成	セクション 2.8.11
1104h	MCLKCFG	メイン クロック (MCLK) の構成	セクション 2.8.12
1108h	HSCLKEN	高速クロック (HSCLK) ソースのイネーブル / ディスエーブル	セクション 2.8.13
110Ch	HSCLKCFG	高速クロック (HSCLK) のソースの選択	セクション 2.8.14
1110h	HFCLKCLKCFG	高周波クロック (HFCLK) の構成	セクション 2.8.15
1114h	LFCLKCFG	低周波数水晶発振器 (LFXT) の構成	セクション 2.8.16
1120h	SYSPLLCFG0	SYSPLL リファレンスおよび出力構成	セクション 2.8.17
1124h	SYSPLLCFG1	SYSPLL リファレンスおよび帰還分周器	セクション 2.8.18
1128h	SYSPLLPARAM0	SYSPLL PARAM0 (FACTORY 領域からロード)	セクション 2.8.19
112Ch	SYSPLLPARAM1	SYSPLL PARAM1 (FACTORY 領域からロード)	セクション 2.8.20
1130h	SYSPLLPARAM2	SYSPLL PARAM2 (FACTORY 領域からロード)	セクション 2.8.21
1134h	SYSPLLLDOCTL	SYSPLL LDO CTL (FACTORY 領域からロード)	セクション 2.8.22
1138h	SYSPLLLDOPROG	SYSPLL LDO VOUT PROG (FACTORY 領域からロード)	セクション 2.8.23
113Ch	GENCLKEN	汎用クロック イネーブル制御	セクション 2.8.24
1140h	GENCLKCFG	汎用クロック構成	セクション 2.8.25
1144h	PMODECFG	電力モードの構成	セクション 2.8.26
1148h	MLDOLPENCFG	LDO 構成制御	セクション 2.8.27
1150h	FCC	周波数クロック カウンタ (FCC) のカウント	セクション 2.8.28
1154h	PMULDOSPARECTL	LDO スペア制御	セクション 2.8.29
1158h	SYSCTL_ECO_REG1	Sysctl ECO Reg 1	セクション 2.8.30
115Ch	SYSCTL_ECO_REG2	Sysctl ECO Reg 2	セクション 2.8.31
1180h	SYSTEMCFG	システム構成	セクション 2.8.32
1184h	SRAMCFG	システム SRAM の構成	セクション 2.8.33
1200h	WRITELOCK	SYSCTL レジスタ書き込みロックアウト	セクション 2.8.34
1204h	CLKSTATUS	クロック モジュール (CKM) のステータス	セクション 2.8.35
1208h	SYSSTATUS	システム ステータス情報	セクション 2.8.36
1220h	RSTCAUSE	リセットの原因	セクション 2.8.37
1300h	RESETLEVEL	アプリケーションによってトリガされるリセット コマンドのリセット レベル	セクション 2.8.38

Copyright © 2026 Texas Instruments Incorporated

表 2-19. SYSCTL レジスタ (続き)

オフセット	略称	レジスタ名	セクション
1304h	RESETCMD	アプリケーションによってトリガされたリセット コマンドを実行します	セクション 2.8.39
1308h	BORTHRESHOLD	BOR スレッショルドの選択	セクション 2.8.40
130Ch	BORCLRCMD	BOR スレッショルドの設定	セクション 2.8.41
1310h	SYSOSCFCLCTL	SYSOSC 周波数補正ループ (FCL) ROSC のイネーブル	セクション 2.8.42
1314h	LFXTCTL	LFXT および LFCLK の制御	セクション 2.8.43
1318h	EXLFCTL	LFCLK_IN および LFCLK の制御	セクション 2.8.44
131Ch	SHDNIOREL	シャットダウン IO 解放制御	セクション 2.8.45
1320h	EXRSTPIN	NRST ピンのリセット機能を無効にします	セクション 2.8.46
1324h	SYSSTATUSCLR	SYSSTATUS のスティッキー ビットをクリアします	セクション 2.8.47
1328h	SWDCFG	SWD ピンで SWD 機能を無効化します	セクション 2.8.48
132Ch	FCCCMD	周波数クロック カウンタがキャプチャを開始します	セクション 2.8.49
1400h	SHUTDNSTORE0	シャットダウン ストレージ メモリ (バイト 0)	セクション 2.8.50
1404h	SHUTDNSTORE1	シャットダウン ストレージ メモリ (バイト 1)	セクション 2.8.51
1408h	SHUTDNSTORE2	シャットダウン ストレージ メモリ (バイト 2)	セクション 2.8.52
140Ch	SHUTDNSTORE3	シャットダウン ストレージ メモリ (バイト 3)	セクション 2.8.53
1410h	ADCSEQFRCGB	ADC グローバル シーケンス強制	セクション 2.8.54
1414h	ADCSEQFRCGBSEL	ADC グローバル シーケンス強制選択	セクション 2.8.55
1418h	M33SPARESOCLOCK1	M33C1 スペア SOC ロックレジスタ 1	セクション 2.8.56
141Ch	M33SPARESOCLOCK2	M33C1 スペア SOC ロックレジスタ 2	セクション 2.8.57
1420h	SYSCTL_READ_REG	Sysctl 読み取り専用レジスタ	セクション 2.8.58
3000h	FWEPROTMAIN	フラッシュのアドレス 0x0 から始まる各ビットに対して、1 セクタの書き込み / 消去	セクション 2.8.59
3014h	FWPROTMAINDATA	データ バンクの最初の 4 セクタに対する読み取り / 書き込み保護	セクション 2.8.60
3018h	FRXPROTMAINSTART	フラッシュ RX 保護の開始アドレス	セクション 2.8.61
301Ch	FRXPROTMAINEND	フラッシュ RX 保護の終了アドレス	セクション 2.8.62
3020h	FIPPROTMAINSTART	フラッシュ IP 保護の開始アドレス	セクション 2.8.63
3024h	FIPPROTMAINEND	フラッシュ IP 保護の終了アドレス	セクション 2.8.64
3038h	FLBANKSWPPOLICY	フラッシュ バンク スワップ方針	セクション 2.8.65
303Ch	FLBANKSWP	フラッシュ メイン バンクのアドレス スワップ	セクション 2.8.66
3044h	FWENABLE	セキュリティ ファイアウォール イネーブル レジスタ	セクション 2.8.67
3048h	SECSTATUS	セキュリティ設定ステータス	セクション 2.8.68
3060h	INITDONE	INITCODE PASS	セクション 2.8.69

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 2-20 に、このセクションでアクセス タイプに使用しているコードを示します。

表 2-20. SYSCTL のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RC	R C	読み出し後 クリア
書き込みタイプ		

Copyright © 2026 Texas Instruments Incorporated

表 2-20. SYSCTL のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
W1S	W 1S	1 を書き込むことで セット
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

2.8.1 IIDX レジスタ (オフセット = 1020h) [リセット = 00000000h]

IIDX を表 2-21 に示します。

概略表に戻ります。

SYSCTL 割り込みインデックス

表 2-21. IIDX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	STAT	R	0h	SYSCTL 割り込みインデックス (IIDX) レジスタは、保留中の割り込み要因のうち、最も優先度が高いものに対応する値を生成します。この値は、割り込みサービス ルーチン内で高速かつ決定論的に処理するためのアドレスオフセットとして使用できます。IIDX レジスタを読み取ると、RIS レジスタおよび MIS レジスタ内の対応する割り込みステータスがクリアされます。 0h = 割り込み保留なし 1h = LFOSCGOOD 割り込みが保留中 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8

Copyright © 2026 Texas Instruments Incorporated

2.8.2 IMASK レジスタ (オフセット = 1028h) [リセット = 00000000h]

IMASK を表 2-22 に示します。

概略表に戻ります。

SYSCTL 割り込みマスク

表 2-22. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7	HSCLKGOOD	R/W	0h	HSCLK GOOD 0h = 0 1h = 1
6	SYSPLLGOOD	R/W	0h	SYSPLL GOOD 0h = 0 1h = 1
5	HFCLKGOOD	R/W	0h	HFCLK GOOD 0h = 0 1h = 1
4	LFXTGOOD	R/W	0h	LFXT GOOD 0h = 0 1h = 1
3	SRAMSEC	R/W	0h	SRAM シングル エラー訂正 0h = 0 1h = 1
2	FLASHSEC	R/W	0h	フラッシュ シングル エラー訂正 0h = 0 1h = 1
1	ANACLKERR	R/W	0h	アナログ クロックの整合性エラー 0h = 0 1h = 1
0	LFOSCGOOD	R/W	0h	LFOSCGOOD 割り込みを有効または無効にします。LFOSCGOOD は、LFOSC が正常に開始されたことを示します。 0h = 割り込みは無効です 1h = 割り込みは有効です

Copyright © 2026 Texas Instruments Incorporated

2.8.3 RIS レジスタ (オフセット = 1030h) [リセット = 00000000h]

RIS を表 2-23 に示します。

概略表に戻ります。

SYSCTL 未加工割り込みステータス

表 2-23. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	HSCLKGOOD	R	0h	HSCLK GOOD 0h = 0 1h = 1
6	SYSPLLGOOD	R	0h	SYSPLL GOOD 0h = 0 1h = 1
5	HFCLKGOOD	R	0h	HFCLK GOOD 0h = 0 1h = 1
4	LFXTGOOD	R	0h	LFXT GOOD 0h = 0 1h = 1
3	SRAMSEC	R	0h	SRAM シングル エラー訂正 0h = 0 1h = 1
2	FLASHSEC	R	0h	フラッシュ シングル エラー訂正 0h = 0 1h = 1
1	ANACLKERR	R	0h	アナログ クロックの整合性エラー 0h = 0 1h = 1
0	LFOSCGOOD	R	0h	LFOSCGOOD 割り込みの未加工ステータス。 0h = 割り込み保留なし 1h = 割り込み保留中

Copyright © 2026 Texas Instruments Incorporated

2.8.4 MIS レジスタ (オフセット = 1038h) [リセット = 00000000h]

MIS を表 2-24 に示します。

概略表に戻ります。

SYSCTL マスク割り込みステータス

表 2-24. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	HSCLKGOOD	R	0h	HSCLK GOOD 0h = 0 1h = 1
6	SYSPLLGOOD	R	0h	SYSPLL GOOD 0h = 0 1h = 1
5	HFCLKGOOD	R	0h	HFCLK GOOD 0h = 0 1h = 1
4	LFXTGOOD	R	0h	LFXT GOOD 0h = 0 1h = 1
3	SRAMSEC	R	0h	SRAM シングル エラー訂正 0h = 0 1h = 1
2	FLASHSEC	R	0h	フラッシュ シングル エラー訂正 0h = 0 1h = 1
1	ANACLKERR	R	0h	アナログ クロックの整合性エラー 0h = 0 1h = 1
0	LFOSCGOOD	R	0h	LFOSCGOOD 割り込みのマスクされたステータス。 0h = 割り込み保留なし 1h = 割り込み保留中

Copyright © 2026 Texas Instruments Incorporated

2.8.5 ISET レジスタ (オフセット = 1040h) [リセット = 00000000h]

ISET を表 2-25 に示します。

概略表に戻ります。

SYSCTL 割り込みセット

表 2-25. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	W	0h	
7	HSCLKGOOD	W1S	0h	HSCLK GOOD 0h = 0 1h = 1
6	SYSPLLGOOD	W1S	0h	SYSPLL GOOD 0h = 0 1h = 1
5	HFCLKGOOD	W1S	0h	HFCLK GOOD 0h = 0 1h = 1
4	LFXTGOOD	W1S	0h	LFXT GOOD 0h = 0 1h = 1
3	SRAMSEC	W1S	0h	SRAM シングル エラー訂正 0h = 0 1h = 1
2	FLASHSEC	W1S	0h	フラッシュ シングル エラー訂正 0h = 0 1h = 1
1	ANACLKERR	W1S	0h	アナログ クロックの整合性エラー 0h = 0 1h = 1
0	LFOSCGOOD	W1S	0h	LFOSCGOOD 割り込みを設定します。 0h = 0h を書き込んでも影響はありません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

2.8.6 ICLR レジスタ (オフセット = 1048h) [リセット = 00000000h]

ICLR を表 2-26 に示します。

概略表に戻ります。

SYSCTL 割り込みクリア

表 2-26. ICLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	W	0h	
7	HSCLKGOOD	W1C	0h	HSCLK GOOD 0h = 0 1h = 1
6	SYSPLLGOOD	W1C	0h	SYSPLL GOOD 0h = 0 1h = 1
5	HFCLKGOOD	W1C	0h	HFCLK GOOD 0h = 0 1h = 1
4	LFXTGOOD	W1C	0h	LFXT GOOD 0h = 0 1h = 1
3	SRAMSEC	W1C	0h	SRAM シングル エラー訂正 0h = 0 1h = 1
2	FLASHSEC	W1C	0h	フラッシュ シングル エラー訂正 0h = 0 1h = 1
1	ANACLKERR	W1C	0h	アナログ クロックの整合性エラー 0h = 0 1h = 1
0	LFOSCGOOD	W1C	0h	LFOSCGOOD 割り込みをクリアします。 0h = 0h を書き込んでも何もしません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

2.8.7 NMIIIDX レジスタ (オフセット = 1050h) [リセット = 00000000h]

表 2-27 に、NMIIIDX を示します。

概略表に戻ります。

NMI 割り込みインデックス

表 2-27. NMIIIDX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	STAT	R	0h	NMI 割り込みインデックス (NMIIIDX) レジスタは、保留中の NMI 要因のうち、最も優先度が高いものに対応する値を生成します。この値は、NMI サービス ルーチン内で高速かつ決定論的に処理するためのアドレス オフセットとして使用できます。NMIIIDX レジスタを読み取ると、NMIRIS レジスタの対応する割り込みステータスがクリアされます。 0h = 保留中の NMI はありません 1h = BOR スレッショルド NMI が保留中です 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8

Copyright © 2026 Texas Instruments Incorporated

2.8.8 NMIRIS レジスタ (オフセット = 1060h) [リセット = 00000000h]

NMIRIS を表 2-28 に示します。

概略表に戻ります。

NMI 未加工割り込みステータス

表 2-28. NMIRIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	VBATUP	R	0h	VBAT 電源オン 0h = 0 1h = 1
6	VBATDN	R	0h	VBAT 電源オフ 0h = 0 1h = 1
5	SRAMDED	R	0h	SRAM ダブル エラー検出 0h = 0 1h = 1
4	FLASHDED	R	0h	フラッシュ ダブル エラー検出 0h = 0 1h = 1
3	LFCLKFAIL	R	0h	LFXT-EXLF モニタに失敗 0h = 0 1h = 1
2	セキュリティ	R	0h	セキュリティ故障 0h = 0 1h = 1
1	WWDT0	R	0h	ウォッチドッグ 0 故障 0h = 0 1h = 1
0	BORLVL	R	0h	BORLVL NMI の未処理ステータス 0h = 割り込み保留なし 1h = 割り込み保留中

Copyright © 2026 Texas Instruments Incorporated

2.8.9 NMIISET レジスタ (オフセット = 1070h) [リセット = 00000000h]

表 2-29 に、NMIISET を示します。

概略表に戻ります。

NMI 割り込みセット

表 2-29. NMIISET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	W	0h	
7	VBATUP	W1S	0h	VBAT 電源オン 0h = 0 1h = 1
6	VBATDN	W1S	0h	VBAT 電源オフ 0h = 0 1h = 1
5	SRAMDED	W1S	0h	SRAM ダブル エラー検出 0h = 0 1h = 1
4	FLASHDED	W1S	0h	フラッシュ ダブル エラー検出 0h = 0 1h = 1
3	LFCLKFAIL	W1S	0h	LFXT-EXLF モニタに失敗 0h = 0 1h = 1
2	セキュリティ	W1S	0h	セキュリティ故障 0h = 0 1h = 1
1	WWDT0	W1S	0h	ウォッチドッグ 0 故障 0h = 0 1h = 1
0	BORLVL	W1S	0h	BORLVL NMI を設定します 0h = 0h を書き込んでも影響はありません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

2.8.10 NMIICLR レジスタ (オフセット = 1078h) [リセット = 00000000h]

表 2-30 に、NMIICLR を示します。

概略表に戻ります。

NMI 割り込みクリア

表 2-30. NMIICLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	W	0h	
7	VBATUP	W1C	0h	VBAT 電源オン 0h = 0 1h = 1
6	VBATDN	W1C	0h	VBAT 電源オフ 0h = 0 1h = 1
5	SRAMDED	W1C	0h	SRAM ダブル エラー検出 0h = 0 1h = 1
4	FLASHDED	W1C	0h	フラッシュ ダブル エラー検出 0h = 0 1h = 1
3	LFCLKFAIL	W1C	0h	LFXT-EXLF モニタに失敗 0h = 0 1h = 1
2	セキュリティ	W1C	0h	セキュリティ故障 0h = 0 1h = 1
1	WWDT0	W1C	0h	ウォッチドッグ 0 故障 0h = 0 1h = 1
0	BORLVL	W1C	0h	BORLVL の NMI をクリアする 0h = 0h を書き込んでも影響はありません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

2.8.11 SYSOSCCFG レジスタ (オフセット = 1100h) [リセット = 0002XXXXh]

表 2-31 に、SYSOSCCFG を示します。

概略表に戻ります。

SYSOSC による構成

表 2-31. SYSOSCCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R/W	0h	
17	FASTCPUEVENT	R/W	1h	無効にすると、CPU はウェークアップせず、スタンバイ状態を継続します 0h = CPU への割り込みでは、高速クロック要求はアサートされません 1h = CPU への割り込みが高速クロック要求をアサートします
16	BLOCKASYNCALL	R/W	0h	BLOCKASYNCALL を使用すると、すべての非同期高速クロック要求をマスクできます。これにより、特定のモードで動作しているときに、ハードウェアがアクティブなクロック構成を動的に変更することを防止できます。 0h = 非同期高速クロック要求は、その要求を発行するペリフェラルによって制御されます 1h = すべての非同期高速クロック要求がブロックされます
15-2	予約済み	R/W	0h	
1-0	FREQ	R/W	0h	システム発振器 (SYSOSC) の目標動作周波数 0h = ベース周波数 (32MHz) 1h = 低周波数 (4MHz)

Copyright © 2026 Texas Instruments Incorporated

2.8.12 MCLKCFG レジスタ (オフセット = 1104h) [リセット = 07XXX2X0h]

表 2-32 に、MCLKCFG を示します。

概略表に戻ります。

メイン クロック (MCLK) の構成

表 2-32. MCLKCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-27	予約済み	R/W	0h	
26-24	MCLKDIVCFG	R/W	7h	MCLK 分周設定ビット [1:0] は、MCLK4 がバイパス、MCLK2 がバイパスとして定義されています 0h = MCLK = 分周なし、MCLK2 = 分周なし、MCLK4 = 分周なし 1h = MCLK = 分周なし、MCLK2 = 分周なし、MCLK4 = MCLK を 2 分周 3h = MCLK = 分周なし、MCLK2 = 分周なし、MCLK4 = MCLK を 4 分周 5h = MCLK = 分周なし、MCLK2 = MCLK を 2 分周、MCLK4 = MCLK を 2 分周 7h = MCLK = 分周なし、MCLK2 = MCLK を 2 分周、MCLK4 = MCLK を 4 分周
23	予約済み	R/W	0h	
22	MCLKDEADCHK	R/W	0h	MCLKDEADCHK は、MCLK 停止の連続監視機能を有効または無効にします。MCLKDEADCHK を有効にする前に、LFCLK が動作している必要があります。 0h = MCLK デッド チェック監視機能が無効化されています 1h = MCLK デッド チェック監視機能が有効化されています
21	STOPCLKSTBY	R/W	0h	STOPCLKSTBY は、スタンバイ モードの動作方針 (STANDBY0 または STANDBY1) を設定します。設定すると、スタンバイ モードではすべてのペリフェラルへの ULPCLK および LFCLK の供給が停止します。ただし、TIMG0 および TIMG1 は例外で、動作を継続します。ウェークアップは、非同期高速クロック要求によってのみ可能です。 0h = スタンバイ モード時、ULPCLK および LFCLK はすべての PD0 ペリフェラルに供給されます 1h = スタンバイ モード時、TIMG0 および TIMG1 を除くすべてのペリフェラルへの ULPCLK および LFCLK の供給が停止します
20-17	予約済み	R/W	0h	
16	USEHSCLK	R/W	0h	USEHSCLK は、USELFCLK と組み合わせて、MCLK のクロック ソース選択方針を設定します。RUN モードおよび SLEEP モードで HSCLK (HFCLK または SYSPLL) を MCLK ソースとして使用するには、USEHSCLK を設定します。 0h = MCLK は高速クロック (HSCLK) を使用しません 1h = RUN モードおよび SLEEP モードでは、MCLK のクロック ソースとして高速クロック (HSCLK) が使用されます
15-13	予約済み	R/W	0h	
12	USEMFTICK	R/W	0h	USEMFTICK は、ペリフェラルへの 4MHz 固定周波数クロック (MFCLK) の供給を有効または無効にするかを指定します。有効にする場合、MDIV を無効 (0h = /1) に設定する必要があります。 0h = ペリフェラルへの 4MHz レートの MFCLK の供給が有効です 1h = ペリフェラルへの 4MHz レートの MFCLK の供給が有効です。
11-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

2.8.13 HSCLKEN レジスタ (オフセット = 1108h) [リセット = 0000XXXXh]

表 2-33 に、HSCLKEN を示します。

概略表に戻ります。

高速クロック (HSCLK) ソースのイネーブル / ディスエーブル

表 2-33. HSCLKEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R/W	0h	
16	USEEXTHFCLK	R/W	0h	USEEXTHFCLK は、HFCLK のクロック ソースとして HFCLK_IN デジタル クロック入力を選択します。無効の場合、HFXT が HFCLK のクロック ソースとなり、HFXTEN を設定できます。HFXTEN と USEEXTHFCLK を同時に設定しないでください。 0h = HFXT を HFCLK ソースとして使用します 1h = HFCLK_IN デジタル クロック入力を HFCLK ソースとして使用します
15-9	予約済み	R/W	0h	
8	SYSPLLEN	R/W	0h	SYSPLLEN は、システム フェーズ ロック ループ (SYSPLL) を有効または無効にします。 0h = SYSPLL を無効にします 1h = SYSPLL を無効にします
7-1	予約済み	R/W	0h	
0	HFXTEN	R/W	0h	HFXTEN は、高周波水晶発振器 (HFXT) を有効または無効にします。 0h = HFXT を無効にします 1h = HFXT を無効にします

Copyright © 2026 Texas Instruments Incorporated

2.8.14 HSCLKCFG レジスタ (オフセット = 110Ch) [リセット = 00000000h]

表 2-34 に、HSCLKCFG を示します。

概略表に戻ります。

高速クロック (HSCLK) のソースの選択

表 2-34. HSCLKCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	HSCLKSEL	R/W	0h	HSCLKSEL は、HSCLK ソース (SYSPLL または HFCLK) を選択します。 0h = HSCLK は内部 SYSPLL から供給されます 1h = HSCLK は内部 HFCLK から供給されます

Copyright © 2026 Texas Instruments Incorporated

2.8.15 HFCLKCLKCFG レジスタ (オフセット = 1110h) [リセット = 1XXXXX00h]

表 2-35 に、HFCLKCLKCFG を示します。

概略表に戻ります。

高周波クロック (HFCLK) の構成

表 2-35. HFCLKCLKCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R/W	0h	
28	HFCLKFLTCHK	R/W	1h	HFCLKFLTCHK は、HFCLK スタートアップ モニタを有効または無効にします。 0h = HFCLK の起動確認は行われません 1h = HFCLK の起動確認が行われます
27-14	予約済み	R/W	0h	
13-12	HFXTRSEL	R/W	0h	HFXT 範囲選択 0h = 4MHz <= HFXT 周波数 <= 8MHz 1h = 8MHz < HFXT 周波数 <= 16MHz 2h = 16MHz < HFXT 周波数 <= 32MHz 3h = 32MHz < HFXT 周波数 <= 48MHz
11-8	予約済み	R/W	0h	
7-0	HFXTTIME	R/W	0h	HFXTTIME は、64µs 単位の解像度で HFXT の起動時間を指定します。HFCLK 起動監視機能 (HFCLKFLTCHK) が有効な場合、この時間の経過後に HFXT の起動状態が確認されます。 0h = 最小起動時間 (ほぼゼロ) FFh = 最大起動時間 (約 16.32ms)

Copyright © 2026 Texas Instruments Incorporated

2.8.16 LFCLKCFG レジスタ (オフセット = 1114h) [リセット = 000000XXh]

表 2-36 に、LFCLKCFG を示します。

概略表に戻ります。

低周波数水晶発振器 (LFXT) の構成

表 2-36. LFCLKCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R/W	0h	
8	LOWCAP	R/W	0h	LOWCAP は低消費電力 LFXT モードを制御します。LFXT の負荷容量が 3pf 未満の場合、消費電力を低減するために LOWCAP を設定できます。 0h = LFXT 低容量モードが無効です 1h = LFXT 低容量モードが有効です
7-5	予約済み	R/W	0h	
4	モニタ	R/W	0h	MONITOR は、LFXT または LFCLK_IN でクロック停止故障が発生していないかを継続的に確認する LFCLK 監視機能を有効または無効にします。 0h = クロック モニタが無効です 1h = クロック モニタが有効です
3-2	予約済み	R/W	0h	
1-0	XT1DRIVE	R/W	3h	XT1DRIVE は、低周波数水晶発振器 (LFXT) の駆動能力を選択します。 0h = 最小駆動と電流 1h = 低い駆動と電流 2h = 高い駆動と電流 3h = 最大駆動および電流

Copyright © 2026 Texas Instruments Incorporated

2.8.17 SYSPLLCFG0 レジスタ (オフセット = 1120h) [リセット = 000000XXh]

SYSPLLCFG0 を表 2-37 に示します。

概略表に戻ります。

SYSPLL リファレンスおよび出力構成

表 2-37. SYSPLLCFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R/W	0h	
19-16	RDIVCLK0	R/W	0h	RDIVCLK0 は、SYSPLLCLK0 出力の最終分周器を設定します。 0h = SYSPLLCLK0 を 2 で分周 1h = SYSPLLCLK0 を 4 で分周 2h = SYSPLLCLK0 を 6 で分周 3h = SYSPLLCLK0 を 8 で分周 4h = SYSPLLCLK0 を 10 で分周 5h = SYSPLLCLK0 を 12 で分周 6h = SYSPLLCLK0 を 14 で分周 7h = SYSPLLCLK0 を 16 で分周 8h = SYSPLLCLK0 を 18 で分周 9h = SYSPLLCLK0 を 20 で分周 Ah = SYSPLLCLK0 を 22 で分周 Bh = SYSPLLCLK0 を 24 で分周 Ch = SYSPLLCLK0 を 26 で分周 Dh = SYSPLLCLK0 を 28 で分周 Eh = SYSPLLCLK0 を 30 で分周 Fh = SYSPLLCLK0 を 32 で分周
15-12	RDIVCLK1	R/W	0h	RDIVCLK1 は、SYSPLLCLK1 出力の最終分周器を設定します。 0h = SYSPLLCLK1 を 2 で分周 1h = SYSPLLCLK1 を 4 で分周 2h = SYSPLLCLK1 を 6 で分周 3h = SYSPLLCLK1 を 8 で分周 4h = SYSPLLCLK1 を 10 で分周 5h = SYSPLLCLK1 を 12 で分周 6h = SYSPLLCLK1 を 14 で分周 7h = SYSPLLCLK1 を 16 で分周 8h = SYSPLLCLK1 を 18 で分周 9h = SYSPLLCLK1 を 20 で分周 Ah = SYSPLLCLK1 を 22 で分周 Bh = SYSPLLCLK1 を 24 で分周 Ch = SYSPLLCLK1 を 26 で分周 Dh = SYSPLLCLK1 を 28 で分周 Eh = SYSPLLCLK1 を 30 で分周 Fh = SYSPLLCLK1 を 32 で分周
11-8	RDIVCLK2X	R/W	0h	RDIVCLK2X は、SYSPLLCLK2X 出力の最終分周器を設定します。 0h = SYSPLLCLK1 を 1 で分周 1h = SYSPLLCLK1 を 2 で分周 2h = SYSPLLCLK1 を 3 で分周 3h = SYSPLLCLK1 を 4 で分周 4h = SYSPLLCLK1 を 5 で分周 5h = SYSPLLCLK1 を 6 で分周 6h = SYSPLLCLK1 を 7 で分周 7h = SYSPLLCLK1 を 8 で分周 8h = SYSPLLCLK1 を 9 で分周 9h = SYSPLLCLK1 を 10 で分周 Ah = SYSPLLCLK1 を 11 で分周 Bh = SYSPLLCLK1 を 12 で分周 Ch = SYSPLLCLK1 を 13 で分周 Dh = SYSPLLCLK1 を 14 で分周 Eh = SYSPLLCLK1 を 15 で分周 Fh = SYSPLLCLK1 を 16 で分周

Copyright © 2026 Texas Instruments Incorporated

表 2-37. SYSPLLCFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	
6	ENABLECLK2X	R/W	0h	ENABLECLK2X は SYSPLLCLK2X 出力を有効または無効にします。 0h = SYSPLLCLK2X を無効化 1h = SYSPLLCLK2X を有効化
5	ENABLECLK1	R/W	0h	ENABLECLK1 は SYSPLLCLK1 出力を有効または無効にします。 0h = SYSPLLCLK1 を無効化 1h = SYSPLLCLK1 を有効化
4	ENABLECLK0	R/W	0h	ENABLECLK0 は SYSPLLCLK0 出力を有効または無効にします。 0h = SYSPLLCLK0 を無効化 1h = SYSPLLCLK0 を有効化
3-2	予約済み	R/W	0h	
1	MCLK2XVCO	R/W	0h	MCLK2XVCO は、MCLK で使用するために HSCLK マルチプレクサへ送られる SYSPLL 出力を選択します。 0h = SYSPLLCLK0 出力が HSCLK マルチプレクサに送信されます 1h = SYSPLLCLK2X 出力が HSCLK マルチプレクサに送信されます
0	SYSPLLREF	R/W	0h	SYSPLLREF は、システム PLL (SYSPLL) リファレンス クロック ソースを選択します。 0h = SYSPLL リファレンスは SYSOSC です 1h = SYSPLL リファレンスは HFCLK です

Copyright © 2026 Texas Instruments Incorporated

2.8.18 SYSPLLCFG1 レジスタ (オフセット = 1124h) [リセット = 000023XXh]

SYSPLLCFG1 を表 2-38 に示します。

概略表に戻ります。

SYSPLL リファレンスおよび帰還分周器

表 2-38. SYSPLLCFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R/W	0h	
14-8	QDIV	R/W	23h	QDIV は、SYSPLL フィードバック パス分周器を選択します。 0h = 一分周は、QDIV の有効な設定ではありません 1h = フィードバック パスを 2 分周します 7Eh = フィードバック パスを 127 (0x7E) で分周します
7-2	予約済み	R/W	0h	
1-0	PDIV	R/W	0h	PDIV は、SYSPLL のリファレンス クロックに適用するプリスケーラ分周比を選択します。 0h = SYSPLLREF は分周されていません 1h = SYSPLLREF は 2 分周します 2h = SYSPLLREF は 4 分周します 3h = SYSPLLREF は 8 分周します

Copyright © 2026 Texas Instruments Incorporated

2.8.19 SYSPLLPARAM0 レジスタ (オフセット = 1128h) [リセット = X1XAX0X0h]

SYSPLLPARAM0 を表 2-39 に示します。

概略表に戻ります。

SYSPLL PARAM0 (FACTORY 領域からロード)

表 2-39. SYSPLLPARAM0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CAPBOVERRIDE	R/W	1h	CAPBOVERRIDE は、Cap B のオーバーライド設定を制御します 0h = Cap B のオーバーライドは無効化されています 1h = Cap B のオーバーライドが有効です
30-29	予約済み	R/W	0h	
28-24	CAPBVAL	R/W	1h	Cap B のオーバーライド値
23-22	予約済み	R/W	0h	
21-16	CPCURRENT	R/W	Ah	チャージ ポンプの電流
15	予約済み	R/W	0h	
14-8	STARTTIMELP	R/W	0h	低消費電力モードから復帰してからクロックがロック状態になるまでの起動時間を 1µs 単位の解像度で指定します
7	予約済み	R/W	0h	
6-0	STARTTIME	R/W	0h	有効化してからクロックがロック状態になるまでの起動時間を 1µs 単位の解像度で指定します

Copyright © 2026 Texas Instruments Incorporated

2.8.20 SYSPLLPARAM1 レジスタ (オフセット = 112Ch) [リセット = 0FXX01XFh]

SYSPLLPARAM1 を表 2-40 に示します。

概略表に戻ります。

SYSPLL PARAM1 (FACTORY 領域からロード)

表 2-40. SYSPLLPARAM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	LPFRESC	R/W	Fh	ループ フィルタ Res C
23-18	予約済み	R/W	0h	
17-8	LPFRESA	R/W	1h	ループ フィルタ Res A
7-5	予約済み	R/W	0h	
4-0	LPFCAPA	R/W	Fh	ループ フィルタ Cap A

Copyright © 2026 Texas Instruments Incorporated

2.8.21 SYSPLLPARAM2 レジスタ (オフセット = 1130h) [リセット = 0000000Xh]

SYSPLLPARAM2 を表 2-41 に示します。

概略表に戻ります。

SYSPLL PARAM2 (FACTORY 領域からロード)

表 2-41. SYSPLLPARAM2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3	RNGFIXVCOIBIASCFG	R/W	1h	温度補償用 R 付加値の 0 値
2	予約済み	R/W	0h	
1-0	LPFCAPC	R/W	0h	ループ フィルタ Cap C

Copyright © 2026 Texas Instruments Incorporated

2.8.22 SYSPLLLDOCTL レジスタ (オフセット = 1134h) [リセット = 00000000h]

表 2-42 に、SYSPLLLDOCTL を示します。

概略表に戻ります。

SYSPLL LDO CTL (FACTORY 領域からロード)

表 2-42. SYSPLLLDOCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	
15-0	LDOCTLLOWV	R/W	0h	LDO の構成可能性

Copyright © 2026 Texas Instruments Incorporated

2.8.23 SYSPLLLDOPROG レジスタ (オフセット = 1138h) [リセット = 00000004h]

表 2-43 に、SYSPLLLDOPROG を示します。

概略表に戻ります。

SYSPLL LDO VOUT PROG (FACTORY 領域からロード)

表 2-43. SYSPLLLDOPROG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R/W	0h	
2-0	LDOVOUTPROGLOWV	R/W	4h	HPLL LDO Vout Prog

Copyright © 2026 Texas Instruments Incorporated

2.8.24 GENCLKEN レジスタ (オフセット = 113Ch) [リセット = 000000XXh]

表 2-44 に、GENCLKEN を示します。

概略表に戻ります。

汎用クロック イネーブル制御

表 2-44. GENCLKEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R/W	0h	
18	I2SPLLCLKDIVEN	R/W	0h	I2SPLLCLKDIVEN は、I2S に供給される PLL ソース クロックの分周機能を有効または無効にします。 0h = クロック分周器は無効です (パススルー動作となり、I2SPLLCLKDIV の設定は適用されません) 1h = クロック分周器は有効です (I2SPLLCLKDIV が適用されます)
17-16	I2SPLLCLKDIVCFG	R/W	0h	I2SPLLCLKDIVCFG は、PLL ソースから CAN への分周器の値を選択します。 0h = CLK_OUT ソースを 4 分周します 1h = CLK_OUT ソースを 8 分周します 2h = CLK_OUT ソースを 12 分周します 3h = CLK_OUT ソースを 16 分周します
15	CANEXTDIVEN	R/W	0h	CANEXTDIVEN は、PLL ソースから CAN への分周器機能を有効または無効にします。 0h = クロック分周器は無効です (パススルー動作となり、EXTDIVCAN は適用されません) 1h = クロック分周器は有効です (EXTDIVCAN が適用されます)
14-12	EXTDIVCAN	R/W	0h	EXTDIVCAN は、PLL ソースから CAN への分周器の値を選択します。 0h = CLK_OUT ソースを 2 分周します 1h = CLK_OUT ソースを 4 分周します 2h = CLK_OUT ソースを 6 分周します 3h = CLK_OUT ソースを 8 分周します 4h = CLK_OUT ソースを 10 分周します 5h = CLK_OUT ソースを 12 分周します 6h = CLK_OUT ソースを 14 分周します 7h = CLK_OUT ソースを 16 分周します
11	MCLKEXTDIVEN	R/W	0h	MCLKEXTDIVEN は、PLL ソースから MCLK への分周器機能を有効または無効にします。 0h = クロック分周器は無効です (パススルー動作となり、EXTDIVMCLK は適用されません) 1h = クロック分周器は有効です (EXTDIVMCLK が適用されます)
10-8	EXTDIVMCLK	R/W	0h	EXTDIVMCLK は、PLL をクロックソースとする MCLK の分周器に設定する分周値を選択します。 0h = CLK_OUT ソースを 2 分周します 1h = CLK_OUT ソースを 4 分周します 2h = CLK_OUT ソースを 6 分周します 3h = CLK_OUT ソースを 8 分周します 4h = CLK_OUT ソースを 10 分周します 5h = CLK_OUT ソースを 12 分周します 6h = CLK_OUT ソースを 14 分周します 7h = CLK_OUT ソースを 16 分周します
7-1	予約済み	R/W	0h	
0	EXCLKEN	R/W	0h	EXCLKEN は、CLK_OUT 外部クロック出力ブロックを有効にします。 0h = CLK_OUT ブロックが無効です 1h = CLK_OUT ブロックが有効です

Copyright © 2026 Texas Instruments Incorporated

2.8.25 GENCLKCFG レジスタ (オフセット = 1140h) [リセット = 00000X0Xh]

表 2-45 に、GENCLKCFG を示します。

概略表に戻ります。

汎用クロック構成

表 2-45. GENCLKCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R/W	0h	
29	FCCLFCLKSRC	R/W	0h	FCCLFCLKSRC は、システム LFCLK と外部供給 LFCLK のいずれかを選択します。
28-24	FCCTRIGCNT	R/W	0h	FCCTRIGCNT は、トリガ ウィンドウ内のトリガ クロック周期数を指定します。FCCTRIGCNT には、0h (トリガ クロックの一周期) から 1Fh (トリガ クロック 32 周期) までの値を指定できます。
23-22	ANACPUMPCFG	R/W	0h	ANACPUMPCFG は、アナログ マルチプレクサ用チャージ ポンプ (VBOOST) の有効化方式を選択します。 0h = VBOOST は、COMP、GPAMP、OPA からの要求に応じて有効化されます 1h = デバイスが RUN モードまたは SLEEP モードにある場合、あるいは COMP/GPAMP/OPA のいずれかが有効になっている場合、VBOOST が有効になります 2h = VBOOST は常に有効です
21	FCCLVLTRIG	R/W	0h	FCCLVLTRIG は、周波数クロック カウンタ (FCC) のトリガ モードを選択します。 0h = 立ち上がりエッジから次の立ち上がりエッジまでをトリガとして動作 1h = レベルトリガ
20	FCCTRIGSRC	R/W	0h	FCCTRIGSRC は、周波数クロック カウンタ (FCC) トリガ ソースを選択します。 0h = FCC トリガは外部ピンです 1h = FCC トリガは LFCLK です
19-16	FCCSELCLK	R/W	0h	FCCSELCLK は、周波数クロック カウンタ (FCC) クロック ソースを選択します。 0h = FCC クロックは MCLK の 4 分周です 1h = FCC クロックは SYSOSC です 2h = FCC クロックは HFCLK です 3h = FCC クロックは CLK_OUT 選択です 4h = FCC クロックは SYSPLLCLK0 です 5h = FCC クロックは SYSPLLCLK1 です 6h = FCC クロックは SYSPLLCLK2X です 7h = FCC クロックは FCCIN 外部入力です
15-9	予約済み	R/W	0h	
8	CANCLKSRC	R/W	0h	CANCLKSRC は、CANCLK ソースを選択します。 0h = CANCLK ソースは HFCLK です 1h = CANCLK ソースは SYSPLLOUT0 または SYSPLLOUT2x です
7	EXCLKDIVEN	R/W	0h	EXCLKDIVEN は、CLK_OUT 外部クロック出力ブロックの分周機能を有効または無効にします。 0h = クロック分周器は無効です (パススルー動作となり、EXCLKDIVVAL は適用されません) 1h = クロック分周器は有効です (EXCLKDIVVAL が適用されます)

Copyright © 2026 Texas Instruments Incorporated

表 2-45. GENCLKCFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-4	EXCLKDIVVAL	R/W	0h	EXCLKDIVVAL は、CLK_OUT 外部クロック出力ブロック内の分周器に設定する分周値を選択します。 0h = CLK_OUT ソースを 2 分周します 1h = CLK_OUT ソースを 4 分周します 2h = CLK_OUT ソースを 6 分周します 3h = CLK_OUT ソースを 8 分周します 4h = CLK_OUT ソースを 10 分周します 5h = CLK_OUT ソースを 12 分周します 6h = CLK_OUT ソースを 14 分周します 7h = CLK_OUT ソースを 16 分周します
3	予約済み	R/W	0h	
2-0	EXCLKSRC	R/W	0h	EXCLKSRC は、CLK_OUT 外部クロック出力ブロックのクロック ソースを選択します。ULPCLK を使用するには、CLK_OUT 分周器 (EXCLKDIVEN) を有効にする必要があります 0h = CLK_OUT は SYSOSC です 1h = CLK_OUT は ULPCLK です (EXCLKDIVEN を有効にする必要があります) 2h = CLK_OUT は LFCLK です 3h = 予約済み 4h = CLK_OUT は HFCLK です 5h = CLK_OUT は SYSPLLCLK1 です (SYSPLLCLK1 は 48MHz 以下である必要があります)

Copyright © 2026 Texas Instruments Incorporated

2.8.26 PMODECFG レジスタ (オフセット = 1144h) [リセット = 00000000h]

表 2-46 に、PMODECFG を示します。

概略表に戻ります。

電力モードの構成

表 2-46. PMODECFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R/W	0h	
1-0	DSLEEP	R/W	0h	DSLEEP は、CPU から DEEPSLEEP 要求が発行された際に移行する動作モードを選択します。 0h = ストップ モードに移行します 1h = スタンバイ モードに移行します 2h = シャットダウン モードに移行します 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

2.8.27 MLDOLPENCFG レジスタ (オフセット = 1148h) [リセット = 000000XXh]

表 2-47 に、MLDOLPENCFG を示します。

概略表に戻ります。

LDO 構成制御

表 2-47. MLDOLPENCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R/W	0h	
8	SVBPRETDIS	R/W	0h	ストップ モードおよびスタンバイ モード時に、コア LDO をリテンション回路から切り離す動作を無効にする制御 0h = ストップ モードおよびスタンバイ モード中は、コア LDO をリテンション ドメインから切り離します 1h = STOP およびスタンバイ中にコア LDO を保持ドメインから接続解除しないでください
7-1	予約済み	R/W	0h	
0	CVLODIS	R/W	0h	ストップおよびスタンバイのためのコア電圧の低下を無効にする制御 0h = ストップ モードおよびスタンバイ モード時にコア電圧を低下させます 1h = ウェークアップを高速化するため、ストップ モードおよびスタンバイ モード時にコア電圧を低下させません

Copyright © 2026 Texas Instruments Incorporated

2.8.28 FCC レジスタ (オフセット = 1150h) [リセット = 00000000h]

FCC を表 2-48 に示します。

概略表に戻ります。

周波数クロック カウンタ (FCC) のカウント

表 2-48. FCC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0h	
21-0	データ	R	0h	周波数クロック カウンタ (FCC) カウント値。

Copyright © 2026 Texas Instruments Incorporated

2.8.29 PMULDOSPARECTL レジスタ (オフセット = 1154h) [リセット = 00000000h]

表 2-49 に、PMULDOSPARECTL を示します。

概略表に戻ります。

LDO スペア制御

表 2-49. PMULDOSPARECTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-0	sparectrl	R/W	0h	M33 用の予備 PMU LDO 制御

Copyright © 2026 Texas Instruments Incorporated

2.8.30 SYSCTL_ECO_REG1 レジスタ (オフセット = 1158h) [リセット = 00000000h]

SYSCTL_ECO_REG1 を表 2-50 に示します。

概略表に戻ります。

Sysctl ECO Reg 1

表 2-50. SYSCTL_ECO_REG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ecoreg	R/W	0h	M33 用 ECO Reg 1

Copyright © 2026 Texas Instruments Incorporated

2.8.31 SYSCTL_ECO_REG2 レジスタ (オフセット = 115Ch) [リセット = 00000000h]

SYSCTL_ECO_REG2 を表 2-51 に示します。

概略表に戻ります。

Sysctl ECO Reg 2

表 2-51. SYSCTL_ECO_REG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ecoreg	R/W	0h	M33 用 ECO Reg 2

Copyright © 2026 Texas Instruments Incorporated

2.8.32 SYSTEMCFG レジスタ (オフセット = 1180h) [リセット = 00XXXXXXh]

表 2-52 に、SYSTEMCFG を示します。

概略表に戻ります。

システム構成

表 2-52. SYSTEMCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	更新する内容とともに、キー値 1Bh (27) をキーに書き込む必要があります。0 として読み取ります 1Bh = 書き込みを実行します
23-9	予約済み	R/W	0h	
8	SUPERCAPEN	R/W	0h	SUPERCAP は、バッテリ バックアップ システムを SUPERCAP から給電できるかどうかを指定します 0h = SUPERCAP 機能は有効ではありません 1h = SUPERCAP 機能は有効ではありません
7-3	予約済み	R/W	0h	
2	FLASHECCRSTDIS	R/W	1h	FLASHECCRSTDIS は、フラッシュ ECC ダブル エラー検出 (DED) 時に、SYSRST を発生させるか NMI を発生させるかを指定します。 0h = フラッシュ ECC DED は SYSRST をトリガします 1h = フラッシュ ECC DED は NMI をトリガします
1	予約済み	R/W	0h	
0	WWDTLP0RSTDIS	R/W	0h	WWDTLP0RSTDIS は、WWDT エラー イベント発生時に、BOOTRST を発生させるか NMI を発生させるかを指定します。 0h = WWDTLP0 エラー イベントは BOOTRST をトリガします 1h = WWDTLP0 エラー イベントは NMI をトリガします

Copyright © 2026 Texas Instruments Incorporated

2.8.33 SRAMCFG レジスタ (オフセット = 1184h) [リセット = 00XXXXXXh]

表 2-53 に、SRAMCFG を示します。

概略表に戻ります。

システム SRAM の構成

表 2-53. SRAMCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	更新する内容とともに、キー値 B5h (181) をキーに書き込む必要があります。0 として読み取ります B5h = 書き込みを実行します
23-20	予約済み	R/W	0h	
19	BANKINITDIS3	R/W	0h	SRAM BANK3 の初期化 0h = OFF から ON に遷移するときに SRAM BANK3 を初期化します 1h = OFF から ON に遷移するとき、SRAM BANK3 は初期化されません
18	BANKINITDIS2	R/W	0h	SRAM BANK2 の初期化 0h = OFF から ON に遷移するときに SRAM BANK2 を初期化します 1h = OFF から ON に遷移するとき、SRAM BANK2 は初期化されません
17	BANKINITDIS1	R/W	0h	SRAM BANK1 の初期化 0h = OFF から ON に遷移するときに SRAM BANK1 を初期化します 1h = OFF から ON に遷移するとき、SRAM BANK1 は初期化されません
16-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

2.8.34 WRITELOCK レジスタ (オフセット = 1200h) [リセット = 00000000h]

表 2-54 に、WRITELOCK を示します。

概略表に戻ります。

SYSCTL レジスタ書き込みロックアウト

表 2-54. WRITELOCK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	アクティブ	R/W	0h	ACTIVE は、重要な SYSCTL レジスタを書き込み保護するかどうかを制御します。 0h = ロック可能なレジスタへの書き込みを許可します 1h = ロック可能なレジスタへの書き込みを許可しません

Copyright © 2026 Texas Instruments Incorporated

2.8.35 CLKSTATUS レジスタ (オフセット = 1204h) [リセット = XXXXX0XXh]

表 2-55 に、CLKSTATUS を示します。

概略表に戻ります。

クロック モジュール (CKM) のステータス

表 2-55. CLKSTATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	ANACLKERR	R	0h	デバイスのクロック構成が、有効になっているアナログ ペリフェラルの動作モードに対応していない場合、ANACLKERR がセットされます。この場合、アナログ ペリフェラルが正常に動作しない可能性があります。 0h = アナログ クロック エラーは未検出です 1h = アナログ クロック エラーを検出しました
30	予約済み	R	0h	
29	SYSPLLBLKUPD	R	0h	SYSPLLBLKUPD は、SYSPLLCFG0/1 および SYSPLLPARAM0/1 への書き込みがブロックされる条件を示します。 0h = SYSPLLCFG0/1 および SYSPLLPARAM0/1 への書き込みが許可されます 1h = SYSPLLCFG0/1 および SYSPLLPARAM0/1 への書き込みはブロックされます
28	HFCLKBLKUPD	R	0h	HFCLKBLKUPD は、HFCLKCLKCFG レジスタへの書き込みがブロックされる条件を示します。 0h = HFCLKCLKCFG への書き込みが許可されます 1h = HFCLKCLKCFG への書き込みはブロックされます
27-26	予約済み	R	0h	
25	FCCDONE	R	0h	FCCDONE は、周波数クロック カウンタのキャプチャが完了したことを示します。 0h = FCC キャプチャは実行されていません 1h = FCC キャプチャが完了しています
24	FCLMODE	R	0h	FCLMODE は、SYSOSC 周波数補正ループ (FCL) が有効かどうかを示します。 0h = SYSOSC FCL が無効です 1h = SYSOSC FCL が有効です
23	LFCLKFAIL	R	0h	LFCLKFAIL は、常時動作する LFCLK モニタが LFXT または LFCLK_IN クロックの停止故障を検出したことを示します。 0h = LFCLK フォルト検出なし 1h = LFCLK 停止故障を検出しました
22	予約済み	R	0h	
21	HSCLKGOOD	R	0h	HSCLK 用に選択されたクロック ソースが正常に起動すると、ハードウェアによって HSCLKGOOD がセットされます。 0h = HSCLK ソースは正しく起動しませんでした 1h = HSCLK ソースは正常に開始しました
20	HSCLKDEAD	R	0h	HSCLK 用に選択されたクロック ソースの起動が試行されたものの正常に起動しなかった場合、ハードウェアによって HSCLKDEAD がセットされます。 0h = HSCLK ソースは正しく開始されていないか、正しく開始されていません 1h = HSCLK ソースは正しく起動しませんでした
19-18	予約済み	R	0h	
17	CURMCLKSEL	R	0h	CURMCLKSEL は、MCLK が現在 LFCLK から供給されているかどうかを示します。 0h = MCLK は LFCLK から供給されていません 1h = MCLK は LFCLK から供給されます
16	CURHSCLKSEL	R	0h	CURHSCLKSEL は、HSCLK の現在のクロック ソースを示します。 0h = HSCLK は現在、SYSPLL から供給されています 1h = HSCLK は現在、HFCLK から供給されています

Copyright © 2026 Texas Instruments Incorporated

表 2-55. CLKSTATUS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R	0h	
14	SYSPLLOFF	R	0h	SYSPLLOFF は、SYSPLL が無効になっているか、起動時に正常に動作しなかったことを示します。SYSPLL が開始されると、SYSPLLOFF はハードウェアによってクリアされます。SYSPLL の起動後、SYSPLL 起動モニタが SYSPLL は正常に起動していないと判定した場合、SYSPLLOFF がセットされます。 0h = SYSPLL は正しく開始され、有効になっています 1h = SYSPLL は無効、または起動時に動作不能です
13	HFCLKOFF	R	0h	HFCLKOFF は、HFCLK が無効になっているか、起動時に正常に動作しなかったことを示します。HFCLK が開始されると、HFCLKOFF はハードウェアによってクリアされます。HFCLK の起動後、HFCLK 起動モニタが HFCLK は正常に起動していないと判定した場合、HFCLKOFF がセットされます。 0h = HFCLK は正しく開始され、有効になっています 1h = HFCLK は無効、または起動時に動作不能です
12	HSCLKSOFF	R	0h	高速クロック ソース (SYSPLL、HFCLK) が無効化、または無効化されている場合、HSCLKSOFF が設定されます。これは、HFCLKOFF と SYSPLLOFF の論理 AND です。 0h = SYSPLL、HFCLK、または両方が正しく起動されて、有効のままです 1h = SYSPLL と HFCLK の両方が、停止中または動作不能です
11	LFOSCGOOD	R	0h	LFOSCGOOD は、LFOSC の起動が完了し、LFOSC が使用可能な状態になったことを示します。 0h = LFOSC は使用可能な状態ではありません 1h = LFOSC は使用可能な状態です
10	LFXTGOOD	R	0h	LFXTGOOD は、LFXT が正しく開始されたかどうかを示します。LFXT が起動されると、ハードウェアによって LFXTGOOD がクリアされます。起動時の安定待ち時間が経過した後、LFXT のステータスが確認されます。LFXT が正常に起動した場合は LFXTGOOD ビットがセットされ、正常に起動しなかった場合はクリアされたままとなります。 0h = LFXT は正しく開始しませんでした 1h = LFXT は正常に開始しました
9	SYSPLLGOOD	R	0h	SYSPLLGOOD は、SYSPLL が正常に起動したかどうかを示します。SYSPLL が開始されると、SYSPLLGOOD はハードウェアによってクリアされます。起動時の安定待ち時間が経過した後、SYSPLL のステータスが確認されます。SYSPLL が正常に起動した場合は SYSPLLGOOD ビットがセットされ、正常に起動しなかった場合はクリアされたままとなります。 0h = SYSPLL は正しく開始しませんでした 1h = SYSPLL は正常に開始しました
8	HFCLKGOOD	R	0h	HFCLKGOOD は、HFCLK が正しく開始されたことを示します。HFXT が起動された場合、または HFCLK_IN が HFCLK ソースとして選択された場合、有効な HFCLK が検出されると、このビットはハードウェアによってセットされます。HFCLK が想定範囲内で動作していない場合はクリアされます。 0h = HFCLK は正しく開始しませんでした 1h = HFCLK は正常に開始しました
7-6	LFCLKMUX	R	0h	LFCLKMUX は、LFCLK のクロック ソースが内部 LFOSC、低周波水晶発振器 (LFXT)、または LFCLK_IN デジタル クロック入力のいずれであるかを示します。 0h = LFCLK は内部 LFOSC から供給されます 1h = LFCLK のクロック ソースは LFXT (水晶発振器) です 2h = LFCLK のクロック ソースは LFCLK_IN (外部デジタルクロック入力) です
5	予約済み	R	0h	
4	HSCLKMUX	R	0h	HSCLKMUX は、現在 MCLK のクロック ソースとして高速クロック (HSCLK) が使用されているかどうかを示します。 0h = MCLK は HSCLK から供給されていません 1h = MCLK は HSCLK から供給されます

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 2-55. CLKSTATUS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	予約済み	R	0h	
1-0	SYSOSCFREQ	R	0h	SYSOSCFREQ は、現在の SYSOSC の動作周波数を示します。 0h = SYSOSC はベース周波数 (32MHz) で動作しています 1h = SYSOSC は低周波数 (4MHz) で動作しています

Copyright © 2026 Texas Instruments Incorporated

2.8.36 SYSSTATUS レジスタ (オフセット = 1208h) [リセット = XXX00X00h]

表 2-56 に、SYSSTATUS を示します。

概略表に戻ります。

システム ステータス情報

表 2-56. SYSSTATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	REBOOTATTEMPTS	R	0h	REBOOTATTEMPTS は、ユーザー アプリケーションが起動するまでに行われたブート試行回数を示します。
29-20	予約済み	R	0h	
19	SRAMBANK3READY	R	0h	SRAM BANK3 準備完了状態 0h = SRAM BANK3 はアクセス可能な状態ではありません 1h = SRAM BANK3 はアクセス可能な状態です
18	SRAMBANK2READY	R	0h	SRAM BANK2 準備完了状態 0h = SRAM BANK2 はアクセス可能な状態ではありません 1h = SRAM BANK2 はアクセス可能な状態です
17	SRAMBANK1READY	R	0h	SRAM BANK1 準備完了状態 0h = SRAM BANK1 はアクセス可能な状態ではありません 1h = SRAM BANK1 はアクセス可能な状態です
16	PKAREADY	R	0h	PKAREADY は、PKA ペリフェラルの準備ができたことを示します。 0h = PKA は使用可能な状態ではありません 1h = PKA は使用可能な状態です
15	予約済み	R	0h	
14	SHDNIOLOCK	R	0h	SHDNIOLOCK は、シャットダウンにより IO がロックされていることを示します 0h = シャットダウンにより IO はロックされていません 1h = シャットダウンにより IO がロックされます
13	SWDCFGDIS	R	0h	SWDCFGDIS は、ユーザーが SWD ポートの使用を無効にしているかどうかを示します 0h = SWD ポートは有効です 1h = SWD ポートは無効です
12	EXTRSTPINDIS	R	0h	EXTRSTPINDIS は、ユーザーが外部リセット ピンの使用を無効にしているかどうかを示します 0h = 外部リセット ピンが有効です 1h = 外部リセット ピンが無効です
11-10	予約済み	R	0h	
9	MCAN1READY	R	0h	MCAN1READY は、MCAN1 ペリフェラルの準備ができたことを示します。 0h = MCAN1 は使用可能な状態ではありません 1h = MCAN1 の準備が完了しています
8	MCAN0READY	R	0h	MCAN0READY は、MCAN0 ペリフェラルの準備ができたことを示します。 0h = MCAN0 は使用可能な状態ではありません 1h = MCAN0 の準備が完了しています
7	VBATGOOD	R	0h	VBAT 電源ドメインが有効な状態になると、ハードウェアによって VBATGOOD がセットされます。 0h = VBAT 電源ドメインが有効ではありません 1h = VBAT 電源ドメインは有効です
6	PMUIREFGOOD	R	0h	PMU の電流リファレンスが使用可能な状態になると、ハードウェアによって PMUIREFGOOD がセットされます。 0h = IREF は使用可能な状態ではありません 1h = IREF は使用可能な状態です

Copyright © 2026 Texas Instruments Incorporated

表 2-56. SYSSTATUS レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	ANACPUMPGOOD	R	0h	ANACPUMPGOOD は、VBOOST アナログ マルチプレクサ チャージ ポンプの準備ができたとき、ハードウェアで設定されます。 0h = VBOOST は使用可能な状態ではありません 1h = VBOOST は使用可能な状態です
4	BORLVL	R	0h	BORLVL は、BOR イベントが発生し、BOR スレッショルドがハードウェアによって BOR0 へ切り替えられたかどうかを示します。 0h = BOR 違反は発生していません 1h = BOR 違反が発生し、BOR スレッショルドが BOR0 に切り替えられました
3-2	BORCURTHRESHOLD	R	0h	BORCURTHRESHOLD は、アクティブ電圧低下リセットの電源監視構成を示します。 0h = デフォルトの最小スレッショルドで、BOR0 - 違反によって BOR がトリガされます 1h = BOR1 - 違反により BORLVL 割り込みが生成されます 2h = BOR2 - 違反により BORLVL 割り込みが生成されます 3h = BOR3 - 違反により BORLVL 割り込みが生成されます
1	FLASHSEC	R	0h	FLASHSEC は、フラッシュ ECC のシングル ビット エラーが検出され、訂正されたかどうかを示します (SEC)。 0h = フラッシュ ECC のシングル ビットエラーは検出されていません 1h = フラッシュ ECC のシングル ビット エラーが検出され、訂正されました
0	FLASHDED	R	0h	FLASHDED フラッシュ ECC ダブル ビット エラーが検出されたかどうかを示します (DED)。 0h = フラッシュ ECC のダブル ビット エラーは検出されていません 1h = フラッシュ ECC ダブル ビット エラーが検出されました

Copyright © 2026 Texas Instruments Incorporated

2.8.37 RSTCAUSE レジスタ (オフセット = 1220h) [リセット = 00000000h]

表 2-57 に、RSTCAUSE を示します。

概略表に戻ります。

リセットの原因

表 2-57. RSTCAUSE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4-0	ID	RC	0h	ID は読み取りからクリアまでのフィールドで、最後の読み取り以降の最小レベルのリセット要因を示します。 0h = 最後の読み取り以降にリセットなし 1h = POR 違反、SHUTDNSTOREx または PMU トリム パリティ障害 2h = NRST トリガ POR (1 秒を超えて保持) 3h = ソフトウェア トリガ POR 4h = BOR0 - 違反 5h = SHUTDOWN モード終了 8h = PMU 以外のトリム パリティ障害 9h = 致命的なクロック障害 Ch = NRST トリガ BOOTRST (1 秒未満で保持) Ah = ソフトウェア トリガ BOOTRST Eh = WWDT0 違反 10h = BSL 終了 11h = BSL エントリ フラッシュの訂正不可能 ECC エラー 15h = CPULOCK 違反 1Ah= デバッグ トリガ SYSRST 1Bh = ソフトウェア トリガ SYSRST 1Ch= デバッグ トリガ CPURST 1Dh = ソフトウェア トリガ CPURST

Copyright © 2026 Texas Instruments Incorporated

2.8.38 RESETLEVEL レジスタ (オフセット = 1300h) [リセット = 00000000h]

表 2-58 に、RESETLEVEL を示します。

概略表に戻ります。

アプリケーションによってトリガされるリセット コマンドのリセット レベル

表 2-58. RESETLEVEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R/W	0h	
2-0	レベル	R/W	0h	LEVEL は、RESETCMD をソフトウェア トリガによるリセット生成に設定したときに、発行するリセットの種類を指定するために使用します。 0h = SYSRST を発行します (CPU とペリフェラルのみ) 1h = BOOTRST (CPU、ペリフェラル、ブート構成ルーチン) を実行します 2h = SYSRST を発行し、ブート ストラップ ローダ (BSL) に入ります 3h = パワーオン リセット (POR) を実行します 4h = SYSRST を実行し、ブート ストラップ ローダ (BSL) を終了します

Copyright © 2026 Texas Instruments Incorporated

2.8.39 RESETCMD レジスタ (オフセット = 1304h) [リセット = 00XXXXXXh]

表 2-59 に、RESETCMD を示します。

概略表に戻ります。

アプリケーションによってトリガされたリセット コマンドを実行します

表 2-59. RESETCMD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	リセットを実行するには、GO とともにキー値 E4h (228) をキーに書き込む必要があります。 E4h = リセットを実行します
23-1	予約済み	W	0h	
0	表示	W	0h	RESETLEVEL.LEVEL で指定されたリセットを実行します。キーと一緒に書き込む必要があります。 1h = リセットを実行します

Copyright © 2026 Texas Instruments Incorporated

2.8.40 BORTHRESHOLD レジスタ (オフセット = 1308h) [リセット = 00000000h]

表 2-60 に、BORTHRESHOLD を示します。

概略表に戻ります。

BOR スレッショルドの選択

表 2-60. BORTHRESHOLD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R/W	0h	
1-0	レベル	R/W	0h	LEVEL は、目的の BOR スレッショルドと BOR モードを指定します。 0h = デフォルトの最小スレッショルドで、BOR0 - 違反によって BOR がトリガされます 1h = BOR1 - 違反により BORLVL 割り込みが生成されます 2h = BOR2 - 違反により BORLVL 割り込みが生成されます 3h = BOR3 - 違反により BORLVL 割り込みが生成されます

Copyright © 2026 Texas Instruments Incorporated

2.8.41 BORCLRCMD レジスタ (オフセット = 130Ch) [リセット = 00XXXXXXh]

表 2-61 に、BORCLRCMD を示します。

概略表に戻ります。

BOR スレッショルドの設定

表 2-61. BORCLRCMD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	クリア処理および BOR スレッショルドの変更を実行するには、GO とともにキー値 C7h (199) をキーに書き込む必要があります。 C7h = クリアを実行します
23-1	予約済み	W	0h	
0	表示	W	0h	GO は、それ以前の BOR 違反ステータス表示をクリアし、アクティブな BOR モードを BORTHRESHOLD レジスタの LEVEL フィールドで指定されたモードに変更しようとします。 1h = クリアを実行します

Copyright © 2026 Texas Instruments Incorporated

2.8.42 SYSOSCFCLCTL レジスタ (オフセット = 1310h) [リセット = 00XXXXXXh]

表 2-62 に、SYSOSCFCLCTL を示します。

概略表に戻ります。

SYSOSC 周波数補正ループ (FCL) ROSC のイネーブル

表 2-62. SYSOSCFCLCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	FCL を有効にするには、SETUSEFCL とともにキー値 2Ah (42) をキーに書き込む必要があります。 2Ah = コマンドを実行します
23-1	予約済み	W	0h	
0	SETUSEFCL	W	0h	SETUSEFCL を設定して、SYSOSC の周波数補正ループを有効にします。一度有効にすると、この状態は次回の BOOTRST までロックされます。 1h = SYSOSC FCL を有効にします

Copyright © 2026 Texas Instruments Incorporated

2.8.43 LFXTCTL レジスタ (オフセット = 1314h) [リセット = 00XXXXXXh]

表 2-63 に、LFXTCTL を示します。

概略表に戻ります。

LFXT および LFCLK の制御

表 2-63. LFXTCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	対応するビットをセットするには、STARTLFXT または SETUSELFXT のいずれかとともに、キー値 91h (145) をキーへ書き込む必要があります。 91h = コマンドを実行します
23-2	予約済み	W	0h	
1	SETUSELFXT	W	0h	SETUSELFXT を設定して、LFCLK を LFXT に切り替えます。セットされると、次の BOOTRST まで SETUSELFXT は設定されたままになります。 0h = 0 1h = LFXT を LFCLK ソースとして使用します
0	STARTLFXT	W	0h	STARTLFXT を設定して、低周波数水晶発振器 (LFXT) を開始します。一度セットされると、次の BOOTRST まで STARTLFXT は設定されたままになります。 0h = LFXT は開始されていません 1h = LFXT を開始

Copyright © 2026 Texas Instruments Incorporated

2.8.44 EXLFCTL レジスタ (オフセット = 1318h) [リセット = 00XXXXXXh]

表 2-64 に、EXLFCTL を示します。

概略表に戻ります。

LFCLK_IN および LFCLK の制御

表 2-64. EXLFCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	SETUSEEXLF を設定するには、SETUSEEXLF とともにキー値 36h (54) をキーへ書き込む必要があります。 36h = コマンドを実行します
23-1	予約済み	W	0h	
0	SETUSEEXLF	W	0h	SETUSEEXLF を設定して、LFCLK を LFCLK_IN デジタル クロック入力に切り替えます。セットされると、次の BOOTRST まで SETUSEEXLF は設定されたままになります。 1h = LFCLK のクロック ソースとして LFCLK_IN を使用します

Copyright © 2026 Texas Instruments Incorporated

2.8.45 SHDNIOREL レジスタ (オフセット = 131Ch) [リセット = 00XXXXXXh]

表 2-65 に、SHDNIOREL を示します。

概略表に戻ります。

シャットダウン IO 解放制御

表 2-65. SHDNIOREL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	リリースを設定するには、キー値 91h をリリースとともにキーへ書き込む必要があります。 91h = コマンドを実行します
23-1	予約済み	W	0h	
0	リリース	W	0h	シャットダウン モードの終了後に IO を解放するようにリリースを設定します。 1h = IO をリリースします

Copyright © 2026 Texas Instruments Incorporated

2.8.46 EXRSTPIN レジスタ (オフセット = 1320h) [リセット = 00XXXXXXh]

表 2-66 に、EXRSTPIN を示します。

概略表に戻ります。

NRST ピンのリセット機能を無効にします

表 2-66. EXRSTPIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	リセット機能を無効にするには、DISABLE とともにキー値 1Eh を書き込む必要があります。 1Eh = コマンドを実行します
23-1	予約済み	W	0h	
0	無効化	W	0h	DISABLE を設定して、NRST ピンのリセット機能を無効にします。一度設定されると、この構成は次の POR までロックされます。 0h = NRST ピンのリセット機能を有効にします 1h = NRST ピンのリセット機能を無効にします

Copyright © 2026 Texas Instruments Incorporated

2.8.47 SYSSTATUSCLR レジスタ (オフセット = 1324h) [リセット = 00XXXXXXh]

表 2-67 に、SYSSTATUSCLR を示します。

概略表に戻ります。

SYSSTATUS のスティッキー ビットをクリアします

表 2-67. SYSSTATUSCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ECC 状態をクリアするには、キー値 CEh (206) を ALLECC と一緒にキーに書き込む必要があります。 CEh = コマンドを発行します
23-1	予約済み	W	0h	
0	ALLECC	W	0h	ECC 関連のすべての SYSSTATUS 表示をクリアするには、ALLECC をセットします。 1h = ECC エラー状態をクリアします

Copyright © 2026 Texas Instruments Incorporated

2.8.48 SWDCFG レジスタ (オフセット = 1328h) [リセット = 00XXXXXXh]

SWDCFG を表 2-68 に示します。

概略表に戻ります。

SWD ピンで SWD 機能を無効化します

表 2-68. SWDCFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	SWD 機能を無効にするには、DISABLE とともにキー値 62h (98) をキーに書き込む必要があります。 62h = コマンドを実行します
23-1	予約済み	W	0h	
0	無効化	W	0h	DISABLE に設定すると、SWD ピンの SWD 機能が無効になり、SWD ピンを GPIO として使用できるようになります。 1h = SWD ピンの SWD 機能を無効化します

Copyright © 2026 Texas Instruments Incorporated

2.8.49 FCCCMD レジスタ (オフセット = 132Ch) [リセット = 00XXXXXXh]

FCCCMD を表 2-69 に示します。

概略表に戻ります。

周波数クロック カウンタがキャプチャを開始します

表 2-69. FCCCMD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	キャプチャを開始するには、キー値 0Eh (14) を GO に書き込む必要があります。 0Eh = コマンドを実行します
23-1	予約済み	W	0h	
0	表示	W	0h	GO を設定して、周波数クロック カウンタ (FCC) を使用してキャプチャを開始します。 1h = 1

Copyright © 2026 Texas Instruments Incorporated

2.8.50 SHUTDNSTORE0 レジスタ (オフセット = 1400h) [リセット = 00000000h]

SHUTDNSTORE0 を表 2-70 に示します。

概略表に戻ります。

シャットダウン ストレージ メモリ (バイト 0)

表 2-70. SHUTDNSTORE0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7-0	データ	R/W	0h	シャットダウン ストレージ バイト 0

Copyright © 2026 Texas Instruments Incorporated

2.8.51 SHUTDNSTORE1 レジスタ (オフセット = 1404h) [リセット = 00000000h]

SHUTDNSTORE1 を表 2-71 に示します。

概略表に戻ります。

シャットダウン ストレージ メモリ (バイト 1)

表 2-71. SHUTDNSTORE1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7-0	データ	R/W	0h	シャットダウン ストレージ バイト 1

Copyright © 2026 Texas Instruments Incorporated

2.8.52 SHUTDNSTORE2 レジスタ (オフセット = 1408h) [リセット = 00000000h]

SHUTDNSTORE2 を表 2-72 に示します。

概略表に戻ります。

シャットダウン ストレージ メモリ (バイト 2)

表 2-72. SHUTDNSTORE2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7-0	データ	R/W	0h	シャットダウン ストレージ バイト 2

Copyright © 2026 Texas Instruments Incorporated

2.8.53 SHUTDNSTORE3 レジスタ (オフセット = 140Ch) [リセット = 00000000h]

SHUTDNSTORE3 を表 2-73 に示します。

概略表に戻ります。

シャットダウン ストレージ メモリ (バイト 3)

表 2-73. SHUTDNSTORE3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7-0	データ	R/W	0h	シャットダウン ストレージ バイト 3

Copyright © 2026 Texas Instruments Incorporated

2.8.54 ADCSEQFRCGB レジスタ (オフセット = 1410h) [リセット = 00000000h]

表 2-74 に、ADCSEQFRCGB を示します。

概略表に戻ります。

ADC グローバル シーケンス強制

表 2-74. ADCSEQFRCGB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3	SEQ3	R/W	0h	SEQ3 に対する同期 SW トリガを生成します
2	SEQ2	R/W	0h	SEQ2 に対する同期 SW トリガを生成します
1	SEQ1	R/W	0h	SEQ1 に対する同期 SW トリガを生成します
0	SEQ0	R/W	0h	SEQ0 に対する同期 SW トリガを生成します

Copyright © 2026 Texas Instruments Incorporated

2.8.55 ADCSEQFRCGBSEL レジスタ (オフセット = 1414h) [リセット = 00000000h]

表 2-75 に、ADCSEQFRCGBSEL を示します。

概略表に戻ります。

ADC グローバル シーケンス強制選択

表 2-75. ADCSEQFRCGBSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R/W	0h	
1	ADCB	R/W	0h	ADCB 用の同期 SW トリガを生成します
0	ADCA	R/W	0h	ADCA 用の同期 SW トリガを生成します

Copyright © 2026 Texas Instruments Incorporated

2.8.56 M33SPARESOCLOCK1 レジスタ (オフセット = 1418h) [リセット = 00000000h]

M33SPARESOCLOCK1 を表 2-76 に示します。

概略表に戻ります。

M33C1 スペア SOC ロックレジスタ 1

表 2-76. M33SPARESOCLOCK1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SPARE	R/W	0h	予備 SOC ロック レジスタ 1

Copyright © 2026 Texas Instruments Incorporated

2.8.57 M33SPARESOCLOCK2 レジスタ (オフセット = 141Ch) [リセット = 00000000h]

M33SPARESOCLOCK2 を表 2-77 に示します。

概略表に戻ります。

M33C1 スペア SOC ロックレジスタ 2

表 2-77. M33SPARESOCLOCK2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SPARE	R/W	0h	予備 SOC ロック レジスタ 2

Copyright © 2026 Texas Instruments Incorporated

2.8.58 SYSCTL_READ_REG レジスタ (オフセット = 1420h) [リセット = 00000000h]

表 2-78 に、SYSCTL_READ_REG を示します。

概略表に戻ります。

Sysctl 読み取り専用レジスタ

表 2-78. SYSCTL_READ_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ecoreg	R/W	0h	読み取り専用レジスタ

Copyright © 2026 Texas Instruments Incorporated

2.8.59 FWEPROTMAIN レジスタ (オフセット = 3000h) [リセット = 00000000h]

表 2-79 に、FWEPROTMAIN を示します。

概略表に戻ります。

フラッシュのアドレス 0x0 から始まる各ビットに対して、1 セクタの書き込み / 消去

表 2-79. FWEPROTMAIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	未使用

Copyright © 2026 Texas Instruments Incorporated

2.8.60 FWPROTMAINDATA レジスタ (オフセット = 3014h) [リセット = 00000000h]

表 2-80 に、FWPROTMAINDATA を示します。

概略表に戻ります。

データ バンクの最初の 4 セクタに対する読み取り / 書き込み保護

表 2-80. FWPROTMAINDATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7-0	データ	R/W	0h	未使用

Copyright © 2026 Texas Instruments Incorporated

2.8.61 FRXPROTMAINSTART レジスタ (オフセット = 3018h) [リセット = 000000XXh]

表 2-81 に、FRXPROTMAINSTART を示します。

概略表に戻ります。

フラッシュ RX 保護の開始アドレス

表 2-81. FRXPROTMAINSTART レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R/W	0h	
21-6	ADDR	R/W	0h	未使用
5-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

2.8.62 FRXPROTMAINEND レジスタ (オフセット = 301Ch) [リセット = 000000XXh]

表 2-82 に、FRXPROTMAINEND を示します。

概略表に戻ります。

フラッシュ RX 保護の終了アドレス

表 2-82. FRXPROTMAINEND レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R/W	0h	
21-6	ADDR	R/W	0h	未使用
5-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

2.8.63 FIPPROTMAINSTART レジスタ (オフセット = 3020h) [リセット = 000000XXh]

表 2-83 に、FIPPROTMAINSTART を示します。

概略表に戻ります。

フラッシュ IP 保護の開始アドレス

表 2-83. FIPPROTMAINSTART レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R/W	0h	
21-6	ADDR	R/W	0h	未使用
5-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

2.8.64 FIPPROTMAINEND レジスタ (オフセット = 3024h) [リセット = 000000XXh]

表 2-84 に、FIPPROTMAINEND を示します。

概略表に戻ります。

フラッシュ IP 保護の終了アドレス

表 2-84. FIPPROTMAINEND レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R/W	0h	
21-6	ADDR	R/W	0h	未使用
5-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

2.8.65 FLBANKSWPPOLICY レジスタ (オフセット = 3038h) [リセット = 00XXXXXXh]

表 2-85 に、FLBANKSWPPOLICY を示します。

概略表に戻ります。

フラッシュ バンク スワップ方針

表 2-85. FLBANKSWPPOLICY レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	書き込みを行うには、キーが 0xCA (202) である必要があります CAh = キーを書き込みます
23-1	予約済み	W	0h	
0	無効化	W	0h	1:フラッシュ バンクのスワップを許可するポリシーを無効にします 1h = バンク スワップを禁止します

Copyright © 2026 Texas Instruments Incorporated

2.8.66 FLBANKSWP レジスタ (オフセット = 303Ch) [リセット = 00XXXXXXh]

表 2-86 に、FLBANKSWP を示します。

概略表に戻ります。

フラッシュ メイン バンクのアドレス スワップ

表 2-86. FLBANKSWP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	バンク スワップ構成を変更するには、USEUPPER とともにキー値 58h (88) を書き込む必要があります。 58h = 書き込みを実行します
23-1	予約済み	W	0h	
0	USEUPPER	W	0h	1: 上位バンクを論理 0 として使用します 0h = 通常 (デフォルト) メモリ マップ アドレッシング方式 1h = フラッシュ上位領域のアドレス空間を下位領域と入れ替えました

Copyright © 2026 Texas Instruments Incorporated

2.8.67 FWENABLE レジスタ (オフセット = 3044h) [リセット = 00XXXXXXh]

表 2-87 に、FWENABLE を示します。

概略表に戻ります。

セキュリティ ファイアウォール イネーブル レジスタ

表 2-87. FWENABLE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	未使用 76h = キーを書き込みます
23-9	予約済み	W	0h	
8	SRAMBOUNDARYLOCK	W	0h	未使用 1h = SRAMBOUNDARY MMR がロックされています
7	予約済み	W	0h	
6	FLIPPROT	W	0h	未使用 1h = フラッシュ IP 保護をオンにします
5	予約済み	W	0h	
4	FLRXPROT	W	0h	未使用 1h = フラッシュの読み取り実行保護をオンにします
3-0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

2.8.68 SECSTATUS レジスタ (オフセット = 3048h) [リセット = 00000XXXh]

表 2-88 に、SECSTATUS を示します。

概略表に戻ります。

セキュリティ設定ステータス

表 2-88. SECSTATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	FLBANKSWP	R	0h	1: 上部と下部のバンクが入れ替えられました
11	予約済み	R	0h	
10	FLBANKSWPPOLICY	R	0h	1: 上位バンクと下位バンクのスワップが許可されます 0h = 0 1h = 1
9	予約済み	R	0h	
8	SRAMBOUNDARYLOCK	R	0h	未使用 0h = 0 1h = 1
7	予約済み	R	0h	
6	FLIPPROT	R	0h	未使用 0h = 0 1h = 1
5	予約済み	R	0h	
4	FLRXPROT	R	0h	未使用 0h = 0 1h = 1
3	予約済み	R	0h	
2	CSCEXISTS	R	0h	1:CSC がシステムに存在します 0h = システムに CSC はありません 1h = システムに CSC があります
1	予約済み	R	0h	
0	INITDONE	R	0h	1:CSC が完了しました 0h = INIT はまだ完了していません 1h = INIT が完了

Copyright © 2026 Texas Instruments Incorporated

2.8.69 INITDONE レジスタ (オフセット = 3060h) [リセット = 00XXXXXXh]

表 2-89 に、INITDONE を示します。

概略表に戻ります。

INITCODE PASS

表 2-89. INITDONE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	書き込みを行うには、キーが 0x9D (157) である必要があります 9Dh = リセットを実行します
23-1	予約済み	W	0h	
0	合格	W	0h	INITCODE に 1 を書き込むと PASS となります。書き込まれず、かつブロックされていない場合は、タイムアウトが発生します 1h = INITCODE PASS

Copyright © 2026 Texas Instruments Incorporated

Chapter 3

CPU

CPU サブシステム (MCPUSS) には、Arm Cortex-M33 プロセッサと割り込みロジックが含まれます。

3.1 概要.....273
3.2 CPU.....274
3.3 割り込みと例外.....278
3.4 CPU 周辺機器.....283
3.5 読み取り専用メモリ (ROM).....288

Copyright © 2026 Texas Instruments Incorporated

3.1 概要

MSP CPU サブシステム (MCPUSS) には、中央演算装置 (CPU)、関連するサポート ロジック、および読み取り専用メモリ (ROM) が含まれています。MCPUSS を構成する機能ブロックは、次のとおりです:

- Arm Cortex-M33 32 ビット CPU と内部ペリフェラル
- CPU バス スプリッタおよびルータ
- 割り込み管理ロジック、および DEEPSLEEP の開始 / 終了ロジック
- デバッグ サブシステムへの CPU デバッグ インターフェイス
- BCR および BSL に使用される読み取り専用メモリ (ROM)

MCPUSS の最上位アーキテクチャを図 3-1 に示します。

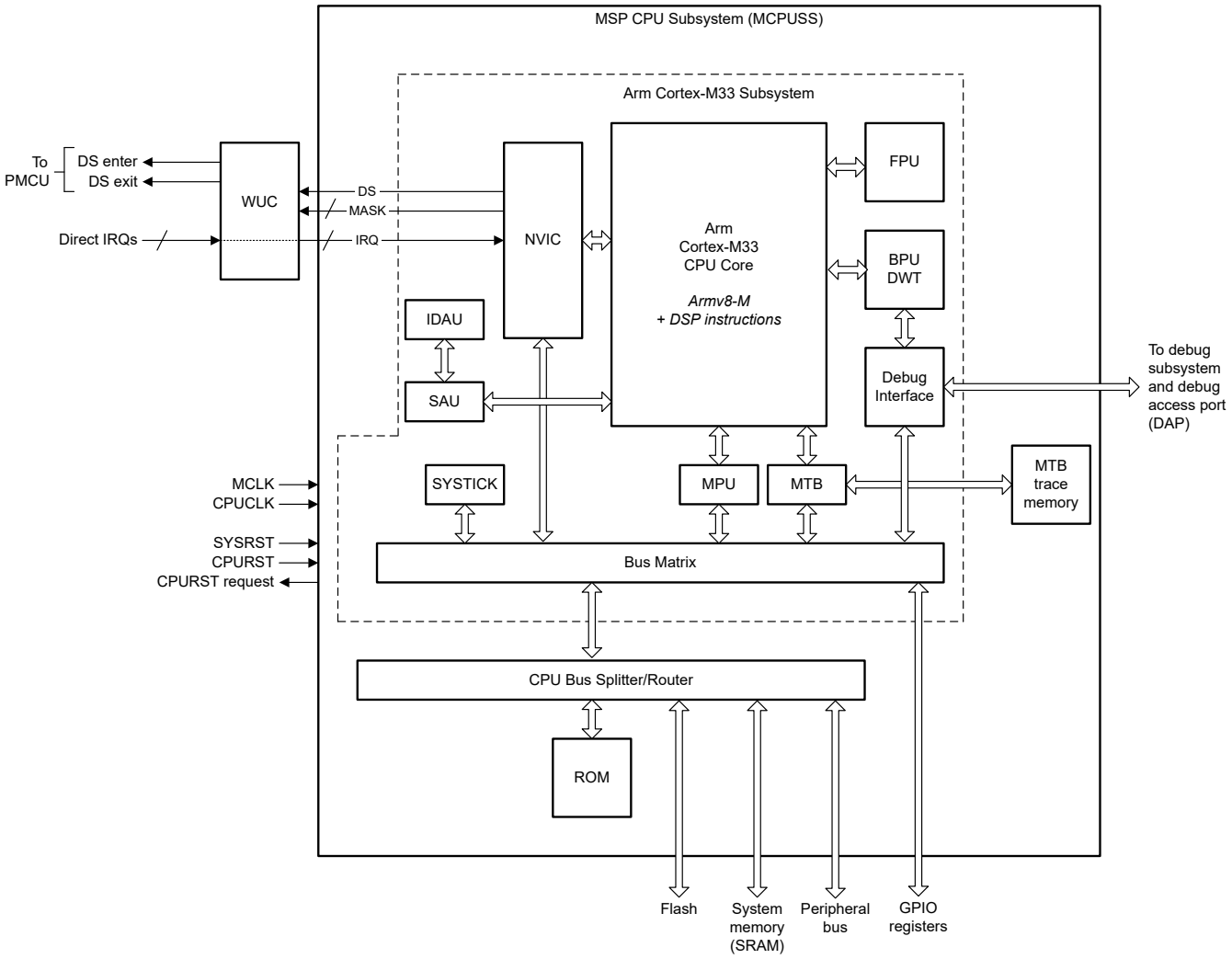


図 3-1. MSPM33Cxx MCPUSS トップ レベル図

Copyright © 2026 Texas Instruments Incorporated

3.2 CPU

CPU サブシステム (MCPUSS) には、Arm Cortex-M33 プロセッサと割り込みロジックが含まれます。

3.2.1 Arm Cortex-M33 CPU

MCPUSS には、エネルギー効率の優れた Arm Cortex-M33 CPU が内蔵されており、Armv8-M 命令セット アーキテクチャを実装し、最高で 160MHz の CPU クロック速度をサポートします。Cortex-M33 は、3 段の超低消費電力パイプラインを備えたハーバード アーキテクチャ方式の 32 ビット プロセッサです。

MSPM33Cxx デバイスに Cortex-M33 を実装した場合、次の特長があります:

- 最大 160MHz/ の実行周波数
- リトルエンディアン (最下位バイト アドレス位置の最下位バイト)
- 32 ビットワード命令フェッチをサポート
- 単一サイクルの 32 × 32 乗算命令
- 統合メモリ保護ユニット (MPU)
- 統合セキュリティ属性ユニット (SAU)
- 統合実装定義属性ユニット (IDAU)
- 統合浮動小数点演算ユニット (FPU)
- DSP 拡張機能
- ユーザーおよび特権実行モード
- 統合 24 ビット システム ティック タイマ (SYSTICK)
- 2 個のハードウェア ブレークポイントと 8 個のハードウェア ウォッチポイント、およびデバッグ用の
- マイクロ トレース バッファ (MTB)
- Reset-all-registers サポート
- ベクタ テーブル オフセットのサポート

Cortex-M33 アーキテクチャは、優れたコード密度、決定論的な割り込み処理、および Arm Cortex-M ファミリの他のプロセッサ アーキテクチャとの上位互換性を実現します。

このセクションでは、プロセッサの機能について基本的な理解を得るために、Arm Cortex-M33 の概要を説明します。Arm Cortex-M33 プロセッサを使用した開発の詳細については、*Arm Cortex-M33 Devices Generic User's Guide* を参照してください。

3.2.2 CPU レジスタ ファイル

Arm Cortex-M33 プロセッサの命令は、CPU レジスタ ファイル内のレジスタを操作します。プロセッサには、図 3-2 に示すように、16 個の 32 ビット標準レジスタと 3 個の特殊レジスタで構成されるレジスタ ファイルがあります。

Copyright © 2026 Texas Instruments Incorporated

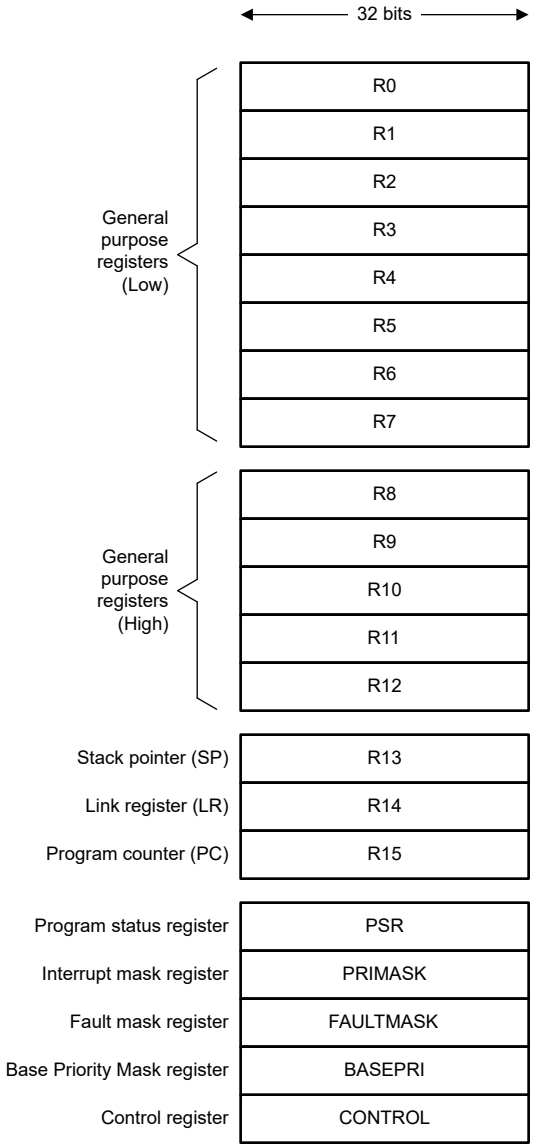


図 3-2. CPU レジスタ

汎用レジスタ (R0-R12)

プロセッサには、データ操作に使用する 13 個の汎用レジスタ R0 ～ R12 が用意されています。レジスタ R0 ～ R7 (下位レジスタ) は、汎用レジスタを指定するすべての命令からアクセスできます。レジスタ R8 ～ R12 (上位レジスタ) は、16 ビット命令からはアクセスできませんが、汎用レジスタを指定する 32 ビット命令からはアクセスできます。

スタック ポインタ レジスタ (R13)

スタック ポインタは R13 に格納され、メイン スタック ポインタ (MSP) またはプロセス スタック ポインタ (PSP) のいずれかを保持します。プロセッサがハンドラ モードで実行されている場合は、MSP が常に使用されます。プロセッサがスレッド モードで動作している場合、CONTROL レジスタの SPSEL ビットの設定に応じて、MSP または PSP を使用できます。

Copyright © 2026 Texas Instruments Incorporated

CPURST 後、プロセッサは自動的かつ無条件に、メイン フラッシュの先頭アドレス (0x0000.0000) からデフォルトのスタック ポインタを読み出し、メイン スタック ポインタ (MSP) として設定します。

MSP と PSP はどちらも、セキュア状態と非セキュア状態用の二つの個別レジスタを備えています。プロセッサの状態の詳細については、セクション 3.4.4 を参照してください

MSPLIM および PSPLIM は、それぞれ MSP および PSP レジスタが下降できる範囲を制限するレジスタです。MSP レジスタや PSP レジスタと同様に、どちらにもセキュア レジスタと非セキュア レジスタがあります。

リンク レジスタ (R14)

R14 はリンク レジスタとして機能し、関数呼び出しの戻りアドレスおよび例外復帰値を保持します。リンク レジスタは既知の値にリセットされないため、使用する前に値を設定する必要があります。特権モードおよび非特権モードでアクセスできます。

プログラム カウンタ (R15)

プログラム カウンタ レジスタ (R15) には、次に実行される命令のアドレスが格納されます。PC には、特権モードおよび非特権モードでアクセスできます。

CPURST 後、プロセッサは自動的かつ無条件に、メイン フラッシュの二番目のワード (0x0000.0004) からデフォルトの PC を読み出します。

特殊レジスタ

特殊レジスタには、プログラム ステータス レジスタ (PSR)、割り込みマスク レジスタ (PRIMASK)、および制御レジスタ (CONTROL) があります。特殊レジスタには、通常、CPS、MRS、および MSR システム命令を使用してアクセスします。

- **プログラム ステータス レジスタ (PSR):** PSR は、アプリケーション ステータス (APSR)、割り込みステータス (IPSR)、実行ステータス (EPSR) レジスタの組み合わせです。アプリケーション ソフトウェアは、MRS 命令および MSR 命令を使用して PSR にアクセスできます。一定の制限の下で、PSR 全体、または一つ以上のレジスタの組み合わせにアクセスできます。PSR レジスタには、*Program Status Register (PSR) Access Mnemonics* に記載されているニーモニックを使用して、MRS および MSR 命令を使用してアクセスできます。
  - アプリケーション ステータス レジスタ (APSR) には、プロセッサが条件分岐命令を評価するために使用する N、Z、C、および V フラグが格納されています。これらのビットは、それぞれ PSR の BIT31、BIT30、BIT29、BIT28 にあります。
  - 割り込みステータス レジスタ (IPSR) は、ハンドラ モードで例外を実行している場合、現在実行中の例外番号を示します。スレッド モードではゼロとして読み込まれます。プロセッサはこのレジスタへの書き込みを無視します。例外番号フィールドは、PSR の BIT0 ～ BIT5 に配置されています。
  - 実行ステータス レジスタ (EPSR) には、プロセッサが Thumb 状態であるかどうかを定義する T ビット (BIT24) が格納されています。このビットは、ソフトウェアで読み出しや書き込みはできませんが、プロセッサで使用されます。
- **割り込みマスク レジスタ (PRIMASK):** PRIMASK レジスタ (PM) の BIT0 を使用すると、優先度を設定可能なプロセッサへのすべての割り込みをマスクできます (セクション 3.3 を参照)。これは、グローバル ペリフェラル割り込みマスク制御と考えることができます。プロセッサは、非特権モードからの PRIMASK への書き込みを無視します。PM を 0 にクリアすると、割り込みが有効になります。PM を 1 にセットすると、割り込みが無効になります。CPS 命令を使用して、PRIMASK レジスタの PM ビットの値を変更できます。
- **故障マスク レジスタ (FAULTMASK):** 故障マスク レジスタは、優先度を設定可能なすべての例外と、優先度が固定された一部の例外の発生を禁止します。ブーストされる優先度は、SCB の AIRCR レジスタにある BIT14 (PRIS) および BIT13 (BFHFNMINS) の値に応じて変化します。詳細については、Arm Cortex-M33 デバイス汎用ユーザー ガイドの故障マスク レジスタの説明を参照してください。
- **ベース優先度マスクレジスタ (BASEPRI)** ベース優先度マスク レジスタを使用して、例外のプリエンプションに必要な優先度レベルを変更できます。BIT0 から BIT7 は、ブースト後の優先度を設定するために使用されます。非セキュア例外をブーストする場合は、下位半分のビットのみが使用されます。

Copyright © 2026 Texas Instruments Incorporated

- **制御レジスタ (CONTROL):** 制御レジスタでは、nPRIV ビット (BIT0) をクリアまたはセットすることにより、スレッド モードで実行されるコードを、それぞれ特権または非特権として設定できます。また、SPSEL ビット (BIT1) をクリアまたはセットすることにより、R13 で使用するスタック ポインタとして、それぞれメイン スタック ポインタ (MSP) またはプロセス スタック ポインタ (PSP) を選択できます。CPURST により、制御レジスタはゼロにクリアされます。プロセッサは、非特権モードからの制御レジスタへの書き込みを無視します。SPSEL スタック ポインタ選択ビットは、例外への移行時および例外からの復帰時に、プロセッサによって自動的に更新されます。なお、CONTROL への書き込み後は、変更がプロセッサによる次のアプリケーション命令の実行前に確実に反映されるよう、ソフトウェアで ISB バリア命令を実行する必要があります。

表 3-1. プログラム ステータス レジスタ (PSR) アクセス ニーモニック

ニーモニック	サブレジスタが含まれます
APSR	APSR
IPSR	IPSR
EPSR	EPSR
IAPSR	IPSR と APSR
EAPSR	EPSR と APSR
XPSR	APSR、IPSR、EPSR
IEPSR	IPSR と EPSR

レジスタ ファイルの詳細については、Arm Cortex-M33 デバイス汎用ユーザー ガイドを参照してください。

3.2.3 スタック動作

Arm Cortex-M33 プロセッサは、完全な降順スタック プロトコルを実装しています。スタック ポインタ レジスタ (SP) は、常に最後にスタックされたデータの位置を示します。コール スタックに新しいデータを追加すると、SP の値がデクリメントされ、データはデクリメント後の SP が示す位置に書き込まれます。

Arm Cortex-M33 は、メイン スタック (MSP) とプロセス スタック (PSP) という二つのポインタを持つ二つの独立したスタックの管理をサポートしています。

3.2.4 実行モードと権限レベル

プロセッサは、二つの主要な実行モードをサポートしています:

- **スレッド モード** (アプリケーション ソフトウェア実行用)
- **ハンドル モード** (プロセッサ例外およびペリフェラル割り込みの処理用)

デフォルトでは、プロセッサはリセットからスレッド モードになっています。プロセッサに例外が発行されると、プロセッサはハンドラ モードで例外を処理し、ハンドラの実行完了後にスレッド モードへ戻ります。スレッド モードで実行されるコードは、制御レジスタの設定に基づいて、特権または非特権として設定できます。ハンドラ モードで実行されているコードは、常に特権として実行されます。

一般に、特権モードで実行されるコードは、MPU、Systick、NVIC および SCB の制御を含め、プロセッサ構成を完全に制御できます。スレッド モードで実行されるコードの特権レベルは、特権コードだけが変更できます。

非特権状態のスレッド モードで実行されるコードは、前述のリソース (MPU 、 Systick 、NVIC および SCB)

3.2.5 アドレス空間とサポートされるデータ サイズ

MSPM33 デバイスは、32 ビットでバイト アドレス指定可能なアドレス空間を持つフラットなメモリ マップを実装しています。バイト アドレスは 0 から $2^{32} – 1$ の範囲の符号なし数値です。

アドレス空間

プロセッサは、アドレス空間に 2^{30} 32 ビットワードが含まれていると見なし、各ワードはワード整列 (4 バイト整列) となっています。ポインタは常に 32 ビットであり、スタック操作 (プッシュ、ポップなど) はスタック ポインタを 4 アドレス (4 バイト) だ

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

けインクリメントします。プロセッサによるアドレス計算は、32 ビット メモリ空間のオーバーフローまたはアンダーフローの場合にラップ アラウンドされます。

プロセッサによる命令フェッチは、常に 16 ビット ハーフワードに整列されます。

プロセッサによるデータ読み取りは自然に整列する必要があります (たとえば、ワードはワード整列、ハーフワードはハーフワード整列など)。

サポートされるデータ サイズ

このプロセッサは、8 ビットのバイト、16 ビットのハーフワード、32 ビットのワードのデータ サイズをサポートしています。符号付きおよび符号なしデータがサポートされており、符号付きデータは 32 ビットの 2 の補数形式で CPU レジスタに格納されます。Armv8-M 命令セットには、64 ビット ダブルワード データに対する演算をサポートするネイティブ命令は含まれていません。

メモリから CPU レジスタへのロード操作は、データ サイズが 32 ビット未満の場合、符号付きまたは符号なしが可能です。符号なしのハーフワードまたはバイト データを CPU レジスタにロードする場合、値は自動的にゼロ拡張されて 32 ビットになります。符号付きハーフワードまたはバイト データを CPU レジスタにロードする場合、値は自動的に符号拡張されて 32 ビットになります。

CPU レジスタからメモリへの格納は、符号に依存しません。

すべての命令およびデータ アクセスでは、リトル エンディアン バイト順序を使用します。

3.2.6 セキュア メモリ パーティション分割

Arm Cortex-M33 CPU は、領域をセキュア、非セキュア呼び出し可能、非セキュアとして定義できます。これらの領域は、プロセッサがアクセスできるものを制限して、プログラマがメモリを読み取りまたはアクセスできないようにすることができます。

セキュア メモリ

セキュア アドレスには、セキュア ソフトウェアまたはセキュア マスタのみがアクセスできます。セキュアでない場所からセキュア メモリにアクセスしようとすると、プロセッサによってセキュア フォルトがスローされます。

セキュアおよび非セキュア領域の詳細については、セクション 3.4.5 を参照してください

非セキュア呼び出し可能 (NSC) メモリ

メモリの非セキュア呼び出し可能領域では、プログラマは、セキュア ゲートウェイ コマンド (SG) を使用して、この領域内でセキュア状態を実行するプログラムを実行できます。SG コマンドを実行した後のこの領域内のコードは、メモリの安全な領域にアクセスできます。SG コマンドが実行されない場合、メモリの安全な領域にアクセスすると、安全なフォルトが発生します。

非セキュア (NS) メモリ

このメモリ位置は、デバイス上で動作しているすべてのソフトウェアでアクセスできます。プログラム カウンタがこの場所にある場合、プログラムはこの領域内の他のコードにのみアクセスするように制限されます。

メモリ保護の詳細については、「Arm Cortex-M33 デバイス汎用ユーザー ガイド」の「セキュリティ属性およびメモリ保護」セクションを参照してください。

3.3 割り込みと例外

ペリフェラル割り込み例外とシステム例外は、プロセッサをイベントの処理に使用できるように、プロセッサの通常の実行フローを一時的に停止します。

次のことが発生すると、通常の実行フローが中断されます。

Copyright © 2026 Texas Instruments Incorporated

- CPURST
- ノンマスカブル割り込み (NMI、ソフトウェア トリガ、または SYSCTL からのハードウェア エラー信号)
- セキュア フォルト
- システムのフォルト例外 (HardFault)
- スーパーバイザ コール命令 (SVCall) の実行
- スーパーバイザ サービス保留リクエスト (PendSV) の設定
- SysTick 例外
- 有効化されたペリフェラル割り込み (IRQ)
- ブレークポイント命令 (デバッグ用)

例外状態

プロセッサに対する例外のソースは、特定の時点で以下のいずれかの状態になっています。

- **非アクティブ** (アクティブでなく、保留中ではない)
- **保留中** (プロセッサの処理を待機している)
- **アクティブ** (プロセッサによる処理が実行中で、まだ完了していない)
- **アクティブで保留中** (プロセッサが例外を処理中で、同じソースからの保留中の例外がある)

例外の優先度、例外処理の開始と終了

例外の優先度は、プロセッサとネスト型ベクタ割り込みコントローラ (NVIC) によって判定されます。例外には、優先度が固定されているもの (リセット、NMI、HardFault) と構成可能なもの (SVCall、PendSV、SysTick、ペリフェラル IRQ) があります。構成可能な優先度の例外は、特権モードで実行されているアプリケーション ソフトウェアによって無効にできます。固定の優先度の例外は無効にできません。

プロセッサ例外モデルは、例外処理のパフォーマンスを向上させるために、プリエンプション、テールチェーン、後着などの機能をサポートしています。

- **プリエンプション**の場合、優先度の低い例外の処理中に、優先度の高い例外が保留されていると、優先度の高い例外が、優先度の低い例外を処理しているハンドラに割り込みます。
- **テールチェーン**の場合、例外ハンドラの完了時に、受付可能な例外が保留されていると、アプリケーション コンテキストはスタックから復元されず、保留中の例外に制御がただちに移動します。
- **後着**の場合、優先度の低い例外の処理を開始するときに優先度の高い例外が発生すると、プロセッサの状態をスタックに保存してから、優先度の高い例外を先に処理します。優先度の高い例外の処理が完了すると、優先度の低い例外 (保留中の例外) がテールチェーン手順に従って処理されます。

例外エントリは、次のすべてに該当する場合に発行されます。

- 例外が**保留**状態
- 保留中の例外の優先度が、例外マスク レジスタ (PRIMASK) で設定された制限よりも高い
- プロセッサが現在スレッド モード (例外を処理していない) になっているか、新しく保留された例外が現在処理中の例外よりも優先される(結果としてプリエンプションが発生)

プロセッサ例外はベクタ化されています。例外が発生すると、現在のプロセッサの状態がイベント時にアクティブだったスタックにプッシュされ、処理される例外に対応するベクタ テーブル内のエントリ ポイント アドレスに実行が移動します。

例外が、完了した前のハンドラにテールチェーンされている場合、スタックに状態をプッシュする必要はなく、割り込みサービス ルーチンに直ちに制御が移動します。同様に、例外の優先度が、処理が完了しなかった以前の例外よりも高い場合は、コンテキストを再度保存する必要はありません (後着)。

例外ハンドラの完了時に、処理する必要のある例外がない場合、プロセッサはスタックから状態をポップし、プロセッサを例外発生前の状態に復元します。

3.3.1 ペリフェラル割り込み (IRQ)

ペリフェラル割り込み機能は、デバイス上のいくつかのコンポーネントによって管理されます。

- ネスト型ベクタ割り込みコントローラ (NVIC)

Copyright © 2026 Texas Instruments Incorporated

- ウェークアップ コントローラ (WUC)

MSPM33 デバイスには、ペリフェラル割り込みを管理するために Cortex-M33 CPU と Arm ネスト型ベクタ割り込みコントローラ (NVIC) が搭載されています。NVIC の動作はプロセッサと密接に統合されており、最大 480 のネイティブ ペリフェラル割り込みソースをサポートしています。

ウェークアップ コントローラ (WUC) は、PD1 ドメインが STOP モードまたは STANDBY モードでパワーダウンしている場合、ペリフェラル割り込みを処理するために PD1 電源ドメイン (プロセッサを含む) に電源を投入する必要があるかどうかを判断します。

3.3.1.1 ネスト型ベクタ割り込みコントローラ (NVIC)

ネスト型ベクタ割り込みコントローラ (NVIC) は、プロセッサ外部のペリフェラル割り込みを CPU に接続する、業界標準の Arm コンポーネントです。NVIC は、最大 480 個のネイティブ ペリフェラル割り込みソースの接続をサポートします。各割り込みにどのペリフェラルが割り当てられているかについては、対応するデータシートを参照してください。

NVIC は、システム プライベート ペリフェラル バス (PPB) 領域のメモリ マップ レジスタを通じて構成されます。NVIC レジスタのリストについては、*Arm Cortex-M33 NVIC Registers* を参照してください。デバイスに付属するソフトウェア開発キット (SDK) は、NVIC の標準的な Arm Cortex マイコン ソフトウェア インターフェイス規格 (CMSIS) レジスタ アクセスの定義をサポートしています。アプリケーション ソフトウェアが NVIC レジスタにアクセスする際は、32 ビット境界にアラインされたワード サイズのトランザクションを使用する必要があります。

NVIC は、ペリフェラル割り込みをプロセッサに接続する機能に加えて、各割り込みの優先度をプログラム可能にする機能もサポートしています。

割り込みの有効化および無効化

ペリフェラル割り込みのイネーブル状態は、NVIC の割り込みセット イネーブル レジスタ (ISER) および割り込みクリア イネーブル レジスタ (ICER) を使用して、読み取り、セット、およびクリアできます。各 ICER および ISER レジスタは 32 種類の割り込みをサポートしています。各割り込みは ISER レジスタおよび ICER レジスタに割り当てられ、割り込み 0 は各レジスタの BIT0 位置 (LSB) に、割り込み 31 は BIT31 位置 (MSB) に対応します。たとえば、NVIC_ISERn の SETENA[m] を使用すると、割り込み 32n + m にアクセスできます。

割り込みを有効にするには、ISER レジスタの対応するイネーブル ビットをセットします。ISER に「0」を書き込んでも、何も影響しません。ISER レジスタまたは ICER レジスタを読み出すことで、どの割り込みが有効になっているかを確認できます。読み取り時に「1」であれば割り込みが有効であることを示し、「0」であれば無効であることを示します。割り込みを無効にするには、ICER レジスタの対応するクリア イネーブル ビットをセットします。ICER に「0」を書き込んでも、何も影響しません。

注

NVIC でペリフェラル割り込みを有効にするだけでなく、通常は、対応するペリフェラル側の割り込み設定も行う必要があります。ほとんどのペリフェラルには複数の割り込みソースがあり、これらはペリフェラル内部でまとめられ、単一の NVIC 割り込みとして出力されます。個別のペリフェラル割り込みのマスキングは、ペリフェラルの割り込み管理レジスタ内で実行されます。割り込みが発生すると、通常、対応するペリフェラルの IIDX レジスタを読み取ることで、割り込みソースの詳細を確認できます。ペリフェラル割り込みの処理については、IIDX レジスタの詳細が記載されている各ペリフェラルの章を参照してください。

NVIC で割り込みが無効になっている場合でも、対応するペリフェラルによって割り込みがアサートされると、NVIC 割り込みはペンディング状態になりますが、プロセッサには割り込みが発生しません。割り込みがアクティブ状態 (ハンドラの実行中) にあるときに無効化された場合、その割り込みは例外ハンドラから復帰するか、リセットが発生するまでアクティブ状態のままとなりますが、それ以降の割り込みは発生しません。

Copyright © 2026 Texas Instruments Incorporated

注

ペリフェラルが NVIC に割り込みをアサートしていても、NVIC でペリフェラルの割り込みが無効になっている場合、ウェークアップ コントローラ (WUC) がプロセッサ向けのイベントを保持するため、デバイスが想定よりも高い電力モードに留まることがあります。この状況を防ぐには、NVIC で割り込みをマスキングするだけでなく、ペリフェラル側で直接ペリフェラル割り込みをマスクしてください。

保留中の割り込みステータスの設定およびクリア

保留中の割り込みステータスは、NVIC の割り込みセット保留 (ISPR) および割り込みクリア保留 (ICPR) レジスタを使用して、読み取り、セット、クリアが可能です。各 ISPR レジスタおよび ICPR レジスタは 32 個の割り込みをサポートし、割り込み 0 は各レジスタの BIT0 位置 (LSB) に、割り込み 31 は BIT31 位置 (MSB) に対応します。たとえば、NVIC_ISPRn の SETPEND[m] により、割り込み 32n + m にアクセスできます。

割り込みが保留状態であるかどうかを確認するには、ISPR または ICPR を読み取ります。読み取り時、1 は割り込みが保留中であることを示し、0 は保留中でないことを示します。ソフトウェアによって割り込みを保留状態に設定するには、ISPR レジスタの対応するビットをセットします。ISPR に「0」を書き込んでも、何も影響しません。割り込み保留状態をクリアするには、ICPR レジスタの対応するビットを設定します。ICPR に「0」を書き込んでも、何も影響しません。ペリフェラルの割り込み条件がまだ存在する場合、クリアされていても、ハードウェアによって保留状態が再びセットされることに注意します。

割り込み優先度の設定

NVIC の割り込みには、プログラム可能な優先度があります。64 の優先レベルが可能です。優先度は、NVIC 内の IPR レジスタをプログラムすることで設定されます。各優先度フィールドの長さは 8 ビットで、各 32 ビット IPR レジスタで 4 つの割り込みの優先度を設定します。Arm Cortex-M33 は、各 8 ビットの優先度フィールドの上位 6 ビットのみを実装します (64 の優先度レベルを提供します)。優先度値が低いほど、優先度が高くなります。システム例外 (リセット、NMI、ハード故障) にはそれぞれ固定の優先レベル (-3、-2、-1) があります。そのため、これらの例外は常にペリフェラル割り込みよりも優先されます。ペリフェラル割り込みの優先度は、0、64、128、または 192 に設定でき、0 が最高優先度、192 が最低優先度です。

プロセッサが現在例外を処理している場合、その処理に割り込めるのは、より高い優先度の例外だけです。保留状態に複数の例外があり、すべてが同じ優先度レベルを割り当てられている場合は、例外番号が最も小さい例外が最初に適用されます。

注

アプリケーション ソフトウェアは、対応する割り込みがアクティブ (処理中) または有効である間、その割り込みの優先度を変更しないようにします。実行した場合には、未定義の動作が発生します。

表 3-2. Arm Cortex-M33 NVIC レジスタ

アドレス	登録	CMSIS	説明
0xE000.E100～0xE000.E13C	NVIC_ISER0～NVIC_ISER15	NVIC->ISER[0] - NVIC->ISER[15]	割り込みセット イネーブル レジスタ
0xE000.E180～0xE000.E1BC	NVIC_ICER0～NVIC_ICER15	NVIC->ICER[0] - NVIC->ICER[15]	割り込みクリア イネーブル レジスタ
0xE000.E200～0xE000.E23C	NVIC_ISPR0～NVIC_ISPR15	NVIC->ISPR[0] - NVIC->ISPR[15]	割り込みセット保留レジスタ
0xE000.E280～0xE000.E2BC	NVIC_ICPR0～NVIC_ICPR15	NVIC->ICPR[0] - NVIC->ICPR[15]	割り込みクリア保留レジスタ
0xE000.E300～0xE000.E33C	NVIC_IABR0～NVIC_IABR15	NVIC->IABR[0] - NVIC->IABR[15]	割り込みアクティブ ビット レジスタ
0xE000.E400～0xE000.E5DC	NVIC_IPR0～NVIC_IPR119	NVIC->IPR[0] - NVIC->IPR[119]	割り込み優先度レジスタ (0 - 3) - 割り込み優先度レジスタ (115 - 119)

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

3.3.1.2 ウェークアップ コントローラ (WUC)

ウェイクアップ コントローラ (WUC) は、STOP または STANDBY 動作モードにおいて、プロセッサが電源オフになったとき、割り込みのアサートを監視します。これらのモードでは、PD1 電力ドメイン全体に電力が遮断されるため、プロセッサと NVIC は割り込みを確認できません。WUC は、プロセッサが STOP モードまたは STANDBY モードに移行したときにイネーブルになった NVIC へのペリフェラル割り込みソースのコピーを保持します。イネーブルな割り込みが発行された場合、WUC は PMCU とハンドシェイクし、デバイスを STOP または STANDBY モードから復帰して、CPU が割り込みを処理できるようにします。WUC は、割り込み状態をキャプチャして NVIC とプロセッサに提示するため、プロセッサが電源投入を完了して割り込みを処理する前に、ペリフェラルの未加工割り込みステータスが取り除かれても、プロセッサが割り込みを認識します。

WUC では、低消費電力モードを開始または終了する際にアプリケーション ソフトウェアによる構成は必要なく、動作はアプリケーション ソフトウェアに対して透過的です。

3.3.2 割り込みと例外テーブル

Arm Cortex-M33 割り込みベクタ テーブルは、500 ワード長 (2000 バイト) です。表 3-3 に、ベクタ テーブル アドレスを持つプラットフォーム割り込みおよび例外テーブル全体を示します。

特定のデバイスがサポートしている割り込みの一覧と、どのペリフェラルに NVIC 番号を使用するかを示す詳細な割り込みベクタ テーブルについては、デバイス固有のデータ シートを参照してください。

表 3-3. MSPM33 プラットフォーム プロセッサの割り込みと例外の表

例外番号	NVIC 番号(1)	優先グループ	セキュア ベクトル	ベクタ テーブルのアドレス	ベクタの説明(2)
-	-	-	-	0x0000.0000	スタック ポインタ
1	-	-4	リセット	0x0000.0004	リセット ベクタ
2	-	-2	NMI	0x0000.0008	NMI ハンドラ
3	-	-1	ハード フォールト	0x0000.000C	ハード フォルト ハンドラ
4	-	選択可能	MemManage	0x0000.0010	メモリ保護違反
5	-	選択可能	BusFault	0x0000.0014	メモリ関連フォルト
6	-	選択可能	UsageFault	0x0000.0018	UsageFault
7	-	選択可能	SecureFault	0x0000.001C	SecureFault
8	-	-	予約済み	0x0000.0020	-
9	-	-	予約済み	0x0000.0024	-
10	-	-	予約済み	0x0000.0028	-
11	-	-5	SVCall	0x0000.002C	スーパーバイザ コール ハンドラ
12	-	-4	DebugMonitor	0x0000.0030	-
13	-	-	予約済み	0x0000.0034	-
14	-	-2	PendSV	0x0000.0038	保留中のスーパーバイザ ハンドラ
15	-	-1	SysTick	0x0000.003C	SysTick ハンドラ
16	0	選択可能	デバイス割り込み 0	0x0000.0040	デバイス割り込み 0 のハンドラ
17	1	選択可能	デバイス割り込み 1	0x0000.0044	デバイス割り込み 1 のハンドラ
18	2	選択可能	デバイス割り込み 2	0x0000.0048	デバイス割り込み 2 のハンドラ
...	...	...	...	...	...
499	479	選択可能	デバイス割り込み 479	0x0000.0050	デバイス割り込み 479 のハンドラ

(1) NVIC 番号は、複数の NVIC 割り込みに同じグループ優先度がある場合の相対的な割り込み優先度も示します。ただし、割り込みが NVIC 位置が高い場合でも、同じグループ優先度を持つ別の割り込みに対してアクティブ ハンドラをプリエンプトすることはありません。プリエンプトが発生するには、新しい割り込みをより優先度の高いグループ (数値で小さい) に設定する必要があります。

(2) 例外の詳細については、「Arm Cortex-M33 汎用ユーザー ガイド」を参照してください

Copyright © 2026 Texas Instruments Incorporated

ノンマスカブル割り込み (NMI)

CPU はノンマスカブル割り込みを実装しており、重要な割り込みを処理します。これらの割り込みはプロセッサによって直ちに処理する必要があります。NMI 割り込みソースは SYSCTL によって管理されます。「PMCU」の章の「SYSCTL」セクションで対応する NMI 情報を参照してください。

3.3.3 プロセッサのロックアップ シナリオ

プロセッサがロックアップ状態になる可能性のある例外条件がいくつかあります。MSPM33 デバイスでは、プロセッサのロックアップが致命的なエラーと見なされ、常に SYSRST がトリガされてロックアップ状態がクリアされ、システムが再起動されます。

プロセッサが –1 以上の優先度 (小さい数字の優先度) の例外を処理しているときに、SVC (スーパーバイザ コール) またはエラー条件が発生すると、プロセッサはロックアップ状態になります。プロセッサは、このようなエラーを通常の動作条件では予期しないエラーと見なします。

次のものは、プロセッサがロックアップ状態となるトリガ条件の例です。

- リセット時にプロセッサがスタック ポインタをフェッチすることも、リセット ベクタをフェッチすることもできない
- プロセッサは NMI ベクタをフェッチできない
- プロセッサはハード フォルト ベクタをフェッチできない
- プロセッサがすでに –1 または–2 の優先度の例外を処理しているときに、メモリ フォルトが発生した (ハード フォルトまたは NMI)。
- プロセッサが –1 または–2 の優先度の例外をすでに処理しているときに、スーパーバイザ コール (SVC) が発生した (ハード フォルトまたは NMI)。
- プロセッサがすでに –1 または–2 の優先度の例外を処理しているときに、使用フォルトまたは未定義命令がフェッチされた (ハード フォルトまたは NMI)。
- プロセッサがすでに –1 または –2 の優先度の例外を処理しているときに、BKPT 命令が実行された (ハード フォルトまたは NMI)。

3.4 CPU 周辺機器

Arm Cortex-M33 には、システム タイミング、メモリ保護、浮動小数点演算、およびセキュリティ用の密結合ペリフェラルが含まれています

3.4.1 システム コントロール ブロック (SCB)

システム制御ブロック (SCB) は、システム実装情報とシステム制御機能のほか、プロセッサ例外の構成、制御、およびレポートを提供します。

SCB は、システム プライベート ペリフェラル バス (PPB) 領域のメモリ マップ レジスタを通じて構成されます。を SCB レジスタのリストについては表 3-4 を参照します。デバイスに付属するソフトウェア開発キット (SDK) は、SCB の標準的な Arm Cortex マイコン ソフトウェア インターフェイス規格 (CMSIS) レジスタ アクセスの定義をサポートしています。アプリケーション ソフトウェアが SCB レジスタにアクセスする際は、32 ビット境界にアラインされたワード サイズのトランザクションを使用する必要があります。

表 3-4. Arm Cortex-M33 システム制御ブロック レジスタ

アドレス	登録	CMSIS	説明
0xE000.ED00	CPUID	SCB->CPUID	CPU のタイプおよびリビジョンを示す読み取り専用レジスタ
0xE002.ED00	CPUID	SCB->CPUID_NS	CPU のタイプとリビジョンを示すセキュアでない読み取り専用レジスタ
0xE000.ED04	ICSR	SCB->ICSR	特定の割り込み制御と状態を示します
0xE000.ED08	VTOR	SCB->VTOR	ベクタ テーブルのオフセットを 0x0000.0000 から指定するために使用します
0xE000.ED0C	AIRCR	SCB->AIRCR	CPU リセット要求 (SYSRESETREQ) の発行に使用されます
0xE000.ED10	SCR	SCB->SCR	システム制御レジスタ、低消費電力モード動作を制御するために使用されます
0xE000.ED14	CCR	SCB->CCR	プロセッサの動作を示す読み取り専用レジスタ

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 3-4. Arm Cortex-M33 システム制御ブロック レジスタ (続き)

アドレス	登録	CMSIS	説明
0xE000.ED18	SHPR1	SCB->SHP[1]	セキュア故障、使用故障、バス故障、および MemManage の優先度を設定するために使用されます
0xE000.ED1C	SHPR2	SCB->SHP[2]	SVCall システム ハンドラの優先度を設定するために使用します
0xE000.ED20	SHPR3	SCB->SHP[3]	SysTick および PendSV システムハンドラの優先度を設定するために使用します

SCB レジスタ構成の詳細については、Arm Cortex-M33+ デバイスの汎用ユーザー ガイドの SCB セクションを参照してください。

3.4.2 システム ティック タイマ (SysTick)

システム ティック タイマ (SysTick) は、MCLK がクロックを供給する密結合タイマで、システムの時間管理に使用できます。SysTick は RUN モードおよび SLEEP モードで使用できますが、STOP、STANDBY、または SHUTDOWN モードでは使用できません。

SysTick は、システム プライベート ペリフェラル バス (PPB) 領域内のメモリ マップト レジスタを介して設定されます。SysTick 構成レジスタのリストについては、*SysTick Registers* を参照してください。デバイスに付属するソフトウェア開発キット (SDK) は、SysTick 向けの標準の Arm Cortex マイコン ソフトウェア インターフェイス規格 (CMSIS) レジスタ アクセス定義をサポートしています。

SysTick タイマは、以下を含むいくつかの方法で使用できます:

- プログラム可能なレート (例えば 100Hz) で動作し、SysTick ルーチンを呼び出す RTOS 用のティック タイマ
- 高速アラーム タイマ
- アプリケーションの完了までの時間や処理に要した時間を測定するための単純なカウンタ
- ルーチンが指定された期間内にタイムアウトしていないことを確認するためのタイムアウト カウンタ

SysTick タイマには、次の二種類があります:SysTick Secure および SysTick Non-Secure。両方の SysTicks は、M33 コアが使用するクロックと同じクロックから供給されます。二つのレジスタの主な違いは、アクセスできる場所です。

SysTick タイマは単純な 24 ビット ダウン カウンタであり、リロード値から 0 までカウントダウンします。ゼロに達すると、SysTick は次のクロック サイクルでリロード値レジスタ (SYST_RVR) に設定された値を再ロードし、再びゼロまでカウントダウンを開始します。SYST_RVR に値 0 を書き込むと、次のラップでカウンタが無効になります。

SysTick イベントは、SysTick カウンタが 0 に達し、この時点で COUNTFLAG ステータス フラグがセットされます。SYST_CSR レジスタを読み取ると、COUNTFLAG ステータス ビットがクリアされます。現在の値レジスタ (SYST_CVR) に書き込むと、レジスタおよび COUNTFLAG ステータスがクリアされますが、CPU への割り込みは生成されません。SYST_CVR を読み取ると、アクセス時のカウンタ値が返されます。

表 3-5. SysTick レジスタ

セキュリティ	アドレス	登録	CMSIS	説明
セキュアな機能	0xE000.E010	SYST_CSR	SysTick->CTRL	制御およびステータス レジスタ。SysTick および関連する例外の有効 / 無効、および COUNTFLAG ステータスの確認に使用されます
非セキュア	0xE002.E014		SysTick_NS->CTRL	
セキュアな機能	0xE000.E014	SYST_RVR	SysTick->LOAD	MCLK サイクル単位の SysTick 間隔を設定するために、カウンタのリロード値をプログラムするために使用されるレジスタを再ロードします
非セキュア	0xE002.E014		SysTick_NS->LOAD	
セキュアな機能	0xE000.E018	SYST_CVR	SysTick->VAL	SysTick カウンタの現在の値を返します。書き込みを行うと、カウンタがゼロにクリアされ、SYST_CSR の COUNTFLAG がクリアされます
非セキュア	0xE002.E018		SysTick_NS->VAL	
セキュアな機能	0xE000.E01C	SYST_CALIB	SysTick->CALIB	未実装
非セキュア	0xE002.E01C		SysTick_NS->CALIB	

Copyright © 2026 Texas Instruments Incorporated

アプリケーション ソフトウェアは、SysTick レジスタへのアクセスに、32 ビット ワード境界にアラインされたワード アクセスのみを使用する必要があります。SysTick を初期化するには、以下の手順に従います:

1. SYST_RVR に目的のリロード値を設定します (例:1000 MCLK サイクルごとにフラグを生成する場合は、999 を設定します)
2. SYST_CVR レジスタに書き込み、現在の値をクリアします
3. SYST_CSR レジスタをプログラムして、SysTick をイネーブルにします

注

デバッグのため CPU が停止しても、SysTick カウンタはデクリメントしません。

3.4.3 メモリ保護ユニット (MPU)

メモリ保護ユニット (MPU) は、プロセッサによるすべてのメモリ アクセスを、プログラマが定義可能な一連のアクセス許可ポリシーに照らしてチェックするために使用できます。Arm Cortex-M33 の特権 / 非特権実行モードと組み合わせて使用することで、MPU は、特定のメモリ領域へのアクセスを特権コードのみに制限できます。特権なしコードが制限なしの領域にアクセスすると、MPU が存在しないかのように実行が継続されます。ただし、特権のないコードが制限領域へのアクセスを発行すると、MemMange 故障がプロセッサで有効になっていない場合に HardFault が生成されます。特権コードと非特権コードの両方からのアクセスを制限することもできます (プロセッサ経由ではアクセス不可)。

Arm Cortex-M33 には二つのメモリ保護ユニットが搭載されており、一つはセキュアメモリを制御し、もう一つはセキュアでないメモリを制御します。プログラムの実行場所に応じて、使用される MPU が変わります。詳細については、SAU のセクションを参照してください。

MPU は、システム プライベート ペリフェラル バス (PPB) 領域のメモリ マップ レジスタを通じて構成されます。MPU 構成レジスタのリストについては、*MPU Registers* を参照してください。デバイスに付属するソフトウェア開発キット (SDK) は、MPU の標準的な Arm Cortex マイコン ソフトウェア インターフェイス規格 (CMSIS) レジスタ アクセスの定義をサポートしています。

MPU は、プロセッサからのすべてのメモリ アクセス (フラッシュ、SRAM、およびペリフェラルへのアクセスを含む) をチェックするため、RTOS を使用するマルチスレッド アプリケーションの信頼性と堅牢性の向上に適しています。MPU を使用すると、スタック境界の設定や特定のペリフェラルへのアクセス制限など、個々のスレッドによるメモリアクセスを制限できます。RTOS が使用する重要な状態データは、非特権スレッドによる変更から保護できます。

注

MPU は、プロセッサから発信されるメモリ マップへのアクセスのみを監視します。MPU は、DMA コントローラのアクセスを制限しません。

注

MPU でフラッシュ メモリ領域を保護しても、フラッシュ コントローラによるフラッシュ メモリの読み取りや変更を防ぐことはできません。これは、フラッシュ コントローラがフラッシュ メモリ バンクを直接制御して、読み取り検証、プログラム、消去の操作を行えるためです。フラッシュ コントローラには専用の書き込み保護機能が用意されており、フラッシュ メモリを書き込み保護する場合は、これらの機能を使用します。ソフトウェアは、フラッシュ コントローラのレジスタへのアクセスを制限するように MPU を設定することで、CPU がフラッシュ コマンドを直接設定または開始することを防止できます。

MPU は、デバイスのメモリ マップを 8 つの領域 (0 ～ 7 という番号) とデフォルトのバックグラウンド領域に分割するメカニズムを提供します。各領域にはアクセス許可とメモリ属性を設定でき、必要に応じて領域同士を重複させることもできます。領域が重複している場合、複数の領域に含まれるアドレスへのメモリ アクセスには、最も大きい番号を持つ領域の属性が適用されます。

MPU が有効になっていない場合 (MPU_CTRL レジスタのイネーブル ビットがクリアされている場合)、デバイスはデフォルトのメモリ マップを使用し、CPU は MPU が存在しない場合と同様にメモリ マップへアクセスできます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

MPU が有効になっている場合、ベクタ テーブルへのアクセスとシステム制御空間へのアクセスは常に許可されますが、他の場所へのアクセスは、以下によって異なります:

- リージョンの構成
- アクセスが特権アクセスであったか、非特権アクセスであったか
- 特権ソフトウェアによるデフォルト メモリ マップへのアクセス制御設定 (PRIVDEFENA)

Arm Cortex-M33 はシングルバス CPU アーキテクチャなので、命令フェッチと MPU によるデータ アクセスの間には記述がありません。命令とデータは同じように扱われます。

注

MPU が有効になっている場合 (イネーブル ビットがセットされている場合)、特権ソフトウェアがメモリ マップにアクセスできるように PRIVDEFENA をセットするか、CPU がハード故障を発生させずに処理を続行できるよう、少なくとも一つのメモリ領域を設定して有効にする必要があります。PRIVDEFENA がクリアされ、定義および有効化された領域がなく、MPU が有効になっている場合、メモリ マップ全体へのアクセスが制限され、あらゆるアクセスで故障が発生します。

表 3-6. MPU レジスタ

セキュリティ	アドレス	登録	CMSIS	説明
セキュアな機能	0xE000.ED90	MPU_TYPE	MPU->TYPE	MPU が存在することを示すタイプ レジスタ。
非セキュア	0xE002.ED90		MPU_NS->TYPE	
セキュアな機能	0xE000.ED94	MPU_CTRL	MPU->CTRL	MPU を有効化および構成するための MPU 制御レジスタ。
非セキュア	0xE002.ED94		MPU_NS->CTRL	
セキュアな機能	0xE000.ED98	MPU_RNR	MPU->RNR	MPU_RBAR と MPU_RASR を使用するための領域選択レジスタ。
非セキュア	0xE002.ED98		MPU_NS->RNR	
セキュアな機能	0xE000.ED9C	MPU_RBAR	MPU->RBAR	領域ベース アドレス構成レジスタ。
非セキュア	0xE002.ED9C		MPU_NS->RBAR	
セキュアな機能	0xE000.EDA0	MPU_RASR	MPU->RASR	領域サイズおよびメモリ属性レジスタ。
非セキュア	0xE002.EDA0		MPU_NS->RASR	

MPU レジスタ構成の詳細については、Cortex-M33+ デバイスの汎用ユーザー ガイドの MPU セクションを参照してください。

3.4.4 セキュリティ属性単位

セキュリティ属性ユニット (SAU) は、選択された領域がセキュアか非セキュアかを CPU に通知し、各領域をセキュアまたは非セキュアに設定できます。プロセッサはこの情報を使用して、セキュリティ故障をスローできます。

Arm Cortex-M33 のこの実装には、SAU を使用してセキュアとして構成すべき 8 つのメモリ領域があります。SAU レジスタは、プロセッサがセキュア領域内にある場合にのみ読み取りおよび構成できます。プログラマはこのレジスタを使用して、セキュアでない呼び出し可能な領域を定義できます。これにより、プログラマは、コードの非セキュア呼び出し可能領域から SG 関数を使用して、NSC リージョンを介してセキュア リージョンに入ることができます。デフォルトでは、SAU によって設定されていないリージョンは、安全なままになります。SAU は IDAU と連携して動作し、領域の最終的なセキュリティレベルを判定します。『Arm Cortex-M33 プロセッサ テクニカル リファレンス マニュアル』の「セキュリティ アトリビューションおよびメモリ保護」セクションを参照してください。IDAU 構成の詳細については、セクション 3.4.5 を参照してください。

表 3-7. セキュリティ属性ユニット レジスタ

アドレス	登録	CMSIS	説明
0xE000.EDD0	SAU_CTRL	SAU->CTRL	セキュリティ属性ユニットをイネーブルにします

Copyright © 2026 Texas Instruments Incorporated

表 3-7. セキュリティ属性ユニット レジスタ (続き)

アドレス	登録	CMSIS	説明
0xE000.EDD4	SAU_TYPE	SAU->TYPE	セキュリティ属性ユニットによって実装されたリージョンの数を示します
0xE000.EDD8	SAU_RNR	SAU->RNR	SAU_RBAR および SAU_RLAR によって現在アクセスされている領域を選択します
0xE000.EDDC	SAU_RBAR	SAU->RBAR	現在選択されている SAU 領域のベース アドレスに対する間接読み取り / 書き込みアクセスを提供します
0xE000.EDE0	SAU_RLAR	SAU->RLAR	現在選択されている SAU 領域をセキュアとして定義できます
0xE000.EDE4	SFSR	SAU->SFSR	セキュリティ関連の障害に関する情報を提供します
0xE000.EDE8	SFAR	SAU->SFAR	セキュリティ違反の原因となったメモリ位置のアドレスを示します

SAU レジスタについては、Cortex-M33+ デバイスの汎用ユーザー ガイドの SAU セクションを参照してください

3.4.5 実装定義属性ユニット (IDAU)

デフォルトでは、Arm Cortex-M33 は、SAU によってすべてのメモリをセキュアと定義しています。SAU は、特定の領域を非セキュア、非セキュア呼び出し可能と定義したり、未設定の領域をセキュアとして定義できます。メモリ領域を非セキュア呼び出し可能として定義する場合、SAU と IDAU が使用されます。これにより、一連のメモリ領域を非セキュア呼び出し可能として設定できます。

IDAU は、アドレスを非セキュアまたは非セキュア呼び出し可能と定義します。MSPM33C の IDAU は、アドレスのビット 28 を使用して、メモリがセキュアか非セキュアかを判別します。アドレスのビット 28 が 1 の場合、アドレス属性は非セキュア呼び出し可能となり、アドレスのビット 28 が 0 の場合は、メモリは非セキュアとなります。たとえば、レジスタ 0x3000.0000 の属性は非セキュア呼び出し可能です。

デフォルトでは、IDAU はメモリを非セキュア呼び出し可能で、非セキュアと定義しています。プログラマは、Arm Cortex-M33 セクションのセキュア メモリ機能を使用する場合、メモリ領域をセキュアとして定義する必要があります。非セキュア呼び出し可能な領域をセキュアとして定義するには、SAU を使用する必要があります。メモリのセキュリティ レベルの詳細については、セクション 3.2.6 を参照してください。メモリのセキュア領域を設定する方法については、セクション 3.4.4 を参照してください。

IDAU の詳細については、『Arm Cortex-M33+ デバイスの汎用ユーザー ガイド』の「IDAU」セクションを参照してください。

3.4.6 浮動小数点演算ユニット (FPU)

浮動小数点演算ユニット (FPU) は、単精度の加算、減算、乗算、累積演算、および平方根演算をサポートしています。この浮動小数点演算ユニットは IEEE 754 規格に準拠しています。

FPU は、ユーザーのデータを浮動小数点形式に変換することで、浮動小数点演算を支援するために使用されます。このユニットには、32 個の 32 ビット シングルワード レジスタと、16 個の 64 ビット ダブルワード レジスタがあります。

注

FPU は NVIC に接続されていません。これにより、プログラマは FPSCR レジスタをチェックして FPU のステータスを確認する必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 3-8. FPU レジスタ

セキュリティ	アドレス	登録	CMSIS	説明
セキュアな機能	0xE000.EF34	FPCCR	FPU->FPCCR	FPU のさまざまな属性を制御するために使用されます
非セキュア	0xE002.EF34		FPU_NS->FPCCR	
セキュアな機能	0xE000.EF38	FPCAR	FPU->FPCAR	未使用の浮動小数点レジスタ領域の位置を保持します
非セキュア	0xE002.EF38		FPU_NS->FPCAR	
セキュアな機能	0xE000.EF3C	FPDSCR	FPU->FPDSCR	FPU のステータスを読み取るための値を保持します
非セキュア	0xE002.EF3C		FPU_NS->FPDSCR	

FPU の詳細については、Cortex-M33 デバイスの汎用ユーザー ガイドの FPU セクションを参照してください。

3.4.7 デジタル信号処理拡張

Arm Cortex-M33 では、デジタル信号処理 (DSP) 用の専用命令を使用できます。これにより、プログラマは Armv8-M 命令セットで提供される DSP 命令を使用できます。これらの手順の詳細については、Armv8-M アーキテクチャ リファレンス マニュアルを参照してください。

3.5 読み取り専用メモリ (ROM)

MCPUSS には、ブート構成ルーチン (BCR) およびブート ストラップ ローダ (BSL) の実行可能コードを格納した の読み取り専用メモリが搭載されています。ROM は、BOOTRST 後、または BSL への入力 / 終了を伴う SYSRST 後にアクティブになります。ROM は、アプリケーションの起動時に自動的に無効化され、アプリケーション ソフトウェアからはアクセスできません。

Copyright © 2026 Texas Instruments Incorporated

Chapter 4

セキュア ROM

読み取り専用メモリ (ROM) は、ユーザー アプリケーションの開始前にデバイスを構成するために使用されます。

4.1 ROM の概要 290
4.2 メモリ マップ 290
4.3 ブート構成ルーチン (BCR) 290
4.4 ブートストラップ ローダ (BSL) 291
4.5 ライフサイクル管理 293
4.6 ブートおよびスタートアップ シーケンス 294

Copyright © 2026 Texas Instruments Incorporated

4.1 ROM の概要

ROM には、ブート構成ルーチン (BCR)、ブートストラップ ローダー (BSL)、およびセキュリティ サービス用の実行可能コードが格納されています。ROM の主な特長は次のとおりです。

- アプリケーションが開始する前に、BCR を使用して適切なデバイス構成を行うブートアップ ルーチンの実行
- シリアル インターフェイス経由でファームウェアを書き込み、検証するためのブートストラップ ローダ (BSL)
- NON-Main フラッシュ構成に基づくデバイスのセキュリティの構成
- フラッシュ内のアプリケーションのセキュア ブート認証
- デバッグ サブシステム メールボックス (DSSM) を介したセキュアおよび非セキュア サービス
- 返品保証 (RMA) サービス

ROM は、BOOTRST 後、または BSL の開始 / 終了を伴う SYSRST の後にアクティブになります。ROM は、アプリケーションの起動時に自動的に無効になり、アプリケーション ソフトウェアからはアクセスできなくなります。

MSPM33 C シリーズ デバイスは、BCR、BSL を備えています。

4.2 メモリ マップ

ROM で使用されるメモリ セクタと、それに関連する保護機能の概略図。

表 4-1. ROM メモリ マップ

メモリの使い方	メモリ サイズ	開始アドレス	権限	目的
ROM	32KB	TI で予約	不変	BCR、BSL、セキュア サービス
BANK0 NONMAIN	2KB	0x80101800	リプログラマブル	BCR、BSL、セキュア サービス構成
BANK1 NONMAIN	2KB	0x80103800	リプログラマブル	BCR、BSL、セキュア サービス構成 (バンクスワップを使用する場合に複製)

4.3 ブート構成ルーチン (BCR)

ブート構成ルーチンは、BOOTRST の後でデバイス上で実行される最初のファームウェアです。BCR はブート時に以下を管理します。

- デバッグ インターフェイス セキュリティ ポリシーの設定
- (オプション) 一括消去の実行
- (オプション) 工場出荷時リセットの実行
- フラッシュ メモリの静的書き込み保護ポリシーの設定
- (オプション) アプリケーション ファームウェアの一部またはすべての整合性の検証 (32 ビット CRC を使用)
- (オプション) ブートストラップ ローダ (BSL) の起動

4.3.1 SWD 一括消去および工場出荷時のリセット コマンド

BCR は、デバッグ サブシステム メールボックス (DSSM) を使用して、デバッグ プローブから SWD 経由でデバイスに送信されるコマンドにより、一括消去および工場出荷時のリセット機能を提供します。これらのコマンドは SWD セキュリティ レベル 2 では使用できませんが、セキュリティ レベル 0 および 1 ではオプションとして使用できます。デバイスが SWD セキュリティ レベル 2 に構成されていない場合、工場出荷時のリセット は個別に、「有効」、「固有の 128 ビット パスワードで有効」、または「無効」に設定できます。デフォルトでは、両方のコマンドは有効になっています。

SWD 工場出荷時のリセット DSSM は、静的書き込み保護ポリシーより優先されます。たとえば、SWD の工場出荷時のリセットが有効に設定されている場合、静的書き込み保護が設定されていても、BCR の構成データはリセットできます。

SWD 工場出荷時のリセット

SWD 工場出荷時のリセットでは、MAIN フラッシュ領域の消去と、NONMAIN フラッシュ領域のデフォルト値へのリセットを行います。このような消去は、アプリケーション コードとデータを消去するだけでなく、BCR および BSL デバイスのブート ポリシーを完全にリセットする場合に便利です。

Copyright © 2026 Texas Instruments Incorporated

工場出荷時のリセット コマンド モードを設定するには、NONMAIN メモリの BOOTCFG3.FACTORYRESETCMDACCESS を設定します。

4.3.2 アプリケーションのハッシュ検証

BCR は、ユーザー アプリケーションを開始する前のブート プロセス中に、MAIN フラッシュ領域に含まれるアプリケーション コードおよびデータの完全なハッシュ整合性チェックを実行できます。これは、アプリケーション コードとデータを実行する前に、一部またはすべての整合性を確保するのに役立ちます。

ブート時のハッシュ整合性チェックを有効にするには、構成メモリの BCR 構成に、次の情報をプログラムする必要があります。

- CRC チェックの 32 ビット開始アドレス (USER_SECURE_APP_START_ADDR.ADDRESS フィールド)
- CRC チェックが適用されるアプリケーションの長さ (バイトで指定) (USER_SECURE_APP_LENGTH.LENGTH フィールド)
- テスト用として、事前に計算された 256 ビット ハッシュ値 (USER_SECURE_APP_HASH[x].DIGEST フィールド)
- ハッシュ チェックで有効になっているキー値 (SECURE_BOOT_MODE.APPMODE フィールド)

ブート時にアプリケーションのハッシュ チェックが失敗した場合、MAIN フラッシュ内のアプリケーションは開始されません。ブートストラップ ローダが有効になっている場合は、BSL が起動します。BSL が有効でない場合、ブートは失敗します。

4.3.3 高速ブート

高速ブート モードを有効にすることで、BCR の実行時間を短縮できます。高速ブート モードを有効にすると、次の方法でブート プロセスが高速化されます。

- BSL エントリ方式の制限。高速ブート モードを有効にすると、SYSCTL レジスタ呼び出し方式と DSSM 呼び出し方式のみを使用してブートローダに移行できます。他の BSL 起動条件はテストされません (ピン ベースの起動など)。
- アプリケーション CRC または HASH チェックのバイパス (アプリケーション CRC または HASH チェックが有効な場合でも)。

高速ブート モードを有効にするには、構成メモリの BOOTCFG2.FASTBOOTMODE フィールドで高速ブート モードを有効に設定します。

4.4 ブートストラップ ローダ (BSL)

ブートストラップ ローダ (BSL) は、標準の UART または I2C シリアル インターフェースを使用して、デバイスのメモリのプログラムまたは検証 (あるいはその両方) を行うことができます。シリアル インターフェースでアクセス可能な BSL の主な機能には、次のものがあります。

- フラッシュ メモリのプログラミングと消去
- メイン フラッシュへのポインタを使用して、ファームウェアのバージョン番号を返す機能
- ハードウェアの GPIO を起動するように指定する機能
- コードまたはデータの読み出しを有効にする機能 (デフォルトは無効)
- プログラミングを検証するため、コードまたはデータ領域 (最小領域サイズ 1KB) の 32 ビット CRC を返す機能
- アクセスを常に 256 ビットのパスワードで保護
- ブルートフォース攻撃に抵抗するため、セキュリティ アラート処理を構成可能
- MAIN フラッシュ プラグインをサポートしており、UART や I2C 以外の追加インターフェイスを使用可能
- 構成可能な UART ピンと I2C ピン

BSL の機能と詳細な説明については、『BSL ユーザー ガイド』を参照してください。

BSL は、NONMAIN フラッシュの BCR 構成で BSL モードを適切に構成することで、必要に応じて完全に無効化できます。BSL の有効化と無効化の詳細については、「BSL の有効化」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

4.4.1 アプリケーションのバージョン

BSL は、BSL シリアル インターフェイス経由でアプリケーションのバージョン番号を返すことをサポートしています。これにより、BSL ホストはファームウェアを読み出さずに、ファームウェアのバージョンを照会できます。バージョン フィールドの長さは 32 ビットです。アプリケーション バージョン コマンドを、MAIN フラッシュにプログラムされたバージョン番号にリンクするには、構成メモリの APP_REV_POINTER フィールドにバージョン番号のアドレスを設定します。バージョン データは、APP_REV_POINTER で指定されたアドレスが有効なフラッシュ メモリ アドレスに対応している場合にのみ返されます。

4.4.2 GPIO 起動

ブートローダは、GPIO を使用した BOOTRST 後のハードウェア起動をサポートしています。構成メモリの BSL 構成には、GPIO による呼び出しのパッド、ピン、極性の定義が含まれています。デバイスは TI から特定の GPIO と極性用に構成されていますが、ソフトウェアは、構成メモリの BSL 構成で GPIO ピン構成を変更することで、このデフォルトを変更できます。

BSL_invoke ピンの極性を指定するには、構成メモリの BSLCONFIG0.BSLIVK_LVL フィールドを設定します。

BSL_invoke に使用するデバイス ピンを指定するには、構成メモリで次のフィールドを設定します。

- IOMUX PINCMx インデックスを BSLCONFIG0.BSLIVK_PAD_NUM フィールドに格納します
- GPIO ポート (A または B) を BSLCONFIG0.BSLIVK_GPIOPORT フィールドに格納します
- GPIO ピン (0 ～ 31) を BSLCONFIG0.BSLIVK_GPIOPIN フィールドに格納します

デフォルトの BSL 起動 GPIO を決定するには、デバイス固有のデータシートを参照してください。

4.4.3 BSL トリガによる一括消去と工場出荷時リセット

BSL に一括消去または工場出荷時リセットのコマンドを送信できます。これらのコマンドは、いくつかの重要な例外を除いて、SWD 一括消去および工場出荷時リセット コマンドと同様に機能します。

BSL 一括消去

BSL に送信される一括消去コマンドにより、MAIN フラッシュ メモリは消去されます。静的書き込み保護が設定されている MAIN フラッシュ メモリ セクタ (構成メモリ内の BANK0_WRITE_ERASE_PROTECTION_A、BANK0_WRITE_ERASE_PROTECTION_B、BANK1_WRITE_ERASE_PROTECTION_A および BANK1_WRITE_ERASE_PROTECTION_B フィールドを使用) は消去されません。デバイス構成メモリが一括消去されることはありません。

BSL 工場出荷時のリセット

BSL に送信される工場出荷時リセット コマンドは、最初に BSL 一括消去を実行して MAIN フラッシュ メモリを消去します (静的書き込み保護のセクタを除く)。その後、デバイス構成メモリを消去します。

BSL の工場出荷時リセット コマンドは、次の条件が該当する場合のみ受け付けられます。

1. 現在、構成メモリ自体に静的書き込み保護が設定されてない (構成メモリの BANK0_NM_USER_CONFIG フィールドが NOT PROTECTED に設定されている)
2. 工場出荷時リセット コマンドが無効に設定されていない (構成メモリの BOOTCFG4.FACTORY_RESET_MODE フィールドが無効に設定されていない)

BSL ホストは、BSL セッションを終了する前に (BSL コマンドを使用して) 有効な構成データを構成メモリにプログラムする必要があります。プログラムしないと、デバイスが回復不能な状態になるおそれがあります。

Copyright © 2026 Texas Instruments Incorporated

注

BSL の工場出荷時リセット後に構成メモリをプログラムしないままにした場合、デバイスは次のリセット サイクルで最も厳しい制限状態に移行し、MAIN フラッシュ内のアプリケーション コードは開始されず、いかなる方法でもデバイスにアクセスできなくなります。ロックアウトを防止するため、BSL の工場出荷時リセット後は、必ず有効な構成データが構成メモリにプログラムされていることを確認してください。

4.5 ライフサイクル管理

MSPM33 C シリーズ デバイスは、TI の工場から出荷され、開発、量産、廃棄に至るまでのデバイス プロセスを管理するため、ライフサイクル管理をサポートしています。ライフサイクルは、デバイスの寿命のさまざまな段階で有効にする機能を制御します。

ライフサイクル管理により、ユーザーはすべてのオープンからすべてのクローズまでのセキュリティ レベルを管理された方法で向上させることができます。また、デバイスが故障したときや、故障解析中にデバイスを特定の状態に変換することで、情報の漏えいを防ぐことができます。

ブートコードは、デバイスの動作状態を示す 2 つの状態で SoC のライフサイクルに対応しています。

- HS (高セキュリティ) - 運用ユニット
  - HS ライフサイクル状態は、デバイスが動作する特定の構成に応じて複数の**デバイス サブタイプ**状態に分類できます。
- DCOM/BAD - 廃止または故障ユニット

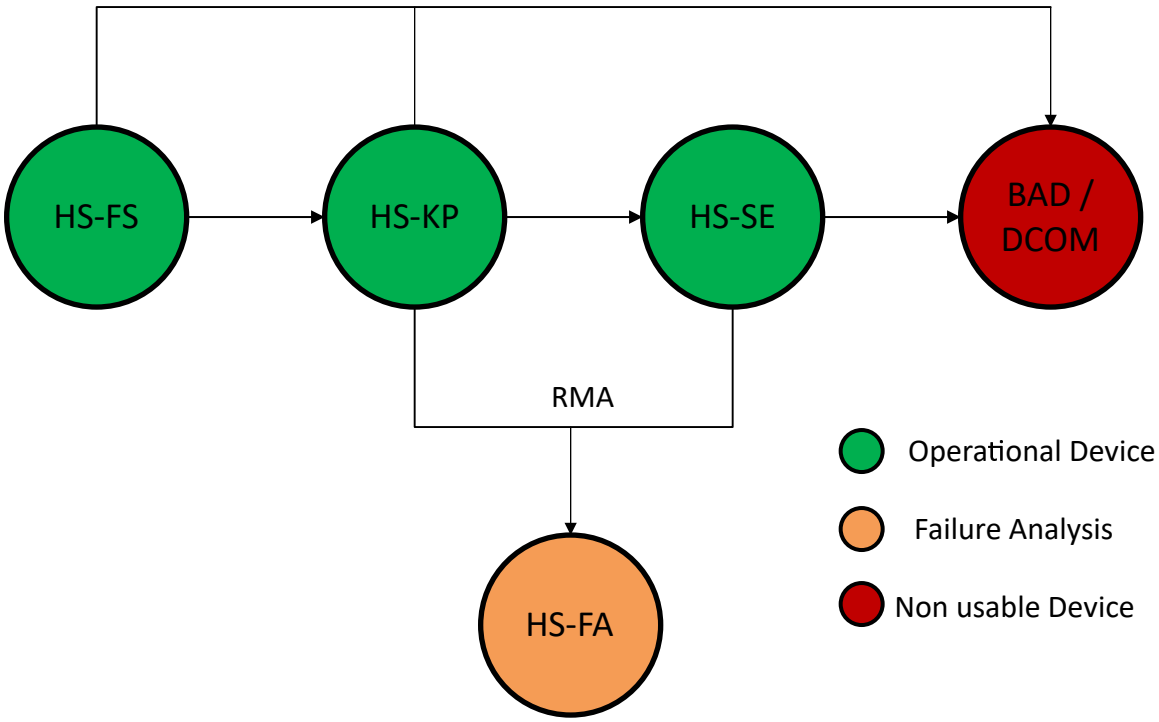


図 4-1. ライフサイクルの遷移

4.5.1 デバイス サブタイプ

HS ライフサイクル状態は、次の**デバイス サブタイプ**状態に分類されます。ブートコードは、対応するセキュリティ セクタを読み出して、高セキュリティのデバイス サブタイプを判定します。

- HS-FS (フィールドセキュア化可能) - TI から出荷されたデバイスはこの状態になっています。この状態では、デバイスはセキュリティ機能の有無にかかわらず使用できます。セキュリティ機能が不要な場合、デバイスは、ライフサイクルの

Copyright © 2026 Texas Instruments Incorporated

残りの期間、この状態になります (デバイスが BAD 状態になるか、障害分析が実行される場合を除く)。セキュリティ機能が必要な場合、デバイスはこの状態でキー プロビジョニングを行う準備ができています。
- HS-KP (キー プロビジョニング) - キー (セキュア ブートに必要) がプロビジョニングされた後、デバイスはこの状態に設定されます。この状態では、デバイスは署名済みの顧客セキュア コード (CSC) または署名済みアプリケーションのいずれかを書き込む準備ができています。
- HS-SE (セキュリティ適用) - 署名済みの CSC またはアプリケーションがセキュア ブートによって書き込まれ、検証された後に遷移するデバイスの状態です。

上記の状態に加えて、デバイスで障害分析が有効になると、デバイスは HS-FA (障害分析) 状態に遷移します。

4.5.2 ライフサイクルの遷移

デバイスのライフサイクルでは、デバイスの現在の状態と適用されるセキュリティ設定に応じて状態が変化していきます。

以下に、HS-FS から HS-KP への遷移の一連のステップを示します。
- ユーザーがデバイスに対して DSSM コマンド (DSSM_COMMAND_SECURE_KEY_PROVISIONING) を実行します。
- 8 RoT の公開鍵 (セキュア ブートの場合は 6 個、セキュア デバッグの場合は 2 個) がデバイスに送信されます。
- ROM がこのデバイスを HS-KP としてマーキングします。

以下に、HS-KP から HS-SE への遷移ステップのシーケンスを示します。
- デバッグ ポートがロックされていない場合は、デバッグ ポートを介してアプリケーション /CSC をプログラムできます。
- あるいは、BSL を呼び出してアプリケーションをプログラムします。
- BSL 経由で、署名済み CSC またはアプリケーションをプログラムします。
- ROM が CSC またはアプリケーションを検証すると、デバイスは HS-SE としてマークされます。

以下は、HS-KP/HS-SE から HS-FA への遷移ステップのシーケンスです。
- ユーザーがデバイスに対して DSSM コマンド (DSSM_COMMAND_RMA) を実行します。
- 結合された証明書が受信され、検証されると、ROM はデバイスを HS-FA としてマーキングします。
- デバイスは、HS-FA 認証フローに移行します。

デバイスを DCOM/BAD に変換するには、DSSM コマンド (DSSM_COMMAND_CONVERT_BAD_DEVICE) を送信できます。

注

ユーザーからの返却フロー

ユーザーは、故障解析のためにデバイスをテキサス・インスツルメンツに返却する前に、デバイスの状態を HS-KP/HS-SE から HS-FA に移行する必要があります。ユーザーには、コード、鍵など、さまざまな資産をプログラミングまたは消去できる保護オプションが用意されています。コンテンツを消去すると、一部の障害のデバッグが制限されることに注意する必要があります (たとえば、コンテンツが消去された後でフラッシュ データ保持障害をデバッグできない、など)。

4.6 ブートおよびスタートアップ シーケンス

図 4-2 に、セキュリティ イネーブルなアプリケーションのブートおよびスタートアップ シーケンスを示します。BOOTRST で、TI ブートコードの実行が開始されます。ライフサイクル ステータスに従い、デバイスは対応するプロセスをセキュア ブート、通常のブート、再テストフロー、またはその他のプロセスとして実行します。

ブートローダー (BSL) の有効な起動条件が検出されると、ブートコードによってブートローダーが起動されます。ブートローダーにより、標準のシリアル インターフェースを使用してデバイスのフラッシュ メモリのプログラムと検証が可能になります。

ブートコードの実行中、デバッグ サブシステム メールボックス (DSSM) により、デバッグ プローブが SWD インターフェイス経由でターゲット デバイスにメッセージを渡し、ターゲット デバイスはデバッグ プローブにデータを返します。ブートコー

Copyright © 2026 Texas Instruments Incorporated

ドでは、DSSM により、ライフサイクル状態変更要求や、パスワードで保護されたデバッグ、一括消去、工場出荷時のリセット動作を行うためのデバッグ プローブの認証などのコマンドをデバイスに送信することができます。

正常にブートが完了すると、ブートコードは BOOTDONE を発行します。この時点で、SYSCTL はデバイスに SYSRST を発行し、フラッシュ メモリからの実行をトリガします。ブート構成レコードに応じて、これにより、メインアプリケーションの起動 (この構成で CSC が存在しない場合) または CSC の起動 (CSC が設定されている場合) のいずれかに進みます。

CSC (顧客セキュア コード) はフラッシュ メモリから実行され、追加のセキュリティ要素を設定します。CSC は、ユーザーが所有するセキュアソフトウェアであることに注意してください。この 2 ステップのセキュア ブート コンセプトにより、アプリケーション固有のポリシーの実装と管理を CSC で行うことができます。一方、標準的なセキュリティ イネーブラはブートコードで実装されます。ステップ 2 の実行が完了すると、システムは 2 番目の SYSRST を実行し、その後メイン アプリケーションが開始されます。

このセキュリティ モデルでは、TI ブートコードと CSC の両方が「信頼されている」とみなされます。メイン アプリケーションは「信頼できない」とみなされます。実行がメイン アプリケーションにジャンプした場合、デバッグ、メモリ アクセス、鍵管理などの制限を含め、すべてのセキュリティ要素が設定済みであると想定されます。

注

MSPM33 セキュリティ アーキテクチャでは、ポリシーとメカニズムを明確に分離しているため、CSC を実装しておらず、BOOTRST の直後にメイン アプリケーションの実行を開始するアプリケーションを構築できます。

注

セキュリティ アーキテクチャ機能が利用可能かどうかは、該当するデバイスのデータシートで確認してください。

Copyright © 2026 Texas Instruments Incorporated

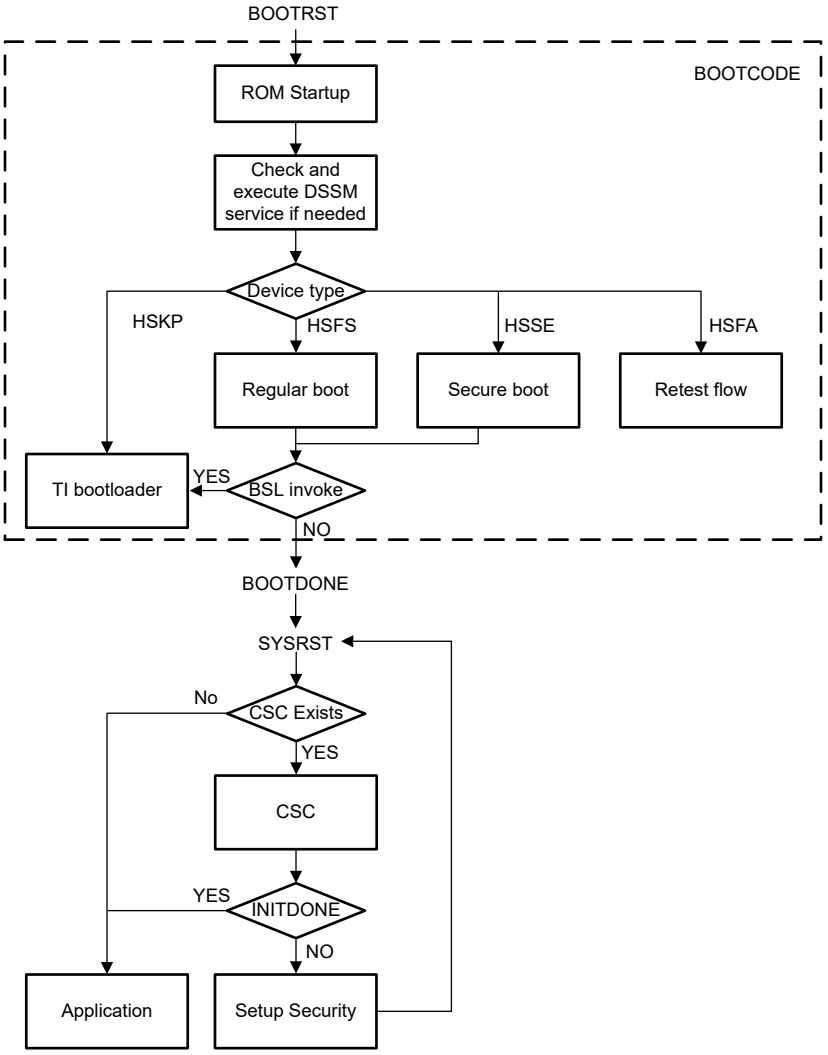


図 4-2. セキュア ブートとスタート シーケンス

注

セキュリティが有効化されていないデバイスとのブート フロー互換性を保つため、ブート構成のデフォルト設定は『CSC が存在しない』状態に設定されています。

セキュアな実行フローは、CSC_EXISTS = YES のパスです。この場合、BOOTRST の後、メイン アプリケーションが起動する前に 2 つの SYSRST が発行されることがあります。最初の SYSRST の後、顧客のスタートアップ コードが実行されます。セキュリティを設定し、INITDONE を発行します。この時点で、セキュリティ設定はロックされ、強制されます。この時点で 2 番目の SYSRST が発行され、CSC の実行が再開されます。2 番目の SYSRST では、INITDONE が YES であるため、メイン アプリケーションが起動します。

CSC が有効になっていない場合、1 つの SYSRST のみが発行され、アプリケーションが起動されます。

4.6.1 セキュア ブート

MSPM33 C シリーズ デバイスは、デバイスのライフサイクル管理を利用し、ROM からの変更不可のセキュア ブートに対応しています。変更不可のセキュア ブートは、プロビジョニング状態 (HS-FS) から永続的に保護された動作状態 (HS-

Copyright © 2026 Texas Instruments Incorporated

SE) へ移行するデバイスのライフサイクル管理を利用して信頼チェーンを確立し、デバイス上で認証および承認されたファームウェアを実行できるようにします。

セキュア ブートは、SHA-256 ハッシュによりイメージの整合性を検証し、鍵ハッシュを使用して公開鍵の真正性を検証するほか、ECDSA 署名検証を実行するメカニズムを提供します。

ROM セキュア ブートは、以下の機能をサポートしています。

- ECDSA (楕円曲線デジタル署名アルゴリズム) P-256 曲線を使用したファームウェアの認証
- SHA-256 ハッシュ検証によるファームウェアの整合性
- セキュリティ上の脆弱性が存在する可能性のある古いファームウェアへのダウングレードを防ぐアンチロールバック
- 漏洩した鍵を無効にする鍵失効 (最大 6 個の鍵をサポート)
- セキュリティ メタデータ用の業界標準の MCUBoot トレーラー処理
- 起動シーケンスを最適化する高速セキュアブート モード

ファームウェア イメージ認証用の信頼ルートは、変更不可の OTP メモリに保存されている公開鍵に基づいています。セキュア ブートはこれらの鍵を使用して、対応する秘密鍵によって署名されたファームウェアの署名を検証します。MSPM33 C シリーズ デバイスは、最大 6 個の公開鍵をサポートします。セキュア ブートは、検証のために最初の公開鍵を使用します。残りの公開鍵は、最初の鍵が失効した場合に使用されます。

セキュア ブートは、デバイスが HS-SE 状態のときにのみ実行されます。HS-SE 状態では、次のいずれかの条件でセキュア ブートが実行されます。

- BOOTRST
- パワーオン リセット
- シャットダウンからのウェークアップ

4.6.2 カスタマ セキュア コード (CSC)

MSPM33 C シリーズ デバイスの変更不可能なセキュア ブートに追加の機能を実装する場合は、デバイスのメイン フラッシュにカスタマ セキュア コード (CSC) (セカンダリ ブートローダーとも呼ばれます) を実装できます。ROM は、CSC をサポートするための以下の機能を備えています。

- バンク スワップの決定
- セキュア キーストアの初期化

カスタマ セキュア コードが SYSCTL.SECCFG.INITDONE MMR への書き込みによって INITDONE を発行すると、SYSCTL は二回目の SYSRST を発行します。デバイスは再び、フラッシュにマップされた 0x0 から実行を開始し、CSC が 2 回目に実行されます。今回は、CSC は INITDONE がすでに発行済みであることを確認し (SYSCTL.SECCFG.SECSTATUS.INITDONE ビットの読み取りによって判定します)、メイン アプリケーションを直接呼び出します。

お客様が所有するセキュア コードは、GSC を活用して、以下のような追加のセキュリティ機能を実装できます:

- フラッシュ読み取り実行保護
- フラッシュ IP 保護
- SRAM 書き込み実行の相互排他

CSC は、より最近認証されたアプリケーション イメージを保持するバンクを指定します。そのバンクが物理バンク 0 (CSC が実行されているバンクと同じバンク) の場合、バンク 1 は読み書き専用となり、実行権限はありません。正しいアプリケーション イメージが物理バンク 1 にあると判定された場合、CSC はバンク スワップ要求を発行する必要があります。

CSC は、キー値 0x9d とともにパス値 (0x1) を指定して SYSCTL.SECCFG.INITDONE レジスタに書き込むことで、CSC 実行の終了を示します。INITDONE レジスタに正常に書き込むと、二回目の SYSRST 動作が発生し、バンク スワップが有効になります。

Copyright © 2026 Texas Instruments Incorporated

Chapter 5

NVM (フラッシュ)

不揮発性メモリ (NVM) システムは、実行可能コードおよびデータを格納するための不揮発性フラッシュ メモリを提供します。

5.1 NVM の概要 299
5.2 フラッシュ メモリ バンク構成 300
5.3 フラッシュ コントローラ 301
5.4 フラッシュ プログラミング インターフェイス 310
5.5 フラッシュ読み取りインターフェイス 320
5.6 FLASHCTL レジスタ 322
5.7 FRI レジスタ 323

Copyright © 2026 Texas Instruments Incorporated

5.1 NVM の概要

不揮発性メモリ システムには、実行可能なコードおよびデータを保存するためのインシステム プログラマブル フラッシュ メモリが搭載されています。この章では、不揮発性メモリ システムの全機能について説明します。

5.1.1 主な特長

不揮発性メモリ システムの主な特長は次のとおりです。

- 電源電圧範囲全体にわたって、インサーキット プログラムと消去がサポートされています
- 内部プログラミング電圧の生成
- 128 ビットのフラッシュ ワード サイズ (128+8+8 = 144、ECC 付き)
- グローバル セキュリティ コントローラ (GSC) によるフラッシュ コントローラ保護
- 動的な書き込み / 消去保護 (実行時に構成可能)
- セクタ (2KB) とバンク消去
- 合計 1024KB のメイン メモリを持つ 2 つのコード バンク
- 独立したデータ フラッシュあり (32KB メイン)
- フラッシュ バンクの耐用期間を最大化するための自動ハードウェア事前検証
- プログラム / 消去動作後の自動ハードウェア検証
- ECC 保護 (SECDED)

5.1.2 システム コンポーネント

不揮発性メモリ システムは、次の 4 つのコンポーネントで構成されています (以下を参照)。

- フラッシュ コントローラ (フラッシュ バンクでの読み取り / プログラム / 消去動作を実行)
- フラッシュ読み取りインターフェイス (FRI) (フラッシュバンクから CPU およびペリフェラル バスへの読み取りを制限)
- フラッシュ プログラミング インターフェイス (FPI) (フラッシュ バンクのプログラム / 消去を制限)
- グローバル セキュリティ コントローラ (GSC) (FRI および FPI にライフサイクル ステート情報を提供)

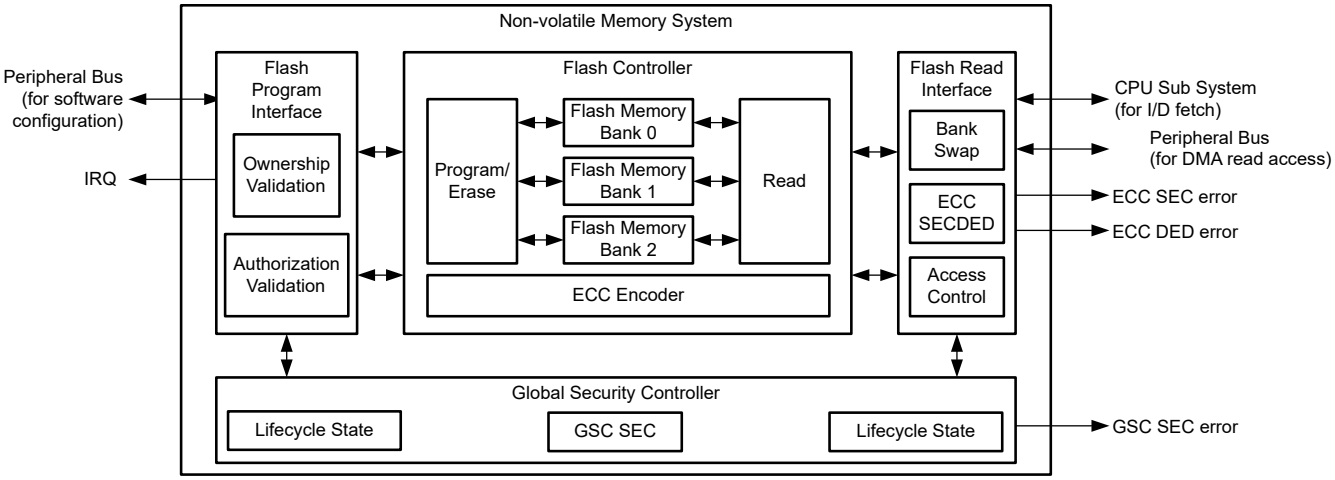


図 5-1. 不揮発性メモリ システム コンポーネント

5.1.3 用語

この章の残りの部分で参考として使用できるよう、このセクションではフラッシュ バンクの主要な用語について定義します。

表 5-1. NVM システムに関する用語

用語	定義	サイズ
フラッシュ ワード	フラッシュ メモリの書き込みおよび読み取り動作における基本データ サイズ (システムの読み取りバス幅も含む)	128 データ ビット (ECC 付きで 144 ビット)
ワード ライン	セクタを消去するまでの間の書き込み動作制限のある、セクタ内のフラッシュワードのグループ	16 個のフラッシュ ワード (256 データ バイト + 32 ECC バイト)

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 5-1. NVM システムに関する用語 (続き)

用語	定義	サイズ
セクタ	一緒に消去されるワード ラインのグループ (フラッシュ メモリの最小消去分解能)	8 ワード ライン (2048 データ バイト + 256 ECC バイト)
バンク	1 回の動作で大量に消去できるセクタのグループ。特定のバンクにおいて、読み取り、書き込み、消去、検証動作は、同時に 1 つしか実行できません。	変数
地域	バンクからのフラッシュ メモリの論理割り当て。	変数

5.2 フラッシュ メモリ バンク構成

フラッシュ メモリは、アプリケーション コードとデータ、デバイスのブート構成、および工場出荷時にテキサス インスツルメンツが事前にプログラムしたパラメータを保存するために使用されます。フラッシュ メモリは 1 つ以上のバンクに編成され、各バンクのメモリはさらに 1 つ以上の論理メモリ領域にマップされ、アプリケーションで使用できるようにシステム アドレス空間が割り当てられます。

5.2.1 バンク

不揮発性メモリ システムは、最大 3 つのフラッシュ メモリ バンク (BANK0 から BANK2 として列挙) をサポートします。存在するフラッシュ バンクの数は、デバイスによって異なります。特定のデバイスのバンク方式を決定するには、そのデバイス データシートの「詳細説明」セクションをご覧ください。多くのデバイスは 3 つのフラッシュ バンク (BANK0 から BANK2) を実装しており、BANK0 および BANK1 がメイン コード バンクとして、BANK2 がデータ フラッシュとして使用されています。

バンク上のプログラム / 消去動作により、その動作を実行中のバンクに対して発行された読み出し要求は停止されますが、他のバンクに対して発行された読み取り要求が停止することはありません。このように、複数のバンクが存在するため、以下のようなアプリケーション ケースが可能になります。

- デュアル イメージ ファームウェアの更新 (アプリケーションは、1 つのフラッシュ バンクからコードを実行でき、アプリケーションの実行を停止せずに、もう 1 つのイメージをもう 1 つの対称型フラッシュ バンクにプログラムすることが可能)
- EEPROM エミュレーション (アプリケーションは 1 つのフラッシュ バンクからコードを実行でき、もう 1 つのフラッシュ バンクを使用してアプリケーションの実行を停止せずにデータを書き込むことができます)

5.2.2 フラッシュ メモリ領域

各バンク内のメモリは、各バンクのメモリがサポートする機能に基づいて、1 つまたは複数の論理領域にマップされます。4 つの領域があります。MAIN (フラッシュ メモリ)、NONMAIN (構成 NVM)、FACTORY。

表 5-2. コード バンク メモリ領域

フラッシュ メモリ領域	リージョンの内容	実行可能ファイル	使用者	プログラム実行者
MAIN (フラッシュ メモリ)	アプリケーション コードおよびデータ	有	アプリケーション	ユーザー
NONMAIN (構成 NVM)	デバイス ブート構成 (BCR および BSL)	無	ブート ROM	TI、ユーザー
FACTORY	アナログ トリム、ブート関連、その他のセキュリティ情報	無	アプリケーション	TI のみ (変更不可)

複数のバンクを持つデバイスでは、BANK0 および BANK1 に MAIN、NONMAIN、FACTORY の各領域が実装されますが、BANK2 には MAIN 領域のみが実装されます。

5.2.3 アドレス

フラッシュ メモリ領域は、システム メモリ マップ内のアドレス空間に割り当てられます。

NONMAIN 領域と FACTORY 領域は、実行可能コードが含まれていないため、ペリフェラル アドレス空間 (0x8010.1800) に割り当てられます。CPU は、この領域から実行可能命令をフェッチしてはなりません。

Copyright © 2026 Texas Instruments Incorporated

MAIN 領域は、コードアドレス空間 (0x0000.0000) に割り当てられます。

注

データ フラッシュの MAIN 領域は、ペリフェラル アドレス空間 (0x8000.0000) に割り当てられ、特別な構成でのみ使用できます。

命令とデータのフェッチは、最高の性能を実現するため、常にコード アドレス空間を使用して行うことをお勧めします。CPU は、この領域から実行可能命令をフェッチしてはなりません。

ECC

エラー訂正コード (ECC) をサポートするデバイスでは、すべてのメモリ領域の ECC コードもアドレス空間に割り当てられており、ソフトウェアが診断目的のデータとして ECC コードを読み取ることができます。

MSPM33C デバイスでは、1 つのフラッシュ ワードは 128 ビットです。128 ビットに追加されるのは、フラッシュ ワードの 64 ビット領域の上限および下限をカバーする 2 つの ECC バイトです。つまり、ECC 読み取りを正しく行うには、16 ビットの変数を使用する必要があります。最初の ECC バイトはフラッシュ ワードの上位 64 ビットに対応し、2 番目の ECC バイトはフラッシュ ワードの下位 64 ビットに対応します。ECC バイトに対応する CMDBYTEN ビットをディスエーブルにして、ECC をディスエーブルにすることもできます。詳細については、セクション 5.3.3.2 を参照してください。

5.2.3.1 フラッシュ メモリ マップ

次の表に、システム アドレス空間の割り当てを示します。これらの割り当ては、すべてのデバイスで一貫しています。

表 5-3. フラッシュ領域メモリ マップ

バンク	地域	読み取りタイプ	ECC の動作	ベース アドレス
0	MAIN	命令フェッチまたはデータ読み取り	補正済み	0x0000.0000
		データ読み取り	ECC コード	0x8020.0000
	NONMAIN	データ読み取り	補正済み	0x8010.1800
			ECC コード	0x8026.0300
	FACTORY	データ読み取り	補正済み	0x8011.0000
			ECC コード	0x8027.0000
1	MAIN	命令フェッチまたはデータ読み取り	補正済み	0x0008.0000
		データ読み取り	ECC コード	0x8021.0000
	NONMAIN	データ読み取り	補正済み	0x8011.3800
			ECC コード	0x8026.0700
	FACTORY	データ読み取り	補正済み	0x8011.1000
			ECC コード	0x8027.0200
データ フラッシュ	MAIN	命令フェッチまたはデータ読み取り	補正済み	0x8000.0000
		データ読み取り	ECC コード	0x8024.0000

5.3 フラッシュ コントローラ

フラッシュ コントローラは、不揮発性メモリ システムで実行されるすべてのプログラム、消去、および検証動作を管理します。デバイスのメモリ マップのペリフェラル領域にメモリマップされたレジスタが含まれています。フラッシュ メモリで動作を実行するには、ソフトウェアで設定する必要があります。

テキサス インスツルメンツは、ソフトウェア開発キット (SDK) の DriverLib レイヤの一部として、フラッシュ コントローラのソフトウェア抽象化を提供します。ソフトウェアを使用してフラッシュ メモリ上で動作する場合は、DriverLib 抽象化レイヤを使用することをお勧めしますが、必須ではありません。DriverLib ソフトウェア抽象レイヤを使用してフラッシュ メモリ上で操作を実行するには、このドキュメントとは別に提供されているソフトウェア開発キット (SDK) のドキュメントを参照してください。

Copyright © 2026 Texas Instruments Incorporated

フラッシュ コントローラへの低レベル レジスタ アクセスを使用してフラッシュ メモリを直接動作させる方法については、このセクションの残りの部分に詳細が示してあります。

5.3.1 フラッシュ コントローラ コマンドの概要

フラッシュ メモリは、実行したいコマンドに合わせて CMDTYPE および CMDCTL レジスタを設定し、特定のコマンドで設定が必要な他のレジスタを設定し、CMDEXEC レジスタに 0x01 を書き込んでコマンドを開始すると動作を開始します。

CMDEXEC に 0x01 が設定されると、指示された動作の実行を開始します。処理の実行中は、その処理が完了するまで、ほとんどの構成レジスタへの書き込みがブロックされます。一部のレジスタ (マスク レジスタなど) は、処理が完了するまでの間にハードウェアの制御下で状態が変化することがあります。フラッシュ コントローラは、STATCMD レジスタの CMDDONE ビットをセットすることで、指示された動作が完了したことを示します。また、フラッシュ コントローラは、動作が完了したときに「DONE」ステータスを示すため、CPU サブシステムに割り込みベクタを供給します。

CMDEXEC ビットを設定して CMDDONE 応答を待機するという一連のソフトウェア処理は、デバイスの SRAM から、または対象とは異なるフラッシュ バンクから実行する必要があります。これは対象のフラッシュ バンクがフラッシュ コントローラによって制御されるためです。フラッシュ コントローラがコマンドを実行している最中に、処理対象となっているフラッシュ バンクに対して読み出しを行った場合、その結果は予測できません。

フラッシュ コントローラには、CMDTYPE レジスタの COMMAND フィールドで指定されたフラッシュ メモリで動作するための 5 つの基本コマンドがあります。これらのコマンドの説明を、フラッシュ コントローラ コマンドに示します。

表 5-4. フラッシュ コントローラ コマンド

コマンド	説明
NOOP	動作なし (デフォルト設定)。
プログラミング	フラッシュ メモリでのプログラム動作を選択します。
消去	フラッシュ メモリでの消去動作を選択します。
READVERIFY	スタンドアロンの読み取り検証動作を選択します。
BLANKVERIFY	スタンドアロンのブランク検証動作を選択します。

注

フラッシュ動作を呼び出す前に、クリア ステータス コマンド (CMDTYPE = 0x5) を呼び出すことを推奨します。

5.3.2 NOOP コマンド

フラッシュ コントローラを使用しない場合は、CMDEXEC の VAL ビットが意図せずセットされた場合にフラッシュ メモリへの予期せぬ動作が発生するのを防ぐため、COMMAND フィールドを NOOP に設定しておくことをお勧めします。NOOP コマンドを実行しても、フラッシュ メモリには影響しません。

5.3.3 PROGRAM コマンド

プログラム コマンドは、フラッシュ メモリの書き込み (プログラミング) に使用します。具体的には、プログラム動作の目的は、非確定的な消去状態から決定論的なプログラム状態に至るまで、1 つ以上のフラッシュ ワード内のフラッシュ ビットを構成することです。PROGRAM コマンドを使用してバイトをプログラムすると、ERASE コマンドを使用してセクタを消去しない限り、そのバイトを再度プログラムすることはできません。

すべてのデバイスは、一回につき 128 データビット (+ 2 ECC バイト) の単一フラッシュ ワード プログラミングをサポートしており、プログラム動作範囲を 128 ビットのフラッシュ ワード内の特定のバイトに制限するために制御されます。

一部のデバイスは、1 回のコマンド動作で 2 つまたは 4 つのフラッシュ ワードを書き込むことができるマルチワード プログラミング モードもサポートしています。マルチワード プログラミング機能が利用可能な場合、複数のワードをプログラムする必要がある場合 (たとえば、量産プログラミング時やファームウェアの更新時) に、プログラミング時間を大幅に短縮できます。マルチワード プログラミングがサポートされているかどうか、またサポートされている場合はフラッシュ ワード バッファ数を確認するには、デバイス固有のデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.3.3.1 プログラム ビット マスキング動作

フラッシュ コントローラは、フラッシュ バンクの寿命を延長するプログラム検証メカニズムを備えています。プログラム動作中、フラッシュ コントローラは、フラッシュ ワード内のどの特定のビットにプログラム パルスが必要かを示すプログラム ビット マスクとして CMDDATAx レジスタを使用します。その結果、プログラム動作を開始する前に CMDDATAx レジスタにロードされるデータは、プログラム動作中または動作完了時に CMDDATAx レジスタから失われます。同じデータを再度プログラムする場合は、正しいデータ値をプログラムする必要があり、ソフトウェアによって CMDDATAx レジスタを再ロードする必要があります。

5.3.3.2 1 フラッシュ ワード未満のプログラミング

一般的に、フラッシュ メモリをプログラムする最も簡単な方法は、フラッシュ ワード単位 (128 ビット + 2 ECC バイト) で行うことです。フラッシュ メモリへの書き込みは、32、16、8 ビット (バイト) の分解能で行うことが可能ですが、その際には以下の点に十分注意する必要があります。

1. ECC を備えたデバイスの場合、意図しない ECC エラーを防止するために ECC ビットを適切に処理する必要があります。
2. 消去を行う前に許容されるワード ラインへのプログラム動作の最大回数を超過しないよう、特定のワード ラインに適用されるプログラム動作の数を監視する必要があります。
3. 1 バイトをプログラムした後で、同じバイトを再プログラムする前に、そのバイトを含むセクタを消去する必要があります。

フラッシュワード全体に満たないデータをプログラムする場合、プログラム動作を開始する前に、フラッシュワード内のどのバイトをプログラムするかを指定するように CMDBYTEN レジスタを構成する必要があります。CMDBYTEN の各ビットは、プログラムされるフラッシュ ワードの ECC ビットを含む 1 バイトに対応しています。

ECC の処理

ECC を備えたデバイスでは、一度に 128 ビットのデータをプログラムすることにより、その 128 ビットのデータワードに対応する 2 つの ECC バイトも、同時に正しくプログラムされます。これを行うと、プログラミング後にメモリ領域が CPU または DMA によって読み取られた場合に、ECC エラーが発生することを防ぐことができます。

ECC の使用が計画されており、かつ部分的なプログラミングが必要な場合の一つの手法として、フラッシュワードの 128 ビットすべてがプログラムされるまで、ECC ビットをマスク (プログラムしない) しておき、その時点で ECC ビットもプログラムという方法があります。ECC ビットのプログラミングは、CMDBYTEN レジスタの BIT16 と BIT17 (0x30000) をクリアすることでマスクされます。これにより、新しい 128 ビットデータに合わせて ECC ビットを再プログラムするたびにセクター全体を消去しなければならないという事態を防ぐことができます。ただし、この場合、ECC ビットがまだ書き込まれていない部分的にプログラムされたワードに対して読み取りを行うと、ECC エラーが発生します。ECC エラーを回避するには、ソフトウェアは、128 ビットのフラッシュ ワード全体と 2 ECC バイトが書き込まれるまで待機するか、または訂正されていないアドレス空間からデータを読み取る必要があります。

ECC を使用する必要がない場合は、前述のように、CMDBYTEN レジスタの関連する ECC ビットをクリアすることで、ECC をディセーブルできます。最初の ECC ビットはフラッシュ ワードの上位 64 ビットに対応し、2 番目の ECC ビットはフラッシュ ワードの下位 64 ビットに対応します。

消去前のワード ラインあたりの最大プログラム操作数

デバイスのデータシートには、ワード ラインを含むセクタを消去する必要になるまでに、そのワード ラインに対して実行可能なプログラム動作回数の上限が規定されています。この最大値を超えると、ワード ライン内のデータが破損する可能性があります。

16 ビット以上のプログラム動作を行う場合、セクタが消去されるまでに 16 ビット位置が複数回プログラムされなければ、**上限に達することはないため、その点を考慮する必要はありません**。

8 ビット (バイト) のプログラム動作を実行する場合、ワード ラインあたりの最大プログラム制限を考慮して、それを超えないようにする必要があります。ECC 位置で実行されるプログラム動作は、他のプログラム動作と独立して行う場合、消去が必要になるまでの書き込み数にカウントされます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

1 フラッシュ ワード未満のプログラムを実行する

アドレス 0x1000 の 32 ビットでフラッシュ メモリをプログラムするには、次の手順に従います。

1. アドレス 0x1000 で 32 ビットをプログラムします (このステップでは ECC はプログラムされません)。
   a. CMDDATA0 には DATA1 が書き込まれます。
   b. CMDDATA1 には DATA2 が書き込まれます。
   c. CMDBYTEN = 0x00003。
2. アドレス 0x1004 で 32 ビットをプログラムします (このステップでは ECC はプログラムされません)。
   a. CMDDATA2 には DATA3 が書き込まれます。
   b. CMDDATA3 には DATA4 が書き込まれます。
   c. CMDBYTEN = 0x000F0。
3. アドレス 0x1008 で 32 ビットをプログラムします (このステップでは ECC はプログラムされません)。
   a. CMDDATA4 には DATA5 が書き込まれます。
   b. CMDDATA5 には DATA6 が書き込まれます。
   c. CMDBYTEN = 0x00F00。
4. アドレス 0x100C で 32 ビットをプログラム します (このステップで ECC がプログラムされます)。
   a. CMDDATA0 には DATA1 が書き込まれます。
   b. CMDDATA1 には DATA2 が書き込まれます。
   c. CMDDATA2 には DATA3 が書き込まれます。
   d. CMDDATA3 には DATA4 が書き込まれます。
   e. CMDDATA4 には DATA5 が書き込まれます。
   f. CMDDATA5 には DATA6 が書き込まれます。
   g. CMDDATA6 には DATA7 が書き込まれます。
   h. CMDDATA7 には DATA8 が書き込まれます。
   i. CMDBYTEN = 0x3FFFF。

5.3.3.3 ターゲット データ アライメント (シングル フラッシュ ワード プログラミング対応デバイスのみ)

シングル ワード プログラミングのみをサポートするデバイスの場合、フラッシュ メモリにプログラムするデータをロードするために、CMDDATA0、CMDDATA1、CMDDATA2、CMDDATA3、CMDECC0 レジスタが使用されます。CMDDATA0 にはターゲット データの BIT31 ～ BIT0 が、CMDDATA1 には BIT63 ～ BIT32 が、CMDDATA2 には BIT95 ～ BIT64 が、CMDDATA3 には BIT127 ～ BIT96 が常にロードされます。ECC データは、直接指定され、自動的に計算されない場合、CMDECC0 の BIT7 ～ BIT0 にロードされます。他の CMDDATAx や CMDECCx レジスタは使用されず、CMDDATAINDEX は使用されません。プログラム対象であるデータ ビットが 128 ビット未満の場合、1 フラッシュ ワード未満のプログラムについては、上記の「特別な処理要件」セクションを参照してください。

シングルワード書き込み動作は、フラッシュ ワード (128 ビット) のアライメントが必要です。これは、CMDADDR で指定されたターゲット システムのアドレスが 0b000 境界に一致している必要があることを意味します (たとえば、CMDADDR の下位 3 ビットが 0 でなければなりません)。

5.3.3.4 ターゲット データ アライメント (マルチワード プログラミング対応デバイス)

2 ワードまたは 4 ワードのプログラミングをサポートするデバイスでは、プログラムするデータをロードする方法として、ダイレクト モードとインデックス モードの 2 つのオプションがあります。プログラマは、アプリケーションの要件に最適なモードを選択する必要があります。

マルチワード プログラミングをサポートするデバイスにおいて CMDDATAx および CMDECCx レジスタにデータをロードする場合、マルチワード プログラミング機能を使用せず、シングル ワード プログラミングのみを使用する場合でも、追加のアライメント ルールが適用されます。

Copyright © 2026 Texas Instruments Incorporated

- 1 ワードのプログラム動作では、CMDADDR (ターゲット システム アドレス) が 0b000 境界に揃えられている必要があります (たとえば、CMDADDR の 3 LSB はゼロである必要があります)。
- 2 ワードのプログラム動作では、CMDADDR (ターゲット システム アドレス) が 0b0000 境界に揃えられている必要があります (たとえば、CMDADDR の 4 LSB はゼロである必要があります)。
- 4 ワードのプログラム動作では、CMDADDR (ターゲット システム アドレス) が 0b0.0000 境界に揃えられている必要があります (たとえば、CMDADDR の 5 LSB はゼロである必要があります)。

ダイレクトデータ ロード

ダイレクト データ ロードを使用したプログラム動作を構成するには、デバイスでサポートされているフラッシュ ワード数、ターゲット アドレス アライメント、ターゲット データ サイズに基づいて、ターゲット データを適切な CMDDATAx レジスタにロードします。たとえば、4 ワード プログラミングをサポートするデバイスで 4 ワードのプログラム動作を開始すると、CMDDATA0 ～ CMDDATA7 レジスタにはターゲット データが入力されます。ECC がフラッシュ コントローラによって自動的に計算されるのではなく、直接指定されている場合、プログラムされる各データワードに対応する ECC 値を、適切な CMDECCx レジスタに入力する必要があります。

インデックス データ ロード

すべての CMDDATAx レジスタにデータを個別にバッファリングするのではなく、CMDDATA0 ～ CMDDATA1 レジスタとインデックス レジスタ (CMDDATAINDEX) の組み合わせだけを使用して、ロード中のデータのフラッシュワード オフセットを示すこともできます。このようにして、ロードされる各ワードに対してインデックスを調整し、各ターゲット データ ワードを同じ 128 ビット空間 (CMDDATA0 ～ CMDDATA1) に書き込むことができます。インデックスが適用されると、ロードされたデータはハードウェアによって適切な CMDDATAx レジスタにマップされます。たとえば、4 ワード プログラミングをサポートするデバイスで 4 ワードのプログラム動作を開始すると、CMDDATA1:0 レジスタにターゲット データが 4 回ロードされます。その際、CMDDATAINDEX は各新しいワードが CMDDATA1:0 にロードされる前に 1 ずつインクリメントされます。

アライメント ルール

各デバイス構成 (2 ワードまたは 4 ワード) の整列ルールを以下の表に示します。1、2、4 ワードプログラミング動作において、ターゲット データを CMDDATAx、CMDECCx、CMDDATAINDEX レジスタにどのように配置すべきかについての指針も併せて記載しています。

表 5-5. 2 フラッシュ ワードのプログラミングをサポートするデバイスのデータ ロード アライメント

ダイレクト ロード レジスタ	インデックス付き ロード インデックス	0b000 に整列された 1 ワード	0b0000 に整列された 2 ワード	0b0.0000 に整列された 4 ワード
CMDDATA1:0/ CMDECC0	CMDINDEX = 0	ターゲット アドレスが 0b0000 で終了している場合、ターゲット データ ワード 0	ターゲット データ ワード 0	非対応
CMDDATA3:2/ CMDECC1	CMDINDEX = 1	ターゲット アドレスが 0b1000 で終了している場合、ターゲット データ ワード 0	ターゲット データ ワード 1	

表 5-6. 4 フラッシュ ワードのプログラミングをサポートするデバイスのデータ ロード アライメント

ダイレクト ロード レジスタ	インデックス付き ロード インデックス	0b000 に整列された 1 ワード	0b0000 に整列された 2 ワード	0b0.0000 に整列された 4 ワード
CMDDATA1:0/ CMDECC0	CMDINDEX = 0	ターゲット アドレスが 0b0.0000 で終了している場合、ターゲット データ ワード 0	ターゲット アドレスが 0b0.0000 で終了している場合、ターゲット データ ワード 0	ターゲット データ ワード 0
CMDDATA3:2/ CMDECC1	CMDINDEX = 1	ターゲット アドレスが 0b0.1000 で終了している場合、ターゲット データ ワード 0	ターゲット アドレスが 0b0.0000 で終了している場合、ターゲット データ ワード 1	ターゲット データ ワード 1
CMDDATA5:4/ CMDECC2	CMDINDEX = 2	ターゲット アドレスが 0b1.0000 で終了している場合、ターゲット データ ワード 0	ターゲット アドレスが 0b1.0000 で終了している場合、ターゲット データ ワード 0	ターゲット データ ワード 2

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 5-6. 4 フラッシュ ワードのプログラミングをサポートするデバイスのデータ ロード アライメント (続き)

ダイレクト ロード レジスタ	インデックス付き ロード インデックス	0b000 に整列された 1 ワード	0b0000 に整列された 2 ワード	0b0.0000 に整列された 4 ワード
CMDDATA7:6/ CMDECC3	CMDINDEX = 3	ターゲット アドレスが 0b1.1000 で終了している場合、ターゲット データ ワード 0	ターゲット アドレスが 0b1.0000 で終了している場合、ターゲット データ ワード 1	ターゲット データ ワード 3

5.3.3.5 プログラム動作の実行

フラッシュ メモリをプログラムするには:

1. CMDTYPE レジスタでコマンドを選択します。
   a. CMDTYPE レジスタの COMMAND フィールドを PROGRAM に設定します。
   b. CMDTYPE レジスタの SIZE フィールドを目的のサイズ (1、2、4、または 8 フラッシュ ワード) に設定します。デバイスがマルチワード プログラミングをサポートしていない場合は、ONEWORD を選択します。デバイスがマルチワード プログラミングをサポートしており、かつマルチワード プログラミングを行う場合は、ターゲット デバイスでサポートされている最大サイズ以下のサイズを選択します。ハードウェアでは SIZE フィールドの設定が無効かどうかは確認されません。選択オプションがデバイスでサポートされているかどうかは、ソフトウェア側で確認する必要があります。SECTOR および BANK サイズは、プログラム操作に有効なサイズではないことに注意してください。これらのサイズは消去操作にのみ適用されます。
2. CMDCTL レジスタでプログラム コマンドを設定します。
   a. ECC を備えたデバイスでは、プログラム動作中、フラッシュ コントローラはデフォルトでデータから必要な ECC ビットを生成します。オプションとして、ソフトウェアはハードウェア ECC コード生成をオーバーライドし、CMDCTL レジスタの ECCGENOVR ビットを設定することによって、プログラムする ECC コードを手動で提供することもできます。
3. CMDADDR および CMDBYTEN レジスタでターゲット プログラミング アドレスを選択します。
   a. ターゲット システム アドレスを CMDADDR レジスタにロードし、プログラミングが開始されるベース アドレスを指定示します。ターゲット アドレスはフラッシュ ワード アドレス (128 ビット整列) である必要があります。フラッシュ コントローラは、システム アドレスを該当するフラッシュ領域、バンク ID、およびバンク アドレスに変換します。必要に応じて、動作が完了した後で、STATADDR レジスタからバンク ID、およびバンク アドレスを読み取ることができます。マルチワード プログラムにおいて、STATADDR はバンク ID とプログラムされた最終的なアドレスを示します。
   b. サブワードのプログラミング (128 ビット未満のフラッシュワードでのプログラミング) を行う場合は、CMDBYTEN レジスタを構成して、プログラムするアドレス指定されたフラッシュワード内のバイトを設定します。CMDBYTEN の各ビットは、プログラムされるアドレス指定されたフラッシュ ワードの ECC バイトを含む 1 バイトに対応しています。たとえば、フラッシュ ワードのデータ バイトをプログラミングするときに CMDBYTEN のビット 8 をクリアすることで、ECC コードのプログラミングをマスクできます。セクタ消去を行うまでにワード ラインに対して実行可能なプログラム操作の回数には上限があることに注意してください (上限値については、デバイス固有のデータシートを参照してください)。
4. プログラムするデータを CMDDATAx レジスタにロードします。
   a. 1 回のフラッシュ ワード プログラミング動作 (ECC の存在に応じて 128 または 144 ビット) の場合、アライメント要件に従ってデータを CMDDATAx レジスタにロードします (シングルワード プログラミングのみをサポートするデバイスの場合、ターゲット アドレスに関係なく CMDDATA0 と CMDDATA1 は常に使用されます)。
   b. マルチワード プログラミング (利用可能で選択されている場合) を行う場合は、手順 1 で指定したマルチワード プログラム動作のサイズおよびアラインメント規則に従って、CMDDATAx レジスタにデータをロードします。
   c. CMDCTL レジスタの ECCGENOVR が上記のように設定されている場合 (ハードウェア ECC コード生成をディセーブル)、CMDDATAECC0 レジスタに ECC データを書き込み (シングルワードプログラミングの場合)、マルチワード プログラミングの場合は、必要に応じて追加の CMDDATAECCx レジスタにも書き込みを行います。

Copyright © 2026 Texas Instruments Incorporated

d. プログラム動作中は、フラッシュ コントローラによってビット マスキング レジスタとして CMDDATA レジスタが使用されることに注意してください。動作が完了すると、これらのレジスタに書き込まれた値はフラッシュ コントローラによって上書きされます。

5. ターゲット アドレスへの書き込みが許可されるように書き込み保護方式が構成されていることを確認します (書き込み保護の構成の詳細については、このガイドの「書き込み保護」セクションを参照してください)。
6. CMDEXEC レジスタに 0x1 を書き込み、プログラム動作を実行します。
7. プログラム動作の完了を監視:
   a. STATCMD レジスタをポーリングして、プログラム動作のステータスを確認できます。CMDINPROGRESS ビットは、コマンドが開始されるとすぐにハードウェアによって設定されます。動作が終了すると、CMDDONE ビットが設定されます。
   b. CMDDONE が設定されている場合、CMDPASS ビットが同時にリセットまたは設定され、動作が正常に完了したか失敗したかを示します。保護された領域でプログラムが試行された場合、FAILWEPROT または FAILILLADDR ビットは、動的または静的書き込み保護に依存してアサートされます。プログラム パルス カウントの最大値制限内でプログラム動作が正常に完了できない場合、FAILVERIFY がアサートされます。最大書き込み時間については、デバイス固有のデータシートを参照してください。
8. プログラム動作が完了すると、フラッシュ コントローラはいくつかの設定を行います。
   a. すべての動的書き込み保護レジスタが保護状態に設定される (意図しないプログラムから保護するため)
   b. すべてのデータレジスタが 1 に設定される。
   c. すべてのプログラム バイト イネーブルが 0 にクリアされる。
9. フラッシュ メモリのプログラミング後、プロセッサのキャッシュに古いデータが残っている可能性があります。プログラムされた場所を読み取る前に、まず CPU サブシステムのキャッシュをフラッシュすることをお勧めします。

5.3.4 ERASE コマンド

消去コマンドは、フラッシュ メモリの個々のセクタ (MAIN、NONMAIN、DATA 領域の場合) またはフラッシュ メモリのバンク全体 (MAIN 領域のみ) を消去するために使用されます。この消去された状態から、PROGRAM コマンドを使用して、ビットを必要に応じて「0」状態または「1」状態にプログラムできます。セクタアライメントされた状態では、1 セクタ (2KB) 未満の分解能で消去することはできません。複数のバンクを持つデバイスの場合、デバイスの MAIN 領域全体を消去するには、各バンクごとにバンク消去を実行する必要があります。

5.3.4.1 セクタ消去マスキング動作

フラッシュ コントローラは、フラッシュ バンクの寿命を延長する消去検証メカニズムを備えています。CMDWEPROTx レジスタは消去マスクとして使用され、消去動作の実行中にフラッシュ コントローラによって操作されます。すべての消去動作が終了すると、誤った書き込みを防止するために CMDWEPROTx レジスタは完全に保護された状態に設定されます。そのため、別の書き込みまたは消去動作を試みる前に、再構成する必要があります。

5.3.4.2 消去動作の実行

フラッシュ メモリのセクタまたはバンクを消去するには、次の手順に従います。

1. CMDTYPE レジスタでコマンドを選択します。
   a. CMDTYPE レジスタの COMMAND フィールドを ERASE に設定します。
   b. CMDTYPE レジスタの SIZE フィールドを SECTOR または BANK に設定します。SECTOR や BANK 以外のサイズ (ONEWORD など) は、ERASE コマンドではサポートされません。ERASE コマンドを発行する前に、構成をチェックするのはソフトウェアの責任です。
2. CMDADDR レジスタでターゲット消去アドレスを選択します。
   a. 消去するセクタまたはバンクのベースアドレスを示すため、ターゲット システム アドレスを CMDADDR レジスタに保存します。書き込み保護を有効にしてバンク消去を実行する場合 (保護されていないセクタのみが消去されるように)、CMDADDR に書き込まれたアドレスが保護されていないセクタにあることを確認してください。フラッシュ コントローラは、システム アドレスを該当するフラッシュ領域、バンク ID、およびバンク アドレスに変換します。必

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

要に応じて、動作が完了した後で、STATADDR レジスタからバンク ID、およびバンク アドレスを読み取ることができます。

3. ターゲット セクタへの書き込みが許可されるように書き込み保護方式が構成されていることを確認します (書き込み保護の構成の詳細については、このガイドの「書き込み保護」セクションを参照してください)。
4. CMDEXEC レジスタに 0x1 を書き込み、消去動作を実行します。
5. 消去動作の完了を監視します。
   a. STATCMD レジスタをポーリングして、消去動作のステータスを確認できます。CMDINPROGRESS ビットは、コマンドが開始されるとすぐにハードウェアによって設定されます。動作が終了すると、CMDDONE ビットが設定されます。CMDDONE が設定されている場合、CMDPASS ビットが同時にリセットまたは設定され、動作が正常に完了したか失敗したかを示します。
   b. 保護された領域で消去が試行された場合、FAILWEPROT ビットがアサートされます。
   c. 消去パルス カウントの最大値制限内で消去動作が正常に完了できない場合、FAILVERIFY がアサートされます。
6. 消去動作が完了すると、フラッシュ コントローラは、意図しないプログラミングを防止するために、以下のようないくつかの設定を行います。
   a. すべての動的書き込み保護レジスタが保護状態に設定されます。

5.3.5 READVERIFY コマンド

読み取り検証コマンドは、フラッシュの位置を読み取り、フラッシュ コントローラの CMDDATA レジスタにプリロードされているデータとの比較に使用できます。このコマンドは、1 つのフラッシュ ワード、複数のフラッシュ ワード (デバイスがマルチワード プログラミングをサポートしている場合)、セクタ全体、またはバンク全体に適用できます。セクタ全体またはバンク全体で読み取り検証を実行すると、CMDDATAx のデータが再利用されます。

5.3.5.1 READVERIFY 動作の実行

読み取り確認コマンドを実行するには、次の手順を実行します。

1. CMDTYPE レジスタでコマンドを選択します。
   a. CMDTYPE レジスタの COMMAND フィールドを READVERIFY に設定します。
   b. CMDTYPE レジスタの SIZE フィールドを目的のサイズに設定します。
2. CMDCTL レジスタの読み取り確認コマンドを設定します。
   a. データと併せて ECC ビットを手動で供給する場合は、CMDCTL レジスタの ECCGENOVR ビットを設定します。ECCGENOVR がクリアされている場合、フラッシュ コントローラは、提供された比較データに基づいて比較用の ECC ビットを生成します。
3. CMDADDR レジスタで検証するターゲット アドレスを選択します。
   a. ターゲット システム アドレスを CMDADDR レジスタにロードし、検証対象のベース アドレスを指定します。フラッシュ コントローラは、システム アドレスを該当するフラッシュ領域、バンク ID、およびバンク アドレスに変換します。必要に応じて、動作が完了した後で、STATADDR レジスタからバンク ID、およびバンク アドレスを読み取ることができます。
4. 検証するデータを CMDDATAx レジスタにロードします。
   a. シングル ワード検証の場合は、CMDDATA0 および CMDDATA1 レジスタに検証するデータを書き込みます。マルチワード検証を行う場合は、ターゲット デバイスが対応していれば、CMDDATA0 および CMDDATA1 以外の適切な CMDDATAx レジスタに検証するデータを書き込みます。
5. CMDBYTEN レジスタのバイト イネーブル設定を行います。
   a. ロジック「0」に設定された CMDBYTEN ビットは、READVERIFY コマンドの実行中、関連するデータ バイトは比較対象から除外されますこれにより、1 フラッシュ ワード (64 ビット未満) 未満のデータを検証できます。
6. CMDEXEC レジスタに 0x1 を書き込み、読み取り検証動作を実行します。

Copyright © 2026 Texas Instruments Incorporated

7. 読み取り検証動作の完了を監視します。
   a. STATCMD レジスタをポーリングして、消去動作のステータスを確認できます。CMDINPROGRESS ビットは、コマンドが開始されるとすぐにハードウェアによって設定されます。動作が終了すると、CMDDONE ビットが設定されます。CMDDONE が設定されている場合、CMDPASS ビットが同時にリセットまたは設定され、読み取り検証が正常に完了したか失敗したかを示します。
   b. フラッシュから読み出されたデータが CMDDATAx にロードされた期待値と一致しなかった場合、STATCMD の FAILVERIFY ビットが設定されます。
8. 読み取り検証動作が完了すると、フラッシュ コントローラはいくつかの設定を行います。
   a. すべての動的書き込み保護レジスタが保護状態に設定されます (意図しないプログラムから保護するため)。
   b. すべてのデータ レジスタは「1」に設定されます。
   c. すべてのプログラム バイト イネーブルは「0」にクリアされます。

5.3.6 コマンド診断

フラッシュ コントローラは、ソフトウェアで読み取り可能な複数のレジスタを更新して、動作が開始されたことに関する情報を通信します。

5.3.6.1 コマンド ステータス

STATCMD レジスタは読み取り専用レジスタで、開始または完了された動作に関する診断情報を提供します。CMDINPROGRESS ビットは、動作が現在進行中であることを示します。CMDDONE ビットは、動作が完了したことを示します。これらのビットをソフトウェアによってポーリングして、動作中のフラッシュ コントローラの状態を判定できます。

5.3.6.2 アドレス変換

STATADDR レジスタは読み取り専用レジスタで、フラッシュ コントローラが指している現在のバンク ID、領域 ID、バンク アドレスを確認するために読み出すことができます。これらの値は特定のコマンドの実行中に増加することがあり、その場合、コマンド完了時の値はフラッシュ コントローラが最後にアクセスしたアドレスを示します。

5.3.6.3 パルス カウント

STATPCNT レジスタは読み取り専用レジスタで、プログラムまたは消去動作中に適用される現在のパルス数を確認するために読み出すことができます。

5.3.7 システム アドレスをバンク ID、領域 ID、およびバンク アドレスで上書きする

通常、フラッシュ コントローラ コマンドは、システム メモリ マップ アドレスを CMDADDR レジスタにロードすることで、特定のフラッシュの位置を対象として実行されます。これは、PROGRAM、ERASE、READVERIFY、または BLANKVERIFY コマンドのターゲット アドレスを指定するための推奨方法です。この動作モードでは、フラッシュ コントローラはシステム アドレスを、フラッシュ メモリ上でコマンドを実行するために使用される対応するバンク ID、領域 ID、およびバンク アドレスに自動的に変換します。アプリケーション ソフトウェアは、これらの項目を個別に指定する必要はなく、必要なのはシステム アドレスだけです。

ただし、状況によっては、指定されたバンク / 領域のターゲット フラッシュ バンク、領域、アドレスを直接指定することが望ましい場合もあります。たとえば、デバイスで一括消去操作を行うときにバンク全体を消去したい場合、アプリケーション ソフトウェアは実際に、消去するバンクのシステム アドレスを把握している必要はありません。フラッシュ コントローラにバンク ID と領域 ID を指定するだけでバンクを消去できます。

フラッシュ コントローラを使用してアドレス オーバーライド モードでコマンドを実行するには、このコマンドを実行する前に、CMDCTL レジスタの ADDRXLATEOVR ビットを設定し、バンク ID、領域、およびバンク アドレスを指定します。システム アドレス指定モードに戻るには、ADDRXLATEOVR をクリアします。ADDRXLATEOVR は、デフォルトでクリアされます (システム アドレス動作をサポート)。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

例:ADDRXLATEOVR を使用したバンク消去

システム アドレスではなくバンク ID と領域を指定して BANK0 の MAIN 領域を消去するには、セクション 5.3.4.2 の手順に従いますが、手順 2 を次の代替手順に置き換えてください。

1. CMDCTL の ADDRXLATEOVR ビットを設定して、アドレス変換オーバーライド モードをイネーブルにします
2. CMDCTL レジスタの BANKSEL フィールドを 0x1 に設定して、BANK0 を指定します
3. CMDCTL レジスタの REGIONSEL フィールドを 0x1 に設定して、MAIN 領域を指定します
4. CMDADDR レジスタを 0x0000.0000 に設定します

5.4 フラッシュ プログラミング インターフェイス

フラッシュ プログラミング インターフェイス (FPI) には 2 つの書き込み保護メカニズム (フラッシュ リソース所有権チェック、承認チェック) があり、プログラムまたは消去動作の試行中にユーザー指定のセクタを保護するため、並列 (論理 OR) に適用されます。書き込み保護されたフラッシュ セクタに対してプログラムまたは消去動作が発行されると、その動作は FPI-SEC エラー インターフェイスで通知されるエラー信号で終了します。

5.4.1 フラッシュ リソースの所有権チェック

この初期レベルのセキュリティ チェックでは、プログラム / 消去操作を実行しようとするコードのスレッドが、FPC_FLSEMSTAT.SEC および FPC_FLSEMSTAT.PRIV レジスタ フィールドで定義された、フラッシュ リソースの現在の所有権 (セキュア / 非セキュアおよび特権 / 非特権) を有しているかどうかのみを確認します。このチェックは、フラッシュ ラッパーへの MMR インターフェイスで行われます。所有権チェックが完了すると、プログラム / 消去の書き込みアクセスがフラッシュ MMR に転送されます。

注

この FPI リソースの所有権チェックではデバッグ情報は考慮されず、デバッガによるアクセスであっても実行されます。ただし、このような場合、SEC にエラーは送信されません。これは、デバッガ セキュリティがすでに M33 コア内で処理されており、アクセスが FPI に到達している場合、デバッガが実際に FLSEM とプログラム フラッシュを捕捉できることを意味します。

注

DMA はフラッシュにアクセスできません。(デザイン ノート:フラッシュ NW の VBUSP ペリフェラル ブリッジには DMA アクセス ポートはありません。)

5.4.2 許可チェック

GSC は、セキュリティ レベル、特権レベル、および書き込み / 消去保護レベルに関する情報を FPI に提供します。次に、FPI はこれらの入力を使用して許可チェックを実行し、EAM によって集約されるエラー信号を生成します。エラー信号は、安全設定またはセキュリティ設定で許可されていないコマンドをブロックするため、またはシステム アドレスが範囲外である場合に使用されます。エラー信号の値については、表 5-7 で説明します。

表 5-7. 許可エラー信号

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
1	1 (最高)	コマンドを実行しない場合のデフォルト	フラッシュ コントローラは現在コマンドを実行していません	1 (エラー、許可されていない) †	該当なし
2	2	IDLE/NOOP (0x0) および CLEARSTATUS (0x5) コマンドは常に許可されます	FLASHCTL.CMDTYPE.COMMAND は IDLE/NOOP (0x0) または CLEARSTATUS (0x5) と等しくなります	0 (エラーなし、許可されている)	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
3	2	このコントローラ設定に有効なフラッシュアドレスではありません	システム アドレス (FLASHCTL.CMDADDR) は、フラッシュ コントローラに含まれるアドレスではありません	1 (エラー、許可されていません)	FPI_ILLADDR
4	2	予約済みコマンド	FLASHCTL.CMDTYPE.COMMAND は予約済み (0x7) です	1 (エラー、許可されていません)	FPI_ILLCMD
5	2	予約済みのサイズ	FLASHCTL.CMDTYPE.SIZE は、次のいずれかに等しくなります。 EIGHTWORD (0x3)、または 予約済み値 (0x6 または 0x7)	1 (エラー、許可されていません)	FPI_ILLSIZE
6	2	整列されていないアドレス / サイズ	FLASHCTL.CMDADDR が FLASHCTL.CMDTYPE.SIZE に位置合わせされていません (これにより、コマンドがセクタ境界を越えないように強制されます)。整列: 1.ONEWORD (0x0):整列は 16 バイトあたりでなければなりません (FLASHCTL.CMDADDR[3:0] は 4'b0000 と等しい必要があります) 2.TWOWORD (0x1):整列は 32 バイトあたりでなければなりません (FLASHCTL.CMDADDR[4:0] は 5'b00000 に等しい必要があります) 3.FOURWORD (0x2):位置合わせは 64 バイトあたりでなければなりません (FLASHCTL.CMDADDR[5:0] は 6'b000000 に等しい必要があります) 4.EIGHTWORD (0x3):許可されていません。「予約済みサイズ」ルールでカバーされます 5.SECTOR (0x4):整列は 2048 バイトあたりでなければなりません (FLASHCTL.CMDADDR[10:0] は 11'b00000000000) 6.BANK (0x5):整列は無視されます	1 (エラー、許可されていません)	FPI_ILLSIZE
7	2	プログラミング コマンドとサイズの不正な組み合わせ	a) FLASHCTL.CMDTYPE.COMMAND が PROGRAM (0x1) で、FLASHCTL.CMDTYPE.SIZE が次のいずれかに等しくなります。SECTOR (0x4)、または BANK (0x5)	1 (エラー、許可されていません)	FPI_ILLSIZE
8	2	消去コマンドとサイズの不正な組み合わせ	1.FLASHCTL.CMDTYPE.COMMAND は、ERASE (0x2) に等しく、 2.FLASHCTL.CMDTYPE.SIZE は、次のいずれかに等しくなります。 a. ONEWORD (0x0)、または b. TWOWORD (0x1)、または C. FOURWORD (0x2)、または d. EIGHTWORD (0x3) -> これはすでにカバーされているため必要ありません	1 (エラー、許可されていません)	FPI_ILLSIZE

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
9	3	セキュア スレッドによる MAIN セクタの変更	a) FLASHCTL.CMDTYPE.COMMAND が PROGRAM (0x1)、または ERASE (0x2)‡ に等しく、 b) FLASHCTL.CMDADDR から計算された FLASHCTL.CMDCTL.REGIONSEL が MAIN (0x0) と一致し、 c) FLASHCTL.CMDADDR が FPC_WEPROT_REG_x = 0 に基づいてデコードするセクタ (または 8 セクタ) のビット値で、 d) FPC_FLSEMSTAT.ASSIGNED = 1 であり、 e) FPC_FLSEMSTAT.SEC = 1 であり、かつ FPC_SECATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が i.「1」(セキュア) または ii.「0」(非セキュア) および FPC_ATTRIBVIOLS_CONFIG.SECVIOL = 0 で、 f) FPC_FLSEMSTAT.PRIV = 1 であり、かつ FPC_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が i.「1」(特権) または ii.「0」(非特権) および FPC_ATTRIBVIOLP_CONFIG.PRIVVIOL = 0 であり、 g) または、FPC_FLSEMSTAT.PRIV = 0 であり、かつ FPC_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が「0」(非特権) であり、 h) FlashRegionProtections に基づいて、プログラム / 消去を MAIN にすることができる	0 (エラーなし、許可されている)	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
10	3	非セキュア スレッドによる MAIN セクタの変更	a) FLASHCTL.CMDTYPE.COMMAND が PROGRAM (0x1)、または ERASE (0x2)‡ に等しく、 b) FLASHCTL.CMDADDR から計算された FLASHCTL.CMDCTL.REGIONSEL が MAIN (0x0) と一致し、 c) FLASHCTL.CMDADDR が FPC_WEPROT_REG_x = 0 に基づいてデコードするセクタ (または 8 セクタ) のビット値で、 d) FPC_FLSEMSTAT.ASSIGNED = 1 であり、 e) FPC_FLSEMSTAT.SEC = 0 かつ FLASHCTL.CMDADDR が FPC_SECATTRIB_REG_x に基づいてデコードするセクタ (または 8 セクタ) ビット値が「0」(非セキュア) であり、 f) FPC_FLSEMSTAT.PRIV = 1 であり、かつ FPC_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が i.「1」(特権) または ii.「0」(非特権) および FPC_ATTRIBVIOLP_CONFIG.PRIVVIOL = 0 であり、 g) または、FPC_FLSEMSTAT.PRIV = 0 であり、かつ FPC_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が「0」(非特権) であり、 h) FlashRegionProtections に基づいて、プログラム / 消去を MAIN$^{\alpha}$ に設定できる	0 (エラーなし、許可されている)	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
11	3	MAIN セクタのバンク消去	a) FLASHCTL.CMDTYPE.COMMAND が ERASE (0x2) と等しく、 b) FLASHCTL.CMDADDR から計算された FLASHCTL.CMDCTL.REGIONSEL が MAIN (0x0) と一致し、 c) FLASHCTL.CMDTYPE.SIZE が BANK (0x5) と等しい 以下に、セクタを正常に消去するために満たす必要のある条件を示します。以下の条件の 1 つ以上が満たされない場合でも、許可エラーは生成されません。 a) FPC_FLSEMSTAT.ASSIGNED = 1 b) FPC_WEPROT_REG_x によって書き込み保護されたセクタは消去されない c) セキュアとマークされたセクタは、FPC_FLSEMSTAT.SEC = 1 の場合、消去される d) セキュアでないとマークされたセクタは、以下の場合で消去される i. FPC_FLSEMSTAT.SEC = 0 であること ii.または FPC_FLSEMSTAT.SEC = 1 かつ FPC_ATTRIBVIOLS_CONFIG.SECVIOL = 0 e) 特権としてマークされたセクタが FPC_FLSEMSTAT.PRIV = 1 のときに消去される f) 非特権としてマークされたセクタが次の場合に消去される i. FPC_FLSEMSTAT.PRIV = 0 ii.または FPC_FLSEMSTAT.PRIV = 1 かつ FPC_ATTRIBVIOLP_CONFIG.PRIVVIOL = 0 g) FlashRegionProtections に基づいて、NONMAIN の対応するセクタに対してプログラム / 消去が許可される	0 (エラーなし、許可されている)	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
12	3	セキュア スレッドによる NONMAIN セクタの変更	a) FLASHCTL.CMDTYPE.COMMAND が PROGRAM (0x1)、または ERASE (0x2)‡ に等しく、 b) FLASHCTL.CMDADDR から計算された FLASHCTL.CMDCTL.REGIONSEL が NONMAIN (0x1) と一致し、 c) FPC_NONMAIN_WEPROT_REG_x = 0 に基づいて FLASHCTL.CMDADDR がデコードするサブセクタ† のビット値であり、 d) FPC_FLSEMSTAT.ASSIGNED = 1 であり、 e) FPC_FLSEMSTAT.SEC = 1 および FLASHCTL.CMDADDR が FPC_NONMAIN_SECATTRIB_REG_x に基づいてデコードされるサブセクタ ビット値が i.「1」(セキュア) または ii.「0」(非セキュア) および FPC_ATTRIBVIOLS_CONFIG.SECVIOL = 0 で、 f) FPC_FLSEMSTAT.PRIV = 1 であり、かつ FPC_NONMAIN_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするサブセクタのビット値が i.「1」(特権) または ii.「0」(非特権) および FPC_ATTRIBVIOLP_CONFIG.PRIVVIOL = 0 であり、 g) または、FPC_FLSEMSTAT.PRIV = 0 であり、かつ FPC_NONMAIN_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするサブセクタのビット値が「0」(非特権) であり、 h) FlashRegionProtections に基づいて、NONMAIN の対応するセクタに対してプログラム / 消去が許可される	0 (エラーなし、許可されている)	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
13	3	非セキュア スレッドによる NONMAIN セクタの変更	a) FLASHCTL.CMDTYPE.COMMAND が PROGRAM (0x1)、または ERASE (0x2)‡ に等しく、 b) FLASHCTL.CMDADDR から計算された FLASHCTL.CMDCTL.REGIONSEL が NONMAIN (0x1) と一致し、 c) FPC_NONMAIN_WEPROT_REG_x = 0 およびに基づいて FLASHCTL.CMDADDR がデコードするサブセクタのビット値であり、 d) FPC_FLSEMSTAT.ASSIGNED = 1 であり、 e) FPC_FLSEMSTAT.SEC = 0 であり、かつ FLASHCTL.CMDADDR が FPC_NONMAIN_SECATTRIB_REG_x に基づいてデコードするサブセクタのビット値が「0」(非セキュア) であり、 f) FPC_FLSEMSTAT.PRIV = 1 であり、かつ FPC_NONMAIN_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするサブセクタのビット値が i.「1」(特権) または ii.「0」(非特権) および FPC_ATTRIBVIOLP_CONFIG.PRIVVIOL = 0 であり、 g) または、FPC_FLSEMSTAT.PRIV = 0 であり、かつ FPC_NONMAIN_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするサブセクタのビット値が「0」(非特権) であり、 h) FlashRegionProtections に基づいて、NONMAIN の対応するセクタに対してプログラム / 消去が許可される	0 (エラーなし、許可されている)	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
14	3	セキュア コンテキストからの読み取り検証チェック	以下の条件を満たす必要があります。 a) The FLASHCTL.CMDTYPE.COMMAND が READVERIFY (0x3) と等しく、 b) FLASHCTL.CMDADDR から計算された FLASHCTL.CMDCTL.REGIONSEL が MAIN (0x0) と一致し、 c) FPC_FLSEMSTAT.ASSIGNED = 1 であり、 d) FPC_FLSEMSTAT.SEC = 1 であり、かつ FPC_SECATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が i. 1' (セキュア) または ii.「0」(非セキュア) および FPC_ATTRIBVIOLS_CONFIG.SECVIOL = 0 で、 e) FPC_FLSEMSTAT.PRIV = 1 であり、かつ FPC_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が i.「1」(特権) または ii.「0」(非特権) および FPC_ATTRIBVIOLP_CONFIG.PRIVVIOL = 0 であり、 f) または、FPC_FLSEMSTAT.PRIV = 0 であり、かつ FPC_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が「0」(非特権) であり、 g) FlashRegionProtections (Prog 権限を使用) に基づき、MAIN に対する Read-Verify コマンドが許可される	0 (エラーなし、許可されている)	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
15	3	非セキュア コンテキストからの読み取り検証チェック	以下の条件を満たす必要があります。 a) The FLASHCTL.CMDTYPE.COMMAND が READVERIFY (0x3) と等しく、 b) FLASHCTL.CMDADDR から計算された FLASHCTL.CMDCTL.REGIONSEL が MAIN (0x0) と一致し、 c) FPC_FLSEMSTAT.ASSIGNED = 1 であり、 d) FPC_FLSEMSTAT.SEC = 0 であり、かつ FPC_SECATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が「0」(非セキュア) であり、 e) FPC_FLSEMSTAT.PRIV = 1 であり、かつ FPC_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が i.「1」(特権) または ii.「0」(非特権) および FPC_ATTRIBVIOLP_CONFIG.PRIVVIOL = 0 であり、 f) または、FPC_FLSEMSTAT.PRIV = 0 であり、かつ FPC_PRIVATTRIB_REG_x に基づいて FLASHCTL.CMDADDR がデコードするセクタ (または 8 セクタ) のビット値が「0」(非特権) であり、 g) FlashRegionProtections (Prog 権限を使用) に基づき、MAIN に対する Read-Verify コマンドが許可される	0 (エラーなし、許可されている)	該当なし
16	3	読み取りモードへのモードの変更は常に許可されます	a) FLASHCTL.CMDTYPE.COMMAND が MODECHANGE (0x4) に等しく、かつ FLASHCTL.CMDCTL.MODESEL が READ (0x0) であり、 b) FPC_FLSEMSTAT.ASSIGNED = 1	0 (エラーなし、許可されている)	該当なし
17	3	セキュア スレッドでのみ許可される読み取りマージン モードへのモード変更	a) 次の条件を満たす必要があります。 a) FLASHCTL.CMDTYPE.COMMAND が MODECHANGE (0x4) と等しく、 b) FLASHCTL.CMDCTL.MODESEL が a. RDMARG0 (0x2)、または b. RDMARG1 (0x4)、または c. RDMARG0B (0x6)、または d. RDMARG1B (0x7)、かつ c) FPC_FLSEMSTAT.ASSIGNED = 1、FPC_FLSEMSTAT.PRIV = 1、および FPC_FLSEMSTAT.SEC = 1 である	0 (エラーなし、許可されている)	該当なし

Copyright © 2026 Texas Instruments Incorporated

表 5-7. 許可エラー信号 (続き)

#	優先度	概要	条件	エラー / 許可	故障 / エラー (詳細はセクション 6.3.2 で定義)
18	4 (最低)	Else	Else (デフォルト) – これにより、上記で明示的に許可されていない条件はすべて許可されなくなります	1 (エラー、許可されていません)	FLASHCTL.CMDTYPE.COMMAND (FPI_ILLPROG、FPI_ILLERASE、FPI_ILLRDVER、FPI_ILLMODECH) によって異なります

† サブセクタとは、NONMAIN セクタの領域を指します

‡ バンク消去 (FLASHCTL.CMDTYPE.SIZE = 0x5) は、書き込み / 消去保護入力信号によって保護されます

HDP 領域のプログラミングに対応する α コードは、FPC_HDPPROT_CONTROL.HDPPROT[0/1]ACCEN の設定に対応するコードの後に保持しないでください。

注

この許可チェックでは、デバッグ オーナーシップ (FLSEMSTAT.DBGACC) が一切考慮されません。そのため、デバッガーによるアクセスであっても許可エラーが発生します。ただし、このような場合、SEC にエラーは送信されません。

5.4.3 FPI SEC エラー処理

グローバル セキュリティ コントロール (GSC) モジュールは、FPI のアクセス コントロール情報を提供します。この情報を使用して、FPI は、セキュア / 非セキュアおよび特権 / 特権解除の書き込みまたは消去へのアクセスを許可します。制御されたメモリへの書き込み要求が許可されていない場合、GSC SEC エラーが発生し、エラー インターフェイスに送信されます(表 5-8 を参照)。

表 5-8. FPI SEC エラー インターフェイス

エラー名	Dir	デフォルト	説明
FPI_SEC_ERROR	O	0	GSC の SEC に対する FPI エラー
FPI_SEC_ERROR_TYPE[7:0]	O	0	0x0: 予約済み 0x1: ILLADDR 0x2: ILLPROG 0x4: ILLERASE 0x8: ILLRDVER 0x10: ILLMODECH 0x20: ILLCMD 0x40: ILLSIZE 0x80: FLC_MMR_ACCESS_ERROR 注: FLCMMR アクセス エラーおよび許可エラーが発生した場合、このバスで FLC アクセス エラーが通知されます。
FPI_SEC_ERROR_ADDRESS[31:0]	O	0	FLC エラーの場合、該当する FLC の FXB ポートから次のバスが渡されます。 • ILLADDR/ILLPROG/ILLERASE/ILLRDVER/ILLMODECH/ILLBANKERASE → fxb_sys_addr • ILLCMD → fxb_cmd_type: 上位ビットはゼロに設定 • ILLSIZE → fxb_cmd_size: 上位ビットはゼロに設定

Copyright © 2026 Texas Instruments Incorporated

5.4.4 バンク消去保護

各フラッシュ バンクに対し、フラッシュ コントローラには、WEPROT 信号と総称される一連の書き込み / 消去保護入力信号があります。セクタに関連付けられている WEPROT 信号がアクティブの場合、セクタをプログラムまたは消去することはできません。各バンクには 32 ビット バス (weprot_main_a0_mscbus) があり、各信号はバンクの最初の 32 セクタのいずれかに対応します。さらに、バンク内の追加セクタをカバーするために必要な数の信号が、一度に 8 セクタ単位で提供されます (例：weprot_main_b0_mscbus[31:4]、weprot_main_c0_mscbus[31:0]。なお、「b0」バスの最初の 4 ビットはスキップされます。これは、それら 32 セクタ分の領域が「a0」バスによってカバーされているためです)。

WEPROT 信号はバンク消去の保護にのみ使用されるため、WEPROT 信号に対応する GSC ビットは BEPROT と呼ばれます。適切な権限なしで消去しようとした場合、WEPROT 信号に起因するエラーがフラッシュ コントローラからスローされることはありません。これは、ユーザーのポリシーに従い、消去が許可されるセクターと許可されないセクターがあるためです。許可されていないセクターへの操作は、予期される動作であるため、サイレントに失敗する必要があります。また、期待されるセクタを正しく消去するコマンドは、パスで記述し報われる必要があります。

表 5-9. 512KB バンクのフラッシュ コントローラ WEPROT 信号マッピング

アドレスの例 †	バンク番号 (各 2KB)	セクタ番号 (各 2KB)	信号
0x1000.0000 – 0x1000.07FF	0	0	*weprot_main_a0_mscbus[0]*
0x1000.0800 – 0x1000.0FFF	0	1	*weprot_main_a0_mscbus[1]*
0x1000.1000 – 0x1000.17FF	0	2	*weprot_main_a0_mscbus[2]*
0x1000.1800 – 0x1000.1FFF	0	3	*weprot_main_a0_mscbus[3]*
…	..	..	..
0x1000.F800 – 0x1000.FFFF	0	31	*weprot_main_a0_mscbus[31]*
0x1001.0000 – 0x1001.3FFF	0	32-39	*weprot_main_b0_mscbus[4]*
0x1001.4000 – 0x1001.7FFF	0	40-47	*weprot_main_b0_mscbus[5]*
…	..	..	..
0x1007.C000 – 0x1007.FFFF	0	248-255	*weprot_main_b0_mscbus[31]*

注

テスト モードでは、BEPROT ビットを 0 にする必要があります

注

NONMAIN バンク消去は、テスト モードでのみ許可されます

5.5 フラッシュ読み取りインターフェイス

フラッシュ読み取りインターフェイス (FRI) は、CPU サブシステムへの読み取りパス (命令 / データ フェッチ用)、ペリフェラル バスへの読み取りパス (DMA コントローラまたは CPU で使用するため)、メイン バンク アドレス スワップ、ECC SEC、ECC DED、GSC SEC エラーの検出と報告を提供します。

5.5.1 バンク アドレスのスワップ

アドレス空間内でバンクの MAIN 領域を入れ替えることで、ファームウェアが自身の存在する物理バンクを認識することなく、2 つのバージョンのファームウェアをデバイスにプログラムすることが可能になります。

表 5-10 に、1024KB のメイン フラッシュが 2 つのバンクに分割されたデバイス (各 512KB) に対して、バンク スワップが要求される前後のマッピングの例を示します。

表 5-10. バンク アドレス スワップ変換

バンクと領域	スワップ前のアドレス空間	スワップ後のアドレス空間
BANK0 MAIN	0x0000.0000 – 0x0007.FFFF	0x0008.0000 – 0x000F.FFFF
BANK1 MAIN	0x0008.0000 – 0x000F.FFFF	0x0000.0000 – 0x0007.FFFF

Copyright © 2026 Texas Instruments Incorporated

デバイスをリセットした後、下位バンクの MAIN 領域は常に最小のアドレス空間にマップされます。バンク アドレス スワップが適用されるかどうかは、アプリケーション ソフトウェアが決定します。バンク アドレス スワップ制御は、SYSCTL モジュールに含まれています。レジスタおよびビット定義については、「SYSCTL」の章を参照してください。アドレス スワップの際、アプリケーション ソフトウェアは次の制約を満たす必要があります。

1. ソフトウェアは、バンク スワップ コマンドを発行する前に割り込みをディスエーブルにする必要があります。
2. ソフトウェアは、実行に進む前に、バンク スワップ コマンドを発行した後で、バンク スワップ ステータスをポーリングする必要があります。
3. SWAP コマンドとポーリング ステータス ルーチンがフラッシュから実行されている場合、バンク スワップ後に実行が中断した場所から再開されるよう、これらのルーチンは両方のバンクのまったく同じ場所に存在している必要があります。この制限は、バンク スワップおよびステータス ポーリングがフラッシュ メモリからではなく SRAM から行われる場合には適用されません。

5.5.2 ECC エラー処理

読み取りインターフェイスは、64 ビット フラッシュ ワードの 1 ビット エラーを訂正 (SEC) し、64 ビット フラッシュ ワードの 2 ビット エラーを検出 (DED) します。「all-1」シナリオまたは「all-0」シナリオでは、ECC チェックは無視されます。

5.5.2.1 シングル ビット (訂正可能) エラー

シングル ビット エラーは、要求されたデータが CPU サブシステムまたはペリフェラル バス (DMA) に返される前に自動的に訂正されます。デバッグ アクセスの結果として発生したエラーは報告されません。

5.5.2.2 デュアル ビット (訂正不可) エラー

デュアル ビット エラーは検出可能ですが、訂正は不可能であり、SYSCTL に示されます。訂正不可能なエラーは致命的な事態を招く可能性があるため、SYSCTL はノンマスカブル割り込み (NMI) またはリセットのいずれかを生成するように構成できます。デバッグ アクセスの結果として発生したエラーは報告されません。

5.5.3 GSC SEC エラー処理

グローバル セキュリティ コントロール (GSC) モジュールは、FRI のアクセス コントロール情報を提供します。この情報をもとに、FRI はセキュア / 非セキュア、特権 / 特権解除、非表示保護されたメモリのへのアクセスを許可します。制御されたメモリへの読み取り要求が許可されていない場合、GSC SEC エラーが発生し、エラー インターフェイスに送信されます。

このエラー インターフェイスには、次の情報が含まれます。

- エラー パルス
- エラー アドレス
- エラー タイプ - 3 ビット情報
  - ビット 0 - セキュアと非セキュア違反
  - ビット 1 - 特権違反
  - ビット 2 - 保護違反を非表示

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

5.6 FLASHCTL レジスタ

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 5-11 に、このセクションでアクセス タイプに使用しているコードを示します。

表 5-11. FLASHCTL アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

5.7 FRI レジスタ

表 5-12 に、FRI レジスタのメモリマップト レジスタを示します。表 5-12 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 5-12. FRI レジスタ

オフセット	略称	レジスタ名	セクション
1000h	FRDCNTL	フラッシュ読み取り制御レジスタ	セクション 5.7.1
100Ch	FRD_INTF_CTRL	フラッシュ読み取りインターフェイス制御レジスタ	セクション 5.7.2
1010h	DTB_MUXSEL	フラッシュ読み取りインターフェイス DTB マルチプレクサ選択	セクション 5.7.3
1100h	ECC_ENABLE	ECC イネーブル	セクション 5.7.4
1104h	FECC_CTRL	ECC 制御	セクション 5.7.5

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 5-13 に、このセクションでアクセス タイプに使用しているコードを示します。

表 5-13. FRI のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

5.7.1 FRDCNTL レジスタ (オフセット = 1000h) [リセット = 02000201h]

表 5-14 に、FRDCNTL を示します。

概略表に戻ります。

フラッシュ読み取り制御レジスタ

表 5-14. FRDCNTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	予約済み	R/W	0h	
23-12	予約済み	R	0h	予約済み
11-8	RWAIT	R/W	2h	ランダム読み取り待機状態 これらのビットは、フラッシュの読み取り / フェッチ アクセスに追加されるウェイト状態数を示します。RWAIT 値は、0 ～ 0xF の任意の値に設定できます。フラッシュ アクセスの場合、データは RWAIT + 1 SYSCLK サイクルで返されます。 注: 各 SYSCLK 周波数に必要なウェイト状態は、デバイスのデータ マニュアルを参照してください。 リセット タイプ: SYSRSn
7-1	予約済み	R	0h	予約済み
0	WS0_MODE	R/W	1h	設定されると、フラッシュの待機状態は強制的に 0 Waitstate になります。このビットがセットされている場合、RWAIT および TRIMENGRRWAIT の値は無視されます。 リセット タイプ: SYSRSn

Copyright © 2026 Texas Instruments Incorporated

5.7.2 FRD_INTF_CTRL レジスタ (オフセット = 100Ch) [リセット = 00000000h]

表 5-15 に、FRD_INTF_CTRL を示します。

概略表に戻ります。

フラッシュ読み取りインターフェイス制御レジスタ

表 5-15. FRD_INTF_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-3	予約済み	R	0h	予約済み
2	CODE_CACHE_EN	R/W	0h	コード キャッシュ イネーブル。 0 値を 0 にすると、コード キャッシュが無効になります。 1 値を 1 にすると、コード キャッシュが有効になります。 リセット タイプ:SYSRSn
1	DATA_CACHE_EN	R/W	0h	データ キャッシュをイネーブル。 0 値を 0 にすると、データ キャッシュが無効になります。 1 値を 1 にすると、データ キャッシュが有効になります。 リセット タイプ:SYSRSn
0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

5.7.3 DTB_MUXSEL レジスタ (オフセット = 1010h) [リセット = 00000000h]

表 5-16 に、DTB_MUXSEL を示します。

概略表に戻ります。

フラッシュ読み取りインターフェイス DTB マルチプレクサ選択

表 5-16. DTB_MUXSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1-0	DTB_MUX_SEL_FRI	R/W	0h	フラッシュ読み取りインターフェイス信号を DTB バスへ出力するための DTB マルチプレクサ選択です。MUXSELECT の値に応じて、対応するバンクの DTB 信号が出力されます。 00 - Bank0 01 - Bank1 10 - Bank2 11 - 予約済み リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

5.7.4 ECC_ENABLE レジスタ (オフセット = 1100h) [リセット = 0000000Ah]

表 5-17 に、ECC_ENABLE を示します。

概略表に戻ります。

ECC イネーブル

表 5-17. ECC_ENABLE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-4	予約済み	R	0h	予約済み
3-0	イネーブル	R/W	Ah	ECC イネーブル:値を 0xA にすると、ECC が有効になります。他の値の場合、ECC が無効になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

5.7.5 FECC_CTRL レジスタ (オフセット = 1104h) [リセット = 00000000h]

表 5-18 に、FECC_CTRL を示します。

概略表に戻ります。

ECC 制御

表 5-18. FECC_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-2	予約済み	R	0h	予約済み
1-0	ECC_TEST_EN	R/W	0h	ECC テスト モードの有効化。 00 ECC テストモードの無効化 01 ECC テスト モードが有効になります。64 ビットのデータ ビットのうち 1 ビットが反転され、冗長 ECC ロジック (ECC ロジック low ブロックおよび ECC ロジック high ブロックの両方) に入力されます。 11 ECC テスト モードが有効になります。64 ビットのデータ ビットのうち 2 ビット が反転され、冗長 ECC ロジック (ECC ロジック low ブロックおよび ECC ロジック high ブロックの両方) に入力されます。 10 予約済み リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

Chapter 6

EAM

エラー アグリゲータ モジュール (EAM) は、デバイスのメモリ アクセスおよび誤り訂正コード (ECC) に関連するエラーのログを提供します。

6.1 EAM の概要 330
6.2 EAM 動作 330
6.3 EAM レジスタ 332

Copyright © 2026 Texas Instruments Incorporated

6.1 EAM の概要

EAM モジュールの目的は、複数のソースから安全性とセキュリティに関するエラーを集約することです。EAM は、これらのエラーをメモリ マップト レジスタ (MMR) に保存します。セクション 6.2 に定義されているように、各グループには独自の固定優先度のセットが設定されています。

6.2 EAM 動作

各アグリゲータは、固定の優先度を持つさまざまなソースからのエラーを格納します。固定の優先順位は固定優先度アービターによって決定されます。固定優先度テーブルでは、1 が最も高い優先度で、最も大きい番号が最も低い優先度になります。対応する固定優先度アービターの詳細については、対応するエラー アグリゲータを参照してください。エラーが発生したアドレス、対応するエラー タイプ、およびエラー フラグの情報がそれぞれのレジスタに格納されます。

エラーが発生した場合は、次のステップが実行されます。

1. 固定優先度アービターに基づいてエラー ソースが選択されます。
2. エラー フラグ ビット、アドレス、ID は、選択されたエラーに対応する各レジスタにラッチされます。
3. 選択されたエラーが、NMI または割り込みを生成する SYSCTL に転送されます。
4. ソフトウェアがクリア レジスタに書き込むまで待ちます。

ステップ 4 では、次のエラーが適切に伝搬されるように、ソフトウェアで対応するクリア レジスタに書き込む必要があります。対応するクリア レジスタについては、EAM レジスタを参照してください。

6.2.1 セキュリティ エラー アグリゲータ

セキュリティ エラー アグリゲータは、SRAM (SYSMEM)、フラッシュ読み取りインターフェイス (FRI)、フラッシュ プログラム インターフェイス (FPI)、CPU、DMA0、グローバル セキュリティ コントローラ (GSC) から生成されるセキュリティ エラーを処理するために使用されます。これらのモジュールはすべて、さまざまな種類のセキュリティ エラーを生成し、セキュリティ エラー アグリゲータに伝搬します。これらのエラーを受信すると、セキュリティ エラー アグリゲータは、セキュリティ エラー非マスカブル割り込み (NMI) を生成します。NMI の詳細については、「SYSCTL イベント」セクションを参照してください。

いずれかのセキュリティ エラーが発生すると、セキュリティ固定優先度アービターは、表 6-1 に基づいてエラー ソースを選択します。セキュリティ固定優先度アービターがエラーを選択した後、対応するエラーが SECURITY_ERR_FLAG レジスタに格納されます。その後、エラーが SYSCTL に転送され、セキュリティ エラー NMI が発生します。図 6-1 に、このトランザクションを示します。

表 6-1. セキュリティ エラー アグリゲータ固定優先度の表

優先度	ソース
1 (最高の優先度)	MEM0
2	MEM1
3	MEM2
4	MEM3
5	FRI
6	FPI
7	CPU
8	DMA0
10	GSC

図 6-1. セキュリティ エラー アグリゲータのブロック図

発生したエラーを正しく理解するため、エラーに関する情報は SECURITY_ERR_MSTID および SECURITY_ERR_ADDR レジスタにあります。エラーをクリアして次のエラーを伝搬するには、SECURITY_ERR_CLR レジスタに書き込む必要があります。これらのレジスタの詳細な説明については、「EAM レジスタ」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.2.2 セーフティ エラー アグリゲータ

セーフティ エラー アグリゲータは、EAM のもう 1 つのエラーアグリゲータです。このエラー アグリゲータは、ECC エラーによって発生する複数の安全性に関するエラーを処理します。セーフティ エラー アグリゲータが ECC エラーを受信したとき、モジュールはエラーに応じて NMI または割り込みを発生させます。各種のエラーの詳細については、「SYSCTL イベント」セクションを参照してください。これらの ECC エラーは、フラッシュ読み取りインターフェイス (FRI) または SRAM メモリ (SYSMEM) から発生することがあります。ECC エラーの詳細については、「フラッシュ」章の「ECC エラー処理」セクションを参照してください。SRAM エラーの詳細については、「アーキテクチャ」章の「SRAM 領域」セクションを参照してください。主な違いは、セーフティ エラー アグリゲータが NMI と、さまざまなタイプの ECC エラーを処理するための割り込みを生成できる点です。対応するエラーから生成される割り込みの詳細については、表 6-2 を参照してください。

表 6-2. セーフティ エラー アグリゲータの NMI および割り込みの表

エラー	結果の割り込み
フラッシュ読み取り ECC SEC	FLASHSEC 割り込み
フラッシュ読み取り ECC DED	FLASHDED NMI
SRAM MEM0 — SRAM MEM3 パリティ エラー	SRAMPARITY NMI

シングルビット エラー (SEC) およびデュアルビット エラー (DED) により、異なる種類の割り込みが生成されるため、このエラー アグリゲータには、次の 4 セットの MMR があります。FRI_SEC, FRI_DED、。これらの MMR グループのそれぞれに、MSTID、ADDR、FLAG、および CLR レジスタの個別のセットが用意されています。これらのレジスタの詳細な説明については、「EAM レジスタ」を参照してください。

注

FRI_SEC および FRI_DED レジスタには、エラーが発生していない場合、アドレスとマスター ID に任意の値がセットされることがあります。これは、対応するフラグが設定された後にのみ読み取ってください。

セーフティ エラーアグリゲータ モジュールの構成については、で、ソース セレクタ、固定優先度アービター、分離モジュールの構成を確認してください。SEC および DED インターフェイスからは 1 種類のフラッシュ エラーしか発生しないため、フラッシュ読み取りインターフェイスに固定優先度アービターは必要ありません。優先度レベルの違いについては、表 表 6-3 を参照してください。

表 6-3. セーフティ エラーアグリゲータの固定優先度の表

優先度	ソース
1 (最高の優先度)	MEM0
2	MEM1
3	MEM2
4	MEM3

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

6.3 EAM レジスタ

表 6-4 に、EAM レジスタのメモリマップト レジスタを示します。表 6-4 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 6-4. EAM レジスタ

オフセット	略称	レジスタ名	セクション
1000h	改訂	IP リビジョン ID レジスタ	セクション 6.3.1
1010h	SECURITY_ERR_FLAG	セキュリティ エラー フラグ	セクション 6.3.2
1014h	SECURITY_ERR_CLR	セキュリティ エラー クリア	セクション 6.3.3
1018h	SECURITY_ERR_MSTID	セキュリティ エラー マスター ID	セクション 6.3.4
101Ch	SECURITY_ERR_ADDR	セキュリティ エラー アドレス	セクション 6.3.5
1030h	FRI_SEC_FLAG	FRI SEC フラグ	セクション 6.3.6
1034h	FRI_SEC_CLR	FRI SEC クリア	セクション 6.3.7
1038h	FRI_SEC_ADDR	FRI SEC アドレス	セクション 6.3.8
103Ch	FRI_SEC_MSTID	FRI SEC マスター ID	セクション 6.3.9
1050h	FRI_DED_FLAG	FRI DED フラグ	セクション 6.3.10
1054h	FRI_DED_CLR	FRI DED クリア	セクション 6.3.11
1058h	FRI_DED_ADDR	FRI DED アドレス	セクション 6.3.12
105Ch	FRI_DED_MSTID	FRI DED マスター ID	セクション 6.3.13
1070h	SYSMEM_SEC_FLAG	SYSMEM SEC フラグ	セクション 6.3.14
1074h	SYSMEM_SEC_CLR	SYSMEM SEC クリア	セクション 6.3.15
1078h	SYSMEM_SEC_ADDR	SYSMEM SEC アドレス	セクション 6.3.16
107Ch	SYSMEM_SEC_MSTID	SYSMEM SEC マスター ID	セクション 6.3.17
1090h	SYSMEM_DED_FLAG	SYSMEM DED フラグ	セクション 6.3.18
1094h	SYSMEM_DED_CLR	SYSMEM DED クリア	セクション 6.3.19
1098h	SYSMEM_DED_ADDR	SYSMEM DED アドレス	セクション 6.3.20
109Ch	SYSMEM_DED_MSTID	SYSMEM DED マスター ID	セクション 6.3.21

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 6-5 に、このセクションでアクセス タイプに使用しているコードを示します。

表 6-5. EAM のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

6.3.1 REVISION レジスタ (オフセット = 1000h) [リセット = 00000000h]

表 6-6 に、REVISION を示します。

概略表に戻ります。

IP リビジョン ID レジスタ

表 6-6. REVISION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R-0	0h	予約済み
0	改訂	R	0h	リビジョン レジスタ リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.2 SECURITY_ERR_FLAG レジスタ (オフセット = 1010h) [リセット = 00000000h]

表 6-7 に、SECURITY_ERR_FLAG を示します。

概略表に戻ります。

セキュリティ エラー フラグ

表 6-7. SECURITY_ERR_FLAG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R-0	0h	予約済み
11	FLSEM_ACCESS_ERROR	R	0h	FLSEM ACCESS ERROR フラグ リセット タイプ:PORESETn
10	FLC_MMR_ACCESS_ERROR	R	0h	FLC MMR ACCESS ERROR フラグ リセット タイプ:PORESETn
9	FPI_ILLSIZE	R	0h	FPI ILLSIZE フラグ リセット タイプ:PORESETn
8	FPI_ILLCMD	R	0h	FPI ILLCMD フラグ リセット タイプ:PORESETn
7	FPI_ILLMODECH	R	0h	FPI ILLMODECH フラグ リセット タイプ:PORESETn
6	FPI_ILLRDVER	R	0h	FPI ILLRDVER フラグ リセット タイプ:PORESETn
5	FPI_ILLERASE	R	0h	FPI ILLERASE フラグ リセット タイプ:PORESETn
4	FPI_ILLPROG	R	0h	FPI ILLPROG フラグ リセット タイプ:PORESETn
3	FPI_ILLADDR	R	0h	FPI ILLADDR フラグ リセット タイプ:PORESETn
2	HDP	R	0h	保護エラー フラグをマスクします リセット タイプ:PORESETn
1	PRIV	R	0h	特権エラー フラグ リセット タイプ:PORESETn
0	セキュア	R	0h	セキュア エラー フラグ リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.3 SECURITY_ERR_CLR レジスタ (オフセット = 1014h) [リセット = 00000000h]

表 6-8 に、SECURITY_ERR_CLR を示します。

概略表に戻ります。

セキュリティ エラー クリア

表 6-8. SECURITY_ERR_CLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R-0	0h	予約済み
11	FLSEM_ACCESS_ERROR	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FLSEM_ACCESS_ERROR] レジスタがクリアされます。 リセット タイプ:PORESETn
10	FLC_MMR_ACCESS_ERROR	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FLC_MMR_ACCESS_ERROR] レジスタがクリアされます。 リセット タイプ:PORESETn
9	FPI_ILLSIZE	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FPI_ILLSIZE] レジスタがクリアされます。 リセット タイプ:PORESETn
8	FPI_ILLCMD	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FPI_ILLCMD] レジスタがクリアされます。 リセット タイプ:PORESETn
7	FPI_ILLMODECH	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FPI_ILLMODECH] レジスタがクリアされます。 リセット タイプ:PORESETn
6	FPI_ILLRDVER	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FPI_ILLRDVER] レジスタがクリアされます。 リセット タイプ:PORESETn
5	FPI_ILLERASE	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FPI_ILLERASE] レジスタがクリアされます。 リセット タイプ:PORESETn
4	FPI_ILLPROG	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FPI_ILLPROG] レジスタがクリアされます。 リセット タイプ:PORESETn
3	FPI_ILLADDR	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[FPI_ILLADDR] レジスタがクリアされます。 リセット タイプ:PORESETn
2	HDP	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[HDP] レジスタがクリアされます。 リセット タイプ:PORESETn
1	PRIV	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[PRIV] レジスタがクリアされます。 リセット タイプ:PORESETn
0	セキュア	R-0/W1C	0h	1 を書き込むと、SECURITY_ERR_FLAG[SEC] レジスタがクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.4 SECURITY_ERR_MSTID レジスタ (オフセット = 1018h) [リセット = 00000000h]

表 6-9 に、SECURITY_ERR_MSTID を示します。

概略表に戻ります。

セキュリティ エラー マスター ID

表 6-9. SECURITY_ERR_MSTID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R-0	0h	予約済み
7-0	MSTID	R	0h	セキュリティ エラー マスター ID。このフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ : PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.5 SECURITY_ERR_ADDR レジスタ (オフセット = 101Ch) [リセット = 00000000h]

表 6-10 に、SECURITY_ERR_ADDR を示します。

概略表に戻ります。

セキュリティ エラー アドレス

表 6-10. SECURITY_ERR_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	アドレス	R	0h	セキュリティ エラー アドレス。このフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ:PORESETn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

6.3.6 FRI_SEC_FLAG レジスタ (オフセット = 1030h) [リセット = 00000000h]

表 6-11 に、FRI_SEC_FLAG を示します。

概略表に戻ります。

FRI シングル エラー訂正フラグ

表 6-11. FRI_SEC_FLAG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R-0	0h	予約済み
0	SEC	R	0h	シングル エラー訂正エラー リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.7 FRI_SEC_CLR レジスタ (オフセット = 1034h) [リセット = 00000000h]

表 6-12 に、FRI_SEC_CLR を示します。

概略表に戻ります。

FRI シングル エラー訂正クリア

表 6-12. FRI_SEC_CLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R-0	0h	予約済み
0	SEC	R-0/W1C	0h	1 を書き込むと、FRI_SEC_FLAG[SEC] レジスタがクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.8 FRI_SEC_ADDR レジスタ (オフセット = 1038h) [リセット = 00000000h]

表 6-13 に、FRI_SEC_ADDR を示します。

概略表に戻ります。

FRI シングル エラー訂正アドレス

表 6-13. FRI_SEC_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	アドレス	R	0h	シングル エラー訂正エラー アドレスこのフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.9 FRI_SEC_MSTID (オフセット = 103Ch) [リセット = 00000000h]

表 6-14 に、FRI_SEC_MSTID を示します。

概略表に戻ります。

FRI シングルエラー訂正マスター ID

表 6-14. FRI_SEC_MSTID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R-0	0h	予約済み
7-0	MSTID	R	0h	シングル エラー訂正エラー マスター ID。このフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.10 FRI_DED_FLAG レジスタ (オフセット = 1050h) [リセット = 00000000h]

表 6-15 に、FRI_DED_FLAG を示します。

概略表に戻ります。

FRI ダブル エラー検出フラグ

表 6-15. FRI_DED_FLAG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R-0	0h	予約済み
1	DIAG_DED	R	0h	診断ダブル エラー検出エラー リセット タイプ:PORESETn
0	DED	R	0h	ダブル エラー検出エラー リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.11 FRI_DED_CLR レジスタ (オフセット = 1054h) [リセット = 00000000h]

表 6-16 に、FRI_DED_CLR を示します。

概略表に戻ります。

FRI ダブル エラー検出クリア

表 6-16. FRI_DED_CLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R-0	0h	予約済み
1	DIAG_DED	R-0/W1C	0h	1 を書き込むと、FRI_DED_FLAG[DIAG_DED] レジスタがクリアされます。 リセット タイプ:PORESETn
0	DED	R-0/W1C	0h	1 を書き込むと、FRI_DED_FLAG[DED] レジスタがクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.12 FRI_DED_ADDR レジスタ (オフセット = 1058h) [リセット = 00000000h]

表 6-17 に、FRI_DED_ADDR を示します。

概略表に戻ります。

FRI ダブル エラー検出アドレス

表 6-17. FRI_DED_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	アドレス	R	0h	ダブル エラー検出エラー アドレス。このフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.13 FRI_DED_MSTID レジスタ (オフセット = 105Ch) [リセット = 00000000h]

表 6-18 に、FRI_DED_MSTID を示します。

概略表に戻ります。

FRI ダブル エラー検出マスター ID

表 6-18. FRI_DED_MSTID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R-0	0h	予約済み
7-0	MSTID	R	0h	ダブル エラー検出エラー マスター ID。このフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ : PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.14 SYSMEM_SEC_FLAG レジスタ (オフセット = 1070h) [リセット = 00000000h]

表 6-19 に、SYSMEM_SEC_FLAG を示します。

概略表に戻ります。

SYSMEM シングル エラー訂正フラグ

表 6-19. SYSMEM_SEC_FLAG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R-0	0h	予約済み
1	WR_SEC	R	0h	書き込み時の診断シングル エラー訂正エラー リセット タイプ:PORESETn
0	RD_SEC	R	0h	読み取り中のシングル エラー訂正エラー リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.15 SYSMEM_SEC_CLR レジスタ (オフセット = 1074h) [リセット = 00000000h]

表 6-20 に、SYSMEM_SEC_CLR を示します。

概略表に戻ります。

SYSMEM シングル エラー訂正クリア

表 6-20. SYSMEM_SEC_CLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R-0	0h	予約済み
1	WR_SEC	R-0/W1C	0h	1 を書き込むと、SYSMEM_SEC_FLAG[WR_SEC] レジスタがクリアされます。 リセット タイプ:PORESETn
0	RD_SEC	R-0/W1C	0h	1 を書き込むと、SYSMEM_SEC_FLAG[RD_SEC] レジスタがクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.16 SYSMEM_SEC_ADDR レジスタ (オフセット = 1078h) [リセット = 00000000h]

表 6-21 に、SYSMEM_SEC_ADDR を示します。

概略表に戻ります。

SYSMEM シングル エラー訂正アドレス

表 6-21. SYSMEM_SEC_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	アドレス	R	0h	シングル エラー訂正エラー アドレスこのフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.17 SYSMEM_SEC_MSTID レジスタ (オフセット = 107Ch) [リセット = 00000000h]

表 6-22 に、SYSMEM_SEC_MSTID を示します。

概略表に戻ります。

SYSMEM シングルエラー訂正マスター ID

表 6-22. SYSMEM_SEC_MSTID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R-0	0h	予約済み
7-0	MSTID	R	0h	シングル エラー訂正エラー マスター ID。このフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ : PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.18 SYSMEM_DED_FLAG レジスタ (オフセット = 1090h) [リセット = 00000000h]

表 6-23 に、SYSMEM_DED_FLAG を示します。

概略表に戻ります。

SYSMEM ダブル エラー検出フラグ

表 6-23. SYSMEM_DED_FLAG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R-0	0h	予約済み
1	WR_DED	R	0h	書き込み時の診断ダブル エラー検出エラー リセット タイプ:PORESETn
0	RD_DED	R	0h	読み取り時のダブル エラー検出エラー リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.19 SYSMEM_DED_CLR レジスタ (オフセット = 1094h) [リセット = 00000000h]

表 6-24 に、SYSMEM_DED_CLR を示します。

概略表に戻ります。

SYSMEM ダブル エラー検出クリア

表 6-24. SYSMEM_DED_CLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R-0	0h	予約済み
1	WR_DED	R-0/W1C	0h	1 を書き込むと、SYSMEM_DED_FLAG[WR_DED] レジスタがクリアされます。 リセット タイプ:PORESETn
0	RD_DED	R-0/W1C	0h	1 を書き込むと、SYSMEM_DED_FLAG[RD_DED] レジスタがクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.20 SYSMEM_DED_ADDR レジスタ (オフセット = 1098h) [リセット = 00000000h]

表 6-25 に、SYSMEM_DED_ADDR を示します。

概略表に戻ります。

SYSMEM ダブル エラー検出アドレス

表 6-25. SYSMEM_DED_ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	アドレス	R	0h	ダブル エラー検出エラー アドレス。このフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ:PORESETn

Copyright © 2026 Texas Instruments Incorporated

6.3.21 SYSMEM_DED_MSTID レジスタ (オフセット = 109Ch) [リセット = 00000000h]

表 6-26 に、SYSMEM_DED_MSTID を示します。

概略表に戻ります。

SYSMEM ダブル エラー検出マスター ID

表 6-26. SYSMEM_DED_MSTID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R-0	0h	予約済み
7-0	MSTID	R	0h	ダブル エラー検出エラー マスター ID。このフィールドは、対応するフラグがクリアされるとクリアされます。 リセット タイプ : PORESETn

Copyright © 2026 Texas Instruments Incorporated

Chapter 7

ダイレクト メモリ アクセス (DMA)

ダイレクト メモリ アクセス (DMA) コントローラ モジュールは、CPU を介さずにアドレス間でデータを移動します。この章では、DMA コントローラの動作について説明します。

7.1 DMA の概要 355
7.2 DMA 動作 356
7.3 DMA レジスタ 368

Copyright © 2026 Texas Instruments Incorporated

7.1 DMA の概要

DMA コントローラは、CPU の介入なしに送信元アドレスから宛先アドレスへデータを転送します。たとえば、DMA コントローラを使って ADC 変換メモリから SRAM にデータを移動できます。

デバイスでは、最大 16 個の DMA チャネルを利用できます。したがって、利用可能な DMA チャネルの数によっては、この章で説明する機能の一部がデバイスで使用できない場合があります。DMA の実際のチャネル数については、該当するデバイスのデータシートを参照してください。

DMA コントローラを使用することで、ペリフェラル モジュールのスループットを向上させることができます。また、CPU が周辺機器とのデータ転送のためにウェークアップする必要がなくなるため、CPU を低消費電力モードのまま維持でき、システム全体の消費電力を低減できます。

DMA コントローラの機能には以下が含まれます:

- 最大 16 個の独立した転送チャネル
- DMA チャネルの優先度を設定可能
- バイト (8 ビット)、ハーフ ワード (16 ビット)、ワード (32 ビット)、ロング ワード (64 ビット)、ロング - ロング ワード (128 ビット)、またはバイトとワードの混合の転送機能
- 最大 64k のブロック サイズのすべてのデータ タイプの転送をサポートする転送カウンタ
- DMA 転送トリガの選択を設定可能
- 7 種類の柔軟なアドレッシング モード
- シングルまたはブロック転送モード

図 7-1 に、DMA コントローラのブロック図を示します。

Copyright © 2026 Texas Instruments Incorporated

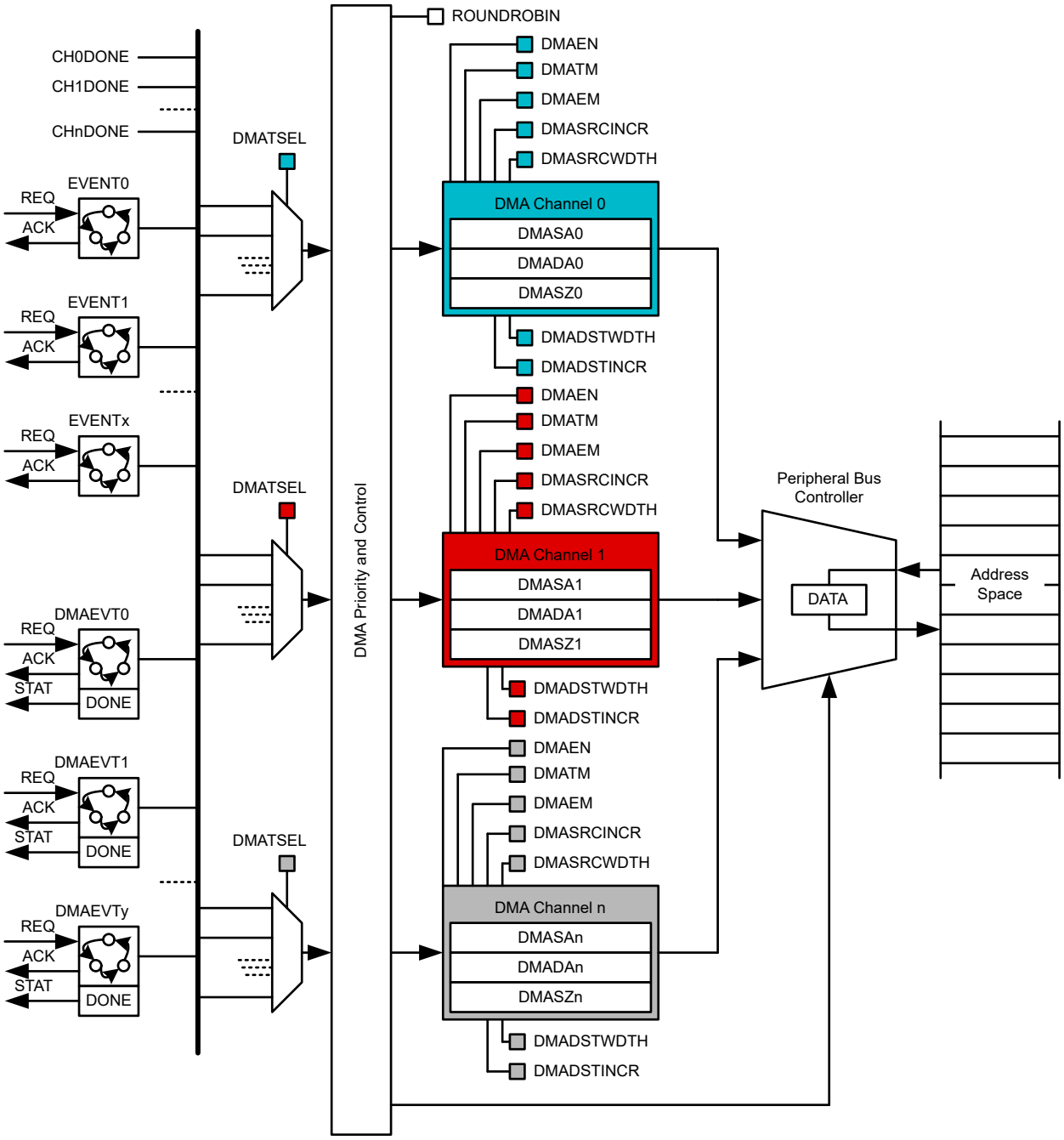


図 7-1. DMA のブロック図

7.2 DMA 動作

DMA コントローラの設定は、ユーザー ソフトウェアで行います。DMA のセットアップと動作については、以下のセクションで説明します。

7.2.1 アドレッシング モード

DMA コントローラには 7 つの基本的なアドレッシング モードがあります。各 DMA チャネルのアドレッシング モードは個別に設定可能です。たとえば、チャネル 0 は 2 つの固定アドレス間で転送を行い、チャネル 1 は二つのアドレス ブロック間で転送を行うことができます。基本アドレッシング モードは、基本アドレス モードで示されています。

Copyright © 2026 Texas Instruments Incorporated

アドレッシング モードは次のとおりです。

1. 固定アドレスから固定アドレス
2. 固定アドレスからアドレス ブロック
3. アドレス ブロックから固定アドレス
4. アドレス ブロックからアドレス ブロック
5. フィル データからアドレス ブロック
6. データ テーブルから特定のアドレス
7. アドレス テーブルから固定アドレスまたはアドレス ブロックへのデータ収集

上記のアドレッシング モード 1 ～ 4 は、基本アドレッシング モードで、DMASRCINCR および DMADSTINCR 制御ビットで簡単に設定し、あらゆるチャネル タイプで使用できます。DMASRCINCR ビットは、各転送後の送信元アドレスに対する操作 (インクリメント、デクリメント、または変更なし) を選択します。DMADSTINCR ビットは、各転送後の送信先アドレスに対する操作 (インクリメント、デクリメント、または変更なし) を選択します。

上記のアドレッシング モード 5 ～7 は、DMA の拡張モードを利用するために、DMAEM などの追加パラメータとともに DMASRCINCR および DMADSTINCR 制御ビットを使用して設定されます。Fill-Mode、Table-Mode、および Gather-Mode で DMA を適切に設定および使用する方法については、セクション 7.2.4.1、セクション 7.2.4.2、または [Gather Mode] を参照してください。

転送は、バイト間、ハーフワード間、ワード間、ロングワード間、ロングロングワード間、または 5 つの任意の組み合わせで転送できます。より広いビット幅の送信元からより狭いビット幅の宛先へ転送する場合、宛先データには下位ビットのみが転送されます。より狭いビット幅の送信元からより広いビット幅の宛先へ転送する場合、転送時に宛先データの上位バイトはクリアされます。複数の送信元バイト転送を一つの宛先ワードにまとめる、またはその逆のようなパッキング / アンパッキング機能はサポートされていません。

Copyright © 2026 Texas Instruments Incorporated

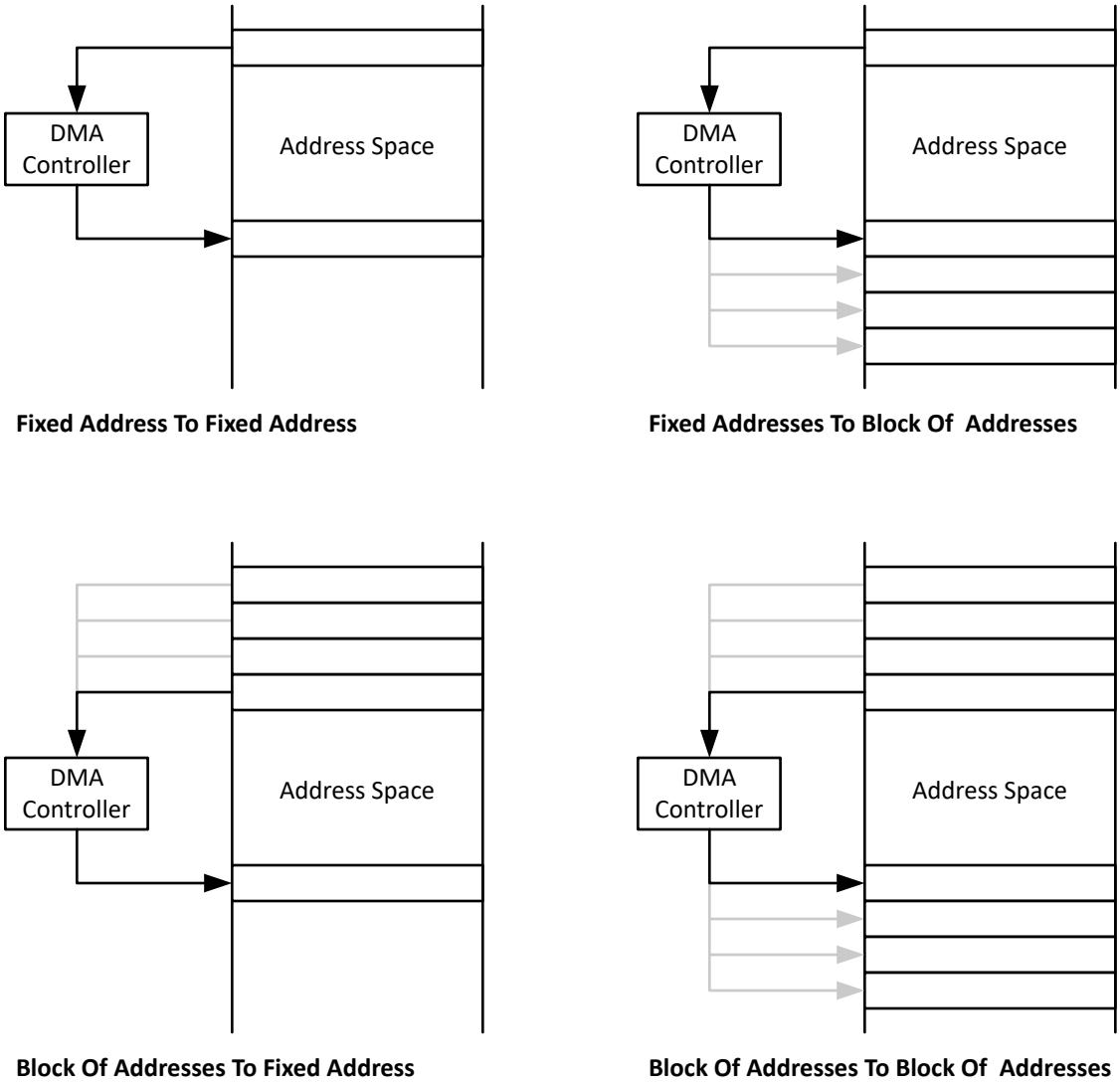


図 7-2. 基本 DMA アドレッシング モード

7.2.2 チャネル タイプ

DMA には、以下の 2 つの種類があります:DMA_A と DMA_B。各 DMA は、基本 (BASIC) チャネルとフル機能 (FULL) チャネルをサポートしています。BASIC チャネルはシングルまたはブロック転送のみをサポートし、FULL チャネルは早期割り込み要求生成、拡張テーブル、フィル、ギャザー モードなどの追加機能により、シングルおよびブロックのリピート転送をサポートしています。

最も優先度の高い DMA チャネル (DMA0 から開始) は FULL チャネルであり、それ以外の優先度チャネルは BASIC チャネルです。

注

DMA のタイプと、サポートされている FULL チャネルと BASIC チャネルについては、各デバイスのデータシートを参照してください。

機能比較表に、利用可能な基本およびフル機能の DMA チャネル タイプでサポートされている機能を示します。

Copyright © 2026 Texas Instruments Incorporated

表 7-1. DMA_A チャネルと DMA_B チャネルの機能比較

DMA 機能	DMA_A		DMA_B	
	フル機能	ベーシック チャネル	フル機能	ベーシック チャネル
リピータ モード	–	–	✓	–
テーブルとフィル モード	✓	–	✓	–
収集モード	–	–	✓	–
早期 IRQ 通知	✓	–	✓	–
オート イネーブル	–	–	✓	✓
ロング ロング (128 ビット) 転送	–	–	✓	✓
ストライド モード	✓	✓	✓	✓
カスケード チャネルのサポート	–	–	✓	✓

7.2.3 転送モード

DMA 転送モード表に記載されているように、DMA コントローラには、DMATM ビットによって選択される 4 つの転送モードがあります。チャネルごとに転送モードを個別に設定できます。たとえば、チャネル 0 を反復ブロック転送モードに設定し、チャネル 1 をブロック転送モードに、チャネル 2 をシングル転送モードに設定できます。転送モード (シングル、ブロック、反復) は、アドレッシング モード (デクリメント、固定、インクリメント、ストライド) とは独立して構成されます。アドレッシング モードと転送モードの組み合わせに制限はありません。

DMADSTWDTH と DMASRCWDTH の制御ビットにより、5 種類のデータを選択し、転送できます。転送元と転送先は、バイト (8 ビット)、ハーフワード (16 ビット)、ワード (32 ビット)、ロングワード (64 ビット)、またはロングロングワード (128 ビット) データのいずれかになります。また、バイト間、ハーフワード間、ワード間、ロングワード間、ロングロングワード間、またはこれらの任意の組み合わせで転送できます。

さらに、すべての転送モードはストライド モードに対応しています。このモードでは、DMA の転送元と転送先をより大きな値でインクリメントし、データを再編成することができます。

表 7-2. DMA 転送モード

DMATM	転送モード	説明	チャネル タイプ
0	シングル転送	各転送にはトリガが必要です。DMASZx 転送が行われると、DMAEN は自動的にクリアされます。	基本
1	ブロック転送	ブロック全体が一つのトリガで転送されます。DMAEN は、ブロック転送の終了時に自動的にクリアされます。	基本
2	反復シングル転送	各転送にはトリガが必要です。DMASZ がゼロまでカウントダウンされると、DAMSA、DMADA、DMASZ レジスタが元の値にリロードされます。DMAEN は有効のままです。	フル機能
3	反復ブロック転送	ブロック全体を 1 つのトリガで転送し、転送を継続します。DMASZ がゼロまでカウントダウンされると、DAMSA、DMADA、DMASZ レジスタが元の値にリロードされます。DMAEN は有効のままです。	フル機能

7.2.3.1 シングル転送

シングル転送モード (DMATM = 0) では、各バイト、ハーフ ワード、ワード、ロングワード、または長ワードの転送には、個別のトリガが必要です。シングル転送モードは、基本および高機能 DMA チャネルで使用できます。

DMASZ レジスタは、実行する転送の数を定義します。DMADSTINCR ビットおよび DMASRCINCR ビットは、各転送後に送信先アドレスおよび送信元アドレスをインクリメントするかデクリメントするかを選択します。DMASZ = 0 の場合、転送は発生しません。

DMASA、DMADA、および DMASZ レジスタは、各転送の後にインクリメントまたはデクリメントされます。
DMADSTWDTH は、転送サイクルごとに送信先アドレスが 1、2、4、8、または 16 ずつ増減するかを示します。

Copyright © 2026 Texas Instruments Incorporated

DMASRCWDTH と送信元アドレスについても同様です。DMASZ レジスタがデクリメントしてゼロになると、対応する RIS フラグがセットされます。

DMASZ がゼロにデクリメントすると、DMAEN ビットは自動的にクリアされ、次の転送を実行するには再度セットする必要があります。

7.2.3.2 ブロック転送

ブロック転送モード (DMATM = 1) では、1 回のトリガの後にデータ ブロック全体が転送されます。ブロック転送モードは、基本 DMA チャネルでのみ使用できます。

DMASZ レジスタは、ブロックのサイズを定義します。DMADSTINCR および DMASRCINCR ビットは、ブロック内の転送ごとに送信先アドレスと送信元アドレスをインクリメントまたはデクリメントするのかを表します。DMASZ = 0 の場合、転送は発生しません。

DMADSTWDTH は、転送サイクルごとに送信先アドレスが 1、2、4、8、16 のいずれかでインクリメントまたはデクリメントするのかを示します。DMASRCWDTH と送信元アドレスについても同様です。DMASZ レジスタは、各転送後にデクリメントされ、残りの転送数を示します。

DMAEN ビットは、ブロック転送が完了するとクリアされます。次のブロック転送をトリガするには、再度セットする必要があります。ブロック転送の開始後、ブロック転送中に発生する別のトリガ信号は無視されます。

7.2.3.3 反復シングル転送

反復シングル転送モード (DMATM = 2) では、DMA コントローラは DMAEN = 1 が維持され、トリガが発生するたびに転送が実行されます。反復シングル転送モードは、フル機能の DMA チャネルでのみ使用できます。

DMASA、DMADA、DMASZ レジスタは、一時レジスタにコピーされます。DMASA および DMADA の値は、転送ごとにインクリメントまたはデクリメントされます。DMASZ レジスタは、転送ごとにデクリメントされます。DMADSTWDTH は、転送サイクルごとに送信先アドレスが 1、2、4、8、16 のいずれかでインクリメントまたはデクリメントするのかを示します。DMASRCWDTH と送信元アドレスについても同様です。DMASZ レジスタがデクリメントして 0 になると、一時レジスタから値が再ロードされ、対応する RIS フラグがセットされます。

注

反復シングル転送モードの場合、DMA はチャネルを無効にして (一時停止のため)、チャネルを有効にすることで (続行のため)、転送の一時停止と続行を行うことはできません。

7.2.3.4 反復ブロック転送

反復ブロック転送モード (DMATM = 3) では、ブロック転送の完了後に DMAEN ビットがセットされたままになります。反復ブロック転送が完了した後の次のトリガにより、別のブロック転送が開始されます。反復ブロック転送モードは、フル機能の DMA チャネルでのみ使用できます。

DMASA、DMADA、DMASZ レジスタは、一時レジスタにコピーされます。DMASA および DMADA の一時的な値は、ブロック内の転送ごとにインクリメントまたはデクリメントされます。DMADSTWDTH は、転送サイクルごとに送信先アドレスが 1、2、4、8、16 のいずれかでインクリメントまたはデクリメントするのかを示します。DMASRCWDTH と送信元アドレスについても同様です。DMASZ レジスタは、ブロック内の転送ごとにデクリメントされ、ブロック内の残りの転送数を示します。DMASZ レジスタがデクリメントして 0 になると、一時レジスタから値が再ロードされ、対応する RIS フラグがセットされます。

7.2.3.5 ストライド モード

すべての転送モードは、ストライド モードをサポートしています。このモードでは、転送後に DMA の転送元と転送先をより高い値 (+1 以外) にインクリメントできます。これは、転送元と転送先間のデータの順序を再編成する場合に役立ちます。

段階的なストライドをサポートするには、DMADSTINCR または DMASRCINCR (あるいはその両方) を STRIDE_n に設定します。n は、転送先または転送元 (あるいはその両方) のインクリメントです。実際のインクリメントは、それぞれ DMADSTWDTH または DMASRCWDTH の定義に従って計算されます。たとえば、外部 ADC データが 6 ワードの

Copyright © 2026 Texas Instruments Incorporated

SPI フレームとして MCU に送信される場合は、ブロック転送時の DMADSTINCR を STRIDE_6 に設定します。これにより、転送先アドレスが 6 インクリメントされ、処理が容易になるようにデータが編成されます。

7.2.4 拡張モード

フル チャネルにおいて、DMA コントローラには、DMA 拡張モードの表に示されているように、DMAEM ビットによって選択される 2 つの拡張モードがあります。拡張モードの概要は、DMA 拡張モードの図で確認できます。各チャネルは拡張モード用に個別に構成可能です。たとえば、チャネル 0 をテーブル モードに設定し、チャネル 1 をフィル モードに設定できます。

表 7-3. DMA 拡張モード

DMAEM	拡張モード	説明
0	通常モード	動作は DMATM によって定義されます
1	収集モード	アドレス テーブルからデータを読み取り、構成可能なアドレスにコピーするために使用します
2	フィル モード	事前定義済みのデータ パターンをメモリに書き込むために使用します

Copyright © 2026 Texas Instruments Incorporated

表 7-3. DMA 拡張モード (続き)

DMAEM	拡張モード	説明
3	テーブル モード	ペリフェラル制御レジスタのテーブルの構成を容易にするために使用されます

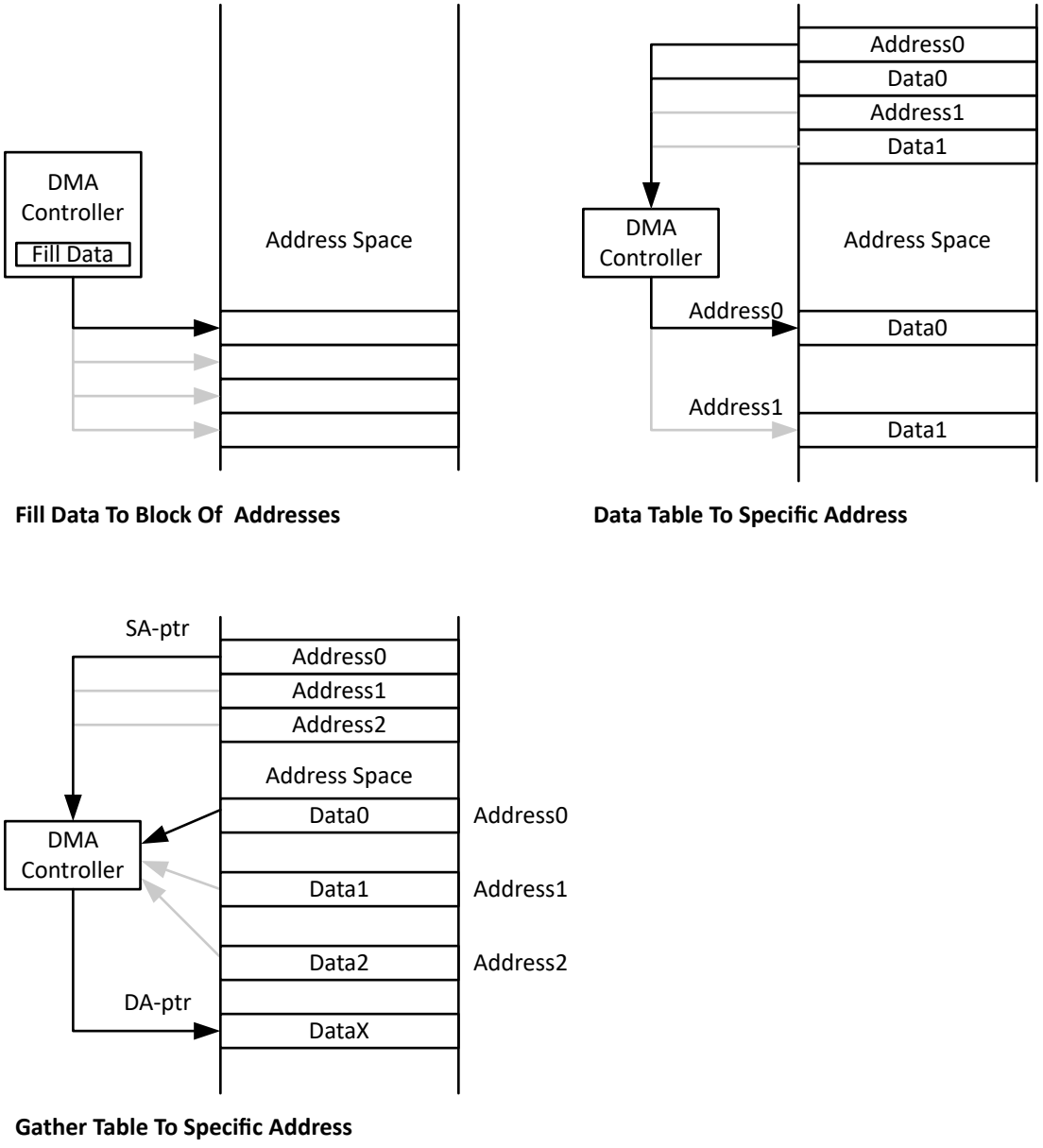


図 7-3. DMA 拡張モードの図

7.2.4.1 フィル モード

フィルモード (DMAEM = 2) では、DMA コントローラは事前定義されたフィル パターンを取得し、そのパターンをユーザー定義のメモリ セグメントに書き込みます。DMATM ビットは無視され、使用される自動転送モードは「ブロック転送」です。

DMASAx レジスタは、フィル パターン データとして使用されます。DMASRCINCR ビット フィールドは、フィル パターン データが一定であるか、書き込みサイクルごとにインクリメントまたはデクリメントされるかを示すために使用されます。この機能により、メモリ ブロックに連続パターンを書き込むことができます (例:0, 1, 2, 3, …)。DMASRCWDTH ビット フィー

Copyright © 2026 Texas Instruments Incorporated

ルドは、フィルモード データのインクリメントの大きさを示します。フィル モードで DMASRCWDTH を使用する方法については、表 7-4 を参照してください。

表 7-4. フィル モードの DMASRCWDTH

DMASRCWDTH	フィル モードのデータ インクリメント値
0	±1
1	±2
2	±4
3	±8

送信先のレジスタおよびビット フィールド DMADAx、DMADSTINCR、DMADSTWDTH は、すべて想定どおりに動作し、FILL パターンが書き込まれるメモリの場所と方法に影響します。

7.2.4.2 テーブル モード

テーブル モード (DMAEM = 11b) では、DMA コントローラは転送元からの 2 回の読み出しと、指定された転送先への 1 回の書き込みを実行します。この機能を活用すると、アドレスとデータをテーブルとして扱い、CPU を介さずに DMA を使用して関連アドレスに効率的にプログラムできます。テーブル モードを使用すると、アドレスとデータのテーブルを順に解析し、ペリフェラル メモリにマップされたレジスタを 1 回のブロック転送で設定することができます。

DMASRCWDTH ビット フィールドは 3 (64 ビット モード) に設定し、DMADSTWDTH ビット フィールドは 2 (32 ビット モード) に設定する必要があります。転送元アドレスをデクリメントする場合は DMASRCINCR ビット フィールドを 10b に設定し、転送後に転送元アドレスをインクリメントする場合は 11b に設定します。DMASZ には、テーブル内のエントリ数を設定します。ブロック転送モードの場合、DMATM は 01 に設定されます。DMADAx および DMADSTINCR は、テーブル モードでは無視され、「ドントケア」値として扱うことができます。

DMASAx レジスタは、テーブルの開始アドレスでプログラムする必要があります。このアドレスは 64 ビットデータに整列する必要があります (つまり、DMASAx[2:0] = "000")。テーブルに格納されるアドレスは、64 ビット データの下位ワードにする必要があり (ADDR[2:0] = "000")、データは 64 ビット データの上位ワードにする必要があります (ADDR[2:0] = "100")。表 7-5 に、DMA テーブル モードに対応するメモリ内のテーブルの例を示します。

表 7-5. DMA テーブル モードに対応する増分テーブルの例

テーブル アドレス	テーブル データ
0x0000	アドレス 0
0x0004	データ 0
0x0008	アドレス 1
0x000C	データ 1

7.2.5 DMA 転送の開始

各 DMA チャネルは、DMATSEL を使用してトリガ ソースに個別に構成されます。DMATSEL ビットは、DMACTLx.DMAEN が 0 の場合にのみ変更する必要があります。そうしないと、予期しない DMA トリガが発生するおそれがあります。

使用可能なトリガのリストとそれぞれの DMATSEL 値については、該当するデバイスのデータシートを参照してください。

トリガを選択する際、トリガがすでに発生していないことを確認する必要があります。すでに発生している場合、転送は実行されません。

DMA チャネルは、他のチャネルの処理完了をトリガとして内部的に起動でき、カスケード動作をサポートします。DMA チャネルの DMASZ カウンタがゼロに達すると、処理が完了します。これは、割り込みやイベントの設定なしにデータの取得、転送、またはエラー チェックを実行できるアプリケーションにおいて有用です。

Copyright © 2026 Texas Instruments Incorporated

DMATINT ビットを設定し、DMATSEL トリガ ソースに基づいて次の DMA チャネルを内部でトリガします。DMATSEL トリガが発生すると、次の DMA チャネルが自動的に実行を開始します。

たとえば、UART データが DMA チャネル 0 によって受信されて、SRAM に転送され、DMATSEL が UART RX に設定されている場合、UART の受信完了時に DMA チャネル 1 を内部的にトリガすることができます。DMA チャネル 1 が SRAM から CRC へデータを送信するように設定されている場合、UART データの受信完了時に DMA 転送がトリガされます。この場合、DMA チャネルはチャネル 0 からチャネル 1 へカスケード接続されています。

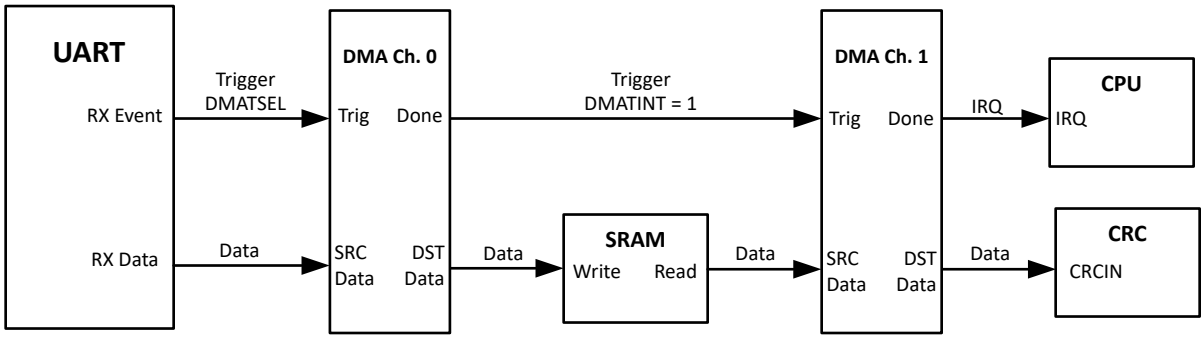


図 7-4. DMA カスケード チャネル

7.2.6 DMA 転送の停止

進行中の DMA ブロック転送は、DMAEN ビットをクリアすることで停止できます。進行中の転送サイクルが完了すると、DMA は停止し、すべてのチャネル レジスタは現在の状態を維持します。ブロック転送は、DMAEN ビットを再度セットしてトリガを再送信した後、元の構成と同じように続行できます。転送を再開するには、トリガが必要であることに注意してください。

注

進行中のシングル転送は中断できません。

7.2.7 チャネルの優先度

デフォルトの DMA チャネルの優先度は、DMA0 ～ DMA15 です。二つまたは三つのトリガが同時に発生するか保留中の場合、最も優先度の高いチャネルが最初に転送 (シングル転送またはブロック転送) を完了し、次に二番目、続いて三番目の優先度のチャネルが転送を完了します。より高優先度のチャネルがトリガされても、進行中の転送は停止されません。より高優先度のチャネルは、進行中の転送が完了するまで待機し、その後に開始します。

DMA チャネルの優先度は、ROUNDROBIN ビットで設定できます。ROUNDROBIN ビットが設定されている場合、転送を完了したチャネルは最も低い優先度になります。チャネルの優先順位の順序は常に一定であり、例えば 3 チャネルの場合は DMA0 → DMA1 → DMA2 の順序になります。ROUNDROBIN ビットがクリアされると、チャネルの優先度はデフォルトの優先度に戻ります。

表 7-6. ラウンドロビン DMA 優先度の例

現在の DMA 優先度	転送発生が	新しい DMA 優先度
DMA0 - DMA1 - DMA2	DMA1	DMA2 - DMA0 - DMA1
DMA2 - DMA0 - DMA1	DMA2	DMA0 - DMA1 - DMA2
DMA2 - DMA0 - DMA1	DMA0	DMA1 - DMA2 - DMA0

7.2.8 バースト ブロック モード

DMA モジュールは、一定回数の転送後にアクティブなチャネルを一時停止し、他の待機中のチャネルを処理できるようにするバースト ブロック モードをサポートしています。バースト ブロック サイズは、DMAPRIO.BURSTSZ を設定することで 8、16、32、または無制限に構成できます。バースト ブロック後により高優先度のチャネルが待機している場合、DMA

Copyright © 2026 Texas Instruments Incorporated

は高優先度チャネルを実行し、その完了後に中断されていたチャネルの処理を再開します。他のチャネルに待機トリガがない場合は、優先度ロジックにより制御がロック転送に戻され、次のバースト処理が継続されます。

7.2.9 システム割り込みでの DMA の使用

システム割り込みサービス ルーチンは DMA 転送によって中断されます。割り込みサービス ルーチンまたは他のルーチンを中断なしで実行する必要がある場合は、ルーチンを実行する前に DMA コントローラを無効にする必要があります。

7.2.10 DMA コントローラ割り込み

各 DMA チャネルには、それぞれ専用の RIS フラグがあります。各 RIS フラグは、対応する DMASZx レジスタがゼロまでカウントされたときに、任意のモードでセットされます。対応する MASK ビットおよび RIS ビットがセットされている場合、割り込み要求が生成されます。

すべての RIS フラグは DMA0 を最優先として優先順位付けされ、単一の割り込みベクタを生成するために統合されます。最も優先度の高い有効化済み割り込みは、IIDX レジスタに番号を生成します。この番号は評価することも、プログラム カウンタ (PC) に加算することもでき、適切なソフトウェア ルーチンへ自動的に移行できます。

IIDX レジスタへのアクセス (読み取りまたは書き込み) を行うと、最も優先度の高い保留中の割り込みフラグは自動的にリセットされます。別の割り込みフラグがセットされている場合、最初の割り込み処理後に直ちに次の割り込みが生成されます。たとえば、DMA0 の優先度が最も高いとします。割り込みサービス ルーチンが IIDX レジスタにアクセスしたときに DMA0-RIS および DMA2-RIS フラグがセットされている場合、DMA0-RIS は自動的にリセットされます。割り込みサービス ルーチンが実行された後、DMA2-RIS は新たな割り込みを生成します。

7.2.11 DMA トリガ イベント ステータス

DMA コントローラは、専用 DMA イベントをサポートしています。DMA イベント トリガ プロトコルの詳細については、セクション 8.2.2 を参照してください。これは、DMA が、割り当てられた DMA チャネルのステータスをイベント トリガ ペリフェラルに通知できるという仕組みです。これにより、トリガを行うペリフェラルは、DMA が割り込みイベントを発行するのではなく、繰り返し転送が完了した後に割り込みを発行できます。この利点は、DMA 割り込みサービス ルーチンがチャネルに割り当てられた機能を追跡する必要がないことです。その結果、DMA トリガ ペリフェラル割り込みサービス ルーチンは、DMA 転送の完了を処理します。

このステータスは DMASZx レジスタの値を反映します。最後の DMA 転送によってサイズが 0 になると、DMA はステータス 1 を返し、転送の終了を示します。それ以外の場合、ステータスは 0 になります。

また、DMA モジュールは CPU に対して早期割り込み要求を生成でき、設定可能な転送回数 (1、2、4、8、32、64、DMASZ の半分) 以内に転送が完了することを通知できます。

早期 IRQ イベントは、DMAPREIRQ を目的の転送回数に設定することで有効になります。DMA が設定された転送回数に到達すると、対応する DMA チャネルの PREIRQ 割り込みがセットされます。

DMA 割り込みの早期生成は、以下の場合に有用です:

- DMA 転送完了前に DMA が先行して IRQ を生成できるようにすることで、タイミング クリティカルなアプリケーションにおける割り込みレイテンシーを低減できます
- CPU が実行する他のタスクをスケジューリングする際の「進捗通知」として利用できます
- ニューラル ネットワーク層の重みを転送し、その後、IP に対するソフトウェア設定書き込みを完了するよう CPU に通知します
- ピンポン バッファを実装します (DMAPREIRQ を半分に設定)

注

この機能は、繰り返し転送が可能なチャネルでのみ使用できます。

Copyright © 2026 Texas Instruments Incorporated

7.2.12 DMA 動作モードのサポート

DMA は、通常実行モードだけでなく、スリープ、ストップ、およびスタンバイの低消費電力モードでもトリガ転送をサポートしています。詳細については、次のセクションを参照してください。

7.2.12.1 RUN モードでの転送

RUN モードでは、システムは完全な動作状態です。CPU、他のすべてのペリフェラル、リソースが利用可能なため、RUN モードでの DMA 機能に制限はありません。

7.2.12.2 スリープ モードでの転送

スリープ モードでは CPU のみが停止します。その他すべてのペリフェラルおよびリソースは通常実行モード時と同様に利用可能であるため、スリープ モードにおける DMA 機能には制限がありません。通常実行モードで DMA 転送をトリガできるすべてのペリフェラルは、スリープ モードでも DMA 転送をトリガできます。

7.2.13 DMA アドレスおよびデータ エラー

DMA 自体は、アドレス エラーやデータ エラーをフラグとして検出する機能を備えています。送信元または宛先アドレスのエラーは、存在しないメモリ領域へのアクセスによって発生します。アドレス エラーが発生した場合、割り込みインデックス IIDX[j].STAT は DMA アドレス エラー (11h) を示します。アドレス エラー割り込みは、ADDERR ビットを使用してマスク、セット、およびクリアできます。

注

DMA 自体は範囲チェックを実行しません。DMA 転送が保護されたメモリ領域をまたいで実行された場合、保護された、または存在しないメモリ領域と重複する DMA トランザクションの各バイトについて、宛先データはゼロ (0h) を返します。

SRAM またはフラッシュで ECC エラーが発生した場合、データ エラーが発生することがあります。保護されたアドレス エラーまたはデータ エラーが発生した場合、EAM レジスタは ECC エラーを反映します。

7.2.14 割り込みとイベントのサポート

DMA モジュールには、1 つのイベント パブリッシャと 2 つのイベント サブスクライバが含まれています。

- 1 つのイベント パブリッシャ (CPU_INT) が、静的イベント ルートによって CPU サブシステムへの DMA 割り込み要求 (IRQ) を管理します。
- 2 番目と 3 番目のイベント (GEN_EVENT) は、汎用ルートを介して汎用イベント パブリッシャとサブスクライバを設定するために使用されます。

表 7-7 に、DMA イベントのまとめを示します。

表 7-7. DMA イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	DMA	CPU サブシステム	静的ルート	CPU_INT レジスタ	TIMx から CPU への固定割り込みルート
汎用パブリッシャ イベント	パブリッシャ	DMA	その他のペリフェラル	汎用ルート	GEN_EVENT および FPUB_1 レジスタ	DMA から他のペリフェラルへの設定可能な割り込みルート
汎用サブスクライバ イベント	サブスクライバ	その他のペリフェラル	DMA	汎用ルート	FSUB_0	他のペリフェラルから DMA への設定可能な割り込みルート

Copyright © 2026 Texas Instruments Incorporated

表 7-7. DMA イベント (続き)

イベント	タイプ	ソース	接続先	配線	構成	機能
汎用サブスクライバ イベント	サブスクライバ	その他のペリフェラル	DMA	汎用ルート	FSUB_1	他のペリフェラルから DMA への設定可能な割り込みルート

Copyright © 2026 Texas Instruments Incorporated

7.3 DMA レジスタ

表 7-8 に、DMA レジスタのメモリマップト レジスタを示します。表 7-8 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-8. DMA レジスタ

オフセット	略称	レジスタ名	グループ	セクション
400h	FSUB_0	サブスクライバ ポート 0		表示
404h	FSUB_1	サブスクライバ ポート 1		表示
444h	FPUB_1	パブリッシャ ポート 0		表示
1018h	PDBGCTL	ペリフェラル デバッグ制御		表示
1020h	IIDX	割り込みインデックス	CPU_INT	表示
1028h	IMASK	割り込みマスク	CPU_INT	表示
1030h	RIS	未加工割り込みステータス	CPU_INT	表示
1038h	MIS	マスクされた割り込みステータス	CPU_INT	表示
1040h	ISET	割り込み設定	CPU_INT	表示
1048h	ICLR	割り込みクリア	CPU_INT	表示
1050h	IIDX	割り込みインデックス	GEN_EVENT	表示
1058h	IMASK	割り込みマスク	GEN_EVENT	表示
1060h	RIS	未加工割り込みステータス	GEN_EVENT	表示
1068h	MIS	マスクされた割り込みステータス	GEN_EVENT	表示
1070h	ISET	割り込み設定	GEN_EVENT	表示
1078h	ICLR	割り込みクリア	GEN_EVENT	表示
10E0h	EVT_MODE	イベント モード		表示
10FCh	説明	モジュールの説明		表示
1100h	DMAPRIO	DMA チャネルの優先度制御		表示
1110h + 式	DMATCTL[j]	DMA トリガの選択		表示
1200h + 式	DMACTL[j]	DMA チャネル制御		表示
1204h + 式	DMASA[j]	DMA チャネル ソース アドレス		表示
1208h + 式	DMADA[j]	DMA チャネル送信先アドレス		表示
120Ch + 式	DMASZ[j]	DMA チャネル サイズ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-9 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-9. DMA のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		

Copyright © 2026 Texas Instruments Incorporated

表 7-9. DMA のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

7.3.1 FSUB_0 (オフセット = 400h) [リセット = 00000000h]

図 7-5 に、FSUB_0 を示し、表 7-10 に、その説明を示します。

概略表に戻ります。

サブスクライバ ポート

図 7-5. FSUB_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								CHANID							
R-0h																								R/W-0h							

表 7-10. FSUB_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	CHANID	R/W	0h	0 = 接続解除。 1-255 = channelID に接続 = CHANID。 0h = 値が 0 の場合、そのイベントは接続されていないことを示します FFh = 実際に許容される最大値は 255 未満の場合があるため、デバイスのデータ シートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 FSUB_1 (オフセット = 404h) [リセット = 00000000h]

図 7-6 に、FSUB_1 を示し、表 7-11 に、その説明を示します。

概略表に戻ります。

サブスクライバ ポート

図 7-6. FSUB_1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								CHANID							
R-0h																								R/W-0h							

表 7-11. FSUB_1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	CHANID	R/W	0h	0 = 接続解除。 1-255 = channelID に接続 = CHANID。 0h = 値が 0 の場合、そのイベントは接続されていないことを示します FFh = 実際に許容される最大値は 255 未満の場合があるため、デバイスのデータ シートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.3.3 FPUB_1 (オフセット = 444h) [リセット = 00000000h]

図 7-7 に、FPUB_1 を示し、表 7-12 に、その説明を示します。

概略表に戻ります。

パブリッシャ ポート

図 7-7. FPUB_1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								CHANID							
R-0h																								R/W-0h							

表 7-12. FPUB_1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	CHANID	R/W	0h	0 = 接続解除。 1-255 = channelID に接続 = CHANID。 0h = 値が 0 の場合、そのイベントは接続されていないことを示します FFh = 実際に許容される最大値は 255 未満の場合があるため、デバイスのデータ シートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

7.3.4 PDBGCTL (オフセット = 1018h) [リセット = 00000000h]

PDBGCTL は、図 7-8 に示されており、表 7-13 で説明されています。

概略表に戻ります。

このレジスタは、ソフトウェア開発者が「Core Halted」入力に対するペリフェラルの動作を制御するために使用できます

図 7-8. PDBGCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						SOFT	FREE
R-0h						R/W-0h	R/W-0h

表 7-13. PDBGCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	SOFT	R/W	1h	ソフト停止境界制御。この機能は、FREE が「停止」 0h = システムを再起動した際に破損が生じる状態になる可能性があっても、ペリフェラルは直ちに停止します。 1h = ペリフェラル ブロックが、破損せずに再開できる境界に達するまで、デバッグは停止します
0	FREE	R/W	1h	フリー ラン制御 0h = コアが停止した入力がアサートされている間、ペリフェラルは機能を停止し、デアサートされると再開します。 1h = ペリフェラルは、コア停止入力の状態を無視します

Copyright © 2026 Texas Instruments Incorporated

7.3.5 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 7-9 に、IIDX を示し、表 7-14 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も高い優先度、IIDX が次に高い、4、8、.。。IIDX^31 が最も低い優先度です。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時には、現在の割り込み (最優先の割り込み) がハードウェアによって自動的にクリアされ、それに対応する RIS [RIS] および MIS [MIS] の割り込みフラグも同時にクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-9. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 7-14. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 7-14. IIDX フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = ビットが設定されていないことは、保留中の割り込み要求がないことを意味します 01h = DMA チャネル 0 のサイズ カウンタがゼロに達しました (DMASZ = 0)。 02h = DMA チャネル 1 サイズ カウンタがゼロに達しました (DMASZ = 0)。 03h = DMA チャネル 2 サイズ カウンタがゼロに達しました (DMASZ = 0)。 04h = DMA チャネル 3 サイズ カウンタがゼロに達しました (DMASZ = 0)。 05h = DMA チャネル 4 サイズ カウンタがゼロに達しました (DMASZ = 0)。 06h = DMA チャネル 5 サイズ カウンタがゼロに達しました (DMASZ = 0)。 07h = DMA チャネル 6 サイズ カウンタがゼロに達しました (DMASZ = 0)。 08h = DMA チャネル 7 サイズ カウンタがゼロに達しました (DMASZ = 0)。 09h = DMA チャネル 8 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Ah = DMA チャネル 9 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Bh = DMA チャネル 10 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Ch = DMA チャネル 11 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Dh = DMA チャネル 12 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Eh = DMA チャネル 13 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Fh = DMA チャネル 14 サイズ カウンタがゼロに達しました (DMASZ = 0)。 10h = DMA チャネル 15 サイズ カウンタがゼロに達しました (DMASZ = 0)。 11h = DMA チャネル 0 の PRE-IRQ イベント。 12h = DMA チャネル 1 の PRE-IRQ イベント。 13h = DMA チャネル 2 の PRE-IRQ イベント。 14h = DMA チャネル 3 の PRE-IRQ イベント。 15h = DMA チャネル 4 の PRE-IRQ イベント。 16h = DMA チャネル 5 の PRE-IRQ イベント。 17h = DMA チャネル 6 の PRE-IRQ イベント。 18h = DMA チャネル 7 の PRE-IRQ イベント。 19h = DMA アドレス エラー、SRC アドレスに到達できません。 1Ah = DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。

Copyright © 2026 Texas Instruments Incorporated

7.3.6 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 7-10 に、IMASK を示し、表 7-15 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX [IIDX] および MIS [MIS] で表示されます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-10. IMASK

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-15. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	R/W	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	R/W	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	R/W	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	R/W	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	R/W	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	R/W	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-15. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	PREIRQCH3	R/W	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
18	PREIRQCH2	R/W	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	R/W	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	R/W	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	R/W	0h	DMA チャネル 15 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
14	DMACH14	R/W	0h	DMA チャネル 14 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
13	DMACH13	R/W	0h	DMA チャネル 13 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
12	DMACH12	R/W	0h	DMA チャネル 12 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
11	DMACH11	R/W	0h	DMA チャネル 11 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
10	DMACH10	R/W	0h	DMA チャネル 10 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
9	DMACH9	R/W	0h	DMA チャネル 9 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
8	DMACH8	R/W	0h	DMA チャネル 8 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
7	DMACH7	R/W	0h	DMA チャネル 7 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-15. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DMACH6	R/W	0h	DMA チャネル 6 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
5	DMACH5	R/W	0h	DMA チャネル 5 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
4	DMACH4	R/W	0h	DMA チャネル 4 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
3	DMACH3	R/W	0h	DMA チャネル 3 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
2	DMACH2	R/W	0h	DMA チャネル 2 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
1	DMACH1	R/W	0h	DMA チャネル 1 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
0	DMACH0	R/W	0h	DMA チャネル 0 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

7.3.7 RIS (オフセット = 1030h) [リセット = 00000000h]

図 7-11 に、RIS を示し、表 7-16 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK [IMASK] ビットがイネーブルでない場合でも、ICLR [ICLR] レジスタ ビットに 1 を書き込むことでクリアできます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-11. RIS

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						R-0h	R-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-16. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	R	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	R	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	R	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	R	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	R	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	R	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-16. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	PREIRQCH3	R	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
18	PREIRQCH2	R	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	R	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	R	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	R	0h	DMA チャネル 15 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
14	DMACH14	R	0h	DMA チャネル 14 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
13	DMACH13	R	0h	DMA チャネル 13 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
12	DMACH12	R	0h	DMA チャネル 12 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
11	DMACH11	R	0h	DMA チャネル 11 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
10	DMACH10	R	0h	DMA チャネル 10 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
9	DMACH9	R	0h	DMA チャネル 9 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
8	DMACH8	R	0h	DMA チャネル 8 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
7	DMACH7	R	0h	DMA チャネル 7 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 7-16. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DMACH6	R	0h	DMA チャネル 6 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
5	DMACH5	R	0h	DMA チャネル 5 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
4	DMACH4	R	0h	DMA チャネル 4 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
3	DMACH3	R	0h	DMA チャネル 3 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
2	DMACH2	R	0h	DMA チャネル 2 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
1	DMACH1	R	0h	DMA チャネル 1 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
0	DMACH0	R	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

7.3.8 MIS (オフセット = 1038h) [リセット = 00000000h]

図 7-12 に、MIS を示し、表 7-17 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK [IMASK] および RIS [RIS] レジスタの AND です。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-12. MIS

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						R-0h	R-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-17. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	R	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	R	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	R	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	R	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	R	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	R	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
19	PREIRQCH3	R	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-17. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18	PREIRQCH2	R	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	R	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	R	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	R	0h	DMA チャネル 15 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
14	DMACH14	R	0h	DMA チャネル 14 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
13	DMACH13	R	0h	DMA チャネル 13 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
12	DMACH12	R	0h	DMA チャネル 12 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
11	DMACH11	R	0h	DMA チャネル 11 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
10	DMACH10	R	0h	DMA チャネル 10 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
9	DMACH9	R	0h	DMA チャネル 9 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
8	DMACH8	R	0h	DMA チャネル 8 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
7	DMACH7	R	0h	DMA チャネル 7 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
6	DMACH6	R	0h	DMA チャネル 6 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 7-17. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DMACH5	R	0h	DMA チャネル 5 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
4	DMACH4	R	0h	DMA チャネル 4 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
3	DMACH3	R	0h	DMA チャネル 3 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
2	DMACH2	R	0h	DMA チャネル 2 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
1	DMACH1	R	0h	DMA チャネル 1 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
0	DMACH0	R	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

7.3.9 ISET (オフセット = 1040h) [リセット = 00000000h]

図 7-13 に、ISET を示し、表 7-18 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS [RIS] ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS [MIS] ビットも設定されます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-13. ISET

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						W-0h	W-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 7-18. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	W	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	W	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	W	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	W	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	W	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	W	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-18. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	PREIRQCH3	W	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
18	PREIRQCH2	W	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	W	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	W	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	W	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
14	DMACH14	W	0h	DMA チャネル 14 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
13	DMACH13	W	0h	DMA チャネル 13 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
12	DMACH12	W	0h	DMA チャネル 12 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
11	DMACH11	W	0h	DMA チャネル 11 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
10	DMACH10	W	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
9	DMACH9	W	0h	DMA チャネル 9 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
8	DMACH8	W	0h	DMA チャネル 8 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
7	DMACH7	W	0h	DMA チャネル 7 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します

Copyright © 2026 Texas Instruments Incorporated

表 7-18. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DMACH6	W	0h	DMA チャネル 6 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
5	DMACH5	W	0h	DMA チャネル 5 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
4	DMACH4	W	0h	DMA チャネル 4 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
3	DMACH3	W	0h	DMA チャネル 3 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
2	DMACH2	W	0h	DMA チャネル 2 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
1	DMACH1	W	0h	DMA チャネル 1 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
0	DMACH0	W	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します

Copyright © 2026 Texas Instruments Incorporated

7.3.10 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 7-14 に、ICLR を示し、表 7-19 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-14. ICLR

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						W-0h	W-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 7-19. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	W	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	W	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	W	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	W	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	W	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	W	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
19	PREIRQCH3	W	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-19. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18	PREIRQCH2	W	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	W	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	W	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	W	0h	DMA チャネル 15 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
14	DMACH14	W	0h	DMA チャネル 14 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
13	DMACH13	W	0h	DMA チャネル 13 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
12	DMACH12	W	0h	DMA チャネル 12 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
11	DMACH11	W	0h	DMA チャネル 11 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
10	DMACH10	W	0h	DMA チャネル 10 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
9	DMACH9	W	0h	DMA チャネル 9 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
8	DMACH8	W	0h	DMA チャネル 8 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
7	DMACH7	W	0h	DMA チャネル 7 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
6	DMACH6	W	0h	DMA チャネル 6 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 7-19. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DMACH5	W	0h	DMA チャネル 5 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
4	DMACH4	W	0h	DMA チャネル 4 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
3	DMACH3	W	0h	DMA チャネル 3 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
2	DMACH2	W	0h	DMA チャネル 2 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
1	DMACH1	W	0h	DMA チャネル 1 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
0	DMACH0	W	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

7.3.11 IIDX (オフセット = 1050h) [リセット = 00000000h]

図 7-15 に、IIDX を示し、表 7-20 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も高い優先度、IIDX が次に高い、4、8、...。。IIDX^31 が最も低い優先度です。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時には、現在の割り込み (最優先の割り込み) がハードウェアによって自動的にクリアされ、それに対応する RIS [RIS] および MIS [MIS] の割り込みフラグも同時にクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-15. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 7-20. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 7-20. IIDX フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = ビットが設定されていないことは、保留中の割り込み要求がないことを意味します 01h = DMA チャネル 0 のサイズ カウンタがゼロに達しました (DMASZ = 0)。 02h = DMA チャネル 1 サイズ カウンタがゼロに達しました (DMASZ = 0)。 03h = DMA チャネル 2 サイズ カウンタがゼロに達しました (DMASZ = 0)。 04h = DMA チャネル 3 サイズ カウンタがゼロに達しました (DMASZ = 0)。 05h = DMA チャネル 4 サイズ カウンタがゼロに達しました (DMASZ = 0)。 06h = DMA チャネル 5 サイズ カウンタがゼロに達しました (DMASZ = 0)。 07h = DMA チャネル 6 サイズ カウンタがゼロに達しました (DMASZ = 0)。 08h = DMA チャネル 7 サイズ カウンタがゼロに達しました (DMASZ = 0)。 09h = DMA チャネル 8 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Ah = DMA チャネル 9 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Bh = DMA チャネル 10 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Ch = DMA チャネル 11 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Dh = DMA チャネル 12 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Eh = DMA チャネル 13 サイズ カウンタがゼロに達しました (DMASZ = 0)。 0Fh = DMA チャネル 14 サイズ カウンタがゼロに達しました (DMASZ = 0)。 10h = DMA チャネル 15 サイズ カウンタがゼロに達しました (DMASZ = 0)。 11h = DMA チャネル 0 の PRE-IRQ イベント。 12h = DMA チャネル 1 の PRE-IRQ イベント。 13h = DMA チャネル 2 の PRE-IRQ イベント。 14h = DMA チャネル 3 の PRE-IRQ イベント。 15h = DMA チャネル 4 の PRE-IRQ イベント。 16h = DMA チャネル 5 の PRE-IRQ イベント。 17h = DMA チャネル 6 の PRE-IRQ イベント。 18h = DMA チャネル 7 の PRE-IRQ イベント。 19h = DMA アドレス エラー、SRC アドレスに到達できません。 1Ah = DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。

Copyright © 2026 Texas Instruments Incorporated

7.3.12 IMASK (オフセット = 1058h) [リセット = 00000000h]

図 7-16 に、IMASK を示し、表 7-21 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX [IIDX] および MIS [MIS] で表示されます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-16. IMASK

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-21. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	R/W	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	R/W	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	R/W	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	R/W	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	R/W	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	R/W	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-21. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	PREIRQCH3	R/W	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
18	PREIRQCH2	R/W	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	R/W	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	R/W	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	R/W	0h	DMA チャネル 15 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
14	DMACH14	R/W	0h	DMA チャネル 14 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
13	DMACH13	R/W	0h	DMA チャネル 13 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
12	DMACH12	R/W	0h	DMA チャネル 12 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
11	DMACH11	R/W	0h	DMA チャネル 11 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
10	DMACH10	R/W	0h	DMA チャネル 10 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
9	DMACH9	R/W	0h	DMA チャネル 9 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
8	DMACH8	R/W	0h	DMA チャネル 8 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
7	DMACH7	R/W	0h	DMA チャネル 7 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-21. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DMACH6	R/W	0h	DMA チャネル 6 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
5	DMACH5	R/W	0h	DMA チャネル 5 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
4	DMACH4	R/W	0h	DMA チャネル 4 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
3	DMACH3	R/W	0h	DMA チャネル 3 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
2	DMACH2	R/W	0h	DMA チャネル 2 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
1	DMACH1	R/W	0h	DMA チャネル 1 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
0	DMACH0	R/W	0h	DMA チャネル 0 割り込み信号。サイズ カウンタがゼロに達しました (DMASZ = 0)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

7.3.13 RIS (オフセット = 1060h) [リセット = 00000000h]

図 7-17 に、RIS を示し、表 7-22 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK [IMASK] ビットがイネーブルでない場合でも、ICLR [ICLR] レジスタ ビットに 1 を書き込むことでクリアできます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-17. RIS

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						R-0h	R-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-22. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	R	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	R	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	R	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	R	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	R	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	R	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-22. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	PREIRQCH3	R	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
18	PREIRQCH2	R	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	R	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	R	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	R	0h	DMA チャネル 15 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
14	DMACH14	R	0h	DMA チャネル 14 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
13	DMACH13	R	0h	DMA チャネル 13 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
12	DMACH12	R	0h	DMA チャネル 12 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
11	DMACH11	R	0h	DMA チャネル 11 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
10	DMACH10	R	0h	DMA チャネル 10 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
9	DMACH9	R	0h	DMA チャネル 9 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
8	DMACH8	R	0h	DMA チャネル 8 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
7	DMACH7	R	0h	DMA チャネル 7 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 7-22. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DMACH6	R	0h	DMA チャネル 6 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
5	DMACH5	R	0h	DMA チャネル 5 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
4	DMACH4	R	0h	DMA チャネル 4 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
3	DMACH3	R	0h	DMA チャネル 3 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
2	DMACH2	R	0h	DMA チャネル 2 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
1	DMACH1	R	0h	DMA チャネル 1 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました
0	DMACH0	R	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していません 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

7.3.14 MIS (オフセット = 1068h) [リセット = 00000000h]

図 7-18 に、MIS を示し、表 7-23 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK [IMASK] および RIS [RIS] レジスタの AND です。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-18. MIS

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						R-0h	R-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-23. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	R	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	R	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	R	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	R	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	R	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	R	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
19	PREIRQCH3	R	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-23. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18	PREIRQCH2	R	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	R	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	R	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	R	0h	DMA チャネル 15 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
14	DMACH14	R	0h	DMA チャネル 14 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
13	DMACH13	R	0h	DMA チャネル 13 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
12	DMACH12	R	0h	DMA チャネル 12 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
11	DMACH11	R	0h	DMA チャネル 11 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
10	DMACH10	R	0h	DMA チャネル 10 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
9	DMACH9	R	0h	DMA チャネル 9 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
8	DMACH8	R	0h	DMA チャネル 8 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
7	DMACH7	R	0h	DMA チャネル 7 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
6	DMACH6	R	0h	DMA チャネル 6 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 7-23. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DMACH5	R	0h	DMA チャネル 5 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
4	DMACH4	R	0h	DMA チャネル 4 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
3	DMACH3	R	0h	DMA チャネル 3 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
2	DMACH2	R	0h	DMA チャネル 2 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
1	DMACH1	R	0h	DMA チャネル 1 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました
0	DMACH0	R	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 割り込みは発生していないか、またはマスク アウトされていました 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

7.3.15 ISET (オフセット = 1070h) [リセット = 00000000h]

図 7-19 に、ISET を示し、表 7-24 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS [RIS] ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS [MIS] ビットも設定されます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-19. ISET

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						W-0h	W-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 7-24. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	W	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	W	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	W	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	W	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	W	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	W	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-24. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	PREIRQCH3	W	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
18	PREIRQCH2	W	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	W	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	W	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	W	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
14	DMACH14	W	0h	DMA チャネル 14 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
13	DMACH13	W	0h	DMA チャネル 13 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
12	DMACH12	W	0h	DMA チャネル 12 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
11	DMACH11	W	0h	DMA チャネル 11 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
10	DMACH10	W	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
9	DMACH9	W	0h	DMA チャネル 9 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
8	DMACH8	W	0h	DMA チャネル 8 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
7	DMACH7	W	0h	DMA チャネル 7 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します

Copyright © 2026 Texas Instruments Incorporated

表 7-24. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DMACH6	W	0h	DMA チャネル 6 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
5	DMACH5	W	0h	DMA チャネル 5 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
4	DMACH4	W	0h	DMA チャネル 4 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
3	DMACH3	W	0h	DMA チャネル 3 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
2	DMACH2	W	0h	DMA チャネル 2 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
1	DMACH1	W	0h	DMA チャネル 1 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します
0	DMACH0	W	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します

Copyright © 2026 Texas Instruments Incorporated

7.3.16 ICLR (オフセット = 1078h) [リセット = 00000000h]

図 7-20 に、ICLR を示し、表 7-25 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。
注:DMACH の数はデバイスによって異なります。どのチャンネル番号が実装されているかを確認するには、対象となるデバイスのデータシートを参照してください。

図 7-20. ICLR

31	30	29	28	27	26	25	24
予約済み						DATAERR	ADDRERR
R-0h						W-0h	W-0h
23	22	21	20	19	18	17	16
PREIRQCH7	PREIRQCH6	PREIRQCH5	PREIRQCH4	PREIRQCH3	PREIRQCH2	PREIRQCH1	PREIRQCH0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DMACH15	DMACH14	DMACH13	DMACH12	DMACH11	DMACH10	DMACH9	DMACH8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DMACH7	DMACH6	DMACH5	DMACH4	DMACH3	DMACH2	DMACH1	DMACH0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 7-25. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	DATAERR	W	0h	DMA データ エラー、SRC データが破損している可能性があります (PAR または ECC エラー)。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
24	ADDRERR	W	0h	DMA アドレス エラー、SRC アドレスに到達できません。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
23	PREIRQCH7	W	0h	チャネル 7 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
22	PREIRQCH6	W	0h	チャネル 6 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
21	PREIRQCH5	W	0h	チャネル 5 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
20	PREIRQCH4	W	0h	チャネル 4 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
19	PREIRQCH3	W	0h	チャネル 3 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 7-25. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18	PREIRQCH2	W	0h	チャネル 2 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
17	PREIRQCH1	W	0h	チャネル 1 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
16	PREIRQCH0	W	0h	チャネル 0 の Pre-IRQ。サイズ カウンタが Pre-IRQ スレッショルドに達しました。 0h = 割り込みマスク ビットをクリアします 1h = 割り込みマスク ビットをセットします
15	DMACH15	W	0h	DMA チャネル 15 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
14	DMACH14	W	0h	DMA チャネル 14 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
13	DMACH13	W	0h	DMA チャネル 13 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
12	DMACH12	W	0h	DMA チャネル 12 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
11	DMACH11	W	0h	DMA チャネル 11 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
10	DMACH10	W	0h	DMA チャネル 10 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
9	DMACH9	W	0h	DMA チャネル 9 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
8	DMACH8	W	0h	DMA チャネル 8 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
7	DMACH7	W	0h	DMA チャネル 7 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
6	DMACH6	W	0h	DMA チャネル 6 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 7-25. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DMACH5	W	0h	DMA チャネル 5 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
4	DMACH4	W	0h	DMA チャネル 4 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
3	DMACH3	W	0h	DMA チャネル 3 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
2	DMACH2	W	0h	DMA チャネル 2 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
1	DMACH1	W	0h	DMA チャネル 1 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします
0	DMACH0	W	0h	DMA チャネル 0 の割り込み信号で、サイズ カウンタがゼロに達したことを示します (DMASZ = 0)。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

7.3.17 EVT_MODE (オフセット = 10E0h) [リセット = 00000000h]

EVT_MODE は図 7-21 に示されており、表 7-26 で説明されています。

概略表に戻ります。

イベント モード レジスタ。各ラインをディスエーブルにするか、ソフトウェア モード (ソフトウェアが RIS をクリア) にするか、あるいはハードウェア モード (ハードウェアが RIS をクリア) にするかを選択するために使用されます

図 7-21. EVT_MODE

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				EVT1_CFG		INT0_CFG	
R-0h				R-0h		R-0h	

表 7-26. EVT_MODE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-2	EVT1_CFG	R	2h	汎用イベント GEN_EVENT に対応するイベントのためのイベント ライン モード選択 0h = 割り込みまたはイベント ラインを無効化します。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。
1-0	INT0_CFG	R	1h	割り込みイベント CPU_INT に対応するイベントのイベント ライン モード選択 0h = 割り込みまたはイベント ラインを無効化します。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

7.3.18 DESC (オフセット = 10FCh) [リセット = 00000000h]

図 7-22 に、DESC を示し、表 7-27 に、その説明を示します。

概略表に戻ります。

このレジスタは、ペリフェラルとその正確なバージョンを識別します。

図 7-22. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				予約済み				MAJREV				MINREV			
R-0h				R-0h				R-0h				R-0h			

表 7-27. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	2511h	モジュール識別には、固有のペリフェラル識別番号が含まれています。一意性を確保するため、すべてのプラットフォーム モジュールの割り当ては中央のデータベースに保持されます。 0h = 最小値 FFFFh = 可能な最大値
15-12	FEATUREVER	R	Fh	DMA の機能設定:DMA チャネル数から 1 を引いた値を指定します (例: 0 → 1 チャネル、2 → 3 チャネル、15 → 16 チャネル)。 0h = 最小値 (1 チャネル) Fh = 最大値 (16 チャネル)
11-8	予約済み	R	0h	
7-4	MAJREV	R	0h	IP のメジャー リビジョン 0h = 最小値 Fh = 可能な最大値
3-0	MINREV	R	0h	IP のマイナー リビジョン 0h = 最小値 Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

7.3.19 DMAPRIO (オフセット = 1100h) [リセット = 00000000h]

DMAPRIO は図 7-23 に示されており、表 7-28 で説明されています。

概略表に戻ります。

DMA チャネルの優先度制御

図 7-23. DMAPRIO

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						BURSTSZ	
R-0h						R/W-0h	
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							ROUNDROBIN
R-0h							R/W-0h

表 7-28. DMAPRIO のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	
17-16	BURSTSZ	R/W	0h	優先度が再評価されるまでのブロック転送のバースト サイズを設定します 0h = バースト サイズなしでブロック転送全体を中断なく一回の転送として完了します 1h = バースト サイズを 8 として 9 回の転送後に中断して優先度を再評価します 2h = バースト サイズを 16 として 17 回の転送後に中断して優先度を再評価します 3h = バースト サイズを 32 として 33 回の転送後に中断して優先度を再評価します
15-1	予約済み	R	0h	
0	ROUNDROBIN	R/W	0h	ラウンド ロビン。このビットは、ラウンド ロビン DMA チャネルの優先度をイネーブルします。 0h = ラウンドロビン方式の優先度制御は無効で、DMA チャネルの優先度は固定です:DMA0-DMA1-DMA2-...-DMA16 1h = ラウンドロビン方式の優先度制御が有効で、DMA チャネルの優先度は転送ごとに切り替わります

Copyright © 2026 Texas Instruments Incorporated

7.3.20 DMATCTL[j] (オフセット = 1110h + 式) [リセット = 00000000h]

図 7-24 に DMATCTL[j] を示し、表 7-29 にその説明を示します。

概略表に戻ります。

DMA トリガ制御

オフセット = 1110h + (y * 4h)、この場合 y = 0h ～ Fh

図 7-24. DMATCTL[j]

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
DMATINT	予約済み	DMATSEL					
R/W-0h	R-0h	R/W-0h					

表 7-29. DMATCTL[j] のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	DMATINT	R/W	0h	内部チャネルによる DMA トリガ 0h = DMATSEL は外部トリガ選択を転送トリガとして定義します。 1h = DMATSEL は内部チャネルを転送トリガ選択として定義します。0-> Channel0-done、1-> Channel1-done、...
6	予約済み	R	0h	
5-0	DMATSEL	R/W	0h	DMA トリガの選択 注：特定のトリガ マッピングについては、デバイスのデータシートを参照してください。 00h = ソフトウェア トリガ要求 3Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

7.3.21 DMACTL[j] (オフセット = 1200h + 式) [リセット = 00000000h]

図 7-25 に DMACTL[j] を示し、表 7-30 にその説明を示します。

概略表に戻ります。

DMA チャネル制御

オフセット = 1200h + (y * 10h)、この場合 y = 0h ～ Fh

図 7-25. DMACTL[j]

31	30	29	28	27	26	25	24
予約済み		DMATM		予約済み		DMAEM	
R-0h		R/W-0h		R-0h		R/W-0h	
23	22	21	20	19	18	17	16
DMADSTINCR				DMASRCINCR			
R/W-0h				R/W-0h			
15	14	13	12	11	10	9	8
予約済み	DMADSTWDTH			予約済み	DMASRCWDTH		
R-0h	R/W-0h			R-0h	R/W-0h		
7	6	5	4	3	2	1	0
予約済み	DMAPREIRQ			DMAAUTOEN		DMAEN	DMAREQ
R-0h	R/W-0h			R/W-0h		R/W-0h	R/W-0h

表 7-30. DMACTL[j] のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	
29-28	DMATM	R/W	0h	DMA 転送モード レジスタ 注:リピート シングル (2h) およびリピート ブロック (3h) 転送は、フルチャネル構成でのみ使用できます。各チャネル番号が FULL 機能または BASIC 機能のどちらに対応しているかについては、該当するデバイスのデータシートを参照してください。BASIC チャネル構成では、シングル (0h) とブロック (1h) の転送の値のみを設定できます。 0h = シングル転送。各転送には新しいトリガが必要です。DMASZ がゼロまでカウントダウンするとイベントが生成され、DMAEN がクリアされます。 1h = ブロック転送。各トリガは、DMASZ に定義されたブロック全体を転送します。転送が完了すると、イベントが生成され、DMAEN がクリアされます。 2h = 反復シングル転送。各転送には新しいトリガが必要です。DMASZ がゼロまでカウントダウンすると、イベントが生成されます。最後の転送後に DMASA、DMADA、DAMSZ レジスタが初期値に復元され、DMAEN は有効のままになります。 3h = 反復ブロック転送。各トリガは、DMASZ に定義されたブロック全体を転送します。最後の転送後に DMASA、DMADA、DAMSZ レジスタが初期値に復元され、DMAEN は有効のままになります。
27-26	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 7-30. DMACTL[j] のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
25-24	DMAEM	R/W	0h	DMA 拡張モード 注:拡張転送モードは、フル チャネル構成でのみ使用できます。各チャネル番号が FULL 機能または BASIC 機能のどちらに対応しているかについては、該当するデバイスのデータシートを参照してください。BASIC チャネル構成では、このレジスタは読み取り専用であり、読み取り値は 0x0 です。 0h = 通常モードは、SRC から DST への転送に関連します 1h = 収集モードでは、SA に配置されたアドレス テーブルからデータを読み取り、データを DA へ転送します。 注:この機能は、すべてのデバイスに搭載されているわけではありません。デバイスのデータシートを確認します。 2h = フィル モードでは、SA レジスタの内容をデータとして DA へコピーします 3h = テーブル モードでは、SA からアドレスとデータ値を読み取り、そのアドレスにデータを書き込みます
23-20	DMADSTINCR	R/W	0h	DMA 送信先インクリメント。このビットは、各転送時に送信先アドレス DMADA を自動的にインクリメントするか、デクリメントするかを選択します。DMADA の変更量は、DMADSTWDTH での設定に基づきます。たとえば、WORD 転送でインクリメント値を 1 (+1) に設定した場合、DMADA は 4 ずつ増加します。注:ストライド オプションは、すべてのデバイスに存在しません。デバイスのデータシートを確認します。 0h = アドレスは変更されません (+0) 2h = 1 ずつデクリメントされます (-1 * DMADSTWDTH) 3h = 1 ずつインクリメントされます (+1 * DMADSTWDTH) 8h = ストライド サイズ 2 (+2 * DMADSTWDTH) 9h = ストライド サイズ 3 (+3 * DMADSTWDTH) Ah = ストライド サイズ 4 (+4 * DMADSTWDTH) Bh = ストライド サイズ 5 (+5 * DMADSTWDTH) Ch = ストライド サイズ 6 (+6 * DMADSTWDTH) Dh = ストライド サイズ 7 (+7 * DMADSTWDTH) Eh = ストライド サイズ 8 (+8 * DMADSTWDTH) Fh = ストライド サイズ 9 (+9 * DMADSTWDTH)
19-16	DMASRCINCR	R/W	0h	DMA 送信元インクリメント。このビットは、各転送の送信元アドレス DMASA の自動的なインクリメントまたはデクリメントを選択します。 DMASA の変更量は、DMASRCWDTH での設定に基づきます。たとえば、WORD 転送でインクリメント値を 1 (+1) に設定した場合、DMASA は 4 ずつ増加します。注:ストライド オプションは、すべてのデバイスに存在しません。デバイスのデータシートを確認します。 0h = アドレスは変更されません (+0) 2h = 1 ずつデクリメントされます (-1 * DMASRCWDTH) 3h = 1 ずつインクリメントされます (+1 * DMASRCWDTH) 8h = ストライド サイズ 2 (+2 * DMASRCWDTH) 9h = ストライド サイズ 3 (+3 * DMASRCWDTH) Ah = ストライド サイズ 4 (+4 * DMASRCWDTH) Bh = ストライド サイズ 5 (+5 * DMASRCWDTH) Ch = ストライド サイズ 6 (+6 * DMASRCWDTH) Dh = ストライド サイズ 7 (+7 * DMASRCWDTH) Eh = ストライド サイズ 8 (+8 * DMASRCWDTH) Fh = ストライド サイズ 9 (+9 * DMASRCWDTH)
15	予約済み	R	0h	
14-12	DMADSTWDTH	R/W	0h	DMA 送信先の幅。このビットは、送信先のデータ幅として、バイト、ハーフ ワード、ワード、ロング ワード、またはロング ロング ワードを選択します。 0h = 送信先のデータ幅はバイトです (8 ビット) 1h = 送信先のデータ幅はハーフ ワードです (16 ビット) 2h = 送信先のデータ幅はワードです (32 ビット) 3h = 送信先のデータ幅はロング ワードです (64 ビット) 4h = 送信先のデータ幅はロング ロング ワードです (128 ビット)。注:この機能は、すべてのデバイスに搭載されているわけではありません。デバイスのデータシートを確認します。

Copyright © 2026 Texas Instruments Incorporated

表 7-30. DMACTL[j] のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	予約済み	R	0h	
10-8	DMASRCWDTH	R/W	0h	DMA 送信元幅。このビットは、送信元のデータ幅として、バイト、ハーフ ワード、ワード、ロング ワード、またはロング ロング ワードを選択します。 0h = 送信元のデータ幅はバイト (8 ビット) です 1h = 送信元のデータ幅はハーフ ワード (16 ビット) です 2h = 送信元のデータ幅はワード (32 ビット) です 3h = 送信元のデータ幅はロング ワード (64 ビット) です 4h = 送信元のデータ幅はロング ロング ワード (128 ビット) です。 注:この機能は、すべてのデバイスに搭載されているわけではありません。デバイスのデータシートを確認します。
7	予約済み	R	0h	
6-4	DMAPREIRQ	R/W	0h	早期 IRQ イベントを有効にします。これにより、ソフトウェアは DMA が完了したイベントに対してより迅速に応答したり、チャネルが完了する前に何らかの追加設定を行うことができます。 注:このレジスタは、FULL チャネル構成でのみ使用できます。各チャネル番号が FULL 機能または BASIC 機能のどちらに対応しているかについては、該当するデバイスのデータシートを参照してください。BASIC 構成では、このレジスタは読み取り専用で、読み取り値は常に 0x0 です。 0h = Pre-IRQ イベントは無効化されています。 1h = DMASZ = 1 の場合、Pre-IRQ イベントを発行します 2h = DMASZ = 2 の場合、Pre-IRQ イベントを発行します 3h = DMASZ = 4 の場合、Pre-IRQ イベントを発行します 4h = DMASZ = 8 の場合、Pre-IRQ イベントを発行します 5h = DMASZ = 32 の場合、Pre-IRQ イベントを発行します 6h = DMASZ = 64 の場合、Pre-IRQ イベントを発行します 7h = DMASZ が元の転送サイズの半分に達したとき、Pre-IRQ イベントを発行します
3-2	DMAAUTOEN	R/W	0h	DMASA、DMADA、DMASZ レジスタ書き込み時の自動 DMA チャネル イネーブル。 チャネルが SW トリガ (DMATCTL = 0) として構成されている場合、AUTOEN は DMAEN と DMAREQ を設定します。 チャネルが HW トリガに設定されている場合 (DMACTL! = 0)、AUTOEN は DMAEN のみをセットします。注:この機能は、すべてのデバイスに搭載されているわけではありません。デバイス固有のデータシートを参照してください。 0h = DMA の自動有効化なし 1h = DMASA レジスタへの書き込み時に DMA を自動的に有効化します。 2h = DMADA レジスタへの書き込み時に DMA を自動的に有効化します。 3h = DMASZ レジスタへの書き込み時に DMA を自動的に有効化します。
1	DMAEN	R/W	0h	DMA イネーブル 0h = DMA チャネルはディスエーブル 1h = DMA チャネルはイネーブル
0	DMAREQ	R/W	0h	DMA 要求。ソフトウェア制御の DMA 起動。DMAREQ は自動的にリセットされます。 0h = デフォルト読み取り値 1h = DMA 転送要求 (DMA 開始)

Copyright © 2026 Texas Instruments Incorporated

7.3.22 DMASA[j] (オフセット = 1204h + 式) [リセット = 00000000h]

図 7-26 に DMASA[j] を示し、表 7-31 にその説明を示します。

概略表に戻ります。

DMA チャネル ソース アドレス

オフセット = 1204h + (y * 10h)、この場合 y = 0h ～ Fh

図 7-26. DMASA[j]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
R/W-0h																															

表 7-31. DMASA[j] のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR	R/W	0h	DMA チャネル ソース アドレス 0h = 最小値 FFFFFFFFh = 設定可能な最大値

Copyright © 2026 Texas Instruments Incorporated

7.3.23 DMADA[j] (オフセット = 1208h + 式) [リセット = 00000000h]

図 7-27 に DMADA[j] を示し、表 7-32 にその説明を示します。

概略表に戻ります。

DMA チャネル送信先アドレス

オフセット = 1208h + (y * 10h)、この場合 y = 0h ～ Fh

図 7-27. DMADA[j]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
R/W-0h																															

表 7-32. DMADA[j] のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ADDR	R/W	0h	DMA チャネル宛先アドレス 0h = 最小値 FFFFFFFFh = 設定可能な最大値

Copyright © 2026 Texas Instruments Incorporated

7.3.24 DMASZ[j] (オフセット = 120Ch + 式) [リセット = 00000000h]

図 7-28 に DMASZ[j] を示し、表 7-33 にその説明を示します。

概略表に戻ります。

DMA チャネル サイズ

オフセット = 120Ch + (y * 10h)、この場合 y = 0h ～ Fh

図 7-28. DMASZ[j]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																サイズ															
R-0h																R/W-0h															

表 7-33. DMASZ[j] のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	サイズ	R/W	0h	DMA チャネル サイズ転送数 0h = 最小値 FFFFh = 設定可能な最大値

Copyright © 2026 Texas Instruments Incorporated

Chapter 8
イベント

イベント マネージャは、ペリフェラル間、ペリフェラルから DMA、ペリフェラルから CPU (IRQ) へのイベント接続を提供します。

8.1 イベントの概要 419
8.2 イベント オペレーション 423

Copyright © 2026 Texas Instruments Incorporated

8.1 イベントの概要

イベント マネージャは、1 つのエンティティ (ペリフェラルなど) から別のエンティティ (第 2 のペリフェラル、DMA、CPU など) にデジタル イベントを転送します。イベント マネージャは、イベント パブリッシャ (生成側) とイベント サブスクライバ (受信側) の定義済みセットを使用してイベントを転送します。これらは、固定 (静的) ルートとプログラマブル ルートを組み合わせたイベント ファブリックを介して相互接続されます。

イベント マネージャによって転送されるイベントには、以下が含まれます。

- 割り込み要求 (IRQ) として CPU に転送されるペリフェラル イベント
  - 例:CPU に送られる RTC 割り込み
- DMA トリガとして DMA に転送されるペリフェラル イベント
  - 例:DMA 転送を要求するための、DMA への UART データ受信トリガ
- ハードウェアでの動作を直接トリガするため、別のペリフェラルに転送されるペリフェラル イベント
  - 例:TIMx タイマ ペリフェラルが ADC サブスクライバ ポートに周期的イベントを発行し、ADC がこのイベントを使ってサンプリング開始をトリガする。

イベント マネージャは、イベント転送ロジックを提供するだけでなく、イベントを適切に処理するためにデバイスの電源設定やクロック設定の変更が必要な場合、電源管理およびクロック ユニット (PMCU) とも連携します。たとえば、ペリフェラルが DMA をターゲットとするイベントをアサートしたときに、デバイスがストップまたはスタンバイ動作モードにあり、DMA が無効になっている場合、イベント マネージャは PMCU とハンドシェイクを行います。これにより、低消費電力動作モードを一時的に中断して DMA を有効にし、DMA 転送を処理できるようにします。

イベント マネージャの構成はデバイスによって異なります。これは、デバイスごとにサポートするペリフェラルが異なるためです。デバイス固有のイベント実装については、各デバイスのデータシートを参照してください。

8.1.1 イベント パブリッシャ

イベント パブリッシャは、イベント ファブリック上に伝播されるイベントの発生元です。ペリフェラルには、パブリッシング ポート FPUB_x 経由で CPU 割り込み、DMA トリガ、汎用イベントをイベント ファブリックに発行するためのイベント パブリッシャが含まれます。パブリッシャの動作は、標準化されたイベント管理レジスタによって設定されます。

8.1.2 イベント サブスクライバ

イベント サブスクライバは、プロセッサ、DMA、および特定のペリフェラルに含まれます (セクション 8.1.4 を参照)。イベント サブスクライバは、サブスクライブ ポート FSUB_x を介してイベントをサブスクライブします。イベント サブスクライバにより、モジュールは、イベント パブリッシャによってイベント ファブリックにパブリッシュされたイベントをサブスクライブし、イベントに応じて事前定義された動作を実行できます。

8.1.3 イベント ファブリック ルーティング

イベント ファブリック内には、パブリッシャとサブスクライバの接続に使用されるルートが 3 種類あります。CPU 割り込みイベント、DMA トリガ イベント、汎用イベント。

8.1.3.1 CPU 割り込みイベントルート (CPU_INT)

CPU 割り込みイベント ルートは、1 つのイベント パブリッシャ (ペリフェラル モジュール内) と 1 つのイベント サブスクライバ (CPU サブシステム) との間の固定されたポイント ツー ポイント接続で、CPU 割り込みの伝達に使用されます。

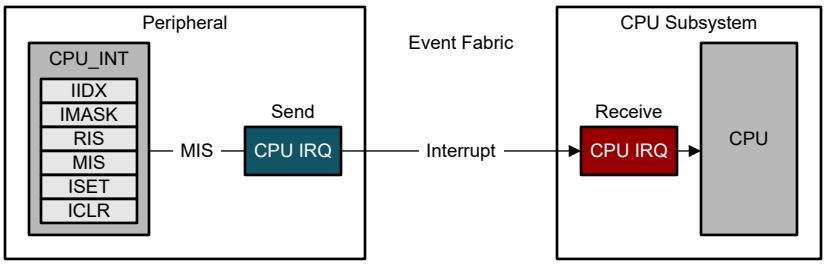


図 8-1. CPU 割り込み (固定イベント ルート)

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

CPU 割り込みを生成できる各ペリフェラルには、ペリフェラルのマスクされた割り込みステータス (MIS) レジスタから CPU サブシステムの割り込み管理ロジックへの固定ルートが用意されています。

ソフトウェアがペリフェラルのイベント管理レジスタ内の割り込み要求をクリアしない場合、その要求は CPU サブシステムに対して保留状態のままとなります。イベント管理レジスタによる割り込みステータスのセットとクリアに関するガイダンスについては、セクション 8.2.5.3 を参照してください。

8.1.3.2 DMA トリガ イベント ルート (DMA_TRIGx)

DMA ルートは、ペリフェラルと DMA コントローラ間の固定経路です。必要に応じて追加のサイドバンド信号を備え、DMA 処理が完了したことを示す DMA 完了条件を、DMA コントローラからトリガ元のペリフェラルへ通知できます。DMA トリガの経路を A 図 8-2 に示します。

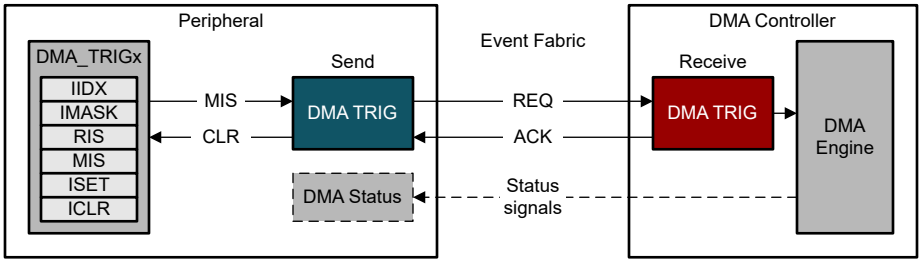


図 8-2. DMA ルート

DMA トリガを生成できるほとんどのペリフェラルには、(CPU 割り込みおよび任意の GEN_EVENTx 汎用ルート パブリッシャに使用される CPU_INT レジスタに加えて) 追加のイベント管理レジスタセットがあります。これらのレジスタを使用して、DMA トリガの生成に使用するペリフェラル条件を選択できます。

DMA がトリガを受信すると、DMA が要求をアクノリッジし、ペリフェラルが要求をクリアします。また、DMA はクリアされた要求をアクノリッジし、その後、ペリフェラルによって新しい要求をアサートできます。

DMA ルートには、DMA 転送シーケンスが完了したことをトリガするペリフェラルに示すステータス信号 (特定のペリフェラル用) を含めることもできます。たとえば、UART TX DMA トリガに基づき、SRAM バッファから UART TX データレジスタに *N* 個のバイトを転送するように DMA を設定できます。UART からの各トリガごとに、DMA は転送が成功したことをアクノリッジします。*N* 番目のバイトで、DMA は完全なステータス信号を UART に送信し、UART は転送完了割り込みを CPU に伝搬します。

特殊なケース

一部のペリフェラル (例:12 ビット DAC) には、DMA トリガを管理するためのイベント管理レジスタ セットが実装されていません。このような場合、ペリフェラルは DMA と接続するための専用 DMA 設定ロジックを実装しているため、管理レジスタを使用する必要がありません。図 8-3 に、イベント管理レジスタが実装されていない場合のモデルを示します。この場合の DMA チャネルの構成方法に関するガイダンスは、このドキュメントの「ペリフェラル」のセクションを参照してください。

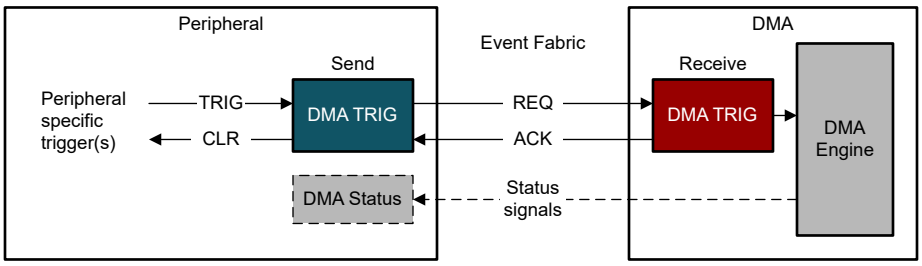


図 8-3. イベント管理レジスタなしの DMA ルート

Copyright © 2026 Texas Instruments Incorporated

8.1.3.3 汎用イベント ルート (GEN_EVENTx)

汎用ルートは 1:1 のルートか 1:2 のスプリッタ ルートのいずれかで、イベントをパブリッシュしているペリフェラルは、利用可能な複数の汎用ルート チャネルの 1 つを使用して、そのイベントを別の 1 つのエンティティ (スプリッタ ルートの場合は複数のエンティティ) にパブリッシュするように構成されています。ここでエンティティとは、別のペリフェラル、汎用 DMA トリガイベント、または汎用 CPU イベントです (図 8-4 を参照)。

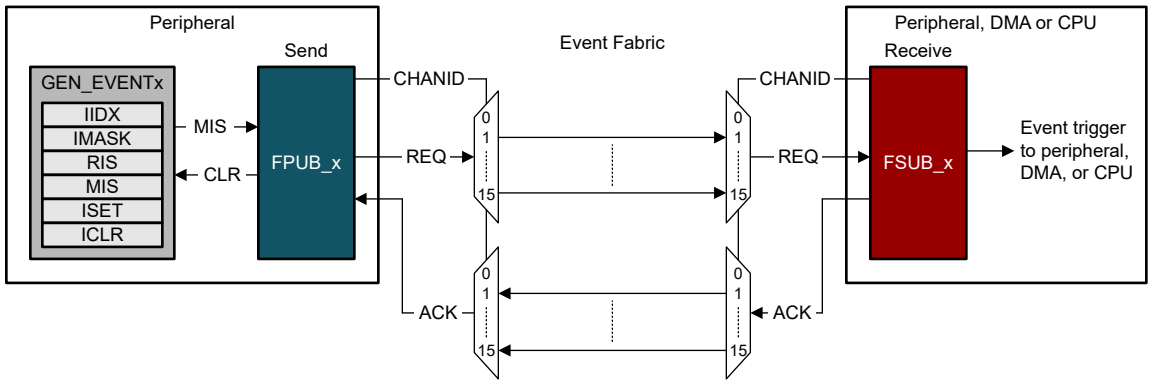


図 8-4. 汎用ルート

汎用イベントを生成できるペリフェラルには、CPU 割り込みで使用される CPU_INT レジスタまたは DMA 用 DMA_TRIGx に加えて、GEN_EVENTx イベント管理レジスタの追加グループがあります。これらのレジスタは、汎用イベントのパブリッシュに使用するペリフェラル条件を選択するために使用できます。設定すると、イベントは FPUB_x レジスタで選択された汎用ルート チャネルにブロードキャストされます。別のペリフェラル、DMA、または CPU は、パブリッシャ ペリフェラルが接続されているのと同じ汎用ルート チャネルでリッスンするように汎用サブスクライバ ポート (FSUB_x) を設定することで、このイベントをサブスクライブできます。

汎用ルート チャネルは、選択されているチャネルに応じて、1 つのサブスクライバ (1:1) または 2 つのサブスクライバ (1:2 スプリッタ ルート) に設定できます。使用可能な汎用ルート チャネルとそれらのタイプ (1:1 または 1:2) の詳細なリストについては、デバイスのデータシートを参照してください。汎用ルート チャネルは、一度に 1 つのパブリッシング ペリフェラルでのみ設定できます。ペリフェラルが 1:1 の汎用ルート チャネルをサブスクライブすると、最初に接続されたペリフェラルが先に切断されない限り、他のペリフェラルはそのチャネルをサブスクライブすることを選択できません。スプリッタ機能付きの汎用ルート チャネル (1:2) では、2 つのペリフェラルだけがチャネルをサブスクライブできます。その後、接続されている 2 つのペリフェラルの両方がスプリッタ チャネルから切断されるまで、サブスクライバを追加しようとする試みはハードウェアによってブロックされます。

ペリフェラル タイプによって、パブリッシュするイベントを生成できる機能や、ペリフェラル内でサブスクライブされたイベントによってトリガできる機能が異なります。このガイドで対象のペリフェラルに対応する章を参照して、特定のペリフェラルのパブリッシャ ポートとサブスクライバ ポートで可能な機能を確認してください。

8.1.4 イベント ルーティング マップ

図 8-5 に、各ペリフェラルタイプのイベント機能を示します。UART、SPI、I2C などのペリフェラルは、CPU にルーティングされる CPU 割り込みイベントと、DMA にルーティングされる DMA トリガ イベントを生成します。GPIO や ADC などのペリフェラルも、CPU 割り込みイベントを生成しますが、汎用チャネルを介したイベントの生成と受信もサポートしています。たとえば、GPIO FPUB_x と ADC FSUB_0 を同じ汎用イベント チャネルに接続すると、GPIO イベントから ADC 変換を直接開始できます。

Copyright © 2026 Texas Instruments Incorporated

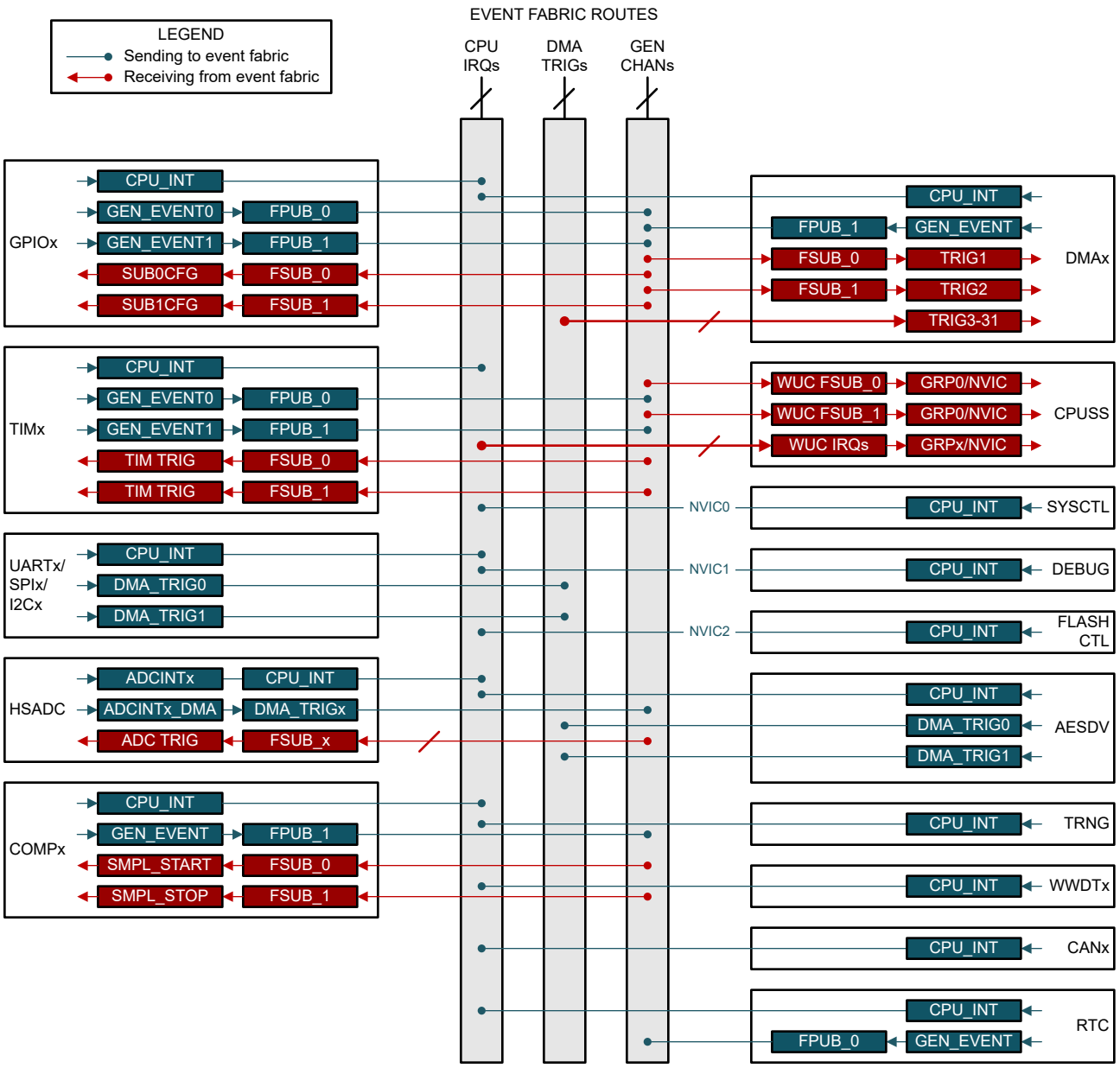


図 8-5. イベント マップ

8.1.5 イベント伝播遅延

汎用ルート チャネルは、パブリッシング側とサブスクライビング側の間で 4 方向のハードウェア ハンドシェイクを実装しています。このハンドシェイクが完了するには、4 つの ULPCLK サイクルが必要です。

1. パブリッシャからサブスクライバへの要求
2. サブスクライバからパブリッシャへのアクノリッジ
3. パブリッシャからサブスクライバへの要求のデアサート
4. サブスクライバからパブリッシャへのデアサートのアクノリッジ

パブリッシング側ペリフェラルが 2 つの要求を送信した場合、最初の要求のハンドシェイクがクリアされていなければ、2 番目の要求は破棄されます。

Copyright © 2026 Texas Instruments Incorporated

8.2 イベント オペレーション

このセクションでは、イベント マネージャを使用するためのペリフェラルの設定方法について説明します。イベント マネージャには、構成レジスタは含まれていないことに注意してください。すべてのイベント設定は、パブリッシュ側およびサブスクライブ側のペリフェラルを介して行います。

8.2.1 CPU 割り込み

ペリフェラル割り込み要求 (IRQ) は、イベント マネージャを介して CPU サブシステムに伝搬されます。ペリフェラル割り込み要求は固定ルートを使用しますが、さらに CPU サブシステムには 2 つの汎用イベント サブスクライバ ポートがあり、これらは汎用ルートで CPU 割り込みをトリガするために使用できます。特定のデバイスの割り込みの割り当てについては、各デバイスのデータシートを参照してください。

標準 CPU 割り込み要求

固定ルートの割り込みには、特別な設定を行う必要ありません。割り込みは、ペリフェラルの CPU_INT イベント管理レジスタ (IIDX、IMASK、RIS、MIS、ISET、と ICLR) と、CPU サブシステムの割り込み構成によって管理されます(「割り込みと例外」を参照)。

汎用イベント ベース CPU 割り込み要求

CPU サブシステムには 2 つの汎用イベント サブスクライバ ポート (FSUB_x) が用意されています。これらは、デバイスの任意の汎用イベント チャネルから CPU 割り込みを供給するために使用できます。これにより、ペリフェラル上の特定の機能が CPU サブシステムに対して専用の割り込みを生成できるようになり、ペリフェラルの標準割り込みメカニズムに加えて、それとは独立した割り込みメカニズムを実現できます。

標準割り込み要求を生成する GPIO ペリフェラルと、GPIO で定義された状態に応じて GPIO イベントをいずれかの汎用イベントチャネルにルーティングする 2 つのパブリッシャについて考えてみましょう。たとえば、ほとんどの GPIO イベントを標準割り込みを供給するように構成し、1 つの特定の GPIO イベントから汎用ルート経由で 2 番目の専用 CPU 割り込みが発生するようにします。これにより、アプリケーション ソフトウェアは GPIO 用の完全に独立した 2 つの割り込みハンドラを持つことができます。

汎用ルートから CPU 割り込みをトリガするようにイベント マネージャを構成するには、以下の手順に従います。

1. イベントを生成するペリフェラルの GEN_EVENT レジスタを構成し、目的のペリフェラル状態をイベント ジェネレータとして選択します。
2. イベントを生成するペリフェラルの FPUB_x レジスタに、使用する汎用ルート チャネル ID を設定します。このチャネルは、他のペリフェラルで使用してはなりません。
3. ウェークアップ コントローラ (WUC) の FSUB_x レジスタを設定します。このレジスタは、CPU サブシステムに転送する汎用ルート チャネル イベントをキャプチャします。
4. GENSUBx 割り込みを有効化するように、CPU サブシステムの割り込み管理を設定します。

汎用ルート経由で CPU 割り込みを発生させる場合は、4 ウェイ イベント ハンドシェイクの途中で汎用イベント ロジックが保留中の割り込み要求を自動的にクリアする点に注意してください。アプリケーション ソフトウェアで、ペリフェラル レジスタから割り込み原因を読み取ることができなくなり、割り込みステータス ビットをクリアする必要もありません。ソフトウェアが読み取ることができるのは、FSUB_x 汎用イベントによって割り込みが発生したことだけです。これにより、割り込みオーバーヘッドが低減されます。

8.2.2 DMA トリガ

DMA トリガは、イベント マネージャを介して DMA に伝搬されます。ほとんどの DMA トリガは固定ルートを使用しますが、DMA には 2 つの汎用イベント サブスクライバ ポートがあり、これらは汎用ルート チャネルを介した DMA 転送をトリガするために使用できます。特定のデバイスの DMA トリガの割り当てについては、各デバイスのデータシートを参照してください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

標準 DMA トリガ

デバイス上の特定のペリフェラルから DMA に直接固定 DMA トリガ (DMA_TRIGx) が提供されるかどうかを判定するには、該当するデバイスのデータシートの詳細説明セクションで DMA トリガの表を参照してください。特定のペリフェラルは、複数の DMA トリガを持つことができます (たとえば、シリアル通信ペリフェラルで TX トリガと RX トリガを有効にする場合)。

静的 DMA ルートをトリガする特定のペリフェラル イベントを選択するには、ペリフェラルの DMA_TRIGx イベント管理レジスタ セット (IIDX、IMASK、RIS、MIS、ISET、および ICLR) を設定します。これらは、対象となる DMA ルートに対応しています。DMA_TRIGx レジスタ セットと DMA トリガの対応については、このガイドの関連する章で対応するペリフェラルを確認するか、セクション 8.1.4 を参照してください。

特定のペリフェラル (12 ビット DAC など) では、DMA トリガを管理するために DMA_TRIGx レジスタ セットを実装していません。このような場合、DMA トリガ構成は、ペリフェラル固有の構成レジスタによって行われます。

汎用イベント ベースの DMA トリガ

DMA には 2 つの汎用イベント サブスクライバ ポート (FSUB_x) が用意されています。これらは、デバイスの任意の汎用イベント チャネルから DMA トリガを供給するために使用できます。これにより、ペリフェラルの特定の機能が DMA トリガを生成する特殊なケースに対応できます。たとえば、タイマから DMA 転送をトリガしたい場合があります。

汎用ルートから DMA チャネルをトリガするようにイベント マネージャを構成するには、以下の手順に従います。

1. イベントを生成するペリフェラルの GEN_EVENTx レジスタを構成し、目的のペリフェラル状態をイベント ジェネレータとして選択します。
2. イベントを生成するペリフェラルの FPUB_x レジスタに、使用する汎用イベント チャネル ID を設定します。このチャネルは、他のペリフェラルで使用してはなりません。
3. DMA の FSUB_x レジスタを構成します。このレジスタは、DMA でトリガとして使用される汎用イベント チャネル イベントをキャプチャします。
4. DMA の章の構成手順に従って DMA を設定します。

8.2.3 ペリフェラルからペリフェラルへのイベント

ペリフェラルからペリフェラルへのイベントにより、1 つのペリフェラルの条件によって、2 番目 (または 3 番目) のペリフェラルのアクションを CPU の介入なしに完全にハードウェア上でトリガできます。このデバイスは一定数の汎用ルート チャネルを提供しており、パブリッシャ ポートおよびサブスクライバ ポートを持つペリフェラルから、これらのチャネルに対してパブリッシュまたはサブスクライブを行うことができます。構成を設定する前に、次の手順を実行します。

1. 該当するデバイスのデータシートを参照して、ターゲット デバイスで使用可能な汎用ルート チャネルの数とタイプを確認します。必要な機能に基づいて適切なチャネル タイプ (ポイント ツー ポイントまたはスプリッタ) を選択し、接続に使用するチャネル番号を決定します (他のペリフェラルによってまだ使用されていないチャネルを選択する必要があります)。
2. 接続するペリフェラルのパブリッシャとサブスクライバの機能を確認します。一部のペリフェラルには、複数のパブリッシャ ポートまたは複数のサブスクライバ ポートがありますが、パブリッシャ ポートまたはサブスクライバ ポートがないペリフェラルもあります。ペリフェラルで使用可能なポートについては、このガイドのペリフェラルのリファレンスの章を参照するか、イベント ルーティング マップで汎用イベント チャネル接続を確認してください。

使用するチャネルが決定され、接続されているペリフェラルのパブリッシャ ポートとサブスクライバ ポートの両方を確認したら、次の手順に従ってイベント接続を確立します。この例では、タイマによってトリガされる ADC アプリケーションを構成します。TIMG0 を使用して汎用チャネル 1 にイベントをパブリッシュし、ADC0 が変換開始トリガとして汎用チャネル 1 をサブスクライブします。

1. 適切なタイマ イベント (ゼロ イベントなど) に基づいてイベント要求を設定するように、TIMG0 の GEN_EVENTx イベント管理レジスタを構成します。
2. GEN_EVENTx レジスタで選択された TIMG0 イベントを汎用ルート チャネル 1 にパブリッシュするため、TIMG0 の FPUB_0 レジスタに 0x1 を格納します。チャネル 1 は別のペリフェラルで使用してはなりません。

Copyright © 2026 Texas Instruments Incorporated

3. ADC0 が、タイマによってチャネル 1 にパブリッシュされたイベントをリッスンするように、ADC0 の FSUB_0 レジスタに 0x1 を格納します。
4. 「サンプリング トリガ ソースおよびサンプリング モード」の設定手順に従って、サブスクライバ ポートからトリガするように ADC0 を構成します。
5. TIMG0 を構成および有効にします。

8.2.4 拡張モジュール ディスクリプション レジスタ

DESC_EX レジスタは、イベント マネージャの読み取り専用レジスタであり、アプリケーション ソフトウェアから読み出すことで、特定のデバイスで利用可能なポイント ツー ポイント (シングル) 汎用ルート チャネルおよびスプリッタ (デュアル) 汎用ルート チャネルの数を判別できます。

8.2.5 イベント レジスタの使用

イベント管理レジスタ グループは、イベント (CPU 割り込み、DMA トリガ、汎用イベント) を生成できるすべてのペリフェラルに実装された一連の標準レジスタです。ペリフェラル内の各イベント ジェネレータには、独自のイベント管理レジスタ セットが含まれています。たとえば、ペリフェラルが CPU 割り込みと DMA トリガの生成をサポートしている場合、CPU 割り込み用のイベント管理レジスタ (CPU_INT のグループ名) と、DMA トリガ用の 2 番目のイベント管理レジスタ (DMA_TRIG のグループ名) が設定されます。

イベント管理レジスタは、以下の目的に使用されます:

- イベントの生成に使用するペリフェラル条件を構成します (マスキング)
- 未処理およびマスクされたペリフェラル イベント ステータスを通信します
- ソフトウェアを使用してペリフェラル イベント ステータスを設定またはクリアします

特定のペリフェラルの「レジスタ」セクションにある「グループ」列には、グループ名が表示され、各イベント管理レジスタ グループにどのような機能がマップされているかが示されます。ペリフェラルの「レジスタ」セクションのグループ名内の特定の機能に、どのイベント管理グループがマップされているかについては、表 8-1 を参照してください。

表 8-1. イベント管理グループの機能とマッピング

グループ名 (レジスタ内)	機能
CPU_INT	CPU 割り込み (CPU サブシステムへの固定ルート)
DMA_TRIGx	DMA トリガ (DMA コントローラへの固定ルート)
GEN_EVENT	汎用イベント (その他のモジュール間接続用のプログラム可能なルート)

8.2.5.1 イベント レジスタ

イベント マネージャのレジスタ セットには、次の 6 つの標準的なレジスタがあります:RIS、IMASK、MIS、ISET、ICLR、IIDX (表 8-2 を参照)。イベント レジスタは相互接続されています (図 8-6 を参照)。

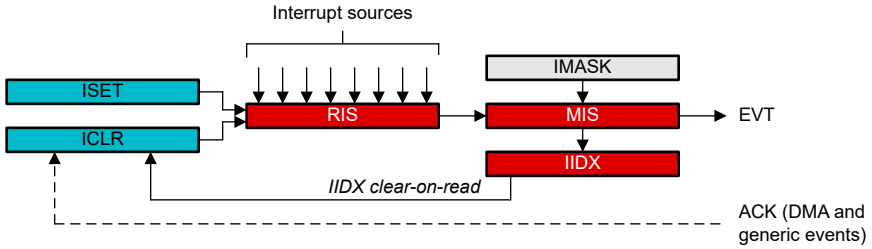


図 8-6. イベント管理の登録関係

イベントを生成するペリフェラルには、未加工の割り込みステータス (RIS) レジスタに接続する 1 つ以上の割り込みソース信号が含まれます。ソフトウェアは、いつでも RIS をポーリングして、未加工割り込みステータスを確認できます。また、ソフトウェアは ICLR レジスタの対応するビット位置に書き込むことで、RIS レジスタの保留中の割り込みをクリアすることもで

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

きます。RIS および IMASK レジスタは、MIS レジスタのビット単位の AND 機能 (マスクされた割り込みステータス) で結合されます。割り込みのマスクを解除するには、IMASK レジスタの対応するビットを設定します。マスクが解除されると、保留中の割り込みが RIS レジスタと MIS レジスタの両方に表示され、イベントが生成されます。IIDX レジスタは、最も優先度の高い保留中の割り込みのインデックスで更新されます。

CPU 割り込みイベントルートによる CPU 割り込み (CPU_INT) の場合、IIDX レジスタの読み出しにより、RIS レジスタと MIS レジスタの優先度が最も高い保留中の割り込みがクリアされ、その割り込みのインデックスがアプリケーションソフトウェアに返されます。

ハードウェアイベント DMA トリガ ルート (DMA_TRIGx) または汎用イベント ルート (GEN_EVENTx) の場合、ハードウェア 4 ウェイ ハンドシェイクは ICLR メカニズムに ACK 信号を送信し、RIS および MIS レジスタの保留中の割り込みをクリアします。

表 8-2. 標準化されたイベント管理レジスタ (CPU_INT、DMA_TRIGx、GEN_EVENTx 構成に使用)

登録	説明	R/W	機能
RIS	未加工割り込みステータス	R	現在の保留中の割り込みステータスを示し、各割り込み条件に対して 1 ビットが割り当てられています。割り込み条件が解消されている状態で ICLR に書き込むと、RIS レジスタの対応するビットがクリアされます。
IMASK	割り込みマスク	RW	アプリケーション ソフトウェアが、どの割り込み条件をイベントとして伝播させるかを設定するために使用します。各割り込み条件に対して 1 ビットが割り当てられています。
MIS	マスクされた割り込みステータス	R	現在保留中のマスクされた割り込みステータスをソフトウェアおよびハードウェアに示します。各割り込み条件に対して 1 ビットが割り当てられています。MIS は、RIS および IMASK レジスタのビット単位の AND です。割り込み条件が解消されている状態で ICLR に書き込むと、RIS レジスタの対応するビットがクリアされます。RIS がクリアされると、MIS レジスタの対応するビットも自動的にクリアされます。
ISET	ソフトウェア割り込みセット制御	W	アプリケーション ソフトウェアが、診断のために割り込み状態を強制的に発生させるために使用します。ISET に書き込むと、RIS レジスタの対応するビットが設定されます。IMASK で割り込み条件がイネーブルになっている場合、MIS レジスタの対応するビットも設定されます。ISET のビット位置に「1」を書き込むと、対応する割り込みステータスが設定されます。
ICLR	ソフトウェア割り込みクリア制御	W	アプリケーション ソフトウェアが、RIS 内の保留中の割り込みステータスをクリアするために使用します。ICLR のビット位置に「1」を書き込むと、対応する割り込みステータスがクリアされます。IMASK で割り込みがイネーブルになっている場合、RIS がクリアされると、MIS 内の対応するビット位置も自動的にクリアされます。割り込み状態がまだ存在する場合、ステータスをクリアしても影響はなく、RIS は設定されたままになります。
IIDX	保留中の割り込みインデックス	R	アプリケーション ソフトウェアが、最も優先度の高い保留中の割り込みを読み取ると同時に、RIS および MIS で優先度の高い割り込みステータスをクリアするために使用します。マスクされていない割り込みが保留中 (MIS = 0) でない場合、IIDX を読み取ると 0 が返されます。それ以外の場合は、保留中の割り込みの優先度が最も高いことを示すインデックス値が返されます。

8.2.5.2 イベントの設定

イベントをトリガするためにどのペリフェラル割り込みソースを使用するかを構成するには、目的のイベントに対応する IMASK レジスタにおいて目的の割り込みソースに対応するビットを設定します。IMASK にビットを設定すると、RIS レジスタの未加工割り込みステータスが MIS レジスタに伝搬されます。IMASK レジスタで割り込みがマスク解除され、かつ RIS レジスタで未処理の割り込みが保留されていることにより、MIS レジスタの割り込みステータス ビットが設定されると、イベントが生成されます。

アプリケーション ソフトウェアはが IIDX または MIS レジスタを読み取って割り込みの原因を判定できるため、CPU 割り込みイベントに対して複数の割り込みソースを有効にできます。

DMA トリガや汎用イベント パブリッシャのようなハードウェア イベントでは、IMASK 内でマスク解除する割り込みソースは一つだけにする必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.2.5.3 アプリケーション ソフトウェアでの CPU 割り込みへの応答

CPU 割り込みを生成するイベントが発生した場合、アプリケーション ソフトウェアは、IIDX レジスタを読み出すか、MIS を読み出して ICLR レジスタに書き込むことで、どのペリフェラル割り込みがそのイベントをトリガしたかを判別できます。

CPU_INT IIDX レジスタを使用した CPU IRQ 割り込みサービス ルーチン

アプリケーション ソフトウェアは、CPU_INT グループの IIDX レジスタを読み出すことで、保留中の割り込みのうち最も優先度の高いものを判別し、クリアできます。IIDX を読み出すと、設定された場合とマスクされていない場合の両方で、優先度の最も高い割り込みに対応するインデックスが返されます。また、読み出しアクションは、読み出しによってインデックスが返された優先度の最も高い割り込みに対応する RIS ビットと MIS ビットも同時にクリアします。その後、以下に示すように、IIDX レジスタから読み出した値を case 文で使用できます。

```
void ISR_IIDX(void)
{
  switch(IIDX)
  {
    case 0:         // no IRQ pending
      break;
    case 1:         // IRQ[0]
      do_irq0();
      break;
    case 2:         // IRQ[1]
      do_irq1();
      break;
    default:        // out of range
      illegal();
  }
}
```

CPU_INT MIS および ICLR レジスタを使用した CPU IRQ 割り込みサービス ルーチン

または、アプリケーション ソフトウェアは MIS レジスタを読み取ってどのビットが設定されているかを判定し、その後に ICLR レジスタを使用して保留中の割り込みステータスビットをクリアすることもできます。

```
void ISR(void)
{
  uint32_t pending = MIS;
  ICLR = pending;           // clear pending IRQ
  if (pending & 0x01)       // IRQ[0]
  {
      do_irq0();
  }
  if (pending & 0x02)       // IRQ[1]
  {
      do_irq1();
  }
}
```

8.2.5.4 ハードウェア イベント処理

DMA トリガ (DMA_TRIG) または汎用イベント (GEN_EVENT) をソースするイベントが発生した場合、IIDX レジスタは使用されません。イベントを生成するペリフェラルと、イベントをサブスクライブしているハードウェア エンティティ (DMA またはセカンダリ ペリフェラルなど) との間で、4 ウェイ イベント ハンドシェイクが実行されます。4 ウェイ イベント ハンドシェイクにより、RIS および MIS レジスタの対応する割り込みステータス ビットが自動的にクリアされます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

Chapter 9

IOMUX

IOMUX は、デジタル入出力 (IO) 機能を備えたすべてのデバイス ピンの構成を制御します。これには、デジタル機能の選択、反転制御、駆動強度 (該当する場合)、プルアップまたはプルダウン抵抗 (該当する場合)、ウェークアップ構成 (SHUTDOWN モードからのウェークアップ用の特定の IO に該当する場合) が含まれます。

9.1 IOMUX の概要 429
9.2 IOMUX 動作 432
9.3 IOMUX レジスタ 436

Copyright © 2026 Texas Instruments Incorporated

9.1 IOMUX の概要

IOMUX は、デジタル IO の構成を管理します。サポートされている機能については、該当するデバイスのデータシートを参照してください。IOMUX によって構成される主な機能は次のとおりです。

- 各デジタル IO ピンに多重化されるペリフェラルの選択 (GPIO または UART など)
- デジタル入力パスの構成
  - ヒステリシス制御
  - 入力パスの有効化または無効化
  - 入力ロジック反転制御
- デジタル出力パス構成
  - 駆動能力制御
  - 出力接続の有効化または無効化
  - 出力ロジックの反転 (入力ロジックの反転と共有される制御)
  - ロジック High からハイ インピーダンスへの出力変換 (オープンドレイン形式インターフェイス用)
  - IO に接続されている周辺機器が無効の場合、「最後の状態」の保持
- ウェークアップ構成 (SHUTDOWN モードからのウェークアップ用、存在する場合)
  - PINCM レジスタのウェークアップ ソース ビットの読み取り
  - ウェークアップ比較レベル
  - SHDNIOREL のリリース
  - ウェークアップの有効化または無効化
- プルアップ抵抗とプルダウン抵抗の制御 (存在する場合)

9.1.1 IO タイプとアナログ共有

IOMUX は、デジタル IO で使用するペリフェラル機能の選択を管理します。また、出力ドライバ、入力パス、SHUTDOWN モードからのウェークアップ ロジックの制御機能も備えています。

デジタル IO タイプ

デバイスに搭載できるデジタル IO には、いくつかの種類があります。デジタル IO タイプによって、サポートされる機能が異なります。表 9-1 に、各 IO タイプに含まれる機能を示します。特定のパッケージ ピンで使用される IO タイプについては、該当するデバイスのデータシートを参照してください。

表 9-1. IO タイプ別のデジタル IO 機能

IO 構造	反転制御	ドライブ強度制御	ヒステリシス制御	プルアップ抵抗	プルダウン抵抗	ウェークアップロジック
低駆動 (SDIO)	Y			Y	Y	
ウェーク付き低駆動 (SDIO)	Y			Y	Y	Y
標準駆動 (SDIO)	Y			Y	Y	
ウェーク付き標準駆動 (SDIO)	Y			Y	Y	Y
高駆動 (HDIO)	Y	Y		Y	Y	Y
高速 (HSIO)	Y	Y		Y	Y	
5V 対応オープンドレイン (ODIO)	Y		Y		Y	Y

IOMUX は、SPI POCI ピンの反転制御と疑似オープンドレイン (出力 High をハイインピーダンスに変換) 設定をサポートしていないことに注意してください。また、IOMUX は、HSIO ピンに接続された SPI SCLK ピンの反転制御をサポートしていません。すべてのデバイスがプルダウン抵抗をサポートしているわけではありません。該当するデバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

アナログ機能と共有するデジタル IO

デバイスの一部のピンはデジタル専用で、このピンにはアナログ機能が接続されません。他のピンには、デジタル IO 機能に加えて、1 つ以上のアナログ機能が接続されます。アナログ機能は IOMUX 内では選択されないため、常に各アナログ ペリフェラル側で設定されます。アナログ ペリフェラルは、IOMUX に関する情報を持たず、相互作用もありません。

一般に、デジタル機能も持つピンでアナログ機能を使用する場合、アナログ機能の適切な動作に干渉しないように、そのピンの IOMUX 構成をデフォルト (ハイインピーダンス) のままにしておく必要があります。ただし、アナログ ペリフェラルもピンと相互作用している場合、アプリケーション ソフトウェアがこれらの機能が競合しないように制御していれば、ピンで IOMUX をアクティブにすることは可能です。たとえば、IO でプルアップ抵抗またはプルダウン抵抗が有効になっているときに、同じ IO で ADC による変換が行われることがあります。ただし、アナログ ペリフェラルが IO を駆動しているときに (たとえば、DAC や OPA 出力)、IO の出力ドライバが有効になるような構成は無効です。この場合、IO 競合が発生します。

アプリケーション ソフトウェアは、共有パッドで有効にできるアナログ ペリフェラル機能と、IOMUX 設定が競合しないように制御する必要があります。

IO スライス

図 9-1 に、フル機能 IO ピンのミクスト シグナル IO ピン スライスの回路図を示します。すべてのピンに対して、アナログ機能、ウェークアップ ロジック、駆動強度制御、プルアップまたはプルダウン抵抗が利用可能であるとは限りません。特定のピンでサポートされている機能の詳細については、デバイスごとのデータシートを参照してください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

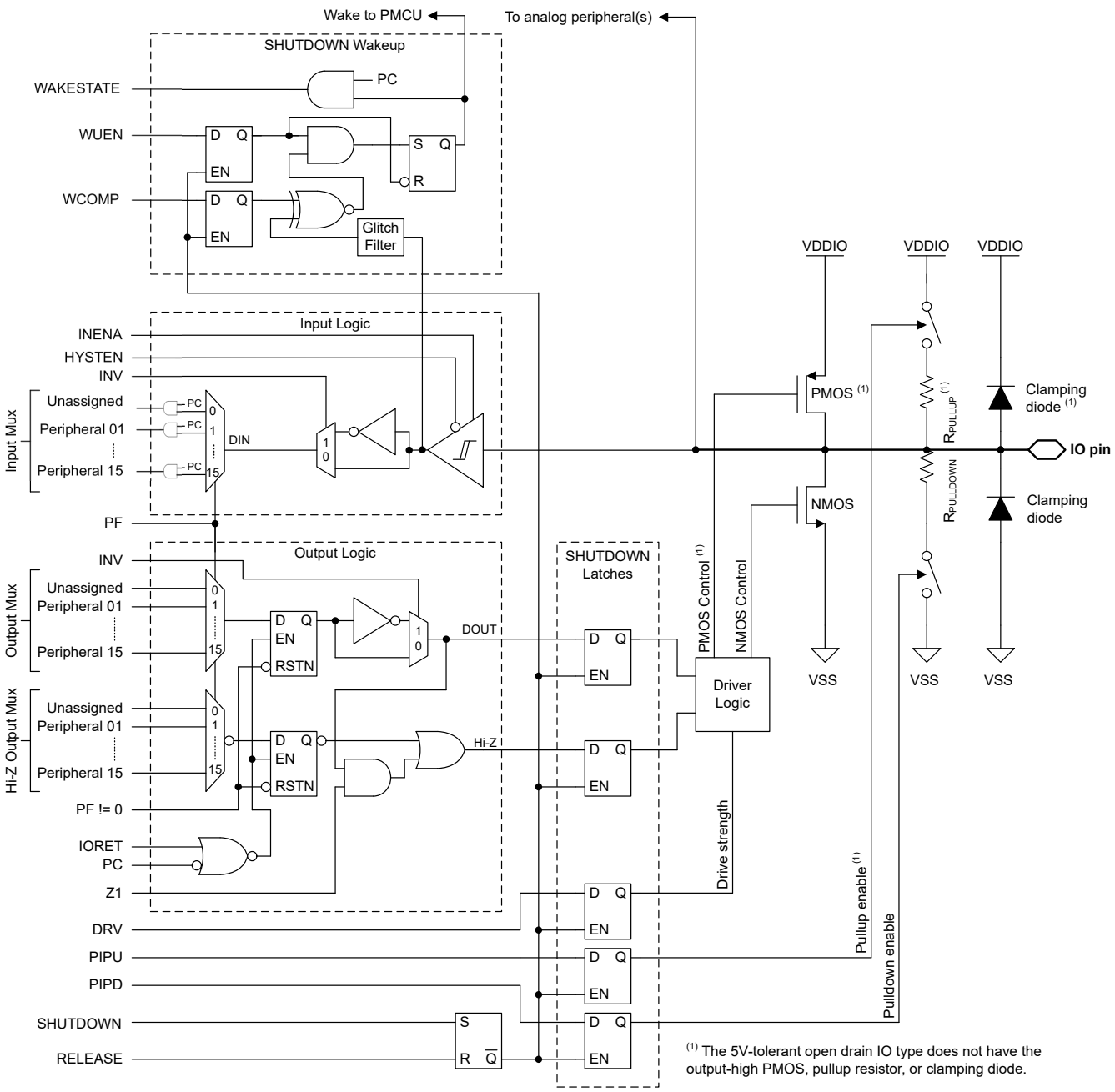


図 9-1. スーパーセット IO スライス

デフォルトの IOMUX 状態

BOOTRST 後のすべてのデジタル IO の IOMUX ピン スライスの初期状態は次のとおりです。

- デジタル IO はハイ インピーダンス状態です
- ペリフェラル機能選択フィールド (PF) がクリアされ (ペリフェラル機能が選択されていない)、ペリフェラル接続 (PC) と入力有効化状態がクリア (無効化) されます。
- 反転ロジックは無効です。
- Hi-Z 出力 High モードは無効です。
- プルアップ / プルダウン抵抗 (存在する場合) は無効化されます。
- 消費電力を抑えるため、入力ヒステリシス制御 (存在する場合) は無効化されます。

Copyright © 2026 Texas Instruments Incorporated

- 駆動能力制御 (存在する場合) がリセットされます。
- ウェークアップ ロジック (存在する場合) は無効です。

注

SWD ピンは、これらのデフォルト状態に対する特別な例外です。SWD デバッグ ピンは、デフォルトで SWD モードに設定されており、起動後に別の設定に切り替えることもできます。「PMCU」章の「SYSCTL」セクションの「SWD ピン」を参照してください。

9.2 IOMUX 動作

デバイス上の各デジタル IO には、IOMUX ペリフェラル レジスタ空間に専用の 32 ビット PINCM レジスタがあり、それぞれの IO のデジタル機能を構成するために使用されます。構成する IO に対応する PINCM レジスタ インデックスを決定するには、該当するデバイスのデータシートを参照してください。

9.2.1 ペリフェラル機能 (PF) の割り当て

BOOTRST の後に IO の初期 IOMUX 構成を設定する際に、アプリケーション ソフトウェアは、目的のピンに対応する PINCMx レジスタの PC ビットと INENA ビットを同時にセットし、適切なペリフェラル選択値を PF フィールドに書き込むことにより、サポートされているオプションから IO に接続するデジタル ペリフェラルを選択できます。IO に接続されているペリフェラルが動作のために初期化される前に、特定のペリフェラルの IOMUX 構成を設定する必要があります。

その IO 用のペリフェラル機能を構成した後、実行時にデジタル IO のペリフェラル機能選択を変更するには、次の手順に従う必要があります。

1. 現在接続されているペリフェラル機能を無効にします
2. 対応する PINCMx レジスタの PC ビット (入出力接続ビット) と INENA (入力接続ビット) をクリアします
3. データパスのロジックをクリアするには、PINCMx の PF フィールドに 0x0 を書き込みます
4. PF レジスタにペリフェラル機能 ID を書き込み、新しいペリフェラル機能を選択します
5. 新しく選択されたペリフェラルを接続するように、PINCMx レジスタの PC ビットと INENA ビットを設定します
6. 新しく選択したペリフェラルの動作を有効にします

実行時に、必要に応じて INENA ビットを使用して IO からペリフェラルへの入力をマスクできます。INENA がクリアされると、接続されているペリフェラル機能は、IO の外部状態に関係なく、IO からのロジック Low (0) を認識します。IO が SHUTDOWN モードからのウェークアップに対応している場合、INENA ビットは SHUTDOWN モードのウェークアップ ロジックに対する IO 状態の伝搬を制御します。

ペリフェラルが IO に割り当てられていて、ペリフェラル自体が無効な状態の場合、最後の有効な出力条件 (出力ロジック レベルと Hi-Z 状態) が IOMUX 出力ロジックでラッチされます。ペリフェラルが有効のとき、IOMUX はラッチされた状態を解放して、(現在有効な) ペリフェラルの出力状態が IO に伝搬できるようにします。IOMUX によって GPIO ペリフェラルを選択する場合、DOUT をセットするには、DOE[x] フィールドも有効にする必要があり、逆に Hi-Z 状態を構成するにはクリアする必要があることに注意してください。PMCU は、ペリフェラルが IORET 信号経由で無効状態に移行しているとき、IOMUX に通知します。この信号は、論理 OR で PC 信号と結合され、出力状態のラッチを制御します。このメカニズムでは、STOP モードまたは STANDBY モードに移行したときに電源ドメイン 1 (PD1) の最後の有効な出力状態が保持されます。これは、PD1 ペリフェラルは、STOP/STANDBY モードへの移行時に常に一時的に無効になり、STOP/STANDBY モードから復帰するときに再度有効になるためです。

ペリフェラル機能を選択していない場合 (PF = 0)、出力ラッチはリセット状態になり、出力 NMOS および PMOS は無効になります (有効にされたプルアップ / プルダウン抵抗を除き、IO ピンは Hi-Z 状態になります)。プルアップ / プルダウン抵抗は、接続されたペリフェラルまたはペリフェラルの多重化ロジックによって制御されることはないことに注意してください。これらは、IOMUX 制御ビットによってのみ制御されます (プルアップ / プルダウンを参照)。

Copyright © 2026 Texas Instruments Incorporated

9.2.2 論理 High からハイ インピーダンスへの変換

IOMUX は、接続されたペリフェラルからの出力 High 信号を IO ピンのハイ インピーダンス出力状態に変換できます。この機能は、オープンドレイン・デジタル入出力アプリケーションに特に便利です。この機能が有効のときの、ペリフェラル出力に応じた IO ピンの状態を表 9-2 に示します。

表 9-2. 論理 High からハイ インピーダンスへの変換の真理値表

接続されたペリフェラル出力	IO ピンの状態 (Z1 = 0x0)	IO ピンの状態 (Z1 = 0x1)
論理 Low (0)	出力 low	出力 low
論理 High (1)	出力 High	ハイ インピーダンス (Hi-Z)

デジタル IO で論理 High からハイ インピーダンスへの変換を有効にするには、対応する PINCMx レジスタの Z1 ビットをセットします。

5V 対応オープンドレイン IO ピンについては、ハイサイド ドライバが存在しないため、Z1 制御は影響を及ぼさないことに注意してください。これらのピンでは、ペリフェラルから IO ピンへの論理 High 出力は、常にハイ インピーダンス状態になります。

9.2.3 ロジック反転

IOMUX は、デジタル入出力パスのロジック反転をサポートしています。ロジック反転は、UART 機能または SPI チップセレクト機能で逆極性が必要なシナリオに有用です。

デジタル IO でのロジック反転を有効にするには、対応する PINCMx レジスタの INV ビットをセットします。ロジック反転を無効にするには、対応するビットをクリアします。ロジック反転はデフォルトで無効になっています。

5V 許容のオープン ドレイン IO でロジック反転が有効な場合、接続されたペリフェラルがロジック Low 状態を出力すると、IO ピンは Hi-Z 状態に移行します。ペリフェラルがロジック High 状態を適用すると、IO ピンは出力 Low 状態になります。

9.2.4 SHUTDOWN モードのウェークアップ ロジック

SHUTDOWN モードでは、デバイスの安定化されたコア電源全体が無効になります。デバイスは、ウェークアップ用に設定された IO、NRST、またはデバッグ接続からのみウェークアップします。SHUTDOWN を終了するための IO ウェーク メカニズムは IOMUX によって管理され、レベルに基づいています。5V 対応のオープン ドレイン IO、高駆動 IO、特定の標準駆動 IO には、レベルが一致したときにデバイスを SHUTDOWN 動作モードからウェークアップするために使用できる追加のウェークアップ ロジックが含まれています。

SHUTDOWN モードからのウェークアップ用に IO を設定するには:

1. 入力状態が IO からウェークアップ ロジックに伝搬されるようにするには、INENA ビットをセットします。
2. 対象のピンに対応する PINCMx レジスタの WCOMP ビットをセットまたはクリアすることで、ウェークアップに使用する比較レベルを選択します。
3. 対象のピンに対応する PINCMx レジスタの WUEN ビットをセットして、ウェークアップを有効にします。

前の設定の後、SYSCTL の適切なコマンドを使用することで、SHUTDOWN モードに移行できます。IOMUX で制御されるデジタル IO を含むデバイスのピンは、デバイスが SHUTDOWN に遷移するときに、現在の状態を維持します。SHUTDOWN モードに遷移するときにデジタル IO 状態がラッチされると、安定化されたコア電源が遮断されるため、IOMUX 構成のレジスタ (すべての PINCMx レジスタ) はその内容を失います。

ウェークアップ用に IOMUX が構成されると、いずれかのウェークアップ構成ピンでレベルが一致したときに、ウェークアップ イベントが直ちにトリガされます。したがって、SHUTDOWN モードに遷移する前に、意図しないウェークアップ イベントが発生しないように、アプリケーション コードは WUEN を無効にして再度有効にする必要があります。SHUTDOWN モードに遷移した後、レベルが一致すると、SHUTDOWN からの終了シーケンスがトリガされます。デバイスが SHUTDOWN を解除すると、BOR レベルのリセットが発生しますが、デジタル IO の状態はリセット後もラッチされたままになり、SHUTDOWN への遷移時の IO 状態が維持されます。この状態は、SYSCTL で IO が解放されるまで維持され

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

ます。BOR の後、SYSCTL はリセットの原因を SHUTDOWN 解除としてキャプチャするため、ソフトウェアはこれを識別し、デバイスの再構成に適切なアクションを実行できます。

複数のピンを SHUTDOWN からウェークアップするように設定した場合、アプリケーション ソフトウェアは、SHUTDOWN の解除前にウェークアップが有効になっているいずれかの IO の WAKESTATE ビットをポーリングすることで、どのウェークアップ構成 IO がウェークアップを発生させたのかを判断できます。

SHUTDOWN の解除時に IO 状態を復元するには、アプリケーション ソフトウェアで次のプロセスを適用する必要があります。

1. 必要に応じて、SHUTDOWN からウェークアップをトリガした IO を次のように確認します。
   a. ウェークアップ ステータスがテストされる IO に対応する PINCMx レジスタを再構成し、ペリフェラル接続 (PC) ビットをセットします (PC ビットは WAKESTATE をゲートします)。
   b. テスト対象の IO に対応する PINCMx レジスタの WAKESTATE ビットをテストして、事前に設定した WCOMP および WUEN 構成に基づいて、その IO が WAKE ステータスを受信したかどうかを判定します。
2. 残りの IOMUX PINCM レジスタを正しい状態に再構成します。
3. IOMUX を介してピンに接続されているペリフェラルを再構成し、それらを有効にします。
4. SYSCTL の SHUTDOWN IO ロックを解除します。
5. WAKESTATE ステータスをリセットするには、PINCMx レジスタの WUEN ビットをクリアします。

注

SHUTDOWN からウェークアップした後で、WUEN ビットがクリアされず、SYSCTL のシャットダウン解除ビットが設定されていない場合、SHUTDOWN に再度遷移すると、前のウェークアップ イベントから WAKESTATE ステータスがクリアされていないため、直ちにウェークアップ イベントが発生します。

9.2.5 プルアップ / プルダウン抵抗

ソフトウェアで有効にするプルアップ / プルダウン抵抗は、ほとんどのデジタル IO タイプに装備されており、それぞれ VDD / VSS に接続されています。5V 許容のオープン ドレイン デジタル IO は、オープン ドレイン構成のため、プルアップ抵抗を提供しません。

デジタル IO でプルアップ抵抗またはプルダウン抵抗を有効にするには、対応する PINCMx レジスタの PIPU ビットまたは PIPD ビットをそれぞれセットします。プルアップまたはプルダウン抵抗を無効にするには、対応するビットをクリアします。

プルアップ / プルダウン抵抗はいつでも有効にでき、その構成はペリフェラル機能の構成とは独立しています。選択したペリフェラル機能を変更するとともに、プルアップ / プルダウン抵抗を有効にできます。

9.2.6 ドライブ強度制御

高駆動および高速デジタル IO タイプは、プログラム可能な駆動強度 (低駆動強度および高駆動強度) を備えています。デフォルトの駆動強度は低駆動です。アプリケーション ソフトウェアは、ターゲット デジタル IO に対応する PINCMx レジスタの DRV ビットをセットすることで、高駆動を要求できます。駆動強度制御は、標準駆動およびオープン ドレイン IO タイプでは使用できません。

駆動強度制御は、選択されたペリフェラル機能 (PF) とは完全に独立しており、アプリケーション ソフトウェアでいつでも変更できます。

特定の IO での各駆動モードの駆動性能に関する電気的仕様については、該当するデバイスのデータシートでデジタル IO パラメータを参照してください。

9.2.7 ヒステリシスおよびロジック レベル制御

5V 対応のオープン ドレイン デジタル IO は、標準 CMOS ロジック (ヒステリシス有効、CMOS ロジック レベル) と TTL ロジック (ヒステリシス無効、TTL ロジックレベル) での入力モードでの動作を可能にするヒステリシスとロジック レベル制御機能を備えています。

Copyright © 2026 Texas Instruments Incorporated

5V 対応のオープンドレイン デジタル IO のデフォルト モードは TLL です (PINCMx レジスタの HYSTEN ビットがクリアされています)。ヒステリシスが有効な CMOS モードで 5V 対応のオープンドレイン デジタル IO を使用するには、対象となる IO に対応する PINCMx レジスタで HYSTEN ビットを設定します。

図 9-2 に、TTL モード (左) と CMOS モード (右) の入力ロジック レベルの違いを示します。

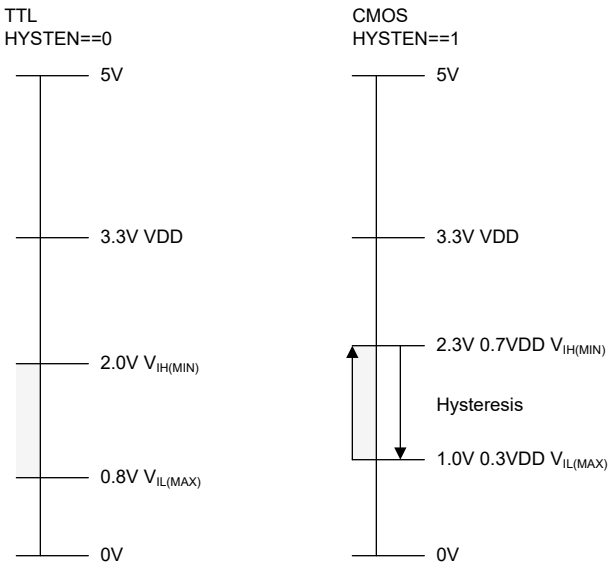


図 9-2. 入力ロジック レベル — 5V 対応オープンドレイン デジタル IO

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

9.3 IOMUX レジスタ

表 9-3 に、IOMUX レジスタのメモリマップト レジスタを示します。表 9-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-3. IOMUX レジスタ

オフセット	略称	レジスタ名	グループ	セクション
4h	PINCM	SECCFG 領域のピン制御管理レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-4. IOMUX のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

9.3.1 PINCM (オフセット = 4h) [リセット = X]

図 9-3 に、PINCM を示し、表 9-5 に、その説明を示します。

概略表に戻ります。

ピン制御管理レジスタ

図 9-3. PINCM

31	30	29	28	27	26	25	24
予約済み			WCOMP	WUEN	INV	HIZ1	予約済み
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
		予約済み	DRV	HYSTEN	INENA	PIPU	PIPD
		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み		WAKESTAT	予約済み				
R/W-0h		R-0h	R/W-0h				
7	6	5	4	3	2	1	0
PC	予約済み	PF					
R/W-0h	R/W-0h	R/W-0h					

表 9-5. PINCM フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R/W	0h	
28	WCOMP	R/W	0h	ウェークアップ比較値ビット 0h = 0 でウェークアップ 1h = 1 でウェークアップ
27	WUEN	R/W	0h	ウェークアップ有効化ビット 0h = ウェークアップは無効です。 1h = ウェークアップは有効です。
26	INV	R/W	0h	データ反転の選択 0h = データ反転は無効です。 1h = データ反転は有効です。
25	HIZ1	R/W	0h	このビットが有効の場合、High 出力値によって出力がトライステートになります。 0h = オープン ドレインは無効です。 1h = オープン ドレインは有効です。
24	予約済み	R/W	0h	
21	予約済み	R/W	0h	
20	DRV	R/W	0h	駆動能力制御の選択、HS IOCELL のみ 0h = 駆動設定 0 が選択されています 1h = 駆動設定 1 が選択されています
19	HYSTEN	R/W	0h	ヒステリシス有効化制御の選択 0h = ヒステリシスは無効です。 1h = ヒステリシスは有効です。
18	INENA	R/W	0h	入力イネーブル制御の選択 0h = 入力イネーブルは無効です。 1h = 入力イネーブルは有効です。
17	PIPU	R/W	0h	プルアップ制御の選択 0h = プルアップは無効です。 1h = プルアップは有効です。

Copyright © 2026 Texas Instruments Incorporated

表 9-5. PINCM フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
16	PIPD	R/W	0h	プルダウン制御の選択 0h = プルダウンは無効です。 1h = プルダウンは有効です。
15-14	予約済み	R/W	0h	
13	WAKESTAT	R	0h	IOPAD WAKEUP 信号がステータス ビットとして使用されます。 0h = この IOCELL からウェークアップ ソースは供給されません 1h = この IOCELL からウェークアップ ソースが供給されます
12-8	予約済み	R/W	0h	
7	PC	R/W	0h	ペリフェラルの接続状態 0h = ペリフェラルの出力 (およびその出力イネーブル) は IOCELL に伝搬されません 1h = データフローの出力ラッチは透過になります
6	予約済み	R/W	0h	
5-0	PF	R/W	0h	ペリフェラル機能選択ビット 0h = 未接続として予約済み 3Fh = このピンに接続可能な機能ごとにエンコーディング

Copyright © 2026 Texas Instruments Incorporated

Chapter 10

汎用入出力 (GPIO)

GPIO ペリフェラルを使用すると、デバイス ピンへのデータ出力およびデバイス ピンからのデータ入力を行うことができます。また、GPIO は、デバイスが低消費電力状態のときにウェークアップ イベントを検出する方法も備えています。この章では、GPIO ペリフェラルの動作について説明します。

10.1 GPIO の概要 440
10.2 GPIO 動作 440
10.3 GPIO レジスタ 444

Copyright © 2026 Texas Instruments Incorporated

10.1 GPIO の概要

GPIO は、デバイス ピンからデジタル データを読み出し、デバイス ピンにデジタル データを送信するために使用されます。

GPIO モジュールの主な特長は次のとおりです。

- CPU からのゼロ待機状態の MMR アクセス
- ソフトウェアでのリード モディファイ ライト構造を必要とせずに、複数のビットのセット、クリア、トグルが可能
- ソフトウェアでリード モディファイ ライト構造を使用することなく、個々の GPIO 出力ビット (DOUT) へ直接書き込み可能
- ソフトウェアでマスキングを使用することなく、個々の GPIO 入力ビット (DIN) を直接比較可能
- 任意の GPIO ポートによる、STOP および STANDBY モードからの低消費電力ウェークアップを可能にする「FastWake」機能
- ユーザー制御の入力フィルタリング (IO ごとに構成可能)
- イベント パブリッシャおよびイベント サブスクライバを介したデバイス イベント ファブリックへの相互接続

GPIO のブロック図図に、GPIO ペリフェラルのブロック図を示します。

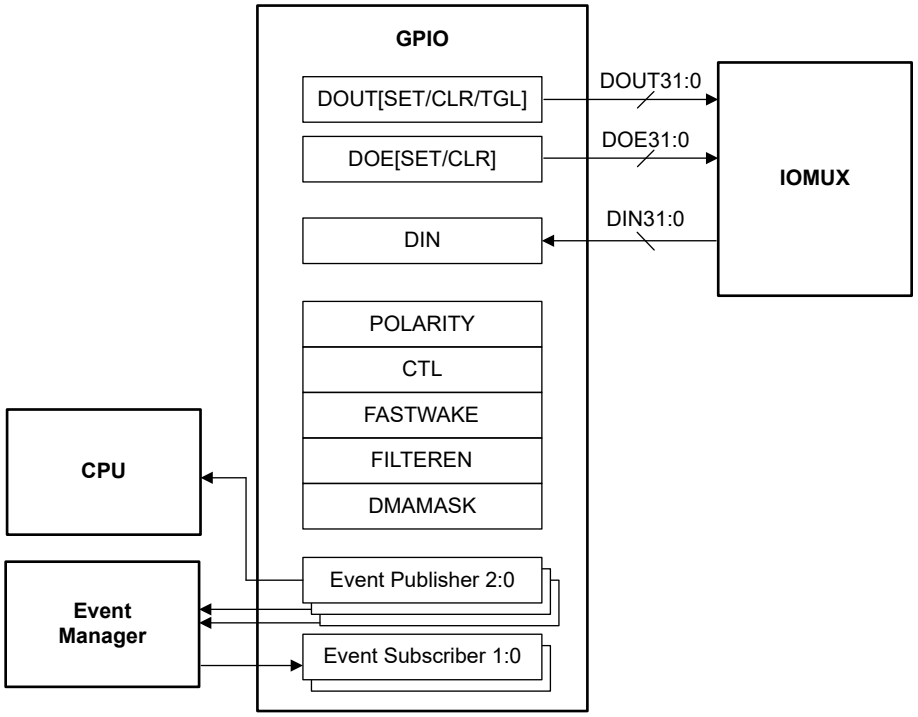


図 10-1. GPIO のブロック図

注

MSP プラットフォームの GPIO モジュールは、デジタル IO 機能全体 (たとえば、プルアップ、プルダウン、その他の機能マルチプレクサ) を管理するわけではありません。デジタル IO 制御の詳細については、Chapter 9 を参照してください。他のペリフェラルと同様に、GPIO には入力および出力 (出力イネーブル付き) があり、GPIO が IOMUX と接続して IO ピンへ接続できるようになっています。

10.2 GPIO 動作

GPIO ペリフェラルは、ユーザー ソフトウェアで設定されます。GPIO のセットアップと動作については、以下のセクションで説明します。

Copyright © 2026 Texas Instruments Incorporated

10.2.1 GPIO ポート

MSP プラットフォームの GPIO ペリフェラルのインスタンスは、最大 32 ビットのデータ入力 / 出力 (DIO) をサポートします。32 個を超える GPIO を備えるデバイスでは、すべてのデバイス ピンを扱うために複数の GPIO ペリフェラル インスタンスが使用されます。デバイスのデータシートの「ピン構成および機能」セクションでは、GPIO ポートとビット名が、各デバイス ピンに関連付けられた信号名に直接マッピングされています。

表 10-1. GPIO ポートとデバイス ピンのマッピング

GPIO ポートとビット名	デバイス ピンの信号名
GPIO ポート A ビット 0 (DIO0)	PA0
GPIO ポート A ビット 1 (DIO1)	PA1
GPIO ポート B ビット 0 (DIO0)	PB0
GPIO ポート B ビット 1 (DIO1)	PB1
GPIO ポート x ビット y (DIOy)	Pxy

10.2.2 GPIO 読み取り / 書き込みインターフェイス

GPIO ペリフェラルには、ソフトウェアで読み取り / 変更 / 書き込み構造を実行する必要なしで、高度なビット操作を実行することができます。これらの機能の概要を以下に示します。

10.2.3 GPIO 入力のグリッチ フィルタリングおよび同期

GPIO モジュールは、ULPCLK (PD0 バス クロック) レートで入力ピンの状態を評価し、GPIO 状態を入力グリッチ フィルタへ渡す前に、2 段同期回路を通してピン状態を ULPCLK へ同期させます。

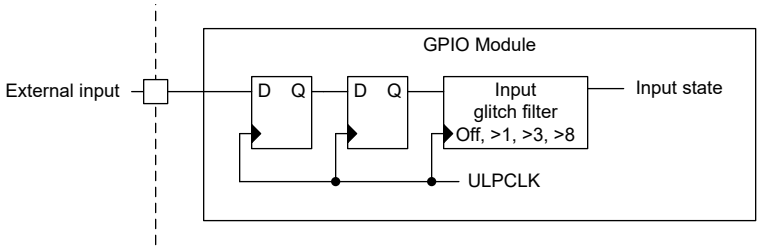


図 10-2. GPIO 入力シンクロナイザ

デジタル入力ピン上のノイズを抑制するため、プログラム可能な入力グリッチ フィルタが用意されています。グリッチ フィルタは ULPCLK レートで動作します。ユーザー指定による四段階の入力フィルタリングが可能です:

- フィルタリングなしでサンプリングされた入力 (ピンの状態と ULPCLK の同期に要する時間と、STANDBY0/1、STOP1/2、SLEEP2 モードでの高速ウェークアップ有効時における非同期要求エッジから最初の MCLK エッジまでの遅延時間に起因して、確実に検出される最小パルス幅は 1 ULPCLK サイクルになります)
- 同期された入力のうち、1 ULPCLK 周期以下のものはフィルタされます
- 同期された入力のうち、3 ULPCLK 周期以下のものはフィルタされます
- 同期された入力のうち、8 ULPCLK 周期以下のものはフィルタされます

この機能により、入力ピンの高速スイッチングをフィルタする必要がある場合に、ハードウェアで入力フィルタを簡単に実装できます。FILTEREN31_16 および FILTEREN15_0 レジスタのビット フィールドにより、対応する GPIO ビットに必要なフィルタリング レベルを設定できます。

同期における 1 ULPCLK サイクルの不確実性のため、同じパルス長の入力パルスであっても通過する場合もあれば、フィルタされる場合もあります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

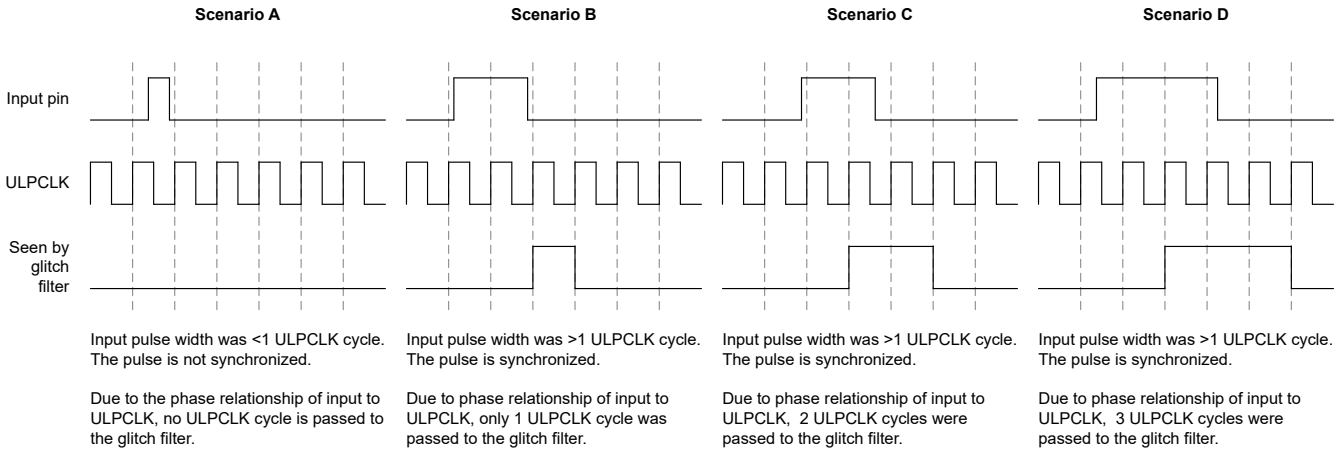


図 10-3. GPIO 入力シンクロナイザおよびグリッチ フィルタリングのシナリオ

- シナリオ A では、入力パルスは 1 ULPCLK サイクル未満です。1 ULPCLK サイクル未満のパルスはキャプチャされない可能性があります。GPIO 入力が常にキャプチャされるようにするには、GPIO 入力パルス幅を ULPCLK 周期よりも大きくする必要があります。
- シナリオ B では、入力パルスの長さはほぼ 2 ULPCLK サイクルですが、立ち上がりエッジは ULPCLK エッジの直後に発生するため、GPIO シンクロナイザは、入力ピンが 1 ULPCLK 周期の間 High であったと見なします。このシナリオでは、グリッチ フィルタが無効の場合、グリッチ フィルタによってフィルタされませんが、グリッチ フィルタ値が > 1 の場合、このパルスはフィルタされます。逆に、シナリオ C では、同じ入力パルス幅で、ULPCLK エッジの直前に立ち上がりエッジが発生したため、入力ピンは 2 ULPCLK 周期の間 High と見なされます。この場合、グリッチ フィルタ値に > 1 が指定されていると、フィルタされません。
- シナリオ D では、グリッチ フィルタに 3 ULPCLK サイクルが渡されます。この場合、グリッチ フィルタ値に > 1 が指定されているとフィルタされませんが、> 3 または > 8 が指定されているときはフィルタされます。

注

高速ウェークモードが有効の場合 (入力ピンの動作時に SYSOSC が非同期に要求されます)、ULPCLK はオフ (STANDBY1 の場合と同様) または 32kHz (STANDBY0 の場合と同様) から 32MHz に切り替わり、入力同期ロジックとグリッチ フィルタはわずかなレイテンシの後に 32MHz で動作します。非同期高速クロック要求のウェークアップ時間については、該当するデバイスのデータシートを参照し、高速ウェークアップ使用時の最小パルス幅の計算でこの時間を考慮する必要があります。

10.2.4 GPIO 高速ウェークア

MSP GPIO ペリフェラルの高速ウェーク機能により、高速クロックを必要とせずに、GPIO モジュールを低消費電力状態のまま維持しつつ、デバイス ピン上の割り込みイベントを検出できます。これにより、デバイスは任意の GPIO ピンで、ストップやスタンバイなどの低消費電力モードから高速ウェークアップをサポートできます。

FASTWAKE レジスタを使用すると、高速ウェークアップをビット単位で有効にできます。FASTWAKE レジスタのビットをセットすると、対応するデバイスピン信号がイネーブルになり、高速ウェークアップ機能をサポートできます。CTL レジスタには FASTWAKEONLY というビット フィールドが含まれており、高速ウェーク機能をグローバルに制御できます。FASTWAKEONLY ビットをセットすると、対応する GPIO ポートのすべてのビットが有効になり、高速ウェークアップ機能をサポートできます。

注

GPIO で高速ウェークを有効にしながら、SYSCTL での非同期高速クロック要求をブロックしないでください。高速ウェークが有効な場合、GPIO は高速クロックについて SYSCTL とハンドシェイクを行うことを前提としています。SYSCTL が要求を無視した場合、SYSCTL が非同期ファースト クロック要求のハンドシェイクを完了するまで、GPIO はクロックを受け取ることができません。

Copyright © 2026 Texas Instruments Incorporated

10.2.5 イベント パブリッシャとサブスクライバ

GPIOx ペリフェラルでは、次の 3 つの独立したイベント パブリッシャを使用できます。

1. 最初のイベント パブリッシャ (CPU_INT)
   - CPU 割り込みの生成に使用
   - ソフトウェアが IIDX レジスタを読み出すか、対応する ICLR レジスタ ビットに書き込むと、割り込み (RIS) フラグがクリアされます。
   - CPU へのイベントは、POLARITY レジスタを使用して、各 GPIO ビットに対して個別に指定できます。
     - 0: 無効
     - 1: 立ち上がりイベント
     - 2: 立ち下がりイベント
     - 3: 立ち上がりまたは立ち下がりイベント
2. 2 番目のイベント パブリッシャ (GEN_EVENT0)
   - CPU_INT と同じ POLARITY レジスタ定義を使用します
   - GPIO ビット 15 から 0 までに適用 (DIO15:0)
3. 3 番目のイベント パブリッシャ (GEN_EVENT1)
   - CPU_INT と同じ POLARITY レジスタ定義を使用します
   - GPIO ビット 31 から 16 までに適用 (DIO31:16)

イベント サブスクライバは 2 つあります

1. 最初のイベント サブスクライバ (FSUB_0)
   - イベント発生時に、特定のピンを指定して状態を変更できます
   - サブスクライバ イベントでは、1 つのビットだけがアクションを実行できます
   - GPIO ビット 15 から 0 までに適用 (DIO15:0)
   - SUB0CFG レジスタは、FSUB_0 イベントを有効にし、特定の GPIO ピンの出力ポリシーを定義するために使用されます
2. 2 番目のイベント サブスクライバ (FSUB_1)
   - イベント発生時に、特定のピンを指定して状態を変更できます
   - サブスクライバ イベントでは、1 つのビットだけがアクションを実行できます
   - GPIO ビット 31 から 16 までに適用 (DIO31:16)
   - SUB1CFG レジスタは、FSUB_1 イベントを有効にし、特定の GPIO ピンの出力ポリシーを定義するために使用されます

Copyright © 2026 Texas Instruments Incorporated

10.3 GPIO レジスタ

表 10-2 に、GPIO レジスタのメモリマップト レジスタを示します。表 10-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 10-2. GPIO レジスタ

オフセット	略称	レジスタ名	グループ	セクション
400h	FSUB_0	サブスクライバ ポート 0		表示
404h	FSUB_1	サブスクライバ ポート 1		表示
444h	FPUB_0	パブリッシャ ポート 0		表示
448h	FPUB_1	パブリッシャ ポート 1		表示
800h	PWREN	パワー イネーブル		表示
804h	RSTCTL	リセット制御		表示
814h	STAT	ステータス レジスタ		表示
1010h	CLKOVR	クロック オーバーライド		表示
1018h	PDBGCTL	ペリフェラル デバッグ制御		表示
1020h	IIDX	割り込みインデックス	CPU_INT	表示
1028h	IMASK	割り込みマスク	CPU_INT	表示
1030h	RIS	未加工割り込みステータス	CPU_INT	表示
1038h	MIS	マスクされた割り込みステータス	CPU_INT	表示
1040h	ISET	割り込み設定	CPU_INT	表示
1048h	ICLR	割り込みクリア	CPU_INT	表示
1050h	IIDX	割り込みインデックス	GEN_EVENT 0	表示
1058h	IMASK	割り込みマスク	GEN_EVENT 0	表示
1060h	RIS	未加工割り込みステータス	GEN_EVENT 0	表示
1068h	MIS	マスクされた割り込みステータス	GEN_EVENT 0	表示
1070h	ISET	割り込み設定	GEN_EVENT 0	表示
1078h	ICLR	割り込みクリア	GEN_EVENT 0	表示
1080h	IIDX	割り込みインデックス	GEN_EVENT 1	表示
1088h	IMASK	割り込みマスク	GEN_EVENT 1	表示
1090h	RIS	未加工割り込みステータス	GEN_EVENT 1	表示
1098h	MIS	マスクされた割り込みステータス	GEN_EVENT 1	表示
10A0h	ISET	割り込み設定	GEN_EVENT 1	表示
10A8h	ICLR	割り込みクリア	GEN_EVENT 1	表示
10E0h	EVT_MODE	イベント モード		表示
10FCh	説明	モジュールの説明		表示
1200h	DOUT3_0	データ出力 3 ～ 0		表示
1204h	DOUT7_4	データ出力 7 ～ 4		表示
1208h	DOUT11_8	データ出力 11 ～ 8		表示

Copyright © 2026 Texas Instruments Incorporated

表 10-2. GPIO レジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
120Ch	DOUT15_12	データ出力 15 ～ 12		表示
1210h	DOUT19_16	データ出力 19 ～ 16		表示
1214h	DOUT23_20	データ出力 23 ～ 20		表示
1218h	DOUT27_24	データ出力 27 ～ 24		表示
121Ch	DOUT31_28	データ出力 31 ～ 28		表示
1280h	DOUT31_0	データ出力 31 ～ 0		表示
1290h	DOUTSET31_0	データ出力セット 31 ～ 0		表示
12A0h	DOUTCLR31_0	データ出力クリア 31 ～ 0		表示
12B0h	DOUTTGL31_0	データ出力トグル 31 ～ 0		表示
12C0h	DOE31_0	データ出力イネーブル 31 ～ 0		表示
12D0h	DOESET31_0	データ出力イネーブル設定 31 ～ 0		表示
12E0h	DOECLR31_0	データ出力イネーブル クリア 31 ～ 0		表示
1300h	DIN3_0	データ入力 3 ～ 0		表示
1304h	DIN7_4	データ入力 7 ～ 4		表示
1308h	DIN11_8	データ入力 11 ～ 8		表示
130Ch	DIN15_12	データ入力 15 ～ 12		表示
1310h	DIN19_16	データ入力 19 ～ 16		表示
1314h	DIN23_20	データ入力 23 ～ 20		表示
1318h	DIN27_24	データ入力 27 ～ 24		表示
131Ch	DIN31_28	データ入力 31 ～ 28		表示
1380h	DIN31_0	データ入力 31 ～ 0		表示
1390h	POLARITY15_0	極性 15 ～ 0		表示
13A0h	POLARITY31_16	極性 31 ～ 16		表示
1400h	CTL	高速ウェーク グローバル EN		表示
1404h	FASTWAKE	高速ウェーク イネーブル		表示
1500h	SUB0CFG	サブスクライバ 0 の構成		表示
1508h	FILTEREN15_0	フィルタ イネーブル 15 ～ 0		表示
150Ch	FILTEREN31_16	フィルタ イネーブル 31 ～ 16		表示
1510h	DMAMASK	DMA 書き込みマスク		表示
1520h	SUB1CFG	サブスクライバ 1 の構成		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 10-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 10-3. GPIO のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
K	K	キーで保護された書き込み
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		

Copyright © 2026 Texas Instruments Incorporated

表 10-3. GPIO のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

10.3.1 FSUB_0 (オフセット = 400h) [リセット = 00000000h]

図 10-4 に、FSUB_0 を示し、表 10-4 に、その説明を示します。

概略表に戻ります。

サブスクライバ ポート

図 10-4. FSUB_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R/W-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R/W-0h												R/W-0h			

表 10-4. FSUB_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1-15 = channelID に接続 = CHANID。 0h = 値が 0 の場合、そのイベントは接続されていないことを示します 実際に許容される最大値は 15 未満の場合があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

10.3.2 FSUB_1 (オフセット = 404h) [リセット = 00000000h]

図 10-5 に、FSUB_1 を示し、表 10-5 に、その説明を示します。

概略表に戻ります。

サブスクライバ ポート

図 10-5. FSUB_1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R/W-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R/W-0h												R/W-0h			

表 10-5. FSUB_1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1-15 = channelID に接続 = CHANID。 0h = 値が 0 の場合、そのイベントは接続されていないことを示します 実際に許容される最大値は 15 未満の場合があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

10.3.3 FPUB_0 (オフセット = 444h) [リセット = 00000000h]

図 10-6 に、FPUB_0 を示し、表 10-6 に、その説明を示します。

概略表に戻ります。

パブリッシャ ポート

図 10-6. FPUB_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R/W-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R/W-0h												R/W-0h			

表 10-6. FPUB_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1-15 = channelID に接続 = CHANID。 0h = 値が 0 の場合、そのイベントは接続されていないことを示します 実際に許容される最大値は 15 未満の場合があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

10.3.4 FPUB_1 (オフセット = 448h) [リセット = 00000000h]

図 10-7 に、FPUB_1 を示し、表 10-7 に、その説明を示します。

概略表に戻ります。

パブリッシャ ポート

図 10-7. FPUB_1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R/W-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R/W-0h												R/W-0h			

表 10-7. FPUB_1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1-15 = channelID に接続 = CHANID。 0h = 値が 0 の場合、そのイベントは接続されていないことを示します 実際に許容される最大値は 15 未満の場合があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

10.3.5 PWREN (オフセット = 800h) [リセット = 00000000h]

図 10-8 に、PWREN を示し、表 10-8 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 10-8. PWREN

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-							
15	14	13	12	11	10	9	8
予約済み							
R/W-							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R/W-							K-0h

表 10-8. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態変更を許可するキー 26h = このレジスタへの書き込みアクセスを許可するためのキー
23-1	予約済み	R/W	0h	
0	イネーブル	K	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブルにします 1h = 電源をイネーブルにします

Copyright © 2026 Texas Instruments Incorporated

10.3.6 RSTCTL (オフセット = 804h) [リセット = 00000000h]

図 10-9 に、RSTCTL を示し、表 10-9 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 10-9. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-							
15	14	13	12	11	10	9	8
予約済み							
W-							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
W-						WK-0h	WK-0h

表 10-9. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するためのキー
23-2	予約済み	W	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも影響ありません 1h = リセット スティッキー ビットをクリアします
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも影響ありません 1h = アサートをリセットします

Copyright © 2026 Texas Instruments Incorporated

10.3.7 STAT (オフセット = 814h) [リセット = 00000000h]

図 10-10 に、STAT を示し、表 10-10 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 10-10. STAT

31	30	29	28	27	26	25	24
予約済み							
R-							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-							
7	6	5	4	3	2	1	0
予約済み							
R-							

表 10-10. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされて以降にペリフェラルがリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされて以降、ペリフェラルはリセットされていません 1h = 最後にビットがクリアされて以降、ペリフェラルがリセットされました
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

10.3.8 CLKOVR (オフセット = 1010h) [リセット = 00000000h]

図 10-11 に、CLKOVR を示し、表 10-11 に、その説明を示します。

概略表に戻ります。

このレジスタは、ペリフェラルからシステムへの機能クロック要求をオーバーライドします

図 10-11. CLKOVR

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み						RUN_STOP	OVERRIDE
R/W-0h						R/W-0h	R/W-0h

表 10-11. CLKOVR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R/W	0h	
1	RUN_STOP	R/W	0h	OVERRIDE が有効な場合、このレジスタを使用して、ペリフェラルからシステムへのクロック要求を手動で制御します 0h = 機能クロックを動作させる / ゲートを解除する 1h = 機能クロックを停止する / ゲートする
0	OVERRIDE	R/W	0h	自動ペリフェラル クロック要求を上書きできるように RUN_STOP 機能のロックを解除します 0h = オーバーライドが無効 1h = オーバーライドが有効

Copyright © 2026 Texas Instruments Incorporated

10.3.9 PDBGCTL (オフセット = 1018h) [リセット = 00000001h]

PDBGCTL は、図 10-12 に示されており、表 10-12 で説明されています。

概略表に戻ります。

このレジスタは、ソフトウェア開発者が「Core Halted」入力に対するペリフェラルの動作を制御するために使用できます

図 10-12. PDBGCTL

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み							FREE
R/W-0h							R/W-1h

表 10-12. PDBGCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	FREE	R/W	1h	フリー ラン制御 0h = コアが停止した入力がアサートされている間、ペリフェラルは機能を停止し、デアサートされると再開します。 1h = ペリフェラルは、コア停止入力の状態を無視します

Copyright © 2026 Texas Instruments Incorporated

10.3.10 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 10-13 に、IIDX を示し、表 10-13 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も高い優先度、IIDX が次に高い 4、8、...IIDX^31 が最も低い優先度です。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 10-13. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 10-13. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 0h = いずれのビットもセットされていない場合、保留中の割り込み要求はありません 1h = DIO0 割り込み 2h = DIO1 割り込み 3h = DIO2 割り込み 4h = DIO3 割り込み 5h = DIO4 割り込み 6h = DIO5 割り込み 7h = DIO6 割り込み 8h = DIO7 割り込み 9h = DIO8 割り込み Ah = DIO9 割り込み Bh = DIO10 割り込み Ch = DIO11 割り込み Dh = DIO12 割り込み Eh = DIO13 割り込み Fh = DIO14 割り込み 10h = DIO15 割り込み 11h = DIO16 割り込み 12h = DIO17 割り込み 13h = DIO18 割り込み 14h = DIO19 割り込み 15h = DIO20 割り込み 16h = DIO21 割り込み 17h = DIO22 割り込み 18h = DIO23 割り込み 19h = DIO24 割り込み 1Ah = DIO25 割り込み 1Bh = DIO26 割り込み 1Ch = DIO27 割り込み 1Dh = DIO28 割り込み 1Eh = DIO29 割り込み 1Fh = DIO30 割り込み 20h = DIO31 割り込み

Copyright © 2026 Texas Instruments Incorporated

10.3.11 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 10-14 に、IMASK を示し、表 10-14 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 10-14. IMASK

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 10-14. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R/W	0h	DIO31 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
30	DIO30	R/W	0h	DIO30 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
29	DIO29	R/W	0h	DIO29 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
28	DIO28	R/W	0h	DIO28 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
27	DIO27	R/W	0h	DIO27 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
26	DIO26	R/W	0h	DIO26 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
25	DIO25	R/W	0h	DIO25 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
24	DIO24	R/W	0h	DIO24 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
23	DIO23	R/W	0h	DIO23 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません

Copyright © 2026 Texas Instruments Incorporated

表 10-14. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	R/W	0h	DIO22 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
21	DIO21	R/W	0h	DIO21 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
20	DIO20	R/W	0h	DIO20 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
19	DIO19	R/W	0h	DIO19 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
18	DIO18	R/W	0h	DIO18 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
17	DIO17	R/W	0h	DIO17 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
16	DIO16	R/W	0h	DIO16 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
15	DIO15	R/W	0h	DIO15 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
14	DIO14	R/W	0h	DIO14 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
13	DIO13	R/W	0h	DIO13 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
12	DIO12	R/W	0h	DIO12 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
11	DIO11	R/W	0h	DIO11 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
10	DIO10	R/W	0h	DIO10 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
9	DIO9	R/W	0h	DIO9 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
8	DIO8	R/W	0h	DIO8 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
7	DIO7	R/W	0h	DIO7 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
6	DIO6	R/W	0h	DIO6 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません

Copyright © 2026 Texas Instruments Incorporated

表 10-14. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIO5	R/W	0h	DIO5 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
4	DIO4	R/W	0h	DIO4 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
3	DIO3	R/W	0h	DIO3 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
2	DIO2	R/W	0h	DIO2 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
1	DIO1	R/W	0h	DIO1 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
0	DIO0	R/W	0h	DIO0 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません

Copyright © 2026 Texas Instruments Incorporated

10.3.12 RIS (オフセット = 1030h) [リセット = 00000000h]

図 10-15 に、RIS を示し、表 10-15 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 10-15. RIS

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 10-15. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R	0h	DIO31 イベント 0h = DIO31 イベントは発生しませんでした 1h = DIO31 イベントが発生しました
30	DIO30	R	0h	DIO30 イベント 0h = DIO30 イベントは発生しませんでした 1h = DIO30 イベントが発生しました
29	DIO29	R	0h	DIO29 イベント 0h = DIO29 イベントは発生しませんでした 1h = DIO29 イベントが発生しました
28	DIO28	R	0h	DIO28 イベント 0h = DIO28 イベントは発生しませんでした 1h = DIO28 イベントが発生しました
27	DIO27	R	0h	DIO27 イベント 0h = DIO27 イベントは発生しませんでした 1h = DIO27 イベントが発生しました
26	DIO26	R	0h	DIO26 イベント 0h = DIO26 イベントは発生しませんでした 1h = DIO26 イベントが発生しました
25	DIO25	R	0h	DIO25 イベント 0h = DIO25 イベントは発生しませんでした 1h = DIO25 イベントが発生しました
24	DIO24	R	0h	DIO24 イベント 0h = DIO24 イベントは発生しませんでした 1h = DIO24 イベントが発生しました
23	DIO23	R	0h	DIO23 イベント 0h = DIO23 イベントは発生しませんでした 1h = DIO23 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 10-15. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	R	0h	DIO22 イベント 0h = DIO22 イベントは発生しませんでした 1h = DIO22 イベントが発生しました
21	DIO21	R	0h	DIO21 イベント 0h = DIO21 イベントは発生しませんでした 1h = DIO21 イベントが発生しました
20	DIO20	R	0h	DIO20 イベント 0h = DIO20 イベントは発生しませんでした 1h = DIO20 イベントが発生しました
19	DIO19	R	0h	DIO19 イベント 0h = DIO19 イベントは発生しませんでした 1h = DIO19 イベントが発生しました
18	DIO18	R	0h	DIO18 イベント 0h = DIO18 イベントは発生しませんでした 1h = DIO18 イベントが発生しました
17	DIO17	R	0h	DIO17 イベント 0h = DIO17 イベントは発生しませんでした 1h = DIO17 イベントが発生しました
16	DIO16	R	0h	DIO16 イベント 0h = DIO16 イベントは発生しませんでした 1h = DIO16 イベントが発生しました
15	DIO15	R	0h	DIO15 イベント 0h = DIO15 イベントは発生しませんでした 1h = DIO15 イベントが発生しました
14	DIO14	R	0h	DIO14 イベント 0h = DIO14 イベントは発生しませんでした 1h = DIO14 イベントが発生しました
13	DIO13	R	0h	DIO13 イベント 0h = DIO13 イベントは発生しませんでした 1h = DIO13 イベントが発生しました
12	DIO12	R	0h	DIO12 イベント 0h = DIO12 イベントは発生しませんでした 1h = DIO12 イベントが発生しました
11	DIO11	R	0h	DIO11 イベント 0h = DIO11 イベントは発生しませんでした 1h = DIO11 イベントが発生しました
10	DIO10	R	0h	DIO10 イベント 0h = DIO10 イベントは発生しませんでした 1h = DIO10 イベントが発生しました
9	DIO9	R	0h	DIO9 イベント 0h = DIO9 イベントは発生しませんでした 1h = DIO9 イベントが発生しました
8	DIO8	R	0h	DIO8 イベント 0h = DIO8 イベントは発生しませんでした 1h = DIO8 イベントが発生しました
7	DIO7	R	0h	DIO7 イベント 0h = DIO7 イベントは発生しませんでした 1h = DIO7 イベントが発生しました
6	DIO6	R	0h	DIO6 イベント 0h = DIO6 イベントは発生しませんでした 1h = DIO6 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 10-15. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIO5	R	0h	DIO5 イベント 0h = DIO5 イベントは発生しませんでした 1h = DIO5 イベントが発生しました
4	DIO4	R	0h	DIO4 イベント 0h = DIO4 イベントは発生しませんでした 1h = DIO4 イベントが発生しました
3	DIO3	R	0h	DIO3 イベント 0h = DIO3 イベントは発生しませんでした 1h = DIO3 イベントが発生しました
2	DIO2	R	0h	DIO2 イベント 0h = DIO2 イベントは発生しませんでした 1h = DIO2 イベントが発生しました
1	DIO1	R	0h	DIO1 イベント 0h = DIO1 イベントは発生しませんでした 1h = DIO1 イベントが発生しました
0	DIO0	R	0h	DIO0 イベント 0h = DIO0 イベントは発生しませんでした 1h = DIO0 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

10.3.13 MIS (オフセット = 1038h) [リセット = 00000000h]

図 10-16 に、MIS を示し、表 10-16 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 10-16. MIS

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 10-16. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R	0h	DIO31 イベント 0h = DIO31 イベントは発生しませんでした 1h = DIO31 イベントが発生しました
30	DIO30	R	0h	DIO30 イベント 0h = DIO30 イベントは発生しませんでした 1h = DIO30 イベントが発生しました
29	DIO29	R	0h	DIO29 イベント 0h = DIO29 イベントは発生しませんでした 1h = DIO29 イベントが発生しました
28	DIO28	R	0h	DIO28 イベント 0h = DIO28 イベントは発生しませんでした 1h = DIO28 イベントが発生しました
27	DIO27	R	0h	DIO27 イベント 0h = DIO27 イベントは発生しませんでした 1h = DIO27 イベントが発生しました
26	DIO26	R	0h	DIO26 イベント 0h = DIO26 イベントは発生しませんでした 1h = DIO26 イベントが発生しました
25	DIO25	R	0h	DIO25 イベント 0h = DIO25 イベントは発生しませんでした 1h = DIO25 イベントが発生しました
24	DIO24	R	0h	DIO24 イベント 0h = DIO24 イベントは発生しませんでした 1h = DIO24 イベントが発生しました
23	DIO23	R	0h	DIO23 イベント 0h = DIO23 イベントは発生しませんでした 1h = DIO23 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 10-16. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	R	0h	DIO22 イベント 0h = DIO22 イベントは発生しませんでした 1h = DIO22 イベントが発生しました
21	DIO21	R	0h	DIO21 イベント 0h = DIO21 イベントは発生しませんでした 1h = DIO21 イベントが発生しました
20	DIO20	R	0h	DIO20 イベント 0h = DIO20 イベントは発生しませんでした 1h = DIO20 イベントが発生しました
19	DIO19	R	0h	DIO19 イベント 0h = DIO19 イベントは発生しませんでした 1h = DIO19 イベントが発生しました
18	DIO18	R	0h	DIO18 イベント 0h = DIO18 イベントは発生しませんでした 1h = DIO18 イベントが発生しました
17	DIO17	R	0h	DIO17 イベント 0h = DIO17 イベントは発生しませんでした 1h = DIO17 イベントが発生しました
16	DIO16	R	0h	DIO16 イベント 0h = DIO16 イベントは発生しませんでした 1h = DIO16 イベントが発生しました
15	DIO15	R	0h	DIO15 イベント 0h = DIO15 イベントは発生しませんでした 1h = DIO15 イベントが発生しました
14	DIO14	R	0h	DIO14 イベント 0h = DIO14 イベントは発生しませんでした 1h = DIO14 イベントが発生しました
13	DIO13	R	0h	DIO13 イベント 0h = DIO13 イベントは発生しませんでした 1h = DIO13 イベントが発生しました
12	DIO12	R	0h	DIO12 イベント 0h = DIO12 イベントは発生しませんでした 1h = DIO12 イベントが発生しました
11	DIO11	R	0h	DIO11 イベント 0h = DIO11 イベントは発生しませんでした 1h = DIO11 イベントが発生しました
10	DIO10	R	0h	DIO10 イベント 0h = DIO10 イベントは発生しませんでした 1h = DIO10 イベントが発生しました
9	DIO9	R	0h	DIO9 イベント 0h = DIO9 イベントは発生しませんでした 1h = DIO9 イベントが発生しました
8	DIO8	R	0h	DIO8 イベント 0h = DIO8 イベントは発生しませんでした 1h = DIO8 イベントが発生しました
7	DIO7	R	0h	DIO7 イベント 0h = DIO7 イベントは発生しませんでした 1h = DIO7 イベントが発生しました
6	DIO6	R	0h	DIO6 イベント 0h = DIO6 イベントは発生しませんでした 1h = DIO6 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 10-16. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIO5	R	0h	DIO5 イベント 0h = DIO5 イベントは発生しませんでした 1h = DIO5 イベントが発生しました
4	DIO4	R	0h	DIO4 イベント 0h = DIO4 イベントは発生しませんでした 1h = DIO4 イベントが発生しました
3	DIO3	R	0h	DIO3 イベント 0h = DIO3 イベントは発生しませんでした 1h = DIO3 イベントが発生しました
2	DIO2	R	0h	DIO2 イベント 0h = DIO2 イベントは発生しませんでした 1h = DIO2 イベントが発生しました
1	DIO1	R	0h	DIO1 イベント 0h = DIO1 イベントは発生しませんでした 1h = DIO1 イベントが発生しました
0	DIO0	R	0h	DIO0 イベント 0h = DIO0 イベントは発生しませんでした 1h = DIO0 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

10.3.14 ISET (オフセット = 1040h) [リセット = 00000000h]

図 10-17 に、ISET を示し、表 10-17 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 10-17. ISET

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-17. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	DIO31 イベント 0h = 影響ありません 1h = RIS レジスタの DIO31 ビットをセットします
30	DIO30	W	0h	DIO30 イベント 0h = 影響ありません 1h = RIS レジスタの DIO30 ビットをセットします
29	DIO29	W	0h	DIO29 イベント 0h = 影響ありません 1h = RIS レジスタの DIO29 ビットをセットします
28	DIO28	W	0h	DIO28 イベント 0h = 影響ありません 1h = RIS レジスタの DIO28 ビットをセットします
27	DIO27	W	0h	DIO27 イベント 0h = 影響ありません 1h = RIS レジスタの DIO27 ビットをセットします
26	DIO26	W	0h	DIO26 イベント 0h = 影響ありません 1h = RIS レジスタの DIO26 ビットをセットします
25	DIO25	W	0h	DIO25 イベント 0h = 影響ありません 1h = RIS レジスタの DIO25 ビットをセットします
24	DIO24	W	0h	DIO24 イベント 0h = 影響ありません 1h = RIS レジスタの DIO24 ビットをセットします
23	DIO23	W	0h	DIO23 イベント 0h = 影響ありません 1h = RIS レジスタの DIO23 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 10-17. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	W	0h	DIO22 イベント 0h = 影響ありません 1h = RIS レジスタの DIO22 ビットをセットします
21	DIO21	W	0h	DIO21 イベント 0h = 影響ありません 1h = RIS レジスタの DIO21 ビットをセットします
20	DIO20	W	0h	DIO20 イベント 0h = 影響ありません 1h = RIS レジスタの DIO20 ビットをセットします
19	DIO19	W	0h	DIO19 イベント 0h = 影響ありません 1h = RIS レジスタの DIO19 ビットをセットします
18	DIO18	W	0h	DIO18 イベント 0h = 影響ありません 1h = RIS レジスタの DIO18 ビットをセットします
17	DIO17	W	0h	DIO17 イベント 0h = 影響ありません 1h = RIS レジスタの DIO17 ビットをセットします
16	DIO16	W	0h	DIO16 イベント 0h = 影響ありません 1h = RIS レジスタの DIO16 ビットをセットします
15	DIO15	W	0h	DIO15 イベント 0h = 影響ありません 1h = RIS レジスタの DIO15 ビットをセットします
14	DIO14	W	0h	DIO14 イベント 0h = 影響ありません 1h = RIS レジスタの DIO14 ビットをセットします
13	DIO13	W	0h	DIO13 イベント 0h = 影響ありません 1h = RIS レジスタの DIO13 ビットをセットします
12	DIO12	W	0h	DIO12 イベント 0h = 影響ありません 1h = RIS レジスタの DIO12 ビットをセットします
11	DIO11	W	0h	DIO11 イベント 0h = 影響ありません 1h = RIS レジスタの DIO11 ビットをセットします
10	DIO10	W	0h	DIO10 イベント 0h = 影響ありません 1h = RIS レジスタの DIO10 ビットをセットします
9	DIO9	W	0h	DIO9 イベント 0h = 影響ありません 1h = RIS レジスタの DIO9 ビットをセットします
8	DIO8	W	0h	DIO8 イベント 0h = 影響ありません 1h = RIS レジスタの DIO8 ビットをセットします
7	DIO7	W	0h	DIO7 イベント 0h = 影響ありません 1h = RIS レジスタの DIO7 ビットをセットします
6	DIO6	W	0h	DIO6 イベント 0h = 影響ありません 1h = RIS レジスタの DIO6 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 10-17. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIO5	W	0h	DIO5 イベント 0h = 影響ありません 1h = RIS レジスタの DIO5 ビットをセットします
4	DIO4	W	0h	DIO4 イベント 0h = 影響ありません 1h = RIS レジスタの DIO4 ビットをセットします
3	DIO3	W	0h	DIO3 イベント 0h = 影響ありません 1h = RIS レジスタの DIO3 ビットをセットします
2	DIO2	W	0h	DIO2 イベント 0h = 影響ありません 1h = RIS レジスタの DIO2 ビットをセットします
1	DIO1	W	0h	DIO1 イベント 0h = 影響ありません 1h = RIS レジスタの DIO1 ビットをセットします
0	DIO0	W	0h	DIO0 イベント 0h = 影響ありません 1h = RIS レジスタの DIO0 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

10.3.15 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 10-18 に、ICLR を示し、表 10-18 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 10-18. ICLR

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-18. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	DIO31 イベント 0h = 影響ありません 1h = RIS レジスタの DIO31 ビットをクリアします
30	DIO30	W	0h	DIO30 イベント 0h = 影響ありません 1h = RIS レジスタの DIO30 ビットをクリアします
29	DIO29	W	0h	DIO29 イベント 0h = 影響ありません 1h = RIS レジスタの DIO29 ビットをクリアします
28	DIO28	W	0h	DIO28 イベント 0h = 影響ありません 1h = RIS レジスタの DIO28 ビットをクリアします
27	DIO27	W	0h	DIO27 イベント 0h = 影響ありません 1h = RIS レジスタの DIO27 ビットをクリアします
26	DIO26	W	0h	DIO26 イベント 0h = 影響ありません 1h = RIS レジスタの DIO26 ビットをクリアします
25	DIO25	W	0h	DIO25 イベント 0h = 影響ありません 1h = RIS レジスタの DIO25 ビットをクリアします
24	DIO24	W	0h	DIO24 イベント 0h = 影響ありません 1h = RIS レジスタの DIO24 ビットをクリアします
23	DIO23	W	0h	DIO23 イベント 0h = 影響ありません 1h = RIS レジスタの DIO23 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 10-18. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	W	0h	DIO22 イベント 0h = 影響ありません 1h = RIS レジスタの DIO22 ビットをクリアします
21	DIO21	W	0h	DIO21 イベント 0h = 影響ありません 1h = RIS レジスタの DIO21 ビットをクリアします
20	DIO20	W	0h	DIO20 イベント 0h = 影響ありません 1h = RIS レジスタの DIO20 ビットをクリアします
19	DIO19	W	0h	DIO19 イベント 0h = 影響ありません 1h = RIS レジスタの DIO19 ビットをクリアします
18	DIO18	W	0h	DIO18 イベント 0h = 影響ありません 1h = RIS レジスタの DIO18 ビットをクリアします
17	DIO17	W	0h	DIO17 イベント 0h = 影響ありません 1h = RIS レジスタの DIO17 ビットをクリアします
16	DIO16	W	0h	DIO16 イベント 0h = 影響ありません 1h = RIS レジスタの DIO16 ビットをクリアします
15	DIO15	W	0h	DIO15 イベント 0h = 影響ありません 1h = RIS レジスタの DIO15 ビットをクリアします
14	DIO14	W	0h	DIO14 イベント 0h = 影響ありません 1h = RIS レジスタの DIO14 ビットをクリアします
13	DIO13	W	0h	DIO13 イベント 0h = 影響ありません 1h = RIS レジスタの DIO13 ビットをクリアします
12	DIO12	W	0h	DIO12 イベント 0h = 影響ありません 1h = RIS レジスタの DIO12 ビットをクリアします
11	DIO11	W	0h	DIO11 イベント 0h = 影響ありません 1h = RIS レジスタの DIO11 ビットをクリアします
10	DIO10	W	0h	DIO10 イベント 0h = 影響ありません 1h = RIS レジスタの DIO10 ビットをクリアします
9	DIO9	W	0h	DIO9 イベント 0h = 影響ありません 1h = RIS レジスタの DIO9 ビットをクリアします
8	DIO8	W	0h	DIO8 イベント 0h = 影響ありません 1h = RIS レジスタの DIO8 ビットをクリアします
7	DIO7	W	0h	DIO7 イベント 0h = 影響ありません 1h = RIS レジスタの DIO7 ビットをクリアします
6	DIO6	W	0h	DIO6 イベント 0h = 影響ありません 1h = RIS レジスタの DIO6 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 10-18. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIO5	W	0h	DIO5 イベント 0h = 影響ありません 1h = RIS レジスタの DIO5 ビットをクリアします
4	DIO4	W	0h	DIO4 イベント 0h = 影響ありません 1h = RIS レジスタの DIO4 ビットをクリアします
3	DIO3	W	0h	DIO3 イベント 0h = 影響ありません 1h = RIS レジスタの DIO3 ビットをクリアします
2	DIO2	W	0h	DIO2 イベント 0h = 影響ありません 1h = RIS レジスタの DIO2 ビットをクリアします
1	DIO1	W	0h	DIO1 イベント 0h = 影響ありません 1h = RIS レジスタの DIO1 ビットをクリアします
0	DIO0	W	0h	DIO0 イベント 0h = 影響ありません 1h = RIS レジスタの DIO0 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

10.3.16 IIDX (オフセット = 1050h) [リセット = 00000000h]

図 10-19 に、IIDX を示し、表 10-19 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も高い優先度、IIDX が次に高い 4、8、...IIDX^31 が最も低い優先度です。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 10-19. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 10-19. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 0h = いずれのビットもセットされていない場合、保留中の割り込み要求はありません 1h = DIO0 割り込み 2h = DIO1 割り込み 3h = DIO2 割り込み 4h = DIO3 割り込み 5h = DIO4 割り込み 6h = DIO5 割り込み 7h = DIO6 割り込み 8h = DIO7 割り込み 9h = DIO8 割り込み Ah = DIO9 割り込み Bh = DIO10 割り込み Ch = DIO11 割り込み Dh = DIO12 割り込み Eh = DIO13 割り込み Fh = DIO14 割り込み 10h = DIO15 割り込み

Copyright © 2026 Texas Instruments Incorporated

10.3.17 IMASK (オフセット = 1058h) [リセット = 00000000h]

図 10-20 に、IMASK を示し、表 10-20 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 10-20. IMASK

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 10-20. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	
15	DIO15	R/W	0h	DIO15 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
14	DIO14	R/W	0h	DIO14 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
13	DIO13	R/W	0h	DIO13 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
12	DIO12	R/W	0h	DIO12 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
11	DIO11	R/W	0h	DIO11 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
10	DIO10	R/W	0h	DIO10 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
9	DIO9	R/W	0h	DIO9 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
8	DIO8	R/W	0h	DIO8 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
7	DIO7	R/W	0h	DIO7 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません

Copyright © 2026 Texas Instruments Incorporated

表 10-20. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DIO6	R/W	0h	DIO6 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
5	DIO5	R/W	0h	DIO5 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
4	DIO4	R/W	0h	DIO4 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
3	DIO3	R/W	0h	DIO3 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
2	DIO2	R/W	0h	DIO2 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
1	DIO1	R/W	0h	DIO1 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
0	DIO0	R/W	0h	DIO0 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません

Copyright © 2026 Texas Instruments Incorporated

10.3.18 RIS (オフセット = 1060h) [リセット = 00000000h]

図 10-21 に、RIS を示し、表 10-21 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 10-21. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 10-21. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	DIO15	R	0h	DIO15 イベント 0h = DIO15 イベントは発生しませんでした 1h = DIO15 イベントが発生しました
14	DIO14	R	0h	DIO14 イベント 0h = DIO14 イベントは発生しませんでした 1h = DIO14 イベントが発生しました
13	DIO13	R	0h	DIO13 イベント 0h = DIO13 イベントは発生しませんでした 1h = DIO13 イベントが発生しました
12	DIO12	R	0h	DIO12 イベント 0h = DIO12 イベントは発生しませんでした 1h = DIO12 イベントが発生しました
11	DIO11	R	0h	DIO11 イベント 0h = DIO11 イベントは発生しませんでした 1h = DIO11 イベントが発生しました
10	DIO10	R	0h	DIO10 イベント 0h = DIO10 イベントは発生しませんでした 1h = DIO10 イベントが発生しました
9	DIO9	R	0h	DIO9 イベント 0h = DIO9 イベントは発生しませんでした 1h = DIO9 イベントが発生しました
8	DIO8	R	0h	DIO8 イベント 0h = DIO8 イベントは発生しませんでした 1h = DIO8 イベントが発生しました

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 10-21. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	DIO7	R	0h	DIO7 イベント 0h = DIO7 イベントは発生しませんでした 1h = DIO7 イベントが発生しました
6	DIO6	R	0h	DIO6 イベント 0h = DIO6 イベントは発生しませんでした 1h = DIO6 イベントが発生しました
5	DIO5	R	0h	DIO5 イベント 0h = DIO5 イベントは発生しませんでした 1h = DIO5 イベントが発生しました
4	DIO4	R	0h	DIO4 イベント 0h = DIO4 イベントは発生しませんでした 1h = DIO4 イベントが発生しました
3	DIO3	R	0h	DIO3 イベント 0h = DIO3 イベントは発生しませんでした 1h = DIO3 イベントが発生しました
2	DIO2	R	0h	DIO2 イベント 0h = DIO2 イベントは発生しませんでした 1h = DIO2 イベントが発生しました
1	DIO1	R	0h	DIO1 イベント 0h = DIO1 イベントは発生しませんでした 1h = DIO1 イベントが発生しました
0	DIO0	R	0h	DIO0 イベント 0h = DIO0 イベントは発生しませんでした 1h = DIO0 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

10.3.19 MIS (オフセット = 1068h) [リセット = 00000000h]

図 10-22 に、MIS を示し、表 10-22 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 10-22. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 10-22. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	DIO15	R	0h	DIO15 イベント 0h = DIO15 イベントは発生しませんでした 1h = DIO15 イベントが発生しました
14	DIO14	R	0h	DIO14 イベント 0h = DIO14 イベントは発生しませんでした 1h = DIO14 イベントが発生しました
13	DIO13	R	0h	DIO13 イベント 0h = DIO13 イベントは発生しませんでした 1h = DIO13 イベントが発生しました
12	DIO12	R	0h	DIO12 イベント 0h = DIO12 イベントは発生しませんでした 1h = DIO12 イベントが発生しました
11	DIO11	R	0h	DIO11 イベント 0h = DIO11 イベントは発生しませんでした 1h = DIO11 イベントが発生しました
10	DIO10	R	0h	DIO10 イベント 0h = DIO10 イベントは発生しませんでした 1h = DIO10 イベントが発生しました
9	DIO9	R	0h	DIO9 イベント 0h = DIO9 イベントは発生しませんでした 1h = DIO9 イベントが発生しました
8	DIO8	R	0h	DIO8 イベント 0h = DIO8 イベントは発生しませんでした 1h = DIO8 イベントが発生しました
7	DIO7	R	0h	DIO7 イベント 0h = DIO7 イベントは発生しませんでした 1h = DIO7 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 10-22. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DIO6	R	0h	DIO6 イベント 0h = DIO6 イベントは発生しませんでした 1h = DIO6 イベントが発生しました
5	DIO5	R	0h	DIO5 イベント 0h = DIO5 イベントは発生しませんでした 1h = DIO5 イベントが発生しました
4	DIO4	R	0h	DIO4 イベント 0h = DIO4 イベントは発生しませんでした 1h = DIO4 イベントが発生しました
3	DIO3	R	0h	DIO3 イベント 0h = DIO3 イベントは発生しませんでした 1h = DIO3 イベントが発生しました
2	DIO2	R	0h	DIO2 イベント 0h = DIO2 イベントは発生しませんでした 1h = DIO2 イベントが発生しました
1	DIO1	R	0h	DIO1 イベント 0h = DIO1 イベントは発生しませんでした 1h = DIO1 イベントが発生しました
0	DIO0	R	0h	DIO0 イベント 0h = DIO0 イベントは発生しませんでした 1h = DIO0 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

10.3.20 ISET (オフセット = 1070h) [リセット = 00000000h]

図 10-23 に、ISET を示し、表 10-23 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 10-23. ISET

31	30	29	28	27	26	25	24
予約済み							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-23. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	W	0h	
15	DIO15	W	0h	DIO15 イベント 0h = 影響ありません 1h = RIS レジスタの DIO15 ビットをセットします
14	DIO14	W	0h	DIO14 イベント 0h = 影響ありません 1h = RIS レジスタの DIO14 ビットをセットします
13	DIO13	W	0h	DIO13 イベント 0h = 影響ありません 1h = RIS レジスタの DIO13 ビットをセットします
12	DIO12	W	0h	DIO12 イベント 0h = 影響ありません 1h = RIS レジスタの DIO12 ビットをセットします
11	DIO11	W	0h	DIO11 イベント 0h = 影響ありません 1h = RIS レジスタの DIO11 ビットをセットします
10	DIO10	W	0h	DIO10 イベント 0h = 影響ありません 1h = RIS レジスタの DIO10 ビットをセットします
9	DIO9	W	0h	DIO9 イベント 0h = 影響ありません 1h = RIS レジスタの DIO9 ビットをセットします
8	DIO8	W	0h	DIO8 イベント 0h = 影響ありません 1h = RIS レジスタの DIO8 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 10-23. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	DIO7	W	0h	DIO7 イベント 0h = 影響ありません 1h = RIS レジスタの DIO7 ビットをセットします
6	DIO6	W	0h	DIO6 イベント 0h = 影響ありません 1h = RIS レジスタの DIO6 ビットをセットします
5	DIO5	W	0h	DIO5 イベント 0h = 影響ありません 1h = RIS レジスタの DIO5 ビットをセットします
4	DIO4	W	0h	DIO4 イベント 0h = 影響ありません 1h = RIS レジスタの DIO4 ビットをセットします
3	DIO3	W	0h	DIO3 イベント 0h = 影響ありません 1h = RIS レジスタの DIO3 ビットをセットします
2	DIO2	W	0h	DIO2 イベント 0h = 影響ありません 1h = RIS レジスタの DIO2 ビットをセットします
1	DIO1	W	0h	DIO1 イベント 0h = 影響ありません 1h = RIS レジスタの DIO1 ビットをセットします
0	DIO0	W	0h	DIO0 イベント 0h = 影響ありません 1h = RIS レジスタの DIO0 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

10.3.21 ICLR (オフセット = 1078h) [リセット = 00000000h]

図 10-24 に、ICLR を示し、表 10-24 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 10-24. ICLR

31	30	29	28	27	26	25	24
予約済み							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-24. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	W	0h	
15	DIO15	W	0h	DIO15 イベント 0h = 影響ありません 1h = RIS レジスタの DIO15 ビットをクリアします
14	DIO14	W	0h	DIO14 イベント 0h = 影響ありません 1h = RIS レジスタの DIO14 ビットをクリアします
13	DIO13	W	0h	DIO13 イベント 0h = 影響ありません 1h = RIS レジスタの DIO13 ビットをクリアします
12	DIO12	W	0h	DIO12 イベント 0h = 影響ありません 1h = RIS レジスタの DIO12 ビットをクリアします
11	DIO11	W	0h	DIO11 イベント 0h = 影響ありません 1h = RIS レジスタの DIO11 ビットをクリアします
10	DIO10	W	0h	DIO10 イベント 0h = 影響ありません 1h = RIS レジスタの DIO10 ビットをクリアします
9	DIO9	W	0h	DIO9 イベント 0h = 影響ありません 1h = RIS レジスタの DIO9 ビットをクリアします
8	DIO8	W	0h	DIO8 イベント 0h = 影響ありません 1h = RIS レジスタの DIO8 ビットをクリアします
7	DIO7	W	0h	DIO7 イベント 0h = 影響ありません 1h = RIS レジスタの DIO7 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 10-24. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DIO6	W	0h	DIO6 イベント 0h = 影響ありません 1h = RIS レジスタの DIO6 ビットをクリアします
5	DIO5	W	0h	DIO5 イベント 0h = 影響ありません 1h = RIS レジスタの DIO5 ビットをクリアします
4	DIO4	W	0h	DIO4 イベント 0h = 影響ありません 1h = RIS レジスタの DIO4 ビットをクリアします
3	DIO3	W	0h	DIO3 イベント 0h = 影響ありません 1h = RIS レジスタの DIO3 ビットをクリアします
2	DIO2	W	0h	DIO2 イベント 0h = 影響ありません 1h = RIS レジスタの DIO2 ビットをクリアします
1	DIO1	W	0h	DIO1 イベント 0h = 影響ありません 1h = RIS レジスタの DIO1 ビットをクリアします
0	DIO0	W	0h	DIO0 イベント 0h = 影響ありません 1h = RIS レジスタの DIO0 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

10.3.22 IIDX (オフセット = 1080h) [リセット = 00000000h]

図 10-25 に、IIDX を示し、表 10-25 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も高い優先度、IIDX が次に高い 4、8、...IIDX^31 が最も低い優先度です。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 10-25. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 10-25. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 0h = いずれのビットもセットされていない場合、保留中の割り込み要求はありません 1h = DIO0 割り込み 2h = DIO1 割り込み 3h = DIO2 割り込み 4h = DIO3 割り込み 5h = DIO4 割り込み 6h = DIO5 割り込み 7h = DIO6 割り込み 8h = DIO7 割り込み 9h = DIO8 割り込み Ah = DIO9 割り込み Bh = DIO10 割り込み Ch = DIO11 割り込み Dh = DIO12 割り込み Eh = DIO13 割り込み Fh = DIO14 割り込み 10h = DIO15 割り込み

Copyright © 2026 Texas Instruments Incorporated

10.3.23 IMASK (オフセット = 1088h) [リセット = 00000000h]

図 10-26 に、IMASK を示し、表 10-26 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 10-26. IMASK

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み							
R/W-0h							

表 10-26. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R/W	0h	DIO31 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
30	DIO30	R/W	0h	DIO30 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
29	DIO29	R/W	0h	DIO29 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
28	DIO28	R/W	0h	DIO28 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
27	DIO27	R/W	0h	DIO27 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
26	DIO26	R/W	0h	DIO26 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
25	DIO25	R/W	0h	DIO25 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
24	DIO24	R/W	0h	DIO24 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
23	DIO23	R/W	0h	DIO23 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません

Copyright © 2026 Texas Instruments Incorporated

表 10-26. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	R/W	0h	DIO22 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
21	DIO21	R/W	0h	DIO21 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
20	DIO20	R/W	0h	DIO20 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
19	DIO19	R/W	0h	DIO19 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
18	DIO18	R/W	0h	DIO18 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
17	DIO17	R/W	0h	DIO17 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
16	DIO16	R/W	0h	DIO16 イベント マスク 0h = イベントがマスクされています 1h = イベントはマスクされていません
15-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

10.3.24 RIS (オフセット = 1090h) [リセット = 00000000h]

図 10-27 に、RIS を示し、表 10-27 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 10-27. RIS

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 10-27. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R	0h	DIO31 イベント 0h = DIO31 イベントは発生しませんでした 1h = DIO31 イベントが発生しました
30	DIO30	R	0h	DIO30 イベント 0h = DIO30 イベントは発生しませんでした 1h = DIO30 イベントが発生しました
29	DIO29	R	0h	DIO29 イベント 0h = DIO29 イベントは発生しませんでした 1h = DIO29 イベントが発生しました
28	DIO28	R	0h	DIO28 イベント 0h = DIO28 イベントは発生しませんでした 1h = DIO28 イベントが発生しました
27	DIO27	R	0h	DIO27 イベント 0h = DIO27 イベントは発生しませんでした 1h = DIO27 イベントが発生しました
26	DIO26	R	0h	DIO26 イベント 0h = DIO26 イベントは発生しませんでした 1h = DIO26 イベントが発生しました
25	DIO25	R	0h	DIO25 イベント 0h = DIO25 イベントは発生しませんでした 1h = DIO25 イベントが発生しました
24	DIO24	R	0h	DIO24 イベント 0h = DIO24 イベントは発生しませんでした 1h = DIO24 イベントが発生しました
23	DIO23	R	0h	DIO23 イベント 0h = DIO23 イベントは発生しませんでした 1h = DIO23 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 10-27. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	R	0h	DIO22 イベント 0h = DIO22 イベントは発生しませんでした 1h = DIO22 イベントが発生しました
21	DIO21	R	0h	DIO21 イベント 0h = DIO21 イベントは発生しませんでした 1h = DIO21 イベントが発生しました
20	DIO20	R	0h	DIO20 イベント 0h = DIO20 イベントは発生しませんでした 1h = DIO20 イベントが発生しました
19	DIO19	R	0h	DIO19 イベント 0h = DIO19 イベントは発生しませんでした 1h = DIO19 イベントが発生しました
18	DIO18	R	0h	DIO18 イベント 0h = DIO18 イベントは発生しませんでした 1h = DIO18 イベントが発生しました
17	DIO17	R	0h	DIO17 イベント 0h = DIO17 イベントは発生しませんでした 1h = DIO17 イベントが発生しました
16	DIO16	R	0h	DIO16 イベント 0h = DIO16 イベントは発生しませんでした 1h = DIO16 イベントが発生しました
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

10.3.25 MIS (オフセット = 1098h) [リセット = 00000000h]

図 10-28 に、MIS を示し、表 10-28 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 10-28. MIS

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 10-28. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R	0h	DIO31 イベント 0h = DIO31 イベントは発生しませんでした 1h = DIO31 イベントが発生しました
30	DIO30	R	0h	DIO30 イベント 0h = DIO30 イベントは発生しませんでした 1h = DIO30 イベントが発生しました
29	DIO29	R	0h	DIO29 イベント 0h = DIO29 イベントは発生しませんでした 1h = DIO29 イベントが発生しました
28	DIO28	R	0h	DIO28 イベント 0h = DIO28 イベントは発生しませんでした 1h = DIO28 イベントが発生しました
27	DIO27	R	0h	DIO27 イベント 0h = DIO27 イベントは発生しませんでした 1h = DIO27 イベントが発生しました
26	DIO26	R	0h	DIO26 イベント 0h = DIO26 イベントは発生しませんでした 1h = DIO26 イベントが発生しました
25	DIO25	R	0h	DIO25 イベント 0h = DIO25 イベントは発生しませんでした 1h = DIO25 イベントが発生しました
24	DIO24	R	0h	DIO24 イベント 0h = DIO24 イベントは発生しませんでした 1h = DIO24 イベントが発生しました
23	DIO23	R	0h	DIO23 イベント 0h = DIO23 イベントは発生しませんでした 1h = DIO23 イベントが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 10-28. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	R	0h	DIO22 イベント 0h = DIO22 イベントは発生しませんでした 1h = DIO22 イベントが発生しました
21	DIO21	R	0h	DIO21 イベント 0h = DIO21 イベントは発生しませんでした 1h = DIO21 イベントが発生しました
20	DIO20	R	0h	DIO20 イベント 0h = DIO20 イベントは発生しませんでした 1h = DIO20 イベントが発生しました
19	DIO19	R	0h	DIO19 イベント 0h = DIO19 イベントは発生しませんでした 1h = DIO19 イベントが発生しました
18	DIO18	R	0h	DIO18 イベント 0h = DIO18 イベントは発生しませんでした 1h = DIO18 イベントが発生しました
17	DIO17	R	0h	DIO17 イベント 0h = DIO17 イベントは発生しませんでした 1h = DIO17 イベントが発生しました
16	DIO16	R	0h	DIO16 イベント 0h = DIO16 イベントは発生しませんでした 1h = DIO16 イベントが発生しました
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

10.3.26 ISET (オフセット = 10A0h) [リセット = 00000000h]

図 10-29 に、ISET を示し、表 10-29 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 10-29. ISET

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み							
W-0h							

表 10-29. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	DIO31 イベント 0h = 影響ありません 1h = RIS レジスタの DIO31 ビットをセットします
30	DIO30	W	0h	DIO30 イベント 0h = 影響ありません 1h = RIS レジスタの DIO30 ビットをセットします
29	DIO29	W	0h	DIO29 イベント 0h = 影響ありません 1h = RIS レジスタの DIO29 ビットをセットします
28	DIO28	W	0h	DIO28 イベント 0h = 影響ありません 1h = RIS レジスタの DIO28 ビットをセットします
27	DIO27	W	0h	DIO27 イベント 0h = 影響ありません 1h = RIS レジスタの DIO27 ビットをセットします
26	DIO26	W	0h	DIO26 イベント 0h = 影響ありません 1h = RIS レジスタの DIO26 ビットをセットします
25	DIO25	W	0h	DIO25 イベント 0h = 影響ありません 1h = RIS レジスタの DIO25 ビットをセットします
24	DIO24	W	0h	DIO24 イベント 0h = 影響ありません 1h = RIS レジスタの DIO24 ビットをセットします
23	DIO23	W	0h	DIO23 イベント 0h = 影響ありません 1h = RIS レジスタの DIO23 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 10-29. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	W	0h	DIO22 イベント 0h = 影響ありません 1h = RIS レジスタの DIO22 ビットをセットします
21	DIO21	W	0h	DIO21 イベント 0h = 影響ありません 1h = RIS レジスタの DIO21 ビットをセットします
20	DIO20	W	0h	DIO20 イベント 0h = 影響ありません 1h = RIS レジスタの DIO20 ビットをセットします
19	DIO19	W	0h	DIO19 イベント 0h = 影響ありません 1h = RIS レジスタの DIO19 ビットをセットします
18	DIO18	W	0h	DIO18 イベント 0h = 影響ありません 1h = RIS レジスタの DIO18 ビットをセットします
17	DIO17	W	0h	DIO17 イベント 0h = 影響ありません 1h = RIS レジスタの DIO17 ビットをセットします
16	DIO16	W	0h	DIO16 イベント 0h = 影響ありません 1h = RIS レジスタの DIO16 ビットをセットします
15-0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

10.3.27 ICLR (オフセット = 10A8h) [リセット = 00000000h]

図 10-30 に、ICLR を示し、表 10-30 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 10-30. ICLR

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み							
W-0h							

表 10-30. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	DIO31 イベント 0h = 影響ありません 1h = RIS レジスタの DIO31 ビットをクリアします
30	DIO30	W	0h	DIO30 イベント 0h = 影響ありません 1h = RIS レジスタの DIO30 ビットをクリアします
29	DIO29	W	0h	DIO29 イベント 0h = 影響ありません 1h = RIS レジスタの DIO29 ビットをクリアします
28	DIO28	W	0h	DIO28 イベント 0h = 影響ありません 1h = RIS レジスタの DIO28 ビットをクリアします
27	DIO27	W	0h	DIO27 イベント 0h = 影響ありません 1h = RIS レジスタの DIO27 ビットをクリアします
26	DIO26	W	0h	DIO26 イベント 0h = 影響ありません 1h = RIS レジスタの DIO26 ビットをクリアします
25	DIO25	W	0h	DIO25 イベント 0h = 影響ありません 1h = RIS レジスタの DIO25 ビットをクリアします
24	DIO24	W	0h	DIO24 イベント 0h = 影響ありません 1h = RIS レジスタの DIO24 ビットをクリアします
23	DIO23	W	0h	DIO23 イベント 0h = 影響ありません 1h = RIS レジスタの DIO23 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 10-30. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	W	0h	DIO22 イベント 0h = 影響ありません 1h = RIS レジスタの DIO22 ビットをクリアします
21	DIO21	W	0h	DIO21 イベント 0h = 影響ありません 1h = RIS レジスタの DIO21 ビットをクリアします
20	DIO20	W	0h	DIO20 イベント 0h = 影響ありません 1h = RIS レジスタの DIO20 ビットをクリアします
19	DIO19	W	0h	DIO19 イベント 0h = 影響ありません 1h = RIS レジスタの DIO19 ビットをクリアします
18	DIO18	W	0h	DIO18 イベント 0h = 影響ありません 1h = RIS レジスタの DIO18 ビットをクリアします
17	DIO17	W	0h	DIO17 イベント 0h = 影響ありません 1h = RIS レジスタの DIO17 ビットをクリアします
16	DIO16	W	0h	DIO16 イベント 0h = 影響ありません 1h = RIS レジスタの DIO16 ビットをクリアします
15-0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

10.3.28 EVT_MODE (オフセット = 10E0h) [リセット = 00000029h]

EVT_MODE は図 10-31 に示されており、表 10-31 で説明されています。

概略表に戻ります。

イベント モード レジスタ。各ラインをディスエーブルにするか、ソフトウェア モード (ソフトウェアが RIS をクリア) にするか、あるいはハードウェア モード (ハードウェアが RIS をクリア) にするかを選択するために使用されます

図 10-31. EVT_MODE

31	30	29	28	27	26	25	24
予約済み							
R/W-							
23	22	21	20	19	18	17	16
予約済み							
R/W-							
15	14	13	12	11	10	9	8
予約済み							
R/W-							
7	6	5	4	3	2	1	0
予約済み		EVT2_CFG		EVT1_CFG		INT0_CFG	
R/W-		R-2h		R-2h		R-1h	

表 10-31. EVT_MODE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	
5-4	EVT2_CFG	R	2h	none.GEN_EVENT1 に対応するイベントのイベント ライン モードを選択します 0h = 割り込みラインまたはイベント ラインは無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。
3-2	EVT1_CFG	R	2h	none.GEN_EVENT0 に対応するイベントのイベント ライン モードを選択します 0h = 割り込みラインまたはイベント ラインは無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。
1-0	INT0_CFG	R	1h	none.CPU_INT に対応するイベントのイベント ライン モードを選択します 0h = 割り込みラインまたはイベント ラインは無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

10.3.29 DESC (オフセット = 10FCh) [リセット = 16110000h]

図 10-32 に、DESC を示し、表 10-32 に、その説明を示します。

概略表に戻ります。

このレジスタは、ペリフェラルとその正確なバージョンを識別します。

図 10-32. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-1611h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				予約済み				MAJREV				MINREV			
R-				R-				R-				R-			

表 10-32. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	1611h	モジュール識別には、固有のペリフェラル識別番号が含まれています。一意性を確保するため、すべてのプラットフォーム モジュールの割り当ては中央のデータベースに保持されます。 0h = 最小値 FFFFh = 可能な最大値
15-12	FEATUREVER	R	0h	モジュール *インスタンス* の機能セット 0h = 最小値 Fh = 可能な最大値
11-8	予約済み	R	0h	
7-4	MAJREV	R	0h	IP のメジャー リビジョン 0h = 最小値 Fh = 可能な最大値
3-0	MINREV	R	0h	IP のマイナー リビジョン 0h = 最小値 Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

10.3.30 DOUT3_0 (オフセット = 1200h) [リセット = 00000000h]

図 10-33 に、DOUT3_0 を示し、表 10-33 に、その説明を示します。

概略表に戻ります。

DIO3 ～ DIO0 として構成されたピンのデータ出力。このレジスタは、DOUT31_0 レジスタのビット 3 ～ 0 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-33. DOUT3_0

31	30	29	28	27	26	25	24
予約済み							DIO3
W-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO2
W-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO1
W-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO0
W-0h							W-0h

表 10-33. DOUT3_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	W	0h	
24	DIO3	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO3 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23-17	予約済み	W	0h	
16	DIO2	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO2 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15-9	予約済み	W	0h	
8	DIO1	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO1 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7-1	予約済み	W	0h	
0	DIO0	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO0 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

10.3.31 DOUT7_4 (オフセット = 1204h) [リセット = 00000000h]

図 10-34 に、DOUT7_4 を示し、表 10-34 に、その説明を示します。

概略表に戻ります。

DIO7 ～ DIO4 として構成されたピンのデータ出力。このレジスタは、DOUT31_0 レジスタのビット 7 ～ 4 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-34. DOUT7_4

31	30	29	28	27	26	25	24
予約済み							DIO7
W-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO6
W-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO5
W-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO4
W-0h							W-0h

表 10-34. DOUT7_4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	W	0h	
24	DIO7	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO7 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23-17	予約済み	W	0h	
16	DIO6	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO6 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15-9	予約済み	W	0h	
8	DIO5	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO5 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7-1	予約済み	W	0h	
0	DIO4	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO4 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

10.3.32 DOUT11_8 (オフセット = 1208h) [リセット = 00000000h]

図 10-35 に、DOUT11_8 を示し、表 10-35 に、その説明を示します。

概略表に戻ります。

DIO11 ～ DIO8 として構成されたピンのデータ出力。このレジスタは、DOUT31_0 レジスタのビット 11 ～ 8 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-35. DOUT11_8

31	30	29	28	27	26	25	24
予約済み							DIO11
W-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO10
W-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO9
W-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO8
W-0h							W-0h

表 10-35. DOUT11_8 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	W	0h	
24	DIO11	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO11 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23-17	予約済み	W	0h	
16	DIO10	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO10 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15-9	予約済み	W	0h	
8	DIO9	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO9 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7-1	予約済み	W	0h	
0	DIO8	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO8 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

10.3.33 DOUT15_12 (オフセット = 120Ch) [リセット = 00000000h]

図 10-36 に、DOUT15_12 を示し、表 10-36 に、その説明を示します。

概略表に戻ります。

DIO15 ～ DIO12 として構成されたピンのデータ出力。このレジスタは、DOUT31_0 レジスタのビット 15 ～ 12 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-36. DOUT15_12

31	30	29	28	27	26	25	24
予約済み							DIO15
W-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO14
W-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO13
W-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO12
W-0h							W-0h

表 10-36. DOUT15_12 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	W	0h	
24	DIO15	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO15 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23-17	予約済み	W	0h	
16	DIO14	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO14 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15-9	予約済み	W	0h	
8	DIO13	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO13 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7-1	予約済み	W	0h	
0	DIO12	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO12 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

10.3.34 DOUT19_16 (オフセット = 1210h) [リセット = 00000000h]

図 10-37 に、DOUT19_16 を示し、表 10-37 に、その説明を示します。

概略表に戻ります。

DIO19 ～ DIO16 として構成されたピンのデータ出力。このレジスタは、DOUT31_0 レジスタのビット 19 ～ 16 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-37. DOUT19_16

31	30	29	28	27	26	25	24
予約済み							DIO19
W-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO18
W-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO17
W-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO16
W-0h							W-0h

表 10-37. DOUT19_16 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	W	0h	
24	DIO19	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO19 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23-17	予約済み	W	0h	
16	DIO18	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO18 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15-9	予約済み	W	0h	
8	DIO17	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO17 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7-1	予約済み	W	0h	
0	DIO16	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO16 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

10.3.35 DOUT23_20 (オフセット = 1214h) [リセット = 00000000h]

図 10-38 に、DOUT23_20 を示し、表 10-38 に、その説明を示します。

概略表に戻ります。

DIO23 ～ DIO20 として構成されたピンのデータ出力。このレジスタは、DOUT31_0 レジスタのビット 23 ～ 20 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-38. DOUT23_20

31	30	29	28	27	26	25	24
予約済み							DIO23
W-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO22
W-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO21
W-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO20
W-0h							W-0h

表 10-38. DOUT23_20 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	W	0h	
24	DIO23	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO23 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23-17	予約済み	W	0h	
16	DIO22	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO22 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15-9	予約済み	W	0h	
8	DIO21	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO21 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7-1	予約済み	W	0h	
0	DIO20	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO20 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

10.3.36 DOUT27_24 (オフセット = 1218h) [リセット = 00000000h]

図 10-39 に、DOUT27_24 を示し、表 10-39 に、その説明を示します。

概略表に戻ります。

DIO27 ～ DIO24 として構成されたピンのデータ出力。このレジスタは、DOUT31_0 レジスタのビット 27 ～ 24 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-39. DOUT27_24

31	30	29	28	27	26	25	24
予約済み							DIO27
W-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO26
W-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO25
W-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO24
W-0h							W-0h

表 10-39. DOUT27_24 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	W	0h	
24	DIO27	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO27 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23-17	予約済み	W	0h	
16	DIO26	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO26 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15-9	予約済み	W	0h	
8	DIO25	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO25 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7-1	予約済み	W	0h	
0	DIO24	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO24 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

10.3.37 DOUT31_28 (オフセット = 121Ch) [リセット = 00000000h]

図 10-40 に、DOUT31_28 を示し、表 10-40 に、その説明を示します。

概略表に戻ります。

DIO31 ～ DIO28 として構成されたピンのデータ出力。このレジスタは、DOUT31_0 レジスタのビット 31 ～ 28 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-40. DOUT31_28

31	30	29	28	27	26	25	24
予約済み							DIO31
W-0h							W-0h
23	22	21	20	19	18	17	16
予約済み							DIO30
W-0h							W-0h
15	14	13	12	11	10	9	8
予約済み							DIO29
W-0h							W-0h
7	6	5	4	3	2	1	0
予約済み							DIO28
W-0h							W-0h

表 10-40. DOUT31_28 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	W	0h	
24	DIO31	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO31 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23-17	予約済み	W	0h	
16	DIO30	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO30 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15-9	予約済み	W	0h	
8	DIO29	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO29 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7-1	予約済み	W	0h	
0	DIO28	W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO28 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

10.3.38 DOUT31_0 (オフセット = 1280h) [リセット = 00000000h]

図 10-41 に、DOUT31_0 を示し、表 10-41 に、その説明を示します。

概略表に戻ります。

DIO31 ～ DIO0 として構成されたピンのデータ出力。

図 10-41. DOUT31_0

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 10-41. DOUT31_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO31 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
30	DIO30	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO30 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
29	DIO29	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO29 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
28	DIO28	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO28 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
27	DIO27	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO27 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
26	DIO26	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO26 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
25	DIO25	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO25 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

表 10-41. DOUT31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	DIO24	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO24 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
23	DIO23	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO23 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
22	DIO22	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO22 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
21	DIO21	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO21 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
20	DIO20	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO20 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
19	DIO19	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO19 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
18	DIO18	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO18 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
17	DIO17	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO17 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
16	DIO16	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO16 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
15	DIO15	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO15 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
14	DIO14	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO14 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
13	DIO13	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO13 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
12	DIO12	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO12 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

表 10-41. DOUT31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	DIO11	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO11 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
10	DIO10	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO10 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
9	DIO9	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO9 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
8	DIO8	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO8 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
7	DIO7	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO7 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
6	DIO6	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO6 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
5	DIO5	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO5 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
4	DIO4	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO4 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
3	DIO3	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO3 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
2	DIO2	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO2 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
1	DIO1	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO1 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます
0	DIO0	R/W	0h	このビットは、DOE31_0 レジスタで出力がイネーブルになっている場合に、DIO0 として構成されたピンの値を設定します。 0h = 出力は 0 に設定されます 1h = 出力は 1 に設定されます

Copyright © 2026 Texas Instruments Incorporated

10.3.39 DOUTSET31_0 (オフセット = 1290h) [リセット = 00000000h]

図 10-42 に、DOUTSET31_0 を示し、表 10-42 に、その説明を示します。

概略表に戻ります。

このレジスタのビット位置に 1 を書き込むと、DOUT31_0 レジスタの対応するビットがセットされます。

図 10-42. DOUTSET31_0

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-42. DOUTSET31_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO31 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO31 ビットをセットします
30	DIO30	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO30 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO30 ビットをセットします
29	DIO29	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO29 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO29 ビットをセットします
28	DIO28	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO28 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO28 ビットをセットします
27	DIO27	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO27 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO27 ビットをセットします
26	DIO26	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO26 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO26 ビットをセットします
25	DIO25	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO25 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO25 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 10-42. DOUTSET31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	DIO24	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO24 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO24 ビットをセットします
23	DIO23	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO23 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO23 ビットをセットします
22	DIO22	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO22 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO22 ビットをセットします
21	DIO21	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO21 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO21 ビットをセットします
20	DIO20	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO20 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO20 ビットをセットします
19	DIO19	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO19 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO19 ビットをセットします
18	DIO18	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO18 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO18 ビットをセットします
17	DIO17	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO17 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO17 ビットをセットします
16	DIO16	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO16 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO16 ビットをセットします
15	DIO15	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO15 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO15 ビットをセットします
14	DIO14	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO14 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO14 ビットをセットします
13	DIO13	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO13 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO13 ビットをセットします
12	DIO12	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO12 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO12 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 10-42. DOUTSET31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	DIO11	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO11 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO11 ビットをセットします
10	DIO10	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO10 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO10 ビットをセットします
9	DIO9	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO9 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO9 ビットをセットします
8	DIO8	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO8 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO8 ビットをセットします
7	DIO7	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO7 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO7 ビットをセットします
6	DIO6	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO6 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO6 ビットをセットします
5	DIO5	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO5 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO5 ビットをセットします
4	DIO4	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO4 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO4 ビットをセットします
3	DIO3	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO3 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO3 ビットをセットします
2	DIO2	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO2 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO2 ビットをセットします
1	DIO1	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO1 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO1 ビットをセットします
0	DIO0	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO0 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO0 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

10.3.40 DOUTCLR31_0 (オフセット = 12A0h) [リセット = 00000000h]

図 10-43 に、DOUTCLR31_0 を示し、表 10-43 に、その説明を示します。

概略表に戻ります。

このレジスタのビット位置に 1 を書き込むと、DOUT31_0 レジスタの対応するビットがクリアされます。

図 10-43. DOUTCLR31_0

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-43. DOUTCLR31_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO31 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO31 ビットをクリアします
30	DIO30	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO30 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO30 ビットをクリアします
29	DIO29	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO29 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO29 ビットをクリアします
28	DIO28	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO28 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO28 ビットをクリアします
27	DIO27	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO27 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO27 ビットをクリアします
26	DIO26	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO26 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO26 ビットをクリアします
25	DIO25	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO25 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO25 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 10-43. DOUTCLR31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	DIO24	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO24 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO24 ビットをクリアします
23	DIO23	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO23 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO23 ビットをクリアします
22	DIO22	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO22 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO22 ビットをクリアします
21	DIO21	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO21 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO21 ビットをクリアします
20	DIO20	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO20 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO20 ビットをクリアします
19	DIO19	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO19 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO19 ビットをクリアします
18	DIO18	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO18 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO18 ビットをクリアします
17	DIO17	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO17 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO17 ビットをクリアします
16	DIO16	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO16 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO16 ビットをクリアします
15	DIO15	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO15 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO15 ビットをクリアします
14	DIO14	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO14 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO14 ビットをクリアします
13	DIO13	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO13 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO13 ビットをクリアします
12	DIO12	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO12 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO12 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 10-43. DOUTCLR31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	DIO11	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO11 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO11 ビットをクリアします
10	DIO10	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO10 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO10 ビットをクリアします
9	DIO9	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO9 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO9 ビットをクリアします
8	DIO8	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO8 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO8 ビットをクリアします
7	DIO7	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO7 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO7 ビットをクリアします
6	DIO6	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO6 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO6 ビットをクリアします
5	DIO5	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO5 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO5 ビットをクリアします
4	DIO4	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO4 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO4 ビットをクリアします
3	DIO3	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO3 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO3 ビットをクリアします
2	DIO2	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO2 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO2 ビットをクリアします
1	DIO1	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO1 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO1 ビットをクリアします
0	DIO0	W	0h	このビットに 1 を書き込むと、DOUT31_0 レジスタの DIO0 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOUT31_0 レジスタの DIO0 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

10.3.41 DOUTTGL31_0 (オフセット = 12B0h) [リセット = 00000000h]

図 10-44 に、DOUTTGL31_0 を示し、表 10-44 に、その説明を示します。

概略表に戻ります。

このレジスタのビット位置に 1 を書き込むと、対応する DIO 出力が反転します。

図 10-44. DOUTTGL31_0

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-44. DOUTTGL31_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	このビットは DIO31 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
30	DIO30	W	0h	このビットは DIO30 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
29	DIO29	W	0h	このビットは DIO29 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
28	DIO28	W	0h	このビットは DIO28 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
27	DIO27	W	0h	このビットは DIO27 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
26	DIO26	W	0h	このビットは DIO26 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
25	DIO25	W	0h	このビットは DIO25 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
24	DIO24	W	0h	このビットは DIO24 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
23	DIO23	W	0h	このビットは DIO23 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します

Copyright © 2026 Texas Instruments Incorporated

表 10-44. DOUTTGL31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	W	0h	このビットは DIO22 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
21	DIO21	W	0h	このビットは DIO21 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
20	DIO20	W	0h	このビットは DIO20 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
19	DIO19	W	0h	このビットは DIO19 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
18	DIO18	W	0h	このビットは DIO18 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
17	DIO17	W	0h	このビットは DIO17 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
16	DIO16	W	0h	このビットは DIO16 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
15	DIO15	W	0h	このビットは DIO15 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
14	DIO14	W	0h	このビットは DIO14 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
13	DIO13	W	0h	このビットは DIO13 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
12	DIO12	W	0h	このビットは DIO12 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
11	DIO11	W	0h	このビットは DIO11 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
10	DIO10	W	0h	このビットは DIO10 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
9	DIO9	W	0h	このビットは DIO9 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
8	DIO8	W	0h	このビットは DIO8 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
7	DIO7	W	0h	このビットは DIO7 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
6	DIO6	W	0h	このビットは DIO6 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します

Copyright © 2026 Texas Instruments Incorporated

表 10-44. DOUTTGL31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIO5	W	0h	このビットは DIO5 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
4	DIO4	W	0h	このビットは DIO4 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
3	DIO3	W	0h	このビットは DIO3 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
2	DIO2	W	0h	このビットは DIO2 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
1	DIO1	W	0h	このビットは DIO1 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します
0	DIO0	W	0h	このビットは DIO0 出力を切り替えるために使用されます。 0h = 影響ありません 1h = 出力を反転します

Copyright © 2026 Texas Instruments Incorporated

10.3.42 DOE31_0 (オフセット = 12C0h) [リセット = 00000000h]

図 10-45 に、DOE31_0 を示し、表 10-45 に、その説明を示します。

概略表に戻ります。

このレジスタは、DIO31 ～ DIO0 のデータ出力を有効にするために使用します。

図 10-45. DOE31_0

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 10-45. DOE31_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R/W	0h	DIO31 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
30	DIO30	R/W	0h	DIO30 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
29	DIO29	R/W	0h	DIO29 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
28	DIO28	R/W	0h	DIO28 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
27	DIO27	R/W	0h	DIO27 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
26	DIO26	R/W	0h	DIO26 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
25	DIO25	R/W	0h	DIO25 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
24	DIO24	R/W	0h	DIO24 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
23	DIO23	R/W	0h	DIO23 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です

Copyright © 2026 Texas Instruments Incorporated

表 10-45. DOE31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	R/W	0h	DIO22 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
21	DIO21	R/W	0h	DIO21 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
20	DIO20	R/W	0h	DIO20 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
19	DIO19	R/W	0h	DIO19 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
18	DIO18	R/W	0h	DIO18 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
17	DIO17	R/W	0h	DIO17 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
16	DIO16	R/W	0h	DIO16 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
15	DIO15	R/W	0h	DIO15 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
14	DIO14	R/W	0h	DIO14 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
13	DIO13	R/W	0h	DIO13 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
12	DIO12	R/W	0h	DIO12 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
11	DIO11	R/W	0h	DIO11 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
10	DIO10	R/W	0h	DIO10 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
9	DIO9	R/W	0h	DIO9 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
8	DIO8	R/W	0h	DIO8 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
7	DIO7	R/W	0h	DIO7 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
6	DIO6	R/W	0h	DIO6 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です

Copyright © 2026 Texas Instruments Incorporated

表 10-45. DOE31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIO5	R/W	0h	DIO5 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
4	DIO4	R/W	0h	DIO4 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
3	DIO3	R/W	0h	DIO3 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
2	DIO2	R/W	0h	DIO2 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
1	DIO1	R/W	0h	DIO1 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です
0	DIO0	R/W	0h	DIO0 のデータ出力を有効にします。 0h = 出力は無効です 1h = 出力は有効です

Copyright © 2026 Texas Instruments Incorporated

10.3.43 DOESET31_0 (オフセット = 12D0h) [リセット = 00000000h]

図 10-46 に、DOESET31_0 を示し、表 10-46 に、その説明を示します。

概略表に戻ります。

このレジスタのビット位置に 1 を書き込むと、DOE31_0 レジスタの対応するビットがセットされます。

図 10-46. DOESET31_0

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-46. DOESET31_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO31 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO31 ビットをセットします
30	DIO30	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO30 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO30 ビットをセットします
29	DIO29	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO29 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO29 ビットをセットします
28	DIO28	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO28 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO28 ビットをセットします
27	DIO27	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO27 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO27 ビットをセットします
26	DIO26	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO26 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO26 ビットをセットします
25	DIO25	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO25 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO25 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 10-46. DOESET31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	DIO24	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO24 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO24 ビットをセットします
23	DIO23	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO23 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO23 ビットをセットします
22	DIO22	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO22 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO22 ビットをセットします
21	DIO21	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO21 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO21 ビットをセットします
20	DIO20	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO20 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO20 ビットをセットします
19	DIO19	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO19 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO19 ビットをセットします
18	DIO18	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO18 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO18 ビットをセットします
17	DIO17	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO17 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO17 ビットをセットします
16	DIO16	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO16 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO16 ビットをセットします
15	DIO15	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO15 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO15 ビットをセットします
14	DIO14	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO14 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO14 ビットをセットします
13	DIO13	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO13 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO13 ビットをセットします
12	DIO12	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO12 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO12 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

表 10-46. DOESET31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	DIO11	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO11 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO11 ビットをセットします
10	DIO10	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO10 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO10 ビットをセットします
9	DIO9	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO9 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO9 ビットをセットします
8	DIO8	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO8 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO8 ビットをセットします
7	DIO7	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO7 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO7 ビットをセットします
6	DIO6	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO6 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO6 ビットをセットします
5	DIO5	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO5 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO5 ビットをセットします
4	DIO4	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO4 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO4 ビットをセットします
3	DIO3	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO3 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO3 ビットをセットします
2	DIO2	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO2 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO2 ビットをセットします
1	DIO1	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO1 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO1 ビットをセットします
0	DIO0	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO0 ビットがセットされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO0 ビットをセットします

Copyright © 2026 Texas Instruments Incorporated

10.3.44 DOECLR31_0 (オフセット = 12E0h) [リセット = 00000000h]

図 10-47 に、DOECLR31_0 を示し、表 10-47 に、その説明を示します。

概略表に戻ります。

このレジスタのビット位置に 1 を書き込むと、DOE31_0 レジスタの対応するビットがクリアされます。

図 10-47. DOECLR31_0

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 10-47. DOECLR31_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO31 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO31 ビットをクリアします
30	DIO30	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO30 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO30 ビットをクリアします
29	DIO29	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO29 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO29 ビットをクリアします
28	DIO28	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO28 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO28 ビットをクリアします
27	DIO27	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO27 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO27 ビットをクリアします
26	DIO26	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO26 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO26 ビットをクリアします
25	DIO25	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO25 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO25 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 10-47. DOECLR31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	DIO24	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO24 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO24 ビットをクリアします
23	DIO23	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO23 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO23 ビットをクリアします
22	DIO22	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO22 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO22 ビットをクリアします
21	DIO21	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO21 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO21 ビットをクリアします
20	DIO20	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO20 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO20 ビットをクリアします
19	DIO19	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO19 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO19 ビットをクリアします
18	DIO18	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO18 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO18 ビットをクリアします
17	DIO17	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO17 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO17 ビットをクリアします
16	DIO16	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO16 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO16 ビットをクリアします
15	DIO15	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO15 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO15 ビットをクリアします
14	DIO14	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO14 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO14 ビットをクリアします
13	DIO13	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO13 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO13 ビットをクリアします
12	DIO12	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO12 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO12 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 10-47. DOECLR31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	DIO11	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO11 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO11 ビットをクリアします
10	DIO10	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO10 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO10 ビットをクリアします
9	DIO9	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO9 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO9 ビットをクリアします
8	DIO8	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO8 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO8 ビットをクリアします
7	DIO7	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO7 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO7 ビットをクリアします
6	DIO6	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO6 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO6 ビットをクリアします
5	DIO5	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO5 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO5 ビットをクリアします
4	DIO4	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO4 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO4 ビットをクリアします
3	DIO3	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO3 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO3 ビットをクリアします
2	DIO2	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO2 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO2 ビットをクリアします
1	DIO1	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO1 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO1 ビットをクリアします
0	DIO0	W	0h	このビットに 1 を書き込むと、DOE31_0 レジスタの DIO0 ビットがクリアされます。0 を書き込んでも何もしません。 0h = 影響ありません 1h = DOE31_0 レジスタの DIO0 ビットをクリアします

Copyright © 2026 Texas Instruments Incorporated

10.3.45 DIN3_0 (オフセット = 1300h) [リセット = 00000000h]

図 10-48 に、DIN3_0 を示し、表 10-48 に、その説明を示します。

概略表に戻ります。

DIO3 ～ DIO0 として構成されたピンからのデータ入力。このレジスタは、DIN31_0 レジスタのビット 3 ～ 0 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-48. DIN3_0

31	30	29	28	27	26	25	24
予約済み							DIO3
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							DIO2
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							DIO1
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							DIO0
R-0h							R-0h

表 10-48. DIN3_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	DIO3	R	0h	このビットは、DIO3 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23-17	予約済み	R	0h	
16	DIO2	R	0h	このビットは、DIO2 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15-9	予約済み	R	0h	
8	DIO1	R	0h	このビットは、DIO1 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7-1	予約済み	R	0h	
0	DIO0	R	0h	このビットは、DIO0 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.46 DIN7_4 (オフセット = 1304h) [リセット = 00000000h]

図 10-49 に、DIN7_4 を示し、表 10-49 に、その説明を示します。

概略表に戻ります。

DIO7 ～ DIO4 として構成されたピンからのデータ入力。このレジスタは、DIN31_0 レジスタのビット 7 ～ 4 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-49. DIN7_4

31	30	29	28	27	26	25	24
予約済み							DIO7
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							DIO6
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							DIO5
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							DIO4
R-0h							R-0h

表 10-49. DIN7_4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	DIO7	R	0h	このビットは、DIO7 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23-17	予約済み	R	0h	
16	DIO6	R	0h	このビットは、DIO6 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15-9	予約済み	R	0h	
8	DIO5	R	0h	このビットは、DIO5 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7-1	予約済み	R	0h	
0	DIO4	R	0h	このビットは、DIO4 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.47 DIN11_8 (オフセット = 1308h) [リセット = 00000000h]

図 10-50 に、DIN11_8 を示し、表 10-50 に、その説明を示します。

概略表に戻ります。

DIO11 ～ DIO8 として構成されたピンからのデータ入力。このレジスタは、DIN31_0 レジスタのビット 11 ～ 8 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-50. DIN11_8

31	30	29	28	27	26	25	24
予約済み							DIO11
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							DIO10
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							DIO9
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							DIO8
R-0h							R-0h

表 10-50. DIN11_8 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	DIO11	R	0h	このビットは、DIO11 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23-17	予約済み	R	0h	
16	DIO10	R	0h	このビットは、DIO10 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15-9	予約済み	R	0h	
8	DIO9	R	0h	このビットは、DIO9 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7-1	予約済み	R	0h	
0	DIO8	R	0h	このビットは、DIO8 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.48 DIN15_12 (オフセット = 130Ch) [リセット = 00000000h]

図 10-51 に、DIN15_12 を示し、表 10-51 に、その説明を示します。

概略表に戻ります。

DIO15 ～ DIO12 として構成されたピンからのデータ入力。このレジスタは、DIN31_0 レジスタのビット 15 ～ 12 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-51. DIN15_12

31	30	29	28	27	26	25	24
予約済み							DIO15
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							DIO14
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							DIO13
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							DIO12
R-0h							R-0h

表 10-51. DIN15_12 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	DIO15	R	0h	このビットは、DIO15 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23-17	予約済み	R	0h	
16	DIO14	R	0h	このビットは、DIO14 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15-9	予約済み	R	0h	
8	DIO13	R	0h	このビットは、DIO13 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7-1	予約済み	R	0h	
0	DIO12	R	0h	このビットは、DIO12 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.49 DIN19_16 (オフセット = 1310h) [リセット = 00000000h]

図 10-52 に、DIN19_16 を示し、表 10-52 に、その説明を示します。

概略表に戻ります。

DIO19 ～ DIO16 として構成されたピンからのデータ入力。このレジスタは、DIN31_0 レジスタのビット 19 ～ 16 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-52. DIN19_16

31	30	29	28	27	26	25	24
予約済み							DIO19
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							DIO18
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							DIO17
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							DIO16
R-0h							R-0h

表 10-52. DIN19_16 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	DIO19	R	0h	このビットは、DIO19 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23-17	予約済み	R	0h	
16	DIO18	R	0h	このビットは、DIO18 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15-9	予約済み	R	0h	
8	DIO17	R	0h	このビットは、DIO17 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7-1	予約済み	R	0h	
0	DIO16	R	0h	このビットは、DIO16 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.50 DIN23_20 (オフセット = 1314h) [リセット = 00000000h]

図 10-53 に、DIN23_20 を示し、表 10-53 に、その説明を示します。

概略表に戻ります。

DIO23 ～ DIO20 として構成されたピンからのデータ入力。このレジスタは、DIN31_0 レジスタのビット 23 ～ 20 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-53. DIN23_20

31	30	29	28	27	26	25	24
予約済み							DIO23
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							DIO22
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							DIO21
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							DIO20
R-0h							R-0h

表 10-53. DIN23_20 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	DIO23	R	0h	このビットは、DIO23 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23-17	予約済み	R	0h	
16	DIO22	R	0h	このビットは、DIO22 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15-9	予約済み	R	0h	
8	DIO21	R	0h	このビットは、DIO21 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7-1	予約済み	R	0h	
0	DIO20	R	0h	このビットは、DIO20 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.51 DIN27_24 (オフセット = 1318h) [リセット = 00000000h]

図 10-54 に、DIN27_24 を示し、表 10-54 に、その説明を示します。

概略表に戻ります。

DIO27 ～ DIO24 として構成されたピンからのデータ入力。このレジスタは、DIN31_0 レジスタのビット 27 ～ 24 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-54. DIN27_24

31	30	29	28	27	26	25	24
予約済み							DIO27
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							DIO26
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							DIO25
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							DIO24
R-0h							R-0h

表 10-54. DIN27_24 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	DIO27	R	0h	このビットは、DIO27 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23-17	予約済み	R	0h	
16	DIO26	R	0h	このビットは、DIO26 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15-9	予約済み	R	0h	
8	DIO25	R	0h	このビットは、DIO25 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7-1	予約済み	R	0h	
0	DIO24	R	0h	このビットは、DIO24 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.52 DIN31_28 (オフセット = 131Ch) [リセット = 00000000h]

図 10-55 に、DIN31_28 を示し、表 10-55 に、その説明を示します。

概略表に戻ります。

DIO31 ～ DIO28 として構成されたピンからのデータ入力。このレジスタは、DIN31_0 レジスタのビット 31 ～ 28 にバイト単位でアクセスするためのエイリアス レジスタです。

図 10-55. DIN31_28

31	30	29	28	27	26	25	24
予約済み							DIO31
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							DIO30
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							DIO29
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							DIO28
R-0h							R-0h

表 10-55. DIN31_28 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	DIO31	R	0h	このビットは、DIO31 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23-17	予約済み	R	0h	
16	DIO30	R	0h	このビットは、DIO30 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15-9	予約済み	R	0h	
8	DIO29	R	0h	このビットは、DIO29 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7-1	予約済み	R	0h	
0	DIO28	R	0h	このビットは、DIO28 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.53 DIN31_0 (オフセット = 1380h) [リセット = 00000000h]

図 10-56 に、DIN31_0 を示し、表 10-56 に、その説明を示します。

概略表に戻ります。

DIO31 ～ DIO0 として構成されたピンのデータ入力値。

図 10-56. DIN31_0

31	30	29	28	27	26	25	24
DIO31	DIO30	DIO29	DIO28	DIO27	DIO26	DIO25	DIO24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
DIO23	DIO22	DIO21	DIO20	DIO19	DIO18	DIO17	DIO16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DIO15	DIO14	DIO13	DIO12	DIO11	DIO10	DIO9	DIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 10-56. DIN31_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	DIO31	R	0h	このビットは、DIO31 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
30	DIO30	R	0h	このビットは、DIO30 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
29	DIO29	R	0h	このビットは、DIO29 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
28	DIO28	R	0h	このビットは、DIO28 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
27	DIO27	R	0h	このビットは、DIO27 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
26	DIO26	R	0h	このビットは、DIO26 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
25	DIO25	R	0h	このビットは、DIO25 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
24	DIO24	R	0h	このビットは、DIO24 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
23	DIO23	R	0h	このビットは、DIO23 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

表 10-56. DIN31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIO22	R	0h	このビットは、DIO22 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
21	DIO21	R	0h	このビットは、DIO21 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
20	DIO20	R	0h	このビットは、DIO20 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
19	DIO19	R	0h	このビットは、DIO19 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
18	DIO18	R	0h	このビットは、DIO18 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
17	DIO17	R	0h	このビットは、DIO17 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
16	DIO16	R	0h	このビットは、DIO16 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
15	DIO15	R	0h	このビットは、DIO15 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
14	DIO14	R	0h	このビットは、DIO14 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
13	DIO13	R	0h	このビットは、DIO13 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
12	DIO12	R	0h	このビットは、DIO12 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
11	DIO11	R	0h	このビットは、DIO11 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
10	DIO10	R	0h	このビットは、DIO10 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
9	DIO9	R	0h	このビットは、DIO9 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
8	DIO8	R	0h	このビットは、DIO8 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
7	DIO7	R	0h	このビットは、DIO7 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
6	DIO6	R	0h	このビットは、DIO6 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

表 10-56. DIN31_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIO5	R	0h	このビットは、DIO5 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
4	DIO4	R	0h	このビットは、DIO4 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
3	DIO3	R	0h	このビットは、DIO3 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
2	DIO2	R	0h	このビットは、DIO2 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
1	DIO1	R	0h	このビットは、DIO1 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です
0	DIO0	R	0h	このビットは、DIO0 のデータ入力値を読み取ります。 0h = 入力値は 0 です 1h = 入力値は 1 です

Copyright © 2026 Texas Instruments Incorporated

10.3.54 POLARITY15_0 (オフセット = 1390h) [リセット = 00000000h]

図 10-57 に、POLARITY15_0 を示し、表 10-57 に、その説明を示します。

概略表に戻ります。

このレジスタは、DIO15 ～ DIO0 の入力エッジ検出を有効化し、その極性を設定するために使用されます。入力イベントが設定された極性と一致すると、RIS レジスタ内の対応する DIO ビットがセットされます。

図 10-57. POLARITY15_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIO15		DIO14		DIO13		DIO12		DIO11		DIO10		DIO9		DIO8	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIO7		DIO6		DIO5		DIO4		DIO3		DIO2		DIO1		DIO0	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 10-57. POLARITY15_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-30	DIO15	R/W	0h	DIO15 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
29-28	DIO14	R/W	0h	DIO14 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
27-26	DIO13	R/W	0h	DIO13 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
25-24	DIO12	R/W	0h	DIO12 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
23-22	DIO11	R/W	0h	DIO11 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
21-20	DIO10	R/W	0h	DIO10 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します

Copyright © 2026 Texas Instruments Incorporated

表 10-57. POLARITY15_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19-18	DIO9	R/W	0h	DIO9 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
17-16	DIO8	R/W	0h	DIO8 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
15-14	DIO7	R/W	0h	DIO7 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
13-12	DIO6	R/W	0h	DIO6 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
11-10	DIO5	R/W	0h	DIO5 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
9-8	DIO4	R/W	0h	DIO4 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
7-6	DIO3	R/W	0h	DIO3 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
5-4	DIO2	R/W	0h	DIO2 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
3-2	DIO1	R/W	0h	DIO1 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します

Copyright © 2026 Texas Instruments Incorporated

表 10-57. POLARITY15_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	DIO0	R/W	0h	DIO0 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します

Copyright © 2026 Texas Instruments Incorporated

10.3.55 POLARITY31_16 (オフセット = 13A0h) [リセット = 00000000h]

図 10-58 に、POLARITY31_16 を示し、表 10-58 に、その説明を示します。

概略表に戻ります。

このレジスタは、DIO31 ～ DIO16 の入力エッジ検出を有効化し、その極性を設定するために使用されます。入力イベントが設定された極性と一致すると、RIS レジスタ内の対応する DIO ビットがセットされます。

図 10-58. POLARITY31_16

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIO31		DIO30		DIO29		DIO28		DIO27		DIO26		DIO25		DIO24	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIO23		DIO22		DIO21		DIO20		DIO19		DIO18		DIO17		DIO16	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 10-58. POLARITY31_16 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-30	DIO31	R/W	0h	DIO31 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
29-28	DIO30	R/W	0h	DIO30 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
27-26	DIO29	R/W	0h	DIO29 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
25-24	DIO28	R/W	0h	DIO28 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
23-22	DIO27	R/W	0h	DIO27 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
21-20	DIO26	R/W	0h	DIO26 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します

Copyright © 2026 Texas Instruments Incorporated

表 10-58. POLARITY31_16 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19-18	DIO25	R/W	0h	DIO25 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
17-16	DIO24	R/W	0h	DIO24 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
15-14	DIO23	R/W	0h	DIO23 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
13-12	DIO22	R/W	0h	DIO22 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
11-10	DIO21	R/W	0h	DIO21 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
9-8	DIO20	R/W	0h	DIO20 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
7-6	DIO19	R/W	0h	DIO19 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
5-4	DIO18	R/W	0h	DIO18 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します
3-2	DIO17	R/W	0h	DIO17 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します

Copyright © 2026 Texas Instruments Incorporated

表 10-58. POLARITY31_16 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	DIO16	R/W	0h	DIO16 のエッジ検出極性を有効化および設定します。 0h = エッジ検出は無効です 1h = 入力イベントの立ち上がりエッジを検出します 2h = 入力イベントの立ち下がりエッジを検出します 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出します

Copyright © 2026 Texas Instruments Incorporated

10.3.56 CTL (オフセット = 1400h) [リセット = 00000000h]

図 10-59 に、CTL を示し、表 10-59 に、その説明を示します。

概略表に戻ります。

GPIO 制御レジスタ

図 10-59. CTL

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み							FASTWAKEONLY
R/W-0h							R/W-0h

表 10-59. CTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	FASTWAKEONLY	R/W	0h	fastwake のグローバル制御用 FASTWAKEONLY 0h = fastwake のグローバル制御は有効ではなく、ビットごとの fast wake 機能は FASTWAKE.DIN の設定に依存します 1h = fastwake のグローバル制御は有効です

Copyright © 2026 Texas Instruments Incorporated

10.3.57 FASTWAKE (オフセット = 1404h) [リセット = 00000000h]

FASTWAKE は図 10-60 に示されており、表 10-60 で説明されています。

概略表に戻ります。

これは、ビット スライスごとの fast wake イネーブルです。GPIO モジュールを低消費電力状態に維持でき、入力シンクロナイザまたはフィルタを高速クロックで動作させる必要がなくなります

図 10-60. FASTWAKE

31	30	29	28	27	26	25	24
DIN31	DIN30	DIN29	DIN28	DIN27	DIN26	DIN25	DIN24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DIN23	DIN22	DIN21	DIN20	DIN19	DIN18	DIN17	DIN16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DIN15	DIN14	DIN13	DIN12	DIN11	DIN10	DIN9	DIN8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DIN7	DIN6	DIN5	DIN4	DIN3	DIN2	DIN1	DIN0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 10-60. FASTWAKE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DIN31	R/W	0h	DIN31 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
30	DIN30	R/W	0h	DIN30 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
29	DIN29	R/W	0h	DIN29 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
28	DIN28	R/W	0h	DIN29 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
27	DIN27	R/W	0h	DIN27 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
26	DIN26	R/W	0h	DIN26 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
25	DIN25	R/W	0h	DIN25 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
24	DIN24	R/W	0h	DIN24 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
23	DIN23	R/W	0h	DIN23 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です

Copyright © 2026 Texas Instruments Incorporated

表 10-60. FASTWAKE のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DIN22	R/W	0h	DIN22 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
21	DIN21	R/W	0h	DIN21 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
20	DIN20	R/W	0h	DIN20 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
19	DIN19	R/W	0h	DIN19 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
18	DIN18	R/W	0h	DIN18 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
17	DIN17	R/W	0h	DIN17 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
16	DIN16	R/W	0h	DIN16 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
15	DIN15	R/W	0h	DIN15 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
14	DIN14	R/W	0h	DIN14 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
13	DIN13	R/W	0h	DIN13 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
12	DIN12	R/W	0h	DIN12 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
11	DIN11	R/W	0h	DIN11 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
10	DIN10	R/W	0h	DIN10 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
9	DIN9	R/W	0h	DIN9 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
8	DIN8	R/W	0h	DIN8 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
7	DIN7	R/W	0h	DIN7 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
6	DIN6	R/W	0h	DIN6 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です

Copyright © 2026 Texas Instruments Incorporated

表 10-60. FASTWAKE のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DIN5	R/W	0h	DIN5 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
4	DIN4	R/W	0h	DIN4 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
3	DIN3	R/W	0h	DIN3 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
2	DIN2	R/W	0h	DIN2 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
1	DIN1	R/W	0h	DIN1 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です
0	DIN0	R/W	0h	DIN0 の fastwake 機能のイネーブル 0h = fastwake 機能は無効です 1h = fastwake 機能は有効です

Copyright © 2026 Texas Instruments Incorporated

10.3.58 SUB0CFG (オフセット = 1500h) [リセット = 00000000h]

図 10-61 に、SUB0CFG を示し、表 10-61 に、その説明を示します。

概略表に戻ります。

このレジスタは、サブスクライバ 0 イベントを有効にし、選択した DIO 0 ～ 15 ピンの出力ポリシーを定義するために使用されます。

図 10-61. SUB0CFG

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み				インデックス			
R/W-0h				R/W-0h			
15	14	13	12	11	10	9	8
予約済み						OUTPOLICY	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
予約済み							イネーブル
R/W-0h							R/W-0h

表 10-61. SUB0CFG のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R/W	0h	
19-16	インデックス	R/W	0h	サブスクライバ動作の対象となる下位 16 ビット内の特定のビットを示します 0h = サブスクライバ動作の対象となる特定のビットは、bit0 です Fh = サブスクライバ動作の対象となる特定のビットは、bit15 です
15-10	予約済み	R/W	0h	
9-8	OUTPOLICY	R/W	0h	これらのビットは、サブスクライバ 0 イベントの出力ポリシーを設定します。 0h = 選択された DIO ピンが設定されました 1h = 選択された DIO ピンがクリアされました 2h = 選択された DIO ピンを反転します
7-1	予約済み	R/W	0h	
0	イネーブル	R/W	0h	このビットは、サブスクライバ 0 イベントを有効にするために使用されます。 0h = サブスクライバ 0 イベントは無効です 1h = サブスクライバ 0 イベントは有効です

Copyright © 2026 Texas Instruments Incorporated

10.3.59 FILTEREN15_0 (オフセット = 1508h) [リセット = 00000000h]

図 10-62 に、FILTEREN15_0 を示し、表 10-62 に、その説明を示します。

概略表に戻ります。

DIN0 ～ DIN15 のデジタル グリッチ フィルタのプログラマブルなカウンタ長さ

図 10-62. FILTEREN15_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIN15		DIN14		DIN13		DIN12		DIN11		DIN10		DIN9		DIN8	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN7		DIN6		DIN5		DIN4		DIN3		DIN2		DIN1		DIN0	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 10-62. FILTEREN15_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-30	DIN15	R/W	0h	DIN15 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
29-28	DIN14	R/W	0h	DIN14 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
27-26	DIN13	R/W	0h	DIN13 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
25-24	DIN12	R/W	0h	DIN12 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
23-22	DIN11	R/W	0h	DIN11 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
21-20	DIN10	R/W	0h	DIN10 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル

Copyright © 2026 Texas Instruments Incorporated

表 10-62. FILTEREN15_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19-18	DIN9	R/W	0h	DIN9 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
17-16	DIN8	R/W	0h	DIN8 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
15-14	DIN7	R/W	0h	DIN7 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
13-12	DIN6	R/W	0h	DIN6 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
11-10	DIN5	R/W	0h	DIN5 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
9-8	DIN4	R/W	0h	DIN4 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
7-6	DIN3	R/W	0h	DIN3 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
5-4	DIN2	R/W	0h	DIN2 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
3-2	DIN1	R/W	0h	DIN1 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル

Copyright © 2026 Texas Instruments Incorporated

表 10-62. FILTEREN15_0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	DIN0	R/W	0h	DIN0 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル

Copyright © 2026 Texas Instruments Incorporated

10.3.60 FILTEREN31_16 (オフセット = 150Ch) [リセット = 00000000h]

図 10-63 に、FILTEREN31_16 を示し、表 10-63 に、その説明を示します。

概略表に戻ります。

DIN16 ～ DIN31 のデジタル グリッチ フィルタのプログラマブルなカウンタ長

図 10-63. FILTEREN31_16

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIN31		DIN30		DIN29		DIN28		DIN27		DIN26		DIN25		DIN24	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN23		DIN22		DIN21		DIN20		DIN19		DIN18		DIN17		DIN16	
R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 10-63. FILTEREN31_16 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-30	DIN31	R/W	0h	DIN31 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
29-28	DIN30	R/W	0h	DIN30 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
27-26	DIN29	R/W	0h	DIN29 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
25-24	DIN28	R/W	0h	DIN28 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
23-22	DIN27	R/W	0h	DIN27 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
21-20	DIN26	R/W	0h	DIN26 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル

Copyright © 2026 Texas Instruments Incorporated

表 10-63. FILTEREN31_16 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19-18	DIN25	R/W	0h	DIN25 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
17-16	DIN24	R/W	0h	DIN24 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
15-14	DIN23	R/W	0h	DIN23 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
13-12	DIN22	R/W	0h	DIN22 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
11-10	DIN21	R/W	0h	DIN21 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
9-8	DIN20	R/W	0h	DIN20 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
7-6	DIN19	R/W	0h	DIN19 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
5-4	DIN18	R/W	0h	DIN18 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル
3-2	DIN17	R/W	0h	DIN17 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル

Copyright © 2026 Texas Instruments Incorporated

表 10-63. FILTEREN31_16 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	DIN16	R/W	0h	DIN16 のデジタル グリッチ フィルタのカウンタ長をプログラム可能 0h = CDC 同期によるサンプリング以外に、追加のフィルタ処理は行いません 1h = 1 ULPCLK の最小サンプル 2h = 3 ULPCLK の最小サンプル 3h = 8 ULPCLK の最小サンプル

Copyright © 2026 Texas Instruments Incorporated

10.3.61 DMAMASK (オフセット = 1510h) [リセット = 00000000h]

DMAMASK は図 10-64 に示されており、表 10-64 で説明されています。

概略表に戻ります。

DMA が変更を許可されるビット レーンを示す DMA マスク。

図 10-64. DMAMASK

31	30	29	28	27	26	25	24
DOUT31	DOUT30	DOUT29	DOUT28	DOUT27	DOUT26	DOUT25	DOUT24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
DOUT23	DOUT22	DOUT21	DOUT20	DOUT19	DOUT18	DOUT17	DOUT16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DOUT15	DOUT14	DOUT13	DOUT12	DOUT11	DOUT10	DOUT9	DOUT8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
DOUT7	DOUT6	DOUT5	DOUT4	DOUT3	DOUT2	DOUT1	DOUT0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 10-64. DMAMASK のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DOUT31	R/W	0h	DMA は DOUT31 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
30	DOUT30	R/W	0h	DMA は DOUT30 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
29	DOUT29	R/W	0h	DMA は DOUT29 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
28	DOUT28	R/W	0h	DMA は DOUT28 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
27	DOUT27	R/W	0h	DMA は DOUT27 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
26	DOUT26	R/W	0h	DMA は DOUT26 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
25	DOUT25	R/W	0h	DMA は DOUT25 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
24	DOUT24	R/W	0h	DMA は DOUT24 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
23	DOUT23	R/W	0h	DMA は DOUT23 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 10-64. DMAMASK のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	DOUT22	R/W	0h	DMA は DOUT22 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
21	DOUT21	R/W	0h	DMA は DOUT21 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
20	DOUT20	R/W	0h	DMA は DOUT20 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
19	DOUT19	R/W	0h	DMA は DOUT19 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
18	DOUT18	R/W	0h	DMA は DOUT18 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
17	DOUT17	R/W	0h	DMA は DOUT17 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
16	DOUT16	R/W	0h	DMA は DOUT16 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
15	DOUT15	R/W	0h	DMA は DOUT15 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
14	DOUT14	R/W	0h	DMA は DOUT14 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
13	DOUT13	R/W	0h	DMA は DOUT13 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
12	DOUT12	R/W	0h	DMA は DOUT12 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
11	DOUT11	R/W	0h	DMA は DOUT11 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
10	DOUT10	R/W	0h	DMA は DOUT10 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
9	DOUT9	R/W	0h	DMA は DOUT9 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
8	DOUT8	R/W	0h	DMA は DOUT8 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
7	DOUT7	R/W	0h	DMA は DOUT7 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
6	DOUT6	R/W	0h	DMA は DOUT6 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます

Copyright © 2026 Texas Instruments Incorporated

表 10-64. DMAMASK のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	DOUT5	R/W	0h	DMA は DOUT5 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
4	DOUT4	R/W	0h	DMA は DOUT4 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
3	DOUT3	R/W	0h	DMA は DOUT3 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
2	DOUT2	R/W	0h	DMA は DOUT2 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
1	DOUT1	R/W	0h	DMA は DOUT1 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます
0	DOUT0	R/W	0h	DMA は DOUT0 を変更できます 0h = このビット レーンでは DMA による変更が許可されていません 1h = DMA はこのビット レーンを変更できます

Copyright © 2026 Texas Instruments Incorporated

10.3.62 SUB1CFG (オフセット = 1520h) [リセット = 00000000h]

図 10-65 に、SUB1CFG を示し、表 10-65 に、その説明を示します。

概略表に戻ります。

このレジスタは、サブスクライバ 1 イベントを有効にし、選択した DIO 16 ～ 31 ピンの出力ポリシーを定義するために使用されます。

図 10-65. SUB1CFG

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み				インデックス			
R/W-0h				R/W-0h			
15	14	13	12	11	10	9	8
予約済み						OUTPOLICY	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
予約済み							イネーブル
R/W-0h							R/W-0h

表 10-65. SUB1CFG のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R/W	0h	
19-16	インデックス	R/W	0h	サブスクライバ動作の対象となる上位 16 ビット内の特定のビットを示します 0h = サブスクライバ動作の対象となる特定のビットは bit16 です Fh = サブスクライバ動作の対象となる特定のビットは bit31 です
15-10	予約済み	R/W	0h	
9-8	OUTPOLICY	R/W	0h	これらのビットは、サブスクライバ 1 イベントの出力ポリシーを設定します。 0h = 選択された DIO ピンが設定されました 1h = 選択された DIO ピンがクリアされました 2h = 選択された DIO ピンを反転します
7-1	予約済み	R/W	0h	
0	イネーブル	R/W	0h	このビットは、サブスクライバ 1 イベントを有効にするために使用されます。 0h = サブスクライバ 1 イベントは無効です 1h = サブスクライバ 1 イベントは有効です

Copyright © 2026 Texas Instruments Incorporated

Chapter 11

グローバル セキュリティ コントローラ

グローバルセキュリティコントローラ (GSC) ペリフェラルは、アプリケーションのセキュア コンテキストおよび非セキュア コンテキストに対するセキュリティ ファイアウォールを設定するために使用するシステム モジュールです。設定後、フラッシュ、SRAM、およびペリフェラルへのコンテキスト外トランザクションを検出し、セキュア CPU コンテキストに対して NMI を生成します。

11.1 GSC の概要 558
11.2 GSC 動作 558
11.3 GSC レジスタ 568

Copyright © 2026 Texas Instruments Incorporated

11.1 GSC の概要

グローバル セキュリティ コントローラ (GSC) は、デバイス上のリソースに対するセキュア属性および特権属性を設定します。GSC は、デバイスのアクセス属性がすべてのバス イニシエータで同一に認識されるようにする複数のブロックで構成されています。基本的に、アプリケーション コードおよびイニシエータのセキュア属性と特権属性に基づいて、ファイアウォールによるアクセス制御を提供します。

11.1.1 GSC の機能

- メモリおよびペリフェラル用のセキュアおよび非セキュア属性を設定します
- メモリおよびペリフェラルの特権属性および非特権属性を設定します
- 非セキュアおよび非特権認識イニシエータのセキュアおよび特権属性を設定します
- セキュア コンテキストと非セキュア コンテキストの間のフラッシュの書き込みおよび消去保護
- イニシエータのメモリおよびペリフェラルへのアクセスを直接監視することで、アクセス違反が発生した場合に NMI を生成
- イニシエータおよび送信先アドレスの違反情報を EAM に記録します
- 2kB セクタ サイズの粒度でフラッシュの保護制御を非表示にします

11.2 GSC 動作

GSC は、図 11-1 に示すように、三つの重要なサブブロックで構成されています。ペリフェラル保護コントローラ (PPC)、SRAM 保護コントローラ (SPC)、フラッシュ保護コントローラ (FPC)。

11.2.1 機能ブロック図

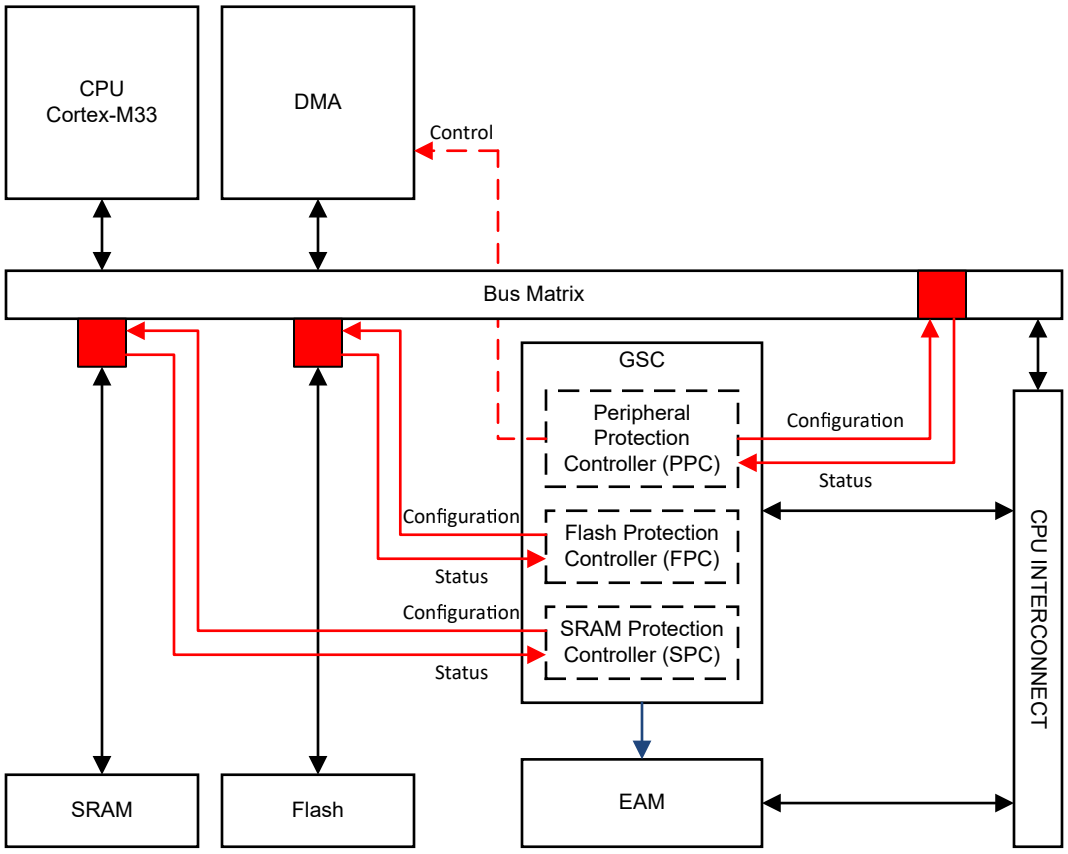


図 11-1. GSC の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

11.2.2 ペリフェラル保護コントローラ

PPC は、ペリフェラル アクセス用にファイアウォールを設定します。各ペリフェラル インスタンスには、二組のペリフェラル ファイアウォール レジスタが存在します。ペリフェラルのレジスタ PPC_SECATTRIB は、ペリフェラル インスタンスへのセキュアまたは非セキュア アクセス用にファイアウォールを設定します。ペリフェラルのレジスタ PPC_PRIVATTRIB は、ファイアウォールを特権アクセスまたは特権解除アクセス用に設定します。

ペリフェラルがセキュア ペリフェラルとして設定されている場合、セキュア コンテキストで動作しているイニシエータのみが、ペリフェラルの設定レジスタ、ステータス レジスタ、またはデータ レジスタにアクセスできます。セキュアコンテキストにないイニシエータ アクセスは、EAM モジュールにログインされたノンマスカブル割り込み (NMI) を生成します。

ペリフェラルが特権ペリフェラルとして設定されている場合、特権コンテキストで動作しているイニシエータのみが、ペリフェラルの設定レジスタ、ステータス レジスタ、またはデータ レジスタにアクセスできます。特権コンテキストにないイニシエータ アクセスは、EAM モジュールに記録されたノンマスカブル割り込み (NMI) を生成します。

NMI の生成に加えて、すべての書き込みアクセスは無視され、読み取りアクセスはすべて 0 を対応するイニシエータに返します。これにより、セキュアでないコードまたはイニシエータが、実行時にペリフェラル空間のデータにアクセスまたは変更することを防止できます。

注

すべてのペリフェラル インスタンスには PPC_SECATTRIB がありますが、PPC_PRIVATTRIB レジスタはありません。GSC レジスタを参照してください。

一部のペリフェラル ファイアウォールは、セキュアおよび特権属性がイネーブルで設定されています。これにより、アプリケーションコードがデバイスのデフォルトのセキュア設定を活用して、セキュア ブートローダまたは認証コードを実装できるようになります。

11.2.2.1 DMA コントローラのセキュリティ

DMA はイニシエータとターゲットの両方であるため、GSC フレームワーク内で一意に処理されます。DMA がセキュア アクセス用に構成されている場合、イニシエータとターゲットポートの両方がセキュア ステートに設定されます。

DMA インスタンス 0 のパワーオン リセット値は、常にセキュアで特権です。DMA0 チャネル レジスタを設定できるのは、セキュア モードの CPU のみです。設定が完了すると、DMA0 イニシエータ ポートによって生成されるすべての書き込みおよび読み取りアクセスもセキュアになります。これにより、デバイスの電源投入後に CPU がセキュア モードでコード実行を開始した時点で、DMA0 はペリフェラルとメモリ間でデータを転送できるセキュア状態となり、追加設定は不要になります。

DMA インスタンス 1 のパワーオン リセット値は、常にセキュアではなく、特権もありません。これにより、セキュリティ保護されていないアプリケーションは、特別な処理なしにデータ転送サービスを要求できます。

注

GSC は、パワーオン リセット時にセキュアで特権もあります。非セキュアまたは非特権のアプリケーションは、DMA の属性を直接変更できません。これは、セキュアなアプリケーション内で処理する必要があります。

データ転送を効率的に処理するために両方の DMA が必要な場合があるため、セキュアコアは両方の DMA インスタンスをアプリケーションで使用できるように変更することができます。DMA インスタンスを確実かつ円滑に再割り当てするため、セキュア属性および特権属性を変更する前に、DMA を無効化してリセットすることを強く推奨します。

11.2.3 SRAM 保護コントローラ

SRAM 保護コントローラ (SPC) は、SRAM のファイアウォールを構成し、イニシエータからのトランザクションを監視します。SRAM に対してセキュリティ プロパティ設定に違反すると、NMI がトリガされ、違反が EAM に記録されます。PPC サブブロックと同様に、SPC には 2 セットの SRAM ファイアウォール レジスタ SPC_SECATTRIB[x] および SPC_PRIVATTRIB[x] が用意されています。

Copyright © 2026 Texas Instruments Incorporated

SRAM のファイアウォールを効率的に管理するために、SRAM は 16kB ページに分割されています。SPC_SECATTRIB[x] および SPC_PRIVATTRIB[x] レジスタは、このような 4 つのページを制御します。図 11-2 に示すように、各ページ制御フィールド内では、さらに 8 ビット セットで詳細な制御が行えます。

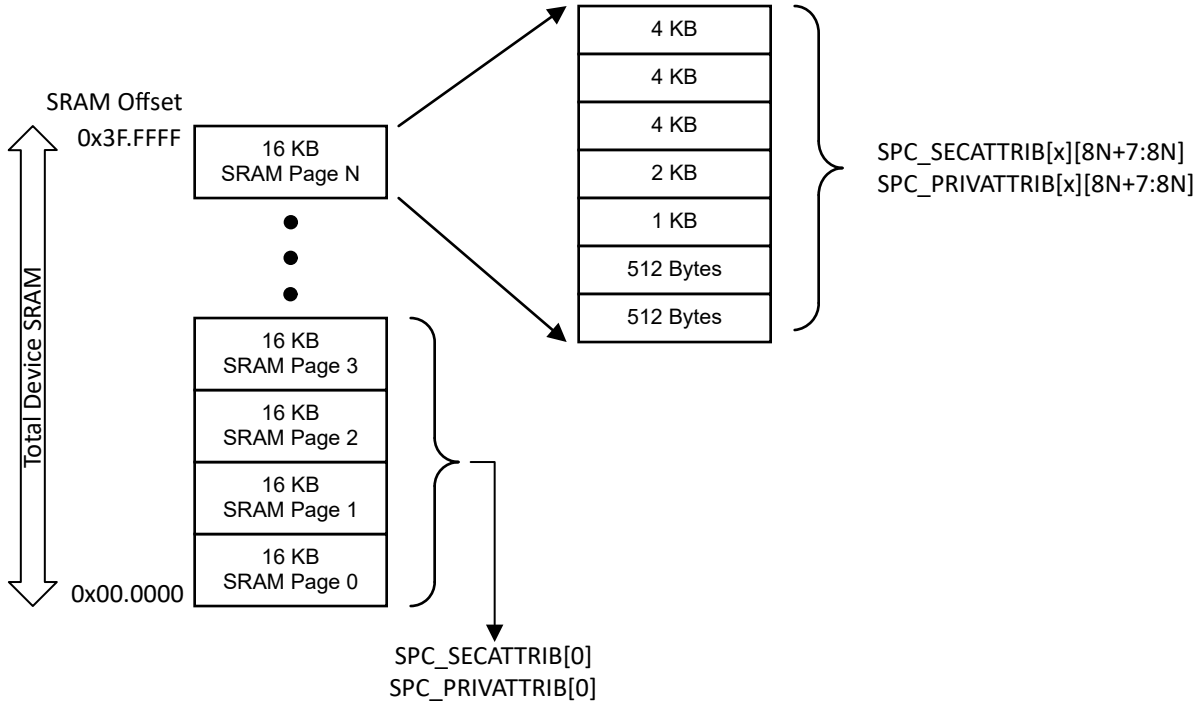


図 11-2. ページとチャンクへの SRAM マッピング

各ページは、さまざまなサイズの 7 つのチャンクで構成されていますその結果、1 ページで使用できる 8 ビットのうち、7 ビットのみが使用され、最上位ビットが予約されます。ページ内のチャンクは、以下のサイズの SRAM で構成されています

- 4kB の 3 チャンク
- 2kB と 1kB のチャンクが 1 つずつ
- 512 バイトの 2 チャンク

11.2.3.1 SRAM ページの使用モデル

16kB 単位の各 SRAM ページ チャンクは、セキュア属性および特権属性を個別に設定できるため、アプリケーション コードのさまざまな用途に応じて SRAM の使用効率を最大化できます。

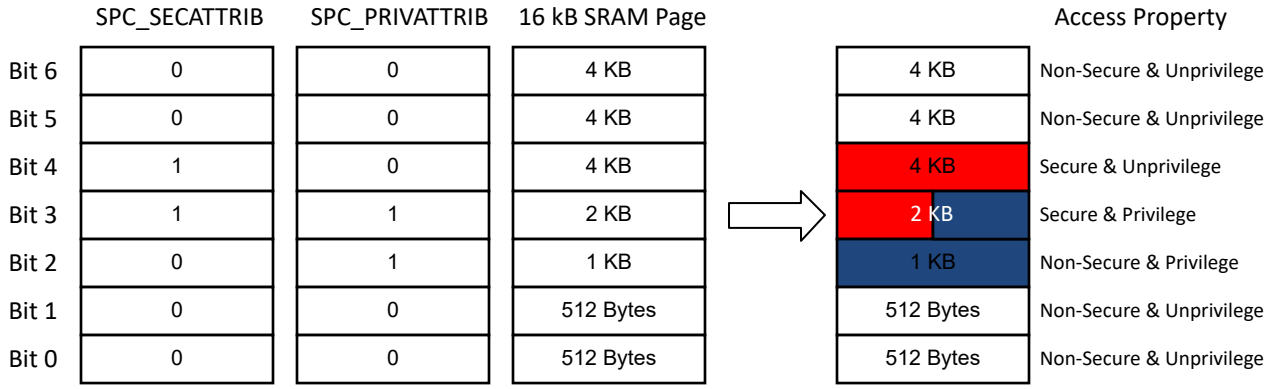


図 11-3. SRAM ページの使用モデルの図

Copyright © 2026 Texas Instruments Incorporated

図 11-3 の例に示すように、16kB SRAM ページの一つが以下のようにプロビジョニングされています:

- セキュアおよび非特権のイニシエータから 4kB の SRAM にアクセスできます
- 2kB の SRAM には、セキュアかつ特権のイニシエータからアクセスできます
- 1kB の SRAM には、非セキュアかつ特権のイニシエータからアクセスできます。
- 9kB の SRAM には、非セキュアかつ非特権のイニシエータからアクセスできます

SPC では、セキュア属性および特権属性を持つページ内のチャンクと、SRAM 全体のページを、非連続に配置できます。さらに、デフォルトでは、SPC はセキュアかつ特権のイニシエータによって設定できるため、セキュア コンテキストでメモリ属性を動的に割り当てることができます。これは、共通メモリ プールから重要なアプリケーション コード用に SRAM を割り当てる必要がある場合に、非常に有用です。

注

SRAM チャンクのメモリ属性を変更する前に、すべてのイニシエータが適切に設定され、SRAM 内のすべてのデータがゼロ初期化されていることを確認する責任は、セキュア アプリケーションにあります。

11.2.4 フラッシュ保護コントローラ

フラッシュ保護コントローラ (FPC) は、プログラム フラッシュおよびデータフラッシュのファイアウォールを構成し、イニシエータからのトランザクションを監視します。フラッシュに設定されたセキュリティ プロパティに違反すると、NMI がトリガされ、違反が EAM に記録されます。PPC サブブロックと同様に、FPC には 2 セットのフラッシュファイア ウォール レジスタがあり、バンク 0 には FPC_SECATTRIBA[x] および FPC_PRIVATTRIBA[x]、バンク 1 には FPC_SECATTRIBB[x] および FPC_PRIVATTRIBB[x] があります。さらに、FPC は、プログラム フラッシュおよびデータフラッシュ用にそれぞれフラッシュ書き込みおよび消去保護レジスタ (FPC_WEPROTA[x]、FPC_WEPROTB[x]、FPC_WEPROTA_DFLASH) も備えています。

注

フラッシュ プログラミング インターフェイスのセキュリティ構成については、セクション 5.4 を参照してください。

フラッシュ ファイアウォールを効率的に管理するため、FPC は各フラッシュ バンクのセクタ情報を使用します。各フラッシュ バンクは、複数の 2kB のフラッシュ セクタで構成されます。図 11-4 に、1MB フラッシュの図を示します。

Copyright © 2026 Texas Instruments Incorporated

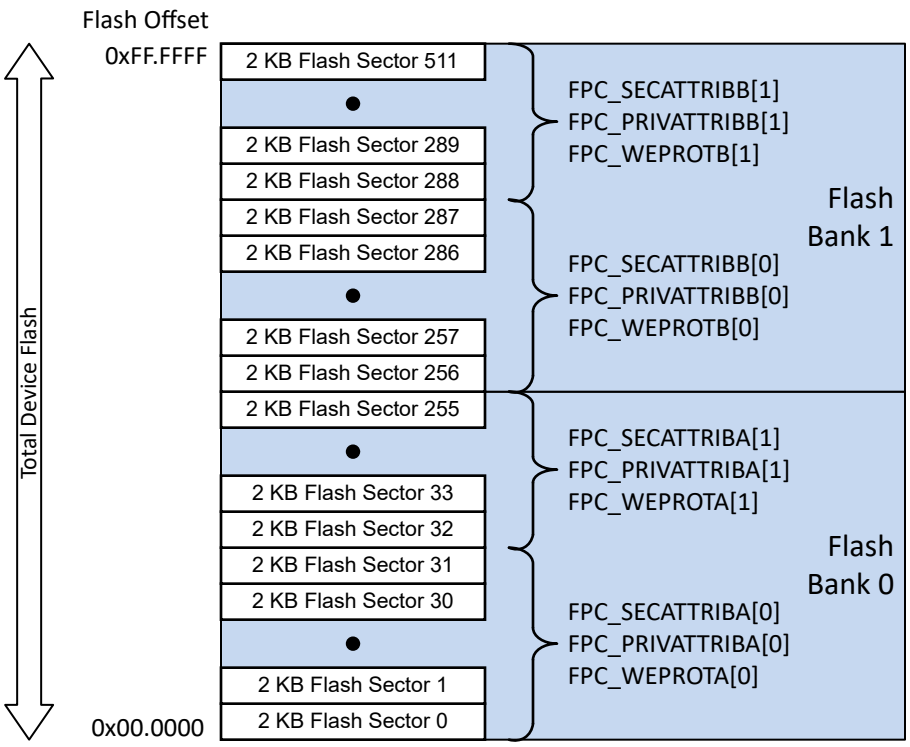


図 11-4. セクタへのフラッシュ マッピング

デュアルバンク フラッシュでは、接尾辞 A が付いたセキュリティ プロパティ レジスタがバンク - 0 の下位アドレス空間を制御し、接尾辞 B がバンク - 1 の上位アドレス空間を制御します。

11.2.4.1 フラッシュ バンク セキュリティの実装

前述のように、プログラム フラッシュ バンクのファイアウォール制御は 2KB セクタ単位で行います。最大の柔軟性と適度な使いやすさを確保するため、セキュリティと特権属性レジスタのペアによりファイアウォールの構成方法が若干異なります。

- FPC_SECATTRIBAx、FPC_PRIVATTRIBAx、FPC_WEPROTAx: 各ビットは、セクタ 0 からセクタ 31 までの個別の 2KB セクタにマッピングされます。レジスタの 32 ビットはすべて使用され、ビット 0 はセクタ 0 に、ビット 31 はセクタ 31 にマッピングされます。
- FPC_SECATTRIBBx、FPC_PRIVATTRIBBx、FPC_WEPROTBx: 各ビットは、セクタ 32 からセクタ 255 までの 8 個の 2KB セクタのセットにマッピングされます。フラッシュ サイズが 1MB の場合、最初の 32 セクタを除くと 224 セクタが残るため、レジスタの 28 ビットが使用されます。ビット 0 はセクタ 32 ～ 39 に、ビット 27 はセクタ 248 ～ 255 にマッピングされます。

表 11-1 に、フラッシュ サイズ別のレジスタ マッピングの例を示します。デュアルバンク構成では、下位バンクの場合はレジスタ名の x を 0 に、上位バンクの場合は 1 に置き換えてください。シングル バンク構成では 0 となります。

表 11-1. 1MB フラッシュの FPC ファイアウォール レジスタ デコード

フラッシュ セキュア アクセス レジスタ	フラッシュ特権アクセス レジスタ	フラッシュ書き込み / 消去保護レジスタ	フラッシュ セクタ (1MB)	フラッシュ セクタ (512KB)
FPC_SECATTRIBAx[0]	FPC_PRIVATTRIBAx[0]	FPC_WEPROTAx[0]	0	0
FPC_SECATTRIBAx[1]	FPC_PRIVATTRIBAx[1]	FPC_WEPROTAx[1]	1	1
FPC_SECATTRIBAx[2]	FPC_PRIVATTRIBAx[2]	FPC_WEPROTAx[2]	2	2
FPC_SECATTRIBAx[3]	FPC_PRIVATTRIBAx[3]	FPC_WEPROTAx[3]	3	3
FPC_SECATTRIBAx[4]	FPC_PRIVATTRIBAx[4]	FPC_WEPROTAx[4]	4	4

Copyright © 2026 Texas Instruments Incorporated

表 11-1. 1MB フラッシュの FPC ファイアウォール レジスタ デコード (続き)

フラッシュ セキュア アクセス レジスタ	フラッシュ特権アクセス レジスタ	フラッシュ書き込み / 消去保護レジスタ	フラッシュ セクタ (1MB)	フラッシュ セクタ (512KB)
FPC_SECATTRIBAx[5]	FPC_PRIVATTRIBAx[5]	FPC_WEPROTAx[5]	5	5
FPC_SECATTRIBAx[6]	FPC_PRIVATTRIBAx[6]	FPC_WEPROTAx[6]	6	6
FPC_SECATTRIBAx[7]	FPC_PRIVATTRIBAx[7]	FPC_WEPROTAx[7]	7	7
FPC_SECATTRIBAx[8]	FPC_PRIVATTRIBAx[8]	FPC_WEPROTAx[8]	8	8
FPC_SECATTRIBAx[9]	FPC_PRIVATTRIBAx[9]	FPC_WEPROTAx[9]	9	9
FPC_SECATTRIBAx[10]	FPC_PRIVATTRIBAx[10]	FPC_WEPROTAx[10]	10	10
FPC_SECATTRIBAx[11]	FPC_PRIVATTRIBAx[11]	FPC_WEPROTAx[11]	11	11
FPC_SECATTRIBAx[12]	FPC_PRIVATTRIBAx[12]	FPC_WEPROTAx[12]	12	12
FPC_SECATTRIBAx[13]	FPC_PRIVATTRIBAx[13]	FPC_WEPROTAx[13]	13	13
FPC_SECATTRIBAx[14]	FPC_PRIVATTRIBAx[14]	FPC_WEPROTAx[14]	14	14
FPC_SECATTRIBAx[15]	FPC_PRIVATTRIBAx[15]	FPC_WEPROTAx[15]	15	15
FPC_SECATTRIBAx[16]	FPC_PRIVATTRIBAx[16]	FPC_WEPROTAx[16]	16	16
FPC_SECATTRIBAx[17]	FPC_PRIVATTRIBAx[17]	FPC_WEPROTAx[17]	17	17
FPC_SECATTRIBAx[18]	FPC_PRIVATTRIBAx[18]	FPC_WEPROTAx[18]	18	18
FPC_SECATTRIBAx[19]	FPC_PRIVATTRIBAx[19]	FPC_WEPROTAx[19]	19	19
FPC_SECATTRIBAx[20]	FPC_PRIVATTRIBAx[20]	FPC_WEPROTAx[20]	20	20
FPC_SECATTRIBAx[21]	FPC_PRIVATTRIBAx[21]	FPC_WEPROTAx[21]	21	21
FPC_SECATTRIBAx[22]	FPC_PRIVATTRIBAx[22]	FPC_WEPROTAx[22]	22	22
FPC_SECATTRIBAx[23]	FPC_PRIVATTRIBAx[23]	FPC_WEPROTAx[23]	23	23
FPC_SECATTRIBAx[24]	FPC_PRIVATTRIBAx[24]	FPC_WEPROTAx[24]	24	24
FPC_SECATTRIBAx[25]	FPC_PRIVATTRIBAx[25]	FPC_WEPROTAx[25]	25	25
FPC_SECATTRIBAx[26]	FPC_PRIVATTRIBAx[26]	FPC_WEPROTAx[26]	26	26
FPC_SECATTRIBAx[27]	FPC_PRIVATTRIBAx[27]	FPC_WEPROTAx[27]	27	27
FPC_SECATTRIBAx[28]	FPC_PRIVATTRIBAx[28]	FPC_WEPROTAx[28]	28	28
FPC_SECATTRIBAx[29]	FPC_PRIVATTRIBAx[29]	FPC_WEPROTAx[29]	29	29
FPC_SECATTRIBAx[30]	FPC_PRIVATTRIBAx[30]	FPC_WEPROTAx[30]	30	30
FPC_SECATTRIBAx[31]	FPC_PRIVATTRIBAx[31]	FPC_WEPROTAx[31]	31	31
FPC_SECATTRIBBx[0]	FPC_PRIVATTRIBBx[0]	FPC_WEPROTBx[0]	32 ～ 39	32 ～ 39
FPC_SECATTRIBBx[1]	FPC_PRIVATTRIBBx[1]	FPC_WEPROTBx[1]	40 ～ 47	40 ～ 47
FPC_SECATTRIBBx[2]	FPC_PRIVATTRIBBx[2]	FPC_WEPROTBx[2]	48 ～ 55	48 ～ 55
FPC_SECATTRIBBx[3]	FPC_PRIVATTRIBBx[3]	FPC_WEPROTBx[3]	56 ～ 63	56 ～ 63
FPC_SECATTRIBBx[4]	FPC_PRIVATTRIBBx[4]	FPC_WEPROTBx[4]	64 ～ 71	64 ～ 71
FPC_SECATTRIBBx[5]	FPC_PRIVATTRIBBx[5]	FPC_WEPROTBx[5]	72 ～ 79	72 ～ 79
FPC_SECATTRIBBx[6]	FPC_PRIVATTRIBBx[6]	FPC_WEPROTBx[6]	80 ～ 87	80 ～ 87
FPC_SECATTRIBBx[7]	FPC_PRIVATTRIBBx[7]	FPC_WEPROTBx[7]	88 ～ 95	88 ～ 95
FPC_SECATTRIBBx[8]	FPC_PRIVATTRIBBx[8]	FPC_WEPROTBx[8]	96 ～ 103	96 ～ 103

Copyright © 2026 Texas Instruments Incorporated

表 11-1. 1MB フラッシュの FPC ファイアウォール レジスタ デコード (続き)

フラッシュ セキュア アクセス レジスタ	フラッシュ特権アクセス レジスタ	フラッシュ書き込み / 消去保護レジスタ	フラッシュ セクタ (1MB)	フラッシュ セクタ (512KB)
FPC_SECATTRIBBx[9]	FPC_PRIVATTRIBBx[9]	FPC_WEPROTBx[9]	104 ～ 111	104 ～ 111
FPC_SECATTRIBBx[10]	FPC_PRIVATTRIBBx[10]	FPC_WEPROTBx[10]	112 ～ 119	112 ～ 119
FPC_SECATTRIBBx[11]	FPC_PRIVATTRIBBx[11]	FPC_WEPROTBx[11]	120 ～ 127	120 ～ 127
FPC_SECATTRIBBx[12]	FPC_PRIVATTRIBBx[12]	FPC_WEPROTBx[12]	128 ～ 135	DNU
FPC_SECATTRIBBx[13]	FPC_PRIVATTRIBBx[13]	FPC_WEPROTBx[13]	136 ～ 143	DNU
FPC_SECATTRIBBx[14]	FPC_PRIVATTRIBBx[14]	FPC_WEPROTBx[14]	144 ～ 151	DNU
FPC_SECATTRIBBx[15]	FPC_PRIVATTRIBBx[15]	FPC_WEPROTBx[15]	152 ～ 159	DNU
FPC_SECATTRIBBx[16]	FPC_PRIVATTRIBBx[16]	FPC_WEPROTBx[16]	160 ～ 167	DNU
FPC_SECATTRIBBx[17]	FPC_PRIVATTRIBBx[17]	FPC_WEPROTBx[17]	168 ～ 175	DNU
FPC_SECATTRIBBx[18]	FPC_PRIVATTRIBBx[18]	FPC_WEPROTBx[18]	176 ～ 183	DNU
FPC_SECATTRIBBx[19]	FPC_PRIVATTRIBBx[19]	FPC_WEPROTBx[19]	184 ～ 191	DNU
FPC_SECATTRIBBx[20]	FPC_PRIVATTRIBBx[20]	FPC_WEPROTx1[20]	192 ～ 199	DNU
FPC_SECATTRIBBx[21]	FPC_PRIVATTRIBBx[21]	FPC_WEPROTBx[21]	200 ～ 207	DNU
FPC_SECATTRIBBx[22]	FPC_PRIVATTRIBBx[22]	FPC_WEPROTBx[22]	208 ～ 215	DNU
FPC_SECATTRIBBx[23]	FPC_PRIVATTRIBBx[23]	FPC_WEPROTBx[23]	216 ～ 223	DNU
FPC_SECATTRIBBx[24]	FPC_PRIVATTRIBBx[24]	FPC_WEPROTBx[24]	224 ～ 231	DNU
FPC_SECATTRIBBx[25]	FPC_PRIVATTRIBBx[25]	FPC_WEPROTBx[25]	232 ～ 239	DNU
FPC_SECATTRIBBx[26]	FPC_PRIVATTRIBBx[26]	FPC_WEPROTBx[26]	240 ～ 247	DNU
FPC_SECATTRIBBx[27]	FPC_PRIVATTRIBBx[27]	FPC_WEPROTBx[27]	248 ～ 255	DNU

注

DNU (使用しない) とマークされたビットを設定すると、予期しない結果が生じるおそれがあります。

プログラム フラッシュ バンクと同様に、一部のデバイスは独自のデータ フラッシュ バンクを実装している場合があります。データ バンクが実装されている場合は、FPC_SECATTRIBAx_DFLASH、FPC_PRIVATTRIBAx_DFLASH、FPC_WEPROTAx_DFLASH がアプリケーションで使用できるファイアウォール レジスタです。データ フラッシュのレジスタ ビットのマッピングは、プログラム フラッシュと同じです。最初の 32 セクタには、セクタごとに 1 ビットが使用され、残りのデータ フラッシュは、8 セクタに 1 ビットが使用されます。

11.2.4.2 フラッシュ隠ぺい保護

FPC は保護の隠蔽 (HDP) 機能の管理も担当します。HDP 関数を使用すると、アプリケーションはコードのセクションを一回実行し、その後のコードへの読み取りまたは実行アクセスを防止できます。たとえば、これは第二段階の認証コードを実行する場合に特に有用な機能です。これにより、メイン アプリケーションを実行前に検証し、保存されている対称鍵または秘密鍵へのアクセスを防止できます。

Copyright © 2026 Texas Instruments Incorporated

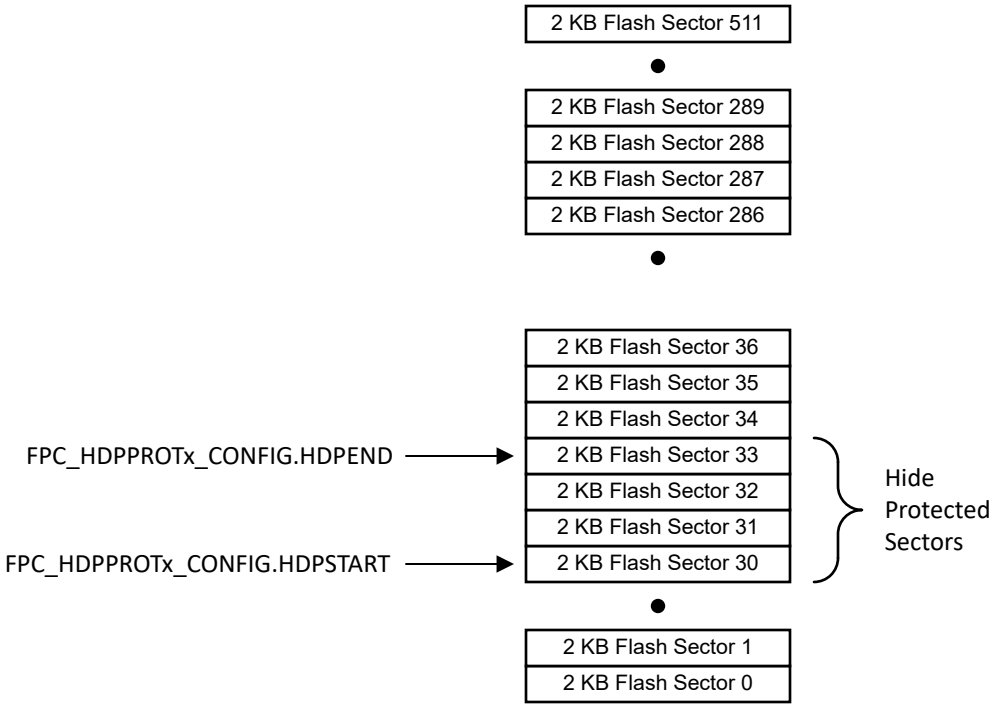


図 11-5. フラッシュ保護隠蔽メモリ表示

図 11-5 に示すように、FPC_HDPPROTx_CONFIG レジスタの HDPSTART および HDPEND フィールドにより、非表示にして保護する開始セクタおよび終了セクタのアドレスが定義されます。表 11-2 に保護されていないセクタを定義する値の有効な構成を示します。

表 11-2. HDPSTART および HDPEND ルール

RULE	備考
HDPSTART = HDPEND	HDPSTART で特定された 1 セクタの隠蔽保護
HDPSTART < HDPEND	HDPSTART から HDPEND へのセクタの隠蔽保護
HDPSTART > HDPEND	無効な構成。隠蔽保護はしません。

HDP の開始セクタと終了セクタのアドレスに加えて、二つの追加レジスタがあります。FPC_HDPPROT_CONTROL は、アクティブになる対応する構成レジスタを検証するために使用されます。FPC_HDPEN_CONTROL は、隠蔽保護のメカニズムをトリガすることです。図 11-6 に示すように、スタート セクタ、終了セクタ、有効な制御ビットが正しく構成されると、HDP は準備が整います。CPU が設定済みの HDP 領域からコードを実行している間、HDP は有効化されます。設定済みの HDP 領域外への関数呼び出しまたはジャンプが行われると、この保護機構が自動的に有効になり、アプリケーション コードが HDP 領域へ再進入するのを防止します。アクセス、実行、読み取りは、マスク不可能割り込み (NMI) を生成します。

Copyright © 2026 Texas Instruments Incorporated

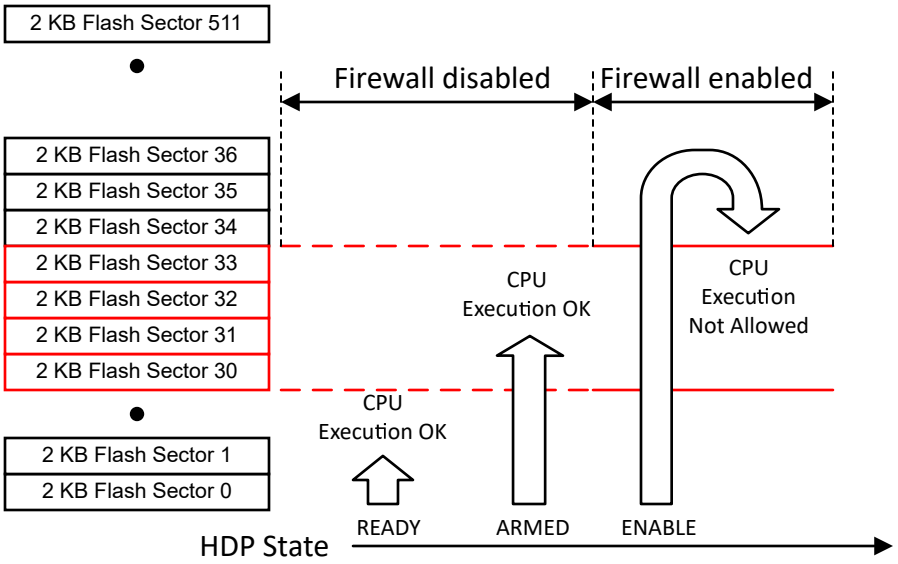


図 11-6. HDP 実行メカニズム

すべてのレジスタは一回書き込むことも、アプリケーションコードで設定することもできます。システム リセットでは、アプリケーションを再構成できず、BSL 以上のリセットが必要です。

注

HDP 領域でコードを実行した後に SRAM に分岐すると、SRAM コードは HDP 領域にアクセスできます。SRAM コードの実行がすべて完了したら、HDP 機構を有効にするため、実行を分岐して HDP 領域から退出し、その後はフラッシュ上で実行を継続する必要があります。

注

アプリケーションが SRAM から HDP 領域へのアクセスを許可しない場合、SRAM コードへ分岐する前に HDP を有効化するトランポリン関数をコードに実装する必要があります。

注

GSC がセキュア属性用に設定されている場合、すべての FPC レジスタにはセキュアコードを介してのみアクセスできます。ただし、FPC_FLSEMREQ、FPC_FLSEMCLR、FPC_FLSEMSTAT レジスタも、セキュアではないコードからアクセスできます。

注

- メイン フラッシュバンクで HDP が有効な場合、読み取り、書き込み、実行、消去動作がブロックされます。
- メイン以外のフラッシュ バンクで HDP がイネーブルになっている場合、読み取りおよび実行動作はブロックされます。書き込み / 消去保護をイネーブルにするには、WEPROT レジスタをさらに構成する必要があります。

11.2.5 厳格なセキュアおよび特権コンテキスト保護

GSC のファイアウォール設定は、非セキュアおよび / または非特権のイニシエータが、セキュアおよび / または特権のペリフェラルおよびメモリにアクセスすることを防止します。ただし、セキュアおよび / または特権のイニシエータは、非セキュアおよび / または非特権のペリフェラルおよびメモリにアクセスできます。ただし、PPC、SPC、および FPC の属性違反コンフィギュレーションレジスタは、後者を回避するように設定できます。

Copyright © 2026 Texas Instruments Incorporated

これは通常、アプリケーションがメモリ オーバーフローや、コンテキスト外での意図しないペリフェラル アクセスを防止する場合に該当します。表 11-3 に示すように、このようなアクセスに対して、GSC は CPU の NMI を生成します。対応する書き込みは何の影響もなく、読み取りはすべてゼロを返します。

表 11-3. 属性違反ルール テーブル

xPC_ATTRIBVIOL_CONFIG	バストランザクション	セキュア ターゲット	セキュアでないターゲット
SECVIOL = 0	セキュア イニシエータ	許可	許可
	非セキュア イニシエータ	NMI	許可
SECVIOL = 1	セキュア イニシエータ	許可	NMI
	非セキュア イニシエータ	NMI	許可
PRIVVIOL = 0	特権イニシエータ	許可	許可
	非特権イニシエータ	NMI	許可
PRIVVIOL = 1	特権イニシエータ	許可	NMI
	非特権イニシエータ	NMI	許可

11.2.6 GSC 構成ロック

GSC には、地域ごとにセキュリティ設定をロックおよびコミットする機能もあります。個別にロックまたはコミットできる領域は合計 6 つあります。

- 属性違反の構成
- PPC 属性
- SPC 属性
- FPC 属性
- ベクタ テーブル オフセット レジスタ (VTOR)
- DMA トリガの選択

ロックされている場合、領域内の対応するレジスタは変更できません。領域レジスタを更新するには、レジスタのロックを解除するため、0xA551 のキーを変更したレジスタ ビットと一緒に書き込む必要があります。コミット制御が適用されている場合、キーを使用していてもロック レジスタを更新することはできません。

コミットの適用後に更新する唯一の方法は、BOOTRST 以上のリセットを実行することです。これにより、アプリケーションが変更を行う前に Root of Trust (信頼のルート) が実行されます。

Copyright © 2026 Texas Instruments Incorporated

11.3 GSC レジスタ

表 11-4 に、GSC レジスタのメモリマップト レジスタを示します。表 11-4 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 11-4. GSC レジスタ

オフセット	略称	レジスタ名	セクション
1000h	SPC_ATTRIBVIOLS_CONFIG	SRAM セキュア アクセス属性違反構成レジスタ	セクション 11.3.1
1004h	SPC_ATTRIBVIOLP_CONFIG	SRAM 権限アクセス属性違反構成レジスタ	セクション 11.3.2
1010h	PPC_ATTRIBVIOLS_CONFIG	ペリフェラル セキュア アクセス属性違反構成レジスタ	セクション 11.3.3
1014h	PPC_ATTRIBVIOLP_CONFIG	ペリフェラル特権アクセス属性違反構成レジスタ	セクション 11.3.4
1020h	FPC_ATTRIBVIOLS_CONFIG	フラッシュ セキュア アクセス属性違反構成レジスタ	セクション 11.3.5
1024h	FPC_ATTRIBVIOLP_CONFIG	フラッシュ特権アクセス属性違反構成レジスタ	セクション 11.3.6
1040h	FPC_HDPPROT0_CONFIG	Bank0 構成レジスタ向けフラッシュ非表示保護	セクション 11.3.7
1044h	FPC_HDPPROT1_CONFIG	Bank1 構成レジスタ向けフラッシュ非表示保護	セクション 11.3.8
104Ch	FPC_HDPPROT_CONTROL	フラッシュ非表示保護制御レジスタ	セクション 11.3.9
1050h	FPC_HDPEN_CONTROL	フラッシュ非表示保護有効制御レジスタ	セクション 11.3.10
1080h	FPC_HDPPROT_DBANK_CONFIG	データ フラッシュ非表示保護構成レジスタ	セクション 11.3.11
1084h	FPC_HDPPROT_DBANK_CONTROL	データ フラッシュ非表示保護制御レジスタ	セクション 11.3.12
1088h	FPC_HDPEN_DBANK_CONTROL	データ フラッシュ非表示保護イネーブル制御レジスタ	セクション 11.3.13
1100h	PPC_SECATTRIB_ADC	ペリフェラル セキュア アクセス ADC	セクション 11.3.14
1108h	PPC_SECATTRIB_TIMER	ペリフェラル セキュア アクセス タイマ	セクション 11.3.15
1110h	PPC_SECATTRIB_UNICOMM	ペリフェラル セキュア アクセス UniComm	セクション 11.3.16
1118h	PPC_SECATTRIB_GPIO	ペリフェラル セキュア アクセス GPIO	セクション 11.3.17
1120h	PPC_SECATTRIB_MCAN	ペリフェラル セキュア アクセス CAN	セクション 11.3.18
1128h	PPC_SECATTRIB_I2S	ペリフェラル セキュア アクセス I2S	セクション 11.3.19
1130h	PPC_SECATTRIB_ACOMP	ペリフェラル セキュア アクセス アナログ コンパレータ	セクション 11.3.20
1138h	PPC_SECATTRIB_WDT	ペリフェラル セキュア アクセス ウォッチドッグ	セクション 11.3.21
1140h	PPC_SECATTRIB_LFSS	ペリフェラル セキュア アクセス LFSS	セクション 11.3.22
1148h	PPC_SECATTRIB_CRC	ペリフェラル セキュア アクセス CRC	セクション 11.3.23
1150h	PPC_SECATTRIB_AES	ペリフェラル セキュア アクセス AES	セクション 11.3.24
1158h	PPC_SECATTRIB_SHA	ペリフェラル セキュア アクセス SHA	セクション 11.3.25
1160h	PPC_SECATTRIB_PKA	ペリフェラル セキュア アクセス PKA	セクション 11.3.26
1168h	PPC_SECATTRIB_IOMUX	ペリフェラル セキュア アクセス IOMUX	セクション 11.3.27
1170h	PPC_SECATTRIB_QSPI	ペリフェラル セキュア アクセス QSPI	セクション 11.3.28
1178h	PPC_SECATTRIB_TRNG	ペリフェラル セキュア アクセス TRNG	セクション 11.3.29
1180h	PPC_SECATTRIB_DEBUGSS	ペリフェラル セキュア アクセス DEBUGSS	セクション 11.3.30
1188h	PPC_SECATTRIB_VREF	ペリフェラル セキュア アクセス VREF	セクション 11.3.31
1190h	PPC_SECATTRIB_KEYSTORECTL	ペリフェラル セキュア アクセス KEYSTORECTL	セクション 11.3.32
1198h	PPC_SECATTRIB_EAM	ペリフェラル セキュア アクセス EAM	セクション 11.3.33
11A0h	PPC_SECATTRIB_WUC	ペリフェラル セキュア アクセス WUC	セクション 11.3.34
11A8h	PPC_SECATTRIB_FRIREGS	ペリフェラル セキュア アクセス FRIREGS	セクション 11.3.35
11B0h	PPC_SECATTRIB_MEMCFG	ペリフェラル セキュア アクセス MEMCFG	セクション 11.3.36
1208h	PPC_SECATTRIB_SYSCTL	ペリフェラル セキュア アクセス システム制御	セクション 11.3.37
120Ch	PPC_PRIVATTRIB_SYSCTL	ペリフェラル特権アクセス システム制御	セクション 11.3.38
1210h	PPC_SECATTRIB_DMA	ペリフェラル セキュア アクセス DMA	セクション 11.3.39

Copyright © 2026 Texas Instruments Incorporated

表 11-4. GSC レジスタ (続き)

オフセット	略称	レジスタ名	セクション
1214h	PPC_PRIVATTRIB_DMA	ペリフェラル特権アクセス DMA	セクション 11.3.40
1218h	PPC_SECATTRIB_GSC	ペリフェラル セキュア アクセス GSC	セクション 11.3.41
121Ch	PPC_PRIVATTRIB_GSC	ペリフェラル特権アクセス GSC	セクション 11.3.42
1280h	SPC_SECATTRIB0	SRAM セキュア属性 - 0 レジスタ	セクション 11.3.43
1284h	SPC_SECATTRIB1	SRAM セキュア属性 - 1 レジスタ	セクション 11.3.44
1288h	SPC_SECATTRIB2	SRAM セキュア属性 - 2 レジスタ	セクション 11.3.45
128Ch	SPC_SECATTRIB3	SRAM セキュア属性 - 3 レジスタ	セクション 11.3.46
12C0h	SPC_PRIVATTRIB0	SRAM 特権属性 - 0 レジスタ	セクション 11.3.47
12C4h	SPC_PRIVATTRIB1	SRAM 特権属性 - 1 レジスタ	セクション 11.3.48
12C8h	SPC_PRIVATTRIB2	SRAM 特権属性 - 2 レジスタ	セクション 11.3.49
12CCh	SPC_PRIVATTRIB3	SRAM 特権属性 - 3 レジスタ	セクション 11.3.50
1300h	FPC_SECATTRIBA0	フラッシュ セキュア属性レジスタ A0	セクション 11.3.51
1304h	FPC_SECATTRIBA1	フラッシュ セキュア属性レジスタ A1	セクション 11.3.52
1308h	FPC_SECATTRIBB0	フラッシュ セキュア属性レジスタ B0	セクション 11.3.53
130Ch	FPC_SECATTRIBB1	フラッシュ セキュア属性レジスタ B1	セクション 11.3.54
1380h	FPC_SECATTRIBA_DFLASH	データ フラッシュ セキュア属性レジスタ A	セクション 11.3.55
1400h	FPC_PRIVATTRIBA0	フラッシュ特権属性レジスタ A0	セクション 11.3.56
1404h	FPC_PRIVATTRIBA1	フラッシュ特権属性レジスタ A1	セクション 11.3.57
1408h	FPC_PRIVATTRIBB0	フラッシュ特権属性レジスタ B0	セクション 11.3.58
140Ch	FPC_PRIVATTRIBB1	フラッシュ特権属性レジスタ B1	セクション 11.3.59
1480h	FPC_PRIVATTRIBA_DFLASH	データ フラッシュ特権属性レジスタ	セクション 11.3.60
1600h	FPC_WEPROTA0	フラッシュ書き込み保護属性レジスタ A0	セクション 11.3.61
1604h	FPC_WEPROTA1	フラッシュ書き込み保護属性レジスタ A1	セクション 11.3.62
1608h	FPC_WEPROTB0	フラッシュ書き込み保護属性レジスタ B0	セクション 11.3.63
160Ch	FPC_WEPROTB1	フラッシュ書き込み保護属性レジスタ B1	セクション 11.3.64
1700h	FPC_WEPROTA_DFLASH	データ フラッシュ書き込み保護属性レジスタ A	セクション 11.3.65
1800h	FPC_FLSEMREQ	フラッシュ セマフォ要求レジスタ	セクション 11.3.66
1804h	FPC_FLSEMCLR	フラッシュ セマフォ リリース レジスタ	セクション 11.3.67
1808h	FPC_FLSEMSTAT	フラッシュ セマフォ ステータス レジスタ	セクション 11.3.68
1A80h	DMA_TRIG_SEL	DMA トリガ選択レジスタ	セクション 11.3.69
1A84h	DMA_FIX_TRIG_SEL	DMA 固定トリガ選択レジスタ	セクション 11.3.70
1B80h	VTOR_S	セキュア ベクタ テーブル オフセット レジスタ	セクション 11.3.71
1B84h	VTOR_NS	非セキュア ベクタ テーブル オフセット レジスタ	セクション 11.3.72
1D00h	DICE_CHECKSUM0	DICE チェックサム データ レジスタ - 0	セクション 11.3.73
1D04h	DICE_CHECKSUM1	DICE チェックサム データ レジスタ - 1	セクション 11.3.74
1D08h	DICE_CHECKSUM2	DICE チェックサム データ レジスタ - 2	セクション 11.3.75
1D0Ch	DICE_CHECKSUM3	DICE チェックサム データ レジスタ - 3	セクション 11.3.76
1D10h	DICE_CHECKSUM4	DICE チェックサム データ レジスタ - 4	セクション 11.3.77
1D14h	DICE_CHECKSUM5	DICE チェックサム データ レジスタ - 5	セクション 11.3.78
1D18h	DICE_CHECKSUM6	DICE チェックサム データ レジスタ - 6	セクション 11.3.79
1D1Ch	DICE_CHECKSUM7	DICE チェックサム データ レジスタ - 7	セクション 11.3.80
1D80h	GSC_LOCK	GSC ロック構成レジスタ	セクション 11.3.81

Copyright © 2026 Texas Instruments Incorporated

表 11-4. GSC レジスタ (続き)

オフセット	略称	レジスタ名	セクション
1D84h	GSC_COMMIT	GSC コミット構成レジスタ	セクション 11.3.82
1FFCh	GSC_REVISION	GSC リビジョン レジスタ	セクション 11.3.83

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 11-5 に、このセクションでアクセス タイプに使用しているコードを示します。

表 11-5. GSC のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
W1S	W 1S	1 を書き込むことで セット
WOnce	W Once	書き込み 1 回書き込む
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

11.3.1 SPC_ATTRIBVIOLS_CONFIG レジスタ (オフセット = 1000h) [リセット = 00000000h]

表 11-6 に、SPC_ATTRIBVIOLS_CONFIG を示します。

概略表に戻ります。

SRAM セキュア アクセス属性違反構成レジスタ

表 11-6. SPC_ATTRIBVIOLS_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SECVIOL	R/W	0h	セキュアでない SRAM へのセキュアアクセスの動作を制御します 0:アクセスを許可します 1:アクセスにより NMI が生成されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.2 SPC_ATTRIBVIOLP_CONFIG レジスタ (オフセット = 1004h) [リセット = 00000000h]

表 11-7 に、SPC_ATTRIBVIOLP_CONFIG を示します。

概略表に戻ります。

SRAM 権限アクセス属性違反構成レジスタ

表 11-7. SPC_ATTRIBVIOLP_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	PRIVVIOL	R/W	0h	非特権 SRAM への特権アクセスの動作を制御します 0:アクセスを許可します 1:アクセスにより NMI が生成されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.3 PPC_ATTRIBVIOLS_CONFIG レジスタ (オフセット = 1010h) [リセット = 00000000h]

表 11-8 に、PPC_ATTRIBVIOLS_CONFIG を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス属性違反構成レジスタ

表 11-8. PPC_ATTRIBVIOLS_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SECVIOL	R/W	0h	セキュアでないペリフェラルへのセキュア アクセスの動作を制御します 0:アクセスを許可します 1:アクセスにより NMI が生成されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.4 PPC_ATTRIBVIOLP_CONFIG レジスタ (オフセット = 1014h) [リセット = 00000000h]

表 11-9 に、PPC_ATTRIBVIOLP_CONFIG を示します。

概略表に戻ります。

ペリフェラル特権アクセス属性違反構成レジスタ

表 11-9. PPC_ATTRIBVIOLP_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	PRIVVIOL	R/W	0h	非特権ペリフェラルへの特権アクセスの動作を制御します 0:アクセスを許可します 1:アクセスにより NMI が生成されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.5 FPC_ATTRIBVIOLS_CONFIG レジスタ (オフセット = 1020h) [リセット = 00000000h]

表 11-10 に、FPC_ATTRIBVIOLS_CONFIG を示します。

概略表に戻ります。

フラッシュ セキュア アクセス属性違反構成レジスタ

表 11-10. FPC_ATTRIBVIOLS_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SECVIOL	R/W	0h	セキュアでないフラッシュへのセキュア アクセスの動作を制御します 0:アクセスを許可します 1:アクセスにより NMI が生成されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.6 FPC_ATTRIBVIOLP_CONFIG レジスタ (オフセット = 1024h) [リセット = 00000000h]

表 11-11 に、FPC_ATTRIBVIOLP_CONFIG を示します。

概略表に戻ります。

フラッシュ特権アクセス属性違反構成レジスタ

表 11-11. FPC_ATTRIBVIOLP_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	PRIVVIOL	R/W	0h	非特権フラッシュへの特権アクセスの動作を制御します 0:アクセスを許可します 1:アクセスにより NMI が生成されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.7 FPC_HDPPROT0_CONFIG レジスタ (オフセット = 1040h) [リセット = 00FF0000h]

FPC_HDPPROT0_CONFIG を表 11-12 に示します。

概略表に戻ります。

Bank0 構成レジスタ向けフラッシュ非表示保護

表 11-12. FPC_HDPPROT0_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-16	HDPSTART	WOnce	FFh	非表示保護が開始されるセクタ番号 リセット タイプ:BSL リセットまたはそれ以上
15-8	予約済み	R	0h	予約済み
7-0	HDPEND	WOnce	0h	非表示保護が終了するセクタ番号 リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.8 FPC_HDPPROT1_CONFIG レジスタ (オフセット = 1044h) [リセット = 00FF0000h]

FPC_HDPPROT1_CONFIG を表 11-13 に示します。

概略表に戻ります。

Bank1 構成レジスタ向けフラッシュ非表示保護

表 11-13. FPC_HDPPROT1_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-16	HDPSTART	WOnce	FFh	非表示保護が開始されるセクタ番号 リセット タイプ:BSL リセットまたはそれ以上
15-8	予約済み	R	0h	予約済み
7-0	HDPEND	WOnce	0h	非表示保護が終了するセクタ番号 リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.9 FPC_HDPPROT_CONTROL レジスタ (オフセット = 104Ch) [リセット = 00000000h]

表 11-14 に、FPC_HDPPROT_CONTROL を示します。

概略表に戻ります。

フラッシュ非表示保護制御レジスタ

表 11-14. FPC_HDPPROT_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	HDPPROT1ACCDIS	R/W1S	0h	FPC_HDPPROT1_CONFIG を有効にします。 0:HDP 領域アクセスを有効にします 1:HDP 領域アクセスが無効になっています リセット タイプ:BSL リセットまたはそれ以上
0	HDPPROT0ACCDIS	R/W1S	0h	FPC_HDPPROT0_CONFIG を有効にします。 0:HDP 領域アクセスを有効にします 1:HDP 領域アクセスが無効になっています リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.10 FPC_HDPEN_CONTROL レジスタ (オフセット = 1050h) [リセット = 00000000h]

表 11-15 に、FPC_HDPEN_CONTROL を示します。

概略表に戻ります。

フラッシュ非表示保護有効制御レジスタ

表 11-15. FPC_HDPEN_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	HDPEN	R/W1S	0h	HDP モード イネーブル。このビットは、プロビジョニング中に OTP で設定されます。 0:HDP モードは使用しません 1:HDP モードが有効化されています リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.11 FPC_HDPPROT_DBANK_CONFIG レジスタ (オフセット = 1080h) [リセット = 000F0000h]

表 11-16 に、FPC_HDPPROT_DBANK_CONFIG を示します。

概略表に戻ります。

データ フラッシュ非表示保護構成レジスタ

表 11-16. FPC_HDPPROT_DBANK_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19-16	HDPSTART	WOnce	Fh	非表示保護が開始されるセクタ番号 リセット タイプ:BSL リセットまたはそれ以上
15-4	予約済み	R	0h	予約済み
3-0	HDPEND	WOnce	0h	非表示保護が終了するセクタ番号 リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.12 FPC_HDPPROT_DBANK_CONTROL レジスタ (オフセット = 1084h) [リセット = 00000000h]

表 11-17 に、FPC_HDPPROT_DBANK_CONTROL を示します。

概略表に戻ります。

データ フラッシュ非表示保護制御レジスタ

表 11-17. FPC_HDPPROT_DBANK_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	HDPPROTACCDIS	R/W1S	0h	HDP レジスタを Databank に対して有効にします 0:HDP 領域アクセスを有効にします 1:HDP 領域アクセスが無効になっています リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.13 FPC_HDPEN_DBANK_CONTROL レジスタ (オフセット = 1088h) [リセット = 00000000h]

表 11-18 に、FPC_HDPEN_DBANK_CONTROL を示します。

概略表に戻ります。

データ フラッシュ非表示保護イネーブル制御レジスタ

表 11-18. FPC_HDPEN_DBANK_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	HDPEN	R/W1S	0h	HDP モード イネーブル。このビットは、プロビジョニング時に OTP に設定され、ブート時に BOOTROM によって OTP メモリからコピーされます。 0:HDP モードは使用しません 1:HDP モードが有効化されています リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.14 PPC_SECATTRIB_ADC レジスタ (オフセット = 1100h) [リセット = 00000000h]

表 11-19 に、PPC_SECATTRIB_ADC を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス ADC

表 11-19. PPC_SECATTRIB_ADC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SEC_ADC1	R/W	0h	ADC1 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	SEC_ADC0	R/W	0h	ADC0 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.15 PPC_SECATTRIB_TIMER レジスタ (オフセット = 1108h) [リセット = 00000000h]

表 11-20 に、PPC_SECATTRIB_TIMER を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス タイマ

表 11-20. PPC_SECATTRIB_TIMER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	SEC_TIMG8_1	R/W	0h	TIMG8_1 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
24	SEC_TIMG8_0	R/W	0h	TIMG8_0 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
23-17	予約済み	R	0h	予約済み
16	SEC_TIMG12_0	R/W	0h	TIMG12_0 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
15-12	予約済み	R	0h	予約済み
11	SEC_TIMG4_3	R/W	0h	TIMG4_3 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
10	SEC_TIMG4_2	R/W	0h	TIMG4_2 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
9	SEC_TIMG4_1	R/W	0h	TIMG4_1 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
8	SEC_TIMG4_0	R/W	0h	TIMG4_0 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
7-2	予約済み	R	0h	予約済み
1	SEC_TIMA0_1	R/W	0h	TIMA0_1 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	SEC_TIMA0_0	R/W	0h	TIMA0_0 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.16 PPC_SECATTRIB_UNICOMM レジスタ (オフセット = 1110h) [リセット = 00000000h]

表 11-21 に、PPC_SECATTRIB_UNICOMM を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス UniComm

表 11-21. PPC_SECATTRIB_UNICOMM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10	SEC_S2U3	R/W	0h	UniComm S2U3 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
9	SEC_S2U2	R/W	0h	UniComm S2U2 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
8	SEC_S2U1	R/W	0h	UniComm S2U1 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
7	SEC_S2U0	R/W	0h	UniComm S2U0 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
6	SEC_S1U5	R/W	0h	UniComm S1U5 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
5	SEC_S1U4	R/W	0h	UniComm S1U4 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
4	SEC_S1U3	R/W	0h	UniComm S1U3 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
3	SEC_S1U2	R/W	0h	UniComm S1U2 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
2	SEC_S1U0	R/W	0h	UniComm S1U0 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
1	SEC_S0U2	R/W	0h	UniComm S0U2 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	SEC_S0U1	R/W	0h	UniComm S0U1 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.17 PPC_SECATTRIB_GPIO レジスタ (オフセット = 1118h) [リセット = 00000000h]

表 11-22 に、PPC_SECATTRIB_GPIO を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス GPIO

表 11-22. PPC_SECATTRIB_GPIO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	SEC_GPIOC	R/W	0h	GPIO C に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
1	SEC_GPIOB	R/W	0h	GPIO B に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	SEC_GPIOA	R/W	0h	GPIO A に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.18 PPC_SECATTRIB_MCAN レジスタ (オフセット = 1120h) [リセット = 00000000h]

表 11-23 に、PPC_SECATTRIB_MCAN を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス CAN

表 11-23. PPC_SECATTRIB_MCAN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SEC_MCAN1	R/W	0h	MCAN 1 に対するセキュア アクセスの有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	SEC_MCAN0	R/W	0h	MCAN 0 に対するセキュア アクセスの有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.19 PPC_SECATTRIB_I2S レジスタ (オフセット = 1128h) [リセット = 00000000h]

PPC_SECATTRIB_I2S を表 11-24 に示します。

概略表に戻ります。

ペリフェラル セキュア アクセス I2S

表 11-24. PPC_SECATTRIB_I2S レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SEC_I2S1	R/W	0h	I2S 1 に対してセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	SEC_I2S0	R/W	0h	I2S 0 に対してセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.20 PPC_SECATTRIB_ACOMP レジスタ (オフセット = 1130h) [リセット = 00000000h]

表 11-25 に、PPC_SECATTRIB_ACOMP を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス アナログ コンパレータ

表 11-25. PPC_SECATTRIB_ACOMP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SEC_ACOMP1	R/W	0h	コンパレータ 1 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	SEC_ACOMP0	R/W	0h	コンパレータ 0 に対するセキュアアクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.21 PPC_SECATTRIB_WDT レジスタ (オフセット = 1138h) [リセット = 00000000h]

表 11-26 に、PPC_SECATTRIB_WDT を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス ウォッチドッグ

表 11-26. PPC_SECATTRIB_WDT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_WWDT	R/W	0h	ウィンドウ付きウォッチドッグに対してセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.22 PPC_SECATTRIB_LFSS レジスタ (オフセット = 1140h) [リセット = 00000000h]

表 11-27 に、PPC_SECATTRIB_LFSS を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス LFSS

表 11-27. PPC_SECATTRIB_LFSS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_LFSS	R/W	0h	LFSS に対するセキュアアクセスを有効化 (LFSS 内のペリフェラルを含む IWDT など) 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.23 PPC_SECATTRIB_CRC レジスタ (オフセット = 1148h) [リセット = 00000001h]

表 11-28 に、PPC_SECATTRIB_CRC を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス CRC

表 11-28. PPC_SECATTRIB_CRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_CRC	R/W	1h	CRC を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.24 PPC_SECATTRIB_AES レジスタ (オフセット = 1150h) [リセット = 00000000h]

表 11-29 に、PPC_SECATTRIB_AES を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス AES

表 11-29. PPC_SECATTRIB_AES レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_AES	R/W	0h	AES を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.25 PPC_SECATTRIB_SHA レジスタ (オフセット = 1158h) [リセット = 00000000h]

表 11-30 に、PPC_SECATTRIB_SHA を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス SHA

表 11-30. PPC_SECATTRIB_SHA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_SHA	R/W	0h	SHA を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.26 PPC_SECATTRIB_PKA レジスタ (オフセット = 1160h) [リセット = 00000000h]

表 11-31 に、PPC_SECATTRIB_PKA を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス PKA

表 11-31. PPC_SECATTRIB_PKA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_PKA	R/W	0h	PKA を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.27 PPC_SECATTRIB_IOMUX レジスタ (オフセット = 1168h) [リセット = 00000000h]

表 11-32 に、PPC_SECATTRIB_IOMUX を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス IOMUX

表 11-32. PPC_SECATTRIB_IOMUX レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_IOMUX	R/W	0h	IOMUX を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.28 PPC_SECATTRIB_QSPI レジスタ (オフセット = 1170h) [リセット = 00000000h]

表 11-33 に、PPC_SECATTRIB_QSPI を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス QSPI

表 11-33. PPC_SECATTRIB_QSPI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_QSPI	R/W	0h	QSPI を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.29 PPC_SECATTRIB_TRNG レジスタ (オフセット = 1178h) [リセット = 00000001h]

表 11-34 に、PPC_SECATTRIB_TRNG を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス TRNG

表 11-34. PPC_SECATTRIB_TRNG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_TRNG	R/W	1h	TRNG を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.30 PPC_SECATTRIB_DEBUGSS レジスタ (オフセット = 1180h) [リセット = 00000001h]

表 11-35 に、PPC_SECATTRIB_DEBUGSS を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス DEBUGSS

表 11-35. PPC_SECATTRIB_DEBUGSS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_DEBUGSS	R/W	1h	DEBUGSS へのセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.31 PPC_SECATTRIB_VREF レジスタ (オフセット = 1188h) [リセット = 00000000h]

表 11-36 に、PPC_SECATTRIB_VREF を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス VREF

表 11-36. PPC_SECATTRIB_VREF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_VREF	R/W	0h	VREF を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.32 PPC_SECATTRIB_KEYSTORECTL レジスタ (オフセット = 1190h) [リセット = 00000000h]

表 11-37 に、PPC_SECATTRIB_KEYSTORECTL を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス KEYSTORECTL

表 11-37. PPC_SECATTRIB_KEYSTORECTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_KEYSTORECTL	R/W	0h	KEYSTORECTL に対するセキュアアクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.33 PPC_SECATTRIB_EAM レジスタ (オフセット = 1198h) [リセット = 00000000h]

表 11-38 に、PPC_SECATTRIB_EAM を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス EAM

表 11-38. PPC_SECATTRIB_EAM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_EAM	R/W	0h	EAM を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.34 PPC_SECATTRIB_WUC レジスタ (オフセット = 11A0h) [リセット = 00000000h]

表 11-39 に、PPC_SECATTRIB_WUC を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス WUC

表 11-39. PPC_SECATTRIB_WUC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_WUC	R/W	0h	WUC を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.35 PPC_SECATTRIB_FRIREGS レジスタ (オフセット = 11A8h) [リセット = 00000000h]

表 11-40 に、PPC_SECATTRIB_FRIREGS を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス FRIREGS

表 11-40. PPC_SECATTRIB_FRIREGS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_FRIREGS	R/W	0h	FRIREGS に対するセキュア アクセスの有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.36 PPC_SECATTRIB_MEMCFG レジスタ (オフセット = 11B0h) [リセット = 00000000h]

表 11-41 に、PPC_SECATTRIB_MEMCFG を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス MEMCFG

表 11-41. PPC_SECATTRIB_MEMCFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_MEMCFG	R/W	0h	MEMCFG を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.37 PPC_SECATTRIB_SYSCTL レジスタ (オフセット = 1208h) [リセット = 00000001h]

表 11-42 に、PPC_SECATTRIB_SYSCTL を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス システム制御

表 11-42. PPC_SECATTRIB_SYSCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_SYSCTL	R/W	1h	SYSCTL を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.38 PPC_PRIVATTRIB_SYSCTL レジスタ (オフセット = 120Ch) [リセット = 00000001h]

表 11-43 に、PPC_PRIVATTRIB_SYSCTL を示します。

概略表に戻ります。

ペリフェラル特権アクセス システム制御

表 11-43. PPC_PRIVATTRIB_SYSCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	PRIV_SYSCTL	R/W	1h	SYSCTL に対する権限アクセスが有効になっています 0:非特権アクセスが有効です 1:特権アクセスが有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.39 PPC_SECATTRIB_DMA レジスタ (オフセット = 1210h) [リセット = 00000001h]

表 11-44 に、PPC_SECATTRIB_DMA を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス DMA

表 11-44. PPC_SECATTRIB_DMA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	SEC_DMA1	R/W	0h	DMA1 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	SEC_DMA0	R/W	1h	DMA0 に対するセキュア アクセスを有効化 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.40 PPC_PRIVATTRIB_DMA レジスタ (オフセット = 1214h) [リセット = 00000001h]

表 11-45 に、PPC_PRIVATTRIB_DMA を示します。

概略表に戻ります。

ペリフェラル特権アクセス DMA

表 11-45. PPC_PRIVATTRIB_DMA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	予約済み
1	PRIV_DMA1	R/W	0h	DMA1 に対する権限アクセスが有効になっています 0:非特権アクセスが有効です 1:特権アクセスが有効です リセット タイプ:BOOTRST またはそれ以上
0	PRIV_DMA0	R/W	1h	DMA0 に対する権限アクセスが有効になっています 0:非特権アクセスが有効です 1:特権アクセスが有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.41 PPC_SECATTRIB_GSC レジスタ (オフセット = 1218h) [リセット = 00000001h]

表 11-46 に、PPC_SECATTRIB_GSC を示します。

概略表に戻ります。

ペリフェラル セキュア アクセス GSC

表 11-46. PPC_SECATTRIB_GSC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	SEC_GSC	R/W	1h	GSC を有効化するセキュア アクセス 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.42 PPC_PRIVATTRIB_GSC レジスタ (オフセット = 121Ch) [リセット = 00000001h]

表 11-47 に、PPC_PRIVATTRIB_GSC を示します。

概略表に戻ります。

ペリフェラル特権アクセス GSC

表 11-47. PPC_PRIVATTRIB_GSC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	PRIV_GSC	R/W	1h	GSC に対する権限アクセスが有効になっています 0:非特権アクセスが有効です 1:特権アクセスが有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.43 SPC_SECATTRIB0 レジスタ (オフセット = 1280h) [リセット = 7F7F7F7Fh]

SPC_SECATTRIB0 を表 11-48 に示します。

概略表に戻ります。

SRAM セキュア属性 - 0 レジスタ

表 11-48. SPC_SECATTRIB0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	C3B2_4KB	R/W	1h	チャンク 3 内の 3 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
29	C3B1_4KB	R/W	1h	チャンク 3 内の 2 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
28	C3B0_4KB	R/W	1h	チャンク 3 内の 1 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
27	C3B0_2KB	R/W	1h	チャンク 3 内の 2KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
26	C3B0_1KB	R/W	1h	チャンク 3 内の 1KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
25	C3B1_512B	R/W	1h	チャンク 3 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
24	C3B0_512B	R/W	1h	チャンク 3 の 1 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
23	予約済み	R	0h	予約済み
22	C2B2_4KB	R/W	1h	チャンク 2 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
21	C2B1_4KB	R/W	1h	チャンク 2 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
20	C2B0_4KB	R/W	1h	チャンク 2 の最初の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-48. SPC_SECATTRIB0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	C2B0_2KB	R/W	1h	チャンク 2 の 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
18	C2B0_1KB	R/W	1h	チャンク 2 の 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
17	C2B1_512B	R/W	1h	チャンク 2 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
16	C2B0_512B	R/W	1h	チャンク 2 の最初の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	予約済み
14	C1B2_4KB	R/W	1h	チャンク 1 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
13	C1B1_4KB	R/W	1h	チャンク 1 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
12	C1B0_4KB	R/W	1h	チャンク 1 の 1 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
11	C1B0_2KB	R/W	1h	チャンク 1 内の 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
10	C1B0_1KB	R/W	1h	チャンク 1 内の 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
9	C1B1_512B	R/W	1h	チャンク 1 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
8	C1B0_512B	R/W	1h	チャンク 1 の最初の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
7	予約済み	R	0h	予約済み
6	C0B2_4KB	R/W	1h	チャンク 0 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-48. SPC_SECATTRIB0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	C0B1_4KB	R/W	1h	チャンク 0 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
4	C0B0_4KB	R/W	1h	チャンク 0 の 1 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
3	C0B0_2KB	R/W	1h	チャンク 0 で 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
2	C0B0_1KB	R/W	1h	チャンク 0 で 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
1	C0B1_512B	R/W	1h	チャンク 0 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	C0B0_512B	R/W	1h	チャンク 0 の 1 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.44 SPC_SECATTRIB1 レジスタ (オフセット = 1284h) [リセット = 7F7F7F7Fh]

SPC_SECATTRIB1 を表 11-49 に示します。

概略表に戻ります。

SRAM セキュア属性 - 1 レジスタ

表 11-49. SPC_SECATTRIB1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	C3B2_4KB	R/W	1h	チャンク 3 内の 3 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
29	C3B1_4KB	R/W	1h	チャンク 3 内の 2 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
28	C3B0_4KB	R/W	1h	チャンク 3 内の 1 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
27	C3B0_2KB	R/W	1h	チャンク 3 内の 2KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
26	C3B0_1KB	R/W	1h	チャンク 3 内の 1KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
25	C3B1_512B	R/W	1h	チャンク 3 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
24	C3B0_512B	R/W	1h	チャンク 3 の 1 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
23	予約済み	R	0h	予約済み
22	C2B2_4KB	R/W	1h	チャンク 2 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
21	C2B1_4KB	R/W	1h	チャンク 2 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
20	C2B0_4KB	R/W	1h	チャンク 2 の最初の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-49. SPC_SECATTRIB1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	C2B0_2KB	R/W	1h	チャンク 2 の 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
18	C2B0_1KB	R/W	1h	チャンク 2 の 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
17	C2B1_512B	R/W	1h	チャンク 2 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
16	C2B0_512B	R/W	1h	チャンク 2 の最初の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	予約済み
14	C1B2_4KB	R/W	1h	チャンク 1 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
13	C1B1_4KB	R/W	1h	チャンク 1 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
12	C1B0_4KB	R/W	1h	チャンク 1 の 1 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
11	C1B0_2KB	R/W	1h	チャンク 1 内の 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
10	C1B0_1KB	R/W	1h	チャンク 1 内の 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
9	C1B1_512B	R/W	1h	チャンク 1 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
8	C1B0_512B	R/W	1h	チャンク 1 の最初の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
7	予約済み	R	0h	予約済み
6	C0B2_4KB	R/W	1h	チャンク 0 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-49. SPC_SECATTRIB1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	C0B1_4KB	R/W	1h	チャンク 0 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
4	C0B0_4KB	R/W	1h	チャンク 0 の 1 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
3	C0B0_2KB	R/W	1h	チャンク 0 で 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
2	C0B0_1KB	R/W	1h	チャンク 0 で 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
1	C0B1_512B	R/W	1h	チャンク 0 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	C0B0_512B	R/W	1h	チャンク 0 の 1 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.45 SPC_SECATTRIB2 レジスタ (オフセット = 1288h) [リセット = 7F7F7F7Fh]

SPC_SECATTRIB2 を表 11-50 に示します。

概略表に戻ります。

SRAM セキュア属性 - 2 レジスタ

表 11-50. SPC_SECATTRIB2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	C3B2_4KB	R/W	1h	チャンク 3 内の 3 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
29	C3B1_4KB	R/W	1h	チャンク 3 内の 2 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
28	C3B0_4KB	R/W	1h	チャンク 3 内の 1 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
27	C3B0_2KB	R/W	1h	チャンク 3 内の 2KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
26	C3B0_1KB	R/W	1h	チャンク 3 内の 1KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
25	C3B1_512B	R/W	1h	チャンク 3 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
24	C3B0_512B	R/W	1h	チャンク 3 の 1 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
23	予約済み	R	0h	予約済み
22	C2B2_4KB	R/W	1h	チャンク 2 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
21	C2B1_4KB	R/W	1h	チャンク 2 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
20	C2B0_4KB	R/W	1h	チャンク 2 の最初の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-50. SPC_SECATTRIB2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	C2B0_2KB	R/W	1h	チャンク 2 の 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
18	C2B0_1KB	R/W	1h	チャンク 2 の 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
17	C2B1_512B	R/W	1h	チャンク 2 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
16	C2B0_512B	R/W	1h	チャンク 2 の最初の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	予約済み
14	C1B2_4KB	R/W	1h	チャンク 1 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
13	C1B1_4KB	R/W	1h	チャンク 1 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
12	C1B0_4KB	R/W	1h	チャンク 1 の 1 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
11	C1B0_2KB	R/W	1h	チャンク 1 内の 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
10	C1B0_1KB	R/W	1h	チャンク 1 内の 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
9	C1B1_512B	R/W	1h	チャンク 1 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
8	C1B0_512B	R/W	1h	チャンク 1 の最初の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
7	予約済み	R	0h	予約済み
6	C0B2_4KB	R/W	1h	チャンク 0 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-50. SPC_SECATTRIB2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	C0B1_4KB	R/W	1h	チャンク 0 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
4	C0B0_4KB	R/W	1h	チャンク 0 の 1 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
3	C0B0_2KB	R/W	1h	チャンク 0 で 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
2	C0B0_1KB	R/W	1h	チャンク 0 で 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
1	C0B1_512B	R/W	1h	チャンク 0 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	C0B0_512B	R/W	1h	チャンク 0 の 1 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.46 SPC_SECATTRIB3 レジスタ (オフセット = 128Ch) [リセット = 7F7F7F7Fh]

SPC_SECATTRIB3 を表 11-51 に示します。

概略表に戻ります。

SRAM セキュア属性 - 3 レジスタ

表 11-51. SPC_SECATTRIB3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	C3B2_4KB	R/W	1h	チャンク 3 内の 3 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
29	C3B1_4KB	R/W	1h	チャンク 3 内の 2 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
28	C3B0_4KB	R/W	1h	チャンク 3 内の 1 番目の 4KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
27	C3B0_2KB	R/W	1h	チャンク 3 内の 2KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
26	C3B0_1KB	R/W	1h	チャンク 3 内の 1KB 領域へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
25	C3B1_512B	R/W	1h	チャンク 3 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
24	C3B0_512B	R/W	1h	チャンク 3 の 1 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
23	予約済み	R	0h	予約済み
22	C2B2_4KB	R/W	1h	チャンク 2 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
21	C2B1_4KB	R/W	1h	チャンク 2 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
20	C2B0_4KB	R/W	1h	チャンク 2 の最初の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-51. SPC_SECATTRIB3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	C2B0_2KB	R/W	1h	チャンク 2 の 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
18	C2B0_1KB	R/W	1h	チャンク 2 の 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
17	C2B1_512B	R/W	1h	チャンク 2 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
16	C2B0_512B	R/W	1h	チャンク 2 の最初の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	予約済み
14	C1B2_4KB	R/W	1h	チャンク 1 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
13	C1B1_4KB	R/W	1h	チャンク 1 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
12	C1B0_4KB	R/W	1h	チャンク 1 の 1 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
11	C1B0_2KB	R/W	1h	チャンク 1 内の 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
10	C1B0_1KB	R/W	1h	チャンク 1 内の 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
9	C1B1_512B	R/W	1h	チャンク 1 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
8	C1B0_512B	R/W	1h	チャンク 1 の最初の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
7	予約済み	R	0h	予約済み
6	C0B2_4KB	R/W	1h	チャンク 0 の 3 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-51. SPC_SECATTRIB3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	C0B1_4KB	R/W	1h	チャンク 0 の 2 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
4	C0B0_4KB	R/W	1h	チャンク 0 の 1 番目の 4KB へのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
3	C0B0_2KB	R/W	1h	チャンク 0 で 2KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
2	C0B0_1KB	R/W	1h	チャンク 0 で 1KB に対するセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
1	C0B1_512B	R/W	1h	チャンク 0 の 2 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
0	C0B0_512B	R/W	1h	チャンク 0 の 1 番目の 512 バイトまでのセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.47 SPC_PRIVATTRIB0 レジスタ (オフセット = 12C0h) [リセット = 7F7F7F7Fh]

SPC_PRIVATTRIB0 を表 11-52 に示します。

概略表に戻ります。

SRAM 特権属性 - 0 レジスタ

表 11-52. SPC_PRIVATTRIB0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	C3B2_4KB	R/W	1h	チャンク 3 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
29	C3B1_4KB	R/W	1h	チャンク 3 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
28	C3B0_4KB	R/W	1h	チャンク 3 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
27	C3B0_2KB	R/W	1h	チャンク 3 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
26	C3B0_1KB	R/W	1h	チャンク 3 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
25	C3B1_512B	R/W	1h	チャンク 3 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
24	C3B0_512B	R/W	1h	チャンク 3 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
23	予約済み	R	0h	予約済み
22	C2B2_4KB	R/W	1h	チャンク 2 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
21	C2B1_4KB	R/W	1h	チャンク 2 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
20	C2B0_4KB	R/W	1h	チャンク 2 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-52. SPC_PRIVATTRIB0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	C2B0_2KB	R/W	1h	チャンク 2 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
18	C2B0_1KB	R/W	1h	チャンク 2 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
17	C2B1_512B	R/W	1h	チャンク 2 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
16	C2B0_512B	R/W	1h	チャンク 2 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	予約済み
14	C1B2_4KB	R/W	1h	チャンク 1 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
13	C1B1_4KB	R/W	1h	チャンク 1 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
12	C1B0_4KB	R/W	1h	チャンク 1 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
11	C1B0_2KB	R/W	1h	チャンク 1 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
10	C1B0_1KB	R/W	1h	チャンク 1 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
9	C1B1_512B	R/W	1h	チャンク 1 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
8	C1B0_512B	R/W	1h	チャンク 1 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
7	予約済み	R	0h	予約済み
6	C0B2_4KB	R/W	1h	チャンク 0 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-52. SPC_PRIVATTRIB0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	C0B1_4KB	R/W	1h	チャンク 0 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
4	C0B0_4KB	R/W	1h	チャンク 0 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
3	C0B0_2KB	R/W	1h	チャンク 0 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
2	C0B0_1KB	R/W	1h	チャンク 0 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
1	C0B1_512B	R/W	1h	チャンク 0 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
0	C0B0_512B	R/W	1h	チャンク 0 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.48 SPC_PRIVATTRIB1 レジスタ (オフセット = 12C4h) [リセット = 7F7F7F7Fh]

SPC_PRIVATTRIB1 を表 11-53 に示します。

概略表に戻ります。

SRAM 特権属性 - 1 レジスタ

表 11-53. SPC_PRIVATTRIB1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	C3B2_4KB	R/W	1h	チャンク 3 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
29	C3B1_4KB	R/W	1h	チャンク 3 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
28	C3B0_4KB	R/W	1h	チャンク 3 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
27	C3B0_2KB	R/W	1h	チャンク 3 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
26	C3B0_1KB	R/W	1h	チャンク 3 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
25	C3B1_512B	R/W	1h	チャンク 3 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
24	C3B0_512B	R/W	1h	チャンク 3 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
23	予約済み	R	0h	予約済み
22	C2B2_4KB	R/W	1h	チャンク 2 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
21	C2B1_4KB	R/W	1h	チャンク 2 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
20	C2B0_4KB	R/W	1h	チャンク 2 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-53. SPC_PRIVATTRIB1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	C2B0_2KB	R/W	1h	チャンク 2 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
18	C2B0_1KB	R/W	1h	チャンク 2 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
17	C2B1_512B	R/W	1h	チャンク 2 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
16	C2B0_512B	R/W	1h	チャンク 2 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	予約済み
14	C1B2_4KB	R/W	1h	チャンク 1 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
13	C1B1_4KB	R/W	1h	チャンク 1 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
12	C1B0_4KB	R/W	1h	チャンク 1 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
11	C1B0_2KB	R/W	1h	チャンク 1 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
10	C1B0_1KB	R/W	1h	チャンク 1 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
9	C1B1_512B	R/W	1h	チャンク 1 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
8	C1B0_512B	R/W	1h	チャンク 1 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
7	予約済み	R	0h	予約済み
6	C0B2_4KB	R/W	1h	チャンク 0 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-53. SPC_PRIVATTRIB1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	C0B1_4KB	R/W	1h	チャンク 0 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
4	C0B0_4KB	R/W	1h	チャンク 0 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
3	C0B0_2KB	R/W	1h	チャンク 0 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
2	C0B0_1KB	R/W	1h	チャンク 0 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
1	C0B1_512B	R/W	1h	チャンク 0 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
0	C0B0_512B	R/W	1h	チャンク 0 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.49 SPC_PRIVATTRIB2 レジスタ (オフセット = 12C8h) [リセット = 7F7F7F7Fh]

SPC_PRIVATTRIB2 を表 11-54 に示します。

概略表に戻ります。

SRAM 特権属性 - 2 レジスタ

表 11-54. SPC_PRIVATTRIB2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	C3B2_4KB	R/W	1h	チャンク 3 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
29	C3B1_4KB	R/W	1h	チャンク 3 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
28	C3B0_4KB	R/W	1h	チャンク 3 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
27	C3B0_2KB	R/W	1h	チャンク 3 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
26	C3B0_1KB	R/W	1h	チャンク 3 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
25	C3B1_512B	R/W	1h	チャンク 3 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
24	C3B0_512B	R/W	1h	チャンク 3 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
23	予約済み	R	0h	予約済み
22	C2B2_4KB	R/W	1h	チャンク 2 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
21	C2B1_4KB	R/W	1h	チャンク 2 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
20	C2B0_4KB	R/W	1h	チャンク 2 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-54. SPC_PRIVATTRIB2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	C2B0_2KB	R/W	1h	チャンク 2 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
18	C2B0_1KB	R/W	1h	チャンク 2 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
17	C2B1_512B	R/W	1h	チャンク 2 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
16	C2B0_512B	R/W	1h	チャンク 2 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	予約済み
14	C1B2_4KB	R/W	1h	チャンク 1 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
13	C1B1_4KB	R/W	1h	チャンク 1 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
12	C1B0_4KB	R/W	1h	チャンク 1 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
11	C1B0_2KB	R/W	1h	チャンク 1 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
10	C1B0_1KB	R/W	1h	チャンク 1 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
9	C1B1_512B	R/W	1h	チャンク 1 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
8	C1B0_512B	R/W	1h	チャンク 1 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
7	予約済み	R	0h	予約済み
6	C0B2_4KB	R/W	1h	チャンク 0 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-54. SPC_PRIVATTRIB2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	C0B1_4KB	R/W	1h	チャンク 0 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
4	C0B0_4KB	R/W	1h	チャンク 0 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
3	C0B0_2KB	R/W	1h	チャンク 0 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
2	C0B0_1KB	R/W	1h	チャンク 0 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
1	C0B1_512B	R/W	1h	チャンク 0 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
0	C0B0_512B	R/W	1h	チャンク 0 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.50 SPC_PRIVATTRIB3 レジスタ (オフセット = 12CCh) [リセット = 7F7F7F7Fh]

SPC_PRIVATTRIB3 を表 11-55 に示します。

概略表に戻ります。

SRAM 特権属性 - 3 レジスタ

表 11-55. SPC_PRIVATTRIB3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	予約済み
30	C3B2_4KB	R/W	1h	チャンク 3 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
29	C3B1_4KB	R/W	1h	チャンク 3 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
28	C3B0_4KB	R/W	1h	チャンク 3 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
27	C3B0_2KB	R/W	1h	チャンク 3 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
26	C3B0_1KB	R/W	1h	チャンク 3 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
25	C3B1_512B	R/W	1h	チャンク 3 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
24	C3B0_512B	R/W	1h	チャンク 3 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
23	予約済み	R	0h	予約済み
22	C2B2_4KB	R/W	1h	チャンク 2 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
21	C2B1_4KB	R/W	1h	チャンク 2 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
20	C2B0_4KB	R/W	1h	チャンク 2 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-55. SPC_PRIVATTRIB3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19	C2B0_2KB	R/W	1h	チャンク 2 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
18	C2B0_1KB	R/W	1h	チャンク 2 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
17	C2B1_512B	R/W	1h	チャンク 2 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
16	C2B0_512B	R/W	1h	チャンク 2 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	予約済み
14	C1B2_4KB	R/W	1h	チャンク 1 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
13	C1B1_4KB	R/W	1h	チャンク 1 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
12	C1B0_4KB	R/W	1h	チャンク 1 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
11	C1B0_2KB	R/W	1h	チャンク 1 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
10	C1B0_1KB	R/W	1h	チャンク 1 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
9	C1B1_512B	R/W	1h	チャンク 1 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
8	C1B0_512B	R/W	1h	チャンク 1 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
7	予約済み	R	0h	予約済み
6	C0B2_4KB	R/W	1h	チャンク 0 の 3 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

表 11-55. SPC_PRIVATTRIB3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	C0B1_4KB	R/W	1h	チャンク 0 の 2 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
4	C0B0_4KB	R/W	1h	チャンク 0 の 1 番目の 4KB への特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
3	C0B0_2KB	R/W	1h	チャンク 0 の 2KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
2	C0B0_1KB	R/W	1h	チャンク 0 の 1KB に対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
1	C0B1_512B	R/W	1h	チャンク 0 の 2 番目の 512 バイトに対して特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
0	C0B0_512B	R/W	1h	チャンク 0 の 1 番目の 512 バイトに対する特権アクセスを有効にします 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.51 FPC_SECATTRIBA0 レジスタ (オフセット = 1300h) [リセット = FFFFFFFFh]

FPC_SECATTRIBA0 を表 11-56 に示します。

概略表に戻ります。

フラッシュ セキュア属性レジスタ A0

表 11-56. FPC_SECATTRIBA0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SEC_PAGE	R/W	FFFFFFFFh	フラッシュの最初の 32 セクタ (各ビットが 2KB の 1 セクタを表す) のセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.52 FPC_SECATTRIBA1 レジスタ (オフセット = 1304h) [リセット = FFFFFFFFh]

FPC_SECATTRIBA1 を表 11-57 に示します。

概略表に戻ります。

フラッシュ セキュア属性レジスタ A1

表 11-57. FPC_SECATTRIBA1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SEC_PAGE	R/W	FFFFFFFFh	フラッシュの最初の 32 セクタ (各ビットが 2KB の 1 セクタを表す) のセキュア アクセスを有効にします 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.53 FPC_SECATTRIBB0 レジスタ (オフセット = 1308h) [リセット = FFFFFFF0h]

FPC_SECATTRIBB0 を表 11-58 に示します。

概略表に戻ります。

フラッシュ セキュア属性レジスタ B0

表 11-58. FPC_SECATTRIBB0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	SEC_PAGE	R/W	0FFFFFFFh	64KB ～ 512KB フラッシュのセキュア アクセス有効化 (各ビットは 2KB の 8 セクタを表します) 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
3-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.3.54 FPC_SECATTRIBB1 レジスタ (オフセット = 130Ch) [リセット = FFFFFFF0h]

FPC_SECATTRIBB1 を表 11-59 に示します。

概略表に戻ります。

フラッシュ セキュア属性レジスタ B1

表 11-59. FPC_SECATTRIBB1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	SEC_PAGE	R/W	0FFFFFFFh	64KB ～ 512KB フラッシュのセキュア アクセス有効化 (各ビットは 2KB の 8 セクタを表します) 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上
3-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.3.55 FPC_SECATTRIBA_DFLASH レジスタ (オフセット = 1380h) [リセット = 0000FFFFh]

表 11-60 に、FPC_SECATTRIBA_DFLASH を示します。

概略表に戻ります。

データ フラッシュ セキュア属性レジスタ A

表 11-60. FPC_SECATTRIBA_DFLASH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	SEC_PAGE_DFLASH	R/W	FFFFh	最初の 16 セクタ データ フラッシュページのセキュア アクセスを有効にします (各ビットが 2KB の 1 セクタを表します) 0:非セキュア アクセスを有効化 1:セキュア アクセスが有効になっています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.56 FPC_PRIVATTRIBA0 レジスタ (オフセット = 1400h) [リセット = FFFFFFFFh]

FPC_PRIVATTRIBA0 を表 11-61 に示します。

概略表に戻ります。

フラッシュ特権属性レジスタ A0

表 11-61. FPC_PRIVATTRIBA0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PRIV_PAGE	R/W	FFFFFFFFh	フラッシュの最初の 32 セクタへの特権アクセスを有効にします (各ビットが 2KB の 1 セクタを表します) 0:非特権アクセスが有効です 1:特権アクセスが有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.57 FPC_PRIVATTRIBA1 レジスタ (オフセット = 1404h) [リセット = FFFFFFFFh]

FPC_PRIVATTRIBA1 を表 11-62 に示します。

概略表に戻ります。

フラッシュ特権属性レジスタ A1

表 11-62. FPC_PRIVATTRIBA1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	PRIV_PAGE	R/W	FFFFFFFFh	フラッシュの最初の 32 セクタへの特権アクセスを有効にします (各ビットが 2KB の 1 セクタを表します) 0:非特権アクセスが有効です 1:特権アクセスが有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.58 FPC_PRIVATTRIBB0 レジスタ (オフセット = 1408h) [リセット = FFFFFFF0h]

FPC_PRIVATTRIBB0 を表 11-63 に示します。

概略表に戻ります。

フラッシュ特権属性レジスタ B0

表 11-63. FPC_PRIVATTRIBB0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	PRIV_PAGE	R/W	0FFFFFFFh	64KB ～ 512KB フラッシュの特権アクセスを有効にします (各ビットは 2KB の 8 セクタを表します) 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
3-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.3.59 FPC_PRIVATTRIBB1 レジスタ (オフセット = 140Ch) [リセット = FFFFFFF0h]

FPC_PRIVATTRIBB1 を表 11-64 に示します。

概略表に戻ります。

フラッシュ特権属性レジスタ B1

表 11-64. FPC_PRIVATTRIBB1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	PRIV_PAGE	R/W	0FFFFFFFh	64KB ～ 512KB フラッシュの特権アクセスを有効にします (各ビットは 2KB の 8 セクタを表します) 0:非特権アクセスを有効にします 1:特権アクセスは有効です リセット タイプ:BOOTRST またはそれ以上
3-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

11.3.60 FPC_PRIVATTRIBA_DFLASH レジスタ (オフセット = 1480h) [リセット = 0000FFFFh]

表 11-65 に、FPC_PRIVATTRIBA_DFLASH を示します。

概略表に戻ります。

データ フラッシュ特権属性レジスタ

表 11-65. FPC_PRIVATTRIBA_DFLASH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-0	PRIV_PAGE_DFLASH	R/W	FFFFh	データ フラッシュ ページの先頭 16 セクタへの特権アクセスを有効にします。各ビットは 2KB の 1 セクタを表します 0:非特権アクセスが有効です 1:特権アクセスが有効です リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.61 FPC_WEPROTA0 レジスタ (オフセット = 1600h) [リセット = 00000000h]

FPC_WEPROTA0 を表 11-66 に示します。

概略表に戻ります。

フラッシュ書き込み保護属性レジスタ A0

表 11-66. FPC_WEPROTA0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	WEPROT_PAGE	R/W1S	0h	フラッシュの最初の 32 セクタの書き込み保護を有効にします (各ビットが 2KB の 1 セクタを表します) 0: ページは消去 / プログラム保護されていません 1: ページは消去 / プログラム保護されています リセット タイプ: BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.62 FPC_WEPROTA1 レジスタ (オフセット = 1604h) [リセット = 00000000h]

FPC_WEPROTA1 を表 11-67 に示します。

概略表に戻ります。

フラッシュ書き込み保護属性レジスタ A1

表 11-67. FPC_WEPROTA1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	WEPROT_PAGE	R/W1S	0h	フラッシュの最初の 32 セクタの書き込み保護を有効にします (各ビットが 2KB の 1 セクタを表します) 0: ページは消去 / プログラム保護されていません 1: ページは消去 / プログラム保護されています リセット タイプ: BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.63 FPC_WEPROTB0 レジスタ (オフセット = 1608h) [リセット = 00000000h]

FPC_WEPROTB0 を表 11-68 に示します。

概略表に戻ります。

フラッシュ書き込み保護属性レジスタ B0

表 11-68. FPC_WEPROTB0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	WEPROT_PAGE	R/W1S	0h	512KB ～ 1024KB フラッシュの書き込み保護有効化 (各ビットは 2KB の 8 セクタを表す) 0: ページは消去 / プログラム保護されていません 1: ページは消去 / プログラム保護されています リセット タイプ: BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.64 FPC_WEPROTB1 レジスタ (オフセット = 160Ch) [リセット = 00000000h]

FPC_WEPROTB1 を表 11-69 に示します。

概略表に戻ります。

フラッシュ書き込み保護属性レジスタ B1

表 11-69. FPC_WEPROTB1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	WEPROT_PAGE	R/W1S	0h	512KB ～ 1024KB フラッシュの書き込み保護有効化 (各ビットは 2KB の 8 セクタを表す) 0: ページは消去 / プログラム保護されていません 1: ページは消去 / プログラム保護されています リセット タイプ: BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.65 FPC_WEPROTA_DFLASH レジスタ (オフセット = 1700h) [リセット = 00000000h]

表 11-70 に、FPC_WEPROTA_DFLASH を示します。

概略表に戻ります。

データ フラッシュ書き込み保護属性レジスタ A

表 11-70. FPC_WEPROTA_DFLASH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	WEPROT_PAGE_DFLASH	R/W1S	0h	これらのビットには機能は実装されていません リセット タイプ:BOOTRST またはそれ以上
15-0	WEPROT_PAGE_DFLASH	R/W1S	0h	最初の 16 セクタデータフラッシュページの書き込み保護を有効にします (各ビットが 2KB の 1 セクタを表します) 0:ページは消去 / プログラム保護されていません 1:ページは消去 / プログラム保護されています リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.66 FPC_FLSEMREQ レジスタ (オフセット = 1800h) [リセット = 00000000h]

表 11-71 に、FPC_FLSEMREQ を示します。

概略表に戻ります。

フラッシュ セマフォ要求レジスタ

表 11-71. FPC_FLSEMREQ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	REQ	R-0/W1S	0h	FLSEMSTAT.ASSIGNED ビットがクリアされている場合、このビットに「1」を書き込むと、次の動作が発生します。 1) FLSEMSTAT.SEC ビット フィールドに書き込みを行うコードのセキュア属性をロードし 、2) FLSEMSTAT.PRIV ビットフィールドに書き込みを行うコードの特権属性をロードし、 3) FLSEMSTAT.ASSIGNED ビットを設定します。 このビットへの書き込み時に FLSEMSTAT.ASSIGNED ビットがすでにセットされている場合、その書き込みは無視されます。 書き込み時に上記の条件が満たされていない場合、その書き込みはエラー表示なしで無視されます。このビットへの書き込み後、正しくセットされたことを確認するために、書き込み処理を行うコードで FLSEMSTAT レジスタを読み出すことを推奨します。 リセット タイプ : BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.67 FPC_FLSEMCLR レジスタ (オフセット = 1804h) [リセット = 00000000h]

表 11-72 に、FPC_FLSEMCLR を示します。

概略表に戻ります。

フラッシュ セマフォ リリース レジスタ

表 11-72. FPC_FLSEMCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	CLR	R-0/W1S	0h	以下の条件が満たされている場合、このビットに「1」を書き込むと、FLSEMSTAT レジスタはリセット状態になります。 1) 書き込みを実行するコードの FLSEMSTAT.SEC が 0x1 であり、かつ FLSEMSTAT.PRIV が 0x1 である場合 (つまり、セキュア特権コードはセマフォを強制的に解放できます)、または 2) FLSEMSTAT.ASSIGNED ビットがセットされており、かつ a) FLSEMSTAT.SEC が、書き込みを実行するコードのセキュリティ属性と一致しており、かつ b) FLSEMSTAT.PRIV が、書き込みを実行するコードの特権属性と一致している場合。 書き込み時に上記の条件が満たされていない場合、その書き込みはエラー表示なしで無視されます。このビットへの書き込み後、正しくクリアされたことを確認するために、書き込み処理を行うコードで FLSEMSTAT レジスタを読み出すことを推奨します。 リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.68 FPC_FLSEMSTAT レジスタ (オフセット = 1808h) [リセット = 00000000h]

表 11-73 に、FPC_FLSEMSTAT を示します。

概略表に戻ります。

フラッシュ セマフォ ステータス レジスタ

表 11-73. FPC_FLSEMSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	ASSIGNED	R	0h	このビットが設定されている場合、SEC および PRIV フィールドは有効です。 0:SEC と PRIV は割り当てられておらず、フラッシュ コントローラにアクセスできません 1:SEC および PRIV の値が有効であり、かつフラッシュ コントローラが現在それらに割り当てられています リセット タイプ:BOOTRST またはそれ以上
30	MATCH	R	0h	読み取り時、このビットは、読み取り側の SEC および PRIV がフラッシュ コントローラの所有権設定と一致しているかどうかを示します。 0:読み取りを実行するコードは、フラッシュ コントローラ セマフォを所有していません 1:読み取りを実行するコードは、フラッシュ コントローラのセマフォを所有します。 これにより、現在のコード セグメントがフラッシュ コントローラの設定を所有しているかどうかを、コード側で把握する必要がなくなります。 リセット タイプ:BOOTRST またはそれ以上
29-17	予約済み	R	0h	予約済み
16	DBGACC	R	0h	フラッシュ コントローラ セマフォ所有者のデバッグ アクセス表示を定義します 0x0:機能アクセス 0x1:デバッグ アクセス リセット タイプ:BOOTRST またはそれ以上
15-9	予約済み	R	0h	予約済み
8	PRIV	R	0h	フラッシュ コントローラのセマフォ所有者の特権属性を定義します 0x0:特権以外 0x1:特権 リセット タイプ:BOOTRST またはそれ以上
7-1	予約済み	R	0h	予約済み
0	SEC	R	0h	フラッシュ コントローラのセマフォ所有者のセキュリティ属性を定義します 0x0:非セキュア 0x1:セキュア リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.69 DMA_TRIG_SEL レジスタ (オフセット = 1A80h) [リセット = 00000000h]

表 11-74 に、DMA_TRIG_SEL を示します。

概略表に戻ります。

DMA トリガ選択レジスタ

表 11-74. DMA_TRIG_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-0	SEL_TRIG	R/W	0h	DMA0/DMA1 にルーティングされる DMA トリガの信号を選択します 0:DMA0 を選択します 1:DMA1 が選択されます 注:SEL_TRIG[9:6] は使用されていません。 特定の DMA が選択されている場合、トリガはその DMA のみに送信されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.70 DMA_FIX_TRIG_SEL レジスタ (オフセット = 1A84h) [リセット = 00000000h]

表 11-75 に、DMA_FIX_TRIG_SEL を示します。

概略表に戻ります。

DMA 固定トリガ選択レジスタ

表 11-75. DMA_FIX_TRIG_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-0	SEL_TRIG	R/W	0h	DMA0/DMA1 にルーティングされる固定 DMA トリガの信号を選択します 0:DMA0 を選択します 1:DMA1 が選択されます 特定の DMA が選択されている場合、トリガはその DMA のみに送信されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.71 VTOR_S レジスタ (オフセット = 1B80h) [リセット = 11000001h]

表 11-76 に、VTOR_S を示します。

概略表に戻ります。

セキュア ベクタ テーブル オフセット レジスタ

表 11-76. VTOR_S レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VTOR_S	R/W	11000001h	CPUSS 境界での INITSVTOR ポートの値 リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.72 VTOR_NS レジスタ (オフセット = 1B84h) [リセット = 01000001h]

表 11-77 に、VTOR_NS を示します。

概略表に戻ります。

非セキュア ベクタ テーブル オフセット レジスタ

表 11-77. VTOR_NS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	VTOR_NS	R/W	01000001h	CPUSS 境界での INITNSVTOR ポートの値 リセット タイプ:BSL リセットまたはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.73 DICE_CHECKSUM0 レジスタ (オフセット = 1D00h) [リセット = 00000000h]

DICE_CHECKSUM0 を表 11-78 に示します。

概略表に戻ります。

DICE チェックサム データ レジスタ - 0

表 11-78. DICE_CHECKSUM0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CID	WOnce	0h	レジスタには、32 バイトの DICE コンポジット デバイス識別子 (CDI) 値が格納されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.74 DICE_CHECKSUM1 レジスタ (オフセット = 1D04h) [リセット = 00000000h]

DICE_CHECKSUM1 を表 11-79 に示します。

概略表に戻ります。

DICE チェックサム データ レジスタ - 1

表 11-79. DICE_CHECKSUM1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CID	WOnce	0h	レジスタには、32 バイトの DICE コンポジット デバイス識別子 (CDI) 値が格納されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.75 DICE_CHECKSUM2 レジスタ (オフセット = 1D08h) [リセット = 00000000h]

DICE_CHECKSUM2 を表 11-80 に示します。

概略表に戻ります。

DICE チェックサム データ レジスタ - 2

表 11-80. DICE_CHECKSUM2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CID	WOnce	0h	レジスタには、32 バイトの DICE コンポジット デバイス識別子 (CDI) 値が格納されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.76 DICE_CHECKSUM3 レジスタ (オフセット = 1D0Ch) [リセット = 00000000h]

DICE_CHECKSUM3 を表 11-81 に示します。

概略表に戻ります。

DICE チェックサム データ レジスタ - 3

表 11-81. DICE_CHECKSUM3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CID	WOnce	0h	レジスタには、32 バイトの DICE コンポジット デバイス識別子 (CDI) 値が格納されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.77 DICE_CHECKSUM4 レジスタ (オフセット = 1D10h) [リセット = 00000000h]

DICE_CHECKSUM4 を表 11-82 に示します。

概略表に戻ります。

DICE チェックサム データ レジスタ - 4

表 11-82. DICE_CHECKSUM4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CID	WOnce	0h	レジスタには、32 バイトの DICE コンポジット デバイス識別子 (CDI) 値が格納されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.78 DICE_CHECKSUM5 レジスタ (オフセット = 1D14h) [リセット = 00000000h]

DICE_CHECKSUM5 を表 11-83 に示します。

概略表に戻ります。

DICE チェックサム データ レジスタ - 5

表 11-83. DICE_CHECKSUM5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CID	WOnce	0h	レジスタには、32 バイトの DICE コンポジット デバイス識別子 (CDI) 値が格納されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.79 DICE_CHECKSUM6 レジスタ (オフセット = 1D18h) [リセット = 00000000h]

DICE_CHECKSUM6 を表 11-84 に示します。

概略表に戻ります。

DICE チェックサム データ レジスタ - 6

表 11-84. DICE_CHECKSUM6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CID	WOnce	0h	レジスタには、32 バイトの DICE コンポジット デバイス識別子 (CDI) 値が格納されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.80 DICE_CHECKSUM7 レジスタ (オフセット = 1D1Ch) [リセット = 00000000h]

DICE_CHECKSUM7 を表 11-85 に示します。

概略表に戻ります。

DICE チェックサム データ レジスタ - 7

表 11-85. DICE_CHECKSUM7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CID	WOnce	0h	レジスタには、32 バイトの DICE コンポジット デバイス識別子 (CDI) 値が格納されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.81 GSC_LOCK レジスタ (オフセット = 1D80h) [リセット = 00000000h]

表 11-86 に、GSC_LOCK を示します。

概略表に戻ります。

GSC ロック構成レジスタ

表 11-86. GSC_LOCK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	KEY	R-0/W	0h	レジスタを更新するには、0xA551 を書き込みます リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	
14-7	予約済み	R-0	0h	予約済み
6	DMA_TRIG_SEL	R/W	0h	構成はレジスタ DMA_TRIG_SEL* に影響を及ぼします 0:レジスタ設定はロックされていません。 1:レジスタ設定はロックされています。 レジスタがロックされると、読み取りによって MMR データは取得され、書き込みは無視されます リセット タイプ:BOOTRST またはそれ以上
5	VTOR	R/W	0h	構成はレジスタ VTOR_* に影響を及ぼします 0:レジスタ設定はロックされていません。 1:レジスタ設定はロックされています。 レジスタがロックされると、読み取りによって MMR データは取得され、書き込みは無視されます リセット タイプ:SYSRST またはそれ以上
4	予約済み	R-0	0h	予約済み
3	FPC_AATRIB	R/W	0h	構成はレジスタ FPC_SECATTRIB_* および FPC_PRIVATTRIB_* に影響します 0:レジスタ設定はロックされていません。 1:レジスタ設定はロックされています。 レジスタがロックされると、読み取りによって MMR データは取得され、書き込みは無視されます リセット タイプ:BOOTRST またはそれ以上
2	SPC_AATRIB	R/W	0h	設定はレジスタ SPC_SECATTRIB_* および SPC_PRIVATTRIB_* に影響します 0:レジスタ設定はロックされていません。 1:レジスタ設定はロックされています。 レジスタがロックされると、読み取りによって MMR データは取得され、書き込みは無視されます リセット タイプ:BOOTRST またはそれ以上
1	PPC_AATRIB	R/W	0h	構成はレジスタ PPC_SECATTRIB_* および PPC_PRIVATTRIB_* に影響します 0:レジスタ設定はロックされていません。 1:レジスタ設定はロックされています。 レジスタがロックされると、読み取りによって MMR データは取得され、書き込みは無視されます リセット タイプ:BOOTRST またはそれ以上
0	ATTRIBVIOL_CONFIG	R/W	0h	構成はレジスタ SPC_ATTRIBVIOLS_CONFIG、SPC_ATTRIBVIOLP_CONFIG、PPC_ATTRIBVIOLS_CONFIG、PPC_ATTRIBVIOLP_CONFIG、FPC_ATTRIBVIOLS_CONFIG、FPC_ATTRIBVIOLP_CONFIG に影響します 0:レジスタ設定はロックされていません。 1:レジスタ設定はロックされています。 レジスタがロックされると、読み取りによって MMR データは取得され、書き込みは無視されます リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.82 GSC_COMMIT レジスタ (オフセット = 1D84h) [リセット = 00000000h]

表 11-87 に、GSC_COMMIT を示します。

概略表に戻ります。

GSC コミット構成レジスタ

表 11-87. GSC_COMMIT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	KEY	R-0/W	0h	レジスタを更新するには、0xA442 を書き込みます リセット タイプ:BOOTRST またはそれ以上
15	予約済み	R	0h	
14-7	予約済み	R-0	0h	予約済み
6	DMA_TRIG_SEL	R/W1S	0h	0:レジスタ ロックの設定はコミットされていません。 1:レジスタ設定がコミットされます。 コミット構成は、ロック レジスタへの書き込みをブロックします。構成がコミットされると、リセットのみが設定を変更できます。 リセット タイプ:BOOTRST またはそれ以上
5	VTOR	R/W1S	0h	0:レジスタ ロックの設定はコミットされていません。 1:レジスタ設定がコミットされます。 コミット構成は、ロック レジスタへの書き込みをブロックします。構成がコミットされると、リセットのみが設定を変更できます。 リセット タイプ:SYSRST またはそれ以上
4	予約済み	R-0	0h	予約済み
3	FPC_AATRIB	R/W1S	0h	0:レジスタ ロックの設定はコミットされていません。 1:レジスタ設定がコミットされます。 コミット構成は、ロック レジスタへの書き込みをブロックします。構成がコミットされると、リセットのみが設定を変更できます。 リセット タイプ:BOOTRST またはそれ以上
2	SPC_AATRIB	R/W1S	0h	0:レジスタ ロックの設定はコミットされていません。 1:レジスタ設定がコミットされます。 コミット構成は、ロック レジスタへの書き込みをブロックします。構成がコミットされると、リセットのみが設定を変更できます。 リセット タイプ:BOOTRST またはそれ以上
1	PPC_AATRIB	R/W1S	0h	0:レジスタ ロックの設定はコミットされていません。 1:レジスタ設定がコミットされます。 コミット構成は、ロック レジスタへの書き込みをブロックします。構成がコミットされると、リセットのみが設定を変更できます。 リセット タイプ:BOOTRST またはそれ以上
0	ATTRIBVIOL_CONFIG	R/W1S	0h	0:レジスタ ロックの設定はコミットされていません。 1:レジスタ設定がコミットされます。 コミット構成は、ロック レジスタへの書き込みをブロックします。構成がコミットされると、リセットのみが設定を変更できます。 リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

11.3.83 GSC_REVISION レジスタ (オフセット = 1FFCh) [リセット = 00000000h]

表 11-88 に、GSC_REVISION を示します。

概略表に戻ります。

GSC リビジョン レジスタ

表 11-88. GSC_REVISION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15-8	MAJREV	R	0h	このハードコードされたフィールドは、IP のメジャー リビジョンを定義します。 リセット タイプ:BOOTRST またはそれ以上
7-0	MINREV	R	0h	このハードコードされたフィールドは、IP のマイナー リビジョンを定義します。 リセット タイプ:BOOTRST またはそれ以上

Copyright © 2026 Texas Instruments Incorporated

Chapter 12

PKA

公開鍵アクセラレータ (PKA) モジュールは、楕円曲線 (ECC) および RSA 非対称暗号化に必要な数学演算をサポートしています。

12.1 PKA の概要 671
12.2 PKA 動作 671
12.3 PKA レジスタ 677

Copyright © 2026 Texas Instruments Incorporated

12.1 PKA の概要

PKA は、公開鍵アクセラレーションのための統合モジュールであり、多くのリソースを消費する公開暗号演算の計算負荷を軽減します。

12.1.1 PKA 機能

- PKA エンジンでは、次のような基本的な動作が行われます。
  - 大きいベクトルの加算、減算、および加算と減算の組み合わせ
  - 大きいベクトルの左または右へのシフト
  - 大きいベクトルの乗算と除算 (商の有無にかかわらず)
  - 大きいベクトルの比較とコピー
- PKA エンジンでは、次のような複雑な動作が行われます。
  - 大きいベクトルの符号なし値モジュラべき乗
  - 事前に計算された Q 逆ベクトルを用いた CRT 法による、大きいベクトルの符号なし値モジュラべき乗
  - モジュラ逆数
  - 2 種類の曲線上の ECC 演算:モンゴメリー曲線は Curve25519 や Curve448 のようなもので、$y^2 = x^3 + ax + b \pmod p$ という形の任意の曲線です。
  - 入力 / 出力としてアフィンまたは射影点を持つ楕円曲線上の ECC ポイント加算 / 2 倍算
  - 楕円曲線上の ECC 点の乗算
- 不正な状態およびタイミング攻撃の検出

12.2 PKA 動作

12.2.1 機能ブロック図

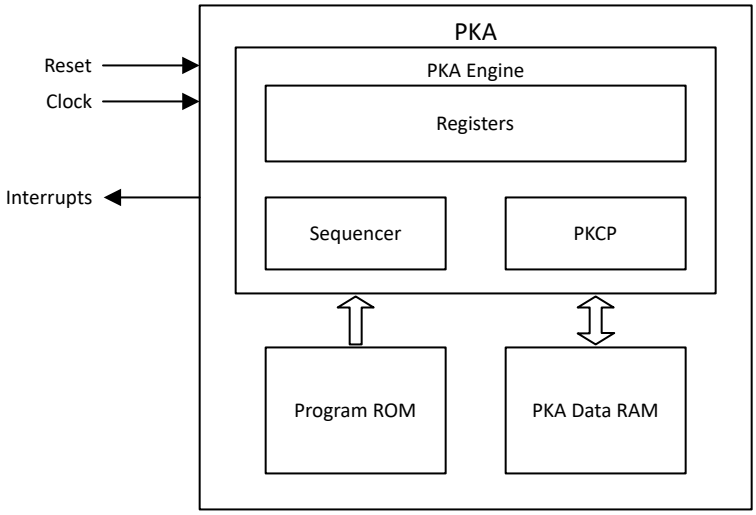


図 12-1. PKA の機能ブロック図

12.2.2 動作原理

PKA エンジンは、大きな桁数の数学演算をすべて実行する公開鍵コプロセッサ (PKCP) で構成されています。PKCP は、シーケンサによって制御されますシーケンサは、PKCP に必要な一連の処理を記憶した ROM メモリに従って動作します。

12.2.2.1 PKCP

PKCP エンジンは、PKA データ RAM に格納されている大きな数値ベクトルに対して基本的な算術演算を実行するように設計されています。PKA データ RAM は、すべての演算にリトル エンディアン形式を使用します。

Copyright © 2026 Texas Instruments Incorporated

表 12-1. PKCP 基本コマンド

コマンド	数学的演算	ベクトル A	ベクトル B	ベクトル C	ベクトル D
乗算	A x B = C	被乗数	逓倍	製品	-
追加	A + B = C	加数	加数	合計	-
減算	A - B = C	被減数	減数	差分	-
加減算	A + C - B = D	加数	減数	加数	結果
右シフト	A >> Shift = C	入力	-	結果	-
左シフト	A << Shift = C	入力	-	結果	-
分周	A mod B = C A div B = D	被除数	除数	剰余	商
モジュロ	A mod B = C	被除数	除数	剰余	-
比較	A = B A < B A > B	Input1	Input2	-	-
コピー	A = C	入力	-	結果	-

正しい結果を得るには、入力ベクトルが、表 12-2 に示す要件を満たしている必要があります。特に記述のない限り、入力制限は PKCP によってチェックされないため、ホスト アプリケーションで同じチェックを行う必要があります。

表 12-2. 入力ベクトルに対する PKCP 演算の制限

コマンド	要件
乗算	0 < ALen, BLen ≤ Max_Len
追加	0 < ALen, BLen ≤ Max_Len
減算	0 < ALen, BLen ≤ Max_Len 結果は正 (A ≥ B) である必要がある。
加減算	0 < ALen ≤ Max_Len (すべてのオペランドの長さは ALen) 結果は正 ((A + C) ≥ B) である必要がある。
右シフト	0 < ALen ≤ Max_Len
左シフト	0 < ALen ≤ Max_Len
除算、モジュロ	1 < BLen ≤ ALen ≤ Max_Len B オペランドの最上位 32 ビット ワードは 0 にできません (これがチェックされます)
比較	0 < ALen ≤ Max_Len (すべてのオペランドの長さは ALen)
コピー	0 < ALen ≤ Max_Len

注

ALen と BLen は、ベクトル A と B のサイズを 32 ビット ワードで示します。Max_Len は 130 ワードです。

表 12-3 に示すように、アプリケーションは、結果ベクトル用に連続したメモリ ブロックを PKA データ RAM 内に割り当てなければなりません。

表 12-3. PKCP 結果ベクトルのメモリ アロケーション

コマンド	結果ベクトル	結果ベクトルの長さ (32 ビット ワード)
乗算	C	ALen + BLen + 3 語
追加	C	Max(ALen, BLen) + 1。追加のワードには、追加の実行が含まれています

Copyright © 2026 Texas Instruments Incorporated

表 12-3. PKCP 結果ベクトルのメモリ アロケーション (続き)

コマンド	結果ベクトル	結果ベクトルの長さ (32 ビット ワード)
減算	C	Max(ALen, BLen)
加減算	D	ALen + 1
右シフト	C	ALen
左シフト	C	ALen + 1 (シフト値がゼロでない場合) ALen (シフト値がゼロの場合)
分周	C	余り =BLen + 1
	D	商 = ALen - BLen + 1
モジュロ	C	余り =BLen + 1
比較	なし	比較によって PKA_COMPARE レジスタが更新されます
コピー	C	ALen

演算の入力ベクトルは、常にメモリ内でオーバーラップできます。次の表に、演算の出力ベクトルと入力ベクトルのオーバーラップに対する制限を示します。

表 12-4. PKCP 結果 / 入力ベクトルのオーバーラップの制限

コマンド	結果ベクトル	利用制限
乗算	C	A または B ベクトルとのオーバーラップは許可されていません
加算 減算	C	C ベクトルの開始アドレスが、オーバーラップするベクトルの開始アドレスより上にない場合、A または B ベクトル (あるいはその両方) とオーバーラップすることができます
加減算	D	D ベクトルの開始アドレスが、オーバーラップするベクトルの開始アドレスより上にない場合、A、B または C ベクトル (あるいはその両方) とオーバーラップすることができます
右シフト 左シフト	C	C ベクトルの開始アドレスが A ベクトルの開始アドレスよりも上にない場合、A ベクトルとオーバーラップすることができます。
分周	C	A、B、または D ベクトルとのオーバーラップは許可されていません
	D	A、B、または D ベクトルとのオーバーラップは許可されていません
モジュロ	C	A または B ベクトルとのオーバーラップは許可されていません
比較	なし	比較で結果ベクトルを書き込みません
コピー	C	制限は、左右シフトの制限と同じ。ソースと宛先がオーバーラップしていても、ベクトルの下位アドレスへのコピーは常に許可されます。

12.2.2.2 シーケンサ

基本コマンドと複合コマンドは、PKA 機能レジスタに RUN ビットと 1 つ以上の他のビットと組み合わせてセットすることで開始します。表 12-5 および表 12-6 に、PKA エンジンで使用できる基本コマンドと複合コマンドを示します。

表 12-5. 基本コマンド

ビット [11:4, 2:0]	動作	機能
0000 0000 001	乗算	乗算を実行
0000 0000 010	加減算	加減算を実行
0000 0001 000	追加	加算を実行
0000 0010 000	減算	減算を実行
0000 0100 000	右シフト	右シフト演算を実行

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 12-5. 基本コマンド (続き)

ビット [11:4, 2:0]	動作	機能
0000 1000 000	左シフト	左シフト演算を実行
0001 0000 000	分周	除算を実行
0010 0000 000	モジュロ	剰余演算を実行
0100 0000 000	比較	比較演算を実行
1000 0000 000	コピー	コピーを実行
0000 0000 000	なし	動作なし。この値は、複合コマンドを選択するときに使用します。
その他すべての値	予約済み	使用できません。

表 12-6. 複合コマンド

ビット [18:16, 15:12]	動作	機能
000 1000	なし	動作なし。この値は、基本コマンドを選択するときに使用します。
000 1001	MODEXP-CRT	選択した事前計算済みの奇数べき乗を使用した、CRT 法によるモジュラべき乗
000 1010	ECmontMUL	Montgomery Curve25519 または Curve448 ポイント乗算
000 1011	ECpADD	アフィン入力と出力を使用した、素体曲線上のポイント加算 / 2 倍算
000 1101	ECpMUL	アフィン入力と出力を使用した、素体曲線上のポイント乗算
000 1110	MODEXP	選択した事前計算済みの奇数べき乗を使用した、モジュラべき乗
000 1111	MODINV	整数演算を使用したモジュラ逆数
001 1000	ECpADDxyz	射影入出力を使用した、素体曲線上のポイント加算 / 2 倍算
001 1001	ECpMULxyz	アフィン入力と射影出力を使用した、素体曲線上のポイント乗算
001 1010	ECpSCALExyz	素体演算により、射影結果 (X, Y, Z) を Z = 1 の等価結果に置換。つまり、(X, Y, Z) → (X/Z, Y/Z, 1)
その他すべての値	予約済み	使用できません。

12.2.3 複合コマンド

PKA を使いやすくし、最大のパフォーマンスを引き出せるように、複合コマンドが用意されています。複合コマンドは、一連の基本コマンドを組み合わせて上位レベルの処理を実行します。これにより、RSA、ECDSA、ECDH などの公開鍵アルゴリズムの実装が容易になります。

表 12-7. 複合コマンドの概要

コマンド	複合演算
MODEXP	M^E (mod N) → R
MODEXP-CRT	CRTpq((M mod P)^{Dp} mode P, (M mod Q)^{Dq} mod Q, Qinv) → R ここで CRTpq(a, b, Qinv) = ((a - b) x Qinv mode P) x Q + b
MODINV	1 / Z (mod N) → R
ECpADD	素体曲線上のアフィン点の加算 / 2 倍算、$y^2 = x^3 + ax + b$ (mod p)
ECpADDxyz	素体曲線上の射影点の加算 / 2 倍算、$y^2 = x^3 + ax + b$ (mod p)
ECpMUL	素体曲線上のアフィン点の乗算、$y^2 = x^3 + ax + b$ (mod p)
ECpMULxyz	素体曲線上の射影点の乗算、$y^2 = x^3 + ax + b$ (mod p)
ECpSCALExyz	素体曲線上のアフィン点のスケーリング、$y^2 = x^3 + ax + b$ (mod p)

Copyright © 2026 Texas Instruments Incorporated

表 12-7. 複合コマンドの概要 (続き)

コマンド	複合演算
ECmontMUL	モンゴメリ曲線上のアフィン点の乗算、$y^2 = x^3 + Ax^2 + B \pmod P$

12.2.4 コマンドの実行とステータス

アプリケーションから見ると、次の点を除き、基本コマンドの実行と複合コマンドの実行に大きな違いはありません。

- 複合コマンドはステータス コードを返します。
- 複合コマンドは、ダブル バッファリングに対応していません。現在のコマンドが実行中の場合、次のコマンドの値を書き込むことはできません。
- 複合コマンドが中止される場合があります。

表 12-8 に、シーケンサ レジスタに示されるステータスコードを示します。ビット 0 の値が '1' の場合、PKA は、次のコマンドを受け入れる準備ができています。ビットが '1' の場合、特別な条件があることを示していますが、これは必ずしもエラーであるとは限りません。

表 12-8. シーケンサのステータス コード

ステータス コード	説明
0x01	コマンドは正常に完了しました
0x03	モジュラス値は偶数であるため拒否されました
0x05	指数 / スカラがゼロです
0x07	モジュラスが短すぎます
0x09	指数 / スカラが 1 です
0x0B	奇数べき乗が許容範囲 (0 ～ 16) 外です
0x0D	EC 点の加算または乗算の結果、無限遠点になりました
0x0F	ホストによって処理が中断されました
0x13	中間計算の結果、予期しない無限遠点が発生しました
0x17	モジュラ逆数が存在しません
0x1B	入力点または出力点が曲線上に存在しません
0x1F	長さの値が不正です
0x21	要求されたコマンドが無効か、サポートされていません
0x23	無効な引数です
0x27	結果エラー
0x2B	HW がエラーを通知しました
0xAA	PKA はビジーです
0xFF	一般エラー

12.2.5 初期化

PKA モジュールを動作させるには、アプリケーションで基本設定が実行されている必要があります。

1. PKA.RSTCTL レジスタを使用してペリフェラルをリセットします。
2. PKA.PWREN を使用して PKA モジュールへの電源投入を有効にします。
3. GSC.PPC_PKACTRL のゼロ化ビットをセットして、PKA データ RAM のゼロ化を有効にします。
4. PKA.PKA_SEQ_CTRL LOGIC_BUSY ビットが 0 になるまで待ちます。
5. GSC.PPC_PKACTRL のゼロ化制御ビットをクリアします。

Copyright © 2026 Texas Instruments Incorporated

PKA モジュールを使用して暗号処理を実行する方法の詳細については、MSPM33 SDK を参照してください。

12.2.6 割り込みサポート

PKA モジュールには、特定の操作が完了したとき、またはエラー状態が発生したときに割り込みを生成するように設定できる高度割り込みコントローラ (AIC) があります。AIC は、以下のレジスタ グループを使用して管理されます:

- イネーブル レジスタ
- エッジ検出割り込みをクリアするためのアクノリッジ レジスタ
- 未加工の割り込みソースとマスクされたソースのステータス レジスタ
- モジュールのバージョンおよびオプションを示す設定ステータス レジスタ

12.2.6.1 割り込みソース

PKA モジュールは、3 つの異なる割り込みソースを備えており、CPU 割り込みイベントのソースとして構成できます。

表 12-9. PKA CPU 割り込みイベント条件

ビット	名称	説明
1	PKA_INT	PKCP およびシーケンサ レディ割り込み
5	SL_ERROR_INT	構成ポート エラー割り込み
6	PROT_INT	保護エラー割り込み

Copyright © 2026 Texas Instruments Incorporated

12.3 PKA レジスタ

表 12-10 に、PKA レジスタのメモリマップト レジスタを示します。表 12-10 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 12-10. PKA レジスタ

オフセット	略称	レジスタ名	セクション
800h	PWREN	パワー イネーブル	セクション 12.3.1
804h	RSTCTL	リセット制御	セクション 12.3.2
814h	STAT	ステータス レジスタ	セクション 12.3.3
00014000h	PKA_APTR	オペランド アドレス オフセット	セクション 12.3.4
00014004h	PKA_BPTR	B オペランド アドレス オフセット	セクション 12.3.5
00014008h	PKA_CPTR	C オペランド アドレス オフセット	セクション 12.3.6
0001400Ch	PKA_DPTR	D オペランド アドレス オフセット	セクション 12.3.7
00014010h	PKA_ALENGTH	オペランドの長さ	セクション 12.3.8
00014014h	PKA_BLENGTH	B オペランドの長さ	セクション 12.3.9
00014018h	PKA_SHIFT	シフトするビット	セクション 12.3.10
0001401Ch	PKA_FUNCTION	基本的な PKCP や複雑なシーケンサ動作を開始するための制御ビット	セクション 12.3.11
00014020h	PKA_COMPARE	比較の結果	セクション 12.3.12
00014024h	PKA_MSW	MS 非ゼロ ワード アドレス	セクション 12.3.13
00014028h	PKA_DIVMSW	剰余演算の MS 非ゼロ ワード アドレス (MOD および DIV 演算)	セクション 12.3.14
00014030h	PKA_ISTA_CTRL	このレジスタは、PKCP の不正状態およびタイミング攻撃対策機能に関連する制御ビットとステータス ビットを提供します。	セクション 12.3.15
000140C4h	PKCP_PRIO_CTRL	PKCP またはシーケンサ RAM アクセス優先度の制御	セクション 12.3.16
000140C8h	PKA_SEQ_CTRL	PKA シーケンサの制御またはステータス	セクション 12.3.17
000140D0h	PKA_FW_OPTIONS	FW オプション レジスタ	セクション 12.3.18
000140F4h	PKA_OPTIONS	HW 構成オプション	セクション 12.3.19
000140F8h	PKA_SW_REV	FW のリビジョン番号、機能	セクション 12.3.20
000140FCh	PKA_REVISION	PKA HW リビジョン、EIP コード	セクション 12.3.21
00016000h + 式	PKA_RAM_DATA_y	PKA DATA RAM - 512 ロケーション - 2KB	セクション 12.3.22
00018000h	AIC_POL_CTRL	入力極性制御レジスタ	セクション 12.3.23
00018004h	AIC_TYPE_CTRL	入力タイプ制御レジスタ	セクション 12.3.24
00018008h	AIC_ENABLE_CTRL	割り込み有効化制御レジスタ	セクション 12.3.25
0001800Ch	AIC_RAW_STAT	未加工割り込み保留ステータス レジスタ	セクション 12.3.26
0001800Ch	AIC_ENABLE_SET	割り込みイネーブル レジスタ	セクション 12.3.27
00018010h	AIC_ENABLED_STAT	マスクされた割り込み保留ステータス レジスタ	セクション 12.3.28
00018010h	AIC_ACK	割り込みアクノリッジ レジスタ	セクション 12.3.29
00018014h	AIC_ENABLE_CLR	割り込みディスエーブル レジスタ	セクション 12.3.30
00018018h	AIC_OPTIONS	AIC 構成レジスタ	セクション 12.3.31
0001801Ch	AIC_VERSION	AIC HW リビジョン、EIP コード	セクション 12.3.32
0001BFF8h	EIP150_OPTIONS	PKP 構成レジスタ	セクション 12.3.33
0001BFFCh	EIP150_REVISION	PKP HW リビジョン、EIP コード	セクション 12.3.34

Copyright © 2026 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 12-11 に、このセクションでアクセス タイプに使用しているコードを示します。

表 12-11. PKA のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

12.3.1 PWREN レジスタ (オフセット = 800h) [リセット = 00000000h]

PWREN を表 12-12 に示します。

概略表に戻ります。

電力状態を制御するレジスタ

表 12-12. PWREN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R/W	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブル 1h = 電源をイネーブル

Copyright © 2026 Texas Instruments Incorporated

12.3.2 RSTCTL レジスタ (オフセット = 804h) [リセット = 00000000h]

RSTCTL を表 12-13 に示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

表 12-13. RSTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	W	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリアします
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

12.3.3 STAT レジスタ (オフセット = 814h) [リセット = 00000000h]

STAT を表 12-14 に示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

表 12-14. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされてから、ペリフェラルがリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h = 最後にビットがクリアされてからペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

12.3.4 PKA_APTR レジスタ (オフセット = 00014000h) [リセット = 00000000h]

表 12-15 に、PKA_APTR を示します。

概略表に戻ります。

オペランド アドレス オフセット

表 12-15. PKA_APTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-0	APTR	R/W	0h	このレジスタは、PKA データ RAM 内のベクトル A の位置を指定します。ベクトルは、最下位 32 ビット ワードの位置で識別されます。ベクトルが 8 バイト境界から始まるようにするには、ビット [0] は 0 でなければなりません。

Copyright © 2026 Texas Instruments Incorporated

12.3.5 PKA_BPTR レジスタ (オフセット = 00014004h) [リセット = 00000000h]

表 12-16 に、PKA_BPTR を示します。

概略表に戻ります。

B オペランド アドレス オフセット

表 12-16. PKA_BPTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-0	BPTR	R/W	0h	このレジスタは、PKA データ RAM 内のベクトル B の位置を指定します。ベクトルは、最下位 32 ビット ワードの位置で識別されます。ベクトルが 8 バイト境界から始まるようにするには、ビット [0] は 0 でなければなりません。

Copyright © 2026 Texas Instruments Incorporated

12.3.6 PKA_CPTR レジスタ (オフセット = 00014008h) [リセット = 00000000h]

表 12-17 に、PKA_CPTR を示します。

概略表に戻ります。

C オペランド アドレス オフセット

表 12-17. PKA_CPTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-0	CPTR	R/W	0h	このレジスタは、PKA データ RAM 内のベクトル C の位置を指定します。ベクトルは、最下位 32 ビット ワードの位置で識別されます。ベクトルが 8 バイト境界から始まるようにするには、ビット [0] は 0 でなければなりません。

Copyright © 2026 Texas Instruments Incorporated

12.3.7 PKA_DPTR レジスタ (オフセット = 0001400Ch) [リセット = 00000000h]

表 12-18 に、PKA_DPTR を示します。

概略表に戻ります。

D オペランド アドレス オフセット

表 12-18. PKA_DPTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	予約済み
10-0	DPTR	R/W	0h	このレジスタは、PKA データ RAM 内のベクトル D の位置を指定します。ベクトルは、最下位 32 ビット ワードの位置で識別されます。ベクトルが 8 バイト境界から始まるようにするには、ビット [0] は 0 でなければなりません。

Copyright © 2026 Texas Instruments Incorporated

12.3.8 PKA_ALENGTH レジスタ (オフセット = 00014010h) [リセット = 00000000h]

表 12-19 に、PKA_ALENGTH を示します。

概略表に戻ります。

オペランドの長さ

表 12-19. PKA_ALENGTH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	予約済み
9-0	ALENGTH	R/W	0h	このレジスタは、ベクトル A の長さを指定します (32 ビット ワード単位)。

Copyright © 2026 Texas Instruments Incorporated

12.3.9 PKA_BLENGTH (オフセット = 00014014h) [リセット = 00000000h]

表 12-20 に、PKA_BLENGTH を示します。

概略表に戻ります。

B オペランドの長さ

表 12-20. PKA_BLENGTH レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	予約済み
9-0	PKA_BLENGTH	R/W	0h	このレジスタは、ベクトル B の長さを指定します (32 ビット ワード単位)。

Copyright © 2026 Texas Instruments Incorporated

12.3.10 PKA_SHIFT レジスタ (オフセット = 00014018h) [リセット = 00000000h]

表 12-21 に、PKA_SHIFT を示します。

概略表に戻ります。

シフトするビット

表 12-21. PKA_SHIFT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-0	BITS_TO_SHIFT	R/W	0h	このレジスタは、Rshift または Lshift 演算時に入力ベクトルを 0 ～ 31 の範囲でシフトするビット数を指定します。

Copyright © 2026 Texas Instruments Incorporated

12.3.11 PKA_FUNCTION レジスタ (オフセット = 0001401Ch) [リセット = 00000000h]

表 12-22 に、PKA_FUNCTION を示します。

概略表に戻ります。

基本的な PKCP や複雑なシーケンサ動作を開始するための制御ビット

表 12-22. PKA_FUNCTION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	予約済み
24	STALLRESULT	R/W	0h	1b を書き込むと、実行中の処理が完了した後も、PKA_COMPARE、PKA_MSW、および PKA_DIVMSW レジスタの更新、実行ビットのリセットは保留されます。
23-19	予約済み	R	0h	予約済み
18-16	SEQOPEXT	R/W	0h	これらのビットは、実行する複合シーケンサ処理を選択します。これらの処理に対するエンコーディングは、シーケンサ ファームウェアによって決定されます
15	RUNFUNC	R/W	0h	ホストはこのビットを設定して、基本的な PKCP または複合シーケンサ処理の実行を開始するように PKA モジュールに指示します。このビットは、動作が完了すると自動的に Low にリセットされます
14-12	SEQOP	R/W	0h	これらのビットは、実行する複合シーケンサ処理を選択します。これらの処理に対するエンコーディングは、シーケンサ ファームウェアによって決定されます
11	COPY	R/W	0h	コピー操作を実行します
10	COMPARE	R/W	0h	比較操作を実行します
9	MODULO	R/W	0h	剰余演算を実行します
8	分周	R/W	0h	除算を実行します
7	LSHIFT	R/W	0h	左シフト演算を実行します
6	RSHIFT	R/W	0h	右シフト演算を実行します
5	SUBTRACT	R/W	0h	減算を実行します
4	追加	R/W	0h	加算を実行します。
3	MSONEBIT	R/W	0h	PKA_MSW レジスタで示された結果ワード内の最上位 1 ビットの位置を PKA_DIVMSW レジスタのビット [4:0] にロードします。除算、モジュロ、比較を除く基本的な PKCP 演算でのみ使用できます
2	予約済み	R	0h	予約済み
1	ADDSUB	R/W	0h	加算と減算の組み合わせを実行します
0	MULTIPLY	R/W	0h	乗算を実行します

Copyright © 2026 Texas Instruments Incorporated

12.3.12 PKA_COMPARE レジスタ (オフセット = 00014020h) [リセット = 00000001h]

表 12-23 に、PKA_COMPARE を示します。

概略表に戻ります。

このレジスタは、基本的な PKCP 比較演算の結果を示します

表 12-23. PKA_COMPARE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2	AGTB	R	0h	ベクトル A > ベクトル B
1	ALTB	R	0h	ベクトル A < ベクトル B
0	AEQB	R	1h	ベクトル A = ベクトル B

Copyright © 2026 Texas Instruments Incorporated

12.3.13 PKA_MSW レジスタ (オフセット = 00014024h) [リセット = 00008000h]

表 12-24 に、PKA_MSW を示します。

概略表に戻ります。

PKA データ RAM 内の結果ベクトルの最上位の非ゼロ 32 ビット ワードのアドレス。

表 12-24. PKA_MSW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	ZERO_RESULT_VECTOR	R	1h	結果ベクトルはすべて 0 です。ビット 10 から 0 で返されたアドレスは無視されます
14-11	予約済み	R	0h	予約済み
10-0	アドレス	R	0h	PKA データ RAM 内の結果ベクトルの最上位の非ゼロ 32 ビット ワードのアドレス。

Copyright © 2026 Texas Instruments Incorporated

12.3.14 PKA_DIVMSW レジスタ (オフセット = 00014028h) [リセット = 00008000h]

表 12-25 に、PKA_DIVMSW を示します。

概略表に戻ります。

PKA データ RAM 内の剰余の結果ベクトルの最上位の非ゼロ 32 ビット ワードのアドレス。

表 12-25. PKA_DIVMSW レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	ZERO_RESULT_VECTOR	R	1h	剰余の結果ベクトルはすべて 0 です。ビット 10 から 0 で返されたアドレスは無視されます
14-11	予約済み	R	0h	予約済み
10-0	MSW_ADDRESS	R	0h	PKA データ RAM 内の剰余の結果ベクトルの最上位の非ゼロ 32 ビット ワードのアドレス

Copyright © 2026 Texas Instruments Incorporated

12.3.15 PKA_ISTA_CTRL レジスタ (オフセット = 00014030h) [リセット = 00000000h]

表 12-26 に、PKA_ISTA_CTRL を示します。

概略表に戻ります。

このレジスタは、PKCP の不正状態およびタイミング攻撃対策機能に関連する制御ビットとステータス ビットを提供します。

表 12-26. PKA_ISTA_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	FSM_ERROR	R/W	0h	いずれかの PKCP 制御 FSM が不正状態になると、このビットは 1b に設定されます
30	PARAM_ERROR	R/W	0h	一度に複数の演算を選択する不正な操作コードが PKA_FUNCTION レジスタに書き込まれると、このビットは 1b に設定されます。また、PKCP DIV または MOD 演算への B ベクトル (除数) 入力の最上位の 32 ビット ワードがゼロと等しい場合にも、このビットは 1b に設定されます
29-2	予約済み	R	0h	予約済み
1	FORCE_ERROR	R/W	0h	1b = FSM エラーを強制的に生成。たとえば、基本的な PKCP 演算の開始時に不正な状態にジャンプします。これにより、このレジスタの fsm_error ビットがアクティブになります
0	DUMMY_CORR	R/W	0h	1b = 基本的な PKCP DIV および MOD 演算でダミー補正サイクルを有効にします。これらのダミー サイクルにより、実行時間は約 70% 長くなりますが、これらの演算のばらつきがなくなります。

Copyright © 2026 Texas Instruments Incorporated

12.3.16 PKCP_PRIO_CTRL レジスタ (オフセット = 000140C4h) [リセット = 00000000h]

表 12-27 に、PKCP_PRIO_CTRL を示します。

概略表に戻ります。

このレジスタは、ISTA 機能が有効になっている構成にのみ存在します。このレジスタのビット [0] は、PKCP とシーケンサ間でのデータ RAM アクセス調停を制御します。ホストからアクセスできますが、その制御はファームウェアに委ねる必要があります。

表 12-27. PKCP_PRIO_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	RAM_ECC_TEST	R/W	0h	ram_test_dual に応じて、内部レジスタ ram_ecc_test_0 と ram_ecc_test_1 がセットされるか、ram_ecc_test_0 のみがセットされます
15	RAM_TEST_ONCE	R/W	0h	1b を書き込むと、エラーは 1 回だけ挿入されます。PKA データ RAM への次の書き込み時に、すべての ram_ecc_test ビットがゼロにリセットされ、エラーがこれ以上挿入されないようにします
14-12	RAM_ECC_B1	R/W	0h	ram_ecc_test_1 フィールドで選択されたバイトで反転するビット番号
11	RAM_TEST_DUAL	R/W	0h	ram_ecc_test をセットする前に、このビットを 1b にセットすると、ダブル エラーが発生します。このビットが有効な場合、次の ram_ecc_test への書き込み時に内部レジスタ ram_ecc_test_0 と ram_ecc_test_1 がセットされます。0b にセットすると、ram_ecc_test_0 のみがセットされます
10-8	RAM_ECC_B0	R/W	0h	ram_ecc_test_0 フィールドで選択されたバイトで反転するビット番号
7-1	予約済み	R	0h	予約済み
0	PKCP_RAM_PRIO	R/W	0h	0b = シーケンサに、データ RAM にアクセスする優先度があります。1b = PKCP に、データ RAM にアクセスする優先度があります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

12.3.17 PKA_SEQ_CTRL レジスタ (オフセット = 000140C8h) [リセット = 00000000h]

表 12-28 に、PKA_SEQ_CTRL を示します。

概略表に戻ります。

PKA シーケンサの制御またはステータス

表 12-28. PKA_SEQ_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	RESET_FOR_SEQUENCER	R/W	0h	シーケンサのリセット
30-29	PROGRAM_PAGE	R/W	0h	このフィールドには、ホスト インターフェイスを介して 2K ワードを超えるシーケンサ プログラム RAM にアクセスするためのページ選択ビットが 2 つあります。値 00b はページ 0 (最小ページ)、値 01b はページ 1、というように選択します。
28-24	予約済み	R	0h	予約済み
23	RAM_ECC_CORR	R/W	0h	全体的な訂正可能 RAM SECDED EDC エラー検出ステータス ビット。
22	SEQUENCER_UNLOCKED	R/W	0h	複合演算中にメイン シーケンサが SW RESET を受信すると、このビットは 1b にセットされ、シーケンサはロック解除されます。このビットはスティッキーです。この位置に 1b を書き込むことで、再度クリアできます。0b を書き込んでも何もしません。
21	予約済み	R	0h	予約済み
20	SEQ_ECC_ERROR	R/W	0h	シーケンサの訂正不能な RAM SECDED EDC エラー。シーケンサが PKA データ RAM を読み取り中に訂正不能エラーが発生すると、このビットは 1b と読み取られます
19	RAM_ECC_ERROR	R/W	0h	全体的な訂正不可な RAM SECDED EDC エラー ステータス ビット。PKA データ RAM に 1 つ以上の訂正不能なエラーが発生すると、このビットは 1b と読み取られます
18	ZERO_BUSY	R	0h	1b が返された場合、この読み取り専用ビットはゼロ化ロジックがビジーであることを示します。ゼロ化中は、PKA を使用できません
17	PARITY_ERROR	R/W	0h	1b は、パリティ エラーが検出されたことを示します
16	HAMMING_ERROR	R/W	0h	1b は、シーケンサの命令ワードのビット 28:24 と、同じ命令ワードのビット 23:0 から計算されたハミング保護コードとで不一致が検出されたことを示します。このハミング コードは、ビット 23:0 で 2 つ以上のビット エラーを検出します。このビットの状態は、エンジンの protection_int 出力と OR 演算されます
15-8	SEQUENCER_STATUS	R	0h	これらの読み取り専用ビットは、シーケンサがステータスを外部に伝達するために使用されます。ビット 8 はシーケンサ割り込みとしても使用され、このビットの補数と OR 演算され、PKA_FUNCTION の RUN ビットに書き込まれます
7-0	SW_TRIGGERS	R/W	0h	これらのビットは、ソフトウェアでシーケンサ動作をトリガするために使用できます

Copyright © 2026 Texas Instruments Incorporated

12.3.18 PKA_FW_OPTIONS レジスタ (オフセット = 000140D0h) [リセット = 00000000h]

表 12-29 に、PKA_FW_OPTIONS を示します。

概略表に戻ります。

FW オプション レジスタは、利用可能な機能とオプションを保存するために、ファームウェアによって使用されます

表 12-29. PKA_FW_OPTIONS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	その他	R	0h	xxx1:バイナリ曲線をサポートするため予約済み。xx1x:SCAP 機能拡張用に予約済み。x1xx:固定小数点 ECp 乗算がサポートされています。1xxx:Shamir のトリックが ECDSApVERIFY と SM2DSApVERIFY 用に設定されています
27-18	DIGITAL_SIGNATURE_SUPPORT	R	0h	xxxxxxxxx1:DSASIGN はサポートされています。xxxxxxxx1x:DSAVERIFY がサポートされています。xxxxxx1xx:ECDSApSIGN がサポートされています。xxxxx1xxx:ECDSApVERIFY がサポートされています。xxxx1xxxx:SM2DSApSIGN がサポートされています。xxx1xxxxx:SM2DSApVERIFY がサポートされています。xx1xxxxxx:SCAP コマンド用に予約済み。x1xxxxxxx:同上。1xxxxxxxx:同上
17-14	MONT_CURVE_SUPPORT	R	0h	xxx1:ECmontMUL がサポートされています。xx1x:SCAP コマンド用に予約済み。x1xx:未使用。将来使用のために予約済み。1xxx:同上
13-6	NIST_CURVE_SUPPORT	R	0h	xxxxxxx1:ECpMUL がサポートされています。xxxxxx1x:ECpMULxyz がサポートされています。xxxxx1xx:SCAP コマンド用に予約済み。xxxx1xxx:ECpADD がサポートされています。xxx1xxxx:ECpADDxyz がサポートされています。xx1xxxxx:未使用。将来の使用のために予約されています。x1xxxxxx:同上。1xxxxxxx:同上
5-0	RSA_SUPPORT	R	0h	xxxxx1:ModExp がサポートされています。xxxx1x:ModExpCRT がサポートされています。xxx1xx:ModInv がサポートされています。xx1xxx:SCAP コマンド用に予約済み。x1xxxx:同上。1xxxxx:同上

Copyright © 2026 Texas Instruments Incorporated

12.3.19 PKA_OPTIONS レジスタ (オフセット = 000140F4h) [リセット = 00002121h]

表 12-30 に、PKA_OPTIONS を示します。

概略表に戻ります。

HW 構成済みのオプション。このレジスタは、モジュールと相互作用するソフトウェアに影響を与えるオプションに重点を置いて、この公開鍵アクセラレータに実装されているハードウェア構成を決定する手段をホストに提供します。

表 12-30. PKA_OPTIONS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	予約済み
23-14	予約済み	R	0h	予約済み
13	ZEROIZATION	R	1h	値 1b は、ハードウェア ゼロ化ロジックが存在することを示します
12	MMM3A	R	0h	LNME が存在する場合、このビットは 1b で、MMM3A 動作が実装されていることを示します。それ以外の場合、このビットは 0b と等しくなります
11	INT_MASKING	R	0h	値 0b (デフォルト) は、メイン割り込み出力 (割り込み出力バスのビット [1]) が PKA_CONTROL レジスタの RUN ビットの直接補数であることを示します。値 1b は、この出力に対して割り込みマスク ロジックが存在することを示します。
10-8	PROTECTION_OPTION	R	1h	値 0 は、追加の保護機能が存在しないことを示します。値 1 は、不正な状態およびタイミング アタック (ISTA) 防止機能が存在することを示します。値 3 は、ISTA 防止機能が PROT 機能 (無効なシーケンサ オペコードの検出) とともに存在することを示します。その他の値は予約済みです
7	PROGRAM_RAM	R	0h	値 1b は RAM 内のシーケンサ プログラム ストレージを示し、ROM の場合は 0b になります
6-5	SEQUENCER_CONFIGURATION	R	1h	値 1 は標準シーケンサ、その他の値は予約済みであることを示します。
4-2	LNME_CONFIGURATION	R	0h	値 0 は LNME がないことを示し、値 1 は標準 LNME (単一 PE チェーンを持つ) があることを示します。値 2 はデュアル LNME (2 つの並列 PE チェーンを持つ)、他の値は予約済みであることを示します
1-0	PKCP_CONFIGURATION	R	1h	値 1 は 16×16 の乗数を持つ PKCP を示します。値 2 は 32×32 の乗数を持つ PKCP を示します。その他の値は予約済みです。

Copyright © 2026 Texas Instruments Incorporated

12.3.20 PKA_SW_REV レジスタ (オフセット = 000140F8h) [リセット = 00000000h]

表 12-31 に、PKA_SW_REV を示します。

概略表に戻ります。

PKA ファームウェア リビジョンおよび機能レジスタ。このレジスタを使用すると、ホストはソフトウェア ドライバの照合と診断のために、公開鍵アクセラレータの内部ファームウェア リビジョン番号にアクセスできます。このレジスタには、組み込みファームウェアの機能をグローバルにエンコードするフィールドも含まれています

表 12-31. PKA_SW_REV レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	FIRMWARE_CAPABILITIES	R	0h	ファームウェアに実装されている機能に対する 4 ビットのバイナリ エンコード
27-24	MAJOR_FW_REVISION	R	0h	主要ファームウェアのリビジョン番号の 4 ビット バイナリ エンコード。
23-20	MINOR_FW_REVISION	R	0h	ファームウェアのマイナー リビジョン番号の 4 ビット バイナリ エンコード。
19-16	FW_PATCH_LEVEL	R	0h	ファームウェア パッチ レベルの 4 ビット バイナリ エンコーディングでは、初期リリースは値ゼロを保持します。パッチは、モジュールの機能やインターフェースを変更せずにバグを除去するために使用されます
15-8	予約済み	R	0h	1 を書き込むと、データが利用可能であることを示します。
7-0	予約済み	R	0h	ハッシュが計算される入力データ

Copyright © 2026 Texas Instruments Incorporated

12.3.21 PKA_REVISION レジスタ (オフセット = 000140FCh) [リセット = 0333E31Ch]

表 12-32 に、PKA_REVISION を示します。

概略表に戻ります。

このレジスタを使用すると、ホストはソフトウェア ドライバの照合と診断のために、公開鍵アクセラレータのハードウェア リビジョン番号にアクセスできます。

表 12-32. PKA_REVISION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	このビットは、読み取り時には無視できます
27-24	MAJOR_HW_REVISION	R	3h	主要ハードウェア リビジョン番号の 4 ビット バイナリ エンコード
23-20	MINOR_HW_REVISION	R	3h	ハードウェア マイナー リビジョン番号の 4 ビット バイナリ エンコード
19-16	HW_PATCH_LEVEL	R	3h	ハードウェア パッチ レベルの 4 ビット バイナリ エンコーディングでは、初期リリースは値ゼロを保持します。パッチは、モジュールの機能やインターフェースを変更せずにバグを除去するために使用されます
15-8	COMPLEMENT_OF_BASIC_EIP_NUMBER	R	E3h	ビット [7:0] のビット単位論理反転値。EIP-28 は 0xE3 です。
7-0	BASIC_EIP_NUMBER	R	1Ch	EIP 番号の 8 ビット バイナリ エンコード。EIP-28 は 0x1C です

Copyright © 2026 Texas Instruments Incorporated

12.3.22 PKA_RAM_DATA_y レジスタ (オフセット = 00016000h + 式) [リセット = 00000000h]

表 12-33 に、PKA_RAM_DATA_y を示します。

概略表に戻ります。

2KB の PKA データ RAM は、公開鍵アクセラレータのアドレス空間の上半分からアクセスできます。シーケンサ プログラムが RAM に保存されている場合、この PKA データ RAM は、シーケンサ プログラムの RAM と同じ場所のアドレス空間で開始されます。

オフセット = 00016000h + (y * 4h)、ここで y = 0h～1FFh

表 12-33. PKA_RAM_DATA_y レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	ベクトル データ。PKA データ RAM の最後の 36 ～ 92 バイト (32 ビットの場合 9 ～ 23 ワード) は、複雑な動作の実行中にシーケンサ スクラッチ パッドとして使用されます。シーケンサ プログラムが RAM に保存されており、PKA_SEQ_CTRL レジスタのリセット制御ビットが 1b の場合、PKA データ RAM にはアクセスできません

Copyright © 2026 Texas Instruments Incorporated

12.3.23 AIC_POL_CTRL レジスタ (オフセット = 00018000h) [リセット = 0000007Fh]

表 12-34 に、AIC_POL_CTRL を示します。

概略表に戻ります。

割り込み入力ごとの個別の極性制御ビット (High レベル / 立ち上がりエッジ、または Low レベル / 立ち下がりエッジ)。信号は以下のとおりです。0= Low レベル / 立ち下がりエッジ 1 = High レベル / 立ち上がりエッジ

表 12-34. AIC_POL_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6	PROTECTION_INT	R/W	1h	1 = ロジック High レベル / 立ち上がりエッジ
5	SL_ERR_INT	R/W	1h	1 = ロジック High レベル / 立ち上がりエッジ
4	予約済み	R	0h	予約済み
3	TRNG_IRQ	R/W	1h	1 = ロジック High レベル / 立ち上がりエッジ
2	PKA_INT_2	R/W	1h	1 = ロジック High レベル / 立ち上がりエッジ
1	PKA_INT_1	R/W	1h	1 = ロジック High レベル / 立ち上がりエッジ
0	PKA_INT_0	R/W	1h	1 = ロジック High レベル / 立ち上がりエッジ

Copyright © 2026 Texas Instruments Incorporated

12.3.24 AIC_TYPE_CTRL レジスタ (オフセット = 00018004h) [リセット = 0000007Fh]

表 12-35 に、AIC_TYPE_CTRL を示します。

概略表に戻ります。

各割り込み入力に対応する信号タイプ (レベルまたはエッジ) の制御ビット。0= レベル (割り込みソース レベルが RAW ステータスを決定) 1 = エッジ (割り込みソースがエッジ検出器に接続され、エッジ検出器の出力が RAW ステータスを決定)

表 12-35. AIC_TYPE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6	PROTECTION_INT	R/W	1h	1 = エッジ
5	SL_ERR_INT	R/W	1h	1 = エッジ
4	予約済み	R	0h	予約済み
3	TRNG_IRQ	R/W	1h	1 = エッジ
2	PKA_INT_2	R/W	1h	1 = エッジ
1	PKA_INT_1	R/W	1h	1 = エッジ
0	PKA_INT_0	R/W	1h	1 = エッジ

Copyright © 2026 Texas Instruments Incorporated

12.3.25 AIC_ENABLE_CTRL レジスタ (オフセット = 00018008h) [リセット = 00000000h]

表 12-36 に、AIC_ENABLE_CTRL を示します。

概略表に戻ります。

割り込み入力ごとに個別の有効御ビット

表 12-36. AIC_ENABLE_CTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-5	ENABLECONTROLBIT56	R/W	0h	0 = ディスエーブル 1 = イネーブル
4	予約済み	R	0h	予約済み
3-0	ENABLECONTROL	R/W	0h	0 = ディスエーブル 1 = イネーブル

Copyright © 2026 Texas Instruments Incorporated

12.3.26 AIC_RAW_STAT レジスタ (オフセット = 0001800Ch) [リセット = 00000000h]

表 12-37 に、AIC_RAW_STAT を示します。

概略表に戻ります。

これらのビットは、極性制御およびオプションのエッジ検出後 (つまり、AIC_ENABLE_CTRL レジスタのビットでマスキングする直前) の割り込みステータスを反映します

表 12-37. AIC_RAW_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-5	RAWSTATUSBIT56	R	0h	0 = 非アクティブ 1 = 保留中
4	予約済み	R	0h	予約済み
3-0	RAWSTATUS	R	0h	0 = 非アクティブ 1 = 保留中

Copyright © 2026 Texas Instruments Incorporated

12.3.27 AIC_ENABLE_SET レジスタ (オフセット = 0001800Ch) [リセット = 00000000h]

表 12-38 に、AIC_ENABLE_SET を示します。

概略表に戻ります。

これらのビットは、AIC_ENABLE_CTRL レジスタの有効化ビットでゲーティングされる割り込みのステータスを反映します

表 12-38. AIC_ENABLE_SET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-5	ENABLESETBIT56	W	0h	0 = 非アクティブ 1 = 保留中
4	予約済み	R	0h	予約済み
3-0	ENABLESET	W	0h	0 = 非アクティブ 1 = 保留中

Copyright © 2026 Texas Instruments Incorporated

12.3.28 AIC_ENABLED_STAT レジスタ (オフセット = 00018010h) [リセット = 00000000h]

表 12-39 に、AIC_ENABLED_STAT を示します。

概略表に戻ります。

これらのビットは、AIC_ENABLE_CTRL レジスタの有効化ビットでゲーティングされる割り込みのステータスを反映します

表 12-39. AIC_ENABLED_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-5	ENABLESTATUSBIT56	R	0h	0 = 非アクティブ 1 = 保留中
4	予約済み	R	0h	予約済み
3-0	ENABLESTATUS	R	0h	0 = 非アクティブ 1 = 保留中

Copyright © 2026 Texas Instruments Incorporated

12.3.29 AIC_ACK レジスタ (オフセット = 00018010h) [リセット = 00000000h]

表 12-40 に、AIC_ACK を示します。

概略表に戻ります。

エッジ検出割り込みをクリアするために使用されます。ビット位置のいずれかに 1 を書き込むと、対応する割り込みがアクノリッジされ、ステータス ビットがクリアされます

表 12-40. AIC_ACK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6-5	ACKNOWLEDGEBIT56	W	0h	0 = 影響なし。1 = 割り込み信号をアクノリッジし、ステータス ビットをクリアします。アクノリッジの有効化ビットは内部でクリアされます
4	予約済み	R	0h	予約済み
3-0	ACKNOWLEDGE	W	0h	0 = 影響なし。1 = 割り込み信号をアクノリッジし、ステータス ビットをクリアします。アクノリッジの有効化ビットは内部でクリアされます

Copyright © 2026 Texas Instruments Incorporated

12.3.30 AIC_ENABLE_CLR レジスタ (オフセット = 00018014h) [リセット = 00000000h]

表 12-41 に、AIC_ENABLE_CLR を示します。

概略表に戻ります。

割り込みディスエーブル レジスタ

表 12-41. AIC_ENABLE_CLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	W	0h	予約済み
6-5	ENABLECLEARBIT56	W	0h	0 = 影響なし。1 = 割り込み信号をアクノリッジし、ステータス ビットをクリアします。アクノリッジの有効化ビットは内部でクリアされます
4	予約済み	W	0h	予約済み
3-0	ENABLECLEAR	W	0h	割り込み入力ごとに個別の割り込み無効化ビット 0 = 影響なし。1 = AIC_ENABLE_CTRL レジスタの対応するビットを 0 にリセットします。つまり、その割り込みを無効にします。EnableClear の有効化ビットは内部でクリアされます

Copyright © 2026 Texas Instruments Incorporated

12.3.31 AIC_OPTIONS レジスタ (オフセット = 00018018h) [リセット = 00000007h]

表 12-42 に、AIC_OPTIONS を示します。

概略表に戻ります。

AIC 構成レジスタ

表 12-42. AIC_OPTIONS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	NUMBER_OF_INPUTS	R	7h	EIP-201 は最大 32 個の割り込みソースをサポートしますが、EIP-150 は、すべてのオプションが存在しても、最大 7 個の内部割り込みソースしかありません。PKA (3)、TRNG (1)、下位互換 (1)、バス インターフェイス エラー (1)、PKA 保護 (1) のために予約済み。

Copyright © 2026 Texas Instruments Incorporated

12.3.32 AIC_VERSION レジスタ (オフセット = 0001801Ch) [リセット = 014036C9h]

表 12-43 に、AIC_VERSION を示します。

概略表に戻ります。

AIC HW リビジョン、EIP コード

表 12-43. AIC_VERSION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	MAJOR_REVISION	R	1h	これらのビットは、このモジュールのメジャー バージョン番号をエンコードします
23-20	MINOR_REVISION	R	4h	これらのビットは、このモジュールのマイナー バージョン番号をエンコードします
19-16	PATCH_LEVEL	R	0h	これらのビットは、このモジュールのハードウェア パッチ レベルをエンコードします。これらのビットは、最初のリリースでは値 0 から始まります
15-8	COMPLEMENT_OF_BASIC_EIP_NUMBER	R	36h	これらのビットは、単にビット [7:0] (0x36) の補数を格納しており、ドライバが AIC_VERSION レジスタが正しく読み取られたことを確認するために使用されます。
7-0	BASIC_EIP_NUMBER	R	C9h	これらのビットは、AIC の Rambus EIP 番号をエンコードします。Rambus の IP の番号付けでは AIC は EIP-201 と呼ばれているため、このフィールドには値 201 (10 進数) または 0xC9 が含まれています

Copyright © 2026 Texas Instruments Incorporated

12.3.33 EIP150_OPTIONS レジスタ (オフセット = 0001BFF8h) [リセット = 00000D01h]

EIP150_OPTIONS を表 12-44 に示します。

概略表に戻ります。

PKP 構成レジスタ

表 12-44. EIP150_OPTIONS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	予約済み
11	RAM_ZEROIZE	R	1h	1 に設定されている場合:PKA/LMNE RAM ZEROIZE ロジックが存在することを示します
10	AIC_PRESENT	R	1h	1 に設定すると、EIP-201 AIC が EIP-150 に含まれていることを示します
9	EIP76_PRESENT	R	0h	1 に設定すると、EIP-76 TRNG が EIP-150 に含まれていることを示します
8	EIP28_PRESENT	R	1h	1 に設定すると、EIP-28 PKA が EIP-150 に含まれていることを示します
7-4	予約済み	R	0h	予約済み
3-0	SLAVE_INTERFACE	R	1h	このフィールドは、EIP-150 に使用されるタイプ スレーブ インターフェイスをデコードします。0b0001:AHB スレーブインターフェイス。0b0011:AXI スレーブインターフェイス。0b1001:非同期 AHB スレーブインターフェイス。0b1101:非同期 APB スレーブインターフェイス。その他の値は、将来のデバイス用に予約されています。

Copyright © 2026 Texas Instruments Incorporated

12.3.34 EIP150_REVISION レジスタ (オフセット = 0001BFFCh) [リセット = 03456996h]

EIP150_REVISION を表 12-45 に示します。

概略表に戻ります。

PKP HW リビジョン、EIP コード

表 12-45. EIP150_REVISION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	予約済み
27-24	MAJOR_REVISION	R	3h	これらのビットは、このモジュールのメジャー バージョン番号をエンコードします
23-20	MINOR_REVISION	R	4h	これらのビットは、このモジュールのマイナー バージョン番号をエンコードします
19-16	PATCH_LEVEL	R	5h	ハードウェアのパッチ レベルの最初のリリリースは、値 0 から順次始まります
15-8	BIT_BY_BIT_COMPLEMENT_OF_EIP_NUMBER	R	69h	これらのビットは、単にビット 7 ～ 0 の補数を格納しており、ドライバが EIP150_REVISION レジスタが正しく読み取られたことを確認するために使用されます。
7-0	EIP_NUMBER	R	96h	これらのビットは、EIP-150 の Rambus EIP 番号をエンコードします

Copyright © 2026 Texas Instruments Incorporated

Chapter 13

AESADV

AESADV アクセラレータ モジュールは、FIPS PUB 197 の高度暗号化標準 (AES) に基づき、暗号化および復号処理をハードウェアで高速化します。

13.1 AES の概要 714
13.2 AESADV 動作 715
13.3 AESADV レジスタ 737

Copyright © 2026 Texas Instruments Incorporated

13.1 AES の概要

AES アクセラレータ モジュールは、ハードウェアで 128 ビットまたは 256 ビットのキーを使用して、128 ビットのデータ ブロックの暗号化と復号化を実行します AES は、FIPS PUB 197 で規定されている対称キー ブロック暗号アルゴリズムです。

AES アクセラレータには、次のような機能があります。

- AES 128 ビット ブロックの暗号化および復号化
- ハードウェア内でのキー スケジューリング
- ENC /復号化のみのモード:CBC、CFB-1、CFB-8、CFB-128、OFB-128、CTR/ICM
- 認証専用モード:CBC-MAC、CMAC
- AES-CCM
- AES-GCM
- AES-CCM および AES-GCM モードは、ペイロード データのホールド / レジュームによる継続をサポートしています
- 32 ビット ワードのアクセスにより、キー データ、入力データ、および出力データを供給
- AES 準備完了割り込み
- 入出力データの DMA トリガ
- RUN モードと SLEEP モードをサポート (デバイスのテクニカル リファレンス マニュアルの「動作モード」セクションを参照)

図 13-1 に、AES エンジンのブロック概略図を示します。AES エンジンは、暗号化 / 復号処理に加えてガロア体乗算も実行する処理コアで構成されています。このコアは、ソフトウェアがメモリ マップト レジスタを介して設定する構成入力およびデータ入力によって駆動されます。

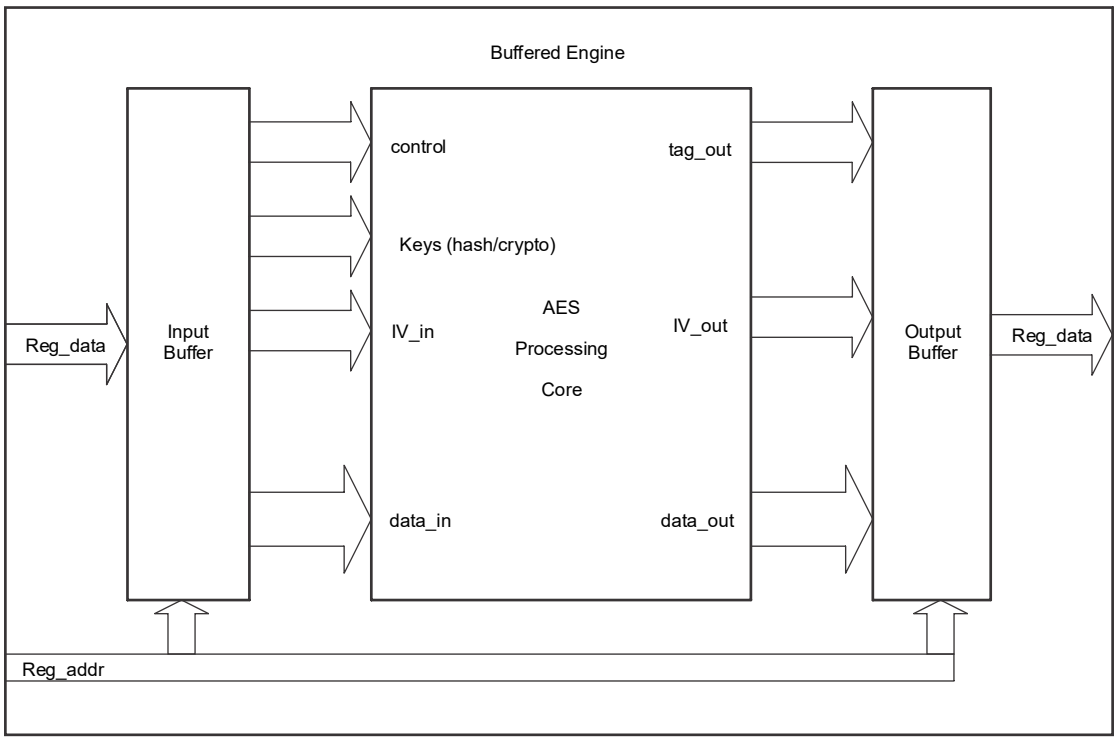


図 13-1. AES のブロック図

13.1.1 AESADV 性能

AESADV アクセラレータは、128 ビット ブロックの高速暗号化と復号化を実現します。セクション 13.1 に、AESADV アクセラレータの性能を、ブロック暗号化とブロック復号化 (事前に生成された復号化キーを使用) のサイクル数と実行時間で

Copyright © 2026 Texas Instruments Incorporated

示します。この表は、次の入力を供給する際や利用可能な出力を読み出す際の遅延といった、エンジンを停止させるシステム オーバーヘッドが存在しないことを前提としています。

表 13-1. AESADV ハードウェア アクセラレータの主な性能指標

AESADV キー長	暗号化			復号化		
	サイクル	時間 (32MHz)	時間 (80MHz)	サイクル	時間 (32MHz)	時間 (80MHz)
128 ビット	76	2.38us	0.95us	76	2.38us	0.95us
256 ビット	81	2.53us	1.01us	81	2.53us	1.01us

13.2 AESADV 動作

AESADV エンジンは、Rijndael 暗号 (AES アルゴリズム) と 128 ビット多項式乗算 (AES-GCM 仕様に基づき、ここでは「GHASH」と表記) の効率的な実装を提供します。Rijndael は 128 ビットで構成される各データ ブロックを持つブロック暗号です。

AES 暗号化では、キーの長さに応じて特定のラウンド数が必要です。サポートされているキー長は 128 ビット、256 ビットであり、それぞれ 10 ラウンドと 14 ラウンドが必要です。

AESADV エンジンには、AES ECB コアと、GHASH 演算を実行するための専用の 32 サイクル多項式乗算モジュールが含まれています (GCM が構成されている場合)。両方のモジュールでデータが利用可能な場合、多項式乗算は AES コアと並列に動作します。これは、最初のデータ ブロックの暗号化の後のケースです。

13.2.1 キーのロード

キーは二つの方法のいずれかでエンジンに設定できます。

1. キーストア コントローラを介したセキュア キーの初期化:この方法では、使用する AES キーが、キーストア コントローラと AES エンジンを接続するセキュア プライベート バスを介して、キーストア コントローラからエンジンに安全に転送されます。キーストア コントローラはキー転送を開始し、AES エンジンが転送完了を確認するのを待ちます。
2. ソフトウェアはキーを明示的に構成します:この方法では、ソフトウェアが KEY0 ～ KEY7 レジスタに KEY0 から 32 ビットずつ書き込むことで、キー データをエンジンに設定します。128 ビット キーの場合、KEY0 ～ KEY3 レジスタに書き込む必要があります。256 ビット キーの場合、KEY0 ～ KEY7 レジスタに書き込む必要があります。

部分変更方式によるキーの盗用攻撃を防止するため、キーストアを介したセキュア キー転送が完了すると、それ以降、ソフトウェアがキーを明示的に設定または変更できないようにエンジンが制御します。この状態は、STATUS.KEYWR フィールドによって示されます。このフィールドが 0 の場合、ソフトウェアによるキー データの書き込みが許可されます。このフィールドが 1 の場合、ソフトウェアはキー データの書き込みを許可されません。ソフトウェアによるキー データの書き込みを許可するには、モジュールをリセットする必要があります。リセット操作では、新しいキー データをソフトウェアで書き込む前に、既存のキー データがクリアされます。

13.2.2 入力データの書き込み

入力データは、DATA0、DATA1、DATA2、DATA3 レジスタ経由、または DATA_IN レジスタ経由でエンジンに書き込まれます。入出力転送の自動化に DMA を使用しない場合 (DMA_HS が 0)、CPU ソフトウェアは、DATA0、DATA1、DATA2、および DATA3 の各レジスタに 32 ビット データを順に書き込むことで、128 ビットのデータ入力を実行できます。

入出力転送の自動化に DMA を使用する場合 (DMA_HS が 1)、DMA Trigger 0 イベントに関連付けられた DMA チャネルを、DATA_IN レジスタへ 32 ビット データを四回書き込むように設定する必要があります。

13.2.3 出力データの読み取り

出力データは、DATA0/1/2/3 レジスタまたは DATA_OUT レジスタを介して、エンジンから読み取られます。入出力転送の自動化に DMA を使用しない場合 (DMA_HS が 0)、CPU ソフトウェアは、DATA0、DATA1、DATA2、および DATA3 レジスタから 32 ビット データを順に読み出すことで、128 ビットの出力データを読み取ることができます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

入出力転送の自動化に DMA を使用する場合 (DMA_HS が 1)、DMA トリガ 1 イベントに関連付けられた DMA チャネルを、DATA_OUT レジスタから 32 ビット データを 4 回読み出すように設定する必要があります。

13.2.4 動作の説明

シングル ブロック動作とブロック暗号モード動作はどちらも、適切なコンテキストを AESADV レジスタに書き込むことで設定します。入出力データは個別に CPU ソフトウェアまたは DMA 経由で転送できます。

ブロック暗号モードは、AES を基礎となるブロック暗号として使用し、ECB、CBC、OFB、および CFB ブロック暗号モードを実装するために使用します。これらのモードは、DMA トリガを使用して DMA と連携して動作し、128 ビットを超える簡単かつ高速な暗号化または復号化をサポートします。

13.2.4.1 シングル ブロック動作

1 つの 128 ビット データ ブロックは、最初にコンテキスト レジスタを設定し、次に入力データ転送を開始することで、暗号化または復号できます。次の疑似コードは、128 ビット鍵を使用した基本的な暗号化操作で、CPU ソフトウェアによって通常実行される処理を示しています。

```
wait AES_CTRL.CNTXT_RDY == '1' // wait for CNTXT_RDY to become 1
wait AES_CTRL.INPUT_RDY == '10' // wait for INPUT_RDY to become 1
write AES_KEY0 // first 32 bits of key
write AES_KEY1 // next 32 bits of key
write AES_KEY2 // next 32 bits of key
write AES_KEY3 // final 32 bits of key
write AES_CTRL.SAVE_CNTXT == '0' // clear AES save context
write AES_CTRL.KEYSIZE == '01' // Write AES 128 bit mode
write AES_CTRL.DIR == '1'      //Write AES encrypt mode
write AES_DATA0 // write 32-bit data LSW to supply 128-bit block
write AES_DATA1 // write 32-bit data (LSW + 1) to supply 128-bit block
write AES_DATA2 // write 32-bit data (LSW + 2) to supply 128-bit block
write AES_DATA3 // write 32-bit data MSW to supply 128-bit block
wait AES_CTRL.OUTPUT_RDY == '1' // wait for OUTPUT_RDY to become 1
read AES_DATA0 // read 32-bit data LSW to read out 128-bit encrypted data
read AES_DATA1 // read 32-bit data (LSW + 1) to read out 128-bit encrypted data
read AES_DATA2 // read 32-bit data (LSW + 2) to read out 128-bit encrypted data
read AES_DATA3 // read 32-bit data MSW to read out 128-bit encrypted data
```

13.2.4.2 電子コードブック (ECB) モード

電子コードブック (ECB) 暗号は最も単純なブロック暗号モードです。平文データは 128 ビットのブロックに分割され、各ブロックは他のブロックとは独立して暗号化および復号化されます。ECB 暗号を図 13-2 に示します。なお、各 128 ビットのデータ ブロックは、他の平文ブロックや暗号文ブロックに関する情報を一切知らなくても、個別に暗号化または復号化することができます。

ECB は理解と実装が容易ですが、重大な欠点があります。同じ 128 ビットの平文ブロックは常に同じ暗号文ブロックに暗号化されるため、暗号文内のパターンを検出できてしまうことです。

Copyright © 2026 Texas Instruments Incorporated

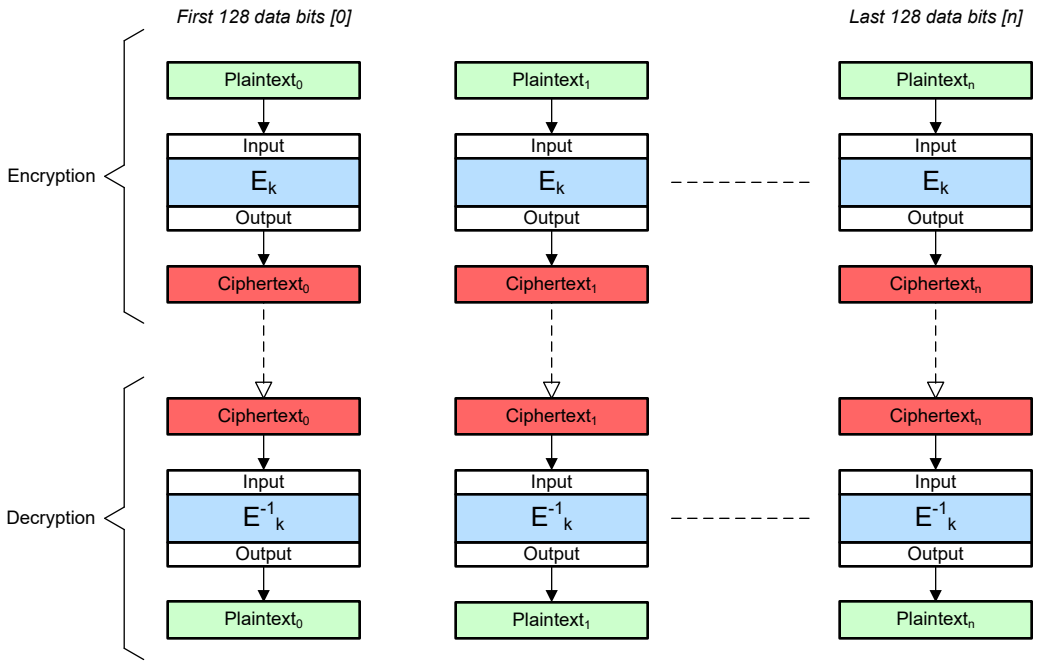


図 13-2. ECB 暗号

AESADV アクセラレータは、割り込みまたは DMA を使用して、ECB ブロック暗号モードで 128 ビットを超えるデータの暗号化および復号を自動的に実行できます。ソフトウェア割り込みベースのマルチブロック処理では、CPU_INT.IIDX.STAT フィールドで報告される AESADV 割り込み条件を使用します。このフィールドが 0x2 (INPUTRDY) と読み出されると、次の入力ブロックを書き込むことができます (DATA0/1/2/3 への 4 つの 32 ビット書き込みと)。このフィールドの読み出し値が 0x1 (OUTPUTRDY) の場合、出力ブロックを読み出すことができます (DATA0/1/2/3 から、それぞれ 32 ビットずつ計 4 回読み出します)。

DMA モードでは、ECB は二つの DMA チャネルを使用します。DMA_TRIG0 にバインディングされているチャネルが入力チャネルです。DMA_TRIG1 にバインディングされているチャネルが出力チャネルです。チャネルは、トリガごとに一回の 32 ビット読み取り / 書き込みを実行するように構成する必要があります。

13.2.4.2.1 ECB 暗号化

CPU の介在なしに N ブロックの平文を N ブロックの暗号文へと ECB モードで暗号化することは、2 つの DMA チャネル (DMA_A および DMA_B と呼称) を使用することで実現されます。 ECB 暗号化を実装するには、次の手順を実行します。

1. 暗号文を保存するための出力 DMA チャネルの構成:
   a. DMA チャネル トリガ選択を AES Trig1 に設定します
   b. DMA チャネル ソース アドレスを DATA_OUT に設定します
   c. DMA チャネルの送信先アドレスを、暗号文が格納される場所 (SRAM など) に設定します
   d. DMA チャネル転送サイズを N * 4 に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AESADV イベント レジスタで、DMA_TRIG1 の IMASK レジスタで Trig1 のマスクを解除します
2. 平文をロードするための入力 DMA チャネルの構成:
   a. DMA チャネル トリガ選択を AES Trig0 に設定します
   b. DMA チャネル ソース アドレスを、平文が格納される場所に設定します (SRAM など)
   c. DMA チャネルの送信先アドレスを DATA_IN に設定します
   d. DMA チャネル転送サイズを N * 4 に設定します
   e. DMA チャネル モードをシングル転送モードに設定します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

f. AES イベント レジスタで、DMA_TRIG0 の IMASK レジスタで Trig0 のマスクを解除します

3. DMA コントローラの出力 DMA チャネル用の DMA 割り込みを構成し、イネーブルにします
4. DMA ベースのハンドシェイク用に DMA_HS を構成します：DMA_HS[DMA_DATA_ACK] = 1 に設定します
5. ECB のブロック暗号化モードのための CTRL レジスタの構成：
   a. CTRL[KEY_SIZ] でキーサイズを設定します
   b. CTRL[DIR] = 1 で暗号化の方向を選択します
   c. CTRL の残りのビットを 0 に設定して、ECB モードを選択します
6. セクション 13.2.1 ます。
7. AES C_LENGTH_0 および C_LENGTH_1 レジスタにバイト数 N×4 を書き込み、暗号化を開始します
8. 動作全体が完了したことを示す DMA チャネル割り込みを待ちます。暗号テキスト出力は、ステップ 1c で設定された場所に保存されます。

13.2.4.2.2 ECB 復号化

ECB モードの復号設定は、ECB モードの暗号化設定とほぼ同じです。唯一の違いは、方向ビット (CTRL.DIR) を 0 に設定する必要があることです。

13.2.4.3 暗号ブロック チェーン (CBC) モード

暗号ブロック チェーン (CBC) 暗号モードは、ECB 暗号モードに基づいて構築され、各ブロックの暗号文出力は、平文と暗号キー k だけでなく、前のブロックの暗号文にも依存するようになります。CBC 暗号を図 13-3 に示します。ECB モードと同様に、平文データは 128 ビット ブロックに分割される。ECB モードとは異なり、CBC モードでは、新しい平文ブロックは、AES ブロック暗号への入力を作成するために、前の暗号文ブロックとビット単位で XOR されます。

CBC モードでは、予測不可能な初期化ベクトル (IV) を提供する必要があります。初期化ベクトルは最初の平文ブロックと XOR するための「前の」暗号文ブロックがないため、最初の平文ブロックと XOR されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

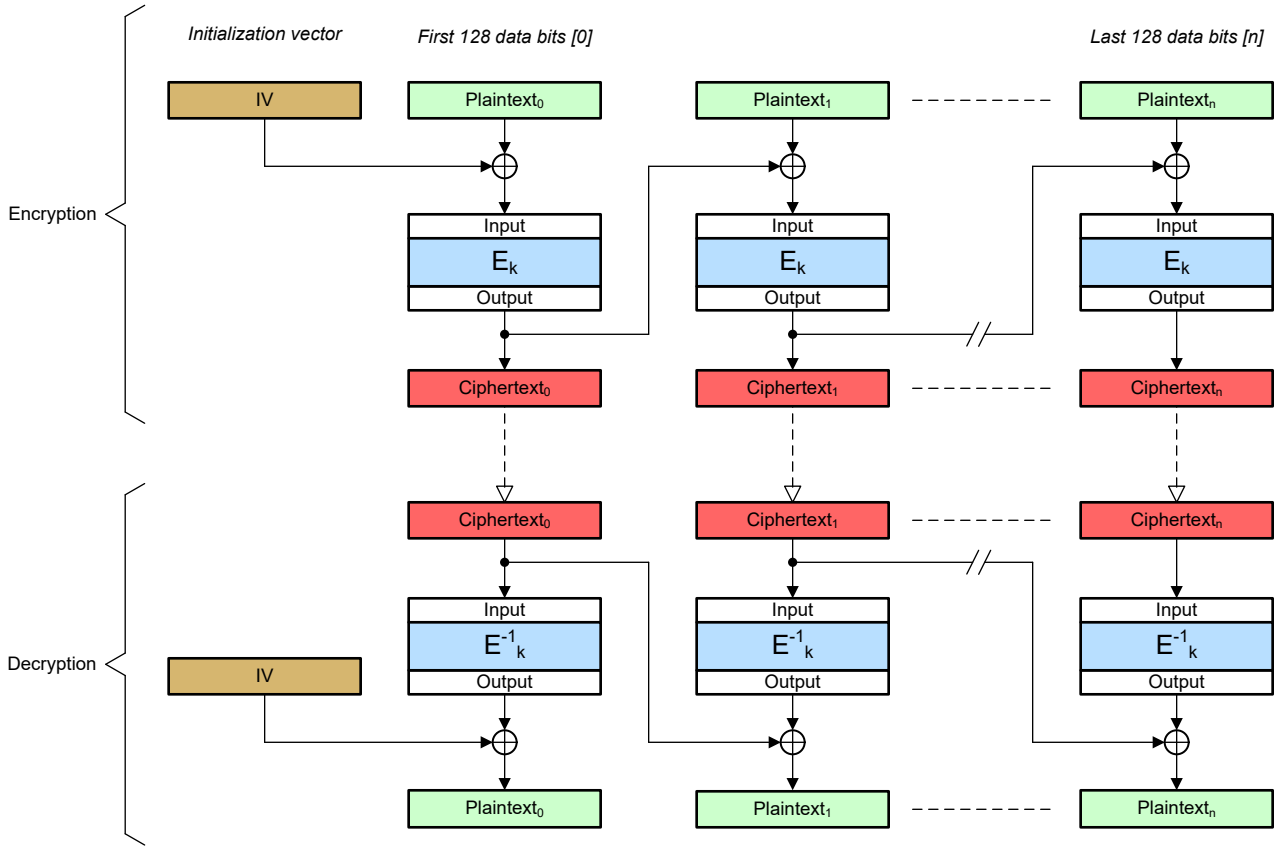


図 13-3. CBC 暗号

AESADV アクセラレータは、割り込みまたは DMA を使用して、128 ビットを超えるデータの自動 CBC モード動作をサポートしています。ソフトウェア割り込みベースのマルチブロック処理は、CPU_INT.IIDX.STAT フィールドで報告される AES 割り込み条件を使用します。このフィールドが 0x2 (INPUTRDY) を読み取ると、次の入力ブロックに書き込むことができます (4 つの 32 ビット書き込みとして)。このフィールドが 0x1 (OUTPUTRDY) を読み取ると、出力ブロックを読み取ることができます (4 つの 32 ビット読み取りとして)。

DMA モードでは、CBC は 2 つの DMA チャネルを利用します。DMA_TRIG0 にバインディングされているチャネルが入力チャネルです。DMA_TRIG1 にバインディングされているチャネルが出力チャネルです。チャネルは、トリガごとに 1 つの 32 ビット読み取り / 書き込みを実行するように構成する必要があります。

13.2.4.3.1 CBC 暗号化

CBC モードでは、2 つの DMA チャネルを使用して、平文の *N* ブロックを暗号文の *N* ブロックに CPU 相互作用なしで暗号化することができます。CBC 暗号化を実装するには、次の手順を実行します:

1. 暗号文を保存するための出力 DMA チャネルの設定:
   a. DMA チャネル トリガ選択を AES Trig1 に設定します
   b. DMA チャネル ソース アドレスを DATA_OUT に設定します
   c. DMA チャネルの送信先アドレスを、暗号テキストが格納される場所 (SRAM など) に設定する
   d. DMA チャネル転送サイズを *N* * 4 に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG1 の IMASK レジスタで Trig1 のマスクを解除します
2. 平文をロードするための入力 DMA チャネルを設定します:
   a. DMA チャネル トリガ選択を AES Trig0 に設定します
   b. DMA チャネルの転送元アドレスを、平文が格納されている場所 (例:SRAM) に設定します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

c. DMA チャネルの宛先アドレスを DATA_IN に設定します
d. DMA チャネル転送サイズを *N* * 4 に設定します
e. DMA チャネル モードをシングル転送モードに設定します
f. AES イベント レジスタで、DMA_TRIG0 の IMASK レジスタで Trig0 のマスクを解除します

3. DMA コントローラの出力 DMA チャネル用の DMA 割り込みを構成し、有効にします
4. DMA ベースのハンドシェイク用に DMA_HS を設定します：DMA_HS[DMA_DATA_ACK] = 1 に設定します
5. セクション 13.2.1 の説明に従ってキーをロードします
6. IV0、IV1、IV2、IV3 レジスタに書き込み、初期化ベクタ (IV) をロードします
7. CBC のブロック暗号化モード用に CTRL レジスタを設定します
   a. CTRL[KEY_SIZ] を使用してキー サイズを選択します
   b. CTRL[DIR] = 1 で暗号化の方向を選択します
   c. CTRL[CBC] = 1 に設定して CBC モードを選択します
8. AES C_LENGTH_0 および C_LENGTH_1 レジスタにバイト数 N×4 を書き込み、暗号化を開始します
9. 動作全体の完了を示す DMA チャネル割り込みを待ちます。暗号文出力は、ステップ 1c で設定された場所に格納されます。

13.2.4.3.2 CBC 復号化

CBC モードの復号化は、復号化用に CTRL[DIR] = 0 を設定することを除いて、CBC モード暗号化の設定とほぼ同じです。

13.2.4.4 出力フィードバック (OFB) モード

出力フィードバック モードでは、初期化ベクトル (IV) を利用して、暗号キーを使用して IV を繰り返し暗号化することでキーストリームを生成します。出力暗号文は、初期化ベクトルの暗号化され再暗号化されたバージョンを持つ平文 XOR によって取得されます。OFB 暗号を図 13-4 に示します。

OFB モードでは、初期化ベクトルは nonce (一回使用される数値) である必要があります。機密性の喪失を防ぐために、各 IV は指定されたキーで一回だけ使用する必要があり、指定されたキー *k* の暗号 E_k に渡される値は、同じキー *k* を持つ初期化ベクトルとして使用してはなりません。

注

OFB はストリーム暗号であるため、OFB 暗号化または OFB 復号化を実行するときは、AES ブロック機能がフォワード (暗号化) モードで使用されます。復号化すると、キーストリームは再び再生成され、暗号文で XOR され、平文が返されます。

Copyright © 2026 Texas Instruments Incorporated

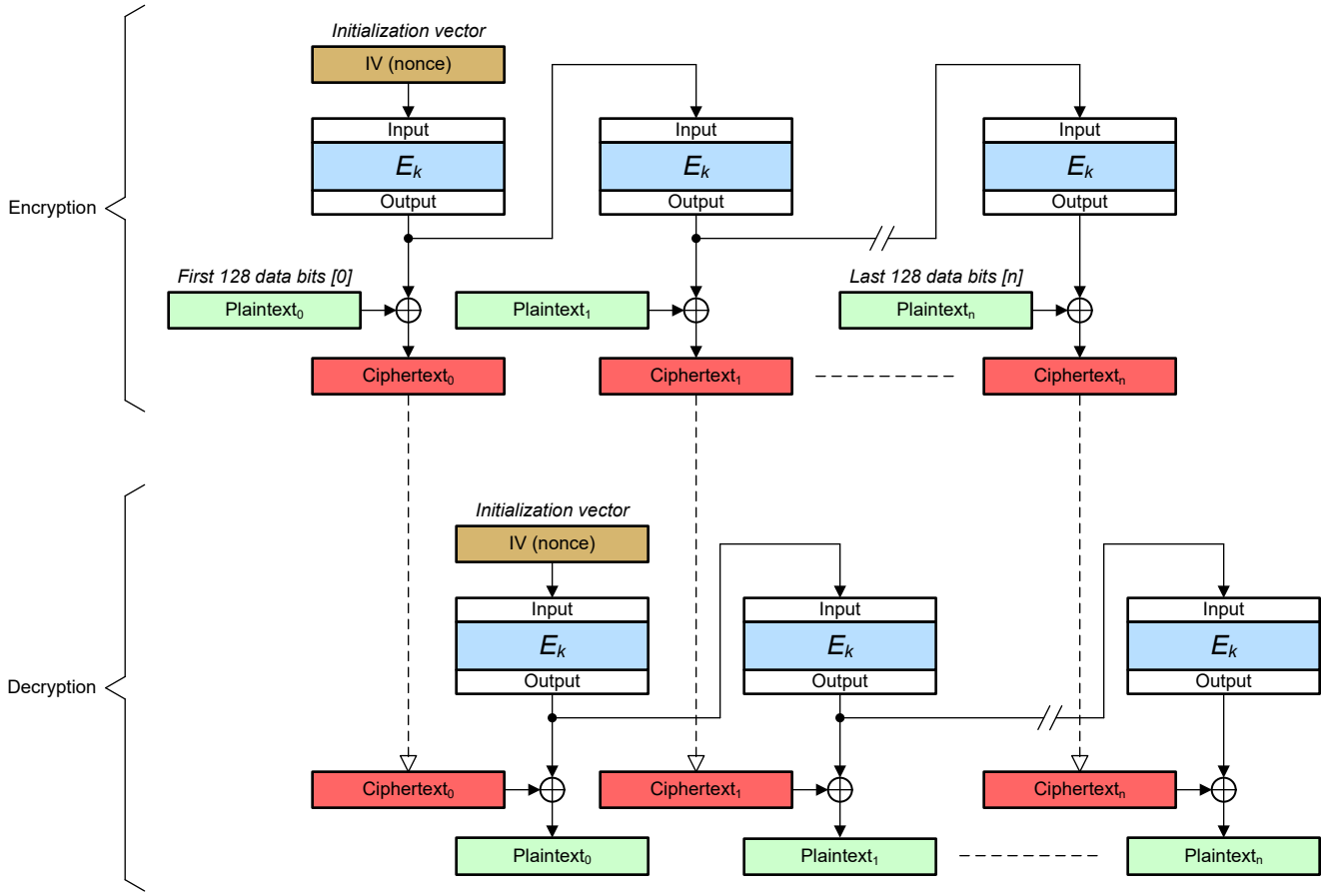


図 13-4. OFB 暗号

AES アクセラレータは、割り込みまたは DMA を使用して、128 ビットを超えるデータの自動 OFB モード動作をサポートしています。ソフトウェア割り込みベースのマルチブロック処理は、CPU_INT.IIDX.STAT フィールドで報告される AES 割り込み条件を使用します。このフィールドが 0x2 (INPUTRDY) と読み出されると、次の入力ブロックに書き込むことができます (4 つの 32 ビット書き込み)。このフィールドが 0x1 (OUTPUTRDY) を読み出すと、出力ブロックを読み取ることができます (4 つの 32 ビット読み出しとして)。

DMA モードでは、OFB は二つの DMA チャネルを利用します。DMA_TRIG0 にバインディングされているチャネルが入力チャネルです。DMA_TRIG1 にバインディングされているチャネルが出力チャネルです。チャネルは、トリガごとに一回の 32 ビット読み取り / 書き込みを実行するように構成する必要があります。

13.2.4.4.1 OFB 暗号化

OFB モードでは、2 つの DMA チャネルを使用して、平文の *N* ブロックを暗号文の *N* ブロックに CPU 相互作用なしで暗号化することができます。OFB 暗号化を実装するには、次の手順を実行します:

1. 暗号文を保存するための出力 DMA チャネルの設定:
   a. DMA チャネル トリガ選択を AES Trig1 に設定します
   b. DMA チャネル ソース アドレスを DATA_OUT に設定します
   c. DMA チャネルの送信先アドレスを、暗号テキストが格納される場所 (SRAM など) に設定する
   d. DMA チャネル転送サイズを *N** 4 に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG_DATAOUT の IMASK レジスタで Trig1 のマスクを解除します
2. 平文をロードするための入力 DMA チャネルを設定します:

Copyright © 2026 Texas Instruments Incorporated

a. DMA チャネル トリガ選択を AES Trig0 に設定します
b. DMA チャネルの転送元アドレスを、平文が格納されている場所 (例：SRAM) に設定します
c. DMA チャネルの宛先アドレスを DATA_IN に設定します
d. DMA チャネル転送サイズを *N** 4 に設定します
e. DMA チャネル モードをシングル転送モードに設定します
f. AES イベント レジスタで、DMA_TRIG0 の IMASK レジスタで Trig0 のマスクを解除します

3. DMA コントローラの出力 DMA チャネル用の DMA 割り込みを構成し、有効にします
4. DMA ベースのハンドシェイク用に DMA_HS を設定します：DMA_HS[DMA_DATA_ACK] = 1 に設定します
5. セクション 13.2.1 の説明に従ってキーをロードします
6. IV0、IV1、IV2、IV3 レジスタに書き込み、初期化ベクタ (IV) をロードします
7. OFB のブロック暗号化モード用に CTRL レジスタを構成します
   a. CTRL[KEY_SIZ] を使用してキー サイズを選択します
   b. CTRL[DIR] = 1 で暗号化の方向を選択します
   c. CTRL[OFB_GCM_CCM_CONT] = 1 に設定して OFB モードを選択します
8. AES C_LENGTH_0 および C_LENGTH_1 レジスタにバイト数 N×4 を書き込み、暗号化を開始します
9. 動作全体が完了したことを示す DMA チャネル割り込みを待ちます。暗号テキスト出力は、ステップ 1c で設定された場所に保存されます。

注

OFB_GCM_CCM_CONT ビットには二重に使用されます。CCM/GCM モードが選択されていない場合、このビットは OFB モードを選択する役割を果たします。

13.2.4.4.2 OFB 復号

OFB モードの復号化は、復号化用に CTRL[DIR]= 0 を設定することを除いて、OFB モード暗号化の設定とほぼ同じです。

13.2.4.5 暗号フィードバック (CFB) モード

暗号フィードバック (CFB) モードは出力フィードバック (OFB) モードに似ており、キー ストリームを生成するために使用されるブロック暗号 E への入力ブロックが前の暗号テキストブロックから取得され (平文と XOR された後)、平文と XOR される前に取得されること (OFB の場合と同様) が主な違いである。その結果、キーストリームは平文に依存しますが、OFB には当てはまりません。CFB 暗号を図 13-5 に示します。

OFB と同様に、CFB には初期化ベクトル (IV) が必要です。CFB モードでは、初期化ベクトル (IV) は予測不可能である必要があります。

Copyright © 2026 Texas Instruments Incorporated

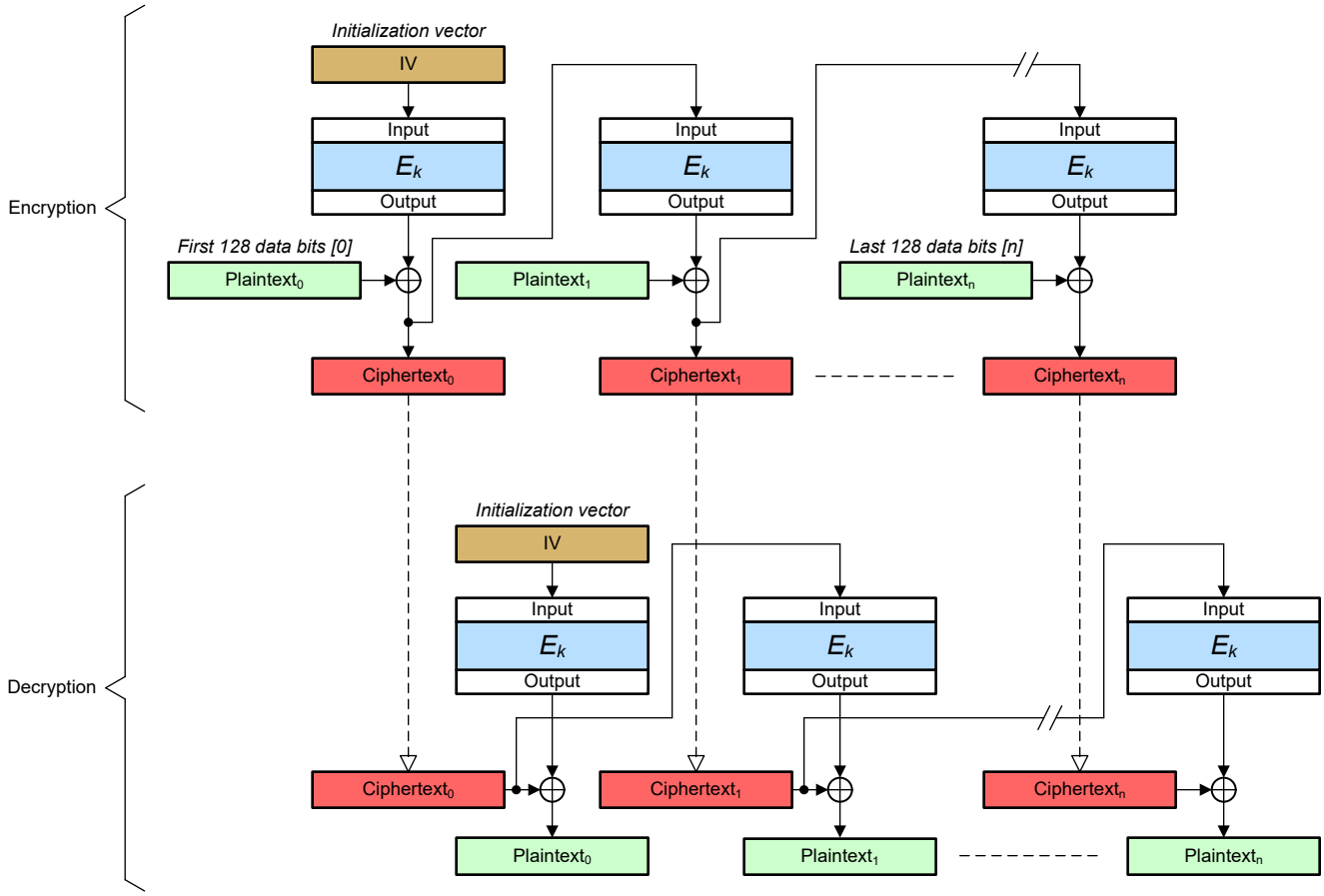


図 13-5. CFB 暗号

AESADV アクセラレータは、割り込みまたは DMA を使用して、128 ビットを超えるデータの自動 CFB モード動作をサポートしています。ソフトウェア割り込みベースのマルチブロック処理は、CPU_INT.IIDX.STAT フィールドで報告される AES 割り込み条件を使用します。このフィールドが 0x2 (INPUTRDY) を読み取ると、次の入力ブロックに書き込むことができます (4 つの 32 ビット書き込みとして)。このフィールドが 0x1 (OUTPUTRDY) を読み取ると、出力ブロックを読み取ることができます (4 つの 32 ビット読み取りとして)。

DMA モードでは、CFB は 2 つの DMA チャネルを利用します。DMA_TRIG_DATAIN にバインドされているチャネルが入力チャネルです。DMA_TRIG_DATAOUT にバインドされているチャネルが出力チャネルです。チャネルは、トリガごとに 1 つの 32 ビット読み取り / 書き込みを実行するように構成する必要があります。

13.2.4.5.1 CFB 暗号化

2 つの DMA チャネルを使用することで、CPU の介在なしに、N ブロックの平文を N ブロックの暗号文へと CFB モードで暗号化することが可能になります。CFB 暗号化を実装するには、次の手順を実行します。

1. 暗号文を保存するための出力 DMA チャネルの構成:
   a. DMA チャネル トリガの選択を AES Trig1 に設定します
   b. DMA チャネル ソース アドレスを DATA_OUT に設定
   c. DMA チャネルの送信先アドレスを、暗号文が格納される場所 (SRAM など) に設定します
   d. DMA チャネル転送サイズを N * 4 に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG_DATAOUT の IMASK レジスタで Trig1 のマスクを解除します
2. 平文をロードするための入力 DMA チャネルの構成:
   a. DMA チャネル トリガの選択を AES Trig0 に設定します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

b. DMA チャネル ソース アドレスを平文が格納される場所に設定 (SRAM など)
c. DMA チャネルの送信先アドレスを DATA_IN に設定します
d. DMA チャネル転送サイズを N * 4 に設定します
e. DMA チャネル モードをシングル転送モードに設定します
f. AES イベント レジスタで、DMA_TRIG0 の IMASK レジスタで Trig0 のマスクを解除します

3. DMA コントローラの出力 DMA チャネル用の DMA 割り込みを構成し、イネーブルにします
4. DMA ベースのハンドシェイク用に DMA_HS を構成します:DMA_HS[DMA_DATA_ACK] = 1 に設定します
5. セクション 13.2.1 の説明に従ってキーをロードします
6. IV0、IV1、IV2、IV3 レジスタに書き込み、初期化ベクタ (IV) をロードします
7. CFB のブロック暗号化モード用に CTRL レジスタを設定します
   a. CTRL[KEY_SIZ] を使用してキー サイズを選択します
   b. CTRL[DIR] = 1 で暗号化の方向を選択します
   c. CTRL[CFB] = 1 と設定して CFB モードを選択します
   d. CTRL[CTR_WIDTH] を設定してフィードバック幅を選択します
      i. 00b～CFB-128
      ii. 01b～CFB-1
      iii. 10b～CFB-8
8. AES C_LENGTH_0 および C_LENGTH_1 レジスタにバイト数 N×4 を書き込み、暗号化を開始します
9. 動作全体の完了を示す DMA チャネル割り込みを待ちます。暗号文出力は、ステップ 1c で設定された場所に格納されます。

13.2.4.5.2 CFB 復号化

CFB モードの復号化は、復号化用に CTRL[DIR] = 0 を設定することを除いて、CFB モード暗号化の設定とほぼ同じです。

13.2.4.6 カウンタ (CTR) モード

カウンタ モードでは、nonce (一回だけ使用する数値) とカウント用整数を使用してキー ストリームを生成します。カウンタを nonce に連結し、結合したノンス || カウンタ値を暗号鍵で暗号化します。

nonce は指定されたキー *k* と一回だけ使用する必要があります。カウンタ値は任意の値から開始でき、データの 128 ビット ブロックごとにインクリメントされます。

キーストリームは、各 128 ビット データ ブロックの nonce || カウンタ値を暗号キー *k* で暗号化するものです。次に、各データブロックの暗号化された nonce || カウンタ値で平文を XOR することで、出力暗号テキストが取得されます。CTR 暗号を図 13-6 に示します。

Copyright © 2026 Texas Instruments Incorporated

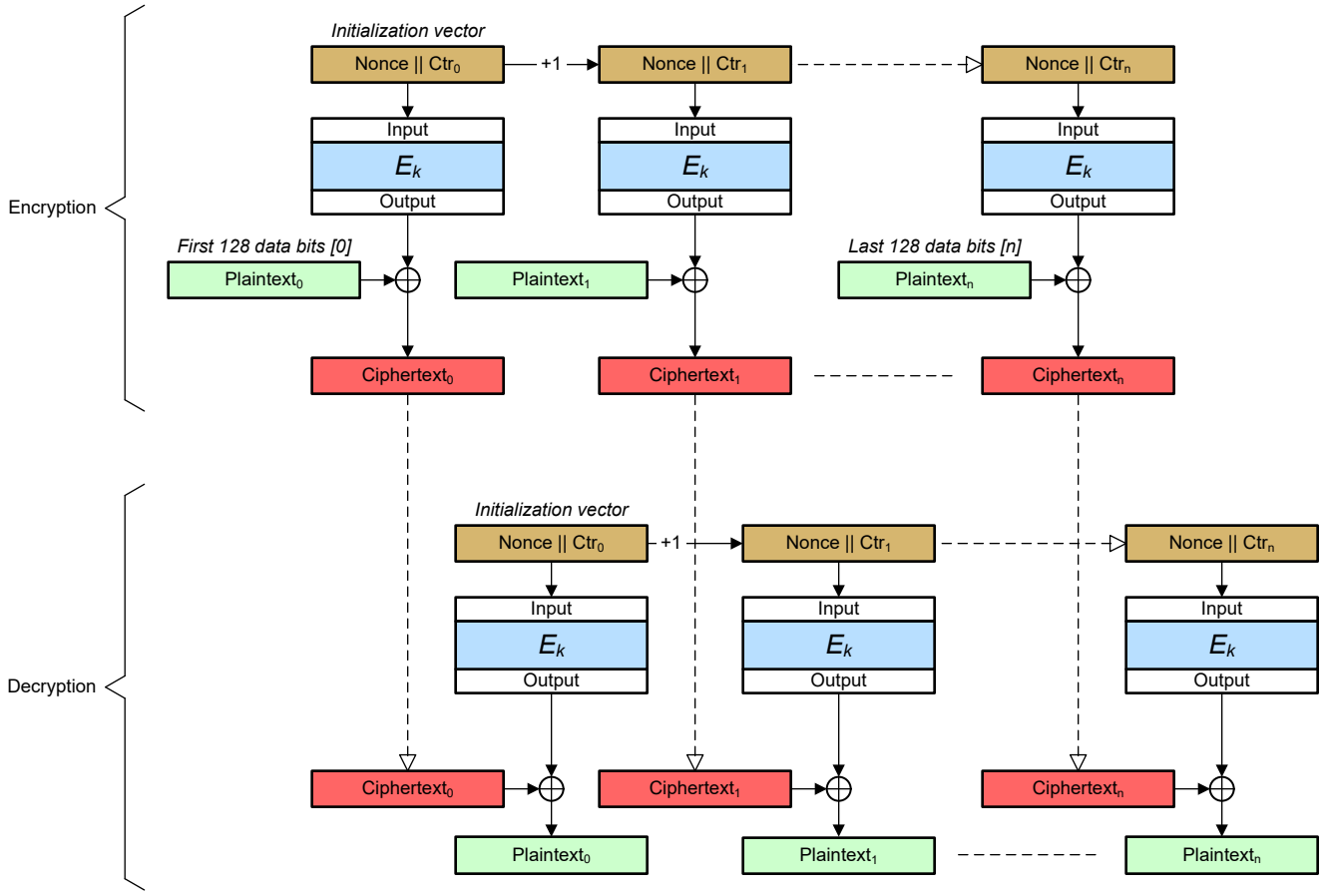


図 13-6. CTR 暗号

AES アクセラレータは、ブロック間で nonce || カウンタをインクリメントして保持するためのロジックおよびストレージを実装しています。

13.2.4.6.1 CTR 暗号化

2 つの DMA チャネルを使用することで、CPU の介在なしに、N ブロックの平文を N ブロックの暗号文へと CTR モードで暗号化することが可能になります。CTR 暗号化を実装するには、次の手順を実行します。

1. 暗号文を保存するための出力 DMA チャネルの構成:
   a. DMA チャネル トリガ選択を AES Trig1 に設定します
   b. DMA チャネル ソース アドレスを DATA_OUT に設定します
   c. DMA チャネルの送信先アドレスを、暗号文が格納される場所 (SRAM など) に設定します
   d. DMA チャネル転送サイズを N * 4 に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG_DATAOUT の IMASK レジスタで Trig1 のマスクを解除します
2. 平文をロードするための入力 DMA チャネルの構成:
   a. DMA チャネル トリガ選択を AES Trig0 に設定します
   b. DMA チャネル ソース アドレスを、平文が格納される場所に設定します (SRAM など)
   c. DMA チャネルの送信先アドレスを DATA_IN に設定します
   d. DMA チャネル転送サイズを N * 4 に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG0 の IMASK レジスタで Trig0 のマスクを解除します
3. DMA コントローラの出力 DMA チャネル用の DMA 割り込みを構成し、イネーブルにします

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

4. DMA ベースのハンドシェイク用に DMA_HS を構成します：DMA_HS[DMA_DATA_ACK] = 1 に設定します
5. セクション 13.2.1 の説明に従ってキーをロードします
6. IV0、IV1、IV2、IV3 レジスタに書き込み、初期化ベクタ (IV) をロードします
7. CTR のブロック暗号化モード用に CTRL レジスタを設定
   a. CTRL[KEY_SIZ] を使用してキー サイズを選択します
   b. CTRL[DIR] = 1 で暗号化の方向を選択します
   c. CTRL[CTR] = 1 に設定して CTR モードを選択します
   d. CTRL[CTR_WIDTH] を設定して CTR 幅を選択します
      i. 00b - CTR32
      ii. 01b - CTR64
      iii. 10b - CTR96
      iv. 11b - CTR128
8. AES C_LENGTH_0 および C_LENGTH_1 レジスタにバイト数 N×4 を書き込み、暗号化を開始します
9. 動作全体が完了したことを示す DMA チャネル割り込みを待ちます。暗号テキスト出力は、ステップ 1c で設定された場所に保存されます。

13.2.4.6.2 CTR 復号

CTR モードの復号化は、復号化用に CTRL[DIR] = 0 を設定することを除いて、CTR モード暗号化の設定とほぼ同じです。

13.2.4.7 ガロア カウンタ (GCM) モード

GCM プロトコルの処理は、暗号化 / 復号と認証を組み合わせた処理です。図 13-7 に、GCM の動作の概要を示します。

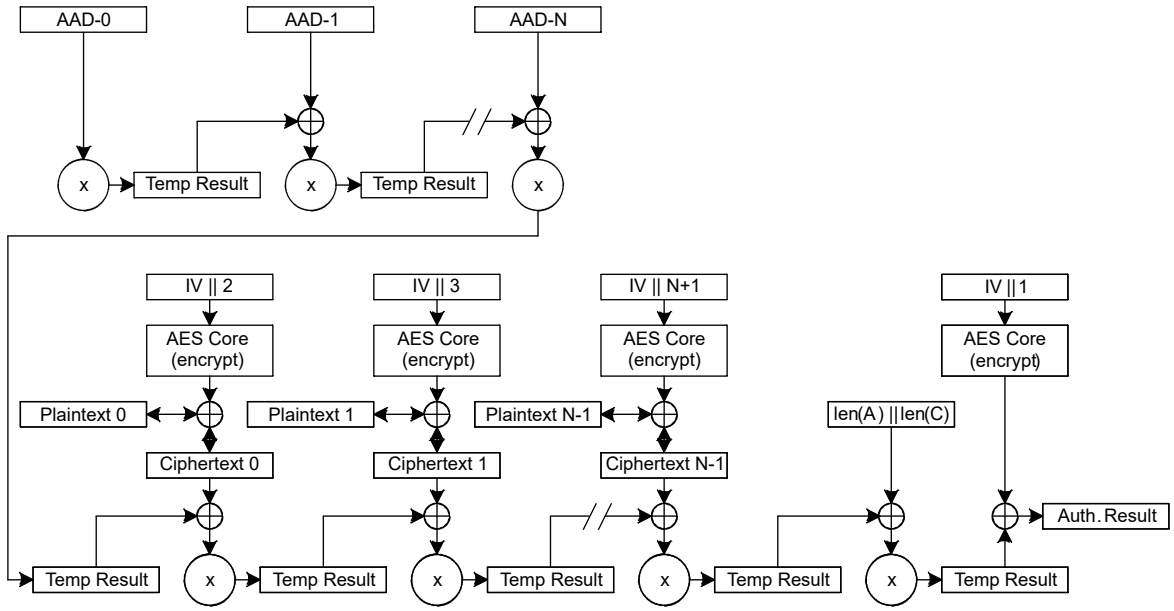


図 13-7. GCM プロトコルの動作

入力データ ストリームの一部は認証のみを行うことができますが、通常、入力データの大部分には暗号化 / 復号と認証の両方が行われます。認証のみのデータは、暗号化が必要なデータの前に常に配置する必要があります。GCM では、認証のみを行うデータを AAD (追加認証データ) と呼びます。AAD は、他のデータとは独立して読み取られます。

中間 (temp) 結果データは、残りの認証処理の入力として使用されます。認証処理では暗号化コアを必要とせず、多項式乗算のみを使用するため、暗号化 / 復号処理と認証処理は並列に実行されます。最後のデータブロックを暗号化した

Copyright © 2026 Texas Instruments Incorporated

後、128 ビットの長さベクトルを認証するために追加の多項式乗算を行い、最後に認証結果を暗号化するために追加の暗号化処理を行う必要があります。

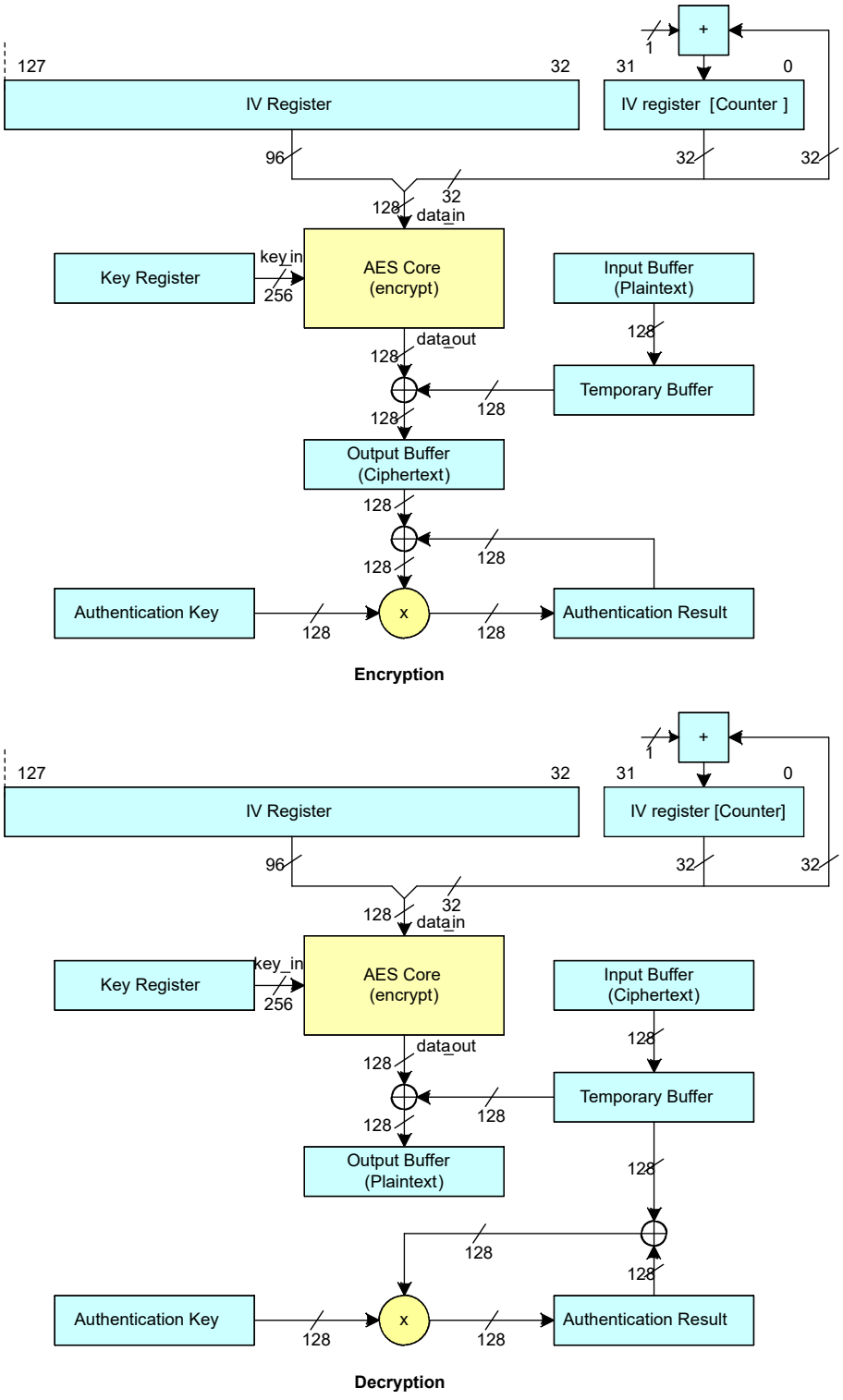


図 13-8. ブロックでの GCM 操作

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

[NIST-SP800-38D] で規定されている GMAC 処理も、GCM 処理を使用してサポートされます。GMAC は、暗号データが処理されず、入力データの MAC を生成するために AAD データのみが提供される GCM の特別な使用です。この場合、暗号データ長はゼロに設定されます。

図 13-8 に、1 ラウンドで実行される操作を示します。GCM 処理の 1 ラウンドでは、暗号化時と復号時のいずれにおいても、CTR モードと同様に 32 ビット カウンタが IV として使用されます。データは CTR モードと同じように暗号化され、入力と暗号出力を XOR することで暗号化されます。暗号化 / 復号化の後、暗号文は中間認証結果と XOR されます。XOR された結果は、多項式乗算の入力として使用され、次の (中間の) 認証結果が生成されます。

13.2.4.7.1 GHASH 動作

GHASH 動作の場合、エンジンは GF (2128) フィールドにおいてモジュール多項式の乗算を実行します。この結果は、暗号化された GCM 初期化ベクタ (Y0 暗号化) と XOR されます。Y0 暗号化は、エンジンが GCM 動作を完全に実行している場合にのみ行われるため、他のモードでは、Y0 暗号化の値は強制的にゼロになります。

また、GCM モードの場合のみ、GCM の「ハッシュ キー」または「H」入力を事前に計算してエンジンに直接提供することも、暗号化キーを使用して値 '0' を暗号化してエンジン内部で計算することもできます。

13.2.4.7.2 GCM の動作モード

GCM の場合、3 つのケースを区別する必要があります。

- 一つ目は自律 GCM モードで、H と暗号化された Y0 の両方が内部で計算されます。このモードでは、モードと一緒に IV を介して 128 ビットの Y0 をコアに供給する必要があります。

  注

  GCM モード ビットは 2'b11 にセットする必要があります。

- 二つ目のケースは、H が事前に計算されており、Y0 は依然としてパケットごとにエンジンによって暗号化される必要があるシナリオです。これは、複数のパケットが同じ AES キーを使用する場合に便利です。H は同じ鍵を使用するすべてのパケットで一定であるため、事前に計算しておくことで、その鍵を使用する各パケットの処理サイクル数を削減できます。H は、AES 鍵とすべてゼロのデータ ブロックを使用して基本的な AES-ECB 暗号化を実行することで計算できます。より厳密には、次のように表されます:H = E(K, {})。H が計算されると、同じ AES-key を必要とするパケットが処理されるたびに、制御データをロードできます。

  注

  GCM モード ビットは 2'b10 にセットする必要があります。

- 最後のケースでは、H 暗号化も Y0 暗号化もコアによって計算されません。この場合、暗号化された Y0 は強制的にすべてゼロに設定されるため、ハッシュ結果は暗号化されず、TAG 出力レジスタを介してそのまま出力されます。このシナリオは、ハッシュ (GHASH) のみの操作を実行する必要がある場合に選択できます。この設定を使用できるシナリオは、GCM IV 切り捨てです。GCM 仕様 [GCM] では、96 ビット以外の長さの IV を許容しています。この場合、128 ビットの Y0 を計算するには、基本的な GHASH 演算を実行する必要があります。基本的な GHASH 演算の場合、(前の段落で説明したように) H を事前に計算する必要があります。H が利用可能な場合、GHASH 処理は、H を事前計算した通常の GCM 処理と同様です。ただし、暗号入力データに対する暗号化または復号は行われません。

  注

  デフォルトの場合、96 ビット IV と 32 ビット カウンタが組み合わされて、128 ビットの Y0 が生成されます (つまり:Y0 = {IV || 031 || 1})。

  注

  GCM モード ビットは 2'b01 にセットする必要があります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

13.2.4.7.2.1 自律 GCM 動作

このモードでは、エンジンは内部で H および Y0 暗号化を計算します。大まかなレベルでは、プログラミングには以下の手順が含まれます:

- GCM コンテキスト (キー、IV、長さ、およびモード) を提供します。
- AAD データを供給します (H の計算および Y0 の暗号化が完了するまで待機します)。
- 次の AAD データを提供します。
- 最後の AAD データを提供します。
- 最初の暗号データを提供します。
- 次の暗号化データを提供します。
- 結果データを読み取り、次の暗号データを提供します。
- ...
- 結果データを読み取り、最後の暗号化データを提供します。
- 結果データを読み取ります。
- 結果データを読み取ります。
- 読み取り認証結果 (TAG)。

N ブロックの平文と M ブロックの AAD に対して GCM 暗号化を実行するには、以下の手順に従います:

1. 暗号文を保存するための出力 DMA チャネルの設定:
   a. DMA チャネル トリガ選択を AES Trig1 に設定します
   b. DMA チャネル ソース アドレスを DATA_OUT に設定します
   c. DMA チャネルの送信先アドレスを、暗号テキストが格納される場所 (SRAM など) に設定する
   d. DMA チャネル転送サイズを *N×4* に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG_DATAOUT の IMASK レジスタで Trig1 のマスクを解除します
2. AAD および平文をロードするように、入力 DMA チャネルを設定します:
   a. DMA チャネル トリガ選択を AES Trig0 に設定します
   b. DMA チャネルの転送元アドレスを、平文が格納されている場所 (例:SRAM) に設定します
   c. DMA チャネルの宛先アドレスを DATA_IN に設定します
   d. DMA チャネル転送サイズを *(N+M)*4* に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG0 の IMASK レジスタで Trig0 のマスクを解除します
3. DMA コントローラの出力 DMA チャネル用の DMA 割り込みを構成し、有効にします
4. DMA ベースのハンドシェイク用に DMA_HS を設定します:DMA_HS[DMA_DATA_ACK] = 1 に設定します
5. セクション 13.2.1 の説明に従って、暗号化 / 復号化キーをロードします
6. GCMCCM_TAGn (0、1、2、3) レジスタを 0 でロードします。
7. IV0、IV1、IV2、IV3 レジスタに書き込み、初期化ベクタ (IV) をロードします
8. GCM のブロック暗号化モード用に CTRL レジスタを設定します
   a. CTRL[KEY_SIZ] を使用してキー サイズを選択します
   b. CTRL[DIR] = 1 で暗号化の方向を選択します
   c. CTRL[GCM] = 3 に設定して GCM モードを選択します
   d. CTRL[CTR] = 1 に設定して CTR モードを選択します
   e. CTRL[SAVE_CNTXT] = 1 を設定して、TAG の保存を有効にします
9. AES C_LENGTH_0 および C_LENGTH_1 レジスタに、暗号化 / 復号化バイト数 N×4 を書き込みます
10. 認証データ (AAD) のバイト数 M * 4 を AES AAD_LENGTH レジスタに書き込みます
11. 動作全体の完了を示す DMA 出力チャネル割り込みを待ちます。出力は、ステップ 1c で設定した場所で開始されて保存されます。
12. TAG0、TAG1、TAG2、TAG3 レジスタから最終 TAG を読み出します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

13. GCM の継続動作:
    a. DMA を介した GCM の中断再開動作に関する SW ガイドライン:
        i. GCM 動作を一時停止する前 (CTRL レジスタの GET_DIGEST ビットに書き込む前)、DMA 転送を停止します
        ii. DMA 転送を停止した後、GET_DIGEST を要求します
        iii. 必要なすべてのフィールドを読み出します - DMA 転送が停止する箇所に注意してください
        iv. 再開操作を開始する前に、上記の情報をエンジンへの入力として使用してください
    b. 保存コンテキスト準備完了割り込みに関する SW ガイドライン:
        i. 割り込みを待つ代わりに、RIS レジスタを継続的にポーリングして、SAVEDCNTXTRDY ステータスを確認します

注

AAD と暗号データのアライメントが正しくない場合があります。CPU は、128 ビットの境界にゼロでパディングする必要があります。より厳密には、AAD と暗号化データのパディングは、次のビット列を満たす必要があります:0n, with 0 <= n <= 127。つまり、暗号化データが 128 ビット境界から開始するように、AAD を個別のブロックとしてエンジンに渡す必要があります。AAD / 暗号化データのストリームが 128 ビット境界に揃っている場合、パディングは不要です。エンジンはバイトのみをサポートするため、n は (n MOD 8) = 0 にする必要があります。さらに、単一の DMA チャネルが AAD と平文の両方を供給するため、データ全体をメモリ上に連続して配置し、先頭に M ブロックの AAD、その後に N ブロックの平文を格納する必要があります。CPU ソフトウェアが割り込み処理によって入力を直接供給する場合、このメモリの連続性制限は適用されません。

両方の長さの値にゼロをロードすることはできません。あるデータ ストリームの処理が完了し、次のデータ ストリームでも同じキーと制御設定を使用する場合は、IV と長さの値だけを再ロードすれば済みます。

13.2.4.7.2.1.1 GMAC

GMAC は、ペイロードが存在しない (N = 0) GCM の特殊なケースです。この場合、AES C_LENGTH_0 および C_LENGTH_1 レジスタは 0 に設定されます。

13.2.4.7.2.2 事前計算あり GCM

H の事前計算:

1. AES-ECB コンテキストを提供します (キーとモード)
2. データとしてゼロを提供します
3. 結果データを読み取ります (H)

IV 切り捨て / 前計算 (GHASH のみの動作):

- GHASH コンテキストを提供 (H、長さ、モード)

注

GHASH のみ:Y0 暗号化は強制的にゼロに設定され、H はロードされ、暗号化モードは選択されていません

1. IV data-block を提供します
2. 次の IV データブロックを提供します
3. ダミーの結果を読み取り、次の IV-data-block を提供します
4. ...
5. ダミーの結果データを読み取り、最後の IV-data-block を提供
6. ダミーの結果データを読み取ります
7. ダミーの結果データを読み取ります

Copyright © 2026 Texas Instruments Incorporated

8. 認証結果を読み取ります (TAG... このデータは Y0 です)

事前計算された H での GCM 動作:

1. GCM コンテキストを提供します (キー、Y0 を IV、H、長さ、およびモード)
2. AAD データを提供します (Y0 の暗号化を待ちます)
3. 次の AAD データを提供します
4. 最後の AAD データを提供します
5. 最初の暗号データを提供します
6. 次の暗号化データを提供します
7. 結果データを読み取り、次の暗号データを提供します
8. ...
9. 結果データを読み取り、最後の暗号化データを提供します
10. 結果データを読み取ります
11. 結果データを読み取ります
12. 認証結果を読み取ります (TAG)

事前計算された H の GCM の場合は、CTRL[GCM] = 2 に設定して GCM モードを選択します

13.2.4.7.2.3 事前計算済みの H および Y0 暗号化値をゼロに強制した GCM 動作

動作の概要は以下のとおりです。

1. GCM コンテキスト (キー、H、長さ、およびモード) を提供します
2. AAD データを提供します
3. 次の AAD データを提供します
4. 最後の AAD データを提供します
5. 最初の暗号データを提供します
6. 次の暗号化データを提供します
7. 結果データを読み取り、次の暗号データを提供します
8. ...
9. 結果データを読み取り、最後の暗号化データを提供します
10. 結果データを読み取ります
11. 結果データを読み取ります
12. プレーンテキスト認証結果を読み取ります

13.2.4.8 暗号ブロック チェーン メッセージ認証コード (CCM)

CCM (CBC-MAC 付きカウンタ) プロトコル動作は、暗号化 / 復号化と認証を組み合わせた動作です。認証操作と暗号化 / 復号化操作の両方が暗号コアを使用します。これらは AES コアで順次実行されます。データ ストリームの一部は認証のみを要求できます。認証のみのデータは、暗号化が必要なデータの前に常に配置する必要があります。

図 13-9 に、CCM プロトコルを示します。認証は、事前定義されたブロック B0 の暗号化で開始されます。このブロックは、フラグ、nonce、およびメッセージ長で構成されます。次のブロックには、認証専用データと連結された認証データの長さが含まれます。認証専用データの処理後、暗号化 / 復号化処理が実行され、その各処理に続いて対応する平文データ ブロックの認証が行われます (平文データ ブロックは、暗号化の場合は入力、復号の場合は出力に相当します)。最終的な認証結果は、IV ブロック A0 の暗号化出力を使用して暗号化する必要があります。このブロックは、(フラグと nonce で構成される) カウンタと連結された IV (A0 に対してゼロ) を含みます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

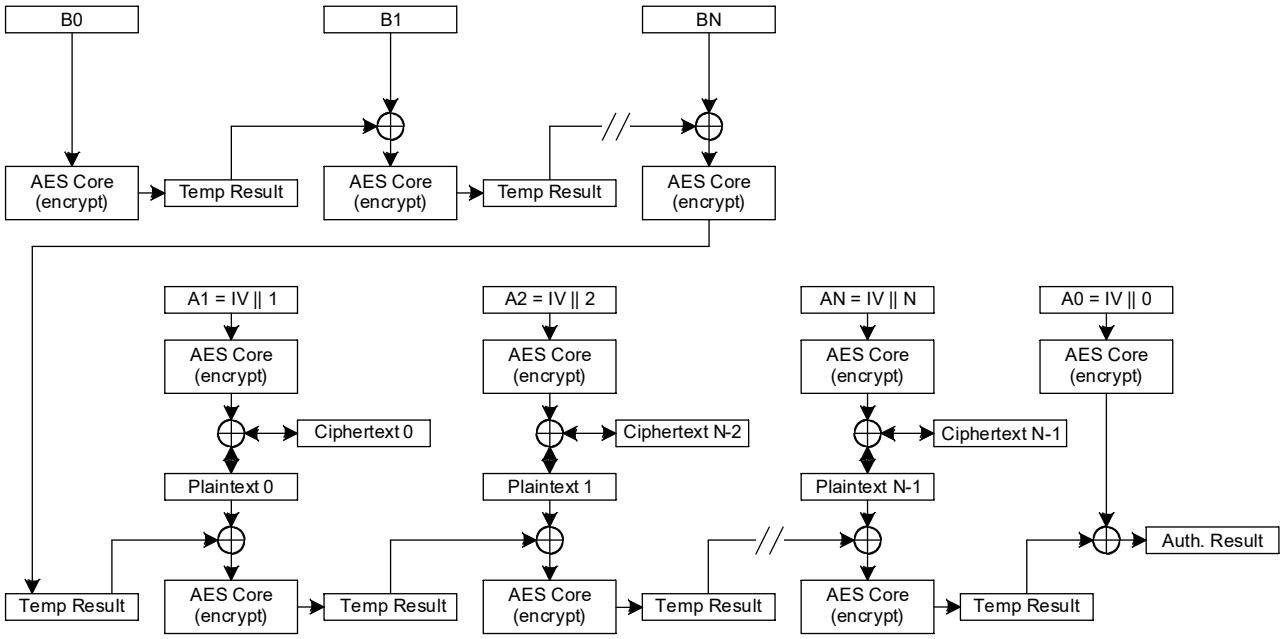


図 13-9. CCM プロトコル動作

図 13-10 に、暗号化と復号化の両方に対する CCM 動作の一ラウンドを示します。32 ビット カウンタが IV として使用されます (CTR モードの場合と同様)。データは、CTR モードと同じように暗号化され、暗号化コア出力を入力と XOR 処理することで暗号化されます。暗号化処理の直後に、平文と中間認証結果との XOR 演算が行われます。XOR の結果は、二番目の暗号化操作の入力として使用され、次の (中間の) 認証結果を計算します。

Copyright © 2026 Texas Instruments Incorporated

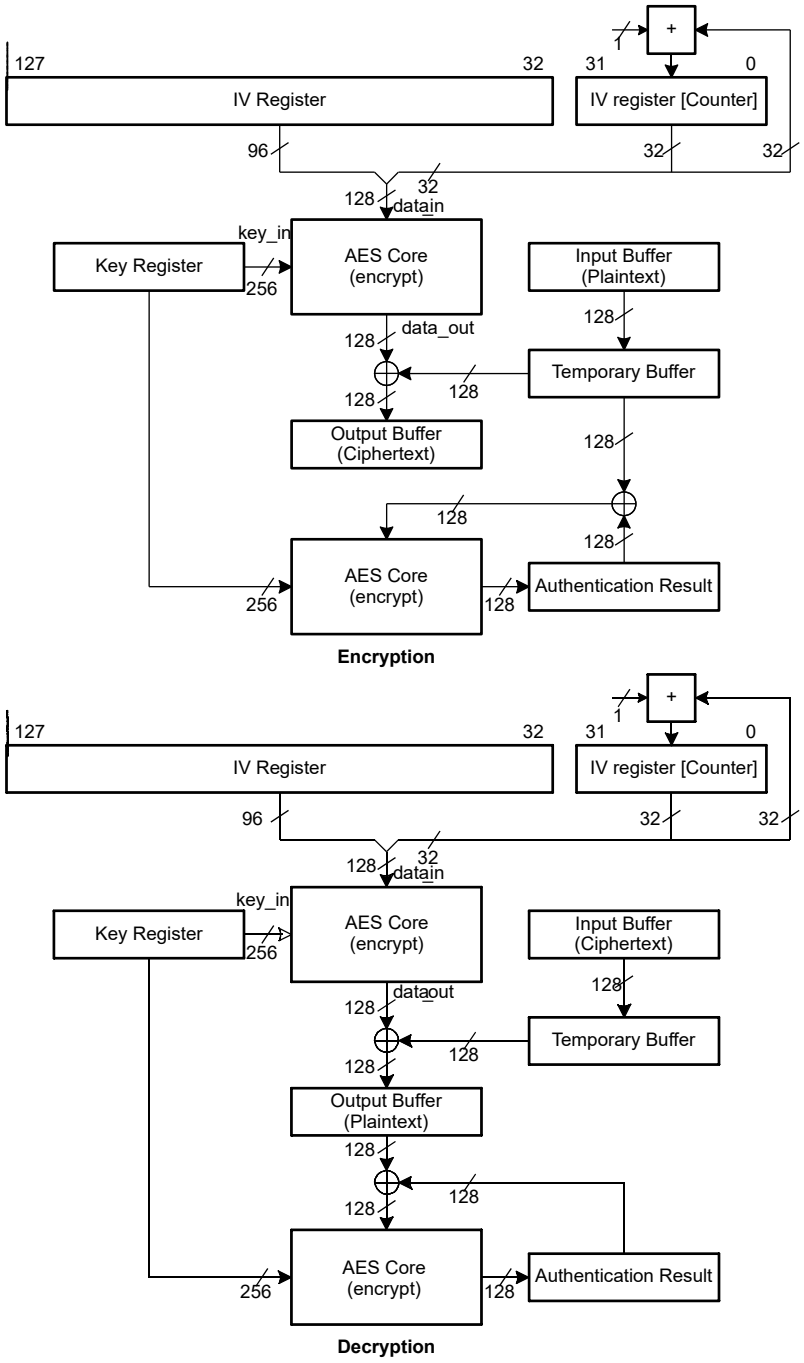


図 13-10. CCM 動作

13.2.4.8.1 CCM 動作

High レベルでは、次のシーケンスで CCM 動作が実行されます:

- CCM コンテキストを提供します (キー、フラグ、長さ、モードを含む IV)
- ヘッシュのみのデータを提供します
- 次のヘッシュのみのデータを提供します
- 最後のヘッシュのみのデータを提供します
- 最初の暗号データを提供します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- 次の暗号化データを提供します
- 結果データを読み取り、次の暗号データを提供します
- ...
- 結果データを読み取り、最後の暗号化データを提供します
- 結果データを読み取ります
- 結果データを読み取ります
- 読み取り認証結果 (TAG)

データの読み取り / 書き込みは、DMA または CPU ソフトウェアを介して管理できます。

N ブロックの平文と M ブロックの AAD に対して CCM 暗号化を実行するには、以下の手順に従います:

1. 暗号文を保存するための出力 DMA チャネルの設定:
   a. DMA チャネル トリガ選択を AES Trig1 に設定します
   b. DMA チャネル ソース アドレスを DATA_OUT に設定します
   c. DMA チャネルの送信先アドレスを、暗号テキストが格納される場所 (SRAM など) に設定する
   d. DMA チャネル転送サイズを *N×4* に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG_DATAOUT の IMASK レジスタで Trig1 のマスクを解除します
2. AAD および平文をロードするように、入力 DMA チャネルを設定します:
   a. DMA チャネル トリガ選択を AES Trig0 に設定します
   b. DMA チャネルの転送元アドレスを、平文が格納されている場所 (例:SRAM) に設定します
   c. DMA チャネルの宛先アドレスを DATA_IN に設定します
   d. DMA チャネル転送サイズを *(N+M)*4* に設定します
   e. DMA チャネル モードをシングル転送モードに設定します
   f. AES イベント レジスタで、DMA_TRIG0 の IMASK レジスタで Trig0 のマスクを解除します
3. DMA コントローラの出力 DMA チャネル用の DMA 割り込みを構成し、有効にします
4. DMA ベースのハンドシェイク用に DMA_HS を設定します:DMA_HS[DMA_DATA_ACK] = 1 に設定します
5. セクション 13.2.1 の説明に従って、暗号化 / 復号化キーをロードします
6. IV0、IV1、IV2、および IV3 レジスタに書き込んで、初期化ベクトル (IV) をロードし、ここには、認証処理と暗号化処理の両方に使用する暗号処理フラグおよび NONCE バイトを含める必要があります
7. CCM のブロック暗号化モード用に CTRL レジスタを設定します
   a. CTRL[KEY_SIZ] を使用してキー サイズを選択します
   b. CTRL[DIR] = 1 で暗号化の方向を選択します
   c. CTRL[CCM] = 1 に設定して CCM モードを選択します
   d. CTRL[CTR] = を設定して CTR モードを選択します

      1
   e. CTRL[SAVE_CNTXT] = 1 を設定して、TAG の保存を有効にします
   f. CTRL[CCML] を設定します。CCM-L には任意の値を設定でき、暗号データ長フィールドの長さは「CCML+1」バイトとなります。
   g. CTRL[CTR_WIDTH] を設定します -- 注:CCM-L は、CCM 処理における IV レジスタ内の実際のカウンタ フィールド幅を設定します。設定可能な幅は、2 バイト (CCM-L = 1) から 8 バイト (CCM-L = 7) までです。CTR_WIDTH で選択された実際のカウンタ幅は、このフィールドをカバーするのに十分な長さである必要があります。カウンタがオーバーフローしないように、カウンタ フィールドの幅を選択する必要があります。
   h. CTRL[CCMM] を設定します -- CCM-M には任意の値を設定でき、実際の処理には影響しません。ただし、処理開始時に暗号化される特別な「B0」ブロック内には含まれます。CPU は、128 ビットの TAG のうち、下位 2 * (CCMM + 1) バイトにある有効な TAG バイトを選択する必要があります。
8. AES C_LENGTH_0 および C_LENGTH_1 レジスタに、暗号化 / 復号化バイト数 N×4 を書き込みます
9. 認証データ (AAD) のバイト数 M * 4 を AES AAD_LENGTH レジスタに書き込みます

Copyright © 2026 Texas Instruments Incorporated

10. 動作全体の完了を示す DMA 出力チャネル割り込みを待ちます。出力は、ステップ 1c で設定した場所で開始されて保存されます。
11. TAG0/1/2/3 レジスタから最終 TAG を読み出します

注

AAD と暗号データのアライメントが正しくない場合があります。CPU は、128 ビットの境界にゼロでパディングする必要があります。より厳密には、AAD と暗号化データのパディングは、次のビット列を満たす必要があります：0n、0 <= n <= 127.つまり、暗号化データが 128 ビット境界から開始するように、AAD を個別のブロックとしてエンジンに渡す必要があります。AAD / 暗号化データのストリームが 128 ビット境界に揃っている場合、パディングは不要です。エンジンはバイトのみをサポートするため、n は (n MOD 8) = 0 にする必要があります。さらに、AAD と平文の両方を供給するために単一の DMA チャネルが使用されるため、データ全体は、最初の M 個の AAD ブロックに続いて N 個の平文ブロックが配置されるよう、メモリ上に連続して格納する必要があります。CPU ソフトウェアが割り込み処理によって入力を直接供給する場合、このメモリの連続性制限は適用されません。

両方の長さの値にゼロを書き込むことはできません。あるデータ ストリームの処理が完了し、次のデータ ストリームでも同じキーと制御設定を使用する場合は、IV と長さの値だけを再ロードすれば済みます。

13.2.5 AES イベント

AES モジュールには三つのイベント パブリッシャが含まれ、イベント サブスクライバは含まれません。一つのイベント パブリッシャ (CPU_INT) が、静的イベント ルートを介して CPU サブシステムへの AES 割り込み要求 (IRQ) を管理します。二番目および三番目のイベント パブリッシャ (DMA_TRIG_DATAIN および DMA_TRIG_DATAOUT) は、DMA イベント ルートを介して AES イベントを DMA に発行するために使用できます。

表 13-2 に、AES イベントのまとめを示します。

表 13-2. AES イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込みイベント	パブリッシャ	AES	CPU サブシステム	スタティック ルート	CPU_INT レジスタ	RTC から CPU への固定割り込みルート
DMA トリガ イベント 0	パブリッシャ	AES	DMA	DMA ルート	DMA_TRIG 0 レジスタ	DMA トリガ 0：エンジンへのデータ入力
DMA トリガ イベント 1	パブリッシャ	AES	DMA	DMA ルート	DMA_TRIG 1 レジスタ	DMA トリガ 1：エンジンからのデータ出力

通常、CPU 割り込みイベントは AES 処理の完了を CPU に通知するために使用し、DMA トリガは DMA および AES アクセラレータと組み合わせて、ブロック暗号モード (ECB、CBC、OFB、CFB、GCM/GMAC、CCM/CMAC) を実装するために使用します。

13.2.5.1 CPU 割り込みイベント パブリッシャ (CPU_EVENT)

AESADV モジュールは、CPU 割り込みイベントのソースとして設定できる四つの割り込みソースを備えています。AES からの CPU 割り込みイベントを表 13-3 に示します。

表 13-3. AES CPU 割り込みイベント条件 (CPU_EVENT)

インデックス (IIDX)	名称	説明
0	NO_INTR	割り込み保留なし。
1	OUTPUTRDY	これは、エンジンに読み出し可能な出力があることを示します。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 にセットされている場合)、これは使用しないでください

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 13-3. AES CPU 割り込みイベント条件 (CPU_EVENT) (続き)

インデックス (IIDX)	名称	説明
2	INPUTRDY	これは、エンジンが新しい入力を取ることができることを示しています。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 にセットされている場合)、これは使用しないでください
3	SAVEDCNTXTRDY	このビットは、CPU が取得可能な AES 認証 TAG および / または IV ブロックがあることを示します。このビットは、save_context ビットが 1b にセットされている場合にのみアサートされます。このビットは「context_ready」ビットと相互排他的です。
4	CNTXTRDY	このビットは、コンテキスト データ レジスタを上書きでき、CPU が新しいコンテキストを書き込めることを示します。

CPU 割り込みイベントの構成は、イベント管理レジスタで管理されます。CPU 割り込み用にこれらのレジスタを設定する方法については、*Using Event Registers* を参照してください。

13.2.5.2 DMA トリガ イベント パブリッシャ (DMA_TRIG_DATAIN)

AESADV モジュールには、DMA トリガ 0 をソースするように構成できるトリガ ソースがあります。表 13-4 に、AES からの DMA0 トリガ イベントを示します。AES のブロック暗号処理で DMA0 チャネルが必要な場合は、DMA_TRIG_DATAIN の IMASK レジスタで DMA0 トリガのマスクを解除し、AES 処理をサポートするために必要な設定を DMA に行います。

表 13-4. AES DMA トリガ 0 イベント条件 (DMA_TRIG_DATAIN)

インデックス (IIDX)	名称	説明
0	NO_INTR	保留中の DMA Trig0 イベントはありません
1	TRIG0	データ入力用の DMA トリガ

DMA トリガ 0 イベントの設定は、DMA_TRIG_DATAIN イベント管理レジスタで管理します。DMA トリガのイベント レジスタを構成する方法の詳細については、*Using Event Registers* を参照してください。

13.2.5.3 DMA トリガ イベント パブリッシャ (DMA_TRIG_DATAOUT)

AES モジュールには、DMA トリガ 1 をソースするように構成できるトリガ ソースがあります。表 13-5 に、AES からの DMA1 トリガ イベントを示します。AES のブロック暗号処理で DMA1 チャネルが必要な場合は、DMA_TRIG_DATAOUT の IMASK レジスタで DMA1 トリガのマスクを解除し、AES 処理をサポートするために必要な設定を DMA に行います。

表 13-5. AES DMA トリガ 1 イベント条件 (DMA_TRIG_DATAOUT)

インデックス (IIDX)	名称	説明
0	NO_INTR	保留中の DMA Trig1 イベントはありません
1	TRIG1	データ出力用の DMA トリガ

DMA トリガ 1 イベントの設定は、DMA_TRIG_DATAOUT イベント管理レジスタで管理します。DMA トリガのイベント レジスタを構成する方法の詳細については、*Using Event Registers* を参照してください。

Copyright © 2026 Texas Instruments Incorporated

13.3 AESADV レジスタ

表 13-6 に、AESADV レジスタのメモリマップト レジスタを示します。表 13-6 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 13-6. AESADV レジスタ

オフセット	略称	レジスタ名	グループ	セクション
480h	CPU_CONNECT_0	CPU 接続		表示
800h	PWREN	パワー イネーブル		表示
804h	RSTCTL	リセット制御		表示
814h	STAT	ステータス レジスタ		表示
1018h	PDBGCTL	ペリフェラル デバッグ制御		表示
1020h	IIDX	割り込みインデックス レジスタ		表示
1028h	IMASK	割り込みマスク		表示
1030h	RIS	未加工割り込みステータス		表示
1038h	MIS	マスクされた割り込みステータス		表示
1040h	ISET	割り込み設定		表示
1048h	ICLR	割り込みクリア		表示
1050h	IIDX	割り込みインデックス レジスタ	DMA_TRIG_DATAIN	表示
1058h	IMASK	割り込みマスク	DMA_TRIG_DATAIN	表示
1060h	RIS	未加工割り込みステータス	DMA_TRIG_DATAIN	表示
1068h	MIS	マスクされた割り込みステータス	DMA_TRIG_DATAIN	表示
1070h	ISET	割り込み設定	DMA_TRIG_DATAIN	表示
1078h	ICLR	割り込みクリア	DMA_TRIG_DATAIN	表示
1080h	IIDX	割り込みインデックス レジスタ	DMA_TRIG_DATAOUT	表示
1088h	IMASK	割り込みマスク	DMA_TRIG_DATAOUT	表示
1090h	RIS	未加工割り込みステータス	DMA_TRIG_DATAOUT	表示
1098h	MIS	マスクされた割り込みステータス	DMA_TRIG_DATAOUT	表示
10A0h	ISET	割り込み設定	DMA_TRIG_DATAOUT	表示
10A8h	ICLR	割り込みクリア	DMA_TRIG_DATAOUT	表示
10E0h	EVT_MODE	イベント モード		表示
1100h	GCMCCM_TAG0	CBC-MAC 第 3 鍵 (LSW) /GCM および CCM 中間タグ (LSW)		表示
1104h	GCMCCM_TAG1	CBC-MAC 第 3 鍵 /GCM および CCM 中間タグ		表示
1108h	GCMCCM_TAG2	CBC-MAC 第 3 鍵 /GCM および CCM 中間タグ		表示
110Ch	GCMCCM_TAG3	CBC-MAC 第 3 鍵 (MSW) /GCM および CCM 中間タグ (MSW)		表示

Copyright © 2026 Texas Instruments Incorporated

表 13-6. AESADV レジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
1110h	GHASH_H0	CCM と CBC-MAC 第 2 鍵 (LSW) /GCM ハッシュ鍵入力 (LSW)		表示
1114h	GHASH_H1	CCM と CBC-MAC 第 2 鍵 /GCM ハッシュ鍵入力		表示
1118h	GHASH_H2	CCM と CBC-MAC 第 2 鍵 /GCM ハッシュ鍵入力		表示
111Ch	GHASH_H3	CCM と CBC-MAC 第 2 鍵 (MSW) /GCM ハッシュ鍵入力 (MSW)		表示
1120h	KEY0	KEY (LSW)		表示
1124h	KEY1	KEY		表示
1128h	KEY2	KEY		表示
112Ch	KEY3	KEY		表示
1130h	KEY4	KEY		表示
1134h	KEY5	KEY		表示
1138h	KEY6	KEY		表示
113Ch	KEY7	KEY (MSW)		表示
1140h	IV0	IV (LSW)		表示
1144h	IV1	IV		表示
1148h	IV2	IV		表示
114Ch	IV3	IV		表示
1150h	CTRL	入出力バッファ制御とモード選択		表示
1154h	C_LENGTH_0	暗号化データ長 (LSW)		表示
1158h	C_LENGTH_1	暗号化データ長 (MSW)		表示
115Ch	AAD_LENGTH	AAD データ長		表示
1160h	DATA0	データ入力 (LSW) / データ出力 (LSW)		表示
1164h	DATA1	データ入力 / データ出力		表示
1168h	DATA2	データ入力 / データ出力		表示
116Ch	DATA3	データ入力 (LSW) / データ出力 (MSW)		表示
1170h	TAG0	ハッシュ結果 (LSW)		表示
1174h	TAG1	ハッシュ結果		表示
1178h	TAG2	ハッシュ結果		表示
117Ch	TAG3	ハッシュ結果 (MSW)		表示
1180h	ステータス	ステータス		表示
1184h	DATA_IN	エイリアス レジスタのデータ		表示
1188h	DATA_OUT	データ出力エイリアス レジスタ		表示
11D0h	FORCE_IN_AV	入力データのデータ制御レジスタ		表示
11D4h	CCM_ALN_WRD	AES-CCM AAD アライメント データ ワード		表示
11D8h	BLK_CNT0	内部ブロック カウンタ (LSW)		表示
11DCh	BLK_CNT1	内部ブロック カウンタ (MSW)		表示
11F4h	DMA_HS	DMA ハンドシェイクの制御レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 13-7 に、このセクションでアクセス タイプに使用しているコードを示します。

Copyright © 2026 Texas Instruments Incorporated

表 13-7. AESADV のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

13.3.1 CPU_CONNECT_0 (オフセット = 480h) [リセット = 00000000h]

図 13-11 に、CPU_CONNECT_0 を示し、表 13-8 に、その説明を示します。

概略表に戻ります。

ペリフェラル パブリッシャ ポートをアプリケーション プロセッサに直接接続します

図 13-11. CPU_CONNECT_0

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						CPUSS0_CONN	予約済み
R-0h						R/W-0h	R-0h

表 13-8. CPU_CONNECT_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	CPUSS0_CONN	R/W	0h	CPUSS0 接続ビット。 0h = CPU は接続されていない。 1h = CPU は接続されている。
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

13.3.2 PWREN (オフセット = 800h) [リセット = 00000000h]

図 13-12 に、PWREN を示し、表 13-9 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 13-12. PWREN

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R-0h							R/WK-0h

表 13-9. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブルにする 1h = 電源をイネーブルにする

Copyright © 2026 Texas Instruments Incorporated

13.3.3 RSTCTL (オフセット = 804h) [リセット = 00000000h]

図 13-13 に、RSTCTL を示し、表 13-10 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 13-13. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
R-0h						WK-0h	WK-0h

表 13-10. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	R	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

13.3.4 STAT (オフセット = 814h) [リセット = 00000000h]

図 13-14 に、STAT を示し、表 13-11 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 13-14. STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 13-11. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってこのビットがクリアされてから、ペリフェラルがリセットされたかどうかを示します。 0h = このビットが RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h= 前回ビットがクリアされてから、ペリフェラルがリセットされた
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

13.3.5 PDBGCTL (オフセット = 1018h) [リセット = 00000000h]

図 13-15 に、PDBGCTL を示し、表 13-12 に、その説明を示します。

概略表に戻ります。

コアが停止しても AES を停止できません。AES を停止するには、DMA を停止します。
これは、AES の停止機能と同じ結果になります。AES が次の DMA トリガを送信したときに、DMA が停止していると、AES は自動的に停止します。

図 13-15. PDBGCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							FREE
R-0h							R-0h

表 13-12. PDBGCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	FREE	R	0h	フリーラン制御 1h = ペリフェラルは、コア停止状態の入力を無視

Copyright © 2026 Texas Instruments Incorporated

13.3.6 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 13-16 に、IIDX を示し、表 13-13 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 13-16. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 13-13. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 保留中の割り込みなし 1h = コアに読み出し可能な出力がある。DMA ハンドシェイクが使用されている場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 2h = エンジンが新しい入力を取得可能。DMA ハンドシェイクが使用されている場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 3h = CPU が AES 認証タグまたは IV ブロック (あるいはその両方) を取得可能。このビットは、save_context ビットが '1b' の場合にのみアサートされます。このビットは 'context_ready' ビットと相互排他です。 4h = コンテキスト データ レジスタが上書き可能、CPU が次のコンテキストを書き込み可能。

Copyright © 2026 Texas Instruments Incorporated

13.3.7 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 13-17 に、IMASK を示し、表 13-14 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、RAW 割り込みも IIDX および MIS で示されます。

図 13-17. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				CNTXTRDY	SAVEDCNTXTRDY	INPUTRDY	OUTPUTRDY
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 13-14. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	CNTXTRDY	R/W	0h	このビットは、コンテキスト データ レジスタが上書き可能であり、CPU が新しいコンテキストを書き込み可能であることを示します。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	SAVEDCNTXTRDY	R/W	0h	このビットは、CPU が AES 認証 TAG または IV ブロック (あるいはその両方) を取得可能であることを示します。このビットは、save_context ビットが '1b' の場合にのみアサートされます。このビットは 'context_ready' ビットと相互排他です。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	INPUTRDY	R/W	0h	これは、エンジンが新しい入力を取得可能であることを示します。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	OUTPUTRDY	R/W	0h	これは、コアに読み出し可能な出力があることを示しています。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

13.3.8 RIS (オフセット = 1030h) [リセット = 00000000h]

図 13-18 に、RIS を示し、表 13-15 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 13-18. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				CNTXTRDY	SAVEDCNTXTRDY	INPUTRDY	OUTPUTRDY
R-0h				R-0h	R-0h	R-0h	R-0h

表 13-15. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	CNTXTRDY	R	0h	このビットは、コンテキスト データ レジスタが上書き可能であり、CPU が新しいコンテキストを書き込み可能であることを示します。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	SAVEDCNTXTRDY	R	0h	このビットは、CPU が AES 認証 TAG または IV ブロック (あるいはその両方) を取得可能であることを示します。このビットは、save_context ビットが ‘1b’ の場合にのみアサートされます。このビットは 'context_ready' ビットと相互排他です。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	INPUTRDY	R	0h	これは、エンジンが新しい入力を取得可能であることを示します。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	OUTPUTRDY	R	0h	これは、コアに読み出し可能な出力があることを示しています。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 0h = 割り込みは発生していない 1h =割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

13.3.9 MIS (オフセット = 1038h) [リセット = 00000000h]

図 13-19 に、MIS を示し、表 13-16 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 13-19. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				CNTXTRDY	SAVEDCNTXTRDY	INPUTRDY	OUTPUTRDY
R-0h				R-0h	R-0h	R-0h	R-0h

表 13-16. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	CNTXTRDY	R	0h	このビットは、コンテキスト データ レジスタが上書き可能であり、CPU が新しいコンテキストを書き込み可能であることを示します。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	SAVEDCNTXTRDY	R	0h	このビットは、CPU が AES 認証 TAG または IV ブロック (あるいはその両方) を取得可能であることを示します。このビットは、save_context ビットが '1b' の場合にのみアサートされます。このビットは 'context_ready' ビットと相互排他です。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	INPUTRDY	R	0h	これは、エンジンが新しい入力を取得可能であることを示します。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	OUTPUTRDY	R	0h	これは、コアに読み出し可能な出力があることを示しています。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 0h = 割り込みは発生していない 1h =割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

13.3.10 ISET (オフセット = 1040h) [リセット = 00000000h]

図 13-20 に、ISET を示し、表 13-17 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 13-20. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				CNTXTRDY	SAVEDCNTXTRDY	INPUTRDY	OUTPUTRDY
R-0h				W-0h	W-0h	W-0h	W-0h

表 13-17. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	CNTXTRDY	W	0h	このビットは、コンテキスト データ レジスタが上書き可能であり、CPU が新しいコンテキストを書き込み可能であることを示します。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	SAVEDCNTXTRDY	W	0h	このビットは、CPU が AES 認証 TAG または IV ブロック (あるいはその両方) を取得可能であることを示します。このビットは、save_context ビットが ‘1b’ の場合にのみアサートされます。このビットは 'context_ready' ビットと相互排他です。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	INPUTRDY	W	0h	これは、エンジンが新しい入力を取得可能であることを示します。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	OUTPUTRDY	W	0h	これは、コアに読み出し可能な出力があることを示しています。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は、使用できません。 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット

Copyright © 2026 Texas Instruments Incorporated

13.3.11 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 13-21 に、ICLR を示し、表 13-18 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 13-21. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				CNTXTRDY	SAVEDCNTXTRDY	INPUTRDY	OUTPUTRDY
R-0h				W-0h	W-0h	W-0h	W-0h

表 13-18. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	CNTXTRDY	W	0h	このビットは、コンテキスト データ レジスタが上書き可能であり、CPU が新しいコンテキストを書き込み可能であることを示します。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	SAVEDCNTXTRDY	W	0h	このビットは、CPU が AES 認証 TAG または IV ブロック (あるいはその両方) を取得可能であることを示します。このビットは、save_context ビットが '1b' の場合にのみアサートされます。このビットは 'context_ready' ビットと相互排他です。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	INPUTRDY	W	0h	これは、エンジンが新しい入力を取得可能であることを示します。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は使用できません。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	OUTPUTRDY	W	0h	これは、コアに読み出し可能な出力があることを示しています。DMA ハンドシェイクを使用する場合 (AES_DMA_HS.DMA_DATA_ACK が 1 の場合) は、使用できません。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

13.3.12 IIDX (オフセット = 1050h) [リセット = 00000000h]

図 13-22 に、IIDX を示し、表 13-19 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 13-22. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 13-19. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 保留中の割り込みなし 1h = AES トリガ 0 DMA (データ入力トリガ)

Copyright © 2026 Texas Instruments Incorporated

13.3.13 IMASK (オフセット = 1058h) [リセット = 00000000h]

図 13-23 に、IMASK を示し、表 13-20 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、RAW 割り込みも IIDX および MIS で示されます。

図 13-23. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG0
R-0h							R/W-0h

表 13-20. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG0	R/W	0h	TRIG0 イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

13.3.14 RIS (オフセット = 1060h) [リセット = 00000000h]

図 13-24 に、RIS を示し、表 13-21 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 13-24. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG0
R-0h							R-0h

表 13-21. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG0	R	0h	TRIG0 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

13.3.15 MIS (オフセット = 1068h) [リセット = 00000000h]

図 13-25 に、MIS を示し、表 13-22 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 13-25. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG0
R-0h							R-0h

表 13-22. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG0	R	0h	TRIG0 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

13.3.16 ISET (オフセット = 1070h) [リセット = 00000000h]

図 13-26 に、ISET を示し、表 13-23 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 13-26. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG0
R-0h							W-0h

表 13-23. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG0	W	0h	TRIG0 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット

Copyright © 2026 Texas Instruments Incorporated

13.3.17 ICLR (オフセット = 1078h) [リセット = 00000000h]

図 13-27 に、ICLR を示し、表 13-24 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 13-27. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG0
R-0h							W-0h

表 13-24. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG0	W	0h	TRIG0 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

13.3.18 IIDX (オフセット = 1080h) [リセット = 00000000h]

図 13-28 に、IIDX を示し、表 13-25 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 13-28. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 13-25. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 保留中の割り込みなし 1h = AES DMA トリガ 1 (データ出力トリガ)

Copyright © 2026 Texas Instruments Incorporated

13.3.19 IMASK (オフセット = 1088h) [リセット = 00000000h]

図 13-29 に、IMASK を示し、表 13-26 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、RAW 割り込みも IIDX および MIS で示されます。

図 13-29. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG1
R-0h							R/W-0h

表 13-26. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG1	R/W	0h	TRIG1 イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

13.3.20 RIS (オフセット = 1090h) [リセット = 00000000h]

図 13-30 に、RIS を示し、表 13-27 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 13-30. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG1
R-0h							R-0h

表 13-27. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG1	R	0h	TRIG1 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

13.3.21 MIS (オフセット = 1098h) [リセット = 00000000h]

図 13-31 に、MIS を示し、表 13-28 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 13-31. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG1
R-0h							R-0h

表 13-28. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG1	R	0h	TRIG1 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

13.3.22 ISET (オフセット = 10A0h) [リセット = 00000000h]

図 13-32 に、ISET を示し、表 13-29 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 13-32. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG1
R-0h							W-0h

表 13-29. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG1	W	0h	TRIG1 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット

Copyright © 2026 Texas Instruments Incorporated

13.3.23 ICLR (オフセット = 10A8h) [リセット = 00000000h]

図 13-33 に、ICLR を示し、表 13-30 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 13-33. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG1
R-0h							W-0h

表 13-30. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG1	W	0h	TRIG1 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

13.3.24 EVT_MODE (オフセット = 10E0h) [リセット = 00000000h]

図 13-34 に、EVT_MODE を示し、表 13-31 に、その説明を示します。

概略表に戻ります。

イベント モード レジスタ。各ラインを無効にするか、ソフトウェア モードにするか (ソフトウェアが RIS をクリア)、またはハードウェア モードにするか (ハードウェアが RIS をクリア) を選択するために使用されます。

図 13-34. EVT_MODE

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				EVT2_CFG		EVT1_CFG	INT0_CFG
R-0h				R-0h		R-0h	R-0h

表 13-31. EVT_MODE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5-4	EVT2_CFG	R	0h	INT_EVENT2 に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインは無効。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。
3-2	EVT1_CFG	R	0h	INT_EVENT1 に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインは無効。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。
1-0	INT0_CFG	R	0h	INT_EVENT0 に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインは無効。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

13.3.25 GCMCCM_TAG0 (オフセット = 1100h) [リセット = 00000000h]

図 13-35 に、GCMCCM_TAG0 を示し、表 13-32 に、その説明を示します。

概略表に戻ります。

CBC-MAC 第 3 鍵 (LSW) /GCM および CCM 中間タグ (LSW)
CBC-MAC の場合:最後の入力データ ブロックで最終的な XOR 演算に使用される、事前に計算された CBC-MAC 第 3 鍵。
CCM の場合:このレジスタは、内部的に中間値の格納に使用されます。新しい CCM コンテキストを書き込むときは、このレジスタを 0 で初期化する必要があります。中断された CCM 動作を復元するには、このレジスタに中間タグをロードする必要があります。
GCM の場合:このレジスタは、内部的に中間値の格納に使用されます。新しい GCM コンテキストを書き込むときは、このレジスタを 0 で初期化する必要があります。中断された GCM 動作を復元するには、このレジスタに中間タグをロードする必要があります。

図 13-35. GCMCCM_TAG0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-32. GCMCCM_TAG0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.26 GCMCCM_TAG1 (オフセット = 1104h) [リセット = 00000000h]

図 13-36 に、GCMCCM_TAG1 を示し、表 13-33 に、その説明を示します。

概略表に戻ります。

CBC-MAC 第 3 鍵 /GCM および CCM 中間タグ
CBC-MAC の場合:最後の入力データ ブロックで最終的な XOR 演算に使用される、事前に計算された CBC-MAC 第 3 鍵。
CCM の場合:このレジスタは、内部的に中間値の格納に使用されます。新しい CCM コンテキストを書き込むときは、このレジスタを 0 で初期化する必要があります。中断された CCM 動作を復元するには、このレジスタに中間タグをロードする必要があります。
GCM の場合:このレジスタは、内部的に中間値の格納に使用されます。新しい GCM コンテキストを書き込むときは、このレジスタを 0 で初期化する必要があります。中断された GCM 動作を復元するには、このレジスタに中間タグをロードする必要があります。

図 13-36. GCMCCM_TAG1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-33. GCMCCM_TAG1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.27 GCMCCM_TAG2 (オフセット = 1108h) [リセット = 00000000h]

図 13-37 に、GCMCCM_TAG2 を示し、表 13-34 に、その説明を示します。

概略表に戻ります。

CBC-MAC 第 3 鍵 /GCM および CCM 中間タグ
CBC-MAC の場合:最後の入力データ ブロックで最終的な XOR 演算に使用される、事前に計算された CBC-MAC 第 3 鍵。
CCM の場合:このレジスタは、内部的に中間値の格納に使用されます。新しい CCM コンテキストを書き込むときは、このレジスタを 0 で初期化する必要があります。中断された CCM 動作を復元するには、このレジスタに中間タグをロードする必要があります。
GCM の場合:このレジスタは、内部的に中間値の格納に使用されます。新しい GCM コンテキストを書き込むときは、このレジスタを 0 で初期化する必要があります。中断された GCM 動作を復元するには、このレジスタに中間タグをロードする必要があります。

図 13-37. GCMCCM_TAG2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-34. GCMCCM_TAG2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.28 GCMCCM_TAG3 (オフセット = 110Ch) [リセット = 00000000h]

図 13-38 に、GCMCCM_TAG3 を示し、表 13-35 に、その説明を示します。

概略表に戻ります。

CBC-MAC 第 3 鍵 (MSW) /GCM および CCM 中間タグ (MSW)
CBC-MAC の場合:最後の入力データ ブロックで最終的な XOR 演算に使用される、事前に計算された CBC-MAC 第 3 鍵。
CCM の場合:このレジスタは、内部的に中間値の格納に使用されます。新しい CCM コンテキストを書き込むときは、このレジスタを 0 で初期化する必要があります。中断された CCM 動作を復元するには、このレジスタに中間タグをロードする必要があります。
GCM の場合:このレジスタは、内部的に中間値の格納に使用されます。新しい GCM コンテキストを書き込むときは、このレジスタを 0 で初期化する必要があります。中断された GCM 動作を復元するには、このレジスタに中間タグをロードする必要があります。

図 13-38. GCMCCM_TAG3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-35. GCMCCM_TAG3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.29 GHASH_H0 (オフセット = 1110h) [リセット = 00000000h]

図 13-39 に、GHASH_H0 を示し、表 13-36 に、その説明を示します。

概略表に戻ります。

CCM と CBC-MAC 第 2 鍵 (LSW) /GCM ハッシュ鍵入力 (LSW)
CBC-MAC の場合:最後の入力データ ブロックで最終的な XOR 演算に使用される、事前に計算された CBC-MAC 第 2 鍵。
GCM の場合:ハッシュ鍵:内部で計算することも、これらのレジスタを介して書き込むこともできます。GHASH (GCM) モードでのみ使用されます。
CPU による書き込みの場合、これらのレジスタに新しい値を書き込む必要があります。その後、この値はエンジンに転送されます。

図 13-39. GHASH_H0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-36. GHASH_H0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.30 GHASH_H1 (オフセット = 1114h) [リセット = 00000000h]

図 13-40 に、GHASH_H1 を示し、表 13-37 に、その説明を示します。

概略表に戻ります。

CCM と CBC-MAC 第 2 鍵 /GCM ハッシュ鍵入力
CBC-MAC の場合：最後の入力データ ブロックで最終的な XOR 演算に使用される、事前に計算された CBC-MAC 第 2 鍵。
GCM の場合：ハッシュ鍵：内部で計算することも、これらのレジスタを介して書き込むこともできます。GHASH (GCM) モードでのみ使用されます。
CPU による書き込みの場合、これらのレジスタに新しい値を書き込む必要があります。その後、この値はエンジンに転送されます。

図 13-40. GHASH_H1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-37. GHASH_H1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.31 GHASH_H2 (オフセット = 1118h) [リセット = 00000000h]

図 13-41 に、GHASH_H2 を示し、表 13-38 に、その説明を示します。

概略表に戻ります。

CCM と CBC-MAC 第 2 鍵 /GCM ハッシュ鍵入力
CBC-MAC の場合：最後の入力データ ブロックで最終的な XOR 演算に使用される、事前に計算された CBC-MAC 第 2 鍵。
GCM の場合：ハッシュ鍵：内部で計算することも、これらのレジスタを介して書き込むこともできます。GHASH (GCM) モードでのみ使用されます。
CPU による書き込みの場合、これらのレジスタに新しい値を書き込む必要があります。その後、この値はエンジンに転送されます。

図 13-41. GHASH_H2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-38. GHASH_H2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.32 GHASH_H3 (オフセット = 111Ch) [リセット = 00000000h]

図 13-42 に、GHASH_H3 を示し、表 13-39 に、その説明を示します。

概略表に戻ります。

CCM と CBC-MAC 第 2 鍵 (MSW) /GCM ハッシュ鍵入力 (MSW)
CBC-MAC の場合:最後の入力データ ブロックで最終的な XOR 演算に使用される、事前に計算された CBC-MAC 第 2 鍵。
GCM の場合:ハッシュ鍵:内部で計算することも、これらのレジスタを介して書き込むこともできます。GHASH (GCM) モードでのみ使用されます。
CPU による書き込みの場合、これらのレジスタに新しい値を書き込む必要があります。その後、この値はエンジンに転送されます。

図 13-42. GHASH_H3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-39. GHASH_H3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.33 KEY0 (オフセット = 1120h) [リセット = 00000000h]

図 13-43 に、KEY0 を示し、表 13-40 に、その説明を示します。

概略表に戻ります。

KEY (LSW)

図 13-43. KEY0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-40. KEY0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.34 KEY1 (オフセット = 1124h) [リセット = 00000000h]

図 13-44 に、KEY1 を示し、表 13-41 に、その説明を示します。

概略表に戻ります。

KEY

図 13-44. KEY1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-41. KEY1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.35 KEY2 (オフセット = 1128h) [リセット = 00000000h]

図 13-45 に、KEY2 を示し、表 13-42 に、その説明を示します。

概略表に戻ります。

KEY

図 13-45. KEY2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-42. KEY2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.36 KEY3 (オフセット = 112Ch) [リセット = 00000000h]

図 13-46 に、KEY3 を示し、表 13-43 に、その説明を示します。

概略表に戻ります。

KEY

図 13-46. KEY3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-43. KEY3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.37 KEY4 (オフセット = 1130h) [リセット = 00000000h]

図 13-47 に、KEY4 を示し、表 13-44 に、その説明を示します。

概略表に戻ります。

KEY

図 13-47. KEY4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-44. KEY4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.38 KEY5 (オフセット = 1134h) [リセット = 00000000h]

図 13-48 に、KEY5 を示し、表 13-45 に、その説明を示します。

概略表に戻ります。

KEY

図 13-48. KEY5

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-45. KEY5 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.39 KEY6 (オフセット = 1138h) [リセット = 00000000h]

図 13-49 に、KEY6 を示し、表 13-46 に、その説明を示します。

概略表に戻ります。

KEY

図 13-49. KEY6

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-46. KEY6 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.40 KEY7 (オフセット = 113Ch) [リセット = 00000000h]

図 13-50 に、KEY7 を示し、表 13-47 に、その説明を示します。

概略表に戻ります。

KEY (MSW)

図 13-50. KEY7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-47. KEY7 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.41 IV0 (オフセット = 1140h) [リセット = 00000000h]

図 13-51 に、IV0 を示し、表 13-48 に、その説明を示します。

概略表に戻ります。

IV (LSW)

図 13-51. IV0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-48. IV0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.42 IV1 (オフセット = 1144h) [リセット = 00000000h]

図 13-52 に、IV1 を示し、表 13-49 に、その説明を示します。

概略表に戻ります。

IV

図 13-52. IV1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-49. IV1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.43 IV2 (オフセット = 1148h) [リセット = 00000000h]

図 13-53 に、IV2 を示し、表 13-50 に、その説明を示します。

概略表に戻ります。

IV

図 13-53. IV2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-50. IV2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.44 IV3 (オフセット = 114Ch) [リセット = 00000000h]

図 13-54 に、IV3 を示し、表 13-51 に、その説明を示します。

概略表に戻ります。

IV

図 13-54. IV3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-51. IV3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	鍵データ

Copyright © 2026 Texas Instruments Incorporated

13.3.45 CTRL (オフセット = 1150h) [リセット = 80000000h]

図 13-55 に、CTRL を示し、表 13-52 に、その説明を示します。

概略表に戻ります。

入出力バッファ制御とモード選択。このレジスタの内容によって、エンジンの動作モードが決まります。

図 13-55. CTRL

31	30	29	28	27	26	25	24
CNTXT_RDY	SAVED_CNTXT_RDY	SAVE_CNTXT	GCM_CONT	GET_DIGEST	OFB_GCM_CCM_CONT	予約済み	CCMM
R-1h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h	R/W-0h
23	22	21	20	19	18	17	16
CCMM		CCML			CCM	GCM	
R/W-0h		R/W-0h			R/W-0h	R/W-0h	
15	14	13	12	11	10	9	8
CBCMAC	予約済み				CFB	ICM	CTR_WIDTH
R/W-0h	R-0h				R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
CTR_WIDTH	CTR	CBC	KEYSIZE		DIR	INPUT_RDY	OUTPUT_RDY
R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h	R-0h	R-0h

表 13-52. CTRL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	CNTXT_RDY	R	1h	'1b' の場合、この読み取り専用ステータス ビットは、コンテキスト データ レジスタを上書き可能であり、CPU が次のコンテキストを書き込めることを示します。 0h= 準備ができていない 1h= 準備ができている
30	SAVED_CNTXT_RDY	R	0h	'1b' の場合、この読み取り専用ステータス ビットは、ホストが取得可能な AES 認証 TAG または IV ブロック (あるいはその両方) があることを示します。このビットは、save_context ビットが '1b' の場合にのみアサートされます。このビットは 'context_ready' ビットと相互排他です。 0h= 準備ができていない 1h= 準備ができている
29	SAVE_CNTXT	R/W	0h	このビットは、認証タグまたは結果 IV を結果コンテキストとして格納する必要があることを示すために使用されます。このビットがセットされている場合は、動作が完了し、関連する信号が有効であれば、コンテキスト出力 DMA または割り込み (あるいはその両方) がアサートされます。 通常、この値は、タグを返す認証モード (CBC-MAC、GCM、CCM) または現在の結果 IV で以降の処理を継続する基本暗号化モードで設定する必要があります。 このビットがセットされている場合、タグ レジスタまたは IV レジスタ (あるいはその両方) が読み取られるまで、エンジンはコンテキスト全体を保持します。タグまたは IV を読み取った後にのみ、新しい (入力) コンテキストに対して新しい DMA 要求がアサートされます。 このビットがセットされていない場合、エンジンは、現在のコンテキストで最後のブロックの処理を開始した直後に、コンテキスト入力 DMA 要求信号をアサートします。 0h = 影響なし 1h = 有効化

Copyright © 2026 Texas Instruments Incorporated

表 13-52. CTRL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
28	GCM_CONT	R/W	0h	暗号化 / ペイロード フェーズで中断された AES-GCM または AES-CCM の処理を続行します。 次のフル ブロック (128 ビット) 境界から処理を続行するには、GCM または CCM 動作の通常のモード ビット設定時に、この書き込み専用信号を '1b' に設定します。 このビットをセットする前に、処理の再開に必要なコンテキストがすべてエンジンにロードされている必要があります。これには、鍵、IV、中間ダイジェスト / タグ、およびブロック カウンタが含まれます。このモードは、同じレジスタの一部であるため、このビットと同時に書き込むことができます。 0h = 影響なし 1h = 有効化
27	GET_DIGEST	R/W	0h	AES-GCM または AES-CCM の動作中に処理を中断し、中間ダイジェストを生成します。 この書き込み専用信号を '1b' に設定すると、次のフル ブロック (128 ビット) 境界で GCM または CCM 処理が中断されます。中間ダイジェストは、暗号化 / 復号化データフェーズ中または AAD フェーズ中に要求される場合があります。 注:割り込みは、フル ブロック (128 ビット) 境界でのみ実行されます。処理を再開して完了するには、残りのバイト数が 1 以上である必要があります。 0h = 影響なし 1h = 有効化
26	OFB_GCM_CCM_CONT	R/W	0h	このビットは、CCM/GCM の選択に応じて用途が異なります。ビット [18:16] を参照してください。 CCM/GCM が選択されていない場合: このビットが '1b' に設定されている場合、フル ブロックの AES 出力フィードバック モード (OFB-128) が選択されます。 CCM/GCM が選択されている場合: AAD フェーズで中断された AES-GCM または AES-CCM の処理を続行します。 次のフル AAD ブロック (128 ビット) 境界から処理を続行するには、GCM または CCM 動作の通常のモード ビット設定時に、この書き込み専用信号を '1b' に設定します。 このビットをセットする前に、処理の再開に必要なコンテキストがすべてエンジンにロードされている必要があります。これには、鍵、IV、中間ダイジェスト / タグ、ブロック カウンタ、CCM アライン データ ワード (これは CCM モード専用) が含まれます。このモードは、同じレジスタの一部であるため、このビットと同時に書き込むことができます。 1h = AAD フェーズで GCM/CCM 処理を続行
25	予約済み	R	0h	
24-22	CCMM	R/W	0h	CCM 処理の認証フィールドの長さを示す M を定義します。認証フィールドの長さは、(CCM-M の値に 1 を加えた値) の 2 倍になります。注:エンジンは常に 128 ビットの認証フィールドを返しますが、有効なのは下位 M バイトのみです。すべての値がサポートされています。 0h = 長さは 1 7h = 長さは 8
21-19	CCML	R/W	0h	CCM 動作における長さフィールドのビット幅を示す L を定義します。長さフィールドのバイト数は、CMM-L の値に 1 を加えた値に等しくなります。すべての値がサポートされています。 0h = 長さは 1 7h = 長さは 8
18	CCM	R/W	0h	'1b' に設定すると、AES-CCM が選択されます。これは、認証と暗号化の両方に AES を使用する複合モードです。CCM ビットに加えて、AES-CTR を有効にするために、CTR モード ビットをセットする必要があります。CCM とのその他の組み合わせは無効です。 0h = CBC モードを無効化 1h = CBC モードを選択

Copyright © 2026 Texas Instruments Incorporated

表 13-52. CTRL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
17-16	GCM	R/W	0h	'00b' に設定されていない場合、AES-GCM モードが選択されます。これは、認証に Galois Field Multiplier GF (2128) を使用し、暗号化に AES-CTR モードを使用する複合モードです。このビットにより、GCM モードが指定されます。01b = GHASH、H はロード済み、Y0-encrypted は強制的に 0 に設定 10b = GHASH、H はロード済み、Y0-encrypted は内部的に計算 11b = 自律 GHASH (H と Y0-encrypted の両方を内部で計算) 注: GCM に加えて、AES-CTR で GCM を有効にするには、CTR モード ビットも '1b' に設定する必要があります。CTR ビットがセットされていない場合、GHASH (認証) 処理のみが実行されます。GCM モードが '01b' に設定され、方向ビットが '0b' に設定されている場合にのみ、GHASH のみの処理が許可されます。その他のモードは、GCM と組み合わせて選択できません。次の表 14 は、GCM と CTR モード ビットの有効な組み合わせを示しています。他のすべてのオプションは無効であり、選択できません。 1h = GHASH、H はロード済み、Y0-encrypted は強制的に 0 に設定。 2h = GHASH、H はロード済み、Y0-encrypted は内部的に計算 3h = 自律 GHASH (H と Y0-encrypted の両方を内部で計算)
15	CBCMAC	R/W	0h	'1b' に設定されている場合、AES-CBC MAC が選択されます。このモードでは、方向ビットが '1' に設定されている必要があります。 0h = CBC モードを無効化 1h = CBC モードを選択
14-11	予約済み	R	0h	
10	CFB	R/W	0h	'1b' に設定されている場合、AES 暗号フィードバック CFB が選択されます。フィードバックの幅は、ctr_width フィールドに指定します。 0h = CBC モードを無効化 1h = CBC モードを選択
9	ICM	R/W	0h	CFB ビットがセットされている場合は、CFB モードのフィードバック幅を指定します。 0h = CBC モードを無効化 1h = CBC モードを選択
8-7	CTR_WIDTH	R/W	0h	CTR ビットがセットされている場合は、AES-CTR モードのカウンタ幅を指定します。 CFB ビットがセットされている場合は、CFB モードのフィードバック幅を指定します。 0h = CFB-128 モード 1h = CFB-1 モード 2h = CFB-8 モード 3h = 128 ビット カウンタ
6	CTR	R/W	0h	'1b' に設定されている場合、AES カウンタ モード (CTR) が選択されます。注: 暗号化または復号化が必要な場合は、GCM および CCM でもこのビットを設定する必要があります。 0h = CBC モードを無効化 1h = CBC モードを選択
5	CBC	R/W	0h	'1b' に設定されている場合、暗号ブロックチェーン (CBC) モードが選択されます。 0h = CBC モードを無効化 1h = CBC モードを選択
4-3	KEYSIZE	R/W	0h	暗号強度と鍵の幅を指定します。 1h = 128 ビット鍵 3h = 256 ビット鍵
2	DIR	R/W	0h	方向。'1b' に設定すると、暗号化が実行されます。'0b' に設定すると、復号が実行されます。注: CBC-MAC が選択されている場合、このビットには '1b' を書き込む必要があります。 0h = 復号 1h = 暗号化

Copyright © 2026 Texas Instruments Incorporated

表 13-52. CTRL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	INPUT_RDY	R	0h	入力準備完了。'1b' の場合、この読み取り専用ステータス ビットは、16 バイトの入力バッファが空であり、CPU が次のデータ ブロックに書き込み可能であることを示します。リセット後、このビットは '0'.になります。コンテキストの書き込み後、このビットは '1b' になります。 0h= 準備ができていない 1h= 準備ができている
0	OUTPUT_RDY	R	0h	出力準備完了。'1b' の場合、この読み取り専用ステータス ビットは、CPU が取得できる AES 出力ブロックが利用可能であることを示します。 0h= 準備ができていない 1h= 準備ができている

Copyright © 2026 Texas Instruments Incorporated

13.3.46 C_LENGTH_0 (オフセット = 1154h) [リセット = 00000000h]

図 13-56 に、C_LENGTH_0 を示し、表 13-53 に、その説明を示します。

概略表に戻ります。

暗号化データ長 (LSW)。これらのレジスタは、エンジン用に長さの値を一時的に格納します。処理中、長さの値は 0 になるまで減算されます。両方の長さが 0 の場合、データ ストリームは終了し、新しいコンテキストが要求されます。基本 AES モード (ECB/CBC/CTR/ICM/CFB/OFB) では、コンテキスト DMA が無効の場合、暗号化データ長として '0' を書き込むことができます。長さに 0 を書き込むと、新しいコンテキストが書き込まれるまでデータ要求が継続されます。その他のモード (GCM と CCM) では、長さが 0 まで減算されるか、または 0 に等しい場合、新たなデータ要求は行われません。パケットごとに新しい長さを書き込むことを推奨します。長さレジスタが 0 になるまで減算された場合、新しいコンテキストまたは長さの値が書き込まれるまで、新しいデータは処理されません。
長さレジスタを書き込まずに新しいコンテキストを書き込む場合、前のコンテキストから長さレジスタの値が再利用されます。

図 13-56. C_LENGTH_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-53. C_LENGTH_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	暗号化データ長レジスタ (LSW および MSW) のビット [60:0] には、すべてのモードにおける暗号化データ長 (バイト単位) が格納されます。このコンテキストでの処理が開始されると、この長さは 0 になるまでデクリメントされます。最大 (261-1) バイトのデータ長が使用できます。 GCM では、最大 236-32 バイトまでの任意の値を使用できます。これは、32 ビット カウンタ モードを使用すると、128 ビット ブロックの最大数は 232 - 2 であり、最大バイト数は 236 - 32 となります。 このレジスタへの書き込みにより、エンジンはこのコンテキストを使用した処理を開始します。これは、GCM と CCM を除くすべてのモードで有効です。 組み合わせモードの場合、この長さには認証のみのデータは含まれないことに注意してください。認証データの長さは、以下の AES_AAD_LENGTH レジスタで指定されます。 すべてのモードの長さは 0 より大きい必要があります。組み合わせモードでは、長さの 1 つをゼロにすることができます。 基本暗号化モード (ECB/CBC/CTR/ICM/CFB/OFB) では、長さフィールドに 0 をプログラムできます。この場合、長さは無限であると見なされます。 ストリーム暗号モードでは、すべてのデータがバイト (8 ビット) に整列されている必要があります。ビット整列データ ストリームはサポートされていません。ブロック暗号モードの場合、データ長をブロック暗号サイズの 16 バイトの倍数にプログラムする必要があります。

Copyright © 2026 Texas Instruments Incorporated

13.3.47 C_LENGTH_1 (オフセット = 1158h) [リセット = 00000000h]

図 13-57 に、C_LENGTH_1 を示し、表 13-54 に、その説明を示します。

概略表に戻ります。

暗号化データ長 (MSW)。これらのレジスタは、エンジン用に長さの値を一時的に格納します。処理中、長さの値は 0 になるまで減算されます。両方の長さが 0 の場合、データ ストリームは終了し、新しいコンテキストが要求されます。基本 AES モード (ECB/CBC/CTR/ICM/CFB/OFB) では、コンテキスト DMA が無効の場合、暗号化データ長として '0' を書き込むことができます。長さに 0 を書き込むと、新しいコンテキストが書き込まれるまでデータ要求が継続されます。その他のモード (GCM と CCM) では、長さが 0 まで減算されるか、または 0 に等しい場合、新たなデータ要求は行われません。パケットごとに新しい長さを書き込むことを推奨します。長さレジスタが 0 になるまで減算された場合、新しいコンテキストまたは長さの値が書き込まれるまで、新しいデータは処理されません。
長さレジスタを書き込まずに新しいコンテキストを書き込む場合、前のコンテキストから長さレジスタの値が再利用されます。

図 13-57. C_LENGTH_1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み			データ																												
R-0h			W-0h																												

表 13-54. C_LENGTH_1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28-0	データ	W	0h	暗号化データ長レジスタ (LSW および MSW) のビット [60:0] には、すべてのモードにおける暗号化データ長 (バイト単位) が格納されます。このコンテキストでの処理が開始されると、この長さは 0 になるまでデクリメントされます。最大 (261-1) バイトのデータ長が使用できます。 GCM では、最大 236-32 バイトまでの任意の値を使用できます。これは、32 ビット カウンタ モードを使用すると、128 ビット ブロックの最大数は 232 - 2 であり、最大バイト数は 236 - 32 となります。 このレジスタへの書き込みにより、エンジンはこのコンテキストを使用した処理を開始します。これは、GCM と CCM を除くすべてのモードで有効です。 組み合わせモードの場合、この長さには認証のみのデータは含まれないことに注意してください。認証データの長さは、以下の AES_AAD_LENGTH レジスタで指定されます。 すべてのモードの長さは 0 より大きい必要があります。組み合わせモードでは、長さの 1 つをゼロにすることができます。 基本暗号化モード (ECB/CBC/CTR/ICM/CFB/OFB) では、長さフィールドに 0 をプログラムできます。この場合、長さは無限であると見なされます。 ストリーム暗号モードでは、すべてのデータがバイト (8 ビット) に整列されている必要があります。ビット整列データ ストリームはサポートされていません。ブロック暗号モードの場合、データ長をブロック暗号サイズの 16 バイトの倍数にプログラムする必要があります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

13.3.48 AAD_LENGTH (オフセット = 115Ch) [リセット = 00000000h]

図 13-58 に、AAD_LENGTH を示し、表 13-55 に、その説明を示します。

概略表に戻ります。

AAD データ長

図 13-58. AAD_LENGTH

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-55. AAD_LENGTH フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	認証長レジスタのビット [31:0] には、複合モード (GCM または CCM) における認証データ長 (バイト単位) が格納されます。 CCM でサポートされている AAD の長さは 0 ～ (216-28) バイトです。 GCM では、最大 (232-1) バイトまでの任意の値を使用できます。このコンテキストでの処理が開始されると、この長さは 0 になるまでデクリメントされます。 このレジスタへの書き込みにより、エンジンは GCM および CCM に対してこのコンテキストの使用を開始します。

Copyright © 2026 Texas Instruments Incorporated

13.3.49 DATA0 (オフセット = 1160h) [リセット = 00000000h]

図 13-59 に、DATA0 を示し、表 13-56 に、その説明を示します。

概略表に戻ります。

データ入力 (LSW) / データ出力 (LSW)。データ入出力レジスタは、エンジンとの間の入出力データ ブロックを一時的に格納します。データ入力バッファ (AES_DATA_IN_n) とデータ出力バッファ (AES_DATA_OUT_n) は、同じアドレス位置にマップされていることに注意してください。これらのアドレスに書き込みを行うと、入力バッファがロードされ、読み取りは出力バッファからプルされます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、読み取りアクセスではデータ出力バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。これらのレジスタに対する書き込みと読み出しはすべて、方向ごとに独立して追跡されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できますこれらの転送は、外部インターフェイス上の他の転送と混在させることができます。

図 13-59. DATA0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-0h																															

表 13-56. DATA0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	データ

Copyright © 2026 Texas Instruments Incorporated

13.3.50 DATA1 (オフセット = 1164h) [リセット = 00000000h]

図 13-60 に、DATA1 を示し、表 13-57 に、その説明を示します。

概略表に戻ります。

データ入力 / データ出力。データ入出力レジスタは、エンジンとの間の入出力データ ブロックを一時的に格納します。データ入力バッファ (AES_DATA_IN_n) とデータ出力バッファ (AES_DATA_OUT_n) は、同じアドレス位置にマップされていることに注意してください。これらのアドレスに書き込みを行うと、入力バッファがロードされ、読み取りは出力バッファからプルされます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、読み取りアクセスではデータ出力バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。これらのレジスタに対する書き込みと読み出しはすべて、方向ごとに独立して追跡されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できますこれらの転送は、外部インターフェイス上の他の転送と混在させることができます。

図 13-60. DATA1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-0h																															

表 13-57. DATA1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	データ

Copyright © 2026 Texas Instruments Incorporated

13.3.51 DATA2 (オフセット = 1168h) [リセット = 00000000h]

図 13-61 に、DATA2 を示し、表 13-58 に、その説明を示します。

概略表に戻ります。

データ入力 / データ出力。データ入出力レジスタは、エンジンとの間の入出力データ ブロックを一時的に格納します。データ入力バッファ (AES_DATA_IN_n) とデータ出力バッファ (AES_DATA_OUT_n) は、同じアドレス位置にマップされていることに注意してください。これらのアドレスに書き込みを行うと、入力バッファがロードされ、読み取りは出力バッファからプルされます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、読み取りアクセスではデータ出力バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。これらのレジスタに対する書き込みと読み出しはすべて、方向ごとに独立して追跡されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できますこれらの転送は、外部インターフェイス上の他の転送と混在させることができます。

図 13-61. DATA2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-0h																															

表 13-58. DATA2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	データ

Copyright © 2026 Texas Instruments Incorporated

13.3.52 DATA3 (オフセット = 116Ch) [リセット = 00000000h]

図 13-62 に、DATA3 を示し、表 13-59 に、その説明を示します。

概略表に戻ります。

データ入力 (MSW) / データ出力 (MSW)。データ入出力レジスタは、エンジンとの間の入出力データ ブロックを一時的に格納します。データ入力バッファ (AES_DATA_IN_n) とデータ出力バッファ (AES_DATA_OUT_n) は、同じアドレス位置にマップされていることに注意してください。これらのアドレスに書き込みを行うと、入力バッファがロードされ、読み取りは出力バッファからプルされます。したがって、書き込みアクセスではデータ入力バッファに書き込みが行われ、読み取りアクセスではデータ出力バッファが読み出されます。処理を開始する前に、データ入力バッファに書き込む必要があります。処理完了時、データ出力バッファには有効なデータが格納されます。これらのレジスタに対する書き込みと読み出しはすべて、方向ごとに独立して追跡されます。したがって、任意の 128 ビット データ ブロックは複数の 32 ビット ワード転送に分割できますこれらの転送は、外部インターフェイス上の他の転送と混在させることができます。

図 13-62. DATA3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-0h																															

表 13-59. DATA3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	データ

Copyright © 2026 Texas Instruments Incorporated

13.3.53 TAG0 (オフセット = 1170h) [リセット = 00000000h]

図 13-63 に、TAG0 を示し、表 13-60 に、その説明を示します。

概略表に戻ります。

ハッシュ結果 (LSW)。これらのレジスタは、エンジンからのタグを一時的に格納します。これらのレジスタは中間認証結果レジスタと共有されていますが、処理が完了するまで読み取ることはできません。

図 13-63. TAG0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 13-60. TAG0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	CPU の読み出し動作の場合、これらのレジスタには、エンジンの最後の 128 ビット タグの出力が格納されます。このタグは、次のコンテキストが書き込まれるまで使用できます。 このレジスタには、AES_CTRL レジスタの saved_context_ready または get_digest ビットがセットされ、かつタグが利用可能な場合にのみ、有効なデータが格納されます。get_digest の場合、出力は CCM または GCM 動作継続の中間タグになります。処理中、または TAG を返さない処理 / モードでは、このレジスタを読み出すと IV レジスタのデータが返されます。IV レジスタでタグを返す動作の場合、IV レジスタに直接アクセスする必要があります。

Copyright © 2026 Texas Instruments Incorporated

13.3.54 TAG1 (オフセット = 1174h) [リセット = 00000000h]

図 13-64 に、TAG1 を示し、表 13-61 に、その説明を示します。

概略表に戻ります。

ハッシュ結果。これらのレジスタは、エンジンからのタグを一時的に格納します。これらのレジスタは中間認証結果レジスタと共有されていますが、処理が完了するまで読み取ることはできません。

図 13-64. TAG1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 13-61. TAG1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	CPU の読み出し動作の場合、これらのレジスタには、エンジンの最後の 128 ビット タグの出力が格納されます。このタグは、次のコンテキストが書き込まれるまで使用できます。 このレジスタには、AES_CTRL レジスタの saved_context_ready または get_digest ビットがセットされ、かつタグが利用可能な場合にのみ、有効なデータが格納されます。get_digest の場合、出力は CCM または GCM 動作継続の中間タグになります。処理中、または TAG を返さない処理 / モードでは、このレジスタを読み出すと IV レジスタのデータが返されます。IV レジスタでタグを返す動作の場合、IV レジスタに直接アクセスする必要があります。

Copyright © 2026 Texas Instruments Incorporated

13.3.55 TAG2 (オフセット = 1178h) [リセット = 00000000h]

図 13-65 に、TAG2 を示し、表 13-62 に、その説明を示します。

概略表に戻ります。

ハッシュ結果。これらのレジスタは、エンジンからのタグを一時的に格納します。これらのレジスタは中間認証結果レジスタと共有されていますが、処理が完了するまで読み取ることはできません。

図 13-65. TAG2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 13-62. TAG2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	CPU の読み出し動作の場合、これらのレジスタには、エンジンの最後の 128 ビット タグの出力が格納されます。このタグは、次のコンテキストが書き込まれるまで使用できます。 このレジスタには、AES_CTRL レジスタの saved_context_ready または get_digest ビットがセットされ、かつタグが利用可能な場合にのみ、有効なデータが格納されます。get_digest の場合、出力は CCM または GCM 動作継続の中間タグになります。処理中、または TAG を返さない処理 / モードでは、このレジスタを読み出すと IV レジスタのデータが返されます。IV レジスタでタグを返す動作の場合、IV レジスタに直接アクセスする必要があります。

Copyright © 2026 Texas Instruments Incorporated

13.3.56 TAG3 (オフセット = 117Ch) [リセット = 00000000h]

図 13-66 に、TAG3 を示し、表 13-63 に、その説明を示します。

概略表に戻ります。

ハッシュ結果 (MSW)。これらのレジスタは、エンジンからのタグを一時的に格納します。これらのレジスタは中間認証結果レジスタと共有されていますが、処理が完了するまで読み取ることはできません。

図 13-66. TAG3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 13-63. TAG3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	CPU の読み出し動作の場合、これらのレジスタには、エンジンの最後の 128 ビット タグの出力が格納されます。このタグは、次のコンテキストが書き込まれるまで使用できます。 このレジスタには、AES_CTRL レジスタの saved_context_ready または get_digest ビットがセットされ、かつタグが利用可能な場合にのみ、有効なデータが格納されます。get_digest の場合、出力は CCM または GCM 動作継続の中間タグになります。処理中、または TAG を返さない処理 / モードでは、このレジスタを読み出すと IV レジスタのデータが返されます。IV レジスタでタグを返す動作の場合、IV レジスタに直接アクセスする必要があります。

Copyright © 2026 Texas Instruments Incorporated

13.3.57 STATUS (オフセット = 1180h) [リセット = 00000000h]

図 13-67 に、STATUS を示し、表 13-64 に、その説明を示します。

概略表に戻ります。

ステータス レジスタ

図 13-67. STATUS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							KEYWR
R-0h							R-0h

表 13-64. STATUS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	KEYWR	R	0h	キー書き込みステータス。0 - ユーザーによる KEY レジスタへの書き込みが許可されます。1 - ユーザーによる KEY レジスタへの書き込みは無視されます。 ユーザーによる書き込みを許可するには、モジュールのリセットを実行します。 0h = ユーザーによる KEY MMR へ書き込みを許可 1h = ユーザーによる KEY MMR へ書き込みは無効。書き込んでも何もしません。

Copyright © 2026 Texas Instruments Incorporated

13.3.58 DATA_IN (オフセット = 1184h) [リセット = 00000000h]

図 13-68 に、DATA_IN を示し、表 13-65 に、その説明を示します。

概略表に戻ります。

Data-In レジスタ:DMA アドレス指定用に単一アドレスに割り当てられた DATA0/1/2/3 のエイリアス

図 13-68. DATA_IN

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-65. DATA_IN のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	データ入力ワード

Copyright © 2026 Texas Instruments Incorporated

13.3.59 DATA_OUT (オフセット = 1188h) [リセット = 00000000h]

図 13-69 に、DATA_OUT を示し、表 13-66 に、その説明を示します。

概略表に戻ります。

Data-out レジスタ:DMA アドレス指定用に単一アドレスに割り当てられた DATA0/1/2/3 のエイリアス

図 13-69. DATA_OUT

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 13-66. DATA_OUT のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	データ出力ワード

Copyright © 2026 Texas Instruments Incorporated

13.3.60 FORCE_IN_AV (オフセット = 11D0h) [リセット = 00000000h]

図 13-70 に、FORCE_IN_AV を示し、表 13-67 に、その説明を示します。

概略表に戻ります。

入力データのデータ制御レジスタ。この書き込み専用レジスタは、エンジンの入力データ バッファを強制的に使用できるようにするために使用します。

図 13-70. FORCE_IN_AV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-67. FORCE_IN_AV のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	このレジスタへ書き込みを行うと、入力データ バッファが強制的に有効になり、エンジンはこのデータの処理を強制的に開始します。ここに書き込まれたデータは使用されません。コアは、入力および出力データのアクノリッジが I/O レジスタ ベースになるように構成する必要があります

Copyright © 2026 Texas Instruments Incorporated

13.3.61 CCM_ALN_WRD (オフセット = 11D4h) [リセット = 00000000h]

図 13-71 に、CCM_ALN_WRD を示し、表 13-68 に、その説明を示します。

概略表に戻ります。

AES-CCM AAD アライメント データ ワード。このレジスタは、AES-CCM 処理の AAD フェーズ中にアライメント データ バイトを格納する内部レジスタにアクセスできるようにします。AAD フェーズ中に AES-CCM 動作が中断されたときは、このレジスタを読み出して保存する必要があります。後のセッションで AES-CCM 動作を再開するときは、このレジスタに書き込むことで、この値を復元する必要があります。

図 13-71. CCM_ALN_WRD

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 13-68. CCM_ALN_WRD のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	このレジスタは、AES-CCM 処理の AAD フェーズ中にアライメント データ バイトを格納する内部レジスタにアクセスできるようにします。AAD フェーズ中に AES-CCM 動作が中断されたときは、このレジスタを読み出して保存する必要があります。後のセッションで AES-CCM 動作を再開するときは、このレジスタに書き込むことで、この値を復元する必要があります。

Copyright © 2026 Texas Instruments Incorporated

13.3.62 BLK_CNT0 (オフセット = 11D8h) [リセット = 00000000h]

図 13-72 に、BLK_CNT0 を示し、表 13-69 に、その説明を示します。

概略表に戻ります。

内部ブロック カウンタ (LSW)。このレジスタは、BLK_CNT1 レジスタと組み合わせで使用し、エンジンの内部データ ブロック カウンタにアクセスします。このカウンタは、AES-CCM および AES-GCM 動作中のデータ ブロック数を追跡します。このカウンタの読み出しと書き込みにより、長い CCM または GCM 動作の中断と再開が可能になります。内部的には、AAD データおよび暗号化 / 復号データにブロック カウンタが使用されることに注意してください。中断および再開は、暗号化 / 復号データフェーズでのみサポートされ、AAD 中ではサポートされません。

図 13-72. BLK_CNT0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R/W-0h																															

表 13-69. BLK_CNT0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	AES GCM および CCM 動作用の内部ブロック カウンタ。 これらのビットから、残りのブロック数を表すブロック カウント値を読み出します。この値は、中間 GCM/CCM ダイジェストの要求後に saved_context_ready で有効になります。 これらのレジスタに書き込むと、内部ブロック カウンタがプログラムされた値に復元されます。これは、中断された GCM または CCM 動作の処理を継続できるようにエンジンを準備する場合だけに行う必要があります。 AES_CTRL レジスタの get_digest ビットと gcm_ccm_continue ビットも参照してください。

Copyright © 2026 Texas Instruments Incorporated

13.3.63 BLK_CNT1 (オフセット = 11DCh) [リセット = 00000000h]

図 13-73 に、BLK_CNT1 を示し、表 13-70 に、その説明を示します。

概略表に戻ります。

内部ブロック カウンタ (MSW)。このレジスタは、BLK_CNT0 レジスタと組み合わせで使用し、エンジンの内部データ ブロック カウンタにアクセスします。このカウンタは、AES-CCM および AES-GCM 動作中のデータ ブロック数を追跡します。このカウンタの読み出しと書き込みにより、長い CCM または GCM 動作の中断と再開が可能になります。内部的には、AAD データおよび暗号化 / 復号データにブロック カウンタが使用されることに注意してください。中断および再開は、暗号化 / 復号データフェーズでのみサポートされ、AAD 中ではサポートされません。

図 13-73. BLK_CNT1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								データ																							
R-0h								R/W-0h																							

表 13-70. BLK_CNT1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23-0	データ	R/W	0h	AES GCM および CCM 動作用の内部ブロック カウンタ。 これらのビットから、残りのブロック数を表すブロック カウント値を読み出します。この値は、中間 GCM/CCM ダイジェストの要求後に saved_context_ready で有効になります。 これらのレジスタに書き込むと、内部ブロック カウンタがプログラムされた値に復元されます。これは、中断された GCM または CCM 動作の処理を継続できるようにエンジンを準備する場合だけに行う必要があります。 AES_CTRL レジスタの get_digest ビットと gcm_ccm_continue ビットも参照してください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

13.3.64 DMA_HS (オフセット = 11F4h) [リセット = 00000000h]

図 13-74 に、DMA_HS を示し、表 13-71 に、その説明を示します。

概略表に戻ります。

DMA ハンドシェイクの制御レジスタ

図 13-74. DMA_HS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							DMA_DATA_ACK
R-0h							R/W-0h

表 13-71. DMA_HS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	DMA_DATA_ACK	R/W	0h	AES_DATA_IN_n / AES_DATA_OUT_n レジスタの説明に記載されているように、このビットが 0b の場合、入力および出力データのアクノリッジは I/O レジスタ ベースになります。 このビットが 1b の場合、入力および出力データのアクノリッジは DMA ハンドシェイク信号に基づいて行われます。 0h = DMA ベースのデータ ハンドシェイクを無効化 1h = DMA ベースのハンドシェイクを有効化

Copyright © 2026 Texas Instruments Incorporated

Chapter 14

SHA2

SHA2 (セキュア ハッシュ アルゴリズム–2) は、NIST 標準に準拠した一連の暗号化ハッシュ関数を提供します。この章では、SHA モジュールの動作について説明します。

14.1 SHA の概要 808
14.2 SHA 動作 808
14.3 SHA 自動フィード モード 811
14.4 SHA レジスタ 813

Copyright © 2026 Texas Instruments Incorporated

14.1 SHA の概要

SHA 暗号化ペリフェラルは、メッセージ認証アプリケーションに使用できる FIPS 準拠のセキュア ハッシュ アルゴリズム (SHA-224、SHA-256) とハッシュベースのメッセージ認証 (HMAC) をサポートしています。

14.1.1 SHA 機能

- FIPS PUB 180-2 および FIPS PUB 180-3 の Secure Hash Standard に準拠した実装
- FIP PUB 198-1 に準拠するすべてのアルゴリズムをサポートする HMAC
- クロック サイクル当たり 1 回のハッシュ反復 (7.88 ビット) の性能を備え、高速なスループットを実現する高性能ハッシュ
- SHA-224 および SHA-256 の HMAC と基本ハッシュ演算をサポート
- ハッシュおよび HMAC コンテキスト スイッチング
- MAC キーの XOR およびメッセージ パディングをサポート
- アルゴリズム ブロック サイズよりも短い、等しい、または大きい MAC キーをサポートし
- メッセージ データの自動スケジューリングをサポートし
- 8 ビット単位で最大 2^{64} ビットのメッセージ サイズをサポート
- メッセージ長に基づいて DMA 要求を自動生成し、CPU のオーバーヘッドを低減
- 入力メッセージ解析用の定数アドレスと増分アドレスの両方をサポート

14.2 SHA 動作

14.2.1 機能ブロック図

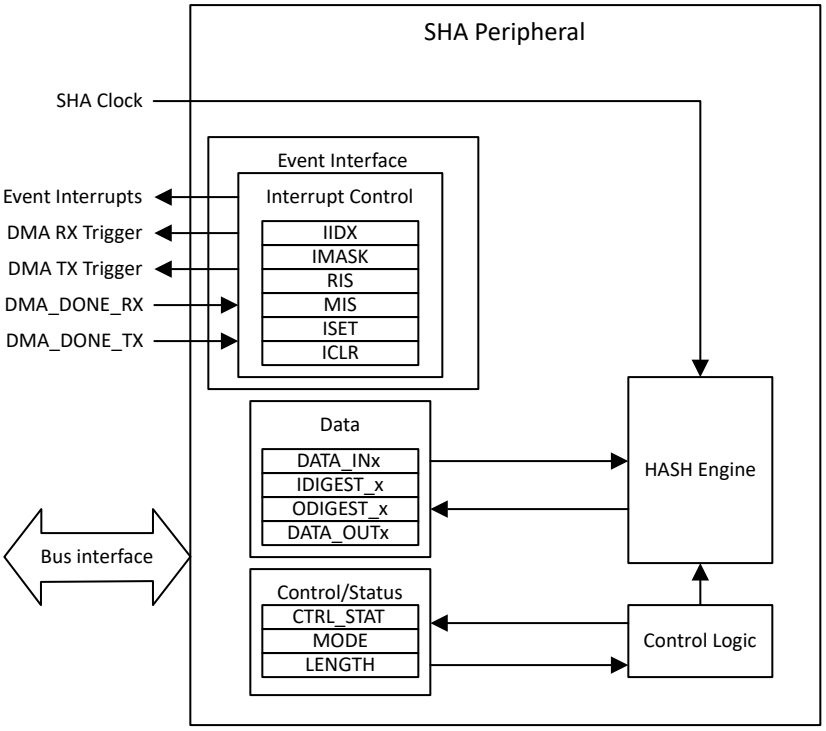


図 14-1. SHA の機能ブロック図

14.2.2 HMAC コントローラ

HMAC コントローラは、データ要求を生成し、入力データとデータ要求を監視します。また、開始を指示し、制御情報を提供することで、HASH/HMAC エンジンを制御します。

Copyright © 2026 Texas Instruments Incorporated

- エンジンの準備が整い、ホスト コントローラが入力可能な信号の 1 つを示すと、新しいデータがエンジンにロードされます。
- HASH/HMAC エンジンは、エンジンが準備完了し、ホストが入力可能な信号の 1 つをアサートすると開始されます。
- エンジンがデータ ブロックの処理を完了し、ホスト コントローラが以前のデータを読み出したとき、出力が利用可能になります。

上記の動作はすべて、レジスタからエンジンへのデータ ロードと、エンジンからレジスタへの結果のロードが 1 クロック サイクルで確実に実行されるように、広い内部バスで実行されます。

14.2.3 HASH/HMAC エンジン

HASH/HMAC エンジンは、512 ビットのデータ ブロックで SHA-2 ハッシュ計算を実行します。さらに、ハッシュ計算のために中間ダイジェストまたは初期ダイジェスト値をロードすることもできます。

ハッシュ コアがアイドル状態になるか、完了すると、新しいハッシュ演算を開始できます。ハッシュ コアが必要とする追加情報 (アルゴリズム定数から開始しない場合は、モード、処理するデータ、入力ダイジェスト) は、コアが新しい処理を開始する前に SHA レジスタをプログラミングすることで提供する必要があります。入力データは、データ ブロック サイズの倍数で送信する必要があります。データの最後のブロックが提供されると、コア内のメッセージ パディング ブロックは、ハッシュ アルゴリズムの仕様に従ってメッセージ パディングを自動的に追加し、処理を完了します。

14.2.3.1 MAC キー入力による HMAC 処理

ハッシュ コアには、MAC キーとメッセージの 2 つの入力が必要です。図 14-2 に、キー サイズがブロック サイズ以下になっている場合の HMAC 処理フローを示します。MAC キーの長さがブロック サイズより小さい場合、アプリケーションはキーの最後に余分なゼロを追加して、キーをパディングする必要があります。キーの全長はブロック サイズと同じである必要があります。

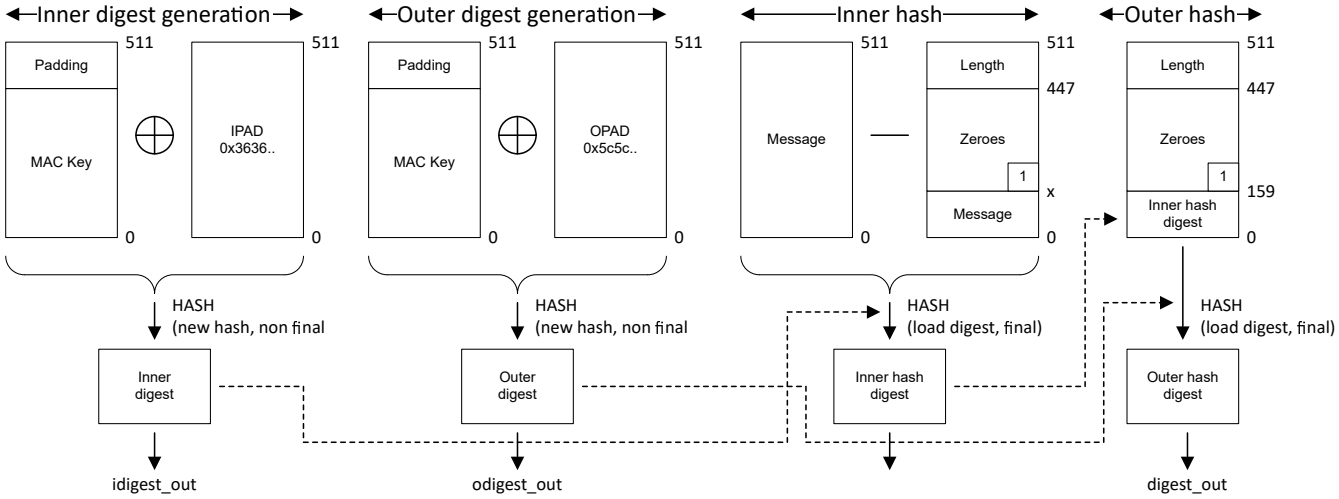


図 14-2. キーが短い場合の HMAC 処理

図 14-3 に示すように、MAC キーがブロック サイズよりも長い場合、MODE_IN.MAC_KEY レジスタ ビットがセットされた状態で、最初にブロック サイズと等しいキーが入力データ バッファにロードされます。完全なハッシュは MAC キーに対して計算されなければならず、その結果は HMAC の実際のキーとして使用されるため、長さ情報とメッセージ パディングは MAC キー情報の最後のブロックで設定される必要があります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

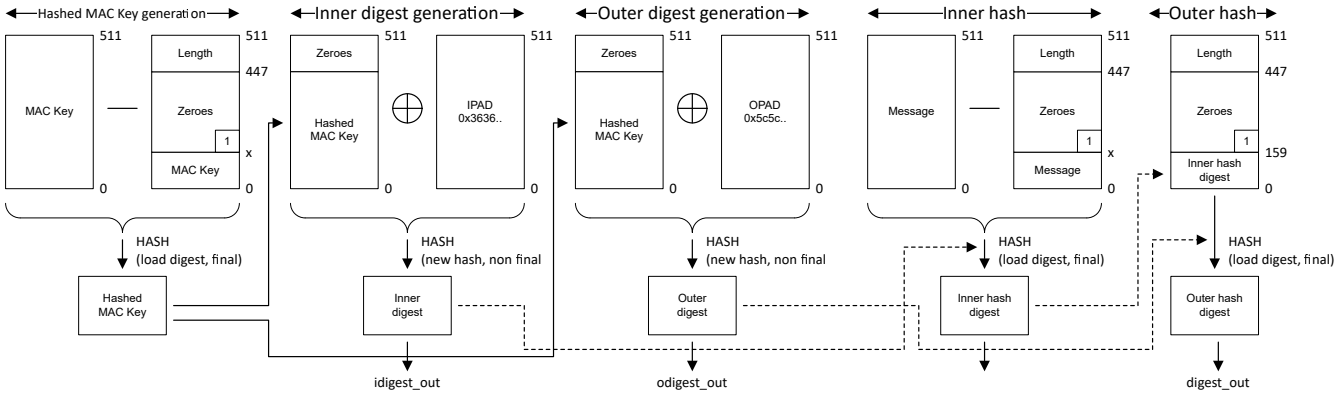


図 14-3. キーが長い場合の HMAC 処理

14.2.3.2 ダイジェストを使用した HMAC 処理

内部ダイジェストと外部ダイジェストの生成には、2 回の完全ハッシュ処理が必要です。同じ MAC キーを使用する複数の HMAC 処理では、処理時間が長くなります。パフォーマンスを向上させるために、図 14-4 に示すように、最初の HMAC 処理で MAC キー入力を使用し、その後の HMAC 処理で内部レジスタからの内部ダイジェストと外部ダイジェストを使用することができます。

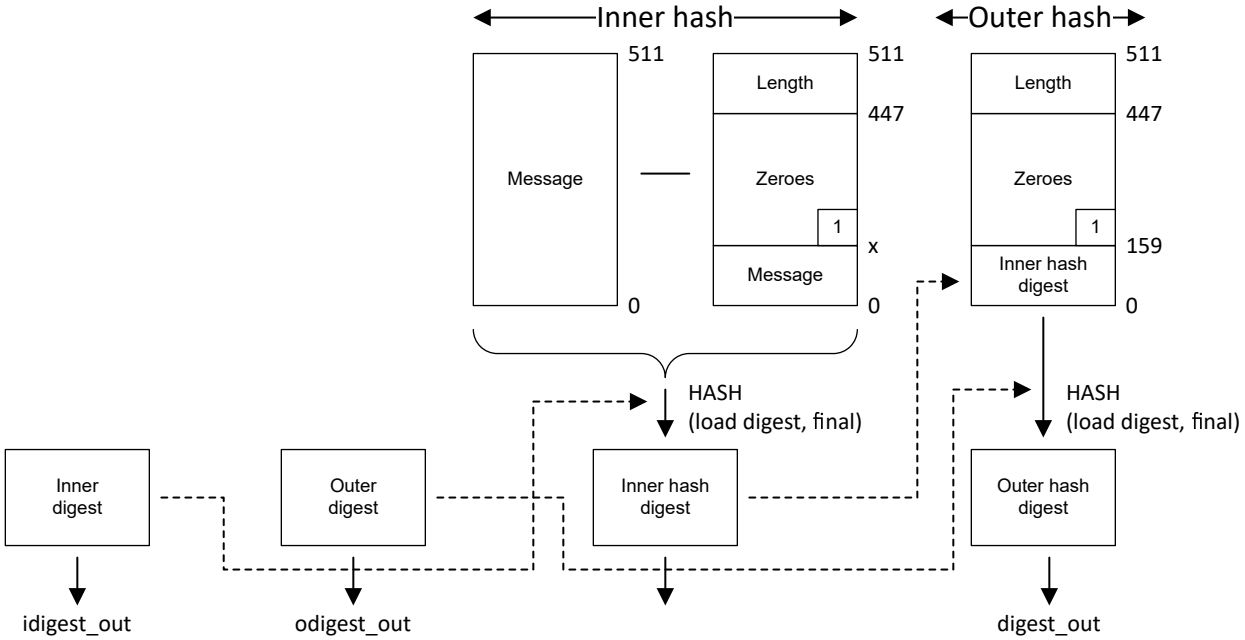


図 14-4. ダイジェストを再利用した HMAC 処理

このような場合の長さ情報は、パディングされた MAC キー ブロックのダイジェスト長を反映するため、メッセージ データ長を 1 ブロック サイズで増分して適用する必要があります。

14.2.3.3 リロード ダイジェストを使用した HMAC 処理

同じ MACK キーを使用して複数の HMAC 操作を実行する必要があるときに、処理が他のハッシュ処理によって中断される可能性がある場合、ハッシュ処理のパフォーマンスは、MAC キーをハッシュできる速度によって異なります。全体的な性能を向上させるため、SHA ペリフェラルは、内部ダイジェストと外部ダイジェストを読み出す機能を備えています。このダイジェストは、次の動作で再ロードできます (図 14-5 を参照)。

Copyright © 2026 Texas Instruments Incorporated

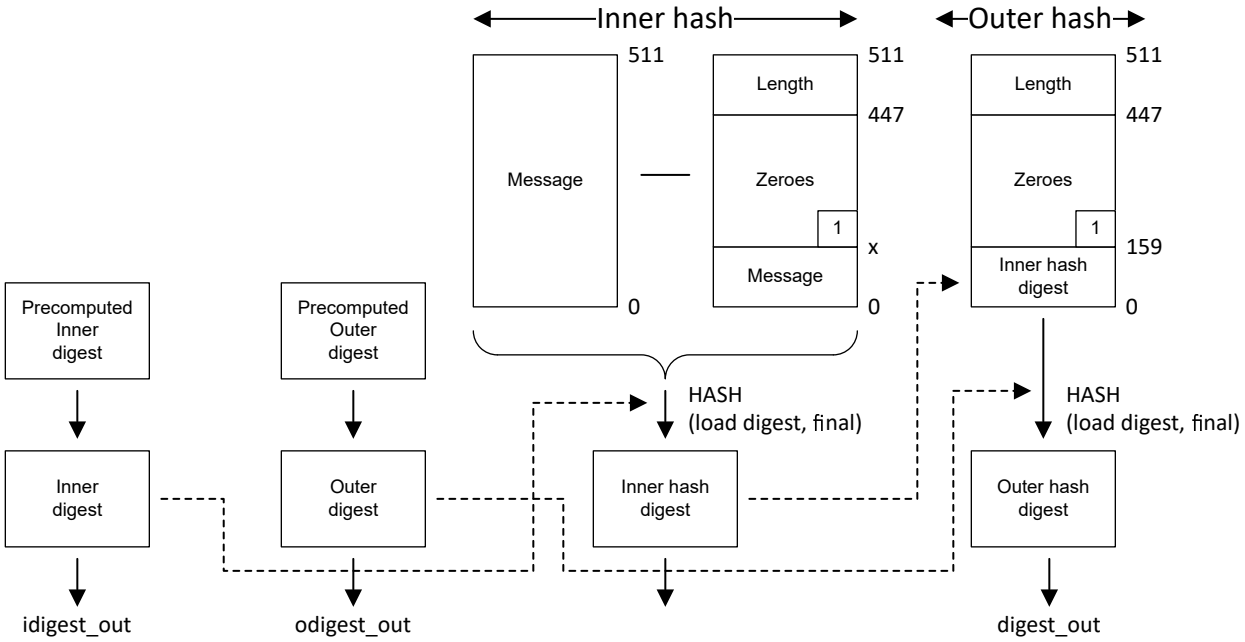


図 14-5. リロード ダイジェストを使用した HMAC 処理

このような場合の長さ情報は、パディングされた MAC キー ブロックのダイジェスト長を反映するため、メッセージ データ長を 1 ブロック サイズで増分して適用する必要があります。

14.3 SHA 自動フィード モード

SHA は、データのブロック サイズで動作します。このモードで動作するため、ペリフェラルは、個別にアドレス指定可能なレジスタを使用して、入力または出力データにアクセスします。さらに、処理可能な新しいデータ ブロックを示すため、制御レジスタを毎回書き込む必要があります。ただし、非常に大きいデータ ブロックを処理する場合は、適切な制御ビットをセットするために CPU の介入が必要になります。

実装の複雑さを低減するため、SHA ペリフェラルは、固定データ レジスタ SHAW_DATA_FIXED (オフセット 0x1100) を使用する自動フィード モードを備えています。このモードの動作は次のとおりです。

- CPU が、モード、長さを含むすべての制御情報をセットします。
- DMA チャネルには、ハッシュ化するデータの場所としてソース アドレスが、SHAW_DATA_FIXED として宛先がプログラムされます。
- DMA は、SHAW_DMA_START_TRIGGER レジスタによって開始されます。これにより、DMA 要求が生成され、DMA がソースから SHA ペリフェラルに 1 ブロック単位でデータを転送します。
- 自動フィード機構は、HASH/HMAC エンジンの制御信号を自動的に生成します。
- データがダイジェストされると、プログラムされた長さが 1 ブロック サイズ未満になるまで、次の DMA トリガが生成されます。
- データの最後のブロックで、自動フィード機構は最後のメッセージ ブロック トリガを内部的に生成し、その後、ハッシュ データを読み取るための割り込みを CPU に発行します。

注

SHA ペリフェラルを自動フィード モードで使用する場合、処理を中断させないでください。書き込みまたは読み取りによって割り込みが発生すると、SHA ペリフェラルはハッシュ計算を中止し、中間データは提供されません。

Copyright © 2026 Texas Instruments Incorporated

注

DMA を SHA アクセラレータへの入力として使用する場合、サポートされる最大転送サイズは 256KB です。より大きいデータを入力する必要がある場合は、CPU を使用して入力データをフィードしてください。

Copyright © 2026 Texas Instruments Incorporated

14.4 SHA レジスタ

表 14-1 に、SHA レジスタのメモリマップト レジスタを示します。表 14-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 14-1. SHA レジスタ

オフセット	略称	レジスタ名	セクション
800h	PWREN	パワー イネーブル	セクション 14.4.1
804h	RSTCTL	リセット制御	セクション 14.4.2
814h	STAT	ステータス レジスタ	セクション 14.4.3
1020h	SHAW_PUB0_IIDX	PUB0 IIDX レジスタ	セクション 14.4.4
1028h	SHAW_PUB0_IMASK	PUB0 IMASK レジスタ	セクション 14.4.5
1030h	SHAW_PUB0_RIS	PUB0 RIS レジスタ	セクション 14.4.6
1038h	SHAW_PUB0_MIS	PUB0 MIS レジスタ	セクション 14.4.7
1040h	SHAW_PUB0_ISET	PUB0 ISET レジスタ	セクション 14.4.8
1048h	SHAW_PUB0_ICLR	PUB0 ICLR レジスタ	セクション 14.4.9
1050h	SHAW_PUB1_IIDX	PUB1 IIDX レジスタ	セクション 14.4.10
1058h	SHAW_PUB1_IMASK	PUB1 IIDX レジスタ	セクション 14.4.11
1060h	SHAW_PUB1_RIS	PUB1 RIS レジスタ	セクション 14.4.12
1068h	SHAW_PUB1_MIS	PUB1 MIS レジスタ	セクション 14.4.13
1070h	SHAW_PUB1_ISET	PUB1 ISET レジスタ	セクション 14.4.14
1078h	SHAW_PUB1_ICLR	PUB1 ICLR レジスタ	セクション 14.4.15
1080h	SHAW_DMA_START_TRIGGER	DMA 開始トリガ レジスタ	セクション 14.4.16
1100h	SHAW_DATA_FIXED	固定アドレス ワイヤ レジスタ	セクション 14.4.17
1200h	EIP59_DATA_IN0	SHA データ入力 0 レジスタ	セクション 14.4.18
1204h	EIP59_DATA_IN1	SHA データ入力 1 レジスタ	セクション 14.4.19
1208h	EIP59_DATA_IN2	SHA データ入力 2 レジスタ	セクション 14.4.20
120Ch	EIP59_DATA_IN3	SHA データ入力 3 レジスタ	セクション 14.4.21
1210h	EIP59_DATA_IN4	SHA データ入力 4 レジスタ	セクション 14.4.22
1214h	EIP59_DATA_IN5	SHA データ入力 5 レジスタ	セクション 14.4.23
1218h	EIP59_DATA_IN6	SHA データ入力 6 レジスタ	セクション 14.4.24
121Ch	EIP59_DATA_IN7	SHA データ入力 7 レジスタ	セクション 14.4.25
1220h	EIP59_DATA_IN8	SHA データ入力 8 レジスタ	セクション 14.4.26
1224h	EIP59_DATA_IN9	SHA データ入力 9 レジスタ	セクション 14.4.27
1228h	EIP59_DATA_IN10	SHA データ入力 10 レジスタ	セクション 14.4.28
122Ch	EIP59_DATA_IN11	SHA データ入力 11 レジスタ	セクション 14.4.29
1230h	EIP59_DATA_IN12	SHA データ入力 12 レジスタ	セクション 14.4.30
1234h	EIP59_DATA_IN13	SHA データ入力 13 レジスタ	セクション 14.4.31
1238h	EIP59_DATA_IN14	SHA データ入力 14 レジスタ	セクション 14.4.32
123Ch	EIP59_DATA_IN15	SHA データ入力 15 レジスタ	セクション 14.4.33
1240h	EIP59_IO_BUF_CTRL_STAT	SHA ステータス レジスタ	セクション 14.4.34
1244h	EIP59_MODE_IN	SHA モード レジスタ	セクション 14.4.35
1248h	EIP59_LENGTH_IN_L	データ長レジスタの LSB	セクション 14.4.36
124Ch	EIP59_LENGTH_IN_H	データ長レジスタの MSB	セクション 14.4.37
1250h	EIP59_IDIGEST_A	SHA IDIGEST レジスタ	セクション 14.4.38
1254h	EIP59_IDIGEST_B	SHA IDIGEST レジスタ	セクション 14.4.39

Copyright © 2026 Texas Instruments Incorporated

表 14-1. SHA レジスタ (続き)

オフセット	略称	レジスタ名	セクション
1258h	EIP59_IDIGEST_C	SHA IDIGEST レジスタ	セクション 14.4.40
125Ch	EIP59_IDIGEST_D	SHA IDIGEST レジスタ	セクション 14.4.41
1260h	EIP59_IDIGEST_E	SHA IDIGEST レジスタ	セクション 14.4.42
1264h	EIP59_IDIGEST_F	SHA IDIGEST レジスタ	セクション 14.4.43
1268h	EIP59_IDIGEST_G	SHA IDIGEST レジスタ	セクション 14.4.44
126Ch	EIP59_IDIGEST_H	SHA IDIGEST レジスタ	セクション 14.4.45
1270h	EIP59_ODIGEST_A	SHA ODIGEST レジスタ	セクション 14.4.46
1274h	EIP59_ODIGEST_B	SHA ODIGEST レジスタ	セクション 14.4.47
1278h	EIP59_ODIGEST_C	SHA ODIGEST レジスタ	セクション 14.4.48
127Ch	EIP59_ODIGEST_D	SHA ODIGEST レジスタ	セクション 14.4.49
1280h	EIP59_ODIGEST_E	SHA ODIGEST レジスタ	セクション 14.4.50
1284h	EIP59_ODIGEST_F	SHA ODIGEST レジスタ	セクション 14.4.51
1288h	EIP59_ODIGEST_G	SHA ODIGEST レジスタ	セクション 14.4.52
128Ch	EIP59_ODIGEST_H	SHA ODIGEST レジスタ	セクション 14.4.53
1290h	EIP59_DIGEST_A	SHA DIGEST OUT 結果レジスタ	セクション 14.4.54
1294h	EIP59_DIGEST_B	SHA DIGEST OUT 結果レジスタ	セクション 14.4.55
1298h	EIP59_DIGEST_C	SHA DIGEST OUT 結果レジスタ	セクション 14.4.56
129Ch	EIP59_DIGEST_D	SHA DIGEST OUT 結果レジスタ	セクション 14.4.57
12A0h	EIP59_DIGEST_E	SHA DIGEST OUT 結果レジスタ	セクション 14.4.58
12A4h	EIP59_DIGEST_F	SHA DIGEST OUT 結果レジスタ	セクション 14.4.59
12A8h	EIP59_DIGEST_G	SHA DIGEST OUT 結果レジスタ	セクション 14.4.60
12ACh	EIP59_DIGEST_H	SHA DIGEST OUT 結果レジスタ	セクション 14.4.61
12F8h	EIP59_CONFIG	SHA 構成レジスタ	セクション 14.4.62
12FCh	EIP59_VERSION	SHA バージョン レジスタ	セクション 14.4.63

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 14-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 14-2. SHA のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
W1S	W 1S	1 を書き込むことで セット
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

14.4.1 PWREN レジスタ (オフセット = 800h) [リセット = 00000000h]

PWREN を表 14-3 に示します。

概略表に戻ります。

電力状態を制御するレジスタ

表 14-3. PWREN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R/W	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブル 1h = 電源をイネーブル

Copyright © 2026 Texas Instruments Incorporated

14.4.2 RSTCTL レジスタ (オフセット = 804h) [リセット = 00000000h]

RSTCTL を表 14-4 に示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

表 14-4. RSTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	W	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリアします
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

14.4.3 STAT レジスタ (オフセット = 814h) [リセット = 00000000h]

STAT を表 14-5 に示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

表 14-5. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされてから、ペリフェラルがリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h = 最後にビットがクリアされてからペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

14.4.4 SHAW_PUB0_IIDX レジスタ (オフセット = 1020h) [リセット = 00000000h]

SHAW_PUB0_IIDX を表 14-6 に示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続きます。IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

表 14-6. SHAW_PUB0_IIDX レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R	0h	このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続きます。IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.5 SHAW_PUB0_IMASK レジスタ (オフセット = 1028h) [リセット = 00000000h]

SHAW_PUB0_IMASK を表 14-7 に示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

表 14-7. SHAW_PUB0_IMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	OUTPUTRDY	R/W	0h	割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.6 SHAW_PUB0_RIS レジスタ (オフセット = 1030h) [リセット = 00000000h]

SHAW_PUB0_RIS を表 14-8 に示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

表 14-8. SHAW_PUB0_RIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	OUTPUTRDY	R	0h	未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。 リセット タイプ: SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.7 SHAW_PUB0_MIS レジスタ (オフセット = 1038h) [リセット = 00000000h]

SHAW_PUB0_MIS を表 14-9 に示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

表 14-9. SHAW_PUB0_MIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	OUTPUTRDY	R	0h	マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.8 SHAW_PUB0_ISET レジスタ (オフセット = 1040h) [リセット = 00000000h]

SHAW_PUB0_ISET を表 14-10 に示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

表 14-10. SHAW_PUB0_ISET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	OUTPUTRDY	R-0/W1S	0h	割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.9 SHAW_PUB0_ICLR レジスタ (オフセット = 1048h) [リセット = 00000000h]

SHAW_PUB0_ICLR を表 14-11 に示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

表 14-11. SHAW_PUB0_ICLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	OUTPUTRDY	R-0/W1C	0h	割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.10 SHAW_PUB1_IIDX レジスタ (オフセット = 1050h) [リセット = 00000000h]

SHAW_PUB1_IIDX を表 14-12 に示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続きます。IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

表 14-12. SHAW_PUB1_IIDX レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	STAT	R	0h	このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続きます。IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.11 SHAW_PUB1_IMASK レジスタ (オフセット = 1058h) [リセット = 00000000h]

SHAW_PUB1_IMASK を表 14-13 に示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

表 14-13. SHAW_PUB1_IMASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	DMA_START_TRIGGER	R/W	0h	割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.12 SHAW_PUB1_RIS レジスタ (オフセット = 1060h) [リセット = 00000000h]

SHAW_PUB1_RIS を表 14-14 に示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

表 14-14. SHAW_PUB1_RIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	DMA_START_TRIGGER	R	0h	未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。 リセット タイプ: SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.13 SHAW_PUB1_MIS レジスタ (オフセット = 1068h) [リセット = 00000000h]

SHAW_PUB1_MIS を表 14-15 に示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

表 14-15. SHAW_PUB1_MIS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	DMA_START_TRIGGER	R	0h	マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.14 SHAW_PUB1_ISET レジスタ (オフセット = 1070h) [リセット = 00000000h]

SHAW_PUB1_ISET を表 14-16 に示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

表 14-16. SHAW_PUB1_ISET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	DMA_START_TRIGGER	R-0/W1S	0h	割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.15 SHAW_PUB1_ICLR レジスタ (オフセット = 1078h) [リセット = 00000000h]

SHAW_PUB1_ICLR を表 14-17 に示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

表 14-17. SHAW_PUB1_ICLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	DMA_START_TRIGGER	R-0/W1C	0h	割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.16 SHAW_DMA_START_TRIGGER レジスタ (オフセット = 1080h) [リセット = 00000000h]

表 14-18 に、SHAW_DMA_START_TRIGGER を示します。

概略表に戻ります。

このレジスタに 1 を書き込むと、DMA 転送が開始され、このレジスタに書き込む前に DMA が構成されます

表 14-18. SHAW_DMA_START_TRIGGER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	予約済み
0	START_TRIGGER	R-0/W1C	0h	DMA を開始するトリガ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.17 SHAW_DATA_FIXED レジスタ (オフセット = 1100h) [リセット = 00000000h]

表 14-19 に、SHAW_DATA_FIXED を示します。

概略表に戻ります。

固定アドレス (SHAW_DMA_DATA_IN) レジスタに書き込むように構成する DMA で、EIP59 のレジスタに間接的に書き込みます

表 14-19. SHAW_DATA_FIXED レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.18 EIP59_DATA_IN0 レジスタ (オフセット = 1200h) [リセット = 00000000h]

EIP59_DATA_IN0 を表 14-20 に示します。

概略表に戻ります。

SHA データ入力 0 レジスタ

表 14-20. EIP59_DATA_IN0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.19 EIP59_DATA_IN1 レジスタ (オフセット = 1204h) [リセット = 00000000h]

EIP59_DATA_IN1 を表 14-21 に示します。

概略表に戻ります。

SHA データ入力 1 レジスタ

表 14-21. EIP59_DATA_IN1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.20 EIP59_DATA_IN2 レジスタ (オフセット = 1208h) [リセット = 00000000h]

EIP59_DATA_IN2 を表 14-22 に示します。

概略表に戻ります。

SHA データ入力 2 レジスタ

表 14-22. EIP59_DATA_IN2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.21 EIP59_DATA_IN3 レジスタ (オフセット = 120Ch) [リセット = 00000000h]

EIP59_DATA_IN3 を表 14-23 に示します。

概略表に戻ります。

SHA データ入力 3 レジスタ

表 14-23. EIP59_DATA_IN3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.22 EIP59_DATA_IN4 レジスタ (オフセット = 1210h) [リセット = 00000000h]

EIP59_DATA_IN4 を表 14-24 に示します。

概略表に戻ります。

SHA データ入力 4 レジスタ

表 14-24. EIP59_DATA_IN4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.23 EIP59_DATA_IN5 レジスタ (オフセット = 1214h) [リセット = 00000000h]

EIP59_DATA_IN5 を表 14-25 に示します。

概略表に戻ります。

SHA データ入力 5 レジスタ

表 14-25. EIP59_DATA_IN5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.24 EIP59_DATA_IN6 レジスタ (オフセット = 1218h) [リセット = 00000000h]

EIP59_DATA_IN6 を表 14-26 に示します。

概略表に戻ります。

SHA データ入力 6 レジスタ

表 14-26. EIP59_DATA_IN6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.25 EIP59_DATA_IN7 レジスタ (オフセット = 121Ch) [リセット = 00000000h]

EIP59_DATA_IN7 を表 14-27 に示します。

概略表に戻ります。

SHA データ入力 7 レジスタ

表 14-27. EIP59_DATA_IN7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.26 EIP59_DATA_IN8 レジスタ (オフセット = 1220h) [リセット = 00000000h]

EIP59_DATA_IN8 を表 14-28 に示します。

概略表に戻ります。

SHA データ入力 8 レジスタ

表 14-28. EIP59_DATA_IN8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.27 EIP59_DATA_IN9 レジスタ (オフセット = 1224h) [リセット = 00000000h]

EIP59_DATA_IN9 を表 14-29 に示します。

概略表に戻ります。

SHA データ入力 9 レジスタ

表 14-29. EIP59_DATA_IN9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.28 EIP59_DATA_IN10 レジスタ (オフセット = 1228h) [リセット = 00000000h]

EIP59_DATA_IN10 を表 14-30 に示します。

概略表に戻ります。

SHA データ入力 10 レジスタ

表 14-30. EIP59_DATA_IN10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.29 EIP59_DATA_IN11 レジスタ (オフセット = 122Ch) [リセット = 00000000h]

EIP59_DATA_IN11 を表 14-31 に示します。

概略表に戻ります。

SHA データ入力 11 レジスタ

表 14-31. EIP59_DATA_IN11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.30 EIP59_DATA_IN12 レジスタ (オフセット = 1230h) [リセット = 00000000h]

EIP59_DATA_IN12 を表 14-32 に示します。

概略表に戻ります。

SHA データ入力 12 レジスタ

表 14-32. EIP59_DATA_IN12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.31 EIP59_DATA_IN13 レジスタ (オフセット = 1234h) [リセット = 00000000h]

EIP59_DATA_IN13 を表 14-33 に示します。

概略表に戻ります。

SHA データ入力 13 レジスタ

表 14-33. EIP59_DATA_IN13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.32 EIP59_DATA_IN14 レジスタ (オフセット = 1238h) [リセット = 00000000h]

EIP59_DATA_IN14 を表 14-34 に示します。

概略表に戻ります。

SHA データ入力 14 レジスタ

表 14-34. EIP59_DATA_IN14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.33 EIP59_DATA_IN15 レジスタ (オフセット = 123Ch) [リセット = 00000000h]

EIP59_DATA_IN15 を表 14-35 に示します。

概略表に戻ります。

SHA データ入力 15 レジスタ

表 14-35. EIP59_DATA_IN15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DATA_IN	R-0/W	0h	ハッシュが計算される入力データ リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.34 EIP59_IO_BUF_CTRL_STAT レジスタ (オフセット = 1240h) [リセット = 00000000h]

EIP59_IO_BUF_CTRL_STAT を表 14-36 に示します。

概略表に戻ります。

SHA ステータス レジスタ

表 14-36. EIP59_IO_BUF_CTRL_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13	ODIGEST_OUT_AV	R	0h	odigest 出力が利用可能であることを示すステータス リセット タイプ:SYSRSn
12	IDIGEST_OUT_AV	R	0h	idigest 出力が利用可能であることを示すステータス リセット タイプ:SYSRSn
11-8	予約済み	R	0h	予約済み
7	GET_DIGEST	R-0/W	0h	1 を書き込むと、ダイジェスト出力レジスタのダイジェストが取得されます リセット タイプ:SYSRSn
6	PAD_MESSAGE	R-0/W	0h	1 を書き込むと、メッセージがパッドされます リセット タイプ:SYSRSn
5	ODIGEST_IN_AV	R-0/W	0h	1 を書き込むと、odigest が利用可能であることを示します。 リセット タイプ:SYSRSn
4	IDIGEST_IN_AV	R-0/W	0h	1 を書き込むと、idigest が利用可能であることを示します。 リセット タイプ:SYSRSn
3	MODE_IN_AV	R-0/W	0h	1 を書き込むと、モードが利用可能であることを示します。 リセット タイプ:SYSRSn
2	LENGTH_IN_AV	R-0/W	0h	1 を書き込むと、長さが利用可能であることを示します。 リセット タイプ:SYSRSn
1	DATA_IN_AV	R/W	0h	EIP59_DATA_IN_x レジスタに、処理用の新しい入力データ ブロックが格納されていることを示します。 EIP-59 エンジンが新しい入力データを処理する準備ができたらすぐに、ホストはこのビットに 1b を書き込み、EIP59_DATA_IN_x のデータで動作を開始する必要があります。 また、DMA が選択されている場合は、入力信号 dma_in_clear を 1b にアサートし、新しい入力データの処理を開始する必要があります。例外として、data_in_av ビットは、長さゼロのメッセージの処理を開始するためにのみ使用する必要があります。 data_in_av ビットに 0 を書き込んでも効果はありません。 ワイド バス EIP-59 エンジンが EIP59_DATA_IN_x の内容をコピーすると、このビットは自動的にクリアされます (つまり、0b の読み取り)。このビットは、ホストによってセットされてから、ワイド バス EIP-59 エンジンが実際に入力データ ブロックの処理を開始するまでの間に、1b として読み取ります。 リセット タイプ:SYSRSn
0	OUTBUF_FULL	R-0/W1C	0h	出力が利用可能であることを示しています。新しいハッシュを開始する前に、1 を書き込む必要があります リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.35 EIP59_MODE_IN レジスタ (オフセット = 1244h) [リセット = 00000000h]

EIP59_MODE_IN を表 14-37 に示します。

概略表に戻ります。

SHA モード レジスタ

表 14-37. EIP59_MODE_IN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	予約済み
6	SHA_224	R/W	0h	SHA 224 モードでハッシュを計算するには 1 を書き込みますが、この情報の読み出しは 6 ビット目ではなく 4 番目のビットで利用可能になり、6 番目のビットは予約済みのままです リセット タイプ:SYSRSn
5	SHA_256	R/W	0h	SHA 256 モードでハッシュを計算するには 1 を書き込みますが、この情報の読み出しは 5 番目のビットではなく 3 番目のビットで利用可能になり、5 番目のビットは予約済みのままです リセット タイプ:SYSRSn
4-3	予約済み	R	0h	予約済み
2	NEW_HASH	R/W	0h	1 を書き込むと、新しいハッシュ計算が行われることを示します リセット タイプ:SYSRSn
1	MAC_KEY	R/W	0h	1 を書き込むと、mac キーの計算が行われることを示します。 リセット タイプ:SYSRSn
0	HASH_HMAC	R/W	0h	1 を書き込むと、HMAC が動作しているかどうかを示します。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.36 EIP59_LENGTH_IN_L レジスタ (オフセット = 1248h) [リセット = 00000000h]

EIP59_LENGTH_IN_L を表 14-38 に示します。

概略表に戻ります。

データ長レジスタの LSB

表 14-38. EIP59_LENGTH_IN_L レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	LENGTH_LSB	R-0/W	0h	データ長の LSB リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.37 EIP59_LENGTH_IN_H レジスタ (オフセット = 124Ch) [リセット = 00000000h]

EIP59_LENGTH_IN_H を表 14-39 に示します。

概略表に戻ります。

データ長レジスタの MSB

表 14-39. EIP59_LENGTH_IN_H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	LENGTH_MSB	R-0/W	0h	データ長の MSB リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.38 EIP59_IDIGEST_A レジスタ (オフセット = 1250h) [リセット = 00000000h]

EIP59_IDIGEST_A を表 14-40 に示します。

概略表に戻ります。

SHA IDIGEST レジスタ

表 14-40. EIP59_IDIGEST_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IDIGEST_A	R/W	0h	内部ダイジェスト A リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.39 EIP59_IDIGEST_B レジスタ (オフセット = 1254h) [リセット = 00000000h]

EIP59_IDIGEST_B を表 14-41 に示します。

概略表に戻ります。

SHA IDIGEST レジスタ

表 14-41. EIP59_IDIGEST_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IDIGEST_B	R/W	0h	内部ダイジェスト B リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.40 EIP59_IDIGEST_C レジスタ (オフセット = 1258h) [リセット = 00000000h]

EIP59_IDIGEST_C を表 14-42 に示します。

概略表に戻ります。

SHA IDIGEST レジスタ

表 14-42. EIP59_IDIGEST_C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IDIGEST_C	R/W	0h	内部ダイジェスト C リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.41 EIP59_IDIGEST_D レジスタ (オフセット = 125Ch) [リセット = 00000000h]

EIP59_IDIGEST_D を表 14-43 に示します。

概略表に戻ります。

SHA IDIGEST レジスタ

表 14-43. EIP59_IDIGEST_D レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IDIGEST_D	R/W	0h	内部ダイジェスト D リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.42 EIP59_IDIGEST_E レジスタ (オフセット = 1260h) [リセット = 00000000h]

EIP59_IDIGEST_E を表 14-44 に示します。

概略表に戻ります。

SHA IDIGEST レジスタ

表 14-44. EIP59_IDIGEST_E レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IDIGEST_E	R/W	0h	内部ダイジェスト E リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.43 EIP59_IDIGEST_F レジスタ (オフセット = 1264h) [リセット = 00000000h]

EIP59_IDIGEST_F を表 14-45 に示します。

概略表に戻ります。

SHA IDIGEST レジスタ

表 14-45. EIP59_IDIGEST_F レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IDIGEST_F	R/W	0h	内部ダイジェスト F リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.44 EIP59_IDIGEST_G レジスタ (オフセット = 1268h) [リセット = 00000000h]

EIP59_IDIGEST_G を表 14-46 に示します。

概略表に戻ります。

SHA IDIGEST レジスタ

表 14-46. EIP59_IDIGEST_G レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IDIGEST_G	R/W	0h	内部ダイジェスト G リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.45 EIP59_IDIGEST_H レジスタ (オフセット = 126Ch) [リセット = 00000000h]

EIP59_IDIGEST_H を表 14-47 に示します。

概略表に戻ります。

SHA IDIGEST レジスタ

表 14-47. EIP59_IDIGEST_H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	IDIGEST_H	R/W	0h	内部ダイジェスト H リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.46 EIP59_ODIGEST_A レジスタ (オフセット = 1270h) [リセット = 00000000h]

EIP59_ODIGEST_A を表 14-48 に示します。

概略表に戻ります。

SHA ODIGEST レジスタ

表 14-48. EIP59_ODIGEST_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ODIGEST_A	R/W	0h	外部ダイジェスト A リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.47 EIP59_ODIGEST_B レジスタ (オフセット = 1274h) [リセット = 00000000h]

EIP59_ODIGEST_B を表 14-49 に示します。

概略表に戻ります。

SHA ODIGEST レジスタ

表 14-49. EIP59_ODIGEST_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ODIGEST_B	R/W	0h	外部ダイジェスト B リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.48 EIP59_ODIGEST_C レジスタ (オフセット = 1278h) [リセット = 00000000h]

EIP59_ODIGEST_C を表 14-50 に示します。

概略表に戻ります。

SHA ODIGEST レジスタ

表 14-50. EIP59_ODIGEST_C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ODIGEST_C	R/W	0h	外部ダイジェスト C リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.49 EIP59_ODIGEST_D レジスタ (オフセット = 127Ch) [リセット = 00000000h]

EIP59_ODIGEST_D を表 14-51 に示します。

概略表に戻ります。

SHA ODIGEST レジスタ

表 14-51. EIP59_ODIGEST_D レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ODIGEST_D	R/W	0h	外部ダイジェスト D リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.50 EIP59_ODIGEST_E レジスタ (オフセット = 1280h) [リセット = 00000000h]

EIP59_ODIGEST_E を表 14-52 に示します。

概略表に戻ります。

SHA ODIGEST レジスタ

表 14-52. EIP59_ODIGEST_E レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ODIGEST_E	R/W	0h	外部ダイジェスト E リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.51 EIP59_ODIGEST_F レジスタ (オフセット = 1284h) [リセット = 00000000h]

EIP59_ODIGEST_F を表 14-53 に示します。

概略表に戻ります。

SHA ODIGEST レジスタ

表 14-53. EIP59_ODIGEST_F レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ODIGEST_F	R/W	0h	外部ダイジェスト F リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.52 EIP59_ODIGEST_G レジスタ (オフセット = 1288h) [リセット = 00000000h]

EIP59_ODIGEST_G を表 14-54 に示します。

概略表に戻ります。

SHA ODIGEST レジスタ

表 14-54. EIP59_ODIGEST_G レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ODIGEST_G	R/W	0h	外部ダイジェスト G リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.53 EIP59_ODIGEST_H レジスタ (オフセット = 128Ch) [リセット = 00000000h]

EIP59_ODIGEST_H を表 14-55 に示します。

概略表に戻ります。

SHA ODIGEST レジスタ

表 14-55. EIP59_ODIGEST_H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ODIGEST_H	R/W	0h	外部ダイジェスト H リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.54 EIP59_DIGEST_A レジスタ (オフセット = 1290h) [リセット = 00000000h]

EIP59_DIGEST_A を表 14-56 に示します。

概略表に戻ります。

SHA DIGEST OUT 結果レジスタ

表 14-56. EIP59_DIGEST_A レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DIGEST_A	R	0h	ダイジェスト出力 A リセット タイプ: SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.55 EIP59_DIGEST_B レジスタ (オフセット = 1294h) [リセット = 00000000h]

EIP59_DIGEST_B を表 14-57 に示します。

概略表に戻ります。

SHA DIGEST OUT 結果レジスタ

表 14-57. EIP59_DIGEST_B レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DIGEST_B	R	0h	ダイジェスト出力 B リセット タイプ: SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.56 EIP59_DIGEST_C レジスタ (オフセット = 1298h) [リセット = 00000000h]

EIP59_DIGEST_C を表 14-58 に示します。

概略表に戻ります。

SHA DIGEST OUT 結果レジスタ

表 14-58. EIP59_DIGEST_C レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DIGEST_C	R	0h	ダイジェスト出力 C リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.57 EIP59_DIGEST_D レジスタ (オフセット = 129Ch) [リセット = 00000000h]

EIP59_DIGEST_D を表 14-59 に示します。

概略表に戻ります。

SHA DIGEST OUT 結果レジスタ

表 14-59. EIP59_DIGEST_D レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DIGEST_D	R	0h	ダイジェスト出力 D リセット タイプ: SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.58 EIP59_DIGEST_E レジスタ (オフセット = 12A0h) [リセット = 00000000h]

EIP59_DIGEST_E を表 14-60 に示します。

概略表に戻ります。

SHA DIGEST OUT 結果レジスタ

表 14-60. EIP59_DIGEST_E レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DIGEST_E	R	0h	ダイジェスト出力 E リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.59 EIP59_DIGEST_F レジスタ (オフセット = 12A4h) [リセット = 00000000h]

EIP59_DIGEST_F を表 14-61 に示します。

概略表に戻ります。

SHA DIGEST OUT 結果レジスタ

表 14-61. EIP59_DIGEST_F レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DIGEST_F	R	0h	ダイジェスト出力 F リセット タイプ: SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.60 EIP59_DIGEST_G レジスタ (オフセット = 12A8h) [リセット = 00000000h]

EIP59_DIGEST_G を表 14-62 に示します。

概略表に戻ります。

SHA DIGEST OUT 結果レジスタ

表 14-62. EIP59_DIGEST_G レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DIGEST_G	R	0h	ダイジェスト出力 G リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.61 EIP59_DIGEST_H レジスタ (オフセット = 12ACh) [リセット = 00000000h]

EIP59_DIGEST_H を表 14-63 に示します。

概略表に戻ります。

SHA DIGEST OUT 結果レジスタ

表 14-63. EIP59_DIGEST_H レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	DIGEST_H	R	0h	ダイジェスト出力 H リセット タイプ: SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

14.4.62 EIP59_CONFIG レジスタ (オフセット = 12F8h) [リセット = 01400019h]

EIP59_CONFIG を表 14-64 に示します。

概略表に戻ります。

SHA 構成レジスタ

表 14-64. EIP59_CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	CONFIG	R	01400019h	構成レジスタ = 0x01400019 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

14.4.63 EIP59_VERSION レジスタ (オフセット = 12FCh) [リセット = 2240C43Bh]

EIP59_VERSION を表 14-65 に示します。

概略表に戻ります。

SHA バージョン レジスタ

表 14-65. EIP59_VERSION レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	バージョン	R	2240C43Bh	バージョン レジスタ = 0x2240C43B リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

Chapter 15

CRC

巡回冗長検査 (CRC) アクセラレータは、CRC16-CCITT 多項式または CRC32-ISO3309 多項式に基づいて、特定のデータ シーケンスに対してシグネチャを生成します

15.1 CRC の概要 879
15.2 CRC 動作 879
15.3 CRCP0 のレジスタ 883

Copyright © 2026 Texas Instruments Incorporated

15.1 CRC の概要

CRC アクセラレータは、特定のデータ シーケンスに対する CRC シグネチャを生成します。CRC16-CCITT および CRC32-ISO3309 多項式関数がサポートされています。CRC が固定シード値で初期化されると、同じ入力データのシーケンスに対して同じ CRC シグネチャが生成されます。一般に、入力データのシーケンスが異なると、特定の CRC 関数に対して異なるシグネチャが生成されます。

	CRC	CRC-P
CRC16-CCITT のサポート	✓	✓
CRC32-ISO3309 多項式のサポート	✓	✓
各データ入力に対して新しい CRC 出力をシングル サイクルで高速に計算 (ウェイト状態なし)	✓	X
入出力ビット反転のサポート	✓	✓
ビッグ エンディアン / リトル エンディアン動作のサポート	✓	✓
CRCIN に対するバイト、ハーフワード、またはワード入力	✓	✓
すべてのアドレスが CRCIN にマップされる 512 ワードの CRCIN_IDX 入力フィールド。データ長が 2KB までの場合、標準的な C 言語スタイルの memcpy() ルーチンで CRC モジュールにデータをロード可能。	✓	✓
ユーザーが選択可能な CRC32 多項式	X	✓

図 15-1. CRC および CRC-P の主な機能

15.1.1 CRC16-CCITT

CRC16-CCITT の場合、以下の式に示すように、16 ビット CCITT 規格の多項式に基づいて CRC シグネチャが生成されます。

$$f(x)=x^{16}+x^{12}+x^{5}+1 \quad (11)$$

CRC16-CCITT ダイジェスト サイズは 16 ビット (ハーフワード) です。

15.1.2 CRC32-ISO3309

CRC32-ISO3309 の場合、CRC シグネチャは以下の式に示すように、ISO3309 イーサネット規格の多項式に基づいて生成されます。

$$f(x)=x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^{8}+x^{7}+x^{5}+x^{4}+x^{2}+x+1 \quad (12)$$

CRC32-ISO3309 のダイジェスト サイズは 32 ビットです。

15.2 CRC 動作

CRC ジェネレータは、CRCCTRL レジスタで目的の動作モードを設定してから、シード値を CRCSEED レジスタに書き込むことで初期化されます。シードが CRCSEED レジスタにロードされた後、CRCOUT レジスタは CRCSEED にロードされたシード値を反映します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

シード値が CRCSEED に書き込まれる前に、エンディアンネス モードがビッグ エンディアンに設定されている場合、シード値が CRC モジュールにロードされると、CRCSEED に書き込まれたシード値のバイト順序がスワップされます。

初期化が完了したら、バイト (8 ビット)、ハーフワード (16 ビット)、ワード (32 ビット) 単位で CRCIN レジスタに書き込むことで、データを CRC ジェネレータに入力できます。CPU または DMA を使用して、入力データを CRC アクセラレータに送信できます。

注

バイト単位の書き込みは、ワード整列されている必要はありません。CRCIN 内の任意のバイト位置へのバイト書き込みは、同じ方法で解釈されます (計算された CRC に書き込まれた 8 ビットを追加します)。ハーフワード単位の書き込みでもワード整列されている必要はありませんが、ハーフワード整列されている必要があります。たとえば、CRCIN の BIT0-BIT15 または BIT16-BIT31 にハーフワードを書き込むことはできますが、BIT8-BIT23 にはできません。

CRC ジェネレータを使用してデータ セットを検証する場合、CRC 計算に含まれるすべてのデータは、元の CRC シグネチャの計算に使用された順序で CRCIN レジスタに書き込む必要があります。CRC ジェネレータを使用して、以降の検証に使用する新しいシグネチャを作成する場合は、検証の実行時に必ず同じ方法と設定でデータをロードする必要があります。

現在の CRC 出力は、CRCOUT レジスタを読み取ることにより、いつでも読み出すことができます。

15.2.1 CRC ジェネレータの実装

CRC ジェネレータは、一連の XOR ツリーによって実装されます。CRCIN レジスタに書き込むことにより、CRC アクセラレータに 8 ビット、16 ビット、32 ビットのセットが提供された後、入力ビット全体の計算が実行されます。CRC ペリフェラルを使用するときに、新しいデータが CRCIN に書き込まれると、CRC ジェネレータは CRC 出力を 1 サイクルで更新します。CRC-P バージョンには、追加のサイクルが必要です。データを CRC ジェネレータに連続的にロードするのに、バス ウェイト状態は必要ありません。

15.2.2 構成

CRC アクセラレータは、多項式選択、ビット反転選択、バイト順序 (エンディアンネス) 選択をサポートしています。この項では、これらの設定について説明します。

CRC アクセラレータは、PWREN レジスタを介して使用する前に有効にする必要があります (ペリフェラル パワー イネーブルを参照)。

CRC アクセラレータは電力ドメイン 1 (PD1) にあり、RUN モードまたは SLEEP モードでのみアクティブにできます。アプリケーション ソフトウェアによって CRC アクセラレータが有効になるように設定されていて、デバイスが STOP モードまたは STANDBY モードに遷移すると、SYSCTL はデバイスが STOP モードまたは STANDBY モードを解除するまで CRC を強制的に無効状態にします。STOP モードまたは STANDBY モードで CRC が強制的に無効状態になると、CRC レジスタのすべての内容が保持されます。

CRC モジュールは、PD1 バス クロック (MCLK) からのみ動作します。

15.2.2.1 多項式選択

目的の多項式 (CRC16-CCITT または CRC32-ISO3309) は、CRCCTRL レジスタの POLYSIZE ビットを使用して選択されます。シード値とデータ値をロードする前に、使用する多項式を選択する必要があります。

CRC ジェネレータが 16 ビット ダイジェスト (CRC16-CCITT) 用に設定されている場合、以下の条件が適用されます。

- CRCSEED レジスタの上位ハーフワード (16 ビット) は無視され、下位ハーフワードのみが使用されます
- CRCOUT レジスタの上位ハーフワード (16 ビット) は 0 として読み出され、下位ハーフワードのみが有効になります

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

CRC ジェネレータが CRC32-ISO3309 用に設定されている場合、CRCSEED と CRCOUT の 32 ビットすべてが有効になります。

15.2.2.2 ビット順序

様々な CRC 標準はメイン フレーム コンピュータの時代に定義されたものです。その時点で、BIT0 は MSB として扱われていました。現代のコンピューティングでは、BIT0 は通常 LSB です。

Arm Cortex-M33 CPU は、最新の CPU や MCU で一般的に見られるように、BIT0 を LSB として扱います。BIT0 は、ある場合には LSB として扱われ、それ以外の場合は MSB として扱われるため、これは混乱を引き起こすことがあります。したがって、CRC アクセラレータにはビット順序反転機能があり、両方の規約をサポートできます。

CRCCTRL レジスタの BITREVERSE ビットをセットすることでビット順序反転を有効にでき、入出力データで次の動作が可能になります。

- **入力データ:**CRCIN レジスタに書き込まれる各入力バイトのビット順序は、CRC 計算で使用するために CRC ジェネレータに渡される前に反転されます。
- **出力データ:**CRCOUT レジスタから読み出されるときに、16 ビットまたは 32 ビットの CRC 結果のビット順序が反転されます

注

入力データをビット反転する必要があり、出力を反転しないで読み取る場合は、データを CRCIN にロードする前に BITREVERSE ビットをセットし、すべてのデータが CRCIN に書き込まれた後で、結果のシグネチャが CRCOUT から読み取られる前にクリアします。同様に、BITREVERSE をクリアした (反転しない) 状態で入力データを CRCIN にロードし、読み取る前に出力を反転することができます (CRCOUT を読み取る前に BITREVERSE をセットします)。

15.2.2.3 バイト スワップ

CRCCTRL レジスタの OUTPUT_BYTESWAP ビットを使用して、CRC 出力バイトのスワップを有効または無効にできます。このビットは、CRCOUT レジスタを読み出したときに出力をバイト スワップするかどうかを制御します。CRCOUT がハーフワードとしてアクセスされ、OUTPUT_BYTESWAP が 1 に設定されている場合、16 ビット アクセスの 2 バイトがスワップされ、返されます。B0、B1、B2、B3 を使用して、バイト 0、バイト 1、バイト 2、バイト 3 を識別します。B1 は B0 として返され、B0 は B1 として返されます。CRCOUT がワードとしてアクセスされ、OUTPUT_BYTESWAP が 1 に設定されている場合、32 ビット読み取りの 4 バイトがスワップされます。B3 は B0 として、B2 は B1 として、B1 は B2 として、B0 は B3 として返されます。

CRC POLYSIZE が 16 ビットで、OUTPUT_BYTESWAP が有効な状態で CRCOUT の 32 ビット読み取りを実行すると、出力は次のようになります。MSB LSB 0x0 0x0 B0 B1。CRC POLYSIZE が 16 ビットで、OUTPUT_BYTESWAP が無効な状態で CRCOUT の 32 ビット読み取りを実行すると、出力は次のようになります。MSB LSB 0x0 0x0 B1 B0。

15.2.2.4 バイト順序

ハーフワードまたはワードの入力データを使用する場合、入力バイト順はリトル エンディアンまたはビッグ エンディアンに設定できます。デフォルトの設定はリトル エンディアンです。ハーフワードまたはワード入力を使用する場合にバイト順を反転するには、CRCCTRL レジスタの INPUT_ENDIANNESS ビットをセットします。

エンディアンを反転すると、ハーフワードおよびワード書き込みで次のような変換が行われます:

表 15-1. CRCIN バイト順序変換

エンディアンネス	CRCIN に書き込まれるデータ	CRC ロジックに適用されるデータ
0 (小)	0x1234	0x1234
1 (大)	0x1234	0x3412
0 (小)	0x12345678	0x12345678

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 15-1. CRCIN バイト順序変換 (続き)

エンディアンネス	CRCIN に書き込まれるデータ	CRC ロジックに適用されるデータ
1 (大)	0x12345678	0x78563412

注

CRCSEED にシード値を書き込む前に ENDIANNESS ビットをセットすると、CRCSEED に書き込まれたシード値のバイト順も、CRC へのロード時に反転されます。また、CRCSEED レジスタへの書き込み後に CRCOUT レジスタを読み出すと、シード値は反転した状態で読み出されます。

15.2.2.5 CRC C ライブラリとの互換性

ソフトウェアで CRC にデータを簡単にロードできるように、CRC アクセラレータには 512 ワード (2KB) の CRCIN_IDX 領域が用意されています。CRCIN_IDX 領域内では、任意のワードへの書き込みは、CRCIN レジスタへの書き込みと機能的に同等になるように再マップされます。このメカニズムにより、ソースデータが 2KB (2,048 バイト) 未満である場合に限り、標準的な C ライブラリ *memcpy()* ルーチンを使用して、SRAM またはフラッシュから CRC にデータをコピーできます。

Copyright © 2026 Texas Instruments Incorporated

15.3 CRCP0 のレジスタ

CRCP0 レジスタのメモリマップされたレジスタを、表 15-2 に示します。表 15-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 15-2. CRCP0 のレジスタ

オフセット	略称	レジスタ名	グループ	セクション
800h	PWREN	パワー イネーブル		表示
804h	RSTCTL	リセット制御		表示
814h	STAT	ステータス レジスタ		表示
1004h	CLKSEL	クロックの選択		表示
10FCh	説明	モジュールの説明		表示
1100h	CRCCTRL	CRC 制御レジスタ		表示
1104h	CRCSEED	CRC シード レジスタ		表示
1108h	CRCIN	CRC 入力データ レジスタ		表示
110Ch	CRCOUT	CRC 出力結果レジスタ		表示
1110h	CRCPOLY	CRC 多項式構成レジスタ		表示
1800h + 式	CRCIN_IDX[y]	CRC 入力データ配列レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 15-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 15-3. CRCP0 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
H	H	ハードウェアによってセットまたはクリア
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

15.3.1 PWREN (オフセット = 800h) [リセット = 00000000h]

図 15-2 に、PWREN を示し、表 15-4 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 15-2. PWREN

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R-0h							R/WK – 0h

表 15-4. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電力状態の変更を許可するキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブルにする 1h = 電源をイネーブルにする

Copyright © 2026 Texas Instruments Incorporated

15.3.2 RSTCTL (オフセット = 804h) [リセット = 00000000h]

図 15-3 に、RSTCTL を示し、表 15-5 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 15-3. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
R-0h						WK-0h	WK-0h

表 15-5. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	R	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

15.3.3 STAT (オフセット = 814h) [リセット = 00000000h]

図 15-4 に、STAT を示し、表 15-6 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 15-4. STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 15-6. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってこのビットがクリアされてから、ペリフェラルがリセットされたかどうかを示します。 0h = このビットが RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h= 前回ビットがクリアされてから、ペリフェラルがリセットされた
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

15.3.4 CLKSEL (オフセット = 1004h) [リセット = 00000001h]

図 15-5 に、CLKSEL を示し、表 15-7 に、その説明を示します。

概略表に戻ります。

クロック ソースの選択

図 15-5. CLKSEL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							MCLK_SEL
R-0h							R-1h

表 15-7. CLKSEL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	MCLK_SEL	R	1h	有効な場合、メイン クロック (MCLK) を選択します。 0h = このクロックをソースとして選択しません。 1h = このクロックをソースとして選択します。

Copyright © 2026 Texas Instruments Incorporated

15.3.5 DESC (オフセット = 10FCh) [リセット = 00000000h]

図 15-6 に、DESC を示し、表 15-8 に、その説明を示します。

概略表に戻ります。

このレジスタは、ペリフェラルとその正確なバージョンを識別します。

図 15-6. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				INSTNUM				MAJREV				MINREV			
R-0h				R-0h				R-0h				R-0h			

表 15-8. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	2011h	モジュール識別には、固有のペリフェラル識別番号が含まれています。一意性を確保するため、すべてのプラットフォーム モジュールの割り当ては中央のデータベースに保持されます。 0h = 最小値 FFFFh = 可能な最大値
15-12	FEATUREVER	R	8h	モジュール *インスタンス*の機能セット 0h = 最小値 Fh = 最大値
11-8	INSTNUM	R	0h	デバイス内のインスタンス番号。これは、複数のインスタンスが存在するモジュールの RTL のパラメータになります。 0h= 最小値 Fh = 最大値
7-4	MAJREV	R	1h	IP のメジャー リビジョン 0h = 最小値 Fh = 可能な最大値
3-0	MINREV	R	0h	IP のマイナー リビジョン 0h = 最小値 Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

15.3.6 CRCCTRL レジスタ (オフセット = 1100h) [リセット = 00000000h]

図 15-7 に、CRCCTRL を示し、表 15-9 に、その説明を示します。

概略表に戻ります。

CRC 制御レジスタ。CRC の構成制御。

図 15-7. CRCCTRL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			OUTPUT_BYTESWAP	予約済み	INPUT_ENDIANNESS	BITREVERSE	POLYSIZE
R-0h			R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h

表 15-9. CRCCTRL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4	OUTPUT_BYTESWAP	R/W	0h	CRC 出力バイトラップ有効。このビットは、CRCOUT レジスタを読み出したときに出力をバイト スワップするかどうかを制御します。 CRCOUT がハーフワードとしてアクセスされ、OUTPUT_BYTESWAP が 1 に設定されている場合、16 ビット アクセスの 2 バイトがスワップされ、返されます。 B1 が B0 として返されます。 B0 が B1 として返されます。 CRCOUT がワードとしてアクセスされ、OUTPUT_BYTESWAP が 1 に設定されている場合、32 ビット読み取りの 4 バイトがスワップされます。 B3 が B0 として返されます。 B2 が B1 として返されます。 B1 が B2 として返されます。 B0 が B3 として返されます。 CRC POLYSIZE が 16 ビットで、OUTPUT_BYTESWAP が有効な状態で CRCOUT の 32 ビット読み取りを実行すると、 出力は次のようになります。 MSB LSB 0x0 0x0 B0 B1 CRC POLYSIZE が 16 ビットで、OUTPUT_BYTESWAP が無効な状態で CRCOUT の 32 ビット読み取りを実行すると、 出力は次のようになります。 MSB LSB 0x0 0x0 B1 B0 0h = 出力のバイト スワッピングは無効になります。 1h = 出力のバイト スワッピングは有効になります。
3	予約済み	R	0h	
2	INPUT_ENDIANNESS	R/W	0h	CRC エンディアン。このビットは、入力データのワードまたはハーフワード内のバイト順序を示します。 0h = LSB が最小メモリ アドレスで、最初に処理されます。 1h = LSB が最大のメモリ アドレスで、最後に処理されます。

Copyright © 2026 Texas Instruments Incorporated

表 15-9. CRCCTRL のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	BITREVERSE	R/W	0h	CRC ビットの入出力反転。このビットは、CRC 計算に使用される各入力バイトのビット順序がジェネレータに渡される前に反転され、CRC_RESULT から読み出すと計算された CRC のビット順序が反転されていることを示します。 0h = ビット順序は反転されません。 1h = ビット順序が反転されています。
0	POLYSIZE	R/W	0h	このビットは、ジェネレータによって実行される CRC 計算を示します。 0h = CRC-32 ISO-3309 計算を実行 1h = CRC-16 CCITT を実行

Copyright © 2026 Texas Instruments Incorporated

15.3.7 CRCSEED (オフセット = 1104h) [リセット = 00000000h]

図 15-8 に、CRCSEED を示し、表 15-10 に、その説明を示します。

概略表に戻ります。

CRC シード レジスタ。このレジスタに書き込まれたデータは、このシード値で CRC 結果を初期化するために使用されます。16 ビット モードでは、この値の下位 16 ビットのみが使用されることに注意してください。このレジスタに書き込んだ後、CRC 出力結果レジスタには、この値が反映されます。

図 15-8. CRCSEED

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEED																															
W-0h																															

表 15-10. CRCSEED のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SEED	W	0h	シード データ 00000000h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

15.3.8 CRCIN (オフセット = 1108h) [リセット = 00000000h]

図 15-9 に、CRCIN を示し、表 15-11 に、その説明を示します。

概略表に戻ります。

CRC 入力データ レジスタ。このレジスタに書き込まれたデータと、現在の CRC 結果を使用して、次の CRC 結果を計算します。これは 1 クロック サイクルで実行され、ウェイト状態は必要ありません。このレジスタには、バイト、ハーフワード、またはワード転送として書き込むことができ、次の CRC 結果で正しいビット数が使用されるようになります。
また、このレジスタのメモリ範囲を超えない CRC 計算で、DMA の代わりに memcpy を使用できるように、0xTDB_X000 から 0xTDB_XFFF までのレジスタの範囲にマップされます。

図 15-9. CRCIN

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 15-11. CRCIN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	入力データ 00000000h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

15.3.9 CRCOUT (オフセット = 110Ch) [リセット = 00000000h]

図 15-10 に、CRCOUT を示し、表 15-12 に、その説明を示します。

概略表に戻ります。

CRC 出力結果レジスタ。このレジスタは、現在の CRC 計算の結果を格納します。16 ビットモードに構成すると、上位ビットの読み戻しは 0 になることに注意してください。CRC 制御レジスタ内で出力反転がセットされている場合、それが適用されることに注意してください。

図 15-10. CRCOUT

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
結果																															
R-0h																															

表 15-12. CRCOUT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	結果	R	0h	結果 00000000h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

15.3.10 CRCPOLY (オフセット = 1110h) [リセット = 00000000h]

図 15-11 に、CRCPOLY を示し、表 15-13 に、その説明を示します。

概略表に戻ります。

CRC 多項式構成レジスタ。このレジスタは、カスタム多項式をサポートするデバイスにのみ存在します。デバイスのデータシートを参照してください。

図 15-11. CRCPOLY

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
-0																															

表 15-13. CRCPOLY のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	04C11DB7h	多項式定義	

Copyright © 2026 Texas Instruments Incorporated

15.3.11 CRCIN_IDX[y] (オフセット = 1800h + 式) [リセット = 00000000h]

図 15-12 に、CRCIN_IDX[y] を示し、表 15-14 に、その説明を示します。

概略表に戻ります。

このレジスタは CRCIN にデュアル マップされており、C memcpy ルーチンでの動作を可能にするように設計されています。

オフセット = 1800h + (y * 4h)、ここで y = 0h～1FFh

図 15-12. CRCIN_IDX[y]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
HW-0h																															

表 15-14. CRCIN_IDX[y] のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	HW	0h	入力データ 00000000h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

Chapter 16

キーストア

16.1 概要 897
16.2 詳細説明 897
16.3 KEYSTORECTL レジスタ 898

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

16.1 概要

キーストア コントローラは、Advanced Encryption Engine (AES) キーの安全な管理を提供します。キーストア コントローラの使用モデルは、顧客のセキュア コードの実行中にキーを安全に格納し、その後 AES エンジンがオブザーバーにキーデータを漏らさずに安全な方法でそれらにアクセスすることです。128 ビットと 256 ビットのキーは、キーストアのキー スロットに格納できます。キーストアと AES エンジンとの相互作用は、部分的なキー変更攻撃を阻止するなど、安全な操作を可能にするように設計されています。

16.2 詳細説明

キーストアは AES キーの格納をサポートしています。最大 4 個の 128 ビット キー スロットがプロビジョニングされ、次のようなさまざまなソフトウェア管理構成で使用できます。

- 4 つの 128 ビット キー
- 2 つの 256 ビット キー
- 1 つの 256 ビット キーと 2 つの 128 ビット キー

注

サポートされている AES キーの数については、該当するデバイスのデータシートを参照してください。

この構成の選択は、キーをスロットに格納する前に、ユーザーのセキュア コードによって実行されます。構成は、CFG レジスタの NK256 フィールドに 256 ビット キーの数を書き込むことで行われます。

構成後、キー バイトはキーストア コントローラ レジスタで選択されたスロットに書き込むことができます。これは、KEYWR レジスタの KEYSZSEL (キー サイズの選択) フィールドと KEYSLOTSEL (キー スロット選択) フィールドをプログラミングすることで行います。ハードウェアは、256 ビット キーは下位番号のスロットに格納されることを想定しています。たとえば、ストアが 1 つの 256 ビット キーと 2 つの 128 ビット キーで構成されている場合、256 ビット キーはスロット 0 と 1 に格納する必要があります。256 ビット キーに他のスロットが使用されている場合、IP はエラー (無効な設定) を報告します。ストアが 2 つの 256 ビット キー用に設定されている場合、キー 0 はスロット 0 と 1 を占有し、キー 1 はスロット 2 と 3 を占有します。

キー バイトをスロットに格納するには、KEYIN レジスタに書き込みます。キー書き込みトランザクションが開始されると、すべてのキー バイト (128 ビット キーは 4 ワード、256 ビット キーは 8 ワード) が書き込まれるまで、キーは有効ではないとみなされます。スロットの有効性は、アプリケーションのステータス レジスタを介して示されます。ユーザーのセキュア コードが、必要なバイト数を格納すると、キーは有効になり、アプリケーションで使用できます。STATUS レジスタは、キーストア コントローラのステータスとキー スロットの有効性を示すステータス フィールドと妥当性フィールドを提供します。

キーの構成処理は、ユーザーのセキュア コードが実行されている間にのみ許可されることに注意してください。その後、キーストアの構成はロックされ、変更できなくなります。ユーザーのセキュア コードの終わりを通知する方法については、「セキュリティ アーキテクチャ」の章で説明しています。

実行時に (ユーザーのセキュア コードの実行が終了した後)、アプリケーションは有効なキーのいずれかを使用して AES の暗号化 / 復号化処理を行うことができます。特定のキーを使用するように AES エンジンを設定するため、アプリケーションがキー スロットを参照し、セキュアな内部バスを介してキー データの AES エンジンへの転送を開始します。これは、KEYRD レジスタの KEYSZSEL (キー サイズの選択) と KEYSLOTSEL (キー スロットの選択) フィールドに書き込むことで実行されます。選択されたキー データは、ソフトウェアまたはデバッガからアクセスできないプライベート バスを介して AES エンジンに安全に転送されます。

キーストアは、以降の起動リセットまで、状態とキー データを保持します。起動リセット時に、ユーザーのスタートアップ コードによってキーストアが設定されます。ユーザーのスタートアップ コードの実行の最後で 1 つ以上のスロットが使用されていない場合、これらのスロットはアプリケーションの残りの部分の実行で使用できなくなります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

16.3 KEYSTORECTL レジスタ

表 16-1 に、KEYSTORECTL レジスタのメモリ マップト レジスタを示します。表 16-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 16-1. KEYSTORECTL レジスタ

オフセット	略称	レジスタ名	グループ	セクション
1100h	CFG	キーストアの設定		表示
1104h	KEYWR	キー書き込み設定		表示
1108h	KEYRD	キー読み取り設定		表示
110Ch	ステータス	ステータス		表示
1110h	KEYIN	入力キー		表示
1114h	KEYLOCK	キーロック		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 16-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 16-2. KEYSTORECTL アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

16.3.1 CFG (オフセット = 1100h) [リセット = 00000001h]

図 16-1 に、CFG を示し、表 16-3 に、その説明を示します。

概略表に戻ります。

キーストア構成レジスタ。

図 16-1. CFG

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												NK256			
R-0h												R/W-1h			

表 16-3. CFG フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	NK256	R/W	1h	キーストアに保持する 256 ビット キーの数。 ハードウェアに存在するスロットの合計数の半分を超えることはできません。 たとえば、SYS_N_SLOTS=4 の場合、最大 2 つの 256 ビット キーをキーストアに保持できます。 このフィールドの設定が正しくない場合、STATUS レジスタにより通知されます 0h = 256 ビット キーなし 1h = 256 ビット キーが 1 個 2h = 256 ビット キーが 2 個 3h = 256 ビット キーが 3 個 4h = 256 ビット キーが 4 個

Copyright © 2026 Texas Instruments Incorporated

16.3.2 KEYWR (オフセット = 1104h) [リセット = 00000000h]

図 16-2 に、KEYWR を示し、表 16-4 に、その説明を示します。

概略表に戻ります。

キー書き込み動作を設定するためのレジスタ

図 16-2. KEYWR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
KEYSLOTSEL				予約済み	KEYSZSEL		
R/W-0h				R-0h	R/W-0h		

表 16-4. KEYWR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-4	KEYSLOTSEL	R/W	0h	キーを書き込むキー スロットを選択します。 注:SW は、正しいスロットに書き込まれていることを確認する必要があります。スロット番号は 0 から SYS_N_SLOTS-1 までです。 各スロットは、128 ビットのスロットです。したがって、256 ビット キーを書き込むときは、2 個のスロットを用意する必要があります。 256 ビット キー用には偶数番号のスロット (0 または 2) を選択する必要があります。 また、256 ビット キーはすべて、下位番号のスロットに格納し、上位番号のスロットには 128 ビット キーを格納する必要があります。 0h = スロット 0 1h = スロット 1 2h = スロット 2 3h = スロット 3 4h = スロット 4 5h = スロット 5 6h = スロット 6 7h = スロット 7
3	予約済み	R	0h	
2-0	KEYSZSEL	R/W	0h	キー サイズの選択。128 ビット キーまたは 256 ビット キーの選択 0h= 256 ビット キー 1h= 128 ビット キー

Copyright © 2026 Texas Instruments Incorporated

16.3.3 KEYRD (オフセット = 1108h) [リセット = 00000000h]

図 16-3 に、KEYRD を示し、表 16-5 に、その説明を示します。

概略表に戻ります。

キー転送操作 (キーストアから暗号エンジンへの転送) を設定するためのレジスタ。

図 16-3. KEYRD

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						CRYPTOSEL	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
KEYSLOTSEL				予約済み	KEYSZSEL		
R/W-0h				R-0h	R/W-0h		

表 16-5. KEYRD フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9-8	CRYPTOSEL	R/W	0h	暗号エンジン セレクタ
7-4	KEYSLOTSEL	R/W	0h	キーを読み取るキー スロットを選択します。 注:SW は、正しいスロットから読み取っていることを確認する必要があります。スロット番号は 0 から SYS_N_SLOTS-1 までです。 各スロットは、128 ビットのスロットです。したがって、256 ビット キーを読み取るときは、隣接する 2 個のスロットが読み取られます。 256 ビット キーの場合、インデックスが偶数番号のスロットを指定する必要があります。
3	予約済み	R	0h	
2-0	KEYSZSEL	R/W	0h	キー サイズの選択。128 ビット キーまたは 256 ビット キーの選択 0h= 256 ビット キー 1h= 128 ビット キー

Copyright © 2026 Texas Instruments Incorporated

16.3.4 STATUS (オフセット = 110Ch) [リセット = 00020001h]

図 16-4 に、STATUS を示し、表 16-6 に、その説明を示します。

概略表に戻ります。

ステータス レジスタ

図 16-4. STATUS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						NKEYSLOTS	
R-0h						R-2h	
15	14	13	12	11	10	9	8
予約済み				VALID			
R-0h				R-0h			
7	6	5	4	3	2	1	0
VALID				STAT			
R-0h				R-1h			

表 16-6. STATUS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	
17-16	NKEYSLOTS	R	2h	キー ストレージのサイズ:128 ビット キースロットの数 0h = 2 スロット 1h = 3 スロット 2h = 4 スロット
15-12	予約済み	R	0h	
11-4	VALID	R	0h	構成済みのスロットを示す有効ビットのビット ベクトル
3-0	STAT	R	1h	ステータス情報 0h= 有効な設定 1h= キーストアが設定されていません。NK256 が設定されていません。 2h = CFG の NK256 フィールドの値が無効。 3h = キー デポジットの受信中 4h = 暗号エンジンにキーを送信中 5h = 書き込み用のキー スロットの選択が無効 6h = 読み取り用のキー スロットの選択が無効

Copyright © 2026 Texas Instruments Incorporated

16.3.5 KEYIN (オフセット = 1110h) [リセット = 00000000h]

図 16-5 に、KEYIN を示し、表 16-7 に、その説明を示します。

概略表に戻ります。

このレジスタに書き込むことで、32 ビットのキー値を書き込みます。これは読み取れません。

図 16-5. KEYIN

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 16-7. KEYIN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	32 ビット キー データ

Copyright © 2026 Texas Instruments Incorporated

16.3.6 KEYLOCK (オフセット = 1114h) [リセット = 00000000h]

図 16-6 に、KEYLOCK を示し、表 16-8 に、その説明を示します。

概略表に戻ります。

これに 1 を書き込むと、ホット エンコードされた特定のスロットへのキー アクセスがロックされます

図 16-6. KEYLOCK

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								LOCKBIT							
R-0h																								R/W-0h							

表 16-8. KEYLOCK のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	LOCKBIT	R/W	0h	特定のスロットがアプリケーションで使用されないようにロックするためのロック ビットのビット ベクトル。

Copyright © 2026 Texas Instruments Incorporated

Chapter 17

TRNG

真性乱数生成器 (TRNG) ブロックは、ランダムなビット シーケンスを生成するために使用できるエントロピー ソースです。

17.1 TRNG の概要 906
17.2 TRNG 動作 906
17.3 TRNG レジスタ 913

Copyright © 2026 Texas Instruments Incorporated

17.1 TRNG の概要

TRNG (真性乱数生成器) モジュールは、内部アナログ エントロピー ソースおよびデジタル コンディショニング / デシメーション ブロックを使用して、32 ビットの乱数値を安全に生成します。決定論的乱数生成器 (DRBG) を実装するときに、TRNG をエントロピー ソースとして使用し、真正乱数シード値を導出できます。TRNG は、暗号化乱数生成器用の NIST SP800-22 統計テスト スイートに合格できる決定論的ランダム ビット生成器 (DRBG) システムの構築向け設計されています。

TRNG モジュールの主な特長は次のとおりです。

- 32 ビットの真正乱数出力
- デバイスの全動作範囲 (電圧と温度) にわたって機能
- ΔΣ 変調器をベースとするアナログ エントロピー ソース
- コンディショニング ブロック
- 構成可能なデシメーション ブロック
- NIST SP800-22 に準拠した起動時および連続したヘルス テストを内蔵
- 電力操作攻撃から保護する専用の内部 LDO レギュレータ

17.2 TRNG 動作

TRNG は、2 つの主要コンポーネントから構成されます。1 つはアナログ ブロックで、LDO レギュレータとエントロピー ソースが含まれています。もう 1 つはデジタル ブロックで、ステート マシン、起動ロジック、コンディショニング、デシメーション、ヘルス テスト、レジスタ インターフェイスが含まれています。図 17-1 に、TRNG のブロック図を示します。

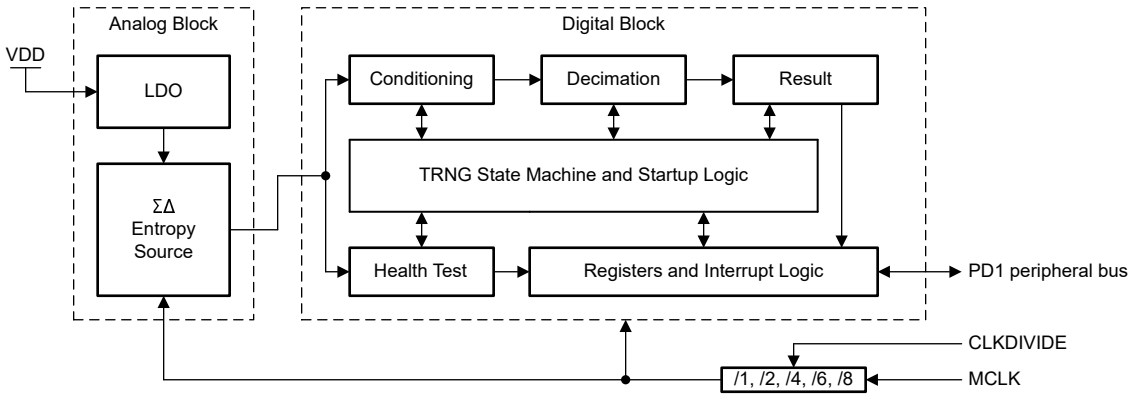


図 17-1. TRNG のブロック図

17.2.1 TRNG 生成データ パス

乱数生成データ パスはアナログ ブロックから始まります。アナログ ブロックには専用の低ドロップアウト レギュレータが含まれており、エントロピー ソースに電力を供給し、MCU 電源に対する電力操作攻撃への耐性を向上させます。デルタ シグマ エントロピー ソース自体は、ジョンソン ナイキスト ノイズのデルタ シグマ変調を通してエントロピーを取得します。

動作中、エントロピー ソース出力がデジタル化され、デジタル出力がデジタル コンディショニング ブロックに送信されて、ランダムなビット ストリームが生成されます。コンディショニング ブロックは、ストリーム暗号方式を実装しています。コンディショニング ブロックの後にデシメーション ブロックが配置され、構成可能な数のサンプルのエントロピーを蓄積することでエントロピーを増幅します。デシメーション ブロックの出力は、最終的に結果ワード保持レジスタにキャプチャされ、アプリケーション ソフトウェアで読み取ることができます。

Copyright © 2026 Texas Instruments Incorporated

注

デシメーション ブロックの目的は、複数のサンプルからのエントロピーを統合することで、TRNG 全体のエントロピーを増幅させることです。デシメーション ブロックは、コンディショニング ブロックからビットを蓄積し、*n* サンプルごとに 1 サンプルにデシメーションします (*n* はデシメーション値)。デシメーションは、コンディショニングされた *n* 個のビットのビット単位排他 OR 関数として実装されます。デシメーション整数 *n* は、1 ～ 8 の範囲で設定できます。

17.2.2 クロック構成と出力レート

TRNG 機能クロックは MCLK から生成されます。TRNG を適切に動作させるには、指定された周波数範囲内にある機能クロックが必要です。特定のデバイスで許容される TRNG 周波数範囲については、該当するデバイスのデータシートを参照してください。TRNG にはクロック分周器が含まれており、使用する TRNG の周波数を生成します。クロック分周器は、TRNG の CLKDIVIDE レジスタの RATIO フィールドで指定します。このフィールドは、TRNG を有効にした後 (PWREN レジスタを介して)、TRNG 状態がオフ状態から移行する前にセットする必要があります。TRNG を、デバイスのデータシートに規定されている範囲外の周波数で実行すると、予期しない動作が発生する可能性があります。

TRNG モジュールの出力レートは、TRNG 機能クロック周波数と選択したデシメーション レートに依存します。デシメーション レートが DECIM_RATE = 0x0 (1/1 デシメーションまたはデシメーションなし) に設定されている場合、32 個のランダム ビットをキャプチャするには、32 サイクル以上の TRNG 機能クロックが必要です。デシメーション レートが DECIM_RATE = 0x3 (1/4 デシメーション) に設定されている場合、32 個のランダム ビットをキャプチャするには 128 サイクルが必要です。1/4 デシメーション レートを設定した 10MHz クロック レートでは、32 ビットのランダム データをキャプチャするために必要な時間は 12.8µs です。式 13 に、TRNG 機能クロック周波数と選択したデシメーション レートに基づいて 32 個のランダム ビットを生成するために必要な時間を計算するための式を示します。

$$t_{GENERATE}=(32*(DECIM_RATE+1) / f_{TRNG} \quad (13)$$

注

NIST SP800-22 統計テスト スイートに合格するために必要な最小エントロピーを取得するには、1/4 デシメーション (DECIM_RATE= 0x3) 以上のデシメーション レートが必要です。暗号化アプリケーションで TRNG を使用する場合、1/4 以上のデシメーションを使用することを推奨します。

注

DECIM_RATE フィールドを変更した場合、(CTL レジスタの CMD フィールドに 0x3 を書き込むことで) 新しいレートを有効にするには、NORM_FUNC コマンドを TRNG に再送信する必要があります。

32 ビットのランダム データがキャプチャされ、DATA_CAPTURE レジスタで利用可能になると、TRNG は IRQ_CAPTURED_RDY 割り込みをアサートして、データの準備ができたことをプロセッサに通知します。プロセッサがデータを読み取った時点で、次の 32 ビットのランダム データのキャプチャが開始します。

17.2.3 低消費電力モードでの動作

TRNG は、RUN および SLEEP モードで使用できます。他の動作モードでは使用できません。デバイスの状態が SLEEP より下の動作モードに遷移すると、TRNG 構成設定とデータがすべて失われます。SLEEP よりも下の低消費電力動作モードを使用する場合、STOP、STANDBY、または SHUTDOWN モードからデバイスをウェークアップする際に、必要に応じて TRNG を再構成する必要があります。

17.2.4 ヘルス テスト

ヘルス テスト メカニズムとして、デジタル ブロック パワーオン セルフテスト、アナログ ブロック パワーオン セルフテスト、ランタイム セルフテストの 3 つが用意されています。デジタルおよびアナログのパワーオン セルフテストは、TRNG が NORM_FUNC 状態のときに、対応する CMD を TRNG ステート マシンに送信することで実行されます。ランタイム セルフテストは、TRNG が NORM_FUNC 状態のときは常に実行されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

17.2.4.1 デジタル ブロックのスタートアップ セルフテスト

デジタル スタートアップ ヘルス テストは、TRNG モジュールの電源投入時にアプリケーション ソフトウェアによって実行されます。この組み込みのセルフテストでは、完全なデジタル ブロックに対して、デジタル サンプルに事前定義されたシーケンスを実行し、想定される出力と比較することで、デジタル ブロックが適切に機能していることを検証します。テスト シーケンスには 8 つのテストが含まれています。各テストで 1,024 個のサンプルがデジタル ブロックに入力されるため、各テストが完了するのに 1,024 TRNG クロック サイクルが必要です。

デジタル スタートアップ セルフテストの結果は、TEST_RESULTS レジスタの DIG_TEST フィールドで通知されます。各テストは、そのステータスを個別の結果ビットに報告します。各テストに合格すると、DIG_TEST の対応するビットがハードウェアによってセットされます。デジタル スタートアップ セルフテストが完了したときに、TEST_RESULTS レジスタの DIG_TEST フィールドの 8 ビットすべてがセットされていれば合格となります。DIG_TEST フィールドのいずれかのビットがセットされていない場合、テストに失敗しています。いずれかのデジタル スタートアップ ヘルス テストに失敗した場合、TRNG は使用できません。

注

デジタル セルフテストは、実行時にデシメーション レートを変更します。これはセルフテスト機能の一部です。

注

デジタル セルフテストでは、テスト シーケンスの一部として、データパスに確定的な値が注入されます。デジタル ブロックのスタートアップ セルフテストの完了後、通常 (NORM_FUNC) 動作モードで DATA_CAPTURE レジスタから最初に読み出されたデータは、デジタル セルフテストからの確定的な値であり、真の乱数ではありません。**デジタル スタートアップ セルフテストの実行後は必ず、最初の DATA_CAPTURE の値を破棄してください。**

17.2.4.2 アナログ ブロックのスタートアップ セルフテスト

アナログ スタートアップ ヘルス テストは、TRNG モジュールの電源投入時にアプリケーション ソフトウェアによって実行されます。このテストでは、4,096 個の連続するアナログ サンプルをキャプチャし、サンプルがヘルス テストに合格したことを確認することで、アナログ ブロックが正常に機能していることを検証します。

ヘルス テストに失敗すると、ヘルス フェイル (IRQ_HEALTH_FAIL) 割り込みとコマンド完了 (IRQ_CMD_DONE) 割り込みの両方がアサートされ、TRNG ステート マシンはエラー状態になります。アナログ スタートアップ セルフテストの結果は、TEST_RESULTS レジスタの ANA_TEST ビットにも通知されます。テストに合格すると、ANA_TEST ビットがセットされます。テストに失敗した場合、ANA_TEST ビットはクリアされたままになります。

テストが失敗した場合、これはテスト中にアナログ ブロック内でエントロピーの深刻な損失が検出されたことを示しています。これは、エントロピー ソースが現在の状態で使用できないことを意味します。このテスト結果が偽陽性である確率 (失敗がアサートされたが、アナログ ブロックが正しく動作している確率) は、統計的に非常に低くなりますが、ゼロではありません。これは、TRNG アナログ ブロックが正常に動作している場合でも、特定の場合にエラーが通知される可能性がわずかにあることを意味します。テストの失敗が正当なもので、エントロピーの損失がないことを確認するには、アナログ スタートアップ ヘルス テストを繰り返し、失敗の妥当性を検証します。失敗した場合は、次の手順を行うことを推奨します。

1. IRQ_HEALTH_FAIL 割り込みをクリアする
2. TRNG をパワーオフする
3. アナログ スタートアップ ヘルス テストを再度実行する
4. テスト結果に応じて、以下の操作を行ってください。
   a. テストに合格した場合は、TRNG を使用できます。
   b. 2 回目のテストで失敗した場合は、手順 1 に進み、3 回目のテストを実行します。
   c. 3 回目のテストで失敗した場合は、致命的なエントロピー損失が発生するため、TRNG は使用しないでください。

Copyright © 2026 Texas Instruments Incorporated

17.2.4.3 ランタイム ヘルス テスト

TRNG の通常動作中は、エントロピー ソースからの未加工データがヘルス テスト ロジックに渡され、十分なエントロピーが継続的に存在することを確認します。このテストは、サンプルあたり最低 0.3 ビットのエントロピーを統計的にチェックするように設計されています。TRNG は、連続セルフテストとして繰り返しカウントと適応型比例の両方を実装しています。

17.2.4.3.1 繰り返しカウント テスト

繰り返しカウント テストでは、エントロピー ソースが長時間単一出力値でスタックしたままになる障害をすばやく検出します。連続する 135 個のサンプルに対してエントロピー ソースが同じビット値を出力すると、繰り返しカウント テストは失敗します。

17.2.4.3.2 適応比率テスト

適応比率テストは、1,024 サンプルのウィンドウにわたって、不均衡な数のサンプルが同じビット値またはビット パターンになるような障害を検出します。適応比率テストでは、表 17-1 のいずれかの条件は違反すると失敗します。たとえば、1,024 サンプル ウィンドウ内の 912 を超えるサンプルが同じビット値である場合、テストは失敗します。

表 17-1. 適応比率テスト境界

ビット パターン	ビット パターン発生の許容範囲
1	$112 < n < 912$
10	$211 < n < 341$
001	$97 < n < 192$
1011	$11 < n < 104$

適応比率テストに使用される 表 17-1 のビット パターンは、TRNG のエントロピーの致命的な損失を効果的に検出しながら、エラーの偽陽性検出を最小限に抑えるように設計されています。

17.2.4.3.3 ランタイム ヘルス テストの失敗の処理

ランタイム ヘルス テストで、エントロピーが十分でないことが認識されると、ヘルス エラー (IRQ_HEALTH_FAIL) 割り込みがアサートされ、TRNG ステート マシンは ERROR 状態に入ります。TRNG モジュールはランダムであるため、TRNG が正常に動作している場合でも、ヘルス エラーが示される可能性があります。エントロピーの真の損失があるかどうかを確認するには、次の手順を推奨します。

1. IRQ_HEALTH_FAIL 割り込みをクリアする
2. TRNG をパワーオフする
3. TRNG をパワーオンして通常モードに戻す
   a. ヘルス エラーがアサートされていなければ、TRNG は使用可能です。
   b. ヘルス テストが再度失敗した場合は、手順 1 に進み、3 回目のテストを実行します。
   c. 3 回目のヘルス テストが失敗した場合は、致命的なエントロピー損失が発生するため、TRNG を使用しないでください。

TRNG は、どのテストが失敗したかを示す診断情報を提供します。失敗しているランタイム テストを特定するには、STAT レジスタで REP_FAIL ビット (繰り返しテストの結果) と ADAP_FAIL ビット (適応比率テストの結果) を確認します。

17.2.5 構成

TRNG モジュールは、アプリケーション ソフトウェアで構成および使用され、PD1 CPU のみのペリフェラル バスを介してアクセスされます。DMA は TRNG にアクセスできません。

TRNG には、TRNG の現在の動作モードを管理するステート マシンが内蔵されています。アプリケーション ソフトウェアは、コマンドを使用して TRNG を構成し、現在の状態を変更できます。また、TRNG は、ステータスを通知するために CPU に割り込みを発行します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

TRNG に CMD が書き込まれる前に TRNG 構成レジスタへの書き込みが発生すると、予期しないコマンド失敗割り込み要求 (IRQ_CMD_FAIL) がアサートされる可能性があります。CMD が TRNG に書き込まれるまでは、TRNG 構成レジスタに書き込むときに TRNG コマンド失敗割り込みをマスクします。CMD を書き込んだ後、IRQ_CMD_FAIL 割り込みを有効にする前に、IRQ_CMD_FAIL 割り込みステータスをクリアします。

17.2.5.1 TRNG ステート マシン

TRNG には、TRNG の現在の動作状態を管理するステート マシンが含まれています。TRNG は、TRNG にコマンドを送信して状態を変更することで使用するように構成されています。TRNG には、表 17-2 に示す 7 つの状態があります。

表 17-2. TRNG 状態

コード	状態名	説明
0x0	OFF	アナログ ブロックの電源がオフになり、デジタルブロックが無効になっています
0x1	PWRUP_ES	TRNG は、エントロピー ソースの電源投入中で、NORM_FUNC に遷移します。
0x2	PWRDOWN_ES	TRNG はエントロピー ソースの電源オフ プロセス中で、OFF に遷移します。
0x3	NORM_FUNC	TRNG は正常に動作し、ランダムなビットを生成しています。
0x7	TEST_DIG	TRNG は、デジタル パワーオン セルフ テストを実行しています。
0xB	TEST_ANA	TRNG は、アナログ パワーオン セルフ テストを実行しています。
0xA	エラー	エラー状態のため、動作が停止しました。アナログは電力供給を維持しますが、ヘルス ロジックとコンディショニング ロジックは停止します。

現在の TRNG 状態は、アプリケーション ソフトウェアによって決定されます。現在の状態を確認するには、TRNG の STAT レジスタの FSM_STATE フィールドを読み出します。

17.2.5.1.1 TRNG 状態の変更

アプリケーション ソフトウェアは、CTL レジスタの CMD フィールドに新しいコマンド値を書き込むことで、TRNG の動作状態を設定できます。TRNG ステート マシンには 7 つの状態がありますが、CMD によるユーザー制御 (OFF、TEST_DIG、TEST_ANA、NORM_FUNC) で遷移するのは、そのうち 4 つのみです。その他の 3 つの状態 (PWRUP_ES、PWRDOWN_ES、ERR) には、アナログ ブロックの電源投入または切断時、あるいはエラー状態が発生した場合にのみ、ハードウェアによって遷移します。表 17-3 に、TRNG の動作状態変更コマンドを示します。

表 17-3. TRNG 動作モード コマンド

CMD	モード	説明
0x0	PWROFF	TRNG アナログ ブロックの電源がオフになり、TRNG デジタル ブロックはクロック ゲートされます。
0x1	TEST_DIG	TRNG デジタル パワーオン セルフ テストが実行され、結果は TEST_RESULTS レジスタに報告されます。
0x2	TEST_ANA	TRNG アナログ パワーオン セルフ テストが実行され、結果は TEST_RESULTS レジスタに報告されます。
0x3	NORM_FUNC	TRNG は通常動作モードに遷移し、エントロピー ソースからのサンプルの収集、コンディショニング、デシメーションが実行され、結果が DATA_CAPTURE レジスタに格納されます。このモードでは、統計的ヘルス テストが継続的に実行されます。

特定の状態から変更できるのは、特定の状態のみです。たとえば、CMD で OFF から切り替えられるのは NORM_FUNC のみです。NORM_FUNC からは CMD で TEST_DIG、TEST_ANA、OFF へ切り替え可能です。ERR 状態からは、OFF への切り替えのみが可能です。図 17-2 に、TRNG の状態フローを示します。

Copyright © 2026 Texas Instruments Incorporated

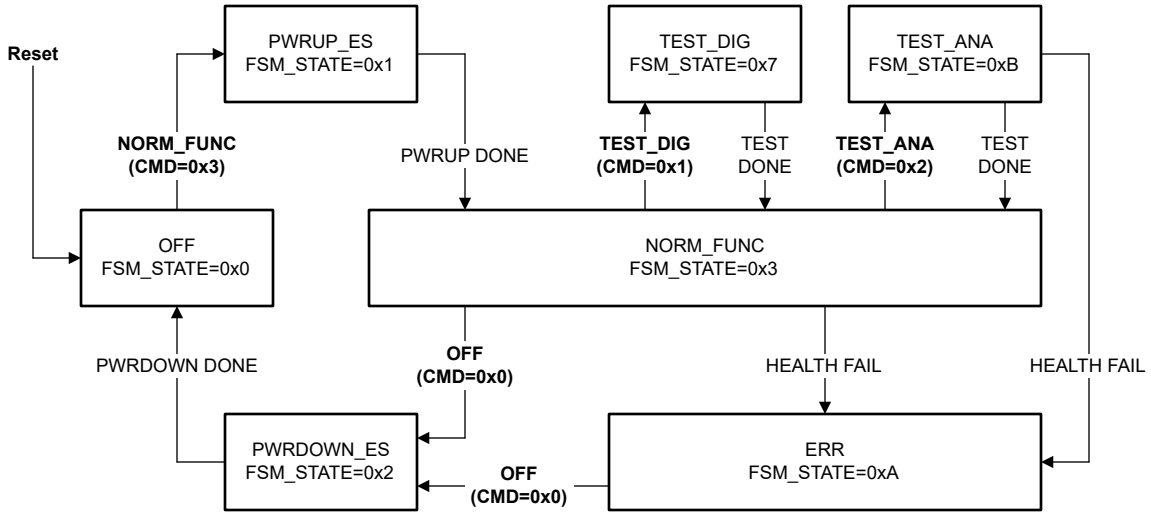


図 17-2. TRNG の状態フロー

新しいコマンドは、以前に発行されたコマンドの実行が完了した後にのみ、CMD フィールドに書き込むことができます。無効なタイミングでコマンドが書き込まれた場合、コマンドは拒否され、コマンド失敗割り込みがアサートされます。

17.2.5.2 TRNG の使用

TRNG は、次の手順で起動します。

1. TRNG PWREN レジスタで、ENABLE ビットと KEY をセットして、TRNG を有効にします。
2. TRNG 機能クロックが許容範囲内になるように TRNG クロック デバイダを構成します (標準値は 10MHz。詳細については、デバイスのデータシートを参照)。クロック デバイダは、CLKDIVIDE レジスタの RATIO フィールドに必要な値をプログラムすることで設定します。たとえば、MCLK が 80MHz の場合、RATIO フィールドを 0x7 (8 分周) に設定して、10MHz 機能クロックを TRNG モジュールに供給する必要があります。
3. TRNG 割り込みが無効であることを確認します (割り込みマスク ビットをクリアして割り込みをマスクします)。
4. TRNG の CTL レジスタの CMD フィールドに NORM_FUNC コマンド (0x3) を書き込むことで、TRNG をデフォルトの OFF 状態から NORM_FUNC 状態に移行します。IRQ_CMD_DONE 割り込みフラグがセットされるまで待機します。このフラグのセットは、CMD の完了を表します。
5. デジタル ブロックのスタートアップ セルフテスト ルーチンを実行して、TRNG デジタルが正常に機能していることを確認します。
   a. CTL レジスタの CMD フィールドに TEST_DIG コマンド (0x1) を書き込むことで、TRNG を NORM_FUNC 状態から TEST_DIG 状態に移行します。IRQ_CMD_DONE 割り込みフラグがセットされるまで待機します。このフラグのセットは、デジタル セルフテストの完了を表します。
   b. 8 つのデジタル テストにすべて合格していることを確認します。TEST_RESULTS レジスタの DIG_TEST フィールドがセットされていること (DIG_TEST = 0xFF) を確認します。
   c. デジタル テストの後、TRNG は自動的に NORM_FUNC 状態に戻ります。
6. アナログ ブロックのスタートアップ セルフテスト ルーチンを実行して、TRNG アナログが正常に機能していることを確認します。
   a. CTL レジスタの CMD フィールドに TEST_ANA コマンド (0x2) を書き込むことで、TRNG を NORM_FUNC 状態から TEST_ANA 状態に移行します。IRQ_CMD_DONE 割り込みフラグがセットされるまで待機します。このフラグのセットは、アナログ セルフテストの完了を表します。
   b. TEST_RESULTS レジスタの ANA_TEST ビットがセットされていることを確認します。セットされていれば、アナログ テストに合格しています。
   c. アナログ テストに合格すると、TRNG は自動的に NORM_FUNC 状態に戻ります。テストに失敗した場合、TRNG は ERR 状態になります。この場合、再度使用する前に OFF 状態にする必要があります。
7. スタートアップ セルフテストを実行した後、TRNG を通常動作用に設定します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

a. 対応する ICLR ビットをセットして、IRQ_CAPTURED_RDY_IRQ ステータスをクリアします。以前のセルフテスト中にセットされている可能性があります。
b. CTL レジスタの DECIM_RATE フィールドに新しいデシメーション レートをプログラムした後、NORM_FUNC コマンドを再度送信することで (CTL レジスタの CMD フィールドに 0x3 を書き込む)、デシメーション レートを目的の値に設定します。4 (DECIM_RATE=0x3) 以上のデシメーション レートを推奨します。
c. IMASK レジスタの IRQ_HEALTH_FAIL ビットをセットして、ヘルス テスト失敗割り込みを有効にします。
d. IMASK レジスタの IRQ_CAPTURED_RDY ビットをセットして、データ キャプチャ割り込みを有効にします。

8. 最初の IRQ_CAPTURED_RDY IRQ を待機し、DATA_CAPTURE レジスタを読み出します。この値 (スタートアップ セルフ テスト実行後に DATA_CAPTURE から最初に読み出した値) は真のランダム値ではないため、DATA_CAPTURE レジスタから真のランダムデータを収集する前に、読み出して破棄する必要があります。
9. IRQ_CAPTURED_RDY IRQ が再度アサートされると、DATA_CAPTURE レジスタでランダム ビットの読み出しが可能になります。
10. IRQ_HEALTH_FAIL IRQ がアサートされると、低エントロピー状態が検出され、TRNG は自動的に ERR 状態に切り替わり、動作を停止します。ERR 状態を終了するには、IRQ_HEALTH_FAIL 割り込みをクリアします。次に、CTL レジスタの CMD フィールドに OFF コマンド (0x0) を送信して、TRNG を OFF 状態に遷移させます。IRQ_CMD_DONE 割り込みフラグがセットされるのを待ってからステップ 2 に戻り、TRNG の電源を再度オンにして、十分なエントロピーが再び利用可能かどうかをテストします。

17.2.5.3 TRNG イベント

TRNG モジュールには、1 つのイベント パブリッシャが含まれ、イベント サブスクライバは含まれません。1 つのイベント パブリッシャ (CPU_INT) が、静的イベント ルートによって CPU サブシステムへの TRNG 割り込み要求 (IRQ) を管理します。

表 17-4 に、TRNG イベントを示します。

表 17-4. TRNG イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込みイベント	パブリッシャ	TRNG	CPU サブシステム	静的ルート	CPU_INT レジスタ	TRNG から CPU への固定割り込みルート

17.2.5.3.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

TRNG モジュールは、4 つの割り込みソースを備えており、CPU 割り込みイベントのソースとして構成できます。表 17-5 に、TRNG 割り込み条件の一覧を示します。

表 17-5. TRNG CPU 割り込み条件 (CPU_INT)

インデックス (IIDX)	名称	説明
1	IRQ_HEALTH_FAIL	ヘルス テストが失敗したことを通知します。
2	IRQ_CMD_FAIL	発行された CMD が失敗したことを通知します。
3	IRQ_CMD_DONE	発行された CMD が完了したことを通知します。
4	IRQ_CAPTURED_RDY	ランダム ビットを含む新しい 32 ビット データ ワードをプロセッサが読み取ることができることを通知します。

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。これらのレジスタで CPU 割り込みを構成する方法については、セクション 8.2.5 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

17.3 TRNG レジスタ

表 17-6 に、TRNG レジスタのメモリマップト レジスタを示します。表 17-6 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 17-6. TRNG レジスタ

オフセット	略称	レジスタ名	グループ	セクション
800h	PWREN	パワー イネーブル		表示
804h	RSTCTL	リセット制御		表示
814h	STAT	ステータス レジスタ		表示
1020h	IIDX	割り込みインデックス	CPU_INT	表示
1028h	IMASK	割り込みマスク	CPU_INT	表示
1030h	RIS	未加工の割り込みステータス	CPU_INT	表示
1038h	MIS	マスクされた割り込みステータス	CPU_INT	表示
1040h	ISET	割り込みをセット	CPU_INT	表示
1048h	ICLR	割り込みクリア	CPU_INT	表示
10FCh	説明	モジュールの説明		表示
1100h	CTL	コマンドおよびデシメーション レートを制御します		表示
1104h	STAT	ヘルス テストの結果と最後に発行されたコマンドを通知するステータス レジスタ		表示
1108h	DATA_CAPTURE	キャプチャされた RNG データのワード バッファ		表示
110Ch	TEST_RESULTS	TEST_ANA および TEST_DIG のテスト結果		表示
1110h	CLKDIVIDE	クロック分周比		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 17-7 に、このセクションでアクセス タイプに使用しているコードを示します。

表 17-7. TRNG のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

17.3.1 PWREN (オフセット = 800h) [リセット = 00000000h]

図 17-3 に、PWREN を示し、表 17-8 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 17-3. PWREN

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R/W-0h							R/WK – 0h

表 17-8. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電力状態の変更を許可するキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R/W	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブルにする 1h = 電源をイネーブルにする

Copyright © 2026 Texas Instruments Incorporated

17.3.2 RSTCTL (オフセット = 804h) [リセット = 00000000h]

図 17-4 に、RSTCTL を示し、表 17-9 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 17-4. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
W-0h						WK-0h	WK-0h

表 17-9. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	W	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

17.3.3 STAT (オフセット = 814h) [リセット = 00000000h]

図 17-5 に、STAT を示し、表 17-10 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 17-5. STAT

31	30	29	28	27	26	25	24
予約済み							
R-							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-							
7	6	5	4	3	2	1	0
予約済み							
R-							

表 17-10. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってこのビットがクリアされてから、ペリフェラルがリセットされたかどうかを示します。 0h = このビットが RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h= 前回ビットがクリアされてから、ペリフェラルがリセットされた
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

17.3.4 IIDX (オフセット = 1020h) [リセット = X]

図 17-6 に、IIDX を示し、表 17-11 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。0h は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、2 が次に高く、以降 4、8、と続き、2^{31} が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、RIS と MIS の対応する割り込みフラグもクリアされます。CPU から読み取った後 (デバッグインターフェイスからではなく)、レジスタは、次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0h を示します。

図 17-6. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-X																								R-0h							

表 17-11. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	X	
7-0	STAT	R	0h	割り込みインデックス ステータス 0h= ビットが設定されていないことは、保留中の割り込み要求がないことを示します 1h= ヘルス テストが失敗したことを示します。割り込みがクリアされるまで、TRNG はエラー状態になります。 2h = 発行されたコマンドが拒否され、実行されていないことを示します。 3h = 現在のコマンド / モードが完了したことを示します。これは、モードによって意味が異なります。 OFF --> 電源オフ PWRUP_DIG --> デジタル電源投入時テスト完了 PWRUP_ANA --> アナログ電源投入時テスト完了 NORM_FUNC --> IRQ なし。新しいコマンドが発行されるまでモードが無制限に継続するため。 4h = キャプチャ データを含むワード バッファをメモリにコピーする準備ができたことを示します。

Copyright © 2026 Texas Instruments Incorporated

17.3.5 IMASK (オフセット = 1028h) [リセット = X]

図 17-7 に、IMASK を示し、表 17-12 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みマスクがセットされます。

図 17-7. IMASK

31	30	29	28	27	26	25	24
予約済み							
R/W-X							
23	22	21	20	19	18	17	16
予約済み							
R/W-X							
15	14	13	12	11	10	9	8
予約済み							
R/W-X							
7	6	5	4	3	2	1	0
予約済み				IRQ_CAPTURED_RDY	IRQ_CMD_DONE	IRQ_CMD_FAIL	IRQ_HEALTH_FAIL
R/W-X				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 17-12. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	X	
3	IRQ_CAPTURED_RDY	R/W	0h	IRQ_CAPTURED_RDY のマスク。キャプチャされたワードの読み取り準備ができたことを CPU に通知します。 0h = 割り込みはマスキングされています 1h = 割り込みで割り込みサービス ルーチンが要求され、MIS の対応するビットがセットされます
2	IRQ_CMD_DONE	R/W	0h	IRQ_CMD_DONE のマスク。コマンドが完了していることを通知します。 0h = 割り込みはマスキングされています 1h = 割り込みで割り込みサービス ルーチンが要求され、MIS の対応するビットがセットされます
1	IRQ_CMD_FAIL	R/W	0h	IRQ_CMD_FAIL の割り込みソースのマスキング。発行されたコマンド / モードが拒否されたことを通知します。 0h = 割り込みはマスキングされています 1h = 割り込みで割り込みサービス ルーチンが要求され、MIS の対応するビットがセットされます
0	IRQ_HEALTH_FAIL	R/W	0h	IRQ_HEALTH_FAIL のマスク。ヘルス テストが失敗したことを通知します。 0h = 割り込みはマスキングされています 1h = 割り込みで割り込みサービス ルーチンが要求され、MIS の対応するビットがセットされます

Copyright © 2026 Texas Instruments Incorporated

17.3.6 RIS (オフセット = 1030h) [リセット = X]

図 17-8 に、RIS を示し、表 17-13 に、その説明を示します。

概略表に戻ります。

未加工の割り込みステータスには、マスキングに関係なく、保留中のすべての割り込みが反映されます。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 17-8. RIS

31	30	29	28	27	26	25	24
予約済み							
R-X							
23	22	21	20	19	18	17	16
予約済み							
R-X							
15	14	13	12	11	10	9	8
予約済み							
R-X							
7	6	5	4	3	2	1	0
予約済み				IRQ_CAPTURED_RDY	IRQ_CMD_DONE	IRQ_CMD_FAIL	IRQ_HEALTH_FAIL
R-X				R-0h	R-0h	R-0h	R-0h

表 17-13. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	X	
3	IRQ_CAPTURED_RDY	R	0h	キャプチャされたワードの読み取り準備ができたことを CPU に通知します。IIDX の読み出しで割り込みがクリアされます。 0h = IRQ_CAPTURED_READY は発生していない 1h = IRQ_CAPTURED_READY が発生
2	IRQ_CMD_DONE	R	0h	IRQ_CMD_DONE の未加工の割り込みソース。発行されたコマンド / モードが完了したことを通知します。 0h = IRQ_CMD_DONE は発生していない 1h = IRQ_CMD_DONE が発生
1	IRQ_CMD_FAIL	R	0h	IRQ_CMD_FAIL の割り込みソースのマスキング。発行されたコマンド / モードが拒否されたことを通知します。 0h = IRQ_CMD_FAIL は発生していない 1h = IRQ_CMD_FAIL が発生
0	IRQ_HEALTH_FAIL	R	0h	いずれかのヘルス テストが失敗したことを CPU に通知します。IIDX の読み出しで割り込みがクリアされます。 0h = IRQ_CAPTURED_READY は発生していない 1h = IRQ_CAPTURED_READY が発生

Copyright © 2026 Texas Instruments Incorporated

17.3.7 MIS (オフセット = 1038h) [リセット = X]

図 17-9 に、MIS を示し、表 17-14 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 17-9. MIS

31	30	29	28	27	26	25	24
予約済み							
R-X							
23	22	21	20	19	18	17	16
予約済み							
R-X							
15	14	13	12	11	10	9	8
予約済み							
R-X							
7	6	5	4	3	2	1	0
予約済み				IRQ_CAPTURED_RDY	IRQ_CMD_DONE	IRQ_CMD_FAIL	IRQ_HEALTH_FAIL
R-X				R-0h	R-0h	R-0h	R-0h

表 17-14. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	X	
3	IRQ_CAPTURED_RDY	R	0h	CAPTURED_READY の割り込み結果のマスキング。キャプチャされたワードの読み取り準備ができたことを CPU に通知します。IIDX の読み出しで割り込みがクリアされます。 0h= IRQ_CAPTURED_READY が割り込みサービス ルーチンを要求しませんでした 1h= IRQ_CAPTURED_READY が割り込みサービス ルーチンを要求しています
2	IRQ_CMD_DONE	R	0h	IRQ_CMD_DONE の割り込みソースのマスキング。発行されたコマンド / モードが完了したことを通知します。 0h= IRQ_CAPTURED_READY が割り込みサービス ルーチンを要求しませんでした 1h= IRQ_CMD_DONE が割り込みサービス ルーチンを要求しています
1	IRQ_CMD_FAIL	R	0h	IRQ_CMD_FAIL の割り込みソースのマスキング。発行されたコマンド / モードが拒否されたことを通知します。 0h= IRQ_CMD_FAIL が割り込みサービス ルーチンを要求しませんでした 1h= IRQ_CMD_FAIL が割り込みサービス ルーチンを要求しています
0	IRQ_HEALTH_FAIL	R	0h	HEALTH_FAIL 割り込み結果のマスキング。直前の 1,024 ビット ウィンドウで、いずれかのヘルス テストが失敗したことを CPU に通知します。 0h= IRQ_CAPTURED_READY が割り込みサービス ルーチンを要求しませんでした 1h= IRQ_CAPTURED_READY が割り込みサービス ルーチンを要求しています

Copyright © 2026 Texas Instruments Incorporated

17.3.8 ISET (オフセット = 1040h) [リセット = 00000000h]

図 17-10 に、ISET を示し、表 17-15 に、その説明を示します。

概略表に戻ります。

ISET を使用すると、ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 17-10. ISET

31	30	29	28	27	26	25	24
予約済み							
W-							
23	22	21	20	19	18	17	16
予約済み							
W-							
15	14	13	12	11	10	9	8
予約済み							
W-							
7	6	5	4	3	2	1	0
予約済み				IRQ_CAPTURED_RDY	IRQ_CMD_DONE	IRQ_CMD_FAIL	IRQ_HEALTH_FAIL
W-				W-	W-	W-	W-

表 17-15. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	IRQ_CAPTURED_RDY	W	0h	キャプチャされたワードの読み取り準備ができたことを CPU に通知します。IIDX または DATA_CAPTURE レジスタを読み取ると、この割り込みがクリアされます。 0h = 0 を書き込んでも何もしない 1h = CAPTURED_READY に対応する RIS ビットがセットされる
2	IRQ_CMD_DONE	W	0h	CMD_DONE IRQ をオンにするための書き込み。最後に発行された TRNG コマンドが完了したことを示します。 0h = 0 を書き込んでも何もしない 1h = CMD_DONE に対応する RIS ビットが設定されます
1	IRQ_CMD_FAIL	W	0h	IRQ_CMD_FAIL の割り込みソースのマスキング。発行されたコマンド / モードが拒否されたことを通知します。 0h = 0 を書き込んでも何もしない 1h = CMD_FAIL に対応する RIS ビットが設定されます
0	IRQ_HEALTH_FAIL	W	0h	いずれかのヘルス テストが失敗したことを CPU に通知します。IIDX または DATA_CAPTURE レジスタを読み取ると、この割り込みがクリアされます。 0h = 0 を書き込んでも何もしない 1h = HEALTH_FAIL に対応する RIS ビットがセットされる

Copyright © 2026 Texas Instruments Incorporated

17.3.9 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 17-11 に、ICLR を示し、表 17-16 に、その説明を示します。

概略表に戻ります。

1 を書き込むと、対応する割り込みがクリアされます。

図 17-11. ICLR

31	30	29	28	27	26	25	24
予約済み							
W-							
23	22	21	20	19	18	17	16
予約済み							
W-							
15	14	13	12	11	10	9	8
予約済み							
W-							
7	6	5	4	3	2	1	0
予約済み				IRQ_CAPTURED_RDY	IRQ_CMD_DONE	IRQ_CMD_FAIL	IRQ_HEALTH_FAIL
W-				W-	W-	W-	W-

表 17-16. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	IRQ_CAPTURED_RDY	W	0h	キャプチャされたワードの読み取り準備ができたことを CPU に通知します。IIDX または DATA_CAPTURE レジスタを読み取ると、この割り込みがクリアされます。 0h = 0 を書き込んでも何もしない 1h = CAPTURED_READY に対応する RIS ビットがクリアされる
2	IRQ_CMD_DONE	W	0h	CMD_DONE IRQ をオフにするための書き込み。最後に発行された TRNG コマンドが完了したことを示します。 0h = 0 を書き込んでも何もしない 1h = CMD_DONE に対応する RIS ビットがクリアされます
1	IRQ_CMD_FAIL	W	0h	IRQ_CMD_FAIL の割り込みソースのマスキング。発行されたコマンド / モードが拒否されたことを通知します。 0h = 0 を書き込んでも何もしない 1h = CMD_FAIL に対応する RIS ビットがクリアされます
0	IRQ_HEALTH_FAIL	W	0h	いずれかのヘルス テストが失敗したことを CPU に通知します。IIDX または DATA_CAPTURE レジスタを読み取ると、この割り込みがクリアされます。 0h = 0 を書き込んでも何もしない 1h = CAPTURED_READY に対応する RIS ビットがクリアされる

Copyright © 2026 Texas Instruments Incorporated

17.3.10 DESC (オフセット = 10FCh) [リセット = 05110000h]

図 17-12 に、DESC を示し、表 17-17 に、その説明を示します。

概略表に戻ります。

このレジスタは、MCLK と他の特殊なクロック ソースのどちらかを選択する必要がある特別なモジュールのクロック ソースの選択に使用されます。このレジスタは、ほとんどの標準 SVT ペリフェラルには存在しませんが、ADC などのモジュールには存在している場合があります。このレジスタは VDDCOREULP ドメイン ペリフェラルには存在せず、予約済みとなり、読み出し値は 0 になります。

図 17-12. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-511h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				INSTNUM				MAJREV				MINREV			
R-0h				R-0h				R-0h				R-0h			

表 17-17. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	511h	モジュール ID - 一意のモジュール ID を要求するために、TI 内部用のページが作成されました
15-12	FEATUREVER	R	0h	モジュール *インスタンス*の機能セット
11-8	INSTNUM	R	0h	デバイス内のインスタンス番号。これは、複数のインスタンスが存在するモジュールの RTL のパラメータになります。
7-4	MAJREV	R	0h	IP のメジャー リビジョン
3-0	MINREV	R	0h	IP のマイナー リビジョン

Copyright © 2026 Texas Instruments Incorporated

17.3.11 CTL (オフセット = 1100h) [リセット = X]

図 17-13 に、CTL を示し、表 17-18 に、その説明を示します。

概略表に戻ります。

TRNG システムのさまざまなパラメータに影響を及ぼします

図 17-13. CTL

31	30	29	28	27	26	25	24
予約済み							
R/W-X							
23	22	21	20	19	18	17	16
予約済み			PWRUP_PSTART_CFG		PWRUP_PCHRG_CFG		PWRUP_CLKDIV
R/W-X			R/W-2h		R/W-2h		R/W-0h
15	14	13	12	11	10	9	8
予約済み					DECIM_RATE		
R/W-X					R/W-0h		
7	6	5	4	3	2	1	0
予約済み						CMD	
R/W-X						R/W-0h	

表 17-18. CTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R/W	X	
20-19	PWRUP_PSTART_CFG	R/W	2h	パルス スタートアップ シーケンス長の設定 b00 = 無効 b01 = 10µs で立ち上がり、50µs で立ち下がり b10 = 10µs で立ち上がり、70µs で立ち下がり (デフォルト) b11 = 10µs で立ち上がり、90µs で立ち下がり
18-17	PWRUP_PCHRG_CFG	R/W	2h	PCHARGE シーケンス長の設定 b00 = 無効 b01 = 20 µs PCHARGE b10 = 30 µs PCHARGE (デフォルト) b11 = 40 µs PCHARGE
16	PWRUP_CLKDIV	R/W	0h	1 の場合、パワーアップ シーケンスの時間は 2 倍になります (クロック周波数が半分になります)
15-11	予約済み	R/W	X	
10-8	DECIM_RATE	R/W	0h	デシメーション レートを設定します。1/n にデシメーション 0x0 = 1/1 にデシメーション (デシメーションなし) 0x1 = 1/2 にデシメーション (1 サンプルおき) … 0x7 = 1/8 にデシメーション (8 サンプルごと)
7-2	予約済み	R/W	X	

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 17-18. CTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	CMD	R/W	0h	コマンドを使用して TRNG モードを設定します。IRQ_CMD_DONE で示されるように、前のコマンドが実行されるまでこのモードは更新されません。 00 --> OFF 01 --> PWRUP_DIG 10 --> PWRUP_ANA 11 --> NORM_FUNC 0h = アナログ ソースの電源をオフにし、デジタル インターフェイスにクロックを供給 1h = デジタル コンポーネントに対してパワーアップ テスト シーケンスを開始これにより、デジタル コンポーネントが正しく動作していることを検証できます。IRQ_CMD_DONE は、テストが完了したことを示します。このテスト結果は、TEST_RESULTS レジスタのビット 0:6 に格納されます。 2h = アナログ TRNG に対してパワーアップ テスト シーケンスを開始これにより、アナログ コンポーネントが十分なエントロピーを持つシーケンスを生成していることを検証できます。IRQ_CMD_DONE は、テストが完了したことを示します。このテスト結果は、TEST_RESULTS レジスタのビット 7 に格納されます。 3h = TRNG の通常動作モードすべてのコンポーネントがオンになります。

Copyright © 2026 Texas Instruments Incorporated

17.3.12 STAT (オフセット = 1104h) [リセット = X]

図 17-14 に、STAT を示し、表 17-19 に、その説明を示します。

概略表に戻ります。

ヘルス テストの結果、最後に発行されたコマンド、現在の FSM 状態を通知するステータス レジスタ

図 17-14. STAT

31	30	29	28	27	26	25	24
予約済み							
R-X							
23	22	21	20	19	18	17	16
予約済み				FSM_STATE			
R-X				R-0h			
15	14	13	12	11	10	9	8
予約済み						ISSUED_CMD	
R-X						R-0h	
7	6	5	4	3	2	1	0
予約済み						REP_FAIL	ADAP_FAIL
R-X						R-0h	R-0h

表 17-19. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	X	
19-16	FSM_STATE	R	0h	フロントエンド FSM の現在の状態 (クロック ドメイン クロッシングの先)。この状態の読み出し時にメタスタビリティが発生する可能性があるため、2 回の読み出しを行う必要があります。 0000 : OFF 0001 : PWRUP_ES 0011 : NORM_FUNC 0111 : TEST_DIG 1011 : TEST_ANA 1010 : ERROR 0010 : PWRDOWN_ES
15-10	予約済み	R	X	
9-8	ISSUED_CMD	R	0h	TRNG インターフェイスに対して最後に発行されたコマンドを示します。有効なコマンドを書き込むと、このレジスタが更新され、CMD_DONE_IRQ がセットされるまで、コマンドの実行が継続します。CMD_DONE_IRQ は、状態が PWROFF、NORM_FUNC、または ERROR であることを示します。これらの状態は、新しいコマンドを受け入れます。 00 --> OFF 01 --> PWRUP_DIG 10 --> PWRUP_ANA 11 --> NORM_FUNC
7-2	予約済み	R	X	
1	REP_FAIL	R	0h	反復カウンタ テストで直近のエラーが発生していることを示します。したがって、ヘルス カウント数は 1,024 ビット ウィンドウ全体を反映していない可能性が極めて高いと考えられます。
0	ADAP_FAIL	R	0h	直前の 1,024 ビット ウィンドウにカウントされたサンプルが多すぎるか、少なすぎるため、適応比率テスト (1、2、3、または 4 ビット カウンタ) が失敗したことを示します。

Copyright © 2026 Texas Instruments Incorporated

17.3.13 DATA_CAPTURE (オフセット = 1108h) [リセット = 00000000h]

図 17-15 に、DATA_CAPTURE を示し、表 17-20 に、その説明を示します。

概略表に戻ります。

デシメーション ブロックからキャプチャしたデータ

図 17-15. DATA_CAPTURE

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
バッファ																															
R-0h																															

表 17-20. DATA_CAPTURE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	バッファ	R	0h	デシメーション ブロックからキャプチャしたデータ

Copyright © 2026 Texas Instruments Incorporated

17.3.14 TEST_RESULTS (オフセット = 110Ch) [リセット = X]

図 17-16 に、TEST_RESULTS を示し、表 17-21 に、その説明を示します。

概略表に戻ります。

失敗したスタート アップ テストを示すビットが含まれています。最初の 8 ビットは、デジタル スタートアップ検証チェックでデジタル コンポーネントの状態をチェックします。9 番目のビットは、エントロピー ソースが十分なエントロピーを持つサンプルを生成していることをチェックします。コマンドが完了していない場合、このレジスタはすべて 0 を読み出します。各テストはアクティブ Low であり、0 のテストに失敗し、1 のテストに合格したことを示します。

図 17-16. TEST_RESULTS

31	30	29	28	27	26	25	24
予約済み							
R-X							
23	22	21	20	19	18	17	16
予約済み							
R-X							
15	14	13	12	11	10	9	8
予約済み							ANA_TEST
R-X							R-0h
7	6	5	4	3	2	1	0
DIG_TEST							
R-0h							

表 17-21. TEST_RESULTS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	X	
8	ANA_TEST	R	0h	有効なエントロピー ソースから 4,096 個のサンプルを順に実行し、いずれのヘルス テストにも失敗していないことを検証します。これは、アナログ コンポーネントによって十分なエントロピーが生成されたことを示します
7-0	DIG_TEST	R	0h	ビット 0 は、最初のデシメーション・レート・テストおよびヘルス・テスト (コンディショニング、デシメーション、およびキャプチャされたバッファの検証) が不合格であるかどうかを示し、ビット 1 は 2 回目のデシメーション・テストおよびヘルス・テストが不合格であるかどうかを示します。 ビット 0 - decim_test0 (decim = 0x0) ビット 1 - decim_test1 (decim = 0x1) ...

Copyright © 2026 Texas Instruments Incorporated

17.3.15 CLKDIVIDE (オフセット = 1110h) [リセット = 00000000h]

図 17-17 に、CLKDIVIDE を示し、表 17-22 に、その説明を示します。

概略表に戻ります。

このレジスタは、モジュール固有の機能クロック分周比を指定するために使用され、TRNG の除算のみをサポートしています。

図 17-17. CLKDIVIDE

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R/W-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													比率		
R/W-0h													R/W-0h		

表 17-22. CLKDIVIDE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R/W	0h	
2-0	比率	R/W	0h	モジュール クロックの分周比を選択します 0h = クロック ソースを分周しない 1h = クロック ソースを 2 分周 3h = クロック ソースを 4 分周 5h = クロック ソースを 6 分周 7h = クロック ソースを 8 分周

Copyright © 2026 Texas Instruments Incorporated

Chapter 18

HSADC

この章で説明する A/D コンバータ (ADC) モジュールは、高速 12 ビット SAR ADC です。

18.1 概要 931
18.2 HSADC 動作 932
18.3 ADC_LITE_REGS レジスタ 951
18.4 ADC_LITE_RESULT_REGS レジスタ 1061

Copyright © 2026 Texas Instruments Incorporated

18.1 概要

ADC モジュールは、逐次比較 (SAR) 型の ADC です。ADC は、コアとラッパーで構成されています。コアは、チャネル選択マルチプレクサ、サンプル / ホールド (S/H) 回路、逐次比較回路、基準電圧回路、その他のアナログ サポート回路を含むアナログ回路で構成されています。ラッパーは、ADC を構成および制御するデジタル回路で構成されています。これらの回路には、プログラマブルな変換用のロジック、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル バスへのインターフェイス、後処理回路、およびその他のオンチップ モジュールへのインターフェイスが含まれます。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) に基づいています (セクション 18.2.2 を参照)。

18.1.1 特長

以下に、HS-ADC でサポートされている主な機能を示します。サポート対象の機能の詳細なリストについては、デバイス固有のデータシートを参照してください。

- 最大 36 個の設定可能なアナログ入力チャネル
- インスタンスあたり最大 4 つのシーケンサ
- プログラマブルなサンプリング期間付きのサンプル / ホールド
- 後処理ブロック (PPB) のスレッショルド比較によるウィンドウ比較
- VREF モジュールは、内部または外部のリファレンス電圧を ADC に供給します。#none#を参照してください
- 複数のサンプリング トリガ ソース:ソフトウェア トリガと汎用トリガ
- ADC 変換シーケンサ
- 温度センシング、電源監視、アナログ信号チェーン用の内部変換チャネル (利用可能性とチャネル マッピングについては、デバイス固有のデータシートを参照)
- 設定可能な ADC クロック ソース
- 各種変換モード、シングル チャネル、リピート シングル チャネル、シーケンス (自動スキャン)、リピート シーケンス (リピート自動スキャン) のサポート
- 転送完了時の割り込みイベント生成による DMA サポート

Copyright © 2026 Texas Instruments Incorporated

18.1.2 ブロック図

図 18-1 に、ADC コアと ADC ラッパのブロック図を示します。

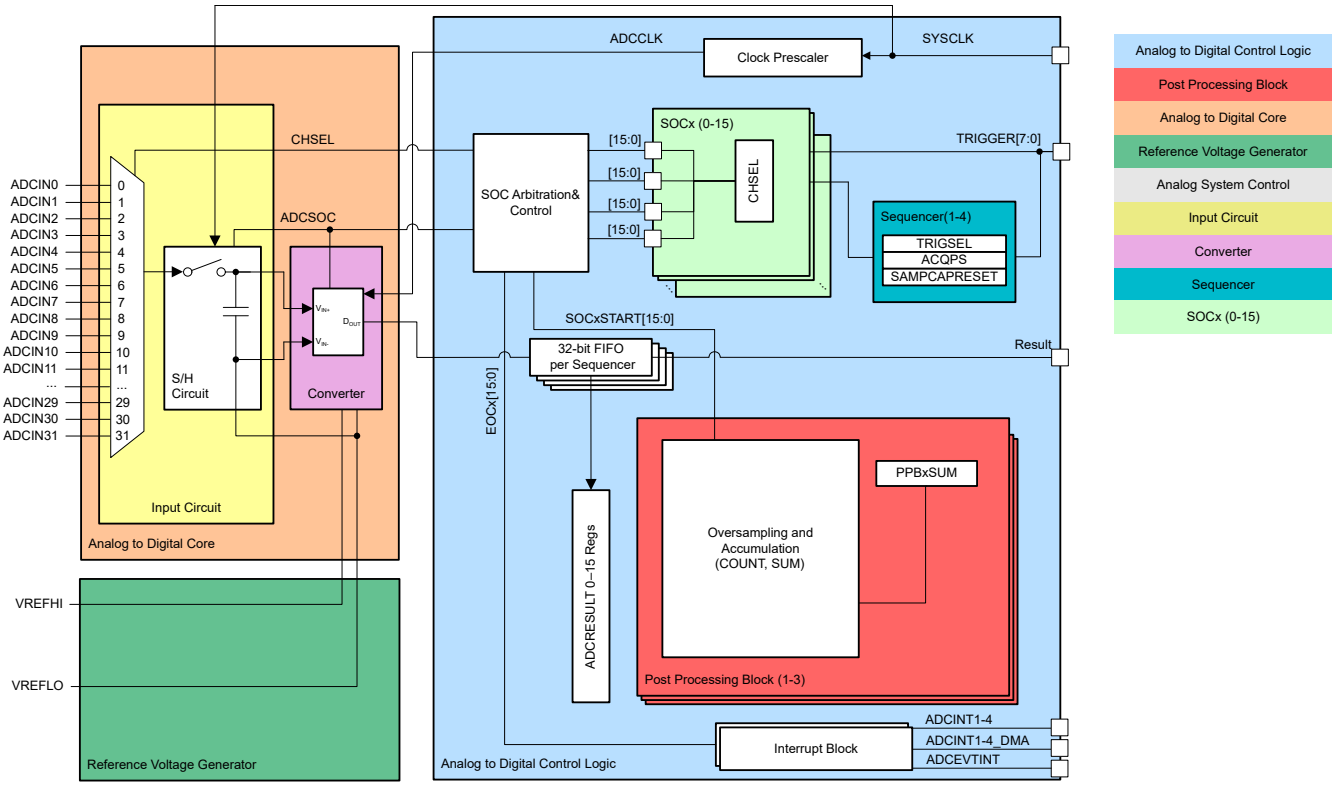


図 18-1. ADC モジュールのブロック図

注

- ADC ブロック図には、デバイス内部で設定可能な ADC チャネル数が反映されています。実際に使用可能な外部 ADC 入力数は、デバイスの型番およびパッケージ タイプによって異なります。

18.2 HSADC 動作

このセクションでは、A/D 変換動作に使用される HSADC ブロックの各種機能について詳しく説明します。

Copyright © 2026 Texas Instruments Incorporated

18.2.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 18-1 に、基本的な ADC オプションと構成レベルを示します。以降のセクションでは、これらの構成について説明します。

表 18-1. ADC オプションおよび構成レベル

オプション	構成
クロック	モジュールごと(1)
リファレンス電圧源	構成不可 (外部または内部リファレンスのみ)
トリガ ソース	シーケンサごと
変換対象チャネル	SOC ごと
アクイジション ウィンドウ期間	シーケンサごと
EOC の位置	モジュールごと

(1) これらの値を ADC モジュールごとに異なる値で書き込むと、ADC が非同期に動作する場合があります。ADC が同期または非同期で動作する条件については、*Ensuring Synchronous Operation* を参照してください。

18.2.1.1 ADC クロックの構成

ベース ADC クロックは、システム クロックから直接供給されます。ADC アクイジション ウィンドウの生成には が使用されます。レジスタ ADCCTL2 には、ADCCLK を指定する PRESCALE フィールドがあります。ADCCLK は、コンバータのクロック供給に使用され、変換フェーズ中にのみアクティブです。サンプル / ホールド期間を含む、それ以外のすべてのウィンドウでは、ADCCLK 信号はゲート オフされます。

Choosing an Acquisition Window Duration を参照してください。

注

ADCCTL2.PRESCALE の適切な値を決定するには、許容される最大 ADCCLK 周波数について、デバイスのデータシートを参照してください。

18.2.1.2 電圧リファレンス

M33 HSADC は、VREFHI 信号および VREFLO 信号を供給するために VREF モジュールを使用します。M33 VREF モジュールは、内部電圧リファレンスおよび外部リファレンスを供給できます。詳細については、Chapter 19 を参照してください。

18.2.1.3 信号モード

シングルエンド モードでは、コンバータへの入力電圧は VREFLO を基準として、1 本のピン (ADCINx) でサンプリングされます。

18.2.1.3.1 予測される変換結果

表 18-2 に、アナログ入力電圧に基づく想定のデジタル変換結果を示します。小数値は切り捨てられます。

表 18-2. アナログから 12 ビット デジタルへの変換式

アナログ入力	デジタル結果
ADCINy ≤ VREFLO	ADCRESULTx = 0
VREFLO < ADCINy < VREFHI	$\text{ADCRESULTx} = 4096 \left(\frac{\text{ADCINy} - \text{VREFLO}}{\text{VREFHI} - \text{VREFLO}} \right)$
ADCINy ≥ VREFHI	ADCRESULTx = 4095

Copyright © 2026 Texas Instruments Incorporated

18.2.1.3.2 変換結果の解釈

特定の ADC 変換結果に対応するアナログ入力を、表 18-3 に示します。これは、この変換結果を生成することが可能なアナログ電圧範囲の中央に対応します。

表 18-3. 12 ビット デジタルのアナログへの変換式

デジタル値	等価のアナログ値	
ADCRESULTy = 0	$\mathrm{ADCINx} \leq \mathrm{VREFLO}$	(14)
0 < ADCRESULTy < 4095	$\mathrm{ADCINx} = (\mathrm{VREFHI} - \mathrm{VREFLO})\left(\frac{\mathrm{ADCRESULTy}}{4096}\right) + \mathrm{VREFLO}$	(15)
ADCRESULTy = 4095	$\mathrm{ADCINx} \geq \mathrm{VREFHI}$	(16)

Copyright © 2026 Texas Instruments Incorporated

18.2.2 SOC の動作原理

ADC の変換シーケンス制御は、設定可能な変換開始 (SOC) によって実現されます。各 M33 SOC は、一つのチャネルの一つの変換を定義する構成セットです。その設定には、変換対象のチャネルと、リミット比較を有効にするかどうかという二つの構成項目があります。SOC の開始信号を受信すると、ラッパは指定されたチャネルを確実にサンプリングし、リミット比較が有効な場合はその比較を実行します。

必要に応じて、同じチャネルに複数の SOC を設定できます。複数の SOC を同じトリガを使用するように構成すると、そのトリガで変換シーケンスを生成できます。複数の SOC を同じトリガとチャネルを使用するように構成すると、オーバーサンプリングが可能になります。

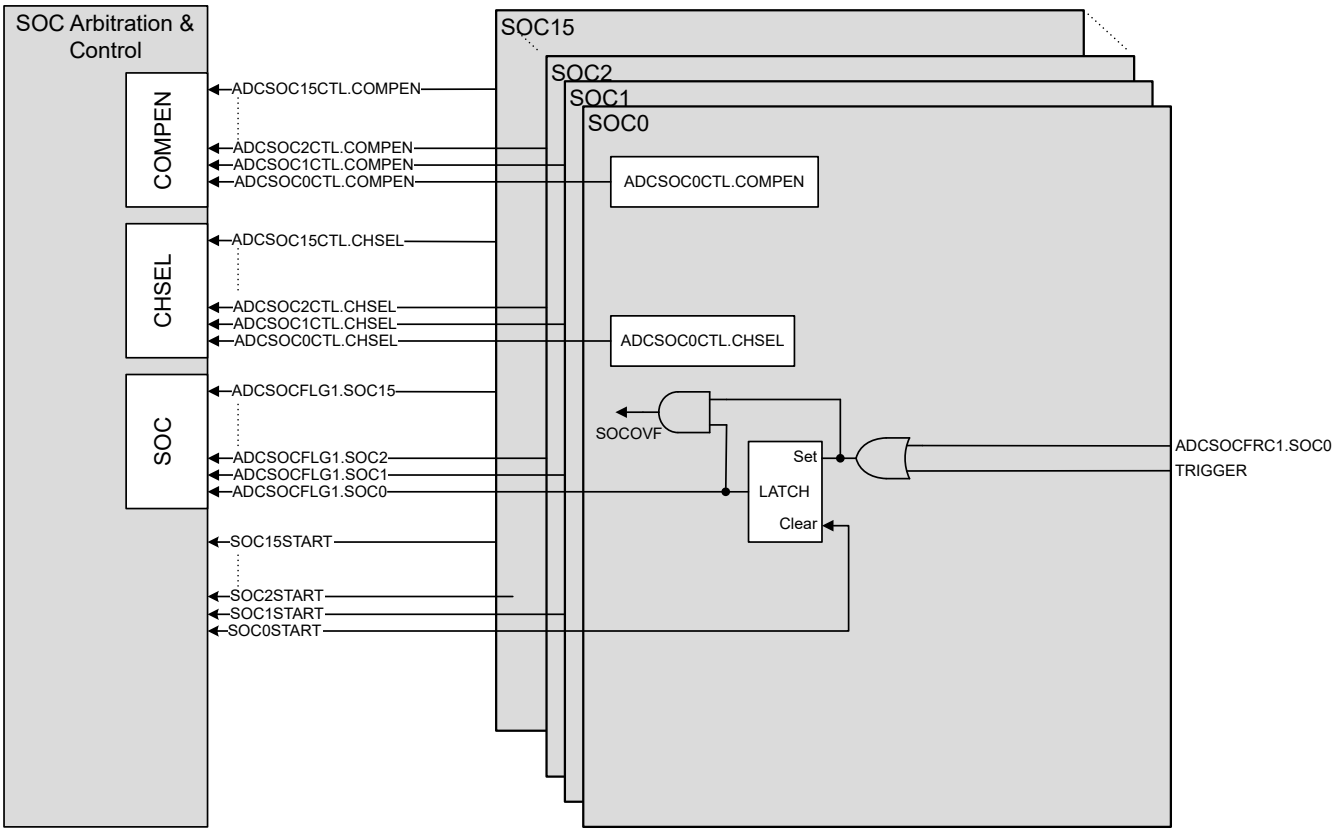


図 18-2. SOC のブロック図

Copyright © 2026 Texas Instruments Incorporated

18.2.2.1 HSADC シーケンサの動作

M33 ADC は、最大 4 つのシーケンサをサポートしています。これらのシーケンサを使用して、ADC チャネルの変換順序をシーケンシングできます。各シーケンサは複数の SOC に関連付けられており、シーケンサ内の SOC の数は、ADCSEQ{#}CONFIG.SEQSTART、ADCSEQ{#+1}CONFIG.SEQSTART-1、ADCSEQCTL.SEQEND レジスタを使用して構成されます。シーケンサは、ADCSEQ{#}CONFIG.SEQENABLE レジスタによって有効になります。

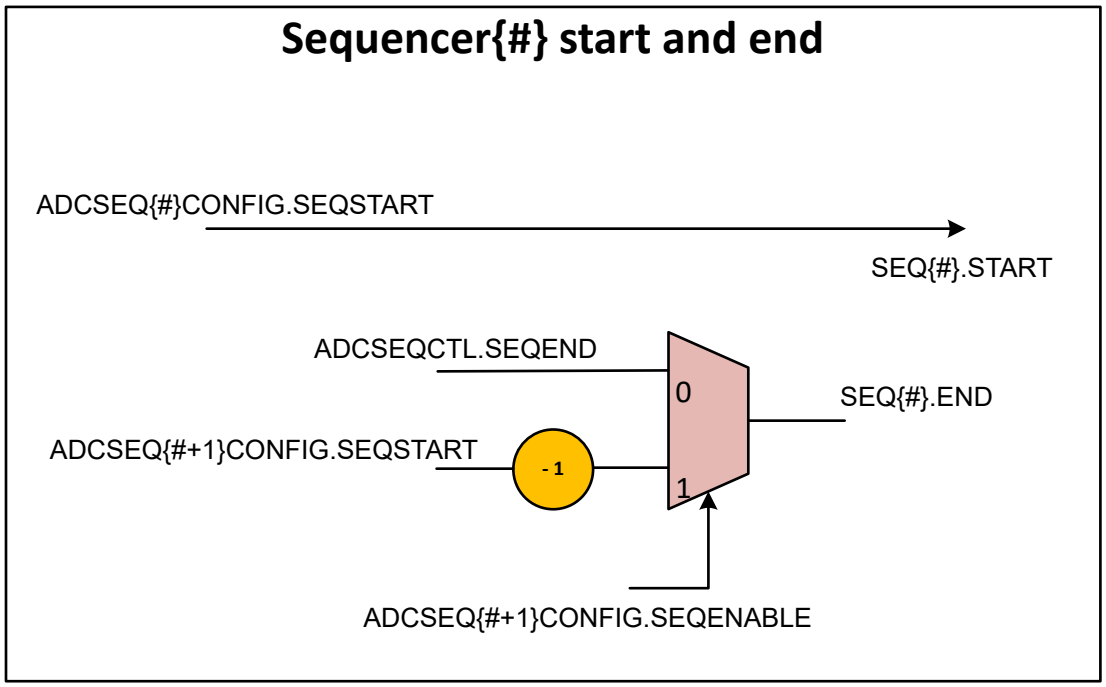


図 18-3. シーケンサの開始と終了

シーケンサに対するトリガが受信され、ADC ラッパーがアービトレーション可能な状態になると、シーケンサは SOC の昇順で変換を開始します。変換シーケンス内の最初の SOC は、ADCSEQ{#}CONFIG.SEQSTART によって決まります。その後、シーケンサの末尾に達するまで、後続の SOC が順次実行されます。

必要に応じて、複数のシーケンサが同じトリガで実行されるように構成できます。複数のシーケンサが同時にトリガされた場合、優先度の高い順にシーケンス内の変換が実行されます。SEQ1、SEQ2、SEQ3、SEQ4 の順に処理されます。

優先度の低いシーケンスの処理中に、より高い優先度のシーケンスに対するトリガが発生すると、優先度の高いシーケンスは、進行中の SOC 変換が完了した直後に処理されるか、優先度の低いシーケンスの完了後に処理されます。この動作は、ADCSEQCTL.SEQPREEMPT レジスタで設定できます。

ADCSEQCTL.SEQPREEMPT レジスタの構成は次のとおりです。

- プリエンプト無効 (0x):進行中のシーケンスが完了してから、優先度の高いシーケンスに切り替わります。
- プリエンプトを有効化し、中断した SEQ を再開しない (10):進行中のシーケンスは、進行中の変換の完了後に破棄され、アービトレーションにより、優先度の高いシーケンスに切り替わります。優先度の高いシーケンスが完了した後、破棄または中断されたシーケンスは再開しません。
- プリエンプトを有効化し、SEQ を中断して再開 (11):進行中のシーケンスは、進行中の変換の完了後に破棄され、アービトレーションにより、優先度の高いシーケンスに切り替わります。破棄または中断されたシーケンスは、優先度の高いシーケンスがすべて完了した後に、シーケンスの最初から再開されます。

また、後処理ブロッキング (PPB) 平均化機能を使用して、シーケンス内の SOC でオーバーサンプリングと平均化を有効にできます。各シーケンサは、対応する PPB ブロックに関連付けられています。PPB{#}LIMIT は、SOC ごとのサンプル数を定義します。

Copyright © 2026 Texas Instruments Incorporated

オーバーサンプリングが有効な場合、各 SOC のサンプリングと N 回の変換 (N は構成されたサンプル数) を行ってから、次の SOC に移行します。

各シーケンサは、対応する ADCPPB{#}TRIPHI および ADCPPB{#}TRIPLO レジスタに関連付けられています。これにより、ADCRESULT が設定済みの TRIPHI および TRIPLO の制限内にあるか、またはどちらかの制限値を超えているかのを比較できます。

制限コンパレータの設定は、シーケンサ内のすべての SOC で共通であるため、対応する SOC の ADCSOC{#}CTL.COMPEN フィールドを使用して、特定の SOC の制限比較を有効または無効にできます。

18.2.2.2 SOC の構成

各 SOC には構成レジスタ ADCSOCxCTL があります。このレジスタでは、SOCx ごとに、変換対象となる特定のチャネルを選択し、スレッショルド コンパレータを有効または無効に設定できます。

18.2.2.3 トリガの動作

各 SOC は、多くの入力トリガのいずれかで開始するように構成できます。SEQx のプライマリ トリガ選択は ADCSEQxCONFIG.TRIGSEL レジスタで設定し、次のいずれかを選択できます:

- 無効 (ソフトウェアのみ)
- 一般サブスクライバ (GEN_SUB) 0 ～ 3

18.2.2.4 ADC アクイジション (サンプル / ホールド) ウィンドウ

外部信号源によって、アナログ信号を迅速かつ効果的に駆動する能力は異なります。定格分解能を達成するには、信号源から ADC コアのサンプリング コンデンサを信号電圧の 0.5LSB 以内に充電する必要があります。アクイジション ウィンドウは、サンプリング コンデンサの充電に割り当てられる時間です。SOCx ごとに レジスタで設定できます。

ACQPS は または 8 ビットのレジスタ フィールドで、0 ～ 255 または 0 ～ 511 の値に設定できます。これにより、アクイジション ウィンドウ期間は次のようになります。上位 2 ビット (ADCSOCxCTL.ACQPS[7:6]) は、基本期間およびサイクル プリスケーラを設定します。ベース期間は、0、64、192、448 の値に設定でき、対応するサイクル プリスケーラはそれぞれ 1、2、4、16 です。レジスタ フィールドの下位 6 ビット (ADCSOCxCTL.ACQPS[5:0]) は、プリスケーラを乗算して基本期間に加算する追加サイクル数を設定します。

アクイジション ウィンドウ = (ACQPS + 1) (システム クロック ( ) のサイクル時間)

アクイジション ウィンドウ [SYSCLK サイクル] = (ベース期間) + ((追加サイクル + 1) * (プリスケーラ))

- アクイジション ウィンドウの幅は、ADC クロック (ADCCLK) ではなく、システム クロック (SYSCLK) に基づきます。
- 選択したアクイジション ウィンドウの幅は、1 ADCCLK サイクル以上である必要があります。
- データシートに、最小のアクイジション ウィンドウ幅 (ナノ秒) が規定されています。この要件を満たすアクイジション ウィンドウ幅を選択するのは、ユーザーの責任です。

18.2.2.5 サンプル コンデンサ リセット

ADC が複数の信号源を連続してサンプリングする特定のシステムでは、メモリ クロストークが発生することがあります。メモリ クロストークとは、アクイジション / セトリング タイムが不十分なために、ADC 変換値が前回の変換値に近づく傾向を指します。これは、ADC のサンプル コンデンサ電圧が前回の変換電圧付近から始まり、その後、現在のチャネルに新たに印加された電圧に向かってセトリングするために発生します。アクイジション ウィンドウがサンプル コンデンサのセトリングに十分な長さでない場合、ADC 変換値にサンプル誤差が生じることがあります。

このデバイスの 12 ビット ADC モジュールには、メモリ クロストークの低減に役立つサンプル コンデンサ リセット機能が搭載されています。サンプル コンデンサ リセットを有効にすると、各変換の完了後、サンプリング コンデンサの電圧は、ADCSOCxCTL.SAMPCAPRESETSEL ビットの設定に応じて、VREFLO VREFLO または VREFHI/2 の電圧にリセットされます。このリセットには、追加の ADCCLK サイクルが完了するまでに必要です。サンプル コンデンサ リセット機能は、各 SOC でデフォルトでは無効です。必要に応じて、アプリケーションは ADCSOCxCTL レジスタの SAMPCAPRESETDISABLE ビットに 0 を書き込むことで、サンプル コンデンサ リセットを有効にできます。サンプル コ

Copyright © 2026 Texas Instruments Incorporated

ンデンサのリセットがアクティブなとき、変換期間内に ADCCLK サイクルが追加されるため、ADC 全体のスループットがわずかに低下します。

18.2.2.6 ADC 入力モデル

シングルエンド動作の場合、シングルエンド入力モデルの値に対する ADC 入力特性 (図 18-4 を参照) は、デバイスのデータシートに記載されています。

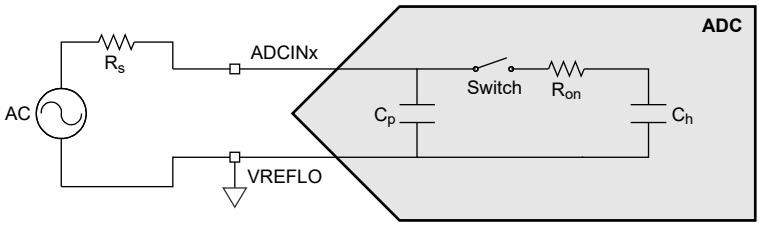


図 18-4. シングルエンド入力モデル

これらの入力モデルは、アクイジション ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細については *Choosing an Acquisition Window Duration* を参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.2.2.7 チャネルの選択

各 SOC は、どの ADC チャネルを変換するようにも構成できます。これは、SOCx の ADCSOCxCTL.CHSEL レジスタで選択します。表 18-4 に、上述の内容を示します。ADC 入力のピン位置については、デバイス固有のデータ シートを参照してください。

表 18-4. 入力ピンのチャネル選択

入力モード	CHSEL	入力
シングル エンド	0	ADCIN0
	1	ADCIN1
	2	ADCIN2
	3	ADCIN3
	4	ADCIN4
	5	ADCIN5
	6	ADCIN6
	7	ADCIN7
	8	ADCIN8
	9	ADCIN9
	10	ADCIN10
	11	ADCIN11
	12	ADCIN12
	13	ADCIN13
	14	ADCIN14
	15	ADCIN15

Copyright © 2026 Texas Instruments Incorporated

18.2.3 EOC と割り込み動作

各 SOC には、対応する変換終了 (EOC) 信号があります。この EOC 信号を使用して、ADC 割り込みをトリガできます。EOC パルスをアクイジション ウィンドウの最後または電圧変換の終了時に生成するように、ADC を構成できます。これは、ADCCTL1 レジスタのビット INTPULSEPOS を使用して構成します。EOC パルスの正確な位置については、セクション 18.2.7 を参照してください。

各 ADC モジュールには、構成可能な ADC 割り込みが あります。これらの割り込みは、 個の EOC 信号のいずれかでトリガできます。各 ADCINT のフラグ ビットを直接読み取って、関連する SOC が完了したか、割り込みを に渡すことができるかを判定できます。

注

ADCCTL1.ADCBSY ビットがクリアの場合、一連の SOC のすべての変換が完了したことを示しているわけではなく、ADC が次の変換を処理する準備ができていることを示します。一連の SOC が完了したかどうかを判定するには、シーケンス内の最後の SOC に ADCINT フラグをリンクし、その ADCINT フラグを監視します。

ADC 割り込み構造のブロック図を、図 18-5 に示します。

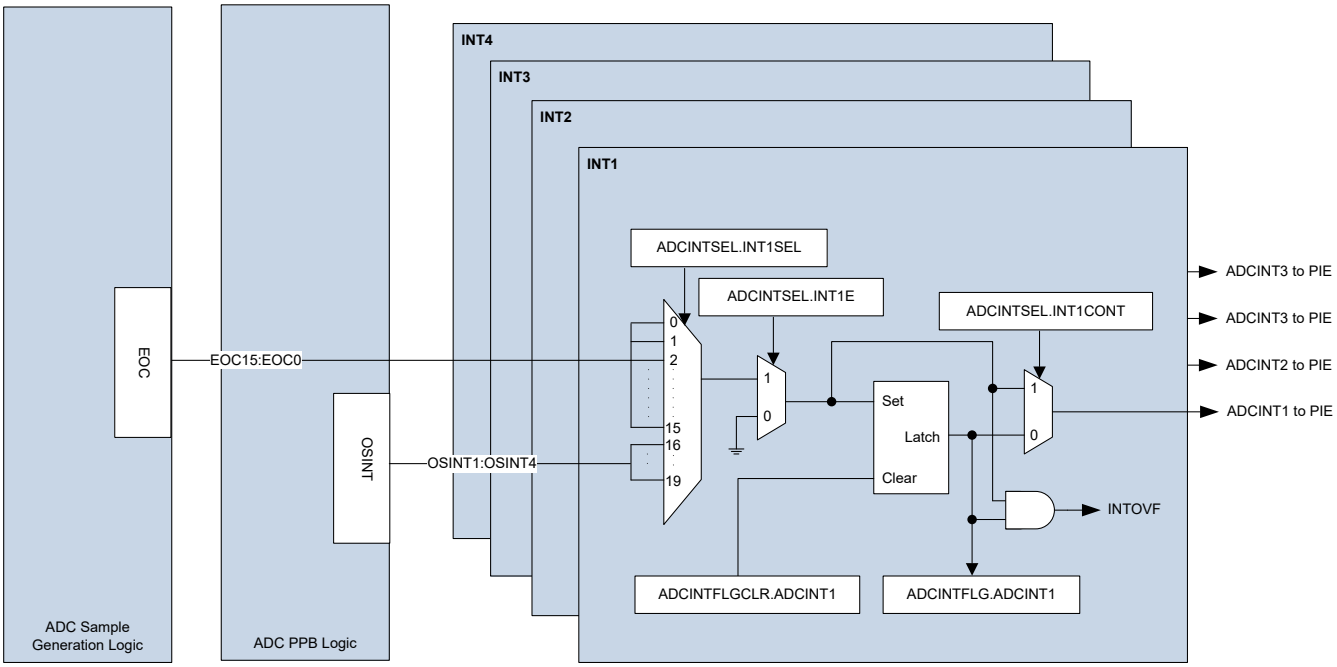


図 18-5. ADC 変換終了 (EOC) 信号割り込み

Copyright © 2026 Texas Instruments Incorporated

18.2.3.1 割り込みオーバーフロー

EOC 信号が ADCINTFLG レジスタのフラグを設定するときに、そのフラグがすでに設定されている場合、割り込みオーバーフローが発生します。デフォルトでは、オーバーフロー割り込みは / / モジュールに通知されません。ADCINTFLG レジスタの特定のフラグでオーバーフローが発生すると、ADCINOVF レジスタの対応するフラグが設定されます。このオーバーフロー フラグは、オーバーフローが発生したことを検出するためにのみ使用されます。このフラグによって、後続の割り込みが / / モジュールへ伝達されるのを阻止することはありません。

ADC 割り込みオーバーフローが発生した場合、アプリケーションは ISR 内またはバックグラウンド ループで該当する ADCINTOVF フラグを確認し、オーバーフローが検出されたときに適切な処理を実行する必要があります。

18.2.3.2 割り込みを続行モード

ADCINTSEL1N2 および ADCINTSEL3N4 レジスタの INTxCONT ビットが構成します は、以前の割り込みによる ADCINTFLG がまだクリアされていない場合に、割り込みがどのように処理されるかを設定します。 このモードはデフォルトでディスエーブルになっており、追加の重複する割り込みは に対して発行されません。このモードをアクティブにすると、ADC 割り込みは常に に渡されます。ADCINTFLG がセットされている間に割り込みが発生した場合、INTxCONT ビットの構成に関係なく、ADCINTOVF レジスタは設定されたままになります。

18.2.3.3 Early 割り込み構成モード

Early 割り込みモードをイネーブルにすると、ADC 結果が使用可能になる前に、アプリケーションが ADC 割り込みサービス ルーチンに入ることができます。これにより、ADC の結果が使用可能になったときにすぐにアプリケーションで ADC 結果を処理できるように、アプリケーションで必要な事前処理を行うことができます。早期割り込みのタイミングが早すぎる場合、アプリケーションは更新された ADC 結果が使用可能になるまで待機する必要があります。この状況を回避するため、Early 割り込みモードのときに ADC 割り込みに移行する時間を、ADCINTCYCLE レジスタの DELAY フィールドで構成できます。

- この割り込み時間を設定するには、ADC が Early 割り込みモードである必要があります。これには、ADCCTL1 のビット INTPULSEPOS を 0 にクリアします。
- ADCINTCYCLE レジスタの DELAY 値は、SOC パルスの立ち下がりエッジ後、ADCINT フラグが設定されるまでの追加の サイクル数を設定します。
- DELAY 値が EOC を超える場合、ADC 割り込みと EOC が生成されます。
- INTPULSEPOS が 1 に設定されているときに DELAY に値を書き込んでも、割り込み生成に影響はありません。

Copyright © 2026 Texas Instruments Incorporated

18.2.4 後処理ブロック

各 ADC モジュールには、の後処理ブロック (PPB) が含まれています。これらのブロックは、ADCPPBxCONFIG.CONFIG ビット フィールドを使用して、個の RESULT レジスタのいずれかに関連付けることができます。後処理ブロックには、以下の機能があります。

- 合計を使用して、逐次サンプルを集約
- や割り込み生成を行うオプション付きで、比較結果の上限または下限をフラグ通知します

図 18-6 に、各 PPB の構造を示します。以下のセクションでは、各サブモジュールの使用方法について説明します。

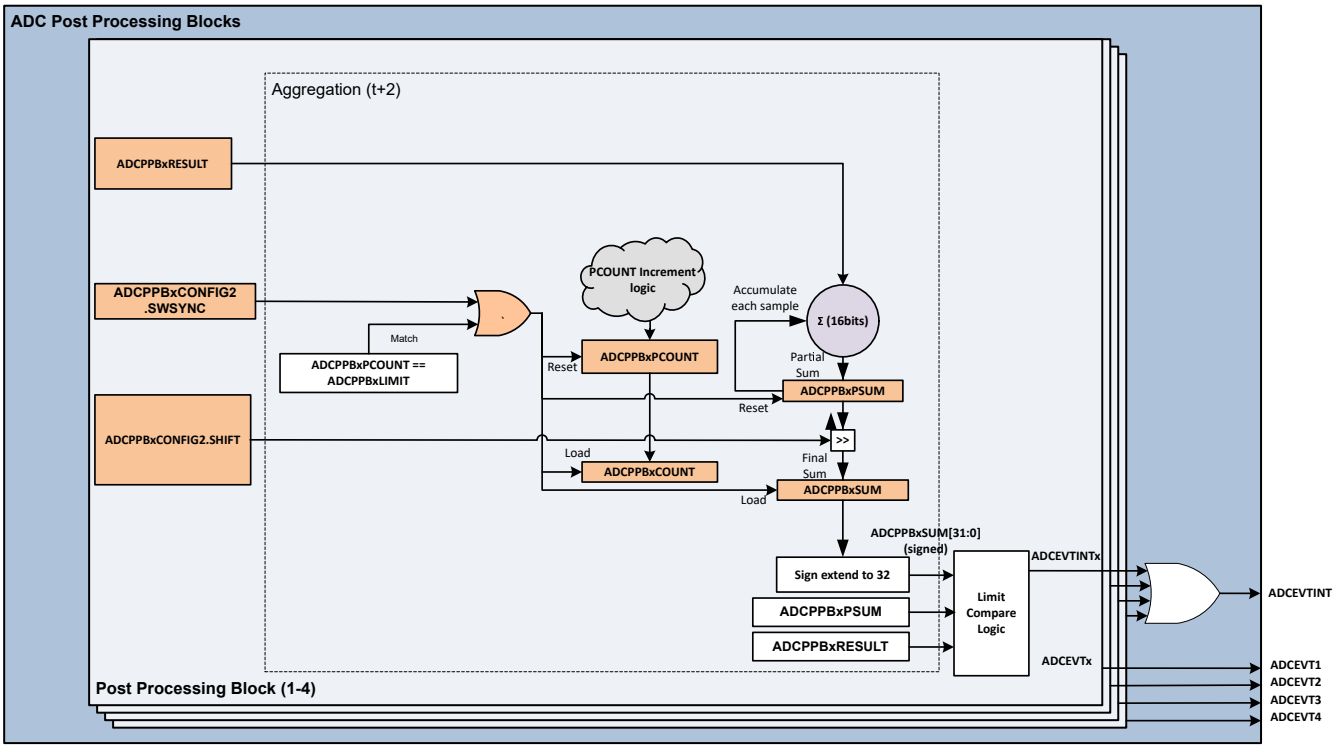


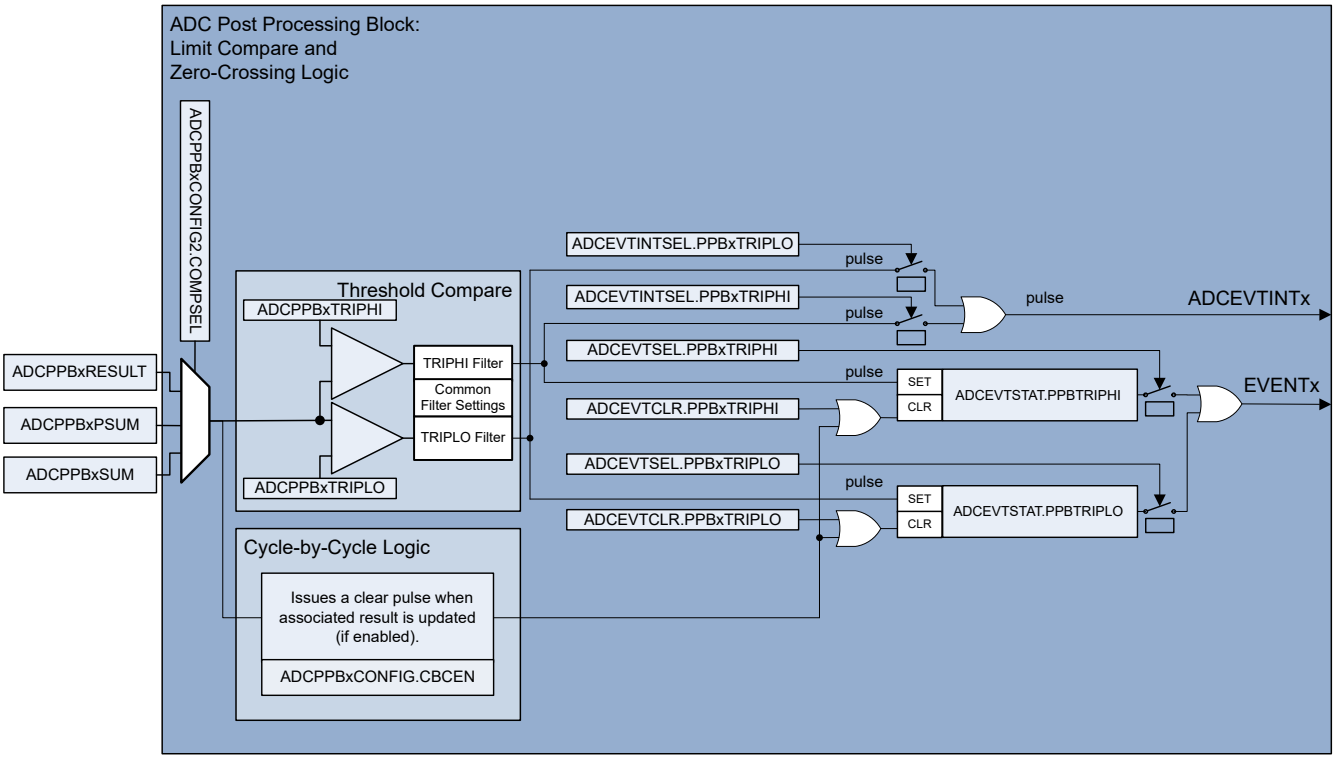
図 18-6. ADC 後処理ブロック (PPB) のブロック図

18.2.4.1 PPB 制限値検出

多くのアプリケーションでは、ADC 変換結果の制限値チェックが実行されます。PPB は、上限または下限に対して自動的にチェックを実行できます。これらの比較に基づいて、PPB は割り込みを自動的に生成し、ソフトウェアのオーバーヘッドを低減できます。この機能をイネーブルにするには、まず ADCPPBxCONFIG2.COMPSEL を目的の比較ソース (ADCPPBxRESULT または ADCPPBxSUM) に設定し、レジスタ ADCPPBxTRIPHI.LIMITHI と ADCPPBxTRIPLO.LIMITLO の一方または両方に値を書き込みます。これらの制限値を超えると、ADCEVTSTAT レジスタの PPBxTRIPHI ビットまたは PPBxTRIPLO ビットが設定されます。ADCEVTCLR レジスタには、これらのイベント フラグをクリアするための対応ビットがあります。ADCEVTINTSEL レジスタには、イベントを PIE を介して伝搬できるようにする対応ビットがあります。次の図に示すように、特定の ADC モジュールのすべての PPB 間で 1 つの割り込みが共有さ

Copyright © 2026 Texas Instruments Incorporated

れます。



18.2.4.2 PPB オーバーサンプリング

この ADC は、アキュームレータを介した後処理ブロックでのオーバーサンプリングをサポートしています。図 18-6 に示すように、集約によるオーバーサンプリング機能は、後処理ブロックの最初のモジュールです。オーバーサンプリング モジュールは、ADCPPBxLIMIT レジスタで定義されたサンプル数の上限に達するか、ソフトウェアが ADCPPBxCONFIG2 レジスタの SWSYNC ビットに書き込んで同期イベントを強制するまで、結果を部分レジスタに累積します

18.2.4.2.1 累積、、および平均機能

各 ADC サンプル変換の終了時に、PPB は、部分的な結果レジスタ ADCPPBxPSUM を ADCPPBxRESULT レジスタから新しく処理された変換結果で更新し、部分的変換カウント レジスタ (ADCPPBxPCOUNT) は 1 ずつインクリメントします。部分的変換カウントが ADCPPBxLIMIT で定義された制限と等しくなるか、または PPB がソフトウェアの同期信号を受信すると、PPB は次のように動作します:

1. PPB は、それぞれの部分的結果レジスタの値を最終結果レジスタ ADCPPBxSUM、ADCPPBxMIN にロードします。
2. PPB は、ADCPPBxPCOUNT の部分的カウントを最終的な変換カウント レジスタ ADCPPBxCOUNT にロードします。
3. 部分カウント レジスタと部分的結果レジスタはゼロにリセットされます。

また、ハードウェアまたはソフトウェア同期イベントが発生したときに、オーバーサンプリング割り込みを生成するように PPB を構成することもできます。同期イベントが発生したときに OSINTx パルスをトリガするには、ADCPPBxCONFIG2 レジスタの OSINTSEL ビットに 1 を書き込みます。

ADCPPBxLIMIT が 2 のべき乗に設定されている場合、PPB は累積されたサンプルの平均値を自動的に算出できます (最大 1024 サンプル)。2^n 個のサンプルに対して自動平均化を実行するには、ADCPPBxCONFIG2 レジスタの SHIFT フィールドを n に設定します。このフィールドを設定すると、PPB は ADCPPBxPSUM の値を 2^n で除算してから、ADCPPBxSUM にロードします。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

サンプル数が 2 のべき乗でない場合に累積値から平均値を算出するには、CPU を使用して ADCPPBxSUM の値を ADCPPBxCOUNT の値で除算します。

18.2.5 ADC の結果

表 18-94 には、HSADC からの変換結果と後処理されたデータが含まれています。各イニシエータは、アービトレーションによるペナルティなしでこれらのレジスタを個別に読み出すことができ、HSADC 変換データへ効率的にアクセスできます。

ADCRESULT レジスタ

ADCRESULT レジスタには、各変換開始 (SOC) のチャネルごとの変換結果が格納されます。レジスタの幅は、HSADC の分解能に応じて 12 ビットまたは 16 ビットであり、データは符号なし整数として表現されます。

注:シーケンサでオーバーサンプリングが有効化されている場合、HSADCRESULT レジスタは一つの変換結果ではなく最終的な累積合計を保持します。

PPBRESULT レジスタ

PPBRESULT レジスタには、後処理ブロック (PPB) からの後処理の結果が格納されます。後処理動作の詳細については、セクション 18.2.4 を参照してください。データは符号付き数値として表され、最上位ビット (MSB) が符号を示します。レジスタ幅は、12 ビット分解能 HSADC の場合は 13 ビット、16 ビット分解能 HSADC の場合は 17 ビットです。

PPBSUM レジスタ

PPBSUM レジスタには、後処理ブロック (PPB) からの最終的な累積和が格納されます。SHIFT が有効な場合、このレジスタには、累積およびシフト処理後の最終結果が格納されます。データは符号付き番号として表されます。レジスタのサイズは、HSADC の分解能と累算可能なサンプル数に依存します。

最大 8 倍のオーバーサンプリングをサポートする 12 ビット HSADC では、累積結果の格納には 16 ビット レジスタで十分です

表 18-5. レジスタ幅の概要

登録	12 ビット HSADC	16 ビット HSADC
ADCRESULT	12 ビット	16 ビット
PPBRESULT	13 ビット	17 ビット
PPBSUM	16 ビット (8 倍オーバーサンプリング)	分解能とサンプルに依存します

18.2.5.1 FIFO 動作

HSADC は、各シーケンサに関連付けられたすべての変換開始 (SOC) イベントの変換結果を順次読み出すための、専用の先入れ先出し (FIFO) インターフェイスを備えています。表 18-94 にマップされた標準の ADCRESULT、PPBRESULT、PPBSUM レジスタに加えて、ADCRESULT および PPBSUM の結果もシーケンサごとの FIFO 位置にマップされます。FIFO 機構により、SOC ごとに個別のレジスタ アクセスを行うことなく、複数の変換結果を効率的に一括して読み出すことができます。

概要

HSADC の FIFO アーキテクチャでは、各シーケンサに対して専用のアドレス位置が一つ用意されており、変換結果を順番に読み出すことができます。各シーケンサはそれぞれ独立した FIFO を保持しているため、複数のシーケンサから変換結果を並行して取得できます。FIFO 読み取りインターフェイスでは、読み取り操作のたびに結果が自動的に次へ進むため、結果レジスタのインデックスを手動で管理する必要がなくなり、ファームウェアの実装が簡素化されます。

Copyright © 2026 Texas Instruments Incorporated

レジスタの説明

ADCSEQ{#}FIFORESULT レジスタ

ADCSEQ{#}FIFORESULT レジスタは、シーケンサ {#} に関連付けられた FIFO から HSADC の変換結果を読み出すための主要インターフェイスです ({#} は 1 ～ 4)。このレジスタを読み出すたびに、連続する二つの SOC の変換結果を含む 32 ビット値が返されます。下位 16 ビット [15:0] には、ペアのうち最初の SOC の変換結果が格納されます。上位 16 ビット [31:16] には、ペアのうち二番目の SOC の変換結果が格納されます。

このレジスタにアクセスするたびに内部 FIFO の読み取りポインタが自動的に進むため、追加のポインタ管理を行うことなく、シーケンサに関連付けられたすべての変換結果を順次取得できます。

ADCSEQ{#}FIFOSTATUS レジスタ

ADCSEQ{#}FIFOSTATUS レジスタは、シーケンサ {#} に関連付けられた FIFO のステータス情報を提供します。このレジスタには、以下のステータス フィールドが含まれています。

- FIFO 有効:FIFO で有効な変換結果が読み取り可能かどうかを示します
- FIFO 読み取りポインタ:FIFO 内の現在の位置を提供します。これは、次の読み取り動作が返す結果ペアを示します

ADCSEQ{#}FIFORESULT から読み取る前に、FIFO の有効なステータス フィールドを確認し、有効なデータが利用可能であることを確認します。

FIFO 読み取り動作

ADCSEQ{#}FIFORESULT から読み出されるたびに、2 つの連続する SOC の結果を含む 32 ビット値が返され、次のような形式でフォーマットされます。{SOC(N+1)RESULT[15:0], SOC(N)RESULT[15:0]} で、SOC (N) および SOC (N+1) は、シーケンサに割り当てられた連続する SOC を表します。

同じ ADCSEQ{#}FIFORESULT レジスタを連続して読み出すと、そのシーケンサに関連付けられたすべての SOC の変換結果が自動的に順次読み出されます。アクセスするたびに FIFO の読み取りポインタがインクリメントされ、以降の読み取りでは、シーケンス内の次の結果ペアが返されます。

奇数 - SOC エッジ ケース

注:シーケンサに関連付けられた SOC の数が奇数の場合、最後の FIFO 読み出しでは、下位 16 ビット [15:0] に有効な変換結果が格納され、上位 16 ビット [31:16] にはパディング用のゼロ (16'h0) が格納されます。FIFO は常に結果をペアで返しますが、最後の SOC にはペアとなる後続の SOC がありません。

FIFO 動作の例

以下の例では、関連付けられた SOC 数が異なる 4 つのシーケンサすべてについて、FIFO の動作を示します。

シーケンサ構成	読み取り番号	FIFO 結果フォーマット {Upper[31:16]、Lower[15:0]}
SEQ1:SOC0 ～ SOC5 (6 SOC)	最初の読み取り	{SOC1RESULT、SOC0RESULT}
	二回目の読み取り	{SOC3RESULT、SOC2RESULT}
	三回目の読み取り	{SOC5RESULT、SOC4RESULT}
SEQ2:SOC6 ～ SOC8 (3 SOC - 奇数)	最初の読み取り	{SOC7RESULT、SOC6RESULT}
	二回目の読み取り	{16'h0、SOC8RESULT}
SEQ3:SOC9 ～ SOC10 (2 SOC)	最初の読み取り	{SOC10RESULT、SOC9RESULT}
SEQ4:SOC11 ～ SOC15 (5 SOC - 奇数)	最初の読み取り	{SOC12RESULT、SOC11RESULT}
	二回目の読み取り	{SOC14RESULT、SOC13RESULT}
	三回目の読み取り	{16'h0、SOC15RESULT}

Copyright © 2026 Texas Instruments Incorporated

この例では、SEQ2 と SEQ4 が、SOC 数が奇数の場合のエッジ ケースを示しています。SEQ2 には 3 つの SOC (SOC6、SOC7、SOC8) があるため、FIFO の読み出しは二回行われます。二回目の読み出しでは、下位ビットに SOC8RESULT のみが格納され、上位ビットにはパディングが格納されます。同様に、SEQ4 には 5 つの SOC (SOC11 ～ SOC15) があり、SOC15RESULT とパディングのみを含む最終読み取りで三回の読み取りが必要です。

FIFO アクセス シーケンス

シーケンサ FIFO からすべての変換結果を読み取る場合:

- ADCSEQ{#}FIFOSTATUS の「FIFO 有効ステータス」フィールドをチェックし、結果が使用可能であることを確認します
- ADCSEQ{#}FIFORESULT から読み取り、最初の結果ペアを取得します
- ビット [15:0] から SOC(N)RESULT を、ビット [31:16] から SOC(N+1)RESULT を抽出します
- シーケンサーのすべての結果が読み取られるまで、ステップ 2 と 3 を繰り返します
- SOC 数が奇数のシーケンサでは、最後の読み出し時にビット [31:16] が 16'h0 になります

FIFO 読み取りポインタはシーケンシングを自動的に管理するため、各読み取りから返される SOC 結果ペアをファームウェアが追跡する必要はありません。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

18.2.6 パワーアップ シーケンス

デバイスの電源投入時またはシステム レベルのリセット時に、ADC はパワーダウンされ、ディセーブルになります。ADC に電源を投入するときは、以下のシーケンスを使用する必要があります:

1. ADCCTL2 の PRESCALE フィールドで、使用する ADC クロック分周器を設定します。ADCCLK は、デバイスのデータシートに規定されている最大 ADCCLK 周波数を満たすように分周する必要があります。
2. ADCCTL1 の ADCPWDNZ ビットを設定して、ADC に電源を投入します。
3. 遅延時間を確保してからサンプリングを開始します。必要な時間については、データシートを参照してください。

複数の ADC に同時に電源を投入する場合は、手順 1 と手順 3 はすべての ADC に対して一つの書き込み命令で実行できます。また、遅延は 1 つだけ必要です。ただし、この遅延はすべての ADC が電源投入を開始した後に発生する必要があります。

18.2.7 ADC タイミング

アナログ電圧をデジタル値に変換するプロセスは、S+H フェーズと変換フェーズに分けられます。ADC のサンプル / ホールド回路 (S+H) には からクロックが供給され、ADC 変換プロセスでは ADCCLK からクロックが供給されます。ADCCLK は、ADCCTL2 レジスタの PRESCALE フィールドに基づいて を分周することにより生成されます。

S+H 期間は、変換される SOC の ACQPS フィールドの値に 1 を加え、周期を乗算した値です。この期間が、ADCCLK の 1 周期と、データシートで規定されている最小 S+H 期間の両方を超えていることを確認する必要があります。変換時間は、約 です。正確なタイミングについては、セクション 18.2.7.1 のタイミング図と表を参照してください。

18.2.7.1 ADC のタイミング図

次の図に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンド ロビン ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換完了時に ADCINT フラグがセットされるように構成されます。このフラグが CPU まで伝搬して割り込みを発生させるかどうかは、モジュールの構成によって決まります。

表 18-6 に、以下のタイミング図のパラメータを示します。

表 18-7 表 18-8 に、ADC のタイミングを一覧で示します。

表 18-6. ADC タイミング パラメータの説明

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。期間は、(ACQPS + 1) サイクルで表されます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 **注:** デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、t_{INT} は変換 (EOC) 信号の終了時点と一致します。 INTPULSEPOS ビットが 0 であり、ADCINTCYCLE レジスタの OFFSET フィールドが 0 でない場合、ADCINT フラグが設定される前に、OFFSET サイクルの遅延が発生します。この遅延は、サンプルの準備が完了したときに、正確なタイミングで ISR に入ることができます。 INTPULSEPOS ビットが 0 の場合、t_{INT} は、S+H ウィンドウの終了時点と一致します。t_{INT} によって ADC 結果レジスタの読み取りがトリガされる場合 (、または結果を読み取る ISR をトリガして間接的に)、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。

Copyright © 2026 Texas Instruments Incorporated

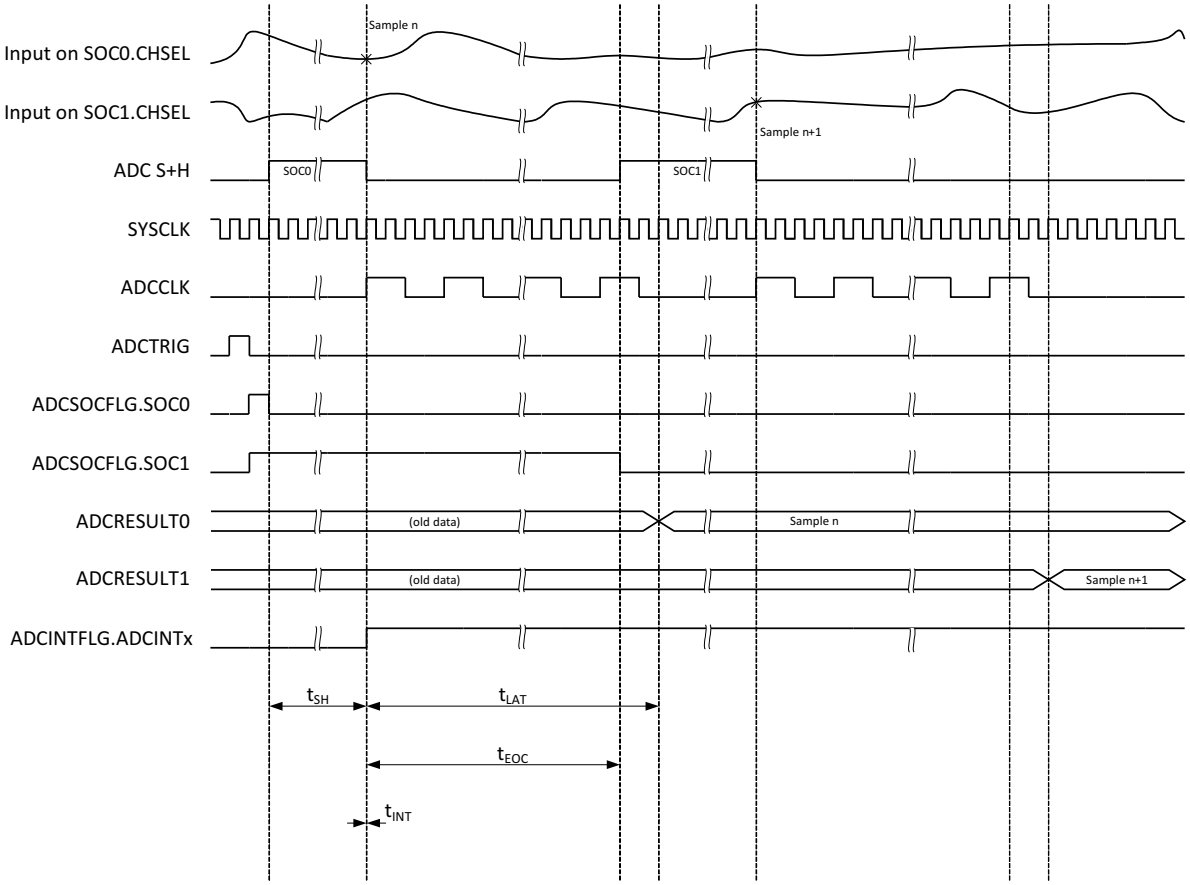


図 18-7. 12 ビット モードの Early 割り込みモードでの ADC タイミング

Copyright © 2026 Texas Instruments Incorporated

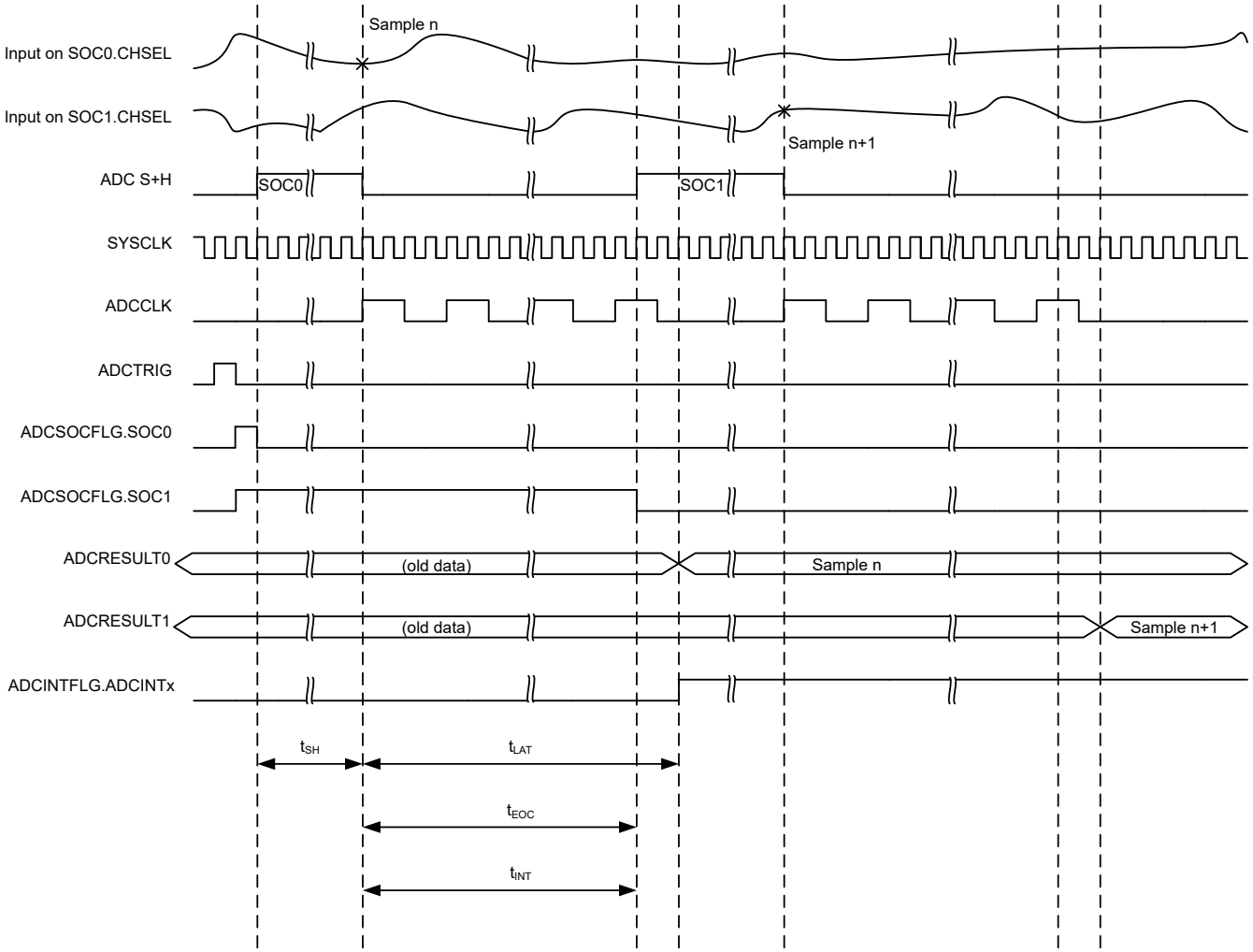


図 18-8. 12 ビット モードの Late 割り込みモードでの ADC タイミング

Copyright © 2026 Texas Instruments Incorporated

表 18-7. SAMPCAPRESETSEL = 0 での ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細を示します。PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期)	t_{INT} (遅延)	t_{DMA}
0	1	12	16	1	12	16
2	2	24	28	1	24	28
4	3	36	40	1	36	40
6	4	48	52	1	48	52
8	5	60	64	1	60	64
10	6	72	76	1	72	76
12	7	84	88	1	84	88
14	8	96	100	1	96	100

表 18-8. SAMPCAPRESETSEL = 1 での ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細を示します。PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期)	t_{INT} (遅延)	t_{DMA}
0	1	11	15	1	11	15
2	2	22	26	1	22	26
4	3	33	37	1	22	37
6	4	44	48	1	44	48
8	5	55	59	1	55	59
10	6	66	70	1	66	70
12	7	77	81	1	77	81
14	8	88	92	1	88	92

注

ADCCTL2.PRESCALE では、番号の付いた整数プリスケーラのみを設定することを推奨します。

Copyright © 2026 Texas Instruments Incorporated

18.3 ADC_LITE_REGS レジスタ

ADC_LITE_REGS レジスタのメモリ マップト レジスタを表 18-9 に示します。表 18-9 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 18-9. ADC_LITE_REGS レジスタ

オフセット	略称	レジスタ名	セクション
400h	FSUB_0	サブスクライバ ポート 0	セクション 18.3.1
404h	FSUB_1	サブスクライバ ポート 1	セクション 18.3.2
408h	FSUB_2	サブスクライバ ポート 2	セクション 18.3.3
40Ch	FSUB_3	サブスクライバ ポート 3	セクション 18.3.4
410h	FSUB_4	サブスクライバ ポート 4	セクション 18.3.5
414h	FSUB_5	サブスクライバ ポート 5	セクション 18.3.6
444h	FPUB_0	パブリッシャ ポート 0	セクション 18.3.7
448h	FPUB_1	パブリッシャ ポート 1	セクション 18.3.8
44Ch	FPUB_2	パブリッシャ ポート 2	セクション 18.3.9
450h	FPUB_3	パブリッシャ ポート 3	セクション 18.3.10
800h	PWREN	パワー イネーブル	セクション 18.3.11
804h	RSTCTL	リセット制御	セクション 18.3.12
814h	STAT	ステータス レジスタ	セクション 18.3.13
1000h	ADCCTL1	ADC 制御 1 レジスタ	セクション 18.3.14
1004h	ADCCTL2	ADC 制御 2 レジスタ	セクション 18.3.15
1010h	ADCINTSEL	ADC 割り込み 1、2、3 および 4 選択レジスタ	セクション 18.3.16
1014h	ADCDMAINTSEL	ADC DMA 割り込み 1、2、3 および 4 選択レジスタ	セクション 18.3.17
1018h	ADCRAWINTFLG	ADC 未加工割り込みフラグ レジスタ	セクション 18.3.18
101Ch	ADCINTFLG	ADC 割り込みフラグ レジスタ	セクション 18.3.19
1020h	ADCINTFLGFRC	ADC 割り込みフラグ強制レジスタ	セクション 18.3.20
1024h	ADCINTFLGCLR	ADC 割り込みフラグ クリア レジスタ	セクション 18.3.21
1028h	ADCINTOVF	ADC 割り込みオーバーフロー レジスタ	セクション 18.3.22
102Ch	ADCINTOVFCLR	ADC 割り込みオーバーフロー クリア レジスタ	セクション 18.3.23
103Ch	ADCSOCFLG1	ADC SOC フラグ 1 レジスタ	セクション 18.3.24
1044h	ADCSOCOVF1	ADC SOC オーバーフロー 1 レジスタ	セクション 18.3.25
1048h	ADCSOCOVFCLR1	ADC SOC オーバーフロー クリア 1 レジスタ	セクション 18.3.26
104Ch	ADCSOC0CTL	ADC SOC0 制御レジスタ	セクション 18.3.27
1050h	ADCSOC1CTL	ADC SOC1 制御レジスタ	セクション 18.3.28
1054h	ADCSOC2CTL	ADC SOC2 制御レジスタ	セクション 18.3.29
1058h	ADCSOC3CTL	ADC SOC3 制御レジスタ	セクション 18.3.30
105Ch	ADCSOC4CTL	ADC SOC4 制御レジスタ	セクション 18.3.31
1060h	ADCSOC5CTL	ADC SOC5 制御レジスタ	セクション 18.3.32
1064h	ADCSOC6CTL	ADC SOC6 制御レジスタ	セクション 18.3.33
1068h	ADCSOC7CTL	ADC SOC7 制御レジスタ	セクション 18.3.34
106Ch	ADCSOC8CTL	ADC SOC8 制御レジスタ	セクション 18.3.35
1070h	ADCSOC9CTL	ADC SOC9 制御レジスタ	セクション 18.3.36
1074h	ADCSOC10CTL	ADC SOC10 制御レジスタ	セクション 18.3.37
1078h	ADCSOC11CTL	ADC SOC11 制御レジスタ	セクション 18.3.38
107Ch	ADCSOC12CTL	ADC SOC12 制御レジスタ	セクション 18.3.39

Copyright © 2026 Texas Instruments Incorporated

表 18-9. ADC_LITE_REGS レジスタ (続き)

オフセット	略称	レジスタ名	セクション
1080h	ADCSOC13CTL	ADC SOC13 制御レジスタ	セクション 18.3.40
1084h	ADCSOC14CTL	ADC SOC14 制御レジスタ	セクション 18.3.41
1088h	ADCSOC15CTL	ADC SOC15 制御レジスタ	セクション 18.3.42
10CCh	ADCEVTSTAT	ADC イベント ステータス レジスタ	セクション 18.3.43
10D0h	ADCEVTCLR	ADC イベント クリア レジスタ	セクション 18.3.44
10D4h	ADCEVTSEL	ADC イベント選択レジスタ	セクション 18.3.45
10D8h	ADCEVTINTSEL	ADC イベント割り込み選択レジスタ	セクション 18.3.46
10E4h	ADCREV	ADC リビジョン レジスタ	セクション 18.3.47
10E8h	ADCOFFTRIM	ADC オフセット トリム レジスタ 1	セクション 18.3.48
1100h	ADCPPB1CONFIG	ADC PPB1 構成レジスタ	セクション 18.3.49
1110h	ADCPPB1TRIPHI	ADC PPB1 トリップ上限レジスタ	セクション 18.3.50
1114h	ADCPPB1TRIPLO	ADC PPB1 トリップ下限 / トリガ タイムスタンプ レジスタ	セクション 18.3.51
1120h	ADCPPB2CONFIG	ADC PPB2 構成レジスタ	セクション 18.3.52
1130h	ADCPPB2TRIPHI	ADC PPB2 トリップ上限レジスタ	セクション 18.3.53
1134h	ADCPPB2TRIPLO	ADC PPB2 トリップ下限 / トリガ タイムスタンプ レジスタ	セクション 18.3.54
1140h	ADCPPB3CONFIG	ADC PPB3 構成レジスタ	セクション 18.3.55
1150h	ADCPPB3TRIPHI	ADC PPB3 トリップ上限レジスタ	セクション 18.3.56
1154h	ADCPPB3TRIPLO	ADC PPB3 トリップ下限 / トリガ タイムスタンプ レジスタ	セクション 18.3.57
1160h	ADCPPB4CONFIG	ADC PPB4 構成レジスタ	セクション 18.3.58
1170h	ADCPPB4TRIPHI	ADC PPB4 トリップ上限レジスタ	セクション 18.3.59
1174h	ADCPPB4TRIPLO	ADC PPB4 トリップ下限 / トリガ タイムスタンプ レジスタ	セクション 18.3.60
1180h	ADCINTCYCLE	ADC Early 割り込み生成サイクル	セクション 18.3.61
119Ch	ADCREV2	ADC ラッパ リビジョン レジスタ	セクション 18.3.62
1200h	ADCPPB1LIMIT	ADC PPB1 Conversion カウント上限レジスタ	セクション 18.3.63
1204h	ADCPPB1PCOUNT	ADC PPB1 部分変換カウント レジスタ	セクション 18.3.64
1208h	ADCPPB1CONFIG2	ADC PPB1 合計シフト レジスタ	セクション 18.3.65
120Ch	ADCPPB1PSUM	ADC PPB1 部分合計レジスタ	セクション 18.3.66
1240h	ADCPPB2LIMIT	ADC PPB2 Conversion カウント上限レジスタ	セクション 18.3.67
1244h	ADCPPB2PCOUNT	ADC PPB2 部分変換カウント レジスタ	セクション 18.3.68
1248h	ADCPPB2CONFIG2	ADC PPB2 合計シフト レジスタ	セクション 18.3.69
124Ch	ADCPPB2PSUM	ADC PPB2 部分合計レジスタ	セクション 18.3.70
1280h	ADCPPB3LIMIT	ADC PPB3 Conversion カウント上限レジスタ	セクション 18.3.71
1284h	ADCPPB3PCOUNT	ADC PPB3 部分変換カウント レジスタ	セクション 18.3.72
1288h	ADCPPB3CONFIG2	ADC PPB3 合計シフト レジスタ	セクション 18.3.73
128Ch	ADCPPB3PSUM	ADC PPB3 部分合計レジスタ	セクション 18.3.74
12C0h	ADCPPB4LIMIT	ADC PPB4 Conversion カウント上限レジスタ	セクション 18.3.75
12C4h	ADCPPB4PCOUNT	ADC PPB4 部分変換カウント レジスタ	セクション 18.3.76
12C8h	ADCPPB4CONFIG2	ADC PPB4 合計シフト レジスタ	セクション 18.3.77
12CCh	ADCPPB4PSUM	ADC PPB4 部分合計レジスタ	セクション 18.3.78
1320h	ADCSEQCTL	ADC シーケンサ共通制御レジスタ	セクション 18.3.79
1324h	ADCSEQ1CONFIG	ADC シーケンサ 1 構成レジスタ	セクション 18.3.80
1328h	ADCSEQ2CONFIG	ADC シーケンサ 2 構成レジスタ	セクション 18.3.81

Copyright © 2026 Texas Instruments Incorporated

表 18-9. ADC_LITE_REGS レジスタ (続き)

オフセット	略称	レジスタ名	セクション
132Ch	ADCSEQ3CONFIG	ADC シーケンサ 3 構成レジスタ	セクション 18.3.82
1330h	ADCSEQ4CONFIG	ADC シーケンサ 4 構成レジスタ	セクション 18.3.83

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 18-10 に、このセクションでアクセス タイプに使用しているコードを示します。

表 18-10. ADC_LITE_REGS アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
W1S	W 1S	1 を書き込むことで セット
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

18.3.1 FSUB_0 レジスタ (オフセット = 400h) [リセット = 00000000h]

FSUB_0 を表 18-11 に示します。

概略表に戻ります。

サブスクライバ ポート

表 18-11. FSUB_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.2 FSUB_1 レジスタ (オフセット = 404h) [リセット = 00000000h]

FSUB_1 を表 18-12 に示します。

概略表に戻ります。

サブスクライバ ポート

表 18-12. FSUB_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.3 FSUB_2 レジスタ (オフセット = 408h) [リセット = 00000000h]

FSUB_2 を表 18-13 に示します。

概略表に戻ります。

サブスクライバ ポート

表 18-13. FSUB_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.4 FSUB_3 レジスタ (オフセット = 40Ch) [リセット = 00000000h]

FSUB_3 を表 18-14 に示します。

概略表に戻ります。

サブスクライバ ポート

表 18-14. FSUB_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.5 FSUB_4 レジスタ (オフセット = 410h) [リセット = 00000000h]

FSUB_4 を表 18-15 に示します。

概略表に戻ります。

サブスクライバ ポート

表 18-15. FSUB_4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.6 FSUB_5 レジスタ (オフセット = 414h) [リセット = 00000000h]

FSUB_5 を表 18-16 に示します。

概略表に戻ります。

サブスクライバ ポート

表 18-16. FSUB_5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.7 FPUB_0 レジスタ (オフセット = 444h) [リセット = 00000000h]

FPUB_0 を表 18-17 に示します。

概略表に戻ります。

パブリッシャ ポート

表 18-17. FPUB_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.8 FPUB_1 レジスタ (オフセット = 448h) [リセット = 00000000h]

FPUB_1 を表 18-18 に示します。

概略表に戻ります。

パブリッシャ ポート

表 18-18. FPUB_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.9 FPUB_2 レジスタ (オフセット = 44Ch) [リセット = 00000000h]

FPUB_2 を表 18-19 に示します。

概略表に戻ります。

パブリッシャ ポート

表 18-19. FPUB_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.10 FPUB_3 レジスタ (オフセット = 450h) [リセット = 00000000h]

FPUB_3 を表 18-20 に示します。

概略表に戻ります。

パブリッシャ ポート

表 18-20. FPUB_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。1 ～ 15 = channelID に接続 = CHANID。 0h = 0 の値は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

18.3.11 PWREN レジスタ (オフセット = 800h) [リセット = 00000000h]

PWREN を表 18-21 に示します。

概略表に戻ります。

電力状態を制御するためのレジスタ

表 18-21. PWREN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するためのキー
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、キーを 26h に設定する必要があります。 0h = 電力をディスエーブル 1h = 電力をイネーブル

Copyright © 2026 Texas Instruments Incorporated

18.3.12 RSTCTL レジスタ (オフセット = 804h) [リセット = 00000000h]

RSTCTL を表 18-22 に示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するためのレジスタ

表 18-22. RSTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するためのキー
23-2	予約済み	R	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、キーを B1h に設定する必要があります。 0h = 0 を書き込んでも何もしません 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、キーを B1h に設定する必要があります。 0h = 0 を書き込んでも何もしません 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

18.3.13 STAT レジスタ (オフセット = 814h) [リセット = 00000000h]

STAT を表 18-23 に示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

表 18-23. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKYCLR	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされているため、ペリフェラルがリセットされていたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされたので、ペリフェラルはリセットされていない 1h = 最後のビットがクリアされた後にペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

18.3.14 ADCCTL1 レジスタ (オフセット = 1000h) [リセット = 00000000h]

ADCCTL1 を表 18-24 に示します。

概略表に戻ります。

ADC 制御 1 レジスタ

表 18-24. ADCCTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	予約済み
13	ADCBSY	R	0h	ADC ビジー。ADC SOC が生成されたときに設定され、S/H パルスの負のエッジ後にハードウェアの 4 ADC クロックでクリアされます。ADC がサンプリング可能かどうかを判定するために ADC ステート マシンで使用されます。 0 ADC は次のチャネルをサンプリング可能 1 ADC はビジーで別のチャネルをサンプリング不可能 リセット タイプ : SYSRSn
12	予約済み	R	0h	予約済み
11-8	ADCBSYCHN	R	0h	ADC ビジー チャネル。ADC 変換開始 (SOC) が生成されるタイミングを設定します。 ADCBSY = 0 : 最後に変換された SOC の値を保持 ADCBSY = 1 : 現在処理中の SOC を反映 0h SOC0 が現在処理中、または最後に変換された SOC です 1h SOC1 を現在処理中、または最後に変換された SOC です 2h SOC2 を現在処理中、または最後に変換された SOC です 3h SOC3 を現在処理中、または最後に変換された SOC です 4h SOC4 を現在処理中、または最後に変換された SOC です 5h SOC5 を現在処理中、または最後に変換された SOC です 6h SOC6 を現在処理中、または最後に変換された SOC です 7h SOC7 を現在処理中、または最後に変換された SOC です 8h SOC8 を現在処理中、または最後に変換された SOC です 9h SOC9 を現在処理中、または最後に変換された SOC です Ah SOC10 を現在処理中、または最後に変換された SOC です Bh SOC11 を現在処理中、または最後に変換された SOC です Ch SOC12 を現在処理中、または最後に変換された SOC です Dh SOC13 を現在処理中、または最後に変換された SOC です Eh SOC14 を現在処理中、または最後に変換された SOC です Fh SOC15 を現在処理中、または最後に変換された SOC です リセット タイプ : SYSRSn
7	ADCPWDNZ	R/W	0h	ADC パワーダウン (アクティブ Low)。このビットは、アナログ コア内のすべてのアナログ回路のパワーアップとパワーダウンを制御します。 0 コア内のすべてのアナログ回路をパワーダウン 1 コア内のすべてのアナログ回路をパワー アップ リセット タイプ : SYSRSn
6-3	予約済み	R	0h	予約済み
2	INTPULSEPOS	R/W	0h	ADC 割り込みパルスの位置。 0 割り込みパルスは、ADC が (アクイジション ウィンドウの最後で) 変換を開始してから、ADCINTCYCLE.OFFSET レジスタで指定されている SYSCLK サイクル数が経過したときに生成されます。 1 割り込みパルスは、変換の最後に、ADC の結果が結果レジスタにラッチされる 1 サイクル前に生成されます リセット タイプ : SYSRSn
1-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.15 ADCCTL2 レジスタ (オフセット = 1004h) [リセット = 00000000h]

ADCCTL2 を表 18-25 に示します。

概略表に戻ります。

ADC 制御 2 レジスタ

表 18-25. ADCCTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	予約済み
12-9	予約済み	R	0h	予約済み
8-6	予約済み	R	0h	
5-4	予約済み	R	0h	予約済み
3-0	PRESCALE	R/W	0h	ADC クロック プリスケーラ。 0000 ADCCLK = 入力クロック / 1.0 0001 ADCCLK = 入力クロック / 1.5 0010 ADCCLK = 入力クロック / 2.0 0011 ADCCLK = 入力クロック / 2.5 0100 ADCCLK = 入力クロック / 3.0 0101 ADCCLK = 入力クロック / 3.5 0110 ADCCLK = 入力クロック / 4.0 0111 ADCCLK = 入力クロック / 4.5 1000 ADCCLK = 入力クロック / 5.0 1001 ADCCLK = 入力クロック / 5.5 1010 ADCCLK = 入力クロック / 6.0 1011 ADCCLK = 入力クロック / 6.5 1100 ADCCLK = 入力クロック / 7.0 1101 ADCCLK = 入力クロック / 7.5 1110 ADCCLK = 入力クロック / 8.0 1111 ADCCLK = 入力クロック / 8.5 注:以下の整数以外の ADC クロック分周器はサポートされていません。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.16 ADCINTSEL レジスタ (オフセット = 1010h) [リセット = 00000000h]

表 18-26 に、ADCINTSEL を示します。

概略表に戻ります。

ADC 割り込み 1、2、3 および 4 選択レジスタ

表 18-26. ADCINTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	INT4E	R/W	0h	ADCINT4 割り込みイネーブル 0 ADCINT4 は無効 1 ADCINT4 は有効 リセット タイプ:SYSRSn
30	INT4CONT	R/W	0h	ADCINT4 割り込み継続モード 0:ADCINT4 フラグ (ADCINTFLG レジスタ) がユーザーによってクリアされるまで、ADCINT4 パルスは生成しない。 1 フラグ ビットがクリアされているかどうかにかかわらず、EOC パルスが生成されるたびに ADCINT4 パルスを生成します。 リセット タイプ:SYSRSn
29-28	予約済み	R	0h	予約済み
27-24	INT4SEL	R/W	0h	ADCINT4 EOC ソース選択 00h EOC0 で ADCINT4 をトリガ 01h EOC1 で ADCINT4 をトリガ 02h EOC2 で ADCINT4 をトリガ 03h EOC3 で ADCINT4 をトリガ 04h EOC4 で ADCINT4 をトリガ 05h EOC5 で ADCINT4 をトリガ 06h EOC6 で ADCINT4 をトリガ 07h EOC7 で ADCINT4 をトリガ 08h EOC8 で ADCINT4 をトリガ 09h EOC9 で ADCINT4 をトリガ 0Ah EOC10 で ADCINT4 をトリガ 0Bh EOC11 で ADCINT4 をトリガ 0Ch EOC12 で ADCINT4 をトリガ 0Dh EOC13 で ADCINT4 をトリガ 0Eh EOC14 で ADCINT4 をトリガ 0Fh EOC15 で ADCINT4 をトリガ 注:オーバーサンプリングが有効な場合、最後のオーバーサンプリングの変換の終了によって割り込みがトリガされます リセット タイプ:SYSRSn
23	INT3E	R/W	0h	ADCINT3 割り込みイネーブル 0 ADCINT3 は無効 1 ADCINT3 は有効 リセット タイプ:SYSRSn
22	INT3CONT	R/W	0h	ADCINT3 割り込み継続モード 0:ADCINT3 フラグ (ADCINTFLG レジスタ) がユーザーによってクリアされるまで、ADCINT3 パルスは生成しない。 1 フラグ ビットがクリアされているかどうかにかかわらず、EOC パルスが生成されるたびに ADCINT3 パルスを生成します。 リセット タイプ:SYSRSn
21-20	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 18-26. ADCINTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19-16	INT3SEL	R/W	0h	ADCINT3 EOC ソース選択 00h EOC0 で ADCINT3 をトリガ 01h EOC1 で ADCINT3 をトリガ 02h EOC2 で ADCINT3 をトリガ 03h EOC3 で ADCINT3 をトリガ 04h EOC4 で ADCINT3 をトリガ 05h EOC5 で ADCINT3 をトリガ 06h EOC6 で ADCINT3 をトリガ 07h EOC7 で ADCINT3 をトリガ 08h EOC8 で ADCINT3 をトリガ 09h EOC9 で ADCINT3 をトリガ 0Ah EOC10 で ADCINT3 をトリガ 0Bh EOC11 で ADCINT3 をトリガ 0Ch EOC12 で ADCINT3 をトリガ 0Dh EOC13 で ADCINT3 をトリガ 0Eh EOC14 で ADCINT3 をトリガ 0Fh EOC15 で ADCINT3 をトリガ 注:オーバーサンプリングが有効な場合、最後のオーバーサンプリングの変換の終了によって割り込みがトリガされます リセット タイプ:SYSRSn
15	INT2E	R/W	0h	ADCINT2 割り込みイネーブル 0 ADCINT2 は無効 1 ADCINT2 は有効 リセット タイプ:SYSRSn
14	INT2CONT	R/W	0h	ADCINT2 割り込み継続モード 0:ADCINT2 フラグ (ADCINTFLG レジスタ) がユーザーによってクリアされるまで、ADCINT2 パルスは生成しない。 1 フラグ ビットがクリアされているかどうかにかかわらず、EOC パルスが生成されるたびに ADCINT2 パルスを生成します。 リセット タイプ:SYSRSn
13-12	予約済み	R	0h	予約済み
11-8	INT2SEL	R/W	0h	ADCINT2 EOC ソース選択 00h EOC0 で ADCINT2 をトリガ 01h EOC1 で ADCINT2 をトリガ 02h EOC2 で ADCINT2 をトリガ 03h EOC3 で ADCINT2 をトリガ 04h EOC4 で ADCINT2 をトリガ 05h EOC5 で ADCINT2 をトリガ 06h EOC6 で ADCINT2 をトリガ 07h EOC7 で ADCINT2 をトリガ 08h EOC8 で ADCINT2 をトリガ 09h EOC9 で ADCINT2 をトリガ 0Ah EOC10 で ADCINT2 をトリガ 0Bh EOC11 で ADCINT2 をトリガ 0Ch EOC12 で ADCINT2 をトリガ 0Dh EOC13 で ADCINT2 をトリガ 0Eh EOC14 で ADCINT2 をトリガ 0Fh EOC15 で ADCINT2 をトリガ 注:オーバーサンプリングが有効な場合、最後のオーバーサンプリングの変換の終了によって割り込みがトリガされます リセット タイプ:SYSRSn
7	INT1E	R/W	0h	ADCINT1 割り込みイネーブル 0 ADCINT1 は無効 1 ADCINT1 は有効 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-26. ADCINTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	INT1CONT	R/W	0h	ADCINT1 割り込み継続モード 0:ADCINT1 フラグ (ADCINTFLG レジスタ) がユーザーによってクリアされるまで、ADCINT1 パルスは生成しない。 1 フラグ ビットがクリアされているかどうかにかかわらず、EOC パルスが生成されるたびに ADCINT1 パルスを生成します。 リセット タイプ:SYSRSn
5-4	予約済み	R	0h	予約済み
3-0	INT1SEL	R/W	0h	ADCINT1 EOC ソース選択 00h EOC0 で ADCINT1 をトリガ 01h EOC1 で ADCINT1 をトリガ 02h EOC2 で ADCINT1 をトリガ 03h EOC3 で ADCINT1 をトリガ 04h EOC4 で ADCINT1 をトリガ 05h EOC5 で ADCINT1 をトリガ 06h EOC6 で ADCINT1 をトリガ 07h EOC7 で ADCINT1 をトリガ 08h EOC8 で ADCINT1 をトリガ 09h EOC9 で ADCINT1 をトリガ 0Ah EOC10 で ADCINT1 をトリガ 0Bh EOC11 で ADCINT1 をトリガ 0Ch EOC12 で ADCINT1 をトリガ 0Dh EOC13 で ADCINT1 をトリガ 0Eh EOC14 で ADCINT1 をトリガ 0Fh EOC15 で ADCINT1 をトリガ 注:オーバーサンプリングが有効な場合、最後のオーバーサンプリングの変換の終了によって割り込みがトリガされます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.17 ADCDMAINTSEL レジスタ (オフセット = 1014h) [リセット = 00000000h]

表 18-27 に、ADCDMAINTSEL を示します。

概略表に戻ります。

ADC DMA 割り込み 1、2、3 および 4 選択レジスタ

表 18-27. ADCDMAINTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	DMAINT4E	R/W	0h	ADCDMAINT4 割り込みイネーブル 0 ADCDMAINT4 は無効 1 ADCDMAINT4 は有効 リセット タイプ:SYSRSn
30	DMAINT4CONT	R/W	0h	ADCDMAINT4 割り込み継続モード 0 ADCDMAINT4 フラグ (ADCDMAINTFLG レジスタ) がユーザーによってクリアされるまで、ADCDMAINT4 パルスは生成しません。 1 フラグ ビットがクリアされているかどうかにかかわらず、EOC パルスが生成されるたびに ADCDMAINT4 パルスを生成します。 リセット タイプ:SYSRSn
29-28	予約済み	R	0h	予約済み
27-24	DMAINT4SEL	R/W	0h	ADCDMAINT4 EOC ソース選択 00h EOC0 で ADCDMAINT4 をトリガ 01h EOC1 で ADCDMAINT4 をトリガ 02h EOC2 で ADCDMAINT4 をトリガ 03h EOC3 で ADCDMAINT4 をトリガ 04h EOC4 で ADCDMAINT4 をトリガ 05h EOC5 で ADCDMAINT4 をトリガ 06h EOC6 で ADCDMAINT4 をトリガ 07h EOC7 で ADCDMAINT4 をトリガ 08h EOC8 で ADCDMAINT4 をトリガ 09h EOC9 で ADCDMAINT4 をトリガ 0Ah EOC10 で ADCDMAINT4 をトリガ 0Bh EOC11 で ADCDMAINT4 をトリガ 0Ch EOC12 で ADCDMAINT4 をトリガ 0Dh EOC13 で ADCDMAINT4 をトリガ 0Eh EOC14 で ADCDMAINT4 をトリガ 0Fh EOC15 で ADCDMAINT4 をトリガ 注:オーバーサンプリングが有効化されている場合、最後のオーバーサンプリングされた補正の終了によって DMAINTerrupts がトリガされます リセット タイプ:SYSRSn
23	DMAINT3E	R/W	0h	ADCDMAINT3 割り込みイネーブル 0 ADCDMAINT3 は無効 1 ADCDMAINT3 は有効 リセット タイプ:SYSRSn
22	DMAINT3CONT	R/W	0h	ADCDMAINT3 割り込み継続モード 0 ADCDMAINT3 フラグ (ADCDMAINTFLG レジスタ) がユーザーによってクリアされるまで、ADCDMAINT3 パルスは生成しません。 1 フラグ ビットがクリアされているかどうかにかかわらず、EOC パルスが生成されるたびに ADCDMAINT3 パルスを生成します。 リセット タイプ:SYSRSn
21-20	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 18-27. ADCDMAINTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
19-16	DMAINT3SEL	R/W	0h	ADCDMAINT3 EOC ソース選択 00h EOC0 で ADCDMAINT3 をトリガ 01h EOC1 で ADCDMAINT3 をトリガ 02h EOC2 で ADCDMAINT3 をトリガ 03h EOC3 で ADCDMAINT3 をトリガ 04h EOC4 で ADCDMAINT3 をトリガ 05h EOC5 で ADCDMAINT3 をトリガ 06h EOC6 で ADCDMAINT3 をトリガ 07h EOC7 で ADCDMAINT3 をトリガ 08h EOC8 で ADCDMAINT3 をトリガ 09h EOC9 で ADCDMAINT3 をトリガ 0Ah EOC10 で ADCDMAINT3 をトリガ 0Bh EOC11 で ADCDMAINT3 をトリガ 0Ch EOC12 で ADCDMAINT3 をトリガ 0Dh EOC13 で ADCDMAINT3 をトリガ 0Eh EOC14 で ADCDMAINT3 をトリガ 0Fh EOC15 で ADCDMAINT3 をトリガ 注:オーバーサンプリングが有効化されている場合、最後のオーバーサンプリングされた補正の終了によって DMAINTerrupts がトリガされます リセット タイプ:SYSRSn
15	DMAINT2E	R/W	0h	ADCDMAINT2 割り込みイネーブル 0 ADCDMAINT2 は無効 1 ADCDMAINT2 は有効 リセット タイプ:SYSRSn
14	DMAINT2CONT	R/W	0h	ADCDMAINT2 割り込み継続モード 0 ADCDMAINT2 フラグ (ADCDMAINTFLG レジスタ) がユーザーによってクリアされるまで、ADCDMAINT2 パルスは生成しません。 1 フラグ ビットがクリアされているかどうかにかかわらず、EOC パルスが生成されるたびに ADCDMAINT2 パルスを生成します。 リセット タイプ:SYSRSn
13-12	予約済み	R	0h	予約済み
11-8	DMAINT2SEL	R/W	0h	ADCDMAINT2 EOC ソース選択 00h EOC0 で ADCDMAINT2 をトリガ 01h EOC1 で ADCDMAINT2 をトリガ 02h EOC2 で ADCDMAINT2 をトリガ 03h EOC3 で ADCDMAINT2 をトリガ 04h EOC4 で ADCDMAINT2 をトリガ 05h EOC5 で ADCDMAINT2 をトリガ 06h EOC6 で ADCDMAINT2 をトリガ 07h EOC7 で ADCDMAINT2 をトリガ 08h EOC8 で ADCDMAINT2 をトリガ 09h EOC9 で ADCDMAINT2 をトリガ 0Ah EOC10 で ADCDMAINT2 をトリガ 0Bh EOC11 で ADCDMAINT2 をトリガ 0Ch EOC12 で ADCDMAINT2 をトリガ 0Dh EOC13 で ADCDMAINT2 をトリガ 0Eh EOC14 で ADCDMAINT2 をトリガ 0Fh EOC15 で ADCDMAINT2 をトリガ 注:オーバーサンプリングが有効化されている場合、最後のオーバーサンプリングされた補正の終了によって DMAINTerrupts がトリガされます リセット タイプ:SYSRSn
7	DMAINT1E	R/W	0h	ADCDMAINT1 割り込みイネーブル 0 ADCDMAINT1 は無効 1 ADCDMAINT1 は有効 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-27. ADCDMAINTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	DMAINT1CONT	R/W	0h	ADCDMAINT1 割り込み継続モード 0 ADCDMAINT1 フラグ (ADCDMAINTFLG レジスタ) がユーザーによってクリアされるまで、ADCDMAINT1 パルスは生成しません。 1 フラグ ビットがクリアされているかどうかにかかわらず、EOC パルスが生成されるたびに ADCDMAINT1 パルスを生成します。 リセット タイプ:SYSRSn
5-4	予約済み	R	0h	予約済み
3-0	DMAINT1SEL	R/W	0h	ADCDMAINT1 EOC ソース選択 00h EOC0 で ADCDMAINT1 をトリガ 01h EOC1 で ADCDMAINT1 をトリガ 02h EOC2 で ADCDMAINT1 をトリガ 03h EOC3 で ADCDMAINT1 をトリガ 04h EOC4 で ADCDMAINT1 をトリガ 05h EOC5 で ADCDMAINT1 をトリガ 06h EOC6 で ADCDMAINT1 をトリガ 07h EOC7 で ADCDMAINT1 をトリガ 08h EOC8 で ADCDMAINT1 をトリガ 09h EOC9 で ADCDMAINT1 をトリガ 0Ah EOC10 で ADCDMAINT1 をトリガ 0Bh EOC11 で ADCDMAINT1 をトリガ 0Ch EOC12 で ADCDMAINT1 をトリガ 0Dh EOC13 で ADCDMAINT1 をトリガ 0Eh EOC14 で ADCDMAINT1 をトリガ 0Fh EOC15 で ADCDMAINT1 をトリガ 注:オーバーサンプリングが有効化されている場合、最後のオーバーサンプリング変換の終了によって DMAINTerrupts がトリガされます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.18 ADCRAWINTFLG レジスタ (オフセット = 1018h) [リセット = 00000000h]

表 18-28 に、ADCRAWINTFLG を示します。

概略表に戻ります。

ADC 未加工割り込みフラグ レジスタ

表 18-28. ADCRAWINTFLG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19	ADCDMARAWINT4	R	0h	ADC DMA 未加工割り込み 4 フラグ。これらのフラグを読み出すことで、対応する ADCDMAINT 条件が発生したかどうかを確認できます。このフラグは、対応する DMAINTE 設定に関係なく設定されます 0 選択された EOC/OSINT イベントが発生しませんでした 1 選択された EOC/OSINT イベントが発生しました ADCINTFLGCLR レジスタに対応する INTCLR ビットに書き込むと、このビットがクリアされます。 リセット タイプ : SYSRSn
18	ADCDMARAWINT3	R	0h	ADC DMA 未加工割り込み 3 フラグ。これらのフラグを読み出すことで、対応する ADCDMAINT 条件が発生したかどうかを確認できます。このフラグは、対応する DMAINTE 設定に関係なく設定されます 0 選択された EOC/OSINT イベントが発生しませんでした 1 選択された EOC/OSINT イベントが発生しました ADCINTFLGCLR レジスタに対応する INTCLR ビットに書き込むと、このビットがクリアされます。 リセット タイプ : SYSRSn
17	ADCDMARAWINT2	R	0h	ADC DMA 未加工割り込み 2 フラグ。これらのフラグを読み出すことで、対応する ADCDMAINT 条件が発生したかどうかを確認できます。このフラグは、対応する DMAINTE 設定に関係なく設定されます 0 選択された EOC/OSINT イベントが発生しませんでした 1 選択された EOC/OSINT イベントが発生しました ADCINTFLGCLR レジスタに対応する INTCLR ビットに書き込むと、このビットがクリアされます。 リセット タイプ : SYSRSn
16	ADCDMARAWINT1	R	0h	ADC DMA 未加工割り込み 1 フラグ。これらのフラグを読み出すことで、対応する ADCDMAINT 条件が発生したかどうかを確認できます。このフラグは、対応する DMAINTE 設定に関係なく設定されます 0 選択された EOC/OSINT イベントが発生しませんでした 1 選択された EOC/OSINT イベントが発生しました ADCINTFLGCLR レジスタに対応する INTCLR ビットに書き込むと、このビットがクリアされます。 リセット タイプ : SYSRSn
15-4	予約済み	R	0h	予約済み
3	ADCRAWINT4	R	0h	ADC 未加工割り込み 4 フラグ。これらのフラグを読み出すことで、対応する INT 条件が発生したかどうかを確認できます。このフラグは、対応する INTE 設定に関係なく設定されます 0 選択された EOC/OSINT イベントが発生しませんでした 1 選択された EOC/OSINT イベントが発生しました ADCINTFLGCLR レジスタに対応する INTCLR ビットに書き込むと、このビットがクリアされます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-28. ADCRAWINTFLG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	ADCRAWINT3	R	0h	ADC 未加工割り込み 3 フラグ。これらのフラグを読み出すことで、対応する INT 条件が発生したかどうかを確認できます。このフラグは、対応する INTE 設定に関係なく設定されます 0 選択された EOC/OSINT イベントが発生しませんでした 1 選択された EOC/OSINT イベントが発生しました ADCINTFLGCLR レジスタに対応する INTCLR ビットに書き込むと、このビットがクリアされます。 リセット タイプ : SYSRSn
1	ADCRAWINT2	R	0h	ADC 未加工割り込み 2 フラグ。これらのフラグを読み出すことで、対応する INT 条件が発生したかどうかを確認できます。このフラグは、対応する INTE 設定に関係なく設定されます 0 選択された EOC/OSINT イベントが発生しませんでした 1 選択された EOC/OSINT イベントが発生しました ADCINTFLGCLR レジスタに対応する INTCLR ビットに書き込むと、このビットがクリアされます。 リセット タイプ : SYSRSn
0	ADCRAWINT1	R	0h	ADC 未加工割り込み 1 フラグ。これらのフラグを読み出すことで、対応する INT 条件が発生したかどうかを確認できます。このフラグは、対応する INTE 設定に関係なく設定されます 0 選択された EOC/OSINT イベントが発生しませんでした 1 選択された EOC/OSINT イベントが発生しました ADCINTFLGCLR レジスタに対応する INTCLR ビットに書き込むと、このビットがクリアされます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.19 ADCINTFLG レジスタ (オフセット = 101Ch) [リセット = 00000000h]

表 18-29 に、ADCINTFLG を示します。

概略表に戻ります。

ADC 割り込みフラグ レジスタ

表 18-29. ADCINTFLG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19	ADCDMAINT4	R	0h	ADC DMA 割り込み 4 フラグ。これらのフラグは、最後のクリア後に関連する ADCDMAINT パルスが生成されたかどうかを示します。 0 ADC DMA 割り込みパルスは生成されません 1 ADC DMA 割り込みパルスが生成されます ADC 割り込みが継続割り込みモード (DMAINTSEL レジスタ) に設定されている場合、フラグ ビットがすでにセットされていても、選択された EOC イベントが発生するたびに、追加の割り込みパルスが生成されます。継続モードがイネーブルでない場合、ADCINTFLGCLR レジスタを使用してこのフラグ ビットをクリアするまで、それ以上の割り込みパルスは生成されません。代わりに、ADCINTOVF レジスタで ADC 割り込みオーバーフロー イベントが発生します。 リセット タイプ:SYSRSn
18	ADCDMAINT3	R	0h	ADC DMA 割り込み 3 フラグ。これらのフラグは、最後のクリア後に関連する ADCDMAINT パルスが生成されたかどうかを示します。 0 ADC DMA 割り込みパルスは生成されません 1 ADC DMA 割り込みパルスが生成されます ADC 割り込みが継続割り込みモード (DMAINTSEL レジスタ) に設定されている場合、フラグ ビットがすでにセットされていても、選択された EOC イベントが発生するたびに、追加の割り込みパルスが生成されます。継続モードがイネーブルでない場合、ADCINTFLGCLR レジスタを使用してこのフラグ ビットをクリアするまで、それ以上の割り込みパルスは生成されません。代わりに、ADCINTOVF レジスタで ADC 割り込みオーバーフロー イベントが発生します。 リセット タイプ:SYSRSn
17	ADCDMAINT2	R	0h	ADC DMA 割り込み 2 フラグ。これらのフラグは、最後のクリア後に関連する ADCDMAINT パルスが生成されたかどうかを示します。 0 ADC DMA 割り込みパルスは生成されません 1 ADC DMA 割り込みパルスが生成されます ADC DMA 割り込みが継続割り込みモード (DMAINTSEL レジスタ) に設定されている場合、フラグ ビットがすでにセットされていても、選択された EOC イベントが発生するたびに、追加の割り込みパルスが生成されます。継続モードがイネーブルでない場合、ADCINTFLGCLR レジスタを使用してこのフラグ ビットをクリアするまで、それ以上の割り込みパルスは生成されません。代わりに、ADCINTOVF レジスタで ADC 割り込みオーバーフロー イベントが発生します。 リセット タイプ:SYSRSn
16	ADCDMAINT1	R	0h	ADC DMA 割り込み 1 フラグ。これらのフラグは、最後のクリア後に関連する ADCDMAINT パルスが生成されたかどうかを示します。 0 ADC DMA 割り込みパルスは生成されません 1 ADC DMA 割り込みパルスが生成されます ADC 割り込みが継続割り込みモード (DMAINTSEL レジスタ) に設定されている場合、フラグ ビットがすでにセットされていても、選択された EOC イベントが発生するたびに、追加の割り込みパルスが生成されます。継続モードがイネーブルでない場合、ADCINTFLGCLR レジスタを使用してこのフラグ ビットをクリアするまで、それ以上の割り込みパルスは生成されません。代わりに、ADCINTOVF レジスタで ADC 割り込みオーバーフロー イベントが発生します。 リセット タイプ:SYSRSn
15-12	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 18-29. ADCINTFLG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	ADCINT4RESULT	R	0h	ADC 割り込み 4 結果準備完了フラグ。ADCINT4 に関連付けられた変換結果が、対応する結果レジスタにラッチされたとき、このフラグがセットされます。 0 変換結果がラッチされてません 1 変換結果がラッチされました このフラグは、早期割り込みモードで開始された ISR 内で、結果レジスタを読み出す前に、対応する変換結果の準備が完了していることを確認するために使用できます。 このフラグは、ADCINT4 フラグも同時にクリアする ADCINTFLGCLR レジスタの ACK ビットによってクリアできます。 変換結果がラッチされた時点でこのフラグがすでにセットされている場合でも、ADCINTOVF レジスタの対応するフラグはセットされません。ADCINT の ISR を PIE へ伝達するために、このフラグをクリアする必要はありません。 関連する SOC に一つの PPB または複数の PPB が関連付けられている場合、関連するすべての PPB 結果がラッチされるまで、このフラグはセットされません。 リセット タイプ:SYSRSn
10	ADCINT3RESULT	R	0h	ADC 割り込み 3 結果準備完了フラグ。ADCINT3 に関連付けられた変換結果が、対応する結果レジスタにラッチされたとき、このフラグがセットされます。 0 変換結果がラッチされてません 1 変換結果がラッチされました このフラグは、早期割り込みモードで開始された ISR 内で、結果レジスタを読み出す前に、対応する変換結果の準備が完了していることを確認するために使用できます。 このフラグは、ADCINT3 フラグも同時にクリアする ADCINTFLGCLR レジスタの ACK ビットによってクリアできます。 変換結果がラッチされた時点でこのフラグがすでにセットされている場合でも、ADCINTOVF レジスタの対応するフラグはセットされません。ADCINT の ISR を PIE へ伝達するために、このフラグをクリアする必要はありません。 関連する SOC に一つの PPB または複数の PPB が関連付けられている場合、関連するすべての PPB 結果がラッチされるまで、このフラグはセットされません。 リセット タイプ:SYSRSn
9	ADCINT2RESULT	R	0h	ADC 割り込み 2 結果準備完了フラグ。ADCINT2 に関連付けられた変換結果が、対応する結果レジスタにラッチされたとき、このフラグがセットされます。 0 変換結果がラッチされてません 1 変換結果がラッチされました このフラグは、早期割り込みモードで開始された ISR 内で、結果レジスタを読み出す前に、対応する変換結果の準備が完了していることを確認するために使用できます。 このフラグは、ADCINT2 フラグも同時にクリアする ADCINTFLGCLR レジスタの ACK ビットによってクリアできます。 変換結果がラッチされた時点でこのフラグがすでにセットされている場合でも、ADCINTOVF レジスタの対応するフラグはセットされません。ADCINT の ISR を PIE へ伝達するために、このフラグをクリアする必要はありません。 関連する SOC に一つの PPB または複数の PPB が関連付けられている場合、関連するすべての PPB 結果がラッチされるまで、このフラグはセットされません。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-29. ADCINTFLG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	ADCINT1RESULT	R	0h	ADC 割り込み 1 結果準備完了フラグ。ADCINT1 に関連付けられた変換結果が、対応する結果レジスタにラッチされたとき、このフラグがセットされます。 0 変換結果がラッチされてません 1 変換結果がラッチされました このフラグは、早期割り込みモードで開始された ISR 内で、結果レジスタを読み出す前に、対応する変換結果の準備が完了していることを確認するために使用できます。 このフラグは、ADCINT1 フラグも同時にクリアする ADCINTFLGCLR レジスタの ACK ビットによってクリアできます。 変換結果がラッチされた時点でこのフラグがすでにセットされている場合でも、ADCINTOVF レジスタの対応するフラグはセットされません。ADCINT の ISR を PIE へ伝達するために、このフラグをクリアする必要はありません。 関連する SOC に一つの PPB または複数の PPB が関連付けられている場合、関連するすべての PPB 結果がラッチされるまで、このフラグはセットされません。 リセット タイプ:SYSRSn
7-4	予約済み	R	0h	予約済み
3	ADCINT4	R	0h	ADC 割り込み 4 フラグ。これらのフラグは、最後のクリア後に関連する ADCINT パルスが生成されたかどうかを示します。 0 ADC 割り込みパルスは生成されません 1 ADC 割り込みパルスが生成されます ADC 割り込みが割り込み継続モード (INTSEL レジスタ) の場合、フラグビットが設定されていても、選択した EOC イベントが発生するたびに割り込みパルスが生成されます。連続モードがイネーブルでない場合、ADCINFLGCLR レジスタを使用してこのフラグ ビットをクリアするまで、それ以上の割り込みパルスは生成されません。代わりに、ADCINTOVF レジスタで ADC 割り込みオーバーフロー イベントが発生します。 リセット タイプ:SYSRSn
2	ADCINT3	R	0h	ADC 割り込み 3 フラグ。これらのフラグは、最後のクリア後に関連する ADCINT パルスが生成されたかどうかを示します。 0 ADC 割り込みパルスは生成されません 1 ADC 割り込みパルスが生成されます ADC 割り込みが割り込み継続モード (INTSEL レジスタ) の場合、フラグビットが設定されていても、選択した EOC イベントが発生するたびに割り込みパルスが生成されます。継続モードがイネーブルでない場合、ADCINTFLGCLR レジスタを使用してこのフラグ ビットをクリアするまで、それ以上の割り込みパルスは生成されません。代わりに、ADCINTOVF レジスタで ADC 割り込みオーバーフロー イベントが発生します。 リセット タイプ:SYSRSn
1	ADCINT2	R	0h	ADC 割り込み 2 フラグ。これらのフラグは、最後のクリア後に関連する ADCINT パルスが生成されたかどうかを示します。 0 ADC 割り込みパルスは生成されません 1 ADC 割り込みパルスが生成されます ADC 割り込みが割り込み継続モード (INTSEL レジスタ) の場合、フラグビットが設定されていても、選択した EOC イベントが発生するたびに割り込みパルスが生成されます。継続モードがイネーブルでない場合、ADCINTFLGCLR レジスタを使用してこのフラグ ビットをクリアするまで、それ以上の割り込みパルスは生成されません。代わりに、ADCINTOVF レジスタで ADC 割り込みオーバーフロー イベントが発生します。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-29. ADCINTFLG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	ADCINT1	R	0h	ADC 割り込み 1 フラグ。これらのフラグは、最後のクリア後に関連する ADCINT パルスが生成されたかどうかを示します。 0 ADC 割り込みパルスは生成されません 1 ADC 割り込みパルスが生成されます ADC 割り込みが割り込み継続モード (INTSEL レジスタ) の場合、フラグ ビットが設定されていても、選択した EOC イベントが発生するたびに割り込みパルスが生成されます。継続モードがイネーブルでない場合、ADCINTFLGCLR レジスタを使用してこのフラグ ビットをクリアするまで、それ以上の割り込みパルスは生成されません。代わりに、ADCINTOVF レジスタで ADC 割り込みオーバーフロー イベントが発生します。 リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

18.3.20 ADCINTFLGFRC レジスタ (オフセット = 1020h) [リセット = 00000000h]

表 18-30 に、ADCINTFLGFRC を示します。

概略表に戻ります。

ADC 割り込みフラグ強制レジスタ

表 18-30. ADCINTFLGFRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19	ADCDMAINT4	R-0/W1S	0h	ADC DMA 割り込み 4 フラグ強制。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG および ADCRAWINTFLG レジスタに ADCDMAINT4 フラグを強制します。 リセット タイプ : SYSRSn
18	ADCDMAINT3	R-0/W1S	0h	ADC DMA 割り込み 3 フラグ強制。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG および ADCRAWINTFLG レジスタに ADCDMAINT3 フラグを強制します。 リセット タイプ : SYSRSn
17	ADCDMAINT2	R-0/W1S	0h	ADC DMA 割り込み 2 フラグ強制。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG および ADCRAWINTFLG レジスタに ADCDMAINT2 フラグを強制します。 リセット タイプ : SYSRSn
16	ADCDMAINT1	R-0/W1S	0h	ADC DMA 割り込み 1 フラグ強制。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG および ADCRAWINTFLG レジスタに ADCDMAINT1 フラグを強制します。 リセット タイプ : SYSRSn
15-4	予約済み	R	0h	予約済み
3	ADCINT4	R-0/W1S	0h	ADC 割り込み 4 フラグ強制。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG および ADCRAWINTFLG レジスタに ADCINT4 フラグを強制します。 リセット タイプ : SYSRSn
2	ADCINT3	R-0/W1S	0h	ADC 割り込み 3 フラグ強制。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG および ADCRAWINTFLG レジスタに ADCINT3 フラグを強制します。 リセット タイプ : SYSRSn
1	ADCINT2	R-0/W1S	0h	ADC 割り込み 2 フラグ強制。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG および ADCRAWINTFLG レジスタに ADCINT2 フラグを強制します。 リセット タイプ : SYSRSn
0	ADCINT1	R-0/W1S	0h	ADC 割り込み 1 フラグ強制。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG および ADCRAWINTFLG レジスタに ADCINT1 フラグを強制します。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.21 ADCINTFLGCLR レジスタ (オフセット = 1024h) [リセット = 00000000h]

表 18-31 に、ADCINTFLGCLR を示します。

概略表に戻ります。

ADC 割り込みフラグ クリア レジスタ

表 18-31. ADCINTFLGCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19	ADCDMAINT4	R-0/W1C	0h	ADC DMA 割り込み 4 フラグ クリア。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG、ADCRAWINTFLG レジスタの ADDMACINT4 フラグをクリアします。 ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先され、オーバーフロー ビットは設定されません リセット タイプ : SYSRSn
18	ADCDMAINT3	R-0/W1C	0h	ADC DMA 割り込み 3 フラグ クリア。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG、ADCRAWINTFLG レジスタの ADDMACINT3 フラグをクリアします。 ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先され、オーバーフロー ビットは設定されません リセット タイプ : SYSRSn
17	ADCDMAINT2	R-0/W1C	0h	ADC DMA 割り込み 2 フラグ クリア。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG、ADCRAWINTFLG レジスタの ADDMACINT2 フラグをクリアします。 ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先され、オーバーフロー ビットは設定されません リセット タイプ : SYSRSn
16	ADCDMAINT1	R-0/W1C	0h	ADC DMA 割り込み 1 フラグ クリア。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG、ADCRAWINTFLG レジスタの ADDMACINT1 フラグをクリアします。 ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先され、オーバーフロー ビットは設定されません リセット タイプ : SYSRSn
15-4	予約済み	R	0h	予約済み
3	ADCINT4	R-0/W1C	0h	ADC 割り込み 4 フラグ クリア。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG レジスタおよび ADCRAWINTFLG レジスタの ADCINT4 フラグと ADCINT4RESULT フラグをクリアします。 ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先され、オーバーフロー ビットは設定されません リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-31. ADCINTFLGCLR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	ADCINT3	R-0/W1C	0h	ADC 割り込み 3 フラグ クリア。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG レジスタおよび ADCRAWINTFLG レジスタの ADCINT3 フラグと ADCINT3RESULT フラグをクリアします。 ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先され、オーバーフロー ビットは設定されません リセット タイプ : SYSRSn
1	ADCINT2	R-0/W1C	0h	ADC 割り込み 2 フラグ クリア。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG レジスタおよび ADCRAWINTFLG レジスタの ADCINT2 フラグと ADCINT2RESULT フラグをクリアします。ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先され、オーバーフロー ビットは設定されません リセット タイプ : SYSRSn
0	ADCINT1	R-0/W1C	0h	ADC 割り込み 1 フラグ クリア。読み取り値は 0 です。 0 アクションがありません 1 ADCINTFLG レジスタおよび ADCRAWINTFLG レジスタの ADCINT1 フラグと ADCINT1RESULT フラグをクリアします。 ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先され、オーバーフロー ビットは設定されません リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.22 ADCINTOVF レジスタ (オフセット = 1028h) [リセット = 00000000h]

表 18-32 に、ADCINTOVF を示します。

概略表に戻ります。

ADC 割り込みオーバーフロー レジスタ

表 18-32. ADCINTOVF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19	ADCDMAINT4OVF	R	0h	ADC DMA 割り込み 4 オーバーフロー フラグ ADCINT パルスの生成時にオーバーフローが発生したかどうかを示します。対応する ADCINTFLG ビットが設定され、選択された追加の EOC トリガが生成されると、オーバーフロー状態が発生します。 0 ADC DMA 割り込みオーバーフロー イベントは検出されていません。 1 ADC DMA 割り込みオーバーフロー イベントが検出されました。 オーバーフロー ビットは、連続モード ビットの状態には関係しません。オーバーフロー状態は、このモードの選択に関係なく生成されます。 リセット タイプ:SYSRSn
18	ADCDMAINT3OVF	R	0h	ADC DMA 割り込み 3 オーバーフロー フラグ ADCINT パルスの生成時にオーバーフローが発生したかどうかを示します。対応する ADCINTFLG ビットが設定され、選択された追加の EOC トリガが生成されると、オーバーフロー状態が発生します。 0 ADC DMA 割り込みオーバーフロー イベントは検出されていません。 1 ADC DMA 割り込みオーバーフロー イベントが検出されました。 オーバーフロー ビットは、連続モード ビットの状態には関係しません。オーバーフロー状態は、このモードの選択に関係なく生成されます。 リセット タイプ:SYSRSn
17	ADCDMAINT2OVF	R	0h	ADC DMA 割り込み 2 オーバーフロー フラグ ADCINT パルスの生成時にオーバーフローが発生したかどうかを示します。対応する ADCINTFLG ビットが設定され、選択された追加の EOC トリガが生成されると、オーバーフロー状態が発生します。 0 ADC DMA 割り込みオーバーフロー イベントは検出されていません。 1 ADC DMA 割り込みオーバーフロー イベントが検出されました。 オーバーフロー ビットは、連続モード ビットの状態には関係しません。オーバーフロー状態は、このモードの選択に関係なく生成されます。 リセット タイプ:SYSRSn
16	ADCDMAINT1OVF	R	0h	ADC DMA 割り込み 1 オーバーフロー フラグ ADCINT パルスの生成時にオーバーフローが発生したかどうかを示します。対応する ADCINTFLG ビットが設定され、選択された追加の EOC トリガが生成されると、オーバーフロー状態が発生します。 0 ADC DMA 割り込みオーバーフロー イベントは検出されていません。 1 ADC DMA 割り込みオーバーフロー イベントが検出されました。 オーバーフロー ビットは、連続モード ビットの状態には関係しません。オーバーフロー状態は、このモードの選択に関係なく生成されます。 リセット タイプ:SYSRSn
15-4	予約済み	R	0h	予約済み
3	ADCINT4OVF	R	0h	ADC 割り込み 4 オーバーフロー フラグ ADCINT パルスの生成時にオーバーフローが発生したかどうかを示します。対応する ADCINTFLG ビットが設定され、選択された追加の EOC トリガが生成されると、オーバーフロー状態が発生します。 0 ADC 割り込みオーバーフロー イベントは検出されていません。 1 ADC 割り込みオーバーフロー イベントを検出しました。 オーバーフロー ビットは、連続モード ビットの状態には関係しません。オーバーフロー状態は、このモードの選択に関係なく生成されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-32. ADCINTOVF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	ADCINT3OVF	R	0h	ADC 割り込み 3 オーバーフロー フラグ ADCINT パルスの生成時にオーバーフローが発生したかどうかを示します。対応する ADCINTFLG ビットが設定され、選択された追加の EOC トリガが生成されると、オーバーフロー状態が発生します。 0 ADC 割り込みオーバーフロー イベントは検出されていません。 1 ADC 割り込みオーバーフロー イベントを検出しました。 オーバーフロー ビットは、連続モード ビットの状態には関係しません。オーバーフロー状態は、このモードの選択に関係なく生成されます。 リセット タイプ : SYSRSn
1	ADCINT2OVF	R	0h	ADC 割り込み 2 オーバーフロー フラグ ADCINT パルスの生成時にオーバーフローが発生したかどうかを示します。対応する ADCINTFLG ビットが設定され、選択された追加の EOC トリガが生成されると、オーバーフロー状態が発生します。 0 ADC 割り込みオーバーフロー イベントは検出されていません。 1 ADC 割り込みオーバーフロー イベントを検出しました。 オーバーフロー ビットは、連続モード ビットの状態には関係しません。オーバーフロー状態は、このモードの選択に関係なく生成されます。 リセット タイプ : SYSRSn
0	ADCINT1OVF	R	0h	ADC 割り込み 1 オーバーフロー フラグ ADCINT パルスの生成時にオーバーフローが発生したかどうかを示します。対応する ADCINTFLG ビットが設定され、選択された追加の EOC トリガが生成されると、オーバーフロー状態が発生します。 0 ADC 割り込みオーバーフロー イベントは検出されていません。 1 ADC 割り込みオーバーフロー イベントを検出しました。 オーバーフロー ビットは、連続モード ビットの状態には関係しません。オーバーフロー状態は、このモードの選択に関係なく生成されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.23 ADCINTOVFCLR レジスタ (オフセット = 102Ch) [リセット = 00000000h]

表 18-33 に、ADCINTOVFCLR を示します。

概略表に戻ります。

ADC 割り込みオーバーフロー クリア レジスタ

表 18-33. ADCINTOVFCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	予約済み
19	ADCDMAINT4OVF	R-0/W1C	0h	ADC DMA 割り込み 4 オーバーフロー クリア ビット 0 アクションがありません。 1 ADCINTOVF レジスタの対応するオーバーフロー ビットをクリアします。ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCINTOVF レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCINTOVF ビットは設定されます。 リセット タイプ:SYSRSn
18	ADCDMAINT3OVF	R-0/W1C	0h	ADC DMA 割り込み 3 オーバーフロー クリア ビット 0 アクションがありません。 1 ADCINTOVF レジスタの対応するオーバーフロー ビットをクリアします。ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCINTOVF レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCINTOVF ビットは設定されます。 リセット タイプ:SYSRSn
17	ADCDMAINT2OVF	R-0/W1C	0h	ADC DMA 割り込み 2 オーバーフロー クリア ビット 0 アクションがありません。 1 ADCINTOVF レジスタの対応するオーバーフロー ビットをクリアします。ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCINTOVF レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCINTOVF ビットは設定されます。 リセット タイプ:SYSRSn
16	ADCDMAINT1OVF	R-0/W1C	0h	ADC DMA 割り込み 1 オーバーフロー クリア ビット 0 アクションがありません。 1 ADCINTOVF レジスタの対応するオーバーフロー ビットをクリアします。ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCINTOVF レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCINTOVF ビットは設定されます。 リセット タイプ:SYSRSn
15-4	予約済み	R	0h	予約済み
3	ADCINT4OVF	R-0/W1C	0h	ADC 割り込み 4 オーバーフロー クリア ビット 0:アクションなし。 1 ADCINTOVF レジスタの対応するオーバーフロー ビットをクリアします。ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCINTOVF レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCINTOVF ビットは設定されます。 リセット タイプ:SYSRSn
2	ADCINT3OVF	R-0/W1C	0h	ADC 割り込み 3 オーバーフロー クリア ビット 0:アクションなし。 1 ADCINTOVF レジスタの対応するオーバーフロー ビットをクリアします。ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCINTOVF レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCINTOVF ビットは設定されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-33. ADCINTOVFCLR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	ADCINT2OVF	R-0/W1C	0h	ADC 割り込み 2 オーバーフロー クリア ビット 0:アクションなし。 1 ADCINTOVF レジスタの対応するオーバーフロー ビットをクリアします。ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCINTOVF レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCINTOVF ビットは設定されます。 リセット タイプ:SYSRSn
0	ADCINT1OVF	R-0/W1C	0h	ADC 割り込み 1 オーバーフロー クリア ビット 0:アクションなし。 1 ADCINTOVF レジスタの対応するオーバーフロー ビットをクリアします。ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCINTOVF レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCINTOVF ビットは設定されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.24 ADCSOCFLG1 レジスタ (オフセット = 103Ch) [リセット = 00000000h]

ADCSOCFLG1 を表 18-34 に示します。

概略表に戻ります。

ADC SOC フラグ 1 レジスタ

表 18-34. ADCSOCFLG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	SOC15	R	0h	SOC15 変換開始フラグ。SOC15 変換の状態を示します。 0 SOC15 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC15 用に保留中です。 SOC15 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
14	SOC14	R	0h	SOC14 変換開始フラグ。SOC14 変換の状態を示します。 0 SOC14 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC14 用に保留中です。 SOC14 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
13	SOC13	R	0h	SOC13 変換開始フラグ。SOC13 変換の状態を示します。 0 SOC13 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC13 用に保留中です。 SOC13 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
12	SOC12	R	0h	SOC12 変換開始フラグ。SOC12 変換の状態を示します。 0 SOC12 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC12 用に保留中です。 SOC12 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
11	SOC11	R	0h	SOC11 変換開始フラグ。SOC11 変換の状態を示します。 0 SOC11 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC11 用に保留中です。 SOC11 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-34. ADCSOCFLG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	SOC10	R	0h	SOC10 変換開始フラグ。SOC10 変換の状態を示します。 0 SOC10 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC10 用に保留中です。 SOC10 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
9	SOC9	R	0h	SOC9 変換開始フラグ。SOC9 変換の状態を示します。 0 SOC9 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC9 用に保留中です。 SOC9 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
8	SOC8	R	0h	SOC8 変換開始フラグ。SOC8 変換の状態を示します。 0 SOC8 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC8 用に保留中です。 SOC8 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
7	SOC7	R	0h	SOC7 変換開始フラグ。SOC7 変換の状態を示します。 0 SOC7 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC7 用に保留中です。 SOC7 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
6	SOC6	R	0h	SOC6 変換開始フラグ。SOC6 変換の状態を示します。 0 SOC6 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC6 用に保留中です。 SOC6 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
5	SOC5	R	0h	SOC5 変換開始フラグ。SOC5 変換の状態を示します。 0 SOC5 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC5 用に保留中です。 SOC5 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 18-34. ADCSOCFLG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	SOC4	R	0h	SOC4 変換開始フラグ。SOC4 変換の状態を示します。 0 SOC4 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC4 用に保留中です。 SOC4 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
3	SOC3	R	0h	SOC3 変換開始フラグ。SOC3 変換の状態を示します。 0 SOC3 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC3 用に保留中です。 SOC3 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
2	SOC2	R	0h	SOC2 変換開始フラグ。SOC2 変換の状態を示します。 0 SOC2 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC2 用に保留中です。 SOC2 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
1	SOC1	R	0h	SOC1 変換開始フラグ。SOC1 変換の状態を示します。 0 SOC1 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC1 用に保留中です。 SOC1 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn
0	SOC0	R	0h	SOC0 変換開始フラグ。SOC0 変換の状態を示します。 0 SOC0 用に保留中のサンプルはありません。 1 トリガを受信し、サンプルを SOC0 用に保留中です。 SOC0 の変換が開始すると、このビットはクリアされます。同じサイクルでこのビットの設定要求とクリア要求の両方を受信した場合、それらのソースに関係なく、このビットは設定され、クリア要求は無視されます。この場合、このビットが以前に設定されたかどうかにかかわらず、ADCSOCOVF1 レジスタのオーバーフロー ビットは影響を受けません。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.25 ADCSOCOVF1 レジスタ (オフセット = 1044h) [リセット = 00000000h]

ADCSOCOVF1 を表 18-35 に示します。

概略表に戻ります。

ADC SOC オーバーフロー 1 レジスタ

表 18-35. ADCSOCOVF1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	SOC15OVF	R	0h	SOC15 変換開始オーバーフロー フラグ。既存の SOC15 イベントがすでに保留中のときに、ハードウェアで SOC15 イベントが生成されたことを示します。 0 SOC15 イベント オーバーフローがありません。 1 SOC15 イベント オーバーフローが発生。 オーバーフロー状態により SOC15 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
14	SOC14OVF	R	0h	SOC14 変換開始オーバーフロー フラグ。既存の SOC14 イベントがすでに保留中のときに、ハードウェアで SOC14 イベントが生成されたことを示します。 0 SOC14 イベント オーバーフローがありません。 1 SOC14 イベント オーバーフローが発生。 オーバーフロー状態により SOC14 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
13	SOC13OVF	R	0h	SOC13 変換開始オーバーフロー フラグ。既存の SOC13 イベントがすでに保留中のときに、ハードウェアで SOC13 イベントが生成されたことを示します。 0 SOC13 イベント オーバーフローがありません。 1 SOC13 イベント オーバーフローが発生。 オーバーフロー状態により SOC13 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
12	SOC12OVF	R	0h	SOC12 変換開始オーバーフロー フラグ。既存の SOC12 イベントがすでに保留中のときに、ハードウェアで SOC12 イベントが生成されたことを示します。 0 SOC12 イベント オーバーフローがありません。 1 SOC12 イベント オーバーフローが発生。 オーバーフロー状態により SOC12 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
11	SOC11OVF	R	0h	SOC11 変換開始オーバーフロー フラグ。既存の SOC11 イベントがすでに保留中のときに、ハードウェアで SOC11 イベントが生成されたことを示します。 0 SOC11 イベント オーバーフローがありません。 1 SOC11 イベント オーバーフローが発生。 オーバーフロー状態により SOC11 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
10	SOC10OVF	R	0h	SOC10 変換開始オーバーフロー フラグ。既存の SOC10 イベントがすでに保留中のときに、ハードウェアで SOC10 イベントが生成されたことを示します。 0 SOC10 イベント オーバーフローがありません。 1 SOC10 イベント オーバーフローが発生。 オーバーフロー状態により SOC10 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-35. ADCSOCOVF1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	SOC9OVF	R	0h	SOC9 変換開始オーバーフロー フラグ。既存の SOC9 イベントがすでに保留中のときに、ハードウェアで SOC9 イベントが生成されたことを示します。 0 SOC9 イベント オーバーフローがありません。 1 SOC9 イベント オーバーフローが発生。 オーバーフロー状態により SOC9 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
8	SOC8OVF	R	0h	SOC8 変換開始オーバーフロー フラグ。既存の SOC8 イベントがすでに保留中のときに、ハードウェアで SOC8 イベントが生成されたことを示します。 0 SOC8 イベント オーバーフローがありません。 1 SOC8 イベント オーバーフローが発生。 オーバーフロー状態により SOC8 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
7	SOC7OVF	R	0h	SOC7 変換開始オーバーフロー フラグ。既存の SOC7 イベントがすでに保留中のときに、ハードウェアで SOC7 イベントが生成されたことを示します。 0 SOC7 イベント オーバーフローがありません。 1 SOC7 イベント オーバーフローが発生。 オーバーフロー状態により SOC7 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
6	SOC6OVF	R	0h	SOC6 変換開始オーバーフロー フラグ。既存の SOC6 イベントがすでに保留中のときに、ハードウェアで SOC6 イベントが生成されたことを示します。 0 SOC6 イベント オーバーフローがありません。 1 SOC6 イベント オーバーフローが発生。 オーバーフロー状態により SOC6 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
5	SOC5OVF	R	0h	SOC5 変換開始オーバーフロー フラグ。既存の SOC5 イベントがすでに保留中のときに、ハードウェアで SOC5 イベントが生成されたことを示します。 0 SOC5 イベント オーバーフローがありません。 1 SOC5 イベント オーバーフローが発生。 オーバーフロー状態により SOC5 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
4	SOC4OVF	R	0h	SOC4 変換開始オーバーフロー フラグ。既存の SOC4 イベントがすでに保留中のときに、ハードウェアで SOC4 イベントが生成されたことを示します。 0 SOC4 イベント オーバーフローがありません。 1 SOC4 イベント オーバーフローが発生。 オーバーフロー状態により SOC4 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
3	SOC3OVF	R	0h	SOC3 変換開始オーバーフロー フラグ。既存の SOC3 イベントがすでに保留中のときに、ハードウェアで SOC3 イベントが生成されたことを示します。 0 SOC3 イベント オーバーフローがありません。 1 SOC3 イベント オーバーフローが発生。 オーバーフロー状態により SOC3 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-35. ADCSOCOVF1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	SOC2OVF	R	0h	SOC2 変換開始オーバーフロー フラグ。既存の SOC2 イベントがすでに保留中のときに、ハードウェアで SOC2 イベントが生成されたことを示します。 0 SOC2 イベント オーバーフローがありません。 1 SOC2 イベント オーバーフローが発生。 オーバーフロー状態により SOC2 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
1	SOC1OVF	R	0h	SOC1 変換開始オーバーフロー フラグ。既存の SOC1 イベントがすでに保留中のときに、ハードウェアで SOC1 イベントが生成されたことを示します。 0 SOC1 イベント オーバーフローがありません。 1 SOC1 イベント オーバーフローが発生。 オーバーフロー状態により SOC1 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn
0	SOC0OVF	R	0h	SOC0 変換開始オーバーフロー フラグ。既存の SOC0 イベントがすでに保留中のときに、ハードウェアで SOC0 イベントが生成されたことを示します。 0 SOC0 イベント オーバーフローがありません。 1 SOC0 イベント オーバーフローが発生。 オーバーフロー状態により SOC0 イベントの処理が停止することはありません。これは、ハードウェア トリガが処理されなかったことを示すものです。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.26 ADCSOCOVFCLR1 レジスタ (オフセット = 1048h) [リセット = 00000000h]

ADCSOCOVFCLR1 を表 18-36 に示します。

概略表に戻ります。

ADC SOC オーバーフロー クリア 1 レジスタ

表 18-36. ADCSOCOVFCLR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	SOC15OVF	R-0/W1C	0h	SOC15 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC15 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC15 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
14	SOC14OVF	R-0/W1C	0h	SOC14 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC14 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC14 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
13	SOC13OVF	R-0/W1C	0h	SOC13 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC13 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC13 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
12	SOC12OVF	R-0/W1C	0h	SOC12 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC12 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC12 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-36. ADCSOCOVFCLR1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	SOC11OVF	R-0/W1C	0h	SOC11 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC11 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC11 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
10	SOC10OVF	R-0/W1C	0h	SOC10 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC10 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC10 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
9	SOC9OVF	R-0/W1C	0h	SOC9 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC9 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC9 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
8	SOC8OVF	R-0/W1C	0h	SOC8 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC8 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC8 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
7	SOC7OVF	R-0/W1C	0h	SOC7 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC7 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC7 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-36. ADCSOCOVFCLR1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	SOC6OVF	R-0/W1C	0h	SOC6 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC6 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC6 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
5	SOC5OVF	R-0/W1C	0h	SOC5 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC5 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC5 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
4	SOC4OVF	R-0/W1C	0h	SOC4 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC4 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC4 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
3	SOC3OVF	R-0/W1C	0h	SOC3 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC3 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC3 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn
2	SOC2OVF	R-0/W1C	0h	SOC2 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC2 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC2 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-36. ADCSOCOVFCLR1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	SOC1OVF	R-0/W1C	0h	SOC1 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC1 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC1 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されません。 リセット タイプ : SYSRSn
0	SOC0OVF	R-0/W1C	0h	SOC0 変換開始オーバーフロー フラグのクリア。1 を書き込むと、ADCSOCOVF1 レジスタの SOC0 オーバーフロー フラグがクリアされます。0 を書き込んでも無視されます。読み取り値は常に 0 です。 0 アクションがありません。 1 SOC0 オーバーフロー フラグをクリアします。 ソフトウェアがこのビットを設定しようとしたのと同じクロック サイクルでハードウェアが ADCSOCOVF1 レジスタのオーバーフロー ビットを設定しようとした場合、ハードウェアが優先され、ADCSOCOVF1 ビットは設定されません。 リセット タイプ : SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

18.3.27 ADCSOC0CTL レジスタ (オフセット = 104Ch) [リセット = 00000000h]

ADCSOC0CTL を表 18-37 に示します。

概略表に戻ります。

ADC SOC0 制御レジスタ

表 18-37. ADCSOC0CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC0 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC0 チャネル選択。ADC が SOC0 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.28 ADCSOC1CTL レジスタ (オフセット = 1050h) [リセット = 00000000h]

ADCSOC1CTL を表 18-38 に示します。

概略表に戻ります。

ADC SOC1 制御レジスタ

表 18-38. ADCSOC1CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC1 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC1 チャネル選択。ADC が SOC1 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.29 ADCSOC2CTL レジスタ (オフセット = 1054h) [リセット = 00000000h]

ADCSOC2CTL を表 18-39 に示します。

概略表に戻ります。

ADC SOC2 制御レジスタ

表 18-39. ADCSOC2CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC2 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC2 チャネル選択。ADC が SOC2 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.30 ADCSOC3CTL レジスタ (オフセット = 1058h) [リセット = 00000000h]

ADCSOC3CTL を表 18-40 に示します。

概略表に戻ります。

ADC SOC3 制御レジスタ

表 18-40. ADCSOC3CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC3 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC3 チャネル選択。ADC が SOC3 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.31 ADCSOC4CTL レジスタ (オフセット = 105Ch) [リセット = 00000000h]

ADCSOC4CTL を表 18-41 に示します。

概略表に戻ります。

ADC SOC4 制御レジスタ

表 18-41. ADCSOC4CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC4 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC4 チャネル選択。ADC が SOC4 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.32 ADCSOC5CTL レジスタ (オフセット = 1060h) [リセット = 00000000h]

ADCSOC5CTL を表 18-42 に示します。

概略表に戻ります。

ADC SOC5 制御レジスタ

表 18-42. ADCSOC5CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC5 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC5 チャネル選択。ADC が SOC5 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.33 ADCSOC6CTL レジスタ (オフセット = 1064h) [リセット = 00000000h]

ADCSOC6CTL を表 18-43 に示します。

概略表に戻ります。

ADC SOC6 制御レジスタ

表 18-43. ADCSOC6CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC6 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC6 チャネル選択。ADC が SOC6 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.34 ADCSOC7CTL レジスタ (オフセット = 1068h) [リセット = 00000000h]

ADCSOC7CTL を表 18-44 に示します。

概略表に戻ります。

ADC SOC7 制御レジスタ

表 18-44. ADCSOC7CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC7 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC7 チャネル選択。ADC が SOC7 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.35 ADCSOC8CTL レジスタ (オフセット = 106Ch) [リセット = 00000000h]

ADCSOC8CTL を表 18-45 に示します。

概略表に戻ります。

ADC SOC8 制御レジスタ

表 18-45. ADCSOC8CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC8 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC8 チャネル選択。ADC が SOC8 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.36 ADCSOC9CTL レジスタ (オフセット = 1070h) [リセット = 00000000h]

ADCSOC9CTL を表 18-46 に示します。

概略表に戻ります。

ADC SOC9 制御レジスタ

表 18-46. ADCSOC9CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC9 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC9 チャネル選択。ADC が SOC9 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.37 ADCSOC10CTL レジスタ (オフセット = 1074h) [リセット = 00000000h]

ADCSOC10CTL を表 18-47 に示します。

概略表に戻ります。

ADC SOC10 制御レジスタ

表 18-47. ADCSOC10CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC10 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC10 チャネル選択。ADC が SOC10 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.38 ADCSOC11CTL レジスタ (オフセット = 1078h) [リセット = 00000000h]

ADCSOC11CTL を表 18-48 に示します。

概略表に戻ります。

ADC SOC11 制御レジスタ

表 18-48. ADCSOC11CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC11 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC11 チャネル選択。ADC が SOC11 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.39 ADCSOC12CTL レジスタ (オフセット = 107Ch) [リセット = 00000000h]

ADCSOC12CTL を表 18-49 に示します。

概略表に戻ります。

ADC SOC12 制御レジスタ

表 18-49. ADCSOC12CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC12 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC12 チャネル選択。ADC が SOC12 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.40 ADCSOC13CTL レジスタ (オフセット = 1080h) [リセット = 00000000h]

ADCSOC13CTL を表 18-50 に示します。

概略表に戻ります。

ADC SOC13 制御レジスタ

表 18-50. ADCSOC13CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC13 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC13 チャネル選択。ADC が SOC13 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.41 ADCSOC14CTL レジスタ (オフセット = 1084h) [リセット = 00000000h]

ADCSOC14CTL を表 18-51 に示します。

概略表に戻ります。

ADC SOC14 制御レジスタ

表 18-51. ADCSOC14CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC14 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC14 チャネル選択。ADC が SOC14 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.42 ADCSOC15CTL レジスタ (オフセット = 1088h) [リセット = 00000000h]

ADCSOC15CTL を表 18-52 に示します。

概略表に戻ります。

ADC SOC15 制御レジスタ

表 18-52. ADCSOC15CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	予約済み
25	COMPEN	R/W	0h	SOC15 スレッショルド コンパレータがイネーブル。 リセット タイプ:SYSRSn
24-20	予約済み	R	0h	予約済み
19-15	CHSEL	R/W	0h	SOC15 チャネル選択。ADC が SOC15 を受信したときに変換するチャネルを選択します。 00h ADCIN0 01h ADCIN1 02h ADCIN2 03h ADCIN3 ... 1Dh ADCIN29 1Eh ADCIN30 1Fh ADCIN31 リセット タイプ:SYSRSn
14-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.43 ADCEVTSTAT レジスタ (オフセット = 10CCh) [リセット = 00000000h]

表 18-53 に、ADCEVTSTAT を示します。

概略表に戻ります。

ADC イベント ステータス レジスタ

表 18-53. ADCEVTSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	PPB4INLIMIT	R	0h	後処理ブロック 4 のトリップ制限範囲内フラグ。セットされている場合、デジタル比較の範囲内イベントが発生したことを示します。PPB 結果が TRIPLO スレッショルド以上、かつ TRIPHI スレッショルド以下の場合、このフラグがセットされます。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
14	PPB4ZERO	R	0h	後処理ブロック 4 のゼロクロス フラグ。設定されている場合、ADCPPB4RESULT レジスタの符号が変化したことを示します。このビットは、EOC 信号によってゲートされます。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
13	PPB4TRIPLO	R	0h	後処理ブロック 4 のトリップ下限フラグ。設定されている場合、デジタル比較トリップ下限イベントが発生したことを示します。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
12	PPB4TRIPHI	R	0h	後処理ブロック 4 のトリップ上限フラグ。設定されている場合、デジタル比較トリップ上限イベントが発生したことを示します。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-53. ADCEVTSTAT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	PPB3INLIMIT	R	0h	後処理ブロック 3 のトリップ制限範囲内フラグ。セットされている場合、デジタル比較の範囲内イベントが発生したことを示します。PPB 結果が TRIPLO スレッショルド以上、かつ TRIPHI スレッショルド以下の場合、このフラグがセットされます。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
10	PPB3ZERO	R	0h	後処理ブロック 3 のゼロクロス フラグ。設定されている場合、ADCPPB3RESULT レジスタの符号が変化したことを示します。このビットは、EOC 信号によってゲートされます。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
9	PPB3TRIPLO	R	0h	後処理ブロック 3 のトリップ下限フラグ。設定されている場合、デジタル比較トリップ下限イベントが発生したことを示します。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
8	PPB3TRIPHI	R	0h	後処理ブロック 3 のトリップ上限フラグ。設定されている場合、デジタル比較トリップ上限イベントが発生したことを示します。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
7	PPB2INLIMIT	R	0h	後処理ブロック 2 のトリップ制限範囲内フラグ。セットされている場合、デジタル比較の範囲内イベントが発生したことを示します。PPB 結果が TRIPLO スレッショルド以上、かつ TRIPHI スレッショルド以下の場合、このフラグがセットされます。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 18-53. ADCEVTSTAT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	PPB2ZERO	R	0h	後処理ブロック 2 のゼロクロス フラグ。設定されている場合、ADCPPB2RESULT レジスタの符号が変化したことを示します。このビットは、EOC 信号によってゲートされます。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
5	PPB2TRIPLO	R	0h	後処理ブロック 2 のトリップ下限フラグ。設定されている場合、デジタル比較トリップ下限イベントが発生したことを示します。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
4	PPB2TRIPHI	R	0h	後処理ブロック 2 のトリップ上限フラグ。設定されている場合、デジタル比較トリップ上限イベントが発生したことを示します。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
3	PPB1INLIMIT	R	0h	後処理ブロック 1 のトリップ制限範囲内フラグ。セットされている場合、デジタル比較の範囲内イベントが発生したことを示します。PPB 結果が TRIPLO スレッショルド以上、かつ TRIPHI スレッショルド以下の場合、このフラグがセットされます。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
2	PPB1ZERO	R	0h	後処理ブロック 1 のゼロクロス フラグ。設定されている場合、ADCPPB1RESULT レジスタの符号が変化したことを示します。このビットは、EOC 信号によってゲートされます。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-53. ADCEVTSTAT レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	PPB1TRIPLO	R	0h	後処理ブロック 1 のトリップ下限フラグ。設定されている場合、デジタル比較トリップ下限イベントが発生したことを示します。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
0	PPB1TRIPHI	R	0h	後処理ブロック 1 のトリップ上限フラグ。設定されている場合、デジタル比較トリップ上限イベントが発生したことを示します。 注:これらのビットは、ADCEVTINTSEL の対応するイネーブルが設定されていない場合でも設定されます。このため、ISR で ADCEVTSTAT レジスタと ADCEVTINTSEL レジスタの両方を調べて、割り込みのソースを判定する必要があります。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.44 ADCEVTCLR レジスタ (オフセット = 10D0h) [リセット = 00000000h]

表 18-54 に、ADCEVTCLR を示します。

概略表に戻ります。

ADC イベント クリア レジスタ

表 18-54. ADCEVTCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	PPB4INLIMIT	R-0/W1C	0h	後処理ブロック 4 がトリップ制限フラグ クリア内で、ADCEVTSTAT レジスタの対応するトリップ制限内フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
14	PPB4ZERO	R-0/W1C	0h	後処理ブロック 4 のゼロクロス クリア。ADCEVTSTAT レジスタの対応するゼロクロス フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
13	PPB4TRIPLO	R-0/W1C	0h	後処理ブロック 4 のトリップ下限クリア。ADCEVTSTAT レジスタの対応するトリップ下限フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
12	PPB4TRIPHI	R-0/W1C	0h	後処理ブロック 4 のトリップ上限クリア。ADCEVTSTAT レジスタの対応するトリップ上限フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
11	PPB3INLIMIT	R-0/W1C	0h	後処理ブロック 3 がトリップ制限フラグ クリア内で、ADCEVTSTAT レジスタの対応するトリップ制限内フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
10	PPB3ZERO	R-0/W1C	0h	後処理ブロック 3 のゼロクロス クリア。ADCEVTSTAT レジスタの対応するゼロクロス フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
9	PPB3TRIPLO	R-0/W1C	0h	後処理ブロック 3 のトリップ下限クリア。ADCEVTSTAT レジスタの対応するトリップ下限フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
8	PPB3TRIPHI	R-0/W1C	0h	後処理ブロック 3 のトリップ上限クリア。ADCEVTSTAT レジスタの対応するトリップ上限フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-54. ADCEVTCLR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	PPB2INLIMIT	R-0/W1C	0h	後処理ブロック 2 がトリップ制限フラグ クリア内で、ADCEVTSTAT レジスタの対応するトリップ制限内フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
6	PPB2ZERO	R-0/W1C	0h	後処理ブロック 2 のゼロクロス クリア。ADCEVTSTAT レジスタの対応するゼロクロス フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
5	PPB2TRIPLO	R-0/W1C	0h	後処理ブロック 2 のトリップ下限クリア。ADCEVTSTAT レジスタの対応するトリップ下限フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
4	PPB2TRIPHI	R-0/W1C	0h	後処理ブロック 2 のトリップ上限クリア。ADCEVTSTAT レジスタの対応するトリップ上限フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
3	PPB1INLIMIT	R-0/W1C	0h	後処理ブロック 1 がトリップ制限フラグ クリア内で、ADCEVTSTAT レジスタの対応するトリップ制限内フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
2	PPB1ZERO	R-0/W1C	0h	後処理ブロック 1 のゼロクロス クリア。ADCEVTSTAT レジスタの対応するゼロクロス フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
1	PPB1TRIPLO	R-0/W1C	0h	後処理ブロック 1 のトリップ下限クリア。ADCEVTSTAT レジスタの対応するトリップ下限フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn
0	PPB1TRIPHI	R-0/W1C	0h	後処理ブロック 1 のトリップ上限クリア。ADCEVTSTAT レジスタの対応するトリップ上限フラグをクリアします。 注:ソフトウェアがクリア ビットを設定しようとしているのと同じサイクルでハードウェアがフラグ ビットを設定しようとした場合、ハードウェアが優先されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.45 ADCEVTSEL レジスタ (オフセット = 10D4h) [リセット = 00000000h]

表 18-55 に、ADCEVTSEL を示します。

概略表に戻ります。

ADC イベント選択レジスタ

表 18-55. ADCEVTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	PPB4INLIMIT	R/W	0h	後処理ブロック 4 のトリップ下限イベントのイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
14	PPB4ZERO	R/W	0h	後処理ブロック 4 のゼロクロス イベント イネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
13	PPB4TRIPLO	R/W	0h	後処理ブロック 4 のトリップ下限イベント イネーブル。このビットを設定すると、対応するトリップ下限フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
12	PPB4TRIPHI	R/W	0h	後処理ブロック 4 のトリップ上限イベント イネーブル。このビットを設定すると、対応するトリップ上限フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
11	PPB3INLIMIT	R/W	0h	後処理ブロック 3 のトリップ下限イベントのイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
10	PPB3ZERO	R/W	0h	後処理ブロック 3 のゼロクロス イベント イネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
9	PPB3TRIPLO	R/W	0h	後処理ブロック 3 のトリップ下限イベント イネーブル。このビットを設定すると、対応するトリップ下限フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
8	PPB3TRIPHI	R/W	0h	後処理ブロック 3 のトリップ上限イベント イネーブル。このビットを設定すると、対応するトリップ上限フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
7	PPB2INLIMIT	R/W	0h	後処理ブロック 2 のトリップ下限イベントのイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-55. ADCEVTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	PPB2ZERO	R/W	0h	後処理ブロック 2 のゼロクロス イベント イネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
5	PPB2TRIPLO	R/W	0h	後処理ブロック 2 のトリップ下限イベント イネーブル。このビットを設定すると、対応するトリップ下限フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
4	PPB2TRIPHI	R/W	0h	後処理ブロック 2 のトリップ上限イベント イネーブル。このビットを設定すると、対応するトリップ上限フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
3	PPB1INLIMIT	R/W	0h	後処理ブロック 1 のトリップ下限イベントのイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
2	PPB1ZERO	R/W	0h	後処理ブロック 1 のゼロクロス イベント イネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
1	PPB1TRIPLO	R/W	0h	後処理ブロック 1 のトリップ下限イベント イネーブル。このビットを設定すると、対応するトリップ下限フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
0	PPB1TRIPHI	R/W	0h	後処理ブロック 1 のトリップ上限イベント イネーブル。このビットを設定すると、対応するトリップ上限フラグの立ち上がりで PWM ブロックへのイベント信号をアクティブにできます。このフラグは、PWM ブロックに追加のイベントを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.46 ADCEVTINTSEL レジスタ (オフセット = 10D8h) [リセット = 00000000h]

表 18-56 に、ADCEVTINTSEL を示します。

概略表に戻ります。

ADC イベント割り込み選択レジスタ

表 18-56. ADCEVTINTSEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	PPB4INLIMIT	R/W	0h	後処理ブロック 4 のトリップ上限割り込みのイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
14	PPB4ZERO	R/W	0h	後処理ブロック 4 のゼロクロス割り込みイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
13	PPB4TRIPLO	R/W	0h	後処理ブロック 4 のトリップ下限割り込みイネーブル。このビットを設定すると、対応するトリップ下限フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
12	PPB4TRIPHI	R/W	0h	後処理ブロック 4 のトリップ上限割り込みイネーブル。このビットを設定すると、対応するトリップ上限フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
11	PPB3INLIMIT	R/W	0h	後処理ブロック 3 のトリップ上限割り込みのイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
10	PPB3ZERO	R/W	0h	後処理ブロック 3 のゼロクロス割り込みイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
9	PPB3TRIPLO	R/W	0h	後処理ブロック 3 のトリップ下限割り込みイネーブル。このビットを設定すると、対応するトリップ下限フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
8	PPB3TRIPHI	R/W	0h	後処理ブロック 3 のトリップ上限割り込みイネーブル。このビットを設定すると、対応するトリップ上限フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
7	PPB2INLIMIT	R/W	0h	後処理ブロック 2 のトリップ上限割り込みのイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

表 18-56. ADCEVTINTSEL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	PPB2ZERO	R/W	0h	後処理ブロック 2 のゼロクロス割り込みイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
5	PPB2TRIPLO	R/W	0h	後処理ブロック 2 のトリップ下限割り込みイネーブル。このビットを設定すると、対応するトリップ下限フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
4	PPB2TRIPHI	R/W	0h	後処理ブロック 2 のトリップ上限割り込みイネーブル。このビットを設定すると、対応するトリップ上限フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
3	PPB1INLIMIT	R/W	0h	後処理ブロック 1 のトリップ上限割り込みのイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
2	PPB1ZERO	R/W	0h	後処理ブロック 1 のゼロクロス割り込みイネーブル。このビットを設定すると、対応するゼロ クロス フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
1	PPB1TRIPLO	R/W	0h	後処理ブロック 1 のトリップ下限割り込みイネーブル。このビットを設定すると、対応するトリップ下限フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn
0	PPB1TRIPHI	R/W	0h	後処理ブロック 1 のトリップ上限割り込みイネーブル。このビットを設定すると、対応するトリップ上限フラグの立ち上がりで PIE へのイベント割り込み信号をアクティブにできます。このフラグは、PIE に追加の割り込みを発生させる前にクリアする必要があります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.47 ADCREV レジスタ (オフセット = 10E4h) [リセット = 00000006h]

ADCREV を表 18-57 に示します。

概略表に戻ります。

ADC リビジョン レジスタ

表 18-57. ADCREV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	REV	R	0h	ADC のリビジョン。複数のリビジョン間の相違点を文書化できるようにします。最初のバージョンは 00h とラベル付けされます。 リセット タイプ:SYSRSn
7-0	タイプ	R	6h	ADC のタイプ。この HSADC-12b では常に 6 に設定されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.48 ADCOFFTRIM レジスタ (オフセット = 10E8h) [リセット = 00000000h]

表 18-58 に、ADCOFFTRIM を示します。

概略表に戻ります。

ADC オフセット トリム レジスタ 1

表 18-58. ADCOFFTRIM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7-0	OFFTRIM	R/W	0h	ADC オフセット トリム ADC のオフセット誤差を考慮して、 コンバータの変換結果を上または下に調整します。デバイスのブート時に工場出荷時のトリム設定がロードされます。 オフセットは +7 から –8 LSB の範囲で補正できます。値は 16 × オフセット (8 ビット 2 の補数) です。 7 LSB (16 * 7) = 112 6 LSB (16 * 6) = 96 5 LSB (16 * 5) = 80 4 LSB (16 * 4) = 64 3 LSB (16 * 3) = 48 2 LSB (16 * 2) = 32 1 LSB (16 * 1) = 16 0 LSB (16 * 0) = 0 –1 LSB (16 * (–1)) = 240 : : –7LSB (16 * (–7)) = 144 リセット タイプ : XRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.49 ADCPPB1CONFIG レジスタ (オフセット = 1100h) [リセット = 00000000h]

ADCPPB1CONFIG を表 18-59 に示します。

概略表に戻ります。

ADC PPB1 構成レジスタ

表 18-59. ADCPPB1CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	予約済み	R	0h	
6	予約済み	R	0h	予約済み
5	CBCEN	R/W	0h	ADC 後処理ブロックのサイクル単位イネーブル。このビットを設定すると、イベント条件が存在しなくなった場合に、変換後のハードウェア処理回路で変換の ADCEVTSTAT を自動的にクリアできるようになります。 リセット タイプ:SYSRSn
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.50 ADCPPB1TRIPHI レジスタ (オフセット = 1110h) [リセット = 00000000h]

ADCPPB1TRIPHI を表 18-60 に示します。

概略表に戻ります。

ADC PPB1 トリップ上限レジスタ

表 18-60. ADCPPB1TRIPHI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-0	LIMITHI	R/W	0h	ADC 後処理ブロック 1 のトリップ上限。デジタル コンパレータのトリップ上限を設定します。 ADCPPBxRESULT レジスタと比較するとき、上位ビットは無視されます: - TRIPHI[18:13] は無視されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.51 ADCPPB1TRIPLO レジスタ (オフセット = 1114h) [リセット = 00000000h]

ADCPPB1TRIPLO を表 18-61 に示します。

概略表に戻ります。

ADC PPB1 トリップ下限 / トリガ タイムスタンプ レジスタ

表 18-61. ADCPPB1TRIPLO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-0	LIMITLO	R/W	0h	ADC 後処理ブロック 1 のトリップ上下限。 ADCPPB1TRIPLO.LIMITLO2EN = 1 の場合、この値によってデジタル コンパレータの下限トリップ値が設定されます。 ADCPPBxRESULT レジスタと比較するとき、上位ビットは無視されます: - 12 ビット モードでは、TRIPLO[18:13] は無視されます リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.52 ADCPPB2CONFIG レジスタ (オフセット = 1120h) [リセット = 00000000h]

ADCPPB2CONFIG を表 18-62 に示します。

概略表に戻ります。

ADC PPB2 構成レジスタ

表 18-62. ADCPPB2CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	予約済み	R	0h	
6	予約済み	R	0h	予約済み
5	CBCEN	R/W	0h	ADC 後処理ブロックのサイクル単位イネーブル。このビットを設定すると、イベント条件が存在しなくなった場合に、変換後のハードウェア処理回路で変換の ADCEVTSTAT を自動的にクリアできるようになります。 リセット タイプ:SYSRSn
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.53 ADCPPB2TRIPHI レジスタ (オフセット = 1130h) [リセット = 00000000h]

ADCPPB2TRIPHI を表 18-63 に示します。

概略表に戻ります。

ADC PPB2 トリップ上限レジスタ

表 18-63. ADCPPB2TRIPHI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-0	LIMITHI	R/W	0h	ADC 後処理ブロック 2 のトリップ上限。デジタル コンパレータのトリップ上限を設定します。 ADCPPBxRESULT レジスタと比較するとき、上位ビットは無視されます: - TRIPHI[18:13] は無視されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.54 ADCPPB2TRIPLO レジスタ (オフセット = 1134h) [リセット = 00000000h]

ADCPPB2TRIPLO を表 18-64 に示します。

概略表に戻ります。

ADC PPB2 トリップ下限 / トリガ タイムスタンプ レジスタ

表 18-64. ADCPPB2TRIPLO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-0	LIMITLO	R/W	0h	ADC 後処理ブロック 2 のトリップ上下限。 ADCPPB2TRIPLO.LIMITLO2EN = 1 の場合、この値によってデジタル コンパレータの下限トリップ値が設定されます。 ADCPPBxRESULT レジスタと比較するとき、上位ビットは無視されます: - 12 ビット モードでは、TRIPLO[18:13] は無視されます リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.55 ADCPPB3CONFIG レジスタ (オフセット = 1140h) [リセット = 00000000h]

ADCPPB3CONFIG を表 18-65 に示します。

概略表に戻ります。

ADC PPB3 構成レジスタ

表 18-65. ADCPPB3CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	予約済み	R	0h	
6	予約済み	R	0h	予約済み
5	CBCEN	R/W	0h	ADC 後処理ブロックのサイクル単位イネーブル。このビットを設定すると、イベント条件が存在しなくなった場合に、変換後のハードウェア処理回路で変換の ADCEVTSTAT を自動的にクリアできるようになります。 リセット タイプ:SYSRSn
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.56 ADCPPB3TRIPHI レジスタ (オフセット = 1150h) [リセット = 00000000h]

ADCPPB3TRIPHI を表 18-66 に示します。

概略表に戻ります。

ADC PPB3 トリップ上限レジスタ

表 18-66. ADCPPB3TRIPHI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-0	LIMITHI	R/W	0h	ADC 後処理ブロック 3 のトリップ上限。デジタル コンパレータのトリップ上限を設定します。 ADCPPBxRESULT レジスタと比較するとき、上位ビットは無視されます: - TRIPHI[18:13] は無視されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.57 ADCPPB3TRIPLO レジスタ (オフセット = 1154h) [リセット = 00000000h]

ADCPPB3TRIPLO を表 18-67 に示します。

概略表に戻ります。

ADC PPB3 トリップ下限 / トリガ タイムスタンプ レジスタ

表 18-67. ADCPPB3TRIPLO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-0	LIMITLO	R/W	0h	ADC 後処理ブロック 3 のトリップ上下限。 ADCPPB3TRIPLO.LIMITLO2EN = 1 の場合、この値によってデジタル コンパレータの下限トリップ値が設定されます。 ADCPPBxRESULT レジスタと比較するとき、上位ビットは無視されます: - 12 ビット モードでは、TRIPLO[18:13] は無視されます リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.58 ADCPPB4CONFIG レジスタ (オフセット = 1160h) [リセット = 00000000h]

ADCPPB4CONFIG を表 18-68 に示します。

概略表に戻ります。

ADC PPB4 構成レジスタ

表 18-68. ADCPPB4CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	予約済み
7	予約済み	R	0h	
6	予約済み	R	0h	予約済み
5	CBCEN	R/W	0h	ADC 後処理ブロックのサイクル単位イネーブル。このビットを設定すると、イベント条件が存在しなくなった場合に、変換後のハードウェア処理回路で変換の ADCEVTSTAT を自動的にクリアできるようになります。 リセット タイプ:SYSRSn
4-0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

18.3.59 ADCPPB4TRIPHI レジスタ (オフセット = 1170h) [リセット = 00000000h]

ADCPPB4TRIPHI を表 18-69 に示します。

概略表に戻ります。

ADC PPB4 トリップ上限レジスタ

表 18-69. ADCPPB4TRIPHI レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-0	LIMITHI	R/W	0h	ADC 後処理ブロック 4 のトリップ上限。デジタル コンパレータのトリップ上限を設定します。 ADCPPBxRESULT レジスタと比較するとき、上位ビットは無視されます: - TRIPHI[18:13] は無視されます リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.60 ADCPPB4TRIPLO レジスタ (オフセット = 1174h) [リセット = 00000000h]

ADCPPB4TRIPLO を表 18-70 に示します。

概略表に戻ります。

ADC PPB4 トリップ下限 / トリガ タイムスタンプ レジスタ

表 18-70. ADCPPB4TRIPLO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-19	予約済み	R	0h	予約済み
18-0	LIMITLO	R/W	0h	ADC 後処理ブロック 4 のトリップ上下限。 ADCPPB4TRIPLO.LIMITLO2EN = 1 の場合、この値によってデジタル コンパレータの下限トリップ値が設定されます。 ADCPPBxRESULT レジスタと比較するとき、上位ビットは無視されます: - 12 ビット モードでは、TRIPLO[18:13] は無視されます リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.61 ADCINTCYCLE レジスタ (オフセット = 1180h) [リセット = 00000000h]

表 18-71 に、ADCINTCYCLE を示します。

概略表に戻ります。

ADC Early 割り込み生成サイクル

表 18-71. ADCINTCYCLE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	DELAY	R/W	0h	ADC Early 割り込み生成サイクル遅延:割り込みの生成を ADCSOC の立ち下がりエッジから遅延させるシステム クロック サイクル数を定義します。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.62 ADCREV2 レジスタ (オフセット = 119Ch) [リセット = 00000006h]

ADCREV2 を表 18-72 に示します。

概略表に戻ります。

ADC ラッパ リビジョン レジスタ

表 18-72. ADCREV2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	WRAPPERREV	R	0h	ADC のリビジョン。複数のリビジョン間の相違点を文書化できるようにします。最初のバージョンは 00h とラベル付けされます。 リセット タイプ:SYSRSn
7-0	WRAPPERTYPE	R	6h	ADC ラッパのタイプ。この ADC では常に 6 に設定されます。 リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

18.3.63 ADCPPB1LIMIT レジスタ (オフセット = 1200h) [リセット = 00000000h]

ADCPPB1LIMIT を表 18-73 に示します。

概略表に戻ります。

ADC PPB1 Conversion カウント上限レジスタ

表 18-73. ADCPPB1LIMIT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	LIMIT	R/W	0h	後処理ブロック 1 のオーバーサンプリング下限。PSUM が SUM に自動的にロードされるまでに累積する変換回数を定義します。 0 = 累積なし 1 = 2 回の変換が累積されています 2 = 4 回の変換が累積されています 3 = 8 回の変換が累積されています 4 = 16 回の変換が累積されています 5 = 32 回の変換が累積されています 6 = 64 回の変換が累積されています リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.64 ADCPPB1PCOUNT レジスタ (オフセット = 1204h) [リセット = 00000000h]

ADCPPB1PCOUNT を表 18-74 に示します。

概略表に戻ります。

ADC PPB1 部分変換カウント レジスタ

表 18-74. ADCPPB1PCOUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	PCOUNT	R	0h	後処理ブロック 1 のオーバーサンプリングの部分的カウント。新しい変換結果が PPB 信号チェーンを通って ADCPPB1PSUM に累積されるたびに、このレジスタの値は 1 ずつインクリメントされます。 カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB1 が同期イベントを受信した場合、このレジスタはリセットされます。 この結果は、関連する ADCPPB1RESULT が使用可能になった 1 SYSCLK サイクル後に使用できます。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB1RESULT のタイミング情報を参照します)。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.65 ADCPPB1CONFIG2 レジスタ (オフセット = 1208h) [リセット = 00000000h]

ADCPPB1CONFIG2 を表 18-75 に示します。

概略表に戻ります。

ADC PPB1 合計シフト レジスタ

表 18-75. ADCPPB1CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	COMPSEL	R/W	0h	後処理ブロック 1 の比較ソース選択。このフィールドは、スレッショルド比較に ADCPPB1RESULT と ADCPPB1SUM のどちらを使用するかを決定します。 0 = 比較ロジックに ADCPPB1RESULT を使用します 1 = ADCPPB1SUM を比較ロジックに使用します リセット タイプ : SYSRSn
14-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	
11	SWSYNC	R-0/W1S	0h	PPB 1 ソフトウェアによる強制同期。同期イベントが発生すると、すべての部分レジスタの内容が最終レジスタへ転送され、その後、部分レジスタはリセットされます。 注 : ソフトウェア強制イベントの発生と同時に新しいサンプルが PSUM に加算され、かつ PSUM が上限または下限の比較に使用されている場合、その比較は実行されません。 リセット タイプ : SYSRSn
10-7	予約済み	R	0h	予約済み
6-4	SYNCINSEL	R/W	0h	PPB 1 同期入力選択。同期イベントが発生すると、すべての部分レジスタの内容が最終レジスタへ転送され、その後、部分レジスタはリセットされます。 詳細については、SOC の仕様を参照してください リセット タイプ : SYSRSn
3	予約済み	R	0h	予約済み
2-0	SHIFT	R/W	0h	後処理ブロック 1 の右シフト。PSUM を最終合計にロードする前に右シフトするビット数を定義します。 0 : 右シフトなし 1: SUM = PSUM >> 1 2: SUM = PSUM >> 2 ... 7: SUM = PSUM >> 7 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.66 ADCPPB1PSUM レジスタ (オフセット = 120Ch) [リセット = 00000000h]

ADCPPB1PSUM を表 18-76 に示します。

概略表に戻ります。

ADC PPB1 部分合計レジスタ

表 18-76. ADCPPB1PSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 15 の値を反映します。 リセット タイプ:SYSRSn
15-0	PSUM	R	0h	後処理ブロック 1 のオーバーサンプリング、部分的合計。新しい変換結果が PPB 信号チェーンを通って ADCPPB1RESULT にラッチされるたびに、その結果が続いてこのレジスタに累積されます。 カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB1 が同期イベントを受信した場合、このレジスタはリセットされます。 この結果は、関連する ADCPPB1RESULT が使用可能になった 1 SYSCLK サイクル後に使用できます。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します。複数の PPB が同じ SOC に関連付けられている場合、番号が最も小さい PPB の結果は、対応する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に利用可能になります。それ以降の結果は、PPB 番号の小さい順に、それぞれ 2 ～ 3 SYSCLK サイクルごとに利用可能になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.67 ADCPPB2LIMIT レジスタ (オフセット = 1240h) [リセット = 00000000h]

ADCPPB2LIMIT を表 18-77 に示します。

概略表に戻ります。

ADC PPB2 Conversion カウント上限レジスタ

表 18-77. ADCPPB2LIMIT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	LIMIT	R/W	0h	後処理ブロック 2 のオーバーサンプリング下限。PSUM が SUM に自動的にロードされるまでに累積する変換回数を定義します。 0 = 累積なし 1 = 2 回の変換が累積されています 2 = 4 回の変換が累積されています 3 = 8 回の変換が累積されています 4 = 16 回の変換が累積されています 5 = 32 回の変換が累積されています 6 = 64 回の変換が累積されています リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.68 ADCPPB2PCOUNT レジスタ (オフセット = 1244h) [リセット = 00000000h]

ADCPPB2PCOUNT を表 18-78 に示します。

概略表に戻ります。

ADC PPB2 部分変換カウント レジスタ

表 18-78. ADCPPB2PCOUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	PCOUNT	R	0h	後処理ブロック 2 のオーバーサンプリングの部分的カウント。新しい変換結果が PPB 信号チェーンを通って ADCPPB2PSUM に累積されるたびに、このレジスタの値は 1 ずつインクリメントされます。 カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB2 が同期イベントを受信した場合、このレジスタはリセットされます。 この結果は、関連する ADCPPB2RESULT が使用可能になった 1 SYSCLK サイクル後に使用できます。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB2RESULT のタイミング情報を参照します)。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.69 ADCPPB2CONFIG2 レジスタ (オフセット = 1248h) [リセット = 00000000h]

ADCPPB2CONFIG2 を表 18-79 に示します。

概略表に戻ります。

ADC PPB2 合計シフト レジスタ

表 18-79. ADCPPB2CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	COMPSEL	R/W	0h	後処理ブロック 2 の比較ソース選択。このフィールドは、スレッショルド比較に ADCPPB2RESULT と ADCPPB2SUM のどちらを使用するかを決定します。 0 = 比較ロジックに ADCPPB2RESULT を使用します 1 = ADCPPB2SUM を比較ロジックに使用します リセット タイプ : SYSRSn
14-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	
11	SWSYNC	R-0/W1S	0h	PPB 2 ソフトウェアによる強制同期。同期イベントが発生すると、すべての部分レジスタの内容が最終レジスタへ転送され、その後、部分レジスタはリセットされます。 注 : ソフトウェア強制イベントの発生と同時に新しいサンプルが PSUM に加算され、かつ PSUM が上限または下限の比較に使用されている場合、その比較は実行されません。 リセット タイプ : SYSRSn
10-7	予約済み	R	0h	予約済み
6-4	SYNCINSEL	R/W	0h	PPB 2 同期入力選択。同期イベントが発生すると、すべての部分レジスタの内容が最終レジスタへ転送され、その後、部分レジスタはリセットされます。 詳細については、SOC の仕様を参照してください リセット タイプ : SYSRSn
3	予約済み	R	0h	予約済み
2-0	SHIFT	R/W	0h	後処理ブロック 2 の右シフト。PSUM を最終合計にロードする前に右シフトするビット数を定義します。 0 : 右シフトなし 1: SUM = PSUM >> 1 2 : SUM = PSUM >> 2 ... 7 : SUM = PSUM >> 7 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.70 ADCPPB2PSUM レジスタ (オフセット = 124Ch) [リセット = 00000000h]

ADCPPB2PSUM を表 18-80 に示します。

概略表に戻ります。

ADC PPB2 部分合計レジスタ

表 18-80. ADCPPB2PSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 15 の値を反映します。 リセット タイプ:SYSRSn
15-0	PSUM	R	0h	後処理ブロック 2 のオーバーサンプリング、部分的合計。新しい変換結果が PPB 信号チェーンを通って ADCPPB2RESULT にラッチされるたびに、その結果が続いてこのレジスタに累積されます。 カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB2 が同期イベントを受信した場合、このレジスタはリセットされます。 この結果は、関連する ADCPPB2RESULT が使用可能になった 1 SYSCLK サイクル後に使用できます。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します。複数の PPB が同じ SOC に関連付けられている場合、番号が最も小さい PPB の結果は、対応する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に利用可能になります。それ以降の結果は、PPB 番号の小さい順に、それぞれ 2 ～ 3 SYSCLK サイクルごとに利用可能になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.71 ADCPPB3LIMIT レジスタ (オフセット = 1280h) [リセット = 00000000h]

ADCPPB3LIMIT を表 18-81 に示します。

概略表に戻ります。

ADC PPB3 Conversion カウント上限レジスタ

表 18-81. ADCPPB3LIMIT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	LIMIT	R/W	0h	後処理ブロック 3 のオーバーサンプリング下限。PSUM が SUM に自動的にロードされるまでに累積する変換回数を定義します。 0 = 累積なし 1 = 2 回の変換が累積されています 2 = 4 回の変換が累積されています 3 = 8 回の変換が累積されています 4 = 16 回の変換が累積されています 5 = 32 回の変換が累積されています 6 = 64 回の変換が累積されています リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.72 ADCPPB3PCOUNT レジスタ (オフセット = 1284h) [リセット = 00000000h]

ADCPPB3PCOUNT を表 18-82 に示します。

概略表に戻ります。

ADC PPB3 部分変換カウント レジスタ

表 18-82. ADCPPB3PCOUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	PCOUNT	R	0h	後処理ブロック 3 のオーバーサンプリングの部分的カウント。新しい変換結果が PPB 信号チェーンを通って ADCPPB3PSUM に累積されるたびに、このレジスタの値は 1 ずつインクリメントされます。 カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB3 が同期イベントを受信した場合、このレジスタはリセットされます。 この結果は、関連する ADCPPB3RESULT が使用可能になった 1 SYSCLK サイクル後に使用できます。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB3RESULT のタイミング情報を参照します)。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.73 ADCPPB3CONFIG2 レジスタ (オフセット = 1288h) [リセット = 00000000h]

ADCPPB3CONFIG2 を表 18-83 に示します。

概略表に戻ります。

ADC PPB3 合計シフト レジスタ

表 18-83. ADCPPB3CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	COMPSEL	R/W	0h	後処理ブロック 3 の比較ソース選択。このフィールドは、スレッショルド比較に ADCPPB3RESULT と ADCPPB3SUM のどちらを使用するかを決定します。 0 = 比較ロジックに ADCPPB3RESULT を使用します 1 = ADCPPB3SUM を比較ロジックに使用します リセット タイプ : SYSRSn
14-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	
11	SWSYNC	R-0/W1S	0h	PPB 3 ソフトウェアによる強制同期。同期イベントが発生すると、すべての部分レジスタの内容が最終レジスタへ転送され、その後、部分レジスタはリセットされます。 注 : ソフトウェア強制イベントの発生と同時に新しいサンプルが PSUM に加算され、かつ PSUM が上限または下限の比較に使用されている場合、その比較は実行されません。 リセット タイプ : SYSRSn
10-7	予約済み	R	0h	予約済み
6-4	SYNCINSEL	R/W	0h	PPB 3 同期入力選択。同期イベントが発生すると、すべての部分レジスタの内容が最終レジスタへ転送され、その後、部分レジスタはリセットされます。 詳細については、SOC の仕様を参照してください リセット タイプ : SYSRSn
3	予約済み	R	0h	予約済み
2-0	SHIFT	R/W	0h	後処理ブロック 3 の右シフト。PSUM を最終合計にロードする前に右シフトするビット数を定義します。 0 : 右シフトなし 1: SUM = PSUM >> 1 2 : SUM = PSUM >> 2 ... 7 : SUM = PSUM >> 7 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.74 ADCPPB3PSUM レジスタ (オフセット = 128Ch) [リセット = 00000000h]

ADCPPB3PSUM を表 18-84 に示します。

概略表に戻ります。

ADC PPB3 部分合計レジスタ

表 18-84. ADCPPB3PSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 15 の値を反映します。 リセット タイプ:SYSRSn
15-0	PSUM	R	0h	後処理ブロック 3 のオーバーサンプリング、部分的合計。新しい変換結果が PPB 信号チェーンを通って ADCPPB3RESULT にラッチされるたびに、その結果が続いてこのレジスタに累積されます。 カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB3 が同期イベントを受信した場合、このレジスタはリセットされます。 この結果は、関連する ADCPPB3RESULT が使用可能になった 1 SYSCLK サイクル後に使用できます。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します。複数の PPB が同じ SOC に関連付けられている場合、番号が最も小さい PPB の結果は、対応する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に利用可能になります。それ以降の結果は、PPB 番号の小さい順に、それぞれ 2 ～ 3 SYSCLK サイクルごとに利用可能になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.75 ADCPPB4LIMIT レジスタ (オフセット = 12C0h) [リセット = 00000000h]

ADCPPB4LIMIT を表 18-85 に示します。

概略表に戻ります。

ADC PPB4 Conversion カウント上限レジスタ

表 18-85. ADCPPB4LIMIT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	予約済み
2-0	LIMIT	R/W	0h	後処理ブロック 4 のオーバーサンプリング下限。PSUM が SUM に自動的にロードされるまでに累積する変換回数を定義します。 0 = 累積なし 1 = 2 回の変換が累積されています 2 = 4 回の変換が累積されています 3 = 8 回の変換が累積されています 4 = 16 回の変換が累積されています 5 = 32 回の変換が累積されています 6 = 64 回の変換が累積されています リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.76 ADCPPB4PCOUNT レジスタ (オフセット = 12C4h) [リセット = 00000000h]

ADCPPB4PCOUNT を表 18-86 に示します。

概略表に戻ります。

ADC PPB4 部分変換カウント レジスタ

表 18-86. ADCPPB4PCOUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	予約済み
5-0	PCOUNT	R	0h	後処理ブロック 4 のオーバーサンプリングの部分的カウント。新しい変換結果が PPB 信号チェーンを通って ADCPPB4PSUM に累積されるたびに、このレジスタの値は 1 ずつインクリメントされます。 カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB4 が同期イベントを受信した場合、このレジスタはリセットされます。 この結果は、関連する ADCPPB4RESULT が使用可能になった 1 SYSCLK サイクル後に使用できます。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB4RESULT のタイミング情報を参照します)。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.77 ADCPPB4CONFIG2 レジスタ (オフセット = 12C8h) [リセット = 00000000h]

ADCPPB4CONFIG2 を表 18-87 に示します。

概略表に戻ります。

ADC PPB4 合計シフト レジスタ

表 18-87. ADCPPB4CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	予約済み
15	COMPSEL	R/W	0h	後処理ブロック 4 の比較ソース選択。このフィールドは、スレッショルド比較に ADCPPB4RESULT と ADCPPB4SUM のどちらを使用するかを決定します。 0 = 比較ロジックに ADCPPB4RESULT を使用します 1 = ADCPPB4SUM を比較ロジックに使用します リセット タイプ : SYSRSn
14-13	予約済み	R	0h	予約済み
12	予約済み	R	0h	
11	SWSYNC	R-0/W1S	0h	PPB 4 ソフトウェアによる強制同期。同期イベントが発生すると、すべての部分レジスタの内容が最終レジスタへ転送され、その後、部分レジスタはリセットされます。 注 : ソフトウェア強制イベントの発生と同時に新しいサンプルが PSUM に加算され、かつ PSUM が上限または下限の比較に使用されている場合、その比較は実行されません。 リセット タイプ : SYSRSn
10-7	予約済み	R	0h	予約済み
6-4	SYNCINSEL	R/W	0h	PPB 4 同期入力選択。同期イベントが発生すると、すべての部分レジスタの内容が最終レジスタへ転送され、その後、部分レジスタはリセットされます。 詳細については、SOC の仕様を参照してください リセット タイプ : SYSRSn
3	予約済み	R	0h	予約済み
2-0	SHIFT	R/W	0h	後処理ブロック 4 の右シフト。PSUM を最終合計にロードする前に右シフトするビット数を定義します。 0 : 右シフトなし 1: SUM = PSUM >> 1 2 : SUM = PSUM >> 2 ... 7 : SUM = PSUM >> 7 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.78 ADCPPB4PSUM レジスタ (オフセット = 12CCh) [リセット = 00000000h]

ADCPPB4PSUM を表 18-88 に示します。

概略表に戻ります。

ADC PPB4 部分合計レジスタ

表 18-88. ADCPPB4PSUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 15 の値を反映します。 リセット タイプ:SYSRSn
15-0	PSUM	R	0h	後処理ブロック 4 のオーバーサンプリング、部分的合計。新しい変換結果が PPB 信号チェーンを通って ADCPPB4RESULT にラッチされるたびに、その結果が続いてこのレジスタに累積されます。 カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB4 が同期イベントを受信した場合、このレジスタはリセットされます。 この結果は、関連する ADCPPB4RESULT が使用可能になった 1 SYSCLK サイクル後に使用できます。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します。複数の PPB が同じ SOC に関連付けられている場合、番号が最も小さい PPB の結果は、対応する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に利用可能になります。それ以降の結果は、PPB 番号の小さい順に、それぞれ 2 ～ 3 SYSCLK サイクルごとに利用可能になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.79 ADCSEQCTL レジスタ (オフセット = 1320h) [リセット = 00000000h]

表 18-89 に、ADCSEQCTL を示します。

概略表に戻ります。

ADC シーケンサ共通制御レジスタ

表 18-89. ADCSEQCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	予約済み
17-16	SEQPREEMPT	R/W	0h	SoC シーケンス プリエンプト 0X:プリエンプトを無効化 10:プリエンプトが有効で、中断されたシーケンスは再開されません 11:プリエンプトが有効になり、中止されたシーケンスを再開します リセット タイプ:SYSRSn
15-4	予約済み	R	0h	予約済み
3-0	SEQEND	R/W	0h	最後に有効化されたシーケンスの終了 SOC リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.80 ADCSEQ1CONFIG レジスタ (オフセット = 1324h) [リセット = 00000200h]

ADCSEQ1CONFIG を表 18-90 に示します。

概略表に戻ります。

ADC シーケンサ 1 構成レジスタ

表 18-90. ADCSEQ1CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	SEQENABLE	R/W	0h	SEQ1Enable Sequence1 が有効かどうかを示します リセット タイプ:SYSRSn
30	SEQSWFRC	R-0/W1S	0h	ハードウェア トリガの値にかかわらず、シーケンサ 1 を強制的にトリガするには 1 を書き込みます。 常に 0 を読み取ります。 リセット タイプ:SYSRSn
29-23	予約済み	R	0h	予約済み
22-20	TRIGSEL	R/W	0h	SOC1 トリガ ソース選択。このビット フィールドは、ADCINTSOCSEL1 レジスタの SOC1 フィールドとともに、SOC1 が最優先になったときに、ADCSOCFLG1 レジスタの SOC15 フラグを設定して変換を開始するトリガを設定します。 注:ハードウェア トリガ構成に加え、SOC のソフトウェア トリガに SOCFRC1 レジスタも使用できます。 0h ADCTRIG0 - ソフトウェアのみ 1h ～ 7h:ハードウェア トリガ リセット タイプ:SYSRSn
19	予約済み	R	0h	予約済み
18-15	SEQSTART	R/W	0h	SEQ1 の開始 SOC リセット タイプ:SYSRSn
14-11	予約済み	R	0h	予約済み
10	SAMPCAPRESETSEL	R/W	0h	SOC1 サンプル コンデンサ リセットの選択:変換後、サンプリング コンデンサを VREFHI/2 または VREFLO にリセットします 0 - 各変換後、サンプリング コンデンサは VREFLO にリセットされます 1 - 各変換後、サンプリング コンデンサは VREFHI/2 にリセットされます リセット タイプ:SYSRSn
9	SAMPCAPRESETDISABLE	R/W	1h	SOC1 サンプル コンデンサ リセットのイネーブル:変換後にサンプル容量をリセットします。 0 - 各変換後、サンプリング コンデンサはリセットされます 1 - 各変換後、サンプリング コンデンサはリセットされません リセット タイプ:SYSRSn
8	予約済み	R	0h	予約済み
7-0	ACQPS	R/W	0h	SOC1 アクイジション プリスケール。このシーケンス内の各 SOC について、サンプル / ホールド ウィンドウを制御します。ADC を正しく動作させるために、アクイジション時間は少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。デバイスのデータシートにも、サンプル / ホールド ウィンドウの最小期間が記載されています。 S+H ウィンドウの値は、ACQPS[7:6] と ACQPS[5:0] の値の組み合わせに基づいて定義されます ACQPS[7:6] の値が、 "00" S+H ウィンドウ = ACQPS[5:0] + 1 サイクルとなります "01" S+H ウィンドウ = 64 + ((ACQPS[5:0] + 1) * 2) sysclk サイクル "10" S+H ウィンドウ = 192 + ((ACQPS[5:0] + 1) * 4) sysclk サイクル "11" S+H ウィンドウ = 448 + ((ACQPS[5:0] + 1) * 16) sysclk サイクル リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.81 ADCSEQ2CONFIG レジスタ (オフセット = 1328h) [リセット = 00000200h]

ADCSEQ2CONFIG を表 18-91 に示します。

概略表に戻ります。

ADC シーケンサ 2 構成レジスタ

表 18-91. ADCSEQ2CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	SEQENABLE	R/W	0h	SEQ2Enable Sequence2 が有効かどうかを示します リセット タイプ:SYSRSn
30	SEQSWFRC	R-0/W1S	0h	ハードウェア トリガの値にかかわらず、シーケンサ 2 を強制的にトリガするには 1 を書き込みます。 常に 0 を読み取ります。 リセット タイプ:SYSRSn
29-23	予約済み	R	0h	予約済み
22-20	TRIGSEL	R/W	0h	SOC2 トリガ ソース選択。このビット フィールドは、ADCINTSOCSEL1 レジスタの SOC2 フィールドとともに、SOC2 が最優先になったときに、ADCSOCFLG1 レジスタの SOC15 フラグを設定して変換を開始するトリガを設定します。 注:ハードウェア トリガ構成に加え、SOC のソフトウェア トリガに SOCFRC1 レジスタも使用できます。 0h ADCTRIG0 - ソフトウェアのみ 1h ～ 7h:ハードウェア トリガ リセット タイプ:SYSRSn
19	予約済み	R	0h	予約済み
18-15	SEQSTART	R/W	0h	SEQ2 の開始 SOC リセット タイプ:SYSRSn
14-11	予約済み	R	0h	予約済み
10	SAMPCAPRESETSEL	R/W	0h	SOC2 サンプル コンデンサ リセットの選択:変換後、サンプリング コンデンサを VREFHI/2 または VREFLO にリセットします 0 - 各変換後、サンプリング コンデンサは VREFLO にリセットされます 1 - 各変換後、サンプリング コンデンサは VREFHI/2 にリセットされます リセット タイプ:SYSRSn
9	SAMPCAPRESETDISABLE	R/W	1h	SOC2 サンプル コンデンサ リセットのイネーブル:変換後にサンプル容量をリセットします。 0 - 各変換後、サンプリング コンデンサはリセットされます 1 - 各変換後、サンプリング コンデンサはリセットされません リセット タイプ:SYSRSn
8	予約済み	R	0h	予約済み
7-0	ACQPS	R/W	0h	SOC2 アクイジション プリスケール。このシーケンス内の各 SOC について、サンプル / ホールド ウィンドウを制御します。ADC を正しく動作させるために、アクイジション時間は少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。デバイスのデータシートにも、サンプル / ホールド ウィンドウの最小期間が記載されています。 S+H ウィンドウの値は、ACQPS[7:6] と ACQPS[5:0] の値の組み合わせに基づいて定義されます ACQPS[7:6] の値が、 "00" S+H ウィンドウ = ACQPS[5:0] + 1 サイクルとなります "01" S+H ウィンドウ = 64 + ((ACQPS[5:0] + 1) * 2) sysclk サイクル "10" S+H ウィンドウ = 192 + ((ACQPS[5:0] + 1) * 4) sysclk サイクル "11" S+H ウィンドウ = 448 + ((ACQPS[5:0] + 1) * 16) sysclk サイクル リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.82 ADCSEQ3CONFIG レジスタ (オフセット = 132Ch) [リセット = 00000200h]

ADCSEQ3CONFIG を表 18-92 に示します。

概略表に戻ります。

ADC シーケンサ 3 構成レジスタ

表 18-92. ADCSEQ3CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	SEQENABLE	R/W	0h	SEQ3Enable Sequence3 が有効かどうかを示します リセット タイプ:SYSRSn
30	SEQSWFRC	R-0/W1S	0h	ハードウェア トリガの値にかかわらず、シーケンサ 3 を強制的にトリガするには 1 を書き込みます。 常に 0 を読み取ります。 リセット タイプ:SYSRSn
29-23	予約済み	R	0h	予約済み
22-20	TRIGSEL	R/W	0h	SOC3 トリガ ソース選択。このビット フィールドは、ADCINTSOCSEL1 レジスタの SOC3 フィールドとともに、SOC3 が最優先になったときに、ADCSOCFLG1 レジスタの SOC15 フラグを設定して変換を開始するトリガを設定します。 注:ハードウェア トリガ構成に加え、SOC のソフトウェア トリガに SOCFRC1 レジスタも使用できます。 0h ADCTRIG0 - ソフトウェアのみ 1h ～ 7h:ハードウェア トリガ リセット タイプ:SYSRSn
19	予約済み	R	0h	予約済み
18-15	SEQSTART	R/W	0h	SEQ3 の開始 SOC リセット タイプ:SYSRSn
14-11	予約済み	R	0h	予約済み
10	SAMPCAPRESETSEL	R/W	0h	SOC3 サンプル コンデンサ リセットの選択:変換後、サンプリング コンデンサを VREFHI/2 または VREFLO にリセットします 0 - 各変換後、サンプリング コンデンサは VREFLO にリセットされます 1 - 各変換後、サンプリング コンデンサは VREFHI/2 にリセットされます リセット タイプ:SYSRSn
9	SAMPCAPRESETDISABLE	R/W	1h	SOC3 サンプル コンデンサ リセットのイネーブル:変換後にサンプル容量をリセットします。 0 - 各変換後、サンプリング コンデンサはリセットされます 1 - 各変換後、サンプリング コンデンサはリセットされません リセット タイプ:SYSRSn
8	予約済み	R	0h	予約済み
7-0	ACQPS	R/W	0h	SOC3 アクイジション プリスケール。このシーケンス内の各 SOC について、サンプル / ホールド ウィンドウを制御します。ADC を正しく動作させるために、アクイジション時間は少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。デバイスのデータシートにも、サンプル / ホールド ウィンドウの最小期間が記載されています。 S+H ウィンドウの値は、ACQPS[7:6] と ACQPS[5:0] の値の組み合わせに基づいて定義されます ACQPS[7:6] の値が、 "00" S+H ウィンドウ = ACQPS[5:0] + 1 サイクルとなります "01" S+H ウィンドウ = 64 + ((ACQPS[5:0] + 1) * 2) sysclk サイクル "10" S+H ウィンドウ = 192 + ((ACQPS[5:0] + 1) * 4) sysclk サイクル "11" S+H ウィンドウ = 448 + ((ACQPS[5:0] + 1) * 16) sysclk サイクル リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.3.83 ADCSEQ4CONFIG レジスタ (オフセット = 1330h) [リセット = 00000200h]

ADCSEQ4CONFIG を表 18-93 に示します。

概略表に戻ります。

ADC シーケンサ 4 構成レジスタ

表 18-93. ADCSEQ4CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	SEQENABLE	R/W	0h	SEQ4Enable Sequence4 が有効かどうかを示します リセット タイプ:SYSRSn
30	SEQSWFRC	R-0/W1S	0h	ハードウェア トリガの値にかかわらず、シーケンサ 4 を強制的にトリガするには 1 を書き込みます。 常に 0 を読み取ります。 リセット タイプ:SYSRSn
29-23	予約済み	R	0h	予約済み
22-20	TRIGSEL	R/W	0h	SOC4 トリガ ソース選択。このビット フィールドは、ADCINTSOCSEL1 レジスタの SOC4 フィールドとともに、SOC4 が最優先になったときに、ADCSOCFLG1 レジスタの SOC15 フラグを設定して変換を開始するトリガを設定します。 注:ハードウェア トリガ構成に加え、SOC のソフトウェア トリガに SOCFRC1 レジスタも使用できます。 0h ADCTRIG0 - ソフトウェアのみ 1h ～ 7h:ハードウェア トリガ リセット タイプ:SYSRSn
19	予約済み	R	0h	予約済み
18-15	SEQSTART	R/W	0h	SEQ4 の開始 SOC リセット タイプ:SYSRSn
14-11	予約済み	R	0h	予約済み
10	SAMPCAPRESETSEL	R/W	0h	SOC4 サンプル コンデンサ リセットの選択:変換後、サンプリング コンデンサを VREFHI/2 または VREFLO にリセットします 0 - 各変換後、サンプリング コンデンサは VREFLO にリセットされます 1 - 各変換後、サンプリング コンデンサは VREFHI/2 にリセットされます リセット タイプ:SYSRSn
9	SAMPCAPRESETDISABLE	R/W	1h	SOC4 サンプル コンデンサ リセットのイネーブル:変換後にサンプル容量をリセットします。 0 - 各変換後、サンプリング コンデンサはリセットされます 1 - 各変換後、サンプリング コンデンサはリセットされません リセット タイプ:SYSRSn
8	予約済み	R	0h	予約済み
7-0	ACQPS	R/W	0h	SOC4 アクイジション プリスケール。このシーケンス内の各 SOC について、サンプル / ホールド ウィンドウを制御します。ADC を正しく動作させるために、アクイジション時間は少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。デバイスのデータシートにも、サンプル / ホールド ウィンドウの最小期間が記載されています。 S+H ウィンドウの値は、ACQPS[7:6] と ACQPS[5:0] の値の組み合わせに基づいて定義されます ACQPS[7:6] の値が、 "00" S+H ウィンドウ = ACQPS[5:0] + 1 サイクルとなります "01" S+H ウィンドウ = 64 + ((ACQPS[5:0] + 1) * 2) sysclk サイクル "10" S+H ウィンドウ = 192 + ((ACQPS[5:0] + 1) * 4) sysclk サイクル "11" S+H ウィンドウ = 448 + ((ACQPS[5:0] + 1) * 16) sysclk サイクル リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4 ADC_LITE_RESULT_REGS レジスタ

ADC_LITE_RESULT_REGS レジスタのメモリ マップト レジスタを表 18-94 に示します。表 18-94 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 18-94. ADC_LITE_RESULT_REGS レジスタ

オフセット	略称	レジスタ名	セクション
0h	ADCRESULT0	ADC 結果 0 レジスタ	セクション 18.4.1
2h	ADCRESULT1	ADC 結果 1 レジスタ	セクション 18.4.2
4h	ADCRESULT2	ADC 結果 2 レジスタ	セクション 18.4.3
6h	ADCRESULT3	ADC 結果 3 レジスタ	セクション 18.4.4
8h	ADCRESULT4	ADC 結果 4 レジスタ	セクション 18.4.5
Ah	ADCRESULT5	ADC 結果 5 レジスタ	セクション 18.4.6
Ch	ADCRESULT6	ADC 結果 6 レジスタ	セクション 18.4.7
Eh	ADCRESULT7	ADC 結果 7 レジスタ	セクション 18.4.8
10h	ADCRESULT8	ADC 結果 8 レジスタ	セクション 18.4.9
12h	ADCRESULT9	ADC 結果 9 レジスタ	セクション 18.4.10
14h	ADCRESULT10	ADC 結果 10 レジスタ	セクション 18.4.11
16h	ADCRESULT11	ADC 結果 11 レジスタ	セクション 18.4.12
18h	ADCRESULT12	ADC 結果 12 レジスタ	セクション 18.4.13
1Ah	ADCRESULT13	ADC 結果 13 レジスタ	セクション 18.4.14
1Ch	ADCRESULT14	ADC 結果 14 レジスタ	セクション 18.4.15
1Eh	ADCRESULT15	ADC 結果 15 レジスタ	セクション 18.4.16
40h	ADCPPB1RESULT	ADC 後処理ブロック 1 の結果レジスタ	セクション 18.4.17
44h	ADCPPB2RESULT	ADC 後処理ブロック 2 の結果レジスタ	セクション 18.4.18
48h	ADCPPB3RESULT	ADC 後処理ブロック 3 の結果レジスタ	セクション 18.4.19
4Ch	ADCPPB4RESULT	ADC 後処理ブロック 4 の結果レジスタ	セクション 18.4.20
50h	ADCPPB1SUM	ADC PPB 1 最終合計結果レジスタ	セクション 18.4.21
54h	ADCPPB1COUNT	ADC PPB1 最終変換カウントレジスタ	セクション 18.4.22
58h	ADCPPB2SUM	ADC PPB 2 最終合計結果レジスタ	セクション 18.4.23
5Ch	ADCPPB2COUNT	ADC PPB2 最終変換カウントレジスタ	セクション 18.4.24
60h	ADCPPB3SUM	ADC PPB 3 最終合計結果レジスタ	セクション 18.4.25
64h	ADCPPB3COUNT	ADC PPB3 最終変換カウントレジスタ	セクション 18.4.26
68h	ADCPPB4SUM	ADC PPB 4 最終合計結果レジスタ	セクション 18.4.27
6Ch	ADCPPB4COUNT	ADC PPB4 最終変換カウントレジスタ	セクション 18.4.28
C0h	ADCSEQ1FIFORESULT	ADC シーケンス 1 FIFO 結果レジスタ	セクション 18.4.29
C4h	ADCSEQ2FIFORESULT	ADC シーケンス 2 FIFO 結果レジスタ	セクション 18.4.30
C8h	ADCSEQ3FIFORESULT	ADC シーケンス 3 FIFO 結果レジスタ	セクション 18.4.31
CCh	ADCSEQ4FIFORESULT	ADC シーケンス 4 FIFO 結果レジスタ	セクション 18.4.32
D0h	ADCSEQ1FIFOSTATUS	ADC シーケンス 1 FIFO ステータス	セクション 18.4.33
D4h	ADCSEQ2FIFOSTATUS	ADC シーケンス 2 FIFO ステータス	セクション 18.4.34
D8h	ADCSEQ3FIFOSTATUS	ADC シーケンス 3 FIFO ステータス	セクション 18.4.35
DCh	ADCSEQ4FIFOSTATUS	ADC シーケンス 4 FIFO ステータス	セクション 18.4.36

Copyright © 2026 Texas Instruments Incorporated

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 18-95 に、このセクションでアクセス タイプに使用しているコードを示します。

表 18-95. ADC_LITE_RESULT_REGS アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

18.4.1 ADCRESULT0 レジスタ (オフセット = 0h) [リセット = 0000h]

ADCRESULT0 を表 18-96 に示します。

概略表に戻ります。

ADC 結果 0 レジスタ

表 18-96. ADCRESULT0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 0 12 ビット ADC の結果。ADC が SOC0 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.2 ADCRESULT1 レジスタ (オフセット = 2h) [リセット = 0000h]

ADCRESULT1 を表 18-97 に示します。

概略表に戻ります。

ADC 結果 1 レジスタ

表 18-97. ADCRESULT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 1 12 ビット ADC の結果。ADC が SOC1 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.3 ADCRESULT2 レジスタ (オフセット = 4h) [リセット = 0000h]

ADCRESULT2 を表 18-98 に示します。

概略表に戻ります。

ADC 結果 2 レジスタ

表 18-98. ADCRESULT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 2 12 ビット ADC の結果。ADC が SOC2 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.4 ADCRESULT3 レジスタ (オフセット = 6h) [リセット = 0000h]

ADCRESULT3 を表 18-99 に示します。

概略表に戻ります。

ADC 結果 3 レジスタ

表 18-99. ADCRESULT3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 3 12 ビット ADC の結果。ADC が SOC3 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.5 ADCRESULT4 レジスタ (オフセット = 8h) [リセット = 0000h]

ADCRESULT4 を表 18-100 に示します。

概略表に戻ります。

ADC 結果 4 レジスタ

表 18-100. ADCRESULT4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 4 12 ビット ADC の結果。ADC が SOC4 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.6 ADCRESULT5 レジスタ (オフセット = Ah) [リセット = 0000h]

ADCRESULT5 を表 18-101 に示します。

概略表に戻ります。

ADC 結果 5 レジスタ

表 18-101. ADCRESULT5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 5 12 ビット ADC の結果。ADC が SOC5 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.7 ADCRESULT6 レジスタ (オフセット = Ch) [リセット = 0000h]

ADCRESULT6 を表 18-102 に示します。

概略表に戻ります。

ADC 結果 6 レジスタ

表 18-102. ADCRESULT6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 6 12 ビット ADC の結果。ADC が SOC6 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.8 ADCRESULT7 レジスタ (オフセット = Eh) [リセット = 0000h]

ADCRESULT7 を表 18-103 に示します。

概略表に戻ります。

ADC 結果 7 レジスタ

表 18-103. ADCRESULT7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 7 12 ビット ADC の結果。ADC が SOC7 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.9 ADCRESULT8 レジスタ (オフセット = 10h) [リセット = 0000h]

ADCRESULT8 を表 18-104 に示します。

概略表に戻ります。

ADC 結果 8 レジスタ

表 18-104. ADCRESULT8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 8 12 ビット ADC の結果。ADC が SOC8 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.10 ADCRESULT9 レジスタ (オフセット = 12h) [リセット = 0000h]

ADCRESULT9 を表 18-105 に示します。

概略表に戻ります。

ADC 結果 9 レジスタ

表 18-105. ADCRESULT9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 9 12 ビット ADC の結果。ADC が SOC9 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.11 ADCRESULT10 レジスタ (オフセット = 14h) [リセット = 0000h]

ADCRESULT10 を表 18-106 に示します。

概略表に戻ります。

ADC 結果 10 レジスタ

表 18-106. ADCRESULT10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 10 12 ビット ADC の結果。ADC が SOC10 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.12 ADCRESULT11 レジスタ (オフセット = 16h) [リセット = 0000h]

ADCRESULT11 を表 18-107 に示します。

概略表に戻ります。

ADC 結果 11 レジスタ

表 18-107. ADCRESULT11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 11 12 ビット ADC の結果。ADC が SOC11 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.13 ADCRESULT12 レジスタ (オフセット = 18h) [リセット = 0000h]

ADCRESULT12 を表 18-108 に示します。

概略表に戻ります。

ADC 結果 12 レジスタ

表 18-108. ADCRESULT12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 12 12 ビット ADC の結果。ADC が SOC12 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.14 ADCRESULT13 レジスタ (オフセット = 1Ah) [リセット = 0000h]

ADCRESULT13 を表 18-109 に示します。

概略表に戻ります。

ADC 結果 13 レジスタ

表 18-109. ADCRESULT13 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 13 12 ビット ADC の結果。ADC が SOC13 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.15 ADCRESULT14 レジスタ (オフセット = 1Ch) [リセット = 0000h]

ADCRESULT14 を表 18-110 に示します。

概略表に戻ります。

ADC 結果 14 レジスタ

表 18-110. ADCRESULT14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 14 12 ビット ADC の結果。ADC が SOC14 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.16 ADCRESULT15 レジスタ (オフセット = 1Eh) [リセット = 0000h]

ADCRESULT15 を表 18-111 に示します。

概略表に戻ります。

ADC 結果 15 レジスタ

表 18-111. ADCRESULT15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	結果	R	0h	ADC の結果 15 12 ビット ADC の結果。ADC が SOC15 の変換を完了すると、デジタル結果がこのビット フィールドに配置されます。 オーバーサンプリングが有効な場合、指定されたサンプル数の処理が完了すると、最終合計 (シフトが有効な場合はシフト後の値) がこのレジスタに格納されます。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.17 ADCPPB1RESULT レジスタ (オフセット = 40h) [リセット = 00000000h]

ADCPPB1RESULT を表 18-112 に示します。

概略表に戻ります。

ADC 後処理ブロック 1 の結果レジスタ

表 18-112. ADCPPB1RESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 12 の値を反映します。 注:この後処理ブロックに関連付けられている変換が 12 ビットの変換である場合、SIGN ビットはビット 12 まで拡張され、すべてのビットがビット 12 と同じ値になります。 リセット タイプ:SYSRSn
12-0	PPBRESULT	R	0h	ADC 後処理ブロックの結果 1 変換処理の結果は、オフセット / リファレンスの減算後にこのレジスタに保存されます。 複数の PPB が同じ SOC を参照している場合を除き、この結果は対応する ADCRESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります。複数の PPB が同じ SOC に関連付けられている場合、番号が最も小さい PPB の結果は、対応する ADCRESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります。それ以降の結果は、PPB 番号の小さい順に、それぞれ 2 ～ 3 SYSCLK サイクルごとに利用可能になります (詳細なタイミング情報については TRM を参照してください)。 PPBRESULT を読み出すタイミングの判定に ADCINTFLG をポーリングする場合、更新された変換後処理結果がレジスタに確実に反映されるよう、一つ以上の NOP 命令を追加する必要がある場合があります。 注:この後処理ブロックに関連付けられた変換が 12 ビットの変換である場合、PPBRESULT ビットはビット 12:0 に制限されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.18 ADCPPB2RESULT レジスタ (オフセット = 44h) [リセット = 00000000h]

ADCPPB2RESULT を表 18-113 に示します。

概略表に戻ります。

ADC 後処理ブロック 2 の結果レジスタ

表 18-113. ADCPPB2RESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 12 の値を反映します。 注:この後処理ブロックに関連付けられている変換が 12 ビットの変換である場合、SIGN ビットはビット 12 まで拡張され、すべてのビットがビット 12 と同じ値になります。 リセット タイプ:SYSRSn
12-0	PPBRESULT	R	0h	ADC 後処理ブロックの結果 2 変換処理の結果は、オフセット / リファレンスの減算後にこのレジスタに保存されます。 複数の PPB が同じ SOC を参照している場合を除き、この結果は対応する ADCRESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります。複数の PPB が同じ SOC に関連付けられている場合、番号が最も小さい PPB の結果は、対応する ADCRESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります。それ以降の結果は、PPB 番号の小さい順に、それぞれ 2 ～ 3 SYSCLK サイクルごとに利用可能になります (詳細なタイミング情報については TRM を参照してください)。 PPBRESULT を読み出すタイミングの判定に ADCINTFLG をポーリングする場合、更新された変換後処理結果がレジスタに確実に反映されるよう、一つ以上の NOP 命令を追加する必要がある場合があります。 注:この後処理ブロックに関連付けられた変換が 12 ビットの変換である場合、PPBRESULT ビットはビット 12:0 に制限されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.19 ADCPPB3RESULT レジスタ (オフセット = 48h) [リセット = 00000000h]

ADCPPB3RESULT を表 18-114 に示します。

概略表に戻ります。

ADC 後処理ブロック 3 の結果レジスタ

表 18-114. ADCPPB3RESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 12 の値を反映します。 注:この後処理ブロックに関連付けられている変換が 12 ビットの変換である場合、SIGN ビットはビット 12 まで拡張され、すべてのビットがビット 12 と同じ値になります。 リセット タイプ:SYSRSn
12-0	PPBRESULT	R	0h	ADC 後処理ブロックの結果 3 変換処理の結果は、オフセット / リファレンスの減算後にこのレジスタに保存されます。 複数の PPB が同じ SOC を参照している場合を除き、この結果は対応する ADCRESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります。複数の PPB が同じ SOC に関連付けられている場合、番号が最も小さい PPB の結果は、対応する ADCRESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります。それ以降の結果は、PPB 番号の小さい順に、それぞれ 2 ～ 3 SYSCLK サイクルごとに利用可能になります (詳細なタイミング情報については TRM を参照してください)。 PPBRESULT を読み出すタイミングの判定に ADCINTFLG をポーリングする場合、更新された変換後処理結果がレジスタに確実に反映されるよう、一つ以上の NOP 命令を追加する必要がある場合があります。 注:この後処理ブロックに関連付けられた変換が 12 ビットの変換である場合、PPBRESULT ビットはビット 12:0 に制限されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.20 ADCPPB4RESULT レジスタ (オフセット = 4Ch) [リセット = 00000000h]

ADCPPB4RESULT を表 18-115 に示します。

概略表に戻ります。

ADC 後処理ブロック 4 の結果レジスタ

表 18-115. ADCPPB4RESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 12 の値を反映します。 注:この後処理ブロックに関連付けられている変換が 12 ビットの変換である場合、SIGN ビットはビット 12 まで拡張され、すべてのビットがビット 12 と同じ値になります。 リセット タイプ:SYSRSn
12-0	PPBRESULT	R	0h	ADC 後処理ブロックの結果 4 変換処理の結果は、オフセット / リファレンスの減算後にこのレジスタに保存されます。 複数の PPB が同じ SOC を参照している場合を除き、この結果は対応する ADCRESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります。複数の PPB が同じ SOC に関連付けられている場合、番号が最も小さい PPB の結果は、対応する ADCRESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります。それ以降の結果は、PPB 番号の小さい順に、それぞれ 2 ～ 3 SYSCLK サイクルごとに利用可能になります (詳細なタイミング情報については TRM を参照してください)。 PPBRESULT を読み出すタイミングの判定に ADCINTFLG をポーリングする場合、更新された変換後処理結果がレジスタに確実に反映されるよう、一つ以上の NOP 命令を追加する必要がある場合があります。 注:この後処理ブロックに関連付けられた変換が 12 ビットの変換である場合、PPBRESULT ビットはビット 12:0 に制限されます。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.21 ADCPPB1SUM レジスタ (オフセット = 50h) [リセット = 00000000h]

ADCPPB1SUM を表 18-116 に示します。

概略表に戻ります。

ADC PPB 1 最終合計結果レジスタ

表 18-116. ADCPPB1SUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 15 の値を反映します。 リセット タイプ:SYSRSn
15-0	合計	R	0h	後処理ブロック 1 のオーバーサンプリング最終合計。カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB1 が同期イベントを受信した場合、PSUM の値がこのレジスタにロードされます。カウント一致イベントの場合、このレジスタにロードされる合計値には、直近の変換結果が含まれます。 PSUM の値は、最終的な合計結果レジスタにロードされる前に、シフト レジスタで指定された値だけ右シフトされます。 この結果は、対応する ADCPPB1RESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります (カウント一致イベントの場合のみ)。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB1RESULT のタイミング情報を参照します)。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.22 ADCPPB1COUNT レジスタ (オフセット = 54h) [リセット = 0000h]

ADCPPB1COUNT を表 18-117 に示します。

概略表に戻ります。

ADC PPB1 最終変換カウントレジスタ

表 18-117. ADCPPB1COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-0	数	R	0h	後処理ブロック 1 のオーバーサンプリング最終カウント。カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB1 が同期イベントを受信した場合、PCOUNT の値がこのレジスタにロードされます。 この結果は、対応する ADCPPB1RESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります (カウント一致イベントの場合のみ)。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB1RESULT のタイミング情報を参照します)。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.23 ADCPPB2SUM レジスタ (オフセット = 58h) [リセット = 00000000h]

ADCPPB2SUM を表 18-118 に示します。

概略表に戻ります。

ADC PPB 2 最終合計結果レジスタ

表 18-118. ADCPPB2SUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 15 の値を反映します。 リセット タイプ:SYSRSn
15-0	合計	R	0h	後処理ブロック 2 のオーバーサンプリング最終合計。カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB2 が同期イベントを受信した場合、PSUM の値がこのレジスタにロードされます。カウント一致イベントの場合、このレジスタにロードされる合計値には、直近の変換結果が含まれます。 PSUM の値は、最終的な合計結果レジスタにロードされる前に、シフト レジスタで指定された値だけ右シフトされます。 この結果は、対応する ADCPPB2RESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります (カウント一致イベントの場合のみ)。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB2RESULT のタイミング情報を参照します)。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.24 ADCPPB2COUNT レジスタ (オフセット = 5Ch) [リセット = 0000h]

ADCPPB2COUNT を表 18-119 に示します。

概略表に戻ります。

ADC PPB2 最終変換カウントレジスタ

表 18-119. ADCPPB2COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-0	数	R	0h	後処理ブロック 2 のオーバーサンプリング最終カウント。カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB2 が同期イベントを受信した場合、PCOUNT の値がこのレジスタにロードされます。 この結果は、対応する ADCPPB2RESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります (カウント一致イベントの場合のみ)。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB2RESULT のタイミング情報を参照します)。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.25 ADCPPB3SUM レジスタ (オフセット = 60h) [リセット = 00000000h]

ADCPPB3SUM を表 18-120 に示します。

概略表に戻ります。

ADC PPB 3 最終合計結果レジスタ

表 18-120. ADCPPB3SUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 15 の値を反映します。 リセット タイプ:SYSRSn
15-0	合計	R	0h	後処理ブロック 3 のオーバーサンプリング最終合計。カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB3 が同期イベントを受信した場合、PSUM の値がこのレジスタにロードされます。カウント一致イベントの場合、このレジスタにロードされる合計値には、直近の変換結果が含まれます。 PSUM の値は、最終的な合計結果レジスタにロードされる前に、シフト レジスタで指定された値だけ右シフトされます。 この結果は、対応する ADCPPB3RESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります (カウント一致イベントの場合のみ)。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB3RESULT のタイミング情報を参照します)。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.26 ADCPPB3COUNT レジスタ (オフセット = 64h) [リセット = 0000h]

ADCPPB3COUNT を表 18-121 に示します。

概略表に戻ります。

ADC PPB3 最終変換カウントレジスタ

表 18-121. ADCPPB3COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-0	数	R	0h	後処理ブロック 3 のオーバーサンプリング最終カウント。カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB3 が同期イベントを受信した場合、PCOUNT の値がこのレジスタにロードされます。 この結果は、対応する ADCPPB3RESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります (カウント一致イベントの場合のみ)。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB3RESULT のタイミング情報を参照します)。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.27 ADCPPB4SUM レジスタ (オフセット = 68h) [リセット = 00000000h]

ADCPPB4SUM を表 18-122 に示します。

概略表に戻ります。

ADC PPB 4 最終合計結果レジスタ

表 18-122. ADCPPB4SUM レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	SIGN	R	0h	符号拡張ビット。これらのビットは、ビット 15 の値を反映します。 リセット タイプ:SYSRSn
15-0	合計	R	0h	後処理ブロック 4 のオーバーサンプリング最終合計。カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB4 が同期イベントを受信した場合、PSUM の値がこのレジスタにロードされます。カウント一致イベントの場合、このレジスタにロードされる合計値には、直近の変換結果が含まれます。 PSUM の値は、最終的な合計結果レジスタにロードされる前に、シフト レジスタで指定された値だけ右シフトされます。 この結果は、対応する ADCPPB4RESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります (カウント一致イベントの場合のみ)。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB4RESULT のタイミング情報を参照します)。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.28 ADCPPB4COUNT レジスタ (オフセット = 6Ch) [リセット = 0000h]

ADCPPB4COUNT を表 18-123 に示します。

概略表に戻ります。

ADC PPB4 最終変換カウントレジスタ

表 18-123. ADCPPB4COUNT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	予約済み	R	0h	予約済み
6-0	数	R	0h	後処理ブロック 4 のオーバーサンプリング最終カウント。カウント一致イベント (PCOUNT = LIMIT) が発生した場合、または PPB4 が同期イベントを受信した場合、PCOUNT の値がこのレジスタにロードされます。 この結果は、対応する ADCPPB4RESULT が利用可能になってから 1 SYSCLK サイクル後に利用可能になります (カウント一致イベントの場合のみ)。複数の PPB が同じ SOC を参照している場合を除き、これは関連する ADCRESULT が利用可能になってから 2 SYSCLK サイクル後に発生します (ADCPPB4RESULT のタイミング情報を参照します)。 リセット タイプ : SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.29 ADCSEQ1FIFORESULT レジスタ (オフセット = C0h) [リセット = 00000000h]

ADCSEQ1FIFORESULT を表 18-124 に示します。

概略表に戻ります。

ADC シーケンス 1 FIFO 結果レジスタ

表 18-124. ADCSEQ1FIFORESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SEQFIFORESULT	R	0h	FIFO モードにおけるシーケンサ 1 の変換結果 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.30 ADCSEQ2FIFORESULT レジスタ (オフセット = C4h) [リセット = 00000000h]

ADCSEQ2FIFORESULT を表 18-125 に示します。

概略表に戻ります。

ADC シーケンス 2 FIFO 結果レジスタ

表 18-125. ADCSEQ2FIFORESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SEQFIFORESULT	R	0h	FIFO モードにおけるシーケンサ 2 の変換結果 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.31 ADCSEQ3FIFORESULT レジスタ (オフセット = C8h) [リセット = 00000000h]

ADCSEQ3FIFORESULT を表 18-126 に示します。

概略表に戻ります。

ADC シーケンス 3 FIFO 結果レジスタ

表 18-126. ADCSEQ3FIFORESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SEQFIFORESULT	R	0h	FIFO モードにおけるシーケンサ 3 の変換結果 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.32 ADCSEQ4FIFORESULT レジスタ (オフセット = CCh) [リセット = 00000000h]

ADCSEQ4FIFORESULT を表 18-127 に示します。

概略表に戻ります。

ADC シーケンス 4 FIFO 結果レジスタ

表 18-127. ADCSEQ4FIFORESULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	SEQFIFORESULT	R	0h	FIFO モードにおけるシーケンサ 4 の変換結果 リセット タイプ:SYSRSn

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

18.4.33 ADCSEQ1FIFOSTATUS レジスタ (オフセット = D0h) [リセット = 00000000h]

ADCSEQ1FIFOSTATUS を表 18-128 に示します。

概略表に戻ります。

ADC シーケンス 1 FIFO ステータス

表 18-128. ADCSEQ1FIFOSTATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-1	SEQFIFOPENDREAD	R	0h	シーケンサ 1 FIFO 保留読み取り 注: 1.このフィールドは、ADCSEQ1FIFORESULT の最後のバイトが読み出された後にのみ更新されます。 2.保留中の読み取り情報は、デバッグ読み取りでは更新されません。 3.FIFO のすべてのデータが読み取られると、FIFO はラップバックします。それ以降の読み取りは、FIFO の先頭から読み取られます。 リセット タイプ:SYSRSn
0	SEQFIFOVALID	R	0h	シーケンサ 1 FIFO 有効 0 - 現在のシーケンサに関連付けられたすべての変換が完了していません。 1 - シーケンサに関連付けられたすべての SOC からの変換が完了し、結果を読み取ることが可能になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.34 ADCSEQ2FIFOSTATUS レジスタ (オフセット = D4h) [リセット = 00000000h]

ADCSEQ2FIFOSTATUS を表 18-129 に示します。

概略表に戻ります。

ADC シーケンス 2 FIFO ステータス

表 18-129. ADCSEQ2FIFOSTATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-1	SEQFIFOPENDREAD	R	0h	シーケンサ 2 FIFO 保留読み取り 注: 1.このフィールドは、ADCSEQ2FIFORESULT の最後のバイトが読み出された後にのみ更新されます。 2.保留中の読み取り情報は、デバッグ読み取りでは更新されません。 3.FIFO のすべてのデータが読み取られると、FIFO はラップバックします。それ以降の読み取りは、FIFO の先頭から読み取られます。 リセット タイプ:SYSRSn
0	SEQFIFOVALID	R	0h	シーケンサ 2 FIFO 有効 0 - 現在のシーケンサに関連付けられたすべての変換が完了していません。 1 - シーケンサに関連付けられたすべての SOC からの変換が完了し、結果を読み取ることが可能になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.35 ADCSEQ3FIFOSTATUS レジスタ (オフセット = D8h) [リセット = 00000000h]

ADCSEQ3FIFOSTATUS を表 18-130 に示します。

概略表に戻ります。

ADC シーケンス 3 FIFO ステータス

表 18-130. ADCSEQ3FIFOSTATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-1	SEQFIFOPENDREAD	R	0h	シーケンサ 3 FIFO 保留読み取り 注: 1.このフィールドは、ADCSEQ3FIFORESULT の最後のバイトが読み出された後にのみ更新されます。 2.保留中の読み取り情報は、デバッグ読み取りでは更新されません。 3.FIFO のすべてのデータが読み取られると、FIFO はラップバックします。それ以降の読み取りは、FIFO の先頭から読み取られます。 リセット タイプ:SYSRSn
0	SEQFIFOVALID	R	0h	シーケンサ 3 FIFO 有効 0 - 現在のシーケンサに関連付けられたすべての変換が完了していません。 1 - シーケンサに関連付けられたすべての SOC からの変換が完了し、結果を読み取ることが可能になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

18.4.36 ADCSEQ4FIFOSTATUS レジスタ (オフセット = DCh) [リセット = 00000000h]

ADCSEQ4FIFOSTATUS を表 18-131 に示します。

概略表に戻ります。

ADC シーケンス 4 FIFO ステータス

表 18-131. ADCSEQ4FIFOSTATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	予約済み
4-1	SEQFIFOPENDREAD	R	0h	シーケンサ 4 FIFO 保留読み取り 注: 1.このフィールドは、ADCSEQ4FIFORESULT の最後のバイトが読み出された後にのみ更新されます。 2.保留中の読み取り情報は、デバッグ読み取りでは更新されません。 3.FIFO のすべてのデータが読み取られると、FIFO はラップバックします。それ以降の読み取りは、FIFO の先頭から読み取られます。 リセット タイプ:SYSRSn
0	SEQFIFOVALID	R	0h	シーケンサ 4 FIFO 有効 0 - 現在のシーケンサに関連付けられたすべての変換が完了していません。 1 - シーケンサに関連付けられたすべての SOC からの変換が完了し、結果を読み取ることが可能になります。 リセット タイプ:SYSRSn

Copyright © 2026 Texas Instruments Incorporated

Chapter 19
VREF

VREF モジュールには、設定可能な電圧リファレンス バッファがあり、オンボードのアナログ ペリフェラルに安定した内部リファレンスを供給できます。また、より高い精度が必要なアプリケーション向けに、外部リファレンスの取り込みもサポートしています。この章では、VREF モジュールの機能および動作について説明します。

19.1 VREF の概要 1100
19.2 VREF 動作 1101
19.3 VREF レジスタ 1104

Copyright © 2026 Texas Instruments Incorporated

19.1 VREF の概要

MSPM33C3 ファミリ用の VREF モジュールは、さまざまなオンボード アナログ ペリフェラルで利用できる共有電圧リファレンス モジュールです。VREF を使用すると、ユーザーは内部で生成されるリファレンス電圧を使用するか、マイコン外部から供給されるリファレンス電圧を使用するかを選択できます。VREF 構成の詳細については、デバイスのデータシートを参照してください。

VREF モジュールの主な特長は次のとおりです。

- ユーザー選択可能な 1.4V および 2.5V の内部リファレンス
- VREF+/- デバイス ピンでの外部リファレンス入力に対応
- 内部リファレンス出力は、VREF+ デバイス ピンで利用可能
- サンプル / ホールド モードは、スタンバイ動作モードまでの VREF 動作をサポートします
- 内部リファレンスは、フルスピード ADC の動作をサポート

Copyright © 2026 Texas Instruments Incorporated

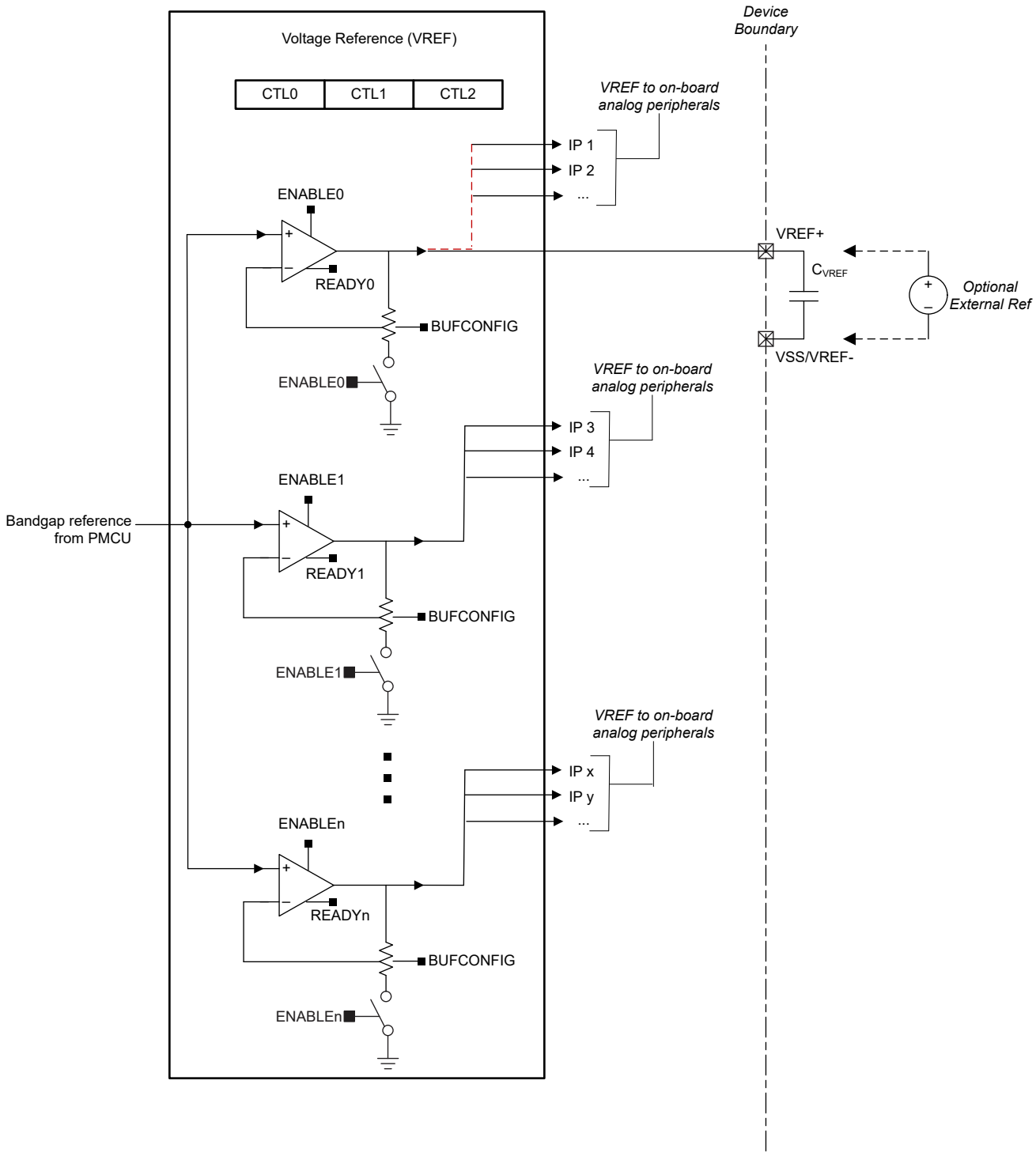


図 19-1. MSPM33 VREF スーパーセットのブロック図

19.2 VREF 動作

VREF モジュールは、ユーザー ソフトウェアで設定されます。VREF のセットアップと動作については、以下のセクションで説明します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

19.2.1 内部リファレンス生成

VREF を使用して内部リファレンス電圧を生成するには、まず PWREN レジスタの ENABLE 制御ビットを使用してモジュールへのレジスタ書き込みアクセスを有効にし、次に CTL0 レジスタの ENABLE 制御ビットを使用してリファレンス電圧バッファを有効にする必要があります。VREF モジュールは、PMU から供給される工場出荷時にトリミングされたバンドギャップ リファレンス電圧に基づいて、リファレンス電圧を生成します。バンドギャップ リファレンスは非反転アンプを通してバッファされ、内部リファレンス電圧 (1.4V または 2.5V) を生成します。CTL0 の BUFCONFIG 制御ビットを使用して、一度に選択できる電圧は一つだけです。

注

VREF によって生成される内部リファレンスには、適切に動作させるために、外付けデカップリング コンデンサ (C_{VREF}) が必要です。C_{VREF} の値と必要な配置の詳細については、デバイス固有のデータシートを参照してください。

この信号がイネーブルになり安定した後、内部リファレンスは、オンボード アナログ ペリフェラル用の正確で安定した電圧リファレンスとして使用できます。このリファレンス電圧を活用する方法の詳細については、アナログ ペリフェラル の章 を参照してください。

VREF は、CTL1 レジスタで準備完了表示ビットを提供します。

注

VREF の設定を 2.5V モードから 1.4V モードに変更する際、スルーレートが非常に遅くなります。この変更が必要な場合は、次の手順に従います:

- CTL0 レジスタの ENABLE ビットを使用して VREF を無効にします
- ピン PA23 (VREF+) を GPIO 出力として構成し、このピンを論理 Low に 100µs 間駆動します。VREF+ ピンには、1µF の外付けコンデンサが接続されていることを前提としています
- CTL0 レジスタの BUGCONFIG ビットを 1 に設定して、VREF を 1.4V モードで再度有効にします。VREF が有効化されて安定した後、1.4V の内部リファレンスを使用できます

19.2.2 外部リファレンス入力

高い精度が求められる場合は、デバイスの VREF+ ピンおよび VREF- ピンからマイコンに外部リファレンスを入力できます。一度に一つのタイプのリファレンス (内部または外部) のみ選択できます。マイコンに外部リファレンスを供給する場合は、電圧源に応じた容量値のデカップリング コンデンサをリファレンス ピンに接続することを推奨します。

注

外部リファレンスをデバイス ピンに印加する前に、CTL0 レジスタのイネーブル制御ビットをクリアして、VREF リファレンス バッファを無効にします。

19.2.3 アナログ ペリフェラル インターフェイス

VREF から ADC

ADC ペリフェラルでは、ADC MEMCTL レジスタの VRSEL 制御ビットを使用して、内部の設定可能なリファレンス電圧または外部リファレンス電圧を選択できます。

ADC 電圧リファレンス (VR+) として内部リファレンスを使用する場合、ADC 変換をトリガする前に、VREF リファレンス バッファがセトリングしていることを確認する必要があります。VREF のセトリング タイムについてはデバイス固有のデータシートを参照し、ADC ペリフェラルで使用可能なすべてのリファレンス電圧オプションの詳細については ADC の章を参照してください。

VREF から HSADC

HSADC ペリフェラルは、内部構成可能なリファレンスまたは外部リファレンスを、自動的に活用します。

Copyright © 2026 Texas Instruments Incorporated

HSADC 電圧リファレンス (VR+) として内部リファレンスを使用する場合、ADC 変換をトリガする前に、VREF リファレンス バッファがセトリングしていることを確認する必要があります。VREF のセトリング タイムについてはデバイス固有のデータ シートを参照し、ADC ペリフェラルで使用可能なすべてのリファレンス電圧オプションの詳細については HSADC の章を参照してください。

VREF から COMP

コンパレータ ペリフェラルは、COMP に関連する CTL2 レジスタ内の REFSRC 制御ビットを使用して、外部リファレンス電圧を活用できます。

コンパレータ ペリフェラルで利用可能なすべてのリファレンス オプションの詳細については、COMP の章を参照してください。

VREF から OPA

OPA ペリフェラルは、外部リファレンス電圧を活用して、CFG レジスタの PSEL 制御ビットを使用して、アンプの非反転入力端子の電圧バイアスを設定できます。

アンプの非反転アンプ入力端子に利用可能なすべてのチャネルの詳細については、OPA の章を参照してください。

19.2.4 サンプル / ホールド モード

VREF モジュールのサンプル / ホールド モードでは、サンプル位相中に外部 VREF コンデンサが選択された電圧まで充電されます。ホールド位相中は、VREF コンデンサが放電されます。充電されたコンデンサの値を基準値として使用します。このモードは、消費電力を節約するのに役立ちます。

MFCLK が VREF CLKSEL に選択されている場合、SYSOSC が存在しない場合 MFCLK は使用できないため、STOP2/STANDBY0/STANDBY1 モードでは VREF サンプル / ホールド機能は使用できません。

VREF CLKSEL で BUSCLK または LFCLK を選択した場合、LFCLK を使用できないため、STANDBY1 モードでは VREF のサンプル / ホールド機能を使用できません。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

19.3 VREF レジスタ

表 19-1 に、VREF レジスタのメモリマップト レジスタを示します。表 19-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 19-1. VREF レジスタ

オフセット	略称	レジスタ名	セクション
800h	PWREN	パワー イネーブル	セクション 19.3.1
804h	RSTCTL	リセット制御	セクション 19.3.2
814h	STAT	ステータス レジスタ	セクション 19.3.3
1000h	CLKDIV	クロック分周比	セクション 19.3.4
1008h	CLKSEL	クロックの選択	セクション 19.3.5
1100h	CTL0	コントロール 0	セクション 19.3.6
1104h	CTL1	コントロール 1	セクション 19.3.7
1108h	CTL2	コントロール 2	セクション 19.3.8
110Ch	V2IEN	V2I イネーブル レジスタ	セクション 19.3.9

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 19-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 19-2. VREF のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

19.3.1 PWREN レジスタ (オフセット = 800h) [リセット = 00000000h]

PWREN を表 19-3 に示します。

概略表に戻ります。

電力状態を制御するためのレジスタ

表 19-3. PWREN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するためのキー
23-1	予約済み	R/W	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、キーを 26h に設定する必要があります。 0h = 電力をディスエーブル 1h = 電力をイネーブル

Copyright © 2026 Texas Instruments Incorporated

19.3.2 RSTCTL レジスタ (オフセット = 804h) [リセット = 00000000h]

RSTCTL を表 19-4 に示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するためのレジスタ

表 19-4. RSTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するためのキー
23-2	予約済み	W	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、キーを B1h に設定する必要があります。 0h = 0 を書き込んでも何もしません 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、キーを B1h に設定する必要があります。 0h = 0 を書き込んでも何もしません 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

19.3.3 STAT レジスタ (オフセット = 814h) [リセット = 00000000h]

STAT を表 19-5 に示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

表 19-5. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされているため、ペリフェラルがリセットされていたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされたので、ペリフェラルはリセットされていない 1h = 最後のビットがクリアされた後にペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

19.3.4 CLKDIV レジスタ (オフセット = 1000h) [リセット = 00000000h]

CLKDIV を表 19-6 に示します。

概略表に戻ります。

クロック分周比

表 19-6. CLKDIV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R/W	0h	
2-0	比率	R/W	0h	サンプル / ホールド回路で使用するモジュール クロックの分周比を選択します

Copyright © 2026 Texas Instruments Incorporated

19.3.5 CLKSEL レジスタ (オフセット = 1008h) [リセット = 00000000h]

CLKSEL を表 19-7 に示します。

概略表に戻ります。

クロックの選択

表 19-7. CLKSEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3	BUSCLK_SEL	R/W	0h	有効な場合、BUSCLK をクロック ソースとして選択します
2	MFCLK_SEL	R/W	0h	有効な場合、MFCLK をクロック ソースとして選択します
1	LFCLK_SEL	R/W	0h	有効な場合、LFCLK をクロック ソースとして選択します
0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

19.3.6 CTL0 レジスタ (オフセット = 1100h) [リセット = 00000000h]

CTL0 を表 19-8 に示します。

概略表に戻ります。

制御レジスタ 0。

表 19-8. CTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R/W	0h	
8	SHMODE	R/W	0h	このビットは、サンプル / ホールド モードを有効化します 0h = サンプル / ホールド モードを無効化します 1h = サンプル / ホールド モードを有効化します
7	BUFCONFIG	R/W	0h	これらのビットは、出力バッファを構成します。 0h = 出力周波数 2p5v：出力バッファを 2.5v に構成します 1h = 出力周波数 1p4v：出力バッファを 1.4v に構成します
6-2	予約済み	R/W	0h	
1	COMP_VREF_ENABLE	R/W	0h	コンパレータ Vref イネーブル 0h = COMP VREF が無効です 1h = COMP VREF が有効です
0	イネーブル	R/W	0h	このビットは VREF モジュールを有効にします。 0h = VREF を無効化 1h = VREF を有効化

Copyright © 2026 Texas Instruments Incorporated

19.3.7 CTL1 レジスタ (オフセット = 1104h) [リセット = 00000000h]

CTL1 を表 19-9 に示します。

概略表に戻ります。

制御レジスタ 1。

表 19-9. CTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R/W	0h	
1	VREFLOSEL	R/W	0h	このビットは VREFLO ピンを選択します
0	READY	R	0h	これらのビットは、VREF のステータスを定義します 0h = VREF 出力の準備ができていません 1h = VREF 出力の準備ができています

Copyright © 2026 Texas Instruments Incorporated

19.3.8 CTL2 レジスタ (オフセット = 1108h) [リセット = 00000000h]

CTL2 を表 19-10 に示します。

概略表に戻ります。

制御レジスタ 2。

表 19-10. CTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	HCYCLE	R/W	0h	ホールド サイクル数 VREF が省電力のためにスタンバイ状態でサンプル / ホールド モードで動作している場合の、ホールド期間におけるモジュール クロックの合計サイクル数。 サンプル / ホールド時間の推奨値については、データシートの「VREF」セクションを参照してください。 0h = 最小ホールド サイクル FFFFh = 最大ホールド サイクル
15-0	SHCYCLE	R/W	0h	サンプル / ホールド サイクル数 VREF がスタンバイのサンプル / ホールド モードで動作しているときのサンプル / ホールド フェーズのモジュール クロックの合計サイクル数。 このフィールドは、HCYCLE フィールドよりも大きくする必要があります。このフィールドと HCYCLE の差は、サンプル位相のサイクル数を示します。 サンプル / ホールド時間の推奨値については、データシートの「VREF」セクションを参照してください。 0h = サンプル / ホールド サイクルの最小カウント FFFFh = 最大のサンプル / ホールド サイクル

Copyright © 2026 Texas Instruments Incorporated

19.3.9 V2IEN レジスタ (オフセット = 110Ch) [リセット = 00000000h]

V2IEN を表 19-11 に示します。

概略表に戻ります。

V2I イネーブル レジスタ。

表 19-11. V2IEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	V2I_EN	R/W	0h	V2I イネーブル

Copyright © 2026 Texas Instruments Incorporated

Chapter 20
COMP

コンパレータ モジュール (COMP) は、アナログ電圧コンパレータです。この章では、コンパレータ モジュールの動作について説明します。

20.1 コンパレータの概要 1115
20.2 コンパレータ動作 1117
20.3 COMP レジスタ 1127

Copyright © 2026 Texas Instruments Incorporated

20.1 コンパレータの概要

超低消費電力 3V コンパレータの特長:

- 超低消費電力
- 反転および非反転端子の入力マルチプレクサ
- 反転および非反転端子の短絡および入れ替え機能
- ソフトウェアで選択可能な出力フィルタ
- プログラマブル ヒステリシス
- 外部キャップ付き VREF または VDD を内部 DAC の電圧リファレンスとして使用
- DAC は、いずれかのコンパレータ端子へのリファレンス電圧として機能
- 2 つの入力コードを持つ構成可能 8 ビット リファレンス DAC
- イベント システムに接続された出力
- 低消費電力動作用の割り込み駆動測定システム
- 反転入力と非反転入力の間で DAC 出力リファレンスの入れ替え
- DAC をサンプル / ホールド モードで動作させると、DAC の消費電力が低減します

高速 3V コンパレータの特長:

- 高速動作
- 反転および非反転端子の入力マルチプレクサ
- 反転および非反転端子の短絡および入れ替え機能
- ソフトウェアで選択可能な出力フィルタ
- プログラマブル ヒステリシス
- 外部キャップ付き VREF または VDD を内部 DAC の電圧リファレンスとして使用
- DAC は、いずれかのコンパレータ端子へのリファレンス電圧として機能
- DAC の入力は、いずれかのコンパレータ端子に直接接続可能
- 2 つの入力コードを持つ構成可能 8 ビット リファレンス DAC
- イベント システムに接続された出力
- 低消費電力動作用の割り込み駆動測定システム
- 反転入力と非反転入力の間で DAC 出力リファレンスの入れ替え

超低消費電力 5V コンパレータの特長:

- 超低消費電力
- 反転および非反転端子の入力マルチプレクサ
- ソフトウェアで選択可能な出力フィルタ
- プログラマブル ヒステリシス
- 外部キャップ付き VREF または VDD を内部 DAC の電圧リファレンスとして使用
- DAC は、コンパレータの反転端子へのリファレンスとして機能
- 2 つの入力コードを持つ構成可能 8 ビット リファレンス DAC
- イベント システムに接続された出力
- 低消費電力動作用の割り込み駆動測定システム

高速 5V コンパレータの特長:

- 高速動作
- 反転および非反転端子の入力マルチプレクサ
- ソフトウェアで選択可能な出力フィルタ
- プログラマブル ヒステリシス
- 外部キャップ付き VREF または VDD を内部 DAC の電圧リファレンスとして使用
- DAC は、いずれかのコンパレータ端子へのリファレンス電圧として機能
- DAC の入力は、いずれかのコンパレータ端子に直接接続可能
- 2 つの入力コードを持つ構成可能 8 ビット リファレンス DAC

Copyright © 2026 Texas Instruments Incorporated

- イベント システムに接続された出力
- 低消費電力動作用の割り込み駆動測定システム
- 反転入力と非反転入力の間で DAC 出力リファレンスの入れ替え

注：一部のデバイスでは、8 ビット リファレンス DAC をピンに出力します

注

COMP ピンと DAC ピンの出力の両方が使用されないときは、意図しないリークを避けるため、refsrc を 0 に設定します

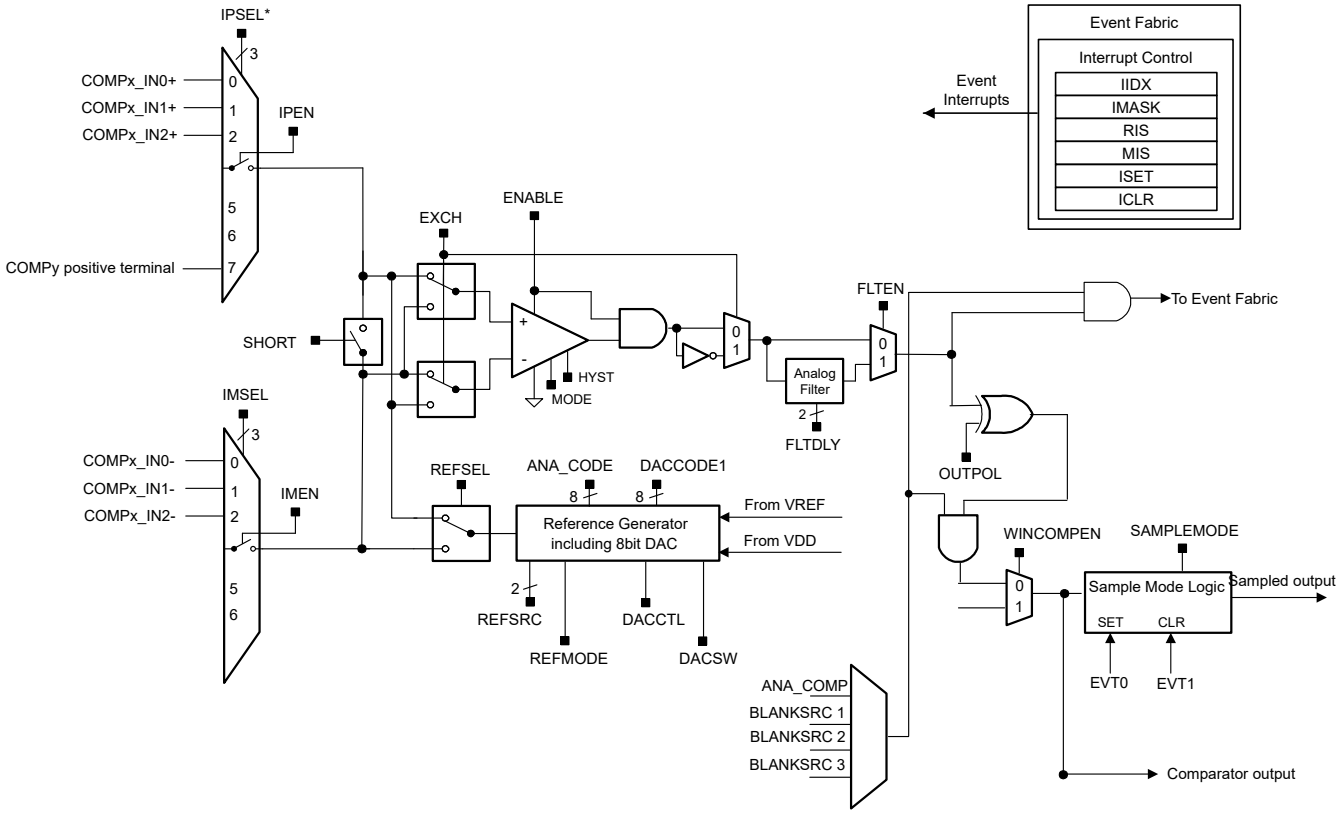


図 20-1. コンパレータのブロック図

Copyright © 2026 Texas Instruments Incorporated

20.2 コンパレータ動作

コンパレータ モジュールの設定は、ユーザー ソフトウェアで行います。コンパレータのセットアップと動作について、以下のセクションで説明します。

20.2.1 コンパレータの構成

コンパレータは、正 (+) 入力端子と負 (–) 入力端子のアナログ電圧を比較します。+ 端子が–端子より高い場合、出力は High になります。コンパレータ ピンの極性は、COMPx.CTL1 の OUTPOL ビットを使用して設定できます。

イネーブル ビット

コンパレータは、COMPx.CTL1 レジスタの ENABLE ビットを使用して、オン /オフを切り替えることができます。消費電流の低減のため、コンパレータを使用していないときはオフにする必要があります。

5V COMP イネーブル ビットの動作

COMP がオフのとき、COMP 出力は Low になります。

3V COMP イネーブル ビットの動作

COMP がオフのとき、COMP 出力は High になります。

高速モードと超低消費電力モードの比較

コンパレータは、COMPx.CTL1 レジスタの MODE ビットを使用して、高速または超低消費電力モードに設定できます。MODE ビットのデフォルト値は 0 (高速モード) です。モードが 1 に設定されると、コンパレータは超低消費電力モードに設定されます。

高速モードは、より大きな電流を消費しますが、応答時間は短くなります。

超低消費電力モードの消費電流は非常に小さくなりますが、応答時間は長くなります。

アプリケーションに最適なモードを選択できるように、該当するデバイスのデータシートを参照して、速度と消費電力の仕様を確認してください。

クロック制御

コンパレータのクロック制御はシステム コントローラ (SYSCTL) で管理されます。SYSCTL は、コンパレータ モジュールが有効かどうかを識別し、超低消費電力モードか高速モードかを認識します。ユーザーは、コンパレータ動作モードに適したバス クロックが選択されていることを確認する必要があります。

- 超低消費電力モードのコンパレータ: バス クロックは LFCLK または高速クロックのいずれかにできます。
- 高速モードのコンパレータ: バス クロックは LFCLK にすることはできません。コンパレータを高速モードで有効にし、バスクロックが LFCLK の場合、SYSCTL でクロックエラー割り込みが発生します。

20.2.2 コンパレータ チャネルの選択

正端子のコンパレータ チャネルは IPSEL ビットで選択され、レジスタ COMPx.CTL0 の IPEN ビットにより有効になります。負端子のコンパレータ チャネルは IMSEL ビットで選択され、IMEN ビットにより有効になります。IPSEL および IMSEL ビットを使用して、デバイス ピンまたは内部アナログ モジュールからコンパレータ チャネル入力を選択できます。正端子と負端子のコンパレータ入力チャネル マルチプレクサのスイッチは、チャネル選択が変更されたときのクロストークを最小限に抑えるため、Break-Before-Make 配置を使用して実装されています。

IPSEL および IMSEL ビットでは、次のことが可能です。

- 外部信号をコンパレータの正および負端子に接続
- ウィンドウ比較モードで、1 つのコンパレータの正端子信号を別のコンパレータの正端子に接続

COMPx.CTL1 レジスタの EXCH ビットは、入力マルチプレクサを制御し、コンパレータの正および負端子の入力信号を交換します。また、コンパレータ端子を交換すると、コンパレータからの出力信号も反転します。これにより、コンパレータの入力オフセット電圧を決定または補償できます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

コンパレータ入力接続

入力チャネル選択の設定については、デバイスのデータシートの COMP セクションを参照してください。

コンパレータがオンのときは、入力端子を信号、電源、またはグランドに接続する必要があります。そうしないと、フローティング レベルで予期しない割り込みが発生し、消費電流が増加する可能性があります。

コンパレータの構成

コンパレータの構成は、COMPx.CTL0 レジスタの IPSEL および IMSEL の変更を除いて、動作中は変更しないでください。コンパレータの構成を変更するには、最初にコンパレータを無効にし、必要に応じて再構成してから、再度有効にする必要があります。

COMP セトリング

特定の状況では、COMP 出力にグリッチが生じる可能性があります。

- IPSEL または IMSEL の変更
- EXCH の変更
- COMP の有効化

上記のいずれかの状況では、OUTRDY 割り込みが発生するまで待ってから、COMP の出力が安定しているとみなしてください。

特殊なケース

5V コンパレータ

IPEN = 1、IMEN = 0、REFSEL = 0 の場合、内部リファレンスは自動的に負側に切り替わります。これは、いずれの入力も DAC または VREF 出力と短絡しないようにすることを目的としています。この例では、IMEN が無効になっているため、ユーザーがそのピンを短絡しても、何も起こりません。

IPEN = 0、IMEN = 1、REFSEL = 1 の場合、内部リファレンスは自動的に正側に切り替わります。これは、いずれの入力も DAC または VREF 出力と短絡しないようにすることを目的としています。この例では、IPEN が無効になっているため、ユーザーがそのピンを短絡しても、何も起こりません。

3V コンパレータ

IPEN = 1、IMEN = 0、REFSEL = 0 の場合、内部リファレンスは交換ビットを使用して、自動的に負側に切り替わります。これは、いずれの入力も DAC または VREF 出力と短絡しないようにすることを目的としています。この例では、IMEN が無効になっているため、ユーザーがそのピンを短絡しても、何も起こりません。

IPEN = 0、IMEN = 1、REFSEL = 1 の場合、内部リファレンスは交換ビットを使用して、自動的に正側に切り替わります。これは、いずれの入力も DAC または VREF 出力と短絡しないようにすることを目的としています。この例では、IPEN が無効になっているため、ユーザーがそのピンを短絡しても、何も起こりません。

20.2.3 コンパレータ出力

コンパレータの出力は、COMPx.STAT レジスタの OUT ビットから読み取ることができます。出力はデバイス ピンにも出力されます。コンパレータ出力をデバイス ピンと正しく接続するには、IOMUX モジュールの対応するデバイス ピンをソフトウェアで構成する必要があります。コンパレータ出力は、イベント インターフェイスにも接続され、CPU 割り込みイベントと、他のモジュールとの内部接続用の汎用パブリッシャ イベントを生成します。

20.2.4 出力フィルタ

コンパレータの出力は、内部フィルタリングあり、またはなしで使用できます。出力フィルタリングは、コンパレータが高速モード (COMPx.CTL1.MODE = 0) の間のみ有効にできます。COMPx.CTL1 レジスタの FLTEN ビットがセットされている

Copyright © 2026 Texas Instruments Incorporated

場合、出力はオンチップのアナログ フィルタで処理されます。フィルタの遅延は、COMPx.CTL1 レジスタの FLTDLY ビットを使用して、4 段階で調整できます (表 20-1 を参照)。

表 20-1. 代表的な出力フィルタ遅延設定

COMPx.CTL1 の FLTDLY ビット	標準的なフィルタ遅延	電流	Cap
0	60ns	1.4uA	350fF
1	440ns	400nA	350fF
2	1.01us	200nA	350fF
3	2.2us	100nA	350fF

フィルタ遅延設定は、該当するデバイスのデータシートに記載されている伝搬遅延に加算されます。

入力端子間の電圧差が小さい場合、コンパレータの出力は発振します (図 20-2 を参照)。信号ライン、電源ライン、およびシステムの他の部分における内部および外部の寄生効果やクロス カップリングが、この動作を引き起こします。コンパレータ出力の発振により、比較結果の精度と分解能が低下します。出力フィルタを選択すると、コンパレータの発振に関連する誤差を低減できます。

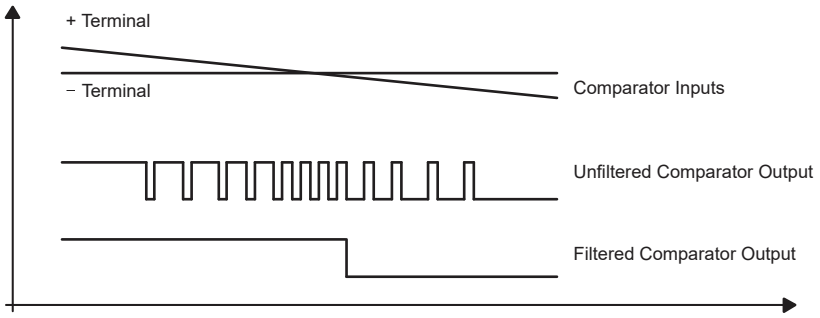


図 20-2. コンパレータの出力でのアナログ フィルタ応答

注

出力フィルタは、コンパレータが高速モードで動作している場合にのみ機能します。

20.2.5 サンプリング出力モード

サンプリング モードは、コンパレータの動作方法で、入力信号を離散的な時間間隔で比較し、サンプリング ポイントでのみ変化する出力信号を生成します。レジスタ CTL2 の SAMPMODE ビットは、サンプリング モードを有効または無効にします。

サンプリング ウィンドウを定義するため、EVT0 および EVT1 の 2 つのイベントがタイマから生成されます。これらのイベントを使用すると、よりノイズの少ない位相に合わせてサンプリング ウィンドウの位置を調整できます。EVT0 はサンプリング ウィンドウをセットし、EVT1 はサンプリング ウィンドウをクリアします。

サンプリング モードでは、COMP.STAT は、サンプリング ウィンドウが High のときのみサンプリングされ、それ以外の時間では出力はキャプチャされません。キャプチャされた出力は、割り込みとイベントの生成に使用されます。

サンプリング モードを使用すると、コンパレータは入力信号のノイズの影響を低減でき、比較の精度と信頼性を向上できます。EVT0 と EVT1 を使用してサンプリング ウィンドウを定義すると、ウィンドウをノイズの少ない入力信号の位相に合わせて柔軟に調整できるようになり、比較の精度がさらに向上します。

内部 DAC8 をサンプリング モードで使用しているときに、ユーザーが Standby0 モードに移行する場合は、以下に注意してください。コンパレータ出力を期待どおりに動作させるには、SoC が Standby0 モードに遷移する前に、OUTRDYIFG フラグをポーリングして、COMP の準備ができたことを確認する必要があります。

Copyright © 2026 Texas Instruments Incorporated

注

サンプリング モードでは、1 SnH 周期以上あけて DACCODE を変更する必要があります。DACCODE をこれよりも短い間隔で変更すると、ヒステリシスがランダムに発生する可能性があります

このシナリオでは、次の手順で操作を行います。

1. RUN/ACTIVE モードで、必要な COMP の設定 (サンプリング モードの DAC8、ULP モードの COMP など) をすべて行います。
2. パワー ポリシーを standby0 に設定します (DL_SYSCTL_setPowerPolicySTANDBY0)
3. COMP を有効にします (CTL1.EN ビットを書き込みます)
4. COMP OUTRDYIFG がセットされるまで待ちます (RIS レジスタのビット番号 3 が 1 になるまで待ちます)。
5. Standby0 低消費電力モードに移行します (__WFI() 関数を使用)

20.2.6 ブランキング モード

ノイズやその他の干渉により、入力信号がスレッショルド電圧付近で変動し、出力の高速かつ不規則なスイッチングが発生する可能性があります。これは、誤トリガにつながる可能性があります。コンパレータ ブランキング モードでは、入力信号がスレッショルド電圧を交差した時点から出力状態が変化するまでの間に、短い遅延を設けます。

有効になっている場合、ブランキング ソース信号はコンパレータ出力の反転イネーブルとして機能します。具体的には、ブランキング ソースがアサートされると (論理 High)、コンパレータの出力は強制的に現在の出力状態になり、コンパレータの入力電圧に関係なく、状態の変化は防止されます。逆に、ブランキング ソースがデアサートされると (論理 Low)、コンパレータの出力が有効になり、コンパレータの入力電圧に応じて変化できるようになります。これにより、ノイズが発生しやすい期間でも安定して動作します。ブロック図については、図 20-3 を、この機能を示す波形例については図 20-4 を参照してください。

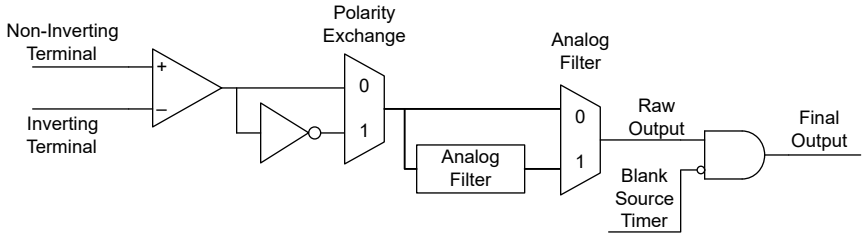


図 20-3. ブランキング モードのブロック図

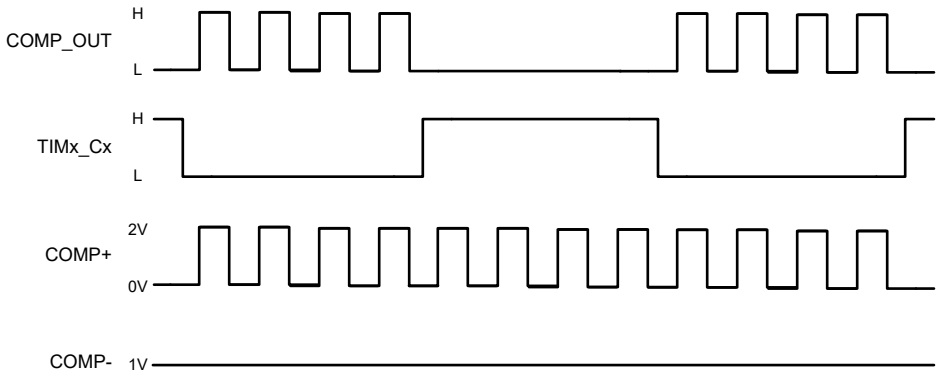


図 20-4. ブランキング モードの波形例

この遅延期間中、コンパレータは入力信号のさらなる変化を無視し、出力を Low に保持します。この機能は主に、モーター駆動や電力制御などのタイマで示される PWM 波形などの使用事例に適しています。

Copyright © 2026 Texas Instruments Incorporated

レジスタ CTL2 の制御ビット BLANKSRC を使用して、無効化の設定や、ブランキング モードで動作させるソースの設定を行うことができます。サポートされている特定のブランキング ソースについては、デバイスのデータシートを参照してください。

注

タイマをコンパレータ ブランキング モードのソースとして使用する場合、通常は、タイマ出力とコンパレータ出力との間に 1 TIMCLK サイクルの遅延が発生します。

20.2.7 リファレンス電圧ジェネレータ

図 20-5 に、コンパレータ基準電圧ジェネレータのブロック図を示します。コンパレータ リファレンス電圧ジェネレータは、複数の構成オプションと 8 ビット DAC で構成されています。COMPx.CTL2 レジスタの REFSRC ビットは、コンパレータのリファレンス電圧源を選択するために使用されます。

- REFSRC = 0 の場合、リファレンス電圧ジェネレータは無効化され、リファレンス電圧ジェネレータはコンパレータ動作に使用できません。
- REFSRC = 1 の場合、アナログ電源 VDDA が DAC の基準電圧入力として選択され、DAC 出力はコンパレータのリファレンス電圧として使用されます。

リファレンス電圧ジェネレータ出力は、REFSEL ビット COMPx.CTL2 レジスタを使用して、コンパレータの正端子または負端子のいずれかに印加できます。両方のコンパレータ入力端子に外部信号を印加する場合は、内部リファレンス電圧ジェネレータをオフにして、消費電流を低減します。

COMPx.CTL2 レジスタの REFSEL ビットを使用してリファレンス電圧ジェネレータの出力をコンパレータ端子に入力し、同時に COMPx.CTL0 レジスタの IPSEL/IPEN ビットまたは IMSEL/IMEN ビットを使用して、同じ端子にコンパレータ チャネル (デバイスのピンまたは内部アナログ モジュールからの入力) を選択した場合、コンパレータ チャネルの選択が優先されます。

REFMODE = 1 の場合、DAC をバイパスできません。CTL1.REFMODE = 1 (サンプリング モード) の場合、コンパレータ入力は REFSRC の設定に関係なく DAC に接続されます。たとえば、REFSRC = VDDA で REFMODE = 1 の場合、コンパレータ入力は引き続き DAC に接続されます。

DAC8 出力は、OPAx を介して内部アナログ OPA モジュールにも接続されています (*OPA Block Diagram* を参照)。

図 20-5. リファレンス電圧ジェネレータのブロック図

注

上記の図のコンパレータ出力は、ピンのコンパレータ出力ではありません。これは、出力処理前の未処理のコンパレータ出力です。これは、ブランキングなどのモードで重要です。内部の DACCODE は引き続き切り替わり、上図のコンパレータの状態も変化しますが、コンパレータがブランク モードの間は、**ピン**の出力は切り替わらないためです。

8 ビット DAC を内蔵

8 ビット DAC 入力コードは、COMPx.CTL3 レジスタの DACCODE0 または DACCODE1 ビットによって提供できます。COMPx.CTL2 レジスタの DACCTL ビットは、DAC への入力として DACCODE0 ビットまたは DACCODE1 ビットを選択する際に、コンパレータ出力と、COMPx.CTL2 レジスタ内のソフトウェア制御ビット DACSW のどちらを使用するかを決定します。

- DACCTL が 0 の場合、コンパレータ出力の値によって DACCODE0 または DACCODE1 が選択されます。コンパレータの出力値が 0 の場合、DACCODE0 が DAC への入力になります。コンパレータの出力値が 1 の場合、DACCODE1 は DAC への入力になります。
- DACCTL が 1 の場合、ソフトウェアによって設定された DACSW ビットの値に基づいて、DACCODE0 または DACCODE1 が選択されます。DACSW が 0 の場合、DACCODE0 が DAC への入力になります。DACSW が 1 の場合、DACCODE1 が DAC への入力になります。この機能により、外付け部品を使用せずに、コンパレータに必要なヒステリシス レベルを生成できます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- COMPx.CTL2 レジスタの REFMODE ビットは、コンパレータが内部 VREF に高速モードまたは超低消費電力モードでの動作を要求するかを決定するとともに、8 ビット DAC の動作モードも設定します。REFMODE ビットが 0 の場合、内部 VREF は高速モードでの動作に要求され、コンパレータの 8 ビット DAC も高速モードに構成されます。REFMODE ビットが 1 の場合、内部 VREF は超低消費電力で動作するように要求され、コンパレータの 8 ビット DAC は超低消費電力で構成されます。高速モードでは高い精度が得られる一方で、消費電流は大きくなります。これに対して、超低消費電力モードでは消費電流を抑えられますが、リファレンス電圧の精度は低下します。詳細については、デバイス固有のデータシートに記載されているコンパレータの電気的特性を参照してください。

20.2.8 コンパレータ ヒステリシス

このコンパレータは、高速および超低消費電力モードでプログラム可能なヒステリシス電圧をサポートしているため、ノイズの多い入力信号によるスプリアス出力遷移を防止できます。COMPx.CTL1 レジスタの HYST ビットが 0 の場合、コンパレータはヒステリシスを生成しません。HYST ビットの値が 1、2、3 の場合、コンパレータによって 10mV、20mV、30mV (標準値) のヒステリシス電圧がそれぞれ生成されます。

内蔵の 8 ビット DAC を使用して、ヒステリシスを実装することもできます。リファレンス ジェネレータの 8 ビット DAC の入力は、COMPx.CTL3 レジスタの 2 つの値 (DACCODE0 および DACCODE1) で供給できます。ユーザーは、COMPx.CTL2 レジスタの DACCTL ビットを 0 に設定できます。コンパレータ出力値に応じて DAC 入力として DACCODE0 または DACCODE1 のいずれかの値が選択されます。この機能により、外付け部品を使用せずに、コンパレータに必要なヒステリシス レベルを生成できます。この構成の詳細については、内蔵 8 ビット DAC のセクションを参照してください。

20.2.9 入力 SHORT スイッチ

SHORT ビットは、コンパレータの入力を短絡します。これは、コンパレータ用の単純なサンプルアンドホールドの構築に使用できます (図 20-6 を参照)

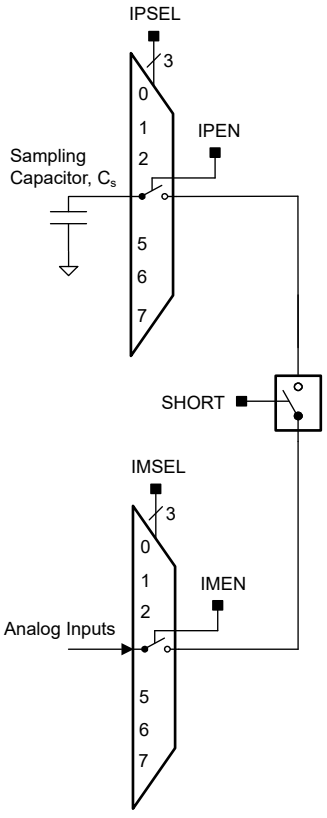


図 20-6. コンパレータ ショート スイッチ

Copyright © 2026 Texas Instruments Incorporated

必要なサンプリング時間はサンプリング コンデンサ (CS) のサイズ、短いスイッチ (RI) と直列に接続された入力スイッチの抵抗、外部ソース (RS) の抵抗に比例します。サンプリング コンデンサ CS は 100pF より大きい必要があります。サンプリング コンデンサ CS を充電する時定数 Tau は、式 17 で計算できます

$$T_{au} = (R_I + R_S)xC_S \quad (17)$$

必要な精度に応じて、サンプリング時間として 3～10 Tau を使用します。3 Tau では、サンプリング コンデンサは入力信号電圧レベルの約 95% まで充電され、5 Tau では 99% 以上まで充電されます。10 Tau では、サンプリングされた電圧で 12 ビットの精度を実現できます。

20.2.10 アナログ比較機能

MSPM33C シリーズのデバイスには外部シーケンサが搭載されており、プログラマはストップ モードでプリセットの電圧と複数の比較を行うことができます。このシーケンサは、いずれかの入力がリファレンス電圧を超えた場合にデバイスをウェークアップするコンパレータ イベントを生成するためにも使用できます。これを実現するため、メモリ マップト レジスタ (MMR) のセットを使用して DACCODE0 および VMON 入力を制御します。これらの信号の配線方法については、図 20-7 を参照してください。VMON ピンがどのマルチプレクサ入力であるかについては、該当するデバイスのデータシートを参照してください。

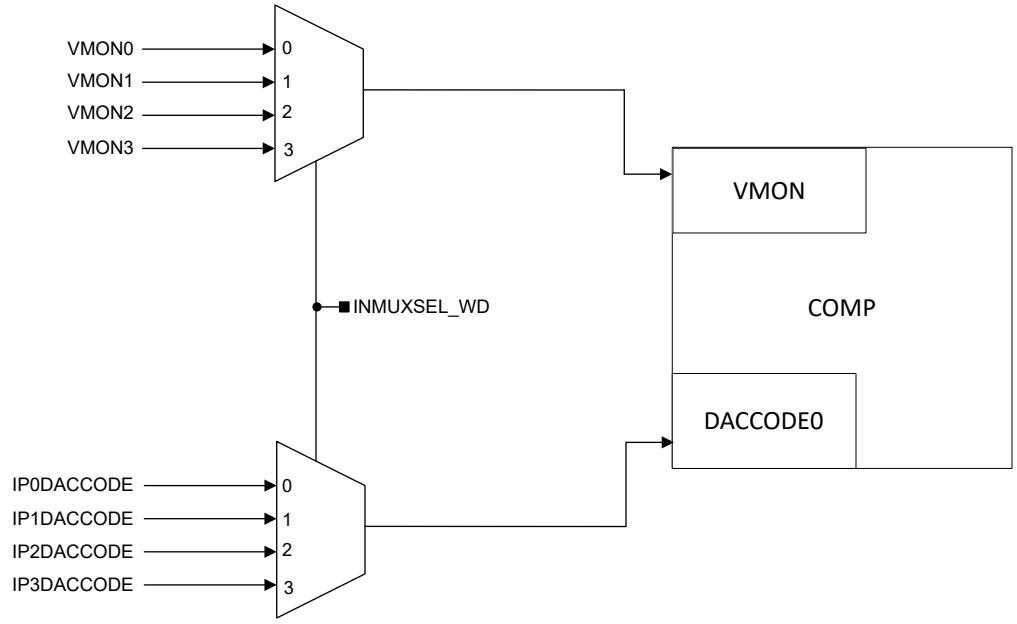


図 20-7. アナログ信号の比較図

コンパレータの VMON ピンへの入力は、ANACMPCTRCTL MMR によって選択されます。VMON 信号と比較される、対応する IP0DACCODE-IP3DACCODE は、ANACMPDACCODE MMR に格納されます。これらは両方とも ANACMPWD MMR によって制御されます。DACCODES 信号と VMON 信号をシーケンス処理するには、複数の方法があります。ソフトウェアを使用する場合、ユーザーはレジスタに手動で書き込み、VMON の値によってシーケンスを実行して出力を測定できます。ANACMPCTRCTL レジスタを使って比較期間とブランキング期間を設定する方法もあります。比較期間により、電圧が保持される時間が決定し、対応する DACCODE と比較されます。ブランキング期間は、ANACMPCTRCTL レジスタをインクリメントしてから、比較期間を開始するまでに要する時間を決定します。ANACMPWD MMR のシーケンスを開始するには、ANACMPWKUPCTL レジスタの ANACMPWKUPEN ビットがセットされている必要があります。このシーケンスは、ANACMPWD レジスタの INMUXSEL_WD ビットをインクリメントします。

ANACMPWKUPEN が有効のときに COMP イベントが発生すると、VMON 電圧がスレッショルドを超えた値に対応する ANACMPCHLSTS レジスタのビットがセットされます。これにより、割り込みが発生したときに、どの VMON 値が対応する

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

DACCODE を超えたかを理解できるようになります。対応するビットをクリアするには、プログラマが ANACMPCHLSTSCLR レジスタの対応するビットに書き込む必要があります。

比較周期とブランキング期間を設定する場合、ANACMPCTRCTL レジスタの CMPPRD ビットと BLKCMPPRD ビットが使用されます。CMPPRD ビットは、比較周期を構成します。BLKCMPPRD ビットは、ブランキング期間の選択に使用されますが、ブランキング期間と比較期間を合算した値になります。設定されたブランキング期間を計算するには、BLKCMPPRD レジスタから CMPPRD を減算します。プログラマは、デバイス上でブランキング時間が確実に存在するようにするため、BLKCMPPRD が常に CMPPRD レジスタより大きいことを確認する必要があります。

デバイスがスリープ モードのときのアナログ比較機能の使用

この機能の代表的な使用事例は、複数のリファレンス電圧と比較しながら、デバイスをスリープからウェークアップすることです。アナログ比較のウェークアップ機能向けにレジスタを構成する代表的な手順を以下に示します。

1. ANACMPDACCODE 電圧を、対応するリファレンス電圧値を使用して構成します
2. ANACMPCTRCTL レジスタの対応する比較ウィンドウとブランキング期間を設定します。
3. ANACMPWKUPEN ビットを設定します。
4. デバイスをストップ モードにします。

デバイスがスリープ モードに移行した後、DACCODE および VMON 値を使用して INMUXSEL_WD 多重化が行われます。コンパレータが High レベルを出力すると、COMP 割り込みが生成されます。

20.2.11 割り込みとイベントのサポート

コンパレータ モジュールには、2 つのイベント パブリッシャと 2 つのイベント サブスクライバが含まれています。1 つのイベント パブリッシャ (CPU_INT) が、静的イベント ルートによって CPU サブシステムへのコンパレータ割り込み要求 (IRQ) を管理します。2 番目のイベント パブリッシャ (GEN_EVENT) は、汎用ルート経由で汎用イベント パブリッシャを設定するために使用されます。

2 つのイベント サブスクライバは、サンプリングされた出力モードで開始点と停止点を定義するために使用されます。

表 20-2 に、コンパレータ イベントのまとめを示します。

表 20-2. コンパレータ イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	コンパレータ	CPU サブシステム	静的ルート	CPU_INT レジスタ	コンパレータから CPU までの固定割り込みルート
汎用パブリッシャ イベント	パブリッシャ	コンパレータ	その他のペリフェラル	汎用ルート	GEN_EVENT FPUB_1 レジスタ	コンパレータから他のペリフェラルへの設定可能な割り込みルート
汎用サブスクライバ イベント	サブスクライバ	その他のペリフェラル	コンパレータ	汎用ルート	GEN_EVENT FSUB_0 レジスタ	他のペリフェラルからサンプリング ウィンドウのコンパレータ開始点への設定可能なルート
汎用サブスクライバ イベント	サブスクライバ	その他のペリフェラル	コンパレータ	汎用ルート	GEN_EVENT FSUB_1 レジスタ	他のペリフェラルからサンプリングウィンドウのコンパレータ停止点への設定可能なルート

Copyright © 2026 Texas Instruments Incorporated

20.2.11.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

コンパレータ モジュールは、3 つの異なる割り込みソースを備えており、CPU 割り込みイベントのソースとして構成できます。以下に、コンパレータからの CPU 割り込みイベントを割り込み優先度の高い順に示します。

表 20-3. コンパレータ CPU 割り込みイベント条件 (CPU_INT)

IIDX STAT	名称	説明
0x01	COMPIFG	割り込みフラグ COMPIFG および COMPINVIFG は、コンパレータ出力の立ち上がりエッジまたは立ち下がりエッジのいずれかでセットされ、IES ビットによって選択されます。IES ビットが 0 の場合、コンパレータ出力の立ち上がりエッジで COMPIFG がセットされ、立ち下がりエッジで COMPINVIFG がセットされます。IES ビットが 1 の場合、コンパレータ出力の立ち下がりエッジで COMPIFG がセットされ、立ち上がりエッジで COMPINVIFG がセットされます。
0x02	COMPINVIFG	割り込みフラグ COMPIFG および COMPINVIFG は、コンパレータ出力の立ち上がりエッジまたは立ち下がりエッジのいずれかでセットされ、IES ビットによって選択されます。IES ビットが 0 の場合、コンパレータ出力の立ち上がりエッジで COMPIFG がセットされ、立ち下がりエッジで COMPINVIFG がセットされます。IES ビットが 1 の場合、コンパレータ出力の立ち下がりエッジで COMPIFG がセットされ、立ち上がりエッジで COMPINVIFG がセットされます。
0x03	OUTRDYIFG	コンパレータ出力準備完了割り込み。このビットは、コンパレータ出力が有効なときセットされます。

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。CPU 割り込みのイベント レジスタを構成する方法のガイダンスについては、セクション 8.2.5 を参照してください。

20.2.11.2 汎用イベント パブリッシャ (GEN_EVENT)

汎用ルートでは、イベントをパブリッシュしているコンパレータ ペリフェラルが、利用可能な複数の汎用ルート チャネルの 1 つを使用して、そのイベントを別の 1 つのエンティティ (スプリッタ ルートの場合は複数のエンティティ) にパブリッシュするように構成されています。ここでエンティティとは、別のペリフェラル、汎用 DMA トリガイベント、または汎用 CPU イベントです。

GEN_EVENT レジスタは、イベントのパブリッシュに使用するペリフェラル条件 (表 20-4) を選択するために使用されます。FPUB_1 は、パブリッシャ ポートのレジスタであり、イベントのブロードキャストに使用する汎用ルート チャネルを設定するために使用されます。別のペリフェラル、DMA、または CPU は、パブリッシャ ペリフェラルが接続されているのと同じ汎用ルート チャネルでリッスンするようにサブスクライバ ポートを設定することで、このイベントをサブスクライブできます。

たとえば、汎用イベント チャネルを使用し、コンパレータ FPUB_1 と TIM FSUB_x を同じ汎用イベント チャネルに接続することで、コンパレータ イベントからタイマ キャプチャを直接トリガできます。汎用イベント ルートの動作方法については、セクション 8.1.3.3 およびセクション 8.2.3 を参照してください。

表 20-4. コンパレータ汎用イベント条件 (GEN_EVENT)

IIDX STAT	名称	説明
0x01	COMPIFG	割り込みフラグ COMPIFG および COMPINVIFG は、コンパレータ出力の立ち上がりエッジまたは立ち下がりエッジのいずれかでセットされ、IES ビットによって選択されます。IES ビットが 0 の場合、コンパレータ出力の立ち上がりエッジで COMPIFG がセットされ、立ち下がりエッジで COMPINVIFG がセットされます。IES ビットが 1 の場合、コンパレータ出力の立ち下がりエッジで COMPIFG がセットされ、立ち上がりエッジで COMPINVIFG がセットされます。
0x02	COMPINVIFG	割り込みフラグ COMPIFG および COMPINVIFG は、コンパレータ出力の立ち上がりエッジまたは立ち下がりエッジのいずれかでセットされ、IES ビットによって選択されます。IES ビットが 0 の場合、コンパレータ出力の立ち上がりエッジで COMPIFG がセットされ、立ち下がりエッジで COMPINVIFG がセットされます。IES ビットが 1 の場合、コンパレータ出力の立ち下がりエッジで COMPIFG がセットされ、立ち上がりエッジで COMPINVIFG がセットされます。
0x03	OUTRDYIFG	コンパレータ出力準備完了割り込み。このビットは、コンパレータ出力が有効なときセットされます。

イベント レジスタの構成のガイダンスについては、セクション 8.2.5 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

20.2.11.3 汎用イベント サブスクライバ

サンプリングされた出力モードでコンパレータを使用する場合、2 つのイベント サブスクライバを使用して、サンプリングの開始および停止タイミングを設定します。

- FSUB_0 は、サンプリング開始ウィンドウ イベントが送信されるデバイス レベルの汎用イベント ルートを選択します。
- FSUB_1 は、サンプリング停止ウィンドウ イベントが送信されるデバイス レベルの汎用イベント ルートを選択します。

サンプリング ウィンドウは汎用イベント ルートに依存するため、タイマや GPIO など、汎用パブリッシャ機能を持つ任意のペリフェラル モジュールでコンパレータ サンプリング ウィンドウを設定できます。

Copyright © 2026 Texas Instruments Incorporated

20.3 COMP レジスタ

表 20-5 に、COMP レジスタのメモリマップト レジスタを示します。表 20-5 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 20-5. COMP レジスタ

オフセット	略称	レジスタ名	セクション
400h	FSUB_0	サブスクライバ ポート 0	セクション 20.3.1
404h	FSUB_1	サブスクライバ ポート 1	セクション 20.3.2
444h	FPUB_1	パブリッシャ ポート 1	セクション 20.3.3
800h	PWREN	パワー イネーブル	セクション 20.3.4
804h	RSTCTL	リセット制御	セクション 20.3.5
808h	CLKCFG	ペリフェラル クロック構成レジスタ	セクション 20.3.6
814h	STAT	ステータス レジスタ	セクション 20.3.7
1020h + 式	IIDX_j	割り込みインデックス	セクション 20.3.8
1028h + 式	IMASK_j	割り込みマスク	セクション 20.3.9
1030h + 式	RIS_j	未加工の割り込みステータス	セクション 20.3.10
1038h + 式	MIS_j	マスクされた割り込みステータス	セクション 20.3.11
1040h + 式	ISET_j	割り込みをセット	セクション 20.3.12
1048h + 式	ICLR_j	割り込みクリア	セクション 20.3.13
10E0h	EVT_MODE	イベント モード	セクション 20.3.14
10FCh	説明	モジュールの説明	セクション 20.3.15
1100h	CTL0	コントロール 0	セクション 20.3.16
1104h	CTL1	コントロール 1	セクション 20.3.17
1108h	CTL2	コントロール 2	セクション 20.3.18
110Ch	CTL3	コントロール 3	セクション 20.3.19
1120h	STAT	ステータス	セクション 20.3.20
1140h	ANACMPWKUPCTL	アナログ比較ウェークアップ制御レジスタ	セクション 20.3.21
1144h	ANACMPCTRCTL	アナログ比較カウンタ制御レジスタ	セクション 20.3.22
1148h	ANACMPDACCODE	アナログ比較 DAC コード	セクション 20.3.23
114Ch	ANACMPWD	アナログ比較のためのウィンドウ動作制御	セクション 20.3.24
1150h	ANACMPCHSTS	入力チャネル イベントの生成を示すステータス フラグ	セクション 20.3.25
1154h	ANACMPCHSTSCLR	ANACMPCHSTS ステータス レジスタのクリア レジスタ	セクション 20.3.26

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 20-6 に、このセクションでアクセス タイプに使用しているコードを示します。

表 20-6. COMP のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
RH	R H	ハードウェアによってセットまたはクリアされる の読み取り
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		

Copyright © 2026 Texas Instruments Incorporated

表 20-6. COMP のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

20.3.1 FSUB_0 レジスタ (オフセット = 400h) [リセット = 00000000h]

FSUB_0 を表 20-7 に示します。

概略表に戻ります。

サブスクライバ ポート

表 20-7. FSUB_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1 ～ 15 = channelID = CHANID に接続。 0h = 値 0 は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる場合があります。ご使用のデバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

20.3.2 FSUB_1 レジスタ (オフセット = 404h) [リセット = 00000000h]

FSUB_1 を表 20-8 に示します。

概略表に戻ります。

サブスクライバ ポート

表 20-8. FSUB_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1 ～ 15 = channelID = CHANID に接続。 0h = 値 0 は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる場合があります。ご使用のデバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

20.3.3 FPUB_1 レジスタ (オフセット = 444h) [リセット = 00000000h]

FPUB_1 を表 20-9 に示します。

概略表に戻ります。

パブリッシャ ポート

表 20-9. FPUB_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1 ～ 15 = channelID = CHANID に接続。 0h = 値 0 は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる場合があります。ご使用のデバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

20.3.4 PWREN レジスタ (オフセット = 800h) [リセット = 00000000h]

PWREN を表 20-10 に示します。

概略表に戻ります。

電力状態を制御するレジスタ

表 20-10. PWREN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R/W	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブル 1h = 電源をイネーブル

Copyright © 2026 Texas Instruments Incorporated

20.3.5 RSTCTL レジスタ (オフセット = 804h) [リセット = 00000000h]

RSTCTL を表 20-11 に示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

表 20-11. RSTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	W	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリアします
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

20.3.6 CLKCFG レジスタ (オフセット = 808h) [リセット = 00000000h]

CLKCFG を表 20-12 に示します。

概略表に戻ります。

ペリフェラル クロック構成レジスタ

表 20-12. CLKCFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	状態変更を許可するキー -- 0xA9 A9h = 書き込みを有効にするために、このレジスタへの書き込みに使用するキー値。
23-9	予約済み	R/W	0h	
8	BLOCKASYNC	R/W	0h	非同期クロック要求では、SYSOSC の開始やバス クロックの 32MHz への強制設定がブロックされます。 0h = SYSOSC を要求するために COMP を無効化 1h = SYSOSC を要求するために COMP を無効化
7-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

20.3.7 STAT レジスタ (オフセット = 814h) [リセット = 00000000h]

STAT を表 20-13 に示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

表 20-13. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされてから、ペリフェラルがリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h = 最後にビットがクリアされてからペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

20.3.8 IIDX_j レジスタ (オフセット = 1020h + 式) [リセット = 00000000h]

表 20-14 に、IIDX_j を示します。

概略表に戻ります。

割り込みインデックス レジスタ。この読み取り専用レジスタは、保留中の割り込みの中で優先度が最も高い割り込みのインデックスを提供します。また、保留中の割り込みがないことも示します。優先順位は固定されています。インデックスの値が小さいほど、優先度が高くなります。IIDX を使用する代わりに、発生したすべての割り込みを確認できる他のレジスタを使用して、独自の優先度設定方法を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、RIS と MIS の対応する割り込みフラグもクリアされます。CPU から読み取った後 (デバッグインターフェイスからではなく)、レジスタは、次に優先度の高い割り込みで更新されるか、保留中の割り込みがないことを示します。IMASK で選択された割り込みのみが示されます。

オフセット = 1020h + (j * 30h)、ここで j = 0h～1h

表 20-14. IIDX_j レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1-0	STAT	R	0h	割り込みインデックス ステータス 0h = 保留中の割り込みなし 2h = コンパレータ出力割り込み 3h = コンパレータ出力反転割り込み 4h = コンパレータ出力準備完了割り込み

Copyright © 2026 Texas Instruments Incorporated

20.3.9 IMASK_j レジスタ (オフセット = 1028h + 式) [リセット = 00000000h]

表 20-15 に、IMASK_j を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

オフセット = 1028h + (j * 30h)、ここで j = 0h～1h

表 20-15. IMASK_j レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3	OUTRDYIFG	R/W	0h	OUTRDYIFG をマスクします。 0h = 割り込みはマスクされています 1h = 割り込みで割り込みサービス ルーチンが要求され、MIS の対応するビットがセットされます
2	COMPINVIFG	R/W	0h	COMPINVIFG をマスクします 0h = 割り込みはマスクされています 1h = 割り込みで割り込みサービス ルーチンが要求され、MIS の対応するビットがセットされます
1	COMPIFG	R/W	0h	COMPIFG をマスクします 0h = 割り込みはマスクされています 1h = 割り込みで割り込みサービス ルーチンが要求され、MIS の対応するビットがセットされます
0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

20.3.10 RIS_j レジスタ (オフセット = 1030h + 式) [リセット = 00000000h]

表 20-16 に、RIS_j を示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

オフセット = 1030h + (j * 30h)、ここで j = 0h～1h

表 20-16. RIS_j レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	OUTRDYIFG	R	0h	コンパレータ出力準備完了割り込みフラグの未加工の割り込みステータス。このビットは、コンパレータ出力が有効なときセットされます。 0h = 割り込み保留なし 1h = 割り込み保留あり
2	COMPINVIFG	R	0h	コンパレータ出力反転割り込みフラグの未加工の割り込みステータス。このビットをセットするコンパレータ出力の遷移は IES ビットによって定義されます。 0h = 割り込み保留なし 1h = 割り込み保留あり
1	COMPIFG	R	0h	コンパレータ出力割り込みフラグの未加工の割り込みステータス。このビットをセットするコンパレータ出力の遷移は IES ビットによって定義されます。 0h = 割り込み保留なし 1h = 割り込み保留あり
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

20.3.11 MIS_j レジスタ (オフセット = 1038h + 式) [リセット = 00000000h]

表 20-17 に、MIS_j を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

オフセット = 1038h + (j * 30h)、ここで j = 0h～1h

表 20-17. MIS_j レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	OUTRDYIFG	R	0h	OUTRDYIFG のマスクされた割り込みステータス 0h = OUTRDYIFG は、割り込みサービス ルーチンを要求していません 1h = OUTRDYIFG は、割り込みサービス ルーチンを要求しています
2	COMPINVIFG	R	0h	COMPINVIFG のマスクされた割り込みステータス 0h = COMPINVIFG は、割り込みサービス ルーチンを要求していません 1h = COMPINVIFG は、割り込みサービス ルーチンを要求しています
1	COMPIFG	R	0h	COMPIFG のマスクされた割り込みステータス 0h = COMPIFG は、割り込みサービス ルーチンを要求していません 1h = COMPIFG は、割り込みサービス ルーチンを要求しています
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

20.3.12 ISET_j レジスタ (オフセット = 1040h + 式) [リセット = 00000000h]

表 20-18 に、ISET_j を示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

オフセット = 1040h + (j * 30h)、ここで j = 0h～1h

表 20-18. ISET_j レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	OUTRDYIFG	W	0h	RIS レジスタの OUTRDYIFG をセットします 0h = 0 を書き込んでも何もしない 1h = OUTRDYIFG に対応する RIS ビットがセットされます
2	COMPINVIFG	W	0h	RIS レジスタの COMPINVIFG を設定します 0h = 0 を書き込んでも何もしない 1h = COMPINVIFG に対応する RIS ビットがセットされます
1	COMPIFG	W	0h	RIS レジスタの COMPIFG を設定します 0h = 0 を書き込んでも何もしない 1h = COMPIFG に対応する RIS ビットがセットされます
0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

20.3.13 ICLR_j レジスタ (オフセット = 1048h + 式) [リセット = 00000000h]

表 20-19 に、ICLR_j を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

オフセット = 1048h + (j * 30h)、ここで j = 0h～1h

表 20-19. ICLR_j レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	OUTRDYIFG	W	0h	RIS レジスタの OUTRDYIFG をクリアします 0h = 0 を書き込んでも何もしない 1h = OUTRDYIFG に対応する RIS ビットがクリアされます
2	COMPINVIFG	W	0h	RIS レジスタの COMPINVIFG をクリアします 0h = 0 を書き込んでも何もしない 1h = COMPINVIFG に対応する RIS ビットがクリアされます
1	COMPIFG	W	0h	RIS レジスタの COMPIFG をクリアします 0h = 0 を書き込んでも何もしない 1h = COMPIFG に対応する RIS ビットがクリアされます
0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

20.3.14 EVT_MODE レジスタ (オフセット = 10E0h) [リセット = 00000009h]

表 20-20 に、EVT_MODE を示します。

概略表に戻ります。

イベント モード レジスタ。各ラインを無効にするか、ソフトウェア モードにするか (ソフトウェアが RIS をクリア)、またはハードウェア モードにするか (ハードウェアが RIS をクリア) を選択するために使用されます。

表 20-20. EVT_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3-2	EVT1_CFG	R	2h	none.INT_EVENT[0] に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインが無効です。 1h = イベントはソフトウェアによって処理されます。ソフトウェアで関連する RIS フラグをクリアする必要があります。 2h = イベントはハードウェアによって処理されます。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。
1-0	INT0_CFG	R	1h	none.INT_EVENT[0] に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインが無効です。 1h = イベントはソフトウェアによって処理されます。ソフトウェアで関連する RIS フラグをクリアする必要があります。 2h = イベントはハードウェアによって処理されます。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

20.3.15 DESC レジスタ (オフセット = 10FCh) [リセット = 00000000h]

DESC を表 20-21 に示します。

概略表に戻ります。

このレジスタは、ペリフェラルとその正確なバージョンを識別します。

表 20-21. DESC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	611h	モジュール識別には、固有のペリフェラル識別番号が含まれています。一意性を確保するため、すべてのプラットフォーム モジュールの割り当ては中央のデータベースに保持されます。
15-12	FEATUREVER	R	0h	モジュール *インスタンス*の機能セット
11-8	予約済み	R	0h	
7-4	MAJREV	R	0h	IP のメジャー リビジョン
3-0	MINREV	R	0h	IP のマイナー リビジョン

Copyright © 2026 Texas Instruments Incorporated

20.3.16 CTL0 レジスタ (オフセット = 1100h) [リセット = 00000000h]

CTL0 を表 20-22 に示します。

概略表に戻ります。

制御レジスタ 0。

表 20-22. CTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	IMEN	R/W	0h	コンパレータの負端子のチャネル入力の有効化。 0h = 負端子に選択されたアナログ入力チャネルは無効になります 1h = 負端子に選択されたアナログ入力チャネルは有効になります
30-19	予約済み	R/W	0h	
18-16	IMSEL	R/W	0h	IMEN が 1 に設定されている場合、コンパレータの負端子のチャネル入力を選択します。 0h = チャネル 0 を選択 1h = チャネル 1 を選択 2h = チャネル 2 を選択 3h = チャネル 3 を選択 4h = チャネル 4 を選択 5h = チャネル 5 を選択 6h = チャネル 6 を選択 7h = チャネル 7 を選択
15	IPEN	R/W	0h	コンパレータの正端子のチャネル入力の有効化。 0h = 正端子に選択されたアナログ入力チャネルは無効になります 1h = 正端子に選択されたアナログ入力チャネルは有効になります
14-3	予約済み	R/W	0h	
2-0	IPSEL	R/W	0h	IPEN が 1 に設定されている場合、コンパレータの正端子のチャネル入力を選択します。 0h = チャネル 0 を選択 1h = チャネル 1 を選択 2h = チャネル 2 を選択 3h = チャネル 3 を選択 4h = チャネル 4 を選択 5h = チャネル 5 を選択 6h = チャネル 6 を選択 7h = チャネル 7 を選択

Copyright © 2026 Texas Instruments Incorporated

20.3.17 CTL1 レジスタ (オフセット = 1104h) [リセット = 00000000h]

CTL1 を表 20-23 に示します。

概略表に戻ります。

制御レジスタ 1。

表 20-23. CTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R/W	0h	
12	WINCOMPEN	R/W	0h	このビットは、コンパレータのウィンドウ コンパレータ動作を有効にします。 0h = ウィンドウ コンパレータは無効です 1h =ウィンドウ コンパレータは有効です
11	DACOUTEN	R/W	0h	このビットは、ピンへの DAC8 出力接続を有効にします。 0h = ピンへの DAC8 出力接続を無効にします。 1h = ピンへの DAC8 出力接続を有効にします。
10-9	FLTDLY	R/W	0h	これらのビットは、コンパレータ出力のフィルタ遅延を選択します。フィルタ遅延設定に対するコンパレータ伝搬遅延の具体的な値については、該当するデバイスのデータシートを参照してください。 0h =代表的なフィルタ遅延 70ns 1h =代表的なフィルタ遅延 500ns 2h =代表的なフィルタ遅延 1200ns 3h =代表的なフィルタ遅延 2700ns
8	FLTEN	R/W	0h	このビットは、コンパレータ出力のアナログ フィルタを有効にします。 0h = コンパレータ出力フィルタは無効です 1h = コンパレータ出力フィルタは有効です
7	OUTPOL	R/W	0h	このビットは、コンパレータ出力の極性を選択します。 0h = コンパレータ出力は反転されていません 1h = コンパレータ出力は反転されています
6-5	HYST	R/W	0h	これらのビットは、コンパレータのヒステリシス設定を選択します。 0h = ヒステリシスなし 1h = 低ヒステリシス、標準値 10mV 2h = 中ヒステリシス、標準値 20mV 3h = 高ヒステリシス、標準値 30mV
4	IES	R/W	0h	このビットは COMPIFG と COMPINVIFG の割り込みエッジを選択します。 0h = 立ち上がりエッジで COMPIFG がセットされ、立ち下がりエッジで COMPINVIFG がセットされます 1h = 立ち下がりエッジで COMPIFG がセットされ、立ち上がりエッジで COMPINVIFG がセットされます
3	SHORT	R/W	0h	このビットは、コンパレータの正および負の入力端子を短絡します。 0h = コンパレータの正および負の入力端子は短絡していません 1h = コンパレータの正および負の入力端子が短絡しています
2	EXCH	R/W	0h	このビットは、コンパレータ入力を交換し、コンパレータ出力を反転します。 0h = コンパレータ入力は交換されず、出力は反転されません 1h = コンパレータ入力は交換され、出力は反転されます
1	モード	R/W	0h	このビットは、コンパレータの動作モードを選択します。 0h = コンパレータは高速モード 1h = コンパレータは超低消費電力モード
0	イネーブル	R/W	0h	このビットは、コンパレータをオンにします。コンパレータがオフのとき、消費電力は発生しません。 0h = コンパレータはオフ 1h = コンパレータはオン

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

20.3.18 CTL2 レジスタ (オフセット = 1108h) [リセット = 00000000h]

CTL2 を表 20-24 に示します。

概略表に戻ります。

制御レジスタ 2。

表 20-24. CTL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R/W	0h	
24	SAMPMODE	R/W	0h	コンパレータのサンプリング モードを有効にします。 0h = サンプリング モードは無効 1h = サンプリング モードは有効
23-18	予約済み	R/W	0h	
17	DACSW	R/W	0h	DACCTL ビットが 1 の場合、このビットは DACCODE0 と DACCODE1 のいずれかを 8 ビット DAC に選択します。 0h = 8 ビット DAC に DACCODE0 を選択 1h = 8 ビット DAC に DACCODE1 を選択
16	DACCTL	R/W	0h	このビットは、コンパレータ出力または DACSW ビットが DACCODE0 と DACCODE1 の選択を制御するかどうかを示します。 0h = コンパレータ出力が DACCODE0 と DACCODE1 の選択を制御します 1h = DACSW ビットが、DACCODE0 と DACCODE1 の選択を制御します
15-11	予約済み	R/W	0h	
10-8	BLANKSRC	R/W	0h	これらのビットは、コンパレータのブランキング ソースを選択します。 0h = ブランキング ソースは無効 1h = ブランキング ソース 1 を選択 2h = ブランキング ソース 2 を選択 3h = ブランキング ソース 3 を選択 4h = ブランキング ソース 4 を選択 5h = ブランキング ソース 5 を選択 6h = ブランキング ソース 6 を選択
7	REFSEL	R/W	0h	このビットは、選択された基準電圧をコンパレータの正端子と負端子のどちらに印加するかを選択します。 0h = EXCH ビットが 0 の場合、選択された基準電圧を正端子に印加します。 EXCH ビットが 1 の場合、選択された基準電圧は負端子に印加されます。 1h = EXCH ビットが 0 の場合、選択された基準電圧を負端子に印加します。 EXCH ビットが 1 の場合、選択された基準電圧を正端子に印加します。
6	予約済み	R/W	0h	
5-3	REFSRC	R/W	0h	これらのビットは、コンパレータの基準電圧源を選択します。 0h = 基準電圧ジェネレータは無効 (ローカル リファレンス バッファと DAC も無効)。 1h = VDDA を DAC への基準電圧源として選択し、DAC 出力をコンパレータの基準電圧として印加します。 2h = VREF を DAC への基準電圧源として選択し、DAC 出力をコンパレータのリファレンスとして印加します。 3h = 内部 VREF がバッファされ、外部 VREF ピンへ配線されているデバイスでは、VREF をコンパレータの基準電圧として印加します。DAC はオフになります。 5h = VDDA をコンパレータの基準電圧として使用します。 6h = 内部基準電圧を DAC への基準電圧源として選択し、DAC 出力をコンパレータの基準電圧として印加します。 7h = 内部 VREF をコンパレータの基準電圧源として使用します。すべてのデバイスにこのオプションがあるわけではありません。
2-1	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

表 20-24. CTL2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	REFMODE	R/W	0h	このビットは、高速モード (スタティック) または低消費電力モード (サンプリング) での ULP_REF バンドギャップ動作を要求します。ローカル リファレンス バッファと、コンパレータ モジュール内の 8 ビット DAC もそれに応じて構成されます。 高速モード動作では、精度は向上しますが、消費電流は大きくなります。低消費電力動作では、消費電流は小さくなりますが、基準電圧の精度は粗くなります。コンパレータは、REFLVL > 0 の場合のみ、ULP_REF からの基準電圧を要求します。 0h = ULP_REF バンドギャップ、ローカル リファレンス バッファ、コンパレータ内の 8 ビット DAC はスタティック モードで動作します。 1h = ULP_REF バンドギャップ、ローカル リファレンス バッファ、コンパレータ内の 8 ビット DAC はサンプリング モードで動作します。

Copyright © 2026 Texas Instruments Incorporated

20.3.19 CTL3 レジスタ (オフセット = 110Ch) [リセット = 00000000h]

CTL3 を表 20-25 に示します。

概略表に戻ります。

制御レジスタ 3。

表 20-25. CTL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R/W	0h	
23-16	DACCODE1	R/W	0h	これは、2 番目の 8 ビット DAC コードです。DAC コードが 0x0 の場合、DAC 出力は基準電圧 x 1/256V になり、DAC コードが 0xFF の場合、DAC 出力は基準電圧 x 255/256V になります。 0h = DAC コードの最小値 FFh = DAC コードの最小値
15-8	予約済み	R/W	0h	
7-0	DACCODE0	R/W	0h	これは、最初の 8 ビット DAC コードです。DAC コードが 0x0 の場合、DAC 出力は基準電圧 x 1/256V になり、DAC コードが 0xFF の場合、DAC 出力は基準電圧 x 255/256V になります。 0h = DAC コードの最小値 FFh = DAC コードの最小値

Copyright © 2026 Texas Instruments Incorporated

20.3.20 STAT レジスタ (オフセット = 1120h) [リセット = 00000000h]

STAT を表 20-26 に示します。

概略表に戻ります。

ステータス レジスタ。

表 20-26. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	OUT	R	0h	このビットは、コンパレータ出力の値を反映します。このビットへの書き込みは、コンパレータの出力に影響しません。 0h = コンパレータ出力は Low 1h = コンパレータ出力は High

Copyright © 2026 Texas Instruments Incorporated

20.3.21 ANACMPWKUPCTL レジスタ (オフセット = 1140h) [リセット = 00000000h]

表 20-27 に、ANACMPWKUPCTL を示します。

概略表に戻ります。

アナログ比較ウェークアップ制御レジスタ

表 20-27. ANACMPWKUPCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	アナログ比較ウェークアップ有効化ビット	R/W	0h	0:アナログ比較ウェークアップは無効です (既存の IP との後方互換のため) 1:アナログ比較機能は有効です

Copyright © 2026 Texas Instruments Incorporated

20.3.22 ANACMPCTRCTL レジスタ (オフセット = 1144h) [リセット = 00000000h]

表 20-28 に、ANACMPCTRCTL を示します。

概略表に戻ります。

アナログ比較カウンタ制御レジスタ

表 20-28. ANACMPCTRCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R/W	0h	
11-8	CMPPRD	R/W	0h	比較期間
7-0	BLKCMPPRD	R/W	0h	ブランキング期間と比較期間

Copyright © 2026 Texas Instruments Incorporated

20.3.23 ANACMPDACCODE レジスタ (オフセット = 1148h) [リセット = 00000000h]

表 20-29 に、ANACMPDACCODE を示します。

概略表に戻ります。

アナログ比較 DAC コード

表 20-29. ANACMPDACCODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	IP3DACCODE	R/W	0h	Input3 の DAC コード値
23-16	IP2DACCODE	R/W	0h	Input2 の DAC コード値
15-8	IP1DACCODE	R/W	0h	Input1 の DAC コード値
7-0	IP0DACCODE	R/W	0h	Input0 の DAC コード値

Copyright © 2026 Texas Instruments Incorporated

20.3.24 ANACMPWD レジスタ (オフセット = 114Ch) [リセット = 00000000h]

表 20-30 に、ANACMPWD を示します。

概略表に戻ります。

アナログ比較のためのウィンドウ動作制御

表 20-30. ANACMPWD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R/W	0h	
2-1	INMUXSEL_WD	R/W	0h	ウィンドウモードの入力マルチプレクサ (スタティック) の選択
0	WDEN	R/W	0h	0:ウィンドウ モードは無効 1: ウィンドウ モードは有効

Copyright © 2026 Texas Instruments Incorporated

20.3.25 ANACMPCHSTS レジスタ (オフセット = 1150h) [リセット = 00000000h]

表 20-31 に、ANACMPCHSTS を示します。

概略表に戻ります。

入力チャネル イベントの生成を示すステータス フラグ

表 20-31. ANACMPCHSTS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	IN3EVT	R	0h	Input3 によりイベントが発生
2	IN2EVT	R	0h	Input2 によりイベントが発生
1	IN1EVT	R	0h	Input1 によりイベントが発生
0	IN0EVT	RH	0h	Input0 によりイベントが発生

Copyright © 2026 Texas Instruments Incorporated

20.3.26 ANACMPCHSTSCLR レジスタ (オフセット = 1154h) [リセット = 00000000h]

表 20-32 に、ANACMPCHSTSCLR を示します。

概略表に戻ります。

ANACMPCHSTS ステータス レジスタのクリア レジスタ

表 20-32. ANACMPCHSTSCLR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	IN3EVTCLR	W	0h	1 を書き込むと、対応する割り込みがクリアされます。
2	IN2EVTCLR	W	0h	1 を書き込むと、対応する割り込みがクリアされます。
1	IN1EVTCLR	W	0h	1 を書き込むと、対応する割り込みがクリアされます。
0	IN0EVTCLR	W	0h	1 を書き込むと、対応する割り込みがクリアされます。

Copyright © 2026 Texas Instruments Incorporated

Chapter 21

UNICOMM

UNICOMM モジュールは、UART、I^2C、および SPI をサポートし、実行時に設定可能なペリフェラルです。

21.1 概要 1157
21.2 Unicomm のアーキテクチャ 1159
21.3 ハイレベル初期化 1161
21.4 UNICOMM/SPGSS レジスタ 1161

Copyright © 2026 Texas Instruments Incorporated

21.1 概要

UNICOMM は、UART、SPI、I2C など、複数の標準シリアル通信プロトコルで動作可能な統合シリアル通信ペリフェラルです。レジスタ設定により、IPMODE フィールドを使用して、各 UNICOMM ペリフェラル インスタンスで使用するプロトコルを選択します。UNICOMM インスタンスは、一度に一つのプロトコル モードにしか設定できません。

各 UNICOMM インスタンスは、次のいずれかのモードで動作するように構成できます:

- UART – ユニバーサル非同期レシーバ / トランスミッタ
- SPI – シリアル ペリフェラル インターフェイス
- I2CC – IC コントローラ
- I2CT – IC ターゲット

本書では、特定の UNICOMM インスタンスを示す略称として UCx を使用します。ここで、x は各インスタンスに固有の番号を表します。個々の UNICOMM インスタンスは、I2C ペアリングなどの高レベル構成用に、指定されたスケーラブル ペリフェラル グループ (SPG) にグループ化されています。各グループ化では、名前付けスキーム SPGx (または UNICOMM レジスタ ブロック内の Sx) が使用されます。x は、UNICOMM インスタンスが属するグループ番号インデックスを表します。

デバイスで使用可能な UNICOMM および SPG インスタンスはそれぞれ異なるため、使用可能なインスタンスと構成の正確な表現については、デバイス固有のデータシートを参照するのが最適です。各 UNICOMM インスタンスは、対応する電源ドメインや、ダイレクト メモリ アクセス (DMA) をサポートするかどうかも異なります。表 21-1 に、固有の UNICOMM インスタンスごとに使用可能な構成オプションとペリフェラル タイプを示します。デバイス固有のデータシートには、各 UCx インスタンスがどの SPGx インデックスにグループ化されているかが記載されています。

表 21-1. インスタンス別に利用可能な UNICOMM 構成

パワー ドメイン	UNICOMM インスタンス (UCx)	使用可能なペリフェラル タイプ				DMA のサポート
		UART	SPI	I2C コントローラ	I2C ターゲット	
PD0	UC0	高度	-	高度	高度	Y
	UC1	Basic + LIN	-	高度	高度	Y
	UC4	高度	基本	-	-	Y
	UC5	Minimum + Lin	-	高度	高度	Y
	UC6	-	-	高度	-	Y
	UC7	-	-	-	高度	Y
	UC10	高度	-	-	-	Y
	UC16	高度	基本	高度	高度	Y
	UC17	Basic + LIN	基本	高度	高度	Y

Copyright © 2026 Texas Instruments Incorporated

表 21-1. インスタンス別に利用可能な UNICOMM 構成 (続き)

パワードメイン	UNICOMM インスタンス (UCx)	使用可能なペリフェラル タイプ				DMA のサポート
		UART	SPI	I2C コントローラ	I2C ターゲット	
PD1	UC2	-	高度	-	-	Y
	UC3	基本	基本	-	-	Y
	UC8	最小	基本	-	-	N
	UC9	Minimum + LIN	-	-	-	N
	UC11	最小	-	-	-	N
	UC12	高度	-	-	-	Y
	UC13	基本	基本	最小	最小	Y
	UC14	Basic + LIN	-	高度	高度	Y
	UC15	-	-	高度	高度	Y
	UC18	Basic + LIN	高度	-	-	Y
	UC19	Basic + LIN	-	高度	高度	Y

この章では、設定されている IPMODE に関係なく、すべての UNICOMM インスタンスで共通するすべての機能と構成について説明します。これには、FIFO 操作、UNICOMM インスタンスの有効化とリセット、汎用送受信シーケンス、UNICOMM の汎用初期化シーケンスが含まれます。

各 UNICOMM プロトコル モードの詳細な動作およびプロトコル固有の動作については、以下の各専用章で説明します:

- UART -UNICOMM UART
- SPI -UNICOMM-SPI
- I2CC/I2CT -UNICOMM-I2C

Copyright © 2026 Texas Instruments Incorporated

21.1.1 ブロック図

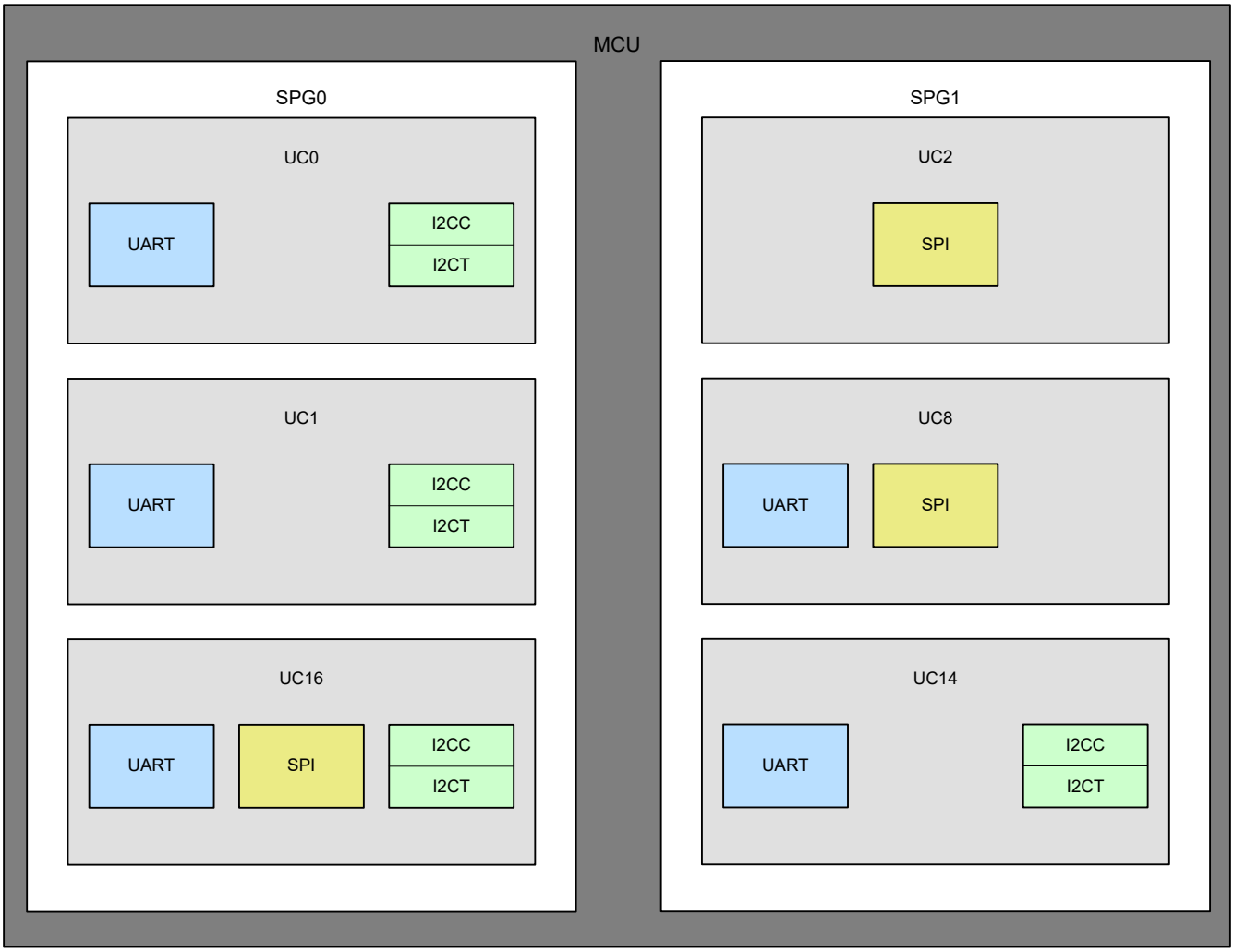


図 21-1. UNICOMM のブロック図

21.2 Unicomm のアーキテクチャ

21.2.1 シリアル ペリフェラル グループ (SPG) の構成

スケーラブル ペリフェラル グループ (SPG) レベルの設定には、、SMBUS プロトコルに準拠した I2C ペアリング動作、ならびにマルチ コントローラ システムが含まれます。

注

ループバックまたは I2C ペアリング テスト機能のいずれかを採用しないユーザーは、イネーブルおよびリセットに進みます。

21.2.1.1 I2C ペアリング

I2C ペアリングは、コントローラ ターゲットのペアを単一の外部バスに接続する特殊な I2C モードをサポートしています。SMBus/PMBus などのマルチコントローラ構成とプロトコルには、このセットアップが必要です。以下の二つの条件を両方とも満たす場合、二つの UNICOMM インスタンス間で I2C ペアリングを利用できます:

1. どちらの UNICOMM モジュールも、IPMODE レジスタで I2C 通信用に構成されています。コントローラとターゲットのペアリングがサポートされています。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

2. 両方の UNICOMM モジュールが同じ SPG インスタンスに属しています。*Unicomm Block Diagram* をチェックして、UNICOMM インスタンスがどの SPG インスタンスに属しているかを確認します。

I2C ペアリングでは、同一の SPGSS 内にある二つの UNICOMM インスタンス間で、SDA-SDA 間および SCL-SCL 間を接続し、外部ピン インターフェイスでは一組の SDA/SCL ピンを共有します。I2C ペアリングの制御は、PAIR0 レジスタを介して設定します。

SPG 内で I2C ペアを作成するには、次の手順に従います:

1. ループバックで最初の I2C (コントローラ) として使用する UNICOMM を選択し、その UNICOMM インスタンスの SPG 内でのローカル インデックス番号を確認します。
2. ループバックで二番目の I2C (ターゲット) として使用する UNICOMM を選択し、SPG で UNICOMM インスタンスのローカル インデックス番号を見つけます。
3. 最初の UNICOMM インデックスを PAIR0.CTL に書き込みます
4. 二番目の UNICOMM インデックスを PAIR0.target に書き込みます
5. PAIR0.EN に「1」を書き込んでループバックをイネーブルにします

注

UNICOMM インスタンスの *local* インデックス番号は、各デバイスのデータシートの「UNICOMM 詳細説明」セクションに掲載されています。例:SPG1 には、合計二つの UNICOMM インスタンス (UC2 および UC3) が含まれている場合があります。UC2 は SPG1 モジュール内で最も小さい UNICOMM インスタンス番号であるため、ローカル インデックス値は「0」になります。

I2C ペアリング機能により、外部ピンへの接続を維持しながら、二つの UNICOMM モジュール間でコントローラとターゲットの関係を実現できます。

I2C ペアが有効化されている場合:

- PAIR.TARGET で指定された UNICOMM モジュールからの SDA/SCL 信号は、デバイス ピンへ能動的に伝達されます

- PAIR.CTL で指定された UNICOMM モジュールの SDA/SCL 信号は、モジュール内部のロジックによって自動的にアイドル状態に駆動されます

この構成により、ターゲット モジュールはバスの競合を防止しながら物理 I2C バスを制御できます。PAIR.CTL モジュールのピンは内部でアイドル状態に駆動されますが、必要に応じて、デバイスのピンのマルチプレクシング (pinmux) 設定によってこれらの物理ピンを再割り当てし、ほかのペリフェラル モジュールの別機能に使用することもできます。

21.2.2 イネーブルおよびリセット

各 UNICOMM インスタンス (UCx) には、UNICOMM_REGS レジスタ グループに専用のリセットおよびイネーブル ビット フィールドがあります。

UNICOMM インスタンスは、RSTCTL.RESETASSERT ビットに 1 を RSTCTL の KEY と一緒に書き込むことでリセットできます。このフィールドに書き込むと、UCx モジュールの完全なリセットが実行されます。

- すべての構成レジスタをデフォルト値に復元します
- すべての内部状態情報をクリアします
- すべての FIFO バッファを空にします

UCx モジュールがリセットされると、STAT.RESETKY ビットが設定されます。RESETKY ビットをクリアするには、RSTCTL.RESETSTKYCLR ビットに書き込みを行います。これにより、次のリセットが実行されるまで RESETKY ビットは設定されなくなります。

UNICOMM インスタンスは、PWREN.ENABLE ビットを設定することで、UCx レベルでイネーブルにできます。UC ペリフェラル固有レジスタのクロックは、この PWREN.ENABLE ビットがセットされるまでイネーブルされません。したがって、PWREN.ENABLE ビットをアサートした後で、IPMODE 構成を構成する必要があります。

Copyright © 2026 Texas Instruments Incorporated

最初に IPMODE レジスタで適切なプロトコル モードを設定してモジュールを設定してから、特定の構成値を対応するプロトコル レジスタに書き込みます。

21.3 ハイレベル初期化

以下に、UNICOMM インスタンスを構成するための一般的な初期化手順と、ソフトウェアがこれらの手順を実行する際の推奨順序を示します。ペリフェラル固有の初期化を、それぞれのセクションに示します。

1. まず、UNICOMM レジスタの RSCTL.RESETASSERT レジスタ ビットをセットして、UNICOMM インスタンスをリセットします。
2. KEY フィールドに「0h26」を書き込み、UNICOMM レジスタの PWREN レジスタの EN ビットを設定して、UNICOMM インスタンスへの電源供給を有効にします。
3. UNICOMM レジスタの IPMODE.SELECT フィールドの UCx インスタンスのペリフェラル モードを設定し、UART、SPI、I2C コントローラ、または I2C ターゲットとして動作します。
4. (オプション) 同一 SPG 内の二つの UCx モジュール間で、SPG レジスタのモジュール間内部ループバック / ペアリング設定を構成します。UNICOMM ブロック図を参照して、UCx ペアリングが SPG モジュール内でどのように利用できるかを理解してください。
   a. LPBK0 レジスタ フィールドでループバック ペア (SPG モジュールごとに最大一ペア) を設定します。
   b. PAIR0 レジスタ フィールドで I2C ペア (SPG モジュールごとに最大一ペア) を構成します。
5. IOMUX レジスタのペリフェラル構成で使用される各 GPIO のピン機能を有効にします。
6. *UNICOMM-UART Registers* / *UNICOMM-SPI Registers* / *UNICOMM-I2C Registers* で、以下の設定を構成します。
   a. UNICOMM モジュールへのクロック供給を有効にするには、CLKSEL レジスタでクロック ソースを設定し、UNICOMM の機能クロックを選択します。
   b. CLKDIV.RATIO レジスタ フィールドで、UNICOMM インスタンスのペリフェラル固有の機能クロックのクロック デバイダを構成します。これにより、特定の UNICOMM インスタンス クロックごとに UNICOMM クロックソース全体を分周する量が決定されます。
   c. CPU_INT.IMASK レジスタでペリフェラルの割り込みマスクを構成します。
   d. PDBGCTL レジスタのペリフェラルのエミュレーション モードを設定します。
   e. ペリフェラル固有の初期化の実行 (例:SPI ペリフェラルとコントローラモードの比較、UART のボーレートなど) 「UART の初期化」、「SPI の初期化」、「I2C コントローラの初期化」、「I2C ターゲットの初期化」の章の詳細な手順に従います。

21.4 UNICOMM/SPGSS レジスタ

21.4.1 UNICOMM レジスタ

このセクションでは、UNICOMM レジスタについて説明します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

21.4.1.1 UNICOMM レジスタ

UNICOMM レジスタのメモリ マップト レジスタを表 21-2 に示します。表 21-2 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 21-2. UNICOMM レジスタ

オフセット	略称	レジスタ名	グループ	セクション
800h	PWREN	パワー イネーブル		表示
804h	RSTCTL	リセット制御		表示
808h	CLKCFG	ペリフェラル クロック構成レジスタ		表示
814h	STAT	ステータス レジスタ		表示
1100h	IPMODE	モード選択レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 21-3 に、このセクションでアクセス タイプに使用しているコードを示します。

表 21-3. UNICOMM アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

21.4.1.1.1 PWREN (オフセット = 800h) [リセット = 00000000h]

図 21-2 に、PWREN を示し、表 21-4 に、その説明を示します。

概略表に戻ります。

電力状態を制御するためのレジスタ

図 21-2. PWREN

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R-0h							R/WK-0h

表 21-4. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するためのキー
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、キーを 26h に設定する必要があります。 0h = 電力をディスエーブル 1h = 電力をイネーブル

Copyright © 2026 Texas Instruments Incorporated

21.4.1.1.2 RSTCTL (オフセット = 804h) [リセット = 00000000h]

図 21-3 に、RSTCTL を示し、表 21-5 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するためのレジスタ

図 21-3. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
R-0h						WK-0h	WK-0h

表 21-5. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するためのキー
23-2	予約済み	R	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、キーを B1h に設定する必要があります。 0h = 0 を書き込んでも何もしません 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、キーを B1h に設定する必要があります。 0h = 0 を書き込んでも何もしません 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

21.4.1.1.3 CLKCFG (オフセット = 808h) [リセット = 00000000h]

図 21-4 に、CLKCFG を示し、表 21-6 に、その説明を示します。

概略表に戻ります。

ペリフェラル クロック構成レジスタ

図 21-4. CLKCFG

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							BLOCKASYNC
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 21-6. CLKCFG フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	状態変更を許可するキー -- 0xA9 A9h = GPRCM の変更フィールドを許可するキー値
23-9	予約済み	R	0h	
8	BLOCKASYNC	R/W	0h	非同期クロック要求は、SYSOSC を開始するか、バス クロックを 32MHz へ強制的に供給するかブロックされます 0h = 非同期クロック要求をブロックしません 1h = 非同期クロック要求をブロックします
7-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

21.4.1.1.4 STAT (オフセット = 814h) [リセット = 00000000h]

図 21-5 に、STAT を示し、表 21-7 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 21-5. STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 21-7. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされているため、ペリフェラルがリセットされていたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされたので、ペリフェラルはリセットされていない 1h = 最後のビットがクリアされた後にペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

21.4.1.1.5 IPMODE (オフセット = 1100h) [リセット = 00000000h]

図 21-6 に、IPMODE を示し、表 21-8 に、その説明を示します。

概略表に戻ります。

動作モード - UART/I2C コントローラ / I2C ペリフェラル / SPI の選択に使用します

図 21-6. IPMODE

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														選択	
R-0h														R/W-0h	

表 21-8. IPMODE フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1-0	選択	R/W	0h	フリー ラン制御 0h = デフォルト機能、UART モードの UNICOMM 1h = UNICOMM (SPI モード) 2h = UNICOMM (I2C コントローラ モード) 3h = UNICOMM (I2C ペリフェラル / ターゲット モード)

21.4.2 SPG レジスタ

このセクションでは、SPG レジスタについて説明します。

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1 SPGSS レジスタ

表 21-9 に、SPGSS レジスタのメモリマップト レジスタを示します。表 21-9 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 21-9. SPGSS レジスタ

オフセット	略称	レジスタ名	グループ	セクション
1C0h	PAIR0	マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング		表示
1C4h	PAIR1	マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング		表示
1C8h	PAIR2	マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング		表示
1CCh	PAIR3	マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング		表示
1D0h	PAIR4	マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング		表示
1D4h	PAIR5	マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング		表示
1D8h	PAIR6	マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング		表示
1DCh	PAIR7	マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 21-10 に、このセクションでアクセス タイプに使用しているコードを示します。

表 21-10. SPGSS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1.1 PAIR0 (オフセット = 1C0h) [リセット = 00000000h]

図 21-7 に、PAIR0 を示し、表 21-11 に、その説明を示します。

概略表に戻ります。

マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング

図 21-7. PAIR0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ターゲット				CTL				予約済み							EN
R/W-0h				R/W-0h				R-0h							R/W-0h

表 21-11. PAIR0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	ターゲット	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはターゲットとして扱われます 0h = ループバック用の UNICOMM ペリフェラル / ターゲット。 1h = ループバック用の UNICOMM ペリフェラル / ターゲット。 2h = ループバック用の UNICOMM ペリフェラル / ターゲット。 3h = ループバック用の UNICOMM ペリフェラル / ターゲット。 4h = ループバック用の UNICOMM ペリフェラル / ターゲット。 5h = ループバック用の UNICOMM ペリフェラル / ターゲット。 6h = ループバック用の UNICOMM ペリフェラル / ターゲット。 7h = ループバック用の UNICOMM ペリフェラル / ターゲット。 8h = ループバック用の UNICOMM ペリフェラル / ターゲット。 9h = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ah = ループバック用の UNICOMM ペリフェラル / ターゲット。 Bh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ch = ループバック用の UNICOMM ペリフェラル / ターゲット。 Dh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Eh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Fh = ループバック用の UNICOMM ペリフェラル / ターゲット。
11-8	CTL	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはコントローラとして扱われます。 0h = ループバック用の UNICOMM コントローラ。 1h = ループバック用の UNICOMM コントローラ。 2h = ループバック用の UNICOMM コントローラ。 3h = ループバック用の UNICOMM コントローラ。 4h = ループバック用の UNICOMM コントローラ。 5h = ループバック用の UNICOMM コントローラ。 6h = ループバック用の UNICOMM コントローラ。 7h = ループバック用の UNICOMM コントローラ。 8h = ループバック用の UNICOMM コントローラ。 9h = ループバック用の UNICOMM コントローラ。 Ah = ループバック用の UNICOMM コントローラ。 Bh = ループバック用の UNICOMM コントローラ。 Ch = ループバック用の UNICOMM コントローラ。 Dh = ループバック用の UNICOMM コントローラ。 Eh = ループバック用の UNICOMM コントローラ。 Fh = ループバック用の UNICOMM コントローラ。
7-1	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 21-11. PAIR0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN	R/W	0h	イネーブル 0h = 無効化 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1.2 PAIR1 (オフセット = 1C4h) [リセット = 00000000h]

図 21-8 に、PAIR1 を示し、表 21-12 に、その説明を示します。

概略表に戻ります。

マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング

図 21-8. PAIR1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ターゲット				CTL				予約済み							EN
R/W-0h				R/W-0h				R-0h							R/W-0h

表 21-12. PAIR1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	ターゲット	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはターゲットとして扱われます 0h = ループバック用の UNICOMM ペリフェラル / ターゲット。 1h = ループバック用の UNICOMM ペリフェラル / ターゲット。 2h = ループバック用の UNICOMM ペリフェラル / ターゲット。 3h = ループバック用の UNICOMM ペリフェラル / ターゲット。 4h = ループバック用の UNICOMM ペリフェラル / ターゲット。 5h = ループバック用の UNICOMM ペリフェラル / ターゲット。 6h = ループバック用の UNICOMM ペリフェラル / ターゲット。 7h = ループバック用の UNICOMM ペリフェラル / ターゲット。 8h = ループバック用の UNICOMM ペリフェラル / ターゲット。 9h = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ah = ループバック用の UNICOMM ペリフェラル / ターゲット。 Bh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ch = ループバック用の UNICOMM ペリフェラル / ターゲット。 Dh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Eh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Fh = ループバック用の UNICOMM ペリフェラル / ターゲット。
11-8	CTL	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはコントローラとして扱われます。 0h = ループバック用の UNICOMM コントローラ。 1h = ループバック用の UNICOMM コントローラ。 2h = ループバック用の UNICOMM コントローラ。 3h = ループバック用の UNICOMM コントローラ。 4h = ループバック用の UNICOMM コントローラ。 5h = ループバック用の UNICOMM コントローラ。 6h = ループバック用の UNICOMM コントローラ。 7h = ループバック用の UNICOMM コントローラ。 8h = ループバック用の UNICOMM コントローラ。 9h = ループバック用の UNICOMM コントローラ。 Ah = ループバック用の UNICOMM コントローラ。 Bh = ループバック用の UNICOMM コントローラ。 Ch = ループバック用の UNICOMM コントローラ。 Dh = ループバック用の UNICOMM コントローラ。 Eh = ループバック用の UNICOMM コントローラ。 Fh = ループバック用の UNICOMM コントローラ。
7-1	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 21-12. PAIR1 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN	R/W	0h	イネーブル 0h = 無効化 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1.3 PAIR2 (オフセット = 1C8h) [リセット = 00000000h]

図 21-9 に、PAIR2 を示し、表 21-13 に、その説明を示します。

概略表に戻ります。

マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング

図 21-9. PAIR2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ターゲット				CTL				予約済み							EN
R/W-0h				R/W-0h				R-0h							R/W-0h

表 21-13. PAIR2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	ターゲット	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはターゲットとして扱われます 0h = ループバック用の UNICOMM ペリフェラル / ターゲット。 1h = ループバック用の UNICOMM ペリフェラル / ターゲット。 2h = ループバック用の UNICOMM ペリフェラル / ターゲット。 3h = ループバック用の UNICOMM ペリフェラル / ターゲット。 4h = ループバック用の UNICOMM ペリフェラル / ターゲット。 5h = ループバック用の UNICOMM ペリフェラル / ターゲット。 6h = ループバック用の UNICOMM ペリフェラル / ターゲット。 7h = ループバック用の UNICOMM ペリフェラル / ターゲット。 8h = ループバック用の UNICOMM ペリフェラル / ターゲット。 9h = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ah = ループバック用の UNICOMM ペリフェラル / ターゲット。 Bh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ch = ループバック用の UNICOMM ペリフェラル / ターゲット。 Dh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Eh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Fh = ループバック用の UNICOMM ペリフェラル / ターゲット。
11-8	CTL	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはコントローラとして扱われます。 0h = ループバック用の UNICOMM コントローラ。 1h = ループバック用の UNICOMM コントローラ。 2h = ループバック用の UNICOMM コントローラ。 3h = ループバック用の UNICOMM コントローラ。 4h = ループバック用の UNICOMM コントローラ。 5h = ループバック用の UNICOMM コントローラ。 6h = ループバック用の UNICOMM コントローラ。 7h = ループバック用の UNICOMM コントローラ。 8h = ループバック用の UNICOMM コントローラ。 9h = ループバック用の UNICOMM コントローラ。 Ah = ループバック用の UNICOMM コントローラ。 Bh = ループバック用の UNICOMM コントローラ。 Ch = ループバック用の UNICOMM コントローラ。 Dh = ループバック用の UNICOMM コントローラ。 Eh = ループバック用の UNICOMM コントローラ。 Fh = ループバック用の UNICOMM コントローラ。
7-1	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 21-13. PAIR2 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN	R/W	0h	イネーブル 0h = 無効化 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1.4 PAIR3 (オフセット = 1CCh) [リセット = 00000000h]

図 21-10 に、PAIR3 を示し、表 21-14 に、その説明を示します。

概略表に戻ります。

マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング

図 21-10. PAIR3

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ターゲット				CTL				予約済み							EN
R/W-0h				R/W-0h				R-0h							R/W-0h

表 21-14. PAIR3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	ターゲット	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはターゲットとして扱われます 0h = ループバック用の UNICOMM ペリフェラル / ターゲット。 1h = ループバック用の UNICOMM ペリフェラル / ターゲット。 2h = ループバック用の UNICOMM ペリフェラル / ターゲット。 3h = ループバック用の UNICOMM ペリフェラル / ターゲット。 4h = ループバック用の UNICOMM ペリフェラル / ターゲット。 5h = ループバック用の UNICOMM ペリフェラル / ターゲット。 6h = ループバック用の UNICOMM ペリフェラル / ターゲット。 7h = ループバック用の UNICOMM ペリフェラル / ターゲット。 8h = ループバック用の UNICOMM ペリフェラル / ターゲット。 9h = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ah = ループバック用の UNICOMM ペリフェラル / ターゲット。 Bh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ch = ループバック用の UNICOMM ペリフェラル / ターゲット。 Dh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Eh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Fh = ループバック用の UNICOMM ペリフェラル / ターゲット。
11-8	CTL	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはコントローラとして扱われます。 0h = ループバック用の UNICOMM コントローラ。 1h = ループバック用の UNICOMM コントローラ。 2h = ループバック用の UNICOMM コントローラ。 3h = ループバック用の UNICOMM コントローラ。 4h = ループバック用の UNICOMM コントローラ。 5h = ループバック用の UNICOMM コントローラ。 6h = ループバック用の UNICOMM コントローラ。 7h = ループバック用の UNICOMM コントローラ。 8h = ループバック用の UNICOMM コントローラ。 9h = ループバック用の UNICOMM コントローラ。 Ah = ループバック用の UNICOMM コントローラ。 Bh = ループバック用の UNICOMM コントローラ。 Ch = ループバック用の UNICOMM コントローラ。 Dh = ループバック用の UNICOMM コントローラ。 Eh = ループバック用の UNICOMM コントローラ。 Fh = ループバック用の UNICOMM コントローラ。
7-1	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 21-14. PAIR3 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN	R/W	0h	イネーブル 0h = 無効化 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1.5 PAIR4 (オフセット = 1D0h) [リセット = 00000000h]

図 21-11 に、PAIR4 を示し、表 21-15 に、その説明を示します。

概略表に戻ります。

マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング

図 21-11. PAIR4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ターゲット				CTL				予約済み							EN
R/W-0h				R/W-0h				R-0h							R/W-0h

表 21-15. PAIR4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	ターゲット	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはターゲットとして扱われます 0h = ループバック用の UNICOMM ペリフェラル / ターゲット。 1h = ループバック用の UNICOMM ペリフェラル / ターゲット。 2h = ループバック用の UNICOMM ペリフェラル / ターゲット。 3h = ループバック用の UNICOMM ペリフェラル / ターゲット。 4h = ループバック用の UNICOMM ペリフェラル / ターゲット。 5h = ループバック用の UNICOMM ペリフェラル / ターゲット。 6h = ループバック用の UNICOMM ペリフェラル / ターゲット。 7h = ループバック用の UNICOMM ペリフェラル / ターゲット。 8h = ループバック用の UNICOMM ペリフェラル / ターゲット。 9h = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ah = ループバック用の UNICOMM ペリフェラル / ターゲット。 Bh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ch = ループバック用の UNICOMM ペリフェラル / ターゲット。 Dh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Eh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Fh = ループバック用の UNICOMM ペリフェラル / ターゲット。
11-8	CTL	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはコントローラとして扱われます。 0h = ループバック用の UNICOMM コントローラ。 1h = ループバック用の UNICOMM コントローラ。 2h = ループバック用の UNICOMM コントローラ。 3h = ループバック用の UNICOMM コントローラ。 4h = ループバック用の UNICOMM コントローラ。 5h = ループバック用の UNICOMM コントローラ。 6h = ループバック用の UNICOMM コントローラ。 7h = ループバック用の UNICOMM コントローラ。 8h = ループバック用の UNICOMM コントローラ。 9h = ループバック用の UNICOMM コントローラ。 Ah = ループバック用の UNICOMM コントローラ。 Bh = ループバック用の UNICOMM コントローラ。 Ch = ループバック用の UNICOMM コントローラ。 Dh = ループバック用の UNICOMM コントローラ。 Eh = ループバック用の UNICOMM コントローラ。 Fh = ループバック用の UNICOMM コントローラ。
7-1	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 21-15. PAIR4 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN	R/W	0h	イネーブル 0h = 無効化 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1.6 PAIR5 (オフセット = 1D4h) [リセット = 00000000h]

図 21-12 に、PAIR5 を示し、表 21-16 に、その説明を示します。

概略表に戻ります。

マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング

図 21-12. PAIR5

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ターゲット				CTL				予約済み							EN
R/W-0h				R/W-0h				R-0h							R/W-0h

表 21-16. PAIR5 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	ターゲット	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはターゲットとして扱われます 0h = ループバック用の UNICOMM ペリフェラル / ターゲット。 1h = ループバック用の UNICOMM ペリフェラル / ターゲット。 2h = ループバック用の UNICOMM ペリフェラル / ターゲット。 3h = ループバック用の UNICOMM ペリフェラル / ターゲット。 4h = ループバック用の UNICOMM ペリフェラル / ターゲット。 5h = ループバック用の UNICOMM ペリフェラル / ターゲット。 6h = ループバック用の UNICOMM ペリフェラル / ターゲット。 7h = ループバック用の UNICOMM ペリフェラル / ターゲット。 8h = ループバック用の UNICOMM ペリフェラル / ターゲット。 9h = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ah = ループバック用の UNICOMM ペリフェラル / ターゲット。 Bh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ch = ループバック用の UNICOMM ペリフェラル / ターゲット。 Dh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Eh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Fh = ループバック用の UNICOMM ペリフェラル / ターゲット。
11-8	CTL	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはコントローラとして扱われます。 0h = ループバック用の UNICOMM コントローラ。 1h = ループバック用の UNICOMM コントローラ。 2h = ループバック用の UNICOMM コントローラ。 3h = ループバック用の UNICOMM コントローラ。 4h = ループバック用の UNICOMM コントローラ。 5h = ループバック用の UNICOMM コントローラ。 6h = ループバック用の UNICOMM コントローラ。 7h = ループバック用の UNICOMM コントローラ。 8h = ループバック用の UNICOMM コントローラ。 9h = ループバック用の UNICOMM コントローラ。 Ah = ループバック用の UNICOMM コントローラ。 Bh = ループバック用の UNICOMM コントローラ。 Ch = ループバック用の UNICOMM コントローラ。 Dh = ループバック用の UNICOMM コントローラ。 Eh = ループバック用の UNICOMM コントローラ。 Fh = ループバック用の UNICOMM コントローラ。
7-1	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 21-16. PAIR5 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN	R/W	0h	イネーブル 0h = 無効化 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1.7 PAIR6 (オフセット = 1D8h) [リセット = 00000000h]

図 21-13 に、PAIR6 を示し、表 21-17 に、その説明を示します。

概略表に戻ります。

マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング

図 21-13. PAIR6

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ターゲット				CTL				予約済み							EN
R/W-0h				R/W-0h				R-0h							R/W-0h

表 21-17. PAIR6 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	ターゲット	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはターゲットとして扱われます 0h = ループバック用の UNICOMM ペリフェラル / ターゲット。 1h = ループバック用の UNICOMM ペリフェラル / ターゲット。 2h = ループバック用の UNICOMM ペリフェラル / ターゲット。 3h = ループバック用の UNICOMM ペリフェラル / ターゲット。 4h = ループバック用の UNICOMM ペリフェラル / ターゲット。 5h = ループバック用の UNICOMM ペリフェラル / ターゲット。 6h = ループバック用の UNICOMM ペリフェラル / ターゲット。 7h = ループバック用の UNICOMM ペリフェラル / ターゲット。 8h = ループバック用の UNICOMM ペリフェラル / ターゲット。 9h = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ah = ループバック用の UNICOMM ペリフェラル / ターゲット。 Bh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ch = ループバック用の UNICOMM ペリフェラル / ターゲット。 Dh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Eh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Fh = ループバック用の UNICOMM ペリフェラル / ターゲット。
11-8	CTL	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはコントローラとして扱われます。 0h = ループバック用の UNICOMM コントローラ。 1h = ループバック用の UNICOMM コントローラ。 2h = ループバック用の UNICOMM コントローラ。 3h = ループバック用の UNICOMM コントローラ。 4h = ループバック用の UNICOMM コントローラ。 5h = ループバック用の UNICOMM コントローラ。 6h = ループバック用の UNICOMM コントローラ。 7h = ループバック用の UNICOMM コントローラ。 8h = ループバック用の UNICOMM コントローラ。 9h = ループバック用の UNICOMM コントローラ。 Ah = ループバック用の UNICOMM コントローラ。 Bh = ループバック用の UNICOMM コントローラ。 Ch = ループバック用の UNICOMM コントローラ。 Dh = ループバック用の UNICOMM コントローラ。 Eh = ループバック用の UNICOMM コントローラ。 Fh = ループバック用の UNICOMM コントローラ。
7-1	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 21-17. PAIR6 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN	R/W	0h	イネーブル 0h = 無効化 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

21.4.2.1.8 PAIR7 (オフセット = 1DCh) [リセット = 00000000h]

図 21-14 に、PAIR7 を示し、表 21-18 に、その説明を示します。

概略表に戻ります。

マルチコントローラ / SMBUS アプリケーションに対する I2C のペアリング

図 21-14. PAIR7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ターゲット				CTL				予約済み							EN
R/W-0h				R/W-0h				R-0h							R/W-0h

表 21-18. PAIR7 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	ターゲット	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはターゲットとして扱われます 0h = ループバック用の UNICOMM ペリフェラル / ターゲット。 1h = ループバック用の UNICOMM ペリフェラル / ターゲット。 2h = ループバック用の UNICOMM ペリフェラル / ターゲット。 3h = ループバック用の UNICOMM ペリフェラル / ターゲット。 4h = ループバック用の UNICOMM ペリフェラル / ターゲット。 5h = ループバック用の UNICOMM ペリフェラル / ターゲット。 6h = ループバック用の UNICOMM ペリフェラル / ターゲット。 7h = ループバック用の UNICOMM ペリフェラル / ターゲット。 8h = ループバック用の UNICOMM ペリフェラル / ターゲット。 9h = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ah = ループバック用の UNICOMM ペリフェラル / ターゲット。 Bh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Ch = ループバック用の UNICOMM ペリフェラル / ターゲット。 Dh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Eh = ループバック用の UNICOMM ペリフェラル / ターゲット。 Fh = ループバック用の UNICOMM ペリフェラル / ターゲット。
11-8	CTL	R/W	0h	ループバック用の UNICOMM インスタンス。このインスタンスはコントローラとして扱われます。 0h = ループバック用の UNICOMM コントローラ。 1h = ループバック用の UNICOMM コントローラ。 2h = ループバック用の UNICOMM コントローラ。 3h = ループバック用の UNICOMM コントローラ。 4h = ループバック用の UNICOMM コントローラ。 5h = ループバック用の UNICOMM コントローラ。 6h = ループバック用の UNICOMM コントローラ。 7h = ループバック用の UNICOMM コントローラ。 8h = ループバック用の UNICOMM コントローラ。 9h = ループバック用の UNICOMM コントローラ。 Ah = ループバック用の UNICOMM コントローラ。 Bh = ループバック用の UNICOMM コントローラ。 Ch = ループバック用の UNICOMM コントローラ。 Dh = ループバック用の UNICOMM コントローラ。 Eh = ループバック用の UNICOMM コントローラ。 Fh = ループバック用の UNICOMM コントローラ。
7-1	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 21-18. PAIR7 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	EN	R/W	0h	イネーブル 0h = 無効化 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

Chapter 22

UNICOMM UART

このセクションでは、UART として動作するように構成された UNICOMM モジュールの機能について説明します。特定の UNICOMM インスタンスのプロトコル モードは、の IPMODE レジスタの SELECT フィールドの設定によって決定されます。UNICOMM インスタンスが別のペリフェラル モード用に構成されている場合、UNICOMM インスタンスの UART 機能は無効になり、すべてのレジスタ読み出しは 0 を返します。

22.1 UART の概要 1186
22.2 UART 動作 1187
22.3 UNICOMMUART レジスタ 1209

Copyright © 2026 Texas Instruments Incorporated

22.1 UART の概要

22.1.1 ペリフェラルの目的

UART インターフェイスは、MSPM33 デバイスと、標準的な UART プロトコルをサポートする他のデバイスとの間で通信を行うために使用されます。さらに、一部の UNICOMM インスタンスには、標準の LIN (ローカル相互接続ネットワーク)、ISO7816 (スマート カード)、および IrDA (赤外線データ アソシエーション) プロトコルとの通信をサポートする機能に加えて、ハードウェア フロー制御 (CTS/RTS)、マルチプロセッサ通信モードが含まれます。このドキュメントでは、各モードの機能の概要を説明します。デバイス データ シートには、特定の UNICOMM-UART 構成で利用可能なモードが記載されています。

22.1.2 特長

UNICOMM モジュールの UNICOMM-UART ペリフェラルモードには、次のような機能が含まれます。

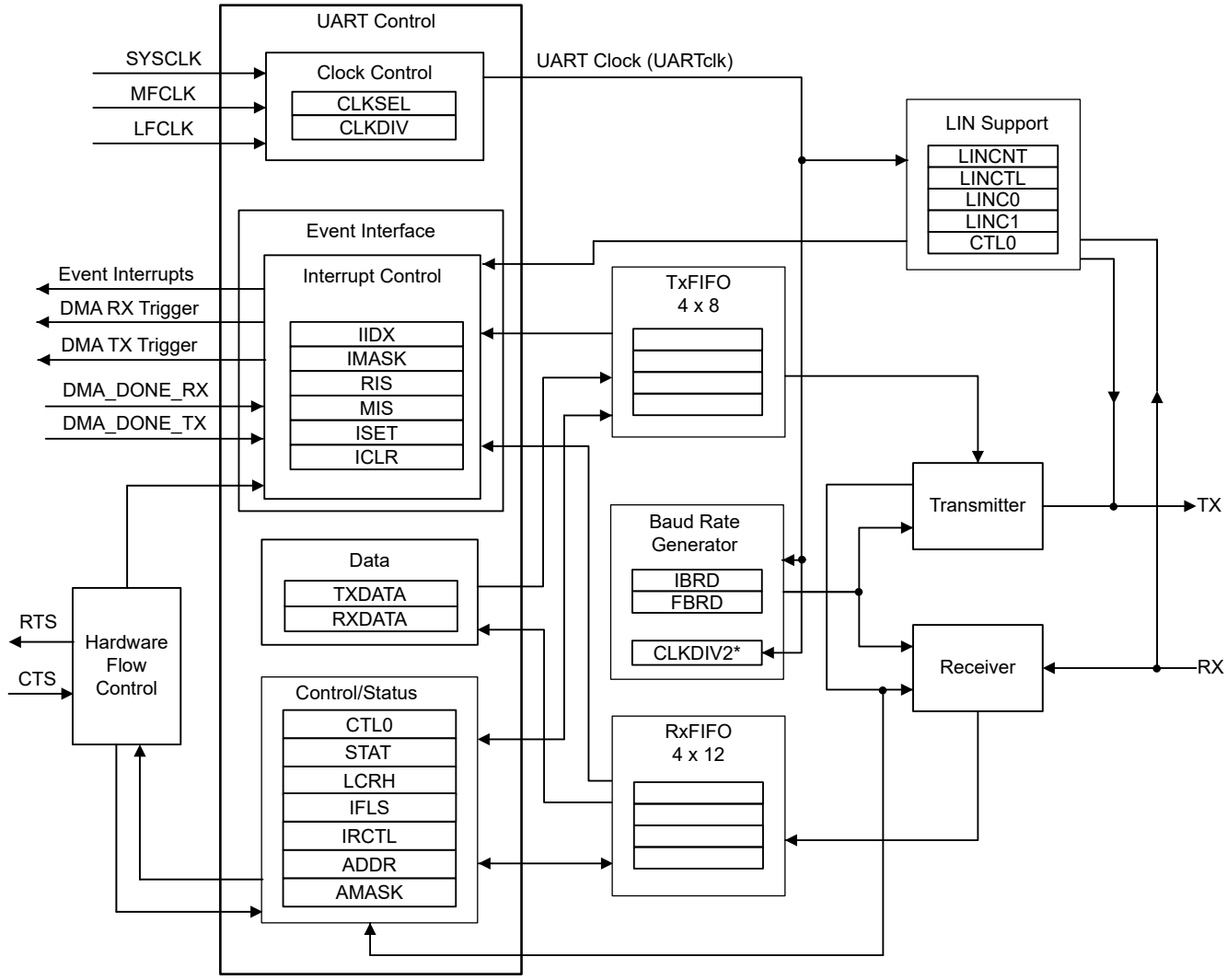
- 完全にプログラム可能なシリアル インターフェース:
  - 5、6、7、または 8 データ ビット
  - 偶数パリティ ビット、奇数パリティ ビット、スティック パリティ ビット、およびパリティなしビットの生成 / 検出
  - 1 または 2 ストップ ビットの生成
  - LSB ファーストまたは MSB ファーストのデータ送受信
  - 改行の検出
  - 入力信号のグリッチ フィルタ
  - プログラマブルなボーレート生成 (16、8、3 倍オーバーサンプリング機能付き)
- 電源ドメイン 0 (PD0) で使用可能なインスタンスは、ストップ モードおよびスタンバイ モードを含むすべての低消費電力モードで動作します
- 低消費電力動作時のスタートビット検出時の非同期高速クロック要求によって SYSOSC をウェークアップするサポート モード
- 送信および受信ループバック モード動作をサポート
- 包括的なプロトコルをサポート。サポートされているプロトコルおよび機能の一覧については、デバイスのデータシートを参照してください

表 22-1. オプションの UNICOMM-UART 機能のサポート

UNICOMM-UART 機能タグ	機能説明
UART-RX-TIMEOUT	受信タイムアウトと回線タイムアウト
UART-IDLELINE-MULTIPROC	アイドル ライン マルチプロセッサ
UART-FLOW-CONTROL	RS–485 をサポートするフロー制御 (CTS/RTS)
UART-MULTIDROP-9-BIT	アドレス指定可能なペリフェラルを搭載したマルチドロップ システム向けの 9 ビット UART モード
UART-EXT-DRIVER	外部ドライバ出力イネーブル
UART-SMARTCARD	ISO7816 スマート カード モード
UART-LIN	LIN (Local Interconnect Network)
UART-DALI-MANCHESTER	IEC62386 デジタル アドレス指定可能な照明インターフェイス (DALI)
UART-IRDA	IrDA エンコーダおよびデコーディング
UART-FIFO	RX および TX FIFO
UART-DMA	ダイレクト メモリ アクセス (DMA)

Copyright © 2026 Texas Instruments Incorporated

22.1.3 機能ブロック図



*CLKDIV2 is for IrDA mode only

図 22-1. UART の機能ブロック図

22.2 UART 動作

このセクションでは、UART ペリフェラルの操作について説明します。

22.2.1 クロック制御

UART 内部機能クロックは、IP の機能クロックから選択および分周されます。

- CLKSEL レジスタを使用して、UART 機能クロックのソースを選択します。
  - BUSSCLK: 現在のバス クロックを UART のソースとして選択します。現在のバス クロックは電源ドメインによって異なります。UART インスタンスが電源ドメイン 1 (PD1) にある場合は MCLK を参照し、UART インスタンスが電源ドメイン 0 (PD0) にある場合は ULPCLK を参照してください。
  - MFCLK: UART のソースとして MFCLK を選択します。MFCLK を参照します。
  - LFCLK: LFCLK は UART のソースとして選択します。LFCLK を参照します
- CLKDIV レジスタを使用して、UART 機能クロックの分周比を選択します。選択可能な分周比のオプションは、1 分周から 8 分周です。UART 拡張には、IrDA モードをサポートするために UART 機能クロックをさらに分周する

Copyright © 2026 Texas Instruments Incorporated

CLKDIV2 レジスタがあります。IrDA モードを使用する場合は、IrDA クロックを適切に供給するために、CLKDIV2.RATIO を 1h に設定する必要があります。

選択したソース クロックは常に使用可能で、その周波数は電力モードによって異なります。詳細については、*Clock Module (CKM)* のセクションを参照してください。CTL0.ENABLE ビットをセットして UART モジュールを有効にすると、モジュールはデータの受信および送信を開始できる状態になります。

22.2.2 一般的なアーキテクチャとプロトコル

UART プロトコルは、ボーレートと呼ばれるプログラマブルなビット レートで文字を送信および受信します。このレートは、二つの通信デバイス間で共有されます。これは非同期で行われます。つまり、このプロトコルに接続されたクロックピンはありません。設定されたボーレートは、各デバイスの機能クロックによって生成され、UNICOMM UART トランスミッタおよびレシーバ サブモジュールの両方で使用されます。

通常、設定レジスタは、UNICOMM UART モジュールが無効な場合 (CTL0 レジスタの ENABLE ビットがクリアされている場合) にのみ設定できます。例外として、ボー レート分周レジスタ (IBRD および FBRD) は、UART を無効にせずに変更できます。送受信動作中に UNICOMM UART が無効になっている場合、現在のトランザクションは UART が停止する前に完了します。

22.2.2.1 信号の説明

UART 通信には二つのピンが必要です:受信データ (RX) と送信データ (TX):

- RX (受信データ):シリアル データ入力。受信信号でオーバーサンプリング手法を使用して、受信データの精度を確保しています。
- TX (送信データ):シリアル データ出力。トランスミッタが有効で、送信するデータがない場合、TX ピンは High (アイドル) に保持されます。ISO7816 スマート カードのような一部の双方向プロトコルでは、このピンはデータ受信にも使用されます。

ハードウェア フロー制御モードでは、以下のピンも使用されます。この機能は、UART-FLOW-CONTROL 機能を実装した UNICOMM-UART インスタンスでのみ使用できます。

- CTS (送信許可):フロー制御入力。外部信号で high に駆動される場合、この信号は電流転送が終了したときにデータ転送をブロックします。
- RTS (送信要求):フロー制御出力。この信号が Low に保持されると、UART がデータを受信する準備ができたことを示します。

22.2.2.2 送信および受信ロジック

送信ロジックは、TXDATA レジスタに書き込まれたデータでシリアルからパラレルへの変換を実行します。UART-FIFO 機能をサポートする UNICOMM-UART インスタンスでは、このデータを FIFO でバッファできます。制御ロジックは、プログラムされた構成に応じて、シリアル ビット ストリームを出力します。それは、スタート ビットから始まり、その後にデータ ビット (LSB が最初)、パリティ ビット、ストップ ビットと続きます。

受信ロジックは、有効なスタート パルスが検出された後、受信されたビット ストリームでシリアルからパラレルへの変換を実行します。オーバーラン、パリティ、フレーム エラー チェック、改行検出も実行され、このステータスは受信 FIFO に書き込まれるデータと共に書き込まれます。各 RX FIFO 素子は 12 ビット幅で、データ ビットとすべてのステータス情報が含まれます。

UNICOMMUART レジスタでは、CTL0.ENABLE ビットを使用して UNICOMM-UART モジュールのイネーブルとディセーブルを行い、CTL0.TXE ビットと CTL0.RXE ビットを使用して UART トランスミッタと UART レシーバをイネーブルにし、LCRH.WLEN ビットを使用して各フレームで送受信するデータ ビット数を構成し、LCRH.PEN を使用してパリティ モードをイネーブルにし、LCRH.STP2 を使用して (デフォルトの 1 ビットではなく) 2 つのストップ ビットを送信します。

Copyright © 2026 Texas Instruments Incorporated

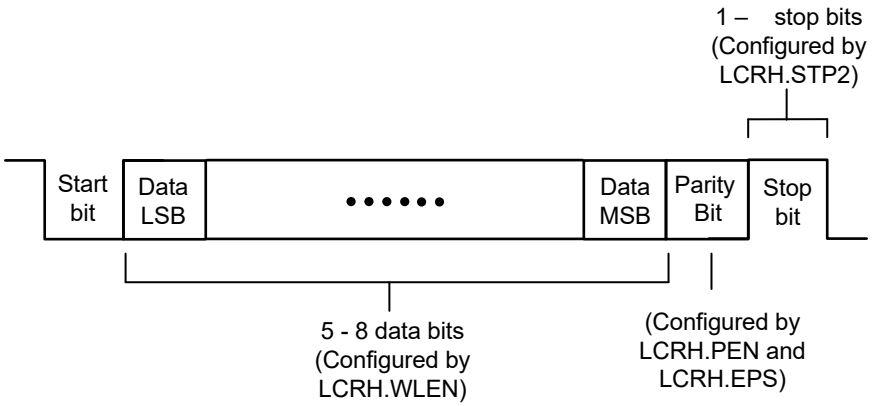


図 22-2. UART 文字フレーム

22.2.2.3 ビット サンプリング

UNICOMM UART は、UART バスのボーレートの 3 倍、8 倍、16 倍のオーバーサンプリングをサポートしています。

- デフォルトでは、CTL0.HSE は 0 に設定されています。つまり、16X オーバーサンプリングが選択されています。センター サンプル (サンプル 8) は RX ラインでのデータ サンプリングに使用します。
- CTL0.HSE を「1」に設定し、8 倍オーバーサンプリングを選択します。センター サンプル (サンプル 4) は RX ラインでのデータ サンプリングに使用します。
- CTL0.HSE を「2」に設定すると、3 倍オーバーサンプリングが選択されます。センター サンプル (サンプル 2) は RX ラインでのデータ サンプリングに使用します。

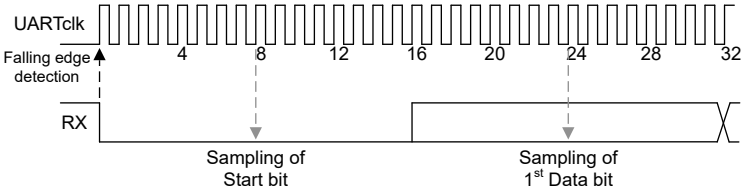
前述のシナリオでは、IBRD = 1 および FBRD = 0 が想定されています。

アプリケーションに応じて、次のように設定します:

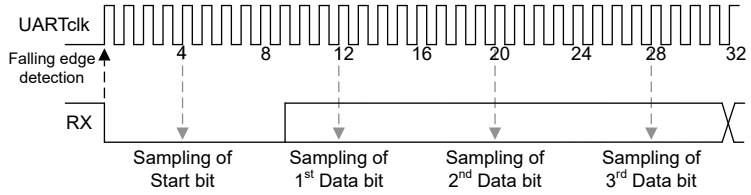
- UARTclk/8 または UARTclk/3 により高速化を実現するために、3 または 8 のオーバーサンプリングを選択します。この場合、クロック偏差に対するレシーバの許容誤差が減少します。
- レシーバからクロックへの偏差の許容誤差を増やすには、オーバーサンプリングを 16 として選択します。最大速度は UARTclk/16 に制限されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

16x oversampling mode (HSE = 0)



8x oversampling mode (HSE = 1)



3x oversampling mode (HSE = 2)

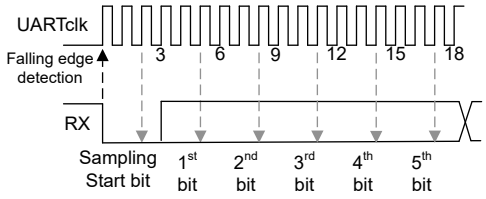


図 22-3. UART オーバーサンプリング モード

22.2.2.4 ボーレート生成

ボーレート除数は、16 ビットの整数部と 6 ビットの分数部で構成される 22 ビットの数値です。これら 2 つの値によって形成される数値は、ボーレート ジェネレータで使用され、ビット サンプル周期が決定されます。小数ボーレート除数を使用すると、UART はすべての標準ボーレートを非常に正確に生成できます。以下に計算例を示しますが、TI System Configurator などのツールを使用すると、これらの計算を自動的に実行できます。

16 ビットの整数部は UART 整数ボー レート除数 IBRD レジスタにロードされ、6 ビットの小数部は UART 小数ボー レート除数 FBRD レジスタにロードされます。

ボーレート除数は、次の式を使用して計算できます:

$$BRD = UART\ Clock / (Oversampling \times Baud\ rate) \quad (18)$$

UART クロック (UARTclk) は、CLKSEL および CLKDIV によって設定される UART クロック制御ロジックの出力クロックです。オーバーサンプリングは CTL0 レジスタの HSE ビットで選択し、16、8、または 3 に設定できます。

- IBRD = INT (BRD)、BRD の整数部
- FBRD = BRD %64、BRD の分数部分

BRD の整数部は UARTx.IBRD レジスタにロードされます。6 ビットの小数部を UARTx.FBRD レジスタにロードする必要があります。

Copyright © 2026 Texas Instruments Incorporated

注

IBRD = 0 の場合、FBRD は無視され、UART によるデータの送受信は行われません。同様に、IBRD = 65535 (すなわち 0xFFFF) の場合、FBRD は 0 より大きくできません。これらの要件を満たさない場合、進行中の送信または受信は中止されます。

以下の例は、19200 bit/s のボーレートの IBRD.DIVINT および FBRD.DIVFRAC を簡単に計算する方法を示しています。

UART Clock = 40 MHz
Oversampling = 16
Baudrate = 19200 bit/s

$$BRD = \frac{UARTclk}{OVS \times Baudrate} = \frac{40MHz}{16 \times 19200\ bit/s} = 130.2083333$$

UARTx.IBRD.DIVINT= 130 (=82h)

UARTx.FBRRD.DIFRAC
= INT((.2083333 x 64) + 0.5)
= INT(13.833333)
= 13d (= Dh)

Note: The adder '+0.5' ensures rounding to the closest integer value to keep the rounding error as small as possible

図 22-4. ボーレートの設定

ボーレート除数 (IBRD または IFRD) を更新するときは、LCRH レジスタも書き込む必要があるため、ボーレート除数の変更後に LCRH レジスタへの書き込みを行う必要があります。IBRD および FBRD レジスタの内容は、現在の文字の送信または受信が完了するまで更新されません。

22.2.2.5 データ転送

受信または送信されたデータは、二つの FIFO に格納されます。受信 FIFO では、ステータス情報用として各文字に 4 ビットが追加されています。

送信データ:

送信の際、データは TXDATA レジスタに書き込まれます。UART が有効な場合、TXDATA への書き込みにより、LCRH レジスタで指定されたパラメータに従ってデータ フレームの送信が開始されます。送信 FIFO 内のデータがなくなるまで、データの送信が継続されます。STAT レジスタの BUSY ビットは、送信 FIFO にデータが書き込まれると (つまり、FIFO が空でない場合) 直ちにアサートされ、データの送信中はアサートされたままになります。BUSY ビットが Low になるのは、送信 FIFO が空になり、最後の文字のストップ ビットまで送信された場合のみです。UART を有効化できない状態であっても、UART がビジー状態を示すことがあります。BREAK 信号の生成中も、STAT.BUSY はセットされます。

受信データ:

UART レシーバがアイドル状態で、データ入力が Low レベルに遷移すると (スタート条件を検出すると)、受信カウンタが動作を開始し、スタート / ストップ ビットを除いて、CTL0.HSE のオーバーサンプリング設定に従ってデータがサンプリングされます。スタート ビット期間中、レシーバはすべてのサンプル値が 0 であることを確認し、0 でない場合は、受信ステートマシンがアイドル状態に戻ります。ストップ ビット期間中、レシーバはすべてのサンプル値が 1 であることを確認します。そうでない場合は、フレーミング エラー フラグ (RXDATA.FRMERR) が設定されます。1 ワード全体を受信すると、データは関連するエラー ビットとともに受信バッファ / FIFO に格納されます。STAT.BUSY フラグは、開始条件が検出されると High にセットされ、ストップ ビットの受信完了後 (つまり、ストップ ビット期間全体の終了後) に Low にセットされます。

22.2.2.6 エラーおよびステータス

受信データでは、データ バイトと 4 ビットのステータス情報 (ブレーク、フレーム、パリティ、およびオーバーラン) が、12 ビット幅の受信バッファ / FIFO に格納されます。エラーとステータスは、表 22-2 に示すように、RXDATA レジスタを読み出

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

すことで取得できます。IMASK レジスタで対応する割り込みビットがイネーブルの場合、以下の 4 つの条件はそれぞれ、割り込みフラグ RXINT をセットすることもできます。

表 22-2. UART のエラーと条件

エラー状態(1)	ビット フィールド	説明
フレーミング エラー	FRMERR	下位ストップ ビットが検出されると、フレーミング エラーが発生します。2 つのストップ ビットを使用する場合、両方のストップ ビットにフレーミング エラーがチェックされます。フレーミング エラーが検出されると、FRMERR ビットがセットされます。
パリティ エラー	PARERR	パリティ エラーとは、1 文字内の 1 の数とパリティ ビットの値が一致しない状態です。アドレス ビットが文字に含まれている場合、パリティ計算に含まれます。パリティ エラーが検出されると、PARERR ビットがセットされます。
オーバーランを受信し	OVRERR	前の文字が読み込まれる前に RXDATA/FIFO に文字がロードされると、オーバーラン エラーが発生します。オーバーランが発生すると、OVRERR ビットが設定されます。
ブレーク条件	BRKERR	受信入力が一文字分の送信時間を超えて low に保持され、スタート ビット、すべての受信データ、パリティ ビット、およびストップ ビットがすべて 0 になった場合、ブレークが検出されます。故障状態が検出されると、BRKERR 出力がアサートされます。

(1) フレーミング エラーとブレーク条件は設定されません。LIN モードが有効化されている場合、このパターンを使用して、LIN の同期フレームを信号伝達します。ブレーク検出は、IRDA、Manchester、DALI モードでは使用できません。

表 22-3 に示すように、UART モジュールのフラグのステータスは、STAT レジスタを読み取ることでもチェックできます。

表 22-3. UART フラグ ステータス

ビット フィールド	説明
BUSY	このビットは、送信 FIFO が空でない (UART がイネーブルかどうかにかかわらず) とすぐにセットされます。IDLELINE モード (CTL0.MODE フィールドが IDLLINE に設定されている場合) では、BUSY 信号もアイドル時間生成中に設定されたままになります。
RXFE	受信 FIFO が空になると、このビットが設定されます。FIFO が無効 (FEN = 0) の場合、受信保持レジスタはフル状態です。FIFO が有効 (FEN が 1) の場合、受信 FIFO はフルです。
RXFF	FIFO がフルの場合、受信 FIFO がフルになると、このビットが設定されます。FIFO が無効 (FEN が 0) の場合、受信保持レジスタは空です。FIFO が有効 (FEN が 1) の場合、受信 FIFO は空です。
TXFE	このビットは、送信 FIFO が空のときセットされます。FIFO が無効 (FEN が 0) の場合、送信保持レジスタはフルです。FIFO が有効 (FEN が 1) の場合、送信 FIFO はフルです。
TXFF	このビットは、送信 FIFO がフルのときセットされます。FIFO が無効 (FEN が 0) の場合、送信保持レジスタは空です。FIFO が有効 (FEN が 1) の場合、送信 FIFO は空です。
CTS	このビットは、CTS 信号がアサート (Low) されるとセットされ、CTS 信号がアサートされない (high) ときにクリアされます。
IDLE	このビットは、アイドルライン マルチプロセッサ モードでアイドル ラインが検出された場合にセットされます。アイドル ビットは、各文字ブロックのアドレス タグとして使用されます。アイドル ライン マルチプロセッサ形式では、受信した文字がアドレスの場合、このビットが設定されます。

22.2.2.7 DMA 動作

このセクションは、UART-DMA 機能をサポートする UNICOMM-UART 構成に適用されます。

UNICOMM-UART は、送信および受信用の個別チャネルを備えた DMA モジュールへのインターフェイスを提供します。UART の DMA 動作は、UART イベントおよび DMA レジスタを介してイネーブルになります。DMA 動作を有効にすると、対応する FIFO がデータを転送できる状態になったとき、UART は受信チャネルまたは送信チャネルで DMA 要求をアサートします。DMA 転送要求は、DMA チャネルの設定方法 (バースト サイズ、転送サイズ、ソース アドレスなど) に基づき、DMA コントローラによって自動的に処理されます。

- 受信チャネルでは、受信 FIFO 内のデータ量が、IFLS レジスタの RXIFLSEL ビットを使用して設定された FIFO トリガ レベル以上になった場合、または受信タイムアウトが発生した場合に、DMA 転送要求がアサートされます。受信タイムアウト トリガ ケースでは、その時点までに受信したデータの量が転送されます。

Copyright © 2026 Texas Instruments Incorporated

- 送信チャネルでは、TX FIFO 内の文字数が IFLS レジスタの TXIFLSEL ビットで設定した FIFO トリガ レベル未満になると、DMA 転送要求がアサートされます。

DMA 転送は、SPI 転送のデータ幅と 8/16 ビットのバス アクセス幅を整合させるように構成でき、バスを効率的に使用できます。トリガおよび転送は、受信と送信でそれぞれ独立しています。

22.2.2.8 内部ループバック動作

CTL0 レジスタの LBE ビットを設定することで、UNICOMM-UART を診断やデバッグ用の内部ループバック モードにすることができます。ループバックモードでは、UART は次の動作で動作します。

- TX 出力から送信されたデータは、RX 入力で受信される
- TX 出力で送信されたデータは、TX IO ピンに伝搬されない
- RX IO ピンで受信されたデータは無視される

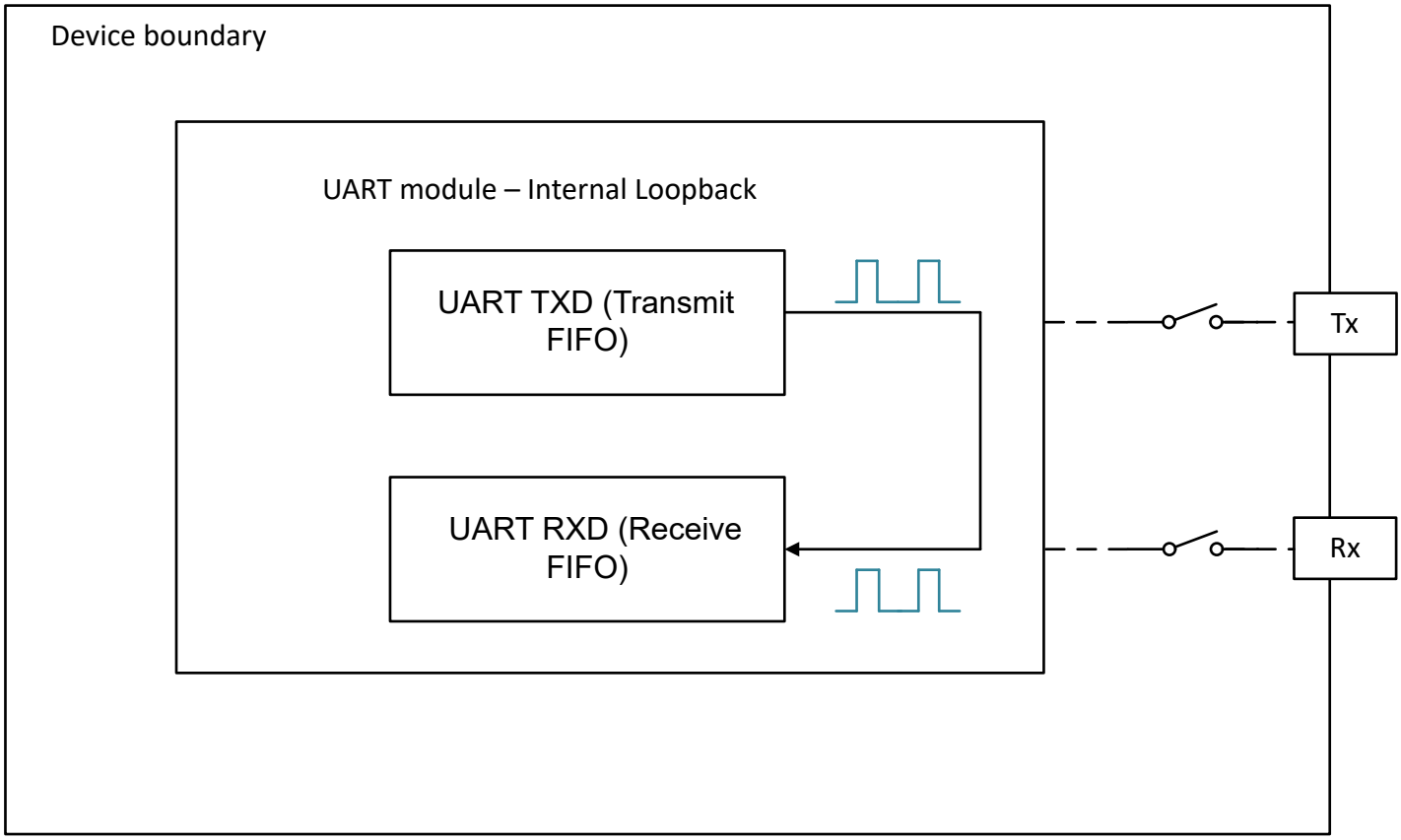


図 22-5. UART ループバック モード

22.2.3 追加のプロトコルおよび機能のサポート

22.2.3.1 ローカル相互接続ネットワー (LIN) のサポート

このセクションは、UART-LIN 機能をサポートする UNICOMM-UART 構成に適用されます。

LIN (ローカル インターコネクト ネットワーク) プロトコルの規格は、UART シリアル データ リンク形式に基づいています。LIN 通信プロトコルは、ネットワーク ノード間でマルチキャストを送信するためのメッセージ識別機能を備えたシングル コマンダ / マルチレスポンダ トポロジです。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

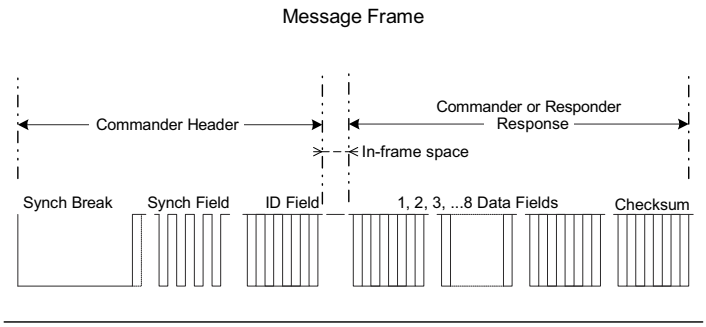


図 22-6. LIN プロトコル メッセージの構造

LIN コマンダは、各フレームの先頭で BREAK フィールド、SYNC フィールド、および PID (保護識別子) フィールドを送信します。四つの LIN レジスタは、LIN レスポンダのソフトウェア ドライバが BREAK フィールドおよび SYNC フィールドを適切に検出し、ボーレートの調整またはエラー検出に必要なタイミング パラメータを測定できるようにするために使用されます。

LIN プロトコル規格の詳細については、*LIN Standards and Specifications* ページを参照してください。LIN モードの UNICOMM-UART モジュールは、適切に設定することで、LIN コマンダまたは LIN レスポンダとして動作できます。ソフトウェアで必要な割り込み数を減らしながら LIN プロトコルをサポートするため、の UNICOMM-UART モジュールには次のハードウェア拡張が含まれています:

- **LIN 制御** - LINCTL
  - LIN モードの動作の設定。
- **LIN カウンタ** - LINCNT
  - UARTclk からクロック供給される 16 ビット アップカウンタ。
  - CPU_INT.IMASK.LINOVF フラグ:カウンタ オーバーフロー時の割り込み機能。
- **LIN キャプチャ 0** - LINC0
  - 設定可能な二つのモードを備えた 16 ビット キャプチャ 0:
    - LINCTL.LIN0CAP が設定されている場合 - RX ピンの立ち下がりエッジでの LINCNT 値のキャプチャ。キャプチャ時の割り込み機能 (CPU_INT.IMASK.LINC0)。
    - LINCTL.LIN0_MATCH がセットされている場合 - 一致時の割り込み機能と LINCNT を比較します (CPU_INT.IMASK.LINC0)。
- **LIN キャプチャ 1** - LINC1: 16 ビットのキャプチャ 1。
  - RX 立ち上がりエッジでの LINCNT 値のキャプチャ。キャプチャ時の割り込み機能 (CPU_INT.IMASK.LINC0)。

さらに、CTL0.TXD_OUT_EN を 1、CTL0.TXE を 0 (送信無効) に設定した状態で CTL0.TXD_OUT ビットに書き込むことにより、ソフトウェアから UNICOMM-UART の TXD ピンの出力論理レベルを手動で制御できます。また、この機能は、UNICOMM-UART で LIN プロトコルを実現するためにも必要です。

注

LIN プロトコルの完全なハードウェア サポートは、UNICOMM-UART では利用できません。上記のレジスタは、UART プロトコルの上に追加された LIN 固有機能のソフトウェア LIN 実装に役立つために使用されます。

22.2.3.1.1 LIN コマンダ送信

以下のでは、モジュール内で利用可能なレジスタを使用して、UNICOMM-UART により LIN コマンダ送信の各部分を実装する方法を示します。

Break フィールドの送信

LCRH レジスタの BRK ビットを 13 * T ビットより大きく設定することで、ブレーク信号は UNICOMM-UART により自動的に送信されます。送信データ レジスタの TXDATA にデータを書き込む前に、このビットを設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

同期フィールドの送信

同期フィールドは、標準の UNICOMM-UART トランスミッタを使用して送信される TXDATA レジスタに 0x55 を書き込むことで送信できます。

PID フィールドの送信

標準の UNICOMM-UART トランスミッタを使用して、送信される TXDATA レジスタに ID バイトを書き込みます。CTL0.TXE が設定されていることを確認します。

データ フィールドの送信

標準の UNICOMM-UART トランスミッタを使用して、送信される TXDATA レジスタにデータ バイトを書き込みます。CTL0.TXE が設定されていることを確認します。

チェックサムの送信

標準の UNICOMM-UART トランスミッタを使用して、送信される TXDATA レジスタにチェックサム バイトを計算し、書き込みます。CTL0.TXE が設定されていることを確認します。

22.2.3.1.2 LIN レスポンダ受信

ブレーク フィールドの受信

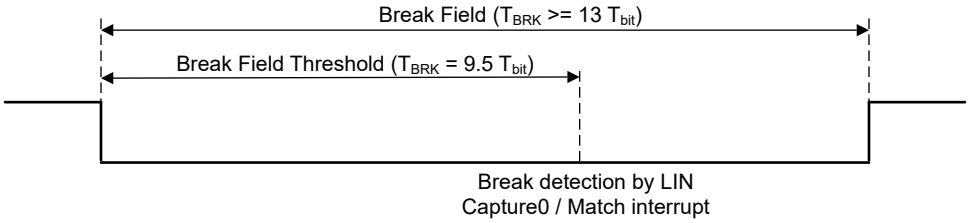


図 22-7. LIN ブレーク フィールド検出

ブレーク フィールド検出および比較モードを使用して、LIN メッセージの BREAK フィールドを受信および検証します。次の構成が必要です。

1. LIN カウンタ レジスタを 0 (UARTx.LINCNT = 0) に初期化します
2. カウンタ比較一致モードをイネーブル (UARTx.LINCTL.LINC0_MATCH = 1)
3. UARTx.LINC0 (カウンタ キャプチャ 0 レジスタ) に 9.5 x T_{bit} に相当するカウンタ値をロードします (このタイミングの詳細については、「*LIN の規格および仕様*」を参照してください)。
4. LINC0 一致割り込みをイネーブル (CPU_INT.IMASK.LINC0 = 1)
5. LIN カウント制御を設定 (UARTx.LINCTL レジスタを構成):
   - RXD ピンの Low 信号中のカウントをイネーブル (LINCTL.CNTRXLOW = 1)
   - RXD ピンの立ち下がりエッジでの LIN カウンタ クリアをイネーブル (LINCTL.ZERONE = 1)
   - LIN カウンタを有効化 (LINCTL.CTRENA = 1)

   オプション:
   - UART TX 信号割り込み (CPU_INT.IMASK.RXPE = 1) の立ち上がりエッジをイネーブルにします。RXPE 割り込みが起動すると、ソフトウェアは LINCNT を直接読み取って、BREAK フィールドのタイミングを確認できます。
   - BREAK フィールドが長すぎて 16 ビット カウンタがオーバーフローするのを検出するために、LIN カウンタ オーバーフロー割り込み (CPU_INT.IMASK.LINOVF = 1) を有効にしてください。このタイムアウトは、$t_{Timeout}$ = 2^{16}/UARTclk として計算できます。

同期フィールドの受信

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

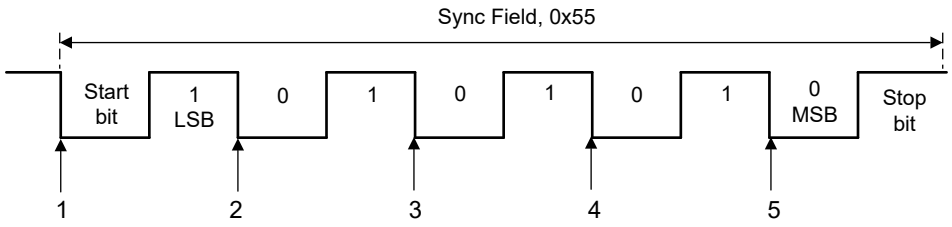


図 22-8. LIN 同期フィールドの検出

LIN ヘッダーの精度を確認し、コマンダのボー レートを計算するには、同期フィールドを検証する必要があります。同期フィールドは、バイト フィールド内のデータ 0x55 で構成されます (図 22-8 を参照)。ソフトウェアが有効な BREAK フィールドを検出した後、カウンタを設定して SYNC フィールドを測定できます。図 22-8 に、SYNC バイトの形式を示します。LINCNT は、スタート ビットの立ち下がりエッジで 0 に設定され、連続的にカウントされます。LINC0 キャプチャまたは RX 立ち下がりエッジ割り込みは、RX ラインの立ち下がりエッジで起動されます。割り込み処理中に、ソフトウェアは LINC0 および LINC1 レジスタの値を使用してビットの個別の HIGH/LOW 時間を測定し、すべてのタイミングが有効であることを確認できます。

次のフローでは、LIN 同期フィールドの検証手順について説明します。

1. 有効なブレーク フィールドを検出した後、LIN カウンタを 0 (UARTx.LINCNT = 0) に初期化します。
2. RX 立ち下がりエッジでの割り込みをイネーブルにします (CPU_INT.IMASK.RXNE = 1)
3. LIN カウント制御 (LINCTL) を設定します:
   - 立ち上がり RX エッジでの LIN カウンタのキャプチャをイネーブルにします (LINCTL.LINC1CAP = 1)
   - 立ち下がり RX エッジでの LIN カウンタのキャプチャをイネーブルにします (LINCTL.LINC0CAP = 1)
   - RX 立ち下がりエッジでの LIN カウンタ クリアを有効化 (LINCTL.ZERONE = 1)
   - LIN カウンタを有効化 (LINCTL.CTRENA = 1)

同期フィールド中に RX ラインの各立ち下がりエッジでのアクションは、次のとおりです。

1. LIN カウンタは 0 に設定され、立ち下がり RX エッジでカウントを開始します。(LINCTL.ZERONE = 1)
2. RX 立ち下がりエッジ割り込みトリガ (RXNE):
   - 読み取りキャプチャ レジスタ LINC0 (立ち下がりエッジ) と LINC1 (立ち上がりエッジ) の値
   - ビット時間を確認します
3. RX 立ち下がりエッジ割り込みトリガ (RXNE):
   - 読み取りキャプチャ レジスタ LINC0 (立ち下がりエッジ) と LINC1 (立ち上がりエッジ) の値
   - ビット時間を確認します
4. RX 立ち下がりエッジ割り込みトリガ (RXNE):
   - 読み取りキャプチャ レジスタ LINC0 (立ち下がりエッジ) と LINC1 (立ち上がりエッジ) の値
   - ビット時間を確認します
5. RX 立ち下がりエッジ割り込みトリガ (RXNE):
   - 読み取りキャプチャ レジスタ LINC0 (立ち下がりエッジ) と LINC1 (立ち上がりエッジ) の値
   - ビット時間を確認します
   - 設定する適切なボー レートを計算します。ソフトウェアは、同期フィールド後の PID フィールドの開始ビットより前のボー レートを設定する必要があります。

割り込みが発生するたびに、キャプチャ レジスタを読み出し、ビット時間をアプリケーション ソフトウェアによって検証する必要があります。ビット時間検証エラーの場合、同期フィールド解析プロセスを中止し、アプリケーション ソフトウェアからブレーク検出に切り替える必要があります。

同期フィールド検出中にブレーク コマンダ通信などのエラーが発生した場合、LIN カウンタのオーバーフローをイネーブルにすることで、タイムアウト割り込みを生成できます (IMASK.LINOVF = 1)。カウンタがオーバーフローすると、割り込み

Copyright © 2026 Texas Instruments Incorporated

ハンドラは同期フィールド解析を中止し、ブレーク検出に戻ることができます。カウンタ オーバーフロー割り込みが発生する時間は、$t_{Timeout}$ = 2^{16}/UART クロックとして計算できます。

注

同期フィールドは自動的に RX FIFO に保存され、PID として誤って読み取られる可能性があります。したがって、同期フィールドの受信後、PID が受信される前に RX FIFO をフラッシュします。

PID フィールドの受信

標準の UNICOMM-UART レシーバを使用して、RXDATA レジスタから PID バイトを読み取ります。CTL0.RXE が設定されていることを確認します。

データ フィールドの受信

標準の UNICOMM-UART レシーバを使用して、rxdata レジスタからデータフィールドを読み取ります。CTL0.RXE が設定されていることを確認します。

チェックサム フィールドの受信

標準的な UNICOMM-UART レシーバを使用して、RXDATA レジスタからチェックサム バイトを読み取り、ソフトウェアで値をデコードします。CTL0.RXE が設定されていることを確認します。

22.2.3.1.3 LIN レスポンダの送信遅延

レスポンダ ラインで送信を開始するための RXINT 割り込みは、常にコマンダのストップ ビットの中央で発生します。BUSCLK およびボーレートによっては、コマンダのストップ ビットとレスポンダの START ビットの間に十分な応答時間が確保されず、ストップ ビットが終了する前にデータ送信が開始される場合があります。

この問題を回避するため、レスポンダのデータ送信を開始する前に、ストップ ビットとスタート ビットの間に十分な遅延時間を確保できるよう、ストップ ビット期間の半分に相当する遅延を応答スペース時間として追加できます。

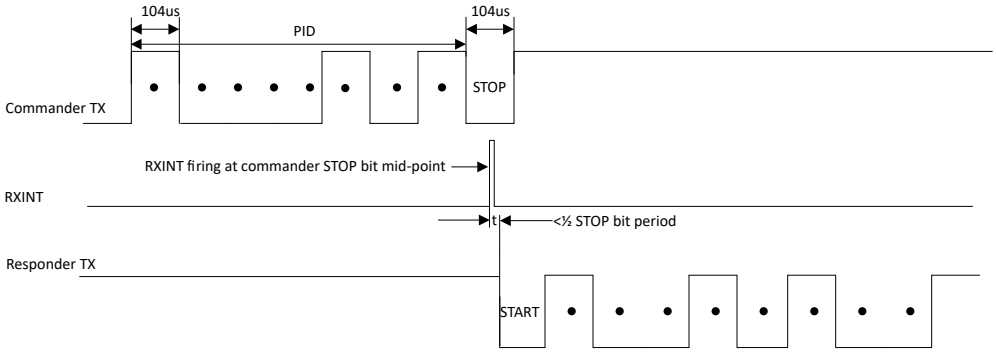


図 22-9. LIN レスポンダの送信遅延

22.2.3.2 フロー制御

このセクションは、UART-FLOW-CONTROL 機能をサポートする UNICOMM-UART 構成に適用されます。

UART モード (CTL0.MODE を 0 に設定) では、2 つのデバイス間のハードウェア フロー制御は、一方のデバイスの RTS 出力を他方のデバイスの CTS 入力に接続し、かつ、他方のデバイスの RTS 出力を一方のデバイスの CTS 入力に接続することによって実現されます。RTS 出力信号はアクティブ Low であり、図 22-10 に示すように、CTS 入力は送信要求の Low 信号を想定しています。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

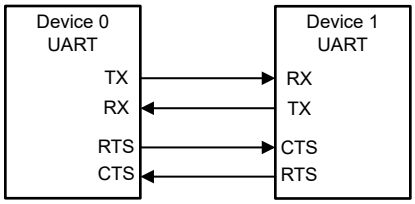


図 22-10. フロー制御

CTS 入力はトランスミッタを制御します。トランスミッタは、CTS 入力が Low にアサートされているときのみデータを送信できます。RTS フロー制御がイネーブルの場合、RTS 出力信号は受信バッファ / FIFO の状態を示します。送信デバイスの CTS は、受信バッファの場合に FIFO がフルになり、追加の文字を格納するスペースがレシーバにないことを示します。これは、FIFO には事前にプログラムされたウォーターマーク レベルに達するまで Low にアサートされたままです。

CTL0 レジスタの CTSEN ビットおよび RTSEN ビットは、表 22-4 に示すようにフロー制御モードを指定します。

表 22-4. フロー制御イネーブル

CTSEN	RTSEN	説明
1	1	RTS と CTS のフロー制御が有効
1	0	CTS フロー制御のみが有効
0	1	RTS フロー制御のみが有効
0	0	RTS と CTS の両方のフロー制御が無効

RTS ビットは、ハードウェアまたはソフトウェアによって駆動できます。RTSEN が 1 (つまりハードウェア制御モード) の場合、CTL0.RTS ビットの値は無視され、RTS 出力信号はハードウェア トリガ レベルによって以下に説明するように生成されます。

RTS フロー制御:

RTS フロー制御ロジックはプログラム可能な受信 FIFO ウォーターマーク レベルにリンクされ、UARTx.IFLS レジスタを使用して構成できます。RTS フロー制御がイネーブルの場合、受信 FIFO がウォーターマーク レベルまで満たされるまで RTS はアサート (Low) されます。受信 FIFO ウォーターマーク レベルに達すると、RTS 信号がデアサート (High) され、これ以上データを受信する余地がないことを示します。データの送信は、現在の文字が送信された後に終了すると予想されます。RTS 信号は、受信 FIFO からデータが読み出されたときに再アサート (Low) され、ウォーターマーク レベルよりも小さい値にデータが入力されます。RTS フロー制御がディスエーブルで、UART がまだイネーブルの場合、受信 FIFO がいっぱいになるか、データが送信されなくなるまでデータが受信されます。

最後に受信した文字を FIFO に入力して FIFO ウォーターマーク レベルに到達すると、RTS 信号がデアサートされます。つまり、連続して送信を行う場合、送信側によってすでに別の文字の転送が開始されている可能性があるということです。したがって、このような場合は、すべてのデータを受信して FIFO に格納できるように、ウォーターマーク レベルを 1 レベル低く設定する必要があります。

CTS フロー制御:

CTS フロー制御がイネーブルの場合、トランスミッタは CTS 信号をチェックしてから、次のバイトを送信します。CTS 信号がアサート (Low) されると、バイトが送信されます。それ以外の場合、送信は行われません。CTS がアサート (Low) されている間はデータは送信され続け、送信 FIFO は空ではありません。送信 FIFO が空で、CTS 信号がアサート (Low) されている場合、データは送信されません。CTS 信号がデアサート (High) され、CTS フロー制御がイネーブルの場合、現在の文字の送信が完了してから停止します。CTS フロー制御がディスエーブルで、UART がイネーブルの場合、送信 FIFO が空になるまで、データは送信され続けます。

22.2.3.3 RS485 をサポート

このセクションは、UART-EXT-DRIVER 機能をサポートする UNICOMM-UART 構成に適用されます。

Copyright © 2026 Texas Instruments Incorporated

RS485 は、シリアル通信システムで使用されている規格です。この規格は、長距離にわたって電気的ノイズの多い環境で効果的に使用できます。このようなネットワークには複数のレシーバを接続できます。これらの特性により、RS-485 は産業用制御システムや同様の用途に適しています。

RS485 方向信号を使用すると、外部 RS485 PHY を制御できます。このモードでは、RTS I/O が方向制御信号として使用されます。データ送信が開始されると、この信号は自動的に high に設定されます。送り返された場合、バイト間の設定を維持します。データ受信が進行中の場合、このデータが受信され、方向信号が送信に設定されるまで、新しい送信が遅延します。

図 22-11 に示すデータ交換シーケンス:

- 進行中の受信が完了するまで待ちます。
- RTS ピンで送信するには、方向信号をアクティブにします
- データを送信します (一つまたは複数のバイト)
- 進行中の受信が完了するまで待ちます。
- RTS ピンで送信するために方向信号を非アクティブにします

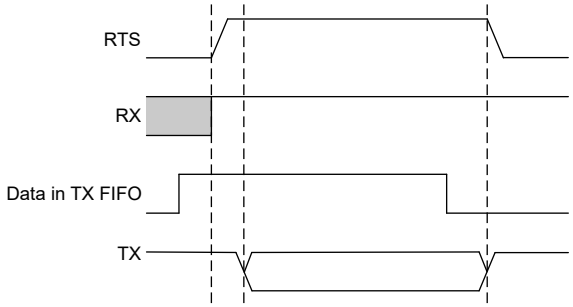


図 22-11. RS485 データ交換

LCRH レジスタの二つのビット フィールドにより、外部ドライバ方向制御のセットアップ時間およびホールド時間を定義します:

- EXTDIR_SETUP ビットは、RTS アサートとスタート ビットの開始の間の機能クロック数を定義します
- EXTDIR_HOLD ビットは、STOP (ビット期間全体) から RTS デアサートまでの機能クロックの数を定義します

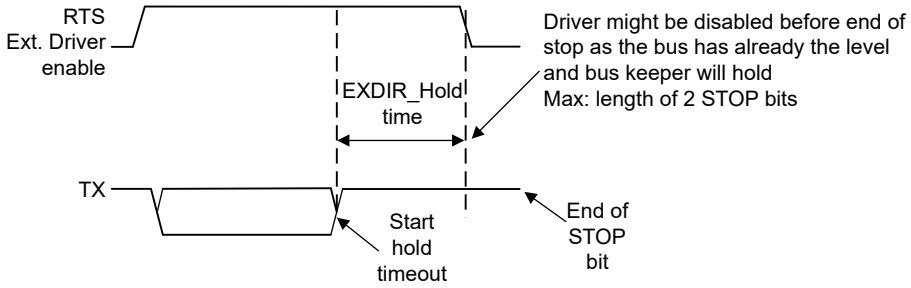


図 22-12. RS485 外部ドライバ制御

22.2.3.4 FIFO 動作

このセクションは、UART-FIFO 機能をサポートする UNICOMM-UART 構成に適用されます。この機能をサポートしない構成でも、TXDATA レジスタおよび RXDATA レジスタを使用しますが、FIFO 機能はありません。

UART には、深さが 4 エントリの FIFO が二つあり、一つは送信用、もう一つは受信用です。FIFO には、UART データ (TXDATA/RXDATA) レジスタを介してアクセスします。RXDATA レジスタの読み取り操作では、8 ビットのデータと 4 つのエラー フラグで構成される 12 ビット値が返されます。TXDATA レジスタへの書き込み操作では、8 ビット データが送信 FIFO に格納されます。

Copyright © 2026 Texas Instruments Incorporated

リセットから復帰すると、両方の FIFO がディセーブルされ、1 バイトの保持レジスタとして動作します。FIFO は、UARTx.CTL0 の FEN ビットを設定することで有効になります。FIFO のステータスは、UARTx.STAT レジスタおよび割り込みイベントによって監視できます。

ハードウェアは、空、フル、オーバーランの状態を監視します

UARTx.STAT レジスタには、空およびフル状態を示すフラグ (TXFE、TXFF、RXFE、および RXFF ビット) が格納されています。また、CPU_INT.RIS レジスタの OVRERR ビットは、受信 FIFO のオーバーラン状態を示します。送信 FIFO オーバーランのインジケータはありません。送信 FIFO を超過した場合、書き込みは失われるだけです。FIFO が無効の場合、空およびフル フラグは、深さ 1 バイトの保持レジスタの状態に応じて設定されます。FIFO が格納できる量を超えるデータを受信すると、最も古いデータが受信データで上書きされます。

FIFO が割り込みを生成するトリガ ポイントは、UARTx.IFLS レジスタにより制御されます。どちらの FIFO も、異なるレベルで割り込みをトリガするように個別に構成できます。送信 FIFO では 3/4、1/2、1/4、および空、RX FIFO では 1/4、1/2、3/4、およびフルを設定できます。たとえば、受信 FIFO に 3/4 オプションを選択した場合、UART は 3 データ バイトを受信した後に受信割り込みを生成します。リセット状態から復帰すると、両方の FIFO は 1/2 マークで割り込みをトリガするように構成されます。FIFO の整合性は、以下の条件では保証されません:

- UART 送信ブレークが開始された後 (LCRH.BRK = 1)
- ソフトウェアが、FIFO にデータが残っている送信途中で UART を無効にし、その後、再度有効にした場合。

22.2.3.5 アイドル ライン マルチプロセッサ

このセクションは、UART-IDLELINE-MULTIPROC 機能をサポートする UNICOMM-UART 構成に適用されます。

CTL0.MODE レジスタビットで IDLELINE を設定すると、アイドル ライン マルチプロセッサ形式が選択されます。データのブロックは、送信ラインまたは受信ラインのアイドル時間で分離されます (図 22-13)。一文字の一つまたは二つのストップ ビットの後に、10 個以上の連続した 1 (マーク) を受信すると、アイドル受信ラインが検出されます。アイドル ラインを受信すると、次のスタート エッジが検出されるまでボーレート ジェネレータは停止します。アイドル ラインが検出されると、UARTx.STAT のアイドル ビットがセットされます。アイドル ライン モードでは、UART レシーバはパリティなしモードで動作し、UART ワード長 (UARTx.LCRH.WLEN) は 8 ビットに設定する必要があります。

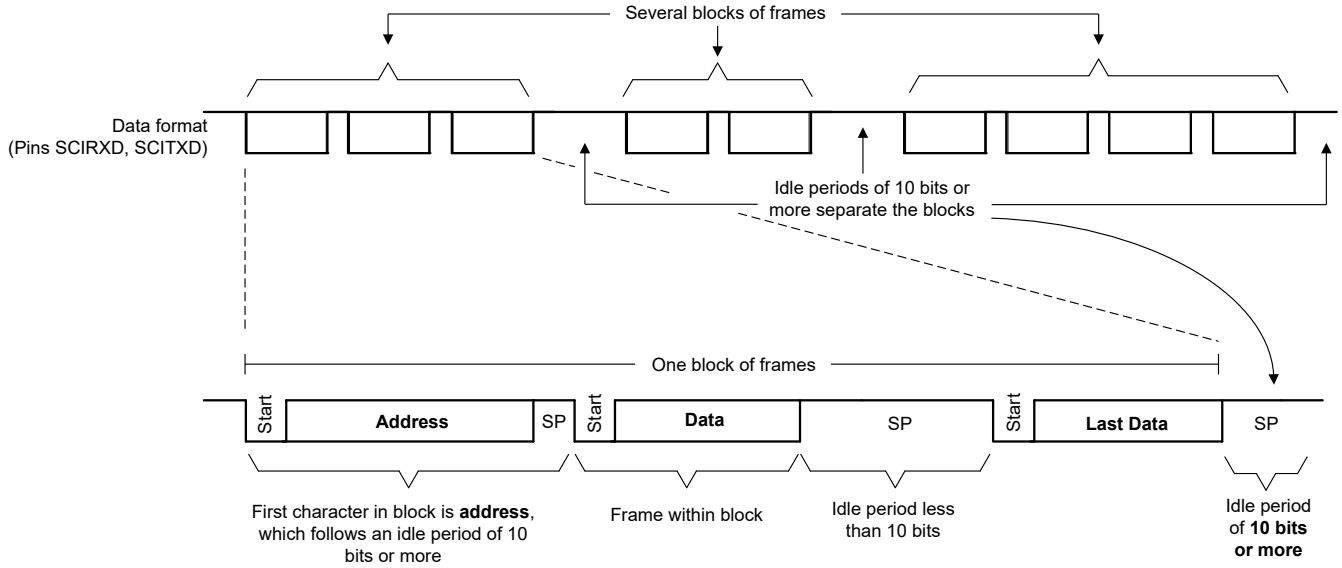


図 22-13. アイドル ライン マルチプロセッサ

アイドル期間の後に最初に受信される文字は、アドレス文字です。UARTx.STAT レジスタのアイドル ビットは、各文字ブロックのアドレス タグとして使用されます。

Copyright © 2026 Texas Instruments Incorporated

アドレス文字を受信すると、ADDR レジスタと、AMASK が適用されたときと比較されます。受信した文字が一致した場合、アドレス文字と、それに続いて受信されるすべての文字が RXDATA バッファ / FIFO に転送され、次に一致しないアドレスを受信するまで割り込みが生成されます。STAT レジスタのアイドル ビットは、アドレスが一致すると自動的にクリアされます。一致しない場合、アイドルビットはアドレスが一致するまでセットされたままになります。

SENDIDLE 制御ビットをセットすると、UART はバス上に 11 ビット時間のアイドル期間を挿入します。アプリケーションは、SENDIDLE ビットをセットする前に、送信ライン上でアクティブなトランザクションがないことを確認する必要があります。

SENDIDLE ビットをセットした後、アプリケーションは SENDIDLE ステータス ビットがアサートされるまで待機し、その後、処理を続行するために SENDIDLE 制御ビットをクリアする必要があります。次の転送は、アドレス文字で開始できます。

次の手順では、アドレス文字とそれに続く関連データを示すために、アイドル フレームを送信します:

1. SENDIDLE を設定し、アドレス文字を TXDATA に書き込みます。TXDATA は新しいデータを受け入れられる状態である必要があります (TXINT 割り込みが 1 である必要があります)。これにより、11 ビットのアイドル期間が生成され、それに続くアドレス文字が生成されます。アドレス文字が転送されると、SENDIDLE は自動的にリセットされます (すべてのビットがシフト レジスタから送信されます)。
2. 目的のデータ文字を TXDATA に書き込みます。TXDATA は新しいデータを受け入れられる状態である必要があります (TXINT 割り込みが 1 である必要があります)。TXDATA に書き込まれたデータは、シフト レジスタが新しいデータを受け入れられる状態になると直ちにシフト レジスタへ転送され、送信されます。

アイドル ライン期間 (10 ビット期間) は、アドレスとデータ転送との間、またはデータ送信間を超えないものとします。それ以外の場合、送信されたデータはアドレスとして誤って解釈されます。

IDLELINE モードを使用する場合、LCRH レジスタの UART ワード長を以下のように設定する必要があります:

- 8 ビット ワード長 (WLEN ビット 6:5 を 0x3 に構成)

IDLELINE での BUSY ビット:

- TX:BUSY は、IDLELINE 信号の生成中、およびアドレス バイトとデータ バイトの送信中に設定されます。
- RX:データ受信中、および最初の 10 アイドルビットが受信されるまでの BUSY 信号。

22.2.3.6 9 ビット UART モード

このセクションは、UART-MULTIDROP-9-BIT 機能をサポートする UNICOMM-UART 構成に適用されます。

9 ビット モードは、CTL0 レジスタの MODE ビットを ADDR9BIT にセットすると有効になります。この機能は、UART のマルチドロップ構成に有用です。この構成では、複数のペリフェラルに接続した 1 台のコントローラが、アドレス バイトの修飾子と 1 つ以上のアドレスを使用して、特定のペリフェラルと通信を行います。9 ビット UART モードでは、パリティの有効 / モード ビットは無視され、UART のワード長 (LCRH.WLEN) は 8 ビットに設定する必要があります。

受信トランザクション:

9 ビット モードでは、ペリフェラルはパリティ ビットの位置でアドレス修飾子をチェックします。セットされている場合、受信バイトが、UARTx.ADDR レジスタにあらかじめプログラムされたアドレスと比較されます。

- アドレスが一致した場合、9 ビット モードのアドレス一致割り込み (ADDR_MATCH) が有効になっていれば、さらにデータが受信されます。
- アドレスが一致しない場合、アドレス バイトとそれ以降のデータ バイトは受信されません。

受信バイトと照合するように、アドレスは UART.ADDR レジスタに事前定義できます。照合は、UART.AMASK レジスタのアドレス マスクを使用して、一連のアドレスに拡張できます。デフォルトでは、UART.AMASK は 0xFF であり、指定されたアドレスのみが一致している必要があります

送信トランザクション:

9 ビットの UART モードでは、送信トランザクションは次のように解釈されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- 9 番目のビットがセットされている場合は、アドレス バイト
- 9 番目のビットがクリアされている場合は、データ バイト

9 ビット モードでは、9 番目のビットをソフトウェアで制御できます。LCRH レジスタの EPS ビットの設定が、送信トランザクションの 9 番目のビットに反映されます。アドレス バイトであることを示すには、バイトの送信前にソフトウェアで EPS ビットをセットする必要があります。データ バイトを送信するには、バイトの送信前に EPS ビットをクリアする必要があります。送信トランザクションを完了するには、EPS ビットをセットしたシングル バイト トランザクションとしてアドレス バイトを送信し、その後、EPS ビットをクリアしたデータ バイト バーストを送信する必要があります。

9 番目のビット

表 22-5. 9 番目のビットの処理

PEN	EPS	9 番目のビット (送信または検証)
0	X	送信または検証でない
1	0	0 (= データ)
1	1	1 (= アドレス)

22.2.3.7 DALI プロトコル

このセクションは、UART-DALI-MANCHESTER 機能をサポートする UNICOMM-UART 構成に適用されます。

DALI は、デジタル アドレッサブル ライティング インターフェイスの略です。これは国際規格 (IEC 62386) 照明制御システムであり、すべての電子制御ギア (光源) および電子制御デバイス (照明コントローラ) に単一のインターフェイスを搭載しています。

UART モジュールは、フォワード フレームおよびバックワード フレームのビットストリームを送受信する、低レベルの DALI プロトコルをサポートします。フォワード フレームとバックワード フレーム間のタイミングは、ソフトウェアで制御および確認する必要があります。

フォワード フレームまたはバックワード フレームの送信:

フォワード フレームを送信する際は、最初のバイトのシフト出力が完了する前に、二番目のバイトをバッファへ書き込む必要があります。その後、ハードウェアは、ストップ ビットを挿入せずに 2 バイトを送信します。そうしないとストップ ビットが送信され、データはバックワード フレームとして処理されます。

受信データ:

DALI モードの UART モジュールは、スタート ビットの後の 9 番目のビットをチェックして、フォワード フレームまたはバックワード フレームを検出します。このビットで位相が変化した場合 (= ストップ ビットなし)、フォワード フレームが検出され、次のようになります:

- アドレス比較は、マスクに応じてソフトウェアまたはハードウェアで実行されます
- アドレスおよびデータは常に RX バッファに転送されます

そうでない場合はバックワード フレームとして検出され、ADDR_MATCH 割り込みをセットせずにデータが RX バッファへ転送されます。

AMASK レジスタは、マルチキャスト動作時のグループ割り当てに使用でき、MSB はデバイスが DALI グループに属しているかどうかを示します。DALI モードの UART がすべてのアドレスに応答できるようにするには、AMASK レジスタをクリアする必要があります。

Copyright © 2026 Texas Instruments Incorporated

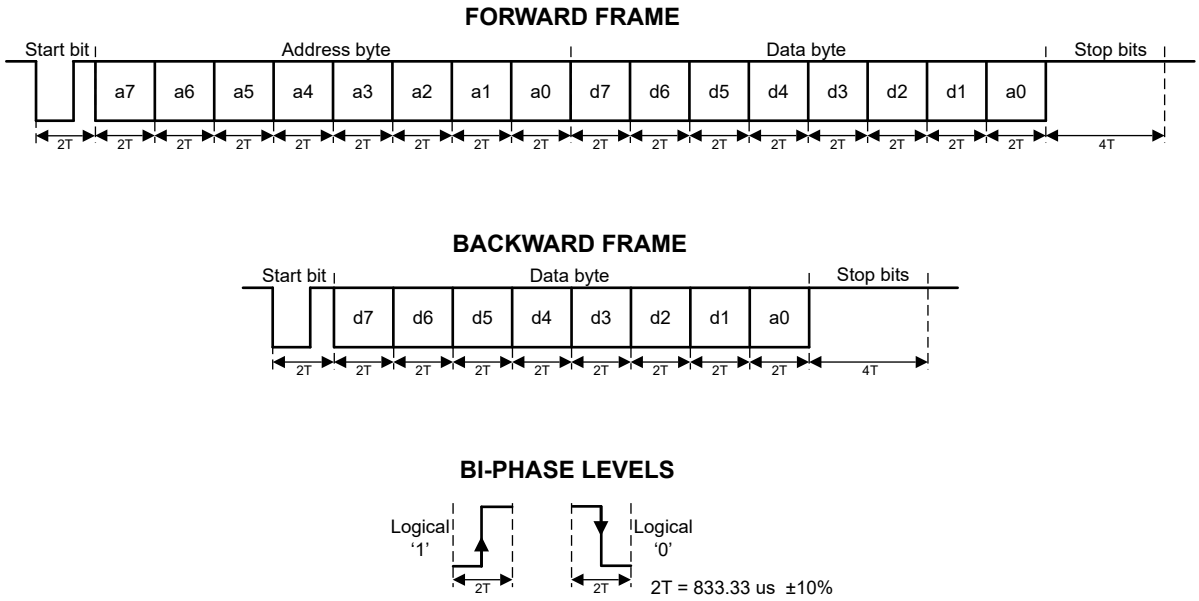


図 22-14. DALI プロトコル

時間 T の制限は次のとおりです:IEC 62386-102 規格によれば、T は 334µs より大きく、500µs 未満です。DALI モードを使用するには、マンチェスタ符号化を有効にする必要があります。DALI モード (CTL0.MODE を DALI に設定) を使用する場合、CTL0 および LCRH レジスタを以下のように設定する必要があります:

- 8 ビット ワード長 (WLEN ビット)
- パリティなし / 2 ストップ ビット
- マンチェスタ符号化が有効
- 2T = 833.33us に一致するように設定されたボーレート構成

UART を DALI 制御装置として構成した場合、アドレス一致機能が有効で、かつアドレスが一致した場合にのみ、バックワード フレームがデバイスに格納されます。アドレス一致が発生すると、フォワード フレームとバックワード フレームの両方が受信 FIFO に格納されます。

22.2.3.8 マンチェスタ符号化および復号化

このセクションは、UART-DALI-MANCHESTER 機能をサポートする UNICOMM-UART 構成に適用されます。

UART は、マンチェスター符号化データを送受信するオプションを提供します。この機能は、CTL0 レジスタの MENC ビットによって IEEE 802.3 準拠の波形を生成するためにイネーブルされます。GPIO コントロール モジュールの反転機能を使用すると、出力信号を反転して G. E. Thomas 準拠の波形を生成できます。

出力信号は、UART クロック信号を使用してデータを XOR 接続することにより生成されます。UART クロックは、ボーレートの二倍の速度である必要があります。したがって、データ送信の場合、各データ ビットの開始位置と中間にエッジがあります。受信信号の場合、ビットの中央のエッジが検出され、RX データがデコードされます。

22.2.3.9 IrDA エンコーダおよびデコーディング

このセクションは、UART-IRDA 機能をサポートする UNICOMM-UART 構成に適用されます。

IRCTL レジスタの IREN ビットを設定すると、IrDA エンコーダおよびデコーダが有効になり、IrDA 通信用のハードウェア ビット整形が行われます。IrDA のエンコードおよびデコードは、UART モード (CTL0.MODE が 0) でのみ使用できます。このモードでは、CLKDIV の奇数分周器のみがサポートされています。

IrDA エンコーディング

エンコーダは、UART からの送信ビット ストリーム内の 0 ビットごとにパルスを送信します (を参照)。パルス幅は、IRTXCLK ビットで選択されたクロックの 1/2 クロック周期数を指定する IRTXPL ビットによって定義されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

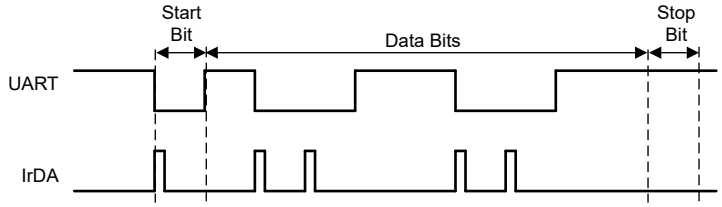


図 22-15. IrDA プロトコル

IrDA デコーディング

IRRXPL = 0 のとき、デコーダは high パルスを検出します。そうでない場合、low パルスを検出します。

UARTx.GFCTL.DGFSEL を 0 より大きい値に設定すると、プログラマブル デジタル フィルタ段を有効にできます。IRCTL.IREN を設定する場合は、プログラムされたフィルタ長より長いパルスだけを通過させ、短いパルスを除去するように、デジタル グリッチ フィルタも設定します。(フィルタの設定方法については、「グリッチ抑制」の章を参照します。)

22.2.3.10 ISO7816 スマート カードのサポート

UART は、ISO7816 スマートカードとの通信を可能にする基本的なサポートを備えています。CTL0 レジスタの MODE ビットをスマートカード モード (0x4) に設定すると、TXD 信号はビット クロックとして使用され、RXD 信号はスマート カードに接続される半二重通信ラインとして使用されます。UNICOMM-UART では、それ以上のスマート カード信号はサポートされていません。

ISO7816 モードにおける UART クロックの周波数は、1MHz ～ 5MHz の範囲内でなければならず、LCRH レジスタは次のように設定する必要があります:

- 8 ビット ワード長 (0x3 に構成された WLEN ビット)
- 偶数パリティ (PEN セットおよび EPS セット)
- スティック パリティなし (SPS クリア)

ISO7816 モードでは、UART は自動的に 2 ストップ ビットを使用し、16 のオーバーサンプリングが適用されます。LCRH.STP2 ビットおよび CTL0.HSE ビットの設定は無視されます。

送信中にパリティ エラーが検出された場合、二番目のストップ ビットの間 RXD は Low になります。この場合、UART は送信を中止し、送信 FIFO をフラッシュして、含まれているデータを破棄します。さらに、パリティ エラー割り込みが発生します。この場合、UART は自動再送信をサポートしていないため、ソフトウェアは問題を検出し、影響を受けるデータの再送信を開始できます。UART は、パリティ エラーによる自動再送信はサポートしていません。送信時にパリティ エラーが検出された場合、それ以上の送信動作はすべて中止され、ソフトウェアは影響を受けるバイトまたはメッセージの再送信を処理する必要があります。

スマートカード モードでは、パリティ エラーの場合のレシーバはラインを Low に駆動し、パリティ割り込みフラグがアサートされます。トランスミッタは、このビットの値に基づいて応答します。

22.2.3.11 アドレス検出

ここでは、次の機能のいずれかをサポートする UNICOMM-UART 構成に適用します。UART-DALI、UART-MULTIDROP-9-BIT、UART-IDLELINE-MULTIPROC。

ADDR レジスタは、受信アドレス バイトと一致する特定のアドレスを設定するために使用されます。このレジスタは、AMASK レジスタと組み合わせて使用され、受信されたアドレス バイトと一致します。AMASK が 1 に設定されているビットのみが考慮されます。したがって、完全なアドレスを得るには、AMASK レジスタが 0xFF に設定されます。

表 22-6. アドレス検出

条件	DALI モード	アイドル ライン モード	9 ビット モード
アドレス一致	アドレスとデータは RXDATA に移動されます	アドレスとデータは RXDATA に移動されます	アドレスとデータは RXDATA に移動されます
アドレスの不一致	アドレスとデータがドロップされます	アドレスとデータがドロップされます	アドレスとデータがドロップされます

Copyright © 2026 Texas Instruments Incorporated

22.2.3.12 グリッチ抑制

デジタル フィルタ

デジタル フィルタは、UART 機能クロックをベースにしています。GFCTL レジスタの DGFSEL ビットは、RX ラインのグリッチを抑制し、適切な信号値を確保するように設定できます。グリッチ抑制値は、機能クロック単位です。グリッチ抑制がゼロでない場合、すべての信号は内部で遅延されます。たとえば、DGFSEL が 0x5 の場合、予測されるトランザクション時間を計算するために、5 クロック分を追加する必要があります。通常のパルスが誤ってフィルタされることを避けるため、DGFSEL は、グリッチ抑制パルス幅が通常のデータ パルスの 1/3 未満になるように設定する必要があります。

アナログ フィルタ

RX ラインのアナログ グリッチ抑制はアナログ グリッチ フィルタをベースとしており、UARTx.GFCTL レジスタの AGFSEL ビットで選択できます。選択可能なグリッチ フィルタ値については、データシートを参照してください。アナログ グリッチ フィルタは AGFEN で有効になります。セットされていない場合、入力信号がフィルタなしで UART モジュールに渡されます。

22.2.4 低消費電力動作

(詳細情報は次のリビジョンで追加されます)

22.2.5 リセットの考慮事項

ソフトウェア リセットの考慮事項

RSTCTL レジスタで KEY とともに RESETASSERT をセットすると、ソフトウェア リセットを実行できます。進行中の転送は直ちに終了し、ソフトウェアが未定義の状態になる可能性があります。したがって、リセットを要求する前に、進行中の転送を終了する必要があります。

ハードウェア リセットの考慮事項

ハードウェア リセットにより、IO 構成が開始されます。これにより、IO はハイ インピーダンス状態に設定され、データ ラインがフローティング状態になる可能性があります。これがアプリケーションまたは UART インターフェイスに接続されたデバイスにとって重要な場合は、外部プルアップ抵抗またはプルダウン抵抗が必要になることがあります。

22.2.6 UART の初期化

UART を有効にして初期化するには、以下の初期化手順を実行します:

1. UNICOMM の最上位レベルにある IPMODE.SELECT ビットで、モジュールを UNICOMM-UART モードに設定します
2. IOMUX レジスタを使用して、RX および TX ピン機能を設定します。
3. UNICOMM のトップ レベルにある RSTCTL レジスタを使用して、ペリフェラルをリセットします
4. トップ レベルの PWREN レジスタを使用して、UART ペリフェラルへの電源供給を有効にします
5. CLKSEL レジスタおよび CLKDIV レジスタを使用して、UART 機能のクロック ソースおよび分周オプションを選択します。
6. CTL0.ENABLE ビットをクリアして、UART を無効にします。
7. セクション 22.2.2.4 のボーレートの式を使用して、IBRD および FBRD レジスタを計算します。
8. BRD の整数部を IBRD レジスタに書き込みます。
9. BRD の小数部を FBRD レジスタに書き込みます。
10. CTL0 レジスタ (イネーブル以外のすべての CTL0 フィールド) に目的の通信モード設定を書き込みます。
11. 目的のシリアル パラメータ設定を LCRH レジスタに書き込みます。
12. IFLS レジスタで目的の FIFO トリガ レベルを構成します。
13. CPU_INT、DMA_TRIG_RX、DMA_TRIG_TX グループ IMASK レジスタを使用して、目的の割り込みや DMA イベントを有効にします。
14. CTL0.ENABLE ビットを設定して、UART を有効にします。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

UNICOMM-UART のセットアップまたは設定変更を行う前に、更新中、または更新後の最初のデータ受信や送信時に予期しない動作が発生するのを防ぐため、CTL0.ENABLE ビットをクリアする必要があります。

22.2.7 割り込みとイベントのサポート

UART モジュールには 3 つのイベント パブリッシャが含まれています。イベント サブスクライバは含まれていません。1 つのイベント パブリッシャ (CPU_INT) が、静的イベント ルートによって CPU サブシステムへの UART 割り込み要求 (IRQ) を管理します。2 番目と 3 番目のイベント パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX) は、DMA イベント ルート経由での DMA のトリガ信号伝達を設定するために使用されます。

表 22-7 に、UART イベントのまとめを示します。

表 22-7. UART イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	UART	CPU サブシステム	静的ルート	CPU_INT レジスタ	UART から CPU への固定割り込みルート
DMA トリガ	パブリッシャ	UART	DMA	DMA イベント ルート	DMA_TRIG_RX レジスタ	UART から DMA への固定割り込みルート
DMA トリガ	パブリッシャ	UART	DMA	DMA イベント ルート	DMA_TRIG_TX レジスタ	UART から DMA への固定割り込みルート

22.2.7.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

UART モジュールは、CPU 割り込みイベントの発生源として設定可能な 18 個の割り込みソースを備えています。割り込みの優先度を下げるため、UART からの CPU 割り込みイベントはここで構成されます:

表 22-8. UART CPU 割り込みイベント条件 (CPU_INT)

IIDX STAT	名称	説明
0x01	RTOUT	UART 受信タイムアウト割り込み。この割り込みは、受信 FIFO が空でなく、UARTx.IFLS.RXTOSEL フィールドで指定された時間以上データを受信しない場合にアサートされます。詳細については、以下を参照してください。
0x02	FRMERR	UART フレーミング エラー割り込み。
0x03	PARERR	UART パリティ エラー割り込み。
0x04	BRKERR	UART ブレーク エラー割り込み。
0x05	OVRERR	UART 受信オーバーラン エラー割り込み。
0x06	RXNE	RX 立ち下がりエッジ割り込み:RX ラインに立ち下がりエッジが発生すると、この割り込みがトリガされます。
0x07	RXPE	RX 割り込みでの立ち上がりエッジ:RX ラインに立ち上がりエッジが存在すると、この割り込みがトリガされます。
0x08	LINC0	LIN キャプチャ 0 一致割り込み:この割り込みは、LIN カウンタで定義されたキャプチャ 0 値に達するとトリガされます。
0x09	LINC1	LIN キャプチャ 1 一致割り込み:この割り込みは、LIN カウンタで定義されたキャプチャ 1 値に達するとトリガされます。
0x0A	LINOVF	LIN カウンタ オーバーフロー割り込み:16 ビット LIN カウンタがオーバーフローすると、この割り込みがトリガされます。
0x0B	RXINT	UART 受信割り込み。詳細については、以下を参照してください。
0x0C	TXINT	UART 送信割り込み。詳細については、以下を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 22-8. UART CPU 割り込みイベント条件 (CPU_INT) (続き)

IIDX STAT	名称	説明
0x0D	EOT	UART 送信終了割り込みは、送信されたすべてのデータおよびステータスの最終ビットがシリアライザから出力され、TX FIFO に後続のデータがないことを示します。
0x0E	ADDR_MATCH	アドレス一致割り込み。アドレス一致が発生したことを示すアドレスのあるプロトコルで使用されます。
0x0F	CTS	UART のクリアにより割り込みを送信し、CTS 信号ステータスを示します。
0x10	DMA_DONE_RX	この割り込みは、RX DMA チャネルが DONE 信号を送信すると設定されます。
0x11	DMA_DONE_TX	この割り込みは、TX DMA チャネルが DONE 信号を送信すると設定されます。
0x12	NERR	ノイズ エラー割り込みは、多数決に使用される 3 つのサンプリング値が同じでない場合に設定されます
0x15	LTOUT	UART ライン タイムアウト割り込み。UARTx.IFLS.RXTOSEL ビットで指定された時間以上データが受信されない場合、この割り込みがアサートされます。

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。CPU 割り込みのイベント レジスタを構成する方法のガイダンスについては、*Event Registers* を参照してください。

受信 FIFO が空でなく、UARTx.IFLS.RXTOSEL ビットで指定された時間内に後続データを受信しなかった場合、受信タイムアウト割り込みがアサートされます。受信タイムアウト割り込みは、すべてのデータを読み出して FIFO が空になった場合 (または保持レジスタを読み出した場合)、IIDX から割り込みインデックスを読み出した場合、あるいは ICLR レジスタの対応するビットに 1 を書き込んだ場合にクリアされます。

受信割り込み (RXINT、0x0B) は、以下のいずれかのイベントが発生すると状態が変化します:

- FIFO が有効で、受信 FIFO が設定されたトリガ レベルに達すると、RXINT ビットがセットされます。受信割り込みは、受信 FIFO からデータを読み出してデータ量がトリガ レベル未満になった場合、IIDX から割り込みインデックスを読み出した場合、または ICLR の RXINT ビットに 1 を書き込んだ場合にクリアされます。
- FIFO が無効 (深さ 1 のバッファとして動作) で、データを受信してバッファがフルになると、RXINT ビットがセットされます。受信割り込みは、受信 FIFO を一回読み出した場合、IIDX から割り込みインデックスを読み出した場合、または ICLR の RXINT ビットに 1 を書き込んだ場合にクリアされます。

送信割り込み (TXINT、0x0C) は、次のいずれかのイベントが発生すると状態が変化します:

- FIFO が有効で、送信 FIFO 内のデータ量が設定されたトリガ レベルを通過すると、TXINT ビットがセットされます。送信割り込みは、FIFO が設定されたトリガ レベルを通過する変化を検出して発生します。したがって、次の送信割り込みを発生させるには、FIFO へデータを書き込み、設定されたトリガ レベルをいったん超えさせる必要があります。そうしなければ、それ以降の送信割り込みは発生しません。送信割り込みは、送信 FIFO のデータ量がトリガ レベルを上回るまでデータを書き込むか、IIDX から割り込みインデックスを読み出すか、ICLR の TXINT ビットに 1 を書き込むことでクリアされます。
- FIFO が無効で、送信部が単一のエントリ分の深さしか持たず、単一エントリにデータが存在しない場合、TXINT ビットがセットされます。送信 FIFO への一回の書き込みを実行するか、IIDX から割り込みインデックスを読み取るか、ICLR の TXINT ビットに 1 を書き込むことで、クリアされます。

22.2.7.2 DMA トリガ パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX)

DMA_TRIG_RX および DMA_TRIG_TX レジスタは、DMA のトリガ信号を設定するために使用されます。これは、表 22-9 および表 22-10 のトリガ条件を使用して、受信イベントまたは送信イベントに対する DMA できるように設定できます。

DMA_TRIG_RX ラインは、DMA による受信データ転送をトリガするために使用され、DMA_TRIG_TX ラインは、DMA による送信データ転送をトリガするために使用されます。

表 22-9. UART DMA トリガ条件 (DMA_TRIG_RX)

IIDX STAT	名称	説明
0x01	RTOUT	UART 受信タイムアウト割り込み。この割り込みは、受信 FIFO が空でなく、UARTx.IFLS.RXTOSEL ビットで指定された時間にわたって新たなデータを受信しなかった場合にアサートされます。詳細については、以下を参照してください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 22-9. UART DMA トリガ条件 (DMA_TRIG_RX) (続き)

IIDX STAT	名称	説明
0x0B	RXINT	UART 受信割り込み。詳細については、以下を参照してください。

受信タイムアウト割り込みは、受信 FIFO が空でなく、IFLS.RXIFSEL ビットで指定された時間にわたって新たなデータを受信しなかった場合にアサートされます。受信タイムアウト割り込みは、すべてのデータを読み出して FIFO が空になった場合 (または保持レジスタを読み出した場合)、IIDX から割り込みインデックスを読み出した場合、あるいは ICLR レジスタの対応するビットに 1 を書き込んだ場合にクリアされます。

受信割り込み (RXINT、0x0B) は、以下のいずれかのイベントが発生すると状態が変化します:

- FIFO が有効で、受信 FIFO が設定されたトリガ レベルに達すると、RXINT ビットがセットされます。受信割り込みは、受信 FIFO からデータを読み出してデータ量がトリガ レベル未満になった場合、IIDX から割り込みインデックスを読み出した場合、または ICLR の RXINT ビットに 1 を書き込んだ場合にクリアされます。
- FIFO が無効 (深さ 1 のバッファとして動作) で、データを受信してバッファがフルになると、RXINT ビットがセットされます。受信割り込みは、受信 FIFO を一回読み出した場合、IIDX から割り込みインデックスを読み出した場合、または ICLR の RXINT ビットに 1 を書き込んだ場合にクリアされます。

表 22-10. UART DMA トリガ条件 (DMA_TRIG_TX)

IIDX STAT	名称	説明
0x0C	TXINT	UART 送信割り込み。詳細については、以下を参照してください。

送信割り込み (TXINT、0x0C) は、次のいずれかのイベントが発生すると状態が変化します:

- FIFO が有効で、送信 FIFO 内のデータ量が設定されたトリガ レベルを通過すると、TXINT ビットがセットされます。送信割り込みは、FIFO が設定されたトリガ レベルを通過する変化を検出して発生します。したがって、次の送信割り込みを発生させるには、FIFO へデータを書き込み、設定されたトリガ レベルをいったん超えさせる必要があります。そうしなければ、それ以降の送信割り込みは発生しません。送信割り込みは、送信 FIFO のデータ量がトリガ レベルを上回るまでデータを書き込むか、IIDX から割り込みインデックスを読み出すか、ICLR の TXINT ビットに 1 を書き込むことでクリアされます。
- FIFO が無効で、送信部が単一のエントリ分の深さしか持たず、単一エントリにデータが存在しない場合、TXINT ビットがセットされます。送信 FIFO への一回の書き込みを実行するか、IIDX から割り込みインデックスを読み取るか、ICLR の TXINT ビットに 1 を書き込むことで、クリアされます。

DMA トリガ イベントの構成は、DMA_TRIG_RX および DMA_TRIG_TX イベント管理レジスタによって管理されます。イベント レジスタの設定方法についてはセクション 8.2.5、DMA トリガ イベントの動作についてはセクション 8.1.3.2 を参照してください。

22.2.8 エミュレーション モード

デバイスがデバッグモードにあるときのモジュールの動作は、PDBGCTL レジスタの FREE ビットおよび SOFT ビットによって制御されます。

デバイスがデバッグ モードで停止状態に設定されている場合、次の動作を設定できます。

表 22-11. デバッグ モード ペリフェラルの動作

PDBGCTL.FREE	PDBGCTL.SOFT	機能
1	x	モジュールは動作を継続します
0	0	モジュールは直ちに停止します
0	1	次の転送が完了すると、モジュールが停止します

Copyright © 2026 Texas Instruments Incorporated

22.3 UNICOMMUART レジスタ

UNICOMMUART レジスタのメモリ マップト レジスタを表 22-12 に示します。表 22-12 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 22-12. UNICOMMUART レジスタ

オフセット	略称	レジスタ名	セクション
1000h	CLKDIV	クロック分周比	セクション 22.3.1
1008h	CLKSEL	超低消費電力ペリフェラル用クロック選択	セクション 22.3.2
1020h	IIDX	割り込みインデックス	セクション 22.3.3
1028h	IMASK	割り込みマスク	セクション 22.3.4
1030h	RIS	未加工割り込みステータス	セクション 22.3.5
1038h	MIS	マスクされた割り込みステータス	セクション 22.3.6
1040h	ISET	割り込み設定	セクション 22.3.7
1048h	ICLR	割り込みクリア	セクション 22.3.8
1058h	IMASK	割り込みマスク	セクション 22.3.9
1060h	RIS	未加工割り込みステータス	セクション 22.3.10
1068h	MIS	マスクされた割り込みステータス	セクション 22.3.11
1070h	ISET	割り込み設定	セクション 22.3.12
1088h	IMASK	割り込みマスク	セクション 22.3.13
1090h	RIS	未加工割り込みステータス	セクション 22.3.14
1098h	MIS	マスクされた割り込みステータス	セクション 22.3.15
10A0h	ISET	割り込み設定	セクション 22.3.16
10E4h	INTCTL	割り込み制御レジスタ	セクション 22.3.17
1100h	CTL0	UART 制御レジスタ 0	セクション 22.3.18
1104h	LCRH	UART ライン制御レジスタ	セクション 22.3.19
1108h	STAT	UART ステータス レジスタ	セクション 22.3.20
110Ch	IFLS	UART 割り込み FIFO レベル選択レジスタ	セクション 22.3.21
1110h	IBRD	UART 整数ボーレート分周器レジスタ	セクション 22.3.22
1114h	FBRD	UART 除数ボーレート分周器レジスタ	セクション 22.3.23
1118h	GFCTL	グリッチ フィルタ制御	セクション 22.3.24
1120h	TXDATA	UART 送信データ レジスタ	セクション 22.3.25
1124h	RXDATA	UART 受信データ レジスタ	セクション 22.3.26
1130h	LINCNT	UART LIN モード カウンタ レジスタ	セクション 22.3.27
1134h	LINCTL	UART LIN モード制御レジスタ	セクション 22.3.28
1138h	LINC0	UART LIN モード キャプチャ 0 レジスタ	セクション 22.3.29
113Ch	LINC1	UART LIN モード キャプチャ 1 レジスタ	セクション 22.3.30
1140h	IRCTL	eUSCI_Ax IrDA 制御ワード レジスタ	セクション 22.3.31
1148h	AMASK	セルフ アドレス マスク レジスタ	セクション 22.3.32
114Ch	ADDR	セルフ アドレス レジスタ	セクション 22.3.33

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 22-13 に、このセクションでアクセス タイプに使用しているコードを示します。

表 22-13. UNICOMMUART アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 22-13. UNICOMMUART アクセス タイプ コード (続き)

アクセス タイプ	コード	説明
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

22.3.1 CLKDIV レジスタ (オフセット = 1000h) [リセット = 00000000h]

CLKDIV を表 22-14 に示します。

概略表に戻ります。

このレジスタは、機能クロックのモジュール固有の分周比を指定するために使用します

表 22-14. CLKDIV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R/W	0h	
2-0	比率	R/W	0h	モジュール クロックの分周比 0 を選択します:DIV_BY_1 1: DIV_BY_2 .... 63:DIV_BY_64 0h = クロック ソースを分周しません 1h = クロック ソースを 2 分周 2h = クロック ソースを 3 分周 3h = クロック ソースを 4 分周 4h = クロック ソースを 5 分周 5h = クロック ソースを 6 分周 6h = クロック ソースを 7 分周 7h = クロック ソースを 8 分周 3Ch = クロック ソースを 61 分周 3Dh = クロック ソースを 62 分周 3Eh = クロック ソースを 63 分周 3Fh = クロック ソースを 64 分周

Copyright © 2026 Texas Instruments Incorporated

22.3.2 CLKSEL レジスタ (オフセット = 1008h) [リセット = 00000000h]

CLKSEL を表 22-15 に示します。

概略表に戻ります。

ペリフェラル用クロック ソースの選択

表 22-15. CLKSEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R/W	0h	
11	ASYNC_PLL_SEL	R/W	0h	非同期 PLL をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
10	ASYNC_HFCLK_SEL	R/W	0h	非同期 HFCLK をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
9	ASYNC_SYSCLK_SEL	R/W	0h	非同期 sysclk をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
8	ASYNC_LFCLK_SEL	R/W	0h	非同期 lfclk をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
7-4	予約済み	R/W	0h	
3	BUSCLK_SEL	R/W	0h	有効な場合、クロック ソースとして BUS CLK を選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
2	MFCLK_SEL	R/W	0h	有効な場合、MFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
1	LFCLK_SEL	R/W	0h	有効な場合、LFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

22.3.3 IIDX レジスタ (オフセット = 1020h) [リセット = 00000000h]

IIDX を表 22-16 に示します。

概略表に戻ります。

このレジスタは、最も優先度が高い有効な割り込みインデックスを提供します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 は最も高い優先度を持ち、その後に IIDX、その次に 4、8 ...、そして IIDX^31 が最も低い優先度となります。つまり、1 に設定された最下位ビット位置が、最も高い優先度の保留中の割り込みを示します。優先順位は固定されています。しかしながら、ユーザーは、発生したすべての割り込みセットを公開する他のレジスタを使用することで、独自の優先順位付けスキームを実装することができます。各読み取り時に、一つの割り込みのみが示されます。読み取り時には、現在の割り込み (最優先の割り込み) がハードウェアによって自動的にクリアされ、それに対応する [RIS] および [MIS] の割り込みフラグも同時にクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

表 22-16. IIDX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	UART モジュールの割り込みベクタ値。このレジスタは、最も優先度の高い割り込みのインデックスを示します。読み取りを行うと、RIS レジスタおよび MIS レジスタ内の対応する割り込みフラグがクリアされます。15h～1Fh = 予約済み 00h = 割り込み保留なし 01h = UART 受信タイムアウト割り込み、割り込みフラグ:RT、割り込み優先度:最高 02h = UART フレーミング エラー割り込み、割り込みフラグ:FE 03h = UART パリティ エラー割り込み、割り込みフラグ:PE 04h = UART ブレーク エラー割り込み、割り込みフラグ:BE 05h = UART 受信オーバーラン エラー割り込み、割り込みフラグ:OE 06h = UARTxRXD 割り込みの負のエッジ、割り込みフラグ: RXNE 07h = UARTxRXD の立ち上がりエッジ割り込み、割り込みフラグ:RXPE 08h = LIN キャプチャ 0 / 一致割り込み、割り込みフラグ:LINC0 09h = LIN キャプチャ 1 割り込み、割り込みフラグ:LINC1 0Ah = LIN ハードウェア カウンタオーバーフロー割り込み、割り込みフラグ: LINOVF 0Bh = UART 受信割り込み、割り込みフラグ:RX 0Ch = UART 送信割り込み、割り込みフラグ:TX 0Dh = UART 送信終了割り込み (送信シリアライザが空)、割り込みフラグ: EOT 0Eh = 9 ビット モード アドレス一致割り込み、割り込みフラグ: ADDR_MATCH Fh = UART クリアしてモデム割り込みを送信、割り込みフラグ:CTS 10h = RX での DMA DONE 11h = TX での DMA DONE 12h = ノイズ エラー イベント 13h = DMA PRE IRQ 割り込み 14h = DMA PRE IRQ 割り込み 15h = UART ライン タイムアウト割り込み、割り込みフラグ

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

22.3.4 IMASK レジスタ (オフセット = 1028h) [リセット = 00000000h]

IMASK を表 22-17 に示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

表 22-17. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R/W	0h	
20	LTOUT	R/W	0h	UARTOUT ライン タイムアウト割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	NERR	R/W	0h	3 入力多数決でノイズ エラーが発生しました。多数決の 3 サンプルが一致しない場合にアサートされます 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
16	DMA_DONE_TX	R/W	0h	TX イベントチャネル割り込みで DMA 完了を有効にする 0h = 割り込みは無効です 1h = 割り込みマスクを設定します
15	DMA_DONE_RX	R/W	0h	RX イベントチャネル割り込みで DMA 完了を有効にする 0h = 割り込みは無効です 1h = 割り込みマスクを設定します
14	CTS	R/W	0h	UART の送信可モデム割り込みを有効にします。 0h = 割り込みは無効です 1h = 割り込みマスクを設定します
13	ADDR_MATCH	R/W	0h	アドレス一致割り込みを有効にします。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
12	EOT	R/W	0h	UART 送信完了割り込みを有効にします。これは、送信されたすべてのデータおよびフラグの最終ビットがシリアライザから出力され、TX FIFO またはバッファに未送信データが残っていないことを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
11	TXINT	R/W	0h	UART 送信割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
10	RXINT	R/W	0h	UART 受信割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
9	LINOVF	R/W	0h	LIN ハードウェア カウンタのオーバーフロー割り込みを有効にします。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
8	LINC1	R/W	0h	LIN キャプチャ 1 割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
7	LINC0	R/W	0h	LIN キャプチャ 0 / 一致割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
6	RXPE	R/W	0h	UARTxRXD 割り込みの正のエッジを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

表 22-17. IMASK レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	RXNE	R/W	0h	UARTxRXD 割り込みの負のエッジを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
4	OVRERR	R/W	0h	UART 受信オーバーラン エラー割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
3	BRKERR	R/W	0h	UART ブレーク エラー割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2	PARERR	R/W	0h	UART パリティ エラー割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1	FRMERR	R/W	0h	UART フレーミング エラー割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
0	RTOUT	R/W	0h	UARTOUT 受信タイムアウト割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

22.3.5 RIS レジスタ (オフセット = 1030h) [リセット = 00000000h]

RIS を表 22-18 に示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

表 22-18. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20	LTOUT	R	0h	UARTOUT ライン タイムアウト割り込み。セット:最後の文字を受信した後、さらに一文字分の時間が経過してもスタート エッジが検出されていません。これは FIFO の内容に関係ありません。クリア:タイムアウトが発生していません 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	NERR	R	0h	3 入力多数決でノイズ エラーが発生しました。多数決の 3 サンプルが一致しない場合にアサートされます 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
16	DMA_DONE_TX	R	0h	TX イベント チャネル割り込みで DMA 完了 0h = 割り込みは無効です 1h = 割り込みが発生しました
15	DMA_DONE_RX	R	0h	RX イベント チャネル割り込みで DMA 完了 0h = 割り込みは無効です 1h = 割り込みが発生しました
14	CTS	R	0h	UART の送信可モデム割り込み。この割り込みは、CTS が「0」から「1」、または「1」から「0」に変化したときに発生します。 0h = 割り込みは無効です 1h = 割り込みが発生しました
13	ADDR_MATCH	R	0h	アドレス一致割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
12	EOT	R	0h	UART 送信完了割り込みは、送信されたすべてのデータおよびフラグの最終ビットがシリアライザから出力され、TX FIFO またはバッファに未送信データが残っていないことを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
11	TXINT	R	0h	UART 送信割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
10	RXINT	R	0h	UART 受信割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
9	LINOVF	R	0h	LIN ハードウェア カウンタ オーバーフロー割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
8	LINC1	R	0h	LIN キャプチャ 1 割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 22-18. RIS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	LINC0	R	0h	LIN キャプチャ 0 / 一致割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
6	RXPE	R	0h	UARTxRXD 割り込みの正のエッジ。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
5	RXNE	R	0h	UARTxRXD 割り込みの負のエッジ。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
4	OVRERR	R	0h	UART 受信オーバーラン エラー割り込み。UART 受信オーバーラン エラー割り込みは、受信 FIFO がフルの状態で新しいフレームを受信したときに発生します 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
3	BRKERR	R	0h	UART ブレーク エラー割り込み。ブレーク エラー割り込みは、すべてのデータ ビット、パリティ ビット、およびストップ ビットが「0」の場合に発生します 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
2	PARERR	R	0h	UART パリティ エラー割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
1	FRMERR	R	0h	UART フレーミング エラー割り込み。フレーミング エラー割り込みは、ストップ ビットが「Low」として検出されたときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
0	RTOUT	R	0h	UARTOUT 受信タイムアウト割り込み。タイムアウト時間が経過した時点で、FIFO 内にデータが残っている場合に割り込みが発生します 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

22.3.6 MIS レジスタ (オフセット = 1038h) [リセット = 00000000h]

MIS を表 22-19 に示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

表 22-19. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20	LTOUT	R	0h	マスクされた UARTOUT ライン タイムアウト割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	NERR	R	0h	3 入力多数決でノイズ エラーが発生しました。多数決の 3 サンプルが一致しない場合にアサートされます 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
16	DMA_DONE_TX	R	0h	TX イベントチャネル割り込みで DMA Done 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
15	DMA_DONE_RX	R	0h	RX イベントチャネル割り込みで DMA Done 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
14	CTS	R	0h	UART の送信可モデム割り込みをマスク。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
13	ADDR_MATCH	R	0h	マスクされたアドレス一致割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
12	EOT	R	0h	UART 送信完了割り込みは、送信されたすべてのデータおよびフラグの最終ビットがシリアライザから出力され、TX FIFO またはバッファに未送信データが残っていないことを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
11	TXINT	R	0h	マスクされた UART 送信割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
10	RXINT	R	0h	マスクされた UART 受信割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
9	LINOVF	R	0h	マスクされた LIN ハードウェア カウンタ オーバーフロー割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
8	LINC1	R	0h	マスクされた LIN キャプチャ 1 割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
7	LINC0	R	0h	マスクされた LIN キャプチャ 0 / 一致割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
6	RXPE	R	0h	UARTxRXD 割り込みのマスクされた正のエッジ。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 22-19. MIS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	RXNE	R	0h	UARTxRXD 割り込みでマスクされた負エッジ。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
4	OVRERR	R	0h	マスクされた UART 受信オーバーラン エラー割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
3	BRKERR	R	0h	マスクされた UART ブレーク エラー割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
2	PARERR	R	0h	マスクされた UART パリティ エラー割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
1	FRMERR	R	0h	マスクされた UART フレーミング エラー割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
0	RTOUT	R	0h	マスクされた UARTOUT 受信タイムアウト割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

22.3.7 ISET レジスタ (オフセット = 1040h) [リセット = 00000000h]

ISET を表 22-20 に示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

表 22-20. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	W	0h	
20	LTOUT	W	0h	UARTOUT ライン タイムアウト割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	NERR	W	0h	3 入力多数決でノイズ エラーが発生しました。多数決の 3 サンプルが一致しない場合にアサートされます 0h = これを書き込んでも影響ありません 1h = 割り込みをセットします
16	DMA_DONE_TX	W	0h	TX イベントチャネル割り込みで DMA Done を設定します 0h = 割り込みは無効です 1h = 割り込みをセットします
15	DMA_DONE_RX	W	0h	RX イベントチャネル割り込みで DMA Done を設定します 0h = 割り込みは無効です 1h = 割り込みをセットします
14	CTS	W	0h	UART の送信可モデム割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
13	ADDR_MATCH	W	0h	アドレス一致割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
12	EOT	W	0h	UART 送信完了割り込みを設定します。この割り込みは、送信されたすべてのデータおよびフラグの最終ビットがシリアライザから出力され、TX FIFO またはバッファに送信待ちのデータが残っていないことを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
11	TXINT	W	0h	UART 送信割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
10	RXINT	W	0h	UART 受信割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
9	LINOVF	W	0h	LIN ハードウェア カウンタ オーバーフロー割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
8	LINC1	W	0h	LIN キャプチャ 1 割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
7	LINC0	W	0h	LIN キャプチャ 0 / 一致割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

表 22-20. ISET レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	RXPE	W	0h	UARTxRXD 割り込みの正のエッジを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
5	RXNE	W	0h	UARTxRXD 割り込みの負のエッジを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
4	OVRERR	W	0h	UART 受信オーバーラン エラー割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
3	BRKERR	W	0h	UART ブレーク エラー割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
2	PARERR	W	0h	UART パリティ エラー割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
1	FRMERR	W	0h	UART フレーミング エラー割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
0	RTOUT	W	0h	UARTOUT 受信タイムアウト割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

22.3.8 ICLR レジスタ (オフセット = 1048h) [リセット = 00000000h]

ICLR を表 22-21 に示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

表 22-21. ICLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	W	0h	
20	LTOUT	W	0h	UARTOUT ライン タイムアウト割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	NERR	W	0h	3 入力多数決でノイズ エラーが発生しました。多数決の 3 サンプルが一致しない場合にアサートされます 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
16	DMA_DONE_TX	W	0h	TX イベントチャネル割り込みで DMA Done をクリアします 0h = 割り込みは無効です 1h = 割り込みをクリアします
15	DMA_DONE_RX	W	0h	RX イベントチャネル割り込みで DMA Done をクリアします 0h = 割り込みは無効です 1h = 割り込みをクリアします
14	CTS	W	0h	UART の送信可モデム割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
13	ADDR_MATCH	W	0h	アドレス一致割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
12	EOT	W	0h	UART 送信完了割り込みをクリアします。この割り込みは、送信されたすべてのデータおよびフラグの最終ビットがシリアライザから出力され、TX FIFO またはバッファに送信待ちのデータが残っていないことを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
11	TXINT	W	0h	UART 送信割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
10	RXINT	W	0h	UART 受信割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
9	LINOVF	W	0h	LIN ハードウェア カウンタ オーバーフロー割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
8	LINC1	W	0h	LIN キャプチャ 1 割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
7	LINC0	W	0h	LIN キャプチャ 0 / 一致割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
6	RXPE	W	0h	UARTxRXD 割り込みの正のエッジをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 22-21. ICLR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	RXNE	W	0h	UARTxRXD 割り込みの負のエッジをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
4	OVRERR	W	0h	UART 受信オーバーラン エラー割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
3	BRKERR	W	0h	UART ブレーク エラー割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
2	PARERR	W	0h	UART パリティ エラー割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
1	FRMERR	W	0h	UART フレーミング エラー割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
0	RTOUT	W	0h	UARTOUT 受信タイムアウト割り込みをクリアします。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

22.3.9 IMASK レジスタ (オフセット = 1058h) [リセット = 00000000h]

IMASK を表 22-22 に示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

表 22-22. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R/W	0h	
10	RXINT	R/W	0h	UART 受信割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
9-1	予約済み	R/W	0h	
0	RTOUT	R/W	0h	UARTOUT 受信タイムアウト割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

22.3.10 RIS レジスタ (オフセット = 1060h) [リセット = 00000000h]

RIS を表 22-23 に示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。

表 22-23. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	
10	RXINT	R	0h	UART 受信割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
9-1	予約済み	R	0h	
0	RTOUT	R	0h	UARTOUT 受信タイムアウト割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

22.3.11 MIS レジスタ (オフセット = 1068h) [リセット = 00000000h]

MIS を表 22-24 に示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

表 22-24. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	
10	RXINT	R	0h	マスクされた UART 受信割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
9-1	予約済み	R	0h	
0	RTOUT	R	0h	マスクされた UARTOUT 受信タイムアウト割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

22.3.12 ISET レジスタ (オフセット = 1070h) [リセット = 00000000h]

ISET を表 22-25 に示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

表 22-25. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	W	0h	
10	RXINT	W	0h	UART 受信割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
9-1	予約済み	W	0h	
0	RTOUT	W	0h	UARTOUT 受信タイムアウト割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

22.3.13 IMASK レジスタ (オフセット = 1088h) [リセット = 00000000h]

IMASK を表 22-26 に示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

表 22-26. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R/W	0h	
11	TXINT	R/W	0h	UART 送信割り込みを有効化します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
10-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

22.3.14 RIS レジスタ (オフセット = 1090h) [リセット = 00000000h]

RIS を表 22-27 に示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。

表 22-27. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	
11	TXINT	R	0h	UART 送信割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
10-0	予約済み	R	0h	

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

22.3.15 MIS レジスタ (オフセット = 1098h) [リセット = 00000000h]

MIS を表 22-28 に示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

表 22-28. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	
11	TXINT	R	0h	マスクされた UART 送信割り込み。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
10-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

22.3.16 ISET レジスタ (オフセット = 10A0h) [リセット = 00000000h]

ISET を表 22-29 に示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

表 22-29. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	W	0h	
11	TXINT	W	0h	UART 送信割り込みを設定します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
10-0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

22.3.17 INTCTL レジスタ (オフセット = 10E4h) [リセット = 00000000h]

INTCTL を表 22-30 に示します。

概略表に戻ります。

割り込み制御レジスタ

表 22-30. INTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	W	0h	
0	INTEVAL	W	0h	このフィールドに 1 を書き込むと、割り込みソースが再評価されます。 0h = 割り込みまたはイベント ラインは無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアは RIS をクリアする必要があります。

Copyright © 2026 Texas Instruments Incorporated

22.3.18 CTL0 レジスタ (オフセット = 1100h) [リセット = 00000038h]

CTL0 を表 22-31 に示します。

概略表に戻ります。

UART 制御レジスタ CTL0 レジスタは制御レジスタです。リセット時には、セットされる送信イネーブル (TXE) ビットおよび受信イネーブル (RXE) ビットを除き、すべてのビットがクリアされます。UART モジュールを有効にするには、UARTEN ビットをセットする必要があります。ソフトウェアでモジュールの設定を変更する場合は、設定変更を書き込む前に UARTEN ビットをクリアする必要があります。送信または受信動作中に UART を無効にした場合、UART が停止する前に、現在実行中のトランザクションは完了します。注:UART が有効になっている間は CTL0 レジスタを変更しないでください。変更した場合、動作結果は予測不能になります。CTL0 レジスタを変更するには、次のシーケンスを推奨します。1.UART をディスエーブルにします。2.現在の文字の送信または受信が完了するまで待ちます。3.送信 FIFO 4 をクリアします。制御レジスタを再設定します。5.UART をイネーブルにします。

表 22-31. CTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R/W	0h	
19	MSBFIRST	R/W	0h	最上位ビット ファースト。このビットは、プロトコル バイトの送信方法と受信方法の両方に影響します。注:MSb または LSb を最初に送信するには、プロトコルをこのビットの正しい値と一致させる必要があります。ハードウェア エンジンは、このビットに基づいてバイトすべてを送信します。 0h = プロトコル パケットでは、最下位ビットが最初に送信されます 1h = プロトコル パケットで最上位ビットが最初に送信されます
18	MAJVOTE	R/W	0h	多数決判定イネーブル。多数決判定を有効にすると、中央の三つのサンプル ビットを使用して受信値を決定します。エラーが発生した場合 (すなわち、3 ビットがすべて同じ値ではない場合)、ノイズ エラーが検出され、RIS.NERR ビットおよび RXDATA.NERR ビットがセットされます。16 倍オーバーサンプリング:ビット 7、8、9 を使用します 8 倍オーバーサンプリング:ビット 3、4、5 を使用します無効:単一のサンプル値 (中央の値) を使用します 0h = 多数決が無効です 1h = 多数決が有効です
17	予約済み	R/W	0h	
16-15	HSE	R/W	0h	高速ビット オーバーサンプリング イネーブル**注:**ビットのオーバーサンプリング設定は、UART のボーレート設定に影響します。ISO7816 スマート カードモード (SMART ビットがセットされている場合) では、このビットの状態はクロック生成に影響しません。 0h = 16 倍のオーバーサンプリング。 1h = 8 倍のオーバーサンプリング。 2h = 3 倍のオーバー サンプリング。3 倍オーバーサンプリングが有効な場合、IrDA、マンチェスター符号、および DALI はサポートされません。
14	CTSEN	R/W	0h	送信許可の有効化 0h = CTS ハードウェア フロー制御は無効です。 1h = CTS ハードウェア フロー制御は有効です。データは、UARTxCTS 信号がアサートされたときにのみ送信されます。
13	RTSEN	R/W	0h	ハードウェア制御による送信要求を有効にします 0h = RTS ハードウェア フロー制御は無効です。 1h = RTS ハードウェア フロー制御は有効です。受信 FIFO またはバッファに空きがある場合にのみ、UARTxRTS をアサートしてデータ送信を要求します。
12	RTS	R/W	0h	送信要求。RTSEN がセットされている場合、RTS 出力信号は FIFO のフィル レベルまたはバッファのステータスに基づいて、ハードウェア ロジックにより制御されます。RTSEN がクリアされている場合、RTS 出力は RTS ビットによって制御されます。このビットは、UART 送信要求の補数で、RTS モデム ステータス出力です。 0h = 信号は RTS ではありません 1h = 信号 RTS

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 22-31. CTL0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	予約済み	R/W	0h	
10-8	モード	R/W	0h	使用する通信モードおよびプロトコルを設定します。(未定義の設定では、デフォルト設定が使用されます:0) 0h = 通常動作 1h = RS485 モード:UART は、データ受信後、EXTDIR_HOLD で設定された時間だけアイドル状態を維持する必要があります。EXTDIR_SETUP は、送信開始前に RTS ラインを High に設定しておく時間を定義します。バッファが空になると、RTS ラインは再び Low に設定されます。UART がデータを受信している間、送信は遅延されます。 2h = UART はアイドル ライン モードで動作します 3h = UART は 9 ビット アドレス モードで動作します 4h = ISO7816 スマートカード対応。ISO7816 モードを使用する場合、アプリケーション側で UARTLCRH レジスタを、8 ビットのワード長 (WLEN を 3h に設定) および偶数パリティ (PEN を 1、EPS を 1、SPS を 0 に設定) に設定する必要があります。UARTLCRH レジスタの STP2 ビットの値は無視され、ストップ ビット数は強制的に 2 ビットに設定されます。 5h = DALI モード:
7	MENC	R/W	0h	マンチェスター符号化の有効化 0h = マンチェスター符号化を無効にします 1h = マンチェスター符号化を有効にします
6	TXD_OUT	R/W	0h	TXD ピン制御:TXD_OUT_EN = 1 かつ TXE = 0 のときに TXD ピンを制御します。 0h = TXD ピンは low です 1h = TXD ピンは high です
5	TXD_OUT_EN	R/W	1h	TXD ピン制御有効。UART の送信セクションがディスエーブルのとき (TXE = 0)、TXD ピンは、TXD_OUT ビットで制御できます。 0h = TXD ピンは TXD_OUT では制御できません 1h = TXD ピンは TXD_OUT で制御できます
4	TXE	R/W	1h	UART 送信イネーブル。送信の途中で UART が無効化された場合、停止する前に現在の文字を完了します。**注:**送信を有効にするには、UARTEN ビットをセットする必要があります。 0h = UART の送信セクションは無効です。有効にした場合、UART の UARTxTXD ピンは TXD_CTL ビットによって制御できます。 1h = UART の送信セクションは有効です。
3	RXE	R/W	1h	UART 受信イネーブル。受信動作の途中で UART を無効にした場合、現在受信中の文字を完了してから停止します。**注:**受信を有効にするには、UARTEN ビットをセットする必要があります。 0h = UART の受信セクションは無効です。 1h = UART の受信セクションは有効です。
2	LBE	R/W	0h	UART ループ バック イネーブル 0h = 通常動作。 1h = UARTxTX パスは、内部で UARTxRX パスにループバックされます。
1	予約済み	R/W	0h	
0	イネーブル	R/W	0h	UART モジュール イネーブル。送信または受信の途中で UART を無効にした場合、現在処理中の文字を完了してから停止します。ENABLE ビットがセットされていない場合でも、すべてのレジスタへのアクセスおよび更新は可能です。設定または更新中の予期しない動作を回避するため、ENABLE ビットをクリアした状態で UART の動作モードを設定または変更することを推奨します。無効にした場合、UART モジュールはデータの送受信を行わず、ロジックはリセット状態に保持されます。 0h = モジュールを無効化します 1h = モジュールを有効化します

Copyright © 2026 Texas Instruments Incorporated

22.3.19 LCRH レジスタ (オフセット = 1104h) [リセット = 00000000h]

LCRH を表 22-32 に示します。

概略表に戻ります。

UART ライン制御レジスタ。LCRH レジスタはライン制御レジスタです。データ長、パリティ、ストップ ビットの選択などのシリアル通信パラメータは、このレジスタで設定します。ボーレート除数 (UARTIBRD または UARTIFRD) を更新するときは、LCRH レジスタにも書き込む必要があります。ボーレート分周レジスタの書き込みストローブは、LCRH レジスタに連動しています。

表 22-32. LCRH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-27	予約済み	R/W	0h	
26	中断	R/W	0h	外部通信の中断 0h = 機能モードが再開 1h = 外部通信を一時停止
25-21	EXTDIR_HOLD	R/W	0h	ストップ ビットの開始後、RS485 用外部ドライバを制御する信号がリセットされるまでの UARTclk クロック数を定義します。(2 ストップ ビットが有効な場合は、2 番目のストップ ビットの開始時点を基準とします。) 0h = 最小値 1Fh = 可能な最大値
20-16	EXTDIR_SETUP	R/W	0h	スタート ビットが送信される前に、RS485 用外部ドライバを制御する信号がセットされるまでの UARTclk クロック数を定義します 0h = 最小値 1Fh = 可能な最大値
15-8	予約済み	R/W	0h	
7	SENDIDLE	R/W	0h	UART 送信アイドル パターン。このビットをセットすると、TX ラインに 11 ビット時間の SENDIDLE 期間が送信されます。STAT.SENDIDLE ビットを読み出すことで、SENDIDLE の現在のステータスを確認できます 0h = 通常動作 1h = アイドル パターンを送信します
6	SPS	R/W	0h	UART 固定パリティ選択。固定パリティ選択 (SPS) ビットは、データの送信または受信時に、パリティを常に「1」または常に「0」に設定するために使用します。この機能は通常、パケットの先頭バイトを示したり、マルチドロップ方式の RS-485 ネットワークなどでアドレス バイトを識別したりするために使用します。UARTLCRH の PEN、EPS、および SPS ビットが設定されている場合、パリティ ビットは 0 として送信およびチェックされます。ビット PEN と SPS を設定して EPS をクリアすると、パリティ ビットは 1 として送信およびチェックされます。 0h = スティック パリティを無効化します 1h = スティック パリティを有効化します
5-4	WLEN	R/W	0h	UART ワード長:これらのビットは、一つのフレーム内で送信または受信されるデータ ビット数を、次のように示します。 0h = 5 ビット (デフォルト) 1h = 6 ビット 2h = 7 ビット 3h = 8 ビット
3	STP2	R/W	0h	UART 2 ストップ ビット選択。7816 スマート カード モード (UARTCTL レジスタの SMART ビットがセットされている場合) では、ストップ ビット数は強制的に 2 ビットに設定されます。 0h = フレームの終了時に一つのストップ ビットを送信します。 1h = フレームの最後に二つのストップ ビットが送信されます。受信ロジックは二つのストップ ビットが受信されたことを確認し、いずれかが無効な場合はフレーム エラーを発生させます。

Copyright © 2026 Texas Instruments Incorporated

表 22-32. LCRH レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	EPS	R/W	0h	UART 偶数パリティ選択。このビットは、PEN ビットによってパリティが無効にされている場合は影響しません。9 ビット UART モード送信の場合、このビットはアドレス バイトとデータ バイト表示 (9 番目のビット) を制御します。0 = 転送されるバイトはデータ バイトです、1 = 転送されるバイトはアドレスバイトです 0h = 奇数パリティが使用され、「1」の数が奇数であることを確認します。 1h = 送信時および受信時に偶数パリティの生成とチェックが行われ、データ ビットとパリティ ビットに含まれる「1」の数が偶数であることを確認します。
1	PEN	R/W	0h	UART パリティ イネーブル 0h = パリティは無効であり、データ フレームにパリティ ビットは付加されません。 1h = パリティ チェックおよび生成が有効化されています。
0	BRK	R/W	0h	UART 送信ブレーク (LIN プロトコル用) 1。このビットがセットされている間、通信ラインにはブレーク状態が送信されます 0h = 通常動作 1h = 現在の文字の送信が完了した後、UARTxTXD 信号には Low レベルが継続して出力されます。ブレーク コマンドを正しく実行するには、ソフトウェアはこのビットを少なくとも 2 フレーム分 (文字期間) セットしておく必要があります。

Copyright © 2026 Texas Instruments Incorporated

22.3.20 STAT レジスタ (オフセット = 1108h) [リセット = 00000000h]

STAT を表 22-33 に示します。

概略表に戻ります。

UART ステータス レジスタ

表 22-33. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	
10	SENDIDLE	R	0h	TX FIFO クリア ステータス 0h = IDLE 状態は、まだ通信ラインに送出されていません 1h = IDLE 状態が通信ラインに送出されました
9	IDLE	R	0h	アイドル ライン マルチプロセッサ モードで、アイドル状態が検出されました。アイドル ビットは、各文字ブロックのアドレス タグとして使用されます。アイドル ライン マルチプロセッサ フォーマットでは、受信した文字がアドレスのとき、このビットが設定されます。 0h = 最後に受信した文字より前には、アイドル状態は検出されていません。(アイドル ライン マルチプロセッサ モードの場合)。 1h = 最後に受信した文字より前に、アイドル状態が検出されました。(アイドル ライン マルチプロセッサ モードの場合)。
8	CTS	R	1h	送信クリア 0h = CTS 信号はアサートされていません (high)。 1h = CTS 信号がアサートされています (low)。
7	TXCLR	R	0h	TX FIFO クリア ステータス 0h = FIFO はクリアされていません 1h = FIFO のクリアが完了しています
6	TXFF	R	0h	UART 送信 FIFO フル。このビットの意味は、CTL0 レジスタの FEN ビットの状態によって異なります。 0h = トランスミッタはフルではありません。 1h = 送信 FIFO がフルです。
5	TXFE	R	1h	UART 送信 FIFO エンプティ 0h = トランスミッタは送信するデータを持っています。 1h = 送信 FIFO が空です。
4	RXCLR	R	0h	RX FIFO クリア ステータス 0h = FIFO はクリアされていません 1h = FIFO のクリアが完了しています
3	RXFF	R	0h	UART 受信 FIFO フル 0h = レシーバはデータを受信できます。 1h = 受信 FIFO がフルです。
2	RXFE	R	1h	UART 受信 FIFO が空 0h = ローカル レシーバが空ではありません。 1h = 受信 FIFO が空です。
1	予約済み	R	0h	
0	BUSY	R	0h	UART ビジー。このビットは、UART が有効かどうかにかかわらず、送信 FIFO またはバッファが空でなくなった時点でセットされます。また、受信処理中の場合もセットされます。受信処理中とは、スタート エッジの検出後から、すべてのストップ ビットを含む 1 バイト全体がシフト レジスタに受信されるまでの期間を指します。IDLE_Line モードでは、アイドル時間生成中もビジー信号が設定されたままになります。 0h = UART はビジーではありません。 1h = UART はデータを送信してビジーです。このビットは、すべてのストップ ビットを含むバイト全体がシフト レジスタと送受信されるまで、設定されたままになります。

Copyright © 2026 Texas Instruments Incorporated

22.3.21 IFLS レジスタ (オフセット = 110Ch) [リセット = 00000022h]

IFLS を表 22-34 に示します。

概略表に戻ります。

IFLS レジスタは、割り込み FIFO レベル選択レジスタです。このレジスタを使用して、TX、RX、タイムアウト割り込みフラグがトリガされるレベルを定義できます。割り込みは、レベルに基づいてではなく、レベル間の遷移に基づいて生成されます。つまり、フィルレベルがトリガ レベルを経過したときに、割り込みが生成されます。たとえば、受信トリガレベルがハーフウェイ マークに設定されている場合、受信 FIFO に 2 文字以上の文字が入力されたときに割り込みが発生します。リセットから復帰すると、TXIFLSEL ビットおよび RXIFLSEL ビットは、FIFO が半分まで満たされた時点で割り込みを発生させるように設定されています。

表 22-34. IFLS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R/W	0h	
11-8	RXTOSEL	R/W	0h	UART 受信割り込みタイムアウト選択。設定されたビット時間内に次の文字のスタート エッジが検出されない場合、FIFO レベルがスレッショルドに達していなくても、RX 割り込みがセットされます。値を 0 にすると、この機能は無効になります。 0h = 最小値 Fh = 可能な最大値
7	RXCLR	R/W	0h	RX FIFO クリア。このビットを設定すると、RX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化します 1h = FIFO クリアを有効化します
6-4	RXIFLSEL	R/W	2h	イベント (割り込み / dma) 生成用の FIFO レベル選択。注:未定義の設定では、デフォルトの設定が使用されます。 1h = RX FIFO の使用量が 1/4 以上です 2h = RX FIFO の使用量が 1/2 以上です (デフォルト) 3h = RX FIFO の使用量が 3/4 以上です 4h = 空ではありません 5h = RX FIFO がフルです 6h = RX_FIFO >= (MAX_FIFO_LEN – 1) 7h = RX_FIFO <= 1
3	TXCLR	R/W	0h	TX FIFO クリア。このビットを設定すると、TX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化します 1h = FIFO クリアを有効化します
2-0	TXIFLSEL	R/W	2h	イベント (割り込み / dma) 生成用の FIFO レベル選択。注:未定義の設定では、デフォルトの設定が使用されます。 1h = TX FIFO の空き容量が 3/4 以下です 2h = TX FIFO の空き容量が 1/2 以下です (デフォルト) 3h = TX FIFO の空き容量が 1/4 以下です 4h = フルではありません 5h = TX FIFO は空です 6h = TX FIFO <= 1 7h = TX_FIFO >= (MAX_FIFO_LEN – 1)

Copyright © 2026 Texas Instruments Incorporated

22.3.22 IBRD レジスタ (オフセット = 1110h) [リセット = 00000000h]

IBRD を表 22-35 に示します。

概略表に戻ります。

IBRD レジスタを変更する場合、新しい値は現在の文字の送受信が完了するまで有効になりません。ボーレート除数に変更を加えた場合は、その後に UARTLCRH レジスタへの書き込みを行う必要があります。構成の詳細については、ボーレート生成の章を参照してください。

表 22-35. IBRD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	
15-0	DIVINT	R/W	0h	整数ボーレート除数 0h = 最小値 FFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

22.3.23 FBRD レジスタ (オフセット = 1114h) [リセット = 00000000h]

FBRD を表 22-36 に示します。

概略表に戻ります。

UART 分数ボーレート分周レジスタ。FBRD レジスタは、ボーレート分周値の小数部を設定します。すべてのビットは、リセット時にクリアされます。FBRD レジスタを変更する場合、新しい値は現在の文字の送受信が完了するまで有効になりません。ボーレート除数に変更を加えた場合は、その後に UARTLCRH レジスタへの書き込みを行う必要があります。構成の詳細については、ボーレート生成の章を参照してください。

表 22-36. FBRD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	
5-0	DIVFRAC	R/W	0h	分数ボーレート除数 0h = 最小値 3Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

22.3.24 GFCTL レジスタ (オフセット = 1118h) [リセット = 0000000Xh]

GFCTL を表 22-37 に示します。

概略表に戻ります。

このレジスタは、RX 入力のグリッチ フィルタを制御します。

表 22-37. GFCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	
5-0	DGFSEL	R/W	00Bh	グリッチ抑制パルス幅。このフィールドは、RX ラインのグリッチ抑制に使用するパルス幅を設定します。このフィールドに設定した値は、RX ライン上のグリッチを抑制する最大機能クロック サイクル数を示します。IRDA モード:受信可能な最小パルス幅は、次の式で求められます:t(MIN) = (DGFSEL) / f(IRTXCLK) 0h = GF をバイパスします 3Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

22.3.25 TXDATA レジスタ (オフセット = 1120h) [リセット = 00000000h]

TXDATA を表 22-38 に示します。

概略表に戻ります。

UART 送信データ レジスタ。このレジスタは送信データ レジスタ (FIFO へのインターフェイス) です。送信データの場合、FIFO がイネーブルなら、この位置に書き込まれたデータは送信 FIFO にプッシュされます。FIFO がディスエーブルの場合、データは送信保持レジスタ (送信 FIFO の最下位ワード) に格納されます。このレジスタへの書き込みにより、UART から送信が開始されます。

表 22-38. TXDATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	W	0h	
7-0	データ	W	0h	UART を介して送信されるデータがこのフィールドに書き込まれます。読み取り時、このフィールドには、UART によって受信されたデータが含まれます。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

22.3.26 RXDATA レジスタ (オフセット = 1124h) [リセット = 00000000h]

RXDATA を表 22-39 に示します。

概略表に戻ります。

UART 受信データ レジスタ。このレジスタはデータ受信レジスタ (FIFO へのインターフェイス) です。受信データについては、FIFO が有効な場合、データ バイトと 4 ビットのステータス情報 (ブレーク、フレーム、パリティ、およびオーバーラン) が、12 ビット幅の受信 FIFO に格納されます。FIFO が無効な場合、データ バイトとステータス情報は受信保持レジスタ (受信 FIFO の最下位ワード) に格納されます。受信データは、このレジスタを読み取ることで取得できます。

表 22-39. RXDATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	
11	NERR	R	0h	ノイズ誤差。このビットに書き込んでも効果はありません。このフラグは、UART EVENT ICLR レジスタの NERR ビットに 1 を書き込むことでクリアされます。 0h = ノイズ エラーは発生していません 1h = 過半数投票中にノイズ エラーが発生しました
10	BRKERR	R	0h	UART ブレーク エラー。このビットへの書き込みは無効です。このフラグは、UART EVENT ICLR レジスタの BRKERR ビットに 1 を書き込むことでクリアされます。このエラーは FIFO の最上位の文字に関連しています。ブレークが発生すると、0 文字という文字が 1 つだけ FIFO にロードされます。次の文字は、受信データ入力が 1 (マーキング状態) になり、かつ次の有効なスタート ビットが受信された後にのみ有効となります。 0h = ブレーク条件は発生していません 1h = ブレーク状態が検出されました。これは、受信データ入力が 1 ワード分の送信時間 (スタート ビット、データ ビット、パリティ ビット、ストップ ビットで構成される時間) を超えて Low レベルに保持されたことを示します。
9	PARERR	R	0h	UART パリティ エラー。このビットへの書き込みは無効です。このフラグは、UART EVENT ICLR レジスタの PARERR ビットに 1 を書き込むことでクリアされます。 0h = パリティ エラーが発生しました 1h = 受信したデータ文字のパリティが、UARTLCRH レジスタのビット 2 およびビット 7 で定義されたパリティと一致していません。
8	FRMERR	R	0h	UART フレーミング エラー。このビットへの書き込みは無効です。このフラグは、UART EVENT ICLR レジスタの FRMERR ビットに 1 を書き込むことでクリアされます。このエラーは FIFO の最上位の文字に関連しています。 0h = フレーミング エラーが発生していません 1h = 受信した文字に有効なストップ ビット シーケンスがありません。ストップ ビット数は UARTLCRH.STP2 の設定に応じて 1 ビットまたは 2 ビットとなり、有効なストップ ビットの値は「1」です。
7-0	データ	R	0h	受信データ。読み取り時、このフィールドには、UART によって受信されたデータが含まれます。 0h = 最小値 FFh = 可能な最大値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

22.3.27 LINCNT レジスタ (オフセット = 1130h) [リセット = 00000000h]

LINCNT を表 22-40 に示します。

概略表に戻ります。

UART LIN モード カウンタ レジスタ

表 22-40. LINCNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	
15-0	値	R/W	0h	UART の機能クロックで動作する 16 ビット アップ カウンタ。 0h = 最小値 FFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

22.3.28 LINCTL レジスタ (オフセット = 1134h) [リセット = 00000000h]

LINCTL を表 22-41 に示します。

概略表に戻ります。

UART LIN モード制御レジスタ

表 22-41. LINCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7	EN_FRM_ERR	R/W	0h	イネーブル フレーム エラー 0h = フレーム エラーの生成の無効化 「0」のストップ ビットが受信された場合、フレーム エラーは生成されません 1h = フレーム エラーの生成を有効化 「0」のストップ ビットが受信されると、フレーム エラーが生成されます
6	LINC0_MATCH	R/W	0h	カウンタ比較一致モード。このビットを「1」に設定すると、カウンタ値と LINC0 レジスタの値が一致した際に、有効化されている場合は LINC0 割り込みが発生します。 0h = カウンタ比較一致モードは無効です (キャプチャ モードは有効です) 1h = カウンタ比較一致は有効です (キャプチャ モードは無効です)
5	LINC1CAP	R/W	0h	正 RXD エッジでのキャプチャ カウンタ。イネーブルにすると、正の RXD エッジごとに、カウンタ値が LINC1 レジスタにキャプチャされます。LINC1 割り込みは、イネーブルにすると発生します。 0h = 正の UARTxRXD エッジでのキャプチャ カウンタは無効です 1h = 正の UARTxRXD エッジでのキャプチャ カウンタは有効です
4	LINC0CAP	R/W	0h	負の RXD エッジでのキャプチャ カウンタ。イネーブルにすると、負の RXD エッジごとに、カウンタ値が LINC0 レジスタにキャプチャされます。LINC0 割り込みは、イネーブルにすると発生します。 0h = 負の UARTxRXD エッジでのキャプチャ カウンタは無効です 1h = 負の UARTxRXD エッジでのキャプチャ カウンタは有効です
3	予約済み	R/W	0h	
2	CNTRXLOW	R/W	0h	RXD 信号 Low 期間カウント。カウンタが有効で、RXD 信号が low の場合、カウンタ値がインクリメントされます。 0h = UARTxRXD の Low 信号が無効化されているときにカウントします 1h = UARTxRXD の Low 信号が有効化されているときにカウントします
1	ZERONE	R/W	0h	RXD の負エッジでゼロ。有効にすると、カウンタは 0 にクリアされ、RXD の立ち下がりエッジでカウントを開始します 0h = 負のエッジは無効化されている場合はゼロ 1h = 負のエッジが有効化されている場合はゼロ
0	CTRENA	R/W	0h	LIN カウンタ イネーブル。LIN カウンタは、イネーブルの場合にのみカウントします。 0h = タイムアウトが無効化されています 1h = タイムアウトが有効化されています

Copyright © 2026 Texas Instruments Incorporated

22.3.29 LINC0 レジスタ (オフセット = 1138h) [リセット = 00000000h]

LINC0 を表 22-42 に示します。

概略表に戻ります。

UART LIN モード キャプチャ 0 レジスタ

表 22-42. LINC0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	
15-0	データ	R/W	0h	16 ビット キャプチャ / 比較レジスタ。RXD の立ち下がりエッジで現在の LINCTR 値をキャプチャし、キャプチャが有効 (LINC0CAP = 1) の場合は LINC0 割り込みを発生させることができます。比較モードがイネーブルの場合 (LINC0_MATCH = 1)、カウンター一致によって LINC0 割り込みが生成されます。 0h = 最小値 FFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

22.3.30 LINC1 レジスタ (オフセット = 113Ch) [リセット = 00000000h]

LINC1 を表 22-43 に示します。

概略表に戻ります。

UART LIN モード キャプチャ 1 レジスタ

表 22-43. LINC1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R/W	0h	
15-0	データ	R/W	0h	16 ビットキャプチャ / 比較レジスタ。RXD の立ち上がりエッジで現在の LINCTR 値をキャプチャし、キャプチャが有効 (LINC1CAP = 1) の場合は LINC1 割り込みを発生させることができます 0h = 最小値 FFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

22.3.31 IRCTL レジスタ (オフセット = 1140h) [リセット = 00000000h]

IRCTL を表 22-44 に示します。

概略表に戻ります。

IrDA 制御レジスタ

表 22-44. IRCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R/W	0h	
9	IRRXPL	R/W	0h	IrDA 受信入力 UCAxRXD 極性 0h = HIGH:IrDA トランシーバは、光パルスが検出されると High パルスを送信します 1h = LOW:IrDA トランシーバは、光パルスが検出されると Low パルスを供給します
8	予約済み	R/W	0h	
7-2	IRTXPL	R/W	0h	送信パルスの長さ。パルス長 t(PULSE) = (IRTXPLx + 1) / [2 * f(IRTXCLK)] (IRTXCLK = UART の機能クロック) 0h = 最小値 3Fh = 可能な最大値
1	IRTXCLK	R/W	0h	IrDA 送信パルス クロック選択 0h (R/W) = IrDA エンコード データは機能クロックに基づいています。 1h (R/W) = IrDA 符号化データはボーレート クロックに基づいて生成されます。8 倍オーバーサンプリングを選択した場合、IRTXPL のサイクル数は 8 未満に設定する必要があります。16 倍オーバーサンプリングを選択した場合は、IRTXPL のサイクル数は 16 未満に設定する必要があります。
0	IREN	R/W	0h	IrDA エンコーダ / デコーダのイネーブル 0h (R/W) = IrDA エンコーダ / デコーダが無効です 1h (R/W) = IrDA エンコーダ / デコーダが有効です

Copyright © 2026 Texas Instruments Incorporated

22.3.32 AMASK レジスタ (オフセット = 1148h) [リセット = 00000000h]

AMASK を表 22-45 に示します。

概略表に戻ります。

自己アドレス マスク レジスタ。AMASK レジスタは、9 ビット モードまたはアイドル ライン モードでアドレス マスクを有効にするために使用します。アドレス ビットはマスクされて、受信アドレス バイトと一致するアドレスのセットが作成されます。DALI、UART 9 ビット、またはアイドルライン モードで使用されます。

表 22-45. AMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7-0	値	R/W	0h	9 ビット モード用自己アドレス マスク。このフィールドには、一致判定の対象となるアドレス範囲を生成するためのアドレス マスクを設定します。MSK ビット フィールドの 0 ビットは、UARTxADDR レジスタの ADDR ビット フィールドの対応するビットは無視されるように構成されます。MSK ビット フィールド内のビットを「1」に設定すると、UARTxADDR レジスタの ADDR ビットフィールド内の対応するビットが一致している必要があります。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

22.3.33 ADDR レジスタ (オフセット = 114Ch) [リセット = 00000000h]

ADDR を表 22-46 に示します。

概略表に戻ります。

自己アドレス レジスタ。ADDR レジスタは、アドレス マスク (AMASK) が FFh に設定されている場合に、受信バイトと照合する特定のアドレスを設定するために使用します。このレジスタは AMASK レジスタと組み合わせて使用し、受信したアドレス バイトとの一致判定を行います。DALI、UART 9 ビット、またはアイドルライン モードで使用されます。

表 22-46. ADDR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7-0	値	R/W	0h	9 ビット モード用セルフ アドレス。このフィールドには、UARTxAMASK が FFh の場合に一致判定の対象となるアドレスを設定します。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

Chapter 23

UNICOMM-I2C

23.1 UNICOMM-I2C の概要 1252
23.2 UNICOMM の共通インフラ 1255
23.3 ペリフェラルの機能説明 1255
23.4 UNICOMM I2C レジスタ 1290

Copyright © 2026 Texas Instruments Incorporated

23.1 UNICOMM-I2C の概要

UNICOMM-I2CC (コントローラ) および UNICOMM-I2CT (ターゲット) モジュールは、MSP デバイスとその他の外部 I²C デバイス (センサ、メモリ、DAC など) の間でデータを転送するための標準化されたシリアル インターフェイスを提供します。

このセクションでは、I2C (I2C コントローラまたは I2C ターゲット) として動作するように設定した場合の UNICOMM モジュールの機能について説明します。各 UNICOMM インスタンスのプロトコル モードは、IPMODE レジスタの SELECT フィールドに設定された値によって決まります。UNICOMM インスタンスが別のペリフェラル モードに設定されている場合、その UNICOMM インスタンスの I2CT/I2CC 機能は無効になり、すべてのレジスタ読み取りでゼロが返されます。

23.1.1 ペリフェラルの目的

UNICOMM-I2CC および UNICOMM-I2CT ペリフェラルは、データ (SDA) ラインとクロック (SCL) ラインから構成される 2 線式シリアルバスを介して、双方向のデータ転送を行います。I²C バスは、バッテリ管理 IC、センサ、その他のマイコンなどのデバイスとのインターフェイスに広く使用されています。この I²C ペリフェラルにより、バス上の他の I²C デバイスとの送受信の両方に対応しています。

23.1.2 特長

UNICOMM-I2CC および UNICOMM-I2CT は、以下の機能をサポートします:

- 7 ビットおよび 10 ビットのアドレッシング
- サポートされている送信速度:
  - 最大 100kbps のビット レートに対応する標準モード (Sm)
  - 最大 400kbps のビット レートに対応する高速モード (Fm)
  - 最大 1Mbps のビット レートに対応する高速モード プラス (Fm+)
- UNICOMM-I2CC は、アービトレーション、クロック同期、およびマルチ コントローラ動作をサポートします
- 送信および受信用のシングル バッファまたは 4 エントリ FIFO の深さ
- グリッチ抑制
- 低電力モードのサポート
- 独立したコントローラとターゲットの割り込み生成
- 送信と受信に別々のチャネルを備えた DMA のハードウェア サポート

I2C プロトコルをサポートするには、UNICOMM モジュールを UNICOMM トップ レベルで UNICOMM-I2CC (コントローラ) または UNICOMM-I2CT (ターゲット) のいずれかに設定する必要があります。さらに、各 UNICOMM-I2CC および UNICOMM-I2CT は、以下の表に示す追加機能をサポートします。

表 23-1. UNICOMM I2CC のバリエーションと機能

特長	基本	高度
I2CC-ANALOG-FILTER	なし	あり
I2CC-DIGITAL-FILTER	あり	なし
I2CC-BURST	なし	あり
I2CC-SMBUS/PMBUS	なし	あり
I2CC-DMA	デバイス固有のデータ シートを参照してください	デバイス固有のデータ シートを参照してください
I2CC-FIFO	デバイス固有のデータ シートを参照してください	デバイス固有のデータ シートを参照してください
I2C-LOW-POWER-MODE	あり、PD0 のモジュールの場合	あり、PD0 のモジュールの場合

表 23-2. UNICOMM I2CT のバリエーションと機能

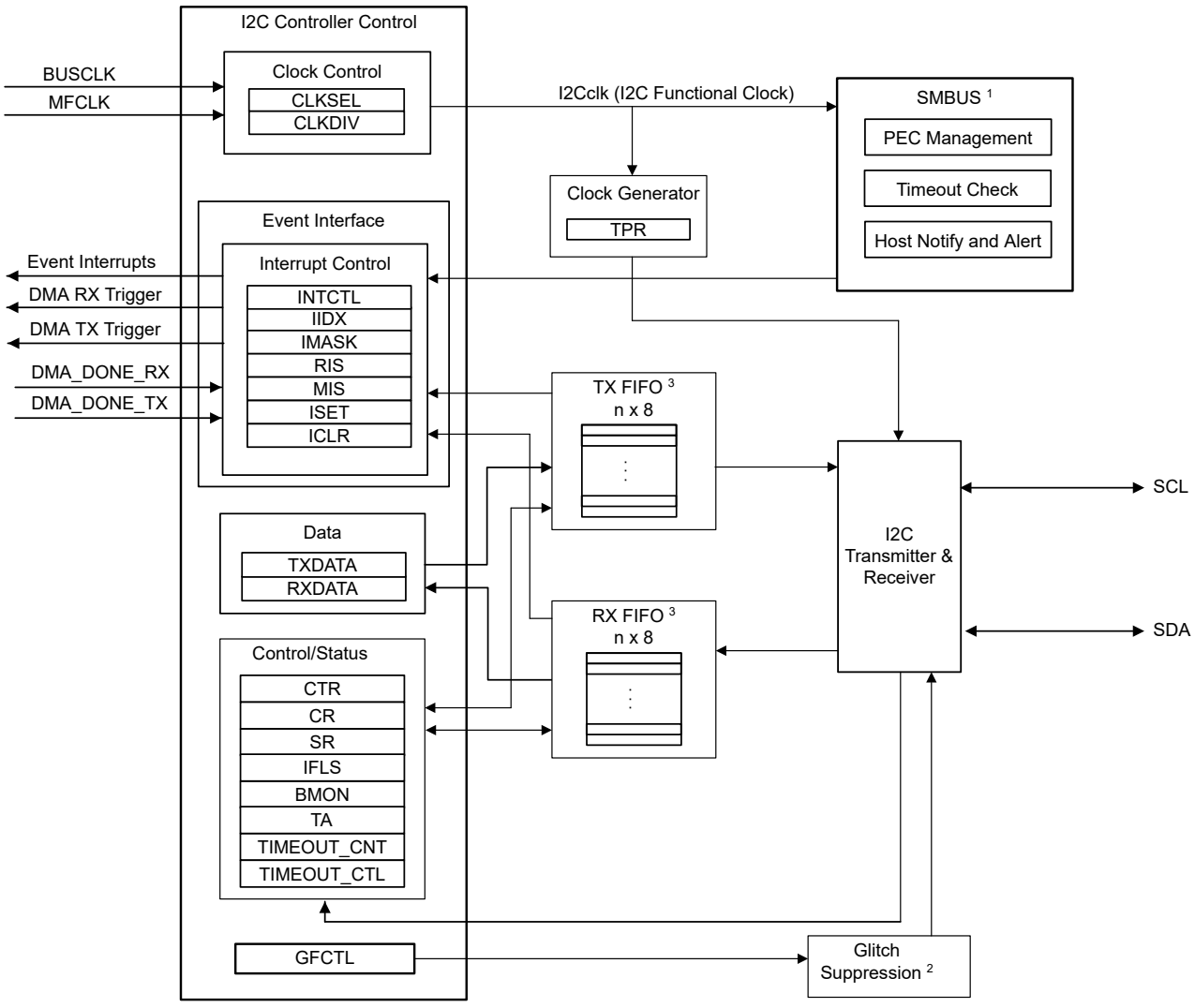
特長	基本	高度
I2CT-ANALOG-FILTER	なし	あり

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 23-2. UNICOMM I2CT のバリエーションと機能 (続き)

特長	基本	高度
I2CT-DIGITAL-FILTER	あり	なし
I2CT-SECOND-TARGET-ADDR	なし	あり
I2CT-SMBUS	なし	あり
I2CT-DMA	デバイス固有のデータ シートを参照してください	デバイス固有のデータ シートを参照してください
I2CT-FIFO	デバイス固有のデータ シートを参照してください	デバイス固有のデータ シートを参照してください
I2C-LOW-POWER-MODE	あり、PD0 のモジュールの場合	あり、PD0 のモジュールの場合

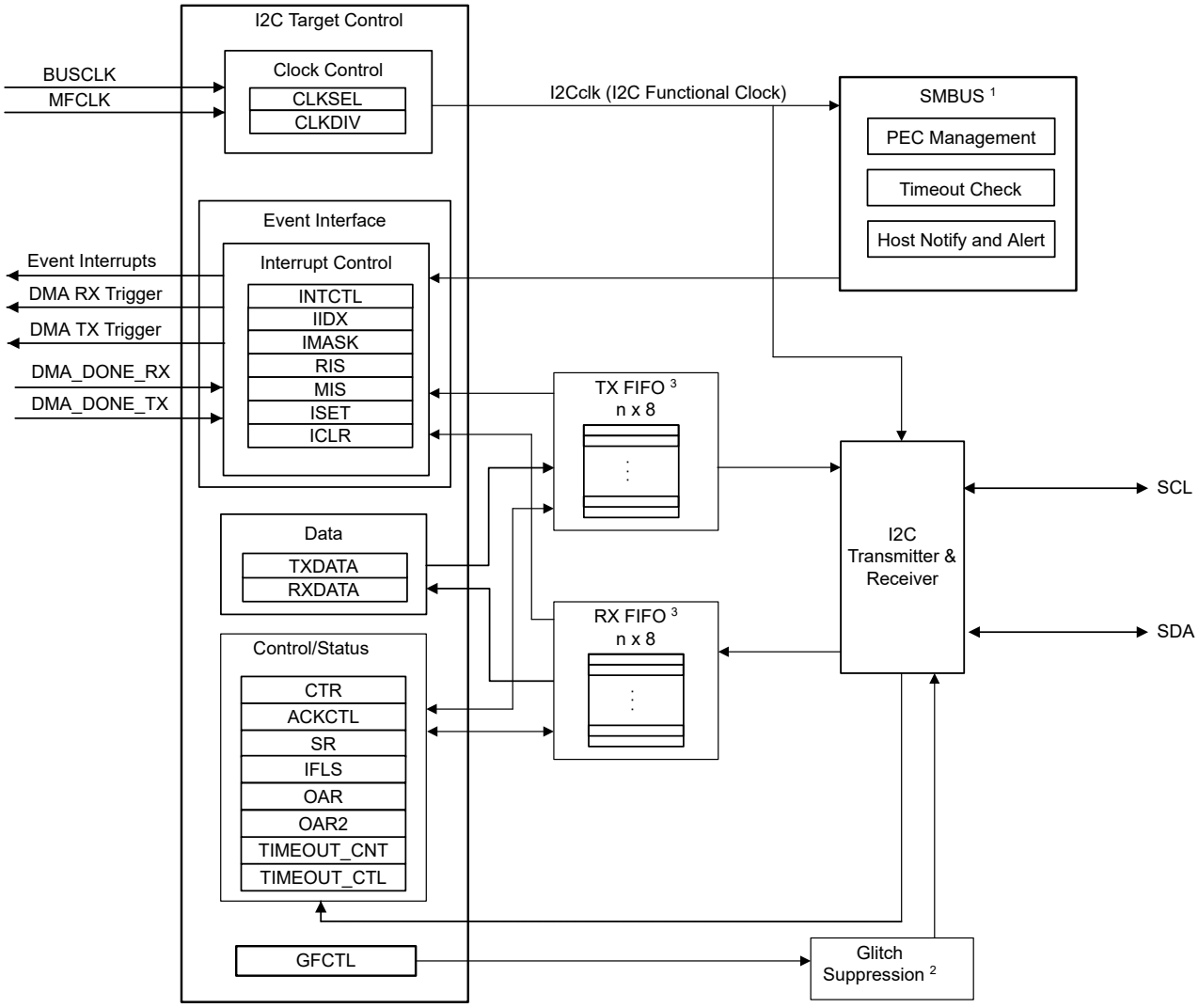
23.1.3 機能ブロック図



[1] Only Advanced I2CC instances have built-in SMBUS support
[2] Basic I2CC instances have only digital glitch support and Advanced I2CC instances have only analog glitch support
[3] The FIFO depth *n* can be 1 or a multiple of 4

図 23-1. I2C コントローラの機能ブロック図

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated



[1] Only Advanced I2CT instances have built-in SMBUS support
[2] Basic I2CT instances have only digital glitch support and Advanced I2CT instances have only analog glitch support
[3] The FIFO depth *n* can be 1 or a multiple of 4

図 23-2. I2C ターゲットの機能ブロック図

23.1.4 環境接続と外部接続

I²C モードは、任意のターゲットまたはコントローラの I²C 互換デバイスをサポートします。図 23-3 に、I²C バスの例を示します。各 UNICOMM-I2C インスタンスは、コントローラ機能またはターゲット機能で構成され、ターゲットにはユーザーが定義した独立した二つのアドレスを指定できます。I²C バスに接続されているデバイスは、データ転送を実行するときに、コントローラ マスタまたはターゲット スレーブとも考えることができます。コントローラはデータ転送を開始し、クロック信号 SCL を生成します。コントローラによってアドレス指定されるデバイスは、ターゲットとみなされます。

I²C のデータは、シリアル データ (SDA) ピンとシリアル クロック (SCL) ピンを使って通信されます。SDA と SCL はどちらもオープン ドレインの双方向信号であり、プルアップ抵抗を使用して正電源電圧に接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

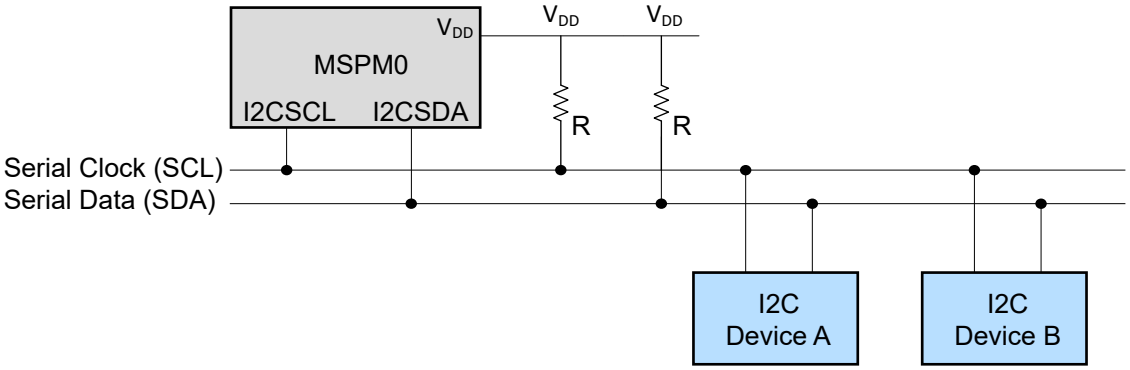


図 23-3. バスの接続図

23.2 UNICOMM の共通インフラ

共通インフラストラクチャ要素の詳細については、SPGSS を参照してください (セクション 21.2)。

共通インフラストラクチャには、リセット、モード選択、ピン オーバーレイ、FIFO 深度、FIFO 動作、割り込み、およびイベントに関するセクションがあります。

23.3 ペリフェラルの機能説明

23.3.1 クロック制御

23.3.1.1 クロック選択と I²C 速度

標準、高速、高速プラスモードは、I²C コントローラのタイマ周期 (TPR) レジスタの値を使用して選択されます。このモードの最大 SCL 周波数は次のようになります:

- 標準モードで 100kbps
- 高速モードで 400kbps
- 高速モード プラスで 1Mbps

I²C 周波数 I2C_FREQ は、I2Cclk 機能クロック周波数、TPR フィールド、および固定 SCL_LP および SCL_HP 値によって決定されます。この場合:

- I2Cclk は、I²C モジュールの機能クロック周波数です。I²C 内部機能クロックは、最初にソース クロックから分周されていることに注意してください:
  - UCx_I2CC/T.CLKSEL レジスタを使用して、I²C 機能クロックのソースを選択します
    - BUSSCLK:現在のバス クロックを I²C のソースとして選択します。現在のバス クロックは電源ドメインによって異なります。I²C インスタンスが電源ドメイン 1 (PD1) にある場合、MCLK を参照してください。I²C インスタンスが電源ドメイン 0 (PD0) にある場合、ULPCLK を参照します。
    - MFCLK:I²C のソースとして MFCLK を選択し、MFCLK を参照します。
    - 選択したソースクロックは常に使用可能であり、周波数はデバイスの電源モードによって異なります。詳細については、「PMU / クロック」のセクションを参照してください。
  - UCx_I2CC/T.CLKDIV レジスタ フィールドを使用して、I²C 機能クロックの分周比を選択します。オプションは 1 ～ 8 分周です。分周範囲は、パラメータ SYS_EXTEND_CLKDIV を使用して 64 に拡張できます (適用される場合)。
- SCL_LP は SCL の low 位相です:これは 6 の値に固定されています
- SCL_HP は、SCL の high 位相です:これは 4 の値に固定されています
- 時間周期は、TPR レジスタの TPR フィールドにプログラムされた値です。この値は次の式で計算され、TPR にプログラムする必要があります。

I²C のクロック周期は、次のように計算されます:

Copyright © 2026 Texas Instruments Incorporated

I2C_FREQ = I2Cclk / ((1+TPR) * (SCL_LP + SCL_HP)) (19)

たとえば、I²C 機能クロック周波数が 32MHz で、目標 SCL 周波数が 400kHz の場合:

I2Cclk = 32MHz

I2C_FREQ = 400kHz

SCL_LP = 6、SCL_HP = 4

TPR = (I2Cclk / (I2C_FREQ * (4 + 6))) - 1

TPR = 7 (0x07)

表 23-3. 標準的なクロック構成のコントローラ クロック設定の例

機能クロック	TPR ビットの標準モード 100kHz SCL	TPR ビットの高速モード 400kHz SCL	TPR ビットの高速モード プラスは 1000kHz SCL
4MHz	0x03	-	-
8MHz	0x07	0x01	-
20MHz	0x13	0x04	0x01
32MHz	0x1F	0x07	0x02(1)
40MHz	0x27	0x09	0x03

(1) 32MHz 機能クロックの場合、TPR = 0x01 は 1.6MHz の SCL 周波数を生成し、TPR = 0x02 は 1.067MHz の SCL 周波数を生成します。

I²C 機能クロックは、SCL 周波数の 20 倍以上、I2Cclk ≥ 20×I2C_FREQ 以上にする必要があります。

特定の I2C クロック速度を動作させるには、以下の最小機能クロック周波数が必要です:

- I²C 速度 0 ～ 100kHz で動作する場合 I2Cclk ≥ 2MHz
- I²C 速度 100 ～ 400kHz で動作する場合 I2Cclk ≥ 8MHz
- I²C 速度 400kHz ～ 1MHz で動作する場合 I2Cclk ≥ 20MHz

23.3.1.2 クロックの起動

選択したモジュール クロック ソースは常に使用可能であり、その周波数は電力モードによって異なります。詳細については、「PMU / クロック」セクションを参照してください。UNICOMM トップ レベルで PWREN.ENABLE ビットを設定して I²C モジュールを有効化すると、モジュールはデータの送受信を開始する準備ができます。

23.3.2 信号の説明

I²C バスはクロック信号とデータ信号で構成されます。クロック信号は、コントローラ動作時には内部で生成され、ターゲット動作時には外部から供給されます。

表 23-4. I²C 信号の説明

デバイス ピン	機能
UCx_SCL	I²C クロック信号
UCx_SDA	I²C データ信号

23.3.3 一般アーキテクチャ

23.3.3.1 I²C バス機能の概要

I²C バスは、2 つの信号のみを使用します。SDA と SCL という 2 つの信号で構成されます。SDA は双方向シリアル データ ラインで、SCL は双方向シリアル クロック ラインです。両方のラインが high 状態で、転送が進行していない場合、バスはアイドルと見なされます。

I²C バス上の各トランザクションは 9 ビット長で、8 データ ビットと 1 アクノリッジ ビットで構成されます。トランザクションは、図 23-4 で説明されているように、有効な開始条件と終了条件の間の時間として定義されます。一回のトランザクションで

Copyright © 2026 Texas Instruments Incorporated

転送できるバイト数に制限はありません。ただし、各データ バイトの後にはアクノリッジ ビットが必要であり、データは MSB ファーストで転送する必要があります。受信デバイスが次のバイトを完全に受信できない場合、クロック ライン SCL を Low に保持し、送信デバイスを待機状態にすることができます。この処理は一般にクロック ストレッチと呼ばれます。レシーバがクロック SCL を解放すると、データ転送が続行されます。

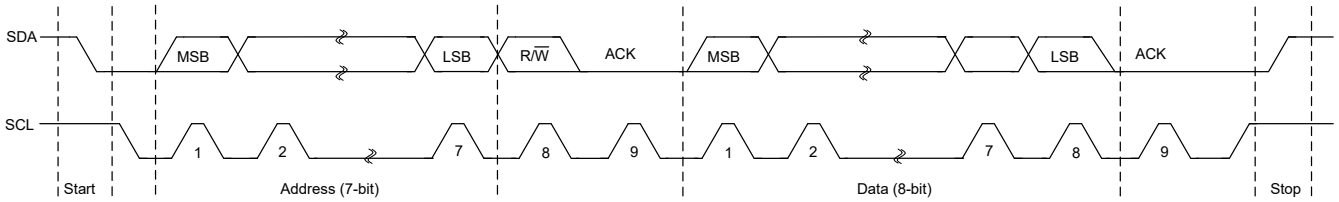


図 23-4. モジュール データ転送

SDA ライン上のデータは、クロックが high の期間中は安定している必要があります。また、データ ラインを変更できるのは SCL が low のときだけです (図 23-5 を参照)。それ以外の場合は、開始条件または停止条件が生成されます。

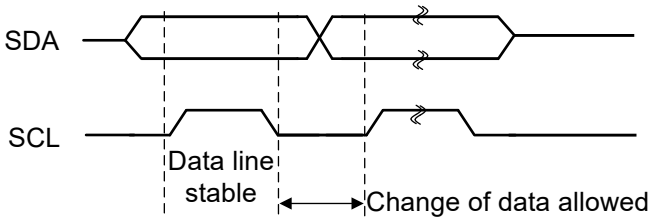


図 23-5. データ変更期間

23.3.3.2 開始条件と停止条件

I²C バスのプロトコルは、トランザクションを開始および終了するための二つの状態を定義しています: 開始と停止。SCL が high の間に SDA ラインが high から low へ遷移することを開始条件と定義し、SCL が high の間に SDA ラインが low から high へ遷移することを停止条件と定義します。START 条件と STOP 条件は、常にコントローラによって生成されます。コントローラ モードでの START/STOP ビット生成のサポート: CTR.START ビットおよび CTR.STOP ビットを使用します。バスは、START 条件の後はビジー状態とみなされ、STOP 条件の後はフリーとみなされます。

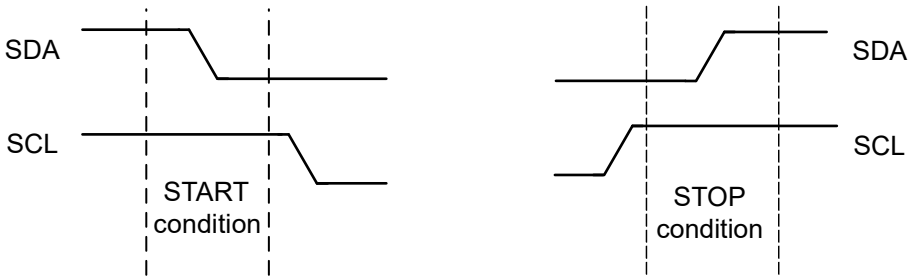


図 23-6. 開始条件と停止条件

ストップ ビットは、データ サイクルの終わりでサイクルを停止するか、繰り返し開始条件を継続するかを決定します。

単一トランザクションを生成するには、I²C コントローラのターゲット アドレス レジスタ TA.ADDR に目的のアドレスを書き込み、受信動作を開始する場合は TA.DIR ビットを 1 に、送信動作を開始する場合は 0 に設定します。次に、制御レジスタ (CTR) を ACK = X (0 または 1)、STOP = 1、START = 1、FRM_START = 1 に設定して動作を実行し、最後に停止条件を生成します。動作が完了した場合 (またはエラーにより中止された場合)、割り込みフラグがセットされます。I²C モジュールがコントローラ レシーバ モードで動作する場合、通常は (エラーがない場合) ACK ビットがセットされ、I²C バス コントローラは各バイトの受信後にアクノリッジを自動的に送信します。I²C バス コントローラがターゲット トランスミッタからそれ

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

以上データを送信する必要がない場合、このビットはクリアする必要があります。I²C コントローラモード構成の詳細については、セクション 23.3.4.1 を参照してください。

ターゲット モードで動作する場合、CPU_INT.RIS レジスタの START ビットおよび STOP ビットは、バス上での開始条件および停止条件の検出を示します。また、CPU_INT.IMASK を設定することで、割り込みが有効な場合に START および STOP をコントローラ割り込みとして発生させることができます。I²C ターゲット モード構成の詳細については、セクション 23.3.4.2 を参照してください。

バス ステータス フラグ:

- BUSBSY は、バス上で START 条件が検出されるとセットされ、その後、STOP 条件が検出されるとクリアされます。また、SCL と SDA の両方が High にプルアップされた状態でクロック タイムアウトが発生した場合にもクリアされます。
- BUSY は、開始条件または繰り返し開始条件の後にもセットされ、CTR.BLEN バイトのデータ転送後にクリアされます。また、データが NACK された場合、または停止条件の後にもクリアされます。
- アイドルは、コントローラの I²C ステート マシンがアイドル状態で、進行中の転送がないことを示すときに設定されます。

23.3.3.3 デュアル アドレス

I²C ターゲット インターフェイスは、高度な I2CT インスタンスについてのデュアル アドレス機能をサポートしています。追加のプログラム可能な I²C ターゲット独自アドレス レジスタ 2 (OAR2) が提供されており、有効になっている場合に一致させることができます。デュアル アドレスが無効な場合 (OAR2.OAR2EN = 0)、アドレスが OAR レジスタの OAR フィールドと一致すると、I²C ターゲットはバス上で ACK を返します。デュアル アドレス モードが有効な場合 (OAR2.OAR2EN = 1)、OAR レジスタの OAR フィールドまたは OAR2 レジスタの OAR2 フィールドのいずれかとアドレスが一致すると、I²C ターゲットはバス上で ACK を返します。

一致したアドレスがターゲットのステータス レジスタ アドレス一致フィールド (TR.ADDRMATCH) にロードされ、OAR2SEL ビットは独自アドレス (ステータス ビットが「0」をリードバック) と独自アドレス 2 が一致したかどうかを示します (ステータス ビットは「1」)。

23.3.3.4 アドレス形式

I2C プロトコルは、7 ビットおよび 10 ビットのアドレッシング モードをサポートしています。コントローラ モードとターゲット モードの両方で、7 ビットおよび 10 ビット モードがサポートされています。

- コントローラ モードでは、ターゲット アドレスおよびモードが TA.ADDR および TA.MODE フィールドにロードされます
- ターゲットモードでは、自アドレスと自アドレス 2 という、2 組のアドレス マッチング オプションが提供されます
  - 自アドレス (OAR レジスタ) は、7 ビットまたは 10 ビット アドレッシングに使用できます
  - 自アドレス 2 (OAR2 レジスタ) は 7 ビット アドレッシング モードのみをサポートし、OAR2 はアドレス マスク オプションも備えています

23.3.3.4.1 7 ビット アドレスのデータ フォーマット

データ転送は、図 23-7 に示すフォーマットに従います。開始条件の後、ターゲット スレーブ アドレスが送信されます。このアドレスは 7 ビットで構成され、その後にデータ方向を示す 8 番目のビットが続きます (このビットはコントローラ モードでのみ使用され、TA レジスタの DIR ビットに対応します)。TA.DIR ビットが 0 の場合は送信動作 (送信) を示し、1 に設定されている場合はデータ受信要求 (受信) を示します。データ転送は、常にコントローラが生成するストップ条件によって終了します。ただし、コントローラはストップ 条件を生成せずに、リピート スタート条件を生成して別のターゲットをアドレス指定することで、バス上の別のデバイスとの通信を開始できます。詳細については、「リピート スタート」セクションを参照してください。これにより、一回の転送内でさまざまな受信 / 送信形式の組み合わせが可能になります。九番目のビットはアクノリッジ ビットで、セクション 23.3.3.5 で説明しています。

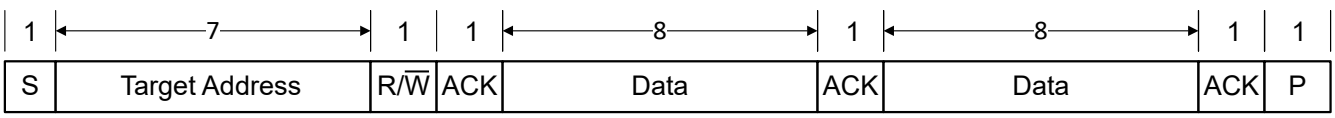


図 23-7. 7 ビット アドレスのデータ フォーマット

Copyright © 2026 Texas Instruments Incorporated

CTR.GENCALL ビットを使用すると、I²C モジュールが I²C バス上のゼネラル コールに応答するように設定できます。ゼネラル コールは、アドレス 0x00、および 0 に設定された R/W ビットによって識別されます。ゼネラル コール割り込みは、CPU_INT.IMASK.GENCALL ビットでイネーブルできます。

23.3.3.4.2 10 ビット アドレスのデータ フォーマット

10 ビット アドレスのデータは、以下の形式で転送されます。START 条件の後、先頭の ***'11110b'*** は、10 ビットのアドレッシング方式であることを示します。最初のバイトの最後の 2 つのアドレス ビットが 2 番目のバイトの 8 ビットと連結して、10 ビット アドレスが構成されます。7 ビット アドレッシングのみを使用するデバイスは、先頭に '11110b' のあるメッセージを無視します。データ方向ビット (このビットはコントローラ モードでのみ、TA レジスタの DIR ビットになります) は最初の 8 ビット データに含まれます。

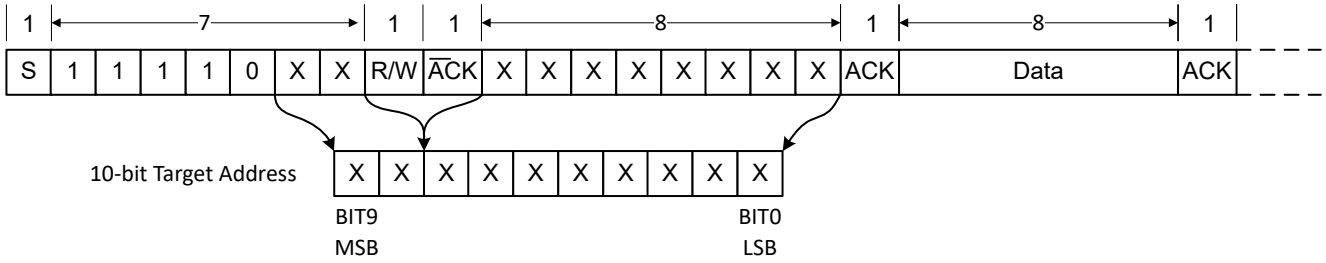


図 23-8. 10 ビット アドレスのデータ フォーマット

コントローラ トランスミッタ は、以下に示すように 2 つのアドレス バイトと RW-Bit='0' を使用してターゲットのアドレスを指定し、その後にコントローラからのデータ バイトが続きます。



図 23-9. 10 ビット アドレスを使用した I2C コントローラからの送信

コントローラ レシーバ からの送信は、結合転送でのみ可能です。これは、2 番目のアドレス バイトが、最初のアドレス バイトの RW-Bit が '0' の場合にのみ送信されるためです。したがって、コントローラ レシーバからの送信の開始は、コントローラ トランスミッタからの送信の開始と同じで、反復再開条件の後に最初のアドレス バイトと RW-Bit='1' (ターゲット トランスミッタ モードへの切り替え) が続きます。

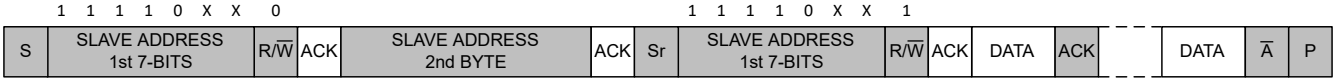


図 23-10. 10 ビット アドレスを使用した I2C コントローラからの受信

23.3.3.5 アクノリッジ

すべてのバス トランザクションには、コントローラによって生成される必須のアクノリッジ クロック サイクルがあります。アクノリッジ サイクル中、送信側 (コントローラまたはターゲット) は SDA ラインを解放します。トランザクションを確認するには、アクノリッジ クロック サイクル中にレシーバは SDA をプルダウンする必要があります。アクノリッジ サイクルは、データの有効性要件に準拠している必要があります。

ターゲット レシーバがターゲット アドレスにアクノリッジしない場合、ターゲットは SDA を High のままにして、コントローラが STOP 条件を生成して現在の転送を中止するか、またはリピート START 条件を生成して新しい転送を開始できるようにする必要があります。トランザクション中にコントローラ デバイスがレシーバとして動作している場合、ターゲットが行う各転送に対してアクノリッジを返す必要があります。トランザクションのバイト数はコントローラが決定するため、最後のデータ バイトに対してアクノリッジを生成しないことで、ターゲット トランスミッタにデータの終了を通知します。その後、マスタがス

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

タート条件または繰り返しスタート条件を生成できるように、対象のトランスミッタは SDA を解放してコントローラに戻す必要があります。

ターゲット受信モードでは、ハードウェアは常にデータを受信した後に ACK を生成します。ターゲットは、手動または自動で ACK/NACK を生成できます。

- ACKCTL.ACKOEN = 0 の場合、ターゲットは自動アクノリッジを送信します。I2CT は、RX FIFO がいっぱいになるまで、すべてのバイトを自動的に受信し、ACK を返します。
- ACKCTL.ACKOEN = 1 の場合、手動アクノリッジが有効になります。手動 ACK オーバーライドを使用して、受信した各バイトを評価したり、FIFO の自動受信が不要な場合に通信を低速化したりできます。手動の ACK オーバーライド動作が有効化されている場合、最後のデータ ビットの後、この ACKCTL.ACKOVAL に示された応答が書き込まれるまで、I^2C ターゲット モジュールのクロックは low になります。新しいデータが受信されると、RXDONE 割り込みフラグで示されます。

注

ターゲット受信モードでクロック ストレッチングが無効になっている場合、手動アクノリッジはサポートされません。

データ送信中に I^2C コントローラが NACK を受信すると、RIS レジスタの NACK ビットと TXDONE ビットがセットされます。TX FIFO にまだデータがある場合、TXEMPTY ビットはクリアされた状態を維持し、TX FIFO フラッシュが必要であることをソフトウェアに通知します。

23.3.3.6 リピート スタート

コントローラは、リピート スタート条件を発行することで、転送を停止することなく SDA 上のデータ フロー方向を変更できます。これは再起動と呼ばれます。図 23-11 でデータ形式を参照してください。リスタートが発行されると、R/W ビットで指定された新しいデータ方向に従って、ターゲット アドレスが再度送信されます。

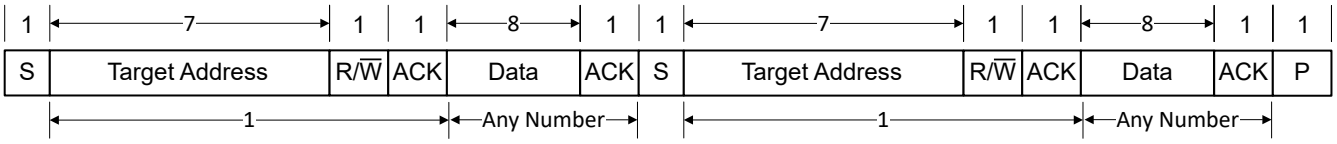


図 23-11. リピート スタートを使用するデータ形式

コントローラ送信または受信のリピート スタート シーケンスは、次のとおりです:

1. デバイスがアイドル状態のとき、コントローラはターゲット アドレスを TA レジスタに書き込み、目的の転送タイプに合わせて DIR ビットを設定します。
2. データは、送信の場合は TXDATA レジスタに、受信の場合は RXDATA レジスタに書き込まれます。
3. SR.BUSY ステータスの読み取り値が 0 の場合、CTR レジスタの FRM_START ビットおよび START ビットを設定して、転送を開始します。
4. ソフトウェアは、SR レジスタの BUSY ビットが「0」として読み取れるまで待機します。
5. コントローラは再起動条件を生成して、転送方向を変更するか、別のターゲットのアドレスを指定できます。ソフトウェアが TA レジスタを更新した後で FRM_START を設定します。これにより、バス上でリピート スタート条件が生成されます。

注

アドレスに NACK がある場合は、停止条件が自動的に生成されます。その場合、RESTART を送信できません。

Copyright © 2026 Texas Instruments Incorporated

23.3.3.7 クロック ストレッチ

UNICOMM-I2CC の場合、バス上のターゲットがクロックストレッチをサポートしていない場合、クロック ストレッチをディスエーブルにでき、コントローラはバス上で最大速度に達することができます。そうしないと、クロックを Low に維持するターゲット、または I²C モジュール内のクロック ステータス検出遅延によって、クロックが遅くなる可能性があります。

UNICOMM-I2CT の場合、RX FIFO フル または TX FIFO 空のいずれかが設定されているときに、クロック ストレッチが自動的にアクティブになります。クロック ストレッチ サポートは、CR.CLKSTRETCH ビットを設定することでイネーブルまたはディスエーブルにできます (この機能はデフォルトでイネーブルになっています)。クロックストレッチのステータスは、以下で説明する SR レジスタの TREQ ビットと RREQ ビットで示されます。

- TREQ
  - このビットが設定されると、I²C ターゲットはターゲット トランスミッタトとしてアドレス指定され、TXDATA へのデータ書き込みが完了するまでコントローラの動作を遅延させるためにクロックストレッチを行っています。
- RREQ
  - このビットが設定されると、I²C コントローラは未処理の受信データを保持しており、RXDATA からデータが読み取られるまでクロック ストレッチを使用してコントローラの動作を遅延させています。

注

デバイスが低消費電力モードのとき、ターゲット モードのクロック ストレッチを非同期高速クロック要求と組み合わせて使用することで、I2C スタート ビットが検出されたときにデバイスを中断低消費電力モード状態に移行させることができ、I2C モジュールはバス クロック速度がそれぞれのモードで必要とされる最小オーバーサンプリング速度を下回っている低消費電力モードから 100kHz (標準モード) をサポートできます。最小周波数要件については、「クロック選択と I²C 速度」セクションを参照してください。クロック ストレッチが非同期高速クロック要求とともに使用される場合、I²C がアイドル状態のときに、デバイスは STOP モードまたは STANDBY モードで待機することができます。I²C バスのエッジが確認されると、高速クロック要求はベース周波数で SYSOSC を要求し、バスクロックはベース周波数で SYSOSC に切り替わり、I²C モジュールはバストランザクションを処理し、割り込みが生成された場合にプロセッサをウェイクアできます。

23.3.3.8 クロック Low タイムアウト

I²C ターゲットは、クロックを Low にして通信を低速にすることで、トランザクションを拡張できます。UNICOMM-I2C モジュールには、クロックが Low に保持されている時間を追跡する 12 ビットのプログラマブル カウンタである TCNTA が搭載されています。カウント値の上位 8 ビットは、I2CTIMEOUT_CTL レジスタを介してソフトウェアで設定できます。タイムアウト機能を有効にするには、I2CTIMEOUT_CTL.TCNTLA レジスタ フィールドに 0x01 より大きい値を設定する必要があります。

アプリケーションは、トランザクション中に許容される累積 Low 期間を表すよう、カウンタの上位 8 ビットを設定できます。各カウントは、(1 + TPR) × 12 I2Cclk のタイムアウト期間に相当します。ここで、TPR はプログラム可能なタイマ周期です。タイムアウト カウンタ A は、SCL が連続して Low に保持されている全期間をカウントします。SCL が High の場合、タイムアウト カウンタ A に I2CTIMEOUT_CTL.TCNTLA レジスタ ビットの値がリロードされ、SCL の立ち下がりエッジでこの値からカウントダウンを開始します。

タイムアウト カウンタ用に生成された内部バス クロックは、SCL がバス上で Low に保持されていても、プログラムされた I²C 速度で動作を維持します。I²C クロックの Low タイムアウト期間は、次のように計算されます:

- 累積クロック Low 期間 = タイムアウト カウンタ * 1 タイムアウト期間
- 1 タイムアウト期間 = I2Cclk 周期 * (1 + TPR) * 12
- タイムアウト カウンタ = I2CTIMEOUT_CTL.TCNTLA レジスタの値 (このレジスタには 12 ビット カウンタ値の上位 8 ビットが格納され、下位 4 ビットは 0 に設定されます)

たとえば、機能クロックが 20MHz で、I²C モジュールが 100kHz の速度で動作している場合、TPR は 19 になります。TPR の計算方法については、セクション 23.3.1.1 を参照してください。1 つのタイムアウト期間は、(1/20MHz) × (1 + 19) × 12 または 12µs と等しくなります。I2CTIMEOUT_CTL.TCNTLA レジスタに 0xDA を設定すると、下位 4 ビットが 0x0

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

に設定されるため、カウンタ値は 0xDA0 になります。これは、10 進数では 3488 クロックに相当し、100kHz 動作時の累積クロック Low 期間は 3488 × 12µs、すなわち 41.856ms となります。

クロックのタイムアウト期間に達すると、I²C コントローラの未加工割り込みステータス CPU_INT.RIS レジスタの TIMEOUTA ビットが設定されます。これにより、コントローラはリモート ターゲット状態を解決するための修正動作を開始できます。さらに、I²C コントローラ ステータス SR レジスタの BUSBUSY ビットがセットされます。I²C がアイドル状態に移行した後、または I²C コントローラ リセット中に、このビットはクリアされます。未加工の SDA および SCL 信号のステータスは、I²C コントローラ バス モニタ BMON レジスタの SDA および SCL ビットを使ってソフトウェアで読み取ることができ、リモート ターゲットの状態を判定するため役立ちます。

タイムアウト状態が発生した場合、アプリケーション ソフトウェアはバス回復を試行する方法を選択する必要があります。転送 (受信または送信) の終了前にクロック Low のタイムアウトが検出された場合、ソフトウェアは次の転送を初期化する前に FIFO をフラッシュする必要があります。SMBus および PMBus を実装するには、クロック low タイムアウトが必要です。

注

SCL low タイムアウト構成は、初期化時にのみ設定する必要があり、アクティブ状態中は設定しないでください。

23.3.3.9 バースト モード

I2C コントローラ バースト モードを使用すると、DMA またはソフトウェアを使用してバッファ / FIFO 内のデータを処理する一連のデータ転送が可能です。このモードは高度 I2CC モジュール インスタンスでのみ使用できます。CTR を設定することで、バースト モードが有効になります。I2CC 制御レジスタの BLEN ビットを「N」の値に設定します。この値は、転送のバイト数を表します。「N」は「1」より大きい必要があります。これにより、バーストによって転送されるバイト数が設定されます。この値のコピーは、I2C コントローラのステータス レジスタ内の SR.BCNT ビットに自動的に書き込まれ、バースト転送中のダウンカウンタとして使用されます。

「N」のバーストが転送された後、割り込みビット RXDONE および TXDONE が設定されます。

コントローラ バースト送信シーケンスの NACK

コントローラの送信バースト シーケンス中にデータがアクノリッジされず、かつ ***CTR.STOP*** ビットがセットされている場合、フレーム転送は終了します。アクノリッジなし条件を受信すると、コントローラは NACK 割り込みビットをセットし、バス上に STOP 条件を送信して、転送を終了します。

コントローラの送信バースト シーケンス中にデータがアクノリッジされず、かつ ***CTR.STOP*** ビットがセットされていない場合、ハードウェアはソフトウェアによる後続処理を待機します。アクノリッジなし状態を受信すると、コントローラ NACK 割り込みビットがセットされます。ソフトウェアは SR.BCNT フィールドを読み取って、バースト終了の前に転送されたデータの量を決定できます。その後、ソフトウェアは CTR.STOP をセットしてストップ条件を送出するか、CTR.FRM_START をセットしてリスタート条件を送出できます。

23.3.3.10 調停

コントローラは、バスがアイドル状態の場合にのみ転送を開始できます。二つ以上のコントローラが、スタート条件の最小ホールド時間内にスタート条件を生成する場合があります。このような場合、SCL が high の間に SDA ライン上でアービトレーションが行われます (図 23-12 を参照)。最初に論理 High を生成した送信側コントローラは、対向するコントローラが生成した論理 Low によって優先権を失い、アービトレーションを喪失したコントローラは、バスが再びアイドル状態になるまでバスを解放します。

アービトレーションは複数のビットにわたって発生することがあります。最初の段階ではアドレス ビットを比較し、両方のコントローラが同じデバイスをアドレス指定しようとしている場合、アービトレーションはデータ ビットの比較へ進みます。

Copyright © 2026 Texas Instruments Incorporated

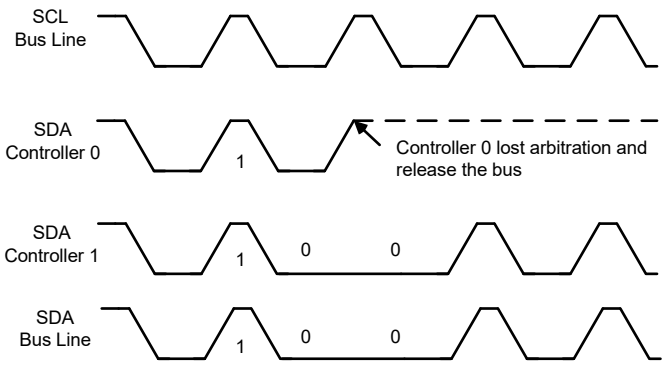


図 23-12. 二つの送信側コントローラ間のアービトレーション手順

アービトレーションを喪失したことが検出されると、SR.ARBLST フラグがセットされます。このフラグは、バス上で次のストップ条件が検出されると、ハードウェアによってリセットされます。また、CPU_INT.RIS レジスタの ARBLOST フラグがセットされます。

I²C コントローラが転送を開始したときに調停が失われた場合、アプリケーション ソフトウェアは次の手順を実行してアービトレーションの喪失を正しく処理する必要があります:

- 送信 FIFO が空でない場合、IFLS.TXCLR ビットをセットして TX FIFO をクリアします
- バスがアイドル状態になると、TX FIFO の書き込みとイネーブルを行い、TXEMPTY ビットをマスク解除して、新しいトランザクションを開始できます。

23.3.3.11 マルチコントローラ モード

マルチ コントローラ動作モードを有効にするには、CR.MCTL ビットを設定します。アービトレーション処理中は、各コントローラのクロックを同期させる必要があります。最初に SCL を low 期間にするデバイスが他のデバイスより優先され、他の各デバイスも low 期間を開始します。その後、SCL は、low 期間が最も長いデバイスによって low に保持されます。他のデバイスは、SCL が解放されるまで待ってから high 期間を開始する必要があります。

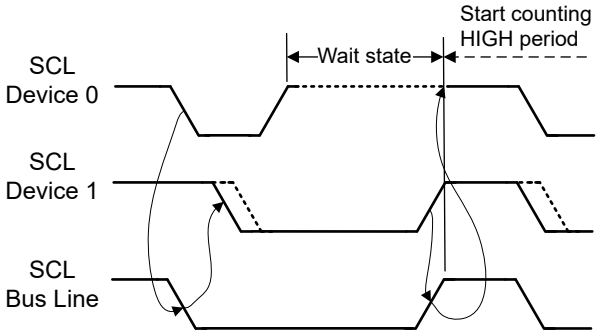


図 23-13. クロックの同期

23.3.3.12 グリッチ抑制

I²C モジュールは、SCL および SDA ラインのグリッチ抑制をサポートし、I²C 仕様で規定されている 50ns のグリッチ抑制を満たします。

アナログ グリッチ フィルタ

アナログ グリッチ フィルタ機能は、高度な UNICOMM-I2CC および UNICOMM-I2CT インスタンスでのみ使用できます。

高度な UNICOMM-I2C インスタンスでは、デフォルトでアナログ グリッチ フィルタが有効になっており、パルス幅が 50ns のスパイクを抑制するように設定されています。I²C 仕様では、50ns 未満のノイズ スパイクを抑制することを推奨していま

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

す。ユーザーは、GFCTL.AGFEN ビットをクリアすることで、このフィルタを無効化できます。アナログ グリッチ フィルタは、低消費電力モードで I2C をウェークアップするためにのみ使用できます。

デジタル グリッチ フィルタ

デジタル グリッチ フィルタ機能は、基本的な UNICOMM-I2CC および UNICOMM-I2CT インスタンスでのみ使用できます。

基本的な UNICOMM-I2C インスタンスでは、GFCTL レジスタの DGFSEL ビットをプログラムして、SCL および SDA ラインのグリッチを抑制し、適切な信号値を維持することができます。グリッチ抑制値は、I^2C 機能クロック サイクル単位です。グリッチ抑制がゼロでない場合、すべての信号は内部で遅延されます。たとえば、DGFSEL ビットが 0x7 に設定されている場合、予測されるトランザクション時間を計算に 31 クロックを追加できます。デジタル グリッチ フィルタを無効にするには、DGFSEL フィールドをゼロに設定します。

デジタル グリッチ フィルタを使用して、I2C を低消費電力モードからウェークアップすることはできません。

表 23-5. グリッチ抑制フィルタ

	アナログ グリッチ フィルタ	*デジタル グリッチ フィルタ*
デフォルト	デフォルトは 50ns で有効	デフォルトはバイパスされます
抑制されたスパイクのパルス幅	50ns で固定	I^2C クロック サイクルをプログラム可能 1、2、3、4、8、16、31
利点	クロックなしで利用可能	• 追加のフィルタリングを行うための長さをプログラム可能。 • 安定したフィルタ長さ。
制約	温度、電圧、プロセスによる変動	• 十分なクロックがないとき、低消費電力モードでウェークアップして動作しません。 • I^2C パケットの開始後、3 クロック サイクルのみを有効化します。

注

GFCTL レジスタの変更は、CR.ENABLE ビットがクリアされている間にのみ行う必要があります。

23.3.3.13 DMA 動作

UNICOMM I^2C モジュール (I2CC および I2CT) はそれぞれ、送信および受信用に別々のチャネルを持つ DMA モジュールへのインターフェイスを提供します。I^2C の DMA 動作は、I^2C DMA イベントおよび DMA モジュール レジスタによって有効になります。DMA 機能が有効になると、関連する FIFO がデータを送受信できるとき、I^2C は選択されたチャネルで DMA 要求をアサートします。DMA 転送要求は、DMA チャネルの設定方法 (バースト サイズ、転送サイズ、ソース アドレスなど) に基づき、DMA コントローラによって自動的に処理されます。

I^2C イベントと DMA の詳細については、「割り込みとイベントのサポート」および「DMA トリガ パブリッシャ」のセクションを参照してください。

- 受信チャネルの場合、受信 FIFO のデータ量が、IFLS レジスタの RXIFLSEL ビットを使用して設定された FIFO トリガ レベル以上になると、DMA 転送要求がアサートされます。
- 送信チャネルでは、TX FIFO 内の文字数が IFLS レジスタの TXIFLSEL ビットで設定した FIFO トリガ レベル未満になると、DMA 転送要求がアサートされます。

Copyright © 2026 Texas Instruments Incorporated

注

DMA チャネルごとに、IMASK レジスタで同時に一つのイベント ソースのみを有効化する必要があります。DMA トランザクション ディスクリプタは、コントローラまたはターゲット、および RX または TX の構成を正しく設定し、選択したトリガに一致させる必要があります。DMA トリガは、I^2C 転送が実行されておらず、前回トリガされた DMA 転送が完了した場合にのみ変更できます。これを保証できない場合、最初に I^2C および DMA チャネルを無効化する必要があります。

23.3.3.14 FIFO 動作

UNICOMM-I2CC または UNICOMM-I2CT には、受信動作用と送信動作用の二つの専用 FIFO があります。TXDATA レジスタおよび RXDATA レジスタは 8 ビットで、それぞれ送信 FIFO および受信 FIFO とのインターフェイスに使用されます。FIFO レベルはデバイスによって異なり、デバイス固有のデータシートに記載されています。

23.3.3.14.1 FIFO ステータス フラグ

UNICOMM-I2CC/T で共通して使用できる各 FIFO ステータス ビットについて、以下の表で説明します。すべてのステータス ビットはステータス ビット レジスタ (SR) に含まれており、アプリケーション ソフトウェアは必要に応じて FIFO の状態をポーリングするために使用できます。

表 23-6. FIFO ステータス ビット

ステータス ビット	説明
RXFE	このビットは、RX FIFO が空の場合にセットされます。
RXFF	このビットは、RX FIFO がフルの場合にセットされます。
RXCLR	このビットは、IFLS.RXCLR ビットのセットによって開始された RX FIFO のクリアが完了するとセットされます。
TXFE	このビットは、TX FIFO が空のときセットされます。
TXFF	このビットは、TX FIFO がフルのときにセットされます。
TXCLR	このビットは、IFLS.TXCLR ビットのセットによって開始された TX FIFO のクリアが完了するとセットされます。

FIFO が実装されていない場合、空フラグおよびフル フラグは、深さ 1 バイトの保持レジスタの状態に応じてセットされます。

注

TX FIFO を超えると、書き込みは失われます。

注

RX FIFO が一杯になり、オーバーフロー フラグ ビットがセットされると、データは失われます。

23.3.3.14.2 FIFO レベル

UNICOMM-I2CC/T の割り込み FIFO レベルは、IFLS レジスタで構成します。

受信 FIFO レベルの

メッセージが受信されると、RX FIFO はすぐに入力されます。受信 (RX) FIFO の構成可能なスレッショルド オプションは次のとおりです:

1. RX FIFO フル:すべての要素にデータが格納されている状態
2. RX_FIFO >= ¼ フル

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

3. RX_FIFO >= ½ フル
4. RX_FIFO >= ¾ フル
5. RX_FIFO がほぼ空:<= 1 要素
6. RX_FIFO がほぼフル:>= (N-1) 要素
7. RX_FIFO が空ではない:>= 1 要素

これらの各種条件は通常、CPU_INT または DMA_TRIG_RX イベントの生成に使用され、その後、CPU/RX は RXDATA から所定数の文字をメモリに読み出します。各割り込みサービス ルーチン (ISR) で読み取る文字数は、フラグによって FIFO 内に存在することが保証されている文字数と同じです。

注

デバッガによる RXDATA の読み取りは、RX FIFO の内容に影響しません。

送信 FIFO レベル

送信側では、CPU/DMA によって FIFO 内の最上位の空きエントリにデータが書き込まれ、その後シリアライザに転送されます。送信 (TX) FIFO の構成可能なスレッショルド オプションは次のとおりです:

1. TX_FIFO empty:FIFO に要素がないとき
2. TX_FIFO <= ¾ が空き
3. TX_FIFO <= ½ が空き
4. TX_FIFO <= ¼ が空き
5. TX_FIFO がほぼ空:<= 1 要素
6. TX_FIFO がほぼフル:>= (N-1) 要素
7. TX_FIFO がフルではありません:<= (N-1) エレメント

これらの各種条件は通常、CPU_INT イベントまたは DMA_TRIG_TX イベントを生成するために使用されます。その後、CPU/DMA は指定された数の文字を TXDATA レジスタに書き込みます。各割り込みサービス ルーチン (ISR) に書き込まれた文字数は、フラグで示されているように、FIFO で空になっているスポットの数に等しくなります。

注

デバッガから TXDATA へ書き込んだ場合も、CPU による書き込みと同様に、TX FIFO へ要素が追加されます。

FIFO レベル リセット ステータス

リセットから復帰すると、TX と RX の両方の FIFO がハーフレベルの割り込みをトリガするように構成され、FIFO の内容もクリアされます。

注

FIFO 内のデータを使用して送信中にソフトウェアがモジュールを無効化してから再度イネーブルする場合、FIFO の整合性は保証されません。

23.3.3.14.3 FIFO の内容のクリア

IFLS.RXCLR レジスタ ビットと IFLS.TXCLR レジスタ ビットをセットすると、それぞれの FIFO の内容がクリアされます。

以下のシーケンスに従います。

1. IFLS ペリフェラル固有レジスタの RXCLR または TXCLR ビットに 1 を書き込みます。
2. STAT レジスタの RXCLR または TXCLR ステータス ビットが 1 に設定されるまで待機します。
3. IFLS ペリフェラル固有レジスタの RXCLR または TXCLR ビットに 0 を書き込みます。

Copyright © 2026 Texas Instruments Incorporated

注

RXIFSEL または TXIFSEL フィールドで FIFO レベル構成を変更する前に、上記のクリア シーケンスを実行することを推奨します。

注

一連のシーケンスが完了する前に、ステップ 1 を繰り返し実行しないでください。

23.3.3.15 通信の中断

中断は I2C モジュールの極端な動作状態であり、アプリケーションがこのモードを使用する際は、以下の条件に留意する必要があります。アプリケーションは、CTR.SUSPEND ビットをセットすると、外部通信を中断できます。

SUSPEND が設定されると、進行中の通信が完了し、FSM は IDLE に戻り、それ以後の外部通信が停止します。送信ラインはアイドル状態に駆動され、受信ラインのオン / オフは処理されません。これにより、アプリケーションが動作を中断し、モジュールをディスエーブルにする前に受信 FIFO をクリアするための安全な手段が提供されます。SUSPEND ビットは、モジュールを再度イネーブルにする前にクリアする必要があります。

通信を一時停止し、I2C モジュールをディスエーブルにするには、次の手順に従います。

1. I2C バス マスタは、ペリフェラルがアイドル状態に達することを確認する必要があります (「I2C バスの前提条件」で詳細を説明)
2. ハードウェアは、進行中のトランザクションが完了するようにします。送信動作の場合、ハードウェアがアイドル状態を発生させる前に、FIFO のすべての内容が送信されます
3. SUSPEND ビットがハードウェアに書き込まれると、CPU はステータス フラグをポーリングして、デバイスがアイドルに達したことを確認する必要があります
4. 受信 FIFO を空にします
5. モジュールをディスエーブルにします

モジュールの中断 / ディスエーブル後も、レジスタ設定は保持されます。以下の手順でモジュールを再度イネーブルにすると、通信を再開できます。

1. SUSPEND ビットをクリアします
2. モジュールを再度イネーブル有効にします

I2C バスの前提条件

I2C モジュールにおいて IDE 状態に移行する際、ハードウェアは送信 FIFO が空になるようにし、バスがアイドル状態であることを示す信号 (SR.BUSY が「0」となること) を出力します。STOP 条件は、以下の詳細に従って送受信する必要があることがあります。

1. I2C モード
   a. コントローラ モード:NACK/STOP がライン上で受信 / 送信されるようにします。
      i. トランスミッタ モード:受信ターゲットが NACK を発生させたことを確認します
      ii. レシーバ モード:「NACK」がライン上で送信される必要があります
      iii. マルチコントローラ システムでは、STOP 条件がコントローラから送信されていることを確認します。
   b. ターゲット モード:ラインで NACK が受信されたことを確認します
      i. トランスミッタ モード:受信側コントローラが NACK を発生させたことを確認します
      ii. レシーバ モード:「NACK」がライン上で送信されました
2. SMBUS モード

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

a. コントローラ モード:コントローラによって STOP が送信されるようにします
b. ターゲット モード:ラインで NACK が受信されたことを確認します

23.3.3.16 低消費電力動作

I²C により、低消費電力モードでの動作がサポートされます。低消費電力モードでは、I²C インターフェイスは、開始条件の検出後に、CLKSEL 制御レジスタで選択されたクロックを自動的に要求します。停止条件を検出すると、クロック要求が解放されます。

コントローラ モードでサポートされている電力モード:

- 100kHz 速度のコントローラ モードは、RUN、SLEEP、STOP 電力モードで動作できます
- 400kHz 動作のコントローラ モードは、RUN および SLEEP 電力モードで動作できます
- 1MHz 動作のコントローラ モードは、RUN および SLEEP 電力モードで動作できます

ターゲット モードでサポートされている電力モードとウェークアップ モード:

- 100kHz 速度のターゲット モードは、RUN、SLEEP、STOP 電力モードで動作できます
- 100kHz 動作のターゲット モードは、STANDBY モードでは動作できません。これは、STANDBY モードでの最大バス クロックが 32kHz であり、100kHz 動作をサポートするには最低 400kHz のクロックが必要なためです。ただし、STANDBY モードでも、I2C ターゲットはスタート ビットによってウェークアップし、非同期高速クロック要求を実行できます。これにより、FIFO 割り込みまたはアドレス一致割り込みによって CPU がウェークアップするまで、一時的に 32MHz クロックを使用してデータを受信できます。
- 400kHz 動作のターゲット モードは、RUN および SLEEP 電力モードで動作できます
- 1MHz 動作のターゲット モードは、RUN および SLEEP 電力モードで動作できます

注

I2C 標準モード (100KHz) で STANDBY ウェークアップをサポートするには、機能クロックを 32MHz にする必要があります。つまり、32MHz クロックをさらに分周しないでください。

23.3.3.17 SMBUS 3.0 のサポート

SMBus プロトコルは、I2C プロトコルの多くの機能を再利用するため、同じデバイスが SMBus をサポートするためにも使用できます。このプロトコルは、バッテリ管理やメモリ SSD、その他の複数の使用事例など、多くの産業用アプリケーションに使用されています。プロトコル仕様の詳細については、「SMI フォーラム SMBus 仕様」を参照してください。SMBus プロトコルをサポートする追加のレジスタと機能は、高度な I2CC および I2CT 機能を備えた UNICOMM インスタンスにのみ存在します。

23.3.3.17.1 クイック コマンド

クイック コマンドは、アドレスと 1 ビットの DIR ビットを含む I2C ヘッダ バイトを送信し、ターゲットにコマンド (通常は「オン」、「オフ」) を伝達するシンプルでコンパクトな SMBus トランザクションです。コントローラでは、ターゲット アドレスと方向の値を TA レジスタに書き込み、その後 CTR レジスタの START、STOP、FRM_START ビットをセットして BLEN フィールドを 0 にクリアすることで、クイック コマンドを送信できます。ターゲット ロジックにもクイック コマンドのサポートが組み込まれています。

UNICOMM-I2C ターゲット モードでは、クイック コマンドの受信時に TX FIFO が空になっている必要があり、受信メッセージをデコードした後にのみロードできます。I2CT からクイック コマンドを受信するには、次の手順に従います。

1. TX FIFO は空である必要があります
2. SR.QCMDST ビットと SR.QCMDRW ビットを使用して、クイック コマンド メッセージを受信し、デコードします。
3. クロック ストレッチングが有効になっている場合、ソフトウェアは TX FIFO に 0xFF をロードしてクロック ストレッチングを停止し、I2C コントローラが STOP 条件を生成できるようにする必要があります。

Copyright © 2026 Texas Instruments Incorporated



図 23-14. クイック コマンド メッセージ

23.3.3.17.2 SMBUS 拡張アクノリッジ制御

I2C ターゲット拡張 ACK 制御

ACKCTL レジスタの以下の追加ビットを使用すると、拡張されたアクノリッジ機能が使用できます。ACKCTL の ACKOEN_ON_PECDONE、ACKOEN_ON_PECNEXT、または ACKOEN_ON_START ビットがセットされると、ステータス ビット SR.ACKOEN は自動的に更新されます。ハードウェアによって生成されたアクノリッジ オーバーライド状態をクリアするには、ソフトウェアは ACKCTL.ACKOEN を「0」に書き込む必要があります。

- **ACKOEN_ON_PECDONE**
  - このビットをセットすると、受信した PEC バイトに対する ACK/NACK の後に、ターゲット オーバーライド機構が自動的に有効になります。これにより、ソフトウェアは PEC バイトの後に受信されたデータ バイトを手動で処理できます。シーケンスは、次のとおりです:
    1. ACKCTL.ACKOEN_ON_PECDONE を設定します
    2. PEC バイトに対する ACK/NACK が完了すると、SR.ACKOEN ビットは自動的にセットされます
    3. 手動ソフトウェア ACK を使用して「n」バイトを受信します
    4. 「n」バイトを受信した後で SR.ACKOEN をクリアします
    5. 自動ハードウェア ACK を使用して次の「m」バイトを受信します
- **ACKOEN_ON_PECNEXT**
  - このビットをセットすると、PEC バイトの直前に受信したバイトに対する ACK/NACK の後に、ターゲット オーバーライド機構が自動的に有効になります。ソフトウェアは、PEC バイトに対する ACK/NACK の完了後に、SR.ACKOEN をクリアする必要があります。このオプションを使用すると、ソフトウェアはここで割り込みを発生させることにより、実質的に同期ポイントを取得できます (TXEMPTY_ONTREQ または RXFLL_ON_RREQ がセットされた状態での TREQ/RREQ 条件)。その後、PEC に対する ACK/NACK を手動で送信できます。つまり、ソフトウェアはバイト単位の RXMODE および TXMODE 割り込みに依存する必要がなく、フレーム全体の送受信が完了した後に割り込みを受け取ることができます。シーケンスは、次のとおりです:
    1. ACKCTL.ACKOEN_ON_PECNEXT を設定する
    2. PEC バイトの前に、SR.ACKOEN ビットが自動的にセットされます
    3. ソフトウェアを使用して、PEC バイトを受信し、手動で ACK/NACK を受信します
    4. SR.ACKOEN をクリアします
    5. 次の PEC バイトを受信するまで、自動ハードウェア ACK を使用して次のフレーム全体を受信します
- **ACKOEN_ON_START**
  - セットされている場合、このビットにより、START 条件後にターゲット オーバーライド機能が自動的にオンになります。シーケンスは、次のとおりです:
    1. ACKCTL.ACKOEN_ON_START
    2. START 条件が検出されると、SR.ACKOEN ビットが自動的に設定されます
    3. 残りのバイトが判明するまで、ソフトウェアでバイトの受信を続けます
    4. SR.ACKOEN をクリアします
    5. 次の START 条件を受信するまで、自動ハードウェア ACK を使用してフレームの残りの部分を受信します

注

I2CT ソフトウェアは、NACK を生成してから SR.ACKOEN を無効にするまで、ビット期間を待機する必要があります。これらの操作は同じサイクルでは実行できません。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

I2C コントローラ拡張 ACK 制御

I2CC は、受信モード時に「n」バイトを受信した後、ACK または NACK を返すことができます。CTR.ACKOEN がセットされ、CTR.BLEN で設定されたバイト数を受信すると、RXDONE 割り込みが生成され、CTR.ACK の値に応じてトランザクションに対して ACK または NACK が返されます。トランザクションを停止するには、CTR.STOP を設定できます。そうしないと、ソフトウェアはトランザクションを続行するために、CTR.BLEN フィールドを新しい値に更新できます。

23.3.3.17.3 クロック Low タイムアウト検出

クロック **low** タイムアウトの検出は、TIMEOUT_CTL.TCNTAEN を設定し、TIMEOUT_CNT.TCNTLA (12 ビット周期の上位 8 ビット) レジスタ フィールドのタイムアウト期間を設定することで行われます。TIMEOUT_CNT.TCNTA レジスタには、現在のカウント値が格納されています。

SCL タイムアウトが短い場合の検出に関するカウンタ計算の例を以下に示します。

- SCL Low 検出の場合、各カウントは I2Cclk 周期の 520 サイクルに等しくなります。
- 最高クロック周波数が 40MHz の場合でも、総タイムアウト期間が 35ms (SMBus 3.0 で規定される tTIMEOUT,MAX) を超えるように、520 のプリマルチプライヤを使用します。
- 40MHz で、1 カウント = 520 * 25ns = 13us
- 最大カウント値 = 12'b1111_1111_0000 = 12'd4080
- 合計時間を設定可能 = 4080 * 13us = 53.04ms

23.3.3.17.4 クロックの High タイムアウト検出

クロック **high** タイムアウト検出は、TIMEOUT_CTL.TCNTBEN をセットし、TIMEOUT_CNT.TCNTLB レジスタ フィールド (12 ビットのタイムアウト期間の上位 8 ビット) でタイムアウト期間を設定することで行います。TIMEOUT_CNT.TCNTB レジスタには、タイマの現在のカウント値が含まれます。

高 SCL タイムアウト検出のカウンタ計算例を以下に示します。

- SCL High 検出では、各カウントは I2Cclk の 1 クロック周期に相当します。
- 低周波の機能クロック (I2Cclk) を使用する場合でも、50µs ($t_{HIGH,MAX}$) に対するカウンタの精度を高く維持するため、プリマルチプライヤとして 1 を使用します。
- 10MHz 時、1 カウント = 100ns
- 50µs をカウントするために必要な I2Cclk の総カウント数 = 500
- 50µs のバス アイドル タイムアウトに対する TIMEOUT_CNT.CNTLB の値 = 500/16 = 32

23.3.3.17.5 累積クロック Low の拡張タイムアウト

以下の二つの累積タイムアウト イベントの仕様は、ターゲットおよびコントローラに関する SMBus 3.0 仕様に基づいています。

- $t_{LOW:SEXT}$
  - この値は、最初のスタートからストップまでの一つのメッセージ内で、特定のターゲットデバイスに許容されるクロック サイクル延長時間の累積値として定義されます。別のターゲット デバイスまたはコントローラもクロックを延長できるため、合計のクロック Low 延長時間が $t_{LOW:SEXT}$ を超える場合があります。したがって、このパラメータは、対象のターゲット デバイスだけをフルスピードのコントローラに接続した状態で測定されます。
- $t_{LOW:MEXT}$
  - この値は、スタートから ACK、ACK から ACK、または ACK からストップまでとして定義される、メッセージ内の各バイトにおいて、コントローラ デバイスに許容されるクロック サイクル延長時間の累積値として定義されます。ターゲット デバイスまたは別のコントローラもクロックを延長できるため、特定のバイトにおける合計クロック Low 時間が $t_{LOW:MEXT}$ を超える場合があります。したがって、このパラメータは、フルスピードのターゲット デバイスだけをコントローラに接続した状態で測定されます。

I2CC および I2CT では、累積タイムアウト イベントをソフトウェアで監視する必要があります。ほとんどの場合、単一のクロック ストレッチに対する SCL タイムアウトを設けることで、累積タイムアウト イベントに対する十分な保護となります。

Copyright © 2026 Texas Instruments Incorporated

コントローラ モードでは、UNICOMM-I2CC のクロックはバイト境界でのみストレッチします。これは、セクション 23.3.3.17.3 に示すように、$t_{LOW:MEXT}$ とカウンタ A の定義に一致しています。

ターゲット モードでは、UNICOMM-I2CT の一回のトランザクション内で、異なるバイト境界においてクロック ストレッチ イベントが発生する可能性があります。そのため、$t_{LOW:SEXT}$ を超えないように、ソフトウェアでは DMA および FIFO 機能を使用する必要があります。通常、ソフトウェアは SMBUS フレームの最初のコマンド バイトを処理するのに時間を要するため、カウンタ A 方式を使用することで、ソフトウェア処理の遅延に対する保護が可能です。トランザクションの残りの部分には、ソフトウェア遅延がないバイト転送が含まれます。

23.3.3.17.6 パケット エラー チェック(PEC)

PEC は、アドレスおよび読み取り / 書き込みビットを含む、一回のトランザクション内のすべてのメッセージ バイトを使用して計算される CRC-8 エラー チェック用バイトです。ACK/NACK、START、STOP ビットは PEC の計算に寄与しません。PEC は、最後のデータバイトを供給したデバイスによって、メッセージに追加されます。PEC は、コントローラ モードでは STOP 条件の発生時に、ターゲット モードでは NACK の受信時にクリアされます。

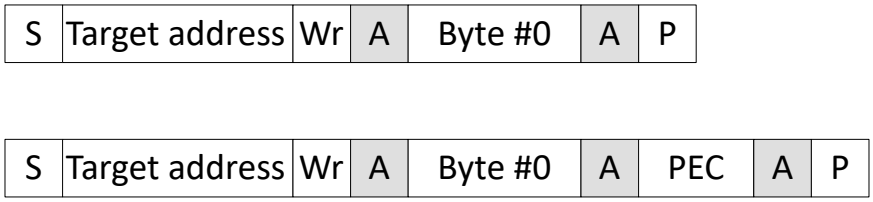


図 23-15. PEC あり / なしでバイト メッセージを送信

PEC 多項式の計算は以下のとおりです。

x^8 + x^2 + x^1 + 1

高度な UNICOMM-I2CC および UNICOMM-I2CT インスタンスの PECCTL レジスタは、コントローラ モードとターゲット モードの両方の PEC 送信およびチェックをサポートしています。以下に、PECCTL レジスタの各フィールドについて説明します。

- PECEN
  - このビットは、SMB パケット エラー チェック (PEC) メカニズムをイネーブルします。有効にすると、PEC は START、STOP、および ACK/NACK を除くすべてのビットに基づいて計算されます。PEC LFSR とバイトカウンタは、ステート マシンがアイドル状態になると 0 に設定されます。アイドル状態への移行は、STOP 条件の発生後またはタイムアウト発生時に行われます。PEC バイトが送信または受信されると、カウンタも 0 に設定されます。
- PECCNT
  - このフィールドをゼロでない値に設定すると、I2C データ バイト数がカウントされ、その値と比較されることで、送受信中の各 PEC バイトが追跡されます。

注

I2C ターゲットで PECCNT を動的に変更する場合は、SCL がストレッチされている間に行い、かつ変更前の PECCNT が 0 の場合に限ります。

注

I2C コントローラで PECCNT を動的に変更する場合は、変更前の PECCNT が 0 の場合に限ります。PECCNT 値を 1 に設定することは無効です。これは、トランザクションに PEC バイトが 1 バイトあり、データ バイトがゼロ バイトであることを示しますが、SMBus 規格ではこのような構成は認められていません。

送信時は、TXDATA レジスタにダミー バイトを書き込むことで、各トランザクションの送信シーケンスに追加のバイトを挿入する必要があります。PECEN が設定されている場合、I2CC/I2CT は PEC を計算し、データ バイト数が PECCNT の値に達すると、送信時にこのダミーバイトを PEC 値に置き換えます。受信の場合、PEC バイトは RX FIFO を経由してデー

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

タ バイトと同じように受信されます。PECEN が設定され、データ バイト数が PECCNT に設定された値と等しい場合、次に受信するバイトが PEC であるため、I2CC/I2CT はそのバイトをチェックします。PEC バイトがゼロでない場合、RIS の PEC_RX_ERR フラグが設定され、NACK が自動的に回線上で送信されます。

また、PEC の動作と機能に関するステータス フラグを UNICOMM-I2CC と UNICOMM-I2CT の両方で提供するため、PECSR レジスタも追加されています。以下に、PECSR レジスタの各フィールドについて説明します。

- PECBYTECNT
  - これは、I2C コントローラまたはターゲットの現在の PEC バイト数です。
- PECSTS_CHECK
  - このステータス ビットは、最後の STOP の前に発生したトランザクションで PEC がチェックされたかどうかを示します。このフラグは、STOP 条件時に更新されます。
- PECSTS_ERROR
  - このステータス ビットは、直前の STOP 条件より前のトランザクションで PEC チェック エラーが発生したかどうかを示します。このフラグは、STOP 条件時に更新されます。

一般的な I2C ターゲットのユース ケースでは、残りのパケット長が判明するまで、ソフトウェアは PECEN を 1、PECCNT を 0 に設定し、ACKOEN ビットを設定して手動 ACK オーバーライド機能を有効にできます。その後、ソフトウェアは PECCNT を残りのパケット長 (PEC バイトを含む) に設定できます。パケットの送受信が完了すると、ACKOEN をクリアすることで手動 ACK オーバーライド モードを無効化できます。

23.3.3.17.7 ホスト通知プロトコル

SMBus ホスト通知プロトコル仕様をサポートするために、UNICOMM-I2CT アドバンスト インスタンスにはデフォルトのホスト アドレスが含まれています。CTR.EN_DEFHOSTADR ビットが設定されている場合、ターゲット アドレス一致ロジックでは、デフォルトのホスト アドレス **7'b000_1000** が常に比較に使用されます。このビットがクリアされている場合、デフォルトのホスト アドレスはアドレス一致判定に使用されません。

23.3.3.17.8 アラート応答プロトコル

ターゲット専用デバイスは、GPIO 経由でホストに、通信することを通知できます。ホストは割り込みを処理し、同時にアラート応答アドレスを介して準拠したすべてのデバイスにアクセスします。アラート応答アドレスは、要求を生成したデバイスのみがアクノリッジします。

SMBus ホスト通知プロトコル仕様をサポートするため、高度 UNICOMM-I2CT インスタンスにはアラート応答アドレスがあります。CTR.EN_ALRESPADR ビットがセットされている場合、**7'b000_1100** のアラート応答アドレスは常にターゲット アドレス一致ロジックと一致します。このビットがクリアされている場合、アラート応答アドレスは一致しません。アラーム状況の GPIO 信号はソフトウェアで処理する必要があります。

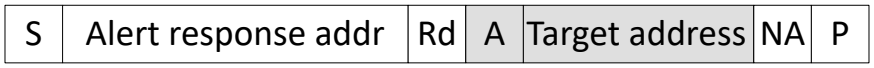


図 23-16. アラート応答メッセージ

23.3.3.17.9 アドレス解決プロトコル

SMBus のターゲット アドレスの競合は、各ターゲット デバイスに新しい固有のアドレスを動的に割り当てることで解決できます。この場合、UNICOMM-I2CC では、以下に示すアドレス解決プロトコル (ARP) が使用されます。

1. ARP への準備
   a. コントローラは、デフォルトのデバイスアドレスを使用して、バス上のすべてのターゲットに **ARP への準備**コマンドを送信します。すべてのターゲットはこのコマンドに ACK を返し、自身のアドレスをクリアする必要があります。
2. UDID の取得
   a. コントローラは **UDID 取得**コマンドをバス上のすべてのターゲットに送信します。すべてのターゲットは、一意の UDID をコントローラに返します。

Copyright © 2026 Texas Instruments Incorporated

b. すべてのターゲットがコントローラに UDID を送信しようとするため、ターゲット間のアービトレーションが行われます。

3. アドレスの割り当て
   a. コントローラは、すべてのターゲット UDID に**アドレスの割り当て**コマンドを送信して、各デバイスに新しい一意のアドレスを割り当てます。コントローラは、このプロセス中に使用されているアドレス プールと対応する UDID をソフトウェアで追跡する必要があります。すべてのターゲットは、UDID バイトを監視し、UDID が一致した場合には、独自のアドレスを割り当てられたアドレスに変更する必要があります。UNICOMM-I2CT インスタンスの場合、これはソフトウェアで実行できます。コマンダは、**UDID の取得**コマンドを送信した後、ターゲットから ACK が発生しないまで、ステップ 2 と 3 を繰り返すことができます。つまり、すべての ARP 対応ターゲットに有効なターゲット アドレスが割り当てられています。

さらに、ARP プロセスをサポートするために、UNICOMM-I2CT 高度インスタンスにはデフォルトのデバイス アドレスが含まれています。CTR.EN_DEFDEVADR ビットがセットされている場合、ターゲット アドレス一致ロジックでデフォルトのデバイス アドレス **7'b110_0001** が常に使用されます。このビットがクリアされている場合、デフォルトのデバイス アドレスは一致しません。アービトレーションに負けた場合、UNICOMM-I2CC モジュールのアービトレーション ロジックと同様に、RIS.ARBLOST 割り込みがセットされます。

23.3.4 プロトコルの記述と初期化

23.3.4.1 I²C コントローラ モード

機能ブロック図セクションに示すように、UNICOMM-I2CC インスタンスには、I2C の動作を構成するための一連の特定のコントローラ レジスタがあります。

23.3.4.1.1 I2C コントローラの初期化

以下の I2CC 固有の設定を実行する前に、セクション 21.3 の概要レベルの UNICOMM 設定に従ってください。

1. 以下の構成を変更する前に、CR レジスタの ENABLE ビットをクリアします。
2. TPR レジスタの TPR ビットに適切な値を書き込み、目的の SCL クロック速度を設定します。たとえば、20MHz I2Cclk と 100kbps が必要とする SCL クロックでは、TPR 値 19 (0x13) を TPR に書き込む必要があります。TPR 値の計算方法の詳細については、「クロック制御」を参照してください。
3. IFLS レジスタで目的の FIFO トリガ レベルを構成します。
4. CR レジスタのクロックストレッチをイネーブル / ディスエーブルします。
5. TA レジスタに書き込むことで、ターゲット アドレス、転送の初期方向、アドレッシング モード (7 ビットまたは 10 ビット) を指定します。
6. CPU_INT、DMA_TRIG_RX、DMA_TRIG_TX グループ IMASK レジスタを使用して、目的の割り込みや DMA イベントをイネーブルにします。
7. (オプション) PDBGCTL レジスタのペリフェラルのエミュレーションモードを設定します。
8. CR.ENABLE ビットをセットして I2CC をイネーブルします。
9. CTR レジスタを使用して、転送、アクノリッジ設定、および START/STOP 条件の初期長さを指定します。コントローラ トランスミッタ モードで動作している場合、TXDATA に送信されるデータを書き込むことができます。FRM_START ビットに書き込み、フレームを開始します。

23.3.4.1.2 I2C コントローラ ステータス

アプリケーションは、SR レジスタ (詳細は *SR Field Descriptions* で説明) を読み取って、UNICOMM-I2CC の現在の状態を確認できます。すべての UNICOMM ペリフェラルで共通で、TX および RX FIFO に関連するステータス ビットについては、*FIFO Status Flags* を参照してください。

23.3.4.1.3 I2C コントローラ レシーバ モード

UNICOMM-I2CC がアイドル モードからデータ受信を開始するには、CTR レジスタの開始ビットをセットして開始条件を生成する必要があります。その後、コントローラは自動的に開始条件に続いてターゲット アドレスを送信し、バスが解放されるとすぐに送信します。

Copyright © 2026 Texas Instruments Incorporated

まず、TA.DIR を 1 に設定して受信モードを有効にし、CTR.START を 1 に設定して START 条件を生成します。次に、高度 I2CC インスタンスでは、CTR.BLEN に受信動作のバイト数 (n) を設定できます (Basic UNICOMM-I2CC インスタンスでは、この長さは 1 に固定されています)。その後で、ユーザー構成に基づいて、CTR.ACK および CTR.STOP ビットをセットまたはクリアできます。ライン上でトランザクションを開始するには、CTR.FRM_START が設定されます CTR。パケット形式は次のとおりです:START + ADDR + R + (DATA*n) + (ACK/NACK) + STOP。最後のデータの ACK/NACK は ACK ビットに依存し、ストップ条件が追加されるかどうかはストップ ビットによって異なります。

最後のバイトを受信すると、CPU_INT.IIDX レジスタの RXDONE 割り込みがセットされ、コントローラ受信トランザクションの完了を示します。ユーザーは、CPU_INT.IIDX レジスタの RXTRG 割り込みを使用して、RX FIFO からデータを読み取ることができます。この割り込みは、コントローラ RX FIFO に指定されたバイト数以上のデータが格納されるとトリガされます。トリガ レベルは、IFLS レジスタの RXIFSEL ビットを使用して設定できます。コントローラ レシーバ モードのフローチャートを、図 23-17 に示します。

Copyright © 2026 Texas Instruments Incorporated

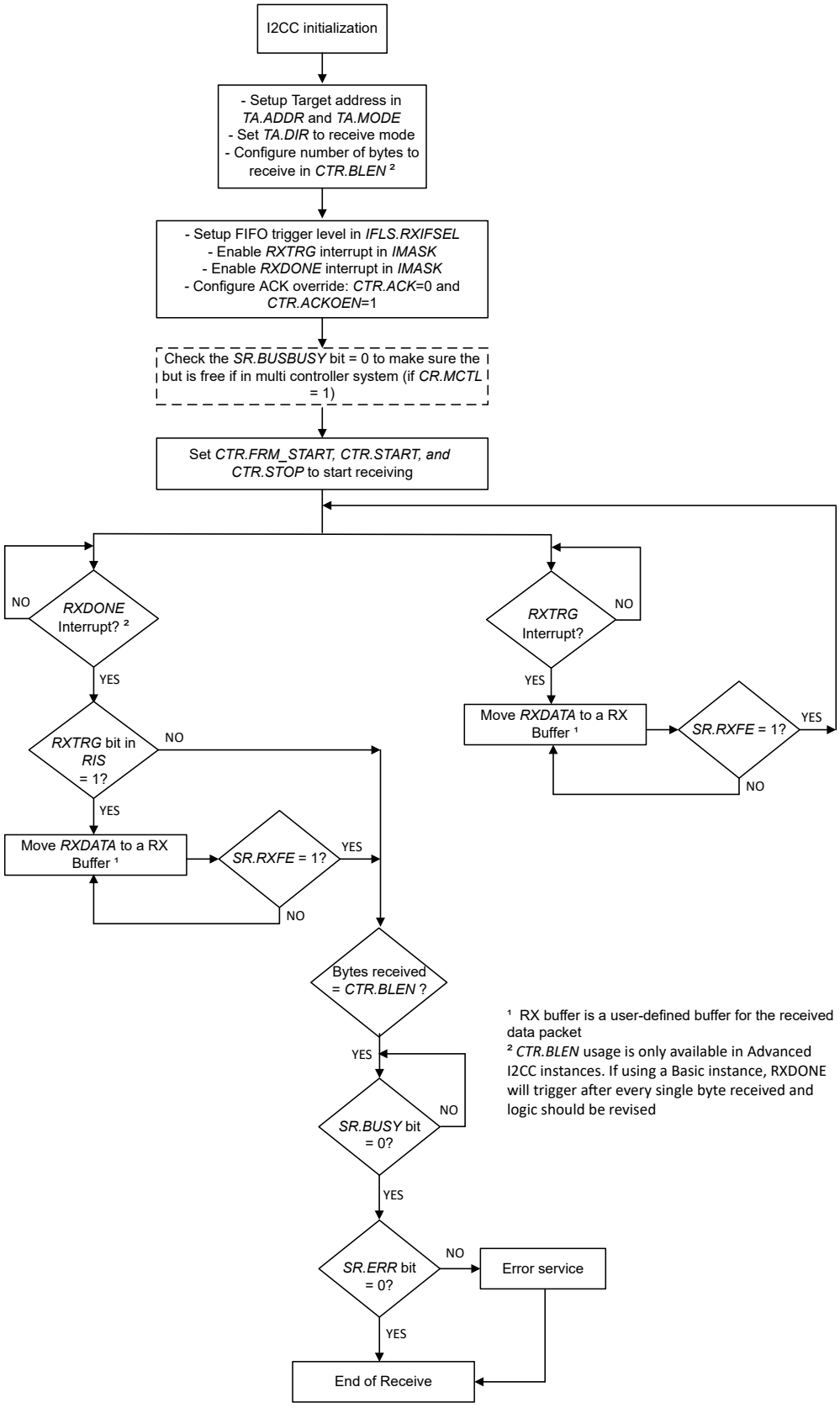


図 23-17. コントローラ受信モード

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.3.4.1.4 I2C コントローラ トランスミッタ モード

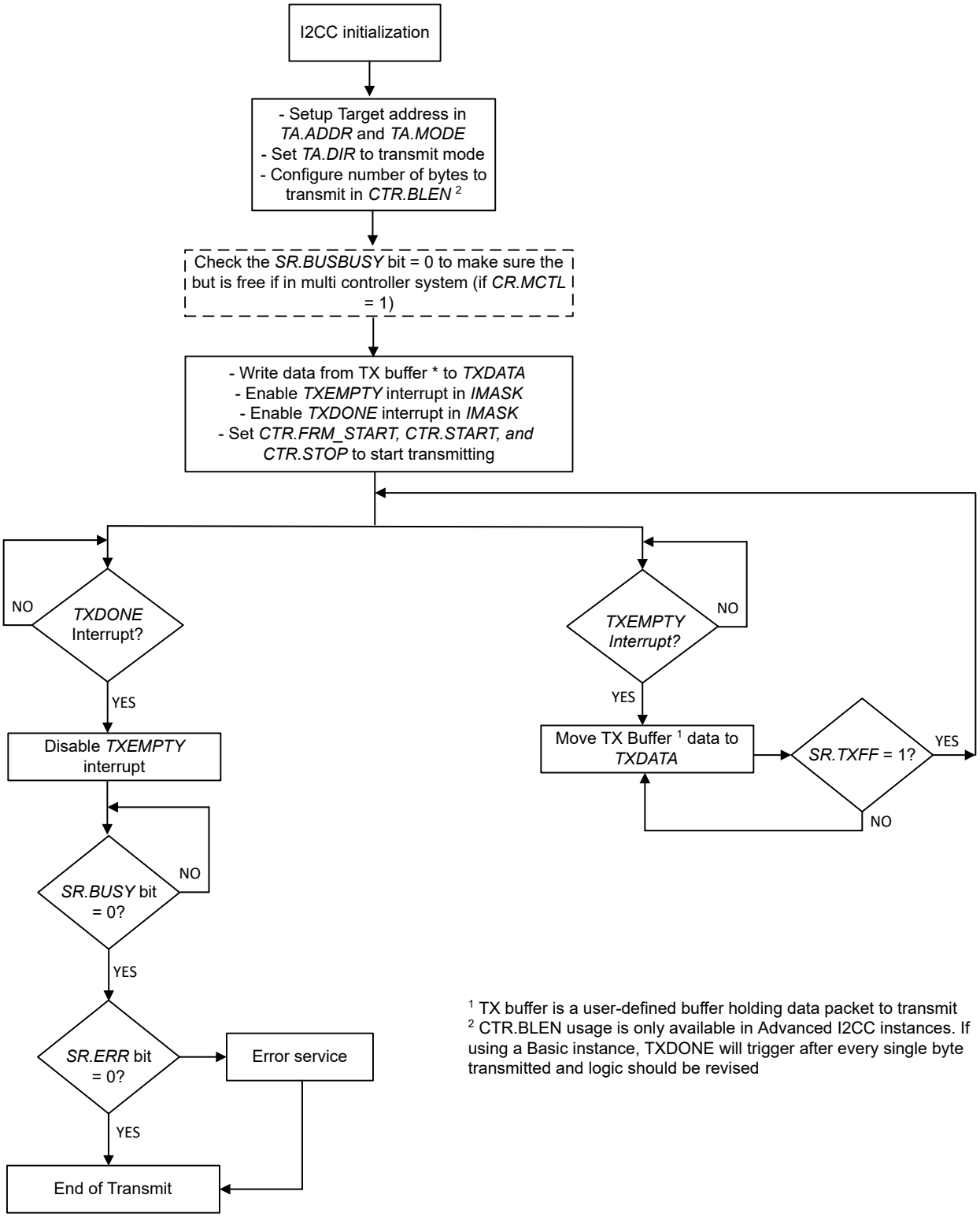
コントローラがアイドル モードからデータ送信を開始するには、START 条件を生成するために、CTR レジスタの START ビットをセットする必要があります。その後、コントローラは自動的に開始条件に続いてターゲット アドレスを送信し、バスが解放されるとすぐに送信します。ターゲット アドレスの送信中にアービトレーションを消失しなかった場合、TXDATA に書き込まれたデータが送信されます。

まず、TA.DIR を 0 にクリアして送信モードを有効にし、CTR.START を 1 に設定して START 条件を有効にします。その後で、高度 I2CC インスタンスでの送信動作のバイト数 (n) を示すように CTR.BLEN を設定できます (基本インスタンスの場合、この長さは 1 にハードコードされます)。その後で、CTR.STOP ビットをユーザー構成に基づいてセットまたはクリアできます。次に、ライン上でトランザクションを開始するために、CTR.FRM_START が設定されます。パケットフォーマットは、START + ADDR + W + (DATA * n) + STOP です。ここで、STOP 条件の送信は STOP ビットによって異なります。

最後のバイトが送信された後、CPU_INT.IIDX レジスタの TXDONE 割り込みが設定され、コントローラの送信トランザクションが完了したことを示します。ユーザーは、CPU_INT.IIDX レジスタの TXEMPTY 割り込みを使用して、TX FIFO が空であり、追加データを書き込める状態かどうかを確認することもできます。この割り込みは、送信 FIFO のすべてのデータがシフトアウトされた場合にトリガされます。

コントローラ トランスミッタ モードで TXDONE および TXTRG 割り込みを使用する必要のあるソフトウェアステップを含むフローチャートを、それぞれ図 23-18 と図 23-19 に示します。

Copyright © 2026 Texas Instruments Incorporated



[1] TX buffer is a user-defined buffer holding data packet to transmit
[2] CTR.BLEN usage is only available in Advanced I2CC instances. If using a Basic instance, TXDONE will trigger after every single byte transmitted and logic should be revised

図 23-18. TXDONE を使用するコントローラ送信モード

Copyright © 2026 Texas Instruments Incorporated

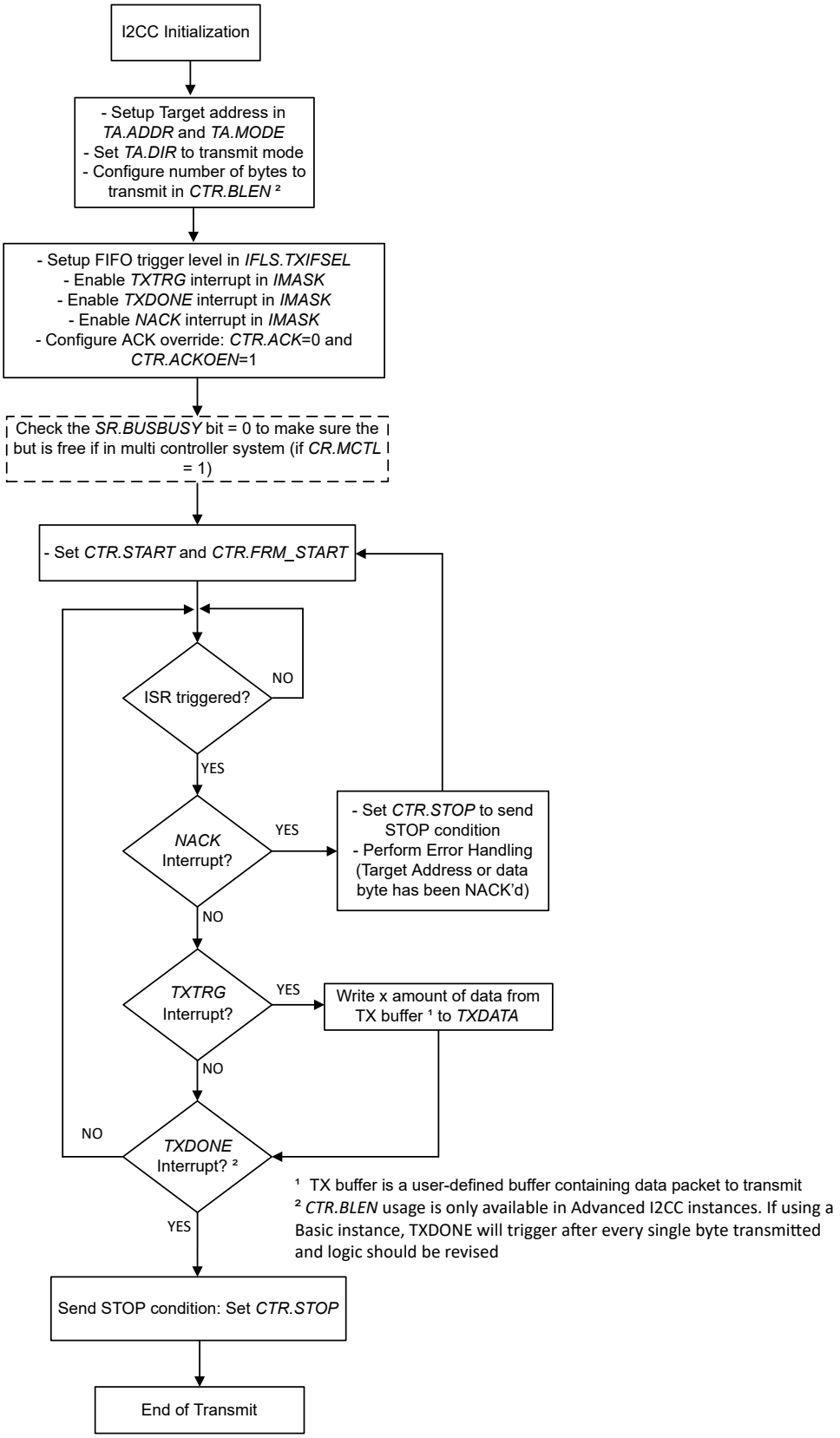


図 23-19. TXTRG を使用するコントローラ送信モード

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.3.4.1.5 コントローラ トランザクションの構成

UNICOMM-I2CC 制御レジスタ (CTR) と UNICOMM-I2CC ターゲット アドレス レジスタ (TA) は、アプリケーションの実行中にコントローラの送信および受信トランザクションを設定するために使用されます。ソフトウェアが TXDATA および RXDATA を読み書きする前に、次の設定を使用して各トランザクションを制御できます。

- Length はトランザクションのバイト数を示し、CTR.BLEN ビットで設定されます (高度 UNICOMM I2CC インスタンスでのみ使用可能です。基本的な I2CC インスタンスでは、トランザクション長は 1 に固定されています。)
- 方向 (送信または受信) は、TA.DIR ビットによって設定されます
- ACK の生成は、CTR.ACK ビットおよび CTR.ACKOEN ビットによって設定されます。
- STOP 条件の生成は CTR.STOP ビットによって設定されます。
- START または反復 START 条件の生成は、CTR.START ビットによって設定されます。
- 送信の開始は、CTR.FRM_START ビットで有効化されます。
- 送信 / 受信ステータスおよびエラー ステータスは、それぞれ SR.BUSY ビットと SR.ERR ビットでチェックできます。

コントローラ送信データ トランザクション

表 23-7. アイドル モードから送信を開始

長さ	方向	ACK	ストップ	START	FRM_START	フレーム フォーマット	注
n (n > 0)	0	X	0 または 1	1	1	START + ADDR + R/W + DATA * n + STOP	STOP 接続の送信は、CTR.STOP ビットに依存します。

表 23-8. 最後の送信が停止せずに終了したら、送信を続行します

長さ	方向	ACK	ストップ	START	FRM_START	フレーム フォーマット	注
n (n > 0)	0	X	0 または 1	0	1	DATA * n + ACK/NACK + STOP	STOP 接続の送信は、CTR.STOP ビットに依存します。

ターゲットから NACK 応答がある場合、コントローラは自動的に STOP 条件を送信して送信を完了します。コントローラは、ADDR または DATA NACK の後に再起動を送信できません。

コントローラ受信データ トランザクション

表 23-9. アイドル モードからの受信を開始

長さ	方向	ACK	ストップ	START	FRM_START	フレーム フォーマット	注
n (n > 0)	1	0 または 1	0 または 1	1	1	START + ADDR + R/W + DATA *n + ACK/NACK + STOP	最後のデータの ACK または NACK は、CTR.ACK ビットによって異なります。STOP 条件の追加送信は、CTR.STOP ビットによって異なります。

表 23-10. 最後の受信が終了したときに、STOP または NACK なしで受信を続行します

長さ	方向	ACK	ストップ	START	FRM_START	フレーム フォーマット	注
n (n > 0)	1	0 または 1	0 または 1	0	1	DATA * n + ACK/NACK + STOP	最後のデータの ACK または NACK は、CTR.ACK ビットによって異なります。STOP 条件の追加送信は、CTR.STOP ビットによって異なります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

前回のトランザクションが NACK で終了した場合、この設定は使用できません。NACK の後には、STOP 条件または RESTART 条件のみを続けることができるためです。ACK ビットと STOP ビットを同時に 1 に設定することはできません。ターゲットがバス ラインを解放するように通知されてから、STOP ビットを送信する必要があるためです。

コントローラ繰り返し START トランザクション

ストップなしで最後の送信または受信が完了した場合には、繰り返し START を生成して、新しいトランザクションを開始できます

表 23-11. 繰り返しスタート送信

長さ	方向	ACK	ストップ	START	FRM_START	フレーム フォーマット	注
n (n > 0)	0	0 または 1	0 または 1	1	1	Restart + ADDR +R/W + DATA * n + STOP	STOP の追加送信は、CTR.STOP ビットによって異なります。

ターゲットから NACK 応答がある場合、コントローラは自動的に STOP 条件を送信して送信を完了します。コントローラは、ADDR または DATA NACK の後に RESTART を送信できません。

表 23-12. 繰り返しスタート受信

長さ	方向	ACK	ストップ	START	FRM_START	フレーム フォーマット	注
n (n > 0)	1	0 または 1	0 または 1	1	1	Restart + ADDR + R/W + DATA * n + ACK/NACK + STOP	最後に ACK または NACK が続くデータは、CTR.ACK ビットによって異なります。さらに STOP の送信は、CTR.STOP ビットによって異なります。

ACK ビットと STOP ビットを同時に 1 に設定することはできません。ターゲットがバス ラインを解放するように通知されてから、STOP ビットを送信する必要があるためです。

コントローラ送信停止のみトランザクション

表 23-13. STOP のみ送信し

長さ	方向	ACK	ストップ	START	FRM_START	フレーム フォーマット	注
n (n >= 0)	X	X	1	0	1	ストップ	ストップ コマンド

このトランザクションは、前のトランザクションが正常に完了した後にのみ送信します。コントローラが現在受信モードの場合、ターゲットに NACK を送信せずに STOP 条件を送出することはできません。

コントローラ クイック コマンド トランザクション

クイック コマンドは、トランザクションの開始時にのみ送信でき、他のトランザクション (停止なし) や繰り返し開始の後に送信することはできません。

表 23-14. コントローラ クイック コマンド

長さ	方向	ACK	ストップ	START	FRM_START	フレーム フォーマット	注
0	0/1	X	1	1	1	START + ADDR + R/W + STOP	クイック コマンド

Copyright © 2026 Texas Instruments Incorporated

23.3.4.2 I²C ターゲット モード

機能ブロック図セクションに示すように、UNICOMM-I2CT インスタンスには、I2C の動作を構成するための一連の特定のコントローラ レジスタがあります。

23.3.4.2.1 I2C ターゲット初期化

以下の I2CC 固有の設定を実行する前に、セクション 21.3 の概要レベルの UNICOMM 設定に従ってください。

1. CTR.ENABLE ビットをクリアして、I2CT を無効にします。
2. TPR レジスタの TPR ビットに適切な値を書き込み、目的の SCL クロック速度を設定します。たとえば、I2C_CLK が 20MHz で、目的の SCL クロック速度が 100kbps の場合、TPR に TPR 値 19 (0x13) を書き込む必要があります。TPR 値の計算方法の詳細については、クロック制御を参照してください。
3. OAR レジスタに書き込み、少なくとも一つのターゲット アドレスを設定します。高度 I2CT UNICOMM インスタンスでは、OAR2 レジスタを使用して追加のターゲット アドレスを有効にし、設定できます。
4. ACKCTL レジスタのアクノリッジ設定を設定します。
5. CTR レジスタで、クロック ストレッチ、TXTRG/RXTRG 割り込みモード、デフォルト デバイス アドレス、および SMBUS 機能を設定します (高度 I2CT インスタンスでのみ使用できます)。
6. IFLS レジスタで目的の FIFO トリガ レベルを構成します。
7. CPU_INT、DMA_TRIG_RX、DMA_TRIG_TX グループ IMASK レジスタを使用して、目的の割り込みや DMA イベントを有効にします。
8. CTR.ENABLE ビットをセットして、I2CT を有効にします。

23.3.4.2.2 I2C ターゲット ステータス

アプリケーションは、SR レジスタ (詳細は *SR Field Descriptions* で説明) を読み取って、UNICOMM-I2CT の現在の状態を確認できます。すべての UNICOMM ペリフェラルで共通で、TX および RX FIFO に関連するステータス ビットについては、*FIFO Status Flags* を参照してください。

23.3.4.2.3 I2C ターゲット レシーバ モード

コントローラが送信したターゲット アドレスが I2CT の自局アドレスと一致し、**low** の R/W ビットを受信すると、ターゲット受信モードに移行します。ターゲット受信モードでは、SDA で受信したシリアル データ ビットは、コントローラ デバイスが生成するクロック パルスに同期してシフト入力されます。ターゲット デバイスはクロックを生成しませんが、1 バイトの受信後に CPU の介入が必要な場合は、SCL を low に保持できます。

データバイトを受信すると、CPU_INT.IIDX レジスタの RXDONE 割り込みがセットされます。I²C モジュールは、受信データを自動的にアクノリッジします。または、ACKCTL レジスタを設定することで、受信する各バイトの後にアクノリッジを手動で送信することもできます。

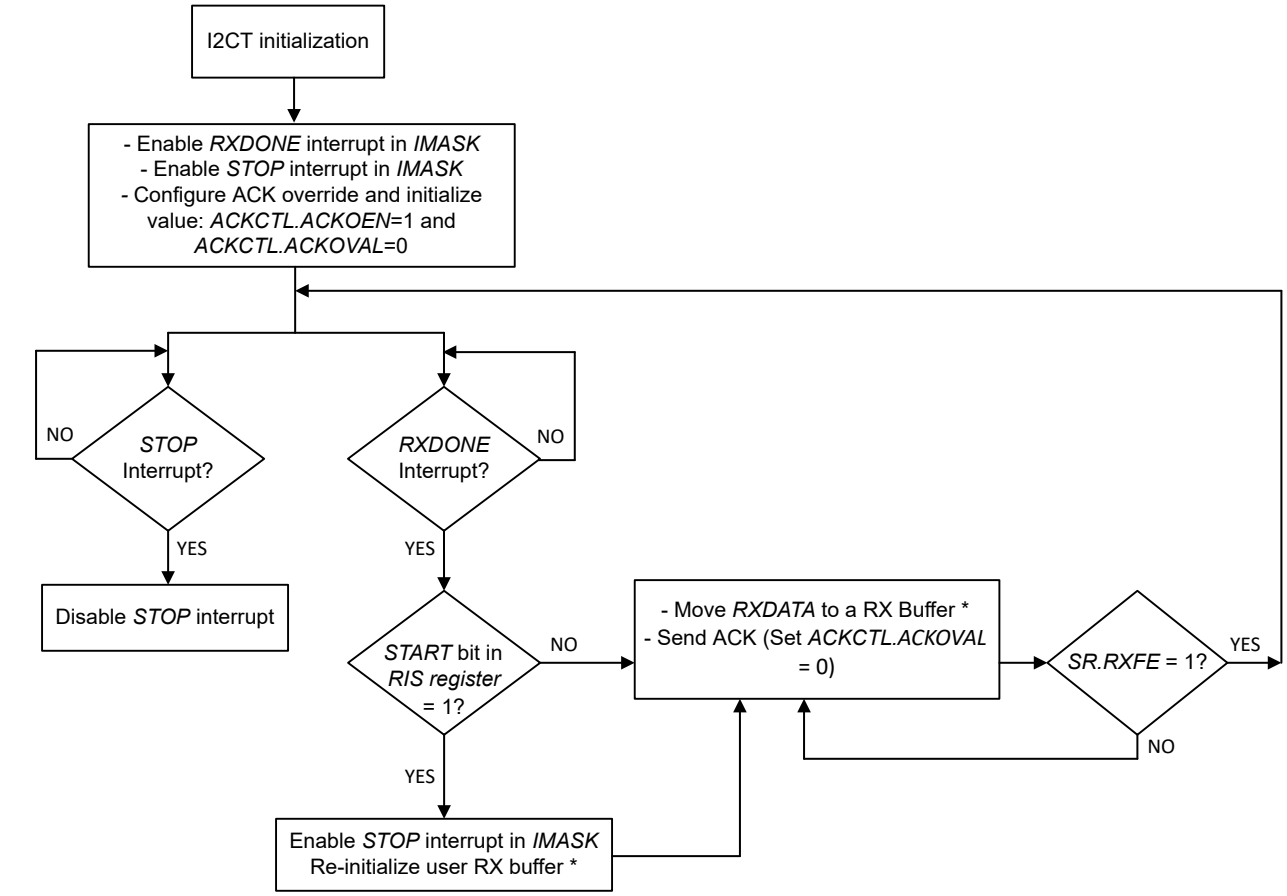
コントローラが START 条件を生成すると、CPU_INT.IIDX レジスタの START 割り込みフラグがセットされます。コントローラが STOP 条件を生成すると、CPU_INT.IIDX レジスタの STOP 割り込みフラグがセットされます。

また、CPU_INT.IIDX レジスタの RXTRG 割り込みを使用して、受信 FIFO からデータを読み取ることもできます。この割り込みは、受信 FIFO に定義されたバイト以上が含まれている場合にトリガされます。FIFO トリガ レベルは、IFLS レジスタの RXIFSEL ビットで定義できます。

ターゲットが各バイトの受信内容を確認するために通信速度を低下させる場合は、RXDONE 方式を使用できます。一方、スループットを最大化し、クロック ストレッチを回避する場合は、RXTRG 方式を使用します。

RXDONE 割り込みおよび RXTRG 割り込みを使用して受信データを読み出すフロー チャートを、それぞれ図 23-20 および図 23-21 に示します。

Copyright © 2026 Texas Instruments Incorporated



* RX buffer is a user defined buffer for the received data packet

図 23-20. RXDONE と ACK オーバーライドを使用したターゲット レシーバ モード

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

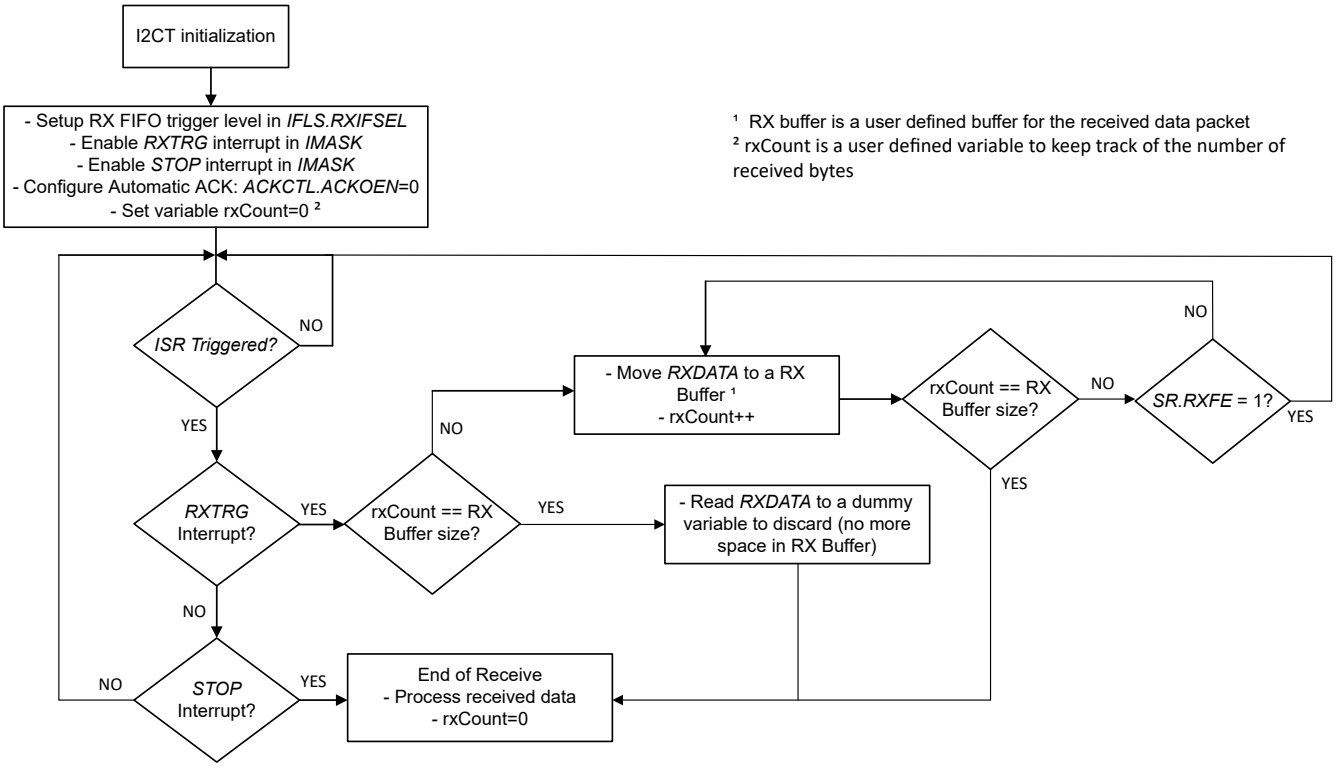


図 23-21. RXTRG と自動 ACK を使用したターゲット レシーバ モード

23.3.4.2.4 I2C ターゲット トランスミッタ モード

コントローラが送信したターゲット アドレスが、**high** の R/W ビットで I2CT 自身のアドレスと一致すると、ターゲット送信モードに移行します。ターゲット送信側は、コントローラ デバイスが生成するクロック パルスに同期して、シリアル データを SDA にシフト出力します。ターゲット デバイスはクロックを生成しませんが、1 バイトの送信後に CPU の介入が必要な場合は、SCL を low に保持できます。

データ バイトが送信された後、CPU_INT.IIDX レジスタの TXDONE 割り込みが設定され、バイトが送信されたことを示します。

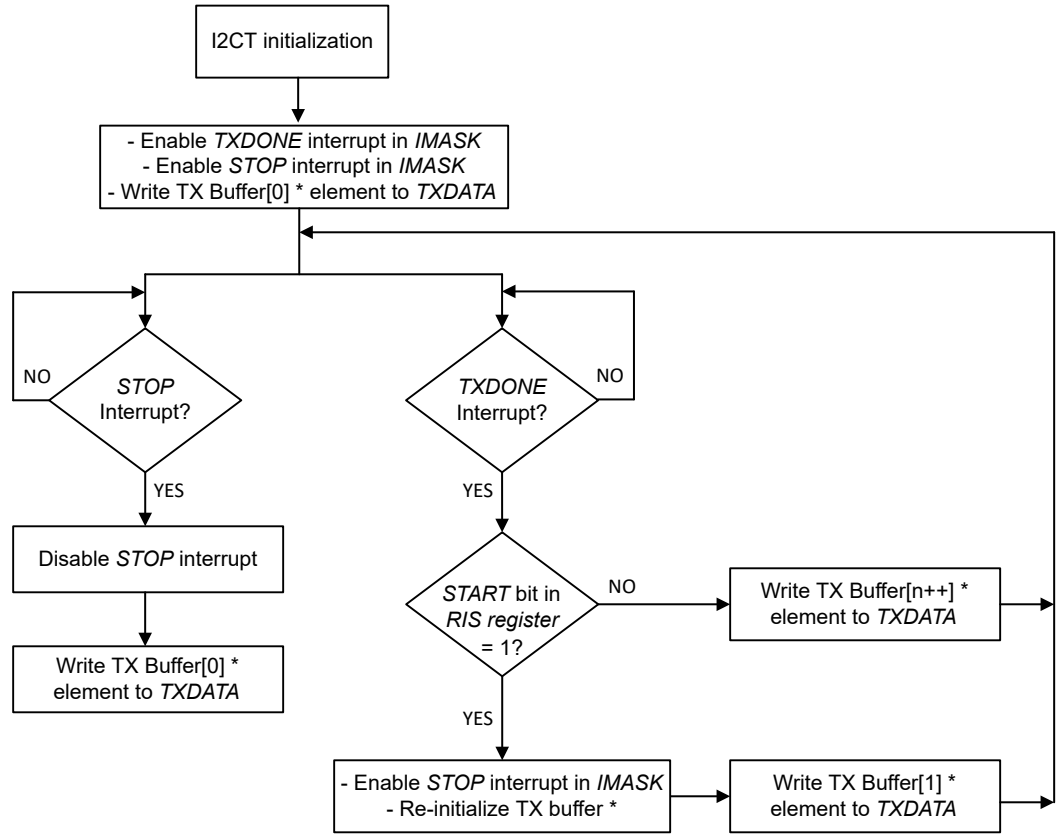
コントローラが START 条件を生成すると、CPU_INT.IIDX レジスタの START 割り込みがセットされます。コントローラが STOP 条件を生成すると、CPU_INT.IIDX レジスタの STOP 割り込みがセットされます。

ユーザーは、CPU_INT.IIDX レジスタの TXTRG 割り込みを使用して、送信 FIFO にデータを書き込むこともできます。この割り込みは、送信 FIFO に定義されたバイト以下が含まれているときにトリガされます。FIFO トリガ レベルは、IFLS レジスタの TXIFSEL フィールドを使用して定義できます。

ターゲットが各バイトの送信を確認するために通信速度を低下させる場合は、TXDONE 方式を使用します。一方、スループットを最大化し、クロック ストレッチを回避する場合は、TXTRG 方式を使用します。

TXDONE および TXFIFOTRG 割り込みを使用してデータを送信するフローチャットを、図 23-22 および図 23-23 に示します。

Copyright © 2026 Texas Instruments Incorporated



* TX buffer is a user-defined buffer holding data packet to transmit

図 23-22. TXDONE を使用したターゲット トランスミッタ モード

Copyright © 2026 Texas Instruments Incorporated

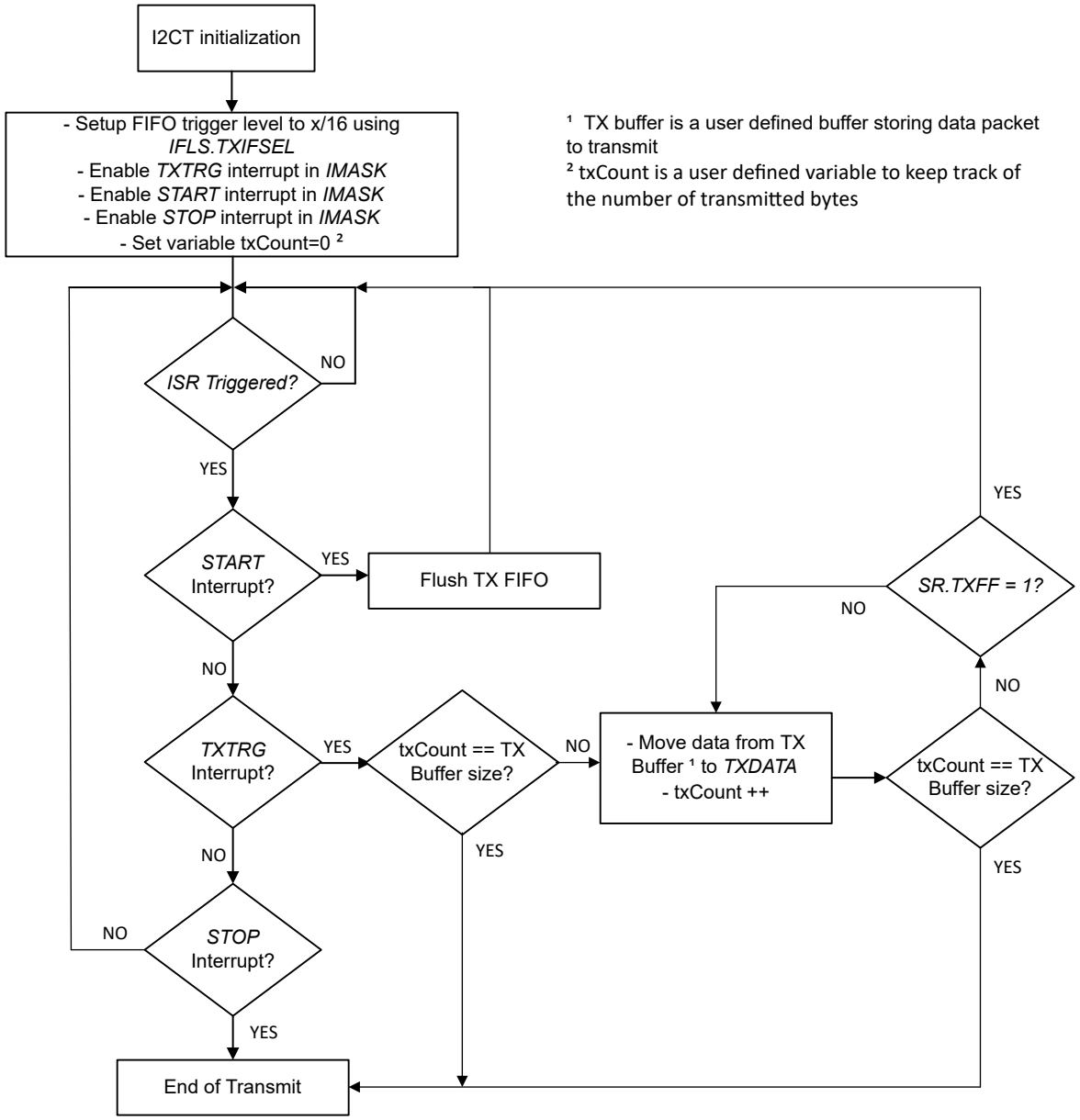


図 23-23. TXFIFOTRG を使用したターゲット トランスミッタ モード

23.3.5 リセットの考慮事項

ソフトウェア リセットの考慮事項

UNICOMM モジュールでは、RSTCTL レジスタ (UNICOMM レジスタ) の RESETASSERT ビットと KEY ビットを同時にセットすることで、ソフトウェア リセットを実行できます。リセットは、トランザクションを終了した後にのみ発行する必要があります。詳細については、セクション 21.2.2 を参照してください。

ハードウェア リセットの考慮事項

ハードウェア リセットにより、IO 構成も再初期化されます。これにより、IO が高インピーダンス状態に設定され、I^2C の外部プルアップ抵抗によって、ラインは High になります。

表 23-15 および表 23-16 にコントローラまたはターゲットが無効になったときのステータス ビットの動作を示します。

Copyright © 2026 Texas Instruments Incorporated

表 23-15. コントローラが無効のときのステータス ビット

登録	ビット	コントローラが無効になっているときの動作	ターゲットが無効になっているときの動作	コントローラ / ターゲットが有効になった後の動作
SR	BUSY	リセット状態	ドント ケア	開始条件の送信を更新します
	ERR	リセット状態	ドント ケア	次のイベントの更新が検出されました
	ADRACK	リセット状態	ドント ケア	次のイベントの更新が検出されました
	DATACK	リセット状態	ドント ケア	次のイベントの更新が検出されました
	ARBLST	リセット状態	ドント ケア	次のイベントの更新が検出されました
	IDLE	リセット状態	ドント ケア	次のイベントの更新が検出されました
	BUSBSY	リセット状態	ドント ケア	バス上で次の開始条件が検出されたとき (または SDA もしくは SCL が low のとき) に更新されます
	BCNT	リセット状態	ドント ケア	次のイベントの更新が検出されました
BMON	SCL	リセット状態	ドント ケア	コントローラを有効にしたアップデート
	SDA	リセット状態	ドント ケア	コントローラを有効にしたアップデート

表 23-16. ターゲットが無効のときのステータス ビット

登録	ビット	コントローラが無効になっているときの動作	ターゲットが無効になっているときの動作	コントローラ / ターゲット有効化後の動作
SR	RREQ	ドント ケア	リセット状態	次のイベントの更新が検出されました
	TREQ	ドント ケア	リセット状態	次のイベントの更新が検出されました
	OAR2SEL	ドント ケア	リセット状態	次のイベントの更新が検出されました
	QCMDST	ドント ケア	リセット状態	次のイベントの更新が検出されました
	QCMDRW	ドント ケア	リセット状態	次のイベントの更新が検出されました

23.3.6 初期化

コントローラの初期化については、セクション 23.3.4.1.1 を参照してください。ターゲットの初期化については、セクション 23.3.4.2.1 を参照してください。

23.3.7 割り込みとイベントのサポート

I²C モジュールには三つのイベント パブリッシャが含まれ、イベント サブスクライバは含まれません。一つのイベント パブリッシャ (CPU_INT) は、静的イベント ルートを介して CPU サブシステムへの I²C 割り込み要求 (IRQ) を管理します。二番目と三番目のイベント パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX) は、DMA イベントルート経由で DMA のトリガ信号伝達を設定するために使用されます。

表 23-17 に、I²C イベントのまとめを示します。

表 23-17. I2C イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	I²C	CPU サブシステム	スタティック ルート	CPU_INT レジスタ	I²C からの固定割り込み CPU への接続
DMA トリガ	パブリッシャ	I²C	DMA	DMA イベント ルート	DMA_TRIG_RX レジスタ	I²C からの固定割り込み DMA への接続
DMA トリガ	パブリッシャ	I²C	DMA	DMA イベント ルート	DMA_TRIG_TX レジスタ	I²C からの固定割り込み DMA への接続

Copyright © 2026 Texas Instruments Incorporated

23.3.7.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

I²C モジュールは、I2C コントローラ用に 15 の割り込みソースと、I2C ターゲット用の 17 の割り込みソースを備えており、CPU 割り込みイベントをソースするように構成できます。I²C からの CPU 割り込みイベントを優先度の高い順に示すと、次のとおりです:

表 23-18. コントローラの I²C CPU 割り込みイベント条件 (CPU_INT)

IIDX STAT	名称	説明
0x01	RXDONE	コントローラ受信トランザクションが完了しました
0x02	TXDONE	コントローラ送信トランザクションが完了しました
0x03	RXTRG	コントローラ受信トリガは、受信バッファにデータがあるときに発生します
0x04	TXTRG	コントローラ送信トリガは、送信バッファが空のときに発生します
0x05	RXFULL	コントローラ RXFIFO フル イベント。この割り込みは、RX FIFO がフルになるとセットされます。
0x06	TXEMPTY	コントローラ送信 FIFO 空割り込み。送信 FIFO 内のすべてのデータがシフト出力され、送信がアイドル モードに移行した場合、この割り込みがセットされます。
0x08	NACK	コントローラ アドレス / データ NACK 割り込み
0x09	START	コントローラ開始検出割り込み
0x0A	ストップ	コントローラ停止検出割り込み
0x0B	ARBLOST	コントローラ アービトレーション消失割り込み
0x0C	PEC_RX_ERR	コントローラ PEC エラーが発生しました
0x0D	TIMEOUTA	コントローラのタイムアウト A が発生しました (クロック Low のタイムアウト)
0x0F	TIMEOUTB	コントローラのタイムアウト B が発生しました (クロック High のタイムアウト)
0x10	DMA_DONE_RX	コントローラ DMA TX 完了
0x11	DMA_DONE_TX	コントローラ DMA RX 完了

表 23-19. ターゲットの I²C CPU 割り込みイベント条件 (CPU_INT)

IIDX STAT	名称	説明
0x01	RXDONE	ターゲット受信データ割り込み
0x02	TXDONE	ターゲット送信トランザクション完了割り込み
0x03	RXTRG	ターゲット受信トリガ
0x04	TXTRG	ターゲット送信トリガ
0x05	RXFULL	ターゲット RXFIFO フル イベント。この割り込みは、ターゲット RX FIFO がフルになるとセットされます。
0x06	TXEMPTY	ターゲット送信 FIFO 空割り込みマスク。送信 FIFO 内のすべてのデータがシフト出力され、送信がアイドル モードに移行した場合、この割り込みがセットされます。
0x07	TX_UNFL	ターゲット TX FIFO アンダーフロー
0x08	RX_OVFL	ターゲット RX FIFO オーバーフロー
0x09	GENCALL	ターゲット ゼネラル コール割り込み
0x0A	START	ターゲット スタート コンディション割り込み
0x0B	ストップ	ターゲット ストップ コンディション割り込み
0x0C	PEC_RX_ERR	ターゲット RX Pec エラー割り込み
0x0D	TIMEOUTA	ターゲット タイムアウト A 割り込み
0x0E	TIMEOUTB	ターゲット タイムアウト B 割り込み
0x10	DMA_DONE_RX	ターゲット DMA はイベント チャネル RX で完了
0x11	DMA_DONE_TX	ターゲット DMA はイベント チャネル TX で完了
0x12	ARBLOST	ターゲット アービトレーション消失割り込み

Copyright © 2026 Texas Instruments Incorporated

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。CPU 割り込みのイベント レジスタを構成する方法のガイダンスについては、*Event Registers* を参照してください。

23.3.7.2 DMA トリガ パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX)

DMA_TRIG_TX および DMA_TRIG_RX グループ レジスタは、DMA のトリガ信号伝達を設定するために使用されます。これらのレジスタ (IMASK、RIS、MIS、ISET、ICLR) は、I2C コントローラまたは I2C ターゲットとして構成されたすべての UCx に実装されており、それぞれ対応する UNICOMMI2CC_REGS および UNICOMMI2CT_REGS のレジスタ構造内にあります。DMA トリガ イベントの動作と設定方法については、*DMA Trigger* を参照してください。各 DMA チャネルは、*DMA Trigger Source Options* に記載されている条件でトリガでき、対応する UCx モジュールに PRE_IRQ または DMA_DONE 信号を送信できます。

表 23-20. I²C DMA トリガ条件 (DMA_TRIG_RX および DMA_TRIG_TX)

トリガ名	レジスタ構造	レジスタ グループ	説明
RXTRG	UNICOMMI2CC_REGS	DMA_TRIG_RX	コントローラ受信 FIFO イベント。I2CC が構成された UCx モジュールの受信 FIFO に >= IFLS.RXIFSEL 定義バイトが含まれているときにトリガします
TXTRG	UNICOMMI2CC_REGS	DMA_TRIG_TX	コントローラ送信 FIFO イベント。I2CC として構成された UCx モジュールの送信 FIFO 内のバイト数が、IFLS.TXIFSEL で定義された値以下になったときにトリガされます
RXTRG	UNICOMMI2CT_REGS	DMA_TRIG_RX	ターゲット受信 FIFO イベント。I2CT として構成された UCx モジュールの受信 FIFO 内のバイト数が、IFLS.RXIFSEL で定義された値以上になったときにトリガされます
TXTRG	UNICOMMI2CT_REGS	DMA_TRIG_TX	ターゲット送信 FIFO イベント。I2CT として構成された UCx モジュールの送信 FIFO 内のバイト数が、IFLS.TXIFSEL で定義された値以下になったときにトリガされます。

DMA トリガ イベントの構成は、DMA_TRIG_RX および DMA_TRIG_TX イベント管理レジスタによって管理されます。イベント レジスタの設定方法についてはセクション 8.2.5 を、DMA トリガ イベントの動作についてはセクション 8.1.3.2 を参照してください。DMA_TRIG_RX と DMA_TRIG_TX は、二つの DMA チャネルに対応する二つのイベント管理レジスタです。

UC0 を I2CC IPMODE で構成し、UC1 を I2CT IPMODE で構成した例を示します。各動作 (コントローラ トランスミッタ、コントローラ レシーバ、ターゲット トランスミッタ、ターゲット レシーバ) で異なる DMA チャネルを使用するには、図 23-24 に示すように四つのチャネルが設定されます。どちらの UC モジュールについても、RXTRG が DMA_TRIG_RX のトリガ ソースとして設定され、TXTRG が DMA_TRIG_TX のトリガ ソースとして設定されます。プリセット データ長を転送した後で DMA 動作が完了したときに、DMA_DONE 信号がアサートされ、CPU 割り込みをトリガします。

Copyright © 2026 Texas Instruments Incorporated

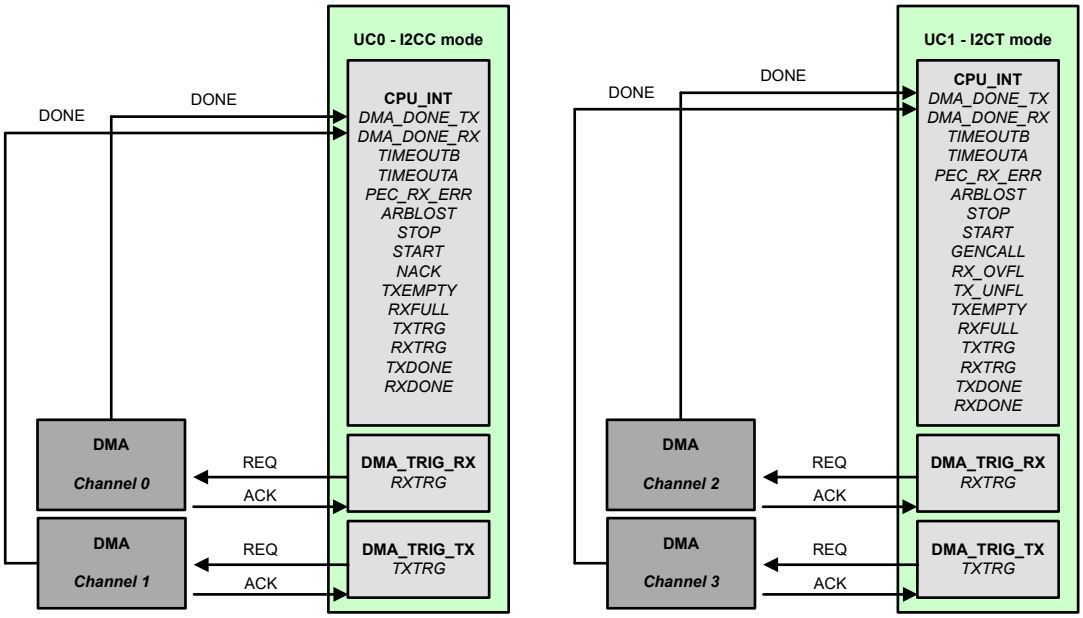


図 23-24. I²C DMA トリガおよびステータスの例

23.3.8 エミュレーション モード

デバイスがデバッグ モードにあるときの UNICOMM I2C モジュールの動作は、PDBGCTL レジスタの FREE ビットと SOFT ビットによって制御されます。

デバイスがデバッグ モードにあり、以下の動作を構成することができます。

表 23-21. デバッグモード ペリフェラルの動作

PDBGCTL.FREE	PDBGCTL.SOFT	機能
1	x	モジュールは動作を継続します
0	1	グレースフル ホールト 次の転送が完了すると、モジュールが停止します
0	0	非対応

グレースフル ホールト

エミュレーション モードが正常に停止し、ホールト条件が発生すると、I2C インスタンスは進行中のフレームが完了した後で通信を停止します (図 23-25 を参照)。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

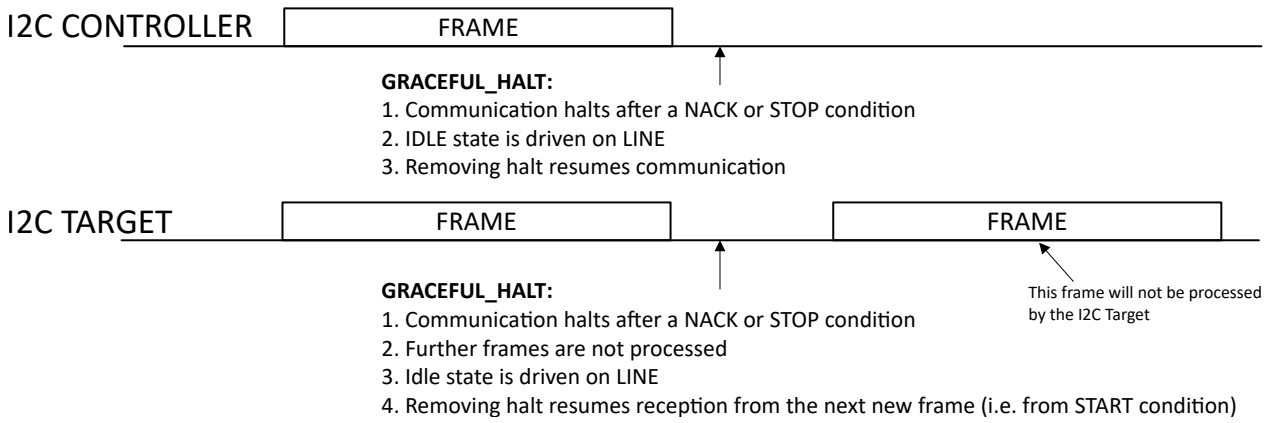


図 23-25. I2C グレースフル ホールト エミュレーション動作

トランスミッタ

- I2C が進行中のフレームの送信を完了し、FSM は IDLE に戻り、停止します。
- 外部ラインは IDLE 状態に駆動されます。
- ホールトを削除すると、通信が再開されます

レシーバ

- I2C は進行中のフレームを受信し、FSM は IDLE に戻り、停止します
- 新しいメッセージはすべて処理されます
- ホールトが解消されると、FSM は通信を開始します
- FSM は、フレームの途中で受信を開始できます

23.4 UNICOMM I2C レジスタ

このセクションでは、UNICOMM-I2C レジスタについて説明します。

Copyright © 2026 Texas Instruments Incorporated

23.4.1 UNICOMMI2CC のレジスタ

UNICOMMI2CC レジスタのメモリマップされたレジスタを、表 23-22 に示します。表 23-22 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 23-22. UNICOMMI2CC のレジスタ

オフセット	略称	レジスタ名	グループ	セクション
1000h	CLKDIV	クロック分周比		表示
1008h	CLKSEL	超低消費電力ペリフェラル用クロック選択		表示
1020h	IIDX	割り込みインデックス	CPU_INT	表示
1028h	IMASK	割り込みマスク	CPU_INT	表示
1030h	RIS	未加工割り込みステータス	CPU_INT	表示
1038h	MIS	マスクされた割り込みステータス	CPU_INT	表示
1040h	ISET	割り込み設定	CPU_INT	表示
1048h	ICLR	割り込みクリア	CPU_INT	表示
1058h	IMASK	割り込みマスク	DMA_TRIG_RX	表示
1060h	RIS	未加工割り込みステータス	DMA_TRIG_RX	表示
1068h	MIS	マスクされた割り込みステータス	DMA_TRIG_RX	表示
1070h	ISET	割り込み設定	DMA_TRIG_RX	表示
1088h	IMASK	割り込みマスク	DMA_TRIG_TX	表示
1090h	RIS	未加工割り込みステータス	DMA_TRIG_TX	表示
1098h	MIS	マスクされた割り込みステータス	DMA_TRIG_TX	表示
10A0h	ISET	割り込み設定	DMA_TRIG_TX	表示
10E4h	INTCTL	割り込み制御レジスタ		表示
1100h	CTR	制御レジスタ		表示
1104h	CR	構成		表示
1108h	SR	ステータス レジスタ		表示
110Ch	IFLS	割り込み FIFO レベル選択レジスタ		表示
1110h	TPR	タイマ期間		表示
1118h	GFCTL	I2C グリッチ フィルタ制御		表示
111Ch	BMON	バス モニタ		表示
1120h	TXDATA	TXData		表示
1124h	RXDATA	RXData		表示
1128h	PECSR	PEC ステータス レジスタ		表示
114Ch	TA	ターゲット アドレス レジスタ		表示
1150h	TIMEOUT_CNT	I2C タイムアウト カウント レジスタ		表示
1154h	TIMEOUT_CTL	I2C タイムアウト カウント制御レジスタ		表示
1158h	PECCTL	I2C PEC 制御レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 23-23 に、このセクションでアクセス タイプに使用しているコードを示します。

Copyright © 2026 Texas Instruments Incorporated

表 23-23. UNICOMMI2CC のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

23.4.1.1 CLKDIV (オフセット = 1000h) [リセット = 00000000h]

図 23-26 に、CLKDIV を示し、表 23-24 に、その説明を示します。

概略表に戻ります。

I2CC クロック分周。このレジスタは、機能クロックのモジュール固有の分周比を指定するために使用します

図 23-26. CLKDIV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 23-24. CLKDIV フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2-0	比率	R/W	0h	モジュール クロックの分周比 0 を選択します:DIV_BY_1 1:DIV_BY_2 .... 63:DIV_BY_64 0h = クロック ソースを分周しません 1h = クロック ソースを 2 分周 2h = クロック ソースを 3 分周 3h = クロック ソースを 4 分周 4h = クロック ソースを 5 分周 5h = クロック ソースを 6 分周 6h = クロック ソースを 7 分周 7h = クロック ソースを 8 分周 3Ch = クロック ソースを 8 分周 3Dh = クロック ソースを 8 分周 3Eh = クロック ソースを 8 分周 3Fh = クロック ソースを 8 分周

Copyright © 2026 Texas Instruments Incorporated

23.4.1.2 CLKSEL (オフセット = 1008h) [リセット = 00000000h]

図 23-27 に、CLKSEL を示し、表 23-25 に、その説明を示します。

概略表に戻ります。

I2CC クロック ソースの選択。

図 23-27. CLKSEL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				ASYNC_PLL_SEL	ASYNC_HFCLK_SEL	ASYNC_SYSCLK_SEL	予約済み
R-0h				R/W-0h	R/W-0h	R/W-0h	R-0h
7	6	5	4	3	2	1	0
予約済み				BUSCLK_SEL	MFCLK_SEL	予約済み	
R-0h				R/W-0h	R/W-0h	R-0h	

表 23-25. CLKSEL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	
11	ASYNC_PLL_SEL	R/W	0h	非同期 PLL をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
10	ASYNC_HFCLK_SEL	R/W	0h	非同期 HFCLK をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
9	ASYNC_SYSCLK_SEL	R/W	0h	非同期 sysclk をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
8-4	予約済み	R	0h	
3	BUSCLK_SEL	R/W	0h	有効な場合、クロック ソースとして BUS CLK を選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
2	MFCLK_SEL	R/W	0h	有効な場合、MFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.1.3 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 23-28 に、IIDX を示し、表 23-26 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高い有効な割り込みインデックスを提供します。

図 23-28. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 23-26. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	I2CC 割り込みベクタ値。このフィールドは、最も優先度の高い割り込みインデックスを提供します。読み取りにより、RIS および MIS の対応する割り込みフラグがクリアされます。15h ～ 1Fh = 予約済み。 00h = 割り込み保留なし。 01h = 受信完了フラグ。 02h = 送信完了フラグ。 03h = 受信トリガ。 04h = 送信トリガ。 5h = RX FIFO フル イベント / 割り込み保留中。 6h = TX FIFO / バッファ空イベント / 割り込みは保留中。 08h = アドレス / データの NACK。 09h = スタート イベント。 0Ah = ストップ イベント。 0Bh = アービトレーション喪失。 Ch = PEC 受信エラー イベント。 Dh = タイムアウト カウンタ A イベント。 Eh = タイムアウト カウンタ B イベント。 10h = チャネル RX での DMA DONE。 11h = チャネル TX での DMA DONE。 13h = DMA PRE IRQ 割り込み 14h = DMA PRE IRQ 割り込み

Copyright © 2026 Texas Instruments Incorporated

23.4.1.4 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 23-29 に、IMASK を示し、表 23-27 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 23-29. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	R/W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ARBLOST	ストップ	START
R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
NACK	予約済み	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 23-27. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R/W	0h	I2CC DMA は TX イベント チャネル割り込みマスクで完了。この割り込みは、DMA から DONE 信号が I2CC に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
15	DMA_DONE_RX	R/W	0h	I2CC DMA は RX イベント チャネル割り込みマスクで完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から I2CC に送信されると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
14	予約済み	R	0h	
13	TIMEOUTB	R/W	0h	I2CC タイムアウト カウンタ B 割り込みマスク。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
12	TIMEOUTA	R/W	0h	I2CC タイムアウト カウンタ A 割り込みマスク。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

表 23-27. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	PEC_RX_ERR	R/W	0h	I2CC 受信 PEC エラー割り込みマスク。この割り込みは、I2CC によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
10	ARBLOST	R/W	0h	I2CC アービトレーション喪失割り込みマスク。このフラグは、I2CC がマルチコントローラ システムで他のコントローラとのアービトレーションが喪失したことを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
9	ストップ	R/W	0h	I2CC ストップ検出割り込みマスク。この割り込みは、バス上にストップ条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
8	START	R/W	0h	I2CC スタート検出割り込みマスク。この割り込みは、バス上にスタート条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
7	NACK	R/W	0h	I2CC アドレス / データ NACK 割り込みマスク。この割り込みは、I2CC がアドレスまたはデータ NACK を受信すると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
6	予約済み	R	0h	
5	TXEMPTY	R/W	0h	I2CC TX FIFO 空割り込みマスクこの割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CC トランスミッタがアイドル状態になると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
4	RXFULL	R/W	0h	I2CC RX FIFO フル割り込みマスク。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
3	TXTRG	R/W	0h	I2CC 送信トリガ割り込みマスク。この割り込みは、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2	RXTRG	R/W	0h	I2CC 受信トリガ割り込みマスク。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1	TXDONE	R/W	0h	I2CC 送信完了割り込みマスク。この割り込みは、CTR.BLEN バイトのバースト長が送信されたときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトが送信された後に発生します。クイック コマンドの場合、R/Wn ビットを「0」に設定したクイック コマンドのときに割り込みが発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 23-27. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RXDONE	R/W	0h	I2CC 受信完了割り込みマスク。この割り込みは、CTR.BLEN バイトのバースト長を受信したときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトを受信した後に発生します。クイック コマンドの場合、R/Wn ビットを「1」に設定したクイック コマンドのときに割り込みが発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.1.5 RIS (オフセット = 1030h) [リセット = 00000000h]

図 23-30 に、RIS を示し、表 23-28 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 23-30. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ARBLOST	ストップ	START
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
NACK	予約済み	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 23-28. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R	0h	I2CC DMA は TX イベント チャネル割り込み未加工ステータスで完了。この割り込みは、DMA から DONE 信号が I2CC に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
15	DMA_DONE_RX	R	0h	I2CC DMA は RX イベント チャネル割り込み未加工ステータスで完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から I2CC に送信されると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
14	予約済み	R	0h	
13	TIMEOUTB	R	0h	I2CC タイムアウト カウンタ B 割り込み未加工ステータス。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
12	TIMEOUTA	R	0h	I2CC タイムアウト カウンタ A 割り込み未加工ステータス。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 23-28. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	PEC_RX_ERR	R	0h	I2CC 受信 PEC エラー割り込み未加工ステータス。この割り込みは、I2CC によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
10	ARBLOST	R	0h	I2CC アービトレーション喪失割り込み未加工ステータス。このフラグは、I2CC がマルチコントローラ システムで他のコントローラとのアービトレーションが喪失したことを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
9	ストップ	R	0h	I2CC ストップ検出割り込み未加工ステータス。この割り込みは、バス上にストップ条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
8	START	R	0h	I2CC スタート検出割り込み未加工ステータス。この割り込みは、バス上にスタート条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
7	NACK	R	0h	I2CC アドレス / データ NACK 割り込み未加工ステータス。この割り込みは、I2CC がアドレスまたはデータ NACK を受信すると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
6	予約済み	R	0h	
5	TXEMPTY	R	0h	I2CC TX FIFO 空割り込み未加工ステータス。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CC トランスミッタがアイドル状態になると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
4	RXFULL	R	0h	I2CC RX FIFO フル割り込み未加工ステータス。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
3	TXTRG	R	0h	I2CC 送信トリガ割り込み未加工ステータス。この割り込みは、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みが発生しました
2	RXTRG	R	0h	I2CC 受信トリガ割り込み未加工ステータス。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みが発生しました
1	TXDONE	R	0h	I2CC 送信完了割り込み未加工ステータス。この割り込みは、CTR.BLEN バイトのバースト長が送信されたときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトが送信された後に発生します。クイック コマンドの場合、R/Wn ビットを「0」に設定したクイック コマンドのときに割り込みが発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 23-28. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RXDONE	R	0h	I2CC 受信完了割り込み未加工ステータス。この割り込みは、CTR.BLEN バイトのバースト長を受信したときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトを受信した後に発生します。クイック コマンドの場合、R/Wn ビットを「1」に設定したクイック コマンドのときに割り込みが発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.1.6 MIS (オフセット = 1038h) [リセット = 00000000h]

図 23-31 に、MIS を示し、表 23-29 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

図 23-31. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ARBLOST	ストップ	START
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
NACK	予約済み	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 23-29. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R	0h	I2CC DMA は、TX イベント チャネル割り込みマスクステータスで完了。この割り込みは、DMA から DONE 信号が I2CC に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
15	DMA_DONE_RX	R	0h	I2CC DMA は、RX イベント チャネル割り込みマスクステータスで完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から I2CC に送信されると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
14	予約済み	R	0h	
13	TIMEOUTB	R	0h	I2CC タイムアウト カウンタ B 割り込みマスク ステータス。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
12	TIMEOUTA	R	0h	I2CC タイムアウト カウンタ A 割り込みマスク ステータス。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 23-29. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	PEC_RX_ERR	R	0h	I2CC 受信 PEC エラー割り込みマスク ステータス。この割り込みは、I2CC によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
10	ARBLOST	R	0h	I2CC アービトレーション喪失割り込みマスク ステータス。このフラグは、I2CC がマルチコントローラ システムで他のコントローラとのアービトレーションが喪失したことを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
9	ストップ	R	0h	I2CC ストップ検出割り込みマスク ステータス。この割り込みは、バス上にストップ条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
8	START	R	0h	I2CC スタート検出割り込みマスク ステータス。この割り込みは、バス上にスタート条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
7	NACK	R	0h	I2CC アドレス / データ NACK 割り込みマスク ステータス。この割り込みは、I2CC がアドレスまたはデータ NACK を受信すると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
6	予約済み	R	0h	
5	TXEMPTY	R	0h	I2CC TX FIFO 空割り込みマスク ステータス。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CC トランスミッタがアイドル状態になると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
4	RXFULL	R	0h	I2CC RX FIFO フル割り込みマスク ステータス。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
3	TXTRG	R	0h	I2CC 送信トリガ割り込みマスク ステータス。この割り込みは、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
2	RXTRG	R	0h	I2CC 受信トリガ割り込みマスク ステータス。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
1	TXDONE	R	0h	I2CC 送信完了割り込みマスク ステータス。この割り込みは、CTR.BLEN バイトのバースト長が送信されたときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトが送信された後に発生します。クイック コマンドの場合、R/Wn ビットを「0」に設定したクイック コマンドのときに割り込みが発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 23-29. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RXDONE	R	0h	I2CC 受信完了割り込みマスク ステータス。この割り込みは、CTR.BLEN バイトのバースト長を受信したときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトを受信した後に発生します。クイック コマンドの場合、R/Wn ビットを「1」に設定したクイック コマンドのときに割り込みが発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

23.4.1.7 ISET (オフセット = 1040h) [リセット = 00000000h]

図 23-32 に、ISET を示し、表 23-30 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 23-32. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ARBLOST	ストップ	START
W-0h	R-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
NACK	予約済み	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
W-0h	R-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 23-30. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	W	0h	TX イベント チャネル割り込みで I2CC DMA 完了を設定します。この割り込みは、DMA から DONE 信号が I2CC に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
15	DMA_DONE_RX	W	0h	RX イベント チャネル割り込みで I2CC DMA 完了を設定します。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から I2CC に送信されると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
14	予約済み	R	0h	
13	TIMEOUTB	W	0h	I2CC タイムアウト カウンタ B 割り込みを設定します。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
12	TIMEOUTA	W	0h	I2CC タイムアウト カウンタ A 割り込みを設定します。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

表 23-30. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	PEC_RX_ERR	W	0h	I2CC 受信 PEC エラー割り込みを設定します。この割り込みは、I2CC によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
10	ARBLOST	W	0h	I2CC アービトレーション喪失割り込みを設定します。このフラグは、I2CC がマルチコントローラ システムで他のコントローラとのアービトレーションが喪失したことを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
9	ストップ	W	0h	I2CC ストップ検出割り込みを設定します。この割り込みは、バス上にストップ条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
8	START	W	0h	I2CC スタート検出割り込みを設定します。この割り込みは、バス上にスタート条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
7	NACK	W	0h	I2CC アドレス / データ NACK 割り込みを設定します。この割り込みは、I2CC がアドレスまたはデータ NACK を受信すると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
6	予約済み	R	0h	
5	TXEMPTY	W	0h	I2CC TX FIFO 空割り込みを設定します。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CC トランスミッタがアイドル状態になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
4	RXFULL	W	0h	I2CC RX FIFO フル割り込みを設定します。この割り込みは、RX FIFO がフルになると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
3	TXTRG	W	0h	I2CC 送信トリガ割り込みを設定します。この割り込みは、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2	RXTRG	W	0h	I2CC 受信トリガ割り込みを設定します。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1	TXDONE	W	0h	I2CC 送信完了割り込みを設定します。この割り込みは、CTR.BLEN バイトのバースト長が送信されたときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトが送信された後に発生します。クイック コマンドの場合、R/Wn ビットを「0」に設定したクイック コマンドのときに割り込みが発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

表 23-30. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RXDONE	W	0h	I2CC 受信完了割り込みを設定します。この割り込みは、CTR.BLEN バイトのバースト長を受信したときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトを受信した後に発生します。クイック コマンドの場合、R/Wn ビットを「1」に設定したクイック コマンドのときに割り込みが発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.1.8 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 23-33 に、ICLR を示し、表 23-31 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 23-33. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ARBLOST	ストップ	START
W-0h	R-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
NACK	予約済み	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
W-0h	R-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 23-31. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	W	0h	TX イベント チャネル割り込みで I2CC DMA 完了をクリアします。この割り込みは、DMA から DONE 信号が I2CC に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
15	DMA_DONE_RX	W	0h	RX イベント チャネル割り込みで I2CC DMA 完了をクリアします。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から I2CC に送信されると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
14	予約済み	R	0h	
13	TIMEOUTB	W	0h	I2CC タイムアウトカウンタ B 割り込みをクリアします。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
12	TIMEOUTA	W	0h	I2CC タイムアウト カウンタ A 割り込みをクリアします。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

表 23-31. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	PEC_RX_ERR	W	0h	I2CC 受信 PEC エラー割り込みをクリアします。この割り込みは、I2CC によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
10	ARBLOST	W	0h	I2CC アービトレーション喪失割り込みをクリアします。このフラグは、I2CC がマルチコントローラ システムで他のコントローラとのアービトレーションが喪失したことを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
9	ストップ	W	0h	I2CC ストップ検出割り込みをクリアします。この割り込みは、バス上にストップ条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
8	START	W	0h	I2CC スタート検出割り込みをクリアします。この割り込みは、バス上にスタート条件が検出されたときに発生します。マルチマスタ モードのとき、現在の I2CC または他の I2C コントローラによって生成されます。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
7	NACK	W	0h	I2CC アドレス / データ NACK 割り込みをクリアします。この割り込みは、I2CC がアドレスまたはデータ NACK を受信すると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
6	予約済み	R	0h	
5	TXEMPTY	W	0h	I2CC TX FIFO 空割り込みをクリアします。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CC トランスミッタがアイドル状態になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
4	RXFULL	W	0h	I2CC RX FIFO フル割り込みをクリアします。この割り込みは、RX FIFO がフルになると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
3	TXTRG	W	0h	I2CC 送信トリガ割り込みのクリア。この割り込みは、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされたときに発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2	RXTRG	W	0h	I2CC 受信トリガ割り込みをクリアします。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1	TXDONE	W	0h	I2CC 送信完了割り込みをクリアします。この割り込みは、CTR.BLEN バイトのバースト長が送信されたときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトが送信された後に発生します。クイック コマンドの場合、R/Wn ビットを「0」に設定したクイック コマンドのときに割り込みが発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

表 23-31. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RXDONE	W	0h	I2CC 受信完了割り込みをクリアします。この割り込みは、CTR.BLEN バイトのバースト長を受信したときに発生します。BLEN レジスタが使用できないバリアントでは、各バイトを受信した後に発生します。クイック コマンドの場合、R/Wn ビットを「1」に設定したクイック コマンドのときに割り込みが発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

23.4.1.9 IMASK (オフセット = 1058h) [リセット = 00000000h]

図 23-34 に、IMASK を示し、表 23-32 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 23-34. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RXTRG	予約済み	
R-0h					R/W-0h	R-0h	

表 23-32. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RXTRG	R/W	0h	I2CC 受信 DMA トリガ マスク。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.1.10 RIS (オフセット = 1060h) [リセット = 00000000h]

図 23-35 に、RIS を示し、表 23-33 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 23-35. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RXTRG	予約済み	
R-0h					R-0h	R-0h	

表 23-33. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RXTRG	R	0h	I2CC 受信 DMA トリガ未処理ステータス。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.1.11 MIS (オフセット = 1068h) [リセット = 00000000h]

図 23-36 に、MIS を示し、表 23-34 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。このレジスタでフラグが設定されている場合は、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 23-36. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RXTRG	予約済み	
R-0h					R-0h	R-0h	

表 23-34. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RXTRG	R	0h	I2CC 受信 DMA トリガ マスク ステータス。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
1-0	予約済み	R	0h	

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.1.12 ISET (オフセット = 1070h) [リセット = 00000000h]

図 23-37 に、ISET を示し、表 23-35 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 23-37. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RXTRG	予約済み	
R-0h					W-0h	R-0h	

表 23-35. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RXTRG	W	0h	I2CC 受信 DMA トリガを設定します。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.1.13 IMASK (オフセット = 1088h) [リセット = 00000000h]

図 23-38 に、IMASK を示し、表 23-36 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 23-38. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXTRG	予約済み		
R-0h				R/W-0h	R-0h		

表 23-36. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	TXTRG	R/W	0h	I2CC 送信 DMA トリガ マスク。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.1.14 RIS (オフセット = 1090h) [リセット = 00000000h]

図 23-39 に、RIS を示し、表 23-37 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 23-39. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXTRG	予約済み		
R-0h				R-0h	R-0h		

表 23-37. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	TXTRG	R	0h	I2CC 送信 DMA トリガ未処理ステータス。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.1.15 MIS (オフセット = 1098h) [リセット = 00000000h]

図 23-40 に、MIS を示し、表 23-38 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

図 23-40. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXTRG	予約済み		
R-0h				R-0h	R-0h		

表 23-38. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	TXTRG	R	0h	I2CC 送信 DMA トリガ マスク ステータス。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.1.16 ISET (オフセット = 10A0h) [リセット = 00000000h]

図 23-41 に、ISET を示し、表 23-39 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 23-41. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXTRG	予約済み		
R-0h				W-0h	R-0h		

表 23-39. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	TXTRG	W	0h	I2CC 送信 DMA トリガを設定します。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.1.17 INTCTL (オフセット = 10E4h) [リセット = 00000000h]

図 23-42 に、INTCTL を示し、表 23-40 に、その説明を示します。

概略表に戻ります。

割り込み制御レジスタ。

図 23-42. INTCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							INTEVAL
R-0h							W-0h

表 23-40. INTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	INTEVAL	W	0h	このフィールドに 1 を書き込むと、割り込みソースが再評価されます。 0h = 0 を書き込んでも何もしません 1h = 割り込み評価

Copyright © 2026 Texas Instruments Incorporated

23.4.1.18 CTR (オフセット = 1100h) [リセット = 00000000h]

図 23-43 に、CTR を示し、表 23-41 に、その説明を示します。

概略表に戻ります。

I2CC 制御レジスタ。I2CC の動作を構成します。

図 23-43. CTR

31	30	29	28	27	26	25	24
予約済み				BLEN			
R-0h				R/W-0h			
23	22	21	20	19	18	17	16
BLEN							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	中断	RD_ON_TXEMPTY	ACKOEN	ACK	ストップ	START	FRM_START
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 23-41. CTR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	
27-16	BLEN	R/W	0h	I2CC トランザクション長。このフィールドには、次のトランザクションのプログラムされたバイト長が含まれます。BLEN レジスタを持たないバリアントの場合、BLEN は 1 の値にハードコードされます。 0h = 最小値 FFFh = 可能な最大値
15-7	予約済み	R	0h	
6	中断	R/W	0h	外部通信の中断。このビットが設定されると、I2CC FSM がアイドル状態になった後 (SR.BUSY が「0」)、外部バスでの I2CC 通信が一時停止します。 0h = 通常通信 1h = 外部通信を一時停止
5	RD_ON_TXEMPTY	R/W	0h	TX EMPTY での読み取りを有効化 / 無効化。この機能は、アプリケーションの介入を必要とせずに、I2CC 書き込みを開始してから、I2CC 読み取りを実行します。 0h = 特別な動作はありません 1h = I2CC は TX FIFO からすべてのバイトを送信し、設定されたバースト長 (BLEN) に従って再起動および受信データを発行します。DIR ビットが READ に設定されていない場合、このビットは無視されます。

Copyright © 2026 Texas Instruments Incorporated

表 23-41. CTR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	ACKOEN	R/W	0h	ACKOEN がイネーブルのときの ACK オーバーライド イネーブル: 1.I2CC は、構成されたバースト長 (BLEN) に従ってデータを受信します。2.完全なデータ バーストを受信すると、I2CC は RXDONE 割り込みを生成します。3.その後、I2CC はアクノリッジ フェーズ中に SCL ラインを Low に保持します (クロック ストレッチング)。4.この一時停止により、アプリケーションで ACKOVAL レジスタを更新する時間が得られます。この時点で、アプリケーションには次の二つのオプションがあります。オプション 1:トランザクション 1 を終了します。NACK を送信するように ACKOVAL を設定します。2.I2CC は、NACK の後に自動的にストップ条件を生成します。オプション 2:トランザクション 1 を続行します。ACKOVAL をクリアして、ACK を送信します。2.必要に応じて、その他の設定を更新します。3.トランザクションは新しい構成に基づいて続行されます。このメカニズムにより、アプリケーションは各データ バーストを受信した後のトランザクション フローを制御できます。注:一部のバリアントでは、BLEN レジスタが利用できない場合、この設計はハードコードされた BLEN 値「1」を実装しています。デバイスのデータシートを参照してください。 0h = 特別な動作はありません 1h = アクノリッジ オーバーライド機能が有効です
3	ACK	R/W	0h	最終データアクノリッジ値。I2CC が最後のバイト (長さ「N」) をターゲットから受信した後、ACK または NACK を自動的に送信するかどうかを決定します。この設定は、CTR.ACKOEN = 0 の場合に使用されます。 0h = トランザクションの最後に受信したデータバイトは、自動的にアクノリッジされません。 1h = トランザクションの最後に受信したデータバイトは、自動的にアクノリッジされます。
2	ストップ	R/W	0h	ストップ条件の生成をイネーブルします。I2C プロトコルに従い、現在のトランザクションの終了時にバス上でストップ条件を送信するように I2CC がイネーブルされます。 0h = コントローラはストップ条件を生成しません。 1h = コントローラはストップ条件を生成します。
1	START	R/W	0h	スタート条件の生成をイネーブルします。CTR.FRM_START も設定されている場合、I2C プロトコルに従ってバスにスタート条件を送信するように I2CC がイネーブルになります。 0h = コントローラはスタート条件を生成しません。 1h = コントローラはスタート条件または繰り返しスタート条件を生成します。
0	FRM_START	R/W	0h	フレーム開始。プログラムされた設定に従って、I2C バスでトランザクションを開始します。 0h =「0」を書き込んでも何もしません。処理中のトランザクションがない場合、読み取り値は 0 になります 1h =「1」に書き込まれると、新しいトランザクションが開始されます。進行中のトランザクションがある場合は、影響はありません。トランザクションが進行中の場合、「1」として読み戻します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.1.19 CR (オフセット = 1104h) [リセット = 00000000h]

図 23-44 に、CR を示し、表 23-42 に、その説明を示します。

概略表に戻ります。

I2CC 構成レジスタ。I2CC を構成し、イネーブルします。

図 23-44. CR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					CLKSTRETCH	MCTL	イネーブル
R-0h					R/W-0h	R/W-0h	R/W-0h

表 23-42. CR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	CLKSTRETCH	R/W	0h	クロック ストレッチ イネーブル。このビットは、I2CC のクロック ストレッチ検出を有効または無効にします。 0h = クロック ストレッチ検出を無効化します。バス上のターゲットがクロック ストレッチングをサポートしていない場合、バス上の最高速度に達することができるように、この機能を無効にできます。 1h = クロック ストレッチ検出を有効化します。クロック ストレッチを有効にすると、I2C 規格に準拠しますが、クロック ストレッチが原因で速度が制限される可能性があります。
1	MCTL	R/W	0h	マルチコントローラ モードの有効化 / 無効化。マルチコントローラ モードでは、SCL ラインが High と検出されると、SCL High 時間はカウントを開始します。このビットが設定されていない場合、I2CC によって SCL ラインが High に設定された直後から、SCL High 時間はカウントを開始します。 0h = マルチコントローラ モードを無効化します。 1h = マルチコントローラ モードを有効化します。
0	イネーブル	R/W	0h	I2CC モジュールをイネーブルにします。このビットがセットされた後は、0 の書き込みまたはリセットによってクリアされない限り、再度設定しないでください。そうしないと、送信エラーが発生する可能性があります。 0h = 動作を無効化します。 1h = 動作を有効化します。

Copyright © 2026 Texas Instruments Incorporated

23.4.1.20 SR (オフセット = 1108h) [リセット = 00000000h]

図 23-45 に、SR を示し、表 23-43 に、その説明を示します。

概略表に戻ります。

I2CC ステータス レジスタ。このステータス レジスタは、I2CC の現在の状態を示します。

図 23-45. SR

31	30	29	28	27	26	25	24
予約済み				BCNT			
R-0h				R-0h			
23	22	21	20	19	18	17	16
BCNT							
R-0h							
15	14	13	12	11	10	9	8
予約済み	TXFF	TXFE	RXFF	RXFE	TXCLR	RXCLR	予約済み
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み	BUSBSY	IDLE	ARBLST	DATACK	ADRACK	ERR	BUSY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 23-43. SR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	
27-16	BCNT	R	0h	バースト トランザクション カウント ステータス。このフィールドには、トランザクションの現在のカウントダウン値が含まれます。 0h = 最小値 FFFh = 可能な最大値
15	予約済み	R	0h	
14	TXFF	R	0h	TX FIFO フル ステータス。 0h = TX FIFO はフルではありません 1h = TX FIFO がフルです
13	TXFE	R	1h	TX FIFO 空ステータス。 0h = TX FIFO は空ではありません 1h = TX FIFO は空です
12	RXFF	R	0h	RX FIFO フル ステータス。 0h = RX FIFO はフルではありません 1h = RX FIFO がフルです
11	RXFE	R	1h	RX FIFO 空ステータス。 0h = RX FIFO は空ではありません 1h = RX FIFO は空です
10	TXCLR	R	0h	TX FIFO クリア ステータス。 0h = TX FIFO はクリアされません 1h = TX FIFO のクリアが完了しています
9	RXCLR	R	0h	RX FIFO クリア ステータス。 0h = RX FIFO はクリアされません 1h = RX FIFO のクリアが完了しています
8-7	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 23-43. SR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	BUSBSY	R	0h	I2C バス ビジー ステータス。外部ラインがビジー 1 であることを示します。バス上で進行中のトランザクションがある場合 (つまり、スタート条件が観測されている場合)、または SCL がトグルする場合に設定されます。2.ストップ条件で、または HIGH TIMEOUT が発生し、かつ SCL/SDA の両方が IDLE 状態のときにクリアされます。このビットは、ACTIVE がクリアされると、「0」を読み取ります。I2CC は、このビットがクリアされるまで待機してから、I2C トランザクションを開始します。コントローラを最初にイネーブルにするとき、アプリケーションは 1 つの I2C クロック周期を待機し、BUSBSY をポーリングしてトランザクションを開始する必要があります。 0h = I2C バスはアイドル状態です。 1h = SET
5	IDLE	R	1h	I2CC FSM アイドル ステータス。このビットは、外部バスではなく、内部 I2CC ステート マシンが進行中のトランザクションでビジーでない場合、つまり、データ バイトの送受信、スタート、再起動、アドレスまたはストップ信号の生成が発生している場合に設定されます。 0h = I2C コントローラはアイドル状態ではありません。 1h = I2C コントローラはアイドル状態です。
4	ARBLST	R	0h	アービトレーション喪失ステータス。このステータス ビットは、バス上で I2CC がアービトレーションに成功したかどうかを示します。 0h = I2C コントローラがアービトレーションに成功しました。 1h = I2C コントローラがアービトレーションを喪失しました。
3	DATACK	R	0h	データ アクノリッジ ステータス。このステータス ビットは、以前に送信されたデータ バイトのアクノリッジ ステータスを示します。 0h = 送信されたデータはアクノリッジされました 1h = 送信されたデータはアクノリッジされませんでした。
2	ADRACK	R	0h	アクノリッジ アドレス 0h = 送信されたアドレスはアクノリッジされました 1h = 送信されたアドレスはアクノリッジされませんでした。
1	ERR	R	0h	NACK エラー ステータス。このステータス ビットは、以前に送信されたターゲット アドレスまたはデータ バイトのアクノリッジ ステータスを示します。 0h = 最後の動作でエラーは検出されませんでした。 1h = 最後の操作でエラーが発生しました。
0	BUSY	R	0h	I2CC FSM ビジー ステータス。このビットは、外部バスではなく、内部 I2CC ステート マシンが進行中のトランザクションでビジーである場合、つまり BLEN に従って構成されたデータバイトの送受信中に、スタート、再起動、アドレス、ストップ信号の生成を含むときに設定されます。BLEN レジスタが利用できないバリアントでは、このデザインはハードコードされた BLEN 値「1」を実装しています。 0h = コントローラはアイドル状態です。 1h = コントローラはビジーです。

Copyright © 2026 Texas Instruments Incorporated

23.4.1.21 IFLS (オフセット = 110Ch) [リセット = 00000022h]

図 23-46 に、IFLS を示し、表 23-44 に、その説明を示します。

概略表に戻ります。

I2CC 割り込み FIFO レベル選択レジスタ。IFLS レジスタは、割り込み FIFO レベル選択レジスタです。このレジスタを使用して、TX、RX、受信タイムアウト割り込みフラグが発生するレベルを定義します。割り込みは、レベル自体に基づいてではなく、レベル間の遷移に基づいて生成されます。つまり、フィルレベルがトリガ レベルを経過したときに、割り込みが生成されます。たとえば、受信トリガレベルがハーフウェイ マークに設定されている場合、受信 FIFO に 2 文字以上の文字が入力されたときに割り込みが発生します。リセットから復帰すると、TXIFLSEL ビットおよび RXIFLSEL ビットは、FIFO が半分まで満たされた時点で割り込みを発生させるように設定されています。

図 23-46. IFLS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RXCLR	RXIFLSEL			TXCLR	TXIFLSEL		
R/W-0h	R/W-2h			R/W-0h	R/W-2h		

表 23-44. IFLS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	RXCLR	R/W	0h	RX FIFO クリア。このビットを設定すると、RX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化します 1h = FIFO クリアを有効化します
6-4	RXIFLSEL	R/W	2h	イベント生成用の RX FIFO レベル選択 (割り込み / DMA)。注:未定義の設定では、デフォルトの設定が使用されます。 1h = RX FIFO の使用量が 1/4 以上です 2h = RX FIFO の使用量が 1/2 以上です (デフォルト) 3h = RX FIFO の使用量が 3/4 以上です 4h = 空ではありません 5h = RX FIFO がフルです 6h = RX_FIFO >= (MAX_FIFO_LEN – 1) 7h = RX_FIFO <= 1
3	TXCLR	R/W	0h	TX FIFO クリア。このビットを設定すると、TX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化します 1h = FIFO クリアを有効化します

Copyright © 2026 Texas Instruments Incorporated

表 23-44. IFLS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	TXIFLSEL	R/W	2h	イベント生成用の TX FIFO レベル選択 (割り込み / DMA)。注:未定義の設定では、デフォルトの設定が使用されます。 1h = TX FIFO の空き容量が 3/4 以下です 2h = TX FIFO の空き容量が 1/2 以下です (デフォルト) 3h = TX FIFO の空き容量が 1/4 以下です 4h = フルではありません 5h = TX FIFO は空です 6h = TX FIFO <= 1 7h = TX_FIFO >= (MAX_FIFO_LEN – 1)

Copyright © 2026 Texas Instruments Incorporated

23.4.1.22 TPR (オフセット = 1110h) [リセット = 00000001h]

図 23-47 に、TPR を示し、表 23-45 に、その説明を示します。

概略表に戻ります。

I2CC タイマ周期レジスタ。このレジスタは、SCL ラインのクロック周期をプログラムします。標準モード (100kbps)、高速モード (400kbps)、または高速モードプラス (1Mbps) の送信速度がサポートされています。

図 23-47. TPR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																									TPR						
R-0h																									R/W-1h						

表 23-45. TPR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	
6-0	TPR	R/W	1h	タイマ周期。このフィールドは、SCL_PERIOD を設定する式で使用されます。SCL_PERIOD = (1 + TPR) x (SCL_LP + SCL_HP) x INT_CLK_PRD。ここで、- SCL_PRD は SCL ライン周期 (I2C クロック) です。- TPR はタイマ周期レジスタ値 (1 ～ 127) です。- SCL_LP は SCL Low 周期 (6 に固定) です。- SCL_HP は SCL High 周期 (4 に固定) です。- CLK_PRD は機能クロック周期 (ns) です。 0h = 最小値 7Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.1.23 GFCTL (オフセット = 1118h) [リセット = 00000000h]

図 23-48 に、GFCTL を示し、表 23-46 に、その説明を示します。

概略表に戻ります。

I2CC グリッチ フィルタ制御レジスタ。このレジスタは、SCL および SDA ラインのグリッチ フィルタを設定します。

図 23-48. GFCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							AGFEN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み						DGFSEL	
R-0h						R/W-0h	

表 23-46. GFCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	
8	AGFEN	R/W	0h	アナログ グリッチ抑制イネーブル。 0h = アナログ グリッチ フィルタが無効です 1h = アナログ グリッチ フィルタが有効です
7-3	予約済み	R	0h	
2-0	DGFSEL	R/W	0h	グリッチ抑制パルス幅。このフィールドは、SCL および SDA ラインのグリッチを抑制するパルス幅選択を制御します。以下の値は、機能クロック数で表したグリッチ抑制値です。(コア ドメインのみ) 0h = バイパス 1h = 1 クロック 2h = 2 クロック 3h = 3 クロック 4h = 4 クロック 5h = 8 クロック 6h = 16 クロック 7h = 31 クロック

Copyright © 2026 Texas Instruments Incorporated

23.4.1.24 BMON (オフセット = 111Ch) [リセット = 00000003h]

図 23-49 に、BMON を示し、表 23-47 に、その説明を示します。

概略表に戻ります。

I2CC バス監視レジスタ。このレジスタは、現在の SCL および SDA 信号ロジック レベルを読み取るために使用されます。

図 23-49. BMON

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														SDA	SCL
R-0h														R-1h	R-1h

表 23-47. BMON フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	SDA	R	1h	I2C SDA ステータス。 0h = I2CSDA 信号は Low です。 1h = I2CSDA 信号は High です。注:リセット中とリセット直後は、SDA ピンは内部プルがイネーブルされず、GPIO 入力モードになります。I2C を適切に動作させるには、I2C の動作を開始する前に、外付けプルアップ抵抗を接続する必要があります。
0	SCL	R	1h	I2C SCL ステータス。 0h = I2CSCL 信号は Low です。 1h = I2CSCL 信号は High です。注:リセット中とリセット直後は、SCL ピンは内部プルがイネーブルされず、GPIO 入力モードになります。I2C を適切に動作させるには、I2C の動作を開始する前に、外付けプルアップ抵抗を接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

23.4.1.25 TXDATA (オフセット = 1120h) [リセット = 00000000h]

図 23-50 に、TXDATA を示し、表 23-48 に、その説明を示します。

概略表に戻ります。

I2CC 送信データ レジスタ。このレジスタは送信データ レジスタ (TX FIFO へのインターフェイス) です。送信データの場合、FIFO がイネーブルなら、この位置に書き込まれたデータは TX FIFO にプッシュされます。FIFO がディスエーブルの場合、データは送信保持レジスタ (TX FIFO の最下位ワード) に格納されます。

図 23-50. TXDATA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								データ							
R-0h																								W-0h							

表 23-48. TXDATA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	データ	W	0h	送信データ。このバイトには、次のトランザクションで送信されるデータが含まれています。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.1.26 RXDATA (オフセット = 1124h) [リセット = 00000000h]

図 23-51 に、RXDATA を示し、表 23-49 に、その説明を示します。

概略表に戻ります。

I2CC 受信データ レジスタ。このフィールドには、FIFO が存在しない場合には、RX FIFO で読み取られる現在のバイトが含まれ、データ バイトとステータスは受信保持レジスタ (受信 FIFO の最下位ワード) に格納されます。受信データは、このレジスタを読み取ることで取得できます。

図 23-51. RXDATA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								データ							
R-0h																								R-0h							

表 23-49. RXDATA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	データ	R	0h	受信データ。このフィールドには、最後に受信したデータが含まれます。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.1.27 PECSR (オフセット = 1128h) [リセット = 00000000h]

図 23-52 に、PECSR を示し、表 23-50 に、その説明を示します。

概略表に戻ります。

I2CC PEC ステータス レジスタこのステータス レジスタを使用して、パケット エラー チェック メカニズムの現在のステータスを読み取ることができます。

図 23-52. PECSR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						PECSTS_ERROR	PECSTS_CHECK
R-0h						R-0h	R-0h
15	14	13	12	11	10	9	8
予約済み							PECBYTECNT
R-0h							R-0h
7	6	5	4	3	2	1	0
PECBYTECNT							
R-0h							

表 23-50. PECSR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	
17	PECSTS_ERROR	R	0h	PEC ステータス エラー。このステータス ビットは、最後のストップの前にトランザクションで PEC チェック エラーが発生したかどうかを示します。このビットは、バス上で次のストップ条件が観測されると自動的にクリアされます。 0h = 最後のストップの前に発生したトランザクションで PEC チェック エラーが発生しなかったことを示します 1h = 最後のストップの前に発生したトランザクションで PEC チェックエラーが発生したかどうかを示します
16	PECSTS_CHECK	R	0h	PEC ステータス チェック。このステータス ビットは、最後のストップの前に発生したトランザクションで PEC がチェックされたかどうかを示します。このビットは、バス上で次のストップ条件が観測されると自動的にクリアされます。 0h = 最後のストップより前に発生したトランザクションでは、PEC はチェックされませんでした 1h = 最後のストップの前に発生したトランザクションで PEC がチェックされているかどうかを示します
15-9	予約済み	R	0h	
8-0	PECBYTECNT	R	0h	PEC バイト数。これは、コントローラ ステート マシンの現在の PEC バイト数です。 0h = 最小値 1FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.1.28 TA (オフセット = 114Ch) [リセット = 00000000h]

図 23-53 に、TA を示し、表 23-51 に、その説明を示します。

概略表に戻ります。

I2CC ターゲット アドレス レジスタ。このレジスタは、次のトランザクションのターゲット アドレス、アドレッシング モード、方向 (コントローラ送信またはコントローラ受信) を設定します。

図 23-53. TA

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
モード	予約済み					ADDR	
R/W-0h	R-0h					R/W-0h	
7	6	5	4	3	2	1	0
ADDR							DIR
R/W-0h							R/W-0h

表 23-51. TA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	モード	R/W	0h	アドレス モード選択。このビットは、使用するアドレッシング モードを選択します。0 の場合、7 ビット アドレッシングを使用します。1 の場合、10 ビット アドレッシングを使用します。 0h = 7 ビット アドレッシング モード 1h = 10 ビット アドレッシング モード
14-11	予約済み	R	0h	
10-1	ADDR	R/W	0h	I2C ターゲット アドレス。このフィールドは、ターゲット アドレスのビット A9 ～ A0 を指定します。7 ビット アドレッシング モードでは、TA.MODE ビットで選択するように、上位 3 ビットは無視されます。 0h = 最小値 3FFh = 可能な最大値
0	DIR	R/W	0h	受信 / 送信方向。DIR ビットは、次の動作が受信 (High) と送信 (Low) のどちらであるかを指定します。0h = 送信 1h = 受信 0h = 送信モード内。 1h = 受信モード内。

Copyright © 2026 Texas Instruments Incorporated

23.4.1.29 TIMEOUT_CNT (オフセット = 1150h) [リセット = 00020002h]

TIMEOUT_CNT は、図 23-54 に示されており、表 23-52 で説明されています。

概略表に戻ります。

I2CC タイムアウト カウント レジスタこのレジスタは、タイムアウト カウンタ A およびタイムアウト カウンタ B の 12 ビット電流カウンタ値の上位 8 ビットを格納します。カウンタの下位 4 ビットはユーザーには表示されず、常に 0h です。

図 23-54. TIMEOUT_CNT

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TCNTB								予約済み								TCNTA							
R-0h								R-2h								R-0h								R-2h							

表 23-52. TIMEOUT_CNT フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23-16	TCNTB	R	2h	タイムアウト カウント B の現在の数。このフィールドには、タイムアウト カウンタ B の 12 ビット電流カウンタ値の上位 8 ビットが格納されます。 0h = 最小値 FFh = 可能な最大値
15-8	予約済み	R	0h	
7-0	TCNTA	R	2h	タイムアウト カウント A の現在の数。このフィールドには、タイムアウト カウンタ A の 12 ビット電流カウンタ値の上位 8 ビットが格納されます。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.1.30 TIMEOUT_CTL (オフセット = 1154h) [リセット = 00020002h]

TIMEOUT_CTL は、図 23-55 に示されており、表 23-53 で説明されています。

概略表に戻ります。

I2CC タイムアウト制御レジスタ。このレジスタは、タイムアウト カウンタ A とタイムアウト カウンタ B を設定します

図 23-55. TIMEOUT_CTL

31	30	29	28	27	26	25	24
TCNTBEN	予約済み						
R/W-0h	R-0h						
23	22	21	20	19	18	17	16
TCNTLB							
R/W-2h							
15	14	13	12	11	10	9	8
TCNTAEN	予約済み						
R/W-0h	R-0h						
7	6	5	4	3	2	1	0
TCNTLA							
R/W-2h							

表 23-53. TIMEOUT_CTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TCNTBEN	R/W	0h	タイムアウト カウンタ B イネーブル。 0h = タイムアウト カウンタ B を無効化します 1h = タイムアウト カウンタ B を有効化します
30-24	予約済み	R	0h	
23-16	TCNTLB	R/W	2h	タイムアウト カウント B ロード。カウンタ B は SCL High の検出に使用されます。このフィールドには、タイムアウト カウンタ B の 12 ビット プリロード値の上位 8 ビットが含まれます。注:CNTLB の値は 1h より大きくなければなりません。各カウントは 1* クロック周期に等しくなります。たとえば、10MHz 機能クロックの場合、タイムアウト周期は 1*100ns に等しくなります。 0h = 可能な最小値 FFh = 可能な最大値
15	TCNTAEN	R/W	0h	タイムアウトカウンタ A イネーブル。 0h = タイムアウト カウンタ B を無効化します 1h = タイムアウト カウンタ B を有効化します
14-8	予約済み	R	0h	
7-0	TCNTLA	R/W	2h	タイムアウト カウンタ A のロード値。カウンタ A は SCL low の検出に使用されます。このフィールドには、タイムアウト カウンタ A の 12 ビット プリロード値の上位 8 ビットが含まれます。注:CNTLA の値は 1h より大きくなければなりません。各カウントは、機能クロックのタイムアウト周期の 520 倍に相当します。たとえば、8MHz 機能クロックと 100KHz で動作する I2C クロックの場合、1 つのタイムアウト周期は (1/8MHz) * 520 または 65us に等しくなります。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.1.31 PECCTL (オフセット = 1158h) [リセット = 00000000h]

図 23-56 に、PECCTL を示し、表 23-54 に、その説明を示します。

概略表に戻ります。

I2CC PEC 制御レジスタ。このレジスタは、パケット エラー チェック (PEC) 機能を設定します。

図 23-56. PECCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			PECEN	予約済み			PECCNT
R-0h			R/W-0h	R-0h			R/W-0h
7	6	5	4	3	2	1	0
PECCNT							
R/W-0h							

表 23-54. PECCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	PECEN	R/W	0h	PEC イネーブル。このビットは、SMB パケット エラー チェック (PEC) をイネーブルします。イネーブルのとき、START、ストップ、ACK/NACK を除くすべてのビットに対して PEC が計算されます。ステート マシンが IDLE 状態にあるとき (ストップ後やタイムアウト発生時)、PEC LSFR およびバイト カウンタは 0 に設定されます。PEC バイトが送信または受信されると、カウンタも 0 に設定されます。PEC エラーが発生する PEC バイトの後に NACK が自動的に送信されることに注意してください。PEC 多項式は x^8 + x^2 + x^1 + 1 です。 0h = PEC を無効化 1h = PEC を有効化
11-9	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 23-54. PECCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8-0	PECCNT	R/W	0h	PEC 数。このフィールドが 0 でない場合、I2C バイト数がカウントされます (PEC は I2C アドレスに対して計算されますが、1 バイトにカウントされません)。バイト数 = PECCNT で I2CC が送信を行うと、LSFR の内容が TX FIFO から受信されたバイトではなく、シフト レジスタにロードされます。ステート マシンが受信中は、このバイトの最後のビットを受信した後で LSFR がチェックされ、0 でない場合は、PEC RX エラー割り込みが生成されます。送信と受信の両方の PEC バイトを含むように、I2C パケットをパディングする必要があります。送信モードでは、FIFO にダミーの PEC バイトをロードする必要があります。受信モードでは、PEC バイトは RX FIFO に渡されます。コントローラの代表的な使用事例では、アプリケーションで PECEN = 1 および PECCNT = SMB パケット長に設定されます (ターゲット アドレス バイトは含まれませんが、PEC バイトは含まれます)。I2CC アプリケーションは、DMA を構成してパケットが自動で完了するようにし、CTR レジスタに書き込んでトランザクションを開始します。バイト数 = PECCNT の場合、バイト数は 0 にリセットされ、1 つの I2C トランザクション内で複数の PEC 計算が自動的に発生する可能性があることに注意してください。PECCTL レジスタに書き込みを行うと、I2CC ステート マシンの現在の PEC バイト数がクリアされることに注意してください。 0h = 最小値 1FFh = 最大値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.2 UNICOMMI2CT のレジスタ

UNICOMMI2CT レジスタのメモリマップされたレジスタを、表 23-55 に示します。表 23-55 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 23-55. UNICOMMI2CT のレジスタ

オフセット	略称	レジスタ名	グループ	セクション
1000h	CLKDIV	クロック分周比		表示
1008h	CLKSEL	超低消費電力ペリフェラル用クロック選択		表示
1020h	IIDX	割り込みインデックス	CPU_INT	表示
1028h	IMASK	割り込みマスク	CPU_INT	表示
1030h	RIS	未加工割り込みステータス	CPU_INT	表示
1038h	MIS	マスクされた割り込みステータス	CPU_INT	表示
1040h	ISET	割り込み設定	CPU_INT	表示
1048h	ICLR	割り込みクリア	CPU_INT	表示
1058h	IMASK	割り込みマスク	DMA_TRIG_RX	表示
1060h	RIS	未加工割り込みステータス	DMA_TRIG_RX	表示
1068h	MIS	マスクされた割り込みステータス	DMA_TRIG_RX	表示
1070h	ISET	割り込み設定	DMA_TRIG_RX	表示
1088h	IMASK	割り込みマスク	DMA_TRIG_TX	表示
1090h	RIS	未加工割り込みステータス	DMA_TRIG_TX	表示
1098h	MIS	マスクされた割り込みステータス	DMA_TRIG_TX	表示
10A0h	ISET	割り込み設定	DMA_TRIG_TX	表示
10E4h	INTCTL	割り込み制御レジスタ		表示
1100h	CTR	I2C ターゲット制御レジスタ		表示
1104h	ACKCTL	I2C ターゲット ACK 制御		表示
1108h	SR	ステータス レジスタ		表示
110Ch	IFLS	割り込み FIFO レベル選択レジスタ		表示
1118h	GFCTL	I2C グリッチ フィルタ制御		表示
1120h	TXDATA	I2C TXData		表示
1124h	RXDATA	I2C RXData		表示
1128h	PECSR	PEC ステータス レジスタ		表示
1148h	OAR2	独自アドレス 2		表示
114Ch	OAR	I2C 独自アドレス		表示
1150h	TIMEOUT_CNT	I2C タイムアウト カウント レジスタ		表示
1154h	TIMEOUT_CTL	I2C タイムアウト カウント制御レジスタ		表示
1158h	PECCTL	I2C PEC 制御レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 23-56 に、このセクションでアクセス タイプに使用しているコードを示します。

Copyright © 2026 Texas Instruments Incorporated

表 23-56. UNICOMMI2CT のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

23.4.2.1 CLKDIV (オフセット = 1000h) [リセット = 00000000h]

図 23-57 に、CLKDIV を示し、表 23-57 に、その説明を示します。

概略表に戻ります。

I2CT クロック分周。このレジスタは、機能クロックのモジュール固有の分周比を指定するために使用します

図 23-57. CLKDIV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 23-57. CLKDIV フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2-0	比率	R/W	0h	モジュール クロックの分周比 0 を選択します:DIV_BY_1 1:DIV_BY_2 ....63:DIV_BY_64 0h = クロック ソースを分周しません 1h = クロック ソースを 2 分周 2h = クロック ソースを 3 分周 3h = クロック ソースを 4 分周 4h = クロック ソースを 5 分周 5h = クロック ソースを 6 分周 6h = クロック ソースを 7 分周 7h = クロック ソースを 8 分周 3Ch = クロック ソースを 61 分周 3Dh = クロック ソースを 62 分周 3Eh = クロック ソースを 63 分周 3Fh = クロック ソースを 64 分周

Copyright © 2026 Texas Instruments Incorporated

23.4.2.2 CLKSEL (オフセット = 1008h) [リセット = 00000000h]

図 23-58 に、CLKSEL を示し、表 23-58 に、その説明を示します。

概略表に戻ります。

I2CT クロック ソースの選択。

図 23-58. CLKSEL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				ASYNC_PLL_SEL	ASYNC_HFCLK_SEL	ASYNC_SYSCLK_SEL	予約済み
R-0h				R/W-0h	R/W-0h	R/W-0h	R-0h
7	6	5	4	3	2	1	0
予約済み				BUSCLK_SEL	MFCLK_SEL	予約済み	
R-0h				R/W-0h	R/W-0h	R-0h	

表 23-58. CLKSEL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	
11	ASYNC_PLL_SEL	R/W	0h	非同期 PLL をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
10	ASYNC_HFCLK_SEL	R/W	0h	非同期 HFCLK をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
9	ASYNC_SYSCLK_SEL	R/W	0h	非同期 sysclk をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
8-4	予約済み	R	0h	
3	BUSCLK_SEL	R/W	0h	有効な場合、クロック ソースとして BUS CLK を選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
2	MFCLK_SEL	R/W	0h	有効な場合、MFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.3 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 23-59 に、IIDX を示し、表 23-59 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高い有効な割り込みインデックスを提供します。

図 23-59. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 23-59. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	I2CT 割り込みベクタ値。このフィールドは、最も優先度の高い割り込みインデックスを提供します。読み取りにより、RIS および MIS の対応する割り込みフラグがクリアされます。15h ～ 1Fh = 予約済み。 00h = 割り込み保留なし。 1h = 受信完了フラグ。 2h = 送信完了フラグ。 3h = RX FIFO トリガ レベル。 4h = TX FIFO トリガ レベル 5h = RX FIFO フル イベント / 割り込み保留中。 6h = TX FIFO 空イベント / 割り込み保留中。 7h = I2CT TX FIFO アンダーフロー イベント。 8h = I2CT RX FIFO オーバーフロー イベント。 9h = ゼネラル コール イベント。 Ah = スタート イベント。 Bh = ストップ イベント。 Ch = PEC 受信エラー イベント。 Dh = タイムアウト カウンタ A イベント。 Eh = タイムアウト カウンタ B イベント。 10h = チャネル RX での DMA DONE。 11h = チャネル TX での DMA DONE。 12h = アービトレーション喪失。 13h = DMA PRE IRQ 割り込み 14h = DMA PRE IRQ 割り込み

Copyright © 2026 Texas Instruments Incorporated

23.4.2.4 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 23-60 に、IMASK を示し、表 23-60 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 23-60. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	ARBLOST	DMA_DONE_TX
R-0h				R-0h	R-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ストップ	START	GENCALL
R/W-0h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RX_OVFL	TX_UNFL	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 23-60. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	ARBLOST	R/W	0h	I2CT アービトレーション喪失割り込みマスク。この割り込みは、SMBus アドレス分解能プロトコルの「Get UDID」シーケンス中に、バス上の別の I2C ターゲットがアービトレーションに成功したときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
16	DMA_DONE_TX	R/W	0h	I2CT DMA は TX イベント チャネル割り込みマスクで完了。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
15	DMA_DONE_RX	R/W	0h	I2CT DMA は RX イベント チャネル割り込みマスクで完了。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
14	予約済み	R	0h	
13	TIMEOUTB	R/W	0h	I2CT タイムアウト カウンタ B 割り込みマスク。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

表 23-60. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	TIMEOUTA	R/W	0h	I2CT タイムアウト カウンタ A 割り込みマスク。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
11	PEC_RX_ERR	R/W	0h	I2CT 受信 PEC エラー割り込みマスク。この割り込みは、I2CT によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
10	ストップ	R/W	0h	I2CT ストップ条件割り込みマスク。この割り込みは、バス上にストップ条件が検出されたときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
9	START	R/W	0h	I2CT スタート条件割り込みマスク。この割り込みは、バス上でスタート条件またはリピート スタート条件が検出されたときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
8	GENCALL	R/W	0h	I2CT ゼネラル コール割り込みマスク。この割り込みは、アドレスが 0x00 で R/W ビットが「0」のゼネラル コール フレームを受信したときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
7	RX_OVFL	R/W	0h	I2CT RX FIFO オーバーフロー割り込みマスク。この割り込みは、I2CT レシーバがデータの受信を試みたときに、R/W ビットが「0」のアドレス一致を受信したが、I2CT RX FIFO がフルである場合に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
6	TX_UNFL	R/W	0h	I2CT TX FIFO アンダーフロー割り込みマスク。この割り込みは、R/W ビットが「1」のアドレス一致を受信した結果として、I2CT トランスミッタがデータの送信しようとした際に、I2CT TX FIFO が空である場合に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
5	TXEMPTY	R/W	0h	I2CT TX FIFO 空割り込みマスク。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CT トランスミッタがアイドル状態になると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
4	RXFULL	R/W	0h	I2CT RX FIFO フル割り込みマスク。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
3	TXTRG	R/W	0h	I2CT 送信トリガ割り込みマスク。この割り込みは、IFLS レジスタで設定された TX FIFO 条件が満たされたときに発生します。FIFO が搭載されていない場合は、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2	RXTRG	R/W	0h	I2CT 受信トリガ割り込みマスク。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1	TXDONE	R/W	0h	I2CT 送信完了割り込みマスク。この割り込みは、各バイトが送信された後に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

表 23-60. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	RXDONE	R/W	0h	I2CT 受信完了割り込みマスク。この割り込みは、各バイトが受信された後に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

Copyright © 2026 Texas Instruments Incorporated

23.4.2.5 RIS (オフセット = 1030h) [リセット = 00000000h]

図 23-61 に、RIS を示し、表 23-61 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 23-61. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	ARBLOST	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ストップ	START	GENCALL
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RX_OVFL	TX_UNFL	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 23-61. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	ARBLOST	R	0h	I2CT アービトレーション喪失割り込み未加工ステータス。この割り込みは、SMBus アドレス分解能プロトコルの「Get UDID」シーケンス中に、バス上の別の I2C ターゲットがアービトレーションに成功したときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
16	DMA_DONE_TX	R	0h	I2CT DMA は TX イベント チャネル割り込み未加工ステータスで完了。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
15	DMA_DONE_RX	R	0h	I2CT DMA は RX イベント チャネル割り込み未加工ステータスで完了。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
14	予約済み	R	0h	
13	TIMEOUTB	R	0h	I2CT タイムアウト カウンタ B 割り込み未加工ステータス。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 23-61. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	TIMEOUTA	R	0h	I2CT タイムアウト カウンタ A 割り込み未加工ステータス。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
11	PEC_RX_ERR	R	0h	I2CT 受信 PEC エラー割り込み未加工ステータス。この割り込みは、I2CT によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
10	ストップ	R	0h	I2CT ストップ条件割り込み未加工ステータス。この割り込みは、バス上にストップ条件が検出されたときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
9	START	R	0h	I2CT スタート条件割り込み未加工ステータス。この割り込みは、バス上でスタート条件またはリピート スタート条件が検出されたときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
8	GENCALL	R	0h	I2CT ゼネラル コール割り込み未加工ステータス。この割り込みは、アドレスが 0x00 で R/W ビットが「0」のゼネラル コール フレームを受信したときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
7	RX_OVFL	R	0h	I2CT RX FIFO オーバーフロー割り込み未加工ステータス。この割り込みは、I2CT レシーバがデータの受信を試みたときに、R/W ビットが「0」のアドレス一致を受信したが、I2CT RX FIFO がフルである場合に発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
6	TX_UNFL	R	0h	I2CT TX FIFO アンダーフロー割り込み未加工ステータス。この割り込みは、R/W ビットが「1」のアドレス一致を受信した結果として、I2CT トランスミッタがデータの送信しようとした際に、I2CT TX FIFO が空である場合に発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
5	TXEMPTY	R	0h	I2CT TX FIFO 空割り込み未加工ステータス。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CT トランスミッタがアイドル状態になると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
4	RXFULL	R	0h	I2CT RX FIFO フル割り込み未加工ステータス。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
3	TXTRG	R	0h	I2CT 送信トリガ割り込み未加工ステータス。この割り込みは、IFLS レジスタで設定された TX FIFO 条件が満たされたときに発生します。FIFO が搭載されていない場合は、バッファが空であることを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
2	RXTRG	R	0h	I2CT 受信トリガ割り込み未加工ステータス。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 23-61. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	TXDONE	R	0h	I2CT 送信完了割り込み未加工ステータス。この割り込みは、各バイトが送信された後に発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
0	RXDONE	R	0h	I2CT 受信完了割り込み未加工ステータス。この割り込みは、各バイトが受信された後に発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

23.4.2.6 MIS (オフセット = 1038h) [リセット = 00000000h]

図 23-62 に、MIS を示し、表 23-62 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

図 23-62. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	ARBLOST	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ストップ	START	GENCALL
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RX_OVFL	TX_UNFL	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 23-62. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	ARBLOST	R	0h	I2CT アービトレーション喪失割り込みマスク ステータス。この割り込みは、SMBus アドレス分解能プロトコルの「Get UDID」シーケンス中に、バス上の別の I2C ターゲットがアービトレーションに成功したときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
16	DMA_DONE_TX	R	0h	I2CT DMA は、TX イベント チャネル割り込みマスクステータスで完了。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
15	DMA_DONE_RX	R	0h	I2CT DMA は、RX イベント チャネル割り込みマスクステータスで完了。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
14	予約済み	R	0h	
13	TIMEOUTB	R	0h	I2CT タイムアウト カウンタ B 割り込みマスク ステータス。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 23-62. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	TIMEOUTA	R	0h	I2CT タイムアウト カウンタ A 割り込みマスク ステータス。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
11	PEC_RX_ERR	R	0h	I2CT 受信 PEC エラー割り込みマスク ステータス。この割り込みは、I2CT によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
10	ストップ	R	0h	I2CT ストップ条件割り込みマスク ステータス。この割り込みは、バス上にストップ条件が検出されたときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
9	START	R	0h	I2CT スタート条件割り込みマスク ステータス。この割り込みは、バス上でスタート条件またはリピート スタート条件が検出されたときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
8	GENCALL	R	0h	I2CT ゼネラル コール割り込みマスク ステータス。この割り込みは、アドレスが 0x00 で R/W ビットが「0」のゼネラル コール フレームを受信したときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
7	RX_OVFL	R	0h	I2CT RX FIFO オーバーフロー割り込みマスク ステータス。この割り込みは、I2CT レシーバがデータの受信を試みたときに、R/W ビットが「0」のアドレス一致を受信したが、I2CT RX FIFO がフルである場合に発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
6	TX_UNFL	R	0h	I2CT TX FIFO アンダーフロー割り込みマスク ステータス。この割り込みは、R/W ビットが「1」のアドレス一致を受信した結果として、I2CT トランスミッタがデータの送信しようとした際に、I2CT TX FIFO が空である場合に発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
5	TXEMPTY	R	0h	I2CT TX FIFO 空割り込みマスク ステータス。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CT トランスミッタがアイドル状態になると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
4	RXFULL	R	0h	I2CT RX FIFO フル割り込みマスク ステータス。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みが発生しました
3	TXTRG	R	0h	I2CT 送信トリガ割り込みマスク ステータス。この割り込みは、IFLS レジスタで設定された TX FIFO 条件が満たされたときに発生します。FIFO が搭載されていない場合は、バッファが空であることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
2	RXTRG	R	0h	I2CT 受信トリガ割り込みマスク ステータス。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

表 23-62. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	TXDONE	R	0h	I2CT 送信完了割り込みマスク ステータス。この割り込みは、各バイトが送信された後に発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
0	RXDONE	R	0h	I2CT 受信完了割り込みマスク ステータス。この割り込みは、各バイトが受信された後に発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

23.4.2.7 ISET (オフセット = 1040h) [リセット = 00000000h]

図 23-63 に、ISET を示し、表 23-63 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 23-63. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	ARBLOST	DMA_DONE_TX
R-0h				R-0h	R-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ストップ	START	GENCALL
W-0h	R-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
RX_OVFL	TX_UNFL	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 23-63. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	ARBLOST	W	0h	I2CT アービトレーション喪失割り込みを設定します。この割り込みは、SMBus アドレス分解能プロトコルの「Get UDID」シーケンス中に、バス上の別の I2C ターゲットがアービトレーションに成功したときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
16	DMA_DONE_TX	W	0h	TX イベント チャネル割り込みで I2CT DMA 完了を設定します。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
15	DMA_DONE_RX	W	0h	RX イベント チャネル割り込みで I2CT DMA 完了を設定します。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
14	予約済み	R	0h	
13	TIMEOUTB	W	0h	I2CT タイムアウト カウンタ B 割り込みを設定します。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

表 23-63. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	TIMEOUTA	W	0h	I2CT タイムアウト カウンタ A 割り込みを設定します。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
11	PEC_RX_ERR	W	0h	I2CT 受信 PEC エラー割り込みを設定します。この割り込みは、I2CT によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
10	ストップ	W	0h	I2CT ストップ条件割り込みを設定します。この割り込みは、バス上にストップ条件が検出されたときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
9	START	W	0h	I2CT スタート条件割り込みを設定します。この割り込みは、バス上でスタート条件またはリピート スタート条件が検出されたときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
8	GENCALL	W	0h	I2CT ゼネラル コール割り込みを設定します。この割り込みは、アドレスが 0x00 で R/W ビットが「0」のゼネラル コール フレームを受信したときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
7	RX_OVFL	W	0h	I2CT RX FIFO オーバーフロー割り込みを設定します。この割り込みは、I2CT レシーバがデータの受信を試みたときに、R/W ビットが「0」のアドレス一致を受信したが、I2CT RX FIFO がフルである場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
6	TX_UNFL	W	0h	I2CT TX FIFO アンダーフロー割り込みを設定します。この割り込みは、R/W ビットが「1」のアドレス一致を受信した結果として、I2CT トランスミッタがデータの送信しようとした際に、I2CT TX FIFO が空である場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
5	TXEMPTY	W	0h	I2CT TX FIFO 空割り込みを設定します。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CT トランスミッタがアイドル状態になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
4	RXFULL	W	0h	I2CT RX FIFO フル割り込みを設定します。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みをセットします
3	TXTRG	W	0h	I2CT 送信トリガ割り込みを設定します。この割り込みは、IFLS レジスタで設定された TX FIFO 条件が満たされたときに発生します。FIFO が搭載されていない場合は、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みをセットします
2	RXTRG	W	0h	I2CT 受信トリガ割り込みを設定します。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

表 23-63. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	TXDONE	W	0h	I2CT 送信完了割り込みを設定します。この割り込みは、各バイトが送信された後に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
0	RXDONE	W	0h	I2CT 受信完了割り込みを設定します。この割り込みは、各バイトが受信された後に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

23.4.2.8 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 23-64 に、ICLR を示し、表 23-64 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 23-64. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	ARBLOST	DMA_DONE_TX
R-0h				R-0h	R-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み	TIMEOUTB	TIMEOUTA	PEC_RX_ERR	ストップ	START	GENCALL
W-0h	R-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
RX_OVFL	TX_UNFL	TXEMPTY	RXFULL	TXTRG	RXTRG	TXDONE	RXDONE
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 23-64. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	ARBLOST	W	0h	I2CT アービトレーション喪失割り込みをクリアします。この割り込みは、SMBus アドレス分解能プロトコルの「Get UDID」シーケンス中に、バス上の別の I2C ターゲットがアービトレーションに成功したときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
16	DMA_DONE_TX	W	0h	TX イベント チャネル割り込みで I2CT DMA 完了をクリアします。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
15	DMA_DONE_RX	W	0h	RX イベント チャネル割り込みで I2CT DMA 完了をクリアします。この割り込みは、DMA から DONE 信号が I2CT に送信され、すべてのトランザクションが完了したことを示すときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
14	予約済み	R	0h	
13	TIMEOUTB	W	0h	I2CT タイムアウトカウンタ B 割り込みをクリアします。この割り込みは、TIMEOUT_CTL.TCNTLB レジスタによって設定されたクロック タイムアウト期間よりも長い間 SCL ラインが連続的に High になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

表 23-64. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	TIMEOUTA	W	0h	I2CT タイムアウト カウンタ A 割り込みをクリアします。この割り込みは、TIMEOUT_CTL.TCNTLA レジスタによってプログラムされたクロックタイムアウト期間よりも長い間 SCL ラインが連続的に Low になったときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
11	PEC_RX_ERR	W	0h	I2CT 受信 PEC エラー割り込みをクリアします。この割り込みは、I2CT によって計算された PEC が受信 PEC と一致しない場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
10	ストップ	W	0h	I2CT ストップ条件割り込みをクリアします。この割り込みは、バス上にストップ条件が検出されたときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
9	START	W	0h	I2CT スタート条件割り込みをクリアします。この割り込みは、バス上でスタート条件またはリピート スタート条件が検出されたときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
8	GENCALL	W	0h	I2CT ゼネラル コール割り込みをクリアします。この割り込みは、アドレスが 0x00 で R/W ビットが「0」のゼネラル コール フレームを受信したときに発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
7	RX_OVFL	W	0h	I2CT RX FIFO オーバーフロー割り込みをクリアします。この割り込みは、I2CT レシーバがデータの受信を試みたときに、R/W ビットが「0」のアドレス一致を受信したが、I2CT RX FIFO がフルである場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
6	TX_UNFL	W	0h	I2CT TX FIFO アンダーフロー割り込みをクリアします。この割り込みは、R/W ビットが「1」のアドレス一致を受信した結果として、I2CT トランスミッタがデータの送信しようとした際に、I2CT TX FIFO が空である場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
5	TXEMPTY	W	0h	I2CT TX FIFO 空割り込みをクリアします。この割り込みは、すべてのデータが TX FIFO からシフトアウトされ、I2CT トランスミッタがアイドル状態になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
4	RXFULL	W	0h	I2CT RX FIFO フル割り込みをクリアします。この割り込みは、RX FIFO がフルになると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
3	TXTRG	W	0h	I2CT 送信トリガ割り込みをクリアします。この割り込みは、IFLS レジスタで設定された TX FIFO 条件が満たされたときに発生します。FIFO が搭載されていない場合は、バッファが空であることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
2	RXTRG	W	0h	I2CT 受信トリガ割り込みをクリアします。この割り込みは、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

表 23-64. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	TXDONE	W	0h	I2CT 送信完了割り込みをクリアします。この割り込みは、各バイトが送信された後に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
0	RXDONE	W	0h	I2CT 受信完了割り込みをクリアします。この割り込みは、各バイトが受信された後に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

23.4.2.9 IMASK (オフセット = 1058h) [リセット = 00000000h]

図 23-65 に、IMASK を示し、表 23-65 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 23-65. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RXTRG	予約済み	
R-0h					R/W-0h	R-0h	

表 23-65. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RXTRG	R/W	0h	I2CT 受信 DMA トリガ マスク。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.10 RIS (オフセット = 1060h) [リセット = 00000000h]

図 23-66 に、RIS を示し、表 23-66 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 23-66. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RXTRG	予約済み	
R-0h					R-0h	R-0h	

表 23-66. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RXTRG	R	0h	I2CT 受信 DMA トリガ未処理ステータス。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.11 MIS (オフセット = 1068h) [リセット = 00000000h]

図 23-67 に、MIS を示し、表 23-67 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

図 23-67. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RXTRG	予約済み	
R-0h					R-0h	R-0h	

表 23-67. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RXTRG	R	0h	I2CT 受信 DMA トリガ マスク ステータス。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.12 ISET (オフセット = 1070h) [リセット = 00000000h]

図 23-68 に、ISET を示し、表 23-68 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 23-68. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RXTRG	予約済み	
R-0h					W-0h	R-0h	

表 23-68. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RXTRG	W	0h	I2CT 受信 DMA トリガを設定します。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.13 IMASK (オフセット = 1088h) [リセット = 00000000h]

図 23-69 に、IMASK を示し、表 23-69 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 23-69. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXTRG	予約済み		
R-0h				R/W-0h	R-0h		

表 23-69. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	TXTRG	R/W	0h	I2CT 送信 DMA トリガ マスク。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.14 RIS (オフセット = 1090h) [リセット = 00000000h]

図 23-70 に、RIS を示し、表 23-70 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 23-70. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXTRG	予約済み		
R-0h				R-0h	R-0h		

表 23-70. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	TXTRG	R	0h	I2CT 送信 DMA トリガ未処理ステータス。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.15 MIS (オフセット = 1098h) [リセット = 00000000h]

図 23-71 に、MIS を示し、表 23-71 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

図 23-71. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXTRG	予約済み		
R-0h				R-0h	R-0h		

表 23-71. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	TXTRG	R	0h	I2CT 送信 DMA トリガ マスク ステータス。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.16 ISET (オフセット = 10A0h) [リセット = 00000000h]

図 23-72 に、ISET を示し、表 23-72 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 23-72. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				TXTRG	予約済み		
R-0h				W-0h	R-0h		

表 23-72. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	TXTRG	W	0h	I2CT 送信 DMA トリガを設定します。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

23.4.2.17 INTCTL (オフセット = 10E4h) [リセット = 00000000h]

図 23-73 に、INTCTL を示し、表 23-73 に、その説明を示します。

概略表に戻ります。

割り込み制御レジスタ。

図 23-73. INTCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							INTEVAL
R-0h							W-0h

表 23-73. INTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	INTEVAL	W	0h	このフィールドに 1 を書き込むと、割り込みソースが再評価されます。 0h = 0 を書き込んでも何もしません 1h = 割り込み評価

Copyright © 2026 Texas Instruments Incorporated

23.4.2.18 CTR (オフセット = 1100h) [リセット = 00300404h]

図 23-74 に、CTR を示し、表 23-74 に、その説明を示します。

概略表に戻ります。

I2CT 制御レジスタ。

図 23-74. CTR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み		WUEN	CLKSTRETCH	予約済み			
R-0h		R/W-1h	R/W-1h	R-0h			
15	14	13	12	11	10	9	8
予約済み				中断	予約済み	EN_DEFDEVADR	EN_ALRESPADR
R-0h				R/W-0h	R-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
EN_DEFHOSTADR	RXFULL_ON_REQ	TXWAIT_STALE_TXFIFO	TXTRIG_TXMODE	TXEMPTY_ON_TREQ	予約済み	GENCALL	イネーブル
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h	R/W-0h	R/W-0h

表 23-74. CTR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0h	
21	WUEN	R/W	1h	ターゲット ウェークアップ イネーブル。 0h = 0 の場合、ターゲットはスタート検出時にクロック ストレッチを行うことができません 1h = 1 の場合、ターゲットはスタート検出時にクロック ストレッチを行い、より高速なクロックが使用可能になるまで待機できます。これにより、低消費電力モードでの使用時において、I2C をクリーンなウェークアップが可能になります
20	CLKSTRETCH	R/W	1h	クロック ストレッチ イネーブル。I2CT は、送信モードで TX FIFO / バッファが空の場合、または受信モードで RX FIFO / バッファが満杯の場合、SCL ラインで自動的にクロック ストレッチを行います。 0h = クロック ストレッチは無効です 1h = クロック ストレッチは有効です
19-12	予約済み	R	0h	
11	中断	R/W	0h	外部通信の中断。このビットが設定されると、I2CT FSM がアイドル状態になった後 (SR.BUSY が「0」)、外部バスでの I2CT 通信が一時停止します。 0h = 機能モードが再開 1h = 外部通信を一時停止
10	予約済み	R	0h	
9	EN_DEFDEVADR	R/W	0h	デフォルトのデバイス アドレスを有効にします。 0h = このビットが 0 の場合、デフォルトのデバイス アドレスは一致しません。注:OAR/OAR2 内でプログラムされている場合でも、この値は一致する可能性があります。 1h = このビットが 1 の場合、デフォルトのデバイス アドレス 7'h110_0001 は常にターゲット アドレス一致ロジックによって一致します。

Copyright © 2026 Texas Instruments Incorporated

表 23-74. CTR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	EN_ALRESPADR	R/W	0h	アラート応答アドレスを有効にします。 0h = このビットが 0 の場合、アラート応答アドレス一致しません。注:OAR/OAR2 内でプログラムされている場合でも、この値は一致する可能性があります 1h = このビットが「1」の場合、7'h000_1100 のアラート応答アドレスは、常にターゲット アドレス一致ロジックによって一致します。
7	EN_DEFHOSTADR	R/W	0h	デフォルトのホスト アドレスを有効にします。 0h = このビットが 0 の場合、デフォルトのホスト アドレスは一致しません。注:OAR/OAR2 内にプログラムされている場合でも一致する可能性があります 1h = このビットが 1 の場合、デフォルトのホストアドレス 7'h000_1000 は常にターゲットアドレス一致ロジックによって一致します。
6	RXFULL_ON_RREQ	R/W	0h	RREQ 時の RX フル割り込み。このビット設定は、RXFULL 割り込みの動作を決定します。 0h = 0 の場合、ターゲット RX FIFO のみがフルになったときに、RIS.RXFULL がセットされます。これにより、RXFULL 割り込みを使用して、I2C バスがクロック ストレッチされていること、および FW が RX FIFO と現在の RX バイトの ACK/NACK を読み取る必要があることを示すことができるようになります。 1h = 1 の場合、I2CT FSM が RX_WAIT または RX_ACK_WAIT 状態のとき、RIS.RXFULL が設定されます。これは、RX FIFO がフルのために I2C トランザクションがクロック ストレッチされているとき、または ACKOEN が設定されており、FSM が FW から現在のバイトの ACK/NACK を待機しているときに発生します。
5	TXWAIT_STALE_TXFIFO	R/W	0h	TX 転送ウェイト構成。このビット設定は、I2CT トランスミッタの動作を決定します。特に、TX FIFO に古いデータが存在するときにトランスミッタが待機するかどうかを決定します。これにより、TX FIFO に残った古いバイトが次の I2C パケットで自動的に送信されることを防止できます。注:この設定を有効にするのは、TXEMPTY_ON_TREQ がセットされており、古い FIFO データが存在するときに割り込み通知なしに I2CT FSM が TX FIFO データを待機しないようにする場合のみです。 0h = 0 のとき、ターゲット ステート マシンへの TX FIFO 空信号は、TX FIFO が空であることを示します。 1h = 1 のとき、ターゲット ステート マシンへの TX FIFO 空信号は、TX FIFO が空であるか、TX FIFO データが古くなっていることを示します。SR レジスタで定義されているように、ターゲット ステート マシンが TXMODE を終了する際に、TX FIFO にデータが存在する場合、TX FIFO データは古いと判断されます。TX FIFO にバイトが残っている場合に、ストップまたはタイムアウトの条件が発生すると、古い TX FIFO が残った状態が発生します。
4	TXTRIG_TXMODE	R/W	0h	I2CT FSM が TX モードのときの TX トリガ。このビット設定は、TXTRG DMA トリガの動作を決定します。 0h = 特別な動作はありません 1h = 1 の場合、I2CT TX FIFO がトリガ レベルに達し、SR レジスタで定義されるとおり I2CT FSM が TX モードにある場合、RIS.TXTRG が設定されます。クリアされると、I2CT TX FIFO がトリガ レベル以上のときに、RIS.TXTRG が設定されます。この設定を使用すると、トランザクションが開始するまで TX DMA を保持できます。これにより、DMA は、I2CT がアイドルのときに構成でき、トランザクションが I2CT TX FIFO のロードを開始するまで待機して、時間の経過とともに変化する可能性のあるメモリバッファからデータをロードできます。

Copyright © 2026 Texas Instruments Incorporated

表 23-74. CTR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	TXEMPTY_ON_TREQ	R/W	0h	TREQ での TX 空割り込み。このビット設定は、TXEMPTY 割り込みの動作を決定します。 0h = 0 の場合、I2CT TX FIFO のみが空になったときに、RIS.TXEMPTY が設定されます。これにより、TXEMPTY 割り込みを使用して、I2C バスがクロック ストレッチされていること、および I2CT TX データが必要であることを示すことができます。 1h = 1 の場合、I2CT FSM が TX_WAIT 状態のときに RIS.TXEMPTY が設定されます。この状態は、TX FIFO が空で、I2C トランザクションがクロック ストレッチで TX FIFO にデータが書き込まれるのを待機しているときに発生します。
2	予約済み	R	0h	
1	GENCALL	R/W	0h	ゼネラル コール / 応答イネーブル。UCSWRST = 1 の場合にのみ変更します。0b = ゼネラル コールに応答しません 1b = ゼネラル コールに応答します 0h = ゼネラル コールに応答しません 1h = ゼネラル コールに応答します
0	イネーブル	R/W	0h	I2CT イネーブル。このビットを設定すると、モジュールが有効になります。 0h = システム動作を無効化します。 1h = システム動作を有効化します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.2.19 ACKCTL (オフセット = 1104h) [リセット = 00000000h]

図 23-75 に、ACKCTL を示し、表 23-75 に、その説明を示します。

概略表に戻ります。

I2CT アクノリッジ制御レジスタ。このレジスタは、無効なデータ / コマンドについては I2CT アクノリッジなし (NACK)、有効なデータ / コマンドについてはアクノリッジ (ACK) をイネーブルにします。このレジスタに書き込みが行われるまで、最後のデータビットの後で I2C の SCL は Low にプルダウンされます。

図 23-75. ACKCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			ACKOEN_ON_PECDONE	ACKOEN_ON_PECNEXT	ACKOEN_ON_START	ACKOVAL	ACKOEN
R-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 23-75. ACKCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4	ACKOEN_ON_PECDONE	R/W	0h	PEC 完了時に アクノリッジ オーバーライドを有効にします。このビットを設定すると、受信された PEC バイトの ACK/NACK の後に、ターゲット アクノリッジ 有効化フィールドが自動的にオンになります。自動オーバーライド有効化が使用されている場合、ステータス ビット ACKOEN は「1」の値を反映します。 0h = 特別な動作はありません 1h = このビットを設定すると、受信された PEC バイトの ACK/NACK の後で、ターゲット ACKOEN フィールドが自動的にオンになります。
3	ACKOEN_ON_PECNEXT	R/W	0h	次の PEC 時に アクノリッジ オーバーライドを有効にします。このビットを設定すると、PEC バイトの直前に受信したバイトの ACK/NACK 後、I2CT アクノリッジ オーバーライドが自動的にオンになります。ただし、ACKCTL.ACKOEN ビットを設定しても、FSM によって自動的に ACK/NACK されることはありません。また、ファームウェアは Target.ACKCTL レジスタに書き込むことでこの機能を実行する必要があります。自動オーバーライド有効化が使用されている場合、ステータス ビット ACKOEN は「1」の値を反映します。 0h = 特別な動作はありません 1h = このビットをセットすると、PEC バイトの直前に受信したバイトに対する ACK/NACK の後、ターゲット ACKOEN フィールドが自動的に有効になります。ACKOEN が設定されている場合、PEC バイトはステート マシンによって自動的に ACK/NACK されるわけではなく、FW は ACKCTL を書き込んでこの機能を実行する必要があることに注意してください。

Copyright © 2026 Texas Instruments Incorporated

表 23-75. ACKCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	ACKOEN_ON_START	R/W	0h	スタート時にアクノリッジ オーバーライドを有効にします。このビットを設定すると、スタート条件後のターゲット オーバーライド アクノリッジが自動的に有効化されます。自動オーバーライド有効化が使用されている場合、ステータス ビット ACKOEN は「1」の値を反映します。 0h = 特別な動作はありません 1h = このビットを設定すると、スタート条件後にターゲット ACKOEN フィールドが自動的にオンになります。
1	ACKOVAL	R/W	0h	ACK オーバーライド値。注:オーバーライド制御は、アドレス フレームには適用されません。アドレス フレームに続くバイトは、ACKOVAL を使用してアクノリッジできます。 0h = 有効なデータまたはコマンドを示す ACK が送信されます。 1h = 無効なデータまたはコマンドを示す NACK が送信されます。
0	ACKOEN	R/W	0h	I2CT ACK オーバーライドを有効にします。I2CT クロックがストレッチされ、ACKCTL.ACKOVAL ビットを使用して、アプリケーションが受信した各バイトに手動で ACK/NACK を返すかどうか、または ACK/NACK が自動的に完了するかどうかを決定します。このビットの現在のステータスを確認するには、SR.ACKOEN を読み取ります。 0h = 応答はありませんでした。 1h = ACKOVAL ビットに書き込まれた値に応じて、ACK または NACK が送信されます。

Copyright © 2026 Texas Instruments Incorporated

23.4.2.20 SR (オフセット = 1108h) [リセット = 00000000h]

図 23-76 に、SR を示し、表 23-76 に、その説明を示します。

概略表に戻ります。

I2CT ステータス レジスタ。このステータス レジスタは、I2CT の現在の状態を示します。

図 23-76. SR

31	30	29	28	27	26	25	24
予約済み						ADDRMATCH	
R-0h						R-0h	
23	22	21	20	19	18	17	16
ADDRMATCH							
R-0h							
15	14	13	12	11	10	9	8
ACKOEN	TXFF	TXFE	RXFF	RXFE	TXCLR	RXCLR	STALE_TXFIFO
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TXMODE	BUSBSY	QCMDRW	QCMDST	OAR2SEL	RXMODE	TREQ	RREQ
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 23-76. SR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25-16	ADDRMATCH	R	0h	アドレス一致ステータス。ターゲット アドレスが一致したアドレスを示します。 0h = 最小値 3FFh = 最大値
15	ACKOEN	R	0h	ACK オーバーライド有効ステータス。 0h = ACK オーバーライドは無効です 1h =設計で ACK オーバーライドが有効になっていました
14	TXFF	R	0h	送信 FIFO / バッファのフル ステータス。 0h = 送信 FIFO がフルでありません 1h = 送信 FIFO がフルです
13	TXFE	R	1h	送信 FIFO / バッファの空ステータス。 0h = TX FIFO は空ではありません。 1h = TX FIFO は空です
12	RXFF	R	0h	RX FIFO フル ステータス。 0h = RX FIFO はフルではありません 1h = RX FIFO がフルです
11	RXFE	R	1h	RX FIFO / バッファの空ステータス。 0h = RX FIFO は空ではありません。 1h = RX FIFO は空です
10	TXCLR	R	0h	TX FIFO クリア ステータス。 0h = FIFO はクリアされていません 1h = FIFO のクリアが完了しています
9	RXCLR	R	0h	RX FIFO クリア ステータス。 0h = FIFO はクリアされていません 1h = FIFO のクリアが完了しています

Copyright © 2026 Texas Instruments Incorporated

表 23-76. SR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	STALE_TXFIFO	R	0h	古い TX FIFO ステータス。 0h = TX FIFO が古くありません 1h = TX FIFO は古くなっています。これは、前回の I2C トランザクション中に TX FIFO が空になっていないときに発生します。
7	TXMODE	R	0h	I2CT FSM は TX モードです。 0h = ステート マシンは TX_DATA、TX_WAIT、TX_ACK、ADDR_ACK 状態ではなく、バスの向きは読み取りに設定されています。 1h = ステート マシンは TX_DATA、TX_WAIT、TX_ACK、ADDR_ACK 状態で、バスの向きは読み取りに設定されています。
6	BUSBSY	R	0h	I2C バス ビジー ステータス。 0h = I2C バスはビジーではありません 1h = I2C バスはビジーです。これは、タイムアウト時にクリアされます。
5	QCMDRW	R	0h	クイック コマンド読み取り / 書き込みステータス。このビットは、QCMDST ビットが設定されているときのみ意味を持ちます。値の説明：0：クイック コマンドは書き込みでした 1：クイック コマンドは読み込みでした 0h = クイック コマンドは書き込みでした 1h = クイック コマンドは読み取りでした
4	QCMDST	R	0h	クイック コマンド ステータス。値の説明：0：最後のトランザクションは通常のトランザクションであったか、またはトランザクションは発生していません。1：最後のトランザクションはクイック コマンド トランザクションでした 0h = 最後のトランザクションは通常のトランザクションであったか、またはトランザクションは発生していません。 1h = 最後のトランザクションはクイック コマンド トランザクションでした。
3	OAR2SEL	R	0h	OAR2 アドレス一致ステータス。このビットは、アドレス比較を行うたびに再評価されます。 0h = OAR2 アドレスが一致しないか、レガシー モードで一致しています。 1h = OAR2 アドレスが一致し、ターゲットによって ACK されます。
2	RXMODE	R	0h	I2CT FSM は RX モードです。 0h = ターゲット ステート マシンは、RX_DATA、RX_ACK、RX_WAIT、RX_ACK_WAIT、ADDR_ACK 状態ではなく、バスの向きは書き込みに設定されています。 1h = ターゲット ステート マシンは、RX_DATA、RX_ACK、RX_WAIT、RX_ACK_WAIT、ADDR_ACK 状態で、バスの向きは書き込みに設定されています。
1	TREQ	R	0h	送信要求ステータス。 0h = 未処理の送信要求はありません。 1h = I2C ターゲットはトランスミッタとしてアドレス指定され、TXDATA FIFO にデータが書き込まれるまで、クロック ストレッチングを使用してコントローラを遅延させます (TX FIFO は空)。
0	RREQ	R	0h	受信要求ステータス。 0h = 未処理の受信データなし。 1h = モジュールに未処理の受信データがあり、RXDATA FIFO にデータが読み込まれるまで、クロック ストレッチングを使用してコントローラを遅延させます (RX FIFO はフル)。

Copyright © 2026 Texas Instruments Incorporated

23.4.2.21 IFLS (オフセット = 110Ch) [リセット = 00000022h]

図 23-77 に、IFLS を示し、表 23-77 に、その説明を示します。

概略表に戻ります。

I2CT 割り込み FIFO レベル選択レジスタ。IFLS レジスタは、割り込み FIFO レベル選択レジスタです。このレジスタを使用して、TX、RX、タイムアウト割り込みフラグがトリガされるレベルを定義できます。割り込みは、レベルに基づいてではなく、レベル間の遷移に基づいて生成されます。つまり、フィルレベルがトリガ レベルを経過したときに、割り込みが生成されます。たとえば、受信トリガ レベルがハーフウェイ マークに設定されている場合、RX FIFO に 2 文字以上の文字が入力されると割り込みが発生します。リセットから復帰すると、TXIFLSEL ビットおよび RXIFLSEL ビットは、FIFO が半分まで満たされた時点で割り込みを発生させるように設定されています。

図 23-77. IFLS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RXCLR	RXIFLSEL			TXCLR	TXIFLSEL		
R/W-0h	R/W-2h			R/W-0h	R/W-2h		

表 23-77. IFLS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	RXCLR	R/W	0h	RX FIFO クリア。このビットを設定すると、RX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化します 1h = FIFO クリアを有効化します
6-4	RXIFLSEL	R/W	2h	イベント生成用の RX FIFO レベル選択 (割り込み / DMA)。注:未定義の設定では、デフォルトの設定が使用されます。 1h = RX FIFO の使用量が 1/4 以上です 2h = RX FIFO の使用量が 1/2 以上です (デフォルト) 3h = RX FIFO の使用量が 3/4 以上です 4h = 空ではありません 5h = RX FIFO がフルです 6h = RX_FIFO >= (MAX_FIFO_LEN – 1) 7h = RX_FIFO <= 1
3	TXCLR	R/W	0h	TX FIFO クリア。このビットを設定すると、TX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化します 1h = FIFO クリアを有効化します

Copyright © 2026 Texas Instruments Incorporated

表 23-77. IFLS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	TXIFLSEL	R/W	2h	イベント生成用の TX FIFO レベル選択 (割り込み / DMA)。注:未定義の設定では、デフォルトの設定が使用されます。 1h = TX FIFO の空き容量が 3/4 以下です 2h = TX FIFO の空き容量が 1/2 以下です (デフォルト) 3h = TX FIFO の空き容量が 1/4 以下です 4h = フルではありません 5h = TX FIFO は空です 6h = TX FIFO <= 1 7h = TX_FIFO >= (MAX_FIFO_LEN – 1)

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.2.22 GFCTL (オフセット = 1118h) [リセット = 00000000h]

図 23-78 に、GFCTL を示し、表 23-78 に、その説明を示します。

概略表に戻ります。

I2CT グリッチ フィルタ制御レジスタ。このレジスタは、SCL および SDA ラインのグリッチ フィルタを制御します

図 23-78. GFCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							AGFEN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み						DGFSEL	
R-0h						R/W-0h	

表 23-78. GFCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	
8	AGFEN	R/W	0h	アナログ グリッチ抑制イネーブル。 0h = アナログ グリッチ フィルタが無効です 1h = アナログ グリッチ フィルタが有効です
7-3	予約済み	R	0h	
2-0	DGFSEL	R/W	0h	グリッチ抑制パルス幅。このフィールドは、SCL および SDA ラインのグリッチを抑制するパルス幅選択を制御します。以下の値は、機能クロック数で表したグリッチ抑制値です。(コア ドメインのみ) 0h = バイパス 1h = 1 クロック 2h = 2 クロック 3h = 3 クロック 4h = 4 クロック 5h = 8 クロック 6h = 16 クロック 7h = 31 クロック

Copyright © 2026 Texas Instruments Incorporated

23.4.2.23 TXDATA (オフセット = 1120h) [リセット = 00000000h]

図 23-79 に、TXDATA を示し、表 23-79 に、その説明を示します。

概略表に戻ります。

I2CT 送信データ レジスタ。このレジスタは送信データ レジスタ (FIFO へのインターフェイス) です。送信データの場合、FIFO がイネーブルなら、この位置に書き込まれたデータは TX FIFO にプッシュされます。FIFO がディスエーブルの場合、データは送信保持レジスタ (TX FIFO の最下位ワード) に格納されます。

図 23-79. TXDATA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								データ							
R-0h																								W-0h							

表 23-79. TXDATA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	データ	W	0h	送信データ。このバイトには、次のトランザクションで送信されるデータが含まれています。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.2.24 RXDATA (オフセット = 1124h) [リセット = 00000000h]

図 23-80 に、RXDATA を示し、表 23-80 に、その説明を示します。

概略表に戻ります。

I2CT 受信データ レジスタ。このフィールドには、RX FIFO スタックで読み取られる現在のバイトが含まれます。FIFO がディスエーブルの場合、データ バイトとステータスは受信保留レジスタ (RX FIFO の最下位ワード) に格納されます。受信データは、このレジスタを読み取ることで取得できます。

図 23-80. RXDATA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								データ							
R-0h																								R-0h							

表 23-80. RXDATA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	データ	R	0h	受信データ。このフィールドには、最後に受信したデータが含まれます。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.2.25 PECSR (オフセット = 1128h) [リセット = 00000000h]

図 23-81 に、PECSR を示し、表 23-81 に、その説明を示します。

概略表に戻ります。

I2CT PEC ステータス レジスタ。

図 23-81. PECSR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						PECSTS_ERROR	PECSTS_CHECK
R-0h						R-0h	R-0h
15	14	13	12	11	10	9	8
予約済み							PECBYTECNT
R-0h							R-0h
7	6	5	4	3	2	1	0
PECBYTECNT							
R-0h							

表 23-81. PECSR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	
17	PECSTS_ERROR	R	0h	PEC ステータス エラー。このステータス ビットは、最後のストップの前にトランザクションで PEC チェック エラーが発生したかどうかを示します。このビットは、ラインで次のストップが観測されると、ハードウェアによって自動的にクリアされます。 0h = 最後のストップの前に発生したトランザクションで PEC チェック エラーが発生しなかったことを示します 1h = 最後のストップの前に発生したトランザクションで PEC チェックエラーが発生したかどうかを示します
16	PECSTS_CHECK	R	0h	PEC ステータス チェック。このステータス ビットは、最後のストップの前に発生したトランザクションで PEC がチェックされたかどうかを示します。このビットは、ラインで次のストップが観測されると、ハードウェアによって自動的にクリアされます。 0h = 最後のストップより前に発生したトランザクションでは、PEC はチェックされませんでした 1h = 最後のストップより前に発生したトランザクションでは、PEC がチェックされませした
15-9	予約済み	R	0h	
8-0	PECBYTECNT	R	0h	PEC バイト数。これは、I2CT FSM の現在の PEC バイト数です。 0h = 最小値 1FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.2.26 OAR2 (オフセット = 1148h) [リセット = 00000000h]

図 23-82 に、OAR2 を示し、表 23-82 に、その説明を示します。

概略表に戻ります。

I2CT 独自アドレス 2 レジスタ。このレジスタは、I2C バス上の I2C デバイスの代替アドレスを識別する 7 ビットのアドレス フィールドで構成されます。

図 23-82. OAR2

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み	OAR2_MASK						
R-0h	R/W-0h						
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
OAR2EN	OAR2						
R/W-0h	R/W-0h						

表 23-82. OAR2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-23	予約済み	R	0h	
22-16	OAR2_MASK	R/W	0h	独自アドレス 2 マスク。このフィールドは、ターゲット アドレスのビット A6 ～ A0 を指定します。OAR2.OAR2_MASK フィールドの値が「1」のビットは、OAR2.OAR2 内の値に関係なく、対応する受信アドレス ビットがデフォルトで一致するようになります。つまり、対応する OAR2.OAR2 ビットは無視します。 0h = 最小値 7Fh = 最大値
15-8	予約済み	R	0h	
7	OAR2EN	R/W	0h	独自アドレス 2 イネーブル。 0h = 代替アドレスは無効です。 1h = OAR2 フィールドで代替アドレスを使用できるようになります。
6-0	OAR2	R/W	0h	独自アドレス 2。このフィールドは、代替 OAR2 アドレスを指定します。 0h = 最小値 7Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.2.27 OAR (オフセット = 114Ch) [リセット = 00004000h]

図 23-83 に、OAR を示し、表 23-83 に、その説明を示します。

概略表に戻ります。

I2CT 独自アドレス レジスタ。このレジスタは、I2C バス上の I2C デバイスを識別する 7 つのアドレス ビットで構成されています。

図 23-83. OAR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
モード	OAREN	予約済み				OAR	
R/W-0h	R/W-1h	R-0h				R/W-0h	
7	6	5	4	3	2	1	0
OAR							
R/W-0h							

表 23-83. OAR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	モード	R/W	0h	アドレッシング モード選択。このビットは、使用するアドレッシング モードを選択します。0 の場合、7 ビット アドレッシングを使用します。1 の場合、10 ビット アドレッシングを使用します。 0h = 7 ビット アドレッシングを有効にします 1h = 10 ビット アドレッシングを有効にします
14	OAREN	R/W	1h	独自アドレスを有効化。 0h = OAR アドレスを無効化します 1h = OAR アドレスを有効化します
13-10	予約済み	R	0h	
9-0	OAR	R/W	0h	独自アドレス。このフィールドは、ターゲット アドレスのビット A9 ～ A0 を指定します。7 ビット アドレッシング モードでは、OAR.MODE ビットで選択するように、上位 3 ビットは無視されます 0h = 最小値 3FFh = 可能な最大値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

23.4.2.28 TIMEOUT_CNT (オフセット = 1150h) [リセット = 00020002h]

TIMEOUT_CNT は、図 23-84 に示されており、表 23-84 で説明されています。

概略表に戻ります。

I2CT タイムアウト カウンタ。このレジスタは、タイムアウト カウンタ A および B の 12 ビット電流カウンタ値の上位 8 ビットを格納します。カウンタの下位 4 ビットはユーザーには表示されず、常に 0h です。

図 23-84. TIMEOUT_CNT

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								TCNTB								予約済み								TCNTA							
R-0h								R-2h								R-0h								R-2h							

表 23-84. TIMEOUT_CNT フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23-16	TCNTB	R	2h	タイムアウト カウンタ B の現在の数。このフィールドには、タイムアウト カウンタ B の 12 ビット現在カウンタ値の上位 8 ビットが格納されます 0h = 最小値 FFh = 可能な最大値
15-8	予約済み	R	0h	
7-0	TCNTA	R	2h	タイムアウトカウンタ A の現在の数。このフィールドには、タイムアウト カウンタ A の 12 ビット現在カウンタ値の上位 8 ビットが格納されます 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.2.29 TIMEOUT_CTL (オフセット = 1154h) [リセット = 00020002h]

TIMEOUT_CTL は、図 23-85 に示されており、表 23-85 で説明されています。

概略表に戻ります。

I2CT タイムアウト制御。このレジスタには、タイムアウトカウンタ A および B の制御が含まれています。

図 23-85. TIMEOUT_CTL

31	30	29	28	27	26	25	24
TCNTBEN	予約済み						
R/W-0h	R-0h						
23	22	21	20	19	18	17	16
TCNTLB							
R/W-2h							
15	14	13	12	11	10	9	8
TCNTAEN	予約済み						
R/W-0h	R-0h						
7	6	5	4	3	2	1	0
TCNTLA							
R/W-2h							

表 23-85. TIMEOUT_CTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TCNTBEN	R/W	0h	タイムアウト カウンタ B イネーブル。 0h = タイムアウト カウンタ B を無効化します 1h = タイムアウト カウンタ B を有効化します
30-24	予約済み	R	0h	
23-16	TCNTLB	R/W	2h	タイムアウト カウント B ロード。カウンタ B は SCL High の検出に使用されます。このフィールドには、タイムアウト カウンタ B のカウント用 12 ビット プリロード値の上位 8 ビットが格納されます。注:CNTLB の値は 1h より大きくなければなりません。各カウントは 1* クロック周期に等しくなります。たとえば、10MHz 機能クロックの場合、タイムアウト周期は 1*100ns に等しくなります。 0h = 可能な最小値 FFh = 可能な最大値
15	TCNTAEN	R/W	0h	タイムアウトカウンタ A イネーブル。 0h = タイムアウト カウンタ B を無効化します 1h = タイムアウト カウンタ B を有効化します
14-8	予約済み	R	0h	
7-0	TCNTLA	R/W	2h	タイムアウト カウンタ A のロード値。カウンタ A は SCL low の検出に使用されます。このフィールドには、タイムアウト A カウントの 12 ビット プリロード値の上位 8 ビットが含まれます。注:CNTLA の値は 1h より大きくなければなりません。各カウントは、機能クロックのタイムアウト周期の 520 倍に相当します。たとえば、8MHz 機能クロックと 100KHz で動作する I2C クロックの場合、1 つのタイムアウト周期は (1/8MHz) * 520 または 65us に等しくなります。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

23.4.2.30 PECCTL (オフセット = 1158h) [リセット = 00000000h]

図 23-86 に、PECCTL を示し、表 23-86 に、その説明を示します。

概略表に戻ります。

I2CT PEC 制御レジスタ。

図 23-86. PECCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			PECEN	予約済み			PECCNT
R-0h			R/W-0h	R-0h			R/W-0h
7	6	5	4	3	2	1	0
PECCNT							
R/W-0h							

表 23-86. PECCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	PECEN	R/W	0h	PEC イネーブル。このビットは、SMB パケット エラー チェック (PEC) をイネーブルします。イネーブルのとき、PEC は、START、ストップ、ACK、NACK を除くすべてのビットに対して計算されます。I2CT FSM がアイドル状態のとき、PEC 内部 LSFR および PECCNT は 0 に設定されます。この状態は、ストップ条件またはタイムアウト条件の後に発生します。また、PEC バイトの送信または受信後に、PECCNT も 0 に設定されます。PEC エラーが発生する PEC バイトの後に NACK が自動的に送信されることに注意してください。PEC 多項式は x^8 + x^2 + x^1 + 1 です。 0h = PEC の生成およびチェックは無効化されます 1h = PEC の送信およびチェックが有効です
11-9	予約済み	R	0h	
8-0	PECCNT	R/W	0h	PEC カウンタ。このフィールドが 0 でない場合、I2C データ バイトの数がカウントされます。バイト数 = PECCNT で、I2CT FSM が送信すると、TX FIFO から受信されたバイトではなく、内部 LSFR の内容がシフト レジスタにロードされます。FSM が受信されると、このバイトの最後のビットが LSFR に受信され、FSM がゼロでないことをチェックすると、PEC RX エラー割り込みが生成されます。送信と受信の両方の PEC バイトを含むように、I2C パケットをパディングする必要があります。送信モードでは、FIFO にダミーの PEC バイトをロードする必要があります。受信モードでは、PEC バイトは RX FIFO に渡されます。通常の使用例では、FW は PECEN = 1 と PECCNT = 0 に設定し、残りの SMBus パケット長がわかるまで ACKOEN を使用します。次に、FW は PECCNT を残りのパケット長 (PEC bye を含む) に設定します。次に、FW は、パケットがアシストなしで完了し、NACK モードを終了できるように DMA を構成します。バイト数 = PECCNT の場合、バイト数は 0 にリセットされ、1 つの I2C トランザクション内で複数の PEC 計算が自動的に発生する可能性があることに注意してください。 0h = 最小値 1FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

Chapter 24
UNICOMM-SPI

24.1 UNICOMM-SPI の概要 1386
24.2 SPI 動作 1389
24.3 UNICOMMSPI レジスタ 1406

Copyright © 2026 Texas Instruments Incorporated

24.1 UNICOMM-SPI の概要

このセクションでは、SPI として動作するように構成された UNICOMM モジュールの機能について説明します。特定の UNICOMM インスタンスのプロトコル モードは、の IPMODE レジスタの SELECT フィールドの設定によって決定されます。UNICOMM インスタンスが別のペリフェラルモード用に構成されている場合、その UNICOMM インスタンスの SPI 機能はディセーブルになり、すべてのレジスタ読み出しは 0 を返します。

UNICOMM-SPI (シリアル ペリフェラル インターフェイス) モジュールは、MSPM0 デバイスと、SPI インターフェイスを持つ他の外部デバイスとの間でデータを転送するための標準化されたシリアル インターフェイスを提供します。SPI モジュールは、SPI プロトコルを使用して MSPM0/M33 デバイスとその他の外部デバイス (センサ、メモリ、ADC、DAC など) 間でデータを転送するための標準化されたシリアル インターフェイスを提供します

24.1.1 ペリフェラルの目的

SPI モジュールは、ペリフェラル デバイスや他のコントローラとの同期シリアル通信用のコントローラまたはペリフェラル インターフェイスとして機能します。送信および受信パスは内部の独立した FIFO メモリでバッファされるため、16 ビット幅で最大 4 エントリが可能です。また、送信 FIFO と受信 FIFO とのデータ交換を可能にする DMA インターフェイスも備えています。

24.1.2 特長

UNICOMM モジュールの UNICOMM-SPI ペリフェラルモードには、次のような機能が含まれます。

- コントローラまたはペリフェラルとして構成可能
- プログラマブルなクロック ビット レートとプリスケーラ
- 送信 (TX) と受信 (RX) の個別のバッファ / 先入先出バッファ (FIFO)
  - バッファ / FIFO が利用できるかどうかは、選択したバリアント / オーバーレイによって異なります
- 4 ビットから 16 ビットまでのプログラム可能なデータ フレーム サイズ (コントローラ モード)
- データ フレーム サイズを 7 ビットから 16 ビットまでプログラム可能 (ペリフェラル モード)
- 送信および受信バッファ / FIFO の割り込み、オーバーランおよびタイムアウト割り込み、DMA 完了割り込み
- プログラム可能な SPI モードは、Motorola SPI またはテキサス インスツルメンツ フレーム形式をサポート
- 送信パスと受信パスの両方で、シングルビット パリティをサポート
- ダイレクト メモリ アクセス コントローラ インターフェイス (DMA)
  - 送信用と受信用でチャネルを分離
  - 転送完了割り込み

表 24-1. SPI バリアントと特長

特長	基本	高度
コントローラ / ペリフェラル モード	有	有
コントローラ:4 ～ 16 ビットのターゲット:7 ～ 16 ビット	有	有
パリティ	有	有
反復モード	無	有
受信タイムアウト	無	有
コマンド / データ制御	無	有
4 つのチップ セレクトのサポート	無	有
FIFO	デバイスのデータシートを参照	デバイスのデータシートを参照
DMA	デバイスのデータシートを参照	デバイスのデータシートを参照

Copyright © 2026 Texas Instruments Incorporated

24.1.3 機能ブロック図

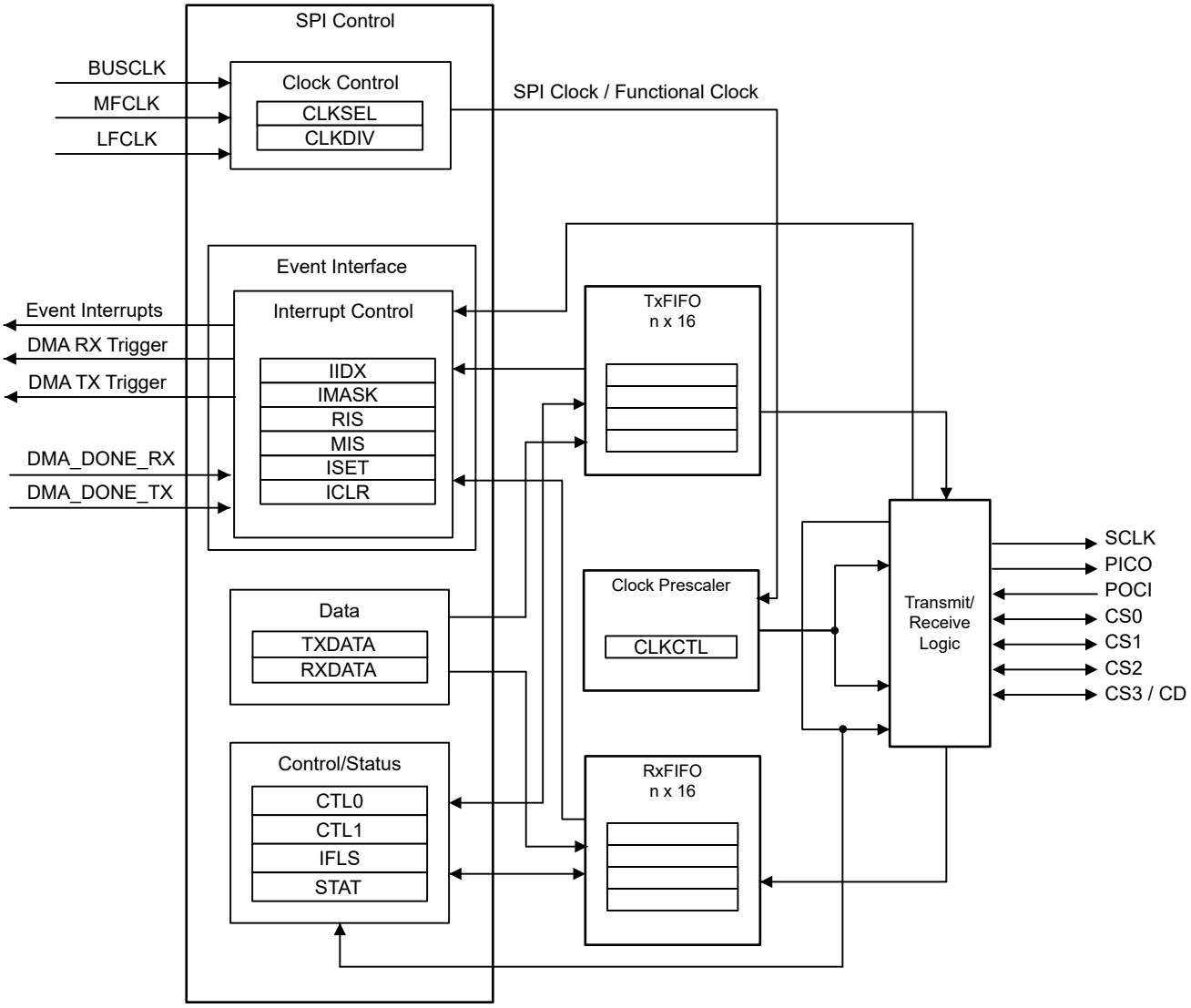


図 24-1. SPI の機能ブロック図

24.1.4 外部接続と信号の説明

図 24-2 と 表 24-2 に、SPI モジュールのさまざまな動作モードのピン機能の概要を示します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

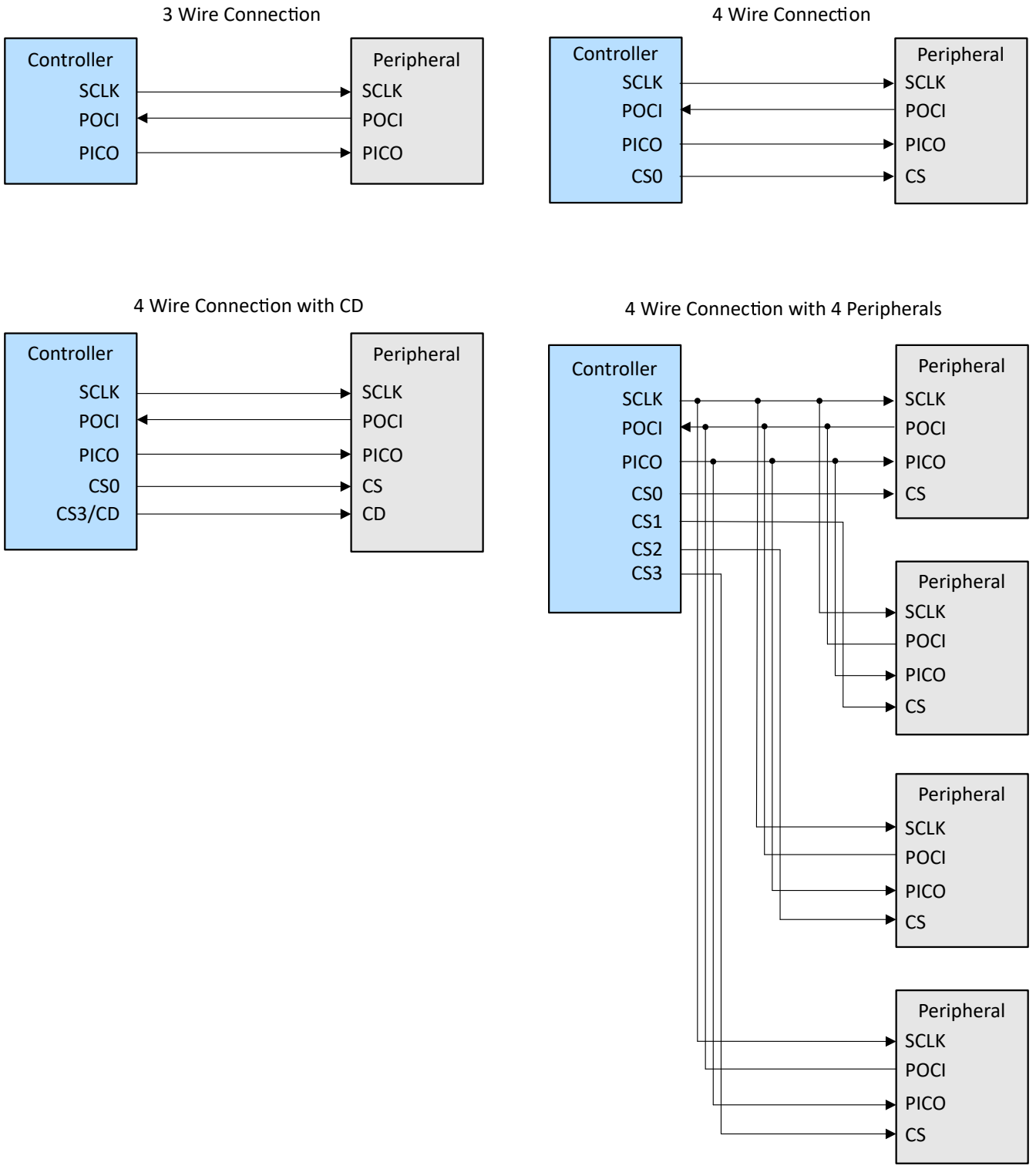


図 24-2. 異なる SPI 構成に対する外部接続

Copyright © 2026 Texas Instruments Incorporated

表 24-2. ピン機能の概要

標準 SPI	特長
SCLK	**SPI クロック** コントローラ モード:SCLK は出力です ペリフェラル モード:SCLK は入力です
PICO	**コントローラ出力、ペリフェラル入力** コントローラ モード:PICO は、データ出力ラインです ペリフェラル モード:PICO は、データ入力ラインです
POCI	**コントローラ入力、ペリフェラル出力** コントローラ モード:POCI は、データ入力ラインです ペリフェラル モード:POCI は、データ出力ラインです
CS0	チップ セレクト信号 0 (4 ピン モードで使用)
CS1	チップ セレクト信号 1 (4 ピン モードで使用)
CS2	チップ セレクト信号 2 (4 ピン モードで使用)
CS3/CD	チップ セレクト信号 3 またはコマンド / データ (4 ピン モードで使用)

UNICOMM の場合、コントローラ モードでタイミング要件を満たすには、チップ セレクトとクロックを IO からループバックする必要があります。これにより、SoC 内の IO 遅延が補償されます。デバイスの IOMUX レベルでは、CS および SCLK INENA ビットを設定する必要があります。

24.2 SPI 動作

24.2.1 クロック周波数サポート

コントローラ モードおよびペリフェラル モードでサポートされる UNICOMM-SPI の最大周波数は、デバイス クロック オプションおよび I/O オプションによって異なります。詳細の仕様については、デバイス特有のデータ シートを参照してください。

コントローラ モードとペリフェラル モードの両方で、SPI クロック周波数に制限があります:サポート可能な SPI 周波数は、受信クロック周波数の半分の値です。

- BUSCLK は、レジスタのプログラミング、FIFO、割り込み生成、SPGDMA 用、つまり SPGSS 内のすべての素子に使用されます。
- UNICOMM SPI には、選択したクロックソースに応じて独自のクロックがあり、FSM およびその他のロジックは、選択されたクロック (機能クロック) をオフにします

UNICOMM-SPI の内部機能クロックは、UNICOMM への入力クロックから選択および分周されます。

- CLKSEL レジスタを使用して機能クロックのソースを選択します。サポートされているクロックについて各モジュールをチェックします。
- CLKDIV レジスタを使用して、機能クロックの分周比を選択します。

選択したソース クロックは常に利用可能であり、周波数は選択した電力モードによって異なります。詳細については、*Clock Module* を参照してください。

24.2.1.1 SPI クロックの生成

SPI には、シリアル出力クロック (SCLK) を生成するための、プログラム可能なビット レート クロック分周器とプリスケーラが搭載されています。

サポートされるビット レートは、入力クロックを 2 で割った値までです。入力クロックの選択はデバイスによって異なります。デバイスのデータシートおよび *Clock Frequency Support* セクションを参照してください。

SPI クロックは、CLKDIV レジスタで選択された分周比に従って分周された後の出力です。

SPI クロック = 選択された入力クロック / (1 + CLKDIV)

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

SPI サンプリング クロック (SCLK) は、SPI クロックをプリスケーラ値で分周した後の出力です。

SCLK = SPI クロック / ((1 + SCR) * 2)

CLKDIV によって倍率 2 (*2) が設定されている場合、入力クロックは SPI クロックの少なくとも 2 倍の速度である必要があります。

24.2.2 一般アーキテクチャ

24.2.2.1 チップの選択とコマンドの処理

24.2.2.1.1 チップ セレクト制御

UNICOMM-SPI は、CTL1.CP ビットを 1 に設定するとコントローラ モードに、CTL1.CP ビットをクリアするとペリフェラル モードに設定できます。

CTL0.CSSEL ビットは、最大 4 つの CS 信号によって接続されたペリフェラルがアドレス指定されるかを選択します。これらのビットは、コントローラ モードまたはターゲット / ペリフェラル モードで動作する UNICOMM-SPI モジュールによって制御されます。選択した信号は転送中に制御されます。

4 線式モードでは、コントローラがチップ セレクト信号を供給する必要があります。チップ セレクトの極性は、PINCM.CSx.INV レジスタを設定することで反転できます。

ペリフェラル モードでは、クロックがコントローラから供給され、ペリフェラルがデータをキャプチャするために使用されます。ペリフェラルは、3 線式または 4 線式モードで動作させるオプションを備えています。4 線式モードでは、CS がアクティブになっている場合のみデータ転送を受け入れます。

CTL0.CSCLR ビットがセットされている場合、CS が非アクティブ状態になると、送信 / 受信シフト レジスタ カウンタが自動的にクリアされます。Motorola 4 線式を使用する場合は、以下の制約事項に従ってください:

- CS ピンを再アサートする前に、CS の無効化期間を機能クロックの 2 サイクルより長くする必要があります
- CS リード時間 (CS がアクティブから最初のビット クロック エッジまで) は、2 SPI 機能クロック サイクル以上である必要があります。

これらの制約に従うと、クロック ラインの干渉やグリッチが発生した場合や初期化時に、ペリフェラルはコントローラと再度同期するのに役立ちます。このビットは、ペリフェラル モードにのみ関連します。

- CTL0.CSCLR = 0:CS 信号がペリフェラルを無効にすると、送信 / 受信ビット カウンタ状態が保持されます。
- CTL0.CSCLR = 1:CS 信号がペリフェラルを無効にすると、送信 / 受信ビットカウンタはクリアされます。

注

CSCLR 機能で SPI 内のビット カウンタを正しく検出してクリアするには、CS 無効化パルス幅を SPI 機能クロックの 2 サイクルより長くする必要があります。CS リード時間 (CS がアクティブから最初のビット クロック エッジまで) も、SPI 機能クロック サイクルの 2 回以上である必要があります。UNICOMM-SPI モジュールは、非同期クロック要求生成をサポートしていません。

24.2.2.2 コマンド データ制御

Motorola フレーム フォーマットを使用する場合、CDMODE ビットをセットすると、CS3/CD ラインをコマンド情報とデータ情報を識別するための信号として使用できます。これは多くの場合、LCD またはデータ ストレージ デバイスに使用されます。

- CD レベル low:コマンド機能
- CD レベル high:データ機能

CTL1.CDMODE は、バイト数を指定するために 1 ～ 14 の値で書き込むことができ、SPI が送信した特定のバイト数の間、CD ラインは Low になります。最初に送信される次の値から始まります。バイト数が送信されると、CD は自動的に

Copyright © 2026 Texas Instruments Incorporated

High になります。値 0xF がセットされている場合、C/D は永続的に Low のままです。値を 0 にすると、現在の文字が送信された直後に CD ラインが High に設定されます。

このオプションは、コントローラ モードでのみ使用できます。CTL1.CDENABLE は、SPI モジュールが無効化されているときにのみ更新できます。CTL1.CDMODE は、異なるデータ パッケージ間で更新できます。CTL1.CDMODE で新しい値を設定する前に、CDENABLE または SPI イネーブルを無効に設定すると、カウンタはリセットされます。FIFO ステータスは空であることを確認する必要があります。

CTL1.CDMODE に新しい値を書き込むと、内部カウンタはリセットされ、新しい値がカウントに使用されます。カウンタが 0 にカウント ダウンされ、新しいコマンド パッケージを送信する必要がある場合、CDMODE を再度セットする必要があります。それ以外の場合、CD ピン信号データ モードで次のデータが送信されます。

CTL1.CDMODE は、アプリケーションによって最後に書き込まれた値を保持します。このフィールドはハードウェアによって更新されません。STAT.CDMODE は内部カウンタ値を反映します。

24.2.2.3 データ フォーマット

制御ビット CTL1.CP B は、最上位ビット (MSB) または最下位ビット (LSB) ファーストを使用して、データ入力および出力の方向を定義します。パリティが有効な場合、パリティ ビットは常に最後のビットとして受信されます。

制御レジスタ ビット CTL0.DSS により、一回の転送あたりのビット長は、コントローラ モードでは 4 ～ 16 ビット、ペリフェラル モードでは 7 ～ 16 ビットに設定されます。

TX バッファ レジスタへの書き込みにより転送がトリガされます。データの書き込みには、転送のビット数以上が必要です。たとえば、TX バッファにバイトだけが書き込まれ、転送の長さが 8 を超えている場合、不足しているビットは 0 で満たされます。受信パスでは、CTL0.DSS レジスタで定義されたビット数の受信が完了すると、受信データが RX FIFO または RX バッファに転送されます。

RX バッファおよび TX バッファは、少なくとも一回の転送をカバーするビットを使用してアクセスする必要があります。

- 4 ～ 8 ビット: バイト アクセス (ペリフェラル モード: 7 ～ 8 ビット)
- 9 ～ 16 ビット: 16 ビット アクセス

クロック極性 (CTL0.SPO) は、データが転送されていないときのクロック極性を制御するために使用され、Motorola SPI フレームモードでのみ使用されます。

- 0h = データ転送が行われていない間、ペリフェラルは CLKOUT ピンに定常的な LOW レベルを出力します。
- 1h = ペリフェラルは、データ転送が行われていない間、CLKOUT ピンを定常的な HIGH レベルに保持します。

クロック位相ビット (CTL0.SPH) は、データを取り込むクロック エッジを選択し、データの状態変更が可能なタイミングを決定します。最初のデータをキャプチャするエッジの前にクロック遷移を許可または許可しないことで、送信された最初のビットに最も影響を及ぼします。図を確認するには、Motorola SPI フレームモードのセクションを参照してください。

- 0h = データは、最初のクロック エッジ遷移時にキャプチャされます。
- 1h = データは、二番目のクロック エッジ遷移時にキャプチャされます。

SPI は、CTL1.CP ビットを 0 に設定することで、ペリフェラル モードで動作するように構成できます。ペリフェラル モードでは、クロックはコントローラから供給され、入力として設定された CLK ピンを介してペリフェラルに入力されます。クロック選択と分周器の制御ビットは使用しません。CS 入力信号は、4 線式モードでペリフェラルのデータ受信パスを選択およびイネーブルします。

SPI は、CTL1.CP のビット = 1 でコントローラとして動作するように構成できます。コントローラ モードでは、クロック選択ビットを使用して使用可能なクロック ソースを選択することによりクロックを生成する必要があります。また、選択したプロトコルに応じて CS 信号を制御する必要もあります。

CTL1.PEN ビットを設定すると、最後のビットがパリティ ビットとして使用され、それ以前のビットの整合性が検査されます。CTL1.PES ビットでは、パリティ モードとして偶数または奇数を選択します。故障を検出すると、割り込みフラグ RIS.PER が設定され、データが無効としてマークされます。パリティ チェックは、通信の堅牢性を向上させる機能です。

Copyright © 2026 Texas Instruments Incorporated

24.2.2.4 遅延データ サンプリング

実行時の条件による遅延を伴って入力データが POCI ピンに到達すると、次の入力データ サンプリング段階のサンプリング クロック エッジで前のデータがサンプリングされます。このような状態を補償するため、遅延サンプリングは CLKCTL.DSAMPLE ビットで有効化できます。遅延サンプリングはコントローラ モードでのみ使用できます。この遅延は、制御レジスタビット CLKCTL.DSAMPLE を設定することで、SPI 入力クロック ステップに従って調整できます。最大許容遅延は 1 データ フレームの長さを超えないようにする必要があります。

CLKCTL.DSAMPLE をゼロに設定した場合、遅延サンプリングは使用されません。

24.2.2.5 DMA 動作

このセクションは、SPI-DMA 機能をサポートする UNICOMM-SPI 構成に適用されます。

UNICOMM-SPI は、送信ラインと受信ラインが分離された DMA モジュールとのインターフェイスを提供します。SPI の DMA 動作は、SPI DMA イベントおよび DMA モジュール レジスタを介してイネーブルされます。DMA 動作がイネーブルな場合、関連する FIFO がデータを転送できる状態になったときに、SPI は、受信または送信チャネルに DMA 要求をアサートします。DMA 転送要求は、DMA チャネルの構成 (バースト サイズ、転送サイズ、ソース アドレスなど) に基づいて、DMA コントローラによって自動的に処理されます。

- 受信チャネルの場合、受信 FIFO に IFLS レジスタの RXIFLSEL ビットによって設定された FIFO トリガ レベル以上が含まれているとき、DMA 転送要求がアサートされます。
- 送信チャネルについては、送信 FIFO 内の文字数が、IFLS レジスタの TXIFLSEL ビットで設定された FIFO トリガ レベルを下回るたびに、DMA 転送要求がアサートされます。

DMA 割り込みとイベントの詳細については、セクション 24.2.14.2 を参照してください。

24.2.3 FIFO 動作

UNICOMM-SPI モジュールには、深度を設定可能な二つの FIFO (送信用および受信用にそれぞれ一つ) があります。FIFO には、TXDATA レジスタおよび RXDATA レジスタを介してアクセスします。

24.2.3.1 FIFO サイズ

FIFO の幅はパッキングなしで 16 ビット、パッキング付きで 32 ビットです。FIFO サイズの詳細については、デバイスのデータシートを参照してください。

24.2.3.2 FIFO ステータス ビット

UNICOMM-SPI モジュールは、以下の FIFO ステータス ビットをサポートしています。

- 受信 FIFO フル:すべての要素が格納されている
- 受信 FIFO 空:HEAD 内に要素がない
- 送信 FIFO フル:すべての要素が格納されている
- 送信 FIFO 空:FIFO 内に要素がない

この他に、FIFO クリア ステータス (RXCLR/TXCLR) も存在します (「FIFO の内容のクリア」を参照)。

24.2.3.2.1 FIFO スレッショルド設定に基づく RIS.RX

メッセージが受信されると、RX FIFO はすぐに入力されます。使用可能なスレッショルドは次のとおりです:

1. RX FIFO フル:すべての要素にデータが格納されている状態
2. RX_FIFO >= ¼ フル
3. RX_FIFO >= ½ フル
4. RX_FIFO >= ¾ フル
5. RX_FIFO がほぼ空:<= 1 要素
6. RX_FIFO がほぼフル:>= (N-1) 要素
7. **RX_FIFO が空ではありません:空の反対です**

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.2.3.2.2 FIFO スレッショルド設定に基づく RIS.TX

送信側では、CPU/DMA マスタによってデータが FIFO の最上位の空きエントリに書き込まれ、その後シリアライザへ転送されます。スレッショルドは、FIFO に書き込むことができる要素ごとの値です。

1. TX_FIFO empty：FIFO に要素がないとき
2. TX_FIFO <= ¾ が空き
3. TX_FIFO <= ½ が空き
4. TX_FIFO <= ¼ が空き
5. TX_FIFO がほぼ空：<= 1 要素
6. TX_FIFO がほぼフル：>= (N-1) 要素
7. **TX_FIFO がフルではありません：フルの反対です**

注

IFLS 設定には「FIFO がほぼ空」および「FIFO がほぼフル」の受信オプションが用意されていますが、これらはウォーターマーク設定に基づくフラグの生成や DMA の使用目的では使用しないでください。アプリケーションでは、正しい FIFO スレッショルドを使用する必要があります。

注

デバッガによる読み取りでは、FIFO の内容がポップされないようにする必要があります。ただし、送信 FIFO へのデバッガによる書き込みは、有効なエントリとして扱われる必要があります。

24.2.3.3 FIFO の内容のクリア

FIFO の内容をクリアするには、次のシーケンスを使用する必要があります：

- CLR 制御ビット (TXCLR/RXCLR) に「1」を書き込みます。
- クリア処理が完了するまで待機します。すなわち、CLR ステータス ビットが「1」を示していることを確認します。CLR ステータス ビットが「1」を示すまで、ポーリングまたは確認を行います。
- CLR 制御ビット (TXCLR/RXCLR) に「0」を書き込みます。

注

FIFO クリアが開始された場合、再度クリアしようとしないでください。

注

FIFO にデータが格納されている状態で FIFO レベルを不用意に変更すると、意図しない動作が発生する可能性があります。FIFO スレッショルドを変更する前に、FIFO をクリアすることをお勧めします。

24.2.3.4 ハードウェアが空、フル、オーバーフローの状態を監視します

STAT レジスタには空およびフル フラグ (TXFE、TXFF、RXFE、および RXFF ビット) が含まれており、RIS レジスタは RXFIFO_OVF ビットを介して受信 FIFO のオーバーフロー を示します。送信 FIFO オーバーフローのインジケータはありません。送信 FIFO をオーバーフローすると、書き込みは失われます。FIFO が存在しない場合、深さ 1 バイトの保持レジスタのステータスに応じて空フラグとフル フラグが設定されます。

注

FIFO がいっぱいになると、データは失われ、オーバーフロー フラグビット がセットされます。

リセット状態から復帰すると、両方の FIFO はハーフ レベル マークで割り込みをトリガするように構成されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

FIFO 内のデータを使用して送信中にソフトウェアがモジュールをディスエーブルしてから再度イネーブルする場合、FIFO の整合性は保証されません。

注

モジュールがリセットされると、FIFO の内容もクリアされます。

24.2.4 通信の中断

中断はモジュールにとって極端な動作状態であるため、アプリケーションは以下の条件が満たされていることを確認したうえで、このモードに移行する必要があります。中断制御ビットをセットすると、アプリケーションは外部通信を一時停止することができます。

中断を設定すると、進行中の通信が完了し、FSM はアイドルに戻り、それ以後の外部通信が停止します。送信回線はアイドル状態に駆動され、受信回線のオン / オフは処理されません。これにより、モジュールを無効にする前に、アプリケーションが動作を中断し、受信 FIFO をクリアするための安全な手段が提供されます。

注

Suspend ビットは、モジュールを再度有効化する前にクリアする必要があります。

UNICOMM-SPI モジュールを中断 / 無効にするには、次の手順に従います:

1. SPI-BUS コントローラは、ターゲットがアイドル状態に確実に到達できるようにする必要があります (SPI アイドル状態要件を参照)
2. ハードウェアは、進行中のトランザクションが確実に完了するようにします。送信動作の場合、ハードウェアがアイドル状態を発生させる前に、FIFO のすべての内容が送信されます
3. 中断ビットをハードウェアに書き込んだ後、CPU はステータス フラグをポーリングして、デバイスがアイドル状態に到達したことを確認する必要があります
4. 受信 FIFO を空にします
5. UNICOMM-SPI モジュールを無効にします

モジュールを中断状態にするか無効にした後も、レジスタ設定は保持されます。モジュールを再度有効にするには、以下の手順に従って通信を再開できます:

1. 中断ビットをクリアします
2. UNICOMM-SPI モジュールを再度有効にします

24.2.4.1 SPI IDLE 状態の要件

UNICOMM-SPI モジュールの IDLE 状態に到達するには、次の手順に従います。

1. コントローラ側:「CS」がアイドル状態に戻っていることを確認します
2. ペリフェラル側:IDLE 状態を反映する前に、「CS」がアイドルとしてリード バックされることを確認します

アプリケーションは、SUSPEND をアサートする前に、アイドル状態に達することができることを確認する必要があります。例:

1. コントローラ モード:フレーム全体、つまりすべてのコマンドとデータが送信されることを確認します
2. ターゲット モード:フレーム全体が受信 / 送信されていることを確認します

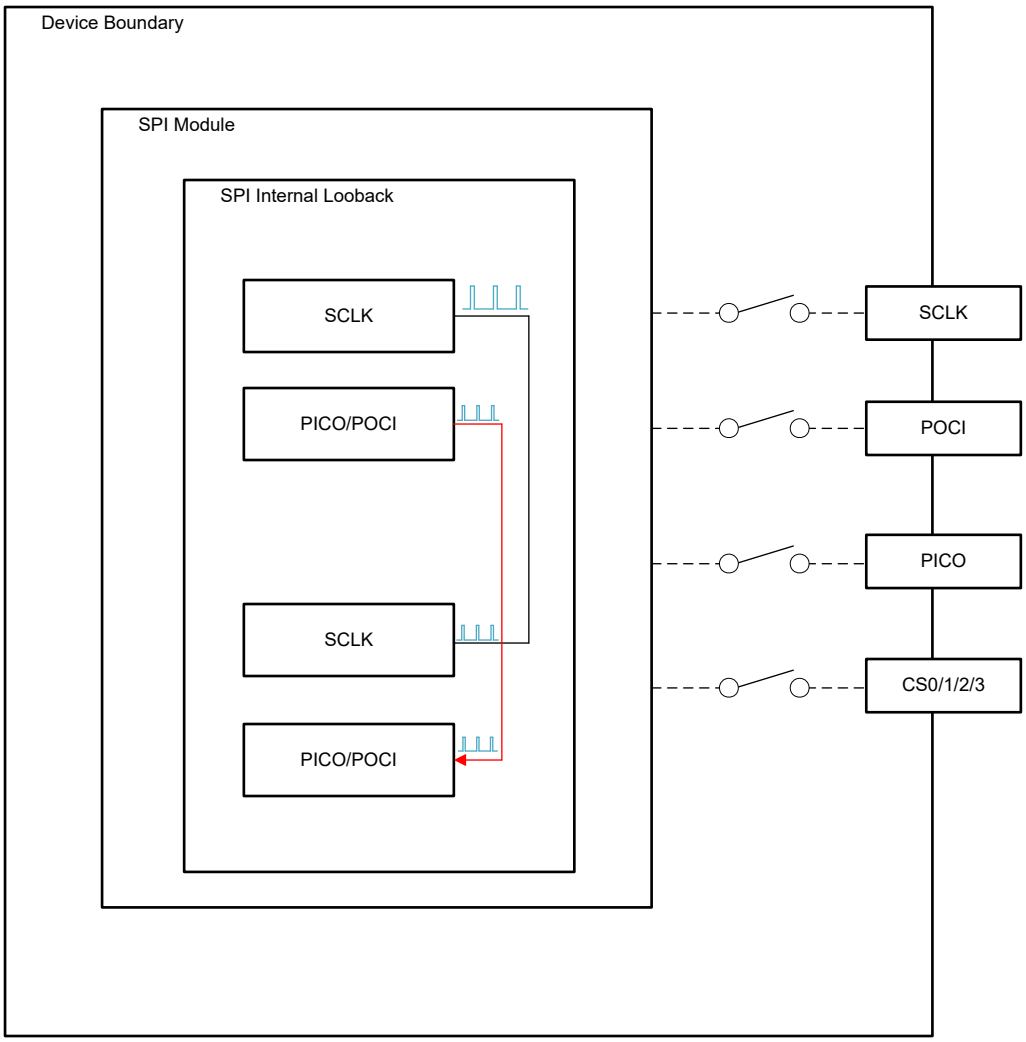
24.2.5 内部ループバック動作

CTL1 レジスタの LBM ビットを設定することで、UNICOMM-SPI モジュールを診断やデバッグ作業用の内部ループバック モードに切り替えることができます。ループバック モードでは、TX FIFO からのデータを RX FIFO にシリアル送信でき

Copyright © 2026 Texas Instruments Incorporated

ます。RX FIFO からのデータを読み取ることで、送信が発生したかどうかを判断できます。モジュールが内部ループバックモードに設定されている場合、IO の外部からの切り替えは効果がありません。

内部ループバック モード



24.2.6 反復転送モード

この機能は、CTL1.REPEATTX ビットを使用することでコントローラ モードでのみ使用できます。レジスタ ビットでの定義に従って、送信された最後の文字が繰り返されます (CTL1 の値は 0 です。REPEATTX ビットは、このモードをディスエーブルにします)。

転送は、TX バッファにデータを書き込むことで開始されます。その後、同じ値でデータが繰り返し送信されます。この動作は、ここの値で定義されているように、データが何度も TX バッファに書き込まれた場合の動作と同じです。このコマンドは、転送をクリーニングしたり、ペリフェラルから特定の量のデータをプルしたりするために使用できます。

REPEATTX を使用する場合は、バッファ / FIFO 内のデータと整合させる必要があります。そのため、以下に示すシーケンスを使用する必要があります。

- FIFO が空になるまで待ち、チェックします。または、FIFO をクリアします
- REPEATTX をセットアップします
- TXDATA/FIFO に書き込みます
- 要求されたデータが受信されるまで待ちます

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.2.7 受信タイムアウト

ペリフェラル モードでは、アプリケーションは CTL1.RXTIMEOUT と CLKCTL.SCR をプログラムすることで受信タイムアウトを検出できます。受信タイムアウトは、最後のアクティブ クロック エッジからプログラムされたタイムアウト期間までの時間として計算されます。FIFO に値が格納された状態で、受信タイムアウト期間が経過した場合、受信タイムアウト フラグがセットされます。

受信タイムアウト期間の計算

- タイムアウト計算用のクロック周期 = SPI クロック / (2*(1 + SCR))
- タイムアウト期間 = CTL1.RXTIMEOUT * タイムアウト計算用のクロック周期

24.2.8 ライン タイムアウト

UNICOMM-SPI モジュールには、追加のビットとして LTOUT (LINE タイムアウト) が用意されています。ペリフェラル モードでは、最後のトランザクションの後、受信タイムアウト期間内に新しいトランザクションが検出されない場合、FIFO / バッファの内容に関係なく、ライン タイムアウト割り込み (LTOUT) がセットされます。

24.2.9 プロトコルの記述

プロトコル形式モードは、CTL0.FRF レジスタを使用して選択できます。サポートされるオプションは、Motorola 3 線式、Motorola 4 線式、および Texas Instruments Synchronous です。

24.2.9.1 Motorola SPI フレーム フォーマット

Motorola SPI インターフェイスは 4 線式インターフェイスで、CS 信号がペリフェラル選択として動作します。3 線式モードでは CS 信号は不要で、モジュールは常に選択されているかのように動作します。Motorola の SPI 形式の主な特長は、SPIx.CTL0 制御レジスタの SPO ビットと SPH ビットを使用して、SCLK 信号の非アクティブ状態と位相をプログラムできることです。

SPO クロック極性ビット

CTL0.SPO クロック極性制御ビットがクリアされている場合、データ転送が行われていないとき、このビットは SCLK ピンを定常的に Low レベルにします。CTL0.SPO ビットが設定されている場合、データが転送されていないとき、このビットは SCLK ピンに定常状態の High の値を出力します。

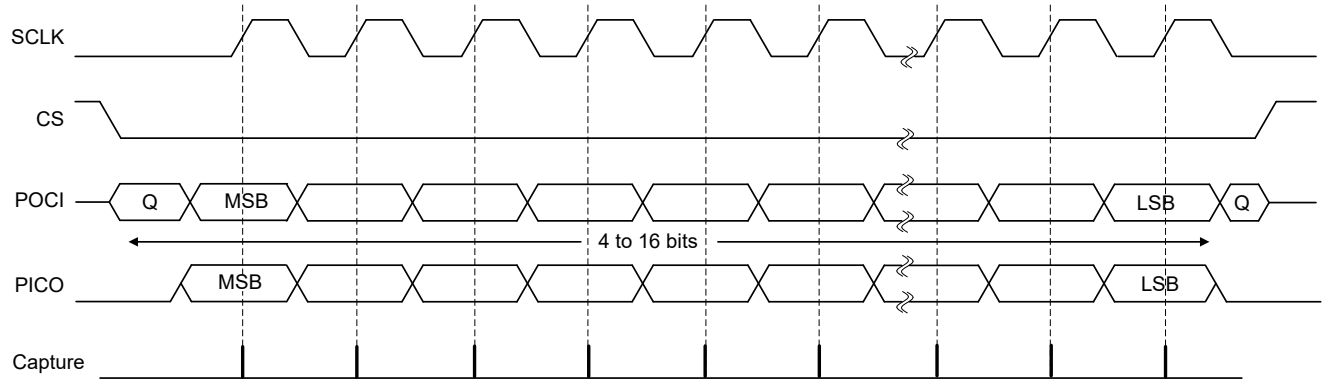
SPH 位相制御ビット

CTL0.SPH 位相制御ビットは、データをキャプチャするクロック エッジを選択し、状態の変更を許可します。このビットの状態は、最初のデータをキャプチャするエッジの前にクロック遷移を許可または許可しないことで、送信された最初のビットに最も影響を及ぼします。CTL0.SPH 位相制御ビットがクリアされた場合、最初のクロック エッジ遷移時にデータがキャプチャされます。SPH ビットが設定されている場合、2 番目のクロック エッジ遷移時にデータがキャプチャされます。

SPO = 0 および SPH = 0 での Motorola SPI フレームフォーマット

図 24-3 は、SPO = 0 および SPH = 0 の Motorola SPI 形式の信号シーケンスを示しています。

Copyright © 2026 Texas Instruments Incorporated



Q is undefined

図 24-3. SPO = 0 および SPH = 0 での Motorola SPI フォーマット

この構成では、アイドル期間中に以下の処理が行われます。

- SCLK は Low に強制
- CS は High に強制
- 送信データ ライン PICO は任意に Low に強制
- SPI がコントローラとして構成されている場合、SCLK ピンをイネーブルにします
- SPI がペリフェラルとして構成されている場合、SCLK ピンはディスエーブルになります

SPI がイネーブルにされており、TX FIFO に有効なデータがある場合、CS コントローラ信号は送信開始時に Low に駆動され、ペリフェラルからコントローラの POCI 入力ラインへのデータ出力が有効になります。コントローラ PICO 出力ピンはイネーブルです。

SCLK の 1/2 周期後、有効なマスタ データが PICO ピンに転送されます。コントローラ データとペリフェラル データが両方とも設定されると、SCLK コントローラ クロック ピンは、さらに SCLK の 1/2 周期が経過した後に High になります。これで、データは SCLK 信号の立ち上がりエッジでキャプチャされ、立ち下がりエッジで伝搬されるようになりました。

単一ワード送信では、データ ワードのすべてのビットが転送された後、最後のビットがキャプチャされてから 1 SCLK 周期後に、CS ラインが IDLE High 状態に戻ります。連続バックツーバック送信の場合、SPH ビットがクリアされていると、ペリフェラル 選択ピンはシリアル ペリフェラル レジスタ内のデータを固定し、データの変更を阻止するため、CS 信号は各データ ワード転送の間で High にパルスする必要があります。コントローラ デバイスは、シリアル ペリフェラル データ書き込みを有効にするため、各データ転送の間にペリフェラル デバイスの CS ピンを High にする必要があります。連続転送が完了すると、最後のビットがキャプチャされてから、SCLK の 1 周期後に、CS ピンは IDLE 状態に戻されます。

SPO = 0 および SPH = 1 での Motorola SPI フレームフォーマット

図 24-4 は、SPO = 0 および SPH = 1 の場合の Motorola SPI 形式の信号シーケンスを示しています。

Copyright © 2026 Texas Instruments Incorporated

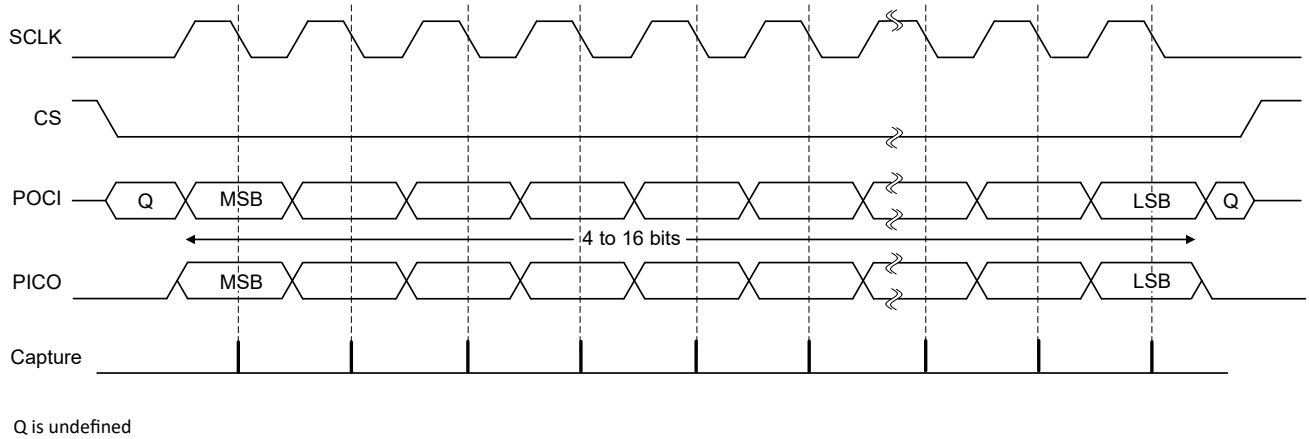


図 24-4. SPO = 0 および SPH = 1 での Motorola SPI フレームフォーマット

この構成では、アイドル期間中に以下の処理が行われます。

- SCLK は Low に強制
- CS が強制
- 送信データ ライン PICO は任意に Low に強制
- SPI がコントローラとして構成されている場合、SCLK ピンをイネーブルにします
- SPI がペリフェラルとして構成されている場合、SCLK ピンはディスエーブルになります

SPI イネーブル がで、かつ TX FIFO に有効なデータが存在する場合、送信開始時に CS コントローラ信号が Low になります。また、コントローラの PICO 出力がイネーブルになります。SCLK の 1/2 周期が追加された後、コントローラとペリフェラルの両方の有効データがそれぞれの送信ラインに対して有効になります。同時に、SCLK が立ち上がりエッジ遷移で有効化されます。その後、データは SCLK 信号の立ち下がりエッジでキャプチャされ、立ち上がりエッジで伝搬されます。

シングルワード転送の場合、すべてのビットが転送された後、最後のビットがキャプチャされてから、SCLK の 1 周期後に、CS ラインは IDLE High 状態に戻されます。連続双方向転送の場合、連続するデータ ワードの間で CS ピンは Low のまま保持され、シングルワード転送と同じように転送が終了します。

SPO = 1 および SPH = 0 での Motorola SPI フレームフォーマット

図 24-5 は、SPO = 1 および SPH = 0 の Motorola SPI 形式の信号シーケンスを示しています。

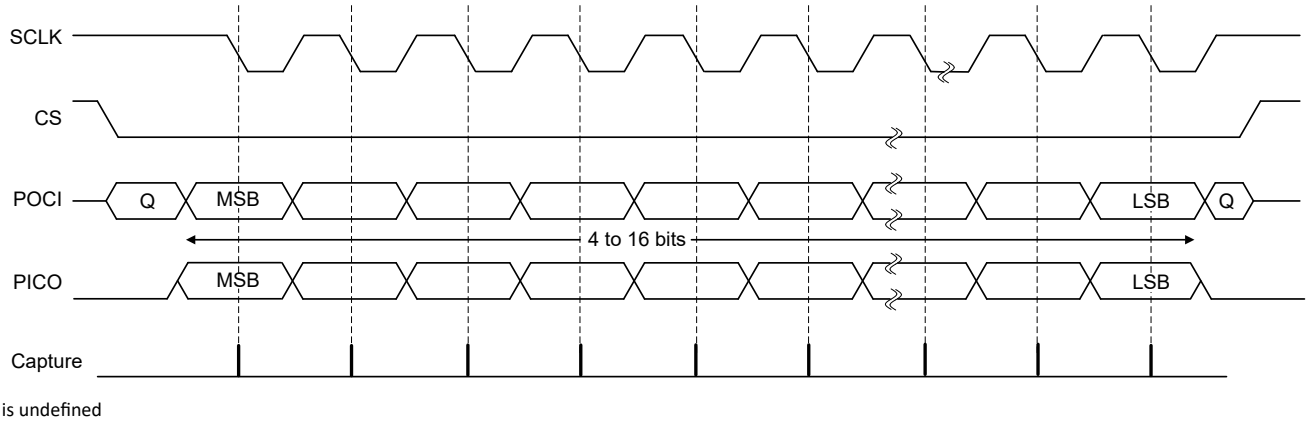


図 24-5. SPO = 1 および SPH = 0 での Motorola SPI フレームフォーマット

この構成では、アイドル期間中に以下の処理が行われます。

- SCLK は High に強制
- CS は High に強制

Copyright © 2026 Texas Instruments Incorporated

- 送信データ ライン PICO は任意に Low に強制
- SPI がコントローラとして構成されている場合、SCLK ピンをイネーブルにします
- SPI がペリフェラルとして構成されている場合、SCLK ピンはディスエーブルになります

SPI がイネーブルで、かつ TX FIFO に有効なデータがある場合、送信開始時に SPI の CS 制御信号が Low になり、ペリフェラルのデータが直ちにコントローラの POCI ラインへ転送されます。コントローラ PICO 出力ピンはイネーブルです。

SCLK の 1/2 周期後に、有効なコントローラ データが PICO ラインに転送されます。コントローラ データとペリフェラル データの両方が設定されると、さらに SCLK の 1/2 周期後に SCLK コントローラ クロック ピンが Low になります。データは SCLK 信号の立ち下がりエッジでキャプチャされ、立ち上がりエッジで伝搬されます。

単一ワード送信では、データ ワードのすべてのビットが転送された後、最後のビットがキャプチャされてから 1 SCLK 周期後に、CS ラインが IDLE High 状態に戻ります。連続するバックツーバック送信では、各データ ワード転送の間に CS 信号を High にパルスする必要があります。これは、SPH ビットがクリアされている場合、ペリフェラル選択ピンによってシリアル ペリフェラル レジスタ内のデータが固定され、変更されないようにするためです。コントローラ デバイスは、シリアル ペリフェラル データ書き込みを有効にするため、各データ転送の間にペリフェラル デバイスの CS ピンを High にする必要があります。連続転送が完了すると、最後のビットがキャプチャされてから 1 SCLK 周期後に、CS ピンは IDLE 状態に戻ります。

SPO = 1 および SPH = 1 での Motorola SPI フレームフォーマット

図 24-6 は、SPO = 1 および SPH = 1 の場合の Motorola SPI 形式の信号シーケンスを示しています。

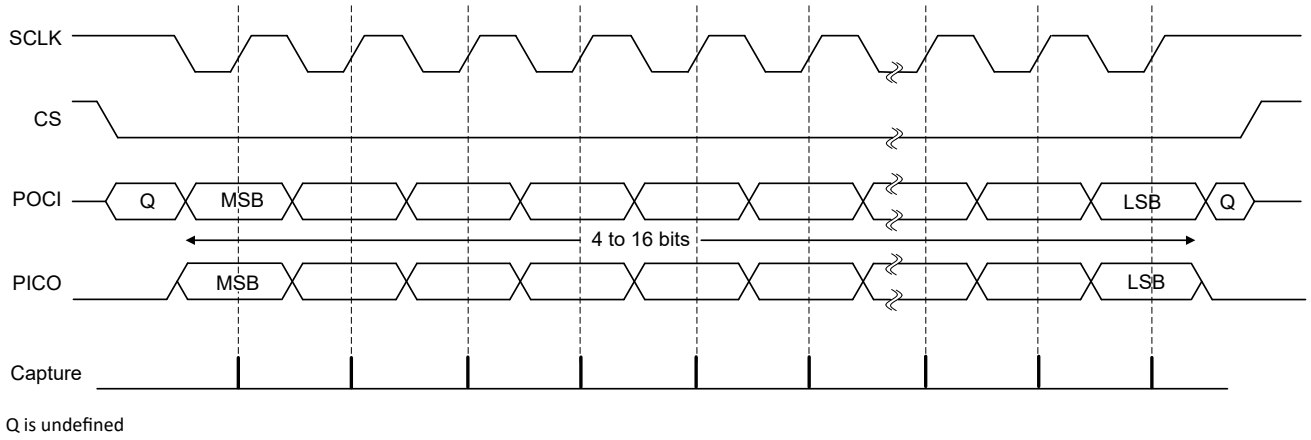


図 24-6. SPO = 1 および SPH = 1 での Motorola SPI フレームフォーマット

この構成では、アイドル期間中に以下の処理が行われます。

- SCLK は High に強制
- CS は High に強制
- 送信データ ライン PICO は任意に Low に強制
- SPI がコントローラとして構成されている場合、SCLK ピンをイネーブルにします
- SPI がペリフェラルとして構成されている場合、SCLK ピンはディスエーブルになります

SPI が有効になっており、TX FIFO に有効なデータが存在する場合、CS コントローラ信号が Low になることで送信開始が示されます。コントローラ PICO 出力ピンはイネーブルです。さらに SCLK の 1/2 周期が経過すると、コントローラおよびペリフェラルのデータがそれぞれの送信ラインに出力されます。同時に、SCLK が立ち下がりエッジ遷移でイネーブルにされます。その後、データは SCLK 信号の立ち上がりエッジで取り込まれ、立ち下がりエッジで出力されます。

シングル ワードの送信では、すべてのビットが転送された後、最後のビットが取り込まれてから一回の SCLK 周期後に、CS ラインは IDLE 時の High レベル状態に戻ります。連続的なバックツーバック送信の場合、最後のワードの最後のビットがキャプチャされてから、IDLE 状態に戻るまで、CS ピンはアクティブ Low 状態のままです。連続双方向転送の場合、連続するデータ ワードの間で CS ピンは Low のまま保持され、シングルワード転送と同じように転送が終了します。

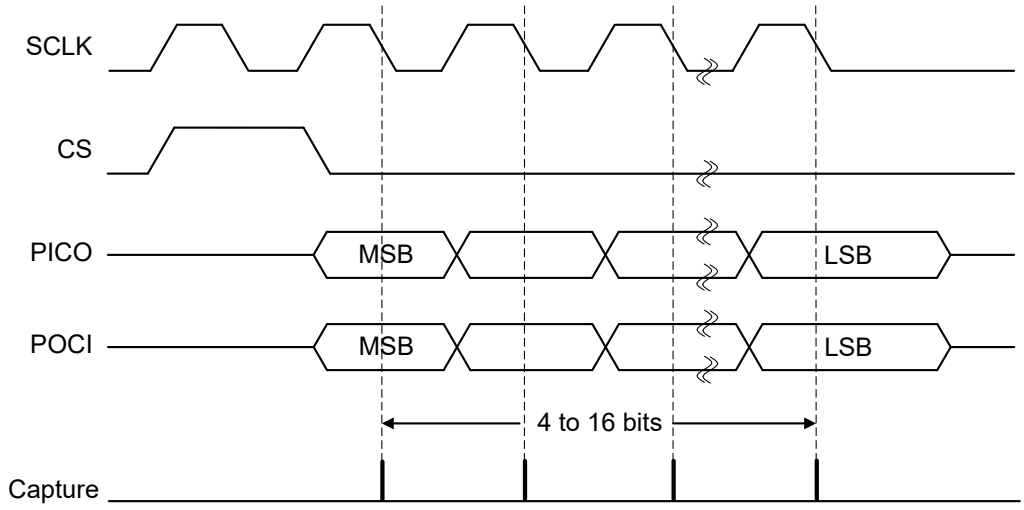
Copyright © 2026 Texas Instruments Incorporated

シリアル クロック (SCLK) は非アクティブに保持されます。その間、SPI がアイドルで、SCLK はデータの送信または受信中のみ、プログラムされた周波数で遷移します。SCLK の IDLE 状態は、タイムアウト期間後に RX FIFO にまだデータが含まれている場合に発生する受信タイムアウトの通知を行います。

24.2.9.2 テキサス インスツルメンツの同期シリアル フレーム フォーマット

SPI ペリフェラルは、テキサス インスツルメンツの同期シリアル フレーム フォーマットと互換性があります。

図 24-7 に、単一の送信フレームの TI 同期シリアル フレーム フォーマットを示します。



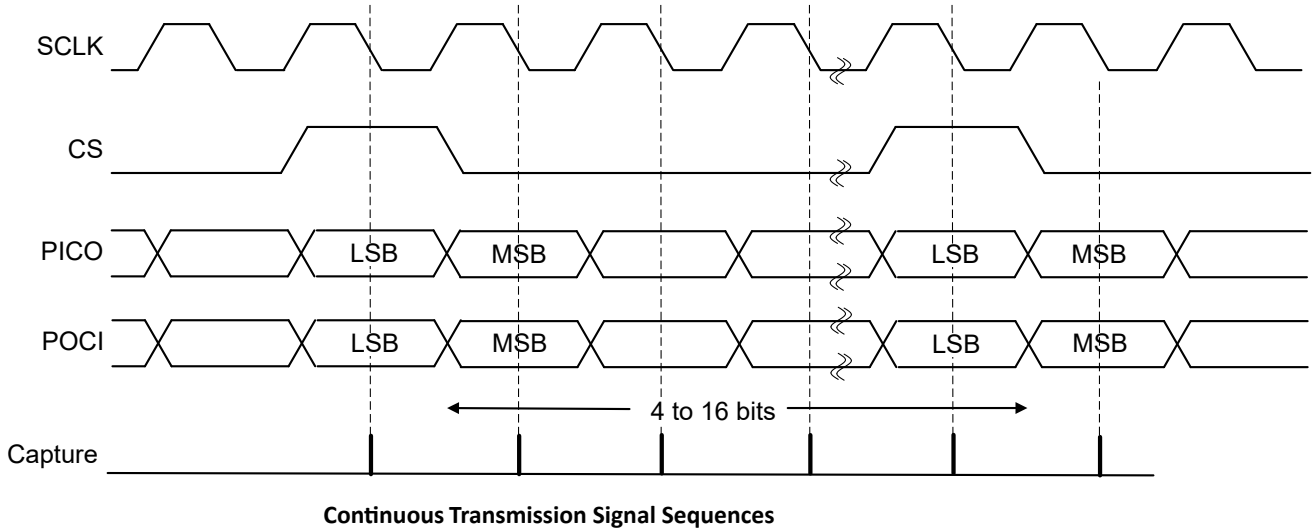


図 24-7. TI の同期シリアル フレーム フォーマット

SPI がアイドル状態のときは、SCLK および CS が Low に強制され、送信データ ライン PICO はトライステートになります。TX FIFO の最下位エントリにデータがある場合、CS は一回の SCLK 周期の間 High にパルス駆動されます。送信値は、TX FIFO から送信ロジックのシリアル シフト レジスタにも転送されます。次の SCLK の立ち上がりエッジで、4 ～ 16 ビットのデータ フレームの MSB が PICO ピンにシフト出力されます。同様に、受信データの MSB は、オフチップのシリアル ペリフェラル デバイスによって POCI ピンにシフト入力されます。その後、SPI とオフチップのシリアル ペリフェラル デバイスは、SCLK の各立ち下がりエッジで各データ ビットをそれぞれのシリアル シフタに取り込みます。受信データ

Copyright © 2026 Texas Instruments Incorporated

は、最下位ビット (LSB) がラッチされた後、SCLK の最初の立ち上がりエッジで、シリアル シフタから RX FIFO に転送されます。

SPI がアイドル状態の間、シリアル クロック (SCLK) は非アクティブ状態に保持されます。SCLK は、データの送信または受信が行われている間のみ、設定された周波数で遷移します。タイムアウト期間の経過後も RX FIFO にデータが残っている場合、SCLK の IDLE 状態によって受信タイムアウトが通知されます。

24.2.10 ステータス フラグ

次の表に、ステータスとその動作を示します。FIFO ステータス ビットについては、SPGSS の共通の章で説明します。

表 24-3. SPI バリアントと特長

ステータス ビット	説明
BUSY	**コントローラ モード:** 1.送信または受信が進行中の場合、Busy ビットがセットされます (「アクティブ」) 2.進行中のトランザクション (受信または送信) がない場所で Busy ビットがクリアされます (「アイドル」) **ペリフェラル モード:** 1.送信または受信が進行中の場合、BUSY ビットがセットされます (「アクティブ」)。POD がセットされている場合、つまりペリフェラルがデータ受信のみを行う場合、ペリフェラルがデータを受信している間は BUSY がセットされます 2.進行中のトランザクション (受信または送信) がない場合、Busy ビットはクリアされます (「アイドル」)
CDMODE	現在のカウンタ値とマニュアル ステータスを反映します 0x0: 手動モード – C/D は low (データ送信中) 0xf: 手動モード – C/D は high (コマンド送信中) 0x0 ～ 0xe: 現在のバイト数

24.2.11 モジュール構成

アプリケーションは、モジュールを (イネーブル ビットを使用して) イネーブルにする前に、目的の動作に合わせて構成レジスタを設定する必要があります。イネーブル ビットがセットされていれば、表 4 の構成ビットは更新できません。これらのビットを更新する必要がある場合、アプリケーションはモジュールを無効にし、設定レジスタを更新してから、モジュールを再度有効にする必要があります。IP を無効状態にすると (中断 → FIFO のクリア → 無効化の順序に従ってください)、FSM は IDLE 状態に戻り、FIFO の内容がクリアされ、機能クロック ドメイン全体がアイドル状態に戻ります。

注

コントローラ モードでは、CSSEL を動的に変更できます。ただし、ペリフェラル モードでは、モジュールを有効化する前に CSSEL を構成する必要があります。

24.2.12 リセットの考慮事項

ソフトウェア リセットの考慮事項

UNICOMM には、UNICOMM モジュール全体を対象とするソフトウェア リセット機能があります。詳細については、UNICOMM の有効化とリセット セクションをご覧ください。

ハードウェア リセットの考慮事項

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

ハードウェア リセットにより、IO 構成が開始されます。これにより、IO はハイ インピーダンス状態に設定され、データ ラインをフローティング状態にできます。これがアプリケーションや SPI インターフェイス上の接続されたデバイスにとって重要である場合、外部プルアップ抵抗またはプルダウン抵抗が必要になることがあります。

24.2.13 初期化

SPI を有効化および初期化するには、以下の手順が必要です。

1.SPI 信号が多重化される適切な GPIO ピンに対して IOMUX を構成します。

注

プルアップを使用すると、SPI ピンの不要なトグルを防ぐことができます。このようなトグルが発生すると、ペリフェラルが不正な状態になる可能性があります。また、CTL0 レジスタの SPO ビットによって SCLK 信号の定常状態が High にプログラムされている場合は、SCLK 信号に対応する GPIO ポート ピンをソフトウェアでプルアップとして構成する必要があります。

2.各フレーム形式について、SPI は次の手順で構成します。

a. リセット後に初期化する場合は、CTL1 レジスタの ENABLE ビットがクリアされていることを確認します。
b. CLKSEL レジスタと CLKDIV レジスタに書き込んで、クロック プリスケール分周比を選択し、構成します。
c. SPI がコントローラかペリフェラルかを選択します。
d. CLKCTL レジスタに書き込んでクロック分周比を設定します。
e. プロトコル、データ幅、その他の特別な構成に基づいて、CTL0 および CTL1 レジスタを設定します。
f. オプションで DMA を設定します
g. CTL1 レジスタの ENABLE ビットをセットして、SPI を有効にします。

24.2.14 割り込みとイベントのサポート

UNICOMM-SPI モジュールには三つのイベント パブリッシャが含まれ、イベント サブスクライバは含まれません。一つのイベント パブリッシャ (CPU_INT) は、静的イベント ルートを介して CPU サブシステムへの UNICOMM-SPI 割り込み要求 (IRQ) を管理します。二番目と三番目のイベント パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX) は、DMA イベント ルート経由で DMA のトリガ信号伝達を設定するために使用されます。

SPI イベントは「SPI イベント」表にまとめられます:

表 24-4. SPI イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	SPI	CPU サブシステム	スタティック ルート	CPU_INT レジスタ	SPI から CPU への固定割り込みルート
DMA トリガ	パブリッシャ	SPI	DMA	DMA イベント ルート	DMA_TRIG_RX レジスタ	SPI RX から DMA への固定割り込みルート
DMA トリガ	パブリッシャ	SPI	DMA	DMA イベント ルート	DMA_TRIG_TX レジスタ	SPI TX から DMA への固定割り込みルート

24.2.14.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

UNICOMM-SPI モジュールは、*CPU Interrupt Event* を発生させる 9 の割り込みソースを備えています。SPI CPU_INT トリガ条件表には、UNICOMM-SPI モジュールからの CPU 割り込みイベントが、優先度の高い順に記載されています。

表 24-5. SPI CPU_INT トリガ条件

IIDX STAT	名称	説明
0x01	PER	パリティ エラー イベント。この割り込みは、パリティ エラーが検出された場合にセットされます。

Copyright © 2026 Texas Instruments Incorporated

表 24-5. SPI CPU_INT トリガ条件 (続き)

IIDX STAT	名称	説明
0x02	RXFIFO_OVF	RXFIFO オーバーフロー イベント。この割り込みは、RX FIFO オーバーフローが検出されるとセットされます。
0x03	RX	受信 FIFO イベント。この割り込みは、選択された受信 FIFO レベルに達したときにセットされます。
0x04	RXFULL	RX FIFO フル イベント。この割り込みは、RX FIFO がフルになると設定されます。
0x05	TXFIFO_UNF	TX FIFO アンダーフロー イベント。この割り込みは、TX FIFO のアンダーフローが検出されたときにセットされます。
0x06	TX	送信 FIFO イベント。この割り込みは、選択した送信 FIFO レベルに達するとセットされます。
0x07	TXEMPTY	送信 FIFO 空割り込み。送信 FIFO のすべてのデータがシフトアウトされると、これが設定されます。
0x09	IDLE	SPI アイドル イベント。SPI は転送を完了し、アイドル モードに移行しました。この割り込みは、STAT.BUSY ビットが low になるとセットされます。
0x0A	RTOUT	SPI 受信タイムアウト イベント。この割り込みは、タイムアウト期間の経過後も FIFO 内にデータが残っている場合にセットされます。
0x10	DMA_DONE_RX	この割り込みは、RX DMA チャネルが DONE 信号を送信すると設定されます。
0x11	DMA_DONE_TX	この割り込みは、TX DMA チャネルが DONE 信号を送信すると設定されます。
0x15	LTOUT	SPI ライン タイムアウト イベント。この割り込みは、タイムアウト期間が経過した後に設定されます。

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。

受信割り込み (SPI.RX) は以下のいずれかのイベントが発生したときに状態が変化します:

- FIFO が存在します:受信 FIFO が、設定されたトリガ レベル以上になると、受信割り込みがセットされます。受信割り込みは、受信 FIFO からデータを読み取って、FIFO レベルをトリガ スレッショルド未満に下げるか、割り込みインデックスを読み取る (IIDX 読み取り) か、ICLR の受信割り込みビットに 1 を書き込むことでクリアされます。 受信 FIFO は、受信 FIFO のエントリ数が IFLS でプログラムされたスレッショルドを下回るまで読み取る必要があります。これにより、後続の割り込みが正しく起動されるようになります。
- 存在するシングル バッファ:データを受信し、受信バッファがフルになって格納位置が埋まると、受信割り込みがセットされます。受信割り込みは、受信バッファを一回読み取り、IIDX から割り込みインデックスを読み取る、または ICLR の RXINT ビットに 1 を書き込むことでクリアされます。

送信割り込み (SPI.TX) は、以下のいずれかのイベントが発生したときに状態が変化します

- FIFO が存在します:送信 FIFO がプログラムされたトリガ レベル以下のとき、送信割り込みビットがセットされます。送信割り込みは、送信 FIFO にトリガ レベルを超えるまでデータを書き込む、IIDX から割り込みインデックスを読み取る、または ICLR の送信割り込みビットに 1 を書き込むことでクリアされます。FIFO のエントリ数が IFLS でプログラムされたスレッショルドを超えるまで、送信 FIFO にデータが入力されます。これにより、後続の割り込みが正しく起動されるようになります。
- 存在するシングル バッファ:バッファが空のときは、送信割り込みビットが設定され、送信が空であることを示します。送信割り込みは、送信バッファへの一回の書き込み、IIDX から割り込みインデックスを読み取る、ICLR の TXINT ビットに 1 を書き込むことでクリアされます。

24.2.14.2 DMA トリガ パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX)

DMA_TRIG_RX および DMA_TRIG_TX レジスタは、DMA 転送用のトリガ信号を構成するために使用されます。これらのレジスタは、対応するペリフェラル レジスタで定義されたトリガ条件に基づいて、受信または送信イベントに対して DMA 動作を開始するようにプログラムできます。(PERIPHERAL.DMA_TRIG_RX.RIS および PERIPHERAL.DMA_TRIG_TX.RIS)。

DMA_TRIG_RX レジスタは DMA で受信データ転送を実行し、DMA_TRIG_TX レジスタは送信データ転送を実行する DMA をトリガします。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

DMA トリガ イベントの構成は、DMA_TRIG_RX および DMA_TRIG_TX イベント管理レジスタによって管理されます。DMA の仕組みについては、「DMA」の章を参照してください。

M0+ の DMA 構成

DMA を介して受信データを読み取る場合:

1. 転送に使用する DMA n チャネルを選択します。使用可能な DMA チャネルの数については、MSPM0 のデータ シートを参照してください
2. DMA_CH[n].DMATCTL レジスタの UNICOMM-SPI の Rx イベントとして、選択した DMA チャネルのトリガ ソースを構成します
3. UNICOMM-SPI の INT_EVENTx レジスタを構成して、UNICOMM-SPI の Rx イベントで DMA 要求を生成します
4. DMA ソースアドレスを DMA_CH[n].DMASA レジスタで、UNICOMM-SPI の RxFIFO として構成します
5. DMA 送信先アドレスをデータがコピーされる SRAM の場所として DMA_CH[n].DMADA レジスタで構成します
6. DMA のすべてのトリガが DMA_CH[n].DMASZ レジスタで処理されるように構成します。
7. DMA_CH[n].DMACTL レジスタで:
   a. DMADSTWDTH および DMASRCWDTH ビット フィールドで、DMA への各トリガで実行される転送のサイズを構成します (可能なオプションは 8 ビットまたは 16 ビットです)
   b. DMASRCINCR を変更なし (0h) に、DMADSTINCR を 8 または 16 に設定します (DMADSTWIDTH および DMASRCWIDTH で使用されているものと同じ)
   c. DMAEN レジスタに 1 を書き込んで DMA チャネルをイネーブルにします

UNICOMM によって DMA 経由で送信されるデータを書き込むには、次の手順に従います。

1. 転送に使用する DMA n チャネルを選択します。利用可能な DMA チャネルの数については、MSPM0 のデータ シートを参照してください
2. DMA_CH[n].DMATCTL レジスタの UNICOMM-SPI の Tx イベントとして、選択した DMA チャネルのトリガ ソースを構成します
3. UNICOMM-SPI の INT_EVENTx レジスタを構成して、UNICOMM-SPI の Tx イベントで DMA 要求を生成します
4. データが送信される SRAM の場所が、DMA_CH[n].DMASA レジスタの DMA ソース アドレスとして存在するように設定します
5. UNICOMM-SPI の Tx FIFO を DMA_CH[n].DMADA レジスタの DMA 送信先アドレスとして構成します
6. DMA のすべてのトリガが DMA_CH[n].DMASZ レジスタで処理されるように構成します。
7. DMA_CH[n].DMACTL レジスタで:
   a. DMADSTWDTH および DMASRCWDTH ビット フィールドで、DMA への各トリガで実行される転送のサイズを構成します (可能なオプションは 8 ビットまたは 16 ビットです)
   b. DMADSTINCR を変更なし (0h) に、DMASRCINCR を 8 または 16 に設定します (DMADSTWIDTH および DMASRCWIDTH で使用されているものと同じ)
   c. DMAEN レジスタに 1 を書き込んで DMA チャネルをイネーブルにします

24.2.15 エミュレーション モード

デバイスがデバッグ モードのとき、UNICOMM-SPI モジュールの動作は、PDBGCTL レジスタの FREE ビットと SOFT ビットによって制御されます。

デバイスがデバッグ モードで、HALT モードに設定されている場合は、次の動作を構成できます。

表 24-6. デバッグ モード時のペリフェラルの動作

PDBGCTL.FREE	PDBGCTL.SOFT	機能
1	x	モジュールは動作を継続
0	1	次の転送の完了時にモジュールが停止

Copyright © 2026 Texas Instruments Incorporated

表 24-6. デバッグ モード時のペリフェラルの動作 (続き)

PDBGCTL.FREE	PDBGCTL.SOFT	機能
0	0	非対応

24.2.15.1 正常停止

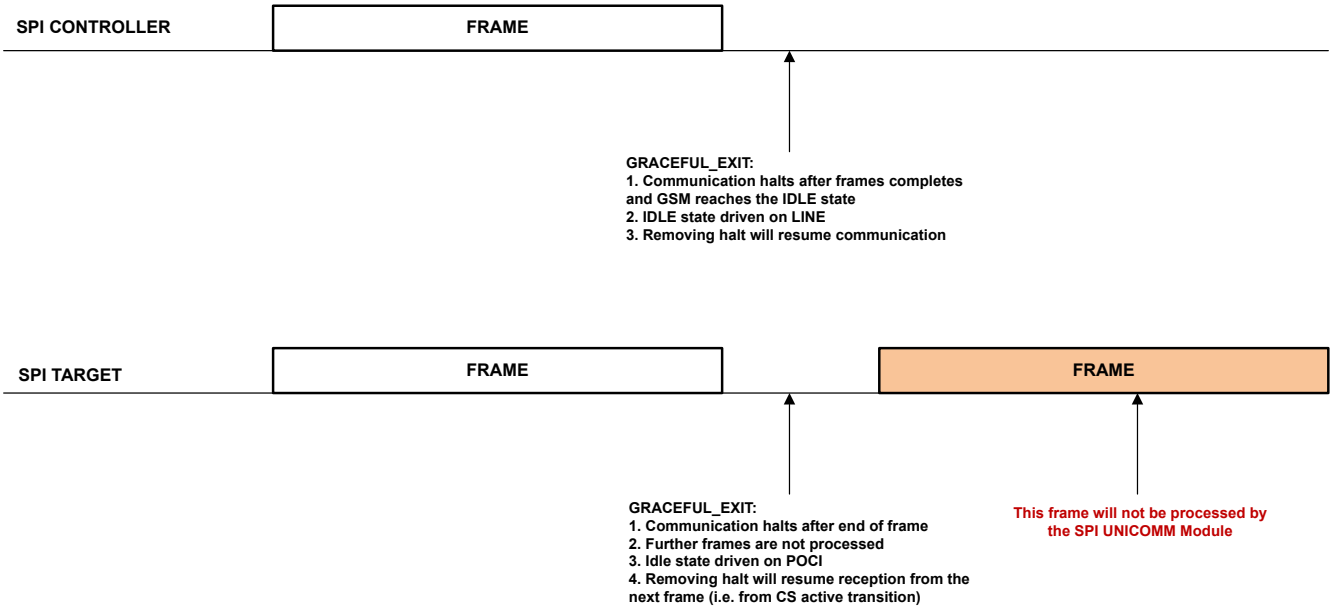
エミュレーション モードを正常停止に設定している場合、停止条件が発生すると、IP は進行中のフレームが完了した後に通信を停止します。

トランスミッタ

- UNICOMM-SPI モジュールは進行中のフレームの送信を完了し、FSM はアイドル状態に戻って停止します。
- 外部ラインはアイドル状態に駆動されます。
- 停止状態を解除すると、通信が再開されます。

レシーバ

- UNICOMM-SPI モジュールは進行中のフレームを受信し、FSM はアイドル状態に戻って停止します。
- 新しいメッセージは処理されません
- ホールトが解消されると、FSM は通信を開始します
- FSM は、フレームの途中で受信を開始できます



Copyright © 2026 Texas Instruments Incorporated

24.3 UNICOMMSPI レジスタ

UNICOMMSPI レジスタのメモリ マップト レジスタを表 24-7 に示します。表 24-7 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 24-7. UNICOMMSPI レジスタ

オフセット	略称	レジスタ名	セクション
1000h	CLKDIV	クロック分周比	セクション 24.3.1
1008h	CLKSEL	超低消費電力ペリフェラル用クロック選択	セクション 24.3.2
1020h	IIDX	割り込みインデックス レジスタ	セクション 24.3.3
1028h	IMASK	割り込みマスク	セクション 24.3.4
1030h	RIS	未加工割り込みステータス	セクション 24.3.5
1038h	MIS	マスクされた割り込みステータス	セクション 24.3.6
1040h	ISET	割り込み設定	セクション 24.3.7
1048h	ICLR	割り込みクリア	セクション 24.3.8
1058h	IMASK	割り込みマスク	セクション 24.3.9
1060h	RIS	未加工割り込みステータス	セクション 24.3.10
1068h	MIS	マスクされた割り込みステータス	セクション 24.3.11
1070h	ISET	割り込み設定	セクション 24.3.12
1088h	IMASK	割り込みマスク	セクション 24.3.13
1090h	RIS	未加工割り込みステータス	セクション 24.3.14
1098h	MIS	マスクされた割り込みステータス	セクション 24.3.15
10A0h	ISET	割り込み設定	セクション 24.3.16
10E4h	INTCTL	割り込み制御レジスタ	セクション 24.3.17
1100h	CTL0	SPI 制御レジスタ 0	セクション 24.3.18
1108h	STAT	ステータス レジスタ	セクション 24.3.19
110Ch	IFLS	割り込み FIFO レベル選択レジスタ	セクション 24.3.20
1110h	CLKCTL	クロック プリスケーラおよび分周器レジスタ。	セクション 24.3.21
1120h	TXDATA	TXDATA レジスタ	セクション 24.3.22
1124h	RXDATA	RXDATA レジスタ	セクション 24.3.23
114Ch	CTL1	SPI 制御レジスタ 1	セクション 24.3.24
1150h	SPI_CNTR	SPI カウンタ	セクション 24.3.25

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 24-8 に、このセクションでアクセス タイプに使用しているコードを示します。

表 24-8. UNICOMMSPI アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

24.3.1 CLKDIV レジスタ (オフセット = 1000h) [リセット = 00000000h]

図 24-8 に、CLKDIV を示し、表 24-9 に、その説明を示します。

概略表に戻ります。

SPI クロック分周器。このレジスタは、機能クロックのモジュール固有の分周比を指定するために使用します

図 24-8. CLKDIV レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 24-9. CLKDIV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2-0	比率	R/W	0h	モジュール クロックの分周比を選択します 0h = クロック ソースを分周しません 1h = クロック ソースを 2 分周 2h = クロック ソースを 3 分周 3h = クロック ソースを 4 分周 4h = クロック ソースを 5 分周 5h = クロック ソースを 6 分周 6h = クロック ソースを 7 分周 7h = クロック ソースを 8 分周

Copyright © 2026 Texas Instruments Incorporated

24.3.2 CLKSEL レジスタ (オフセット = 1008h) [リセット = 00000000h]

図 24-9 に、CLKSEL を示し、表 24-10 に、その説明を示します。

概略表に戻ります。

SPI ソース クロック選択。

図 24-9. CLKSEL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み				ASYNC_PLL_SEL	ASYNC_HFCLK_SEL	ASYNC_SYSCLK_SEL	ASYNC_LFCLK_SEL
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み				BUSCLK_SEL	MFCLK_SEL	LFCLK_SEL	予約済み
R-0h				R/W-0h	R/W-0h	R/W-0h	R-0h

表 24-10. CLKSEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-12	予約済み	R	0h	
11	ASYNC_PLL_SEL	R/W	0h	非同期 PLL をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
10	ASYNC_HFCLK_SEL	R/W	0h	非同期 HFCLK をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
9	ASYNC_SYSCLK_SEL	R/W	0h	非同期 sys クロックをソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
8	ASYNC_LFCLK_SEL	R/W	0h	非同期 lfclk をソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
7-4	予約済み	R	0h	
3	BUSCLK_SEL	R/W	0h	有効な場合、クロック ソースとして busclk を選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
2	MFCLK_SEL	R/W	0h	有効な場合、MFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
1	LFCLK_SEL	R/W	0h	有効な場合、LFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.3 IIDX レジスタ (オフセット = 1020h) [リセット = 00000000h]

図 24-10 に、IIDX を示し、表 24-11 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高い有効な割り込みインデックスを提供します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 は最も高い優先度を持ち、その後に IIDX、その次に 4、8 ...、そして IIDX^31 が最も低い優先度となります。つまり、1 に設定された最下位ビット位置が、最も高い優先度の保留中の割り込みを示します。優先順位は固定されています。しかしながら、ユーザーは、発生したすべての割り込みセットを公開する他のレジスタを使用することで、独自の優先順位付けスキームを実装することができます。各読み取り時に、一つの割り込みのみが示されます。読み取り時には、現在の割り込み (最優先の割り込み) がハードウェアによって自動的にクリアされ、それに対応する [RIS] および [MIS] の割り込みフラグも同時にクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 24-10. IIDX レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 24-11. IIDX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 1h = 送信パリティ イベント / 割り込みは保留中 2h = RX FIFO オーバーフロー イベント / 割り込みが保留中です 3h = 受信割り込み 4h = RX FIFO フル割り込み 5h = TX FIFO アンダーフロー割り込み 6h = 送信イベント 7h = 送信バッファ空イベント / 割り込み保留中 9h = 送信イベント終了 / 割り込み保留中 Ah = SPI 受信タイムアウト割り込み 10h = RX での DMA DONE 11h = TX での DMA DONE 13h = DMA PRE IRQ RX 割り込み 14h = DMA PRE IRQ TX 割り込み 15h = SPI ライン タイムアウト割り込み

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.3.4 IMASK レジスタ (オフセット = 1028h) [リセット = 00000000h]

図 24-11 に、IMASK を示し、表 24-12 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 24-11. IMASK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み			LTOUT	予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h			R/W-0h	R-0h	R-0h	R-0h	R/W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み					RTOUT	IDLE
R/W-0h	R-0h					R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み	TXEMPTY	TX	TXFIFO_UNF	RXFULL	RX	RXFIFO_OVF	PER
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 24-12. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20	LTOUT	R/W	0h	SPI ライン タイムアウト割り込みマスク。この割り込みは、UNICOMM-SPI がペリフェラル モードで動作しているときに、CTL1.RXTIMEOUT フィールドで設定されたタイムアウト期間内に新しいトランザクションが検出されなかった場合に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R/W	0h	SPI DMA は TX イベント チャネル割り込みマスクで完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
15	DMA_DONE_RX	R/W	0h	SPI DMA は RX イベント チャネル割り込みマスクで完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
14-10	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 24-12. IMASK レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	RTOUT	R/W	0h	SPI 受信タイムアウト割り込みマスク。この割り込みは、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合に発生します。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
8	IDLE	R/W	0h	SPI アイドル割り込みマスク。この割り込みは、SPI が転送を完了してアイドル状態に移行すると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
7	予約済み	R	0h	
6	TXEMPTY	R/W	0h	SPI TX FIFO 空割り込みマスク。この割り込みは、すべてのデータが TX FIFO からシフト アウトされ、SPI トランスミッタがアイドル状態になると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
5	TX	R/W	0h	SPI 送信割り込みマスク。この割り込みは、TX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
4	TXFIFO_UNF	R/W	0h	SPI TX FIFO アンダーフロー割り込みマスク。この割り込みは、UNICOMM-SPI (ペリフェラル モードで) が SPI コントローラから SCLK ラインでクロック エッジを取得した際、TX FIFO が空であるときに発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
3	RXFULL	R/W	0h	SPI RX FIFO フル割り込みマスク。エこの割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
2	RX	R/W	0h	SPI 受信割り込みマスク。この割り込みは、RX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが一文字を受信したことを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1	RXFIFO_OVF	R/W	0h	SPI RX FIFO オーバーフロー割り込みマスク。この割り込みは、SPI レシーバがデータの受信をしようとした際に、SPI RX FIFO がフルになったときに発生します。この場合、新しいデータは SPI レシーバによって破棄 (または消失) されます。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
0	PER	R/W	0h	SPI パリティ エラー割り込みマスク。この割り込みは、計算されたパリティと受信されたパリティが一致していない文字を受信した場合に発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.3.5 RIS レジスタ (オフセット = 1030h) [リセット = 00000000h]

図 24-12 に、RIS を示し、表 24-13 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 24-12. RIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み			LTOUT	予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み					RTOUT	IDLE
R-0h	R-0h					R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み	TXEMPTY	TX	TXFIFO_UNF	RXFULL	RX	RXFIFO_OVF	PER
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 24-13. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20	LTOUT	R	0h	SPI ライン タイムアウト割り込み未加工ステータス。この割り込みは、UNICOMM-SPI がペリフェラル モードで動作しているときに、CTL1.RXTIMEOUT フィールドで設定されたタイムアウト期間内に新しいトランザクションが検出されなかった場合に発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R	0h	SPI DMA は TX イベント チャネル割り込み未加工ステータスで完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
15	DMA_DONE_RX	R	0h	SPI DMA は RX イベント チャネル割り込み未加工ステータスで完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
14-10	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 24-13. RIS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	RTOUT	R	0h	SPI 受信タイムアウト割り込み未加工ステータス。この割り込みは、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合に発生します。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
8	IDLE	R	0h	SPI アイドル割り込み未処理ステータス。この割り込みは、SPI が転送を完了してアイドル状態に移行すると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
7	予約済み	R	0h	
6	TXEMPTY	R	0h	SPI TX FIFO 空割り込み未加工ステータス。この割り込みは、すべてのデータが TX FIFO からシフト アウトされ、SPI トランスミッタがアイドル状態になると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
5	TX	R	0h	SPI 送信割り込み未加工ステータス。この割り込みは、TX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが空であることを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
4	TXFIFO_UNF	R	0h	SPI TX FIFO アンダーフロー割り込み未加工ステータス。この割り込みは、UNICOMM-SPI (ペリフェラル モードで) が SPI コントローラから SCLK ラインでクロック エッジを取得した際、TX FIFO が空であるときに発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
3	RXFULL	R	0h	SPI RX FIFO フル割り込み未加工ステータス。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
2	RX	R	0h	SPI 受信割り込み未加工ステータス。この割り込みは、RX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが一文字を受信したことを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
1	RXFIFO_OVF	R	0h	SPI RX FIFO オーバーフロー割り込み未加工ステータス。この割り込みは、SPI レシーバがデータの受信をしようとした際に、SPI RX FIFO がフルになったときに発生します。この場合、新しいデータは SPI レシーバによって破棄 (または消失) されます。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
0	PER	R	0h	SPI パリティ エラー割り込み未加工ステータス。この割り込みは、計算されたパリティと受信されたパリティが一致していない文字を受信した場合に発生します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.3.6 MIS レジスタ (オフセット = 1038h) [リセット = 00000000h]

図 24-13 に、MIS を示し、表 24-14 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

図 24-13. MIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み			LTOUT	予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み					RTOUT	IDLE
R-0h	R-0h					R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み	TXEMPTY	TX	TXFIFO_UNF	RXFULL	RX	RXFIFO_OVF	PER
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 24-14. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20	LTOUT	R	0h	SPI ライン タイムアウト割り込みマスク ステータス。この割り込みは、UNICOMM-SPI がペリフェラル モードで動作しているときに、CTL1.RXTIMEOUT フィールドで設定されたタイムアウト期間内に新しいトランザクションが検出されなかった場合に発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R	0h	TX イベント チャネル割り込みマスク ステータスで SPI DMA が完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
15	DMA_DONE_RX	R	0h	RX イベント チャネル割り込みマスク ステータスで SPI DMA が完了。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
14-10	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 24-14. MIS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	RTOUT	R	0h	SPI 受信タイムアウト割り込みマスク ステータス。この割り込みは、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合に発生します。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
8	IDLE	R	0h	SPI アイドル割り込みマスク ステータス。この割り込みは、SPI が転送を完了してアイドル状態に移行すると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
7	予約済み	R	0h	
6	TXEMPTY	R	0h	SPI TX FIFO 空割り込みマスク ステータス。この割り込みは、すべてのデータが TX FIFO からシフト アウトされ、SPI トランスミッタがアイドル状態になると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
5	TX	R	0h	SPI 送信割り込みマスク ステータス。この割り込みは、TX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが空であることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
4	TXFIFO_UNF	R	0h	SPI TX FIFO アンダーフロー割り込みマスク ステータス。この割り込みは、UNICOMM-SPI (ペリフェラル モードで) が SPI コントローラから SCLK ラインでクロック エッジを取得した際、TX FIFO が空であるときに発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
3	RXFULL	R	0h	SPI RX FIFO フル割り込みマスク ステータス。この割り込みは、RX FIFO がフルになると発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
2	RX	R	0h	SPI 受信割り込みマスク ステータス。この割り込みは、RX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが一文字を受信したことを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
1	RXFIFO_OVF	R	0h	SPI RX FIFO オーバーフロー割り込みマスク ステータス。この割り込みは、SPI レシーバがデータの受信をしようとした際に、SPI RX FIFO がフルになったときに発生します。この場合、新しいデータは SPI レシーバによって破棄 (または消失) されます。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
0	PER	R	0h	SPI パリティ エラー割り込みマスク ステータス。この割り込みは、計算されたパリティと受信されたパリティが一致していない文字を受信した場合に発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.3.7 ISET レジスタ (オフセット = 1040h) [リセット = 00000000h]

図 24-14 に、ISET を示し、表 24-15 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 24-14. ISET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み			LTOUT	予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h			W-0h	R-0h	R-0h	R-0h	W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み					RTOUT	IDLE
W-0h	R-0h					W-0h	W-0h
7	6	5	4	3	2	1	0
予約済み	TXEMPTY	TX	TXFIFO_UNF	RXFULL	RX	RXFIFO_OVF	PER
R-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 24-15. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20	LTOUT	W	0h	SPI ライン タイムアウト割り込みを設定します。この割り込みは、UNICOMM-SPI がペリフェラル モードで動作しているときに、CTL1.RXTIMEOUT フィールドで設定されたタイムアウト期間内に新しいトランザクションが検出されなかった場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	W	0h	TX イベント チャネル割り込みで SPI DMA 完了を設定します。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
15	DMA_DONE_RX	W	0h	RX イベント チャネル割り込みで SPI DMA 完了を設定します。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
14-10	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 24-15. ISET レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	RTOUT	W	0h	SPI 受信タイムアウト割り込みを設定します。この割り込みは、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合に発生します。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
8	IDLE	W	0h	SPI アイドル割り込みを設定します。この割り込みは、SPI が転送を完了してアイドル状態に移行すると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
7	予約済み	R	0h	
6	TXEMPTY	W	0h	SPI TX FIFO 空割り込みを設定します。この割り込みは、すべてのデータが TX FIFO からシフト アウトされ、SPI トランスミッタがアイドル状態になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
5	TX	W	0h	SPI 送信割り込みを設定します。この割り込みは、TX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが空であることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
4	TXFIFO_UNF	W	0h	SPI TX FIFO アンダーフロー割り込みを設定します。この割り込みは、UNICOMM-SPI (ペリフェラル モードで) が SPI コントローラから SCLK ラインでクロック エッジを取得した際、TX FIFO が空であるときに発生します。 0h = 書き込んでも影響ありません 1h = 割り込みをセットします
3	RXFULL	W	0h	SPI RX FIFO フル割り込みを設定します。この割り込みは、RX FIFO がフルになると発生します。 0h = 書き込んでも影響ありません 1h = 割り込みをセットします
2	RX	W	0h	SPI 受信割り込みを設定します。この割り込みは、RX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが一文字を受信したことを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
1	RXFIFO_OVF	W	0h	SPI RX FIFO オーバーフロー割り込みを設定します。この割り込みは、SPI レシーバがデータの受信をしようとした際に、SPI RX FIFO がフルになったときに発生します。この場合、新しいデータは SPI レシーバによって破棄 (または消失) されます。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
0	PER	W	0h	SPI パリティ エラー割り込みを設定します。この割り込みは、計算されたパリティと受信されたパリティが一致していない文字を受信した場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします

Copyright © 2026 Texas Instruments Incorporated

24.3.8 ICLR レジスタ (オフセット = 1048h) [リセット = 00000000h]

図 24-15 に、ICLR を示し、表 24-16 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 24-15. ICLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み			LTOUT	予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h			W-0h	R-0h	R-0h	R-0h	W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み					RTOUT	IDLE
W-0h	R-0h					W-0h	W-0h
7	6	5	4	3	2	1	0
予約済み	TXEMPTY	TX	TXFIFO_UNF	RXFULL	RX	RXFIFO_OVF	PER
R-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 24-16. ICLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20	LTOUT	W	0h	SPI ライン タイムアウト割り込みをクリアします。この割り込みは、UNICOMM-SPI がペリフェラル モードで動作しているときに、CTL1.RXTIMEOUT フィールドで設定されたタイムアウト期間内に新しいトランザクションが検出されなかった場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	W	0h	TX イベント チャネル割り込みで SPI DMA をクリアします。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
15	DMA_DONE_RX	W	0h	RX イベント チャネル割り込みで SPI DMA をクリアします。この割り込みは、すべてのトランザクションが完了したことを示す DONE 信号が DMA から SPI に送信されると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
14-10	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 24-16. ICLR レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	RTOUT	W	0h	SPI 受信タイムアウト割り込みをクリアします。この割り込みは、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合に発生します。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
8	IDLE	W	0h	SPI アイドル割り込みをクリアします。この割り込みは、SPI が転送を完了してアイドル状態に移行すると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
7	予約済み	R	0h	
6	TXEMPTY	W	0h	SPI TX FIFO 空割り込みをクリアします。この割り込みは、すべてのデータが TX FIFO からシフト アウトされ、SPI トランスミッタがアイドル状態になると発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
5	TX	W	0h	SPI 送信割り込みをクリアします。この割り込みは、TX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが空であることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
4	TXFIFO_UNF	W	0h	SPI TX FIFO アンダーフロー割り込みをクリアします。この割り込みは、UNICOMM-SPI (ペリフェラル モードで) が SPI コントローラから SCLK ラインでクロック エッジを取得した際、TX FIFO が空であるときに発生します。 0h = 書き込んでも影響ありません 1h = 割り込みをクリアします
3	RXFULL	W	0h	SPI RX FIFO フル割り込みをクリアします。この割り込みは、RX FIFO がフルになると発生します。 0h = 書き込んでも影響ありません 1h = 割り込みをクリアします
2	RX	W	0h	SPI 受信割り込みをクリアします。この割り込みは、RX FIFO レベルが IFLS レジスタで構成されている条件を満たすと発生します。バッファのみを搭載するバリアントでは、バッファが一文字を受信したことを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
1	RXFIFO_OVF	W	0h	SPI RX FIFO オーバーフロー割り込みをクリアします。この割り込みは、SPI レシーバがデータの受信をしようとした際に、SPI RX FIFO がフルになったときに発生します。この場合、新しいデータは SPI レシーバによって破棄 (または消失) されます。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします
0	PER	W	0h	SPI パリティ エラー割り込みをクリアします。この割り込みは、計算されたパリティと受信されたパリティが一致していない文字を受信した場合に発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをクリアします

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.3.9 IMASK レジスタ (オフセット = 1058h) [リセット = 00000000h]

図 24-16 に、IMASK を示し、表 24-17 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 24-16. IMASK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						RTOUT	予約済み
R-0h						R/W-0h	R-0h
7	6	5	4	3	2	1	0
予約済み					RX	予約済み	
R-0h					R/W-0h	R-0h	

表 24-17. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9	RTOUT	R/W	0h	SPI 受信タイムアウト DMA トリガ マスク。DMA は、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合にトリガされます。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
8-3	予約済み	R	0h	
2	RX	R/W	0h	SPI 受信 DMA トリガ マスク。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.10 RIS レジスタ (オフセット = 1060h) [リセット = 00000000h]

図 24-17 に、RIS を示し、表 24-18 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 24-17. RIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						RTOUT	予約済み
R-0h						R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み					RX	予約済み	
R-0h					R-0h	R-0h	

表 24-18. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9	RTOUT	R	0h	SPI 受信タイムアウト DMA トリガ未加工ステータス。DMA は、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合にトリガされます。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
8-3	予約済み	R	0h	
2	RX	R	0h	SPI 受信 DMA トリガ未処理ステータス。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
1-0	予約済み	R	0h	

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.3.11 MIS レジスタ (オフセット = 1068h) [リセット = 00000000h]

図 24-18 に、MIS を示し、表 24-19 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

図 24-18. MIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						RTOUT	予約済み
R-0h						R-0h	R-0h
7	6	5	4	3	2	1	0
予約済み					RX	予約済み	
R-0h					R-0h	R-0h	

表 24-19. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9	RTOUT	R	0h	SPI 受信タイムアウト DMA トリガ マスク ステータス。DMA は、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合にトリガされます。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした。 1h = 割り込みが発生しました
8-3	予約済み	R	0h	
2	RX	R	0h	SPI 受信 DMA トリガ マスク ステータス。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした 1h = 割り込みが発生しました
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.12 ISET レジスタ (オフセット = 1070h) [リセット = 00000000h]

図 24-19 に、ISET を示し、表 24-20 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 24-19. ISET レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						RTOUT	予約済み
R-0h						W-0h	R-0h
7	6	5	4	3	2	1	0
予約済み					RX	予約済み	
R-0h					W-0h	R-0h	

表 24-20. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9	RTOUT	W	0h	SPI 受信タイムアウト DMA トリガを設定します。DMA は、UNICOMM-SPI がペリフェラル モードでデータを受信中に、RX FIFO に少なくとも一つのデータが格納された状態で、SCLK ラインが CTL1.RXTIMEOUT フィールドに設定されたタイムアウト期間にわたって非アクティブだった場合にトリガされます。これは、IFLS レジスタで設定された RX FIFO レベルに達しているかどうかにかかわらず発生します。 0h = 0 を書き込んでも何もしません 1h = 割り込みマスクを設定します
8-3	予約済み	R	0h	
2	RX	W	0h	SPI 受信 DMA トリガを設定します。DMA は、IFLS レジスタによってプログラムされた RX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファがフルであることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.13 IMASK レジスタ (オフセット = 1088h) [リセット = 00000000h]

図 24-20 に、IMASK を示し、表 24-21 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 24-20. IMASK レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TX	予約済み				
R-0h										R/W-0h	R-0h				

表 24-21. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	TX	R/W	0h	SPI 送信 DMA トリガ マスク。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みマスクをクリアします 1h = 割り込みマスクを設定します
4-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.14 RIS レジスタ (オフセット = 1090h) [リセット = 00000000h]

図 24-21 に、RIS を示し、表 24-22 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタが設定されているフラグは、対応する IMASK ビットがイネーブルでない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 24-21. RIS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TX	予約済み				
R-0h										R-0h	R-0h				

表 24-22. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	TX	R	0h	SPI 送信 DMA トリガ未処理ステータス。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みは発生しませんでした 1h = 割り込みが発生しました
4-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.15 MIS レジスタ (オフセット = 1098h) [リセット = 00000000h]

図 24-22 に、MIS を示し、表 24-23 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK および RIS レジスタの AND です。

図 24-22. MIS レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TX	予約済み				
R-0h										R-0h	R-0h				

表 24-23. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	TX	R	0h	SPI 送信 DMA トリガ マスク ステータス。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 割り込みが発生しなかったか、マスクが有効化されていませんでした。 1h = 割り込みが発生しました
4-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.16 ISET レジスタ (オフセット = 10A0h) [リセット = 00000000h]

図 24-23 に、ISET を示し、表 24-24 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアで割り込みを設定できます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントが設定されるため、関連する RIS ビットも設定されます。マスクを使用して割り込みがイネーブルになると、対応する MIS ビットも設定されます。

図 24-23. ISET レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み										TX	予約済み				
R-0h										W-0h	R-0h				

表 24-24. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	TX	W	0h	SPI 送信 DMA トリガを設定します。DMA は、IFLS レジスタによってプログラムされた TX FIFO 条件が満たされると発生します。FIFO が存在しない場合、バッファが空であることを示します。 0h = 0 を書き込んでも何もしません 1h = 割り込みをセットします
4-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.17 INTCTL レジスタ (オフセット = 10E4h) [リセット = 00000000h]

図 24-24 に、INTCTL を示し、表 24-25 に、その説明を示します。

概略表に戻ります。

割り込み制御レジスタ。

図 24-24. INTCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							INTEVAL
R-0h							W-0h

表 24-25. INTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	INTEVAL	W	0h	このフィールドに 1 を書き込むと、割り込みソースが再評価されます。 0h = 0 を書き込んでも何もしません 1h = 割り込み評価

Copyright © 2026 Texas Instruments Incorporated

24.3.18 CTL0 レジスタ (オフセット = 1100h) [リセット = 00000000h]

図 24-25 に、CTL0 を示し、表 24-26 に、その説明を示します。

概略表に戻ります。

SPI 制御レジスタ 0。

図 24-25. CTL0 レジスタ

31	30	29	28	27	26	25	24
予約済み		CS_CLK_DLY					
R-0h		R/W-0h					
23	22	21	20	19	18	17	16
CS3_INV	CS2_INV	CS1_INV	CS0_INV	SPI_CNTR_EN	CS_CLK_DLY_EN	CS_ROTATE_EN	DIS_CONT_FRAMES
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み	CSCLR	CSSEL		予約済み		SPH	SPO
R-0h	R/W-0h	R/W-0h		R-0h		R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
PACKEN	FRF		DSS				
R/W-0h	R/W-0h		R/W-0h				

表 24-26. CTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	
29-24	CS_CLK_DLY	R/W	0h	CS アサートから最初の SCLK までのクロック遅延。クロック遅延は (CS_CLK_DLY の値 + 1) * FCLK サイクル数に相当します。
23	CS3_INV	R/W	0h	CS0 反転 0h = CS は反転しません 1h = CS を反転します
22	CS2_INV	R/W	0h	CS0 反転 0h = CS は反転しません 1h = CS を反転します
21	CS1_INV	R/W	0h	CS0 反転 0h = CS は反転しません 1h = CS を反転します
20	CS0_INV	R/W	0h	CS0 反転 0h = CS は反転しません 1h = CS を反転します
19	SPI_CNTR_EN	R/W	0h	SPI カウンタイ ネーブル 0h = 無効化 1h = SPI カウンタ を有効化
18	CS_CLK_DLY_EN	R/W	0h	CS から SCLK までのクロック遅延の有効化。1.有効にすると、CS から SCLK までの遅延は CS_CLK_DLY 設定 2 によって決まります。無効にすると、CS から SCLK までの遅延は CS_CLK_DLY では制御できず、デフォルトの SPI プロトコルに従います 0h = 回転を無効化します 1h = CS 回転を有効化します

Copyright © 2026 Texas Instruments Incorporated

表 24-26. CTL0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
17	CS_ROTATE_EN	R/W	0h	チップ セレクト回転の有効化。アプリケーションは、以下に示すように、チップ セレクト番号とデータの両方を指定する必要があります。受信データも、以下の 1 に示す形式でパックされます。送信データ:< 6'b0、各フレームに対応する CS >< 必要に応じたゼロ パディング、DSS に従った最大 24 ビットのデータ > 2.受信データは、以下のように FIFO に保存されます。< 6'b0、受信したフレームの CS >< 必要に応じたゼロ パディング、DSS に従った最大 24 ビットのデータ > 注:このモードでは、パッキング機能はサポートされません。また、サポートされるフレーム サイズは最大 24 ビットです。 0h = 回転を無効化します 1h = CS 回転を有効化します
16	DIS_CONT_FRAMES	R/W	0h	連続フレームを無効にします 1。これは、SPH = 1 かつコントローラ モードの場合にのみ適用されます。有効にすると、TX FIFO にデータがロードされている場合でも、各フレームの後に CS がトグルします 0h = 連続フレームの場合、CS はアクティブのままであり、トグルしません 1h = TX FIFO にデータがあっても、CS はフレーム間でトグルします
15	予約済み	R	0h	
14	CSCLR	R/W	0h	CS が非アクティブになったときに、シフト レジスタ カウンタをクリアします。このビットは、ペリフェラル モードかつ CTL1.CP = 0 の場合にのみ有効です。 0h = CS が無効化に移行したとき、シフト レジスタの自動クリアを無効化します。 1h = CS が無効化に移行したとき、シフト レジスタの自動クリアを有効化します。
13-12	CSSEL	R/W	0h	データ転送時に制御する CS ラインを選択します。このビットは、コントローラ モードとターゲット モードの両方に適用されます 0h (R/W) = CS ライン選択:0 1h (R/W) = CS ライン選択:1 2h (R/W) = CS ライン選択:2 3h (R/W) = CS ライン選択:3
11-10	予約済み	R	0h	
9	SPH	R/W	0h	CLKOUT 位相 (モトローラ SPI フレーム形式のみ) このビットは、データをキャプチャし、状態変更を可能にするクロック エッジを選択します。最初のデータをキャプチャするエッジの前にクロック遷移を許可または許可しないことで、送信された最初のビットに最も影響を及ぼします。 0h = データは、最初のクロック エッジ遷移時にキャプチャされます。 1h = データは、二番目のクロック エッジ遷移時にキャプチャされます。
8	SPO	R/W	0h	CLKOUT 極性 (Motorola SPI フレーム形式のみ) 0h = SPI は、CLKOUT に定常状態 LOW 値を生成します 1h = SPI は、CLKOUT に定常状態 HIGH 値を生成します
7	PACKEN	R/W	0h	パッキングの有効化。1 の場合、IP 内部のパッキング機能が有効になります。0 の場合、IP 内部のパッキング機能が無効になります 0h = パッキング機能が無効です 1h = パッキング機能が有効です
6-5	FRF	R/W	0h	フレーム フォーマットの選択 0h = Motorola SPI フレーム形式 (3 線式モード) 1h = Motorola SPI フレーム形式 (4 線式モード) 2h = TI の同期シリアル フレーム形式 3h = 予約済み - 選択なし

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 24-26. CTL0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	DSS	R/W	0h	データ サイズ選択。値 0 ～ 2 は予約済みであり、使用しないものとします。3h = 4_BIT: 4 ビット データ SPI で使用できる値は、最大 16 ビットまでです 3h (R/W) = データ サイズ選択ビット:4 4h (R/W) = データ サイズ選択ビット:5 5h (R/W) = データ サイズ選択ビット:6 6h (R/W) = データ サイズ選択ビット:7 7h (R/W) = データ サイズ選択ビット:8 8h (R/W) = データ サイズ選択ビット:9 9h (R/W) = データ サイズ選択ビット:10 Ah (R/W) = データ サイズ選択ビット:11 Bh (R/W) = データ サイズ選択ビット:12 Ch (R/W) = データ サイズ選択ビット:13 Dh (R/W) = データ サイズ選択ビット:14 Eh (R/W) = データ サイズ選択ビット:15 Fh (R/W) = データ サイズ選択ビット:16

Copyright © 2026 Texas Instruments Incorporated

24.3.19 STAT レジスタ (オフセット = 1108h) [リセット = 00000000h]

図 24-26 に、STAT を示し、表 24-27 に、その説明を示します。

概略表に戻ります。

SPI ステータス レジスタ。

図 24-26. STAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CDMODE				予約済み			BUSY
R-0h				R-0h			R-0h
7	6	5	4	3	2	1	0
TXCLR	TXFF	TXFE	RXCLR	RXFF	RXFE	予約済み	
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	

表 24-27. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-12	CDMODE	R	0h	現在の CDMODE ステータス。これは現在のカウンタ値を反映します。 0h = 最小値 0h = 手動モード:データ Fh = 手動モード:コマンド
11-9	予約済み	R	0h	
8	BUSY	R	0h	SPI ビジー ステータス。 0h = SPI はアイドル モードです。 1h = SPI は現在データを送受信しています
7	TXCLR	R	0h	SPI TX FIFO クリア ステータス。 0h = TX FIFO はクリアされません 1h = TX FIFO のクリアが完了しています
6	TXFF	R	0h	SPI TX FIFO フル ステータス。 0h = TX FIFO はフルではありません 1h = TX FIFO がフルです
5	TXFE	R	1h	TX FIFO 空ステータス。 0h = TX FIFO は空ではありません 1h = TX FIFO は空です
4	RXCLR	R	0h	SPI RX FIFO クリア ステータス。 0h = FIFO はクリアされていません 1h = FIFO のクリアが完了しています
3	RXFF	R	0h	SPI RX FIFO フル ステータス。 0h = RX FIFO はフルではありません 1h = RX FIFO がフルです
2	RXFE	R	1h	RX FIFO 空ステータス。 0h = RX FIFO は空ではありません 1h = RX FIFO は空です
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

24.3.20 IFLS レジスタ (オフセット = 110Ch) [リセット = 00000022h]

図 24-27 に、IFLS を示し、表 24-28 に、その説明を示します。

概略表に戻ります。

割り込み FIFO レベル選択。IFLS レジスタは、割り込み FIFO レベル選択レジスタです。このレジスタを使用して、TX、RX、タイムアウト割り込みフラグがトリガされるレベルを定義できます。割り込みは、レベルに基づいてではなく、レベル間の遷移に基づいて生成されます。つまり、フィルレベルがトリガ レベルを経過したときに、割り込みが生成されます。たとえば、受信トリガ レベルがハーフウェイ マークに設定されている場合、RX FIFO に 2 文字以上の文字が入力されると割り込みが発生します。リセットから復帰すると、TXIFLSEL ビットおよび RXIFLSEL ビットは、FIFO が半分まで満たされた時点で割り込みを発生させるように設定されています。

図 24-27. IFLS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RXCLR	RXIFLSEL			TXCLR	TXIFLSEL		
R/W-0h	R/W-2h			R/W-0h	R/W-2h		

表 24-28. IFLS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	RXCLR	R/W	0h	RX FIFO クリア。このビットを設定すると、RX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化します 1h = FIFO クリアを有効化します
6-4	RXIFLSEL	R/W	2h	イベント生成用の RX FIFO レベル選択 (割り込み / DMA)。注:未定義の設定では、デフォルトの設定が使用されます。 1h = RX FIFO の使用量が 1/4 以上です 2h = RX FIFO の使用量が 1/2 以上です (デフォルト) 3h = RX FIFO の使用量が 3/4 以上です 4h = 空ではありません 5h = RX FIFO がフルです 6h = RX_FIFO >= (MAX_FIFO_LEN – 1) 7h = RX_FIFO <= 1
3	TXCLR	R/W	0h	TX FIFO クリア。このビットを設定すると、TX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化します 1h = FIFO クリアを有効化します

Copyright © 2026 Texas Instruments Incorporated

表 24-28. IFLS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	TXIFLSEL	R/W	2h	イベント生成用の TX FIFO レベル選択 (割り込み / DMA)。注:未定義の設定では、デフォルトの設定が使用されます。 1h = TX FIFO の空き容量が 3/4 以下です 2h = TX FIFO の空き容量が 1/2 以下です (デフォルト) 3h = TX FIFO の空き容量が 1/4 以下です 4h = フルではありません 5h = TX FIFO は空です 6h = TX FIFO <= 1 7h = TX_FIFO >= (MAX_FIFO_LEN – 1)

Copyright © 2026 Texas Instruments Incorporated

24.3.21 CLKCTL レジスタ (オフセット = 1110h) [リセット = 00000000h]

図 24-28 に、CLKCTL を示し、表 24-29 に、その説明を示します。

概略表に戻ります。

クロック プリスケーラおよび分周器レジスタ。このレジスタには、クロック プリスケーラおよび分周器の設定が格納されます。

図 24-28. CLKCTL レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DSAMPLE				予約済み											
R/W-0h				R-0h											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						SCR									
R-0h						R/W-0h									

表 24-29. CLKCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	DSAMPLE	R/W	0h	遅延サンプリング値。コントローラ モードでは、入力ピンのデータは、内部機能クロック (SPIclk) の指定されたクロック サイクル数だけ遅延してサンプリングされるため、入力データのセットアップ時間要件が緩和されます。この設定は、基板上の遅延および外部ペリフェラルの遅延が、コントローラの入力セットアップ時間を超えるシステムで有効です。コントローラの入力セットアップ時間の値についてはデータシートを参照し、システム要件を満たす DSAMPLE 値を決定してください。注:DSAMPLE の値が大きいと、ホールド タイム違反が発生する可能性があるため、計算で考慮する必要があります。 0h = 遅延サンプリングは使用しません Fh = 可能な最大値
27-10	予約済み	R	0h	
9-0	SCR	R/W	0h	シリアル クロック分周器。これは、SPI の送信および受信ビット レートを生成するために使用されます。SPI ビット レートは、(SPIclk) / ((SCR + 1)* 2) です。SCR は 0 ～ 1023 の値です。 0h = 最小値 3FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

24.3.22 TXDATA レジスタ (オフセット = 1120h) [リセット = 00000000h]

図 24-29 に、TXDATA を示し、表 24-30 に、その説明を示します。

概略表に戻ります。

TXDATA レジスタ。書き込みを行うと、データが TX FIFO に入ります。このレジスタを読み出すと、最後に書き込まれた値が返されます。PACKEN = 0 の場合、レジスタに書き込まれたデータの下位 16 ビットのみが、16 ビット幅の TX FIFO の 1 エントリに転送されます。PACKEN = 1 の場合、32 ビットの書き込みデータの上位 16 ビットと下位 16 ビットが、16 ビット幅の TX FIFO の二つのエントリに転送されます

図 24-29. TXDATA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 24-30. TXDATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	送信データ。読み取った場合、最後に書き込まれた値が返されます。このフィールドへの最後の書き込みが 32 ビット書き込み (PACKEN = 1) だった場合は 32 ビットが返され、最後の書き込みが 16 ビット書き込み (PACKEN = 0) だった場合は 16 ビットが返されます。書き込むと、PACKEN の値に応じて一つまたは二つの FIFO エントリに書き込まれます。データ値は、送信ロジックによって、TX FIFO から一度に一つずつ削除されます。削除されたデータ値は送信シリアル シフタにロードされ、プログラムされたビット レートで TXD 出力ピンにシリアルにシフト アウトされます。16 ビット未満のデータ サイズを選択すると、TX FIFO に書き込まれるデータを右揃えにする必要があります。送信ロジックは、未使用ビットを無視します。 0h = 最小値 FFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

24.3.23 RXDATA レジスタ (オフセット = 1124h) [リセット = 00000000h]

図 24-30 に、RXDATA を示し、表 24-31 に、その説明を示します。

概略表に戻ります。

RXDATA レジスタ。このレジスタを読み出すと、RX FIFO から値が返されます。FIFO が空の場合、最後に読み取った値が返されます。書き込みは効果がなく、無視されます。PACKEN = 1 の場合、FIFO の二つのエントリが 32 ビット値として返されます。PACKEN = 0 の場合、FIFO の 1 エントリは 16 ビット値として返されます。

図 24-30. RXDATA レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 24-31. RXDATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	受信データ。PACKEN = 1 の場合、FIFO の二つのエントリが 32 ビット値として返されます。PACKEN = 0 の場合、FIFO の 1 エントリは 16 ビット値として返されます。受信ロジックによって受信データ フレームからデータ値が取り出されると、そのデータは現在の FIFO 書き込みポインタが指す RX FIFO エントリに格納されます。受信バッファでは 16 ビット未満の受信データは自動的に右揃えされます。 0h = 最小値 FFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

24.3.24 CTL1 レジスタ (オフセット = 114Ch) [リセット = 00000004h]

図 24-31 に、CTL1 を示し、表 24-32 に、その説明を示します。

概略表に戻ります。

SPI 制御レジスタ 1。

図 24-31. CTL1 レジスタ

31	30	29	28	27	26	25	24
予約済み		RXTIMEOUT					
R-0h		R/W-0h					
23	22	21	20	19	18	17	16
REPEATTX							
R/W-0h							
15	14	13	12	11	10	9	8
CDMODE				CDENABLE	予約済み	中断	PTEN
R/W-0h				R/W-0h	R-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
予約済み	PES	PREN	MSB	ポッド	CP	LBM	イネーブル
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R/W-0h	R/W-0h

表 24-32. CTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	
29-24	RXTIMEOUT	R/W	0h	SPI 受信割り込みタイムアウト選択 (ペリフェラル モードのみ)。SCLK パルスが受信されない場合に SPI ペリフェラルがタイムアウト状態 (RTOUT または LTOUT) をフラグ / トリガするまでのビット数を、設定されたボーレート単位で指定します。値を 0 にすると、タイムアウト機能がディスエーブルになります。 0h = 最小値 3Fh = 可能な最大値
23-16	REPEATTX	R/W	0h	最後の転送を繰り返すカウンタ。0:直前の転送の繰り返しを無効にします。x:指定された回数だけ直前の転送を繰り返します。TX バッファにデータを書き込むと、転送が開始されます。データ送信は指定された値に従って繰り返されるため、データは合計 X+1 回転送されます。この動作は、ここで指定された回数だけ同じデータを TX バッファに書き込んだ場合と同じです。このコマンドは、転送をクリーンにしたり、ペリフェラルから特定の量のデータをプルしたりするために使用できます。 0h = 最小値 FFh = 可能な最大値
15-12	CDMODE	R/W	0h	コマンド / データ モード値。CTL1.CDENABLE が 1 の場合、CS3 ラインが C/D 信号として使用され、コマンド (C/D Low) とデータ (C/D High) の情報を区別します。CTL1.CDMODE ビットに値を書き込むと、次に送信される値から、指定されたバイト数を SPI で送信する間、C/D (CS3) ラインは Low になります。その後、C/D ラインは自動的に High になります。0:手動モード (C/D 信号は High) 1-14:このバイト数が送信されると、C/D は Low になります。その後、このフィールドは 0 に設定され、C/D が High になります。このフィールドをいつでも読み取ると、残りのコマンド バイト数が返されます。15:C/D 信号が Low の手動モード。 0h = 手動モード:データ 0h = 最小値 Fh = 手動モード:コマンド
11	CDENABLE	R/W	0h	コマンド / データ モードの有効化。 0h = チップ セレクトに CS3 を使用します 1h = CS3 を CD 信号として使用します

Copyright © 2026 Texas Instruments Incorporated

表 24-32. CTL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	予約済み	R	0h	
9	中断	R/W	0h	外部通信の中断。このビットをセットすると、コントローラ モードでは CS がアイドル状態に戻った後、ペリフェラル モードでは CS がアイドル状態として読み取られた後に、外部バス上の SPI 通信が停止します。 0h = 機能モードが再開 1h = 外部通信を一時停止
8	PTEN	R/W	0h	パリティ送信の有効化。有効にすると、コントローラ モードとペリフェラル モードの両方でパリティ送信が行われます。 0h = パリティ送信は無効です 1h = パリティ送信は有効です
7	予約済み	R	0h	予約済み
6	PES	R/W	0h	偶数パリティ選択。 0h = 奇数パリティ モード 1h = 偶数パリティ モード
5	PREN	R/W	0h	パリティ受信イネーブル。有効にすると、コントローラ モードとペリフェラル モードの両方でパリティ受信チェックが行われます。パリティ不一致が発生した場合、パリティ エラー フラグ RIS.PER がセットされます。 0h = パリティ受信機能を無効化します 1h = パリティ受信機能を有効化します
4	MSB	R/W	0h	MSB ファースト選択。受信および送信シフト レジスタの方向を制御します。 0h = LSB ファースト 1h = MSB ファースト
3	ポッド	R/W	0h	ペリフェラル モード:データ出力を無効にします。このビットは、ペリフェラル モードでのみ有効です。複数ペリフェラル構成のシステムでは、SPI コントローラはすべてのペリフェラルにメッセージをブロードキャストできますが、ラインを駆動するペリフェラルは一つだけです。POD は、SPI ペリフェラルがライン上の駆動データを無効にするために使用できます。 0h = SPI は、ペリフェラル モードで POCI 出力を駆動できます。 1h = SPI は、ペリフェラル モードで POCI 出力を駆動できません。
2	CP	R/W	1h	コントローラ モードまたはペリフェラル モードの選択。このビットは、SPI が無効 (CTL1.ENABLE = 0) の場合にのみ変更できます。 0h = ペリフェラル モードを選択します 1h = コントローラ モードを選択します
1	LBM	R/W	0h	ループバック モードの有効化。 0h = ループバック モードを無効にします 1h = ループバック モードを有効にします
0	イネーブル	R/W	0h	SPI イネーブル。 0h = モジュール機能を無効化します 1h = モジュール機能を有効化します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

24.3.25 SPI_CNTR レジスタ (オフセット = 1150h) [リセット = 00000000h]

SPI_CNTR は、図 24-32 に示されており、表 24-33 で説明されています。

概略表に戻ります。

SPI カウンタ 1。アプリケーションはカウント値 2 をロードします。有効化すると、カウンタはゼロ 3 にカウントダウンします。「ゼロ」に達すると、フレームが送信され、カウンタはカウント値にリロードされます

図 24-32. SPI_CNTR レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																SPICNT															
R-0h																R-0h															

表 24-33. SPI_CNTR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	SPICNT	R	0h	SPI カウント値。SPI_CNTR_EN が無効化されているとき、アプリケーションはカウント値をロードします。SPI_CNTR_EN がセットされている場合、カウンタは有効化されます。 0h = 最小値 FFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

Chapter 25

QSPI

クワッド シリアル ペリフェラル インターフェース (QSPI) モジュールは、QSPI インターフェイス (フラッシュ メモリ、高リフレッシュ レート ディスプレイなど) を使用して MSP デバイスとその他の外部デバイス間でデータを転送するための標準化されたシリアル インターフェイスを提供します。

25.1 QSPI の概要 1442
25.2 QSPI 動作 1445
25.3 QSPI レジスタ 1457

Copyright © 2026 Texas Instruments Incorporated

25.1 QSPI の概要

QSPI モジュールは、QSPI インターフェイス (フラッシュ メモリや高リフレッシュレート ディスプレイなど) を使用して、MSP デバイスとその他の外部デバイス間でデータを転送するための標準化されたシリアル インターフェイスを提供します。

25.1.1 ペリフェラルの目的

QSPI は、拡張 SPI バス経由でシリアル NOR フラッシュと通信を行うためのペリフェラルであり、ペリフェラル入力 / コントローラ出力 (PICO) 信号とペリフェラル出力 / コントローラ入力 (POCI) 信号に加え、2 本の追加データ ラインが提供されます。送信および受信パスは内部の独立した FIFO メモリでバッファされるため、16 ビット幅で最大 4 エントリが可能です。また、送信 FIFO と受信 FIFO とのデータ交換を可能にする DMA インターフェイスも備えています。

25.1.2 特長

QSPI モジュールの主な機能は次のとおりです。

- 外部 NOR フラッシュに最大 40MHz を供給するためのシリアル クロック。
- クロック エッジごとのシングル、BI (デュアル) およびクワッド データ読み取り転送。
- NOR フラッシュにアクセスするための 3 バイトおよび 4 バイトのアドレス。
- FIFO ステータスを示す割り込み (フル、非フル、空)。
- 8 ビットまたは 16 ビット長の FIFO パックまたはデバイスとペリフェラルの間でのアンパッキング
- 外部 NOR フラッシュからの要件に合わせて、プログラマブルなダミー クロック挿入。
- ダイレクト メモリ アクセス コントローラ インターフェイス (DMA) :
  - 送信用と受信用のチャネルを分離。
  - 転送完了割り込み。

Copyright © 2026 Texas Instruments Incorporated

25.1.3 機能ブロック図

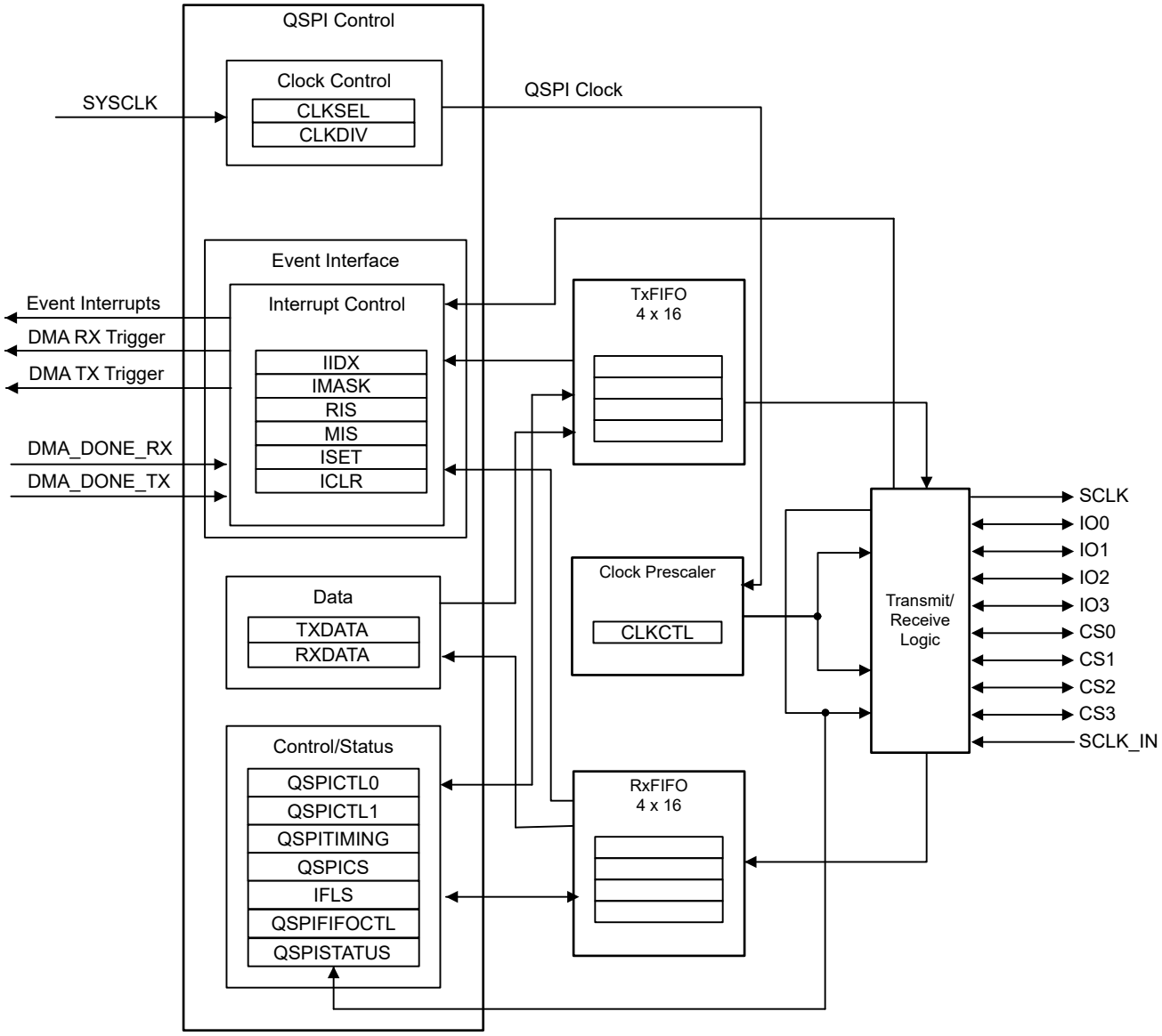


図 25-1. QSPI の機能ブロック図

25.1.4 外部接続と信号の説明

図 25-2 と 表 25-1 に、SPI モジュールのさまざまな動作モードのピン機能の概要を示します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

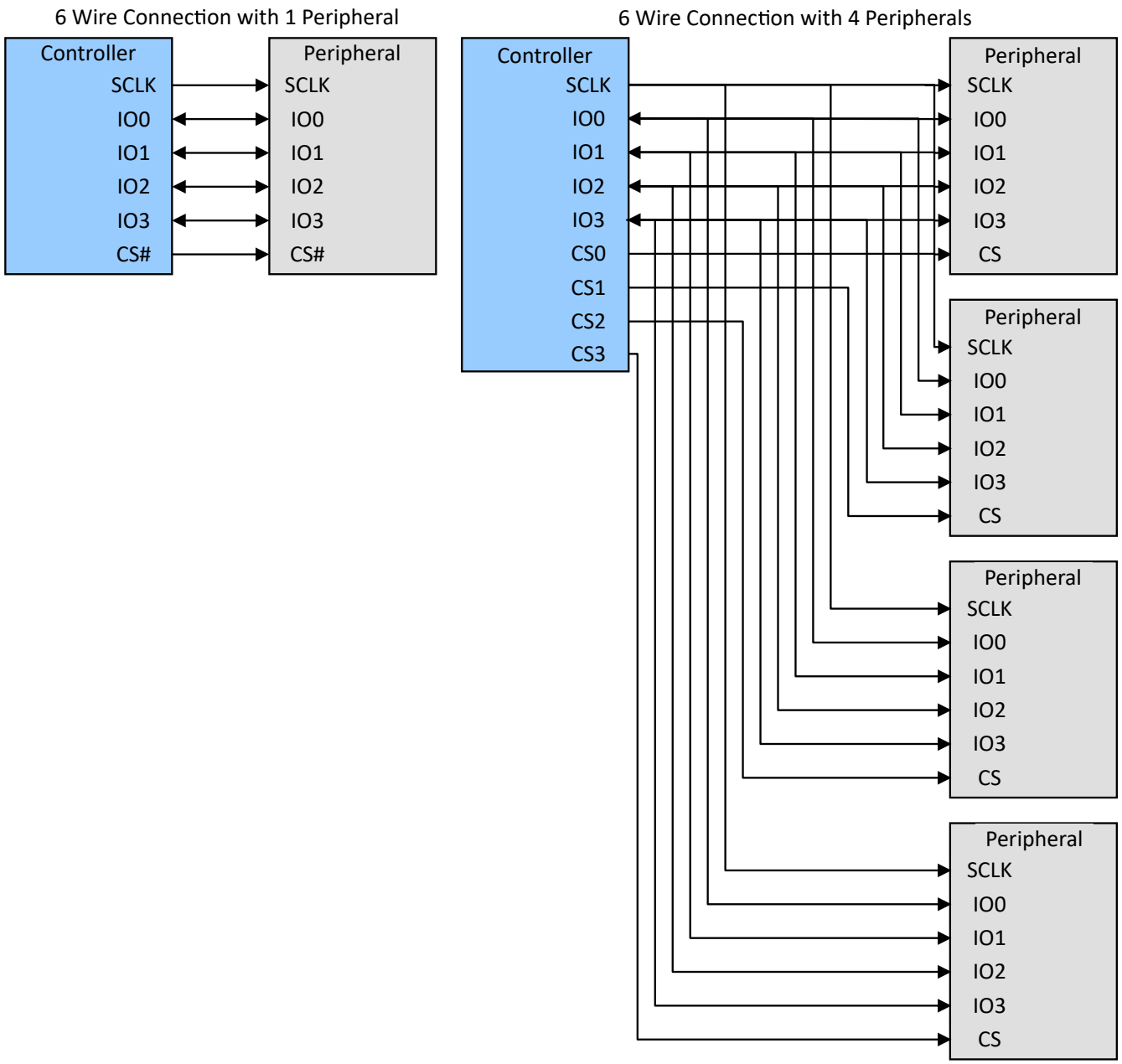


図 25-2. 異なる QSPI 構成に対する外部接続

表 25-1. ピン機能の概要

QSPI	特長
SCLK	SPI クロック
IO0	入出力信号 0
IO1	入出力信号 1
IO2	入出力信号 2
IO3	入出力信号 3
CS0	チップ セレクト信号 0
CS1	複数のペリフェラルと組み合わせて使用するチップ セレクト信号 1
CS2	複数のペリフェラルと組み合わせて使用するチップ セレクト信号 2

Copyright © 2026 Texas Instruments Incorporated

表 25-1. ピン機能の概要 (続き)

QSPI	特長
CS3	複数のペリフェラルと組み合わせて使用するチップ セレクト信号 3

25.2 QSPI 動作

25.2.1 クロック制御

QSPI の内部機能クロックは、電力ドメイン 1 (PD1) の BCLK クロックドメイン内の MCLK から選択され、分周されます。QSPI.CLKDIV レジスタを使用して、QSPI 機能クロックの分周比を選択します。分周比は 1 から 8 の範囲で設定可能です。QSPI.PWREN レジスタの ENABLE ビットを使用して使用する前に、QSPI モジュールをイネーブルにする必要があります。QSPI のセットアップ時や構成を変更する場合は、更新中やその後の最初のデータ送受信時に予期しない動作が生じないよう、QSPI.CTL1->ENABLE ビットをクリアする必要があります。

QSPI には、プログラマブル ビット レート クロック分周器とプリスケーラが含まれており、シリアル出力クロック (SCLK) を生成します。サポートされているビット レートは、最大 40MHz SCLK です。「QSPI クロック」は、CLKDIV レジスタで選択された比率に従って分周した後の出力です。

$$\text{QSPI Clock} = \frac{Input\ Clock}{(1 + CLKDIV)} \tag{20}$$

QSPI サンプリング クロック (SCLK) は、QSPI クロックをプリスケーラ値で分周した後の出力です。

$$\text{SCLK} = \frac{QSPI\ Clock}{((1 + SCR) \times 2)} \tag{21}$$

CLKDIV によって分周比が 2 (* 2) に設定されている場合、入力クロックは QSPI クロックの 2 倍以上の速度ででなければなりません。

25.2.2 一般アーキテクチャ

25.2.2.1 チップ セレクト制御

CTL0.CSSEL ビットは、最大 4 つの CS 信号によって接続されたペリフェラルがアドレス指定されるかを選択します。選択した信号は転送中に制御されます。チップ セレクト信号はコントローラから供給する必要があり、チップ セレクトの極性は PINCM.CSx.INV レジスタを構成することで反転できます。

コントローラが QSPICS レジスタを使用して転送を完了したら、チップ セレクトを非アクティブ 1 に戻すことができます。さらに、外部 SCLK に対する CS のアサートおよびデアサート遅延は、QSPITIMING レジスタを使用して設定できます。

25.2.2.2 データ フォーマット

制御レジスタ ビット QSPICTL0.QSPIDSIZE により、転送ごとのビット長は、8 ビットまたは 16 ビットに定義されます。TX バッファ レジスタへの書き込みにより転送がトリガされます。データの書き込みには転送のビット数が必要です。たとえば、TX バッファに 2 バイトが書き込まれたものの、転送の長さが 8 である場合、残りの 8 ビットは無視されます。受信パスでは、QSPICTL0.DSIZE レジスタで定義されたビット数が受信されると、受信データは RXFIFO または RX バッファに転送されます。

クロック極性 (CTL0.SPO) は、データが転送されていないときのクロック極性を制御するために使用されます。

- 0h = ペリフェラルは、データが転送されていないときの CLKOUT ピンに、定常状態の LOW の値を生成します。
- 1h = ペリフェラルは、データが転送されていないときの CLKOUT ピンに、定常状態の HIGH の値を生成します。

クロック位相 (CTL0.SPH) ビットは、データをキャプチャし、状態変化を可能にするクロック エッジを選択します。最初のデータをキャプチャするエッジの前にクロック遷移を許可するか否かによって、送信された最初のビットに最も影響を及ぼします。

- 0h = データは、最初のクロック エッジ遷移時にキャプチャされます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- 1h = データは、二番目のクロック エッジ遷移時にキャプチャされます。

SPO および SPH の詳細については、Motorola SPI フレームを参照してください。

注

QSPI では、SPO=0、SPH=0、SPO=1、SPH = 1 の組み合わせのみが使用可能です。それ以外の組み合わせはサポートされず、ユーザーが設定した場合でも SPO = 0、SPH = 0 にマッピングされます。

25.2.2.3 遅延データ サンプリング

ランタイム条件や後続の入力データ サンプリング段が原因で入力データが IO ピンに遅延して到達する場合、前のデータはサンプリング クロック エッジでサンプリングされます。このような状態を補償するため、CLKCTL.DSAMPLE ビットを使用してサンプリングを遅延させる設定が可能です。遅延は、制御レジスタ ビット CLKCTL.DSAMPLE を設定することで、QSPI 入力クロック ステップ単位で調整できます。最大許容遅延は 1 データ フレームの長さを超えないようにする必要があります。

25.2.2.4 ループバック モード

遅延データ サンプリングと同様に、QSPI には遅延クロックでデータをサンプリングするオプションがあります。この場合、SCLK は SOC の IO セル経由で内部でループバックされ、QSPI にフィードバックされます。この場合の遅延は固定されています。クロック ループバックは、QSPITIMING.DATSMPLDY ビットを設定することでイネーブルにできます。

注

ユーザーは、ループバック クロックをイネーブルにするために、QSPI の SCLK に対応するピンで、IOMUX -> PINCM レジスタで INENA をイネーブルにする必要があります。

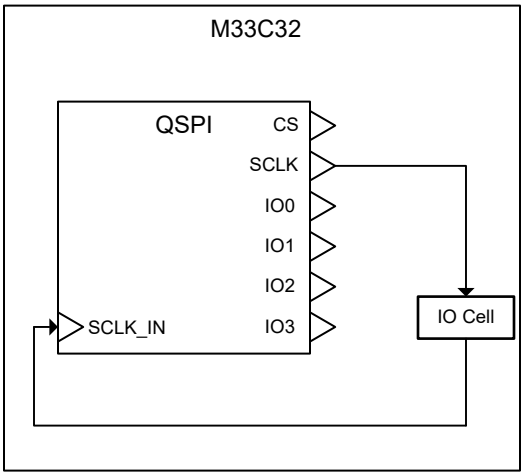


図 25-3. QSPI クロック ループバック

25.2.2.5 FIFO 動作

送信 FIFO

TX FIFO は、16 ビット幅、4 領域深さ、先入れ先出しメモリ バッファです。CPU は QSPI データ レジスタ TXDATA.DATA に書き込むことで FIFO にデータを書き込み、データは送信ロジックによって読み取られるまで FIFO に格納されます。パラレル データは、接続されているペリフェラルへの IO ピン経由でのシリアル変換および送信が行われる前に、TX FIFO に書き込まれます。ユーザーまたはソフトウェアは、必要に応じて FIFO に有効なデータを提供する必要があります。SPI は、FIFO が空のときに割り込みまたは DMA 要求を生成するように構成できます。送信 FIFO には TXFIFO_UNF 割り込みがあり、FIFO アンダーフロー状態を示します。

受信 FIFO

Copyright © 2026 Texas Instruments Incorporated

RX FIFO は、16 ビット幅、4 領域深さ、先入れ先出しメモリ バッファです。シリアル インターフェイスから受信したデータは、CPU または DMA が読み取るまでバッファに格納されます。CPU または DMA は、RXDATA レジスタを読み出すことで読み出し FIFO にアクセスします。シリアル データは IO ピンを介して受信されます。FIFO のアクセス ポインタは各アクセスで更新されるため、データには 1 回の転送でアクセスする必要があります。QSPISTAT レジスタに FIFO フィル レベル トリガ信号 (TXFIFONF、TXFIFOE、RXFIFONF、RXFIFOE) を配置すると、FIFO バッファは、一方のバッファ内のデータをアプリケーションが移動または処理している間、もう一方のバッファでシリアル データを継続的にストリーミングできます。FIFO がフルで、データを読み込まずに新しいデータが FIFO に書き込まれると、RXFIFO オーバーフロー イベントが発生します。受信 FIFO には、FIFO がフルになったことを示す RXFULL 割り込みがあります。

25.2.2.6 DMA 動作

QSPI は、DMA コントローラへのインターフェイスとして機能し、送信用と受信用に個別のチャネルを備えています。QSPI の DMA 動作は、QSPI イベントと DMA レジスタを介してイネーブルになります。DMA 動作がイネーブルな場合、関連する FIFO がデータを転送できる状態になったときに、QSPI は、受信または送信チャネルに DMA 要求をアサートします。受信チャネルについては、受信 FIFO 内のデータ量が、IFLS レジスタの RXIFLSEL ビットで構成された FIFO トリガレベル以上になると、転送要求がアサートされます。送信チャネルについては、送信 FIFO 内のデータ量が IFLS レジスタの TXIFLSEL ビットで構成された FIFO トリガレベルを下回るたびに、転送要求がアサートされます。DMA 転送要求は、DMA チャネルの設定方法に応じて、DMA コントローラによって自動的に処理されます。DMA 転送の完了後、FIFO フラッシュを制御し、チップセレクトをデアサートするために、CPU の介入が必要です。

25.2.2.7 低消費電力モード

QSPI モジュールは電力ドメイン 1 (PD1) に配置されており、RUN モードと SLEEP モードでのみアクティブです。アプリケーション ソフトウェアによって QSPI モジュールがイネーブルになっている場合、STOP または STANDBY 低消費電力モードに移行すると、デバイスが STOP モードまたは STANDBY モードの間、QSPI モジュールが一時的に無効になります。

25.2.3 リセットの考慮事項

ソフトウェア リセットの考慮事項

ソフトウェアリセットは、RSTCTL レジスタの KEY と一緒に RESETASSERT を設定することで実行できます。進行中の転送は即座に終了され、ソフトウェアが未定義状態のままになる可能性があります。したがって、リセットを要求する前に、進行中の転送を終了する必要があります。

ハードウェア リセットの考慮事項

ハードウェア リセットにより、IO 構成も開始されます。これにより、IO が高インピーダンス状態に設定され、データ ラインがフローティングできます。これがアプリケーションや、QSPI インターフェイスの外部プルアップ接続されているデバイスにとって重要な場合です

25.2.4 初期化

注

QSPICTL0 -> QSPIFORMAT = 0x0 を使用することは推奨しません。この場合、QSPI をレガシー SPI モジュールとして動作させるように構成します。従来の SPI 機能が必要な場合は、M33C32 の SPGSS.SPI モジュールを使用する必要があります。ユーザーは、セクション 2.11 で説明しているレガシー SPI *** レジスタについて、必要に応じて CTL0 -> CSSEL、SPO、SPH、CTL1 -> ENABLE を調整する場合を除き、設定したり使用したりしてはなりません。QSPI はコントローラとしてのみ動作するため、CTL1 -> CP は常に 1 にする必要があります。

QSPI を有効化してび初期化するには、以下の手順が必要です。

1. QSPI 信号が多重化されている適切な GPIO ピンを使用して IOMUX を構成します

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

プルアップを使用すると、ペリフェラルが正しくない状態になる可能性がある SPI ピンでの不要なトグルを回避できます。また、CTL0 レジスタの SPO ビットによって SCLK 信号が定常状態 High にプログラムされている場合、ソフトウェアで SCLK 信号に対応する GPIO ポート ピンもプルアップとして構成する必要があります。

各フレーム形式について、QSPI は次の手順で構成します。

1. 構成を変更する前に、CTL1 レジスタの ENABLE ビットがクリアされていることを確認します。
2. CLKDIV レジスタに書き込んで、クロック プリスケール分周器を構成します。
3. QSPI は MFCLK および LFCLK をサポートしていないため、CLKSEL が常にソース クロックとして SYSCLK を選択するようにしてください。
4. QSPI は常にコントローラ モードで動作するため、CTL1 レジスタの MS ビットが設定されていることを確認します。
5. QSPI を使用する場合は、CTL1 レジスタの MSB ビットが常に MSB ファーストで送信されるように設定されていることを確認します。
6. QSPI は 32 ビット データ パッキングをサポートしていないため、CTL0 レジスタの PACKEN ビットが常にディセーブルになっていることを確認します。
7. CLKCTL レジスタに書き込んで、クロック除数を構成します。
8. 目的のフレーム、データ幅、その他の特別な構成に基づいて QSPI レジスタを構成します。
9. 必要に応じて DMA を設定します。
10. CTL1 レジスタの ENABLE ビットを設定して、QSPI を有効化します。

25.2.5 QSPI コントローラの説明

25.2.5.1 構成フレーム アクセス

構成フレームを送信するとき、QSPI コントローラは、SPI または QPI 半二重モードのいずれにおいても、「0001」または「0010」の QSPIFORMAT のみを使用します。

注

SPI モードとは、QSPI モジュールが SPI モジュールをエミュレートし、コマンド、命令、およびデータを 1 本の通信ラインで送信することを指します。

注

QPI モードとは、コマンド、命令、データを 4 本つの通信ラインすべてを使用して送信する QSPI モジュールを指します。

- ホストは QSPISTATUS.QSPIIDLE =「1」であることを確認する必要があります
- ホストは QSPICTL1 レジスタをプログラムする必要があります
  - QSPICTL1.TXCOUNT に送信するバイト数 (命令およびペイロード)
  - QSPICTL1.RXCOUNT = 0 および QSPICTL1.QSPIPREFETCH = 0
- 追加のペイロード バイトを書き込む前に、命令バイトを TXFIFO に書き込み、QSPISTATUS.TXFIFONF を監視します。
- QSPISTATUS.QSPISTALL が「1」であることを確認します
- QSPICS.CSHOLDCTL に「1」と書き込み、QSPISTATUS.QSPIIDLE =「1」であることを確認します
- 後続のトランザクションのためにチップ セレクトを解除するには、QSPICS.CSHOLDCTL =「0」と書き込みます

Copyright © 2026 Texas Instruments Incorporated

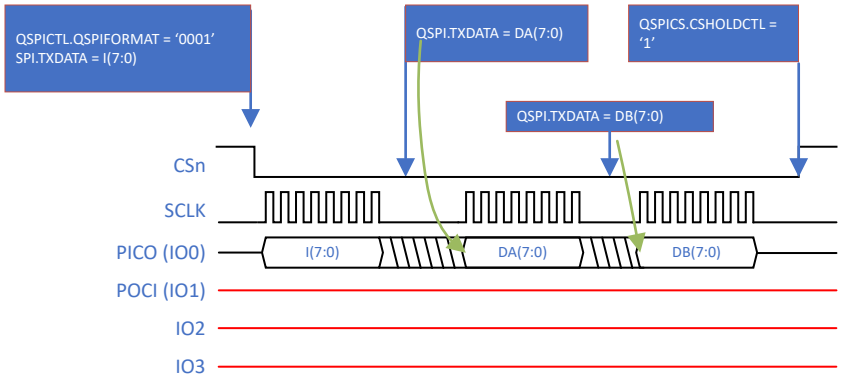


図 25-4. 構成フレーム アクセス — SPI モード

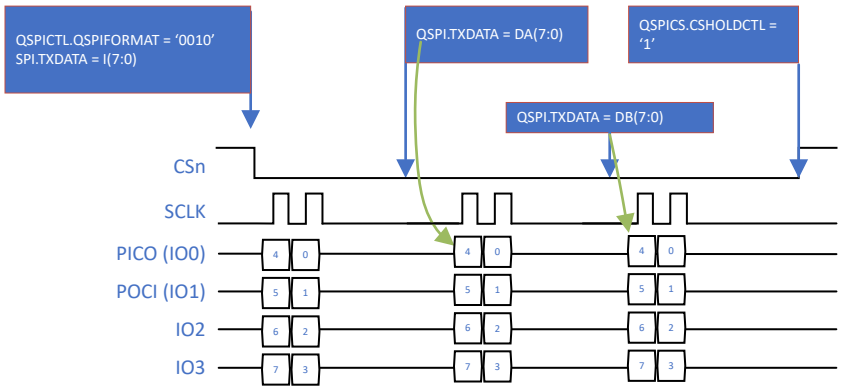


図 25-5. 構成フレーム アクセス — QPI モード

25.2.5.2 ステータス フレーム アクセス

ステータス フレームを送信するとき、QSPI コントローラは、SPI または QPI 半二重モードのいずれにおいても、「0001」または「0010」の QSPIFORMAT のみを使用します。

- ホストは QSPISTATUS.QSPIIDLE =「1」であることを確認する必要があります
- ホストは QSPICTL1 レジスタをプログラムする必要があります
  - QSPICTL1.TXCOUNT に送信するバイト数 (命令およびペイロード)
  - QSPICTL1.RXCOUNT に受信するバイト数と QSPICTL1.QSPIPREFETCH = 1
- 追加のペイロード バイトを書き込む前に、命令バイトを TXFIFO に書き込み、QSPISTATUS.TXFIFONF を監視します
- QSPISTATUS.RXFIFOE が「0」であることを確認し、RXCOUNT ステータスータ バイト数を読み取ります
- RXCOUNT データ バイトを受信したら、QSPICS.CSHOLDCTL に「1」と書き込み、QSPISTATUS.QSPIIDLE =「1」であることを確認します
- 後続のトランザクションのためにチップ セレクトを解除するには、QSPICS.CSHOLDCTL =「0」と書き込みます

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

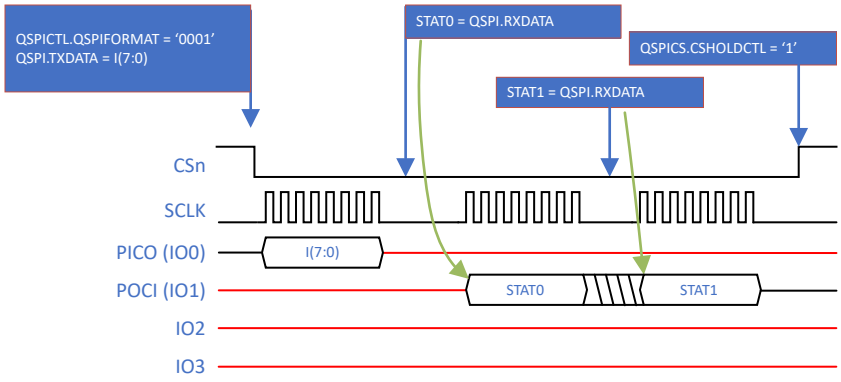


図 25-6. ステータス フレーム アクセス — SPI モード

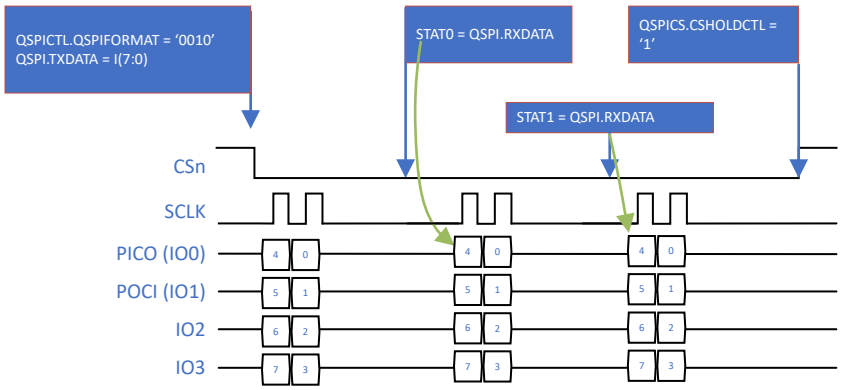


図 25-7. ステータス フレーム アクセス — QPI モード

25.2.5.3 データのパッキングとアンパッキング

QSPIDSIZE ビットは、データのパッキングとアンパックに使用されます。フィールドがバイト (8 ビット) アクセス用にプログラムされている場合、FIFO に対するすべての書き込みおよび読み出しは、有効なデータを含む下位 8 ビットに対して実行されます。フィールドがハーフワード (16 ビット) アクセス用にプログラムされている場合、FIFO に対するすべての書き込みおよび読み出しは、有効なデータを含む下位 16 ビットに対して実行されます。FIFO アクセスは、ARM アーキテクチャに準拠するために、常にリトル エンディアン形式で行われます。

データ パスが 16 ビット ワード モードに構成されている場合、CPU は LSB から始まるバイトを最初に書き込む必要があります。

- バス上で送信するデータの順序が 0xAA、0xBB、0xCC の場合、CPU は TXFIFO 0xBBAA と 0xXXCC に書き込む必要があります
- バスで送信するデータの順序が 0x11、0x22、0x33、0x44 の場合、CPU は TXFIFO 0x2211 と 0x4433 に書き込む必要があります

CPU が RXFIFO からバイトを読み取るとき、LSB が受信される最初のバイトになります。

- 外部メモリからのデータの順序が 0x12、0x34、0x56 の場合、CPU は RXFIFO から 0x3412 と 0x0056 を読み出す必要があります
- 外部メモリからのデータの順序が 0xAB、0xCD、0xEF、0x78 のである場合、CPU は RXFIFO から 0xCDAB と 0x78EF を読み出す必要があります

注

転送カウントは常にバイト数であり、FIFO の幅である 8 ビットまたは 16 ビットには依存しません。16 ビット FIFO の場合、転送カウントは 2 ずつデクリメントされ、最後のエントリでは LSB のみが送信されます。

Copyright © 2026 Texas Instruments Incorporated

25.2.5.4 データ フレーム アクセス

間接モードでデータ読み取りフレームを送信する場合、QSPI コントローラは QSPIFORMAT[3] のフォーマットを「1」として使用し、他のビットについては所定のフレーム フォーマットに従って設定した形式のみを使用します。適切に動作させるためには、QSPIPREFETCH、QSPIADDR、QSPIPERFBYTE、QSPICMDBYTE、QSPIDUMMYCLK をプログラムする必要もあります。

プログラミングが完了したら、ホストはトランザクションを準備するために、TXFIFO にアドレスを書き込む必要があります。最初のバイトが TXFIFO に書き込まれた後、QSPI コントローラは QSPICMDBYTE を送信してバストランザクションを開始し、その後にアドレス バイト QSPIPERFBYTE、ダミー クロックを送信します。命令フェーズとアドレス フェーズ (イネーブル時はパフォーマンス バイトを含む) では、フレーム フォーマットに応じてホスト コントローラが QSPI データ ラインを駆動します。ダミー クロック位相および読み取りデータの間、チップ セレクトがアサート解除されるまで、QSPI ラインは入力モードのみになります。ダミー クロック位相中はバスをサンプリングすべきではありません。

注

外部 NOR フラッシュとインターフェイス接続する際にはダミー クロックが必要となります。これは、要求されたデータを NOR フラッシュが取得するための時間を確保するために不可欠です。

- ホストは QSPISTATUS.QSPIIDLE =「1」であることを確認する必要があります
- データ フレーム形式が変更されない場合は、ホストは QSPICTL0 レジスタを 1 回のみプログラムする必要があります
  - 転送タイプは QSPIFORMAT
  - フラッシュ データシートに基づき、命令オペコードは QSPICMDBYTE
  - フラッシュ データシートに基づき、3 バイトまたは 4 バイトのアドレス フィールドを使用するための QSPIADDR
  - フラッシュ データシートに基づきパフォーマンス バイトは QSPIPERFBYTE および QSPIPERFMODE
  - フラッシュ データシートに基づき、送信されるダミー クロックの数は QSPIDUMMYCLK
- ケース 1: 合計バイト数が 256 未満の場合
  - ホストは QSPICTL1 レジスタをプログラムする必要があります
    - QSPICTL1.RXCOUNT に受信するバイト数と QSPICTL1.QSPIPREFETCH = 1
  - 転送の準備を行うために追加のアドレス バイトを書き込む前に、アドレス バイトを TXFIFO に書き込み、QSPISTATUS.TXFIFONF を監視します
  - QSPISTATUS.RXFIFOE が「0」であることを確認し、RXCOUNT データ バイト数を読み取ります
  - RXCOUNT データ バイトを受信したら、QSPICS.CSHOLDCTL に「1」と書き込み、QSPISTATUS.QSPIIDLE =「1」であることを確認します
  - 後続のトランザクションのためにチップ セレクトを解除するには、QSPICS.CSHOLDCTL =「0」と書き込みます
- ケース 2: 合計バイト数が 256 以上の場合
  - ホストは QSPICTL1 レジスタをプログラムする必要があります
    - 無制限に読み出すには、QSPICTL1.RXCOUNT = 0 および QSPICTL1.QSPIPREFETCH = 1 に設定します
  - 転送の準備を行うために追加のアドレス バイトを書き込む前に、アドレス バイトを TXFIFO に書き込み、QSPISTATUS.TXFIFONF を監視します
  - QSPISTATUS.RXFIFOE が「0」であることを確認し、データ バイトを読み取ります
  - 必要な数のデータ バイトを受信したら、QSPISTATUS.QSPISTALL が 1 になるまで待ちます。
  - QSPICS.CSHOLDCTL に「1」と書き込み、QSPISTATUS.QSPIIDLE = '1' であることを確認します
  - QSPICS.RXFIFOFLUSH に「1」と書き込み、QSPISTATUS.RXFIFOE = '1' および QSPISTATUS.QSPISTALL = '0' であることを確認します
  - 後続のトランザクションのためにチップ セレクトを解除するには、QSPICS.CSHOLDCTL =「0」と書き込みます

25.2.5.4.1 SSS モード (QSPIFORMAT = 1000)

SSS モードでは、バス上の命令、アドレス、およびデータ位相はシングル レーン モードで実行されます。ホストは常に IO0 で命令とアドレスを送信します。メモリは IO1 のデータを送信します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

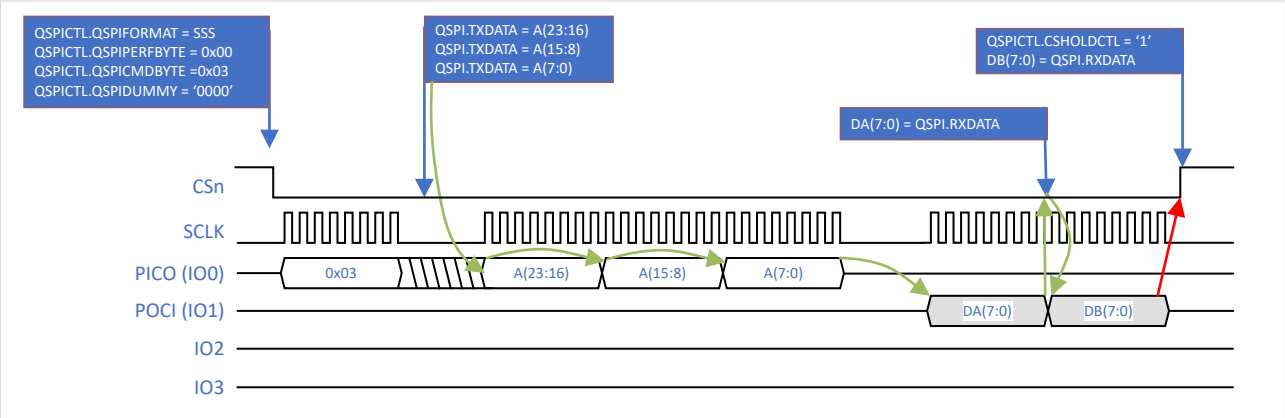


図 25-8. データ読み取り — 0 つのダミー クロックがある SSS フォーマット (通常読み取り)

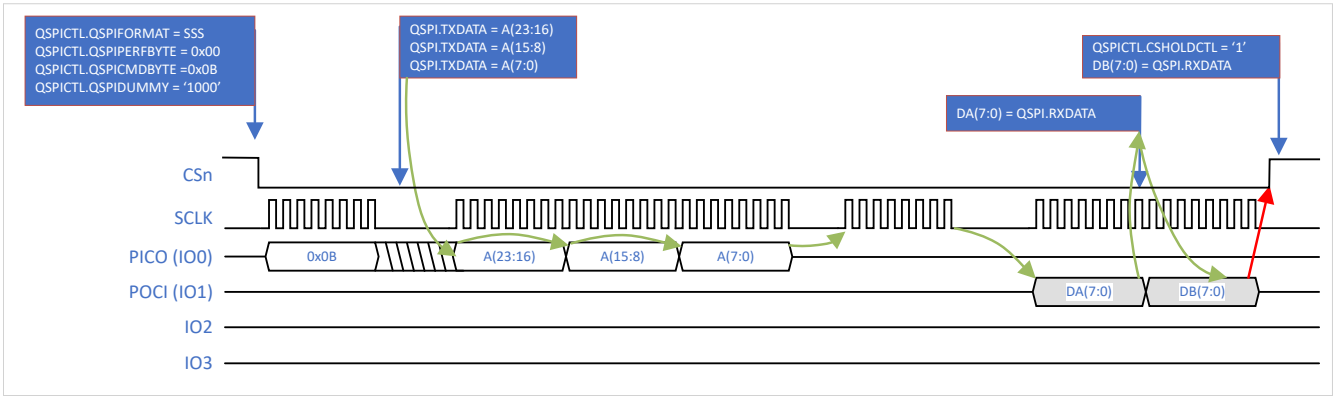


図 25-9. データ読み取り — 8 つのダミー クロックがある SSS フォーマット (通常読み取り)

25.2.5.4.2 SSD モード (QSPIFORMAT = 1001)

SSD モードでは、ホストは常に IO0 で命令とアドレスを送信します。メモリは、IO1 と IO0 にデータを送信し、最上位ビット (MSb) を最初に IO1 に、MSb-1 を IO0 に送信します。

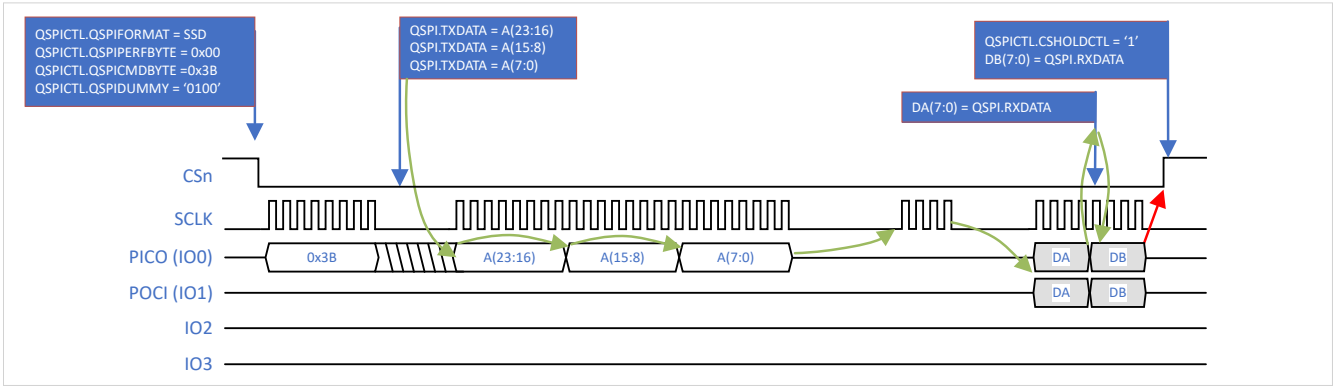


図 25-10. データ読み取り - 4 つのダミー クロックを持つ SSD フォーマット (高速読み出しデュアル出力)

25.2.5.4.3 SDD モード (QSPIFORMAT = 1010)

SDD モードにおいて、ホストは常に IO0 上で命令を送信し、IO1 および IO0 上でアドレスを送信します。その際、最上位ビット (MSb) を IO1 で、MSb-1 を IO0 で最初に送信する。メモリは、IO1 と IO0 にデータを送信し、最上位ビット (MSb) を最初に IO1 に、MSb-1 を IO0 に送信します。

Copyright © 2026 Texas Instruments Incorporated

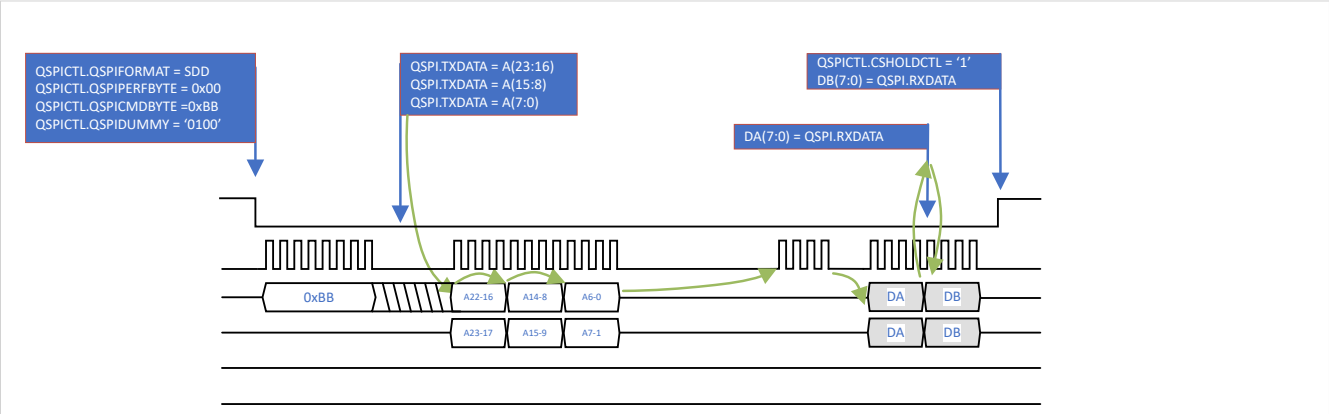


図 25-11. データ読み取り - 4 つのダミー クロックがある SDD フォーマット (高速読み取りデュアル IO)

25.2.5.4.4 SSQ モード (QSPIFORMAT = 1011)

SSQ モードでは、ホストは常に IO0 で命令とアドレスを送信します。メモリは、IO3、IO2、IO1、IO0 上でデータを送信するものとします。その際、最上位ビット (MSb) を IO3 に、MSb-1 を IO2 に、MSb-2 を IO1 に、MSb-3 を IO0 に割り当てて送信します。

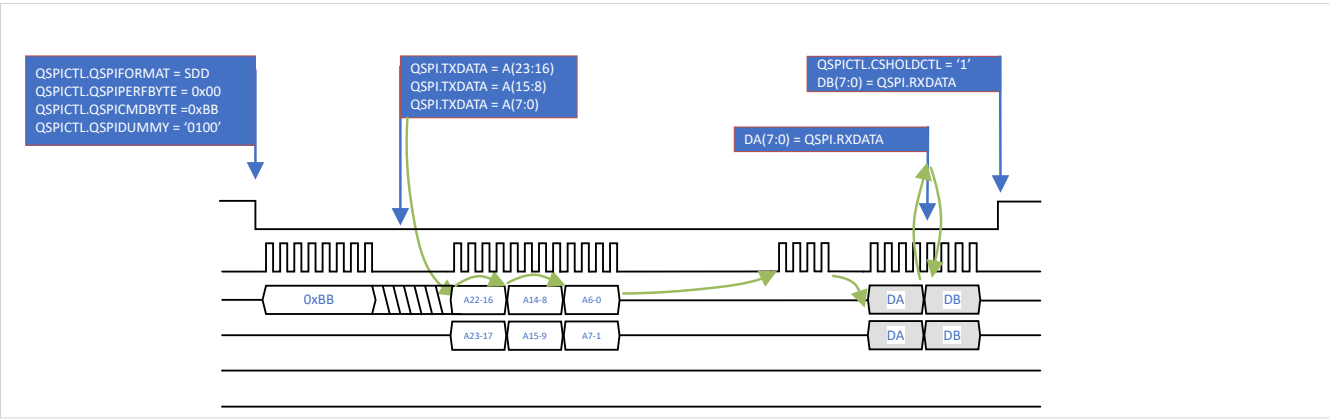


図 25-12. データ読み取り — 2 つのダミー クロックを持つ SSQ フォーマット (高速読み出し クワッド出力)

25.2.5.4.5 SQQ モード (QSPIFORMAT = 1100)

SQQ モードにおいて、ホストは常に IO0 上で命令を送信し、IO3、IO2、IO1、IO0 上でアドレスを送信するものとします。その際、最上位ビット (MSb) を IO3 に、MSb-1 を IO2 に、MSb-2 を IO1 に、MSb-3 を IO0 に割り当てて送信します。メモリは、IO3、IO2、IO1、IO0 上でデータを送信するものとします。その際、最上位ビット (MSb) を IO3 に、MSb-1 を IO2 に、MSb-2 を IO1 に、MSb-3 を IO0 に割り当てて送信します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

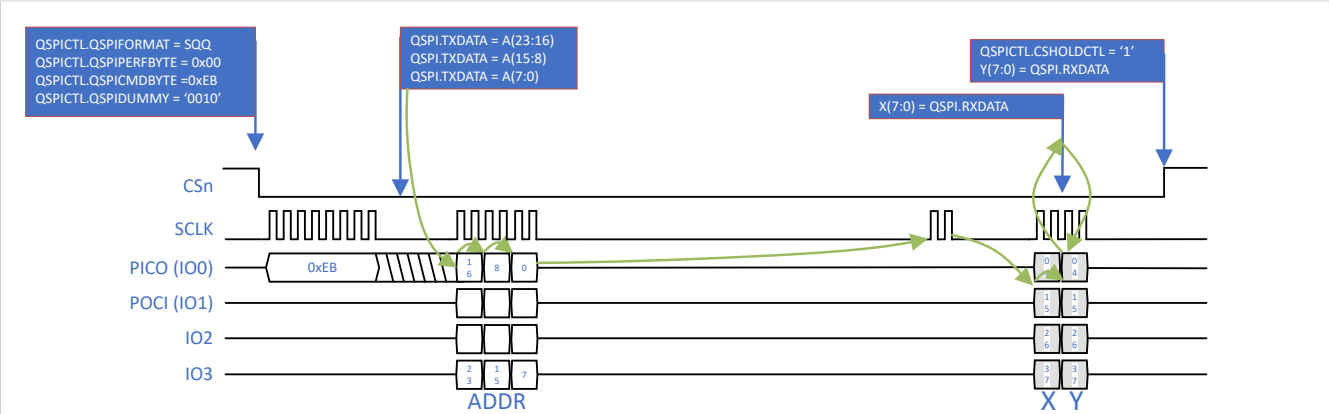


図 25-13. データ読み取り — 2 つのダミー クロックがある SQQ フォーマット (高速読み取りクワッド IO)

25.2.5.4.6 QQQ モード (QSPIFORMAT = 1101)

QQQ モードでは、ホストは常に IO3、IO2、IO1、IO0 に命令とアドレスを、最上位ビット (MSb) は最初に IO3、IO2 に MSb-1、IO1 に MSb-2、IO0 に MSb-3 を送信するものとします。メモリは、IO3、IO2、IO1、IO0 上でデータを送信するものとします。その際、最上位ビット (MSb) を IO3 に、MSb-1 を IO2 に、MSb-2 を IO1 に、MSb-3 を IO0 に割り当てて送信します。

注

QQQ モードは QPI モードと同じです

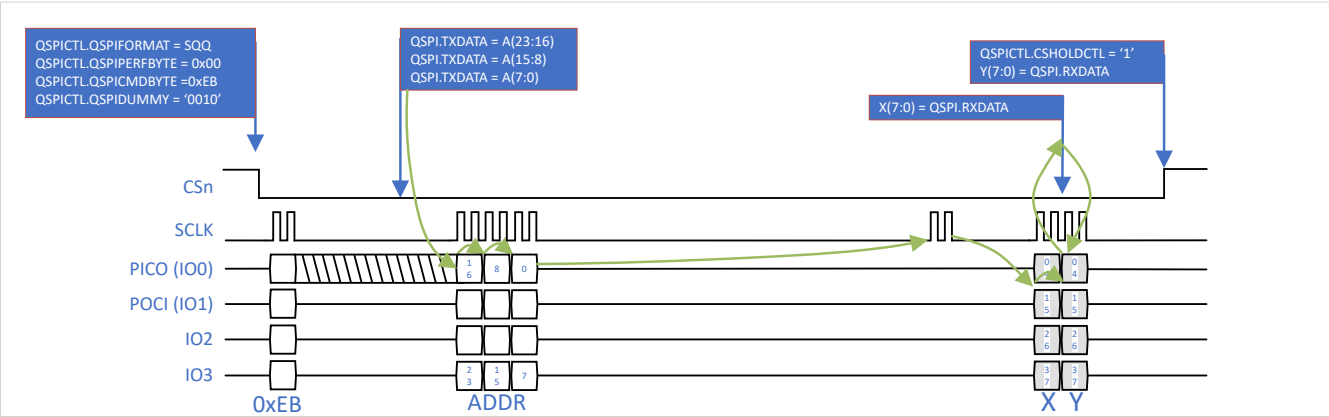


図 25-14. 2 つのダミー クロックを使用したデータ読み取り -QQQ フォーマット

注

バスのストールを回避するため、ステータス レジスタを読み取って RXDATA バッファにデータがあるかどうかを確認することをお勧めします。このモードでは、FIFO ステータスをチェックするために CPU が QSPISTATUS レジスタを読み取る必要があるため、ステータス読み取りの発行、結果の処理、FIFO 読み取りの実行の遅延は、FIFO が最速のシリアル クロック周波数の 1 バイトのデータを持つことを保証します。

25.2.6 割り込みとイベントのサポート

SPI モジュールには 3 つのイベント パブリッシャが含まれ、イベント サブスクライバは含まれていません。1 つのイベント パブリッシャ (CPU_INT) がスタティック イベント ルートによって CPU サブシステムへの SPI 割り込み要求 (IRQ) を管理します。2 番目と 3 番目のイベント パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX) は、DMA イベントルート経由で DMA のトリガ信号伝達を設定するために使用されます。

Copyright © 2026 Texas Instruments Incorporated

表 25-2. QSPI イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	QSPI	CPU サブシステム	スタティック ルート	CPU_INT レジスタ	SPI から CPU への固定割り込みルート
DMA トリガ	パブリッシャ	QSPI	DMA	DMA イベント ルート	DMA_TRIG_RX レジスタ	QSPI RX から DMA への固定割り込みルート
DMA トリガ	パブリッシャ	QSPI	DMA	DMA イベント ルート	DMA_TRIG_TX レジスタ	QSPI TX から DMA への固定割り込みルート

25.2.6.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

QSPI モジュールは、CPU 割り込みイベントをソースできる 9 つの割り込みソースを提供します。SPI CPU_INT トリガ条件 に、優先度を低下させるための QSPI からの CPU 割り込みイベントを示します。

表 25-3. SPI CPU_INT トリガ条件

IIDX STAT	名称	説明
0x04	RX	受信 FIFO イベント。この割り込みは、選択した受信 FIFO レベルに達した場合にセットされます。
0x05	TX	送信 FIFO イベント。この割り込みは、選択した送信 FIFO レベルに達した場合にセットされます。
0x06	TXEMPTY	送信 FIFO 空割り込み。送信 FIFO のすべてのデータがシフトアウトされた場合にセットされます。
0x08	DMA_DONE1_RX	この割り込みは、RX DMA チャネルが DONE 信号を送信した場合にセットされます。
0x09	DMA_DONE1_TX	この割り込みは、TX DMA チャネルが DONE 信号を送信した場合にセットされます。

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。イベント レジスタの構成のガイダンスについては、セクション 8.2.5 を参照してください。

25.2.6.2 DMA トリガ パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX)

DMA_TRIG_RX および DMA_TRIG_TX レジスタは、DMA のトリガ信号を設定するために使用されます。これは、SPI DMA_TRIG_RX DMA トリガ条件 および SPI DMA_TRIG_TX DMA トリガ条件 のトリガ条件を用いて、受信または送信イベント時に DMA をトリガするように、柔軟に設定できます。

DMA_TRIG_RX は、受信データ転送を実行するために DMA をトリガするために使用され、DMA_TRIG_TX は送信データ転送を実行するために DMA をトリガするために使用されます。

表 25-4. SPI DMA_TRIG_RX DMA トリガ条件

IIDX STAT	名称	説明
0x04	RX	受信 FIFO イベント。この割り込みは、選択した受信 FIFO レベルに達した場合にセットされます。

表 25-5. SPI DMA_TRIG_TX DMA トリガ条件

IIDX STAT	名称	説明
0x05	TX	送信 FIFO イベント。この割り込みは、選択した送信 FIFO レベルに達した場合にセットされます。

DMA トリガ イベントの構成は、DMA_TRIG_RX および DMA_TRIG_TX イベント管理レジスタによって管理されます。イベント レジスタの構成に関するガイダンスについては セクション 8.2.5、DMA トリガ イベントの動作方法については セクション 8.1.3.2 を参照してください。

25.2.7 エミュレーション モード

デバイスがデバッグ モードにあるときのモジュールの動作は、PDBGCTL レジスタの FREE ビットおよび SOFT ビットによって制御されます。

Copyright © 2026 Texas Instruments Incorporated

デバイスがデバッグ モードにあり、かつ HALT モードに設定されている場合、以下の動作を構成できます。

表 25-6. デバッグ モード ペリフェラルの動作

PDBGCTL.FREE	PDBGCTL.SOFT	機能
1	x	モジュールは動作を継続します
0	0	モジュールは直ちに停止します
0	1	次の転送が完了すると、モジュールが停止します

Copyright © 2026 Texas Instruments Incorporated

25.3 QSPI レジスタ

表 25-7 に、QSPI レジスタのメモリマップト レジスタを示します。表 25-7 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 25-7. QSPI レジスタ

オフセット	略称	レジスタ名	セクション
800h	PWREN	パワー イネーブル	セクション 25.3.1
804h	RSTCTL	リセット制御	セクション 25.3.2
808h	CLKCFG	ペリフェラル クロック構成レジスタ	セクション 25.3.3
814h	STAT	ステータス レジスタ	セクション 25.3.4
1000h	CLKDIV	クロック分周比	セクション 25.3.5
1004h	CLKSEL	超低消費電力ペリフェラルのクロックの選択	セクション 25.3.6
1018h	PDBGCTL	ペリフェラル デバッグ制御	セクション 25.3.7
1020h	IIDX	割り込みインデックス レジスタ	セクション 25.3.8
1028h	IMASK	割り込みマスク	セクション 25.3.9
1030h	RIS	未加工の割り込みステータス	セクション 25.3.10
1038h	MIS	マスクされた割り込みステータス	セクション 25.3.11
1040h	ISET	割り込みをセット	セクション 25.3.12
1048h	ICLR	割り込みクリア	セクション 25.3.13
1050h	IIDX	割り込みインデックス レジスタ	セクション 25.3.14
1058h	IMASK	割り込みマスク	セクション 25.3.15
1060h	RIS	未加工の割り込みステータス	セクション 25.3.16
1068h	MIS	マスクされた割り込みステータス	セクション 25.3.17
1070h	ISET	割り込みをセット	セクション 25.3.18
1078h	ICLR	割り込みクリア	セクション 25.3.19
1080h	IIDX	割り込みインデックス レジスタ	セクション 25.3.20
1088h	IMASK	割り込みマスク	セクション 25.3.21
1090h	RIS	未加工の割り込みステータス	セクション 25.3.22
1098h	MIS	マスクされた割り込みステータス	セクション 25.3.23
10A0h	ISET	割り込みをセット	セクション 25.3.24
10A8h	ICLR	割り込みクリア	セクション 25.3.25
10E0h	EVT_MODE	イベント モード	セクション 25.3.26
10E4h	INTCTL	割り込み制御レジスタ	セクション 25.3.27
1100h	CTL0	SPI 制御レジスタ 0	セクション 25.3.28
1104h	CTL1	SPI 制御レジスタ 1	セクション 25.3.29
1108h	CLKCTL	クロック プリスケーラ / 分周器レジスタ。	セクション 25.3.30
110Ch	IFLS	割り込み FIFO レベル選択レジスタ	セクション 25.3.31
1110h	STAT	ステータス レジスタ	セクション 25.3.32
1130h	RXDATA	RXDATA レジスタ	セクション 25.3.33
1140h	TXDATA	TXDATA レジスタ	セクション 25.3.34
1200h	QSPICTL0	QSPI 制御レジスタ 0	セクション 25.3.35
1204h	QSPICTL1	QSPI 制御レジスタ 1	セクション 25.3.36
1208h	QSPITIMING	このレジスタは、シリアル クロックに対するチップ セレクトのアサートおよびデアサートのタイミング設定、データのサンプリング遅延、パフォーマンス モードでのチップ セレクト動作を制御します	セクション 25.3.37

Copyright © 2026 Texas Instruments Incorporated

表 25-7. QSPI レジスタ (続き)

オフセット	略称	レジスタ名	セクション
120Ch	QSPIFIFOCTL	このレジスタは、ペリフェラル FIFO 内のフラッシュ動作を制御します	セクション 25.3.38
1210h	QSPICSCTL	このレジスタは、チップ セレクトの切り替えを制御します	セクション 25.3.39
1220h	QSPIDMACTL	このレジスタは、DMA のソフト トリガを生成するために使用します	セクション 25.3.40
1234h	QSPISTATUS	このレジスタには、QSPI コントローラと FIFO のステータス ビットが含まれています	セクション 25.3.41

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 25-8 に、このセクションでアクセス タイプに使用しているコードを示します。

表 25-8. QSPI のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
W1S	W 1S	1 を書き込むことで セット
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

25.3.1 PWREN レジスタ (オフセット = 800h) [リセット = 00000000h]

PWREN を表 25-9 に示します。

概略表に戻ります。

電力状態を制御するレジスタ

表 25-9. PWREN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R/W	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブル 1h = 電源をイネーブル

Copyright © 2026 Texas Instruments Incorporated

25.3.2 RSTCTL レジスタ (オフセット = 804h) [リセット = 00000000h]

RSTCTL を表 25-10 に示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

表 25-10. RSTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	W	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリアします
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

25.3.3 CLKCFG レジスタ (オフセット = 808h) [リセット = 00000000h]

CLKCFG を表 25-11 に示します。

概略表に戻ります。

ペリフェラル クロック構成レジスタ

表 25-11. CLKCFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	状態変更を許可するキー -- 0xA9 A9h = GPRCM のフィールド変更を許可するキー値
23-9	予約済み	R/W	0h	
8	BLOCKASYNC	R/W	0h	非同期クロック要求では、SYSOSC の開始やバス クロックの 32MHz への強制設定がブロックされます。 0h = 非同期クロック要求をブロックしません 1h = 非同期クロック要求をブロックします
7-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.4 STAT レジスタ (オフセット = 814h) [リセット = 00000000h]

STAT を表 25-12 に示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

表 25-12. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされてから、ペリフェラルがリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h = 最後にビットがクリアされてからペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.5 CLKDIV レジスタ (オフセット = 1000h) [リセット = 00000000h]

CLKDIV を表 25-13 に示します。

概略表に戻ります。

このレジスタは、モジュール固有の機能クロック分周比を指定するために使用されます

表 25-13. CLKDIV レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R/W	0h	
2-0	比率	R/W	0h	モジュール クロックの分周比を選択します 0h = クロック ソースを分周しない 1h = クロック ソースを 2 分周 2h = クロック ソースを 3 分周 3h = クロック ソースを 4 分周 4h = クロック ソースを 5 分周 5h = クロック ソースを 6 分周 6h = クロック ソースを 7 分周 7h = クロック ソースを 8 分周

Copyright © 2026 Texas Instruments Incorporated

25.3.6 CLKSEL レジスタ (オフセット = 1004h) [リセット = 00000000h]

CLKSEL を表 25-14 に示します。

概略表に戻ります。

ペリフェラルのクロック ソースの選択

表 25-14. CLKSEL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3	SYSCLK_SEL	R/W	0h	有効な場合、SYSCLK をクロック ソースとして選択 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
2	MFCLK_SEL	R/W	0h	有効な場合、MFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
1	LFCLK_SEL	R/W	0h	有効な場合、LFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しません 1h = このクロックをソースとして選択します
0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.7 PDBGCTL レジスタ (オフセット = 1018h) [リセット = 00000000h]

表 25-15 に、PDBGCTL を示します。

概略表に戻ります。

このレジスタは、ソフトウェア開発者が「Core Halted」入力に対するペリフェラルの動作を制御するために使用できます

表 25-15. PDBGCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R/W	0h	
1	SOFT	R/W	1h	ソフト ホールト境界制御。この機能は、FREE が STOP 0h = システムを再起動した場合、結果の状態が破損していても、ペリフェラルは直ちに停止します 1h = ペリフェラルは、境界に達するまでデバッグを停止し、データを破損せずに再開できるようにします
0	FREE	R/W	1h	フリーラン コントロール 0h = コアが停止した入力がアサートされている間、ペリフェラルは機能を停止し、デアサートされると再開します。 1h = ペリフェラルは、Core Halted 入力の状態を無視します

Copyright © 2026 Texas Instruments Incorporated

25.3.8 IIDX レジスタ (オフセット = 1020h) [リセット = 00000000h]

IIDX を表 25-16 に示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

表 25-16. IIDX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 1h = RX FIFO オーバーフロー / 割り込み保留中 2h = 送信パリティ イベント / 割り込み保留中 3h = SPI 受信タイムアウト割り込み 4h = 受信イベント / 割り込み保留中 5h = 送信イベント / 割り込み保留中 6h = 送信バッファ空イベント / 割り込み保留中 7h = 送信終了イベント / 割り込み保留中 8h = 受信イベントの DMA 完了 / 割り込み保留中 9h = 送信イベントの DMA 完了 / 割り込み保留中 Ah = TX FIFO アンダーフロー割り込み Bh = RX FIFO フル割り込み

Copyright © 2026 Texas Instruments Incorporated

25.3.9 IMASK レジスタ (オフセット = 1028h) [リセット = 00000000h]

IMASK を表 25-17 に示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

表 25-17. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R/W	0h	
10	RXFULL	R/W	0h	RX FIFO フルの割り込みマスク 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
9	TXFIFO_UNF	R/W	0h	TX FIFO アンダーフロー割り込みマスク 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
8	DMA_DONE_TX	R/W	0h	TX イベントの DMA 完了 1 イベントのマスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
7	DMA_DONE_RX	R/W	0h	RX イベントの DMA 完了 1 イベントのマスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
6	IDLE	R/W	0h	SPI アイドル イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
5	TXEMPTY	R/W	0h	送信 FIFO 空イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
4	TX	R/W	0h	送信 FIFO イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
3	RX	R/W	0h	受信 FIFO イベント。選択された受信 FIFO レベルに達した場合、この割り込みがセットされます 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	RTOUT	R/W	0h	SPI 受信タイム アウト イベント マスクを有効にします。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	PER	R/W	0h	パリティ エラー イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	RXFIFO_OVF	R/W	0h	RXFIFO オーバーフロー イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

25.3.10 RIS レジスタ (オフセット = 1030h) [リセット = 00000000h]

RIS を表 25-18 に示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

表 25-18. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	
10	RXFULL	R	0h	RX FIFO フル割り込み 0h = 割り込みは発生していない 1h = 割り込み発生
9	TXFIFO_UNF	R	0h	TX FIFO アンダーフロー割り込み 0h = 割り込みは発生していない 1h = 割り込み発生
8	DMA_DONE_TX	R	0h	TX の DMA 完了 1 イベント。この割り込みは、TX DMA チャネルが DONE 信号を送信するとセットされます。これにより、マップされたペリフェラル内での DMA イベントの処理が可能になります。 0h = 割り込みは発生していない 1h = 割り込み発生
7	DMA_DONE_RX	R	0h	RX の DMA 完了 1 イベント。この割り込みは、RX DMA チャネルが DONE 信号を送信するとセットされます。これにより、マップされたペリフェラル内での DMA イベントの処理が可能になります。 0h = 割り込みは発生していない 1h = 割り込み発生
6	IDLE	R	0h	SPI が転送を完了して、IDLE モードに移行しました。このビットは、BUSY が Low になると設定されます。 0h = 割り込みは発生していない 1h = 割り込み発生
5	TXEMPTY	R	0h	送信 FIFO 空割り込みマスク。送信 FIFO のすべてのデータがシフト レジスタに移動されると、この割り込みがセットされます。 0h = 割り込みは発生していない 1h = 割り込み発生
4	TX	R	0h	送信 FIFO イベント。選択した送信 FIFO レベルに達した場合、この割り込みがセットされます。 0h = 割り込みは発生していない 1h = 割り込み発生
3	RX	R	0h	受信 FIFO イベント。選択された受信 FIFO レベルに達した場合、この割り込みがセットされます 0h = 割り込みは発生していない 1h = 割り込み発生
2	RTOUT	R	0h	SPI 受信タイム アウト イベント。 0h = 割り込みは発生していない 1h = 割り込み発生
1	PER	R	0h	パリティ エラー イベント:パリティ エラーが検出された場合、このビットがセットされます 0h = 割り込みは発生していない 1h = 割り込み発生
0	RXFIFO_OVF	R	0h	RXFIFO オーバーフロー イベントこの割り込みは、RX FIFO オーバーフローが検出されるとセットされます。 0h = 割り込みは発生していない 1h = 割り込み発生

Copyright © 2026 Texas Instruments Incorporated

25.3.11 MIS レジスタ (オフセット = 1038h) [リセット = 00000000h]

MIS を表 25-19 に示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

表 25-19. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	
10	RXFULL	R	0h	RX FIFO フル割り込み 0h = 割り込みは発生していない 1h = 割り込み発生
9	TXFIFO_UNF	R	0h	TX FIFO アンダーフロー割り込み 0h = 割り込みは発生していない 1h = 割り込み発生
8	DMA_DONE_TX	R	0h	TX でマスクされた DMA 完了 1 イベント。 0h = 割り込みは発生していない 1h = 割り込み発生
7	DMA_DONE_RX	R	0h	RX でマスクされた DMA 完了 1 イベント。 0h = 割り込みは発生していない 1h = 割り込み発生
6	IDLE	R	0h	マスクされた SPI IDLE モード イベント。 0h = 割り込みは発生していない 1h = 割り込み発生
5	TXEMPTY	R	0h	マスクされた送信 FIFO 空イベント。 0h = 割り込みは発生していない 1h = 割り込み発生
4	TX	R	0h	マスクされた送信 FIFO イベント。この割り込みは、選択された送信 FIFO レベルに達した場合にセットされます。 0h = 割り込みは発生していない 1h = 割り込み発生
3	RX	R	0h	マスクされた受信 FIFO イベント。選択された受信 FIFO レベルに達すると、この割り込みが設定されます 0h = 割り込みは発生していない 1h = 割り込み発生
2	RTOUT	R	0h	マスクされた SPI 受信タイムアウト割り込み。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	PER	R	0h	マスクされたパリティ エラーイベント:パリティ エラーが検出されると、このビットがセットされます 0h = 割り込みは発生していない 1h = 割り込み発生
0	RXFIFO_OVF	R	0h	マスクされた RXFIFO オーバーフロー イベント。この割り込みは、RX FIFO オーバーフローが検出されるとセットされます。 0h = 割り込みは発生していない 1h = 割り込み発生

Copyright © 2026 Texas Instruments Incorporated

25.3.12 ISET レジスタ (オフセット = 1040h) [リセット = 00000000h]

ISET を表 25-20 に示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

表 25-20. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	W	0h	
10	RXFULL	W	0h	RX FIFO フル イベントの設定 0h = 書き込んでも何もしません 1h = 割り込みを設定
9	TXFIFO_UNF	W	0h	TX FIFO アンダーフロー イベントを設定 0h = 書き込んでも何もしません 1h = 割り込みを設定
8	DMA_DONE_TX	W	0h	TX の DMA 完了 1 イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
7	DMA_DONE_RX	W	0h	RX の DMA 完了 1 イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
6	IDLE	W	0h	SPI IDLE モード イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
5	TXEMPTY	W	0h	送信 FIFO 空イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
4	TX	W	0h	送信 FIFO イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
3	RX	W	0h	受信 FIFO イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
2	RTOUT	W	0h	SPI 受信タイム アウト イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みマスクをセット
1	PER	W	0h	パリティ エラー イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
0	RXFIFO_OVF	W	0h	RXFIFO オーバーフロー イベントを設定 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定

Copyright © 2026 Texas Instruments Incorporated

25.3.13 ICLR レジスタ (オフセット = 1048h) [リセット = 00000000h]

ICLR を表 25-21 に示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

表 25-21. ICLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	W	0h	
10	RXFULL	W	0h	RX FIFO アンダーフロー イベントをクリアします 0h = 書き込んでも何もしません 1h = 割り込みをクリア
9	TXFIFO_UNF	W	0h	TXFIFO アンダーフロー イベントをクリア 0h = 書き込んでも何もしません 1h = 割り込みをクリア
8	DMA_DONE_TX	W	0h	TX の DMA 完了 1 イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
7	DMA_DONE_RX	W	0h	RX の DMA 完了 1 イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
6	IDLE	W	0h	SPI IDLE モード イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
5	TXEMPTY	W	0h	送信 FIFO 空イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
4	TX	W	0h	送信 FIFO イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
3	RX	W	0h	受信 FIFO イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
2	RTOUT	W	0h	SPI 受信タイム アウト イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みマスクをセット
1	PER	W	0h	パリティ エラー イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
0	RXFIFO_OVF	W	0h	RXFIFO オーバーフロー イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

25.3.14 IIDX レジスタ (オフセット = 1050h) [リセット = 00000000h]

IIDX を表 25-22 に示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

表 25-22. IIDX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 3h = SPI 受信タイムアウト割り込み 4h = 受信イベント / 割り込み保留中

Copyright © 2026 Texas Instruments Incorporated

25.3.15 IMASK レジスタ (オフセット = 1058h) [リセット = 00000000h]

IMASK を表 25-23 に示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

表 25-23. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3	RX	R/W	0h	受信 FIFO イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	RTOUT	R/W	0h	SPI 受信タイム アウト イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.16 RIS レジスタ (オフセット = 1060h) [リセット = 00000000h]

RIS を表 25-24 に示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

表 25-24. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	RX	R	0h	受信 FIFO イベント。選択された受信 FIFO レベルに達した場合、この割り込みがセットされます 0h = 割り込みは発生していない 1h = 割り込み発生
2	RTOUT	R	0h	SPI 受信タイム アウト イベント。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.17 MIS レジスタ (オフセット = 1068h) [リセット = 00000000h]

MIS を表 25-25 に示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

表 25-25. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	RX	R	0h	受信 FIFO イベント マスク。 0h = 割り込みは発生していない 1h = 割り込み発生
2	RTOUT	R	0h	SPI 受信タイム アウト イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.18 ISET レジスタ (オフセット = 1070h) [リセット = 00000000h]

ISET を表 25-26 に示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

表 25-26. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	RX	W	0h	受信 FIFO イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
2	RTOUT	W	0h	SPI 受信タイム アウト イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みマスクをセット
1-0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.19 ICLR レジスタ (オフセット = 1078h) [リセット = 00000000h]

ICLR を表 25-27 に示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

表 25-27. ICLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	RX	W	0h	受信 FIFO イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
2	RTOUT	W	0h	SPI 受信タイム アウト イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みマスクをセット
1-0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.20 IIDX レジスタ (オフセット = 1080h) [リセット = 00000000h]

IIDX を表 25-28 に示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

表 25-28. IIDX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 5h = 送信イベント / 割り込み保留中

Copyright © 2026 Texas Instruments Incorporated

25.3.21 IMASK レジスタ (オフセット = 1088h) [リセット = 00000000h]

IMASK を表 25-29 に示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

表 25-29. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R/W	0h	
4	TX	R/W	0h	送信 FIFO イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
3-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.22 RIS レジスタ (オフセット = 1090h) [リセット = 00000000h]

RIS を表 25-30 に示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

表 25-30. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4	TX	R	0h	送信 FIFO イベント:読み取りは、送信 FIFO 割り込みの現在のマスクを返します。1 を書き込むと、送信 FIFO 割り込みのマスクがセットされます。これは、割り込み状態が MIS.TXMIS に反映されることを意味します。0 を書き込むと、マスクがクリアされます。これは、MIS.TXMIS が割り込みを反映しないことを意味します。 0h = 割り込みは発生していない 1h = 割り込み発生
3-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.23 MIS レジスタ (オフセット = 1098h) [リセット = 00000000h]

MIS を表 25-31 に示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

表 25-31. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4	TX	R	0h	マスクされた送信 FIFO イベント 0h = 割り込みは発生していない 1h = 割り込み発生
3-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.24 ISET レジスタ (オフセット = 10A0h) [リセット = 00000000h]

ISET を表 25-32 に示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

表 25-32. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	W	0h	
4	TX	W	0h	送信 FIFO イベントを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
3-0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.25 ICLR レジスタ (オフセット = 10A8h) [リセット = 00000000h]

ICLR を表 25-33 に示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

表 25-33. ICLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	W	0h	
4	TX	W	0h	送信 FIFO イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
3-0	予約済み	W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.26 EVT_MODE レジスタ (オフセット = 10E0h) [リセット = 00000000h]

表 25-34 に、EVT_MODE を示します。

概略表に戻ります。

イベント モード レジスタ。各ラインを無効にするか、ソフトウェア モードにするか (ソフトウェアが RIS をクリア)、またはハードウェア モードにするか (ハードウェアが RIS をクリア) を選択するために使用されます。

表 25-34. EVT_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	
5-4	INT2_CFG	R	2h	none.INT_EVENT2 に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインが無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。
3-2	INT1_CFG	R	2h	none.INT_EVENT1 に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインが無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。
1-0	INT0_CFG	R	1h	none.INT_EVENT0 に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインが無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

25.3.27 INTCTL レジスタ (オフセット = 10E4h) [リセット = 00000000h]

INTCTL を表 25-35 に示します。

概略表に戻ります。

割り込み制御レジスタ

表 25-35. INTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	INTEVAL	W	0h	このフィールドに 1 を書き込むと、割り込みソースが再評価されます。 0h = 割り込みまたはイベント ラインが無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。

Copyright © 2026 Texas Instruments Incorporated

25.3.28 CTL0 レジスタ (オフセット = 1100h) [リセット = 00000000h]

CTL0 を表 25-36 に示します。

概略表に戻ります。

SPI 制御レジスタ 0

表 25-36. CTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R/W	0h	
14	CSCLR	R/W	0h	CS 非アクティブでシフト レジスタ カウンタのクリア このビットは、ペリフェラル CTL1.CP = 0 にのみ関連します。 0h = CS が無効になったときのシフト レジスタの自動クリアを無効にします。 1h = CS が無効になったときのシフト レジスタの自動クリアを有効にします。
13-12	CSSEL	R/W	0h	データ転送を制御する CS ラインの選択 このビットは、コントローラ / ターゲット モードの両方に適用できます 0h (R/W) = CS ラインの選択:0 1h (R/W) = CS ラインの選択:1 2h (R/W) = CS ラインの選択:2 3h (R/W) = CS ラインの選択:3
11-10	予約済み	R/W	0h	
9	SPH	R/W	0h	CLKOUT 位相 (モトローラ SPI フレーム形式のみ) このビットは、データをキャプチャし、状態変更を可能にするクロック エッジを選択します。 最初のデータをキャプチャするエッジの前にクロック遷移を許可または許可しないことで、送信された最初のビットに最も影響を及ぼします。 0h = データは、最初のクロック エッジ遷移時にキャプチャされます。 1h = データは、2 番目のクロック エッジ遷移時にキャプチャされます。
8	SPO	R/W	0h	CLKOUT 極性 (Motorola SPI フレーム形式のみ) 0h = SPI は、CLKOUT に定常状態 LOW 値を生成します 1h = SPI は、CLKOUT に定常状態 HIGH 値を生成します
7	PACKEN	R/W	0h	パッキング有効。 1 の場合、パッキング機能は IP 内で有効になります 。0 の場合、パッキング機能は IP 内で無効になります 0h = パッキング機能は無効 1h = パッキング機能は有効
6-5	FRF	R/W	0h	フレーム形式の選択 0h = Motorola SPI フレーム形式 (3 線式モード) 1h = Motorola SPI フレーム形式 (4 線式モード) 2h = TI 同期シリアル フレーム形式 3h = National Microwire フレーム形式

Copyright © 2026 Texas Instruments Incorporated

表 25-36. CTL0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	DSS	R/W	0h	データ サイズの選択。 値 0 ～ 2 は予約済みであり、使用できません。 3h = 4_BIT:4 ビットのデータ SPI では、最大 16 ビットの値のみが許可されます 3h (R/W) = データ サイズ選択ビット:4 4h (R/W) = データ サイズ選択ビット:5 5h (R/W) = データ サイズ選択ビット:6 6h (R/W) = データ サイズ選択ビット:7 7h (R/W) = データ サイズ選択ビット:8 8h (R/W) = データ サイズ選択ビット:9 9h (R/W) = データ サイズ選択ビット:10 Ah (R/W) = データサイズ選択ビット:11 Bh (R/W) = データサイズ選択ビット:12 Ch (R/W) = データサイズ選択ビット:13 Dh (R/W) = データサイズ選択ビット:14 Eh (R/W) = データサイズ選択ビット:15 Fh (R/W) = データサイズ選択ビット:16

Copyright © 2026 Texas Instruments Incorporated

25.3.29 CTL1 レジスタ (オフセット = 1104h) [リセット = 00000004h]

CTL1 を表 25-37 に示します。

概略表に戻ります。

SPI 制御レジスタ 1

表 25-37. CTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R/W	0h	
29-24	RXTIMEOUT	R/W	0h	受信タイムアウト (ペリフェラル モードのみ)。受信タイムアウト フラグ RTOUT がセットされるまでのクロック サイクル数を定義します。時間は、コントローラ モード構成のクロック選択および分周器用の制御レジスタを使用して計算されます。値を 0 にすると、この機能は無効になります。 0h = 最小値 3Fh = 可能な最大値
23-16	REPEATTX	R/W	0h	最後の転送を繰り返すカウンタ。0:最後の転送の繰り返しは無効です。x:指定した回数、最後の転送を繰り返します。TX バッファへのデータの書き込みから転送が開始されます。データの送信は指定された値で繰り返されるため、データの転送は合計で X+1 回になります。この動作は、ここで定義されている回数だけデータが TX バッファに書き込まれる場合と同じです。このコマンドは、転送をクリーンにしたり、ペリフェラルから特定の量のデータをプルするために使用できます。 0h = 最小値 FFh = 可能な最大値
15-12	CDMODE	R/W	0h	コマンド / データモードの値 CTL1.CDENABLE が 1 の場合、CS3 ラインが C/D 信号として使用され、コマンド (C/D Low) とデータ (C/D High) の情報を区別します。CTL1.CDMODE ビットに値が書き込まれると、SPI から送信された特定のバイト数の間、C/D (CS3) ラインは Low になり、その後に送信される次の値から C/D ラインは自動的に High になります。 0:C/D 信号が High のマニュアル モード 1 ～14:このバイト数が送信されると、C/D は Low になります。その後、このフィールドは 0 に設定され、C/D が High になります。このフィールドを読み取ると、残りのコマンド バイト数がいつでも返されます。 15:C/D 信号が Low のマニュアル モード。 0h = 最小値 0h = マニュアル モード:データ Fh = マニュアル モード:コマンド
11	CDENABLE	R/W	0h	コマンド / データ モードの有効化 0h = チップ セレクトに CS3 を使用 1h = CS3 を CD 信号として使用
10-9	予約済み	R/W	0h	
8	PTEN	R/W	0h	パリティ送信有効化 有効にすると、コントローラ モードとペリフェラル モードの両方でパリティ送信が行われます。 0h = パリティ送信が無効 1h = パリティ送信が有効
7	予約済み	R/W	0h	
6	PES	R/W	0h	偶数パリティ選択 0h = 奇数パリティ モード 1h = 偶数パリティ モード
5	PREN	R/W	0h	パリティ受信有効化 有効にすると、コントローラ モードとペリフェラル モードの両方でパリティ受信チェックが実行されます。 パリティが一致しない場合は、パリティ エラー フラグ RIS.PER がセットされます。 0h = パリティ受信機能を無効にする 1h = パリティ受信機能を有効にする

Copyright © 2026 Texas Instruments Incorporated

表 25-37. CTL1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	MSB	R/W	0h	MSB の最初の選択。受信および送信シフト レジスタの方向を制御します 0h = LSB ファースト 1h = MSB ファースト
3	ポッド	R/W	0h	ペリフェラル モード:データ出力の無効化 このビットは、ペリフェラル モードにのみ関連します。複数ペリフェラル システム トポロジでは、SPI コントローラがすべてのペリフェラルにメッセージをブロードキャストできますが、ラインを駆動するペリフェラルは 1 つだけです。 POD は、SPI ペリフェラルがライン上の駆動データを無効にするために使用できます。 0h =SPI は MISO 出力をペリフェラル モードで駆動できます。 1h = SPI は、MISO 出力をペリフェラル モードで駆動できません。
2	CP	R/W	1h	コントローラ モードまたはペリフェラル モードの選択このビットは、SPI が無効で、CTL1.ENABLE=0 の場合にのみ変更できます。 0h = ペリフェラル モードを選択 1h =コントローラ モードを選択
1	LBM	R/W	0h	ループ バック モード 0h =ループバック モードを無効化 1h = ループバック モードを有効化
0	イネーブル	R/W	0h	SPI イネーブル 0h = モジュール機能を無効化 1h = モジュール機能を有効化

Copyright © 2026 Texas Instruments Incorporated

25.3.30 CLKCTL レジスタ (オフセット = 1108h) [リセット = 00000000h]

CLKCTL を表 25-38 に示します。

概略表に戻ります。

クロック プリスケーラ / 分周器レジスタ。このレジスタには、クロック プリスケーラと分周器の設定が含まれます。

表 25-38. CLKCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	DSAMPLE	R/W	0h	遅延サンプリング値。 コントローラ モードでは、入力ピンのデータが内部機能クロックに定義されたクロック サイクル数だけ遅延してサンプリングされるため、入力データのセットアップ時間が緩和されます。この設定は、基板の遅延と外部ペリフェラルの遅延がコントローラの入力セットアップ時間よりも大きいシステムで便利です。データシートで、コントローラ入力セットアップ時間の値を参照し、システム要件を満たす DSAMPLE 値を判断してください。 注:DSAMPLE の値が大きいと、ホールド タイム違反が発生する可能性があるため、計算で考慮する必要があります。 0h = 最小値 Fh = 可能な最大値
27-10	予約済み	R/W	0h	
9-0	SCR	R/W	0h	シリアル クロック デバイダ:SPI の送受信ビット レートを生成するために使用されます。SPI ビット レートは、(SPI の機能クロック周波数)/((SCR+1)*2) です。SCR は、0 ～ 1023 の値です。 0h = 最小値 3FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

25.3.31 IFLS レジスタ (オフセット = 110Ch) [リセット = 00000012h]

IFLS を表 25-39 に示します。

概略表に戻ります。

IFLS レジスタは、割り込み FIFO レベル選択レジスタです。このレジスタを使用して、TX、RX、タイムアウト割り込みフラグがトリガされるレベルを定義できます。割り込みは、レベルに基づいてではなく、レベルを遷移したことに基づいて生成されます。つまり、フィル レベルがトリガ レベルを超えたときに、割り込みが生成されます。たとえば、受信トリガ レベルがハーフウェイ マークに設定されている場合、受信 FIFO に 2 文字以上が入力されたときに割り込みがトリガされます。リセットから復帰すると、FIFO がハーフウェイマークで割り込みをトリガするように TXIFLSEL ビットと RXIFLSEL ビットが構成されます。

表 25-39. IFLS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R/W	0h	
5-3	RXIFLSEL	R/W	2h	SPI 受信割り込み FIFO レベル。受信割り込みのトリガ ポイントを次のように選択します。 0h = 予約済み 1h = RX FIFO >= 1/4 フル 2h = RX FIFO >= 1/2 フル (デフォルト) 3h = RX FIFO >= 3/4 フル 4h = 予約済み 5h = RX FIFO がフルです 6h = 予約済み 7h = RX FIFO に 1 フレーム以上が含まれているときにトリガ
2-0	TXIFLSEL	R/W	2h	SPI 送信割り込み FIFO レベル。送信割り込みのトリガ ポイントを次のように選択します。 0h = 予約済み 1h = TX FIFO <= 3/4 空 2h = TX FIFO <= 1/2 空 (デフォルト) 3h = TX FIFO <= 1/4 空 4h = 予約済み 5h = TX FIFO が空です 6h = 予約済み 7h = TX FIFO の空きフレームが 1 以上の場合にトリガ。DMA と組み合わせて使用。

Copyright © 2026 Texas Instruments Incorporated

25.3.32 STAT レジスタ (オフセット = 1110h) [リセット = 00000000h]

STAT を表 25-40 に示します。

概略表に戻ります。

ステータス レジスタ

表 25-40. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4	BUSY	R	0h	ビジー 0h = SPI はアイドル モード。 1h = SPI は現在フレームを送信または受信しているか、送信 FIFO が空ではない。
3	RNF	R	1h	受信 FIFO がフルでない 0h = 受信 FIFO がフル。 1h =受信 FIFO がフルでない。
2	RFE	R	1h	受信 FIFO が空 0h = 受信 FIFO が空でない。 1h = 受信 FIFO が空。
1	TNF	R	1h	送信 FIFO がフルでない 0h = 送信 FIFO がフル 1h = 送信 FIFO がフルでない。
0	TFE	R	1h	送信 FIFO が空。 0h = 送信 FIFO が空でない。 1h = 送信 FIFO が空。

Copyright © 2026 Texas Instruments Incorporated

25.3.33 RXDATA レジスタ (オフセット = 1130h) [リセット = 00000000h]

RXDATA を表 25-41 に示します。

概略表に戻ります。

RXDATA レジスタ
このレジスタを読み出すと、FIFO の値が返されます。FIFO が空の場合、最後に読み取った値が返されます。
書き込んでも何もしません。無視されます。
PACKEN=1 の場合、FIFO の 2 つのエントリが 32 ビット値として返されます。PACKEN = 0 の場合、FIFO の 1 エントリが 16 ビット値として返されます。

表 25-41. RXDATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	受信データ PACKEN=1 の場合、FIFO の 2 つのエントリが 32 ビット値として返されます。PACKEN = 0 の場合、FIFO の 1 エントリが 16 ビット値として返されます。 受信データ フレームから受信ロジックによってデータ値が取得されると、データ値は受信 FIFO のエントリに格納され、現在の FIFO 書き込みポインタによって参照されます。 受信バッファでは 16 ビット未満の受信データは自動的に右揃えされます。 0h = 最小値 FFFFFFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

25.3.34 TXDATA レジスタ (オフセット = 1140h) [リセット = 00000000h]

TXDATA を表 25-42 に示します。

概略表に戻ります。

TXDATA レジスタ
書き込みにより、データが TX FIFO に格納されます。このレジスタを読み取ると、最後に書き込まれた値が返されます。
PACKEN=0 の場合、レジスタに書き込まれた下位 16 ビットのデータのみが 16 ビット幅の 1 つの TX FIFO エントリに転送されます。
PACKEN=1 の場合は、32 ビットの書き込みデータの上位 16 ビットと下位 16 ビットが 16 ビット幅の 2 つの TX FIFO エントリに転送されます。

表 25-42. TXDATA レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R/W	0h	データ送信 読み取り時に、最後に書き込まれた値が返されます。このフィールドへの最後の書き込みが 32 ビット書き込み (PACKEN=1) の場合は 32 ビットが返され、最後の書き込みが 16 ビット書き込み (PACKEN=0) の場合、16 ビットが返されます。 書き込むと、PACKEN 値に応じて 1 つまたは 2 つの FIFO エントリが書き込まれます。データ値は、送信ロジックによって、送信 FIFO から一度に 1 つずつ削除されます。送信シリアル シフタにロードされ、プログラムされたビット レートで TXD 出力ピンにシリアルにシフトアウトされます。 16 ビット未満のデータ サイズが選択されている場合、送信 FIFO に書き込まれるデータを右揃えにする必要があります。送信ロジックは、未使用ビットを無視します。 0h = 最小値 FFFFFFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

25.3.35 QSPICTL0 レジスタ (オフセット = 1200h) [リセット = X0000000h]

QSPICTL0 を表 25-43 に示します。

概略表に戻ります。

QSPI 制御レジスタ 0
このレジスタには、最小書き込み幅 32 ビットでアクセスする必要があります。

表 25-43. QSPICTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	QSPIMODE	R	0h	このビットは、QSPI メモリ アクセスに使用するポートを選択します 0h = 外部フラッシュ アクセスにペリフェラル ポートを選択 1h = 外部フラッシュ アクセスに直接ポートを選択
30	予約済み	R/W	0h	
29	QSPIPERFMODE	R/W	0h	このビットは、パフォーマンス モードのバイト挿入を有効または無効にします 0h = パフォーマンス モードは無効です 1h = パフォーマンス モードは有効です
28	QSPIADDRMODE	R/W	0h	このビット フィールドは、データ読み取り時に QSPI フラッシュとの通信に使用されるアドレスのバイト数を設定します 0h = 3 バイトのアドレスを使用 1h = 4 バイトのアドレスを使用
27-24	QSPIFORMAT	R/W	0h	このビットは、使用するバス フォーマットを設定します 0h = レガシー SPI 形式の全二重 1h = データ読み取りフレームを送信しない場合、SPI フォーマットは半二重 2h = データ読み取りフレームを送信しない場合、QPI フォーマットは半二重 8h = データ読み取りフレーム送信時は SSS フォーマット 9h = データ読み取りフレーム送信時は SSD フォーマット Ah = データ読み取りフレーム送信時は SDD フォーマット Bh = データ読み取りフレーム送信時は SSQ フォーマット Ch = データ読み取りフレーム送信時は SQQ フォーマット Dh = データ読み取りフレーム送信時は QQQ フォーマット
23-16	QSPIPERFBYTE	R/W	0 時間	レジスタ ビットは、フラッシュ読み出し時に使用するパフォーマンス バイトを設定します 0h = 最小値 FFh = 最大値
15-8	QSPICMDBYTE	R/W	0h	このレジスタ ビットは、フラッシュ読み出し時に使用する命令オペコードを設定します 0h = 最小値 FFh = 最大値
7-6	QSPIDSIZE	R/W	0h	レジスタ ビットは、FIFO からフラッシュ インターフェイスへのパッキングとアンパッキングのオプションを提供します 0h = 8 ビット データの FIFO への書き込みと読み出しを設定します 2h = 16 ビット データの FIFO への書き込みと読み出しを設定します 3h = 32 ビット データの FIFO への書き込みと読み出しを設定します
5-4	予約済み	R/W	0h	
3-0	QSPIDUMMYCLK	R/W	0h	このビットは、フラッシュ読み出し中に挿入するダミー クロックの数を設定します 0h = 最小値 Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

25.3.36 QSPICTL1 レジスタ (オフセット = 1204h) [リセット = 00000000h]

QSPICTL1 を表 25-44 に示します。

概略表に戻ります。

QSPI 制御レジスタ 1
このレジスタには、最小書き込み幅 32 ビットでアクセスする必要があります。

表 25-44. QSPICTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	QSPIPREFETCH	R/W	0h	読み取りトランザクション開始時のデータのプリフェッチを制御します 0h = プリフェッチは無効です 1h = プリフェッチは有効です
30-24	予約済み	R/W	0h	
23-16	RXCOUNT	R/W	0h	
15-9	予約済み	R/W	0h	
8-0	TXCOUNT	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.37 QSPITIMING レジスタ (オフセット = 1208h) [リセット = 00000000h]

表 25-45 に、QSPITIMING を示します。

概略表に戻ります。

このレジスタは、シリアル クロックに対するチップ セレクトのアサートおよびデアサートのタイミング設定、データのサンプリング遅延、パフォーマンス モードでのチップ セレクト動作を制御します。
このレジスタには、最小書き込み幅 32 ビットでアクセスする必要があります。

表 25-45. QSPITIMING レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R/W	0h	
23-16	CSHIGHTIME	R	0h	パフォーマンス モードでは、パラメータは、アドレスの変更が検出されたときに、CS shgall が High になるバス クロック数を設定します 0h = 最小値 FFh = 最大値
15-9	予約済み	R/W	0h	
8	DATASAMPLDLY	R/W	0h	QSPI モードでは、受信データのサンプリングを制御します 0h =受信データは、SCLK の立ち上がりエッジでサンプリングされます。 1h = 受信データは、1 SCLK 遅延してからサンプリングされます。
7-5	予約済み	R/W	0h	
4	CSASSERTDLY	R/W	0h	QSPI モードの場合、このビットは、チップ セレクトがアサートされて SCLK を開始した後にシリアル クロックのエッジ数を制御します 0h = CS アサート後、0.5 内部 SCLK 分遅れて SCLK を開始 1h = CS アサート後、1.5 内部 SCLK 分遅れて SCLK を開始
3-1	予約済み	R/W	0h	
0	CSDEASSERTDLY	R/W	0h	QSPI モードの場合、このビットは、チップ セレクトをデアサートするため、最後の SCLK の後のシリアル クロック数を制御します。 0h = 外部 SCLK の最後のエッジの後で 0.5 内部 SCLK 分遅れてチップ セレクトをデアサート 1h = 外部 SCLK の最後のエッジの後で 1.5 内部 SCLK 分遅れてチップ セレクトをデアサート

Copyright © 2026 Texas Instruments Incorporated

25.3.38 QSPIFIFOCTL レジスタ (オフセット = 120Ch) [リセット = 00000000h]

表 25-46 に、QSPIFIFOCTL を示します。

概略表に戻ります。

このレジスタは、ペリフェラル FIFO のフラッシュ動作を制御します。
このレジスタには、最小書き込み幅 32 ビットでアクセスする必要があります。

表 25-46. QSPIFIFOCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	W	0h	
1	TXFIFOFLUSH	R-0/W1S	0h	このビットは、TXFIFO ポインタをリセットして、前のトランザクションのデータをフラッシュするために使用されます。 0h = 影響なし 1h = TXFIFO および対応するステータスビットをリセットします。TXFIFO がリセットされると、このフィールドは自動的にクリアされます
0	RXFIFOFLUSH	R-0/W1S	0h	このビットは、RXFIFO ポインタをリセットして、前のトランザクションのデータをフラッシュするために使用されます。 0h = 影響なし 1h = RXFIFO および対応するステータスビットをリセットします。RXFIFO がリセットされると、このフィールドは自動的にクリアされます

Copyright © 2026 Texas Instruments Incorporated

25.3.39 QSPICSCTL レジスタ (オフセット = 1210h) [リセット = 00000000h]

表 25-47 に、QSPICSCTL を示します。

概略表に戻ります。

このレジスタは、チップセレクトのトグルを制御します。
このレジスタには、最小書き込み幅 32 ビットでアクセスする必要があります。

表 25-47. QSPICSCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CSHOLDCTL	R/W	0h	QSPIFORMAT が 0x0 でない場合、アクティブ トランザクション中のチップ セレクト ホールド機能を制御します 0h = 影響なし 1h = 1 として書き込まれると、現在のバストランザクションが完了した後にチップ セレクトをデアサートします
30-0	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.40 QSPIDMACTL レジスタ (オフセット = 1220h) [リセット = 00000000h]

表 25-48 に、QSPIDMACTL を示します。

概略表に戻ります。

このレジスタは、DMA のソフトトリガを生成するために使用されます。
ここのレジスタには、最小書き込み幅 32 ビットでアクセスする必要があります。

表 25-48. QSPIDMACTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	W	0h	
0	DMATRIG	R-0/W1S	0h	

Copyright © 2026 Texas Instruments Incorporated

25.3.41 QSPISTATUS レジスタ (オフセット = 1234h) [リセット = 00000000h]

表 25-49 に、QSPISTATUS を示します。

概略表に戻ります。

このレジスタには、QSPI コントローラのステータス ビットと FIFO が含まれます。
このレジスタには、最小書き込み幅 32 ビットでアクセスする必要があります。

表 25-49. QSPISTATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	QSPIIDLE	R	1h	QSPI コントローラの状態を示します。 0h = QSPI でアクティブなトランザクションが進行中または停止し、チップ セレクトは Low です 1h = QSPI にアクティブなトランザクションはなく、チップ セレクトは High です
6	QSPISTALL	R	0h	このビットは、アクティブなトランザクションでの QSPI コントローラの状態を示します 0h = QSPI は、メモリとの間でデータ バイトを送受信しています 1h = QSPI は現在停止しています。TXFIFO にデータが入るのを待機しているか、RXFIFO にデータの受信領域が確保されるのを待機しています。
5-4	予約済み	R	0h	
3	TXFIFONF	R	0h	送信 FIFO がフルでない状態 0h = 送信 FIFO がフル 1h = 送信 FIFO がフルでない
2	TXFIFOE	R	1h	送信 FIFO が空の状態 0h = 送信 FIFO が空でない 1h = 送信 FIFO が空
1	RXFIFONF	R	1h	受信 FIFO がフルでない状態 0h = 受信 FIFO がフル 1h = 受信 FIFO がフルでない
0	RXFIFOE	R	1h	受信 FIFO が空でない状態 0h = 受信 FIFO が空 1h = 受信 FIFO が空

Copyright © 2026 Texas Instruments Incorporated

Chapter 26

CAN-FD

TEXAS INSTRUMENTS

モジュラ コントローラ エリア ネットワーク (MCAN) ペリフェラルは、従来型の CAN プロトコルと CAN-FD プロトコルの両方の通信をサポートしています。

26.1 MCAN の概要 1503
26.2 MCAN 環境 1504
26.3 CAN ネットワークの基礎 1505
26.4 MCAN の機能説明 1507
26.5 MCAN の統合 1558
26.6 割り込みとイベントのサポート 1559
26.7 MCAN レジスタ 1561

Copyright © 2026 Texas Instruments Incorporated

26.1 MCAN の概要

コントローラ エリア ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電気的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショート メッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型の CAN と CAN FD (CAN とフレキシブル データ レート) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスと CAN FD デバイスは、バス エラーを生成せずに CAN FD を検出および無視できる部分的ネットワーク トランシーバが従来型の CAN デバイスで使用されている場合、競合なしで同じネットワーク上に共存できます。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

注

CAN FD 機能は、すべてのデバイスで利用できるわけではありません。詳細については、該当するデバイスのデータシートを参照してください。

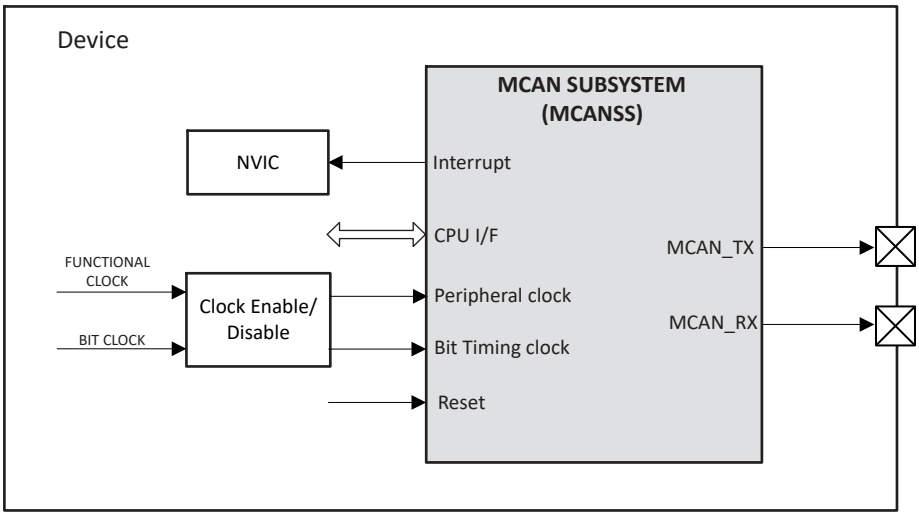


図 26-1. MCAN のブロック図

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.1.1 MCAN の機能

MCAN モジュールの主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1:2015 に準拠
- 完全な CAN FD のサポート (最大 64 データ バイト)
- AUTOSAR および SAE J1939 をサポート
- 最大 32 個の専用送信バッファ
- 構成可能な送信 FIFO、最大 32 個の素子
- 構成可能な送信キュー、最大 32 個の素子
- 構成可能な送信イベント FIFO、最大 32 個の素子
- 最大 64 個の専用受信バッファ
- 二つの構成可能な受信 FIFO、各最大 14 個の素子、1kB のメッセージ RAM 付き。
- 最大 128 個のフィルタ素子
- セルフ テスト用のループバック モード
- マスカブル割り込み
  - 2 本の構成可能な割り込みライン
  - 訂正可能な ECC
  - カウンタ オーバーフロー
  - クロックの停止またはウェークアップ
- マスク不可能割り込み (訂正不可能な ECC)
- 2 つのクロック ドメイン (CAN クロックおよびホスト クロック)
- メッセージ RAM の ECC チェック
- クロックの停止とウェークアップのサポート
- タイムスタンプ カウンタ
- 最大 1Mbps 公称ビット レート、8Mbps データ ビット レート

サポートされない機能:

- ホスト バス ファイアウォール
- クロックのキャリブレーション
- CAN 経由のデバッグ

26.2 MCAN 環境

CAN ネットワークの物理層は、通常ツイスト ペア線を使用した二線式差動バスで構成されており、高い耐ノイズ性を提供します。バスにアクセスするには、外部 CAN トランシーバ IC が必要です。

図 26-2 に、代表的な MCAN 配線を示します。表 26-1 に、MCAN モジュールの外部信号を示します。

Copyright © 2026 Texas Instruments Incorporated

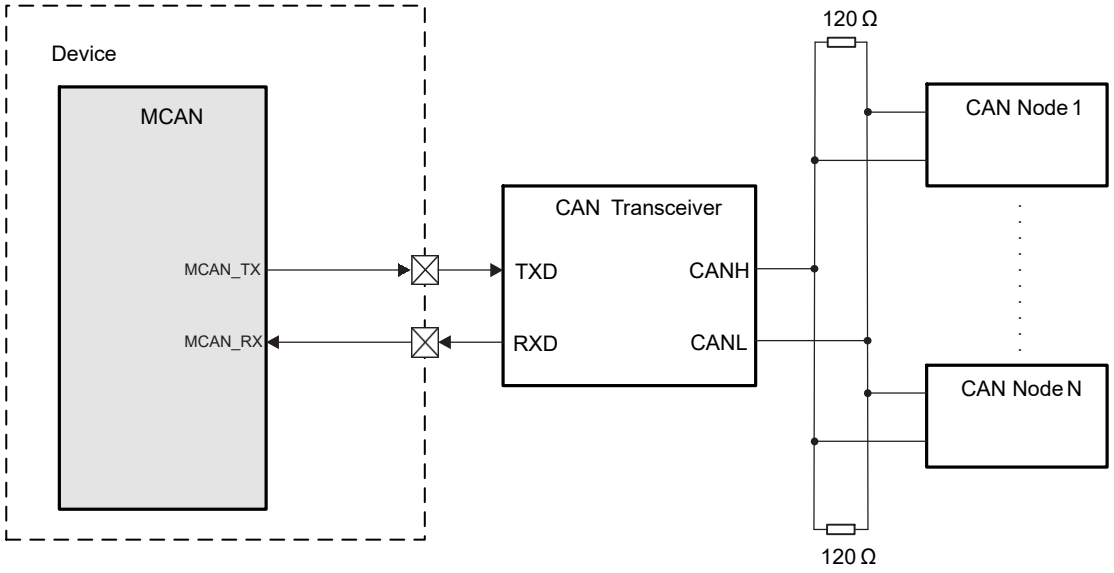


図 26-2. MCAN の代表的なバス配線

表 26-1. MCAN I/O の説明

モジュールの信号	I/O	説明	リセット時の値
MCAN_RX	入力	外部 CAN トランシーバからのシリアル データ入力。	HiZ
MCAN_TX	出力	外部 CAN トランシーバへのシリアル データ出力。	HiZ

注

このペリフェラルをデバイス ピンに接続するように構成するには、デバイスのデータシートの「ピン構成および機能」セクション、および「汎用入出力 (GPIO)」の章を参照してください。

26.3 CAN ネットワークの基礎

ネットワークの基礎は次のとおりです。

- CAN バスは、非ゼロ復帰 (NRZ) 符号化を使用する 2 線式差動バスであり、二つの状態を持ちます:
  - リセッシブ状態 (論理 1)
  - ドミナント状態 (論理 0)
- バスがアイドル状態のとき、任意のノードは他の任意のノードに対して送信を開始できます。2 つ以上のノード (ECU) が同時に送信を試みると、非破壊アービトレーション技術がメッセージを優先度順に送信し、メッセージが失われないようにします。
- メッセージ送信はマルチキャストです。送信されるデータ メッセージはアドレス ベースではなく識別子ベースです。
- メッセージの内容には、ネットワーク全体で一意の識別子が付けられます (例:RPM、温度、位置、圧力など)。
- ネットワーク上のすべてのノードがメッセージを受信し、それぞれが識別子に対して受け入れ判定を実行します。メッセージが関連する場合は処理され、関連しない場合は無視されます。
- 一意の識別子は、メッセージの優先度も決定します (識別子の数値が小さいほど、優先度が高くなります)。
- データは、次の基本フィールドで構成されるメッセージ フレームを使用して送受信されます:
  - アービトレーション フィールド
  - 制御フィールド
  - データ フィールド (従来型 CAN では最大 8 バイト、CAN FD では最大 64 バイト)

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- CRC フィールド
- ACK フィールド

詳細については、*ISO 11898-1:2015: CAN data link layer and physical signaling* を参照してください。

MCAN の電源オンおよびクロック シーケンス:

1. 使用可能なクロック ソースから CANCLK を選択します。ソースは、HFCLK (XTAL または HFCLK_IN) または SYSPLL (SYSPLLCLK0 または SYSPLLCLK2X) です。
2. 対応するクロック ソースを有効化します。
3. クロックソースが安定するまで待ちます (SYSCTL_CLKSTATUS[*GOOD] ビット = 1)。
4. MCAN の PWREN をセットし、MCAN 電力を有効化します。
5. MCAN の準備が完了するまで待ちます (SYSCTL_SYSSTATUS[MCAN0READY]= 1)。

Copyright © 2026 Texas Instruments Incorporated

26.4 MCAN の機能説明

MCAN モジュールは、ISO 11898-1:2015 に従って CAN プロトコル通信を実行します。ビット レートには、最大 8Mbit/秒までの値をプログラムできます。物理層 (CAN バス) への接続には、追加のトランシーバ ハードウェアが必要です。

CAN ネットワークでの通信のために、個別のメッセージ フレームを構成できます。メッセージ フレームと識別子マスクは、メッセージ RAM に格納されます。

メッセージの処理に関するすべての機能は、メッセージ ハンドラに実装されています。

MCAN モジュールのレジスタ セットには、モジュール インターフェイス経由で直接アクセスできます。これらのレジスタは、CAN コアとメッセージ ハンドラの制御と構成、およびメッセージ RAM へのアクセスに使用されます。

図 26-3 に、MCAN モジュールのブロック図と、その後に MCAN モジュールのブロック図を示します。

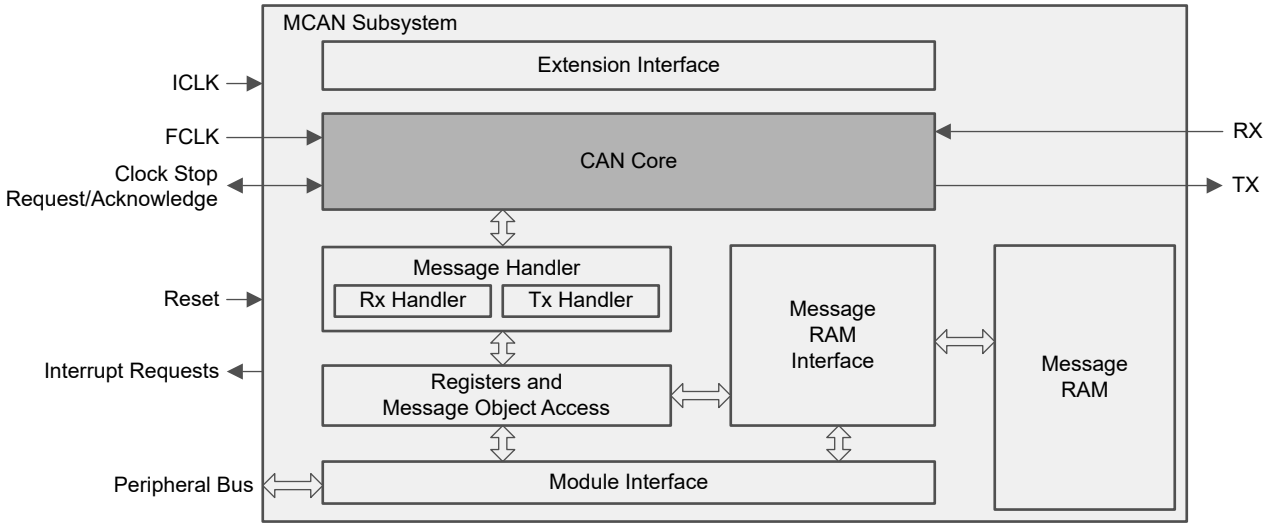


図 26-3. MCAN のブロック図

- **CAN コア**:CAN コアは、CAN プロトコル コントローラと Rx / Tx シフト レジスタで構成されています。ISO 11898-1:2015 のすべてのプロトコル機能を処理し、11 ビットおよび 29 ビットの識別子をサポートします。
- **メッセージ ハンドラ**:メッセージ ハンドラ (Rx ハンドラおよび Tx ハンドラ) は、シングル ポートのメッセージ RAM と CAN コアの Rx / Tx シフト レジスタとの間のデータ転送を制御するステート マシンです。また、制御レジスタにプログラムされているアクセプタンス フィルタリングと割り込み生成も処理します。
- **メッセージ RAM**:メッセージ RAM の主な目的は、Rx /Tx メッセージ、Tx イベント要素、メッセージ ID フィルタ要素を格納することです (詳細については、セクション 26.4.19 を参照)。
- **メッセージ RAM インターフェイス**:メッセージ RAM と、MCAN モジュール内の他のブロックとの間の接続を有効にします。
- **レジスタおよびメッセージ オブジェクト アクセス**:メッセージ オブジェクトへの間接アクセスによって、データ整合性が保証されます。通常動作では、メッセージ RAM へのすべてのソフトウェアおよび DMA アクセスは、インターフェイス レジスタを介して行われます。インターフェイス レジスタのワード長は、メッセージ RAM と同じです。
- **モジュール インターフェイス**:MCAN モジュール レジスタには、32 ビットのペリフェラル バス インターフェイスを介してユーザー ソフトウェアからアクセスします。
- **クロック処理**:MCAN モジュールには、2 つのクロックが供給されます。1 つは周辺同期クロック (インターフェイス クロック - MCAN_ICLK をソースとする)、もう 1 つは周辺非同期クロック (機能クロック - MCAN_FCLK をソースとする) です。

Copyright © 2026 Texas Instruments Incorporated

- **拡張インターフェイス**: 選択されたすべての内部ステータス信号および制御信号は、このインターフェイスにルーティングされます (ただし、構成変更許可ビット (MCAN_CCCR.CCE) および割り込み登録ビット (MCAN_IR) のインジケーション信号は除きます)。

26.4.1 クロックのセットアップ

MCAN のペリフェラル非同期クロック (MCAN_FCLK) には、HFXT または SYSPLL のいずれかを介してクロックを供給できます。このクロック構成は、SYSCTL REGISTERS を使用して行う必要があります。*「クロック」セクションの「CANCLK (CAN-FD 機能クロック)」を参照してください。*

Copyright © 2026 Texas Instruments Incorporated

26.4.2 モジュール クロックの要件

MCAN モジュールには、次の 2 つのクロックが供給されます。

- ホスト クロック:汎用モジュール クロック ソースとしてのペリフェラル同期クロック (MCAN_ICLK)
- CAN クロック:CAN ビット タイミングを生成するために CAN コアに供給されるペリフェラル非同期クロック (MCAN_FCLK)。

MCAN モジュールには、2 つのクロック ドメイン間でデータ転送を安全に行うための同期メカニズムが実装されています。ホスト クロック ドメインから CAN クロック ドメインへの信号 (またはその逆方向の信号) 間で同期が行われます。また、クロック ドメインへのリセット信号 (MCAN_RST) と CAN クロック ドメインへの信号の間でも同期が行われます。

注

MCAN モジュールの機能を安定させるため、MCAN_ICLK は常に MCAN_FCLK 以上にする必要があります ($f_{ICLK} \geq f_{FCLK}$)。

CAN-FD はより高速な動作をサポートしているため、従来型 CAN よりもタイミング要件が厳格です。性能を高めるため、システムで動作する PLL REF_CLK を維持する最も低い N 分周値を使用することを推奨します。N 分周値を小さくすると、PLL のループ帯域幅が増大し、結果として CAN-FD のタイミング マージンが向上します。

ペリフェラル非同期クロック (MCAN_FCLK) には、HFXT または SYSPLL のいずれかを介してクロックを供給できます。このクロック構成は、SYSCTL レジスタを使用して行う必要があります。詳細については、「クロック モジュール」をご覧ください

26.4.3 割り込み要求

MCAN モジュールは、ホスト CPU を介して構成される割り込み要求を生成します。MCAN モジュールをサスペンド モードにすると、割り込み要求がホスト CPU に伝搬されなくなります。MCAN コアには 2 つの割り込みラインと 30 の内部割り込みソースがあります。各ソースは、2 つの割り込みラインのうち 1 つを駆動するように構成できます。割り込みは、レベル HIGH 割り込みです。MCAN コアには、2 つの割り込み要求 (MCANSS_INT0 と MCANSS_INT1) があります。

詳細については、以下のレジスタを参照してください。

- 割り込みレジスタ (MCAN_IR)
- 割り込み有効化 (MCAN_IE)
- 割り込みライン選択 (MCAN_ILS)
- 割り込みラインの有効化 (MCAN_ILE)

MCAN モジュールは、外部タイムスタンプ カウンタをサポートしています。外部タイムスタンプ カウンタは、ロールオーバー時に割り込みを生成します (セクション 26.4.12.1 を参照)。

詳細については、以下のレジスタを参照してください。

- 割り込みクリア シャドウ レジスタ (MCANSS_ICS)
- 割り込み未加工ステータス レジスタ (MCANSS_IRS)
- 割り込み有効化クリア シャドウ レジスタ (MCANSS_IECS)
- 割り込み有効化レジスタ (MCANSS_IE)
- 割り込み有効化ステータス レジスタ (MCANSS_IES)
- 割り込み終了レジスタ (MCANSS_EOI)
- 外部タイムスタンプ プリスケーラ レジスタ (MCANSS_EXT_TS_PRESCALER)
- 外部タイムスタンプ未処理割り込みカウンタ レジスタ (MCANSS_EXT_TS_UNSERVICED_INTR_CNTR)

IRQ_INT0、IRQ_INT1、TS_WAKE 割り込みをクリアするには、対応する割り込み番号の EOI ビット フィールドに書き込みます (MCANSS_EOI レジスタの説明を参照)。

割り込み (外部タイムスタンプ、割り込み 0/1) を処理した後、MCANSS_EOI レジスタで対応するビットに 1 を書き込み、割り込みをクリアします。ECC 割り込みの場合、ECC 割り込みソースをクリアした後、アプリケーション ソフトウェアも EOI

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

レジスタ (MCANERR_SEC_EOI.EOI_WR/ CANERR_DED_EOI.EOI_WR) に 1 を書き込む必要があります。詳細については、セクション 26.4.14.2 を参照してください。

IRQ シーケンスは、次のとおりです。

1. IMASK で対応するビットをセットして、割り込みソースの 1 つを有効にします。
2. MCANSS_IE をセットして IRQ を有効にし、line0 または line1 に MCANSS_ILS をセットします。
3. 割り込みソースがトリガされるまで待ちます。
4. 割り込みがトリガされ、アプリケーションは IRQ サービス ルーチン (ISR) にジャンプします。
5. ISR で IIDX を読み取り、想定されるソースによって IRQ がトリガされているかどうかを確認します。IIDX を読み取ると IRQ ソースがクリアされるため、IRQ をクリアするために ICLR を書き込む必要はありません。

   MCAN の設計により、IRQ をクリアするには ISR でステップ (6) が必要です。割り込みソースをチェックして、ステップ 7 が必要かどうかを判定します。
6. 割り込みをクリアするには、MCAN_IR に 1 を書き込みます。
7. ソースが IRQ_INT0、IRQ_INT1、または TS_WAKE の場合、MCANSS_EOI もクリアします。そうしないと、次の IRQ は認識されません。

Copyright © 2026 Texas Instruments Incorporated

26.4.4 動作モード

動作モードについては、以降のセクションで説明します。

26.4.4.1 通常動作

MCAN モジュールが初期化され、MCAN_CCCR.INIT ビットがゼロにリセットされると、MCAN モジュールは CAN バスと同期し、通信の準備が整います。受け入れフィルタに合格した後、メッセージ識別子 (ID) やデータ長コード (DLC) などの受信メッセージが専用の Rx バッファまたは Rx FIFO 0 / Rx FIFO 1 に格納されます。

送信メッセージの場合は、専用の Tx バッファ、および Tx FIFO または Tx キューを初期化または更新できます。

注

リモート フレーム受信時の自動送信はサポートされていません。

26.4.4.2 CAN Classic

CAN は、11 ビット (標準) または 29 ビットの識別子を使用して、最大 8 バイトのデータ送信に対応しています。

26.4.4.3 CAN FD の動作

CAN FD 規格では、フレームのデータフェーズにおいてより高いビットレート（最大 8Mbps）で、1 つのフレームにつき最大 64 データバイトの拡張フレームを送信できます。CAN FD 規格では、あるビット レートから別のビット レートに切り替える機能を備えています。図 26-4 と表 26-2 にあるように、拡張データ長 (EDL) は、最大 8 データ バイトまたは 64 データ バイトのデータ長を設定します。ビット レート スイッチング (BRS) は、2 つのビット レートが有効かどうか (データ フェーズがアービトレーション フェーズと比較して異なるビット レートで送信されるかどうか) を示します。

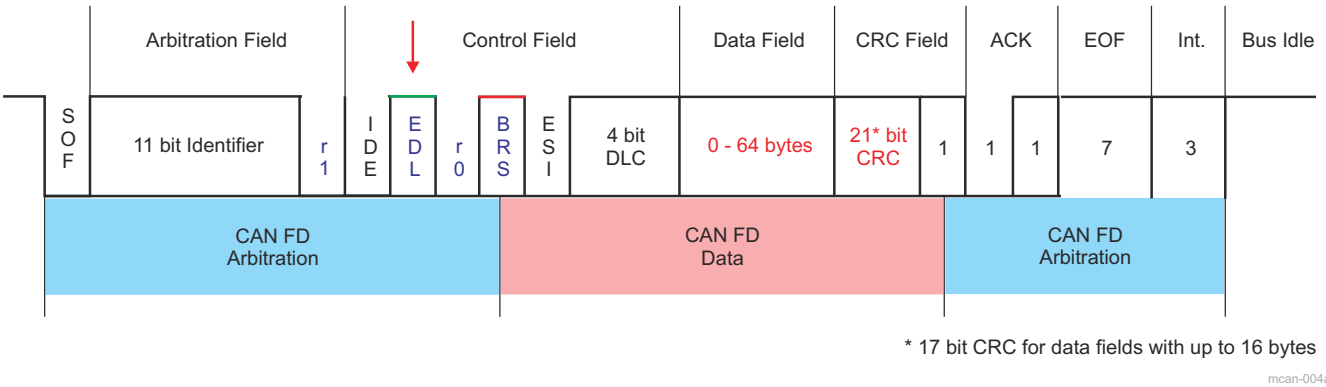


図 26-4. CAN FD フレーム

表 26-2. CAN FD フレームの説明

ビット	説明
SOF	フレームの開始
IDE	ID 拡張 (29 ビット拡張 ID 用)
FDF	フレキシブル データ フォーマット
BRS	ビット レートのスイッチング
ESI	エラー ステータス インジケータ
DLC	データ長コード
CRC	巡回冗長検査

CAN FD フレーム伝送には、次の 2 つのバリアントがあります。

Copyright © 2026 Texas Instruments Incorporated

- ビット レート スイッチングのない CAN FD フレーム送信
- 制御フィールド、データ フィールド、CRC フィールドが、フレームの開始と終了よりも高いビットレートで送信される CAN FD フレーム送信

CAN フレームでは、FDF = リセッシブ (論理 1) は CAN FD フレームを、FDF = ドミナント (論理 0) は従来型 CAN フレームを示します。CAN FD フレームでは、FDF の後にある 2 つのビット (res および BRS) が、この CAN FD フレーム内部のビットレートを切り替えるかどうかを決定します。CAN FD ビット レート スイッチは、res = ドミナントかつ BRS = リセッシブで示されます。res = リセッシブのコーディングは、プロトコルの将来の拡張のために予約されていることに注意してください。MCAN モジュールが FDF = リセッシブ、res =リセッシブのフレームを受信すると、MCAN は MCAN_PSR.PXE ビットをセットすることで、プロトコル例外イベントを通知します。プロトコル例外処理が有効の場合 (MCAN_CCCR.PXHD = 0)、動作状態は次のサンプル ポイントでレシーバ (MCAN_PSR.ACT = 10) からインテグレーティング (MCAN_PSR.ACT = 00) に変化します。プロトコル例外処理が無効の場合 (MCAN_CCCR.PXHD=1)、MCAN はリセッシブ ビットをエラーとして扱い、エラー フレームで応答します。

CAN FD 動作は、MCAN_CCCR.FDOE ビットをプログラムすることで有効になります。MCAN_CCCR.FDOE = 1 の場合、CAN FD フレームの送信および受信が有効になります。従来型 CAN フレームの送受信は常に可能です。CAN FD フレームと従来型 CAN フレームのどちらが送信されるかは、それぞれの Tx バッファ要素の FDF ビットを使用して構成できます。

MCAN_CCCR.FDOE = 0 の場合、受信フレームは従来型 CAN フレームと解釈されるため、CAN FD フレームを受信するときにエラー フレームが送信されます。CAN FD 動作が無効の場合、Tx バッファ要素の FDF ビットがセットされていても、CAN FD フレームは送信されません。MCAN_CCCR.FDOE ビットと MCAN_CCCR.BRSE ビットは、MCAN_CCCR.INIT ビットと MCAN_CCCR.CCE ビットの両方がセットされている間のみ変更できます。MCAN_CCCR.FDOE = 0 の場合、ビット FDF と BRS の設定は無視され、フレームは従来型 CAN 形式で送信されます。

MCAN_CCCR.FDOE=1 かつ MCAN_CCCR.BRSE=0 の場合、Tx バッファ要素の FDF ビットのみが評価されます。MCAN_CCCR.FDOE = 1 かつ MCAN_CCCR.BRSE = 1 の場合、ビット レート スイッチングを使用した CAN FD フレームの送信が有効になります。ビット FDF および BRS がセットされたすべての Tx バッファ要素は、ビット レート スイッチングにより CAN FD 形式で送信されます。

CAN 動作中のモード変更は、次の条件でのみ推奨されます。

- CAN FD データ フェーズのエラー率が、CAN FD アービトレーション フェーズよりも大幅に高い場合。この場合、送信用 CAN FD ビット レート スイッチング オプションを無効にします。
- システムの起動中に、ノードが CAN FD 形式で通信できることを確認するまで、すべてのノードが従来型 CAN メッセージを送信する場合。この場合、すべてのノードが CAN FD 動作に切り替わります。
- CAN 部分的ネットワーク有効化のウェークアップ メッセージは、従来型 CAN 形式で送信する必要があります。
- すべてのノードが CAN FD に対応しているとは限らない場合のエンドオブライン プログラミング。CAN FD 以外のノードは、プログラミングが完了するまでサイレント モードに保持されます。その後、すべてのノードが従来型 CAN 通信に戻ります。

CAN FD 形式での DLC の符号化は、標準の CAN 形式とは異なります。DLC コード 0 ～ 8 は標準 CAN (0 ～ 8 データ バイト) と同じ符号化です。9 ～ 15 は、標準 CAN では 8 バイトのデータ フィールドで符号化されますが、表 26-3 に従って符号化されます。

表 26-3. CAN FD における DLC の符号化

DLC	9	10	11	12	13	14	15
データ バイト数	12	16	20	24	32	48	64

CAN FD ビットのタイミング

CAN FD フレームの場合、このビットがリセッシブの場合、BRS (ビット レート スイッチ) ビットの後のフレーム内でビット タイミングが切り替わります。CAN FD アービトレーション フェーズでは、BRS ビットの前に、公称 CAN ビット タイミング (図

Copyright © 2026 Texas Instruments Incorporated

26-5 を参照) が公称ビット タイミングおよびプリスケーラ レジスタ (MCAN_NBTP) によって設定されたものとして使用されます。次の CAN FD データ フェーズでは、データ ビット タイミング / プリスケーラ レジスタ (MCAN_DBTP) の設定に従って、データ フェーズのビット タイミングが使用されます。ビット タイミングは、CRC デリミタ、またはエラー検出時の、いずれか早い方でデータ フェーズのタイミングから元のタイミングに戻されます。

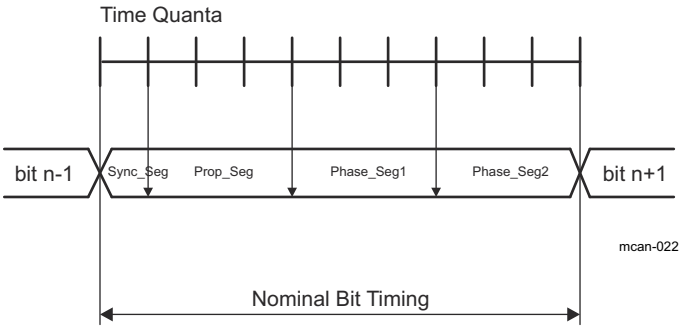


図 26-5. CAN ビットのタイミング

データ フェーズに設定可能な最大ビット タイミングは、CAN クロック周波数 (MCAN_FCLK) によって異なります。例: MCAN_FCLK = 20MHz で、設定可能な最小ビット時間が 4 t_q (タイム クォンタ) の場合、データ フェーズのビットレートは 5Mbit/s です。

どちらのデータ フレーム フォーマット (ビット レート スイッチング付きの CAN FD か CAN FD) でも、エラー ステータス インジケータ (ESI) ビットの値は、送信開始時に監視されるトランスミッタ エラー状態 (MCAN_PSR.RESI ビットを参照) によって異なります。トランスミッタにエラー パッシブ フラグがある場合、ESI ビットはリセッシブとして送信されます。それ以外の場合、ESI ビットはドミナントとして送信されます。

26.4.5 ソフトウェアの初期化

MCAN_CCCR.INIT ビットが 1 にセットされると、ソフトウェアの初期化が開始されます。この処理は、ソフトウェアまたはハードウェアによるリセット、メッセージ RAM 内で訂正されていないビット エラーが検出された場合、または Bus_Off 状態に遷移すると行われます。MCAN_CCCR.INIT ビットがセットされている間、メッセージの転送は停止し、出力 TX ピンのステータスはリセッシブ (High) になります。エラー管理ロジック (EML) のカウンタは変更されません。MCAN_CCCR.INIT ビットをセットしても、構成レジスタは変更されません。MCAN_CCCR.INIT ビットをリセットすると、ソフトウェアの初期化が完了します。11 の連続するリセッシブ ビットのシーケンスが発生するまで待機した後 (これは Bus_Idle 状態であることを示します)、メッセージの転送が開始されます。

MCAN 構成レジスタへのアクセスは、MCAN_CCCR.INIT および MCAN_CCCR.CCE ビットの両方がセットされている場合 (書き込み保護) にのみ有効になります。

MCAN_CCCR.CCE ビットは、MCAN_CCCR.INIT = 1 の間のみセットまたはリセットできます。MCAN_CCCR.INIT ビットがリセットされると、MCAN_CCCR.CCE ビットは自動的にリセットされます。

MCAN_CCCR.CCE ビットがセットされると、以下のレジスタがリセットされます。

- MCAN_HPMS - 高優先度メッセージ ステータス
- MCAN_RXF0S - Rx FIFO 0 ステータス
- MCAN_RFX1S - Rx FIFO 1 ステータス
- MCAN_TXFQS - Tx FIFO / キュー ステータス
- MCAN_TXBRP - Tx バッファ要求保留中
- MCAN_TXBTO - Tx バッファ送信が発生
- MCAN_TXBCF - Tx バッファのキャンセル完了
- MCAN_TXEFS - Tx イベント FIFO ステータス

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

MCAN_CCCR.CCE ビットがセットされると、タイムアウト カウンタ値 MCAN_TOCV.TOC フィールドは MCAN_TOCC.TOP フィールドの値にプリセットされます。

また、MCAN_CCCR.CCE = 1 の間、Tx ハンドラと Rx ハンドラはアイドル状態に保持されます。

以下のレジスタは、MCAN_CCCR.CCE = 0 の間のみ書き込むことができます。

- MCAN_TXBAR - Tx バッファの追加要求
- MCAN_TXBCR - Tx バッファ キャンセル要求

MCAN_CCCR.TEST および MCAN_CCCR.MON ビットは、MCAN_CCCR.INIT = 1 および MCAN_CCCR.CCE = 1 の場合のみ、ホスト CPU でセットできます。どちらのビットも、いつでもリセットできます。MCAN_CCCR.DAR ビットは、MCAN_CCCR.INIT = 1 および MCAN_CCCR.CCE = 1 のときのみセットまたはリセットできます。

表 26-4 に、MCAN モジュールの設定手順を示します。

表 26-4. MCAN モジュールの設定手順

ステップ	動作	説明	疑似コード
1	MCAN_CCCR を初期化します	MCAN_CCCR.INIT ビットをセットし、そのビットがセットされ、	INIT = 1 になっていることを確認します INIT≠1 の場合は、セットされるまで待機します
2	保護されたレジスタのロックを解除します	MCAN_CCCR.CCE ビットをセットします	CCE = 1、
3	CAN モードを設定します	MCAN_CCCR.FDOE ビットを CAN FD に設定します	FDOE = 1 (CAN FD の場合) FDOE = 0 (従来型 CAN の場合)
4	ビット レートのスイッチングを設定します。	MCAN_CCCR.BRSE ビットをセットします	BRSE = 1 (ビット レートのスイッチングあり) BRSE = 0 (ビット レートのスイッチングなし)
5	公称ビット タイミングを設定します(1)	MCAN_NBTP レジスタをセットします	
6	保護されたレジスタをロックします	MCAN_CCCR.CCE ビットをクリアします	CCE = 0、
7	MCAN モジュールを通常の動作に戻します	MCAN_CCCR.INIT ビットをクリアし、そのビットがクリアされ、	INIT = 0 になっていることを確認します。 INIT≠0 の場合は、クリアされるまで待機します。

(1) CAN ビット タイミングのプログラム方法については、「MCAN_REGS レジスタ」セクションで MCAN_NBTP レジスタを参照してください。

26.4.6 トランスミッタ遅延補償

26.4.6.1 説明

送信中の CAN FD ノードが 1 つのみで、他のすべてのノードがレシーバの場合、バス ラインの長さによる影響はありません。TX ピンを使用して送信するとき、MCAN モジュールは RX ピンを使用して CAN トランシーバから送信データを受信します。受信データは遅延します。トランスミッタの遅延が TSEG1 (サンプル ポイント前の時間セグメント) より大きい場合、ビット エラーが検出されます。

MCAN モジュールには、トランスミッタの遅延を補償するための遅延補償メカニズムが搭載されています。補償メカニズムにより、特定の CAN トランシーバの遅延に関係なく、CAN FD データ フェーズ中に、より高いビット レートでの送信が可能になります。トランスミッタの遅延補償がない場合、データ フェーズのビット レートはトランスミッタの遅延によって制限されます。

このメカニズムにより、データ ビット時間がトランスミッタの遅延よりも短い構成が可能になります (詳細は ISO 11898-1:2015 を参照)。トランスミッタの遅延補償は、MCAN_DBTP.TDC ビットを 1 に設定することで有効になります。

遅延した送信データは、セカンダリ サンプル ポイント (SSP) で受信データと比較され、送信ノードのデータ フェーズで発生したビット エラーがチェックされます。ビット エラーが検出されると、トランスミッタは次の通常のサンプル ポイントでこのビット エラーに応答します。調停フェーズ中、遅延補償は常に無効になります。

SSP の受信ビットが送信ビットと比較されます。SSP 位置は、MCAN 送信出力 TX ピンからトランシーバを経由して受信入力 RX ピンまでで測定された遅延と、MCAN_TDCR.TDCO フィールドで構成されたトランスミッタ遅延補償オフセット

Copyright © 2026 Texas Instruments Incorporated

の合計として定義されます (図 26-6 を参照)。トランスミッタ遅延補償オフセットは、受信ビット内の SSP の位置 (データフェーズのビット時間の半分など) を調整するために使用されます。SSP の位置は、次の mtq の整数に切り捨てられます。

実際のトランスミッタ遅延補償の値は、MCAN_PSR.TDCV フィールドを読み出すことで確認できます。このフィールドは、MCAN_CCCR_INIT ビットがセットされたときにクリアされ、MCAN_DBTP.TDC ビットがセットされている間は CAN FD フレームが送信されるたび更新されます。

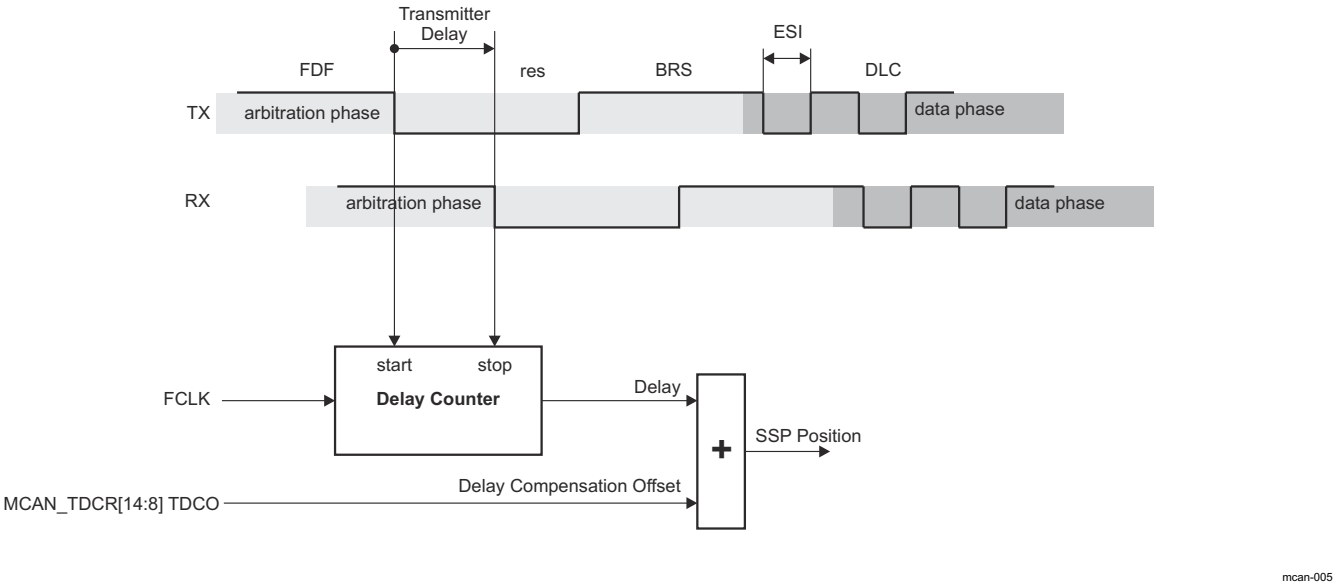


図 26-6. トランスミッタ遅延測定

Copyright © 2026 Texas Instruments Incorporated

26.4.6.2 トランスミッタ遅延補償測定

トランスミッタ遅延補償が有効な場合 (MCAN_DBTP.TDC = 1 にプログラミング)、送信される各 CAN FD フレームにおいて、FDF ビットからビット r0 への立ち下がりエッジで測定が開始されます。このエッジがトランスミッタの受信入力 RX ピンで観測されると、測定は停止します。この測定の分解能は 1mtq です (図 26-6 を参照)。mtq (最小時間量子) の単位は CAN クロック周期 (MCAN_FCLK) と同じです。

トランスミッタ遅延補償フィルタ ウィンドウを使用するには、MCAN_TDCR.TDCF フィールドをプログラムすることで有効にできます。このフィルタ機能で SSP 位置の最小値を定義することで、受信 FDF ビット内の支配的なグリッチが受信 res ビットの立ち下がりエッジ前に遅延補償測定を終了して早期 SSP 位置が得られる場合を回避できます。早い SSP 位置の原因となる RX ピンのドミナント エッジは、トランスミッタ遅延測定では無視されます。SSP 位置が MCAN_TDCR.TDCF フィールドの値以上で、RX ピンが Low のとき、測定は停止します。

次の境界条件を考慮する必要があります。

- TX ピンから RX ピンまでの遅延の測定値と設定されたトランスミッタ遅延補償オフセット (MCAN_TDCR.TDCO フィールド) の合計は、データ フェーズで 6 ビット未満である必要があります。
- TX ピンから RX ピンまでの遅延の測定値と設定されたトランスミッタ遅延補償オフセット (MCAN_TDCR.TDCO フィールド) の合計は、127mtq 以下である必要があります。この合計が 127mtq を超える場合、トランスミッタ遅延補償に最大値である 127mtq が使用されます。
- データ フェーズは CRC デリミタのサンプル ポイントで終了し、これにより SSP での受信ビットのチェックを停止します。

26.4.7 制限操作モード

制限動作モードでは、CAN ノードはデータ フレームとリモート フレームを受信して、有効なフレームにアクノリッジを返すことができますが、ノードはデータ フレーム、リモート フレーム、アクティブ エラー フレーム、または過負荷フレームを送信しません。エラー状態または過負荷状態の場合、ノードはドミナント ビットを送信せず、ノードはバス アイドル条件の発生を待機して CAN 通信と再同期します。CAN エラー ロギング (MCAN_ECR.CEL) がアクティブな間、受信および送信エラー カウンタ (MCAN_ECR.REC および MCAN_ECR.TEC) は固定されます。ホスト CPU は、MCAN_CCCR.ASM ビットを設定することで、MCAN モジュールを制限付き動作モードに設定できます。このビットは、MCAN_CCCR.CCE ビットと MCAN_CCCR.INIT ビットの両方が 1 に設定されている場合にのみ、ホスト CPU によってセットできます。

Tx ハンドラがメッセージ RAM から時間内にデータを読み取ることができない場合、制限動作モードが自動的に開始されます。制限動作モードを終了するには、ホスト CPU は MCAN_CCCR.ASM ビットをリセットする必要があります。このモードは、各種の CAN ビット レートに適応するアプリケーションで使用できます。この場合、アプリケーションはさまざまなビット レートをテストし、ノードが有効なフレームを受信すると制限動作モードを終了します。

注

制限付き動作モードは、ループバック モードと併用できません。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.8 バス監視モード

バス監視モードに移行するには、MCAN_CCCR.MON ビットを 1 に設定します。このモード (ISO 11898-1:2015 の「*Bus Monitoring*」セクションを参照) では、MCAN モジュールは有効なデータとリモート フレームを受信できますが、転送を開始できません。MCAN モジュールは、CAN バス上でリセッシブ ビットのみを送信します。MCAN モジュールがドミナント ビット (ACK ビット、過負荷フラグ、アクティブ エラー フラグ) を送信する必要がある場合、CAN バスがリセッシブ状態のままであっても MCAN モジュールがこのドミナント ビットを監視するように、このビットは内部で再ルーティングされます。バス監視モードでは、MCAN_TXBRP レジスタはリセット状態に維持されます。バス監視モードを使用すると、ドミナント ビットの転送によってバスに影響を及ぼさずに、CAN バス上のトラフィックを分析できます。図 26-7 に、バス監視モードでの TX および RX 信号の MCAN モジュールへの接続を示します。

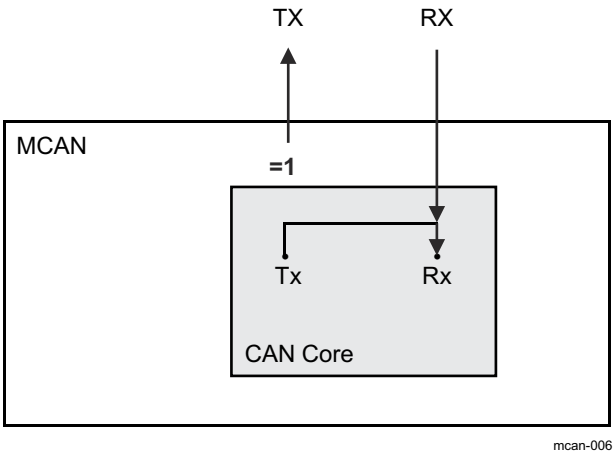


図 26-7. バス監視モードでの信号の接続

Copyright © 2026 Texas Instruments Incorporated

26.4.9 自動再送信無効 (DAR) モード

CAN 仕様 (ISO11898-1:2015 の「*Recovery Management*」セクションを参照) に従い、MCAN モジュールは、アービトレーションを失ったフレームや送信中にエラーによって中断されたフレームの自動再送信機能を提供します。デフォルトでは、自動再送信は有効です (MCAN_CCCR.DAR ビットを参照)。

26.4.9.1 DAR モードでのフレーム送信

DAR モードでは、CAN バス上で送信が開始された後、すべての送信が自動的にキャンセルされます。Tx バッファの Tx 要求保留 (MCAN_TXBRP[xx]) TRPx ビットは、送信が正常に完了した場合、キャンセル時点で送信がまだ開始されていない場合、アービトレーションの消失により送信が中止された場合、またはフレーム送信中にエラーが発生した場合にリセットされます。

送信の成功:

- 対応する Tx バッファ送信発生 (MCAN_TXBTO.TOx) の TOx ビットが設定されます
- 対応する Tx バッファ キャンセル完了 (MCAN_TXBCF.CFx) CFx ビットがセットされません

キャンセルしても送信が成功:

- 対応する Tx バッファ送信発生 (MCAN_TXBTO.TOx) の TOx ビットが設定されます
- 対応する Tx バッファ キャンセル完了 (MCAN_TXBCF.CFx) CFx ビットが設定されます

アービトレーション喪失またはフレーム転送が中断された場合:

- 対応する Tx バッファ送信発生 (MCAN_TXBTO.TOx) TOx ビットが設定されていません
- 対応する Tx バッファ キャンセル完了 (MCAN_TXBCF.CFx) CFx ビットが設定されます

フレーム送信が正常に完了し、Tx イベントの保存が有効な場合、イベント タイプ ET = 10 (キャンセルにもかかわらず送信) が設定された Tx イベント FIFO 要素が書き込まれます。

26.4.10 クロック停止モード

クロック停止モードへの移行は、次の 2 つのビットのいずれかをプログラムすることで行えます。

- MCAN_IP のクロック停止要求ビット (MCAN_CCCR.CSR)
- MCAN_WRAPPER の停止要求ビット (MCANSS_CLKCTL.STOPREQ)

MCAN_IP (MCAN_CCCR.CSR) 内のレジスタ ビットは、MCAN_WRAPPER ビット (MCANSS_CLKCTL.STOPREQ) がアサートされている限り、1 として読み取られます。

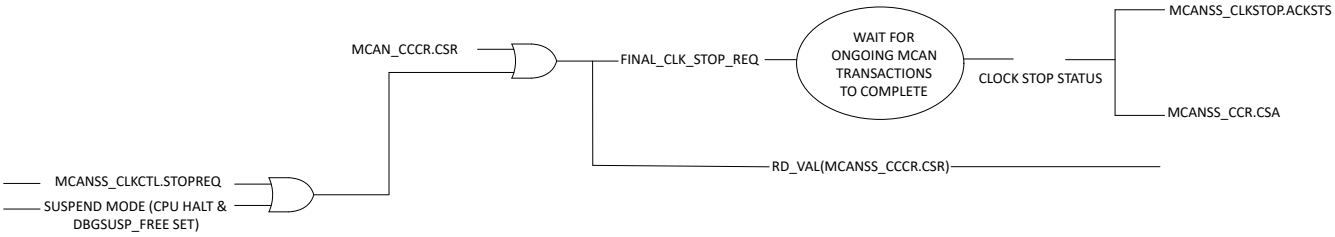


図 26-8. クロック停止要求

保留中のすべての送信要求が完了した後、MCAN モジュールはバス アイドル状態が検出されるまで待機し、その後、MCAN_CCCR.INIT を 1 に設定して、それ以上の CAN 転送を禁止します。次に、MCAN モジュールは、クロック停止アクノリッジ ビット MCAN_CCCR.CSA を 1 に設定して、MCAN のパワーダウン準備ができたことをアクノリッジします (MCANSS_CLKSTS.CLKSTOP_ACKSTS も同じ値を反映します)。この状態では、クロックがオフになる前に、さらにレジスタにアクセスすることができます。ただし、MCAN_CCCR.INIT ビットへの書き込みアクセスは効果がありません。これで、モジュール クロック入力 MCAN_ICLK と MCAN_FCLK を、MCANSS_CLKEN.CLK_REQEN を使用してオフにできるようになりました。

Copyright © 2026 Texas Instruments Incorporated

パワーダウン モードを終了するには、クロック停止要求ビットをクリアする前に、アプリケーションはモジュール クロックをオンにする必要があります (MCAN_CCCR.CSR と MCANSS_CLKCTL.STOPREQ の両方がクリアされている必要があります)。MCAN は、MCANSS_CLKSTS.CLKSTOP_ACKSTS および MCAN_CCCR.CSA ビットをクリアすることにより、クロック停止要求の解除をアクノリッジします。これで、MCAN_CCCR.INIT ビットをクリアすることで、アプリケーションが CAN 通信を再起動できるようになりました。

(MCAN Rx でのアクティビティによる) パワーダウン モードからの自動ウェークアップは、MCANSS_CTRL.AUTOWAKEUP と MCANSS_CTRL.WAKEUPREQEN ビットによってサポートされます (詳細については、セクション 26.4.10.2 を参照)。

クロックの停止と自動ウェークアップを図 26-9 に示します。

Copyright © 2026 Texas Instruments Incorporated

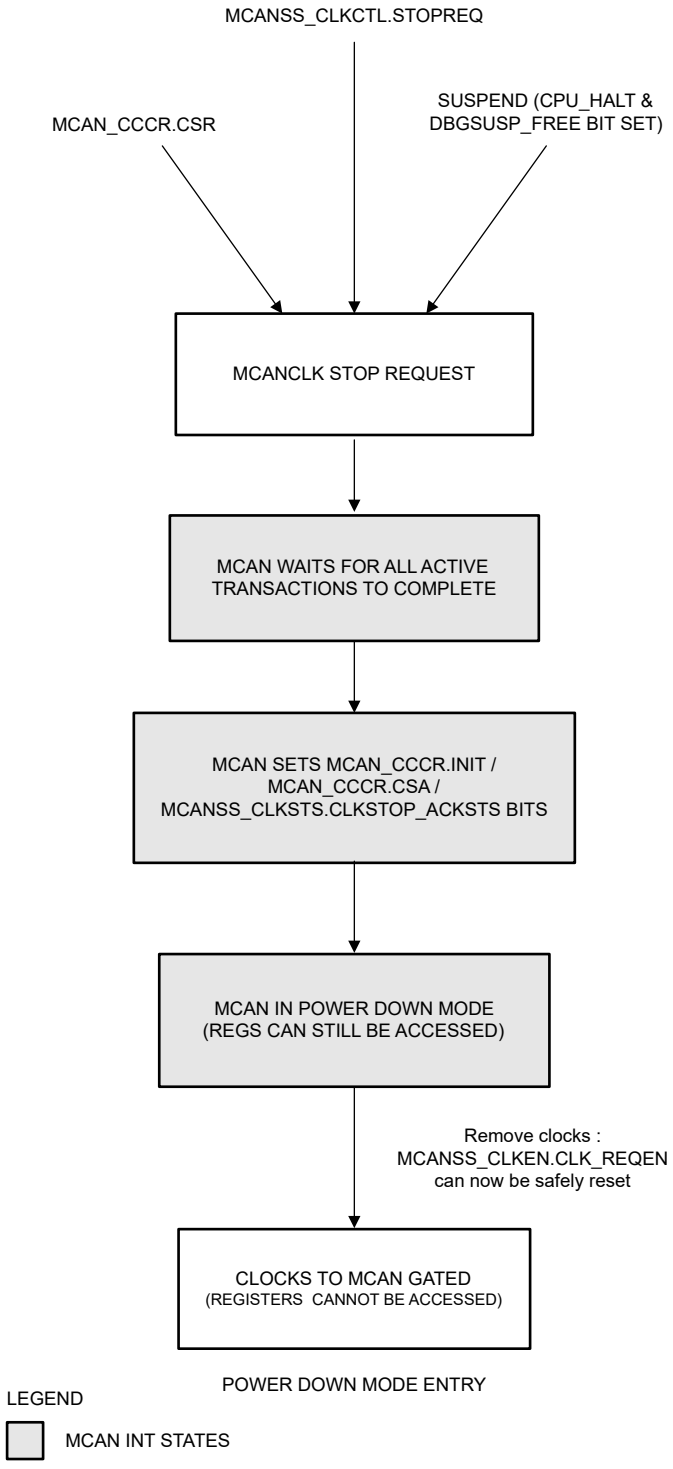


図 26-9. パワーダウン エントリ

26.4.10.1 サスペンド モード

MCAN モジュールは 2 つのサスペンド モードをサポートしています。

- 即時
- グレースフル

Copyright © 2026 Texas Instruments Incorporated

グレースフル サスペンド モード (MCANSS_CTRL.DBGSUSP_FREE ビットを参照) では、サスペンド要求がアサートされると、MCAN コアへのクロック停止要求が実行されます。保留中の Tx メッセージがすべて処理され、アイドル回線が検出されると、MCAN コアはクロック停止アクノリッジで応答します。この時点で、MCAN_CCCR.INIT ビットがセットされ、MCAN コアはアイドルのままになります。サスペンド状態は、MCAN_CCCR.INIT ビットを読み出すことで確認できます。

自動ウェークアップ機能を有効にするには、MCANSS_CTRL.AUTOWAKEUP および MCANSS_CTRL.WAKEUPREQEN ビットを 1 に設定します (詳細については、セクション 26.4.10.2 を参照)。サスペンド要求が解除されたときに、外部クロック停止要求がアクティブでない場合、MCAN_CCCR.INIT ビットへの読み取り / 変更 / 書き込みが実行され、ビットがクリアされます。

サスペンド モード中、自動クリア機能は無効になります。以下のレジスタ フィールドには、自動クリア機能があります。

- MCAN_ECR.CEL
- MCAN_PSR.LEC
- MCAN_PSR.DLEC
- MCAN_PSR.RESI
- MCAN_PSR.RBRS
- MCAN_PSR.RFDF
- MCAN_PSR.PXE

26.4.10.2 ウェークアップ要求

クロック停止要求を発行すると、MCAN モジュールはパワーダウン モード (スリープ モード) に遷移します。MCANSS_CTRL.AUTOWAKEUP および MCANSS_CTRL.WAKEUPREQEN ビットが有効になっているときに、IDLE から ACTIVE への遷移中に MCAN コアがクロック停止アクノリッジを解除してクロック停止要求解除に応答すると、読み取り / 変更 / 書き込みによって MCAN_CCCR.INIT ビットがクリアされ、MCAN コアが動作を再開します。ハードウェアによってクロック停止要求が解除された後、最初のフレーム (ウェークアップ フレーム) は受信されないことに注意してください。これは、クロック停止が発行された後、IP に供給されているアクティブなクロックがないためです。したがって、クロック停止要求を解除した後、クロックを有効にするウェークアップ フレームを再送信する必要があります。

MCANSS_CTRL.WAKEUPREQEN ビットがセットされている場合、MCAN モジュールは以下のウェークアップ イベント時にウェークアップ要求 を発行します。

- 受信 RX ピンがドミナント状態 (論理 0)

次のいずれかの条件が発生すると、ウェークアップ要求がデアサートされます。

- クロック停止要求が解除され、クロック停止アクノリッジがデアサートされる
- MCAN モジュールにリセットが適用される

Copyright © 2026 Texas Instruments Incorporated

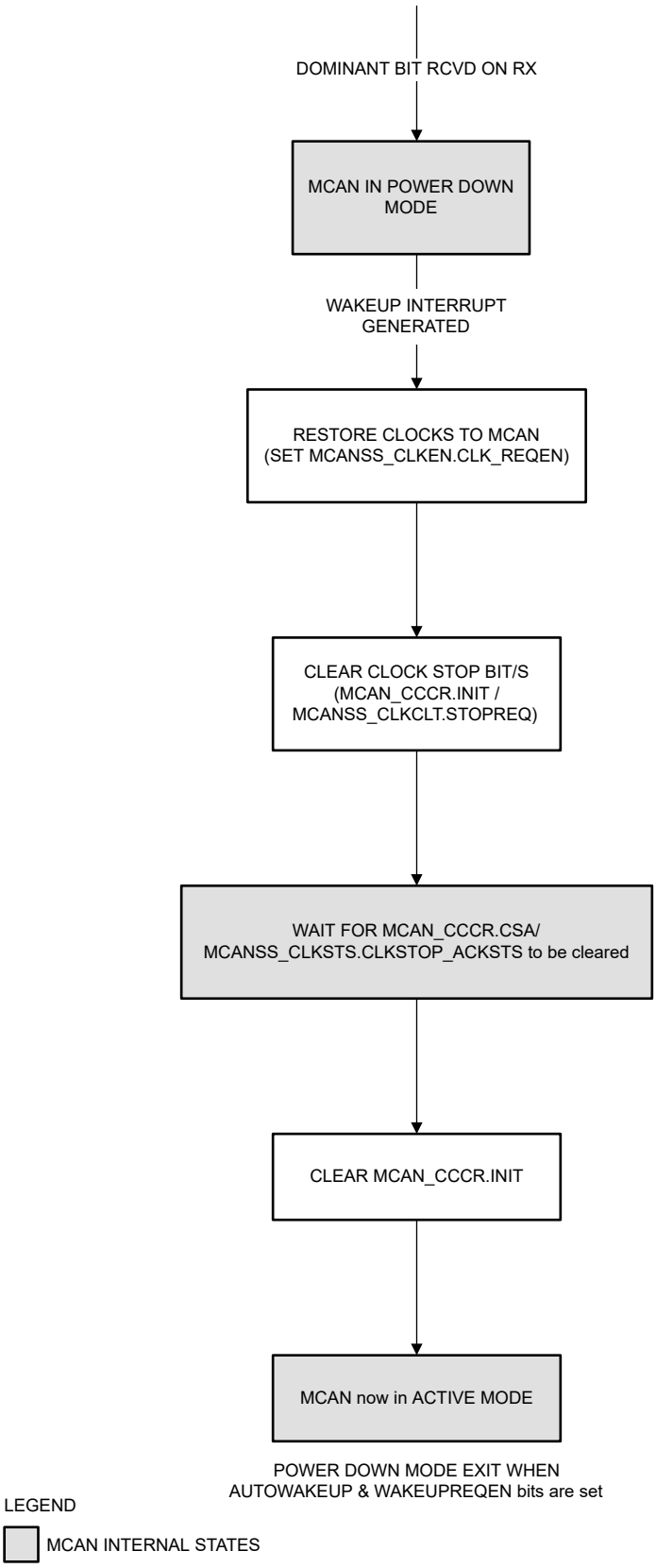


図 26-10. 自動ウェークアップが有効で、パワーダウンが終了する

Copyright © 2026 Texas Instruments Incorporated

ウェークアップ要求を発行する際の注意事項は次のとおりです。

- CAN バスでメッセージを受信中にクロック停止要求 (CSR) が発行されると、ウェークアップ割り込みは受信完了時に発生するため、MCAN モジュールはクロック停止モードに遷移しません。不要なウェークアップを回避するため、ユーザーはプロトコル ステータス レジスタ (PSR) のノード アクティビティ ビット (ACT) を確認し、要求を設定する前にアイドル状態になっていることを確認する必要があります。
- また、ソフトウェア チェックとクロック停止アクノリッジ (CSA) をクリアするウェークアップ割り込みのタイミングによっては、ソフトウェアが無限ループに入る可能性があるため、CSA のみで終了するような SW ポーリング ループの作成も避ける必要があります。
- Rx ピンに過剰なノイズがある場合、ウェークアップが頻繁に発生する可能性があります。これを回避するには、一定の時間待機してからウェークアップの受信を確認し、受信されていない場合にクロック停止状態をアサートすることを推奨します。
- クロック停止要求がアサートされている間に MCAN がリセットされると、ウェークアップ ロジックが予期せず無効になることがあります。したがって、CSR がアサートされている間は、MCAN へのソフトリセットをアサートしないようにしてください。

Copyright © 2026 Texas Instruments Incorporated

26.4.11 テスト モード

MCAN_TEST レジスタ書き込みアクセスは、テスト モード イネーブル MCAN_CCCR.TEST ビットを 1 に設定することで有効化されます。MCAN_TEST レジスタを使用すると、テスト モードとテスト機能を設定できます。

送信 (TX) ピンには四つの異なる出力機能があり、MCAN_TEST_TX フィールドをプログラムすることで選択できます。デフォルトの機能はシリアル データ出力です。このピンは、一定のドミナント値またはレセッシブ値で駆動することもできます。また、サンプル ポイント信号を駆動してビット タイミングを監視することも可能です。

受信 (RX) ピンの実際の値は、MCAN_TEST_RX ビットから監視できます。両方の機能を使用して物理層を確認できます。CAN クロック (MCANx_FCLK) ドメインとホスト クロック (MCANx_ICLK) ドメイン間の同期機構により、MCAN_TEST.TX フィールドへの書き込みから、新しい設定が出力 TX ピンに反映されるまでに、複数回のホスト クロック周期の遅延が生じることがあります。これは、MCAN_TEST_RX ビットを使って入力 RX ピンを読み出す場合にも適用されます。

注

テスト モードは、またはセルフテストのみに使用できます。TX ピンのソフトウェア制御は、すべての CAN プロトコル機能に干渉します。アプリケーションでテスト モードを使用することは推奨されません。

26.4.11.1 外部ループ バック モード

MCAN_TEST.LBCK を 1 にセットすることで、MCAN モジュールを外部ループ バック モードに設定できます。ループ バック モードでは、MCAN は自身の送信メッセージを受信メッセージとして扱い、次の図に示すように、それらを Rx バッファまたは Rx FIFO に格納します (受け入れフィルタリングを通過する場合)。図に、外部ループバック モードでの TX および RX ピンと MCAN モジュールの接続を示します。

このモードは、ハードウェア セルフ テスト用に用意されています。外部から影響を受けないようにするため、MCAN モジュールはループバック モードでのアクノリッジ エラー (データ / リモート フレームのアクノリッジ スロットでサンプリングされたリセッシブ ビット) を無視します。このモードでは、MCAN モジュールは Tx 出力から Rx 入力への内部帰還を実行します。RX 入力ピンの実際の値は、MCAN モジュールによって無視されます。送信されたメッセージは TX ピンで監視されます。

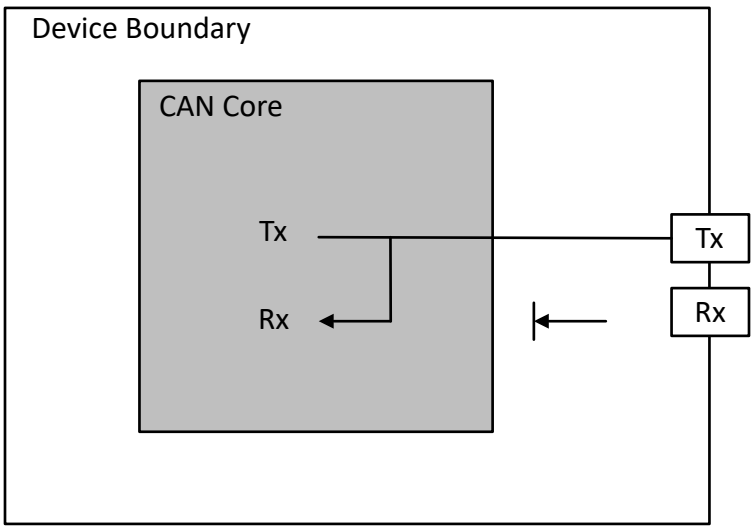


図 26-11. 外部ループ バック モード

Copyright © 2026 Texas Instruments Incorporated

26.4.11.2 内部ループ バック モード

MCAN_TEST.LBCK および MCAN_CCCR.MON ビットを 1 にセットすることで、MCAN モジュールを内部ループ バック モードに設定できます。内部ループ バック モードは、ホット セルフ テストに使用します。ホット セルフ テストを使うと、TX ピンおよび RX ピンに接続されて動作している CAN システムに影響を与えずに、MCAN モジュールをテストできます。このモードでは、RX ピンが MCAN モジュールから切断され、TX ピンがリセッシブ状態に保持されます。図 26-12 に、内部ループ バック モードでの TX および RX ピンと MCAN モジュールの接続を示します。

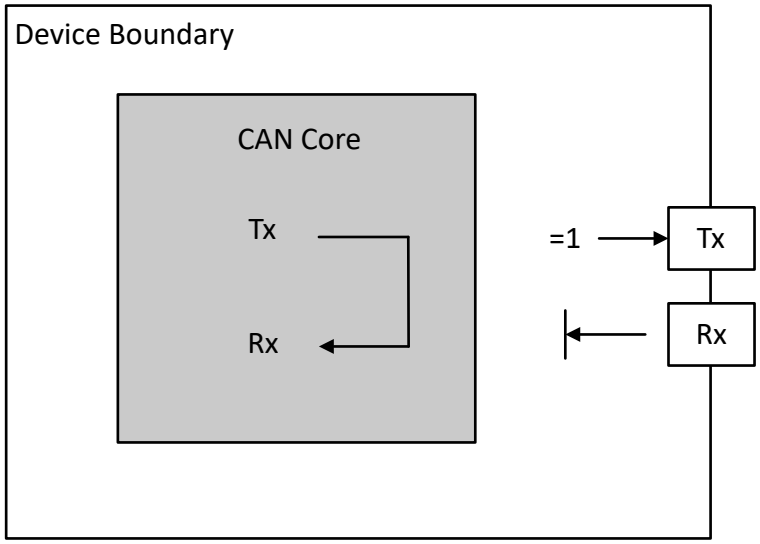


図 26-12. 内部ループ バック モード

26.4.12 タイムスタンプ生成

MCAN モジュールは、タイムスタンプ生成用の 16 ビットの折り返しカウンタを内蔵しています。タイムスタンプ カウンタ プリスケーラ MCAN_TSCC.TCP フィールドについて、カウンタを CAN ビット時間 (1 ～ 16) の倍数でクロックするように設定できます。このカウンタは、MCAN_TSCV.TSC フィールドを使用して読み取ることができます。MCAN_TSCV レジスタへの書き込みアクセスによって、カウンタはゼロにリセットされます。タイムスタンプ カウンタがラップアラウンドすると、割り込み MCAN_IR.TSW フラグがセットされます。フレームの受信または転送の開始時に、カウンタ値がキャプチャされ、Rx バッファ /Rx FIFO (RXTS[15:0])、または Tx イベント FIFO (TXTS[15:0]) 要素のタイムスタンプ セクションに格納されます。FIFO タイムスタンプ構成の詳細については、セクション 26.4.19 を参照してください。

26.4.12.1 外部タイムスタンプ カウンタ

CAN FD 動作モードでは、MCAN コアに外部タイムスタンプ カウンタが必要です。外部で生成された 16 ビット ベクタを、受信および送信タイムスタンプの生成に使用される内蔵 16 ビット CAN ビット タイム カウンタ (内部タイムスタンプ カウンタ) の代わりに使用できます。外部の 16 ビット タイムスタンプ カウンタを使用するには、MCAN_TSCC.TSS フィールドをプログラムします。

外部タイムスタンプ カウンタは、インターフェイス クロック (MCANx_ICLK) をリファレンス クロックとして使用します。MCAN コアは、16 ビットのタイムスタンプを受け入れます。24 ビット プリスケーラにより、タイムスタンプの分解能をプログラム可能です (MCANSS_EXT_TS_PRESCALER.PRESCALER ビット フィールドを参照)。外部タイムスタンプ カウンタは、MCANSS_CTRL.EXT_TS_CNTR_EN ビットによって有効化または無効化できます。無効になると、カウンタはゼロにリセットされます。有効になっている間、カウンタは増加し続けます。タイムスタンプがロールオーバーすると、MCAN_IRQ_TS 割り込みが生成されます。

タイムスタンプがロールオーバーすると、MCANSS_IRS レジスタがセットされます。MCANSS_IE レジスタは、MCANSS_IESS レジスタへの書き込みによってセットされ、MCANSS_IECS レジスタへの書き込みによってクリアされま

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

す。MCANSS_IESS レジスタは、MCANSS_IE レジスタと同じアドレスにマップされたシャドウ レジスタです。レベル割り込みは、MCANSS_IRS と MCANSS_IE の両方がセットされている状態を反映します。MCANSS_IES レジスタは、レベルの割り込みを反映します。ロールオーバー イベントが発生すると、割り込みカウンタがインクリメントされます。MCANSS_IRS レジスタをクリアするために MCANSS_ICS レジスタに書き込むと、割り込みカウンタもデクリメントされます。割り込みカウンタがゼロでない場合、MCANSS_EOI レジスタに書き込むと、別のパルスが発行されます。

ロールオーバ イベントは、割り込みセット シャドウ レジスタ (MCANSS_ISS) への書き込みにより、ソフトウェアにより人工的にシミュレーションできます。MCANSS_ISS レジスタは、MCANSS_IRS レジスタと同じアドレスにマップされたシャドウ レジスタです。

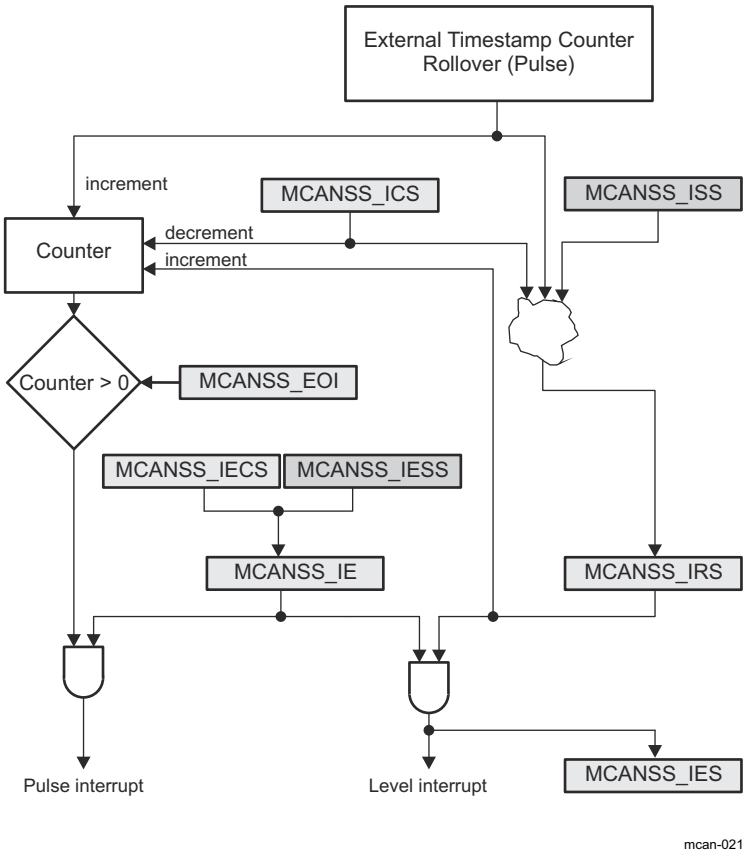


図 26-13. 外部タイムスタンプ カウンタ割り込み

26.4.13 タイムアウト カウンタ

MCAN モジュールには、16 ビットのタイムアウト カウンタが内蔵されています。タイムアウト カウンタは、Rx FIFO 0、Rx FIFO 1、および Tx イベント FIFO メッセージ RAM 要素のタイムアウト条件を通知するために使用されます。タイムアウト カウンタは MCAN_TOCC レジスタを使用して設定され、MCAN_TOCC.ETOC ビットを使用して有効化されます。タイムアウト カウンタはダウン カウンタとして動作し、タイムスタンプ カウンタと同じプリスケーラ (MCAN_TSCC.TCP フィールドで設定) を使用します。実際のカウンタ値は、MCAN_TOCV.TOC フィールドで監視できます。タイムアウト カウンタは、MCAN_CCCR.INIT = 0 のときにのみ開始でき、MCAN_CCCR.INIT = 1 のときに停止できます (たとえば、MCAN が Bus_Off 状態に遷移したとき)。動作モードは、MCAN_TOCC.TOS フィールドで選択されます。連続モードが選択されている場合、カウンタは MCAN_CCCR.INIT = 0 のときに開始されます。MCAN_TOCV レジスタに書き込みが行われると、MCAN_TOCC.TOP フィールドの値にカウンタがプリセットされ、カウントダウンを継続します。

タイムアウト カウンタがいずれかの FIFO によって制御されている場合、空の FIFO は、MCAN_TOCC.TOP フィールドで設定された値にカウンタをプリセットします。ダウンカウントは、最初の FIFO 要素が格納されると開始されます。

Copyright © 2026 Texas Instruments Incorporated

MCAN_TOCV レジスタへの書き込みは効果がありません。カウンタが 0 に達すると、割り込み MCAN_IR.TOO フラグがセットされます。

連続モードでは、MCAN_TOCC.TOP フィールドで設定された値で、カウンタは即座に再起動されます。

注

タイムアウト カウンタのクロック信号は、CAN コアのサンプル ポイント信号から生成されます。したがって、タイムアウト カウンタがデクリメントされる時点は、CAN コアの同期 / 再同期メカニズムによって変動する可能性があります。CAN-FD のビット レート スイッチ (BRS) 機能を使用する場合、タイムアウト カウンタのクロック動作はアービトレーションおよびデータ フィールドで異なります。

26.4.14 安全

メッセージ RAM (MSG_RAM) は、SECDED パリティ機能を提供する ECC ラッパーでラップされています。MCAN ECC ラッパーは、ECC アグリゲータによって制御されます。

26.4.14.1 MCAN ECC ラッパー

ECC ラッパーは、メッセージ メモリの内容にシングル エラー訂正 (SEC) およびダブル エラー検出 (DED) パリティを提供します。ECC ラッパーには、エラー通知用のサイド バンド信号があります。ECC ラッパーは、エラー注入テスト モードを実装しています。

エラー訂正は、遅延書き戻しを使用して行われます。エラーが検出されると、エラーは FIFO キューに記録され、アクセス ギャップがデータを書き戻してメモリを更新するまで待機します。遅延書き戻しの完了前に、トランザクションが対象のエントリに新しいデータを書き込むと、書き戻しは破棄されます。

26.4.14.2 MCAN ECC アグリゲータ

このセクションでは、MCAN ECC アグリゲータ モジュールの機能の詳細について説明します。

26.4.14.2.1 MCAN ECC アグリゲータの概要

MCAN ECC アグリゲータモジュールは、以下の一般的な機能をサポートしています。

- MCAN モジュールの ECC RAM を制御および監視するメカニズムを備えています。
- ECC 関連のすべてのレジスタへのソフトウェア アクセスを可能にします。
- ECC のシングル ビット / ダブル ビット エラーのソフトウェア読み取りステータスと、エラーのある RAM アドレスやデータ ビットなどの関連情報をサポートしています。
- ECC RAM からのレベル割り込みの保留ステータスを、ホスト CPU への 1 つの割り込みに集約します。

次の機能はサポートされていません。

- シングル ビットおよびダブル ビット エラー数の追跡などの統計情報。必要に応じて、これらの操作をソフトウェアで処理できます。

26.4.14.2.2 MCAN ECC アグリゲータ レジスタ

MCAN ECC アグリゲータ モジュールには、次の 3 つのレジスタ グループがあります。

- **グローバル レジスタ:** アグリゲータ リビジョン レジスタ (MCANERR_REV)、ECC ベクトル レジスタ (MCANERR_VECTOR)、各種ステータス レジスタ (MCANERR_STAT)、ECC 制御レジスタ (MCANERR_CTRL)、ECC ラッパー リビジョン レジスタ (MCANERR_WRAP_REV)。
- **制御およびステータス レジスタ** ECC エラー制御レジスタ (MCANERR_ERR_CTRL1、MCANERR_ERR_CTRL2) および ECC エラーステータ スレジスタ (MCANERR_ERR_STAT1、MCANERR_ERR_STAT2、MCANERR_ERR_STAT3)。
- **割り込みレジスタ:** 割り込みステータス、割り込み有効化セット、割り込み有効化クリア、標準割り込みモジュールの一部である EOI (割り込み終了) レジスタ。詳細については、以下のレジスタを参照してください。
  - MCANERR_SEC_EOI
  - MCANERR_SEC_STATUS

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- MCANERR_SEC_ENABLE_SET
- MCANERR_SEC_ENABLE_CLR
- MCANERR_DED_EOI
- MCANERR_DED_STATUS
- MCANERR_DED_ENABLE_SET
- MCANERR_DED_ENABLE_CLR

Copyright © 2026 Texas Instruments Incorporated

26.4.14.3 ECC 制御およびステータス レジスタに対する読み出し

ECC 制御およびステータス レジスタに対する読み出しは、ECC ベクタ レジスタに次のように「読み出しメッセージ」を書き込むことでトリガされます。

1. 制御またはステータス用の ECC RAM を選択するため、ソフトウェアが値 (ECC RAM ID) を MCANERR_VECTOR.ECC_VECTOR フィールドに書き込みます。
2. ソフトウェアが MCANERR_VECTOR.RD_SVBUS ビットに 1 を書き込み、読み出しをトリガします。
3. ソフトウェアが読み出しアドレスを MCANERR_VECTOR.RD_SVBUS_ADDRESS フィールドに書き込みます。
4. その後、ソフトウェアは MCANERR_VECTOR.RD_SVBUS_DONE ビットをポーリングし、ビットが 1 かどうかチェックします。このビットは、読み出し操作が完了したことを示します。
5. ソフトウェアが ECC 制御またはステータス レジスタからデータを読み取ります。次のクロック サイクル (MCAN_ICLK) で読み出しデータを返します。

26.4.14.4 ECC 割り込み

ECC アグリゲータ モジュールは、ECC RAM からのレベル ペンディング状態を集約し、EOI ハンドシェイク方式の単一の割り込みとしてホスト CPU に出力します。ソフトウェアは、説明されている手順に従うことが想定されます:

1. ソフトウェアは、MCANERR_SEC_ENABLE_SET/MCANERR_DED_ENABLE_SET レジスタに書き込むことで、ECC RAM の割り込みを有効にします。
2. ソフトウェアが MCANERR_VECTOR.ECC_VECTOR に ECC RAM ID を書き込みます。
3. ソフトウェアが MCANERR_VECTOR.RD_SVBUS ビットに書き込み、読み取りをトリガします。
4. ソフトウェアが MCANERR_ERR_STAT1 レジスタ アドレスを MCANERR_VECTOR.RD_SVBUS_ADDRESS フィールドに書き込みます。ソフトウェアで MCANERR_ERR_STAT2 レジスタを読み取る必要がある場合、ソフトウェアは rMCANERR_VECTOR レジスタの「読み取りメッセージ」を再度ロードする必要があります。
5. ソフトウェアは MCANERR_VECTOR.RD_SVBUS_DONE ビットをポーリングします。このビットがセットされている場合、MCANERR_ERR_STAT1/MCANERR_ERR_STAT2 レジスタの読み取りが実行されます。
6. 割り込みが処理された後、ECC エラーのタイプに応じて MCANERR_ERR_STAT1.CLR_ECC_SEC または MCANERR_ERR_STAT1.CLR_ECC_DED ビットに書き込むことで、ソフトウェアは割り込みステータスをクリアします。
7. ソフトウェアは MCANERR_ERR_STAT1 レジスタをポーリングして、ステータス ビットがクリアされたことを確認します。
8. 割り込みをクリアするために、ソフトウェアが MCANERR_SEC_EOI/MCANERR_DED_EOI レジスタに書き込みます。
9. ECC 割り込みソースをクリアした後、アプリケーション ソフトウェアは、MCANERR_SEC_EOI.EOI_WR/MCANERR_DED_EOI.EOI_WR ビットに 1 を書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

26.4.15 Tx 処理

Tx ハンドラは Tx 要求の処理に使用されます。専用 Tx バッファ、Tx FIFO、Tx キューから CAN コア、Tx イベント FIFO、Put / Get インデックス処理への送信メッセージの転送を制御します。MCAN モジュールは、最大 32 個の Tx バッファをサポートしています。これらの Tx バッファは、専用の Tx バッファ、Tx FIFO、または Tx キューとして構成することも、専用の Tx バッファと Tx FIFO または専用の Tx バッファと Tx キューの組み合わせとして構成することもできます。各 Tx バッファ要素に対して、従来型 CAN または CAN FD 転送モードを構成できます。次の表に、メッセージの送信で可能な設定を示します。

表 26-5. メッセージ送信の設定

MCAN_CCCR レジスタ		バッファ要素		フレーム送信
BRSE	FDOE	FDF	BRS	
無視	0	無視	無視	従来型 CAN
0	1	0	無視	従来型 CAN
0	1	1	無視	ビット レート スイッチングがない CAN FD
1	1	0	無視	従来型 CAN
1	1	1	0	ビット レート スイッチングがない CAN FD
1	1	1	1	ビットレート スイッチング付きの CAN FD

Tx バッファ要求保留中 (MCAN_TXBRP) レジスタが更新された場合、または送信が開始された場合、Tx ハンドラはスキャンを開始し、保留中の Tx 要求の中で最も優先度の高い要求をチェックします。メッセージ ID が最も小さい Tx バッファが最も高い優先度になります。

注

AUTOSAR には、3 個以上の Tx キュー バッファと送信キャンセルのサポートが必要です。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.15.1 送信一時停止

この送信一時停止機能は、CAN メッセージ ID が固有で簡単に変更できない CAN ネットワークでの使用を目的としています。これらのメッセージ ID は、他の定義済みメッセージ ID よりも高い優先度を持つことができますが、特定のアプリケーションでは相対的な優先度は逆になります。これにより、1 つの ECU が CAN メッセージをバースト送信すると、別の ECU からの CAN メッセージが遅延 (一時停止) することがあります。

送信一時停止機能は、MCAN_CCCR.TXP ビットによって有効になります。デフォルトでは、このビットは無効です (MCAN_CCCR.TXP = 0)。メッセージが正常に送信された後、次の送信が開始される前に 2 CAN ビット時間分の一時停止が発生します。これにより、ネットワーク内の他の CAN ノードは、メッセージ ID の優先度が低い場合でもメッセージを送信できます。

Copyright © 2026 Texas Instruments Incorporated

26.4.15.2 専用 Tx バッファ

専用 Tx バッファは、ホスト CPU が完全に制御して、メッセージを送信することを目的としています。2 つのオプションがあります。

- 専用 Tx バッファごとに固有のメッセージ ID を設定する
- 複数の専用 Tx バッファに同じメッセージ ID を設定する。この場合、バッファ番号が最も小さい Tx バッファが最初に送信されます。

データ セクションが更新されると、追加要求によって送信が要求されます。これは、MCAN_TXBAR[x]ARn ビットを使用して行います (x = 0 ～ 31)。要求されたメッセージは、オプションの Tx FIFO または Tx キューからのメッセージと内部的に調停されます。外部的には CAN バス上のメッセージと調停され、メッセージ ID に従って送信されます。

次の表に、Tx バッファ、Tx FIFO、および Tx キュー要素サイズを示します。専用の Tx バッファにより、メッセージ RAM 内の要素サイズに 32 ビット ワードが割り当てられます。メッセージ RAM 内の専用 Tx バッファの開始アドレスは、0 ～ 31 の送信バッファ インデックス (MCAN_TXFQS.TFQP) ×要素サイズを Tx バッファ開始アドレス (MCAN_TXBC.TBSA フィールド) に加算することで計算されます。

表 26-6. Tx バッファ、Tx FIFO、Tx キュー要素サイズ

MCAN_TXESC.TBDS	DataField [バイト]	要素サイズ [RAM ワード]
000	8	4
001	12	5
010	16	6
011	20	7
100	24	8
101	32	10
110	48	14
111	64	18

Copyright © 2026 Texas Instruments Incorporated

26.4.15.3 Tx FIFO

Tx FIFO モードは、ビット MCAN_TXBC.TFQM = 0 を設定することで構成されます。Tx FIFO メッセージのデータは、Get インデックスの MCAN_TXFQS.TFGI フィールドで参照されるメッセージから順に送信されます。各送信の後、Get インデックスは Tx FIFO が空になるまでインクリメントされます。Tx FIFO 空きレベルの MCAN_TXFQS.TFFL フィールドは、使用可能な空き Tx FIFO 要素数を示します。Tx FIFO では、異なる Tx バッファから同じメッセージ ID を持つメッセージを、Tx FIFO に書き込まれた順序で送信できます。

新しい送信メッセージは、Put インデックス MCAN_TXFQS.TFQP フィールドで参照される Tx バッファから開始して、Tx FIFO に書き込む必要があります。追加要求 (MCAN_TXBAR[x] ARn = 1) の後、Put インデックスは次の空き Tx FIFO 要素までインクリメントされます。Put インデックスが Get インデックスに達すると (MCAN_TXFQS.TFQP = MCAN_TXFQS.TFGI)、Tx FIFO Full 条件がビット MCAN_TXFQS.TFQF = 1 で通知されます。この場合、次のメッセージが送信され、Get インデックスがインクリメントされるまで、Tx FIFO にそれ以上メッセージを書き込むことはできません。

要求された Tx バッファの数は、Tx FIFO 空きレベルの MCAN_TXFQS.TFFL フィールドに示された空き Tx バッファの数を超えないようにする必要があります。

Get インデックスによって参照される Tx バッファの送信要求がキャンセルされた場合、Get インデックスは、保留中の送信要求がある次の Tx バッファまでインクリメントされ、Tx FIFO 空きレベルの MCAN_TXFQS.TFFL フィールドが再計算されます。他の Tx バッファに送信のキャンセルが適用された場合、Get インデックスと FIFO 空きレベルは変更されません。

Tx FIFO 要素には、メッセージ RAM 内の要素サイズ 32 ビット ワードが割り当てられます。次に利用可能な (空き状態の) Tx FIFO バッファの開始アドレスは、Tx バッファ開始アドレス MCAN_TXBC.TBSA フィールドに Tx FIFO / キュー Put インデックス MCAN_TXFQS.TFQP (0 ～ 31) ×要素サイズを加算することで計算されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.15.4 Tx キュー

Tx キュー モードは、ビット MCAN_TXBC.TFQM = 1 を設定することで構成されます。Tx キューメッセージのデータは、最も高い優先度のメッセージ (最も低いメッセージ ID) から順に送信されます。複数のキュー バッファが同じメッセージ ID で設定されている場合、バッファ番号が最も小さいキュー バッファが最初に送信されます。

新しい送信メッセージは、Put インデックス MCAN_TXFQS.TFQP フィールドで参照される Tx バッファから開始して、Tx FIFO に書き込む必要があります。各追加要求は、Put インデックスを次の空き Tx バッファまで周期的にインクリメントします。Tx Queue Full 条件 (MCAN_TXFQS.TFQF = 1) の場合、Put インデックスは無効であり、要求されたメッセージの少なくとも 1 つが送信されるか、保留中の送信要求がキャンセルされるまで、Tx キューにそれ以上のメッセージを書き込むことはできません。

アプリケーションは、Put インデックスの代わりに MCAN_TXBRP レジスタを使用できます。これにより、保留中の送信要求がない任意の Tx バッファにメッセージを格納できます。

Tx キュー バッファには、メッセージ RAM 内の要素サイズ 32 ビット ワードが割り当てられます。次に利用可能な (空き状態の) Tx キュー バッファの開始アドレスは、Tx バッファ開始アドレス MCAN_TXBC.TBSA フィールドに Tx FIFO / キュー Put インデックス MCAN_TXFQS.TFQP (0 ～ 31) ×要素サイズを加算することで計算されます。

Copyright © 2026 Texas Instruments Incorporated

26.4.15.5 専用 Tx バッファと Tx FIFO の混在

この組み合わせでは、メッセージ RAM 内の Tx バッファ セクションが次の 2 つの部分に分割されています。

- 専用 Tx バッファ:専用 Tx バッファの数は、MCAN_TXBC.NDTB フィールドによって設定されます。
- Tx FIFO:Tx FIFO に割り当てられる Tx バッファの数は、MCAN_TXBC.TFQS フィールドによって設定されます。MCAN_TXBC.TFQS フィールドが空 (ゼロ) の場合、専用 Tx バッファのみが使用されます。

Tx の優先度:

- 専用 Tx バッファと最も古い保留中の Tx FIFO バッファ (MCAN_TXFQS.TFGI フィールドによって参照) をスキャンします。
- メッセージ ID が最も小さいバッファが最優先され、次に送信されます
- 次の図は、専用 Tx バッファと Tx FIFO が混在する例を示しています。

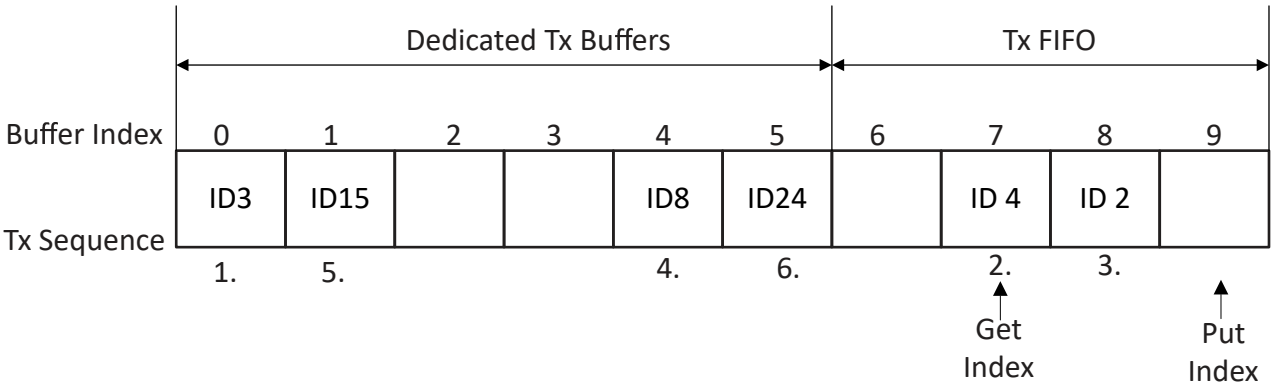


図 26-14. 専用 Tx バッファと Tx FIFO の混在例

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.15.6 専用 Tx バッファ /Tx キューの混在

この組み合わせでは、メッセージ RAM 内の Tx バッファ セクションが次の 2 つの部分に分割されています。

- 専用 Tx バッファ: 専用 Tx バッファの数は、MCAN_TXBC.NDTB フィールドによって設定されます。
- Tx キュー: MCAN_TXBC.TFQS フィールドが空 (ゼロ) の場合、Tx キューに割り当てられた Tx バッファの数は MCAN_TXBC.TFQS フィールドによって設定されます。専用 Tx バッファのみが使用されます。

Tx の優先度:

- 送信要求がアクティブになっているすべての Tx バッファをスキャンします
- メッセージ ID が最も小さい Tx バッファが最優先され、次に送信されます
- 次の図は、専用 Tx バッファと Tx キューが混在する例を示しています。

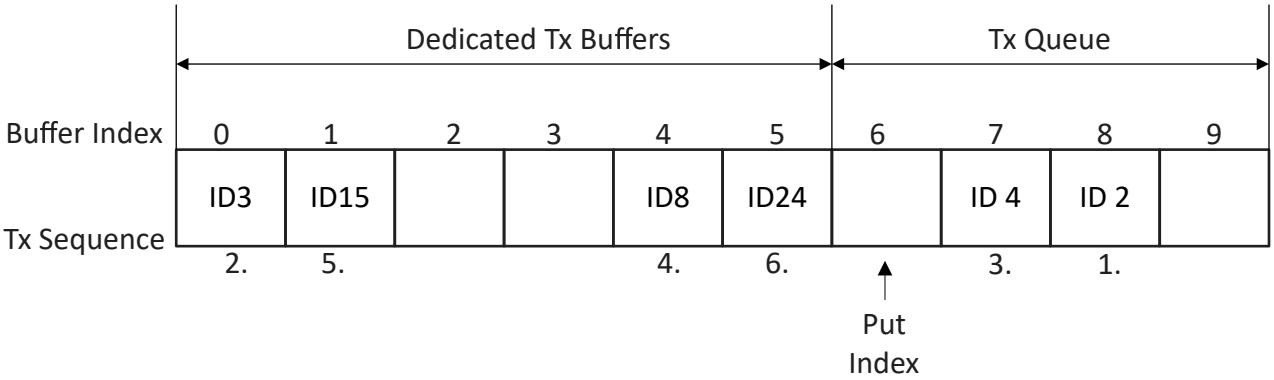


図 26-15. 専用 Tx バッファと Tx FIFO の混在例

Copyright © 2026 Texas Instruments Incorporated

26.4.15.7 送信キャンセル

この機能は、ゲートウェイと AUTOSAR ベースのアプリケーションに特に適しています。ホスト CPU は、MCAN_TXBCR[n] CRn = 1 (n = 0 ～ 31) を設定することにより、専用の Tx バッファまたは Tx キュー バッファから要求された送信をキャンセルできます。対応するビット位置 n は、Tx バッファの番号に相当します。

送信キャンセルは、Tx FIFO 動作を目的としたものではありません。

キャンセルが成功すると、MCAN_TXBCF レジスタの対応するビットがセットされます (MCAN_TXBCF[n] CFn = 1)。

Tx バッファからの送信がすでに進行中で、送信キャンセルが要求された場合、送信が進行中である限り、対応する MCAN_TXBRP[n] TRPn ビットはセットされたままとなります。送信が成功すると、対応する MCAN_TXBTO[n] TOn ビットと MCAN_TXBCF[n] CFn ビットがセットされます。送信が成功しなかった場合、対応するビット MCAN_TXBCF[n] CFn = 1 のみがセットされます。

注

この送信が開始される直前に保留中の送信がキャンセルされた場合、このノードで別のメッセージが保留中であっても、わずかな非送信時間が発生します。これにより、このノードで次に優先度の高いメッセージよりも低い優先度のメッセージが別のノードによって送信される可能性があります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.15.8 Tx イベント処理

Tx イベント処理をサポートするため、メッセージ RAM に Tx イベント FIFO セクションが実装されています。最大 32 個の Tx イベント FIFO 要素を構成できます。Tx イベント FIFO 要素の章を参照してください。CAN バスでメッセージが転送された後、メッセージ ID とタイムスタンプは Tx イベント FIFO 要素に格納されます。Tx イベントを Tx イベント FIFO 要素にリンクするには、送信された Tx バッファからのメッセージ マーカーが Tx イベント FIFO 要素にコピーされます。

Tx イベント FIFO フル状態は、MCAN_IR.TEFF ビットによって通知されます。この場合、少なくとも 1 つの要素が読み出され、Tx イベント FIFO Get インデックス (MCAN_TXEFS.EFGI) がインクリメントされるまで、それ以上の要素は Tx イベント FIFO に書き込まれません。Tx イベント FIFO がフル状態のときに Tx イベントが発生した場合、このイベントは拒否され、割り込みフラグ MCAN_IR.TEFL ビットがセットされます。

Tx イベント FIFO ウォーターマークは、Tx イベント FIFO のオーバーフローを回避するように構成できます。Tx イベント FIFO のフィル レベルが、MCAN_TXEFC.EFWM フィールドによって設定された Tx イベント FIFO ウォーターマークに達すると、割り込みフラグ MCAN_IR.TEFW がセットされます。Tx イベント FIFO から読み出すときは、Tx イベント FIFO Get インデックス MCAN_TXEFS.EFGI フィールドの 2 倍の値を Tx イベント FIFO の開始アドレス MCAN_TXEFC.EFSA フィールドに追加する必要があります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.15.9 FIFO アクノリッジ処理

2 つの Rx FIFO (Rx FIFO 0 または Rx FIFO 1) および Tx イベント FIFO の Get インデックスは、対応する FIFO Acknowledge インデックスに書き込むことで制御されます (MCAN_RXF0A、MCAN_RXF1A、MCAN_TXEFA を参照)。FIFO Acknowledge インデックスに書き込むと、FIFO Get インデックスが FIFO Acknowledge インデックスに 1 を加えた値に設定され、FIFO フィル レベルが更新されます。

次の 2 つの使用事例があります。

- FIFO から単一の要素が読み取られた:Get インデックスの値が FIFO Acknowledge インデックスに書き込まれます。
- FIFO から一連の要素が読み出された:Get インデックス値 (最後に読み出された要素のインデックス) が、その読み出しシーケンスの最後で FIFO Acknowledge インデックスに書き込まれます。

ホスト CPU は、メッセージ RAM への自由なアクセスが可能です。FIFO 要素を任意の順序で読み取る場合 (Get インデックスを考慮しない場合) は、特に注意が必要です。これは、2 つの Rx FIFO のいずれかから高優先度のメッセージを読み取るときに便利です。この場合、Get インデックスが誤った位置に設定され、FIFO のフィル レベルが変更されるため、FIFO Acknowledge インデックスには書き込まないでください。この場合、古い FIFO 要素の一部は失われます。

注

アプリケーションは、FIFO Acknowledge インデックスに有効な値が書き込まれていることを確認する必要があります。MCAN モジュールは誤った値をチェックしません。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.16 Rx 処理

Rx ハンドラは、次の操作を制御します:

- 受け入れフィルタリング
- 受信メッセージを Rx バッファ、または二つの Rx FIFO (Rx FIFO 0 または Rx FIFO 1) のいずれかに転送
- Rx FIFO のプット インデックスおよび取得インデックスの動作

26.4.16.1 受け入れフィルタリング

MCAN モジュールでは、2 セットの受け入れフィルタが使用されます。1 セットは標準 ID 用、もう 1 セットは拡張 ID 用です。これらのフィルタは、Rx バッファまたは 2 つの Rx FIFO のいずれかに割り当てることができます。

フィルタ要素の主な機能は次のとおりです。
- 各フィルタ要素は次のように設定できます。
  - 範囲フィルタ (開始 ～ 終了)
  - 特定の ID のフィルタ (1 つまたは 2 つの専用 ID の場合)
  - 従来のビット マスク フィルタ
- 各フィルタ要素は、個別に有効または無効にできます。
- 各フィルタ要素は、受入または除去フィルタリング用に設定できます。
- フィルタは順番にチェックされ、実行されます。最初に一致する有効なフィルタ要素か、またはフィルタ リストの最後に到達すると、処理 (受け入れフィルタリング手順) が停止します。

関連する構成レジスタは次のとおりです。
- グローバル フィルタ構成 (MCAN_GFC) レジスタ
- 標準 ID フィルタ構成 (MCAN_SIDFC) レジスタ
- 拡張 ID フィルタ構成 (MCAN_XIDFC) レジスタ
- 拡張 ID AND マスク (MCAN_XIDAM) レジスタ

フィルタ要素の設定に応じて (セクション 26.4.19 の SFEC/EFEC を参照)、フィルタが一致した場合に次のいずれかの処理が実行されます。
- 受信フレームが FIFO 0 または FIFO 1 に格納されます。
- 受信フレームが Rx バッファに格納されます。
- 受信フレームが Rx バッファに格納され、フィルタ イベント ピンでのパルス生成が実行されます。これは High レベルのシングル MCAN_ICLK パルスです。
- 受信フレームが拒否されます。
- 高優先度メッセージ割り込みフラグ MCAN_IR.HPM をセットします。
- 高優先度メッセージ割り込みフラグ MCAN_IR.HPM をセットし、受信フレームを FIFO 0 または FIFO 1 に格納します。

完全なメッセージ ID を受信すると、受け入れフィルタリングが開始されます。受け入れフィルタリングは、最初に一致する有効なフィルタ要素で、またはフィルタ リストの最後に到達すると停止します。フィルタ要素が一致すると、Rx ハンドラは受信したメッセージ データを一致する Rx バッファまたは Rx FIFO に 32 ビット単位で書き込み始めます。エラー状態が発生した場合 (例:CRC エラー)、このメッセージは拒否されますが、関連する Rx バッファまたは Rx FIFO に次の影響を及ぼします。
- Rx バッファ:一致する Rx バッファの新しいデータ フラグ (MCAN_NDAT1/MCAN_NDAT2) はセットされませんが、受信データで Rx バッファが (部分的に) 上書きされます (エラー タイプについては、MCAN_PSR.LEC および MCAN_PSR.DLEC フィールドをそれぞれ参照)。
- Rx FIFO:一致する Rx FIFO の Put インデックスは更新されませんが、関連する Rx FIFO 要素は受信データで (部分的に) 上書きされます (エラー タイプについては、MCAN_PSR.LEC および MCAN_PSR.DLEC フィールドをそれぞれ参照)。一致した Rx FIFO が上書きモードで動作するように設定されている場合は、セクション 26.4.17.2 に記載されている境界条件を考慮する必要があります。

Copyright © 2026 Texas Instruments Incorporated

注

受け入れられたメッセージが 2 つの Rx FIFO のいずれかに書き込まれるか、Rx バッファに書き込まれると、変更されていない受信 ID が、使用されているフィルタに関係なく格納されます。受け入れフィルタ プロセスの結果は、設定されたフィルタ要素の順序に強く依存します。

26.4.16.1.1 範囲フィルタ

各フィルタ要素は、範囲フィルタとして動作するように構成できます (標準フィルタ タイプ SFT = 00 / 拡張フィルタ タイプ EFT = 00)。標準フィルタの場合は、SFID1 から SFID2 (SFID2 ≥ SFID1) の範囲、拡張フィルタの場合は EFID1 ～ EFID2 (EFID2 ≥ EFID1) の範囲の ID を持つすべての受信メッセージに適用されます。詳細については、セクション 26.4.19.5 およびセクション 26.4.19.6 セクションを参照してください。

拡張フレームの範囲フィルタには、次の 2 つのオプションがあります。

- 拡張フィルタ タイプ EFT = 00:拡張 ID AND マスク (MCAN_XIDAM) が範囲フィルタに使用されます。受信フレームのメッセージ ID は、範囲フィルタが適用される前に、拡張 ID AND マスク (MCAN_XIDAM) で AND 処理されます。
- 拡張フィルタ タイプ EFT = 11:拡張 ID AND マスク (MCAN_XIDAM) は範囲フィルタに使用されません。

26.4.16.1.2 特定の ID のフィルタ

各フィルタ要素は、1 つまたは 2 つの専用メッセージ ID をフィルタするように構成できます (標準フィルタ タイプ SFT = 01 / 拡張フィルタ タイプ EFT = 01)。特定のメッセージ ID を 1 つだけフィルタするには、フィルタ要素を SFID1=SFID2 または EFID1=EFID2 とそれぞれ設定する必要があります。詳細については、セクション 26.4.19.5 とセクション 26.4.19.6 を参照してください。

26.4.16.1.3 従来のビット マスク フィルタ

従来のビット マスク フィルタリングは、メッセージ ID のグループをフィルタできます (標準フィルタ タイプ SFT = 10/拡張フィルタ タイプ EFT = 10)。これは、受信したメッセージ ID の個々のビットをマスクすることで行われます。この場合、SFID1/EFID1 要素はメッセージ ID フィルタとして使用され、SFID2/EFID2 要素はフィルタ マスクとして使用されます。

フィルタ マスク (SFID2/EFID2) の 0 のビットは、構成されたメッセージ ID フィルタ (SFID1/EFID1) の対応するビット位置を無効化し、そのビット位置で受信されたメッセージ ID の値を受け入れフィルタリングの対象外にします。受信メッセージ ID の対応するマスク ビットが 1 であるビットのみが、受け入れフィルタリングの対象となります。

注意が必要なケースが 2 つあります。

- すべてのマスク ビットが 1:受信メッセージ ID と設定されているメッセージ ID フィルタが完全に一致した場合にのみ適合します。
- すべてのマスクビットが 0:どのメッセージ ID でも適合します。

Copyright © 2026 Texas Instruments Incorporated

26.4.16.1.4 標準メッセージ ID フィルタリング

図 26-16 に、標準のメッセージ ID (11 ビット ID) フィルタリング フローを示します。セクション 26.4.19.5 に、標準のメッセージ ID フィルタ要素を示します。

受信フレームのリモート転送要求 (RTR) ビットおよび拡張識別子 (XTD) ビットは、設定されているフィルタ要素のリストと比較されます。これは、次のレジスタで制御されます。

- グローバル フィルタ構成 (MCAN_GFC) レジスタ
- 標準 ID フィルタ構成 (MCAN_SIDFC) レジスタ

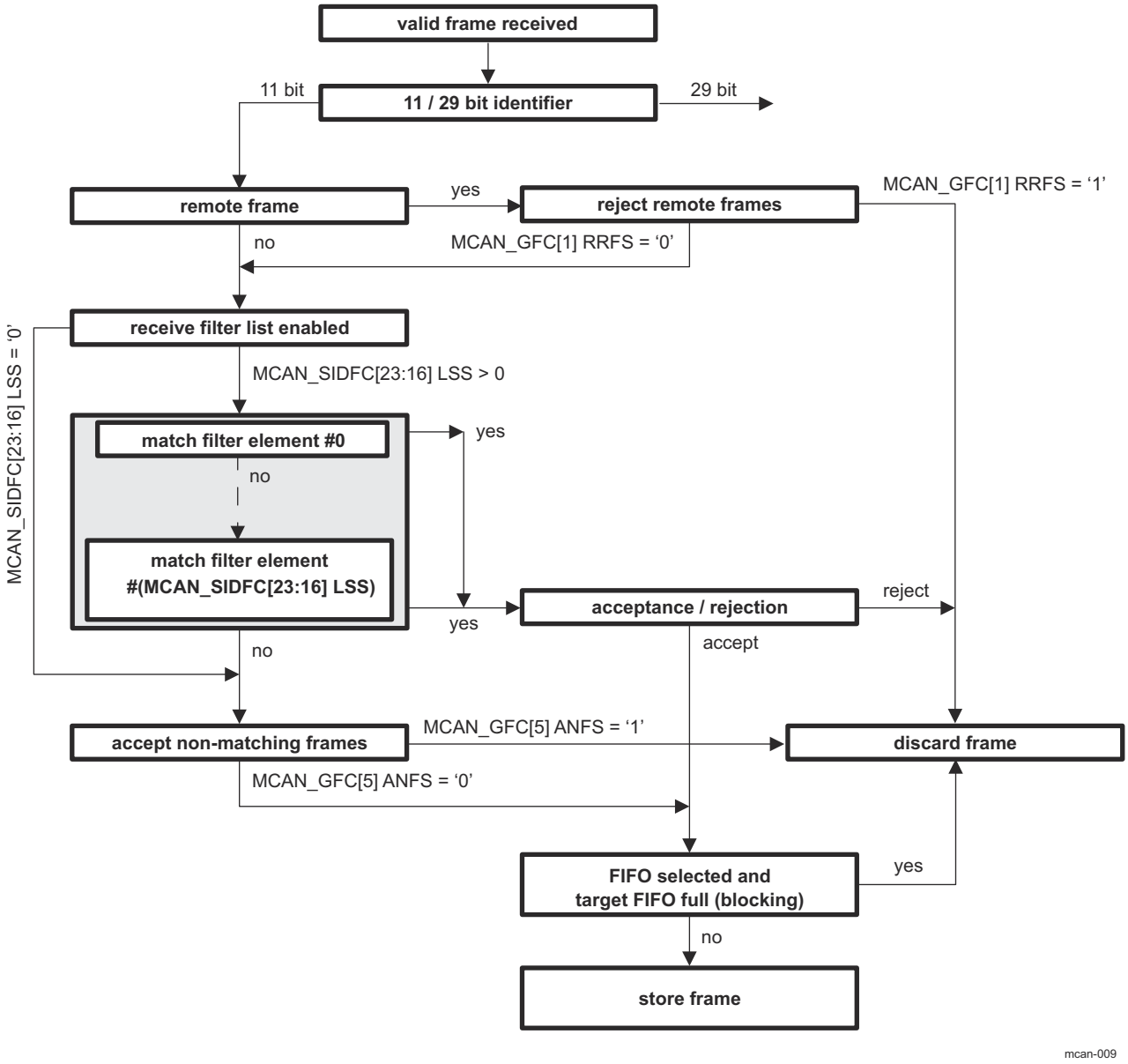


図 26-16. 標準メッセージ ID フィルタ パス

注

MCAN_GFC[1]RRFS および MCAN_GFC[5]ANFS で、[1] と [5] は MCAN_GFC レジスタの RRFS ビットと ANFS ビットのビット位置を示しています。

Copyright © 2026 Texas Instruments Incorporated

26.4.16.1.5 拡張メッセージ ID フィルタリング

図 26-17 に、拡張メッセージ ID (29 ビット ID) のフィルタリング フローを示します。セクション 26.4.19.6 に、拡張メッセージ ID フィルタ要素を示します。

受信フレームのリモート転送要求 (RTR) ビットおよび拡張識別子 (XTD) ビットは、設定されているフィルタ要素のリストと比較されます。これは、次のレジスタで制御されます。

- グローバル フィルタ構成 (MCAN_GFC) レジスタ
- 拡張 ID フィルタ構成 (MCAN_XIDFC) レジスタ

フィルタ リストが実行される前に、受信した識別子は拡張 ID とマスク (MCAN_XIDAM) で AND 処理されることに注意してください。

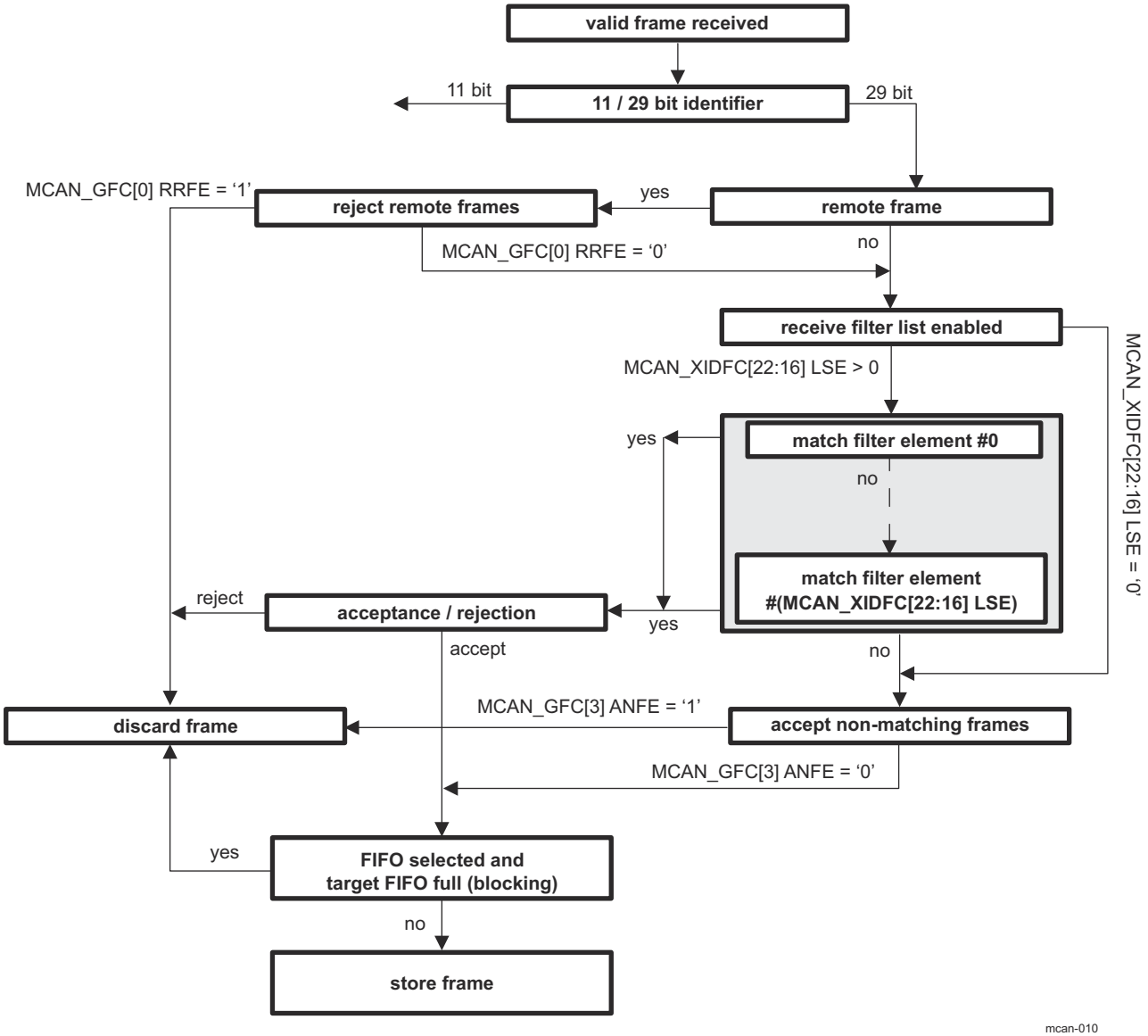


図 26-17. 拡張メッセージ ID フィルタ パス

MCAN_GFC[0]RRFS および MCAN_GFC[3]ANFS で、[0] と [3] は MCAN_GFC レジスタの RRFS ビットと ANFS ビットのビット位置を示しています。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.17 Rx FIFO

Rx FIFO (Rx FIFO 0 と Rx FIFO 1) の構成は、MCAN_RXF0C および MCAN_RXF1C レジスタを使用して行うことができます。各 Rx FIFO は、最大 64 個の受信メッセージを保存するように構成できます。

受け入れフィルタリングの後、合格した受信メッセージが Rx FIFO に転送されます。Rx FIFO 0 および Rx FIFO 1 で使用可能なフィルタ メカニズムについては、セクション 26.4.16.1 を参照してください。Rx FIFO 要素については、セクション 26.4.19.2 で説明しています。

Rx FIFO ウォーターマークを使用して、Rx FIFO オーバーフローを防止できます。Rx FIFO のフィル レベルが、MCAN_RXFnC[30:24] FnWM フィールド (n = 0 または 1) によって設定された Rx FIFO ウォーターマークに達すると、割り込みフラグ MCAN_IR.RF0W/MCAN_IR.RF1W がセットされます。

Rx FIFO Put インデックスが Rx FIFO Get インデックス (MCAN_RXFnS[21:16] FnPI = MCAN_RXFnS[13:8] FnGI) に達すると、Rx FIFO フル条件が MCAN_RXFnS[24] FnF ステータス ビットによって通知され、割り込みフラグ MCAN_IR.RF0F/MCAN_IR.RF1F がセットされます。図 26-18 に、Rx FIFO のステータスを示します。FIFO のフィル レベルは、MCAN_RXFnS[6:0] FnFL フィールド (Rx FIFO に格納される要素の数) に示されます。

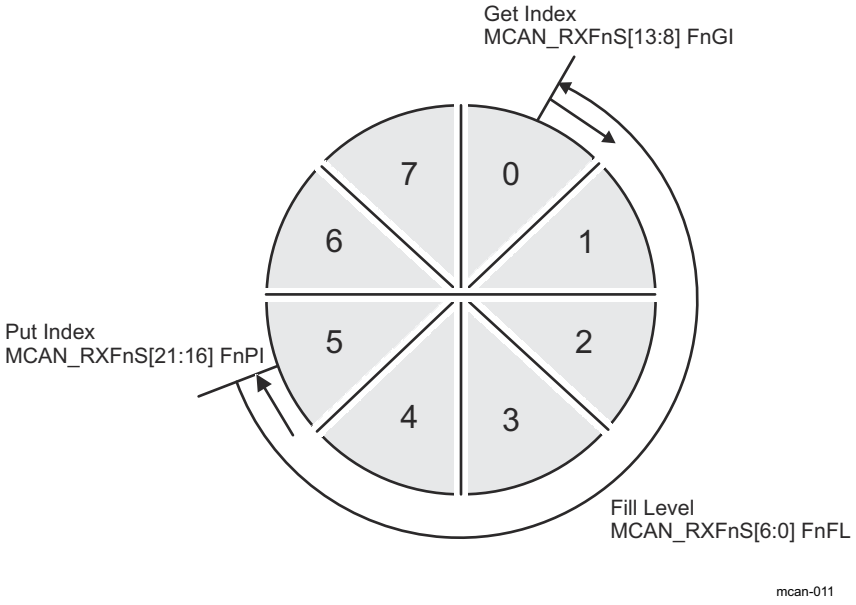


図 26-18. Rx FIFO ステータス

Rx FIFO から読み出すときに、メッセージ RAM の Rx FIFO 開始アドレス(MCAN_RXFnC[15:2]FnSA フィールド) が設定されている必要があります (Rx FIFO Get Index - MCAN_RXFnS[13:8] FnGI)。表 26-7 に、MCAN_RXESC レジスタを使用して設定される Rx バッファ / Rx FIFO データ フィールド サイズに応じた Rx バッファ / Rx FIFO 要素のサイズを示します。

表 26-7. Rx バッファ / Rx FIFO 要素サイズ

MCAN_RXESC レジスタ RBDS/F0DS/F1DS ビット	データ フィールド [バイト]	FIFO 要素サイズ [RAM ワード]
000	8	4
001	12	5
010	16	6
011	20	7
100	24	8
101	32	10
110	48	14

Copyright © 2026 Texas Instruments Incorporated

表 26-7. Rx バッファ / Rx FIFO 要素サイズ (続き)

MCAN_RXESC レジスタ RBDS/F0DS/F1DS ビット	データ フィールド [バイト]	FIFO 要素サイズ [RAM ワード]
111	64	18

26.4.17.1 Rx FIFO ブロッキング モード

Rx FIFO ブロッキング モードは、Rx FIFO のデフォルト動作モードであり、MCAN_RXFnC[31] FnOM = 0 で設定されます。

Rx FIFO がフル状態になると (MCAN_RXFnS[21:16] FnPI = MCAN_RXFnS[13:8] FnGI)、少なくとも 1 つのメッセージが読み出されて Rx FIFO Get インデックスがインクリメントされるまで、それ以上のメッセージは対応する Rx FIFO に書き込まれません。Rx FIFO のフル状態は、MCAN_RXFnS[24] FnF = 1 によって通知され、割り込みフラグ MCAN_IR.RF0F/MCAN_IR.RF1F がセットされます。

対応する Rx FIFO がフル状態の間にメッセージを受信した場合、このメッセージは拒否されます。メッセージ喪失状態は MCAN_RXFnS[25] RFnL = 1 によって通知され、割り込みフラグ MCAN_IR.RF0L/MCAN_IR.RF1L がセットされます。

26.4.17.2 Rx FIFO 上書きモード

Rx FIFO 上書きモードは、MCAN_RXFnC[31] FnOM = 1 によって設定されます。MCAN_RXFnS[24] FnF = 1 によって通知される Rx FIFO フル条件 (MCAN_RXFnS[21:16] FnPI = MCAN_RXFnS[13:8] FnGI) に達すると、FIFO で次に受け入れられたメッセージによって最も古い FIFO メッセージが上書きされます。Put/Get インデックスは両方とも 1 ずつインクリメントされます。

上書きモードでは、Rx FIFO フル状態が通知された場合、Rx FIFO 要素の読み出しは、少なくとも Get インデックス + 1 以上から始まります。これは、ホスト CPU がメッセージ RAM (Get インデックス) から読み出している間に、受信されたメッセージがメッセージ RAM (Put インデックス) に書き込まれるためです。この場合、それぞれの Rx FIFO 要素から一貫性のないデータが読み取られる可能性があります。この問題は、Rx FIFO から読み取るときに Get インデックスにオフセットを追加することで解決されます。オフセットは、ホスト CPU が Rx FIFO にアクセスする速度に依存します。図 26-19 では、Rx FIFO を読み取るときに、Get インデックスのオフセットを 2 にしています。この場合、要素 1 と要素 2 に格納されている 2 つのメッセージは失われます。

Rx FIFO から読み出すと、最後に読み出した要素の番号を Rx FIFO アクノリッジ インデックス MCAN_RXFnA[5:0] FnAI に書き込む必要があります。これにより、Get インデックスがその要素番号までインクリメントします。Put インデックスがこの Rx FIFO 要素までインクリメントされていない場合、Rx FIFO フル状態がリセットされます (MCAN_RXFnS[24] FnF = 0)。

Copyright © 2026 Texas Instruments Incorporated

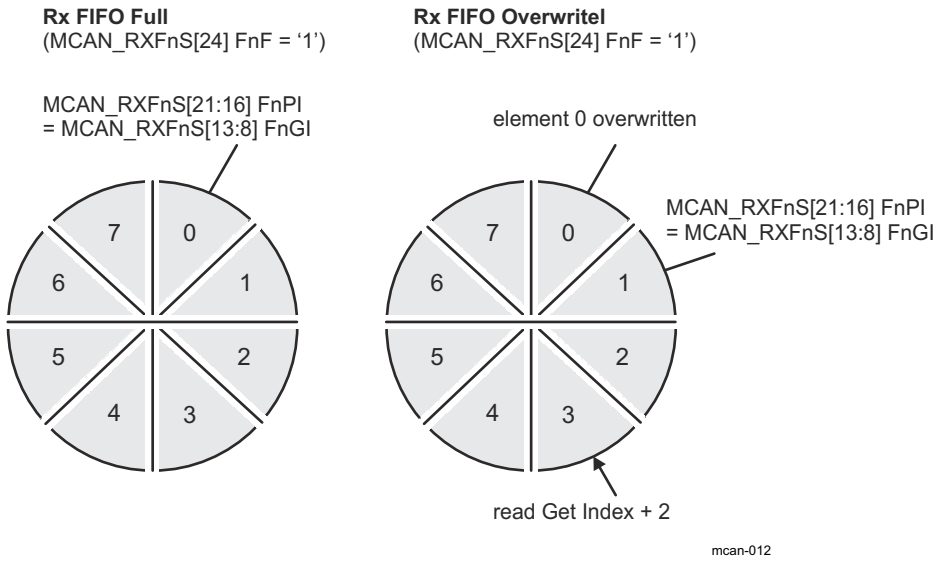


図 26-19. Rx FIFO オーバーフローの処理

Copyright © 2026 Texas Instruments Incorporated

26.4.18 専用 Rx バッファ

MCAN は、最大 64 個の専用 Rx バッファをサポートしています。メッセージ RAM の Rx バッファ セクションの開始アドレスは、MCAN_RXBC.RBSA フィールドによって構成されます。Rx バッファに格納するには、SFEC/EFEC=111 および SFID2/EFID2[10:9] = 00 を使用して標準または拡張メッセージ ID フィルタ要素を設定する必要があります (セクション 26.4.19.5 およびセクション 26.4.19.6 を参照)。

受信したメッセージがフィルタ要素によって受け入れられると、メッセージは、フィルタ要素によって参照されるメッセージ RAM 内の Rx バッファに格納されます (形式は Rx FIFO 要素と同じです)。さらに、MCAN_IR.DRX フラグ (専用 Rx バッファに格納されたメッセージ) がセットされます。

表 26-8 に、Rx バッファのフィルタ構成例を示します。

表 26-8. Rx バッファのフィルタ構成例

フィルタ要素	SFID1[10:0] EFID1[28:0]	SFID2[10:9] EFID2[10:9]	SFID2[5:0] EFID2[5:0]
0	ID メッセージ 1	00	00 0000
1	ID メッセージ 2	00	00 0001
2	ID メッセージ 3	00	00 0010

一致する受信メッセージの最後のワードがメッセージ RAM に書き込まれると、MCAN_NDAT1/MCAN_NDAT2 レジスタで対応する新規データ フラグがセットされます。新規データ フラグがセットされている間、対応する Rx バッファは、一致する受信フレームによる更新をブロックします。新規データ フラグは、対応するビット位置に 1 を書き込むことで、ホスト CPU によりリセットする必要があります。

Rx バッファの新規データ フラグがセットされている間、この特定の Rx バッファを参照するメッセージ ID フィルタ要素は一致しないため、受け入れフィルタリングは続行されます。フィルタの構成によっては、後続のメッセージ ID フィルタ要素により、受信メッセージが別の Rx バッファまたは Rx FIFO に格納されたり、メッセージが拒否される可能性があります。

26.4.18.1 Rx バッファ処理

Rx バッファ処理は、次のステップで実行されます。

- 割り込みフラグ MCAN_IR.DRX をリセットします
- 新規データ レジスタを読み取ります
- メッセージ RAM からメッセージを読み取ります
- 処理されたメッセージの新規データ フラグをリセットします

26.4.19 メッセージ RAM

MCAN モ ジュールには、メッセージ RAM があります。メッセージ RAM の主な目的は、次のものを保存することです。

- 受信メッセージ
- 送信メッセージ
- Tx イベント要素
- メッセージ ID フィルタ要素

Copyright © 2026 Texas Instruments Incorporated

26.4.19.1 メッセージ RAM の構成

MCAN モジュールには異なるメッセージ RAM サイズを使用できます。メッセージ RAM の最大サイズは 1kB で、ベースアドレスからの最大オフセットは 0x3FF です。ここでは、1KB サイズ、32 ビット幅用に構成されている MCAN モジュールの例を説明します。

メッセージ RAM には、メッセージ RAM の構成に示す各セクションを含めることができます。各セクションをすべて設定する必要はなく、メッセージ RAM 内のセクションのサイズを 0 に設定することもできます。また、セクションの配置順序に制約はありません。パリティ チェックまたは ECC の場合は、各ワードに対応するビット数を追加する必要があります。MCAN モジュールがメッセージ RAM にアクセスする際は、32 ビット ワード単位でアドレス指定します。開始アドレスは設定可能で、32 ビットのワード アドレスです。

要素サイズは次のように設定できます:

- Rx FIFO 0 については、MCAN_RXESC.F0DS フィールドを使用して取得します
- Rx FIFO 1 については、MCAN_RXESC.F1DS フィールドを使用して設定します
- Rx バッファを使用して、MCAN_RXESC.RBDS フィールドを指定します
- MCAN_TXESC.TBDS フィールドを経由して送信する Tx バッファ

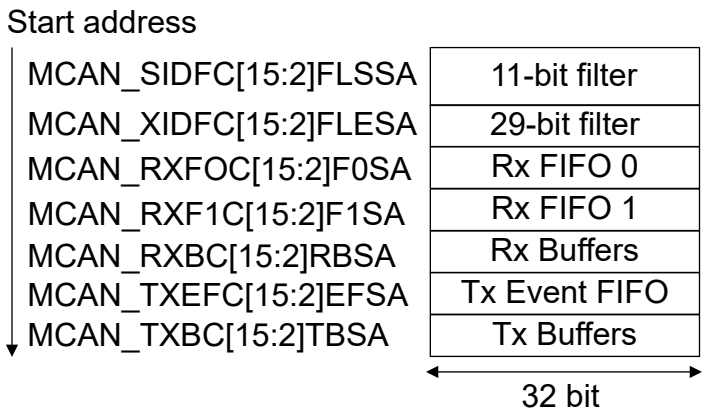


図 26-20. メッセージ RAM の構成

ホスト CPU は、メッセージ RAM に次の情報を設定します:

- メモリ セクションの開始アドレス
- 各セクションの要素数
- 一部のセクションの要素のサイズ

注

MCAN モジュールは、メッセージ RAM 構成のエラーをチェックしません。異なるセクションの開始アドレスの設定と各セクションの要素の数は慎重に行う必要があります。これにより、データの改ざんや損失を防止できます。

Rx FIFO の 1kB の RAM サイズに基づいて、各セクションに対応できる最大素子の例を表に示しますメッセージ送信の設定

表 26-9. メッセージ送信の設定

フレーム サイズ、DLC コード (バイト)	要素サイズ (ワード)	最大要素
8	4	64
12	5	51
16	6	43
20	7	37
24	8	32

Copyright © 2026 Texas Instruments Incorporated

表 26-9. メッセージ送信の設定 (続き)

フレーム サイズ、DLC コード (バイト)	要素サイズ (ワード)	最大要素
32	10	26
48	14	18
64	18	14

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.4.19.2 Rx バッファおよび FIFO 素子

メッセージ RAM には、最大 64 個の Rx バッファと 2 つの Rx FIFO を構成できます。各 Rx FIFO セクションは、最大 64 個の受信メッセージを保存するように構成できます。MCAN_RXESC レジスタを使用することで、最大 64 バイトのデータ フィールドを持つ CAN FD メッセージを格納できるように、素子のサイズを設定できます。

Rx バッファ / Rx FIFO 素子の構造を 図 26-21 に示します。表 26-10 に、Rx バッファ / FIFO Rx 要素のフィールドの説明を示します。

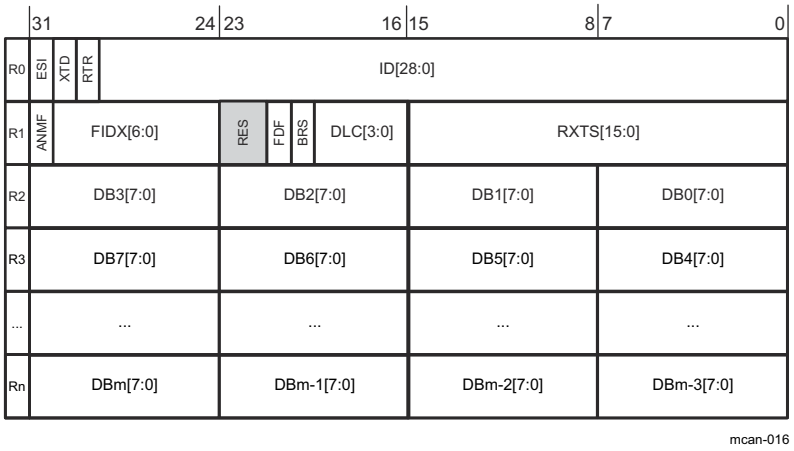


図 26-21. Rx バッファ / Rx FIFO 素子の構造

表 26-10. Rx バッファ / FIFO 素子のフィールドの説明

ワード	ビット	フィールド名	説明
R0	31	ESI	エラー状態インジケータ • 0x0 : 送信ノードはエラー アクティブです • 0x1 : 送信ノードはエラー パッシブです
	30	XTD	拡張識別子 受信フレームに標準識別子または拡張識別子があるかどうかをホスト CPU に通知します。 • 0x0 : 11 ビットの標準識別子 • 0x1 : 29 ビットの拡張イベント識別子
	29	RTR	リモート送信要求 受信フレームがデータ フレームであるかリモート フレームであるかをホスト CPU に信号を送信します。 • 0x0 : 受信フレームはデータ フレームです • 0x1 : 受信フレームはリモート フレームです **注 :** CAN FD 形式のリモート フレームはありません。CAN FD フレームが受信された場合 (FDF = 1)、RTR ビットは予約済み r1 ビット (RES[23]) の状態を反映します。CAN FD フレーム (FDF = 1) では、ドミナント RRS (リモート要求置換) ビットが RTR (リモート送信要求) ビットに置き換えられます。
	28:0	ID[28:0]	識別子 : XTD ビットに応じた標準識別子または拡張識別子。標準識別子は ID[28:18] に格納されます。

Copyright © 2026 Texas Instruments Incorporated

表 26-10. Rx バッファ / FIFO 素子のフィールドの説明 (続き)

ワード	ビット	フィールド名	説明
R1	31	ANMF	受け入れられた不整合フレーム MCAN_GFC.ANFS および MCAN_GFC.ANFE フィールドを使用して、フィルタに一致しないフレームの受け入れを有効にできます。 • 0x0:受信フレーム マッチング フィルタ インデックス FIDX フィールド • 0x1:受信したフレームが Rx フィルタ要素と一致しませんでした
	30:24	FIDX[6:0]	フィルタ インデックス 0x0 - 0x7F (0 - 127): 一致する Rx 受け入れフィルタ要素のインデックス (ANMF = 1 の場合は無効です)。 範囲は 0 ～ MCAN_SIDFC.LSS - 1、それぞれ MCAN_XIDFC.LSE - 1 です。
	23:22	RES	予約済み
	21	FDF	FD フォーマット • 0x0:標準フレーム フォーマット • 0x1:CAN FD フレーム フォーマット (新しい DLC コーディングと CRC)
	20	BRS	ビット レートのスイッチング • 0x0:ビット レート切り替えなしで受信されたフレーム • 0x1:ビット レート切り替えで受信されたフレーム
	19:16	DLC[3:0]	データ長コード • 0x0 - 0x8 (0 - 8): CAN + CAN FD:受信フレームには 0 ～ 8 データ バイトがあります • 0x9 - 0xF (9 - 15): CAN: レジスタ フレームには 8 データ バイトがあります • 0x9 - 0xF (9 - 15): CAN FD:受信フレームには 12/16/20/24/32/48/64 データバイトがあります
	15:0	RXTS[15:0]	Rx タイムスタンプ タイムスタンプ フレーム受信の開始時にキャプチャされたカウンタ値。分解能は、タイムスタンプ カウンタ プリスケーラ (MCAN_TSCC.TCP) の設定によって決まります。
R2	31:24	DB3[7:0]	データ バイト 3
	23:16	DB2[7:0]	データ バイト 2
	15:8	DB1[7:0]	データ バイト 1
	7:0	DB0[7:0]	データ バイト 0
R3	31:24	DB7[7:0]	データ バイト 7
	23:16	DB6[7:0]	データ バイト 6
	15:8	DB5[7:0]	データ バイト 5
	7:0	DB4[7:0]	データ バイト 4
...	...	...	...
Rn	31:24	DBm[7:0]	データ バイト m
	23:16	DBm-1[7:0]	データ バイト m-1
	15:8	DBm-2[7:0]	データ バイト m-2
	7:0	DBm-3[7:0]	データ バイト m-3

注:要素サイズ (MCAN_RXESC) の設定に応じて、CAN メッセージのデータ フィールドの格納には、2 ～ 16 個の 32 ビット ワード (Rn = 3 ～ 17) が使用されます。

Copyright © 2026 Texas Instruments Incorporated

26.4.19.3 Tx バッファ素子

Tx バッファ セクションは、専用の Tx バッファに加え、Tx FIFO や Tx キューを保持するように構成可能です。Tx バッファ セクションが専用 Tx バッファと Tx FIFO/Tx キューで共有される場合、専用 Tx バッファは Tx バッファ セクションの先頭から開始され、それに続いて Tx FIFO または Tx キューに割り当てられたバッファが続きます。Tx ハンドラは、MCAN_TXBC.TFQS フィールドと MCAN_TXBC.NDTB フィールドを使用して、専用の Tx バッファと Tx FIFO/Tx キューを区別します。MCAN_TXESC レジスタを使用して、最大 64 バイトのデータ フィールドを持つ CAN FD メッセージを格納するための素子サイズを設定できます。

Tx バッファ素子の構造を図 26-22 に示します。表 26-11 に、Tx Buffer 素子のフィールドの説明を示します。

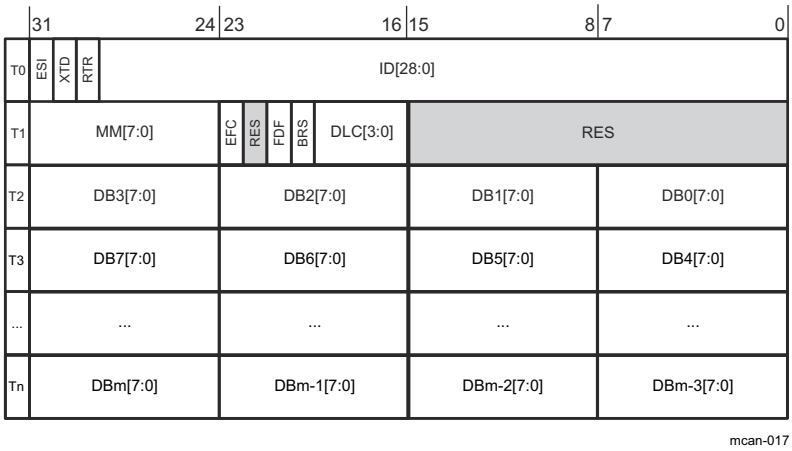


図 26-22. Tx バッファ素子の構造

表 26-11. Tx バッファ要素のフィールドの説明

ワード	ビット	フィールド名	説明
T0	31	ESI	エラー状態インジケータ • 0x0 : CAN FD 形式の ESI ビットは、エラー パッシブ フラグのみに依存します • 0x1 : CAN FD 形式の ESI ビットが送信されたリセッシブ **注 :** 送信バッファの ESI ビットは、エラー パッシブ フラグと OR され、送信された CAN FD フレームの ESI ビット値を決定します。CAN FD プロトコル仕様で要求されるように、エラー アクティブ ノードはオプションで ESI ビット リセッシブを送信できますが、エラー パッシブ ノードは常に ESI ビット リセッシブを送信します。
	30	XTD	拡張識別子 • 0x0 : 11 ビットの標準識別子 • 0x1 : 29 ビットの拡張識別子
	29	RTR	リモート送信要求 • 0x0 : 送信データ フレーム • 0x1 : 送信リモート フレーム **注 :** RTR = 1 の場合、MCAN_CCCR.FDOE ビットで CAN FD 形式で送信が有効になっている場合でも、MCAN モジュールは、ISO11898-1:2015 に従ってリモート フレームを送信します。
	28:0	ID[28:0]	識別子 : XTD ビットに応じた標準または拡張識別子。標準識別子は、ID[28:18] に書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 26-11. Tx バッファ要素のフィールドの説明 (続き)

ワード	ビット	フィールド名	説明
T1	31:24	MM[7:0]	メッセージ マーカー Tx バッファ構成中にホスト CPU によって書き込まれます。Tx メッセージ ステータスを識別するために Tx イベント FIFO 要素にコピーされます (表 26-12 の MM[7:0] フィールドも参照)。
	23	EFC	イベント FIFO 制御 • 0x0 : Tx イベントを保存しません • 0x1 : Tx イベントを格納します
	22	RES	予約済み
	21	FDF	FD フォーマット • 0x0 : Classic CAN 形式で送信されるフレーム • 0x1 : CAN FD 形式で送信されるフレーム
	20	BRS	ビット レートのスイッチング • 0x0 : ビットレートのスイッチングなしで送信された CAN FD フレーム • 0x1 : ビット レートのスイッチングにより送信された CAN FD フレーム **注 :** ESI、FDF、BRS ビットは、MCAN_CCCR.FDOE ビットを使用して CAN FD 動作がイネーブルになっている場合にのみ評価されます。BRS ビットは、MCAN_CCCR.BRSE = 1 の場合にのみ評価されます。
	19:16	DLC[3:0]	データ長コード • 0x0 - 0x8 (0 - 8): CAN + CAN FD : 送信フレームには 0 ～ 8 データ バイトがあります • 0x9 - 0xF (9 - 15): CAN : 送信フレームには 8 データ バイトがあります • 0x9 - 0xF (9 - 15): CAN FD : 送信フレームには 12/16/20/24/32/48/64 データ バイトがあります
	15:0	RES	予約済み
T2	31:24	DB3[7:0]	データ バイト 3
	23:16	DB2[7:0]	データ バイト 2
	15:8	DB1[7:0]	データ バイト 1
	7:0	DB0[7:0]	データ バイト 0
T3	31:24	DB7[7:0]	データ バイト 7
	23:16	DB6[7:0]	データ バイト 6
	15:8	DB5[7:0]	データ バイト 5
	7:0	DB4[7:0]	データ バイト 4
...	...	...	...
Tn	31:24	DBm[7:0]	データバイト m
	23:16	DBm-1[7:0]	データ バイト m-1
	15:8	DBm-2[7:0]	データ バイト m-2
	7:0	DBm-3[7:0]	データ バイト m-3

注

素子サイズの構成 (MCAN_TXESC) に応じて、2 つから 16 個の 32 ビットワードの間 (Tn = 3 ～ 17) が CAN メッセージのデータフィールドの保存に使用されます。

Copyright © 2026 Texas Instruments Incorporated

26.4.19.4 Tx イベント FIFO 素子

各要素は、送信されたメッセージに関する情報を格納します。Tx イベント FIFO を読み取ることにより、ホスト CPU はメッセージが送信された順序でこの情報を取得します。Tx イベント FIFO のステータス情報は、MCAN_TXEFS レジスタから取得できます。

図 26-23 に、Tx イベント FIFO 素子の構造を示します。表 26-12 に、Tx イベント FIFO 要素のフィールドの説明を示します。

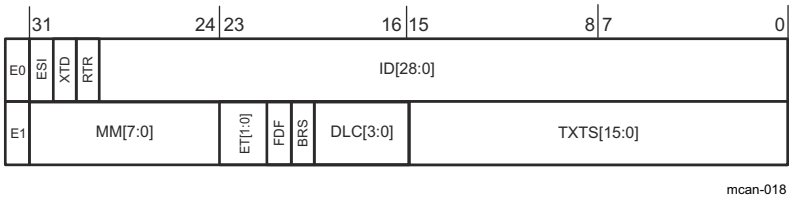


図 26-23. Tx イベント FIFO 素子構造

表 26-12. Tx イベント FIFO 要素のフィールド説明

ワード	ビット	フィールド名	説明
E0	31	ESI	エラー状態インジケータ • 0x0 : 送信ノードはエラー アクティブです • 0x1 : 送信ノードはエラー パッシブです
	30	XTD	拡張識別子 • 0x0 : 11 ビットの標準識別子 • 0x1 : 29 ビットの拡張イベント識別子
	29	RTR	リモート送信要求 • 0x0 : 送信済みデータ フレーム • 0x1 : 送信済みリモート フレーム
	28:0	ID[28:0]	識別子 : XTD ビットに応じた標準識別子または拡張識別子。標準識別子は、ID[28:18] に書き込む必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 26-12. Tx イベント FIFO 要素のフィールド説明 (続き)

ワード	ビット	フィールド名	説明
E1	31:24	MM[7:0]	メッセージ マーカー Tx メッセージ ステータスを識別するために、Tx バッファから Tx イベント FIFO 要素にコピーされます (表 26-11 の MM[7:0] フィールドも参照)。
	23:22	ET[1:0]	イベントの種類 • 0x0 : 予約済み • 0x1 : Tx イベント要 • 0x2 : キャンセルにもかかわらず送信 (DAR モードでは常に送信用に設定) • 0x3 : 予約済み
	21	FDF	FD フォーマット • 0x0 : 標準フレーム フォーマット • 0x1 : CAN FD フレーム フォーマット (新しい DLC コーディングと CRC)
	20	BRS	ビット レートのスイッチング • 0x0 : ビット レート スイッチングなしでフレームを送信 • 0x1 : ビット レート切り替えにより送信されるフレーム
	19:16	DLC[3:0]	データ長コード • 0x0 - 0x8 (0 - 8): CAN + CAN FD : 0 ～ 8 データ バイトのフレームを送信 • 0x9 - 0xF (9 - 15): CAN: 8 データ バイトのフレームを送信 • 0x9 - 0xF (9 - 15): CAN FD : 12/16/20/24/32/48/64 データ バイトのフレームを送信
	15:0	TXTS[15:0]	Tx タイムスタンプ フレーム送信開始時にキャプチャされたタイムスタンプ カウンタ値。分解能は、タイムスタンプ カウンタ プリスケーラ (MCAN_TSCC.TCP フィールド) の設定によって決まります。

26.4.19.5 標準メッセージ ID フィルタ要素

11 ビット標準 ID 用に、最大 128 個のフィルタ要素を設定できます。標準メッセージ ID フィルタ要素にアクセスする場合、要素アドレスは標準フィルタ リスト開始アドレス MCAN_SIDFC.FLSSA フィールドにフィルタ要素のインデックス (0 ～ 127) を加えたものになります。

図 26-24 は、標準メッセージ ID フィルタ要素構造を表示します。表 26-13 に、標準メッセージ ID フィルタ要素のフィールドの説明を示します。

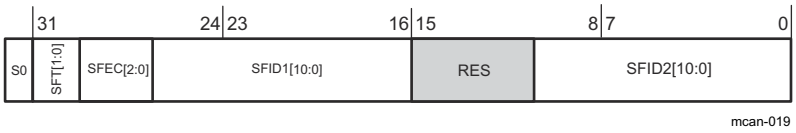


図 26-24. 標準メッセージ ID フィルタ要素構造

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 26-13. 標準メッセージ ID フィルタ要素のフィールドの説明

ワード	ビット	フィールド名	説明
S0	31:30	SFT[1:0]	標準フィルタ タイプ • 0x0:SFID1 から SFID2 までの範囲フィルタ (SFID2 ≥ SFID1) • 0x1:SFID1 または SFID2 用デュアル ID フィルタ • 0x2:クラシック フィルタ:SFID1 = フィルタ、SFID2 = マスク • 0x3:フィルタ要素が無効化 **注:**SFT = 11 の場合、フィルタ要素は無効になり、受け入れフィルタリングが続行されます (SFEC = 000 と同じ動作)
	29:27	SFEC[2:0]	標準フィルタ要素構成 有効なすべてのフィルタ要素は、標準フレームの受け入れフィルタリングに使用されます。受け入れフィルタリングは、最初に一致する有効なフィルタ要素で、またはフィルタ リストの最後に到達すると停止します。SFEC = 100、101、または 110 の一致により割り込みフラグ MCAN_IR.HPM が設定され、有効な場合は割り込みが生成されます。この場合、MCAN_HPMS レジスタは、優先度一致のステータスで更新されます。 • 0x0:フィルタ要素を無効化します • 0x1:フィルタが一致した場合は Rx FIFO 0 に格納します • 0x2:フィルタが一致した場合は Rx FIFO 1 に格納します • 0x3:フィルタが一致している場合は ID を拒否します • 0x4:フィルタが一致している場合は優先度を設定します • 0x5:フィルタが一致している場合は優先度を設定し、FIFO 0 に格納します • 0x6:フィルタが一致している場合は優先度を設定し、FIFO 1 に格納します • 0x7:Rx バッファに格納するか、として処理し、SFT[1:0] の設定は無視されます
	26:16	SFID1[10:0]	標準フィルタ ID 1 RX バッファ用にフィルタリングする場合、このフィールドは格納する標準メッセージの ID を定義します。受信した識別子は正確に一致する必要があり、マスキング メカニズムは使用されません。
	15:11	RES	予約済み
	10:0	SFID2[10:0]	標準フィルタ ID 2 このビット フィールドは、SFEC の構成によって意味が異なります: • SFEC = 001 - 110: 標準 ID フィルタ要素の二番目の ID • SFEC = 111:Rx バッファのフィルタ
		SFID2[10:9]	このフィールドは、受信メッセージを Rx バッファに格納するか、デバッグ メッセージ シーケンスのメッセージ A、B、または C として処理するかを決定します。 • 0x0:メッセージを Rx バッファに保存します • 0x1:デバッグ メッセージ A • 0x2:デバッグ メッセージ B • 0x3:デバッグ メッセージ C **注:**デバッグ機能はサポートされていません。
		SFID2[8:6]	このフィールドは、拡張インターフェイスのフィルタ イベント ピン を制御するために使用します。各ビット位置に 1 を設定すると、フィルタが一致した場合に、対応するフィルタ イベント ピンで 1 MCAN_ICKL 周期のパルスが生成されます。 **注:**二つのフィルタ イベント ピンのみがサポートされています。
		SFID2[5:0]	このフィールドは、一致するメッセージを保存するための Rx バッファ開始アドレス MCAN_RXBC.RBSA フィールドへのオフセットを定義します。

Copyright © 2026 Texas Instruments Incorporated

26.4.19.6 拡張メッセージ ID フィルタ要素

29 ビット拡張 ID 用に、最大 64 個のフィルタ要素を設定できます。拡張メッセージ ID フィルタ要素にアクセスする場合、要素アドレスは、フィルタリスト拡張開始アドレスである MCAN_XIDFC.FLESA フィールドの値に、フィルタ要素のインデックス (0 ～ 63) の 2 倍を加えた値となります。

図 26-25 は拡張メッセージ ID フィルタ要素の構造を表示します。表 26-14 に拡張メッセージ ID フィルタ要素フィールドの説明を示します。

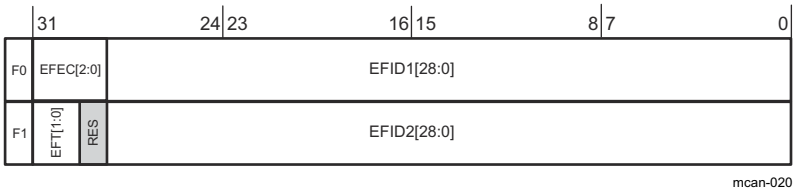


図 26-25. 拡張メッセージ ID フィルタ要素構造

表 26-14. Extended Message ID Filter Element のフィールドの説明

ワード	ビット	フィールド名	説明
F0	31:29	EFEC[2:0]	拡張フィルタ素子構成 有効なすべてのフィルタ要素は、拡張フレームの受け入れフィルタリングに使用されます。受け入れフィルタリングは、最初に一致する有効なフィルタ要素で、またはフィルタ リストの最後に到達すると停止します。EFEC = 100、101、または 110 の一致によって割り込みフラグ MCAN_IR.HPM が設定され、有効な場合は割り込みが生成されます。この場合、MCAN_HPMS レジスタは、優先度一致のステータスで更新されます。 • 0x0 : フィルタ要素を無効化します • 0x1 : フィルタが一致した場合は Rx FIFO 0 に格納します • 0x2 : フィルタが一致した場合は Rx FIFO 1 に格納します • 0x3 : フィルタが一致している場合は ID を拒否します • 0x4 : フィルタが一致している場合は優先度を設定します • 0x5 : フィルタが一致している場合は優先度を設定し、FIFO 0 に格納します • 0x6 : フィルタが一致している場合は優先度を設定し、FIFO 1 に格納します • 0x7 : Rx バッファまたはデバッグ メッセージとして格納し、EFT[1:0] の設定は無視されます
	28:0	EFID1[28:0]	拡張フィルタ ID 1 拡張 ID フィルタ要素の最初の ID です。 Rx バッファを対象にフィルタリングする場合、このフィールドは格納する拡張メッセージの ID を指定します。受信した識別子は完全に一致する必要があり、XIDAM によるマスキング機構のみが使用されます (セクション 26.4.16.1.5 を参照)。

Copyright © 2026 Texas Instruments Incorporated

表 26-14. Extended Message ID Filter Element のフィールドの説明 (続き)

ワード	ビット	フィールド名	説明
F1	31:30	EFT[1:0]	拡張フィルタ タイプ • 0x0:EFID1 から EFID2 までの範囲のフィルタ (EFID2 ≥ EFID1) • 0x1:EFID1 または EFID2 用デュアル ID フィルタ • 0x2:クラシック フィルタ:EFID1 = フィルタ、EFID2 = マスク • 0x3:EFID1 から EFID2 までの範囲フィルタ (EFID2 ≥ EFID1)、XIDAM マスクは適用されません
	29	RES	予約済み
	28:0	EFID2[28:0]	拡張フィルタ ID 2 このビット フィールドは、EFEC の構成によって意味が異なります: • EFEC = 001-110:拡張 ID フィルタ要素の二番目の ID • EFEC = 111:Rx バッファのフィルタ
		EFID2[10:9]	このフィールドは、受信したメッセージを Rx バッファに保存するか、デバッグメッセージ シーケンスのメッセージ A、B、または C として処理するかを決定します。 • 0x0:メッセージを Rx バッファに保存します • 0x1:デバッグ メッセージ A • 0x2:デバッグ メッセージ B • 0x3:デバッグ メッセージ C **注:** デバッグ機能はサポートされていません。
		EFID2[8:6]	このフィールドは、拡張インターフェイスのフィルタ イベント ピン を制御するために使用します。各ビット位置に 1 を設定すると、フィルタが一致した場合に、対応するフィルタ イベント ピンで 1 MCAN_ICKL 周期のパルスが生成されます。 **注:** 二つのフィルタ イベント ピンのみがサポートされています。
		EFID2[5:0]	このフィールドは、一致するメッセージを保存するための Rx バッファ開始アドレス MCAN_RXBC.RBSA フィールドへのオフセットを定義します。

26.5 MCAN の統合

図 26-26 に、このデバイスでの MCAN モジュールの統合を示します。

Copyright © 2026 Texas Instruments Incorporated

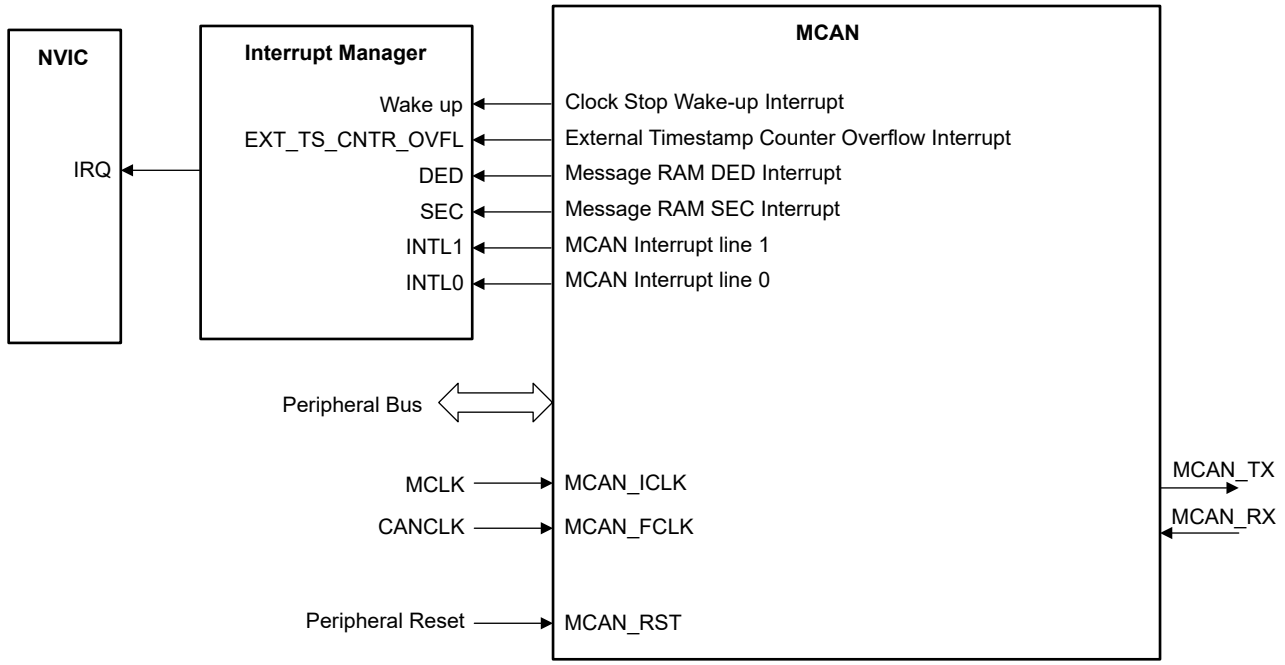


図 26-26. MCAN の統合

表 26-15 に、このデバイスでの MCAN モジュールの統合を示します。

表 26-15. MCAN クロックおよびリセット

送信先の信号名	送信元の信号名	説明
クロック		
MCAN_ICLK	MCLK	MCAN モジュールのインターフェイス クロック
MCAN_FCLK	CANCLK	MCAN のビット タイミング クロック
リセット		
MCAN_RST	ペリフェラル リセット	MCAN モジュールへの非同期リセット信号

26.6 割り込みとイベントのサポート

MCAN モジュールには、一つのイベント パブリッシャ (CPU_INT) が含まれており、静的イベント ルートによって CPU サブシステムへの MCAN 割り込み要求 (IRQ) を管理します。

表 26-16 に、MCAN イベントのまとめを示します。

表 26-16. MCAN イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	MCAN	CPU サブシステム	スタティック ルート	CPU_INT レジスタ	MCAN から CPU への固定割り込みルート

26.6.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

MCAN モジュールは、CPU 割り込みイベントを生成するように設定できる複数の割り込みソースを提供します。MCAN からの CPU 割り込みイベントを、割り込み優先度の高い順に表 26-17 に示します。

表 26-17. MCAN 割り込みイベント条件 (CPU_INT)

インデックス (IIDX)	名称	説明
0x1	MCAN_IRQ_INT0	MCAN 割り込み 0

Copyright © 2026 Texas Instruments Incorporated

表 26-17. MCAN 割り込みイベント条件 (CPU_INT) (続き)

インデックス (IIDX)	名称	説明
0x2	MCAN_IRQ_INT1	MCAN 割り込み 1
0x3	MCAN_IRQ_ECC	MCAN ECC SEC (シングルエラー訂正) 割り込み
0x4	MCAN_IRQ_ECC_UNCORR	MCAN ECC 訂正不可能 / DED (ダブル エラー検出) 割り込み
0x5	MCANSS_IRQ_TS_CNTR_OVFL	MCAN タイムスタンプ カウンタ オーバーフロー割り込み
0x6	MCANSS_IRQ_TS_WAKE	MCAN クロック停止ウェークアップ割り込み

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。割り込み (RIS) フラグは、ソフトウェアが IIDX レジスタを読み取るか、対応する ICLR レジスタ ビットに書き込むことでクリアされます。

CPU 割り込みのイベント レジスタを構成する方法のガイダンスについては、*Using Event Registers* を参照してください。

Copyright © 2026 Texas Instruments Incorporated

26.7 MCAN レジスタ

表 26-18 に、MCAN レジスタのメモリマップト レジスタを示します。表 26-18 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 26-18. MCAN レジスタ

オフセット	略称	レジスタ名	グループ	セクション
6004h	CANRX	CAN RX IO		表示
6008h	CANTX	CAN TX IO		表示
6204h	CANRX	CANRX の FUPDATE バージョン		表示
6208h	CANTX	CANTX の FUPDATE バージョン		表示
6480h	CPU_CONNECT_0	CPU 接続		表示
6800h	PWREN	パワー イネーブル		表示
6804h	RSTCTL	リセット制御		表示
6814h	STAT	ステータス レジスタ		表示
7000h	MCAN_CREL	MCAN コア リリース レジスタ		表示
7004h	MCAN_ENDN	MCAN エンディアン レジスタ		表示
700Ch	MCAN_DBTP	MCAN データ ビット タイミングおよびプリスケーラ レジスタ		表示
7010h	MCAN_TEST	MCAN テスト レジスタ		表示
7014h	MCAN_RWD	MCAN RAM ウォッチドッグ		表示
7018h	MCAN_CCCR	MCAN CC 制御レジスタ		表示
701Ch	MCAN_NBTP	MCAN 公称ビット タイミングおよびプリスケーラ レジスタ		表示
7020h	MCAN_TSCC	MCAN タイムスタンプ カウンタの構成		表示
7024h	MCAN_TSCV	MCAN タイムスタンプ カウンタ値		表示
7028h	MCAN_TOCC	MCAN タイムアウト カウンタの構成		表示
702Ch	MCAN_TOCV	MCAN タイムアウト カウンタ値		表示
7040h	MCAN_ECR	MCAN エラー カウンタ レジスタ		表示
7044h	MCAN_PSR	MCAN プロトコル ステータス レジスタ		表示
7048h	MCAN_TDCR	MCAN トランスミッタ遅延補償レジスタ		表示
7050h	MCAN_IR	MCAN 割り込みレジスタ		表示
7054h	MCAN_IE	MCAN 割り込み有効化		表示
7058h	MCAN_ILS	MCAN 割り込みライン選択		表示
705Ch	MCAN_ILE	MCAN 割り込みライン有効化		表示
7080h	MCAN_GFC	MCAN グローバル フィルタの構成		表示
7084h	MCAN_SIDFC	MCAN 標準 ID フィルタの構成		表示
7088h	MCAN_XIDFC	MCAN 拡張 ID フィルタの構成		表示
7090h	MCAN_XIDAM	MCAN 拡張 ID およびマスク		表示
7094h	MCAN_HPMS	MCAN 高優先度メッセージ ステータス		表示
7098h	MCAN_NDAT1	MCAN 新規データ 1		表示
709Ch	MCAN_NDAT2	MCAN 新規データ 2		表示
70A0h	MCAN_RXF0C	MCAN Rx FIFO 0 の構成		表示
70A4h	MCAN_RXF0S	MCAN Rx FIFO 0 のステータス		表示
70A8h	MCAN_RXF0A	MCAN Rx FIFO 0 アクノリッジ		表示
70ACh	MCAN_RXBC	MCAN Rx バッファの構成		表示

Copyright © 2026 Texas Instruments Incorporated

表 26-18. MCAN レジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
70B0h	MCAN_RXF1C	MCAN Rx FIFO 1 の構成		表示
70B4h	MCAN_RXF1S	MCAN Rx FIFO 1 のステータス		表示
70B8h	MCAN_RXF1A	MCAN Rx FIFO 1 アクノリッジ		表示
70BCh	MCAN_RXESC	MCAN Rx バッファ / FIFO 要素サイズの構成		表示
70C0h	MCAN_TXBC	MCAN Tx バッファ構成		表示
70C4h	MCAN_TXFQS	MCAN Tx FIFO / キューのステータス		表示
70C8h	MCAN_TXESC	MCAN Tx バッファ要素サイズの構成		表示
70CCh	MCAN_TXBRP	MCAN Tx バッファ要求保留中		表示
70D0h	MCAN_TXBAR	MCAN Tx バッファの追加要求		表示
70D4h	MCAN_TXBCR	MCAN Tx バッファ キャンセル要求		表示
70D8h	MCAN_TXBTO	MCAN Tx バッファ送信発生		表示
70DCh	MCAN_TXBCF	MCAN Tx バッファ キャンセル完了		表示
70E0h	MCAN_TXBTIE	MCAN Tx バッファ送信割り込み有効化		表示
70E4h	MCAN_TXBCIE	MCAN Tx バッファ キャンセル完了割り込み有効化		表示
70F0h	MCAN_TXEFC	MCAN Tx イベント FIFO の構成		表示
70F4h	MCAN_TXEFS	MCAN Tx イベント FIFO のステータス		表示
70F8h	MCAN_TXEFA	MCAN Tx イベント FIFO アクノリッジ		表示
7200h	MCANSS_PID	MCAN サブシステム リビジョン レジスタ		表示
7204h	MCANSS_CTRL	MCAN サブシステム制御レジスタ		表示
7208h	MCANSS_STAT	MCAN サブシステム ステータス レジスタ		表示
720Ch	MCANSS_ICS	MCAN サブシステム割り込みクリア シャドウ レジスタ		表示
7210h	MCANSS_IRS	MCAN サブシステム割り込み未加工ステータス レジスタ		表示
7214h	MCANSS_IECS	MCAN サブシステム割り込み有効化シャドウ レジスタ		表示
7218h	MCANSS_IE	MCAN サブシステム割り込み有効化レジスタ		表示
721Ch	MCANSS_IES	MCAN サブシステム割り込み有効化のステータス		表示
7220h	MCANSS_EOI	MCAN サブシステム割り込み終了		表示
7224h	MCANSS_EXT_TS_PRESCALER	MCAN サブシステム外部タイムスタンプ プリスケーラ 0		表示
7228h	MCANSS_EXT_TS_UNSERVICED_INTR_CNTR	MCAN サブシステム外部タイムスタンプ未処理割り込みカウンタ		表示
7400h	MCANERR_REV	MCAN エラー アグリゲータ リビジョン レジスタ		表示
7408h	MCANERR_VECTOR	MCAN ECC ベクタ レジスタ		表示
740Ch	MCANERR_STAT	MCAN その他のエラー ステータス		表示
7410h	MCANERR_WRAP_REV	MCAN ECC ラッパー リビジョン レジスタ		表示
7414h	MCANERR_CTRL	MCAN ECC 制御		表示
7418h	MCANERR_ERR_CTRL1	MCAN ECC エラー制御 1 レジスタ		表示
741Ch	MCANERR_ERR_CTRL2	MCAN ECC エラー制御 2 レジスタ		表示
7420h	MCANERR_ERR_STAT1	MCAN ECC エラー ステータス 1 レジスタ		表示

Copyright © 2026 Texas Instruments Incorporated

表 26-18. MCAN レジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
7424h	MCANERR_ERR_STAT2	MCAN ECC エラー ステータス 2 レジスタ		表示
7428h	MCANERR_ERR_STAT3	MCAN ECC エラー ステータス 3 レジスタ		表示
743Ch	MCANERR_SEC_EOI	MCAN シングル エラー訂正割り込み終了レジスタ		表示
7440h	MCANERR_SEC_STATUS	MCAN シングル エラー訂正割り込みステータス レジスタ		表示
7480h	MCANERR_SEC_ENABLE_SET	MCAN シングル エラー訂正割り込み有効化セット レジスタ		表示
74C0h	MCANERR_SEC_ENABLE_CLR	MCAN シングル エラー訂正割り込み有効化クリア レジスタ		表示
753Ch	MCANERR_DED_EOI	MCAN ダブル エラー検出割り込み終了レジスタ		表示
7540h	MCANERR_DED_STATUS	MCAN ダブル エラー検出割り込みステータス レジスタ		表示
7580h	MCANERR_DED_ENABLE_SET	MCAN ダブル エラー検出割り込み有効化セット レジスタ		表示
75C0h	MCANERR_DED_ENABLE_CLR	MCAN ダブル エラー検出割り込み有効化クリア レジスタ		表示
7600h	MCANERR_AGGR_ENABLE_SET	MCAN エラー アグリゲータ有効化セット レジスタ		表示
7604h	MCANERR_AGGR_ENABLE_CLR	MCAN エラー アグリゲータ有効化クリア レジスタ		表示
7608h	MCANERR_AGGR_STATUS_SET	MCAN エラー アグリゲータ ステータス セット レジスタ		表示
760Ch	MCANERR_AGGR_STATUS_CLR	MCAN エラー アグリゲータ ステータス クリア レジスタ		表示
7820h	IIDX	割り込みインデックス レジスタ	CPU_INT	表示
7828h	IMASK	割り込みマスク	CPU_INT	表示
7830h	RIS	未加工割り込みステータス	CPU_INT	表示
7838h	MIS	マスクされた割り込みステータス	CPU_INT	表示
7840h	ISET	割り込み設定	CPU_INT	表示
7848h	ICLR	割り込みクリア	CPU_INT	表示
78E0h	EVT_MODE	イベント モード		表示
78FCh	説明	モジュールの説明		表示
7900h	MCANSS_CLKEN	MCAN モジュール クロック イネーブル		表示
7904h	MCANSS_CLKDIV	クロック デバイダ		表示
7908h	MCANSS_CLKCTL	MCAN-SS クロック停止制御レジスタ		表示
790Ch	MCANSS_CLKSTS	MCANSS クロック停止ステータス レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 26-19 に、このセクションでアクセス タイプに使用しているコードを示します。

表 26-19. MCAN のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す

Copyright © 2026 Texas Instruments Incorporated

表 26-19. MCAN のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
RC	R C	読み出し後 クリア
RS	R S	を読み取って設定
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
W1S	W 1S	1 を書き込むことで セット
W1SQ	W 1S Q	書き込み 1 を書き込むことでセット 条件付き。この処理を実行するには、条件を満たす必要があります。
WD	W D	書き込み デクリメント。書き込まれた量だけ、指定されたビット フィールドをデクリメントします。
WI	W I	書き込み インクリメント。書き込まれた量だけ、指定されたビット フィールドをインクリメントします。
WK	W K	書き込み キーで保護された書き込み
WQ	W Q	書き込み 条件付き。この処理を実行するには、条件を満たす必要があります。
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

26.7.1 CANRX (オフセット = 6004h) [リセット = 00000000h]

図 26-27 に、CANRX を示し、表 26-20 に、その説明を示します。

概略表に戻ります。

CAN RX IO

図 26-27. CANRX

31	30	29	28	27	26	25	24
予約済み	GFLT	SLEW	WCOMP	WUEN	INV	HIGHZ1	HIGHZ0
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
予約済み	DRV			HYSTEN	INENA	PIPU	PIPD
R-0h	R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
GSTATE		予約済み					
R/W-0h		R-0h					
7	6	5	4	3	2	1	0
PSTATE		予約済み					
R/W-0h		R-0h					

表 26-20. CANRX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	
30	GFLT	R/W	0h	グリッチ フィルタ有効化 0h = 内部グリッチ フィルタなし 1h = 内部グリッチ フィルタを使用
29	SLEW	R/W	0h	予約済みスルーレート制御 0h= スルーレート制御なし 1h= スルーレート制御を使用
28	WCOMP	R/W	0h	ウェークアップ比較値 0h = 0 に一致するとウェークアップ 1h = 1 に一致するとウェークアップ
27	WUEN	R/W	0h	ウェークアップ有効化 0h = ウェークアップは有効でない 1h = ウェークアップは有効
26	INV	R/W	0h	ペリフェラル/GPIO に対するデジタル入出力の反転 0h = 入力と出力を反転しない 1h = 入力と出力を反転
25	HIGHZ1	R/W	0h	High 出力ではなくハイインピーダンス 0h = ピンを High に駆動可能 1h = ピンを High 駆動ではなく、トライステート化
24	HIGHZ0	R/W	0h	Low 出力ではなくハイインピーダンス 0h = ピンを Low に駆動可能 1h = ピンを Low に駆動ではなく、トライステート化
23	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 26-20. CANRX フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22-20	DRV	R/W	0h	駆動強度オプション 0h = 最小駆動強度 1h = 駆動強度 2/8 2h = 駆動強度 3/8 3h = 駆動強度 4/8 4h = 駆動強度 5/8 5h = 駆動強度 6/8 6h = 駆動強度 7/8 7h = 最大駆動強度
19	HYSTEN	R/W	0h	ヒステリシス有効化 0h = ヒステリシスなし 1h = ヒステリシス有効
18	INENA	R/W	0h	入力有効化 0h = 接続されたコアに 0 を入力 1h = 接続されたコアに IO パッド値を入力
17	PIPU	R/W	0h	プルアップ有効化 0h = プルアップなし 1h = プルアップ
16	PIPD	R/W	0h	プルダウン有効化 0h = プルダウンなし 1h = プルダウン
15-14	GSTATE	R/W	0h	GPIO チャネル状態 0h = G チャネルは未割り当て状態 1h = G チャネルはハンドオーバー状態 2h = G チャネルは接続状態で、ロックされていない (未割り当て状態に戻すことなく F フィールドを変更可能) 3h = G チャネルは接続状態で、ロックされている (G チャネルと P チャネルの両方が未割り当て状態になるまで、F フィールドはゼロ以外の別の値に変更不可)
13-8	予約済み	R	0h	
7-6	PSTATE	R/W	0h	ペリフェラル アナログ チャネル状態 0h = P チャネルは未割り当て状態 1h = P チャネルはハンドオーバー状態 2h = P チャネルは接続状態で、ロックされていない (未割り当て状態に戻すことなく F フィールドを変更可能) 3h = G チャネルは接続状態で、ロックされている (G チャネルと P チャネルの両方が未割り当て状態になるまで、F フィールドはゼロ以外の別の値に変更不可)
5-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.2 CANTX (オフセット = 6008h) [リセット = 00000000h]

図 26-28 に、CANTX を示し、表 26-21 に、その説明を示します。

概略表に戻ります。

CAN TX IO

図 26-28. CANTX

31	30	29	28	27	26	25	24
予約済み	GFLT	SLEW	WCOMP	WUEN	INV	HIGHZ1	HIGHZ0
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
予約済み	DRV			HYSTEN	INENA	PIPU	PIPD
R-0h	R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
GSTATE		予約済み					
R/W-0h		R-0h					
7	6	5	4	3	2	1	0
PSTATE		予約済み					
R/W-0h		R-0h					

表 26-21. CANTX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	
30	GFLT	R/W	0h	グリッチ フィルタ有効化 0h = 内部グリッチ フィルタなし 1h = 内部グリッチ フィルタを使用
29	SLEW	R/W	0h	予約済みスルーレート制御 0h= スルーレート制御なし 1h= スルーレート制御を使用
28	WCOMP	R/W	0h	ウェークアップ比較値 0h = 0 に一致するとウェークアップ 1h = 1 に一致するとウェークアップ
27	WUEN	R/W	0h	ウェークアップ有効化 0h = ウェークアップは有効でない 1h = ウェークアップは有効
26	INV	R/W	0h	ペリフェラル/GPIO に対するデジタル入出力の反転 0h = 入力と出力を反転しない 1h = 入力と出力を反転
25	HIGHZ1	R/W	0h	High 出力ではなくハイインピーダンス 0h = ピンを High に駆動可能 1h = ピンを High 駆動ではなく、トライステート化
24	HIGHZ0	R/W	0h	Low 出力ではなくハイインピーダンス 0h = ピンを Low に駆動可能 1h = ピンを Low に駆動ではなく、トライステート化
23	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 26-21. CANTX フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22-20	DRV	R/W	0h	駆動強度オプション 0h = 最小駆動強度 1h = 駆動強度 2/8 2h = 駆動強度 3/8 3h = 駆動強度 4/8 4h = 駆動強度 5/8 5h = 駆動強度 6/8 6h = 駆動強度 7/8 7h = 最大駆動強度
19	HYSTEN	R/W	0h	ヒステリシス有効化 0h = ヒステリシスなし 1h = ヒステリシス有効
18	INENA	R/W	0h	入力有効化 0h = 接続されたコアに 0 を入力 1h = 接続されたコアに IO パッド値を入力
17	PIPU	R/W	0h	プルアップ有効化 0h = プルアップなし 1h = プルアップ
16	PIPD	R/W	0h	プルダウン有効化 0h = プルダウンなし 1h = プルダウン
15-14	GSTATE	R/W	0h	GPIO チャネル状態 0h = G チャネルは未割り当て状態 1h = G チャネルはハンドオーバー状態 2h = G チャネルは接続状態で、ロックされていない (未割り当て状態に戻すことなく F フィールドを変更可能) 3h = G チャネルは接続状態で、ロックされている (G チャネルと P チャネルの両方が未割り当て状態になるまで、F フィールドはゼロ以外の別の値に変更不可)
13-8	予約済み	R	0h	
7-6	PSTATE	R/W	0h	ペリフェラル アナログ チャネル状態 0h = P チャネルは未割り当て状態 1h = P チャネルはハンドオーバー状態 2h = P チャネルは接続状態で、ロックされていない (未割り当て状態に戻すことなく F フィールドを変更可能) 3h = G チャネルは接続状態で、ロックされている (G チャネルと P チャネルの両方が未割り当て状態になるまで、F フィールドはゼロ以外の別の値に変更不可)
5-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.3 CANRX (オフセット = 6204h) [リセット = 00000000h]

図 26-29 に、CANRX を示し、表 26-22 に、その説明を示します。

概略表に戻ります。

CANRX の FUPDATE バージョン

図 26-29. CANRX

31	30	29	28	27	26	25	24
予約済み				IOADDR			
R-0h				W-0h			
23	22	21	20	19	18	17	16
IOADDR							
W-0h							
15	14	13	12	11	10	9	8
IOADDR							
W-0h							
7	6	5	4	3	2	1	0
IOADDR						LOCK	GSEL
W-0h						W-0h	W-0h

表 26-22. CANRX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	
27-2	IOADDR	W	0h	IO アドレス。このアドレスは、pinmux サブ領域の Full Write サブ領域における、モジュール IP インスタンス固有の IO 信号の SOC アドレス [27:2] に対応しています。
1	LOCK	W	0h	ロック ビットのセット 0h = この値を書き込んでも効果はない。 1h = チャネルのロック ビットをセット
0	GSEL	W	0h	GPIO チャネルの選択 0:F アップデート用の P チャネルを選択 1:F アップデート用の G チャネルを選択 0h= F アップデート用の P チャネルを選択 1h= F アップデート用の G チャネルを選択

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.7.4 CANTX (オフセット = 6208h) [リセット = 00000000h]

図 26-30 に、CANTX を示し、表 26-23 に、その説明を示します。

概略表に戻ります。

CANTX の FUPDATE バージョン

図 26-30. CANTX

31	30	29	28	27	26	25	24
予約済み				IOADDR			
R-0h				W-0h			
23	22	21	20	19	18	17	16
IOADDR							
W-0h							
15	14	13	12	11	10	9	8
IOADDR							
W-0h							
7	6	5	4	3	2	1	0
IOADDR						LOCK	GSEL
W-0h						W-0h	W-0h

表 26-23. CANTX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	
27-2	IOADDR	W	0h	IO アドレス。このアドレスは、pinmux サブ領域の Full Write サブ領域における、モジュール IP インスタンス固有の IO 信号の SOC アドレス [27:2] に対応しています。
1	LOCK	W	0h	ロック ビットのセット 0h = この値を書き込んでも効果はない。 1h = チャネルのロック ビットをセット
0	GSEL	W	0h	GPIO チャネルの選択 0:F アップデート用の P チャネルを選択 1:F アップデート用の G チャネルを選択 0h= F アップデート用の P チャネルを選択 1h= F アップデート用の G チャネルを選択

Copyright © 2026 Texas Instruments Incorporated

26.7.5 CPU_CONNECT_0 (オフセット = 6480h) [リセット = 00000000h]

図 26-31 に、CPU_CONNECT_0 を示し、表 26-24 に、その説明を示します。

概略表に戻ります。

ペリフェラル パブリッシャ ポートをアプリケーション プロセッサに直接接続します

図 26-31. CPU_CONNECT_0

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						CPUSS0_CONN	予約済み
R-0h						R/W-0h	R-0h

表 26-24. CPU_CONNECT_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	CPUSS0_CONN	R/W	0h	CPUSS0 接続ビット。 0h = CPU は接続されていない。 1h = CPU は接続されている。
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.6 PWREN (オフセット = 6800h) [リセット = 00000000h]

図 26-32 に、PWREN を示し、表 26-25 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 26-32. PWREN

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R-0h							R/WK-0h

表 26-25. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブルにする 1h = 電源をイネーブルにする

Copyright © 2026 Texas Instruments Incorporated

26.7.7 RSTCTL (オフセット = 6804h) [リセット = 00000000h]

図 26-33 に、RSTCTL を示し、表 26-26 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 26-33. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
R-0h						WK-0h	WK-0h

表 26-26. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	R	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

26.7.8 STAT (オフセット = 6814h) [リセット = 00000000h]

図 26-34 に、STAT を示し、表 26-27 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 26-34. STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 26-27. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0x0	このビットは、RSTCTL レジスタの RESETSTKYCLR によってこのビットがクリアされてから、ペリフェラルがリセットされたかどうかを示します。 0h = このビットが RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h= 前回ビットがクリアされてから、ペリフェラルがリセットされた
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.9 MCAN_CREL (オフセット = 7000h) [リセット = 32380608h]

図 26-35 に、MCAN_CREL を示し、表 26-28 に、その説明を示します。

概略表に戻ります。

MCAN コア リリース レジスタ

図 26-35. MCAN_CREL

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REL				ステップ				SUBSTEP				YEAR			
R-3h				R-2h				R-3h				R-8h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MON								日							
R-6h								R-8h							

表 26-28. MCAN_CREL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-28	REL	R	3h	コア リリース。1 桁、BCD コード。
27-24	ステップ	R	2h	コア リリースのステップ。1 桁、BCD コード。
23-20	SUBSTEP	R	3h	コア リリースのサブステップ。1 桁、BCD コード。
19-16	YEAR	R	8h	タイムスタンプの年。1 桁、BCD コード。
15-8	MON	R	6h	タイムスタンプの月。2 桁、BCD コード。
7-0	日	R	8h	タイムスタンプの日。2 桁、BCD コード。

Copyright © 2026 Texas Instruments Incorporated

26.7.10 MCAN_ENDN (オフセット = 7004h) [リセット = 87654321h]

図 26-36 に、MCAN_ENDN を示し、表 26-29 に、その説明を示します。

概略表に戻ります。

MCAN エンディアン レジスタ

図 26-36. MCAN_ENDN

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETV																															
R-87654321h																															

表 26-29. MCAN_ENDN のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	ETV	R	87654321h	エンディアンネス テスト値。このレジスタに保持されている定数を読み取ることで、ソフトウェアはホスト CPU のエンディアンネスを判定できます。

Copyright © 2026 Texas Instruments Incorporated

26.7.11 MCAN_DBTP (オフセット = 700Ch) [リセット = 00000A33h]

図 26-37 に、MCAN_DBTP を示し、表 26-30 に、その説明を示します。

概略表に戻ります。

このレジスタには、CCCR.CCE ビットと CCCR.INIT ビットがセットされている場合にのみ書き込むことができます。CAN ビット時間は、4 ～49 時間の範囲でプログラムできます。CAN 時間量子は、1 ～ 32 m_can_cclk 周期の範囲でプログラムできます。tq = (DBRP + 1) mtq。
DTSEG1 は、Prop_Seg と Phase_Seg1 の合計です。DTSEG2 は Phase_Seg2 です。
したがって、ビット時間の長さは、プログラムされた値では (DTSEG1 + DTSEG2 + 3) tq、機能値では (Sync_Seg + Prop_Seg + Phase_Seg1 + Phase_Seg2) tq になります。
情報処理時間 (IPT) はゼロであり、これは、サンプル ポイント後の最初のクロック エッジで次のビットのデータが利用可能であることを意味します。

図 26-37. MCAN_DBTP

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TDC	予約済み		DBRP				
R/WQ-0h	R-0h		R/WQ-0h				
15	14	13	12	11	10	9	8
予約済み			DTSEG1				
R-0h			R/WQ-Ah				
7	6	5	4	3	2	1	0
DTSEG2				DSJW			
R/WQ-3h				R/WQ-3h			

表 26-30. MCAN_DBTP のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TDC	R/WQ	0h	トランスミッタ遅延補償 0 トランスミッタ遅延補償は無効 1 トランスミッタ遅延補償は有効
22-21	予約済み	R	0h	
20-16	DBRP	R/WQ	0h	データ ビット レート プリスケーラ。ビット時間量子を生成するために発振器周波数を分周する値。ビット時間はこの量子の倍数から構築されます。ビット レート プリスケーラの有効な値は 0 ～ 31 です。ハードウェアによるこの値の実際の解釈では、ここで設定された値に 1 を加えた値が使用されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
15-13	予約済み	R	0h	
12-8	DTSEG1	R/WQ	Ah	サンプル ポイント前のデータ時間セグメント。有効な値は 0 ～ 31 です。ハードウェアでは、設定された値に 1 を加えた値が使用されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
7-4	DTSEG2	R/WQ	3h	サンプル ポイント後のデータ時間セグメント有効な値は 0 ～ 15 です。ハードウェアでは、設定された値に 1 を加えた値が使用されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

表 26-30. MCAN_DBTP のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	DSJW	R/WQ	3h	データ再同期ジャンプ幅。有効な値は 0 ～ 15 です。ハードウェアによるこの値の実際の解釈では、ここで設定された値に 1 を加えた値が使用されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.12 MCAN_TEST (オフセット = 7010h) [リセット = 000000X0h]

図 26-38 に、MCAN_TEST を示し、表 26-31 に、その説明を示します。

概略表に戻ります。

テスト レジスタへの書き込みアクセスは、CCCR.TEST ビットを「1」に設定することで有効にする必要があります。
CCCR.TEST ビットがリセットされると、すべてのテスト レジスタ機能はリセット値に設定されます。
ループ バック モードと内部 CAN TX ピンのソフトウェア制御は、ハードウェア テスト モードです。TX ?
'00' をプログラムすると、CAN バス上のメッセージ転送を妨げる可能性があります。

図 26-38. MCAN_TEST

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RX	TX		LBCK	予約済み			
R-X	R/WQ-0h		R/WQ-0h	R-0h			

表 26-31. MCAN_TEST のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	RX	R	X	受信ピン。CAN 受信ピンの実際の値を監視します 0h = ドミナント状態:CAN バスはドミナント状態 (CAN RX ピン = '0') 1h = リセッシブ状態:CAN バスはリセッシブ状態 (CAN RX ピン = '1')
6-5	TX	R/WQ	0h	送信ピンの制御 00 CAN TX ピンは CAN コアで制御、CAN ビット時間の終了時に更新 01 サンプル ポイントは CAN TX ピンで監視可能 10 CAN TX ピンはドミナント ('0') レベル 11 CAN TX ピンはリセッシブ ('1') 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
4	LBCK	R/WQ	0h	ループ バック モード。条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。 0h = 無効:リセット値、ループ バック モードは無効 1h = 有効:ループ バック モードは有効
3-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.13 MCAN_RWD (オフセット = 7014h) [リセット = 00000000h]

図 26-39 に、MCAN_RWD を示し、表 26-32 に、その説明を示します。

概略表に戻ります。

MCAN RAM ウォッチドッグ

図 26-39. MCAN_RWD

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																WDV								WDC							
R-0h																R-0h								R/WQ-0h							

表 26-32. MCAN_RWD のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-8	WDV	R	0h	ウォッチドッグ値。実際のメッセージ RAM ウォッチドッグ カウンタ値 RAM ウォッチドッグは、メッセージ RAM の READY 出力を監視します。MCAN の汎用マスタ インターフェイスを介したメッセージ RAM アクセスにより、WDC フィールドで設定された値でメッセージ RAM ウォッチドッグ カウンタが開始されます。メッセージ RAM が READY 出力をアクティブにして正常完了を通知すると、カウンタは WDC の値で再読み込みされます。カウンタがゼロまでカウントダウンするまでにメッセージ RAM から応答がない場合、カウンタは停止し、割り込みフラグ MCAN_IR.WDI が設定されます。RAM ウォッチドッグ カウンタは、ホスト (システム) クロックからクロック供給されます。
7-0	WDC	R/WQ	0h	ウォッチドッグ構成メッセージ RAM ウォッチドッグ カウンタの開始値。リセット値が 00 の場合、カウンタは無効になります。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.14 MCAN_CCCR (オフセット = 7018h) [リセット = 00000001h]

図 26-40 に、MCAN_CCCR を示し、表 26-33 に、その説明を示します。

概略表に戻ります。

MCAN CC 制御レジスタ

図 26-40. MCAN_CCCR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
NISO	TXP	EFBI	PXHD	予約済み		BRSE	FDOE
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R-0h		R/WQ-0h	R/WQ-0h
7	6	5	4	3	2	1	0
TEST	DAR	MON	CSR	CSA	ASM	CCE	INIT
R/W1SQ-0h	R/WQ-0h	R/W1SQ-0h	R/W-0h	R-0h	R/W1SQ-0h	R/WQ-0h	R/W-1h

表 26-33. MCAN_CCCR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	NISO	R/WQ	0h	非 ISO 操作。このビットがセットされている場合、MCAN は Bosch CAN FD 仕様 V1.0 で指定されている CAN FD フレーム フォーマットを使用します。 0 ISO 11898-1:2015 に準拠した CAN FD フレーム形式 1 Bosch CAN FD Specification V1.0 に準拠した CAN FD フレーム形式
14	TXP	R/WQ	0h	送信一時停止。このビットがセットされている場合、MCAN は自身がフレームを正常送信した後、次の送信を開始する前に 2 CAN ビット時間だけ待機します。 0 送信一時停止は無効 1 送信一時停止は有効 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
13	EFBI	R/WQ	0h	バス統合時のエッジ フィルタリング 0 エッジ フィルタリング無効 1 ハード同期のエッジを検出するのに 2 連続のドミナント tq が必要 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
12	PXHD	R/WQ	0h	プロトコル例外処理の無効化 0 プロトコル例外処理は有効 1 プロトコル例外処理は無効 注:プロトコル例外処理が無効になっている場合、MCAN はプロトコル例外条件を検出すると、エラー フレームを送信します。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
11-10	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 26-33. MCAN_CCCR のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	BRSE	R/WQ	0h	ビット レート スイッチの有効化 0 送信用ビット レート スイッチングは無効 1 送信用ビット レート スイッチングは有効 注:CAN FD 動作が無効の場合 (FDOE = '0')、BRSE は評価されません。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
8	FDOE	R/WQ	0h	フレキシブル データレート動作の有効化 0 FD 動作は無効 1 FD 動作は有効 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
7	TEST	R/W1SQ	0h	テスト モードの有効化 0 通常動作、TEST レジスタがリセット値を保持 1 テスト モード、TEST レジスタへの書き込みアクセスが有効 条件付きの書き込み (1 へのセット) は、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
6	DAR	R/WQ	0h	自動再送信の無効化 0 正常に送信されないメッセージの自動再送信が有効 1 自動再送信が無効 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
5	MON	R/W1SQ	0h	バス監視モード。MON ビットは、CCE と INIT の両方が 1 に設定されている場合にのみ、SW によってセットできます。このビットは、SW によっていつでもリセットできます。 0 バス監視モードは無効 1 バス監視モードは有効 条件付きの書き込み (1 へのセット) は、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
4	CSR	R/W	0h	クロック停止要求 0 クロック停止を要求しない 1 クロック停止を要求。クロック停止が要求されると、保留中のすべての転送要求が完了し、CAN バスがアイドル状態に達した後、まず INIT、続いて CSA がセットされます。
3	CSA	R	0h	クロック停止アクノリッジ 0 クロック停止アクノリッジなし 1 MCAN は、ホストと CAN クロックを停止することでパワーダウンにセット可能
2	ASM	R/W1SQ	0h	制限操作モード。ASM ビットは、CCE と INIT の両方が 1 に設定されている場合にのみ、SW によってセットできます。このビットは、SW によっていつでもリセットできます。 0 CAN 通常動作 1 制限付き動作モードが有効 条件付きの書き込み (1 へのセット) は、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
1	CCE	R/WQ	0h	構成変更の有効化 0 CPU は、保護された構成レジスタへの書き込みアクセスが不可 1 CPU は、保護された構成レジスタへの書き込みアクセスが可能 (CCCR.INIT = '1' の場合) 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

表 26-33. MCAN_CCCR のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	INIT	R/W	1h	初期化 0 通常動作 1 初期化を開始 注:2 つのクロックドメイン間の同期メカニズムにより、INIT に書き込まれた値を読み戻すまでに遅延が発生する場合があります。したがって、プログラマは、INIT を新しい値に設定する前に INIT を読み取り、INIT に書き込まれた以前の値が受け入れられていることを確認する必要があります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.7.15 MCAN_NBTP (オフセット = 701Ch) [リセット = 06000A03h]

図 26-41 に、MCAN_NBTP を示し、表 26-34 に、その説明を示します。

概略表に戻ります。

このレジスタには、CCCR.CCE ビットと CCCR.INIT ビットがセットされている場合にのみ書き込むことができます。CAN ビット時間は、4 ～385 時間の範囲でプログラムできます。CAN 時間量子は、1 ～ 512 m_can_cclk 周期の範囲でプログラムできます。tq = (NBRP + 1) mtq。
NTSEG1 は、Prop_Seg と Phase_Seg1 の合計です。NTSEG2 は Phase_Seg2 です。
したがって、ビット時間の長さは、プログラムされた値では (NTSEG1 + NTSEG2 + 3) tq、機能値では (Sync_Seg + Prop_Seg + Phase_Seg1 + Phase_Seg2) tq になります。
情報処理時間 (IPT) はゼロであり、これは、サンプル ポイント後の最初のクロック エッジで次のビットのデータが利用可能であることを意味します。
注:8MHz の CAN クロックでは、リセット値 0x06000A03 で MCAN を 500kbit/s のビット レートに設定します。

図 26-41. MCAN_NBTP

31	30	29	28	27	26	25	24
NSJW							NBRP
R/WQ-3h							R/WQ-0h
23	22	21	20	19	18	17	16
NBRP							
R/WQ-0h							
15	14	13	12	11	10	9	8
NTSEG1							
R/WQ-Ah							
7	6	5	4	3	2	1	0
予約済み	NTSEG2						
R-0h	R/WQ-3h						

表 26-34. MCAN_NBTP のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	NSJW	R/WQ	3h	公称 (再) 同期ジャンプ幅。有効な値は 0 ～ 127 です。ハードウェアによるこの値の実際の解釈では、ここで設定された値に 1 を加えた値が使用されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
24-16	NBRP	R/WQ	0h	公称ビット レート プリスケーラ。ビット時間量子を生成するために発振器周波数を分周する値。ビット時間はこの量子の倍数から構築されます。ビット レート プリスケーラの有効な値は 0 ～ 511 です。ハードウェアによるこの値の実際の解釈では、ここで設定された値に 1 を加えた値が使用されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
15-8	NTSEG1	R/WQ	Ah	サンプルポイント前の公称時間セグメント。有効な値は 1 ～ 255 です。ハードウェアでは、設定された値に 1 を加えた値が使用されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
7	予約済み	R	0h	
6-0	NTSEG2	R/WQ	3h	サンプル ポイント後の公称時間セグメント。有効な値は 1 ～ 127 です。ハードウェアでは、設定された値に 1 を加えた値が使用されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.16 MCAN_TSCC (オフセット = 7020h) [リセット = 00000000h]

図 26-42 に、MCAN_TSCC を示し、表 26-35 に、その説明を示します。

概略表に戻ります。

MCAN タイムスタンプ カウンタの構成

図 26-42. MCAN_TSCC

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み												TCP			
R-0h												R/WQ-0h			
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														TSS	
R-0h														R/WQ-0h	

表 26-35. MCAN_TSCC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19-16	TCP	R/WQ	0h	タイムスタンプ カウンタ プリスケーラ。タイムスタンプ カウンタおよびタイムアウト カウンタの時間単位を、CAN ビット時間の倍数で設定します有効な値は 0 ～ 15 です。ハードウェアによるこの値の実際の解釈では、ここで設定された値に 1 を加えた値が使用されます。 注:CAN FD では、タイムスタンプの生成に外部カウンタが必要です (TSS = '10')。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
15-2	予約済み	R	0h	
1-0	TSS	R/WQ	0h	タイムスタンプの選択 00 タイムスタンプ カウンタ値は常に 0x0000 01 タイムスタンプ カウンタ値は TCP に従ってインクリメント 10 外部タイムスタンプ カウンタ値を使用 11 '00' と同じ 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.17 MCAN_TSCV (オフセット = 7024h) [リセット = 00000000h]

図 26-43 に、MCAN_TSCV を示し、表 26-36 に、その説明を示します。

概略表に戻ります。

MCAN タイムスタンプ カウンタ値

図 26-43. MCAN_TSCV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																TSC															
R-0h																R/W-0h															

表 26-36. MCAN_TSCV のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	TSC	R/W	0h	タイムスタンプ カウンタ。内部 / 外部タイムスタンプ カウンタ値は、フレーム開始時 (Rx および Tx の両方) にキャプチャされます。TSCC.TSS = '01' の場合、タイムスタンプ カウンタは TSCC.TCP の設定に応じて、CAN ビット時間の倍数 (1 ～ 16 の範囲) でインクリメントされます。ラップ アラウンドが発生すると、割り込みフラグ IR.TSW がセットされます。書き込みアクセスにより、カウンタはゼロにリセットされます。TSCC.TSS = '10' の場合、TSC は外部タイムスタンプ カウンタ値を反映し、書き込みアクセスは影響を与えません。 注:ラップ アラウンドとは、MCAN_TSCV への書き込みアクセスに起因せず、 タイムスタンプ カウンタ値がゼロ以外からゼロに変化することです。

Copyright © 2026 Texas Instruments Incorporated

26.7.18 MCAN_TOCC (オフセット = 7028h) [リセット = FFFF0000h]

図 26-44 に、MCAN_TOCC を示し、表 26-37 に、その説明を示します。

概略表に戻ります。

MCAN タイムアウト カウンタの構成

図 26-44. MCAN_TOCC

31	30	29	28	27	26	25	24
TOP							
R/WQ-FFFFh							
23	22	21	20	19	18	17	16
TOP							
R/WQ-FFFFh							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					TOS		ETOC
R-0h					R/WQ-0h		R/WQ-0h

表 26-37. MCAN_TOCC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	TOP	R/WQ	FFFFh	タイムアウト期間。タイムアウト カウンタの開始値 (ダウンカウンタ)。タイムアウト期間を設定します。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
15-3	予約済み	R	0h	
2-1	TOS	R/WQ	0h	タイムアウト選択。連続モードで動作中、TOCV への書き込みにより、カウンタは TOCC.TOP で設定された値にプリセットされ、ダウンカウントを継続します。タイムアウト カウンタがいずれかの FIFO によって制御されている場合、FIFO が空になると、カウンタは TOCC.TOP で設定された値にプリセットされます。ダウンカウントは、最初の FIFO 要素が格納されると開始されます。 00 連続動作 01 Tx イベント FIFO によるタイムアウト制御 10 Rx FIFO 0 によるタイムアウト制御 11 Rx FIFO 1 によるタイムアウト制御 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
0	ETOC	R/WQ	0h	有効化タイムアウト カウンタ 0 タイムアウト カウンタ無効 1 タイムアウト カウンタ有効 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.19 MCAN_TOCV (オフセット = 702Ch) [リセット = 0000FFFFh]

図 26-45 に、MCAN_TOCV を示し、表 26-38 に、その説明を示します。

概略表に戻ります。

MCAN タイムアウト カウンタ値

図 26-45. MCAN_TOCV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																TOC															
R-0h																R/W-FFFFh															

表 26-38. MCAN_TOCV のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	TOC	R/W	FFFFh	タイムアウト カウンタ。タイムスタンプ カウンタは TSCC.TCP の設定に応じて、CAN ビット時間の倍数 (1 ～ 16 の範囲) でデクリメントされます。0 にデクリメントすると、割り込みフラグ IR.TOO がセットされ、タイムアウト カウンタが停止します。開始およびリセット / 再起動条件は、TOCC.TOS を使用して設定します。

Copyright © 2026 Texas Instruments Incorporated

26.7.20 MCAN_ECR (オフセット = 7040h) [リセット = 00000000h]

図 26-46 に、MCAN_ECR を示し、表 26-39 に、その説明を示します。

概略表に戻ります。

MCAN エラー カウンタ レジスタ

図 26-46. MCAN_ECR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								CEL							
R-0h								RC-0h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RP	REC							TEC							
R-0h	R-0h							R-0h							

表 26-39. MCAN_ECR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23-16	CEL	RC	0h	CAN エラー ロギング。CAN プロトコル エラーによって送信エラー カウンターまたは受信エラー カウンタがインクリメントされるたびに、このカウンタはインクリメントされます。CEL への読み取りアクセスによってリセットされます。このカウンタは 0xFF で停止し、その後の TEC または REC の次回インクリメント時に、割り込みフラグ IR.ELO がセットされます。 注:CCCR.ASM がセットされている場合、CAN プロトコル コントローラは、CAN プロトコル エラーが検出されても TEC と REC をインクリメントしませんが、CEL は引き続きインクリメントされます。
15	RP	R	0h	受信エラー パッシブ 0 受信エラー カウンタはエラー パッシブ レベル (128) 未満 1 受信エラー カウンタはエラー パッシブ レベル (128) に到達
14-8	REC	R	0h	受信エラー カウンタ。受信エラー カウンタの実際の状態 (0 ～ 127 の値)。 注:CCCR.ASM がセットされている場合、CAN プロトコル コントローラは、CAN プロトコル エラーが検出されても TEC と REC をインクリメントしませんが、CEL は引き続きインクリメントされます。
7-0	TEC	R	0h	送信エラー カウンタ。送信エラー カウンタの実際の状態 (0 ～ 255 の値)。 注:CCCR.ASM がセットされている場合、CAN プロトコル コントローラは、CAN プロトコル エラーが検出されても TEC と REC をインクリメントしませんが、CEL は引き続きインクリメントされます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.7.21 MCAN_PSR (オフセット = 7044h) [リセット = 00000707h]

図 26-47 に、MCAN_PSR を示し、表 26-40 に、その説明を示します。

概略表に戻ります。

MCAN プロトコル ステータス レジスタ

図 26-47. MCAN_PSR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み	TDCV						
R-0h	R-0h						
15	14	13	12	11	10	9	8
予約済み	PXE	RFDF	RBRS	RESI	DLEC		
R-0h	RC-0h	RC-0h	RC-0h	RC-0h	RS-7h		
7	6	5	4	3	2	1	0
BO	EW	EP	ACT		LEC		
R-0h	R-0h	R-0h	R-0h		RS-7h		

表 26-40. MCAN_PSR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-23	予約済み	R	0h	
22-16	TDCV	R	0h	トランスミッタ遅延補償値。内部 CAN TX 信号から内部 CAN RX 信号までの測定遅延と TDCR.TDCO の合計で定義されるセカンダリ サンプル ポイントの位置。SSP の位置は、データ位相において、送信ビットの開始からセカンダリ サンプル ポイントまでの mtq 数です。有効な値は 0 ～ 127 mtq です。
15	予約済み	R	0h	
14	PXE	RC	0h	プロトコル例外イベント 0 前回の読み取りアクセス以降、プロトコル例外イベントは未発生 1 プロトコル例外イベントが発生
13	RFDF	RC	0h	CAN FD メッセージの受信。このビットは、受け入れフィルタリングとは関係なくセットされます。 0 このビットが CPU によってリセットされてから CAN FD メッセージは未受信 1 FDF フラグがセットされた CAN FD 形式のメッセージを受信
12	RBRS	RC	0h	最後に受信した CAN FD メッセージの BRS フラグ。このビットは、受け入れフィルタリングとは関係なく RFDF とともにセットされます。 0 最後に受信した CAN FD メッセージに BRS フラグがセットされていない 1 最後に受信した CAN FD メッセージに BRS フラグがセットされている
11	RESI	RC	0h	最後に受信した CAN FD メッセージの ESI フラグ。このビットは、受け入れフィルタリングとは関係なく RFDF とともにセットされます。 0 最後に受信した CAN FD メッセージに ESI フラグがセットされていない 1 最後に受信した CAN FD メッセージに ESI フラグがセットされている
10-8	DLEC	RS	7h	データ フェーズの最後のエラー コード。BRS フラグがセットされた CAN FD 形式フレームのデータ位相で最後に発生したエラーの種類。コードの形式は LEC と同じです。このフィールドは、BRS フラグがセットされた CAN FD 形式フレームがエラーなしで転送 (受信または送信) された場合、ゼロにクリアされます。

Copyright © 2026 Texas Instruments Incorporated

表 26-40. MCAN_PSR のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	BO	R	0h	Bus_Off ステータス 0 M_CAN が Bus_Off でない 1 M_CAN が Bus_Off 状態
6	EW	R	0h	警告ステータス 0 両方のエラー カウンタが Error_Warning 制限 (96) を下回っている 1 エラー カウンタの少なくとも 1 つが Error_Warning 制限 (96) に達している
5	EP	R	0h	エラー パッシブ 0 M_CAN は Error_Active 状態。通常、このノードはバス通信に参加し、エラーが検出されるとアクティブ エラー フラグを送信します。 1 M_CAN は Error_Passive 状態。
4-3	ACT	R	0h	ノード アクティビティ。モジュールの CAN 通信状態を監視します。 00 同期中 - ノードは CAN 通信で同期されている 01 アイドル - ノードはレシーバでもトランスミッタでもない 10 レシーバ - ノードはレシーバとして動作 11 トランスミッタ - ノードはトランスミッタとして動作 注:ACT は、プロトコル例外イベントによって '00' に設定されます。

Copyright © 2026 Texas Instruments Incorporated

表 26-40. MCAN_PSR のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	LEC	RS	7h	最後のエラー コード。LEC は、CAN バスで最後に発生したエラーのタイプを示します。このフィールドは、メッセージがエラーなしで転送 (受信または送信) されると、'0' にクリアされます。 0 エラーなし:LEC が正常な受信または送信でリセットされてからエラーは発生していない。 1 スタッフ エラー:許可されていない受信メッセージ部分において、5 個を超える同一ビットの連続が発生している。 2 フォーム エラー:受信フレームの固定フォーマット部分の形式が正しくない。 3 AckError:MCAN によって送信されたメッセージが、別のノードによってアクノリッジされていない。 4 Bit1Error:メッセージ送信中 (アービトレーション フィールドを除く) に、デバイスはリセッシブ レベル (論理値 1 のビット) を送信しようとしたが、監視されたバス値はドミナントだった。 5 Bit0Error:メッセージ (またはアクノリッジ ビット、アクティブ エラー フラグ、過負荷フラグ) の送信中に、デバイスはドミナント レベル (データまたは識別子ビットの論理値 0) を送信しようとしたが、監視されたバス値はリセッシブだった。Bus_Off の回復中、このステータスは 11 のリセッシブ ビットのシーケンスが監視されるたびに設定されます。これにより、CPU は Bus_Off リカバリ シーケンスの進行状況を監視できます (バスがドミナント状態に固着していないか、継続的に干渉されていないことを示します)。 6 CRCError:受信したメッセージの CRC チェックサムが正しくない。受信メッセージの CRC が、受信データから計算された CRC と一致していません。 7 NoChange:プロトコル ステータス レジスタへの読み取りアクセスがすべて行われると、LEC は '7' に再初期化されます。LEC に値 '7' が示されている場合、プロトコル ステータス レジスタへの最後の CPU 読み取りアクセス以降、CAN バス イベントは検出されていません。 注:CAN FD 形式のフレームが、BRS フラグがセットされた状態でデータ位相に達した場合、次の CAN イベント (エラーまたは有効なフレーム) は、LEC ではなく DLEC に表示されます。CAN FD CRC シーケンスの固定されたものビットのエラーは、スタッフ エラーではなくフォーム エラーとして表示されます。注:Bus_Off リカバリシーケンス (ISO 11898-1:2015 を参照) は、CCCR.INIT をセットまたはリセットしても短縮できません。デバイスが Bus_Off 状態になると、デバイス自身が CCCR.INIT をセットし、すべてのバス アクティビティを停止します。CPU によって CCCR.INIT がクリアされると、デバイスは通常動作を再開する前に、129 回のバス アイドル (129 × 11 個の連続したリセッシブ ビット) が発生するのを待機します。Bus_Off リカバリ シーケンスの終了時に、エラー管理カウンタはリセットされます。CCCR.INIT のリセット後の待機時間中、11 個のリセッシブ ビットのシーケンスが監視されるたびに、Bit0Error コードが PSR.LEC に書き込まれます。これにより CPU は、CAN バスがドミナント状態に固着しているか、継続的に干渉されているかを容易に確認でき、さらに Bus_Off リカバリ シーケンスを監視できます。ECR.REC は、これらのシーケンスをカウントするために使用されます。

Copyright © 2026 Texas Instruments Incorporated

26.7.22 MCAN_TDCR (オフセット = 7048h) [リセット = 00000000h]

図 26-48 に、MCAN_TDCR を示し、表 26-41 に、その説明を示します。

概略表に戻ります。

MCAN トランスミッタ遅延補償レジスタ

図 26-48. MCAN_TDCR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	TDCO						
R-0h	R/WQ-0h						
7	6	5	4	3	2	1	0
予約済み	TDCF						
R-0h	R/WQ-0h						

表 26-41. MCAN_TDCR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-8	TDCO	R/WQ	0h	トランスミッタ遅延補償オフセット。内部 CAN TX 信号から内部 CAN RX 信号までの測定遅延と 2 次サンプル ポイントとの距離を定義するオフセット値。有効な値は 0 ～ 127 mtq です。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
7	予約済み	R	0h	
6-0	TDCF	R/WQ	0h	トランスミッタ遅延補償フィルタ ウィンドウの長さ。SSP 位置の最小値を定義します。トランスミッタ遅延の測定では、それより前の SSP 位置となるような内部 CAN RX 信号のドミナント エッジは無視されます。この機能は、TDCF が TDCO より大きい値に設定されている場合に有効になります。有効な値は 0 ～ 127 mtq です。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.23 MCAN_IR (オフセット = 7050h) [リセット = 80000000h]

図 26-49 に、MCAN_IR を示し、表 26-42 に、その説明を示します。

概略表に戻ります。

これらのフラグは、リストのいずれかの条件が検出されたときに設定されます (エッジセンシティブ)。フラグは、ホストがクリアするまでセットされたままになります。フラグは、対応するビット位置に 1 を書き込むことでクリアされます。0 を書き込んでも何もしません。また、ハード リセットでもレジスタはクリアされます。IE の設定により、割り込みの発生が制御されます。ILS の設定により、割り込みを通知する割り込みラインが制御されます。

図 26-49. MCAN_IR

31	30	29	28	27	26	25	24
予約済み		ARA	PED	PEA	WDI	BO	EW
R-0h		R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
23	22	21	20	19	18	17	16
EP	ELO	BEU	予約済み	DRX	TOO	MRAF	TSW
R/W1C-0h	R/W1C-0h	R/W1C-0h	R-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
15	14	13	12	11	10	9	8
TEFL	TEFF	TEFW	TEFN	TFE	TCF	TC	HPM
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
7	6	5	4	3	2	1	0
RF1L	RF1F	RF1W	RF1N	RF0L	RF0F	RF0W	RF0N
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 26-42. MCAN_IR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	
29	ARA	R/W1C	0h	予約済みアドレスへのアクセス 0 予約済みアドレスへのアクセスは発生しない 1 予約済みアドレスへのアクセスが発生
28	PED	R/W1C	0h	データ フェーズのプロトコル エラー (データ ビット時間を使用) 0 データ フェーズにプロトコル エラーなし 1 データフェーズでプロトコル エラーを検出 (PSR.DLEC? 0.7)
27	PEA	R/W1C	0h	アービトレーション フェーズのプロトコル エラー (公称ビット時間を使用) 0 アービトレーション フェーズにプロトコル エラーなし 1 アービトレーション フェーズでプロトコル エラーを検出 (PSR.LEC ? 0.7)
26	WDI	R/W1C	0h	ウォッチドッグ割り込み 0 メッセージ RAM ウォッチドッグ イベントなし 1 READY 欠落によるメッセージ RAM ウォッチドッグ イベント
25	BO	R/W1C	0h	Bus_Off ステータス 0 Bus_Off ステータス変更なし 1 Bus_Off ステータス変更
24	EW	R/W1C	0h	警告ステータス 0 Error_Warning ステータス変更なし 1 Error_Warning ステータス変更
23	EP	R/W1C	0h	エラー パッシブ 0 Error_Passive ステータス変更なし 1 Error_Passive ステータス変更
22	ELO	R/W1C	0h	エラー ロギング オーバーフロー 0 CAN エラー ロギング カウンタのオーバーフロー未発生 1 CAN エラー ロギング カウンタのオーバーフロー発生

Copyright © 2026 Texas Instruments Incorporated

表 26-42. MCAN_IR のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
21	BEU	R/W1C	0h	ビット エラー訂正なし。メッセージ RAM で検出されたビット エラーが訂正されていません。このビットは、メッセージ RAM に接続された ECC アグリゲータによってダブル ビット エラーが検出されるとセットされます。訂正されていないメッセージ RAM のビット エラーが発生すると、CCCR.INIT が '1' に設定されます。これは、破損データの送信を防ぐためです。 0 メッセージ RAM からの読み出し時にビット エラー検出なし 1 ビット エラー検出、訂正なし (パリティ ロジック)
20	予約済み	R	0h	
19	DRX	R/W1C	0h	専用 Rx バッファへのメッセージの格納。受信メッセージが専用 Rx バッファに格納されるたびに、このフラグがセットされます。 0 Rx バッファの更新なし 1 Rx バッファに少なくとも 1 つの受信メッセージを格納
18	TOO	R/W1C	0h	タイムアウトの発生 0 タイムアウトなし 1 タイムアウトに到達
17	MRAF	R/W1C	0h	メッセージ RAM アクセス エラー。このフラグは、Rx ハンドラが次の場合にセットされます。 - 次のメッセージのアービトレーション フィールドが受信されるまで、受け入れたメッセージの受け入れフィルタリングまたは保存を完了していない。この場合、受け入れフィルタリングまたはメッセージ格納処理は中止され、Rx ハンドラは次のメッセージの処理を開始します。 - メッセージ RAM にメッセージを書き込むことができない。この場合、メッセージの格納処理は中止されます。 どちらの場合も、FIFO Put インデックスが更新されないか、専用 Rx バッファの新規データ フラグがセットされません。このため、次のメッセージがこの場所に保存されると、部分的に格納されたメッセージが上書きされます。このフラグは、Tx ハンドラがメッセージ RAM からメッセージを時間内に読み出せなかった場合にもセットされます。この場合、メッセージの送信は中止されます。Tx ハンドラのアクセスに失敗した場合、MCAN は制限付き動作モードに切り替わります。制限動作モードを終了するには、ホスト CPU が CCCR.ASM をリセットする必要があります。 0 メッセージ RAM アクセス エラーは発生していない 1 メッセージ RAM アクセス エラーが発生
16	TSW	R/W1C	0h	タイムスタンプ ラップアラウンド 0 タイムスタンプ カウンタ ラップアラウンドなし 1 タイムスタンプ カウンタ ラップアラウンド
15	TEFL	R/W1C	0h	Tx イベント FIFO 要素消失 0 Tx イベント FIFO 要素消失なし 1 Tx イベント FIFO 要素消失。サイズがゼロの Tx イベント FIFO への書き込み試行後にも設定されます
14	TEFF	R/W1C	0h	Tx イベント FIFO フル 0 Tx イベント FIFO フルでない 1 Tx イベント FIFO フル
13	TEFW	R/W1C	0h	Tx イベント FIFO ウォーターマークに到達 0 Tx イベント FIFO のフィル レベルがウォーターマークを下回っている 1 Tx イベント FIFO のフィル レベルがウォーターマークに到達
12	TEFN	R/W1C	0h	Tx イベント FIFO の新しいエントリ 0 Tx イベント FIFO 未変更 1 Tx ハンドラが Tx イベント FIFO 要素を書き込み
11	TFE	R/W1C	0h	Tx FIFO が空 0 Tx FIFO は空でない 1 Tx FIFO は空
10	TCF	R/W1C	0h	転送キャンセル完了 0 転送キャンセルが未完了 1 転送キャンセル完了

Copyright © 2026 Texas Instruments Incorporated

表 26-42. MCAN_IR のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TC	R/W1C	0h	転送完了 0 転送未完了 1 転送完了
8	HPM	R/W1C	0h	高優先度メッセージ 0 高優先度メッセージを受信していない 1 高優先度メッセージを受信
7	RF1L	R/W1C	0h	Rx FIFO 1 メッセージ消失 0 Rx FIFO 1 メッセージ消失 1 Rx FIFO 1 メッセージ消失。サイズ ゼロの Rx FIFO 1 への書き込み試行後にも設定されます
6	RF1F	R/W1C	0h	Rx FIFO 1 フル 0 Rx FIFO 1 フルではない 1 Rx FIFO 1 がフル
5	RF1W	R/W1C	0h	Rx FIFO 1 ウォーターマークに到達 0 Rx FIFO 1 のフィル レベルに到達 1 Rx FIFO 1 フィル レベルがウォーターマークに到達
4	RF1N	R/W1C	0h	Rx FIFO 1 新規メッセージ 0 Rx FIFO 1 に新規メッセージの書き込みなし 1 Rx FIFO 1 に新規メッセージの書き込みあり
3	RF0L	R/W1C	0h	Rx FIFO 0 メッセージ消失 0 Rx FIFO 0 メッセージ消失 1 Rx FIFO 0 メッセージ消失。サイズ ゼロの Rx FIFO 0 への書き込み試行後にも設定されます
2	RF0F	R/W1C	0h	Rx FIFO 0 フル 0 Rx FIFO 0 フルではない 1 Rx FIFO 0 がフル
1	RF0W	R/W1C	0h	Rx FIFO 0 ウォーターマークに到達 0 Rx FIFO 0 のフィル レベルに到達 1 Rx FIFO 0 フィル レベルがウォーターマークに到達
0	RF0N	R/W1C	0h	Rx FIFO 0 新規メッセージ 0 Rx FIFO 0 に新規メッセージの書き込みなし 1 Rx FIFO 0 に新規メッセージの書き込みあり

Copyright © 2026 Texas Instruments Incorporated

26.7.24 MCAN_IE (オフセット = 7054h) [リセット = 00000000h]

図 26-50 に、MCAN_IE に示し、表 26-43 に、その説明を示します。

概略表に戻ります。

MCAN 割り込み有効化

図 26-50. MCAN_IE

31	30	29	28	27	26	25	24
予約済み		ARAE	PEDE	PEAE	WDIE	BOE	EWE
R-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
EPE	ELOE	BEUE	BECE	DRXE	TOOE	MRAFE	TSWE
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
TEFLE	TEFFE	TEFWE	TEFNE	TFEE	TCFE	TCE	HPME
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RF1LE	RF1FE	RF1WE	RF1NE	RF0LE	RF0FE	RF0WE	RF0NE
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 26-43. MCAN_IE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	
29	ARAE	R/W	0h	予約済みアドレスへのアクセスの有効化
28	PEDE	R/W	0h	データ位相のプロトコル エラーの有効化
27	PEAE	R/W	0h	アービトレーション位相のプロトコル エラーの有効化
26	WDIE	R/W	0h	ウォッチドッグ イベント割り込みの有効化
25	BOE	R/W	0h	Bus_Off ステータスの有効化
24	EWE	R/W	0h	警告ステータスの有効化
23	EPE	R/W	0h	エラー パッシブの有効化
22	ELOE	R/W	0h	エラー ロギング オーバーフローの有効化
21	BEUE	R/W	0h	ビット エラー訂正なしの有効化
20	BECE	R/W	0h	ビット エラー訂正有効化 訂正されたビット エラー用に予約された個別の割り込みラインが MCAN_ERROR_REGS を介して提供されます。これらのレジスタを使用し、このビットを '0' のままにすることを推奨します。
19	DRXE	R/W	0h	専用 Rx バッファへのメッセージ格納の有効化
18	TOOE	R/W	0h	タイムアウト発生の有効化
17	MRAFE	R/W	0h	メッセージ RAM アクセス エラーの有効化
16	TSWE	R/W	0h	タイムスタンプ ラップアラウンドの有効化
15	TEFLE	R/W	0h	Tx イベント FIFO 要素消失の有効化
14	TEFFE	R/W	0h	Tx イベント FIFO フルの有効化
13	TEFWE	R/W	0h	Tx イベント FIFO ウォーターマーク到達の有効化
12	TEFNE	R/W	0h	Tx イベント FIFO 新規エントリの有効化
11	TFEE	R/W	0h	Tx FIFO が空の有効化
10	TCFE	R/W	0h	転送キャンセル完了の有効化
9	TCE	R/W	0h	転送完了の有効化

Copyright © 2026 Texas Instruments Incorporated

表 26-43. MCAN_IE のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	HPME	R/W	0h	高優先度メッセージの有効化
7	RF1LE	R/W	0h	Rx FIFO 1 メッセージ消失の有効化
6	RF1FE	R/W	0h	Rx FIFO 1 フルの有効化
5	RF1WE	R/W	0h	Rx FIFO 1 ウォーターマーク到達の有効化
4	RF1NE	R/W	0h	Rx FIFO 1 新規メッセージの有効化
3	RF0LE	R/W	0h	Rx FIFO 0 メッセージ消失の有効化
2	RF0FE	R/W	0h	Rx FIFO 0 フルの有効化
1	RF0WE	R/W	0h	Rx FIFO 0 ウォーターマーク到達の有効化
0	RF0NE	R/W	0h	Rx FIFO 0 新規メッセージの有効化

Copyright © 2026 Texas Instruments Incorporated

26.7.25 MCAN_ILS (オフセット = 7058h) [リセット = 00000000h]

図 26-51 に、MCAN_ILS を示し、表 26-44 に、その説明を示します。

概略表に戻ります。

割り込みライン選択レジスタは、割り込みレジスタから特定の割り込みフラグによって生成された割り込みを 2 つのモジュール割り込みラインのいずれかに割り当てます。割り込みを生成するには、ILE.EINT0 および ILE.EINT1 を介してそれぞれの割り込みラインを有効にする必要があります。

図 26-51. MCAN_ILS

31	30	29	28	27	26	25	24
予約済み		ARAL	PEDL	PEAL	WDIL	BOL	EWL
R-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
EPL	ELOL	BEUL	BECL	DRXL	ツール	MRAFL	TSWL
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
TEFLL	TEFFL	TEFWL	TEFNL	TFEL	TCFL	TCL	HPML
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RF1LL	RF1FL	RF1WL	RF1NL	RF0LL	RF0FL	RF0WL	RF0NL
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 26-44. MCAN_ILS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	
29	ARAL	R/W	0h	予約済みアドレス ラインへのアクセス 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
28	PEDL	R/W	0h	データ位相ラインのプロトコル エラー 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
27	PEAL	R/W	0h	アービトレーション位相ラインのプロトコル エラー 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
26	WDIL	R/W	0h	ウォッチドッグ割り込みライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
25	BOL	R/W	0h	Bus_Off ステータス ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
24	EWL	R/W	0h	警告ステータス ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
23	EPL	R/W	0h	エラー パッシブ ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
22	ELOL	R/W	0h	エラー ログ オーバーフロー ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て

Copyright © 2026 Texas Instruments Incorporated

表 26-44. MCAN_ILS のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
21	BEUL	R/W	0h	ビット エラー訂正ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
20	BECL	R/W	0h	ビット エラー訂正ライン 訂正されたビット エラー用に予約された個別の割り込みラインが MCAN_ERROR_REGS を介して提供されます。これらのレジスタを使用して、MCAN_IE.BECE ビットを 0 (ディセーブル) にクリアした状態にしておくことを推奨します。これにより、このビットは適用されなくなります。
19	DRXL	R/W	0h	専用 Rx バッファへのメッセージ格納ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
18	ツール	R/W	0h	タイムアウト発生ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
17	MRAFL	R/W	0h	メッセージ RAM アクセス エラー ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
16	TSWL	R/W	0h	タイムスタンプ ラップアラウンド ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
15	TEFLL	R/W	0h	Tx イベント FIFO 要素消失ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
14	TEFFL	R/W	0h	Tx イベント FIFO フル ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
13	TEFWL	R/W	0h	Tx イベント FIFO ウォーターマーク到達ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
12	TEFNL	R/W	0h	Tx イベント FIFO 新規エントリ ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
11	TFEL	R/W	0h	Tx FIFO 空ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
10	TCFL	R/W	0h	転送キャンセル完了ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
9	TCL	R/W	0h	転送完了ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
8	HPML	R/W	0h	高優先度メッセージ ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
7	RF1LL	R/W	0h	Rx FIFO 1 メッセージ消失ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
6	RF1FL	R/W	0h	Rx FIFO 1 フル ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
5	RF1WL	R/W	0h	Rx FIFO 1 ウォーターマーク到達ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て

Copyright © 2026 Texas Instruments Incorporated

表 26-44. MCAN_ILS のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	RF1NL	R/W	0h	Rx FIFO 1 新規メッセージ ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
3	RF0LL	R/W	0h	Rx FIFO 0 メッセージ消失ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
2	RF0FL	R/W	0h	Rx FIFO 0 フル ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
1	RF0WL	R/W	0h	Rx FIFO 0 ウォーターマーク到達ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て
0	RF0NL	R/W	0h	Rx FIFO 0 新規メッセージ ライン 0 割り込みソースを割り込みライン 0 に割り当て 1 割り込みソースを割り込みライン 1 に割り当て

Copyright © 2026 Texas Instruments Incorporated

26.7.26 MCAN_ILE (オフセット = 705Ch) [リセット = 00000000h]

図 26-52 に、MCAN_ILE を示し、表 26-45 に、その説明を示します。

概略表に戻ります。

MCAN 割り込みライン有効化

図 26-52. MCAN_ILE

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						EINT1	EINT0
R-0h						R/W-0h	R/W-0h

表 26-45. MCAN_ILE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	EINT1	R/W	0h	割り込みライン 1 の有効化 0 割り込みライン 1 が無効 1 割り込みライン 1 が有効
0	EINT0	R/W	0h	割り込みライン 0 の有効化 0 割り込みライン 0 が無効 1 割り込みライン 0 が有効

Copyright © 2026 Texas Instruments Incorporated

26.7.27 MCAN_GFC (オフセット = 7080h) [リセット = 00000000h]

図 26-53 に、MCAN_GFC を示し、表 26-46 に、その説明を示します。

概略表に戻ります。

MCAN グローバル フィルタの構成

図 26-53. MCAN_GFC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		ANFS		ANFE		RRFS	RRFE
R-0h		R/WQ-0h		R/WQ-0h		R/WQ-0h	R/WQ-0h

表 26-46. MCAN_GFC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5-4	ANFS	R/WQ	0h	標準不一致フレームの受け入れ。フィルタ リストのどの要素にも一致しない 11 ビットの ID を持つ受信メッセージの処理方法を定義します。 00 Rx FIFO 0 で受け入れ 01 Rx FIFO 1 で受け入れ 10 拒否 11 拒否 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
3-2	ANFE	R/WQ	0h	拡張不一致フレームの受け入れ。フィルタ リストのどの要素にも一致しない 29 ビットの ID を持つ受信メッセージの処理方法を定義します。 00 Rx FIFO 0 で受け入れ 01 Rx FIFO 1 で受け入れ 10 拒否 11 拒否 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
1	RRFS	R/WQ	0h	標準リモート フレームの拒否 0 11 ビットの標準 ID を持つリモート フレームをフィルタリング 1 11 ビットの標準 ID を持つリモート フレームをすべて拒否 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
0	RRFE	R/WQ	0h	拡張リモート フレームの拒否 0 29 ビットの拡張 ID を持つリモート フレームをフィルタリング 1 29 ビットの拡張 ID を持つリモート フレームをすべて拒否 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.7.28 MCAN_SIDFC (オフセット = 7084h) [リセット = 00000000h]

図 26-54 に、MCAN_SIDFC を示し、表 26-47 に、その説明を示します。

概略表に戻ります。

MCAN 標準 ID フィルタの構成

図 26-54. MCAN_SIDFC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
LSS							
R/WQ-0h							
15	14	13	12	11	10	9	8
FLSSA							
R/WQ-0h							
7	6	5	4	3	2	1	0
FLSSA						予約済み	
R/WQ-0h						R-0h	

表 26-47. MCAN_SIDFC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23-16	LSS	R/WQ	0h	標準リスト サイズ 0 標準メッセージ ID フィルタなし 1-128 標準メッセージ ID フィルタの要素数 > 128 128 より大きい値は 128 と解釈されます
15-2	FLSSA	R/WQ	0h	標準フィルタ リストの開始アドレス。標準のメッセージ ID フィルタ リストの開始アドレス (32 ビット ワード アドレス)。
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.29 MCAN_XIDFC (オフセット = 7088h) [リセット = 00000000h]

図 26-55 に、MCAN_XIDFC を示し、表 26-48 に、その説明を示します。

概略表に戻ります。

MCAN 拡張 ID フィルタの構成

図 26-55. MCAN_XIDFC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み	LSE						
R-0h	R/WQ-0h						
15	14	13	12	11	10	9	8
FLESA							
R/WQ-0h							
7	6	5	4	3	2	1	0
FLESA						予約済み	
R/WQ-0h						R-0h	

表 26-48. MCAN_XIDFC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-23	予約済み	R	0h	
22-16	LSE	R/WQ	0h	拡張フィルタ リストの開始アドレス。拡張メッセージ ID フィルタ リストの開始アドレス (32 ビット ワード アドレス)。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
15-2	FLESA	R/WQ	0h	拡張リスト サイズ 0 拡張メッセージ ID フィルタなし 1-64 拡張メッセージ ID フィルタの要素数 > 64 64 より大きい値は 64 と解釈されます 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.30 MCAN_XIDAM (オフセット = 7090h) [リセット = 1FFFFFFFh]

図 26-56 に、MCAN_XIDAM を示し、表 26-49 に、その説明を示します。

概略表に戻ります。

MCAN 拡張 ID およびマスク

図 26-56. MCAN_XIDAM

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															EIDM																
R-0h															R/WQ-1FFFFFFFh																

表 26-49. MCAN_XIDAM のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28-0	EIDM	R/WQ	1FFFFFFFh	拡張 ID マスク。拡張フレームの受け入れフィルタリングでは、拡張 ID AND マスクが受信フレームのメッセージ ID に対して AND 演算されます。SAE J1939 における 29 ビット ID のマスキングを目的としています。すべてのビットのリセット値が 1 に設定されている場合、マスクは有効になりません。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.31 MCAN_HPMS (オフセット = 7094h) [リセット = 00000000h]

図 26-57 に、MCAN_HPMS を示し、表 26-50 に、その説明を示します。

概略表に戻ります。

優先イベントを生成するように設定されたメッセージ ID フィルタ要素と一致するたびに、このレジスタが更新されます。これにより、受信した高優先度メッセージのステータスを監視し、これらのメッセージに迅速にアクセスできるようになります。

図 26-57. MCAN_HPMS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
FLST	FIDX						
R-0h	R-0h						
7	6	5	4	3	2	1	0
MSI		BIDX					
R-0h		R-0h					

表 26-50. MCAN_HPMS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	FLST	R	0h	フィルタ リスト。一致するフィルタ要素のフィルタ リストを示します。 0 標準フィルタ リスト 1 拡張フィルタ リスト
14-8	FIDX	R	0h	フィルタ インデックス。一致したフィルタ要素のインデックス。範囲は 0 ～ SIDFC.LSS - 1 または XIDFC.LSE - 1 までです。
7-6	MSI	R	0h	メッセージ ストレージ インジケータ 00 FIFO 未選択 01 FIFO メッセージ消失 10 メッセージは FIFO 0 に格納 11 メッセージは FIFO 1 に格納
5-0	BIDX	R	0h	バッファ インデックス。メッセージが格納された Rx FIFO 要素のインデックス。MSI(1) = '1' の場合にのみ有効

Copyright © 2026 Texas Instruments Incorporated

26.7.32 MCAN_NDAT1 (オフセット = 7098h) [リセット = 00000000h]

図 26-58 に、MCAN_NDAT1 を示し、表 26-51 に、その説明を示します。

概略表に戻ります。

MCAN 新規データ 1

図 26-58. MCAN_NDAT1

31	30	29	28	27	26	25	24
ND31	ND30	ND29	ND28	ND27	ND26	ND25	ND24
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
23	22	21	20	19	18	17	16
ND23	ND22	ND21	ND20	ND19	ND18	ND17	ND16
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
15	14	13	12	11	10	9	8
ND15	ND14	ND13	ND12	ND11	ND10	ND9	ND8
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
7	6	5	4	3	2	1	0
ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 26-51. MCAN_NDAT1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	ND31	R/W1C	0h	新規データ RX バッファ 31 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
30	ND30	R/W1C	0h	新規データ RX バッファ 30 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
29	ND29	R/W1C	0h	新規データ RX バッファ 29 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
28	ND28	R/W1C	0h	新規データ RX バッファ 28 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
27	ND27	R/W1C	0h	新規データ RX バッファ 27 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
26	ND26	R/W1C	0h	新規データ RX バッファ 26 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
25	ND25	R/W1C	0h	新規データ RX バッファ 25 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
24	ND24	R/W1C	0h	新規データ RX バッファ 24 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
23	ND23	R/W1C	0h	新規データ RX バッファ 23 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新

Copyright © 2026 Texas Instruments Incorporated

表 26-51. MCAN_NDAT1 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	ND22	R/W1C	0h	新規データ RX バッファ 22 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
21	ND21	R/W1C	0h	新規データ RX バッファ 21 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
20	ND20	R/W1C	0h	新規データ RX バッファ 20 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
19	ND19	R/W1C	0h	新規データ RX バッファ 19 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
18	ND18	R/W1C	0h	新規データ RX バッファ 18 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
17	ND17	R/W1C	0h	新規データ RX バッファ 17 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
16	ND16	R/W1C	0h	新規データ RX バッファ 16 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
15	ND15	R/W1C	0h	新規データ RX バッファ 15 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
14	ND14	R/W1C	0h	新規データ RX バッファ 14 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
13	ND13	R/W1C	0h	新規データ RX バッファ 13 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
12	ND12	R/W1C	0h	新規データ RX バッファ 12 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
11	ND11	R/W1C	0h	新規データ RX バッファ 11 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
10	ND10	R/W1C	0h	新規データ RX バッファ 10 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
9	ND9	R/W1C	0h	新規データ RX バッファ 9 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
8	ND8	R/W1C	0h	新規データ RX バッファ 8 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
7	ND7	R/W1C	0h	新規データ RX バッファ 7 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
6	ND6	R/W1C	0h	新規データ RX バッファ 6 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新

Copyright © 2026 Texas Instruments Incorporated

表 26-51. MCAN_NDAT1 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	ND5	R/W1C	0h	新規データ RX バッファ 5 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
4	ND4	R/W1C	0h	新規データ RX バッファ 4 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
3	ND3	R/W1C	0h	新規データ RX バッファ 3 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
2	ND2	R/W1C	0h	新規データ RX バッファ 2 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
1	ND1	R/W1C	0h	新規データ RX バッファ 1 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
0	ND0	R/W1C	0h	新規データ RX バッファ 0 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新

Copyright © 2026 Texas Instruments Incorporated

26.7.33 MCAN_NDAT2 (オフセット = 709Ch) [リセット = 00000000h]

図 26-59 に、MCAN_NDAT2 を示し、表 26-52 に、その説明を示します。

概略表に戻ります。

MCAN 新規データ 2

図 26-59. MCAN_NDAT2

31	30	29	28	27	26	25	24
ND63	ND62	ND61	ND60	ND59	ND58	ND57	ND56
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
23	22	21	20	19	18	17	16
ND55	ND54	ND53	ND52	ND51	ND50	ND49	ND48
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
15	14	13	12	11	10	9	8
ND47	ND46	ND45	ND44	ND43	ND42	ND41	ND40
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h
7	6	5	4	3	2	1	0
ND39	ND38	ND37	ND36	ND35	ND34	ND33	ND32
R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h	R/W1C-0h

表 26-52. MCAN_NDAT2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	ND63	R/W1C	0h	新規データ RX バッファ 63 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
30	ND62	R/W1C	0h	新規データ RX バッファ 62 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
29	ND61	R/W1C	0h	新規データ RX バッファ 61 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
28	ND60	R/W1C	0h	新規データ RX バッファ 60 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
27	ND59	R/W1C	0h	新規データ RX バッファ 59 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
26	ND58	R/W1C	0h	新規データ RX バッファ 58 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
25	ND57	R/W1C	0h	新規データ RX バッファ 57 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
24	ND56	R/W1C	0h	新規データ RX バッファ 56 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
23	ND55	R/W1C	0h	新規データ RX バッファ 55 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新

Copyright © 2026 Texas Instruments Incorporated

表 26-52. MCAN_NDAT2 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
22	ND54	R/W1C	0h	新規データ RX バッファ 54 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
21	ND53	R/W1C	0h	新規データ RX バッファ 53 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
20	ND52	R/W1C	0h	新規データ RX バッファ 52 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
19	ND51	R/W1C	0h	新規データ RX バッファ 51 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
18	ND50	R/W1C	0h	新規データ RX バッファ 50 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
17	ND49	R/W1C	0h	新規データ RX バッファ 49 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
16	ND48	R/W1C	0h	新規データ RX バッファ 48 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
15	ND47	R/W1C	0h	新規データ RX バッファ 47 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
14	ND46	R/W1C	0h	新規データ RX バッファ 46 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
13	ND45	R/W1C	0h	新規データ RX バッファ 45 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
12	ND44	R/W1C	0h	新規データ RX バッファ 44 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
11	ND43	R/W1C	0h	新規データ RX バッファ 43 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
10	ND42	R/W1C	0h	新規データ RX バッファ 42 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
9	ND41	R/W1C	0h	新規データ RX バッファ 41 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
8	ND40	R/W1C	0h	新規データ RX バッファ 40 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
7	ND39	R/W1C	0h	新規データ RX バッファ 39 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
6	ND38	R/W1C	0h	新規データ RX バッファ 38 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新

Copyright © 2026 Texas Instruments Incorporated

表 26-52. MCAN_NDAT2 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	ND37	R/W1C	0h	新規データ RX バッファ 37 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
4	ND36	R/W1C	0h	新規データ RX バッファ 36 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
3	ND35	R/W1C	0h	新規データ RX バッファ 35 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
2	ND34	R/W1C	0h	新規データ RX バッファ 34 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
1	ND33	R/W1C	0h	新規データ RX バッファ 33 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新
0	ND32	R/W1C	0h	新規データ RX バッファ 32 0 Rx バッファ未更新 1 新しいメッセージで Rx バッファを更新

Copyright © 2026 Texas Instruments Incorporated

26.7.34 MCAN_RXF0C (オフセット = 70A0h) [リセット = 00000000h]

図 26-60 に、MCAN_RXF0C を示し、表 26-53 に、その説明を示します。

概略表に戻ります。

MCAN Rx FIFO 0 の構成

図 26-60. MCAN_RXF0C

31	30	29	28	27	26	25	24
F0OM	F0WM						
R/WQ-0h	R/WQ-0h						
23	22	21	20	19	18	17	16
予約済み	F0S						
R-0h	R/WQ-0h						
15	14	13	12	11	10	9	8
F0SA							
R/WQ-0h							
7	6	5	4	3	2	1	0
F0SA						予約済み	
R/WQ-0h						R-0h	

表 26-53. MCAN_RXF0C のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	F0OM	R/WQ	0h	FIFO 0 動作モード。FIFO 0 は、ブロッキング モードまたは上書きモードで動作可能です。 0 FIFO 0 ブロッキング モード 1 FIFO 0 上書きモード 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
30-24	F0WM	R/WQ	0h	Rx FIFO 0 ウォーターマーク 0 ウォーターマーク割り込み無効 1-64 Rx FIFO 0 ウォーターマーク割り込みのレベル (IR.RF0W) > 64 ウォーターマーク割り込み無効 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
23	予約済み	R	0h	
22-16	F0S	R/WQ	0h	Rx FIFO 0 サイズ。Rx FIFO 0 要素には、0～F0S-1 のインデックスが作成されます。 0 Rx FIFO 0 なし 1-64 Rx FIFO 0 要素数 > 64 64 より大きい値は 64 と解釈されます 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
15-2	F0SA	R/WQ	0h	Rx FIFO 0 開始アドレス。メッセージ RAM 内の Rx FIFO 0 の開始アドレス (32 ビット ワード アドレス)。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.35 MCAN_RXF0S (オフセット = 70A4h) [リセット = 00000000h]

図 26-61 に、MCAN_RXF0S を示し、表 26-54 に、その説明を示します。

概略表に戻ります。

MCAN Rx FIFO 0 のステータス

図 26-61. MCAN_RXF0S

31	30	29	28	27	26	25	24
予約済み						RF0L	F0F
R-0h						R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み		F0PI					
R-0h		R-0h					
15	14	13	12	11	10	9	8
予約済み		F0GI					
R-0h		R-0h					
7	6	5	4	3	2	1	0
予約済み	F0FL						
R-0h	R-0h						

表 26-54. MCAN_RXF0S のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	RF0L	R	0h	Rx FIFO 0 メッセージ消失。このビットは、割り込みフラグ IR.RF0L のコピーです。IR.RF0L がリセットされると、このビットもリセットされます。 0 Rx FIFO 0 メッセージ消失 1 Rx FIFO 0 メッセージ消失。サイズ ゼロの Rx FIFO 0 への書き込み試行後にも設定されます 注:RXF0C.F0OM ='1' のときに最も古いメッセージを上書きしても、このフラグはセットされません。
24	F0F	R	0h	Rx FIFO 0 フル 0 Rx FIFO 0 フルではない 1 Rx FIFO 0 がフル
23-22	予約済み	R	0h	
21-16	F0PI	R	0h	Rx FIFO 0 Put インデックス。Rx FIFO 0 書き込みインデックス ポインタ (範囲は 0 ～ 63)。
15-14	予約済み	R	0h	
13-8	F0GI	R	0h	Rx FIFO 0 Get インデックス。Rx FIFO 0 取得インデックス (範囲は 0 ～ 63)。
7	予約済み	R	0h	
6-0	F0FL	R	0h	Rx FIFO 0 フィル レベル。Rx FIFO 0 に格納されている要素数 (範囲は 0 ～ 64)。

Copyright © 2026 Texas Instruments Incorporated

26.7.36 MCAN_RXF0A (オフセット = 70A8h) [リセット = 00000000h]

図 26-62 に、MCAN_RXF0A を示し、表 26-55 に、その説明を示します。

概略表に戻ります。

MCAN Rx FIFO 0 アクノリッジ

図 26-62. MCAN_RXF0A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										F0AI					
R-0h																										R/W-0h					

表 26-55. MCAN_RXF0A のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5-0	F0AI	R/W	0h	Rx FIFO 0 アクノリッジ インデックス。ホストが Rx FIFO 0 からメッセージまたは複数のメッセージを読み出した後、Rx FIFO 0 から最後に読み出した要素のバッファ インデックスを F0AI に書き込む必要があります。これにより、Rx FIFO 0 Get インデックス RXF0S.F0GI が F0AI + 1 に設定され、FIFO 0 フィル レベル RXF0S.F0FL が更新されます

Copyright © 2026 Texas Instruments Incorporated

26.7.37 MCAN_RXBC (オフセット = 70ACh) [リセット = 00000000h]

図 26-63 に、MCAN_RXBC を示し、表 26-56 に、その説明を示します。

概略表に戻ります。

MCAN Rx バッファの構成

図 26-63. MCAN_RXBC

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																RBSA														予約済み	
R-0h																R/WQ-0h														R-0h	

表 26-56. MCAN_RXBC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-2	RBSA	R/WQ	0h	Rx バッファの開始アドレス。メッセージ RAM (32 ビット ワード アドレス) の Rx バッファ セクションの開始アドレスを設定します。 +I466
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.38 MCAN_RXF1C (オフセット = 70B0h) [リセット = 00000000h]

図 26-64 に、MCAN_RXF1C を示し、表 26-57 に、その説明を示します。

概略表に戻ります。

MCAN Rx FIFO 1 の構成

図 26-64. MCAN_RXF1C

31	30	29	28	27	26	25	24
F1OM	F1WM						
R/WQ-0h	R/WQ-0h						
23	22	21	20	19	18	17	16
予約済み	F1S						
R-0h	R/WQ-0h						
15	14	13	12	11	10	9	8
F1SA							
R/WQ-0h							
7	6	5	4	3	2	1	0
F1SA						予約済み	
R/WQ-0h						R-0h	

表 26-57. MCAN_RXF1C のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31	F1OM	R/WQ	0h	FIFO 1 動作モード。FIFO 1 は、ブロッキング モードまたは上書きモードで動作可能です。 0 FIFO 1 ブロッキング モード 1 FIFO 1 上書きモード 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
30-24	F1WM	R/WQ	0h	Rx FIFO 1 ウォーターマーク 0 ウォーターマーク割り込み無効 1-64 Rx FIFO 1 ウォーターマーク割り込みのレベル (IR.RF1W) > 64 ウォーターマーク割り込み無効 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
23	予約済み	R	0h	
22-16	F1S	R/WQ	0h	Rx FIFO 1 サイズ。Rx FIFO 1 要素には、0 ～ F1S - 1 のインデックスが作成されます。 0 Rx FIFO 1 なし 1-64 Rx FIFO 1 要素数 > 64 64 より大きい値は 64 と解釈されます 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
15-2	F1SA	R/WQ	0h	Rx FIFO 1 メッセージ RAM 内の Rx FIFO 1 の開始アドレス (32 ビット ワード アドレス)。
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.39 MCAN_RXF1S (オフセット = 70B4h) [リセット = 00000000h]

図 26-65 に、MCAN_RXF1S を示し、表 26-58 に、その説明を示します。

概略表に戻ります。

MCAN Rx FIFO 1 のステータス

図 26-65. MCAN_RXF1S

31	30	29	28	27	26	25	24
DMS		予約済み				RF1L	F1F
R-0h		R-0h				R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み		F1PI					
R-0h		R-0h					
15	14	13	12	11	10	9	8
予約済み		F1GI					
R-0h		R-0h					
7	6	5	4	3	2	1	0
予約済み		F1FL					
R-0h		R-0h					

表 26-58. MCAN_RXF1S のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-30	DMS	R	0h	デバッグ メッセージステータス 00 アイドル状態、デバッグ メッセージの受信を待機 01 デバッグ メッセージ A を受信 10 デバッグ メッセージ A、B を受信 11 デバッグ メッセージ A、B、C を受信
29-26	予約済み	R	0h	
25	RF1L	R	0h	Rx FIFO 1 メッセージ消失。このビットは、割り込みフラグ IR.RF1L のコピーです。IR.RF1L がリセットされると、このビットもリセットされます。 0 Rx FIFO 1 メッセージ消失 1 Rx FIFO 1 メッセージ消失。サイズ ゼロの Rx FIFO 1 への書き込み試行後にも設定されます 注:RXF1C.F1OM ='1' のときに最も古いメッセージを上書きしても、このフラグはセットされません。
24	F1F	R	0h	Rx FIFO 1 フル 0 Rx FIFO 1 フルではない 1 Rx FIFO 1 がフル
23-22	予約済み	R	0h	
21-16	F1PI	R	0h	Rx FIFO 1 Put インデックス。Rx FIFO 1 書き込みインデックス ポインタ (範囲は 0 ～ 63)。
15-14	予約済み	R	0h	
13-8	F1GI	R	0h	Rx FIFO 1 Get インデックス。Rx FIFO 1 取得インデックス (範囲は 0 ～ 63)。
7	予約済み	R	0h	
6-0	F1FL	R	0h	Rx FIFO 1 フィル レベル。Rx FIFO 1 に格納されている要素数 (範囲は 0 ～ 64)。

Copyright © 2026 Texas Instruments Incorporated

26.7.40 MCAN_RXF1A (オフセット = 70B8h) [リセット = 00000000h]

図 26-66 に、MCAN_RXF1A を示し、表 26-59 に、その説明を示します。

概略表に戻ります。

MCAN Rx FIFO 1 アクノリッジ

図 26-66. MCAN_RXF1A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																										F1AI					
R-0h																										R/W-0h					

表 26-59. MCAN_RXF1A のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5-0	F1AI	R/W	0h	Rx FIFO 1 アクノリッジ インデックス。ホストが Rx FIFO 1 からメッセージまたは複数のメッセージを読み出した後、Rx FIFO 1 から最後に読み出した要素のバッファ インデックスを F1AI に書き込む必要があります。これにより、Rx FIFO 1 Get インデックス RXF1S.F1GI が F1AI + 1 に設定され、FIFO 1 フィル レベル RXF1S.F1FL が更新されます

Copyright © 2026 Texas Instruments Incorporated

26.7.41 MCAN_RXESC (オフセット = 70BCh) [リセット = 00000000h]

図 26-67 に、MCAN_RXESC を示し、表 26-60 に、その説明を示します。

概略表に戻ります。

Rx バッファ / Rx FIFO 要素に属するデータ バイト数を設定します。8 バイトを超えるデータ フィールドサイズは、CAN FD 専用です。

図 26-67. MCAN_RXESC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み					RBDS		
R-0h					R/WQ-0h		
7	6	5	4	3	2	1	0
予約済み	F1DS			予約済み	F0DS		
R-0h	R/WQ-0h			R-0h	R/WQ-0h		

表 26-60. MCAN_RXESC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	
10-8	RBDS	R/WQ	0h	Rx バッファのデータ フィールド サイズ 000 8 バイトのデータ フィールド 001 12 バイトのデータ フィールド 010 16 バイトのデータ フィールド 011 20 バイトのデータ フィールド 100 24 バイトのデータ フィールド 101 32 バイトのデータ フィールド 110 48 バイトのデータ フィールド 111 64 バイトのデータ フィールド 注:受け入れられた CAN フレームのデータ フィールド サイズが、一致する Rx バッファまたは Rx FIFO 用に構成されたデータ フィールド サイズを超える場合、RXESC で設定されたバイト数のみが Rx バッファまたは Rx FIFO 要素に保存されます。フレームの残りのデータ フィールドは無視されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
7	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 26-60. MCAN_RXESC のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6-4	F1DS	R/WQ	0h	Rx FIFO 1 のデータ フィールド サイズ 000 8 バイトのデータ フィールド 001 12 バイトのデータ フィールド 010 16 バイトのデータ フィールド 011 20 バイトのデータ フィールド 100 24 バイトのデータ フィールド 101 32 バイトのデータ フィールド 110 48 バイトのデータ フィールド 111 64 バイトのデータ フィールド 注:受け入れられた CAN フレームのデータ フィールド サイズが、一致する Rx バッファまたは Rx FIFO 用に構成されたデータ フィールド サイズを超える場合、RXESC で設定されたバイト数のみが Rx バッファまたは Rx FIFO 要素に保存されます。フレームの残りのデータ フィールドは無視されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
3	予約済み	R	0h	
2-0	F0DS	R/WQ	0h	Rx FIFO 0 のデータ フィールド サイズ 000 8 バイトのデータ フィールド 001 12 バイトのデータ フィールド 010 16 バイトのデータ フィールド 011 20 バイトのデータ フィールド 100 24 バイトのデータ フィールド 101 32 バイトのデータ フィールド 110 48 バイトのデータ フィールド 111 64 バイトのデータ フィールド 注:受け入れられた CAN フレームのデータ フィールド サイズが、一致する Rx バッファまたは Rx FIFO 用に構成されたデータ フィールド サイズを超える場合、RXESC で設定されたバイト数のみが Rx バッファまたは Rx FIFO 要素に保存されます。フレームの残りのデータ フィールドは無視されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.42 MCAN_TXBC (オフセット = 70C0h) [リセット = 00000000h]

図 26-68 に、MCAN_TXBC を示し、表 26-61 に、その説明を示します。

概略表に戻ります。

MCAN Tx バッファ構成

図 26-68. MCAN_TXBC

31	30	29	28	27	26	25	24
予約済み	TFQM	TFQS					
R-0h	R/WQ-0h	R/WQ-0h					
23	22	21	20	19	18	17	16
予約済み		NDTB					
R-0h		R/WQ-0h					
15	14	13	12	11	10	9	8
TBSA							
R/WQ-0h							
7	6	5	4	3	2	1	0
TBSA						予約済み	
R/WQ-0h						R-0h	

表 26-61. MCAN_TXBC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	
30	TFQM	R/WQ	0h	Tx FIFO/ キューモード 0 Tx FIFO 動作 1 Tx キュー動作 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
29-24	TFQS	R/WQ	0h	送信 FIFO/ キュー サイズ 0 = Tx FIFO/ キューなし 1 ～ 32 = Tx FIFO/ キューに使用される Tx バッファの数 > 32 32 より大きい値は 32 と解釈されます 注:TFQS と NDTB の合計は 32 以下であることに注意してください。誤った構成のチェックは ありません。メッセージ RAM の Tx バッファ セクションは、専用の Tx バッファ から始まります。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
23-22	予約済み	R	0h	
21-16	NDTB	R/WQ	0h	専用送信バッファの数 0 専用 Tx バッファなし 1 ～ 32 専用 Tx バッファの数 32 より大きい値は 32 と解釈されます。 注:TFQS と NDTB の合計は 32 以下であることに注意してください。誤った構成のチェックは ありません。メッセージ RAM の Tx バッファ セクションは、専用の Tx バッファ から始まります。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

表 26-61. MCAN_TXBC のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15-2	TBSA	R/WQ	0h	Tx バッファの開始アドレス。メッセージ RAM の Tx バッファ セクションの開始アドレス (32 ビット ワード アドレス)。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.43 MCAN_TXFQS (オフセット = 70C4h) [リセット = 00000000h]

図 26-69 に、MCAN_TXFQS を示し、表 26-62 に、その説明を示します。

概略表に戻ります。

Tx FIFO/ キュー ステータスは、レジスタ TXBRP の保留中の Tx 要求に関連しています。そのため、実行中の Tx スキャンの影響で (TXBRP がまだ更新されていないため)、追加 / キャンセル要求の反映が遅れることがあります。

図 26-69. MCAN_TXFQS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み		TFQF	TFQP				
R-0h		R-0h	R-0h				
15	14	13	12	11	10	9	8
予約済み			TFGI				
R-0h			R-0h				
7	6	5	4	3	2	1	0
予約済み		TFFL					
R-0h		R-0h					

表 26-62. MCAN_TXFQS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0h	
21	TFQF	R	0h	Tx FIFO/ キュー フル 0 Tx FIFO/ キューがフルではない 1 Tx FIFO/ キューがフル
20-16	TFQP	R	0h	Tx FIFO/ キュー Put インデックス。Tx FIFO/ キュー書き込みインデックス ポインタ (範囲は 0 ～ 31)。 注: 専用 Tx バッファと Tx FIFO または Tx キューを組み合わせた混在構成の場合、Put インデックスおよび Get インデックスは、最初の専用 Tx バッファから始まる Tx バッファ番号を示します。例: 12 個の専用 Tx バッファと 20 個の Tx FIFO バッファを構成した場合、Put インデックスが 15 のときは、Tx FIFO の 4 番目のバッファを指します。
15-13	予約済み	R	0h	
12-8	TFGI	R	0h	Tx FIFO Get インデックス。Tx FIFO 読み取りインデックス ポインタ (範囲は 0 ～ 31)。Tx キュー動作が設定されている場合 (TXBC.TFQM = '1')、ゼロとして読み取られます。 注: 専用 Tx バッファと Tx FIFO または Tx キューを組み合わせた混在構成の場合、Put インデックスおよび Get インデックスは、最初の専用 Tx バッファから始まる Tx バッファ番号を示します。例: 12 個の専用 Tx バッファと 20 個の Tx FIFO バッファを構成した場合、Put インデックスが 15 のときは、Tx FIFO の 4 番目のバッファを指します。
7-6	予約済み	R	0h	
5-0	TFFL	R	0h	Tx FIFO 空きレベル。TFGI から始まる連続した Tx FIFO 空き要素の数 (範囲は 0 ～ 32)。Tx キュー動作が設定されている場合 (TXBC.TFQM = '1')、ゼロとして読み取られます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.7.44 MCAN_TXESC (オフセット = 70C8h) [リセット = 00000000h]

図 26-70 に、MCAN_TXESC を示し、表 26-63 に、その説明を示します。

概略表に戻ります。

Tx バッファ要素に属するデータ バイト数を設定します。8 バイトを超えるデータ フィールドサイズは、CAN FD 専用です。

図 26-70. MCAN_TXESC

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み													TBDS		
R-0h													R/WQ-0h		

表 26-63. MCAN_TXESC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2-0	TBDS	R/WQ	0h	Tx バッファのデータ フィールド サイズ 000 8 バイトのデータ フィールド 001 12 バイトのデータ フィールド 010 16 バイトのデータ フィールド 011 20 バイトのデータ フィールド 100 24 バイトのデータ フィールド 101 32 バイトのデータ フィールド 110 48 バイトのデータ フィールド 111 64 バイトのデータ フィールド 注:Tx バッファ要素のデータ長コード DLC が Tx バッファ データ フィールド サイズ TXESC.TBDS より大きい値に構成されている場合、Tx バッファで定義されていないバイトは '0xCC' (パディング バイト) として送信されます。 条件付きの書き込みは、CCCR.CCE='1' かつ CCCR.INIT='1' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.45 MCAN_TXBRP (オフセット = 70CCh) [リセット = 00000000h]

図 26-71 に、MCAN_TXBRP を示し、表 26-64 に、その説明を示します。

概略表に戻ります。

MCAN Tx バッファ要求保留中

図 26-71. MCAN_TXBRP

31	30	29	28	27	26	25	24
TRP31	TRP30	TRP29	TRP28	TRP27	TRP26	TRP25	TRP24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
TRP23	TRP22	TRP21	TRP20	TRP19	TRP18	TRP17	TRP16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TRP15	TRP14	TRP13	TRP12	TRP11	TRP10	TRP9	TRP8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TRP7	TRP6	TRP5	TRP4	TRP3	TRP2	TRP1	TRP0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 26-64. MCAN_TXBRP のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TRP31	R	0h	送信要求保留 31。ビット 0 の説明を参照してください。
30	TRP30	R	0h	送信要求保留 30。ビット 0 の説明を参照してください。
29	TRP29	R	0h	送信要求保留 29。ビット 0 の説明を参照してください。
28	TRP28	R	0h	送信要求保留 28。ビット 0 の説明を参照してください。
27	TRP27	R	0h	送信要求保留 27。ビット 0 の説明を参照してください。
26	TRP26	R	0h	送信要求保留 26。ビット 0 の説明を参照してください。
25	TRP25	R	0h	送信要求保留 25。ビット 0 の説明を参照してください。
24	TRP24	R	0h	送信要求保留 24。ビット 0 の説明を参照してください。
23	TRP23	R	0h	送信要求保留 23。ビット 0 の説明を参照してください。
22	TRP22	R	0h	送信要求保留 22。ビット 0 の説明を参照してください。
21	TRP21	R	0h	送信要求保留 21。ビット 0 の説明を参照してください。
20	TRP20	R	0h	送信要求保留 20。ビット 0 の説明を参照してください。
19	TRP19	R	0h	送信要求保留 19。ビット 0 の説明を参照してください。
18	TRP18	R	0h	送信要求保留 18。ビット 0 の説明を参照してください。
17	TRP17	R	0h	送信要求保留 17。ビット 0 の説明を参照してください。
16	TRP16	R	0h	送信要求保留 16。ビット 0 の説明を参照してください。
15	TRP15	R	0h	送信要求保留 15。ビット 0 の説明を参照してください。
14	TRP14	R	0h	送信要求保留 14。ビット 0 の説明を参照してください。
13	TRP13	R	0h	送信要求保留 13。ビット 0 の説明を参照してください。
12	TRP12	R	0h	送信要求保留 12。ビット 0 の説明を参照してください。
11	TRP11	R	0h	送信要求保留 11。ビット 0 の説明を参照してください。
10	TRP10	R	0h	送信要求保留 10。ビット 0 の説明を参照してください。
9	TRP9	R	0h	送信要求保留 9。ビット 0 の説明を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 26-64. MCAN_TXBRP のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	TRP8	R	0h	送信要求保留 8。ビット 0 の説明を参照してください。
7	TRP7	R	0h	送信要求保留 7。ビット 0 の説明を参照してください。
6	TRP6	R	0h	送信要求保留 6。ビット 0 の説明を参照してください。
5	TRP5	R	0h	送信要求保留 5。ビット 0 の説明を参照してください。
4	TRP4	R	0h	送信要求保留 4。ビット 0 の説明を参照してください。
3	TRP3	R	0h	送信要求保留 3。ビット 0 の説明を参照してください。
2	TRP2	R	0h	送信要求保留 2。ビット 0 の説明を参照してください。
1	TRP1	R	0h	送信要求保留 1。ビット 0 の説明を参照してください。
0	TRP0	R	0h	送信要求保留 0。 各 Tx バッファには、独自の送信要求保留ビットがあります。これらのビットは、TXBAR レジスタを介して設定されます。これらのビットは、要求された送信が完了した後、または TXBCR レジスタを介して送信がキャンセルされた後にクリアされます。 TXBRP ビットは、TXBC を介して設定された Tx バッファに対してのみセットされます。TXBRP ビットが設定されると、保留中の送信要求のうち最も優先度の高いもの (メッセージ ID が最も小さい Tx バッファ) を確認するために、Tx スキャンが開始されます。 キャンセル要求により、TXBRP レジスタ内の対応する送信要求保留ビットがクリアされます。キャンセル要求時に送信がすでに開始されている場合、この処理は、送信が成功したかどうかにかかわらず、送信終了時に実行されます。キャンセル要求ビットは、対応する TXBRP ビットがクリアされた直後にリセットされます。 キャンセル要求後、キャンセル完了は次の場合に TXBCF を介して通知されます。 - 送信が正常に完了した後 (対応する TXBTO ビットとともに) - キャンセル時点で送信がまだ開始されていなかった場合 - アービトレーション喪失により送信が中断された場合 - フレーム送信中にエラーが発生した場合 DAR モードでは、送信が成功しなかった場合、すべての送信は自動的にキャンセルされます。対応する TXBCF ビットは、すべての送信失敗時にセットされます。 0 送信要求保留なし 1 送信要求保留中 注:Tx スキャンの進行中にセットされた TXBRP ビットは、その Tx スキャンでは考慮されません。そのような Tx バッファに対してキャンセル要求が行われた場合、この追加要求は直ちにキャンセルされ、対応する TXBRP ビットがクリアされます。

Copyright © 2026 Texas Instruments Incorporated

26.7.46 MCAN_TXBAR (オフセット = 70D0h) [リセット = 00000000h]

図 26-72 に、MCAN_TXBAR を示し、表 26-65 に、その説明を示します。

概略表に戻ります。

MCAN Tx バッファの追加要求

図 26-72. MCAN_TXBAR

31	30	29	28	27	26	25	24
AR31	AR30	AR29	AR28	AR27	AR26	AR25	AR24
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h
23	22	21	20	19	18	17	16
AR23	AR22	AR21	AR20	AR19	AR18	AR17	AR16
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h
15	14	13	12	11	10	9	8
AR15	AR14	AR13	AR12	AR11	AR10	AR9	AR8
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h
7	6	5	4	3	2	1	0
AR7	AR6	AR5	AR4	AR3	AR2	AR1	AR0
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h

表 26-65. MCAN_TXBAR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	AR31	R/WQ	0h	追加要求 31。ビット 0 の説明を参照してください。
30	AR30	R/WQ	0h	追加要求 30。ビット 0 の説明を参照してください。
29	AR29	R/WQ	0h	追加要求 29。ビット 0 の説明を参照してください。
28	AR28	R/WQ	0h	追加要求 28。ビット 0 の説明を参照してください。
27	AR27	R/WQ	0h	追加要求 27。ビット 0 の説明を参照してください。
26	AR26	R/WQ	0h	追加要求 26。ビット 0 の説明を参照してください。
25	AR25	R/WQ	0h	追加要求 25。ビット 0 の説明を参照してください。
24	AR24	R/WQ	0h	追加要求 24。ビット 0 の説明を参照してください。
23	AR23	R/WQ	0h	追加要求 23。ビット 0 の説明を参照してください。
22	AR22	R/WQ	0h	追加要求 22。ビット 0 の説明を参照してください。
21	AR21	R/WQ	0h	追加要求 21。ビット 0 の説明を参照してください。
20	AR20	R/WQ	0h	追加要求 20。ビット 0 の説明を参照してください。
19	AR19	R/WQ	0h	追加要求 19。ビット 0 の説明を参照してください。
18	AR18	R/WQ	0h	追加要求 18。ビット 0 の説明を参照してください。
17	AR17	R/WQ	0h	追加要求 17。ビット 0 の説明を参照してください。
16	AR16	R/WQ	0h	追加要求 16。ビット 0 の説明を参照してください。
15	AR15	R/WQ	0h	追加要求 15。ビット 0 の説明を参照してください。
14	AR14	R/WQ	0h	追加要求 14。ビット 0 の説明を参照してください。
13	AR13	R/WQ	0h	追加要求 13。ビット 0 の説明を参照してください。
12	AR12	R/WQ	0h	追加要求 12。ビット 0 の説明を参照してください。
11	AR11	R/WQ	0h	追加要求 11。ビット 0 の説明を参照してください。
10	AR10	R/WQ	0h	追加要求 10。ビット 0 の説明を参照してください。
9	AR9	R/WQ	0h	追加要求 9。ビット 0 の説明を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 26-65. MCAN_TXBAR のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	AR8	R/WQ	0h	追加要求 8。ビット 0 の説明を参照してください。
7	AR7	R/WQ	0h	追加要求 7。ビット 0 の説明を参照してください。
6	AR6	R/WQ	0h	追加要求 6。ビット 0 の説明を参照してください。
5	AR5	R/WQ	0h	追加要求 5。ビット 0 の説明を参照してください。
4	AR4	R/WQ	0h	追加要求 4。ビット 0 の説明を参照してください。
3	AR3	R/WQ	0h	追加要求 3。ビット 0 の説明を参照してください。
2	AR2	R/WQ	0h	追加要求 2。ビット 0 の説明を参照してください。
1	AR1	R/WQ	0h	追加要求 1。ビット 0 の説明を参照してください。
0	AR0	R/WQ	0h	追加要求 0。 各 Tx バッファには、独自の追加要求ビットがあります。'1' を書き込むと対応する追加要求ビットがセットされ、'0' を書き込んでも影響はありません。これにより、ホストは TXBAR への 1 回の書き込みで複数の Tx バッファに対する送信要求を設定できます。TXBAR ビットは、TXBC を介して設定された Tx バッファに対してのみセットされます。Tx スキャンが実行されていない場合、ビットは即座にリセットされます。それ以外の場合、Tx スキャンプロセスが完了するまでビットはセットされたままになります。 0: 送信要求の追加なし 1 送信要求の追加あり 注: 送信要求が保留中の (対応する TXBRP ビットがすでに設定されている) Tx バッファに対して行われた追加要求は無視されます。 条件付きの書き込みは、CCCR.CCE='0' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.47 MCAN_TXBCR (オフセット = 70D4h) [リセット = 00000000h]

図 26-73 に、MCAN_TXBCR を示し、表 26-66 に、その説明を示します。

概略表に戻ります。

MCAN Tx バッファ キャンセル要求

図 26-73. MCAN_TXBCR

31	30	29	28	27	26	25	24
CR31	CR30	CR29	CR28	CR27	CR26	CR25	CR24
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h
23	22	21	20	19	18	17	16
CR23	CR22	CR21	CR20	CR19	CR18	CR17	CR16
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h
15	14	13	12	11	10	9	8
CR15	CR14	CR13	CR12	CR11	CR10	CR9	CR8
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h
7	6	5	4	3	2	1	0
CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0
R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h	R/WQ-0h

表 26-66. MCAN_TXBCR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CR31	R/WQ	0h	キャンセル要求 31。ビット 0 の説明を参照してください。
30	CR30	R/WQ	0h	キャンセル要求 30。ビット 0 の説明を参照してください。
29	CR29	R/WQ	0h	キャンセル要求 29。ビット 0 の説明を参照してください。
28	CR28	R/WQ	0h	キャンセル要求 28。ビット 0 の説明を参照してください。
27	CR27	R/WQ	0h	キャンセル要求 27。ビット 0 の説明を参照してください。
26	CR26	R/WQ	0h	キャンセル要求 26。ビット 0 の説明を参照してください。
25	CR25	R/WQ	0h	キャンセル要求 25。ビット 0 の説明を参照してください。
24	CR24	R/WQ	0h	キャンセル要求 24。ビット 0 の説明を参照してください。
23	CR23	R/WQ	0h	キャンセル要求 23。ビット 0 の説明を参照してください。
22	CR22	R/WQ	0h	キャンセル要求 22。ビット 0 の説明を参照してください。
21	CR21	R/WQ	0h	キャンセル要求 21。ビット 0 の説明を参照してください。
20	CR20	R/WQ	0h	キャンセル要求 20。ビット 0 の説明を参照してください。
19	CR19	R/WQ	0h	キャンセル要求 19。ビット 0 の説明を参照してください。
18	CR18	R/WQ	0h	キャンセル要求 18。ビット 0 の説明を参照してください。
17	CR17	R/WQ	0h	キャンセル要求 17。ビット 0 の説明を参照してください。
16	CR16	R/WQ	0h	キャンセル要求 16。ビット 0 の説明を参照してください。
15	CR15	R/WQ	0h	キャンセル要求 15。ビット 0 の説明を参照してください。
14	CR14	R/WQ	0h	キャンセル要求 14。ビット 0 の説明を参照してください。
13	CR13	R/WQ	0h	キャンセル要求 13。ビット 0 の説明を参照してください。
12	CR12	R/WQ	0h	キャンセル要求 12。ビット 0 の説明を参照してください。
11	CR11	R/WQ	0h	キャンセル要求 11。ビット 0 の説明を参照してください。
10	CR10	R/WQ	0h	キャンセル要求 10。ビット 0 の説明を参照してください。
9	CR9	R/WQ	0h	キャンセル要求 9。ビット 0 の説明を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 26-66. MCAN_TXBCR のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	CR8	R/WQ	0h	キャンセル要求 8。ビット 0 の説明を参照してください。
7	CR7	R/WQ	0h	キャンセル要求 7。ビット 0 の説明を参照してください。
6	CR6	R/WQ	0h	キャンセル要求 6。ビット 0 の説明を参照してください。
5	CR5	R/WQ	0h	キャンセル要求 5。ビット 0 の説明を参照してください。
4	CR4	R/WQ	0h	キャンセル要求 4。ビット 0 の説明を参照してください。
3	CR3	R/WQ	0h	キャンセル要求 3。ビット 0 の説明を参照してください。
2	CR2	R/WQ	0h	キャンセル要求 2。ビット 0 の説明を参照してください。
1	CR1	R/WQ	0h	キャンセル要求 1。ビット 0 の説明を参照してください。
0	CR0	R/WQ	0h	キャンセル要求 0。 各 Tx バッファには、独自のキャンセル要求ビットがあります。'1' を書き込むと対応するキャンセル要求ビットがセットされ、'0' を書き込んでも影響はありません。これにより、ホストは TXBCR への 1 回の書き込みで複数の Tx バッファに対するキャンセル要求を設定できます。TXBCR ビットは、TXBC を介して設定された Tx バッファに対してのみセットされます。これらのビットは、TXBRP の対応するビットがリセットされるまで、セットされたままになります。 0 保留中のキャンセルなし 1 キャンセルの保留中 条件付きの書き込みは、CCCR.CCE='0' の場合にのみ可能。

Copyright © 2026 Texas Instruments Incorporated

26.7.48 MCAN_TXBTO (オフセット = 70D8h) [リセット = 00000000h]

図 26-74 に、MCAN_TXBTO を示し、表 26-67 に、その説明を示します。

概略表に戻ります。

MCAN Tx バッファ送信発生

図 26-74. MCAN_TXBTO

31	30	29	28	27	26	25	24
TO31	TO30	TO29	TO28	TO27	TO26	TO25	TO24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
TO23	TO22	TO21	TO20	TO19	TO18	TO17	TO16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TO15	TO14	TO13	TO12	TO11	TO10	TO9	TO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TO7	TO6	TO5	TO4	TO3	TO2	TO1	TO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 26-67. MCAN_TXBTO のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TO31	R	0h	送信発生 31。ビット 0 の説明を参照してください。
30	TO30	R	0h	送信発生 30。ビット 0 の説明を参照してください。
29	TO29	R	0h	送信発生 29。ビット 0 の説明を参照してください。
28	TO28	R	0h	送信発生 28。ビット 0 の説明を参照してください。
27	TO27	R	0h	送信発生 27。ビット 0 の説明を参照してください。
26	TO26	R	0h	送信発生 26。ビット 0 の説明を参照してください。
25	TO25	R	0h	送信発生 25。ビット 0 の説明を参照してください。
24	TO24	R	0h	送信発生 24。ビット 0 の説明を参照してください。
23	TO23	R	0h	送信発生 23。ビット 0 の説明を参照してください。
22	TO22	R	0h	送信発生 22。ビット 0 の説明を参照してください。
21	TO21	R	0h	送信発生 21。ビット 0 の説明を参照してください。
20	TO20	R	0h	送信発生 20。ビット 0 の説明を参照してください。
19	TO19	R	0h	送信発生 19。ビット 0 の説明を参照してください。
18	TO18	R	0h	送信発生 18。ビット 0 の説明を参照してください。
17	TO17	R	0h	送信発生 17。ビット 0 の説明を参照してください。
16	TO16	R	0h	送信発生 16。ビット 0 の説明を参照してください。
15	TO15	R	0h	送信発生 15。ビット 0 の説明を参照してください。
14	TO14	R	0h	送信発生 14。ビット 0 の説明を参照してください。
13	TO13	R	0h	送信発生 13。ビット 0 の説明を参照してください。
12	TO12	R	0h	送信発生 12。ビット 0 の説明を参照してください。
11	TO11	R	0h	送信発生 11。ビット 0 の説明を参照してください。
10	TO10	R	0h	送信発生 10。ビット 0 の説明を参照してください。
9	TO9	R	0h	送信発生 9。ビット 0 の説明を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 26-67. MCAN_TXBTO のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	TO8	R	0h	送信発生 8。ビット 0 の説明を参照してください。
7	TO7	R	0h	送信発生 7。ビット 0 の説明を参照してください。
6	TO6	R	0h	送信発生 6。ビット 0 の説明を参照してください。
5	TO5	R	0h	送信発生 5。ビット 0 の説明を参照してください。
4	TO4	R	0h	送信発生 4。ビット 0 の説明を参照してください。
3	TO3	R	0h	送信発生 3。ビット 0 の説明を参照してください。
2	TO2	R	0h	送信発生 2。ビット 0 の説明を参照してください。
1	TO1	R	0h	送信発生 1。ビット 0 の説明を参照してください。
0	TO0	R	0h	送信発生 0。 各 Tx バッファには、独自の送信が発生したビットがあります。対応する TXBRP ビットが正常な送信後にクリアされると、これらのビットがセットされます。レジスタ TXBAR の対応するビットに 1 を書き込んで新しい送信を要求すると、これらのビットはリセットされます。 0 : 送信発生なし 1 : 送信発生

Copyright © 2026 Texas Instruments Incorporated

26.7.49 MCAN_TXBCF (オフセット = 70DCh) [リセット = 00000000h]

図 26-75 に、MCAN_TXBCF を示し、表 26-68 に、その説明を示します。

概略表に戻ります。

MCAN Tx バッファ キャンセル完了

図 26-75. MCAN_TXBCF

31	30	29	28	27	26	25	24
CF31	CF30	CF29	CF28	CF27	CF26	CF25	CF24
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
CF23	CF22	CF21	CF20	CF19	CF18	CF17	CF16
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
CF15	CF14	CF13	CF12	CF11	CF10	CF9	CF8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
CF7	CF6	CF5	CF4	CF3	CF2	CF1	CF0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 26-68. MCAN_TXBCF のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CF31	R	0h	キャンセル完了 31。ビット 0 の説明を参照してください。
30	CF30	R	0h	キャンセル完了 30。ビット 0 の説明を参照してください。
29	CF29	R	0h	キャンセル完了 29。ビット 0 の説明を参照してください。
28	CF28	R	0h	キャンセル完了 28。ビット 0 の説明を参照してください。
27	CF27	R	0h	キャンセル完了 27。ビット 0 の説明を参照してください。
26	CF26	R	0h	キャンセル完了 26。ビット 0 の説明を参照してください。
25	CF25	R	0h	キャンセル完了 25。ビット 0 の説明を参照してください。
24	CF24	R	0h	キャンセル完了 24。ビット 0 の説明を参照してください。
23	CF23	R	0h	キャンセル完了 23。ビット 0 の説明を参照してください。
22	CF22	R	0h	キャンセル完了 22。ビット 0 の説明を参照してください。
21	CF21	R	0h	キャンセル完了 21。ビット 0 の説明を参照してください。
20	CF20	R	0h	キャンセル完了 20。ビット 0 の説明を参照してください。
19	CF19	R	0h	キャンセル完了 19。ビット 0 の説明を参照してください。
18	CF18	R	0h	キャンセル完了 18。ビット 0 の説明を参照してください。
17	CF17	R	0h	キャンセル完了 17。ビット 0 の説明を参照してください。
16	CF16	R	0h	キャンセル完了 16。ビット 0 の説明を参照してください。
15	CF15	R	0h	キャンセル完了 15。ビット 0 の説明を参照してください。
14	CF14	R	0h	キャンセル完了 14。ビット 0 の説明を参照してください。
13	CF13	R	0h	キャンセル完了 13。ビット 0 の説明を参照してください。
12	CF12	R	0h	キャンセル完了 12。ビット 0 の説明を参照してください。
11	CF11	R	0h	キャンセル完了 11。ビット 0 の説明を参照してください。
10	CF10	R	0h	キャンセル完了 10。ビット 0 の説明を参照してください。
9	CF9	R	0h	キャンセル完了 9。ビット 0 の説明を参照してください。

Copyright © 2026 Texas Instruments Incorporated

表 26-68. MCAN_TXBCF のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8	CF8	R	0h	キャンセル完了 8。ビット 0 の説明を参照してください。
7	CF7	R	0h	キャンセル完了 7。ビット 0 の説明を参照してください。
6	CF6	R	0h	キャンセル完了 6。ビット 0 の説明を参照してください。
5	CF5	R	0h	キャンセル完了 5。ビット 0 の説明を参照してください。
4	CF4	R	0h	キャンセル完了 4。ビット 0 の説明を参照してください。
3	CF3	R	0h	キャンセル完了 3。ビット 0 の説明を参照してください。
2	CF2	R	0h	キャンセル完了 2。ビット 0 の説明を参照してください。
1	CF1	R	0h	キャンセル完了 1。ビット 0 の説明を参照してください。
0	CF0	R	0h	キャンセル完了 0。 各 Tx バッファには、独自のキャンセル完了ビットがあります。TXBCR を介してキャンセル要求が行われた後、対応する TXBRP ビットがクリアされると、これらのビットがセットされます。キャンセル時点で対応する TXBRP ビットがセットされていなかった場合、CF が直ちにセットされます。レジスタ TXBAR の対応するビットに 1 を書き込んで新しい送信を要求すると、これらのビットはリセットされます。 0 送信バッファ キャンセルなし 1 送信バッファ キャンセル完了

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.7.50 MCAN_TXBTIE (オフセット = 70E0h) [リセット = 00000000h]

図 26-76 に、MCAN_TXBTIE を示し、表 26-69 に、その説明を示します。

概略表に戻ります。

MCAN Tx バッファ送信割り込み有効化

図 26-76. MCAN_TXBTIE

31	30	29	28	27	26	25	24
TIE31	TIE30	TIE29	TIE28	TIE27	TIE26	TIE25	TIE24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
TIE23	TIE22	TIE21	TIE20	TIE19	TIE18	TIE17	TIE16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
TIE15	TIE14	TIE13	TIE12	TIE11	TIE10	TIE9	TIE8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TIE7	TIE6	TIE5	TIE4	TIE3	TIE2	TIE1	TIE0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 26-69. MCAN_TXBTIE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	TIE31	R/W	0h	送信割り込み有効化 31。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
30	TIE30	R/W	0h	送信割り込み有効化 30。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
29	TIE29	R/W	0h	送信割り込み有効化 29。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
28	TIE28	R/W	0h	送信割り込み有効化 28。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
27	TIE27	R/W	0h	送信割り込み有効化 27。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
26	TIE26	R/W	0h	送信割り込み有効化 26。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
25	TIE25	R/W	0h	送信割り込み有効化 25。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化

Copyright © 2026 Texas Instruments Incorporated

表 26-69. MCAN_TXBTIE のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	TIE24	R/W	0h	送信割り込み有効化 24。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
23	TIE23	R/W	0h	送信割り込み有効化 23。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
22	TIE22	R/W	0h	送信割り込み有効化 22。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
21	TIE21	R/W	0h	送信割り込み有効化 21。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
20	TIE20	R/W	0h	送信割り込み有効化 20。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
19	TIE19	R/W	0h	送信割り込み有効化 19。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
18	TIE18	R/W	0h	送信割り込み有効化 18。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
17	TIE17	R/W	0h	送信割り込み有効化 17。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
16	TIE16	R/W	0h	送信割り込み有効化 16。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
15	TIE15	R/W	0h	送信割り込み有効化 15。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
14	TIE14	R/W	0h	送信割り込み有効化 14。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
13	TIE13	R/W	0h	送信割り込み有効化 13。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
12	TIE12	R/W	0h	送信割り込み有効化 12。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
11	TIE11	R/W	0h	送信割り込み有効化 11。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化

Copyright © 2026 Texas Instruments Incorporated

表 26-69. MCAN_TXBTIE のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	TIE10	R/W	0h	送信割り込み有効化 10。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
9	TIE9	R/W	0h	送信割り込み有効化 9。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
8	TIE8	R/W	0h	送信割り込み有効化 8。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
7	TIE7	R/W	0h	送信割り込み有効化 7。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
6	TIE6	R/W	0h	送信割り込み有効化 6。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
5	TIE5	R/W	0h	送信割り込み有効化 5。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
4	TIE4	R/W	0h	送信割り込み有効化 4。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
3	TIE3	R/W	0h	送信割り込み有効化 3。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
2	TIE2	R/W	0h	送信割り込み有効化 2。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
1	TIE1	R/W	0h	送信割り込み有効化 1。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化
0	TIE0	R/W	0h	送信割り込み有効化 0。各 Tx バッファには、独自の送信割り込み有効化ビットがあります。 0 送信割り込み無効化 1 送信割り込み有効化

Copyright © 2026 Texas Instruments Incorporated

26.7.51 MCAN_TXBCIE (オフセット = 70E4h) [リセット = 00000000h]

図 26-77 に、MCAN_TXBCIE を示し、表 26-70 に、その説明を示します。

概略表に戻ります。

MCAN Tx バッファ キャンセル完了割り込み有効化

図 26-77. MCAN_TXBCIE

31	30	29	28	27	26	25	24
CFIE31	CFIE30	CFIE29	CFIE28	CFIE27	CFIE26	CFIE25	CFIE24
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
CFIE23	CFIE22	CFIE21	CFIE20	CFIE19	CFIE18	CFIE17	CFIE16
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
CFIE15	CFIE14	CFIE13	CFIE12	CFIE11	CFIE10	CFIE9	CFIE8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
CFIE7	CFIE6	CFIE5	CFIE4	CFIE3	CFIE2	CFIE1	CFIE0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 26-70. MCAN_TXBCIE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31	CFIE31	R/W	0h	キャンセル完了割り込み有効化 31。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
30	CFIE30	R/W	0h	キャンセル完了割り込み有効化 30。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
29	CFIE29	R/W	0h	キャンセル完了割り込み有効化 29。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
28	CFIE28	R/W	0h	キャンセル完了割り込み有効化 28。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
27	CFIE27	R/W	0h	キャンセル完了割り込み有効化 27。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
26	CFIE26	R/W	0h	キャンセル完了割り込み有効化 26。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
25	CFIE25	R/W	0h	キャンセル完了割り込み有効化 25。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効

Copyright © 2026 Texas Instruments Incorporated

表 26-70. MCAN_TXBCIE のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24	CFIE24	R/W	0h	キャンセル完了割り込み有効化 24。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
23	CFIE23	R/W	0h	キャンセル完了割り込み有効化 23。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
22	CFIE22	R/W	0h	キャンセル完了割り込み有効化 22。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
21	CFIE21	R/W	0h	キャンセル完了割り込み有効化 21。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
20	CFIE20	R/W	0h	キャンセル完了割り込み有効化 20。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
19	CFIE19	R/W	0h	キャンセル完了割り込み有効化 19。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
18	CFIE18	R/W	0h	キャンセル完了割り込み有効化 18。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
17	CFIE17	R/W	0h	キャンセル完了割り込み有効化 17。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
16	CFIE16	R/W	0h	キャンセル完了割り込み有効化 16。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
15	CFIE15	R/W	0h	キャンセル完了割り込み有効化 15。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
14	CFIE14	R/W	0h	キャンセル完了割り込み有効化 14。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
13	CFIE13	R/W	0h	キャンセル完了割り込み有効化 13。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
12	CFIE12	R/W	0h	キャンセル完了割り込み有効化 12。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
11	CFIE11	R/W	0h	キャンセル完了割り込み有効化 11。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 26-70. MCAN_TXBCIE のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
10	CFIE10	R/W	0h	キャンセル完了割り込み有効化 10。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
9	CFIE9	R/W	0h	キャンセル完了割り込み有効化 9。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
8	CFIE8	R/W	0h	キャンセル完了割り込み有効化 8。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
7	CFIE7	R/W	0h	キャンセル完了割り込み有効化 7。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
6	CFIE6	R/W	0h	キャンセル完了割り込み有効化 6。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
5	CFIE5	R/W	0h	キャンセル完了割り込み有効化 5。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
4	CFIE4	R/W	0h	キャンセル完了割り込み有効化 4。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
3	CFIE3	R/W	0h	キャンセル完了割り込み有効化 3。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
2	CFIE2	R/W	0h	キャンセル完了割り込み有効化 2。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
1	CFIE1	R/W	0h	キャンセル完了割り込み有効化 1。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効
0	CFIE0	R/W	0h	キャンセル完了割り込み有効化 0。各 Tx バッファには、独自のキャンセル完了割り込み有効化ビットがあります。 0 キャンセル完了割り込みが無効 1 キャンセル完了割り込みが有効

Copyright © 2026 Texas Instruments Incorporated

26.7.52 MCAN_TXEFC (オフセット = 70F0h) [リセット = 00000000h]

図 26-78 に、MCAN_TXEFC を示し、表 26-71 で、その説明を示します。

概略表に戻ります。

MCAN Tx イベント FIFO の構成

図 26-78. MCAN_TXEFC

31	30	29	28	27	26	25	24
予約済み		EFWM					
R-0h		R/WQ-0h					
23	22	21	20	19	18	17	16
予約済み		EFS					
R-0h		R/WQ-0h					
15	14	13	12	11	10	9	8
EFSA							
R/WQ-0h							
7	6	5	4	3	2	1	0
EFSA						予約済み	
R/WQ-0h						R-0h	

表 26-71. MCAN_TXEFC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	
29-24	EFWM	R/WQ	0h	イベント FIFO ウォーターマーク 0 ウォーターマーク割り込みが無効 1 ～ 32 Tx イベント FIFO ウォーターマーク割り込みのレベル (IR.TEFW) > 32 ウォーターマーク割り込みが無効
23-22	予約済み	R	0h	
21-16	EFS	R/WQ	0h	イベント FIFO サイズ。Tx イベント FIFO 要素には、0 ～ EFS – 1 の範囲でインデックスが作成されます。 0 Tx イベント FIFO 無効化 1 ～ 32 Tx イベント FIFO 要素数 > 32 32 より大きい値は 32 と解釈されます
15-2	EFSA	R/WQ	0h	イベント FIFO 開始アドレス。メッセージ RAM 内の Tx イベント FIFO の開始アドレス (32 ビット ワード アドレス)。
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.53 MCAN_TXEFS (オフセット = 70F4h) [リセット = 00000000h]

図 26-79 に、MCAN_TXEFS を示し、表 26-72 に、その説明を示します。

概略表に戻ります。

MCAN Tx イベント FIFO のステータス

図 26-79. MCAN_TXEFS

31	30	29	28	27	26	25	24
予約済み						TEFL	EFF
R-0h						R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み			EFPI				
R-0h			R-0h				
15	14	13	12	11	10	9	8
予約済み			EFGI				
R-0h			R-0h				
7	6	5	4	3	2	1	0
予約済み		EFFL					
R-0h		R-0h					

表 26-72. MCAN_TXEFS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	TEFL	R	0h	Tx イベント FIFO 要素消失このビットは、割り込みフラグ IR.TEFL のコピーです。IR.TEFL がリセットされると、このビットもリセットされます。 0 Tx イベント FIFO 要素の消失なし 1 Tx イベント FIFO 要素消失。サイズ ゼロの Tx イベント FIFO への書き込み試行後にも設定されます。
24	EFF	R	0h	イベント FIFO フル 0 Tx イベント FIFO がフルではない 1 Tx イベント FIFO がフル
23-21	予約済み	R	0h	
20-16	EFPI	R	0h	イベント FIFO Put インデックス。Tx イベント FIFO 書き込みインデックス ポインタ (範囲は 0 ～ 31)
15-13	予約済み	R	0h	
12-8	EFGI	R	0h	イベント FIFO Get インデックス。Tx イベント FIFO 読み取りインデックス ポインタ (範囲 0 ～ 31)。
7-6	予約済み	R	0h	
5-0	EFFL	R	0h	イベント FIFO フィル レベル。Tx イベント FIFO に格納された要素数 (範囲 0 ～ 32)

Copyright © 2026 Texas Instruments Incorporated

26.7.54 MCAN_TXEFA (オフセット = 70F8h) [リセット = 00000000h]

図 26-80 に、MCAN_TXEFA を示し、表 26-73 に、その説明を示します。

概略表に戻ります。

MCAN Tx イベント FIFO アクノリッジ

図 26-80. MCAN_TXEFA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											EFAI			
R-0h																											R/W-0h			

表 26-73. MCAN_TXEFA のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4-0	EFAI	R/W	0h	イベント FIFO アクノリッジ インデックス。ストが Tx イベント FIFO から要素または一連の要素を読み出した後、Tx イベント FIFO から最後に読み出した要素のインデックスを EFAI に書き込む必要があります。これにより、Tx イベント FIFO Get インデックス TXEFS.EFGI は EFAI + 1 に設定され、イベント FIFO フィル レベル TXEFS.EFFL が更新されます

Copyright © 2026 Texas Instruments Incorporated

26.7.55 MCANSS_PID (オフセット = 7200h) [リセット = 68E04901h]

図 26-81 に、MCANSS_PID を示し、表 26-74 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム リビジョン レジスタ

図 26-81. MCANSS_PID

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SCHEME				MODULE_ID											
R-1h				R-8E0h											
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					MAJOR					MINOR					
					R-1h					R-1h					

表 26-74. MCANSS_PID のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	SCHEME	R	1h	PID レジスタ方式
27-16	MODULE_ID	R	8E0h	モジュール識別番号
10-8	MAJOR	R	1h	MCAN サブシステムのメジャー リビジョン
5-0	MINOR	R	1h	MCAN サブシステムのマイナー リビジョン

Copyright © 2026 Texas Instruments Incorporated

26.7.56 MCANSS_CTRL (オフセット = 7204h) [リセット = 00000008h]

図 26-82 に、MCANSS_CTRL を示し、表 26-75 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム制御レジスタ

図 26-82. MCANSS_CTRL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	EXT_TS_CNTR_EN	AUTOWAKEUP	WAKEUPREQEN	DBGSUSP_FREE	予約済み		
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R-0h		

表 26-75. MCANSS_CTRL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	
6	EXT_TS_CNTR_EN	R/W	0h	外部タイムスタンプ カウンタの有効化。 0 外部タイムスタンプ カウンタは無効 1 外部タイムスタンプ カウンタは有効
5	AUTOWAKEUP	R/W	0h	自動ウェークアップの有効化。MCANSS が MCAN CCCR.INIT ビットを自動的にクリアし、有効なウェークアップ要求時に MCAN を完全にウェークアップできます。 0 CCCR.INIT への自動書き込みを無効化 1 CCCR.INIT への自動書き込みを有効化
4	WAKEUPREQEN	R/W	0h	ウェークアップ要求の有効化。MCANSS が CAN RXD アクティビティでウェークアップできるようにします。 0:ウェークアップ要求を無効化 1:ウェークアップ要求を有効化
3	DBGSUSP_FREE	R/W	1h	デバッグ中断フリー ビット。デバッグの中断を有効にします。 0 デバッグの中断を優先 1 デバッグの中断を無視
2-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

26.7.57 MCANSS_STAT (オフセット = 7208h) [リセット = 0000000Xh]

図 26-83 に、MCANSS_STAT を示し、表 26-76 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム ステータス レジスタ

図 26-83. MCANSS_STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					ENABLE_FDOE	MEM_INIT_DONE	リセット
R-0h					R-X	R-0h	R-0h

表 26-76. MCANSS_STAT のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	ENABLE_FDOE	R	X	FD (可変データレート) 構成の有効化 mcanss_enable_fdoe 構成ポートの値を反映 -h = mcanss_enable_fdoe
1	MEM_INIT_DONE	R	0h	メモリ初期化の完了。 0 メッセージ RAM の初期化が進行中 1 メッセージ RAM が初期化済みで使用可能
0	リセット	R	0h	ソフト リセットのステータス。 0 まだリセットされていない 1 リセットが進行中

Copyright © 2026 Texas Instruments Incorporated

26.7.58 MCANSS_ICS (オフセット = 720Ch) [リセット = 00000000h]

図 26-84 に、MCANSS_ICS を示し、表 26-77 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム割り込みクリア シャドウ レジスタ

図 26-84. MCANSS_ICS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							EXT_TS_CNTR_OVFL
R-0h							R-0/W1C-0h

表 26-77. MCANSS_ICS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	EXT_TS_CNTR_OVFL	R-0/W1C	0h	外部タイムスタンプ カウンタ オーバーフロー割り込みステータスのクリア。 読み出しで常に 0 が返される 0 '0' を書き込んでも何も影響はない 1 '1' を書き込むと、MCANSS_IRS.EXT_TS_CNTR_OVFL ビットがクリアされる

Copyright © 2026 Texas Instruments Incorporated

26.7.59 MCANSS_IRS (オフセット = 7210h) [リセット = 00000000h]

図 26-85 に、MCANSS_IRS を示し、表 26-78 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム割り込み未加工ステータス レジスタ

図 26-85. MCANSS_IRS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							EXT_TS_CNTR_OVFL
R-0h							R/W1S-0h

表 26-78. MCANSS_IRS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	EXT_TS_CNTR_OVFL	R/W1S	0h	外部タイムスタンプ カウンタ オーバーフロー割り込みのステータス。このビットは、HW または SW による '1' の書き込みでセットされます。クリアするには、MCANSS_ICS.EXT_TS_CNTR_OVFL ビットを使用します。 0 外部タイムスタンプ カウンタはオーバーフローしていない 1 外部タイムスタンプ カウンタはオーバーフローしている このビットが HW または SW によって '1' に設定されている場合、MCANSS_EXT_TS_UNSERVICED_INTR_CNTR.EXT_TS_INTR_CNTR ビット フィールドは 1 だけインクリメントされます。

Copyright © 2026 Texas Instruments Incorporated

26.7.60 MCANSS_IECS (オフセット = 7214h) [リセット = 00000000h]

図 26-86 に、MCANSS_IECS を示し、表 26-79 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム割り込み有効化シャドウ レジスタ

図 26-86. MCANSS_IECS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							EXT_TS_CNTR_OVFL
R-0h							R-0/W1C-0h

表 26-79. MCANSS_IECS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	EXT_TS_CNTR_OVFL	R-0/W1C	0h	外部タイムスタンプ カウンタ オーバーフロー割り込み有効化のクリア。読み出しで常に 0 が返される 0 '0' を書き込んでも何も影響はない 1 '1' を書き込むと、MCANSS_IES.EXT_TS_CNTR_OVFL ビットがクリアされる

Copyright © 2026 Texas Instruments Incorporated

26.7.61 MCANSS_IE (オフセット = 7218h) [リセット = 00000000h]

図 26-87 に、MCANSS_IE を示し、表 26-80 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム割り込み有効化レジスタ

図 26-87. MCANSS_IE

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							EXT_TS_CNTR_OVFL
R-0h							R/W1S-0h

表 26-80. MCANSS_IE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	EXT_TS_CNTR_OVFL	R/W1S	0h	外部タイムスタンプ カウンタ オーバーフロー割り込みの有効化。'0' を書き込んでも何も影響ありません。'1' を書き込むと、MCANSS_IES.EXT_TS_CNTR_OVFL ビットがセットされます。

Copyright © 2026 Texas Instruments Incorporated

26.7.62 MCANSS_IES (オフセット = 721Ch) [リセット = 00000000h]

図 26-88 に、MCANSS_IES を示し、表 26-81 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム割り込み有効化のステータス

図 26-88. MCANSS_IES

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							EXT_TS_CNTR_OVFL
R-0h							R-0h

表 26-81. MCANSS_IES のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	EXT_TS_CNTR_OVFL	R	0h	外部タイムスタンプ カウンタ オーバーフロー割り込み有効化のステータス。セットするには、CANSS_IE.EXT_TS_CNTR_OVFL ビットを使用します。クリアするには、MCANSS_IECS.EXT_TS_CNTR_OVFL ビットを使用します。 0 外部タイムスタンプ カウンタ オーバーフロー割り込みは有効でない 1 外部タイムスタンプ カウンタ オーバーフロー割り込みは有効

Copyright © 2026 Texas Instruments Incorporated

26.7.63 MCANSS_EOI (オフセット = 7220h) [リセット = 00000000h]

図 26-89 に、MCANSS_EOI を示し、表 26-82 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム割り込み終了

図 26-89. MCANSS_EOI

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								EOI							
R-0h																								R-0/W1S-0h							

表 26-82. MCANSS_EOI のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	EOI	R-0/W1S	0h	割り込みの終了。このレジスタに書き込むと、関連する割り込みがクリアされます。未処理の割り込みカウンタが 1 を超えると、別の割り込みが生成されます。 0x00 外部 TS 割り込みをクリア 0x01 MCAN(0) 割り込みをクリア 0x02 MCAN(1) 割り込みをクリア その他の書き込みは無視されます。

Copyright © 2026 Texas Instruments Incorporated

26.7.64 MCANSS_EXT_TS_PRESCALER (オフセット = 7224h) [リセット = 00000000h]

図 26-90 に、MCANSS_EXT_TS_PRESCALER を示し、表 26-83 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム外部タイムスタンプ プリスケーラ 0

図 26-90. MCANSS_EXT_TS_PRESCALER

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								プリスケーラ																							
R-0h								R/W-0h																							

表 26-83. MCANSS_EXT_TS_PRESCALER のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23-0	プリスケーラ	R/W	0h	外部タイムスタンプ プリスケーラ リロード値。外部タイムスタンプ カウント レートは、ホスト (システム) のクロック レートをこの値で割った値です (0 の場合を除く)。このビット フィールドのゼロ値は、0x000001 と同じように機能します。

Copyright © 2026 Texas Instruments Incorporated

26.7.65 MCANSS_EXT_TS_UNSERVICED_INTR_CNTR (オフセット = 7228h) [リセット = 00000000h]

図 26-91 に、MCANSS_EXT_TS_UNSERVICED_INTR_CNTR を示し、表 26-84 に、その説明を示します。

概略表に戻ります。

MCAN サブシステム外部タイムスタンプ未処理割り込みカウンタ

図 26-91. MCANSS_EXT_TS_UNSERVICED_INTR_CNTR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				EXT_TS_INTR_CNTR			
R-0h				R-0h			

表 26-84. MCANSS_EXT_TS_UNSERVICED_INTR_CNTR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4-0	EXT_TS_INTR_CNTR	R	0h	外部タイムスタンプ カウンタ未処理ロールオーバ割り込み。この値が 1 より大きい場合、MCANSS_EOI のビット 0 に '1' が書き込まれると、別の割り込みが発行されます。 このビット フィールドのステータスは、MCANSS_IRS.EXT_TS_CNTR_OVFL ビット フィールドの影響を受けます。

Copyright © 2026 Texas Instruments Incorporated

26.7.66 MCANERR_REV (オフセット = 7400h) [リセット = 66A0EA00h]

図 26-92 に、MCANERR_REV を示し、表 26-85 に、その説明を示します。

概略表に戻ります。

MCAN エラー アグリゲータ リビジョン レジスタ

図 26-92. MCANERR_REV

31	30	29	28	27	26	25	24
SCHEME				MODULE_ID			
R-1h				R-6A0h			
23	22	21	20	19	18	17	16
MODULE_ID							
R-6A0h							
15	14	13	12	11	10	9	8
					REVMAJ		
					R-2h		
7	6	5	4	3	2	1	0
		REVMIN					
		R-0h					

表 26-85. MCANERR_REV のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	SCHEME	R	1h	PID レジスタ方式
27-16	MODULE_ID	R	6A0h	モジュール識別番号
10-8	REVMAJ	R	2h	エラー アグリゲータのメジャー リビジョン
5-0	REVMIN	R	0h	エラー アグリゲータのマイナー リビジョン

Copyright © 2026 Texas Instruments Incorporated

26.7.67 MCANERR_VECTOR (オフセット = 7408h) [リセット = 00000000h]

図 26-93 に、MCANERR_VECTOR を示し、表 26-86 に、その説明を示します。

概略表に戻ります。

各エラー検出および訂正 (EDC) コントローラには、エラー レジスタのバンク (オフセット 0x10 ～ 0x3B) が関連付けられています。これらのレジスタには、内部シリアル バス (SVBUS) からアクセスできます。これらに ECC アグリゲータ経由でアクセスするには、RD_SVBUS トリガと RD_SVBUS_ADDRESS ビット フィールドとともに、必要なコントローラ ID を ECC_VECTOR フィールドに書き込む必要があります。これにより、シリアル読み取りが開始されます。この処理が完了すると、RD_SVBUS_DONE ビットがセットされます。この時点で、アドレスが指定されたレジスタは、適切なオフセット アドレスに対する通常の CPU 読み取りで読み出すことができます。

図 26-93. MCANERR_VECTOR

31	30	29	28	27	26	25	24
予約済み							RD_SVBUS_DONE
R-0h							R-0h
23	22	21	20	19	18	17	16
RD_SVBUS_ADDRESS							
R/W-0h							
15	14	13	12	11	10	9	8
RD_SVBUS	予約済み				ECC_VECTOR		
R-0/W1S-0h	R-0h				R/W-0h		
7	6	5	4	3	2	1	0
ECC_VECTOR							
R/W-0h							

表 26-86. MCANERR_VECTOR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	RD_SVBUS_DONE	R	0h	読み取り完了フラグ
23-16	RD_SVBUS_ADDRESS	R/W	0h	読み取りアドレス オフセット
15	RD_SVBUS	R-0/W1S	0h	読み取りトリガ
14-11	予約済み	R	0h	
10-0	ECC_VECTOR	R/W	0h	ECC RAM ID。各エラー検出および訂正 (EDC) コントローラには、エラー レジスタのバンク (オフセット 0x10 ～ 0x3B) が関連付けられています。これらのレジスタには、内部シリアル バス (SVBUS) からアクセスできます。これらに ECC アグリゲータ経由でアクセスするには、RD_SVBUS トリガと RD_SVBUS_ADDRESS ビット フィールドとともに、必要なコントローラ ID を ECC_VECTOR フィールドに書き込む必要があります。これにより、シリアル読み取りが開始されます。この処理が完了すると、RD_SVBUS_DONE ビットがセットされます。この時点で、アドレスが指定されたレジスタは、適切なオフセット アドレスに対する通常の CPU 読み取りで読み出すことができます。 0x000 メッセージ RAM ECC コントローラを選択 その他は予約済み (使用しない) SVBUS (オフセット 0x10 ～ 0x3B) を介した後続の書き込みは、遅延して完了します。競合を避けるため、書き込み後に、この範囲内のレジスタを読み戻します。

Copyright © 2026 Texas Instruments Incorporated

26.7.68 MCANERR_STAT (オフセット = 740Ch) [リセット = 00000002h]

図 26-94 に、MCANERR_STAT を示し、表 26-87 に、その説明を示します。

概略表に戻ります。

MCAN その他のエラー ステータス

図 26-94. MCANERR_STAT

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																					NUM_RAMS										
R-0h																					R-2h										

表 26-87. MCANERR_STAT のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-11	予約済み	R	0h	
10-0	NUM_RAMS	R	2h	RAM の数。アグリゲータによって処理される ECC RAM の数。

Copyright © 2026 Texas Instruments Incorporated

26.7.69 MCANERR_WRAP_REV (オフセット = 7410h) [リセット = 66A46A02h]

図 26-95 に、MCANERR_WRAP_REV を示し、表 26-88 に、その説明を示します。

概略表に戻ります。

このレジスタは、内部シリアル バスを介して ECC アグリゲータ経由でアクセスされます。アクセスするには、最初に MCAN ECC ベクタ レジスタで適切な手順を実行する必要があります。

図 26-95. MCANERR_WRAP_REV

31	30	29	28	27	26	25	24
SCHEME				MODULE_ID			
R-1h				R-6A4h			
23	22	21	20	19	18	17	16
MODULE_ID							
R-6A4h							
15	14	13	12	11	10	9	8
					REVMAJ		
					R-2h		
7	6	5	4	3	2	1	0
		REVMIN					
		R-2h					

表 26-88. MCANERR_WRAP_REV のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	SCHEME	R	1h	PID レジスタ方式
27-16	MODULE_ID	R	6A4h	モジュール識別番号
10-8	REVMAJ	R	2h	エラー アグリゲータのメジャー リビジョン
5-0	REVMIN	R	2h	エラー アグリゲータのマイナー リビジョン

Copyright © 2026 Texas Instruments Incorporated

26.7.70 MCANERR_CTRL (オフセット = 7414h) [リセット = 00000187h]

図 26-96 に、MCANERR_CTRL を示し、表 26-89 に、その説明を示します。

概略表に戻ります。

このレジスタは、内部シリアル バスを介して ECC アグリゲータ経由でアクセスされます。アクセスするには、最初に MCAN ECC ベクタ レジスタで適切な手順を実行する必要があります。

図 26-96. MCANERR_CTRL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							CHECK_SVBUS_TIMEOUT
R-0h							R/W-1h
7	6	5	4	3	2	1	0
予約済み	ERROR_ONCE	FORCE_N_ROW	FORCE_DED	FORCE_SEC	ENABLE_RMW	ECC_CHECK	ECC_ENABLE
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R/W-1h	R/W-1h

表 26-89. MCANERR_CTRL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	
8	CHECK_SVBUS_TIMEOUT	R/W	1h	シリアル VBUS タイムアウト メカニズムの有効化
7	予約済み	R	0h	
6	ERROR_ONCE	R/W	0h	このビットがセットされている場合、FORCE_SEC/FORCE_DED は、指定された行に 1 回だけエラーを注入します。書き込みが発生すると、FORCE_SEC ビットがクリアされます。書き戻しが有効でない場合、このエラーは、データが訂正された読み取りの後のサイクルでクリアされます。ダブルビット エラーの場合、ダブルビット エラー後のサイクルで FORCE_DED ビットがクリアされます。それ以降の読み取りでは、エラーは強制されません。
5	FORCE_N_ROW	R/W	0h	MCANERR_ERR_CTRL1.ECC_ROW の設定に関係なく、次の RAM 読み取りでシングル ビット / ダブル ビット エラーを有効にします。ライトスルー モードでは、これは書き込みにも読み取りにも適用されます。
4	FORCE_DED	R/W	0h	ダブルビット エラーを強制的に生成します。ERROR_ONCE がアサートされている場合、エラー発生後のサイクルでクリア。ライトスルー モードでは、これは書き込みにも読み取りにも適用されます。このビットをセットする前に、MCANERR_ERR_CTRL1 および MCANERR_ERR_CTRL2 を設定する必要があります。
3	FORCE_SEC	R/W	0h	シングルビット エラーを強制的に生成します。書き戻し時にクリア。ERROR_ONCE がアサートされている場合は、エラー発生後のサイクルでクリア。ライトスルー モードでは、これは書き込みにも読み取りにも適用されます。このビットをセットする前に、MCANERR_ERR_CTRL1 および MCANERR_ERR_CTRL2 を設定する必要があります。
2	ENABLE_RMW	R/W	1h	部分ワード書き込み時の読み取り / 変更 / 書き込みの有効化
1	ECC_CHECK	R/W	1h	ECC チェックの有効化。ECC_ENABLE と ECC_CHECK の両方が '0' の場合、ECC は完全にバイパスされます。

Copyright © 2026 Texas Instruments Incorporated

表 26-89. MCANERR_CTRL のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	ECC_ENABLE	R/W	1h	ECC 生成の有効化

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

26.7.71 MCANERR_ERR_CTRL1 (オフセット = 7418h) [リセット = 00000000h]

図 26-97 に、MCANERR_ERR_CTRL1 を示し、表 26-90 に、その説明を示します。

概略表に戻ります。

このレジスタは、内部シリアル バスを介して ECC アグリゲータ経由でアクセスされます。アクセスするには、最初に MCAN ECC ベクタ レジスタで適切な手順を実行する必要があります。

図 26-97. MCANERR_ERR_CTRL1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECC_ROW																															
R/W-0h																															

表 26-90. MCANERR_ERR_CTRL1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	ECC_ROW	R/W	0h	FORCE_SEC または FORCE_DED を適用する必要がある行アドレス。 FORCE_N_ROW がセットされている場合、このビットは無視されます。

Copyright © 2026 Texas Instruments Incorporated

26.7.72 MCANERR_ERR_CTRL2 (オフセット = 741Ch) [リセット = 00000000h]

図 26-98 に、MCANERR_ERR_CTRL2 を示し、表 26-91 に、その説明を示します。

概略表に戻ります。

このレジスタは、内部シリアル バスを介して ECC アグリゲータ経由でアクセスされます。アクセスするには、最初に MCAN ECC ベクタ レジスタで適切な手順を実行する必要があります。

図 26-98. MCANERR_ERR_CTRL2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECC_BIT2																ECC_BIT1															
R/W-0h																R/W-0h															

表 26-91. MCANERR_ERR_CTRL2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	ECC_BIT2	R/W	0h	FORCE_DED がセットされているときに反転する必要がある 2 番目の列 / データ ビット
15-0	ECC_BIT1	R/W	0h	FORCE_SEC または FORCE_DED がセットされているときに反転する必要がある列 / データ ビット

Copyright © 2026 Texas Instruments Incorporated

26.7.73 MCANERR_ERR_STAT1 (オフセット = 7420h) [リセット = 00000000h]

図 26-99 に、MCANERR_ERR_STAT1 を示し、表 26-92 に、その説明を示します。

概略表に戻ります。

このレジスタは、内部シリアル バスを介して ECC アグリゲータ経由でアクセスされます。アクセスするには、最初に MCAN ECC ベクタ レジスタで適切な手順を実行する必要があります。

図 26-99. MCANERR_ERR_STAT1

31	30	29	28	27	26	25	24
ECC_BIT1							
R-0h							
23	22	21	20	19	18	17	16
ECC_BIT1							
R-0h							
15	14	13	12	11	10	9	8
CLR_CTRL_REG_ERROR	予約済み		CLR_ECC_OTHER	CLR_ECC_DED		CLR_ECC_SEC	
R/W1S-0h	R-0h		R/W1C-0h	R/WD-0h		R/WD-0h	
7	6	5	4	3	2	1	0
CTRL_REG_ERROR	予約済み		ECC_OTHER	ECC_DED		ECC_SEC	
R/W1S-0h	R-0h		R/W1S-0h	R/WI-0h		R/WI-0h	

表 26-92. MCANERR_ERR_STAT1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	ECC_BIT1	R	0h	ECC エラー ビット位置。SEC エラー時に、エラーが発生している RAM データのビット位置を示します。SEC エラーの場合にのみ有効。 0 ビット 0 がエラー 1 ビット 1 がエラー 2 ビット 2 がエラー 3 ビット 3 がエラー … 31 ビット 31 がエラー > 32 無効
15	CLR_CTRL_REG_ERROR	R/W1S	0h	'1' を書き込むと、CTRL_REG_ERROR ビットがクリアされます。
14-13	予約済み	R	0h	
12	CLR_ECC_OTHER	R/W1C	0h	'1' を書き込むと、ECC_OTHER ビットがクリアされます。
11-10	CLR_ECC_DED	R/WD	0h	ECC_DED のクリア。このビット フィールドにゼロ以外の値を書き込むと、指定された値だけ ECC_DED ビット フィールドがデクリメントされます。
9-8	CLR_ECC_SEC	R/WD	0h	ECC_SEC のクリア。このビット フィールドにゼロ以外の値を書き込むと、指定された値だけ ECC_SEC ビット フィールドがデクリメントされます。
7	CTRL_REG_ERROR	R/W1S	0h	制御レジスタ エラー。CONTROL レジスタのビット フィールドが不定な状態になっています。これは、冗長レジスタがすべて同じ値ではなく、デフォルトのリセット状態になっていることを意味します。ソフトウェアで、これらのレジスタを既知の状態に書き直す必要があります。1 を書き込むと、この割り込みフラグがセットされます。
6-5	予約済み	R	0h	
4	ECC_OTHER	R/W1S	0h	書き戻し時の SEC エラーのステータス 0 書き戻し保留中に SEC エラーなし 1 書き戻し保留中に、シングルビット エラーが連続して発生

Copyright © 2026 Texas Instruments Incorporated

表 26-92. MCANERR_ERR_STAT1 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-2	ECC_DED	R/WI	0h	ダブルビット エラー検出ステータス。最後のクリア以降に発生した DED エラーの数を示す 2 ビット飽和カウンタ。 0 ダブルビット エラー検出なし 1 ダブルビット エラーを 1 件検出 2 ダブルビット エラーを 2 件検出 3 ダブルビット エラーを 3 件検出 このビット フィールドにゼロ以外の値を書き込むと、その値だけインクリメントされます。
1-0	ECC_SEC	R/WI	0h	シングルビット エラー訂正ステータス最後のクリア以降に発生した SEC エラーの数を示す 2 ビット飽和カウンタ。 0 シングルビット エラー検出なし 1 シングルビット エラーを 1 件検出して訂正 2 シングルビット エラーを 2 件検出して訂正 3 シングルビット エラーを 3 件検出して訂正 このビット フィールドにゼロ以外の値を書き込むと、その値だけインクリメントされます。

Copyright © 2026 Texas Instruments Incorporated

26.7.74 MCANERR_ERR_STAT2 (オフセット = 7424h) [リセット = 00000000h]

図 26-100 に、MCANERR_ERR_STAT2 を示し、表 26-93 に、その説明を示します。

概略表に戻ります。

このレジスタは、内部シリアル バスを介して ECC アグリゲータ経由でアクセスされます。アクセスするには、最初に MCAN ECC ベクタ レジスタで適切な手順を実行する必要があります。

図 26-100. MCANERR_ERR_STAT2

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ECC_ROW																															
R-0h																															

表 26-93. MCANERR_ERR_STAT2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	ECC_ROW	R	0h	シングルビット エラーまたはダブルビット エラーが発生した行アドレスを示します。この値はアドレス オフセット/4 です。

Copyright © 2026 Texas Instruments Incorporated

26.7.75 MCANERR_ERR_STAT3 (オフセット = 7428h) [リセット = 00000000h]

図 26-101 に、MCANERR_ERR_STAT3 を示し、表 26-94 に、その説明を示します。

概略表に戻ります。

このレジスタは、内部シリアル バスを介して ECC アグリゲータ経由でアクセスされます。アクセスするには、最初に MCAN ECC ベクタ レジスタで適切な手順を実行する必要があります。

図 26-101. MCANERR_ERR_STAT3

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み						CLR_SVBUS_TIMEOUT	予約済み
R-0h						R-0/W1C-0h	R-0h
7	6	5	4	3	2	1	0
予約済み						SVBUS_TIMEOUT	WB_PEND
R-0h						R-0/W1S-0h	R-0h

表 26-94. MCANERR_ERR_STAT3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9	CLR_SVBUS_TIMEOUT	R-0/W1C	0h	1 を書き込むと、シリアル VBUS タイムアウト フラグがクリアされます
8-2	予約済み	R	0h	
1	SVBUS_TIMEOUT	R-0/W1S	0h	シリアル VBUS タイムアウト フラグ。1 を書き込むことでセット。
0	WB_PEND	R	0h	遅延書き戻し保留ステータス 0 書き戻し保留中 1 ECC データ訂正の書き戻し保留中

Copyright © 2026 Texas Instruments Incorporated

26.7.76 MCANERR_SEC_EOI (オフセット = 743Ch) [リセット = 00000000h]

図 26-102 に、MCANERR_SEC_EOI を示し、表 26-95 に、その説明を示します。

概略表に戻ります。

MCAN シングル エラー訂正割り込み終了レジスタ

図 26-102. MCANERR_SEC_EOI

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							EOI_WR
R-0h							R-0/W1S-0h

表 26-95. MCANERR_SEC_EOI のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	EOI_WR	R-0/W1S	0h	このレジスタへの書き込みは、ソフトウェアが保留中の割り込みをアクノリッジし、次の割り込みをホストに送信できることを示します。 MCANERR_ERR_STAT1.CLR_ECC_SEC への書き込みは、SVBUS を経由し、遅延して完了していることに注意してください。追加の割り込みを回避するため、このビット フィールドに書き込む前に MCANERR_ERR_STAT1 レジスタを読み戻します。

Copyright © 2026 Texas Instruments Incorporated

26.7.77 MCANERR_SEC_STATUS (オフセット = 7440h) [リセット = 00000000h]

図 26-103 に、MCANERR_SEC_STATUS を示し、表 26-96 に、その説明を示します。

概略表に戻ります。

MCAN シングル エラー訂正割り込みステータス レジスタ

図 26-103. MCANERR_SEC_STATUS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							MSGMEM_PEND
R-0h							R-0-0h

表 26-96. MCANERR_SEC_STATUS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	MSGMEM_PEND	R-0	0h	メッセージ RAM SEC 割り込みの保留 0 保留中の SEC 割り込みなし 1 SEC 割り込みが保留中

Copyright © 2026 Texas Instruments Incorporated

26.7.78 MCANERR_SEC_ENABLE_SET (オフセット = 7480h) [リセット = 00000000h]

図 26-104 に、MCANERR_SEC_ENABLE_SET を示し、表 26-97 に、その説明を示します。

概略表に戻ります。

MCAN シングル エラー訂正割り込み有効化セット レジスタ

図 26-104. MCANERR_SEC_ENABLE_SET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							MSGMEM_ENABLE_SET
R-0h							R/W1S-0h

表 26-97. MCANERR_SEC_ENABLE_SET のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	MSGMEM_ENABLE_SET	R/W1S	0h	メッセージ RAM SEC 割り込み有効化のセット。このビットに 1 を書き込むと、メッセージ RAM SEC エラー割り込みが有効になります。0 を書き込んでも何もしません。読み出しは、対応する有効化ビットの現在の値を返します。

Copyright © 2026 Texas Instruments Incorporated

26.7.79 MCANERR_SEC_ENABLE_CLR (オフセット = 74C0h) [リセット = 00000000h]

図 26-105 に、MCANERR_SEC_ENABLE_CLR を示し、表 26-98 に、その説明を示します。

概略表に戻ります。

MCAN シングル エラー訂正割り込み有効化クリア レジスタ

図 26-105. MCANERR_SEC_ENABLE_CLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							MSGMEM_ENABLE_CLR
R-0h							R/W1C-0h

表 26-98. MCANERR_SEC_ENABLE_CLR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	MSGMEM_ENABLE_CLR	R/W1C	0h	メッセージ RAM SEC 割り込み保留有効化のクリア。このビットに 1 を書き込むと、メッセージ RAM SEC エラー割り込みが無効になります。0 を書き込んでも何もしません。読み出しは、対応する有効化ビットの現在の値を返します。

Copyright © 2026 Texas Instruments Incorporated

26.7.80 MCANERR_DED_EOI (オフセット = 753Ch) [リセット = 00000000h]

図 26-106 に、MCANERR_DED_EOI を示し、表 26-99 に、その説明を示します。

概略表に戻ります。

MCAN ダブル エラー検出割り込み終了レジスタ

図 26-106. MCANERR_DED_EOI

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							EOI_WR
R-0h							R-0/W1S-0h

表 26-99. MCANERR_DED_EOI のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	EOI_WR	R-0/W1S	0h	このレジスタへの書き込みは、ソフトウェアが保留中の割り込みをアクノリッジし、次の割り込みをホストに送信できることを示します。 MCANERR_ERR_STAT1.CLR_ECC_DED への書き込みは、SVBUS を経由し、遅延して完了していることに注意してください。追加の割り込みを回避するため、このビット フィールドに書き込む前に MCANERR_ERR_STAT1 レジスタを読み戻します。

Copyright © 2026 Texas Instruments Incorporated

26.7.81 MCANERR_DED_STATUS (オフセット = 7540h) [リセット = 00000000h]

図 26-107 に、MCANERR_DED_STATUS を示し、表 26-100 に、その説明を示します。

概略表に戻ります。

MCAN ダブル エラー検出割り込みステータス レジスタ

図 26-107. MCANERR_DED_STATUS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							MSGMEM_PEND
R-0h							R-0-0h

表 26-100. MCANERR_DED_STATUS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	MSGMEM_PEND	R-0	0h	メッセージ RAM DED 割り込みの保留 0 保留中の DED 割り込みなし 1 DED 割り込みが保留中

Copyright © 2026 Texas Instruments Incorporated

26.7.82 MCANERR_DED_ENABLE_SET (オフセット = 7580h) [リセット = 00000000h]

図 26-108 に、MCANERR_DED_ENABLE_SET を示し、表 26-101 に、その説明を示します。

概略表に戻ります。

MCAN ダブル エラー検出割り込み有効化セット レジスタ

図 26-108. MCANERR_DED_ENABLE_SET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							MSGMEM_ENABLE_SET
R-0h							R/W1S-0h

表 26-101. MCANERR_DED_ENABLE_SET のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	MSGMEM_ENABLE_SET	R/W1S	0h	メッセージ RAM DED 割り込み有効化のセット。このビットに 1 を書き込むと、メッセージ RAM DED エラー割り込みが有効になります。0 を書き込んでも何もしません。読み出しは、対応する有効化ビットの現在の値を返します。

Copyright © 2026 Texas Instruments Incorporated

26.7.83 MCANERR_DED_ENABLE_CLR (オフセット = 75C0h) [リセット = 00000000h]

図 26-109 に、MCANERR_DED_ENABLE_CLR を示し、表 26-102 に、その説明を示します。

概略表に戻ります。

MCAN ダブル エラー検出割り込み有効化クリア レジスタ

図 26-109. MCANERR_DED_ENABLE_CLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							MSGMEM_ENABLE_CLR
R-0h							R/W1C-0h

表 26-102. MCANERR_DED_ENABLE_CLR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	MSGMEM_ENABLE_CLR	R/W1C	0h	メッセージ RAM DED 割り込み保留有効化のクリア。このビットに 1 を書き込むと、メッセージ RAM DED エラー割り込みが無効になります。0 を書き込んでも何もしません。読み出しは、対応する有効化ビットの現在の値を返します。

Copyright © 2026 Texas Instruments Incorporated

26.7.84 MCANERR_AGGR_ENABLE_SET (オフセット = 7600h) [リセット = 00000000h]

図 26-110 に、MCANERR_AGGR_ENABLE_SET を示し、表 26-103 に、その説明を示します。

概略表に戻ります。

MCAN エラー アグリゲータ有効化セット レジスタ

図 26-110. MCANERR_AGGR_ENABLE_SET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						ENABLE_TIMEOUT_SET	ENABLE_PARITY_SET
R-0h						R/W1S-0h	R/W1S-0h

表 26-103. MCANERR_AGGR_ENABLE_SET のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	ENABLE_TIMEOUT_SET	R/W1S	0h	1 を書き込むと、タイムアウト エラーが有効になります。読み出しは、対応する有効化ビットの現在の値を返します。
0	ENABLE_PARITY_SET	R/W1S	0h	1 を書き込むと、パリティ エラーが有効になります。読み出しは、対応する有効化ビットの現在の値を返します。

Copyright © 2026 Texas Instruments Incorporated

26.7.85 MCANERR_AGGR_ENABLE_CLR (オフセット = 7604h) [リセット = 00000000h]

図 26-111 に、MCANERR_AGGR_ENABLE_CLR を示し、表 26-104 に、その説明を示します。

概略表に戻ります。

MCAN エラー アグリゲータ有効化クリア レジスタ

図 26-111. MCANERR_AGGR_ENABLE_CLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						ENABLE_TIMEOUT_CLR	ENABLE_PARITY_CLR
R-0h						R/W1C-0h	R/W1C-0h

表 26-104. MCANERR_AGGR_ENABLE_CLR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	ENABLE_TIMEOUT_CLR	R/W1C	0h	1 を書き込むと、タイムアウト エラーが無効になります。読み出しは、対応する有効化ビットの現在の値を返します。
0	ENABLE_PARITY_CLR	R/W1C	0h	1 を書き込むと、パリティ エラーが無効になります。読み出しは、対応する有効化ビットの現在の値を返します。

Copyright © 2026 Texas Instruments Incorporated

26.7.86 MCANERR_AGGR_STATUS_SET (オフセット = 7608h) [リセット = 00000000h]

図 26-112 に、MCANERR_AGGR_STATUS_SET を示し、表 26-105 に、その説明を示します。

概略表に戻ります。

MCAN エラー アグリゲータ ステータス セット レジスタ

図 26-112. MCANERR_AGGR_STATUS_SET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				SVBUS_TIMEOUT		AGGR_PARITY_ERR	
R-0h				R/WI-0h		R/WI-0h	

表 26-105. MCANERR_AGGR_STATUS_SET のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-2	SVBUS_TIMEOUT	R/WI	0h	アグリゲータ シリアル VBUS タイムアウト エラーのステータス 前回のクリア後に発生した SVBUS タイムアウト エラーの数を示す 2 ビット飽和カウンタ。 0 タイムアウト エラーなし 1 タイムアウト エラー 1 件発生 2 タイムアウト エラー 2 件発生 3 タイムアウト エラー 3 件発生 このビット フィールドにゼロ以外の値を書き込むと、その値だけインクリメントされます。
1-0	AGGR_PARITY_ERR	R/WI	0h	アグリゲータ パリティ エラーのステータス 前回のクリア後に発生したパリティ エラーの数を示す 2 ビット飽和カウンタ。 0 パリティ エラーなし 1 パリティ エラー 1 件発生 2 パリティ エラー 2 件発生 3 パリティ エラー 3 件発生 このビット フィールドにゼロ以外の値を書き込むと、その値だけインクリメントされます。

Copyright © 2026 Texas Instruments Incorporated

26.7.87 MCANERR_AGGR_STATUS_CLR (オフセット = 760Ch) [リセット = 00000000h]

図 26-113 に、MCANERR_AGGR_STATUS_CLR を示し、表 26-106 に、その説明を示します。

概略表に戻ります。

MCAN エラー アグリゲータ ステータス クリア レジスタ

図 26-113. MCANERR_AGGR_STATUS_CLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				SVBUS_TIMEOUT		AGGR_PARITY_ERR	
R-0h				R/WD-0h		R/WD-0h	

表 26-106. MCANERR_AGGR_STATUS_CLR のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-2	SVBUS_TIMEOUT	R/WD	0h	アグリゲータ シリアル VBUS タイムアウト エラーのステータス 前回のクリア後に発生した SVBUS タイムアウト エラーの数を示す 2 ビット飽和カウンタ。 0 タイムアウト エラーなし 1 タイムアウト エラー 1 件発生 2 タイムアウト エラー 2 件発生 3 タイムアウト エラー 3 件発生 このビット フィールドにゼロ以外の値を書き込むと、その値だけデクリメントされます。
1-0	AGGR_PARITY_ERR	R/WD	0h	アグリゲータ パリティ エラーのステータス 前回のクリア後に発生したパリティ エラーの数を示す 2 ビット飽和カウンタ。 0 パリティ エラーなし 1 パリティ エラー 1 件発生 2 パリティ エラー 2 件発生 3 パリティ エラー 3 件発生 このビット フィールドにゼロ以外の値を書き込むと、その値だけデクリメントされます。

Copyright © 2026 Texas Instruments Incorporated

26.7.88 IIDX (オフセット = 7820h) [リセット = 00000000h]

図 26-114 に、IIDX を示し、表 26-107 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、RIS と MIS の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 26-114. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 26-107. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 保留中の割り込みなし。 1h = MCAN 割り込みライン 0 割り込みは保留中。 2h = MCAN 割り込みライン 1 割り込みは保留中。 3h = メッセージ RAM SEC (シングルエラー訂正) 割り込み保留中。 4h = メッセージ RAM DED (ダブルエラー検出) 割り込み保留中。 5h = 外部タイムスタンプ カウンタ オーバーフロー割り込み保留中。 6h = クロック停止ウェークアップ割り込み保留中。

Copyright © 2026 Texas Instruments Incorporated

26.7.89 IMASK (オフセット = 7828h) [リセット = 00000000h]

図 26-115 に、IMASK を示し、表 26-108 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 26-115. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		ウェークアップ	EXT_TS_CNTR_OVFL	DED	SEC	INTL1	INTL0
R-0h		-0	-0	-0	-0	-0	-0

表 26-108. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	ウェークアップ	R/W	0h	クロック停止ウェークアップ割り込みマスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
4	EXT_TS_CNTR_OVFL	R/W	0h	外部タイムスタンプ カウンタ オーバーフロー割り込みマスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
3	DED	R/W	0h	メッセージ RAM DED 割り込みマスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	SEC	R/W	0h	メッセージ RAM SEC 割り込みマスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	INTL1	R/W	0h	MCAN 割り込みライン 1 マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	INTL0	R/W	0h	MCAN 割り込みライン 0 マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

26.7.90 RIS (オフセット = 7830h) [リセット = 00000000h]

図 26-116 に、RIS を示し、表 26-109 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 26-116. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		ウェークアップ	EXT_TS_CNTR_OVFL	DED	SEC	INTL1	INTL0
R-0h		-0	-0	-0	-0	-0	-0

表 26-109. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	ウェークアップ	R	0h	クロック停止ウェークアップ割り込み。 0h = 割り込みは発生していない 1h = 割り込みが発生
4	EXT_TS_CNTR_OVFL	R	0h	外部タイムスタンプ カウンタ オーバーフロー割り込み。 0h = 割り込みは発生していない 1h = 割り込みが発生
3	DED	R	0h	メッセージ RAM DED 割り込み。 0h = 割り込みは発生していない 1h = 割り込みが発生
2	SEC	R	0h	メッセージ RAM SEC 割り込み。 0h = 割り込みは発生していない 1h = 割り込みが発生
1	INTL1	R	0h	MCAN 割り込みライン 1 の有効化 0h = 割り込みは発生していない 1h = 割り込みが発生
0	INTL0	R	0h	MCAN 割り込みライン 0 の有効化 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

26.7.91 MIS (オフセット = 7838h) [リセット = 00000000h]

図 26-117 に、MIS を示し、表 26-110 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 26-117. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		ウェークアップ	EXT_TS_CNTR_OVFL	DED	SEC	INTL1	INTL0
R-0h		-0	-0	-0	-0	-0	-0

表 26-110. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	ウェークアップ	R	0h	マスク適用クロック停止ウェークアップ割り込み。 0h = 割り込みは発生していない 1h = 割り込みが発生
4	EXT_TS_CNTR_OVFL	R	0h	マスク適用外部タイムスタンプ カウンタ オーバーフロー割り込み。 0h = 割り込みは発生していない 1h = 割り込みが発生
3	DED	R	0h	マスク適用メッセージ RAM DED 割り込み。 0h = 割り込みは発生していない 1h = 割り込みが発生
2	SEC	R	0h	マスク適用メッセージ RAM SEC 割り込み。 0h = 割り込みは発生していない 1h = 割り込みが発生
1	INTL1	R	0h	マスク適用 MCAN 割り込みライン 1。 0h = 割り込みは発生していない 1h = 割り込みが発生
0	INTL0	R	0h	マスク適用 MCAN 割り込みライン 0。 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

26.7.92 ISET (オフセット = 7840h) [リセット = 00000000h]

図 26-118 に、ISET を示し、表 26-111 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 26-118. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		ウェークアップ	EXT_TS_CNTR_OVFL	DED	SEC	INTL1	INTL0
R-0h		-0	-0	-0	-0	-0	-0

表 26-111. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	ウェークアップ	W	0h	クロック停止ウェークアップ割り込みをセットします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
4	EXT_TS_CNTR_OVFL	W	0h	外部タイムスタンプ カウンタ オーバーフロー割り込みをセットします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
3	DED	W	0h	メッセージ RAM DED 割り込みをセットします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
2	SEC	W	0h	メッセージ RAM SEC 割り込みをセットします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
1	INTL1	W	0h	MCAN 割り込みライン 1 をセットします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
0	INTL0	W	0h	MCAN 割り込みライン 0 をセットします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット

Copyright © 2026 Texas Instruments Incorporated

26.7.93 ICLR (オフセット = 7848h) [リセット = 00000000h]

図 26-119 に、ICLR を示し、表 26-112 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 26-119. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		ウェークアップ	EXT_TS_CNTR_OVFL	DED	SEC	INTL1	INTL0
R-0h		-0	-0	-0	-0	-0	-0

表 26-112. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	ウェークアップ	W	0h	クロック停止ウェークアップ割り込みをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
4	EXT_TS_CNTR_OVFL	W	0h	外部タイムスタンプ カウンタ オーバーフロー割り込みをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
3	DED	W	0h	メッセージ RAM DED 割り込みをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
2	SEC	W	0h	メッセージ RAM SEC 割り込みをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
1	INTL1	W	0h	MCAN 割り込みライン 1 をクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
0	INTL0	W	0h	MCAN 割り込みライン 0 をクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

26.7.94 EVT_MODE (オフセット = 78E0h) [リセット = 00000000h]

図 26-120 に、EVT_MODE を示し、表 26-113 に、その説明を示します。

概略表に戻ります。

イベント モード レジスタ。各ラインを無効にするか、ソフトウェア モードにするか (ソフトウェアが RIS をクリア)、またはハードウェア モードにするか (ハードウェアが RIS をクリア) を選択するために使用されます。

図 26-120. EVT_MODE

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						INT0_CFG	
R-0h						R-0h	

表 26-113. EVT_MODE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1-0	INT0_CFG	R	0h	I[IPSTANDARD.CPU_INT] に対応するイベントのイベント ライン モードの選択 0h = 割り込みまたはイベント ラインは無効。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

26.7.95 DESC (オフセット = 78FCh) [リセット = 00000000h]

図 26-121 に、DESC を示し、表 26-114 に、その説明を示します。

概略表に戻ります。

このレジスタは、ペリフェラルとその正確なバージョンを識別します。

図 26-121. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
-0															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				予約済み				MAJREV				MINREV			
-0				R-0h				-0				-0			

表 26-114. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	0x0	モジュール識別には、固有のペリフェラル識別番号が含まれています。一意性を確保するため、すべてのプラットフォーム モジュールの割り当ては中央のデータベースに保持されます。 0h = 最小値 FFFFh = 可能な最大値
15-12	FEATUREVER	R	0x0	モジュール *インスタンス*の機能セット 0h = CAN-FD モードが有効化された MCAN モジュール 1h = CAN-FD モードが無効化された MCAN モジュール
11-8	予約済み	R	0h	
7-4	MAJREV	R	0x0	IP のメジャー リビジョン 0h = 最小値 Fh = 可能な最大値
3-0	MINREV	R	0x0	IP のマイナー リビジョン 0h = 最小値 Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

26.7.96 MCANSS_CLKEN (オフセット = 7900h) [リセット = 00000000h]

図 26-122 に、MCANSS_CLKEN を示し、表 26-115 に、その説明を示します。

概略表に戻ります。

MCAN モジュール クロック (MCAN モジュール MMR にアクセスするための機能クロックと Vbusp) 有効化レジスタ
<Internal note> この IP 固有の MMR 自体は、ペーパースピン構成によって IP が有効化されている限り、クロック ゲートされません。

図 26-122. MCANSS_CLKEN

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLK_REQEN
R-0h							-0

表 26-115. MCANSS_CLKEN のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	CLK_REQEN	RW	0x0	MCAN 機能および MCAN/MCANSS MMR クロック要求有効化ビット 0h = MCAN モジュールの機能クロックと Vbusp は要求されません。 これらのクロックは、MCAN モジュールに対してゲートされます。 1h = このビットをセットすると、MCAN モジュールの機能クロックと Vbusp が要求されます。 これらのクロックは、MCAN モジュールに対してゲートされません。

Copyright © 2026 Texas Instruments Incorporated

26.7.97 MCANSS_CLKDIV (オフセット = 7904h) [リセット = 00000000h]

図 26-123 に、MCANSS_CLKDIV を示し、表 26-116 に、その説明を示します。

概略表に戻ります。

利用可能になり次第、管理アパーチャに移動する必要があります。

図 26-123. MCANSS_CLKDIV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 26-116. MCANSS_CLKDIV のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1-0	比率	R/W	0x0	クロック分周比の仕様。MCAN-SS への MCAN 機能クロック入力のクロック分周比の設定を有効にします。 0h (R/W) = 入力クロックを 1 分周 1h (R/W) = 入力クロックを 2 分周 2h (R/W) = 入力クロックを 4 分周 3h (R/W) = 入力クロックを 1 分周

Copyright © 2026 Texas Instruments Incorporated

26.7.98 MCANSS_CLKCTL (オフセット = 7908h) [リセット = 00000000h]

図 26-124 に、MCANSS_CLKCTL を示し、表 26-117 に、その説明を示します。

概略表に戻ります。

MCANSS クロック停止制御 MMR。
<Internal note> ラッパー MMR (この MMR を含む) のバス クロックは、このレジスタではゲートされません。

図 26-124. MCANSS_CLKCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							WKUP_GLTFLT_EN
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み			WAKEUP_INT_EN	予約済み			STOPREQ
R-0h			R/W-0h	R-0h			-0

表 26-117. MCANSS_CLKCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	
8	WKUP_GLTFLT_EN	R/W	0h	このビットをセットすると、MCAN RXD 入力のグリッチ フィルタが有効になり、MCAN コントローラがウェークアップしてクロック ゲーティングを終了します。 0h = MCAN がクロック停止モードのとき、RXD 入力のグリッチ フィルタを無効化 (クロック停止ウェークアップのための RXD 入力イベントを待機)。 1h = MCAN がクロック停止モードのとき、RXD 入力でグリッチ フィルタを有効化 (クロック停止ウェークアップのための RXD 入力イベント待機)。
7-5	予約済み	R	0h	
4	WAKEUP_INT_EN	R/W	0h	このビットは、MCAN IP クロック停止ウェークアップ割り込みの有効 / 無効を制御します (MCANSS_CTRL.WAKEUPREQEN ウェークアップ要求を有効にして、CAN RXD アクティビティ時に MCAN IP をウェークアップさせる場合) 0h = MCAN IP クロック停止ウェークアップ割り込みを無効化 1h = MCAN IP クロック停止ウェークアップ割り込みを有効化
3-1	予約済み	R	0h	
0	STOPREQ	R/W	0h	このビットは、MCAN クロック (ホスト クロックと機能クロックの両方) のゲーティング要求を有効 / 無効にするために使用されます。 注:このビットは、CAN RX アクティビティによるクロック停止ウェークアップにより、HW によってリセットできます。詳細については、仕様を参照してください。 0h = MCAN-SS クロック停止要求を無効化 1h = MCAN-SS クロック停止要求を有効化

Copyright © 2026 Texas Instruments Incorporated

26.7.99 MCANSS_CLKSTS (オフセット = 790Ch) [リセット = 00000000h]

図 26-125 に、MCANSS_CLKSTS を示し、表 26-118 に、その説明を示します。

概略表に戻ります。

MCANSS クロック停止ステータス レジスタは、クロック停止メカニズムのステータスを示します

図 26-125. MCANSS_CLKSTS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							CCLKDONE
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み			STOPREQ_HW_OVR	予約済み			CLKSTOP_ACKSTS
R-0h			R-0h	R-0h			R-0h

表 26-118. MCANSS_CLKSTS のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-9	予約済み	R	0h	
8	CCLKDONE	R	0h	このビットは、GPRCM からの MCAN コントローラ クロック要求のステータスを示します。 0h = MCAN コントローラ クロックが MCAN IP で使用できない。 1h = MCAN コントローラ クロックがイネーブルで、MCAN IP で使用できる。
7-5	予約済み	R	0h	
4	STOPREQ_HW_OVR	R	0h	MCANSS クロック停止 HW オーバーライドステータス ビット。 このビットは、CAN RX アクティビティでクロック停止ウェークアップ イベントがトリガされたときに、MCANSS_CLKCTL.STOPREQ ビットが HW によってクリアされたことを示します。 0h = MCANSS_CLKCTL.STOPREQ ビットは HW によってクリアされていない。 1h = MCANSS_CLKCTL.STOPREQ ビットは HW によってクリアされている。
3-1	予約済み	R	0h	
0	CLKSTOP_ACKSTS	R	0h	MCAN IP からのクロック停止アクノリッジ ステータス 0h = クロック停止アクノリッジなし。 1h = クロック停止が MCAN IP によってアクノリッジされている。MCAN-SS では、CAN ホストと機能クロックの両方を停止することでクロック ゲーティングが可能。

Copyright © 2026 Texas Instruments Incorporated

Chapter 27

I2S/TDM

I2S/TDM モジュールは、オーディオ データを転送するための標準化されたシリアル インターフェイスを提供します。この章では、I2S/TDM モジュールの動作について説明します。

27.1 I2S/TDM の概要 1694
27.2 I2S/TDM の動作 1694
27.3 I2S のレジスタ 1708

Copyright © 2026 Texas Instruments Incorporated

27.1 I2S/TDM の概要

I2S/TDM モジュールは、オーディオ データを転送するための標準化されたシリアル インターフェイスを提供します。このモジュールは、I2S 規格、LSB または MSB 揃え、PCM/DSP、TDM など、さまざまなモードに構成できます。DMA コントローラと組み合わせて使用できます。

27.1.1 I2S/TDM の機能

- データ ライン上で構成可能な、独立したトランスミッタおよびレシーバ機能
- 構成可能なコントローラまたはターゲット機能
- パック機能を備えたトランスミッタおよびレシーバ FIFO を内蔵
- クロック ジェネレータは特定のオーディオ周波数の生成がターゲット
- チャネル / スロット長とオーディオ ワード長を個別に設定可能 (8、16、24、32 ビット)
- オーディオ プロトコル: I2S、左または右揃え、PCM/DSP、TDM
- TDM フォーマットで最大 16 スロットを利用可能
- 0、1、または Hi-Z を送信するための空のスロット構成
- ビット クロック サンプリング エッジを構成可能
- フレーム同期のオフセットとビット長を構成可能
- トランスミッタ機能とレシーバ機能について独立の DMA 要求

27.2 I2S/TDM の動作

27.2.1 機能ブロック図

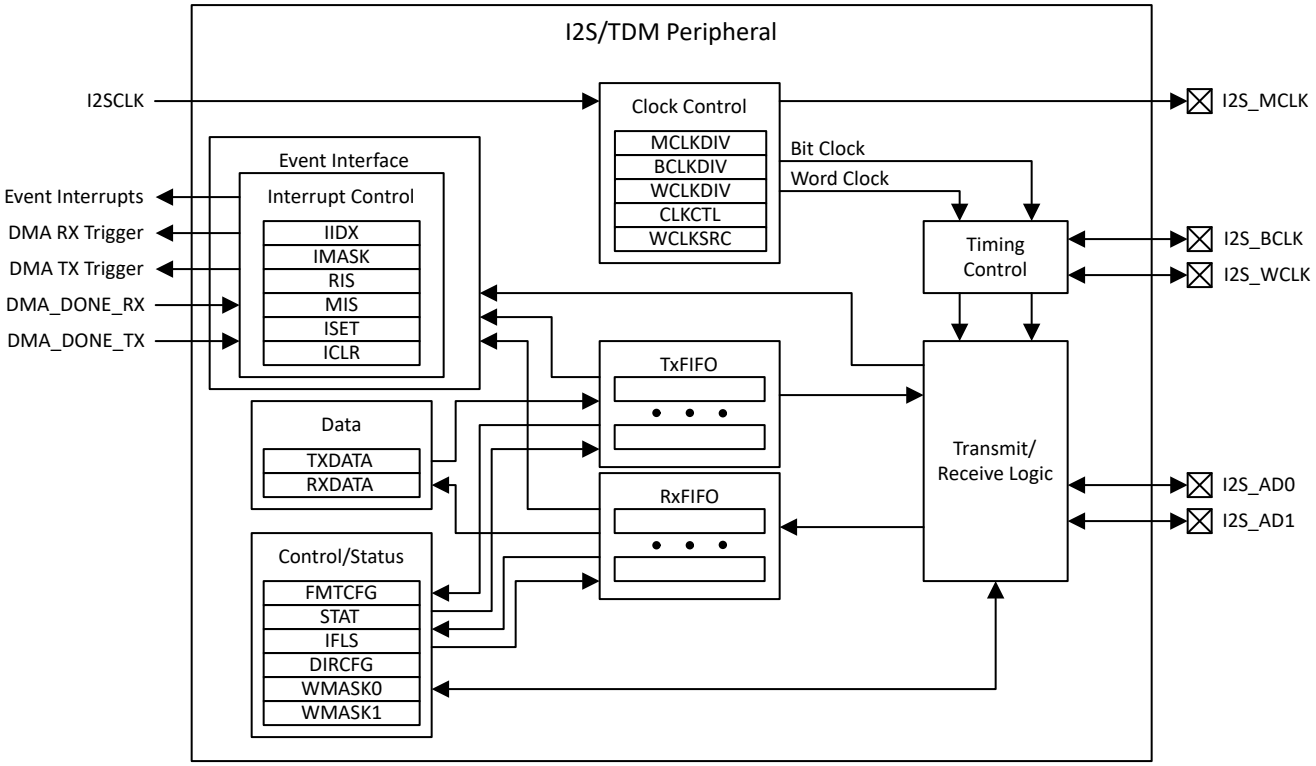


図 27-1. I2S/TDM の機能ブロック図

注

デバイス固有のデータシートで TxFIFO および RxFIFO の深さを参照してください。

Copyright © 2026 Texas Instruments Incorporated

27.2.2 動作モード

I2S モジュールは、コントローラまたはターゲット機能として構成できます。

27.2.2.1 コントローラ モード

コントローラ モードでは、I2S モジュールはビット クロック (I2S_BCLK) とワード クロック (I2S_WCLK) を生成します。I2S コントローラは、高度に構成可能なデータ ピン I2S_ADx をサポートしています。これらのピンは、トランスミッタ機能またはレシーバ機能で個別に構成できます。これにより、コントローラはデュアル トランスミッタ、デュアル レシーバ、または標準の送受信機能をサポートできます。

モジュールがコントローラとして構成されている場合

- ソース クロックは、システム制御内のレジスタで選択し、複数のソースからクロックを供給できます。
- コントローラは I2S.BCLKDIV レジスタを使用して I2S_BCLK を生成します。
- コントローラは I2S.WCLKDIV レジスタを使用して I2S_WCLK を生成します。
- このモジュールは、I2S.MCLKDIV レジスタを使用してオプションのマスタ クロック (I2S_MCLK) を生成できます。

27.2.2.2 ターゲット モード

ターゲット モードでは、I2S モジュールはビット クロック (I2S_BCLK) とワード クロック (I2S_WCLK) を受信します。I2S ターゲットは、高度に構成可能なデータ ピン I2S_ADx もサポートしています。これらのピンは、トランスミッタ機能またはレシーバ機能で個別に構成できます。これにより、コントローラはデュアル トランスミッタ、デュアル レシーバ、または標準の送受信機能をサポートできます。

モジュールがターゲットとして構成されている場合

- I2S_BCLK と I2S_WCLK は、パッドから供給される必要があります。

27.2.3 クロック / タイミング システム

I2S/TDM の内部機能クロックは、デバイス クロックの 1 つ (モジュールがコントローラの場合) またはパッド (モジュールがターゲットの場合) から選択されます。

- I2S.WCLKSRC レジスタを使用して、クロック ソースを内部または外部として選択します。
- 内部クロック ソースを選択した場合、SYSCTL.I2S.CLKCFG レジスタを使用してクロック ソースを選択します。内部クロック ソースで使用可能なオプションについては、デバイスのデータシートを参照してください。
  - SYSOSC
  - HFXT
  - PLL
  - EXTCLK

このクロック ジェネレータは、モジュール内の高度にプログラム可能なブロックで、BCLK、WCLK、MCLK を生成するために使用されます。BCLK および MCLK 生成は簡単で、式 22 と 式 23 がそれぞれクロック周波数を生成するために使用できます。

$$BCLK\ Frequency = \frac{Module\ Clock\ Frequency}{BCLKDIV} \tag{22}$$

$$MCLK\ Frequency = \frac{Module\ Clock\ Frequency}{MCLKDIV} \tag{23}$$

WCLK の生成は、CLKCTL.WCLKPHASE レジスタ ビットの設定に応じて異なる方法で計算されます。

WCLK が 1 クロック (単相) にわたって High になるフレーム形式では、CLKCTL.WCLKPHASE が 0 に構成され、式 24 が WCLK 周波数またはフレームレートを計算するための式を定義します。

$$WCLK\ Frequency\left(Frame\ Rate\right) = \frac{Module\ Clock\ Frequency}{(BCLKDIV \times (WCLKDIV[9:0] + 1))} \tag{24}$$

Copyright © 2026 Texas Instruments Incorporated

WCLK が High でデューティ サイクルが 50% (2 相) のフレーム形式では、CLKCTL.WCLKPHASE が 1 に構成されて、式 25 が WCLK 周波数またはフレーム レートを計算するための式を定義します。

$$WCLK\ Frequency\left(Frame\ Rate\right) = \frac{Module\ Clock\ Frequency}{(BCLKDIV \times (2 \times WCLKDIV[9:0]))} \quad (25)$$

WCLK を CLKCTL.WCLKDIV[7:0] の間 High に、CLKCTL.WCLKDIV[15:8] の間 Low にできるユーザー定義のフレーム形式では、WCLKPHASE は 2 に構成されます。式 26 は、WCLK 周波数またはフレーム レートを計算する式を定義します。

$$WCLK\ Frequency\left(Frame\ Rate\right) = \frac{Module\ Clock\ Frequency}{(BCLKDIV \times (WCLKDIV[7:0] + WCLKDIV[15:8]))} \quad (26)$$

注

コントローラ モードの場合、精密なクロック周波数とジッタ仕様に対する厳格な要件がビット クロックに課される場合があります。内部クロック ソースを HFXT、EXTCLK、または PLL (PLL のクロック ソースが HFXT の場合) に構成することを推奨します。

27.2.4 フレーム同期

I2S_WCLK 信号は、オーディオ フレーム内のフレーム同期信号として機能し、フレームの開始を示します。信号は、さまざまなオーディオ形式をターゲットにするために完全に構成可能です。WCLK の構成方法は、CLKCTL、WCLKSRC、WCLKDIV レジスタによって管理されます。

I2S_WCLK は、シリアル フォーマットに基づいて設定できます。これは、CLKCTL.WCLKPHASE によって設定され、それに応じて WCLKDIV.WDIV の値が設定されます。

- CLKCTL.WCLKPHASE = 0：DSP や PCM ショート フレーム フォーマットなどのデータ フォーマット フレームの開始。I2S_WCLK は 1 I2S_BCLK の間 High、WCLKDIV.WDIV[9:0] I2S_BCLK の間 Low です。
- CLKCTL.WCLKPHASE = 1：I2S、左揃え、右揃えなどのデータ フォーマットのフレーム開始およびチャネル識別。I2S_WCLK は、WCLKDIV.WDIV[9:0] で設定されたビット クロック数の間 High または Low になります。
- CLKCTL.WCLKPHASE = 2：TDM および PCM ロング フレームなどのカスタム フォーマットのフレームの開始。I2S_WCLK は、WCLKDIV.WDIV[7:0] I2S_BCLK の間 High、WCLKDIV.WDIV[15:8] I2S_BCLK の間 Low になります。

27.2.4.1 フレーム長とワード長

フレーム長は、I2S_WCLK の立ち上がりまたは立ち下がりから、次のフレームの対応するエッジまでの I2S_BCLK サイクル数として計算されます。フレーム内のワード長またはスロット / チャネルあたりのデータ ビット数は FMTCFG.WORDLEN によって設定されます。この最小値 8 ビット、最大値は 32 ビットです。I2S_WCLK は、2 相形式のチャネルに使用される I2S_BCLK の数を自動的に検出するためターゲット モードで使用されます。

- ワード長カウントが終了する前に I2S_WCLK のエッジが発生すると、サンプル ワードは切り捨てられます。
- ワード長カウントが終了した後に I2S_WCLK のエッジが発生すると、サンプル ワードの最下位ビット位置がゼロパディングされます。

I2S_ADx で送受信されるデータは、FIFO から提供されます。これは、FMTCFG.MEMLEN32 を使用して、FIFO のエントリあたりのデータ ビット数を 16 ビットまたは 32 ビットに設定できます。

FMTCFG.MEMLEN32 = 0

0 として構成すると、各 FIFO エントリは下位 16 ビットにデータを格納し、上位 16 ビットは使用されません。この設定は、FMTCFG.WORDLEN ≤ 16 ビットの場合にのみ使用できます。図 27-2 に示すように、プログラムされたワード長が 16 ビット未満の場合、送信時にサンプル ワードが切り捨てられ、受信時には最下位ビット位置でゼロ パディングが行われます。

Copyright © 2026 Texas Instruments Incorporated

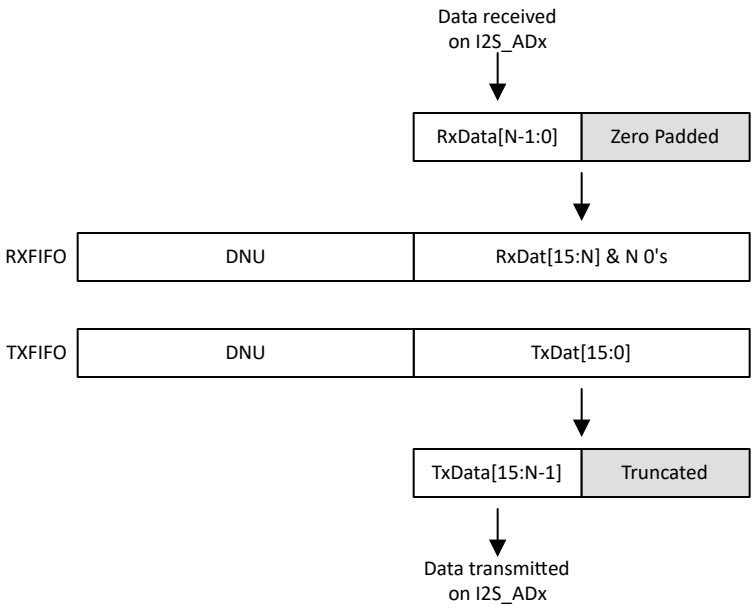


図 27-2. MEMLEN32 = 0 のデータ マッピング

FMTCFG.MEMLEN32 = 1

1 として構成されているときに、FMTCFG.WORDLEN ≤ 16 ビットの場合は、各 FIFO エントリに 2 個のサンプルが保持され、FMTCFG.WORDLEN > 16 ビットの場合は 1 個のサンプルが保持されます。プログラムされたワード長により、送信時にデータが切り捨てられ、受信時にゼロパディングが発生する場合、その処理は図 27-3 に示すように最下位ビット位置で発生します。

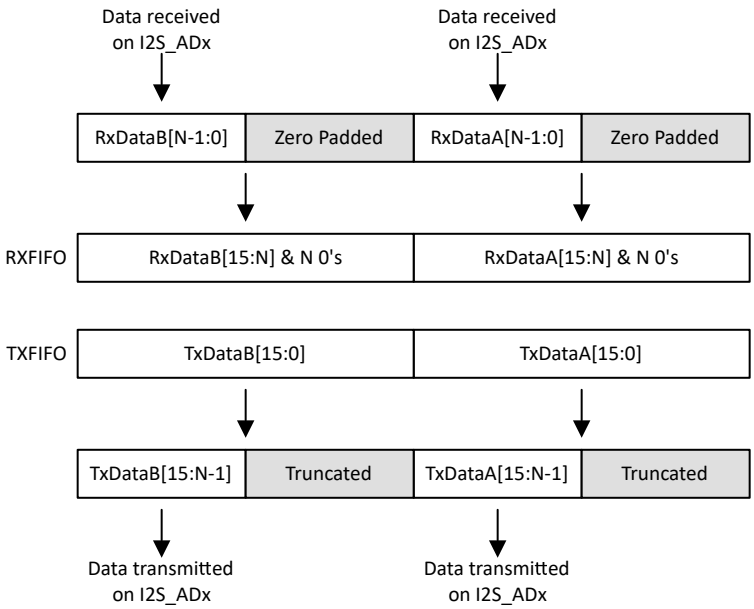


図 27-3. MEMLEN32 = 1 のデータ マッピング

27.2.4.2 極性

I2S_WCLK の最初のアクティブ エッジは、WCLKSRC.WCLKINV フィールドを使用して設定されます。このフィールドが 0 にプログラムされている場合、最初の I2S_WCLK は最初の I2S_BCLK の立ち上がりエッジで開始します。フィールド

Copyright © 2026 Texas Instruments Incorporated

が 1 にプログラムされている場合、最初の I2S_WCLK は最初の I2S_BCLK の立ち下がりエッジで開始します。I2S_ADx でのデータの送受信も、送信および受信の I2S_WCLK と同じ位相に追従します。

I2S モジュールが無効化されている場合、I2S_WCLK は 0 または 1 のいずれかになる可能性があり、正しい状態で開始されるようにペリフェラル リセットが必要であることに注意してください。

27.2.4.3 データ遅延 (オフセット)

オーディオ フレーム形式に基づいて、I2S_ADx を I2S_WCLK エッジに対して遅延させることも、遅延させないこともできます。この構成は、FMTCFG.DATADLY フィールドを使用して有効にします。プログラム可能な有効値は、0 ～ 255 I2S_BCLK です。

ゼロ以外の値をプログラムした場合、I2S_WCLK エッジが送信されてから、FMTCFG.DATADLY に指定された値の I2S_BCLK が経過した後に、I2S_ADx が送信またはサンプリングされます。

27.2.5 スロット マッピングと構成

I2S モジュールは、DIRCFG および WMASKx レジスタを使用して構成可能な各種オーディオ フォーマットに対応して、最大 16 スロットまたはチャネルをサポートしています。各 I2S_ADx には、チャネルまたはスロット数の設定に使用される、対応する WMASKx レジスタがあります。単相フォーマットでは、サポートされているスロット数とデバイスの機能に応じて最大 16 ビットが使用できます。

- WMASKx.MASK[n] = 0: 対応するスロットは使用されません。データは送信されず、受信もされません
- WMASKx.MASK[n] = 1: 対応するスロットが使用されます。I2S_ADx が出力モードに設定されている場合はデータが送信され、I2S_ADx が入力モードに設定されている場合はデータが受信されます。

スロットは、最下位チャネルに対して最下位ビットから順に設定されます。単相形式の場合、チャネル 0 は WCMASKx.MASK レジスタのビット 0、チャネル 1 はビット 1 のように対応します。2 相形式では、レジスタの下位 2 ビットのみが左および右チャネルとして使用されます。

さらに、出力スロットが無効になっている場合、FMTCFG.EMPTYSLOTOUTPUT を使用して空のスロットの動作を決定できます

- FMTCFG.EMPTYSLOTOUTPUT = 0: 空スロットの間、すべて 0 が送信されます
- FMTCFG.EMPTYSLOTOUTPUT = 1: 空スロットの間、すべて 1 が送信されます
- FMTCFG.EMPTYSLOTOUTPUT = 2: 出力ラインはトライステートになります
- FMTCFG.EMPTYSLOTOUTPUT = 3: 予約済みのため、使用してはなりません

データの方向の構成

各 I2S_ADx に対して、DIRCFG.ADx ピンを使用してデータフロー (データの送信または受信) の方向を制御します。

- DIRCFG.ADx = 0: 対応する I2S_ADx ピンは無効になります。
- DIRCFG.ADx = 1: 対応する I2S_ADx ピンは入力として設定されます。データはピンで受信され、RXFIFO に格納されます。
- DIRCFG.ADx = 2: 対応する I2S_ADx ピンは出力として設定されます。データは TXFIFO からピンに送信されます。
- DIRCFG.ADx = 3: 予約済みのため、使用してはなりません。

27.2.5.1 メモリ内のチャネル マッピング

スロット マッピングとチャネル構成に基づいて、データは RXFIFO から読み出されるか、TXFIFO に書き込まれます。MCU アプリケーションでは、外部デバイスにデータを送受信する方法を把握し、適切なデータ構造管理を維持するために、FIFO 内のチャネル マッピングが重要となります。

オーディオ データは常に、リトルエンディアン形式で FIFO に保存されます。複数の I2S_ADx ピンを使用する場合、データは、I2S_AD0、I2S_AD1 の順に読み出されるか、格納されます。FMTCFG.MEMLEN32 = 1 で、データがパックされている場合、I2S_AD0 は下位バイトに格納され、I2S_AD1 は上位バイトに格納されます。ただし、TDM モードでマルチチャネル / スロットが設定されている場合、個別のチャネル / スロットが無効化されることがあるため、注意が必要です。図 27-4 から図 27-9 に、チャネル データをメモリにマッピングする例を示します。グレー表示されているチャネルは非アクティブで、メモリに対してデータの読み出しや書き込みは行われません。

Copyright © 2026 Texas Instruments Incorporated

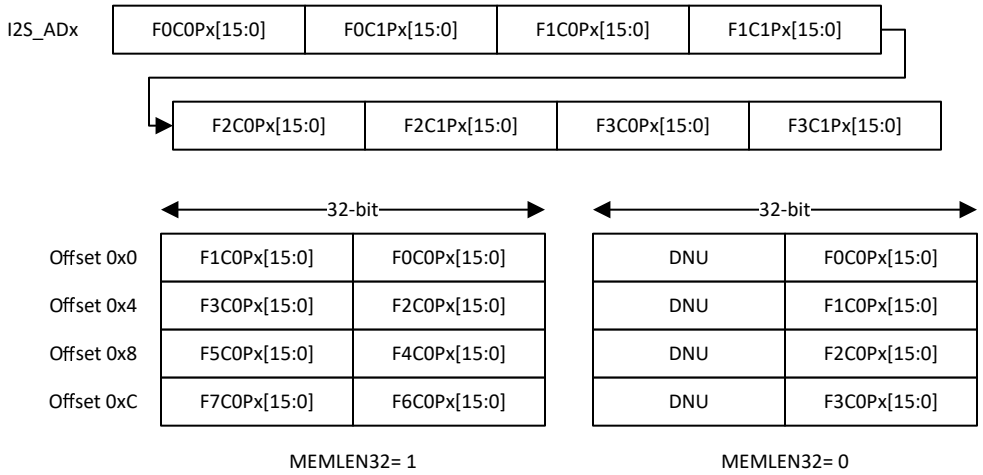


図 27-4. 16 ビット モノラル、シングル I2S_ADx とメモリのマッピング

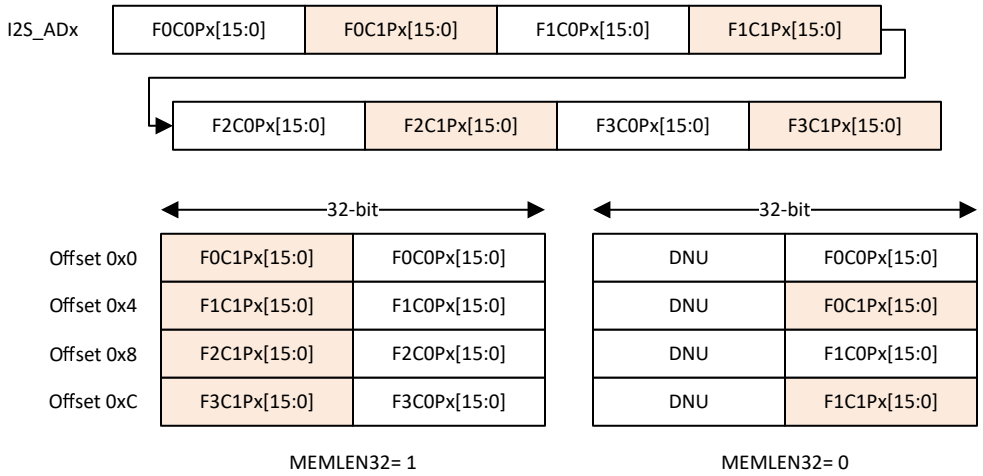
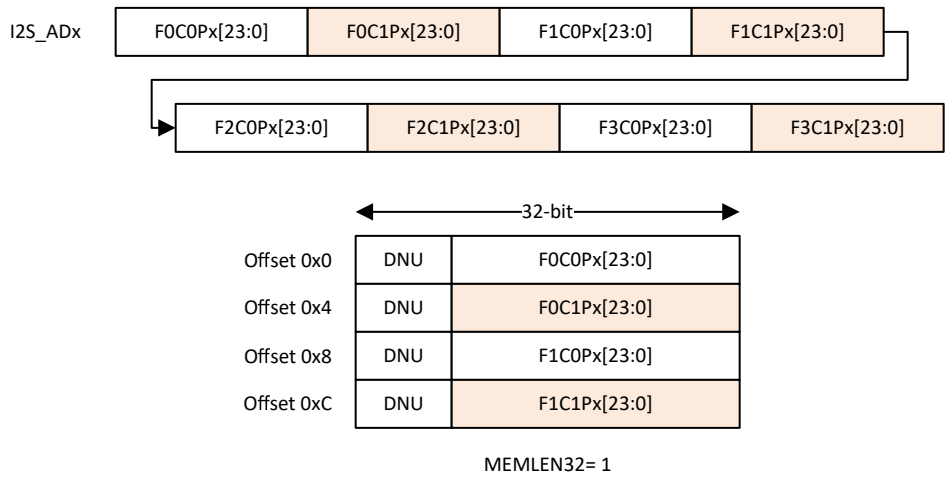


図 27-5. 16 ビット モノラル、シングル I2S_ADx とメモリのマッピング



注

MEMLEN32=0 はサポートされていません。

図 27-6. 24 ビット モノラル、シングル I2S_ADx とメモリのマッピング

Copyright © 2026 Texas Instruments Incorporated

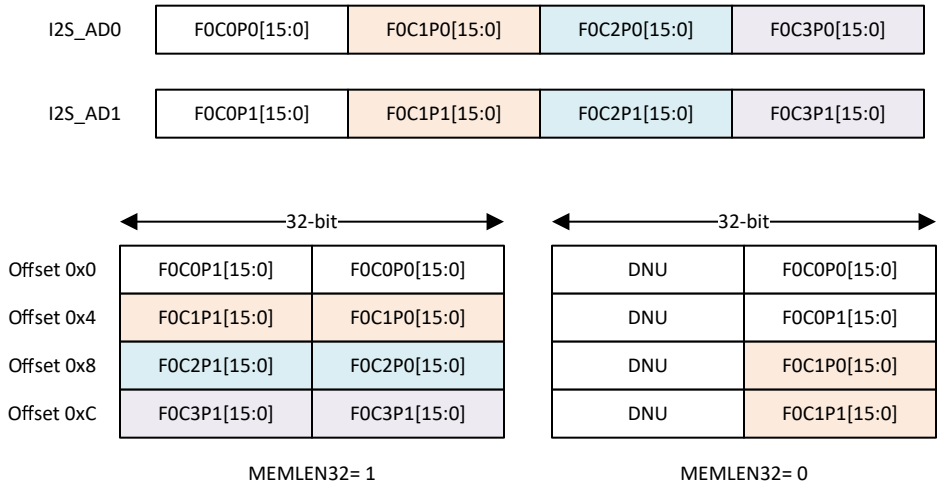


図 27-7. 16 ビット TDM、デュアル I2S_ADx とメモリのマッピング

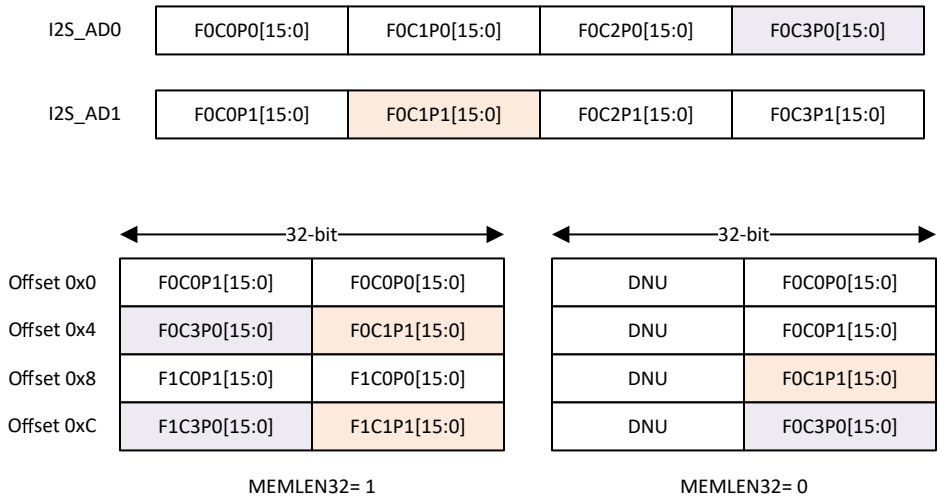


図 27-8. 16 ビット TDM、デュアル I2S_ADx スロットとメモリのマッピング (スロット無効時)

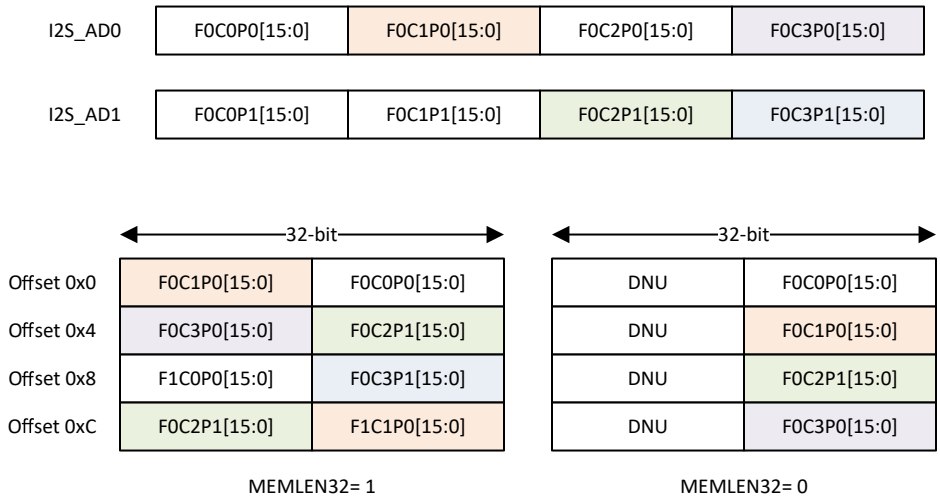


図 27-9. 16 ビット TDM、デュアル I2S_ADx スロットとメモリのマッピング (スロット無効時)

Copyright © 2026 Texas Instruments Incorporated

27.2.6 シリアル フレーム フォーマットの例

このモジュールは、I2S_ADx ピンごとに 1 つまたは 2 つのオーディオ チャネルをサポートしている、2 相フォーマットの I2S、左揃えフォーマット (LJF)、右揃えフォーマット (RJF) をサポートしています。このモジュールは、単相フォーマットである DSP、PCM、TDM もサポートしており、最大 16 のスロットをサポートします。

I2S_WCLK 信号および I2S_ADx 信号は I2S_BCLK の一方のエッジで更新され、逆側 (後続エッジ) でサンプリングされます。すべてのシリアル フォーマットは、フレームで構成されています。各フレームは、オーディオ サンプル (1 つ以上のスロット) の最初の (立ち上がりまたは立ち下がり) I2S_WCLK エッジで始まり、対応する次の (立ち上がりまたは立ち下がり) I2S_WCLK エッジまでとなります。I2S_ADx で転送されるオーディオ サンプル ワードは、I2S_WCLK と合わせて配置されます。

モジュールでサポートされるさまざまなシリアル フォーマットを使用するには、アプリケーション側でそれに応じてモジュール構成を設定する必要があります (表 27-1 を参照)。以降のサブセクションでは、アプリケーションが最も一般的なオーディオ フォーマットを生成する方法について説明します。これは情報提供のみを目的としています。

表 27-1. シリアル形式構成

パラメータ名	パラメータ フィールド	説明
データ遅延	FMTCFG.DATADLY	最初の I2S_WCLK エッジと、転送される最初のオーディオ チャネル データの MSB との間の I2S_BCLK 周期
ワード長	FMTCFG.WORDLEN	サンプルあたりのビット数
サンプリング エッジ	FMTCFG.SMPLEDGE	入力データがサンプリングされ、出力データがクロックアウトされるエッジ
相フォーマット	FMTCFG.DUALPHASE	単相を TDM フォーマットに、2 相を I2S フォーマットに使用します
ワード クロック反転	WCLKSRC.WCLKINV	主に、左または右のチャネルを示すために 2 相形式で適用されます
ワード クロック分周比	CLKCTL.WCLKPHASE	I2S_WCLK の生成に WCLKDIV を使用する方法を制御します
ワード クロック High 時間	WCLKDIV.WDIV	CLKCTL.WCLKPHASE 設定に基づく I2S_WCLK の High および Low 時間
ワード クロック Low 時間	WCLKDIV.WDIV	

27.2.6.1 I2S フォーマット

I2S は、I2S_WCLK のデューティ サイクルが 50% の 2 フェーズ フォーマットです。図 27-10 に 2 チャネルのフォーマットを、表 27-2 にその構成例を示します。I2S_WCLK のフェーズが Low のとき、左チャネルのデータが転送され、I2S_WCLK のフェーズが High のときに右チャネルのデータが転送されます。データは I2S_BCLK の 1 周期分だけ遅延します。I2S_ADx は立ち上がりエッジでサンプリングされ、I2S_BCLK の立ち下がりエッジで起動します。

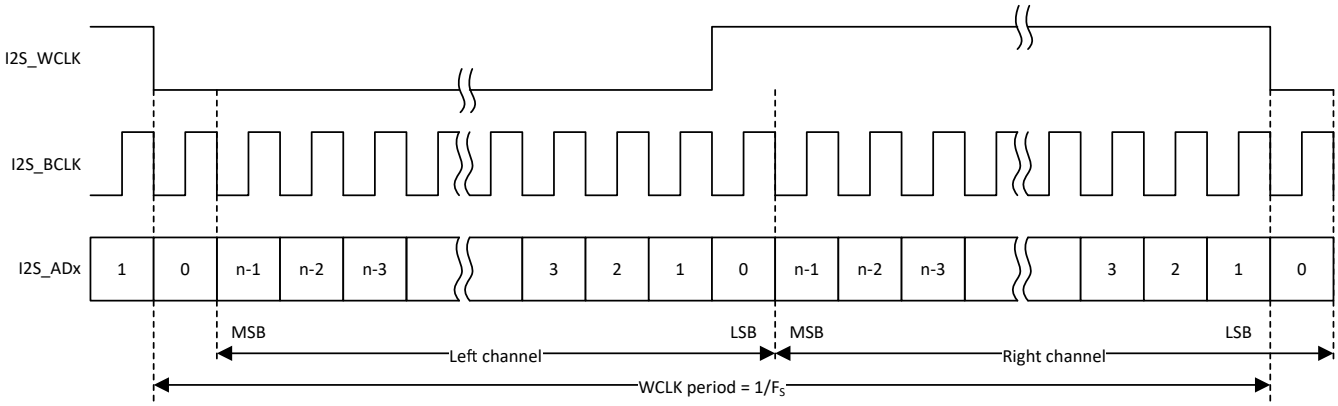


図 27-10. I2S フレーム フォーマット

表 27-2. I2S フォーマット構成

パラメータ フィールド	値
FMTCFG.DATADLY	1

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 27-2. I2S フォーマット構成 (続き)

パラメータ フィールド	値
FMTCFG.WORDLEN	左チャネルまたは右チャネルのサンプリング ビット数
FMTCFG.SMPLEDGE	1
FMTCFG.DUALPHASE	1
WCLKSRC.WCLKINV	1
CLKCTL.WCLKPHASE	1
WCLKDIV.WDIV[15:10]	プログラムしない
WCLKDIV.WDIV[9:0]	≥ サンプリング ビット数 x 2 チャネル

27.2.6.2 右揃え形式

右詰め形式 (RJF) は、I2S_WCLK のデューティ サイクルが 50% のデュアル位相形式で、図 27-11 に示すように 2 チャネルを使用します。設定例を表 27-3 に示します。I2S_WCLK の位相が high のときに左チャネルが転送され、続いて I2S_WCLK の位相が low のときに右チャネルが転送されます。

データ遅延 (FMTCFG.DATADLY) は、I2S_WCLK の各位相あたりの I2S_BCLK 周期数からワード長を引いた値に設定する必要があります。これにより、位相の末尾に合わせて LSB を置いてデータを送受信できます。

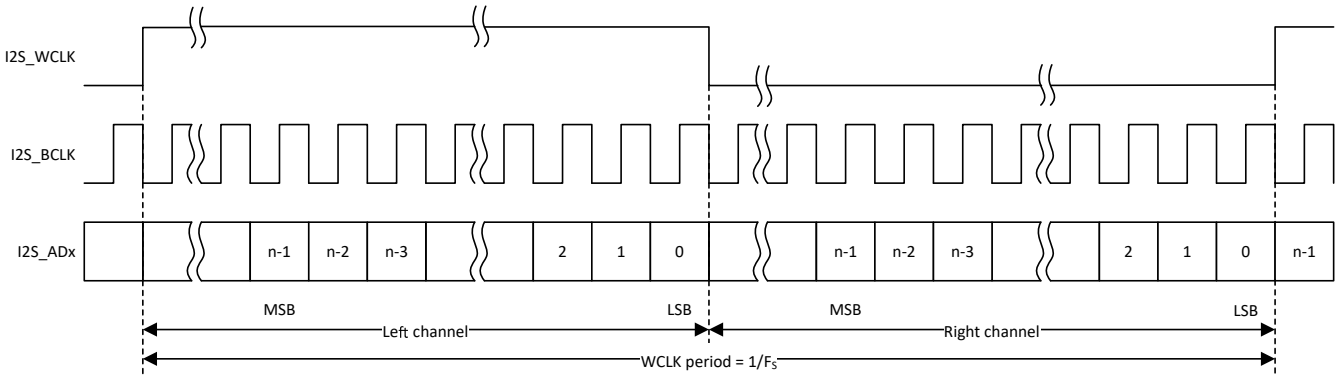


図 27-11. 右揃え形式

表 27-3. 右揃え形式の構成

パラメータ フィールド	値
FMTCFG.DATADLY	WCLKDIV.WDIV[9:0] - FMTCFG.WORDLEN
FMTCFG.WORDLEN	左チャネルまたは右チャネルのサンプルあたりのビット数
FMTCFG.SMPLEDGE	1
FMTCFG.DUALPHASE	1
WCLKSRC.WCLKINV	0
CLKCTL.WCLKPHASE	1
WCLKDIV.WDIV[15:10]	プログラムしない
WCLKDIV.WDIV[9:0]	≥ 1 サンプルあたりのビット数 ×2 チャネル

27.2.6.3 左詰めフォーマット

左詰めフォーマット (LJF) は、I2S_WCLK のデューティ サイクルが 50% の 2 フェーズ フォーマットです。図 27-12 に 2 チャネルのフォーマットを、表 27-4 にその構成例を示します。I2S_WCLK のフェーズが High のとき、左チャネルのデータが転送され、I2S_WCLK のフェーズが Low のときに右チャネルのデータが転送されます。

Copyright © 2026 Texas Instruments Incorporated

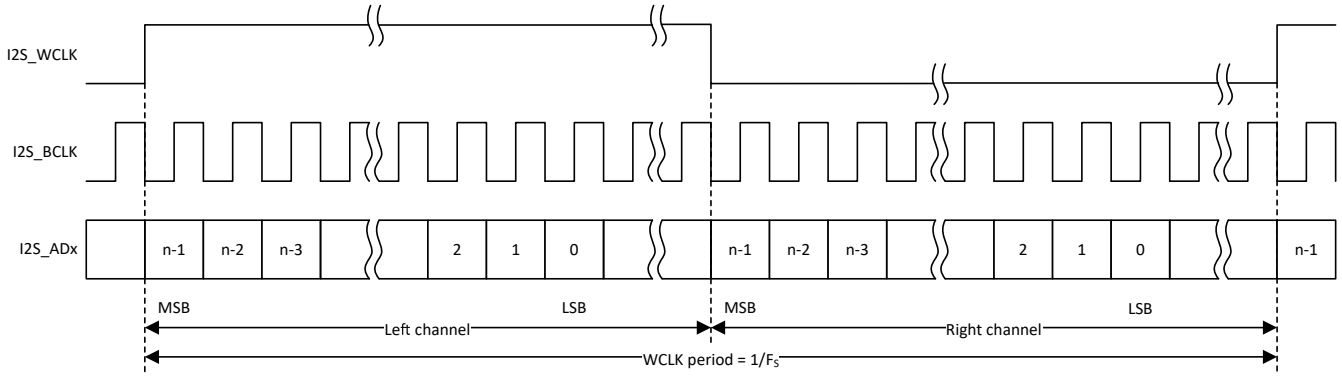


図 27-12. 左詰めフォーマット

表 27-4. 左詰めフォーマットの構成

パラメータ フィールド	値
FMTCFG.DATADLY	0
FMTCFG.WORDLEN	左チャネルまたは右チャネルのサンプリング ビット数
FMTCFG.SMPLEDGE	1
FMTCFG.DUALPHASE	1
WCLKSRC.WCLKINV	0
CLKCTL.WCLKPHASE	1
WCLKDIV.WDIV[15:10]	プログラムしない
WCLKDIV.WDIV[9:0]	≥ サンプリング ビット数 x 2 チャネル

27.2.6.4 DSP フォーマット

DSP フォーマットは、図 27-13 に示すように、1 I2S_BCLK 周期にわたって I2S_WCLK が High の単相フォーマットです。サンプル ワードは順次転送され、MSB は I2S_WCLK またはそれに続く I2S_BCLK に整列されます。これは、表 27-5 の構成例に示すようにプログラム可能です。

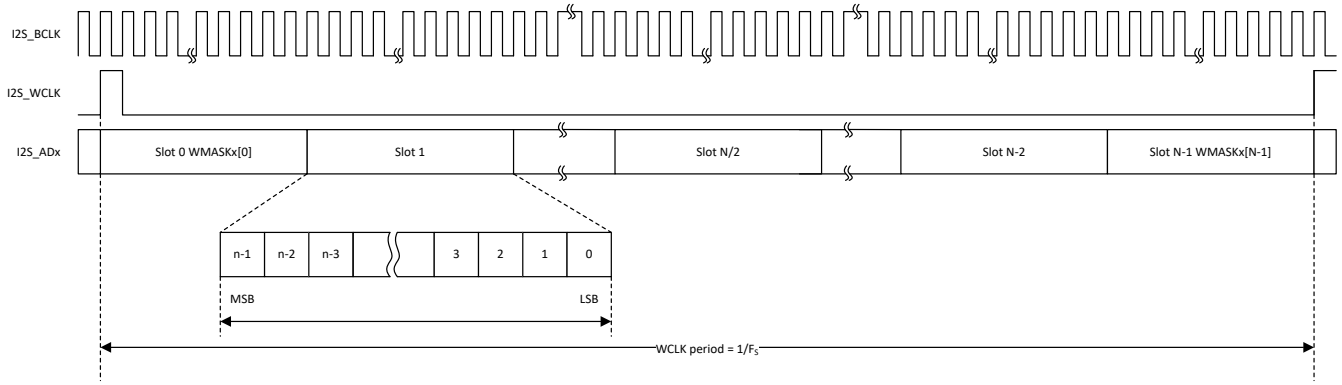


図 27-13. DSP フォーマット

表 27-5. DSP フォーマット構成

パラメータ フィールド	値
FMTCFG.DATADLY	0 または 1
FMTCFG.WORDLEN	サンプルあたりのビット数
FMTCFG.SMPLEDGE	0
FMTCFG.DUALPHASE	0

Copyright © 2026 Texas Instruments Incorporated

表 27-5. DSP フォーマット構成 (続き)

パラメータ フィールド	値
WCLKSRC.WCLKINV	0
CLKCTL.WCLKPHASE	0
WCLKDIV.WDIV[15:10]	プログラムしない
WCLKDIV.WDIV[9:0]	≥ サンプルあたりのビット数 x スロット数

27.2.6.5 PCM ロング フレーム フォーマット

PCM ロング フレームは、図 27-14 に示すように、13 I2S_BCLK 周期にわたって I2S_WCLK が High の単相フォーマットです。このフレーム フォーマットでは、I2S_WCLK は、カスタム I2S_WCLK を生成するために、表 27-6 に示すように WCLKDIV.WDIV をプログラミングすることで、CLKCTL.WCLKPHASE を設定する必要のあるパターンです。

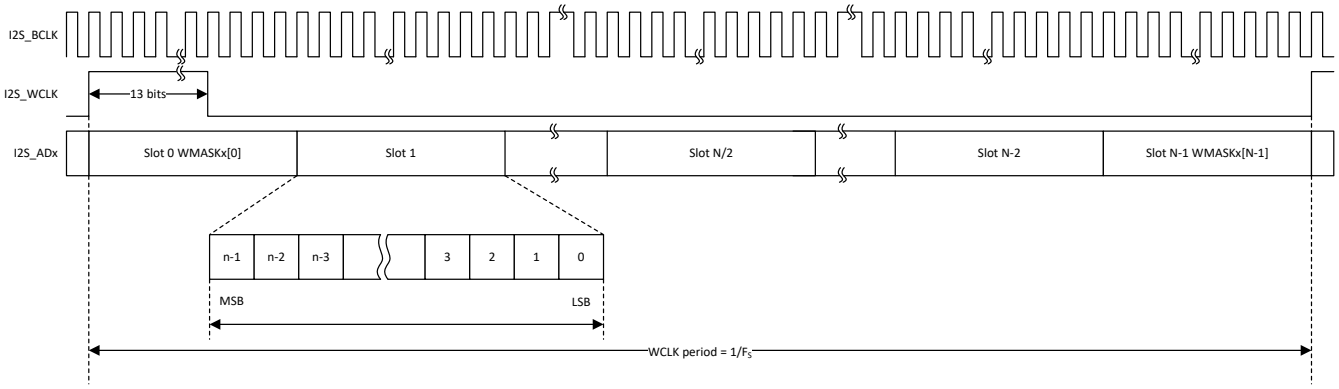


図 27-14. PCM ロング フレーム フォーマット

表 27-6. PCM ロング フレーム フォーマットの構成

パラメータ フィールド	値
FMTCFG.DATADLY	0
FMTCFG.WORDLEN	サンプルあたりのビット数
FMTCFG.SMPLEDGE	0
FMTCFG.DUALPHASE	0
WCLKSRC.WCLKINV	0
CLKCTL.WCLKPHASE	2
WCLKDIV.WDIV[15:8]	13- (サンプルあたりのビット数 x スロット数)
WCLKDIV.WDIV[7:0]	13

27.2.6.6 TDM クラシック形式

TDM フレーム形式は単相形式であり、I2S_WCLK の High と Low に対応する複数のバリエーションがあります。図 27-15 に、形式の 1 つを示します。ここで、I2S_WCLK はフレームレート全体で 50% のデューティ サイクルです。表 27-7 に示すように、これは、カスタム I2S_WCLK の作成のために CLKCTL.WCLKPHASE をセットし、それに応じて WCLKDIV.WDIV をプログラミングすることで実現できます。

Copyright © 2026 Texas Instruments Incorporated

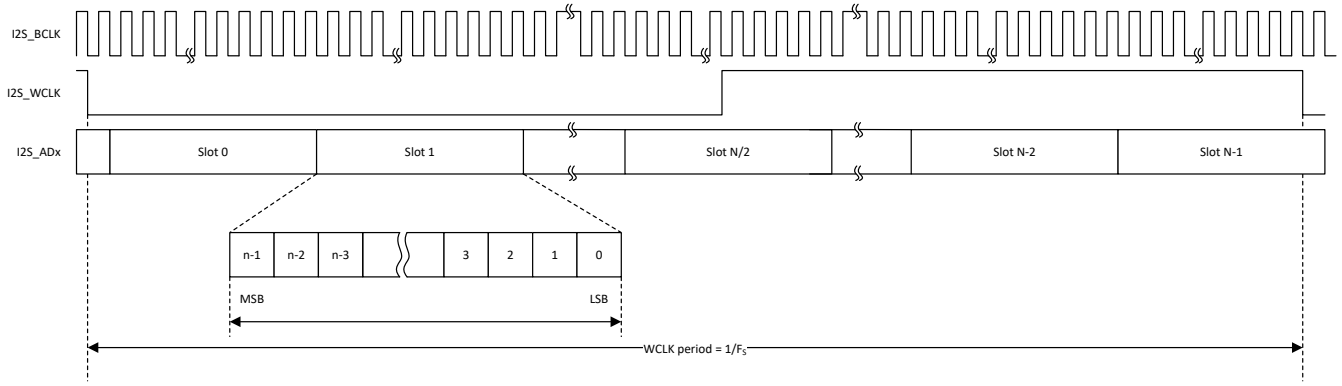


図 27-15. TDM クラシック形式

表 27-7. TDM クラシック形式の構成

パラメータ フィールド	値
FMTCFG.DATADLY	1
FMTCFG.WORDLEN	サンプルあたりのビット数
FMTCFG.SMPLEDGE	1
FMTCFG.DUALPHASE	0
WCLKSRC.WCLKINV	1
CLKCTL.WCLKPHASE	2
WCLKDIV.WDIV[15:8]	(サンプルあたりのビット数 x スロット数) ÷2
WCLKDIV.WDIV[7:0]	(サンプルあたりのビット数 x スロット数) ÷2

27.2.7 初期化

I2S モジュールのセットアップまたは構成変更を行う前に、更新中や最初のデータの受信または送信後に予測不能な動作が発生しないようにするため、FMTCFG.ENABLE ビットをクリアする必要があります。

以下の手順は、コントローラとターゲットの両方の構成に共通です。

1. I2S_BCLK、I2S_WCLK、I2S_MCLK (オプション)、I2S_AD0、I2S_AD1 ピンの機能用に、ピンの IOMUX レジスタで I2S ピンを構成します。
2. I2Sx.RSTCTL レジスタを使用して、ペリフェラルをリセットします。
3. I2Sx.PWREN レジスタを使用して、I2S ペリフェラルへの電力供給を有効にします。

コントローラ モードの構成

1. I2Sx.WCLKSRC に 2h を書き込み、I2S 機能クロック ソースを内部クロックとして選択します。
2. I2Sx.MCLKDIV (オプション)、I2Sx.BCLKDIV、I2Sx.WCLKDIV を使用して、I2S_MCLK (オプション)、I2S_BCLK、I2S_WCLK の分周器をそれぞれ選択します。
3. フレーム フォーマットを設定します。セクション 27.2.6 に、構成例を示します。
4. チャネル構成の構成を設定します。チャネル構成の例については、セクション 27.2.5 を参照してください。
5. I2S_IFLS レジスタで、割り込みまたは DMA トリガの FIFO スレッショルドを設定します。
6. コントローラ モードで、I2Sx.CLKCTL.WBEN および I2Sx.CLKCTL.MEN (オプション) ビットをセットして、フレーム クロック生成を有効にします。
7. I2Sx.FMTCFG.ENABLE を 1 に設定して、ペリフェラルの動作を有効にします。

ターゲット モードの構成

1. I2Sx.WCLKSRC に 1h を書き込み、I2S 機能クロック ソースにパッドを選択します。
2. フレーム フォーマットを設定します。セクション 27.2.6 に、構成例を示します。

Copyright © 2026 Texas Instruments Incorporated

3. チャネル構成の構成を設定します。チャネル構成の例については、セクション 27.2.5 を参照してください。
4. I2S_IFLS レジスタで、割り込みまたは DMA トリガの FIFO スレッショルドを設定します。
5. I2Sx.FMTCFG.ENABLE を 1 に設定して、ペリフェラルの動作を有効にします。

27.2.8 I2S の無効化

I2S は連続的なストリーミング プロトコルであり、STOP、STANDBY、SHUTDOWN などの低消費電力モードに遷移するときに、ペリフェラルの無効化が必要になる場合があります。IDLE ステータス ビットはなく、バスにはこのような条件がないため、ペリフェラルを無効にするときに、ホスト アプリケーションで TXFIFO と RXFIFO を確実にフラッシュする必要があります。

また、I2S モジュールがフレーム間に存在する可能性があるため、外部デバイスが有効な I2S_WCLK フレーム同期境界を確実に認識できるように、ペリフェラルの再開時にはリセットと初期化を行うことを推奨します。

注

I2S_BCLK と I2S_WCLK を無効にする場合、ホストは、遷移中に再度有効にする前に、I2S_BCLK の 4 周期分を待機する必要があります。

ペリフェラル レジスタへの書き込みを有効にするには、PWREN ビットに書き込む必要があることに注意してください。

27.2.9 割り込みおよびイベント サポート

I2S モジュールには 3 つのイベント パブリッシャが含まれています。イベント サブスクライバは含まれていません。1 つのイベント パブリッシャ (CPU_INT) が、静的イベント ルートによって CPU サブシステムへの I2S 割り込み要求 (IRQ) を管理します。2 番目と 3 番目のイベント パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX) は、DMA イベント ルート経由での DMA のトリガ信号伝達を設定するために使用されます。

表 27-8 に、I2S イベントのまとめを示します。

表 27-8. I2S イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	I2S	CPU サブシステム	静的ルート	CPU_INT レジスタ	I2S から CPU への固定割り込みルート
DMA トリガ	パブリッシャ	I2S	DMA	DMA イベントルート	DMA_TRIG_RX レジスタ	I2S から DMA への固定割り込みルート
DMA トリガ	パブリッシャ	I2S	DMA	DMA イベントルート	DMA_TRIG_TX レジスタ	I2S から DMA への固定割り込みルート

27.2.9.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

I2S モジュールには、CPU 割り込みイベントのソースとして設定できる 8 つの割り込みソースがあります。割り込み優先度の高い順に、I2S からの CPU 割り込みイベントは次のとおりです:

表 27-9. I2S CPU 割り込みイベント ルート (CPU_INT)

IIDX STAT	名称	説明
0x01	WCLKERR	位相のデータ遅延期間中に予期しない I2Sx_WCLK エッジが発生した場合のエラー割り込み
0x02	RXIFG	I2S 受信割り込みフラグ。
0x03	TXIFG	I2S 送信割り込みフラグ。
0x04	RXFIFO_OFV_EVT	RXFIFO オーバーフロー割り込み
0x05	TXFIFO_UNF_EVT	TXFIFO アンダーフロー割り込み
0x10	DMA_DONE_RX	この割り込みは、RX DMA チャネルが DONE 信号を送信すると設定されます。
0x11	DMA_DONE_TX	この割り込みは、TX DMA チャネルが DONE 信号を送信すると設定されます。

Copyright © 2026 Texas Instruments Incorporated

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。CPU 割り込みのイベント レジスタを構成する方法のガイダンスについては、セクション 8.2.5 を参照してください。

受信割り込み (RXIFG、0x02) は、次のいずれかのイベントが発生すると状態が変化します:

- 受信 FIFO がプログラムされたトリガ レベル以上の場合、受信割り込みがセットされます。
- 受信割り込みは、受信 FIFO のデータ レベルがトリガ スレッショルド未満になるまでデータを読み出すか、割り込みインデックスを読み出す (IIDX 読み取り) か、ICLR の受信割り込みビットに 1 を書き込むことでクリアされます。

受信 FIFO は、その後の割り込みが正しく生成されるように、受信 FIFO のエントリ数が IFLS でプログラムされたスレッショルドを下回るまで読み取る必要があります。

送信割り込み (TXIFG、0x03) は、次のいずれかのイベントが発生すると状態が変化します:

- 送信 FIFO がプログラムされたトリガ レベル以下のとき、送信割り込みがセットされます。
- 送信割り込みは、送信 FIFO のデータ レベルがトリガ スレッショルドを超えるまでデータを書き込むか、割り込みインデックスを読み出す (IIDX 読み取り) か、ICLR の送信割り込みビットに 1 を書き込むことでクリアされます。

以降の割り込みが正しく生成されるように、FIFO 内のエントリ数が IFLS で設定されたスレッショルドを超えるまで、送信 FIFO にデータを書き込む必要があります。

27.2.9.2 DMA トリガ パブリッシャ (DMA_TRIG_RX、DMA_TRIG_TX)

DMA_TRIG_RX および DMA_TRIG_TX レジスタは、DMA のトリガ信号の伝達を設定するために使用されます。これは、トリガ条件に応じて受信または送信イベントの DMA をトリガするように柔軟に設定できます。

DMA_TRIG_RX は、受信データ転送を実行する DMA をトリガするために使用され、DMA_TRIG_TX は送信データ転送を実行する DMA をトリガするために使用されます。DMA トリガ イベントの構成は、DMA_TRIG_RX および DMA_TRIG_TX イベント管理レジスタによって管理されます。イベント レジスタの構成に関するガイダンスについては、セクション 8.2.5 を参照してください。DMA トリガ イベントの動作については、セクション 8.1.3.2 を参照してください。

27.2.10 エミュレーション モード

デバイスがデバッグ モードのとき、モジュールの動作は、PDBGCTL レジスタの FREE ビットと SOFT ビットによって制御されます。デバイスがデバッグ モードで、HALT モードに設定されている場合は、次の動作を構成できます。

表 27-10. デバッグ モード時のペリフェラルの動作

PDBGCTL.FREE	PDBGCTL.SOFT	機能
1	X	モジュールは動作を継続
0	0	予約済み。動作は予測不可能
0	1	次の転送の完了時にモジュールが停止

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

27.3 I2S のレジスタ

I2S レジスタのメモリマップされたレジスタを、表 27-11 に示します。表 27-11 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 27-11. I2S のレジスタ

オフセット	略称	レジスタ名	グループ	セクション
800h	PWREN	パワー イネーブル		表示
804h	RSTCTL	リセット制御		表示
808h	CLKCFG	ペリフェラル クロック構成レジスタ		表示
814h	STAT	ステータス レジスタ		表示
1008h	PDBGCTL	ペリフェラル デバッグ制御		表示
1020h	IIDX	割り込みインデックス		表示
1028h	IMASK	割り込みマスク レジスタ。I2S_IRQ イベントを発生させる [IRQFLAGS.*] のフラグのマスク状態を選択します。		表示
1030h	RIS	このレジスタは、未処理の割り込みステータスを通知します。		表示
1038h	MIS	このレジスタは、未処理の割り込みステータスを通知します。		表示
1040h	ISET	割り込みセット レジスタ。 このレジスタは、診断および安全性チェックの目的でソフトウェアによって使用されます。		表示
1048h	ICLR	割り込みクリア レジスタ。 このレジスタは、ソフトウェアから割り込みをクリアする際に使用します。		表示
1058h	IMASK	割り込みマスク	DMA_TRIG_RX	表示
1060h	RIS	未加工の割り込みステータス	DMA_TRIG_RX	表示
1068h	MIS	マスクされた割り込みステータス	DMA_TRIG_RX	表示
1070h	ISET	割り込みをセット	DMA_TRIG_RX	表示
1088h	IMASK	割り込みマスク	DMA_TRIG_TX	表示
1090h	RIS	未加工の割り込みステータス	DMA_TRIG_TX	表示
1098h	MIS	マスクされた割り込みステータス	DMA_TRIG_TX	表示
10A0h	ISET	割り込みをセット	DMA_TRIG_TX	表示
10E4h	INTCTL	割り込み制御レジスタ		表示
1100h	FMTCFG	このレジスタは、シリアル インターフェイス形式を設定します		表示
1104h	CLKCTL	このレジスタは、内部オーディオ クロックを制御します		表示
1108h	STAT	ステータス レジスタ		表示
110Ch	IFLS	割り込み FIFO レベル選択レジスタ		表示
1110h	WCLKSRC	このレジスタは、WCLK ソースを設定します		表示
1118h	DIRCFG	このレジスタは、データ ピン (AD0/AD1) の方向を設定します。		表示

Copyright © 2026 Texas Instruments Incorporated

表 27-11. I2S のレジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
1120h	TXDATA	送信データ レジスタ		表示
1124h	RXDATA	受信データ レジスタ		表示
1148h	WMASK0	このレジスタは、データ ピン 0 (AD0) のワード選択マスクを設定します		表示
114Ch	WMASK1	このレジスタは、データ ピン 1 (AD1) のワード選択マスクを設定します		表示
1160h	MCLKDIV	このフィールドは、MCLK の分周比を設定します		表示
1164h	WCLKDIV	WCLK の分周比を設定します		表示
1168h	BCLKDIV	このフィールドは、BCLK の分周比を設定します		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 27-12 に、このセクションでアクセス タイプに使用しているコードを示します。

表 27-12. I2S のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

27.3.1 PWREN (オフセット = 800h) [リセット = 00000000h]

図 27-16 に、PWREN を示し、表 27-13 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 27-16. PWREN

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R-0h							R/WK – 0h

表 27-13. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブル 1h = 電源をイネーブル

Copyright © 2026 Texas Instruments Incorporated

27.3.2 RSTCTL (オフセット = 804h) [リセット = 00000000h]

図 27-17 に、RSTCTL を示し、表 27-14 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 27-17. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
R-0h						WK-0h	WK-0h

表 27-14. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	R	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリアします
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

27.3.3 CLKCFG (オフセット = 808h) [リセット = 00000000h]

図 27-18 に、CLKCFG を示し、表 27-15 に、その説明を示します。

概略表に戻ります。

ペリフェラル クロック構成レジスタ

図 27-18. CLKCFG

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY								予約済み							
W-0h								R-0h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														DAICLK	
R-0h														R/W-0h	

表 27-15. CLKCFG フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	状態変更を許可するキー -- 0xA9 A9h = GPRCM のフィールド変更を許可するキー値
23-2	予約済み	R	0h	
1-0	DAICLK	R/W	0h	オーディオ クロック 0h = SYSOSC 1h = HF 水晶振動子 2h = PLL 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

27.3.4 STAT (オフセット = 814h) [リセット = 00000000h]

図 27-19 に、STAT を示し、表 27-16 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 27-19. STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 27-16. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされてから、ペリフェラルがリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h = 最後にビットがクリアされてからペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.5 PDBGCTL (オフセット = 1008h) [リセット = 00000003h]

図 27-20 に、PDBGCTL を示し、表 27-17 に、その説明を示します。

概略表に戻ります。

このレジスタは、ソフトウェア開発者が「Core Halted」入力に対するペリフェラルの動作を制御するために使用できます

図 27-20. PDBGCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						SOFT	FREE
R-0h						R/W-1h	R/W-1h

表 27-17. PDBGCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	SOFT	R/W	1h	ソフト ホールト境界制御。この機能は、FREE が STOP 0h = システムを再起動した場合、結果の状態が破損していても、ペリフェラルは直ちに停止します 1h = ペリフェラルは、境界に達するまでデバッグを停止し、データを破損せずに再開できるようにします
0	FREE	R/W	1h	フリーラン コントロール 0h = コアが停止した入力がアサートされている間、ペリフェラルは機能を停止し、デアサートされると再開します。 1h = ペリフェラルは、Core Halted 入力の状態を無視します

Copyright © 2026 Texas Instruments Incorporated

27.3.6 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 27-21 に、IIDX を示し、表 27-18 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグ インターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 27-21. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 27-18. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	モジュール割り込みベクトル値。このレジスタは、最高優先度の割り込みインデックスを提供します。読み出しにより、RIS および MIS レジスタの対応する割り込みフラグがクリアされます。15h～1Fh = 予約済み 00h = 割り込み保留なし 01h = WCLK エラー 2h = 受信割り込み。割り込みフラグ:RX 3h = 送信割り込み。割り込みフラグ:TX 4h = RX FIFO オーバーフロー / 割り込み保留中 5h = TX FIFO アンダーフロー割り込み 10h = RX で DMA 完了 11h = TX で DMA 完了 13h = DMA PRE IRQ 割り込み 14h = DMA PRE IRQ 割り込み

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

27.3.7 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 27-22 に、IMASK を示し、表 27-19 に、その説明を示します。

概略表に戻ります。

割り込みマスク レジスタ。I2S_IRQ イベントを発生させる [IRQFLAGS.*] のフラグのマスク状態を選択します。

図 27-22. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	R/W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み						
R/W-0h	R-0h						
7	6	5	4	3	2	1	0
予約済み			TXFIFO_UNF	RXFIFO_OVF	TXINT	RXINT	WCLKERR
R-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 27-19. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R/W	0h	TX イベント チャネル割り込みで DMA 完了を有効にします 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
15	DMA_DONE_RX	R/W	0h	RX イベント チャネル割り込みで DMA 完了を有効にします 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
14-5	予約済み	R	0h	
4	TXFIFO_UNF	R/W	0h	TX FIFO アンダーフロー割り込みマスク 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
3	RXFIFO_OVF	R/W	0h	RXFIFO オーバーフロー イベント マスク。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	TXINT	R/W	0h	送信割り込みを有効にします。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	RXINT	R/W	0h	受信割り込みを有効にします。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	WCLKERR	R/W	0h	WCLKERR 割り込みマスク 0h = 割り込みマスクを無効にします 1h = 割り込みマスクを有効にします

Copyright © 2026 Texas Instruments Incorporated

27.3.8 RIS (オフセット = 1030h) [リセット = 00000000h]

図 27-23 に、RIS を示し、表 27-20 に、その説明を示します。

概略表に戻ります。

このレジスタは、未処理の割り込みステータスを通知します。

図 27-23. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み						
R-0h	R-0h						
7	6	5	4	3	2	1	0
予約済み			TXFIFO_UNF	RXFIFO_OVF	TXINT	RXINT	WCLKERR
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h

表 27-20. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R	0h	TX イベント チャネル割り込みで DMA 完了 0h = 割り込みは発生していない 1h = 割り込み発生
15	DMA_DONE_RX	R	0h	RX イベント チャネル割り込みで DMA 完了 0h = 割り込みは発生していない 1h = 割り込み発生
14-5	予約済み	R	0h	
4	TXFIFO_UNF	R	0h	TX FIFO アンダーフロー割り込み 0h = 割り込みは発生していない 1h = 割り込み発生
3	RXFIFO_OVF	R	0h	RXFIFO オーバーフロー イベントこの割り込みは、RX FIFO オーバーフローが検出されるとセットされます。 0h = 割り込みは発生していない 1h = 割り込み発生
2	TXINT	R	0h	送信割り込み。 0h = 割り込みは発生していない 1h = 割り込み発生
1	RXINT	R	0h	受信割り込み。 0h = 割り込みは発生していない 1h = 割り込み発生

Copyright © 2026 Texas Instruments Incorporated

表 27-20. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	WCLKERR	R	0h	この割り込みは、以下の場合に設定されます。- 位相のデータ遅延期間中に予期しない WCLK エッジが発生した場合。位相のワード期間およびアイドル期間中の予期しない WCLK エッジは検出されないことに注意してください。- 2 相モードでは、2 つの WCLK エッジの間隔が 4 BCLK サイクル未満の場合。- 単相モードでは、最後のチャネルより前に WCLK パルスが発生した場合。ワード同期が失われたため、このエラーは完全に再起動する必要があります。 0h = 割り込みは発生していない 1h = 割り込み発生

Copyright © 2026 Texas Instruments Incorporated

27.3.9 MIS (オフセット = 1038h) [リセット = 00000000h]

図 27-24 に、MIS を示し、表 27-21 に、その説明を示します。

概略表に戻ります。

このレジスタは、未処理の割り込みステータスを通知します。

図 27-24. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み						
R-0h	R-0h						
7	6	5	4	3	2	1	0
予約済み			TXFIFO_UNF	RXFIFO_OVF	TXINT	RXINT	WCLKERR
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h

表 27-21. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	R	0h	TX イベント チャネル割り込みでマスクされた DMA が完了 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生
15	DMA_DONE_RX	R	0h	RX イベント チャネル割り込みでマスクされた DMA が完了 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生
14-5	予約済み	R	0h	
4	TXFIFO_UNF	R	0h	TX FIFO アンダーフロー割り込み 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生
3	RXFIFO_OVF	R	0h	マスクされた RXFIFO オーバーフロー イベント。この割り込みは、RX FIFO オーバーフローが検出されるとセットされます。 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生
2	TXINT	R	0h	マスクされた送信割り込み。 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生
1	RXINT	R	0h	マスクされた受信割り込み。 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生

Copyright © 2026 Texas Instruments Incorporated

表 27-21. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	WCLKERR	R	0h	この割り込みは、以下の場合に設定されます。- 位相のデータ遅延期間中に予期しない WCLK エッジが発生した場合。位相のワード期間およびアイドル期間中の予期しない WCLK エッジは検出されないことに注意してください。- 2 相モードでは、2 つの WCLK エッジの間隔が 4 BCLK サイクル未満の場合。- 単相モードでは、最後のチャネルより前に WCLK パルスが発生した場合。ワード同期が失われたため、このエラーは完全に再起動する必要があります。 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生

Copyright © 2026 Texas Instruments Incorporated

27.3.10 ISET (オフセット = 1040h) [リセット = 00000000h]

図 27-25 に、ISET を示し、表 27-22 に、その説明を示します。

概略表に戻ります。

割り込みセット レジスタ。このレジスタは、診断および安全性チェックの目的でソフトウェアによって使用されます。

図 27-25. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み						
W-0h	R-0h						
7	6	5	4	3	2	1	0
予約済み			TXFIFO_UNF	RXFIFO_OVF	TXINT	RXINT	WCLKERR
R-0h			W-0h	W-0h	W-0h	W-0h	W-0h

表 27-22. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	W	0h	TX イベントチャネル割り込みで DMA 完了を設定 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
15	DMA_DONE_RX	W	0h	RX イベントチャネル割り込みで DMA 完了を設定 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
14-5	予約済み	R	0h	
4	TXFIFO_UNF	W	0h	TX FIFO アンダーフロー イベントを設定 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
3	RXFIFO_OVF	W	0h	RXFIFO オーバーフロー イベントを設定 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
2	TXINT	W	0h	送信割り込みを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
1	RXINT	W	0h	受信割り込みを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
0	WCLKERR	W	0h	このフィールドは、割り込み WCLKERR を設定します 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定

Copyright © 2026 Texas Instruments Incorporated

27.3.11 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 27-26 に、ICLR を示し、表 27-23 に、その説明を示します。

概略表に戻ります。

割り込みクリア レジスタ。このレジスタは、ソフトウェアから割り込みをクリアする際に使用します。

図 27-26. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				予約済み	予約済み	予約済み	DMA_DONE_TX
R-0h				R-0h	R-0h	R-0h	W-0h
15	14	13	12	11	10	9	8
DMA_DONE_RX	予約済み						
W-0h	R-0h						
7	6	5	4	3	2	1	0
予約済み			TXFIFO_UNF	RXFIFO_OVF	TXINT	RXINT	WCLKERR
R-0h			W-0h	W-0h	W-0h	W-0h	W-0h

表 27-23. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	予約済み	R	0h	予約済み
18	予約済み	R	0h	予約済み
17	予約済み	R	0h	
16	DMA_DONE_TX	W	0h	TX イベント チャネル割り込みで DMA 完了をクリア 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
15	DMA_DONE_RX	W	0h	RX イベント チャネル割り込みで DMA 完了をクリア 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
14-5	予約済み	R	0h	
4	TXFIFO_UNF	W	0h	TXFIFO アンダーフロー イベントをクリア 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
3	RXFIFO_OVF	W	0h	RXFIFO オーバーフロー イベントをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
2	TXINT	W	0h	送信割り込みをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
1	RXINT	W	0h	受信割り込みをクリアします。 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
0	WCLKERR	W	0h	このフィールドは、割り込み WCLKERR をクリアします 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

27.3.12 IMASK (オフセット = 1058h) [リセット = 00000000h]

図 27-27 に、IMASK を示し、表 27-24 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 27-27. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RXINT	予約済み
R-0h						R/W-0h	R-0h

表 27-24. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	RXINT	R/W	0h	受信割り込みを有効にします。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.13 RIS (オフセット = 1060h) [リセット = 00000000h]

図 27-28 に、RIS を示し、表 27-25 に、その説明を示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 27-28. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RXINT	予約済み
R-0h						R-0h	R-0h

表 27-25. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	RXINT	R	0h	受信割り込み。 0h = 割り込みは発生していない 1h = 割り込み発生
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.14 MIS (オフセット = 1068h) [リセット = 00000000h]

図 27-29 に、MIS を示し、表 27-26 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 27-29. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RXINT	予約済み
R-0h						R-0h	R-0h

表 27-26. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	RXINT	R	0h	マスクされた受信割り込み。 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.15 ISET (オフセット = 1070h) [リセット = 00000000h]

図 27-30 に、ISET を示し、表 27-27 に、その説明を示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 27-30. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RXINT	予約済み
R-0h						W-0h	R-0h

表 27-27. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	RXINT	W	0h	受信割り込みを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.16 IMASK (オフセット = 1088h) [リセット = 00000000h]

図 27-31 に、IMASK を示し、表 27-28 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 27-31. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					TXINT	予約済み	
R-0h					R/W-0h	R-0h	

表 27-28. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	TXINT	R/W	0h	送信割り込みを有効にします。 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.17 RIS (オフセット = 1090h) [リセット = 00000000h]

図 27-32 に、RIS を示し、表 27-29 に、その説明を示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 27-32. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					TXINT	予約済み	
R-0h					R-0h	R-0h	

表 27-29. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	TXINT	R	0h	送信割り込み。 0h = 割り込みは発生していない 1h = 割り込み発生
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.18 MIS (オフセット = 1098h) [リセット = 00000000h]

図 27-33 に、MIS を示し、表 27-30 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 27-33. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					TXINT	予約済み	
R-0h					R-0h	R-0h	

表 27-30. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	TXINT	R	0h	マスクされた送信割り込み。 0h = 割り込みは発生していないが、マスクを無効化。 1h = 割り込み発生
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.19 ISET (オフセット = 10A0h) [リセット = 00000000h]

図 27-34 に、ISET を示し、表 27-31 に、その説明を示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 27-34. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					TXINT	予約済み	
R-0h					W-0h	R-0h	

表 27-31. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	TXINT	W	0h	送信割り込みを設定します。 0h = 0 を書き込んでも何もしない 1h = 割り込みを設定
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.20 INTCTL (オフセット = 10E4h) [リセット = 00000000h]

図 27-35 に、INTCTL を示し、表 27-32 に、その説明を示します。

概略表に戻ります。

割り込み制御レジスタ

図 27-35. INTCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							INTEVAL
R-0h							W-0h

表 27-32. INTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	INTEVAL	W	0h	このフィールドに 1 を書き込むと、割り込みソースが再評価されます。 0h = 割り込みまたはイベント ラインが無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。

Copyright © 2026 Texas Instruments Incorporated

27.3.21 FMTCFG (オフセット = 1100h) [リセット = 00000170h]

図 27-36 に、FMTCFG を示し、表 27-33 に、その説明を示します。

概略表に戻ります。

このレジスタは、シリアル インターフェイス形式を設定します

図 27-36. FMTCFG

31	30	29	28	27	26	25	24
イネーブル	予約済み						中断
R/W-0h	R-0h						R/W-0h
23	22	21	20	19	18	17	16
予約済み							EMPTYSLOTOUTPUT
R-0h							R/W-0h
15	14	13	12	11	10	9	8
DATADLY							
R/W-1h							
7	6	5	4	3	2	1	0
MEMLEN32	SMPLEDGE	DUALPHASE	WORDLEN				
R/W-0h	R/W-1h	R/W-1h	R/W-10h				

表 27-33. FMTCFG フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	イネーブル	R/W	0h	I2S モジュール有効。送信または受信の途中で I2S が無効化された場合、停止する前に現在の文字を完了します。ENABLE ビットがセットされていない場合でも、すべてのレジスタにアクセスして更新できます。セットアップまたは更新中の予測不能な動作を回避するため、ENABLE ビットがクリアされている間に、I2S 動作モードをセットアップおよび変更することを推奨します。無効化されている場合、I2S モジュールはデータを送受信しません。 0h = モジュールを無効化 1h = モジュールを有効化
30-25	予約済み	R	0h	
24	中断	R/W	0h	外部通信を中断します 0h =機能モード再開 1h = 外部通信は中断
23-18	予約済み	R	0h	
17-16	EMPTYSLOTOUTPUT	R/W	0h	このフィールドは、EMPTYSLOTOUTPUT データ ピンの方向を設定します 0h = 空のスロットに 0 を送出 1h = 空のスロットに 1 を送出 2h = 空のスロット期間中、ラインをトライステート 3h = 予約済み
15-8	DATADLY	R/W	1h	このフィールドは、WCLK エッジから、位相の最初のワードの MSB までの BCLK 周期数を設定します。注: 値が 0 の場合、前のワードの LSB と次のワードの開始の間のアイドル期間に、次のワードの MSB が出力されます。それ以外の場合は、データ遅延時間が経過するまで論理 0 が出力されます。 0h = ゼロ BCLK 周期 - LJF および DSP 形式 1h = 1 BCLK 周期 - I2S および DSP 形式 2h = 2 (最小) BCLK 周期 - RJF 形式 FFh = 最大 (255) BCLK 周期 - RJF 形式

Copyright © 2026 Texas Instruments Incorporated

表 27-33. FMTCFG フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	MEMLEN32	R/W	0h	このレジスタは、メモリに格納される、またはメモリからロードされる各ワードのサイズを設定します。 0h = 16BIT:16 ビット (サンプルごとに 1 つの 16 ビット アクセス) 1h = 32BIT:32 ビット (サンプルごとに 1 つの 32 ビット アクセス)
6	SMPLEDGE	R/W	1h	このフィールドは、BCLK のデータ (および WCLK) のサンプル エッジ / 転送エッジを設定します 0h = データは負のエッジでサンプリングされ、正のエッジでクロック出力されます。 1h = データは正のエッジでサンプリングされ、負のエッジでクロック出力されます。
5	DUALPHASE	R/W	1h	このフィールドは、2 相形式または単相形式を選択します 0h = 単相:DSP フォーマット 1h = 2 相:I2S、LJF、RJF の各フォーマット形式
4-0	WORDLEN	R/W	Fh	ワードあたりのビット数 (8-32):単相形式では、これは 1 ワードあたりの正確なビット数です。2 相形式では、これはワードあたりの最大ビット数です。8 より小さい値および 32 より大きい値を使用すると、未定義の動作が発生します。メモリに書き込まれるデータは、MEMLEN32 で定義された 16 ビットまたは 32 ビットに常に整列されます。このアライメントと異なるビット幅が設定された場合、データは切り捨てられるか、ゼロ パディングされます。

Copyright © 2026 Texas Instruments Incorporated

27.3.22 CLKCTL (オフセット = 1104h) [リセット = 00000000h]

図 27-37 に、CLKCTL を示し、表 27-34 に、その説明を示します。

概略表に戻ります。

このレジスタは、内部オーディオ クロックを制御します

図 27-37. CLKCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				MEN	WCLKPHASE		WBEN
R-0h				R/W-0h	R/W-0h		R/W-0h

表 27-34. CLKCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	MEN	R/W	0h	このフィールドは、MCLK の生成を設定します 0h = 生成を無効化 1h = 生成を有効化
2-1	WCLKPHASE	R/W	0h	このフィールドは、WCLK 分周比の計算方法と、各種デューティ サイクルの生成に使用する方法を設定します (WDIV を参照)。
0	WBEN	R/W	0h	このフィールドは、WCLK/BCLK の生成を設定します 0h = 生成を無効化 1h = 生成を有効化

Copyright © 2026 Texas Instruments Incorporated

27.3.23 STAT (オフセット = 1108h) [リセット = 00000000h]

図 27-38 に、STAT を示し、表 27-35 に、その説明を示します。

概略表に戻ります。

ステータス レジスタ

図 27-38. STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
TXCLR	TXFF	TXFE	RXCLR	RXFF	RXFE	予約済み	
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	

表 27-35. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	TXCLR	R	0h	TX FIFO クリア ステータス 0h = FIFO はクリアされていません 1h = FIFO のクリアが完了しています
6	TXFF	R	0h	送信 FIFO フル。このビットの意味は、CTL0 レジスタの FEN ビットの状態によって異なります。 0h = トランスミッタはフル状態ではありません。 1h = FIFO が無効の場合 (FEN が 0)、送信保持レジスタはフルです。FIFO が有効の場合 (FEN が 1)、送信 FIFO はフルです。
5	TXFE	R	1h	送信 FIFO 空。このビットの意味は、CTL0 レジスタの FEN ビットの状態によって異なります。 0h = トランスミッタに送信データがあります。 1h = FIFO が無効の場合 (FEN が 0)、送信保持レジスタは空です。FIFO が有効の場合 (FEN が 1)、送信 FIFO は空です。
4	RXCLR	R	0h	RX FIFO クリア ステータス 0h = FIFO はクリアされていません 1h = FIFO のクリアが完了しています
3	RXFF	R	0h	受信 FIFO フル。このビットの意味は、CTL0 レジスタの FEN ビットの状態によって異なります。 0h = レシーバはデータを受信できます。 1h = FIFO が無効の場合 (FEN が 0)、受信保持レジスタはフルです。FIFO が有効の場合 (FEN が 1)、受信 FIFO はフルです。
2	RXFE	R	1h	受信 FIFO 空。このビットの意味は、CTL0 レジスタの FEN ビットの状態によって異なります。 0h = レシーバは空ではありません。 1h = FIFO が無効の場合 (FEN が 0)、受信保持レジスタは空です。FIFO が有効の場合 (FEN が 1)、受信 FIFO は空です。
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

27.3.24 IFLS (オフセット = 110Ch) [リセット = 00000022h]

図 27-39 に、IFLS を示し、表 27-36 に、その説明を示します。

概略表に戻ります。

IFLS レジスタは、割り込み FIFO レベル選択レジスタです。このレジスタを使用して、TX、RX、タイムアウト割り込みフラグがトリガされるレベルを定義できます。割り込みは、レベルに基づいてではなく、レベルを遷移したことに基づいて生成されます。つまり、フィル レベルがトリガ レベルを超えたときに、割り込みが生成されます。たとえば、受信トリガ レベルがハーフウェイ マークに設定されている場合、受信 FIFO に 2 文字以上が入力されたときに割り込みがトリガされます。リセットから復帰すると、FIFO がハーフウェイマークで割り込みをトリガするように TXIFLSEL ビットと RXIFLSEL ビットが構成されます。

図 27-39. IFLS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RXCLR	RXIFLSEL			TXCLR	TXIFLSEL		
R/W-0h	R/W-2h			R/W-0h	R/W-2h		

表 27-36. IFLS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	RXCLR	R/W	0h	RX FIFO クリア。このビットをセットすると、RX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化 1h = FIFO クリアを有効化
6-4	RXIFLSEL	R/W	2h	受信割り込み FIFO レベル。受信割り込みのトリガ ポイントを次のように選択します。注:ULP ドメインでは、トリガ レベルが以下のために使用されます。0:LVL_1_4 4:LVL_FULL。未定義の設定の場合、デフォルトの設定が使用されます。 1h = RX FIFO >= 1/4 フル 2h = RX FIFO >= 1/2 フル (デフォルト) 3h = RX FIFO >= 3/4 フル 5h = RX FIFO がフルです 6h = RX_FIFO >= (MAX_FIFO_LEN -1) 7h = RX_FIFO <= 1
3	TXCLR	R/W	0h	TX FIFO クリア。このビットをセットすると、TX FIFO の内容がクリアされます。 0h = FIFO クリアを無効化 1h = FIFO クリアを有効化

Copyright © 2026 Texas Instruments Incorporated

表 27-36. IFLS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	TXIFLSEL	R/W	2h	イベント生成用の FIFO レベルの選択 (割り込み / DMA)。注 : 未定義の設定では、デフォルトの設定が使用されます。 1h = TX FIFO <= 3/4 空 2h = TX FIFO <= 1/2 空 (デフォルト) 3h = TX FIFO <= 1/4 空 5h = TX FIFO が空です 6h = TX FIFO <= 1 7h = TX_FIFO >= (MAX_FIFO_LEN -1)

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

27.3.25 WCLKSRC (オフセット = 1110h) [リセット = X0000000h]

図 27-40 に、WCLKSRC を示し、表 27-37 に、その説明を示します。

概略表に戻ります。

このレジスタは、WCLK ソースを設定します

図 27-40. WCLKSRC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					WCLKINV	WBCLKSRC	
R-0h					R/W-Xh	R/W-Xh	

表 27-37. WCLKSRC のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	WCLKINV	R/W	Xh	このフィールドは、WCLK ソース (パッドまたは内部) を反転します。 0h = ソースは反転しません 1h = ソースが反転します
1-0	WBCLKSRC	R/W	Xh	このフィールドは、I2S の WCLK/BCLK ソースを選択します。 0h = なし (0) 1h = パッドからの外部 WCLK ジェネレータ 2h = モジュール PRCM から内部 WCLK ジェネレータ 3h = サポートされていません。NONE (00) と同じ WCLK を出力します

Copyright © 2026 Texas Instruments Incorporated

27.3.26 DIRCFG (オフセット = 1118h) [リセット = 00000000h]

図 27-41 に、DIRCFG を示し、表 27-38 に、その説明を示します。

概略表に戻ります。

このレジスタは、データ ピン (AD0/AD1) の方向を設定します。

図 27-41. DIRCFG

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		AD1		予約済み		AD0	
R-0h		R/W-0h		R-0h		R/W-0h	

表 27-38. DIRCFG フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5-4	AD1	R/W	0h	このフィールドは、AD1 データ ピンの方向を設定します 0h = 未使用 (無効) 1h = 入力 2h = 出力 3h = 予約済み
3-2	予約済み	R	0h	
1-0	AD0	R/W	0h	このフィールドは、AD0 データ ピンの方向を設定します 0h = 未使用 (無効) 1h = 入力 2h = 出力 3h = 予約済み

Copyright © 2026 Texas Instruments Incorporated

27.3.27 TXDATA (オフセット = 1120h) [リセット = 00000000h]

図 27-42 に、TXDATA を示し、表 27-39 に、その説明を示します。

概略表に戻ります。

送信データ レジスタ。このレジスタは、送信データ レジスタ (FIFO とのインターフェイス) です。送信データの場合、FIFO が有効なときに、この位置に書き込まれたデータは送信 FIFO にプッシュされます。FIFO が無効な場合、データはトランスミッタ保持レジスタ (送信 FIFO の下位ワード) に保存されます。このレジスタへの書き込みにより、モジュールから送信が開始されます。

図 27-42. TXDATA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
W-0h																															

表 27-39. TXDATA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	W	0h	送受信されるデータ。送信されるデータがこのフィールドに書き込まれます。読み取り時は、このフィールドには受信されたデータが格納されます。 0h = 最小値 FFFFFFFFh = 可能な最大値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

27.3.28 RXDATA (オフセット = 1124h) [リセット = 00000000h]

図 27-43 に、RXDATA を示し、表 27-40 に、その説明を示します。

概略表に戻ります。

受信データ レジス。このレジスタはデータ受信レジスタ (FIFO とのインターフェイス) です。受信データの場合、FIFO が有効であれば、データ バイトと 4 ビットのステータス (ブレーク、フレーム、パリティ、オーバーラン) が 12 ビット幅の受信 FIFO にプッシュされます。FIFO が無効な場合、データ バイトとステータスは受信保保持レジスタ (受信 FIFO の下位ワード) に格納されます。受信データは、このレジスタを読み取ることで取得できます。

図 27-43. RXDATA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
データ																															
R-0h																															

表 27-40. RXDATA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	データ	R	0h	受信データ。読み取り時は、このフィールドには受信されたデータが格納されます。 0h = 最小値 FFFFFFFFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

27.3.29 WMASK0 (オフセット = 1148h) [リセット = 00000000h]

図 27-44 に、WMASK0 を示し、表 27-41 に、その説明を示します。

概略表に戻ります。

このレジスタは、データ ピン 0 (AD0) のワード選択マスクを設定します

図 27-44. WMASK0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																MASK															
R-0h																R/W-0h															

表 27-41. WMASK0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	MASK	R/W	3h	AD0 のフレーム内の有効なチャネルを示すビット マスク。単相モードでは、各ビットは 1 つのチャネルを表し、フレーム内の最初のワードの LSB から始まります。1 つのフレームには、SoC 構成に基づいて最大 8/16 チャネルを含めることができます。マスクに含まれていないチャネルは、サンプリングされず、メモリにも格納されません。これらのスロットでは、EMPTYSLOTOUTPUT の設定に従って、データがクロック出力されます。2 相モードでは、2 つの LSB のみが考慮されます。ステレオ構成の場合は、両方のを設定します。モノラル構成の場合は、ビット 0 のみを設定します。モノラル モードでは、チャネル 0 のみがサンプリングされてメモリに格納されます。クロック出力時にチャネル 0 が繰り返されます。モノラル モードでは、チャネル 0 のみがサンプリングされてメモリに格納されます。クロック出力時に、2 番目のフェーズでチャネル 0 が繰り返されます。すべてのビットが 0 の場合、入力ワードはメモリに格納されず、出力データ ラインは定数 0 になります。これは、アクティブな出力ピンを使わずに、PWM デバッグ出力を行いたい場合に利用できます。

Copyright © 2026 Texas Instruments Incorporated

27.3.30 WMASK1 (オフセット = 114Ch) [リセット = 00000000h]

図 27-45 に、WMASK1 を示し、表 27-42 に、その説明を示します。

概略表に戻ります。

このレジスタは、データ ピン 1 (AD1) のワード選択マスクを設定します

図 27-45. WMASK1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																MASK															
R-0h																R/W-0h															

表 27-42. WMASK1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	MASK	R/W	3h	AD1 のフレーム内の有効なチャネルを示すビット マスク。単相モードでは、各ビットは 1 つのチャネルを表し、フレーム内の最初のワードの LSB から始まります。1 つのフレームには、SoC 構成に基づいて最大 8/16 チャネルを含めることができます。マスクに含まれていないチャネルは、サンプリングされず、メモリにも格納されません。これらのスロットでは、EMPTYSLOTOUTPUT の設定に従って、データがクロック出力されます。2 相モードでは、2 つの LSB のみが考慮されます。ステレオ構成の場合は、両方のを設定します。モノラル構成の場合は、ビット 0 のみを設定します。モノラル モードでは、チャネル 0 のみがサンプリングされてメモリに格納されます。クロック出力時にチャネル 0 が繰り返されます。モノラル モードでは、チャネル 0 のみがサンプリングされてメモリに格納されます。クロック出力時に、2 番目のフェーズでチャネル 0 が繰り返されます。すべてのビットが 0 の場合、入力ワードはメモリに格納されず、出力データ ラインは定数 0 になります。これは、アクティブな出力ピンを使わずに、PWM デバッグ出力を行いたい場合に利用できます。

Copyright © 2026 Texas Instruments Incorporated

27.3.31 MCLKDIV (オフセット = 1160h) [リセット = 00000000h]

図 27-46 に、MCLKDIV を示し、表 27-43 に、その説明を示します。

概略表に戻ります。

このフィールドは、MCLK の分周比を設定します

図 27-46. MCLKDIV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																						MDIV									
R-0h																						R/W-0h									

表 27-43. MCLKDIV のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9-0	MDIV	R/W	0h	MCLK [2-1024] の生成に使用される分周比の符号なし係数:MCLK = MCUCLK/MDIV[Hz] 値 0 は 1024 と解釈されます。値が 1 は無効です。MDIV が奇数の場合、クロックの Low 位相は High 位相よりも 1 MCUCLK 周期長いものとなります。

Copyright © 2026 Texas Instruments Incorporated

27.3.32 WCLKDIV (オフセット = 1164h) [リセット = 00000000h]

図 27-47 に、WCLKDIV を示し、表 27-44 に、その説明を示します。

概略表に戻ります。

このフィールドは、WCLK の分周比を設定します

図 27-47. WCLKDIV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																WDIV															
R-0h																R/W-0h															

表 27-44. WCLKDIV フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	WDIV	R/W	0h	WCLKPHASE = 0 の場合、単相。WCLK は High 1 周期と Low WDIV[9:0] (符号なし、[1-1023]) BCLK 周期です。WCLK = MCUCLK / BDIV*(WDIV[9:0] + 1) [Hz] WCLKPHASE = 1 の場合、2 相。WCLK (50% デューティ サイクル) の各相は、WDIV[9:0] (符号なし、[1-1023]) BCLK 周期です。WCLK = MCUCLK / BDIV*(2*WDIV[9:0]) [Hz] If WCLKPHASE = 2 の場合、ユーザー定義。WCLK は、WDIV[7:0] (符号なし、[1-255]) BCLK 周期分だけ High 状態となり、その後 WDIV[15:8] (符号なし、[1-255]) BCLK 周期分だけ Low 状態となります。 WCLK = MCUCLK / (BDIV*(WDIV[7:0] + WDIV[15:8]) [Hz]

Copyright © 2026 Texas Instruments Incorporated

27.3.33 BCLKDIV (オフセット = 1168h) [リセット = 00000000h]

図 27-48 に、BCLKDIV を示し、表 27-45 に、その説明を示します。

概略表に戻ります。

このフィールドは、BCLK の分周比を設定します

図 27-48. BCLKDIV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																						BDIV									
R-0h																						R/W-0h									

表 27-45. BCLKDIV フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9-0	BDIV	R/W	0h	BCLK [2-1024] の生成に使用される分周比の符号なし係数:BCLK = MCUCLK/BDIV[Hz] 値 0 は 1024 と解釈されます。値が 1 は無効です。BDIV が奇数で、SMPLEDGE = 0 の場合、クロックの Low 位相は High 位相よりも 1 MCUCLK 周期長いものとなります。BDIV が奇数で、SMPLEDGE = 1 の場合、クロックの High 位相は Low 位相よりも 1 MCUCLK 周期長いものとなります。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

Chapter 28

タイマ (TIMx)

タイマモジュール (TIMx) は、複数の比較 / キャプチャ ブロックを備えたタイマ カウント モジュールです。デバイスに基づいて、汎用タイマ (TIMG) と高度制御タイマ (TIMA) の 2 種類のタイマを使用できます。どちらのタイマも、入力信号のエッジや周期の測定 (キャプチャ モード) や、PWM などの出力波形の生成 (比較モード出力) といった、多種多様な機能に利用できる多くの共通機能を備えています。どのタイマや イマーインスタンスが利用可能かについては、デバイス固有のデータ シートを参照してください。

28.1 TIMx の概要 1748
28.2 TIMx の動作 1751
28.3 TIMx レジスタ 1802

Copyright © 2026 Texas Instruments Incorporated

28.1 TIMx の概要

タイマ モジュール (TIMx) は、複数の比較 / キャプチャ ブロックを備えたタイマ カウント モジュールです。デバイスに基づいて、汎用タイマ (TIMG) と高度制御タイマ (TIMA) の 2 種類のタイマを使用できます。どちらのタイマも共通のタイマ アーキテクチャを使用しているため、共通機能を持つタイマ インスタンス間で簡単に移行できます。これにより、タイマ ベースのアプリケーションで追加のソフトウェアを作成する必要が最小限に抑えられ、TIMx インスタンス間で容易に移植およびメンテナンスできます。

注

TIMG インスタンスと TIMA インスタンスの間で利用可能な一般的な機能については、セクション 28.1.3 を参照してください。

このセクションの内容:

- 「TIMx」は、TIMG と TIMA で利用できる一般的な機能を示します。
- 「TIMA」は、TIMA でのみ利用可能な機能を示します。
- 「TIMG」は、TIMG でのみ利用可能な機能を示します。

28.1.1 TIMG の概要

TIMG モジュールは、複数のキャプチャ / 比較、PWM 出力、インターバル タイミング用に最大 4 つのキャプチャ / 比較 (CC) ブロックを備えたプログラマブル プリスケーラによって駆動される 16 ビット自動リロード カウンタで構成されています。また、TIMG は、各種使用事例のためのカウンタ オーバーフロー、リロード、キャプチャ / 比較アクションなどの広範なイベント生成機能も備えています。

28.1.1.1 TIMG の機能

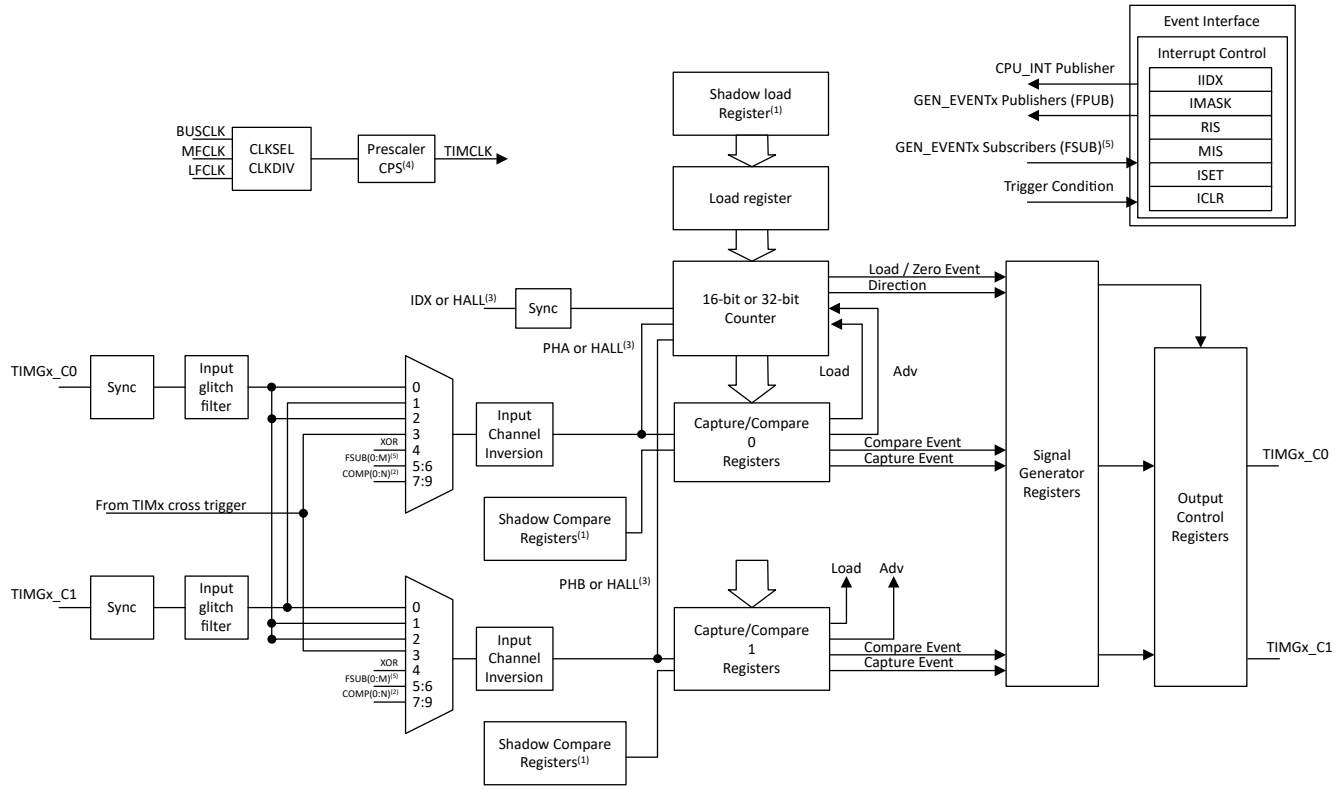
TIMG に特有の機能は以下のとおりです:

- リピート リロード モードを備えた 16 ビットのアップ、ダウン、またはアップ / ダウン カウンタ
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- 以下のための最大 4 個の独立したチャネル
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力 (エッジ整列およびセンター整列)
  - ワンショット モード
- 選択可能 / 構成可能なクロック ソース
- ロードおよび比較値用のシャドウ レジスタ モード (セクション 28.2.4 を参照)
- 直交エンコーダ インターフェイス (QEI) のサポート (セクション 28.2.3.1.3 を参照)
- 位置センシングと速度計算用の 3 入力ホール センサ モード (セクション 28.2.3.1.4 を参照)
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロス トリガをサポート (セクション 28.2.7 を参照)
- イベントを使用して、CPU 割り込み生成とクロス ペリフェラル (ADC、DAC など) をサポートしています (セクション 28.2.9 を参照)

28.1.1.2 機能ブロック図

図 28-1 に、TIMG のブロック図を示します。

Copyright © 2026 Texas Instruments Incorporated



(1) TIMG8_x and TIMG12_x do not have shadow load and compare registers
(2) Devices with comparator only
(3) TIMG8_x support QEI and Hall input mode
(4) Not supported on TIMG12_x
(5) Generic event (GEN_EVENTx) subscribers can be used to trigger any TIMx instance from any generic event publisher (GPIO, COMP, ADC, etc.)

図 28-1. TIMG の機能ブロック図

28.1.2 TIMA の概要

TIMA モジュールは、プログラマブル プリスケーラで駆動される 16 ビット自動リロード カウンタと、複数のキャプチャ / 比較、デッドバンド挿入付き PWM 出力、およびインターバル タイミングに対応する最大 4 個のキャプチャ / 比較 (CC) ブロックで構成されています。TIMA は、オーバーフロー、リロード、および各キャプチャ / 比較イベントなど、さまざまなカウンタ イベントからイベントを生成する幅広い機能を備えています。また、内部回路または外部回路で生成され、システムの故障を示す故障信号を処理するためのハードウェアも備えています。

28.1.2.1 TIMA の機能

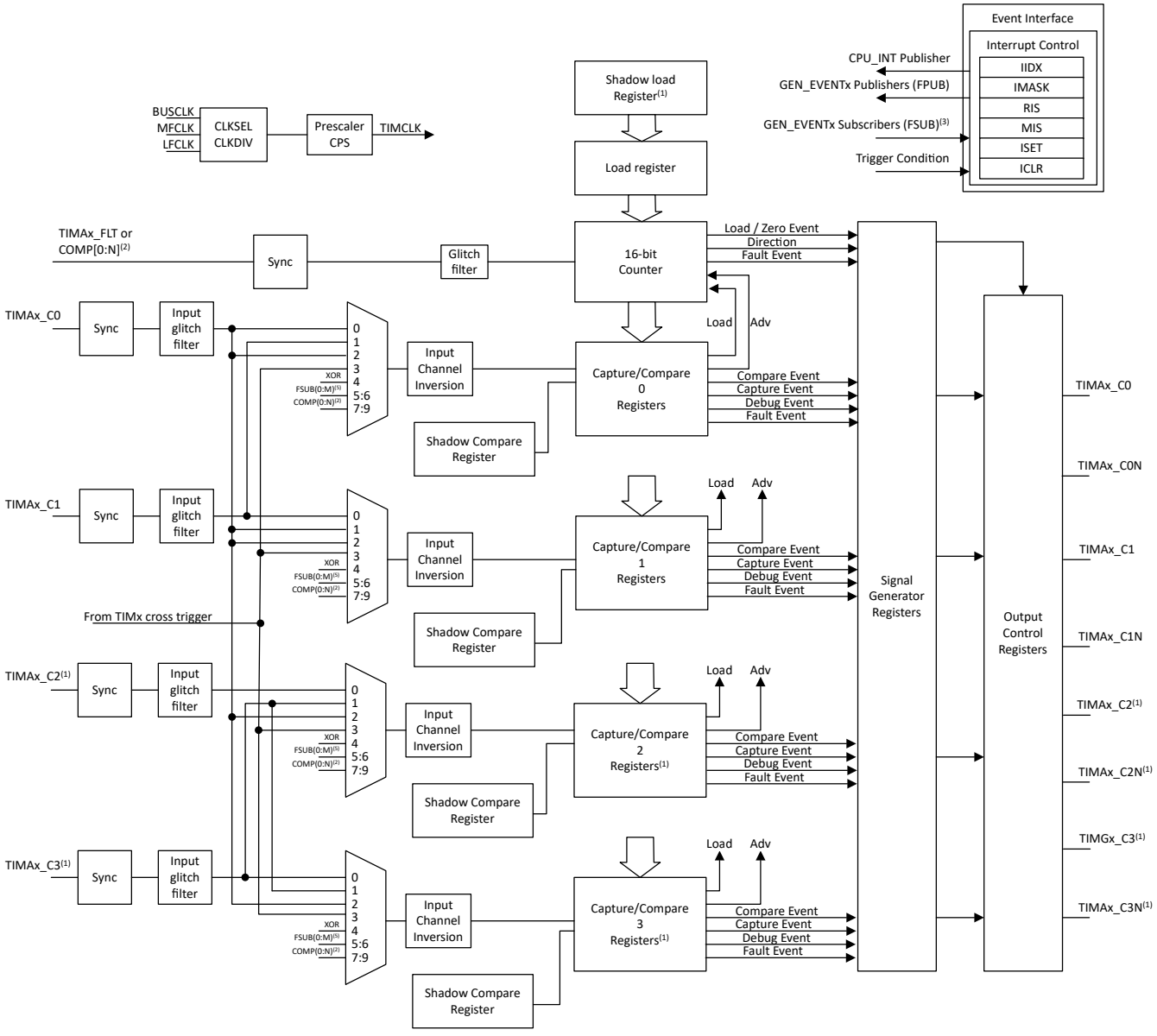
- 16 ビットのダウンまたはアップ / ダウン カウンタ、反復リロード モード付き
- 選択可能 / 構成可能なクロック ソース
- カウンタ クロック周波数を分周するための 8 ビット プログラマブル プリスケーラ
- カウンタで所定のサイクル数が経過した後にのみ割り込みまたはイベントを生成する、リピート カウンタ (セクション 28.2.1.2 を参照)
- 以下のための最大四個の独立したチャネル:
  - 出力の比較
  - 入力のキャプチャ
  - PWM 出力 (エッジ整列およびセンター整列)
  - ワンショット モード
- 内部イベント用の 2 つの追加キャプチャ / 比較チャネル (CC4/CC5)
- ロードおよび比較値用のシャドウ レジスタ (セクション 28.2.4 を参照)
- プログラム可能なデッドバンド挿入付きの相補型 PWM 出力 (セクション 28.2.5.2.4 を参照)
- 非対称 PWM 出力 (セクション 28.2.2.5 を参照)

Copyright © 2026 Texas Instruments Incorporated

- 故障状況が発生したときに、ユーザー定義による安全な状態の出力信号を確保するためのフォルト処理メカニズム (セクション 28.2.6 を参照)
- 同一電力ドメイン内の異なる TIMx インスタンス間の同期とクロストリガをサポート (セクション 28.2.7 を参照)
- イベントを使用して、CPU 割り込み生成とクロス ペリフェラル (ADC、DAC など) をサポートしています (セクション 28.2.9 を参照)

28.1.2.2 機能ブロック図

図 28-2 に、TIMA のブロック図を示します。



(1) TIMA0_x has 4 capture/compare blocks
(2) Devices with comparator only
(3) Generic event (GEN_EVENTx) subscribers can be used to trigger any TIMx instance from any generic event publisher (GPIO, COMP, ADC, etc.)

図 28-2. TIMA のブロック図

28.1.3 TIMx インスタンスの構成

表 28-1 に、TIMA および TIMG インスタンスの TIMx インスタンスの構成を示します。

Copyright © 2026 Texas Instruments Incorporated

表 28-1. TIMx インスタンスの構成

インスタンス	カウンタ分解能	プリスケーラ	リピート カウンタ	CCP チャネル (外部 /内部)	外部 PWM チャネル	位相負荷	シャドウ負荷	シャドウ CC	デッドバンド	フォールト ハンドラ	QEI /ホール入力モード
TIMG0	16 ビット	8 ビット	-	2	2	-	-	-	-	-	-
TIMG1	16 ビット	8 ビット	-	2	2	-	-	-	-	-	-
TIMG2	16 ビット	8 ビット	-	2	2	-	-	-	-	-	-
TIMG3	16 ビット	8 ビット	-	2	2	-	-	-	-	-	-
TIMG4	16 ビット	8 ビット	-	2	2	-	あり	あり	-	-	-
TIMG5	16 ビット	8 ビット	-	2	2	-	あり	あり	-	-	-
TIMG6	16 ビット	8 ビット	-	2	2	-	あり	あり	-	-	-
TIMG7	16 ビット	8 ビット	-	2	2	-	あり	あり	-	-	-
TIMG8	16 ビット	8 ビット	-	2	2	-	-	-	-	-	あり
TIMG9	16 ビット	8 ビット	-	2	2	-	-	-	-	-	あり
TIMG10	16 ビット	8 ビット	-	2	2	-	-	-	-	-	あり
TIMG11	16 ビット	8 ビット	-	2	2	-	-	-	-	-	あり
TIMG12	32 ビット	-	-	2	2	-	-	あり	-	-	-
TIMG13	32 ビット	-	-	2	2	-	-	あり	-	-	-
TIMG14	16 ビット	8 ビット	-	4	4	-	-	-	-	-	-
TIMA0	16 ビット	8 ビット	あり	4/2	8	あり	あり	あり	あり	あり	-
TIMA1	16 ビット	8 ビット	あり	2/2	4	あり	あり	あり	あり	あり	-

注

TIMA インスタンスでは、外部 PWM チャネルは、TIMA0_C0 や TIMA0_C0N などの CC ブロック インスタンスに対してデッドバンドを生成する相補 PWM 出力信号のペアです。独立して PWM 出力生成を行うには、TIMA0_C0 や TIMA0_C1 など、個別の非反転チャネルを使用する必要があります。

注

内部 CC チャネル 4 および 5 (CC_45) は内部比較イベントに使用でき、TIMA でのみ使用可能です。

注

該当するデバイスのデータシートを参照して、デバイスで使用可能な TIMx インスタンスとその電源ドメインを確認してください。

28.2 TIMx の動作

TIMx モジュールは、ユーザー ソフトウェアで設定されます。TIMx のセットアップと動作については、以下のセクションで説明します。

注

タイマ モジュールには、異なるキャプチャ / 比較ポートに対して同じビット フィールドでレジスタをグループ化するためのレジスタ アレイがあります。たとえば、TIMx.CC_01[0/1] は、CCP0 と CCP1 の両方のキャプチャ / 比較レジスタを含むレジスタ アレイです。CC0 のキャプチャ / 比較値を読み取るには TIMx.CC_01[0] にアクセスし、CC1 のキャプチャ / 比較値を読み取るには TIMx.CC_01[1] にアクセスします。

注

TIMx は、イベント レジスタ アレイを使用して、イベント サブスクライバとイベント パブリッシャをサポートしています。詳細については、「イベント」の章を参照してください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

28.2.1 タイマ カウンタ

すべての TIMx インスタンスには 16 ビット カウンタ ブロックがありますが、TIMG12 および TIMG13 には 32 ビット カウンタ ブロックがあります。タイマ カウンタ レジスタ (TIMx.CTR) は、動作モードに応じて、カウント ダウン、アップダウン カウント、またはカウント ダウンを行います。ソフトウェアによって読み取りまたは書き込みが可能です。各カウントは、TIMCLK 信号の立ち上がりエッジごと、または外部信号の両エッジで行われます。

TIMx カウンタを有効にする

このカウンタには、プリスケーラ出力 TIMCLK によってクロックが供給されます。カウンタ イネーブル ビット TIMx.CTRCTL.EN は、次の二つの方法で有効にできます:

- ソフトウェアで手動設定
- ロード条件 (LCOND) またはゼロ条件 (ZCOND) が成立した後、カウンタ イネーブル後値 (CVAE) は、それぞれロード値またはゼロ値に変更されます。

注

TIMx の動作中にカウンタ レジスタへ書き込むことは可能ですが、ユーザーによる書き込みがロード、ゼロ、またはアドバンス イベントと競合する可能性があるため、避けてください。プリスケーラ比に応じては、アプリケーションでは書き込みタイミングを予測できず、その結果、正しいタイマ期間に影響を及ぼす可能性があります。

タイマの動作中は、設定レジスタを変更しないことを推奨します。設定を変更する場合は、カウンタを停止してからタイマ設定を調整してください。

28.2.1.1 クロック ソースの選択およびプリスケーラ

TIMx クロック (TIMCLK) は、内部クロックまたは外部信号トリガからクロックを送信して、クロックを送信することができます。

28.2.1.1.1 内部クロックおよびプリスケーラ

TIMx クロック (TIMCLK) は、TIMx.CLKSEL レジスタを設定することで、BUSCLK、MFCLK、LFCLK から選択できます。また、TIMx.CLKDIV レジスタとプリスケーラ (存在する場合) を設定することで、分周することもできます。選択したソース クロックは常に利用可能であり、周波数は電力モードに依存します。詳細については、「クロック モジュール (CKM)」セクションを参照してください。

TIMCLK は以下のソースから取得できます。各電力ドメインで使用可能なクロックについては、データシートを参照してください。

- BUSCLK:現在のバス クロックが TIMx のソースとして選択されます。現在のバス クロックは電力ドメインによって異なります。
  - TIMx インスタンスが電力ドメイン 1 (PD1) にある場合は、MCLK を参照してください。
  - TIMx インスタンスが電力ドメイン 0 (PD0) にある場合は、ULPCLK を参照してください。
- MFCLK:MFCLK は、TIMx のソースとして選択されます。MFCLK を参照してください。
  - MFCLK が無効になる低消費電力モードに遷移すると、MFCLK を供給するタイマも、MFCLK 動作が回復するまでカウントを停止します。
- LFCLK:LFCLK は、TIMx のソースとして選択されます。LFCLK を参照してください。

選択したクロック ソースは、TIMx に直接渡すことも、8 ビット プリスケーラで分周することもできます。プリスケーラの設定は、レジスタの TIMx.CPS.PCNT ビットで行います。選択した TIMCLK のソースが (PCNT + 1) で分周されます。PCNT の値を 0 にすると、TIMCLK が 1 で分周され、実質的にバイパスされます。PCNT 値が 0 より大きい場合、TIMCLK ソースを分周して、より低速なクロックを生成します。

また、TIMx には、タイマ クロックを無効にするソフトウェア メカニズムもあります。TIMx.CCLKCTL.CLKEN を 0 に設定すると、タイマがアイドル状態になります。

TIMCLK の構成

Copyright © 2026 Texas Instruments Incorporated

クロック ソース、分周比、プリスケーラを構成するには、次の手順に従います。

1. CLKSEL レジスタを使用して、TIMCLK クロック ソース (BUSCLK、MFCLK、LFCLK) を選択します。
2. 必要に応じて、CLKDIV.RATIO を使用して TIMCLK を分周します。
3. プリスケーラのある TIMx インスタンスでは、CPS.PCNT を使用してプリスケーラを設定することもできます。
4. CCLKCTL.CLKEN = 1 を設定して TIMCLK を有効にします。

TIMCLK の周波数は、式 27 で決定されます。

$$f_{TIMCLK} = \frac{f_{CLK_SOURCE}}{((CLKDIV.RATIO + 1)*(CPS.PCNT + 1))} \quad (27)$$

28.2.1.1.2 外部信号トリガ

カウンタは、タイマ入力ピンの外部信号を使用するか、システム内の他のペリフェラルからのイベントでトリガすることによって、カウントを進める (インクリメントまたはデクリメントする) こともできます。これは、アドバンス条件設定 (TIMx.CCCTL_xy[0/1].ACOND) を使用して、アドバンス イベントを生成する条件を指定することで設定できます。カウンタを進めるイベントを指定するには、TIMx.CTRCTL.CAC 設定を使用します。

カウンタは、内部クロック TIMCLK、タイマ外部入力の別のエッジ、または他のペリフェラルからの内部トリガ イベントを使用してカウントを進めることができます。

28.2.1.2 反復カウンタ (TIMA のみ)

TIMA のみでは、反復カウンタ (RC) は 8 ビット カウンタであり、不要なイベントを抑制し、割り込み生成用に実際のイベントを生成するメカニズムを備えています。具体的には、タイマが既知のサイクル数にわたって繰り返されるイベント (このような周期的な PWM 出力波形) を生成する場合、繰り返しカウンタは負荷、比較、ゼロ イベントを抑制できます。これにより、タイマ周期ごとに過剰で不要な割り込みが生成されるのを防止できます。

タイマ カウンタ (TIMA.CTR) が実行されている場合、タイマ カウンタがロードまたはゼロになると (カウント モードに応じて)、反復カウンタ (TIMA.RC) はデクリメントされます。ソフトウェアは、TIMA.RCLD レジスタをセットすることで、割り込み / イベントが生成されるまでのタイマ カウンタ イベントの発生回数を設定できます。TIMA.RC = 0 になると、反復カウンタは TIMA.RCLD にリセットされ、割り込みおよびイベント ステータス レジスタで反復カウンタ ゼロ イベントが発生します (REPC)。

注

ソフトウェアがデバッグまたはフォルト状態でカウントを停止するようにカウンタを設定した場合は、反復カウンタも停止します。詳細については、セクション 28.2.6 とセクション 28.2.10 を参照してください。

また、反復カウンタは、TIMA.RC がゼロと等しくない場合に、ゼロ、負荷、比較イベントの生成を抑制します。

- ゼロおよびロード イベントは、TIMA.CTRCTL.SLZERCNEZ レジスタビットをセットすることで抑制されます
- 比較イベント (表 28-15 を参照) は、TIMA.CCCTL_xy[0/1].SCERCNEZ ビット設定をすることで抑制されます

表 28-2 に、タイマ カウンタとリ反復カウンタのロード値に対する反復カウンタの動作を示します。

表 28-2. 反復カウンタの動作

TIMA.CTR がカウントします	カウンタ値	TIMA.RC = 0	反復カウンタの動作	ロードおよびゼロ イベントを抑制します (SLZERCNEZ = 1)	比較イベントを抑制します (SCERCNEZ = 1)
なし	-	-	変化しません	あり	あり
あり	TIMA.CTR ≠ 0 またはロード	-	変化しません	あり	あり
あり	TIMA.CTR = 0 またはロード	なし	RC の値を 1 小さくします	あり	あり

Copyright © 2026 Texas Instruments Incorporated

表 28-2. 反復カウンタの動作 (続き)

TIMA.CTR がカウントします	カウンタ値	TIMA.RC = 0	反復カウンタの動作	ロードおよびゼロ イベントを抑制します (SLZERCNEZ = 1)	比較イベントを抑制します (SCERCNEZ = 1)
あり	TIMA.CTR = 0 またはロード	あり	TIMA.RC = TIMA.RCLD	なし	なし

反復カウンタの例

図 28-3 に示すように、TIMA.CTR はダウンカウント モード用に構成されており、TIMA.CTR = 0 になるとゼロ イベントが生成されます。4 つのタイマのリロードが発生するまで割り込みの生成を抑制するには、TIMA.RCLD = 4 および TIMA.CTRCTL.SLZERCNEZ = 1 に設定して、RC = 0 になるまでゼロ イベントおよび負荷イベントを抑制します。

注

反復カウンタの使用は、出力信号の生成に影響しません。信号ジェネレータ ユニットに送信され反復カウンタ値に関係なく、すべてのイベントが生成されます。

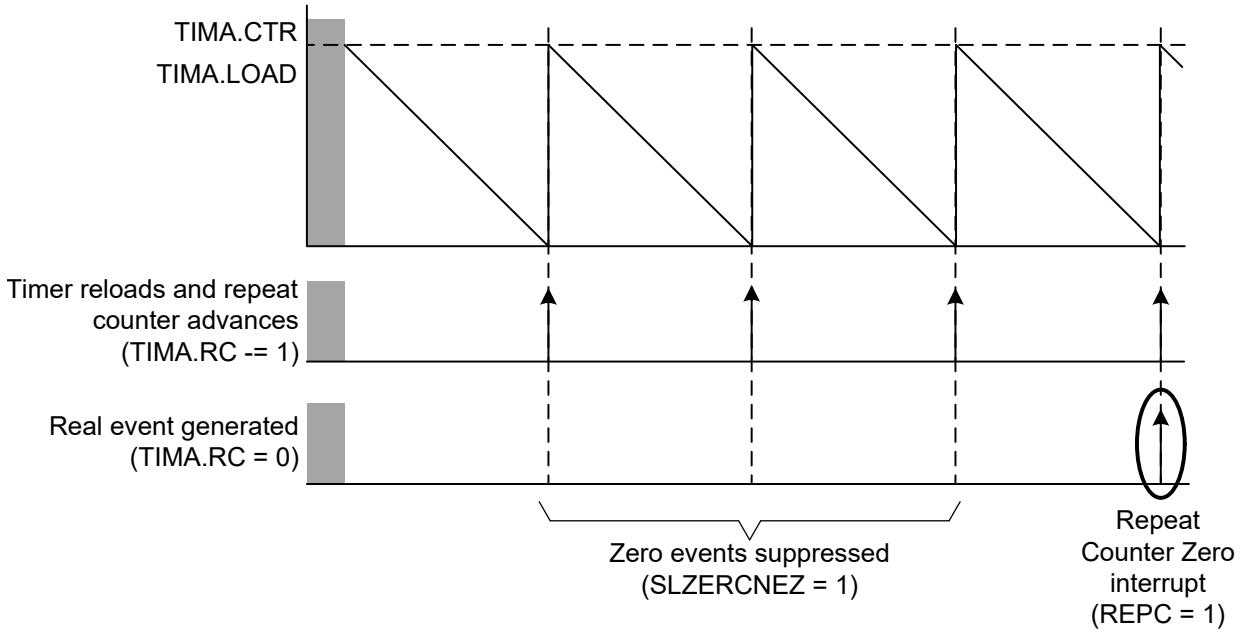


図 28-3. ダウン カウント モードでの TIMx.RCLD = 4 と反復カウンタによって抑制されるイベント

28.2.2 カウント モード制御

デバイスがリセット状態から復帰すると、TIMx は無効化されます。TIMx.CTRCTL.EN ビットに 1 を書き込むと、カウンタが有効になります。TIMx.CTRCTL.REPEAT = 0 (自動リロードしない) で、カウンタ値がゼロになると、このビットは自動的にクリアされます。

TIMx には、イネーブル時の三つのカウント モード (ダウン、アップ / ダウン、アップ) があります。動作モードは、TIMx.CTRCTL.CM ビットで選択します (表 28-3 を参照)。アップ / ダウンモードでは、カウンタがイネーブルになると、タイマは TIMx.CTRCTL.CVAE 設定からカウントを開始します。

表 28-3. TIMx カウント モード (CM)

TIMx.CTRCTL.CM	カウント モード
0	下へ
1	アップ / ダウン

Copyright © 2026 Texas Instruments Incorporated

表 28-3. TIMx カウント モード (CM) (続き)

TIMx.CTRCTL.CM	カウント モード
2	上へ

表 28-4. 有効化後の TIMx カウンタ値 (CVAE)

有効化後のカウンタ値 (CVAE)	説明
0	ロード値
1	現在の値から変更されません
2	ゼロ値

注

イネーブル (CVAE) 後のカウンタ値は、アップ / ダウン モードにのみ適用されます。

28.2.2.1 ワンショットおよび周期カウント モード

図 28-4 に、ワンショット モードと周期モードの両方で動作する TIMx を示します。

ワンショット モード

TIMx.CTRCTL.REPEAT ビットが 0 に設定されている場合、以下の場合 TIMx は進みません:

- TIMx.CTR の値が、ダウンカウント モードまたはアップ / ダウン カウント モードのいずれかで 0 になります
- TIMx.CTR 値は、アップカウント モードで TIMx.LOAD に達します

周期モード (カウンタ リロード)

TIMx.CTRCTL.REPEAT が 1h に設定されている場合、ゼロ イベントが発生するたびに TIMx は自動的に一回繰り返し実行されます。これは次の場合に発生します:

- TIMx.CTR は、ダウンまたはアップ / ダウン カウント モードで 0 に達します
  - ダウン カウント モードでは、ゼロ イベントの次のアドバンス条件でロード イベントが発生します
  - アップ / ダウン カウント モードでは、ゼロ イベントの後にアドバンス イベント (+1) が発生します。
- TIMx.CTR は、アップカウント モードで TIMx.LOAD に達します
  - ロード イベントの後に、次の先行条件でゼロが続きます

TIMx.CTRCTL.REPEAT は 3h に設定することで、デバッグ条件ではない場合にのみ、TIMx を繰り返すこともできます。デバッグ条件が存在する場合、TIMx はゼロ イベントをカウントし、デバッグ条件が解消された後にのみ繰り返されます。

Copyright © 2026 Texas Instruments Incorporated

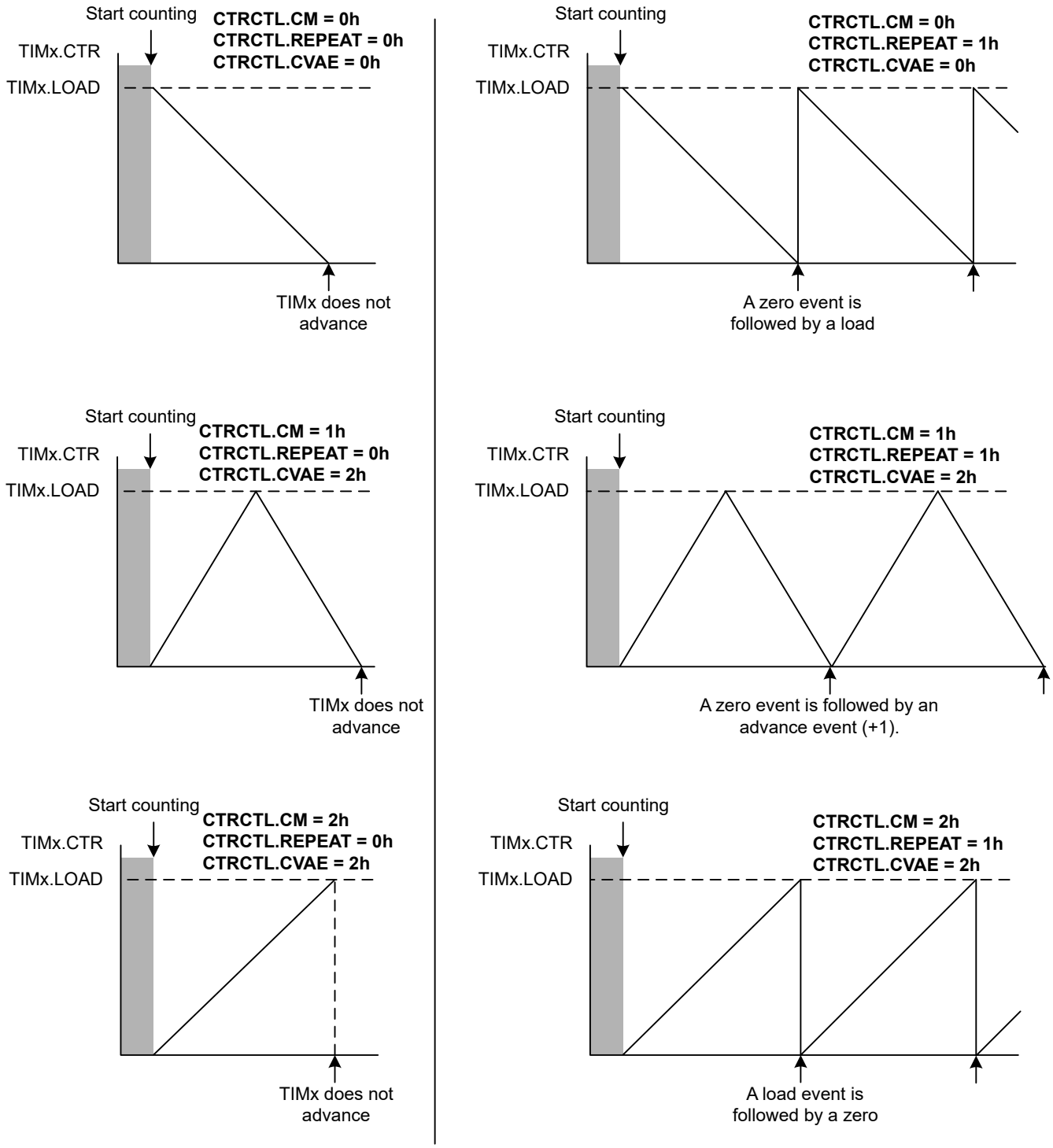


図 28-4. ワンショット モードおよび周期モードの動作

28.2.2.2 ダウン カウント モード

ダウンカウントモード (CM = 0) では、TIMx は TIMx.LOAD で定義された値からゼロまでカウントされます。TIMx.CTR の値が 0 になり、TIMx.CTRCTL.REPEAT が 1 に設定されている場合、TIMx.LOAD の値が TIMx.CTR にロードされ、タイマは図 28-5 に示すダウン カウント動作を繰り返します。

Copyright © 2026 Texas Instruments Incorporated

TIMx がゼロまでカウントすると、ゼロ イベントが生成されます。TIMx が 0 から TIMx.LOAD の値までカウントすると、ロード イベントが生成されます。イベント生成サイクルを、図 28-6 に示します。

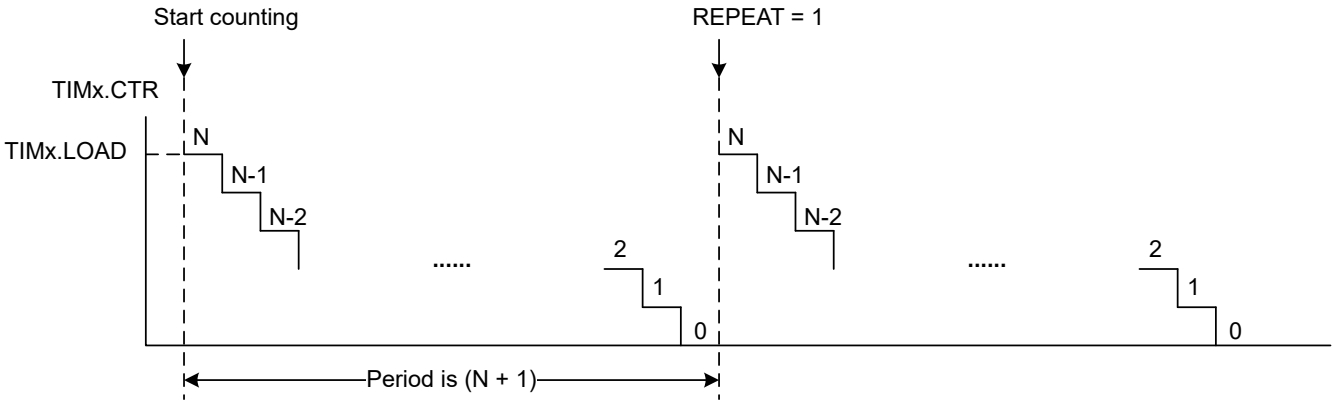


図 28-5. ダウン カウント モード

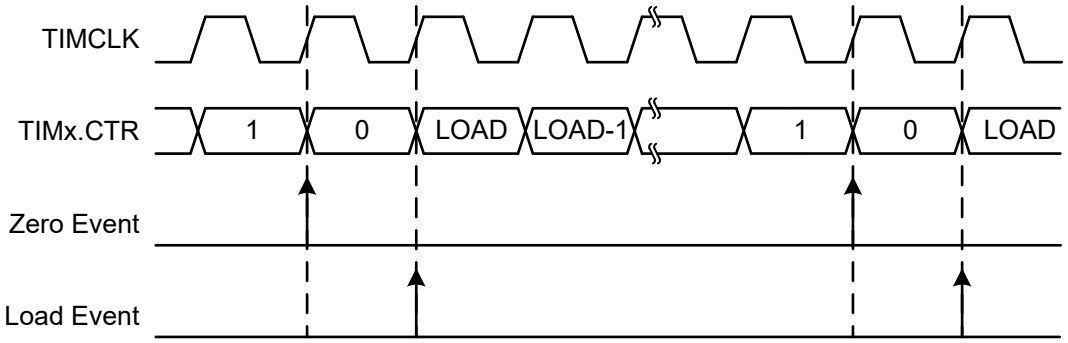


図 28-6. ダウン カウントモードのイベント生成

28.2.2.3 アップ / ダウン カウント モード

アップ / ダウン カウント モードは、TIMx.CTRCTL.CVAE の値に応じて、ダウン方向またはアップダウン方向でカウントできます。TIMx.CTRCTL.CVAE ビットは、カウンタの初期化条件を指定します。

表 28-5. 有効化後のカウンタ値の初期化条件

TIMx.CTRCTL.CVAE の値	有効化後のカウンタ値
0x0	ロード値
0x1	変更なし
0x2	ゼロ

ダウンアップ方向でのカウント

TIMx.CTRCTL.CVAE = 0 の場合、TIMx.CTR は TIMx.LOAD レジスタの値に設定され、TIMx はダウン カウントします。カウント値がゼロに達するとゼロ イベントが生成され、リピートが有効な場合、TIMx は TIMx.LOAD の値までアップ カウントします。TIMx.LOAD の値に達すると、ロード イベントが生成されます。

図 28-7 に、TIMx.CTRCTL.CVAE = 0 のときのダウンアップ方向の TIMx カウントを示します。

Copyright © 2026 Texas Instruments Incorporated

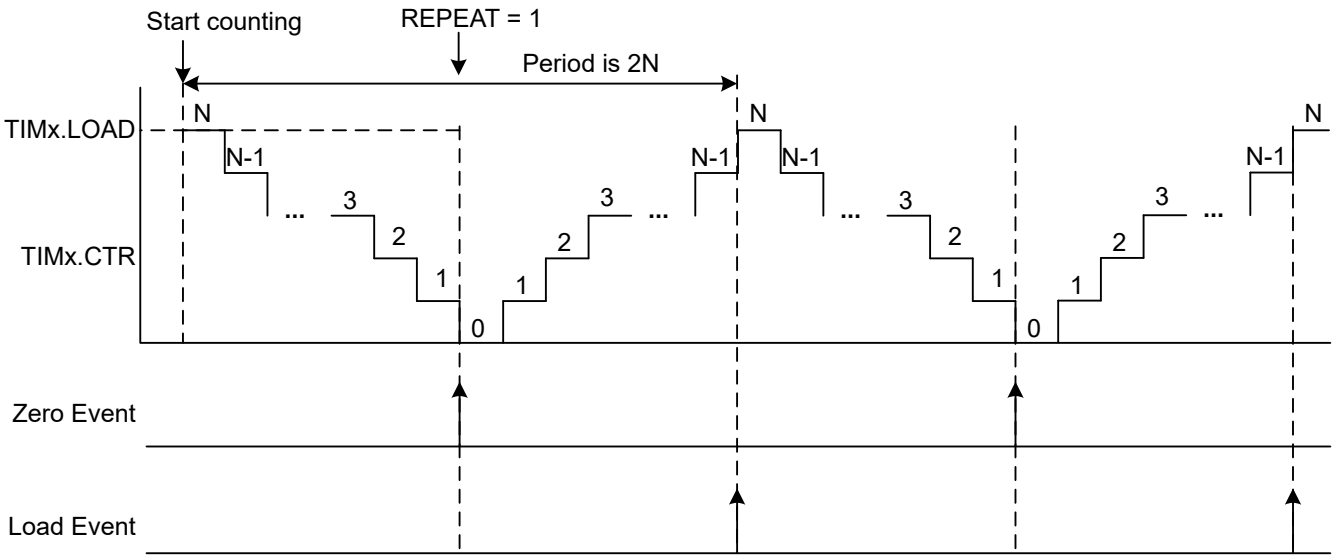


図 28-7. ダウンアップ カウント モードおよびイベント生成、CVAE = 0

アップダウン方向のカウント

TIMx.CTRCTL.CVAE = 2 の場合、TIMx.CTR はゼロに設定され、TIMx はアップ カウントします。カウント値が TIMx.LOAD に達するとロードイベントが生成され、TIMx はゼロまでダウン カウントします。ゼロになると、ゼロ イベントが生成されます。

図 28-8 に、TIMxCTRCTL.CVAE = 2 のときのアップダウン方向の TIMx カウントを示します。

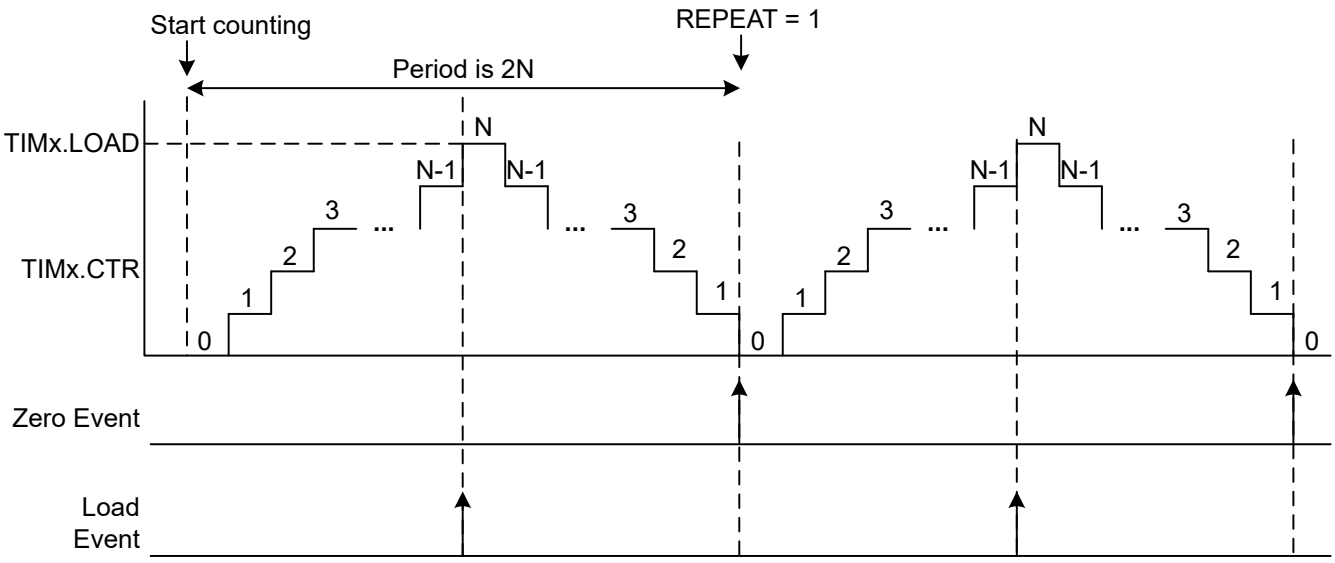


図 28-8. アップダウン カウントモードとイベント生成、CVAE = 2

28.2.2.4 アップ カウント モード

アップ カウント モードでは、TIMx は 0 から TIMx.LOAD で定義された値までカウントします。TIMx.CTR の値が TIMx.LOAD および TIMx.CTRCTL.REPEAT が 0 でない場合、図 28-5 に示すようにゼロが TIMx.CTR にロードされ、タイマはアップ カウント パターンを繰り返します。

TIMx が TIMx.LOAD までカウントすると、ロード イベントが生成されます。TIMx が TIMx.LOAD からゼロ値までカウントすると、ゼロ イベントが生成されます。イベント生成サイクルを、図 28-6 に示します。

Copyright © 2026 Texas Instruments Incorporated

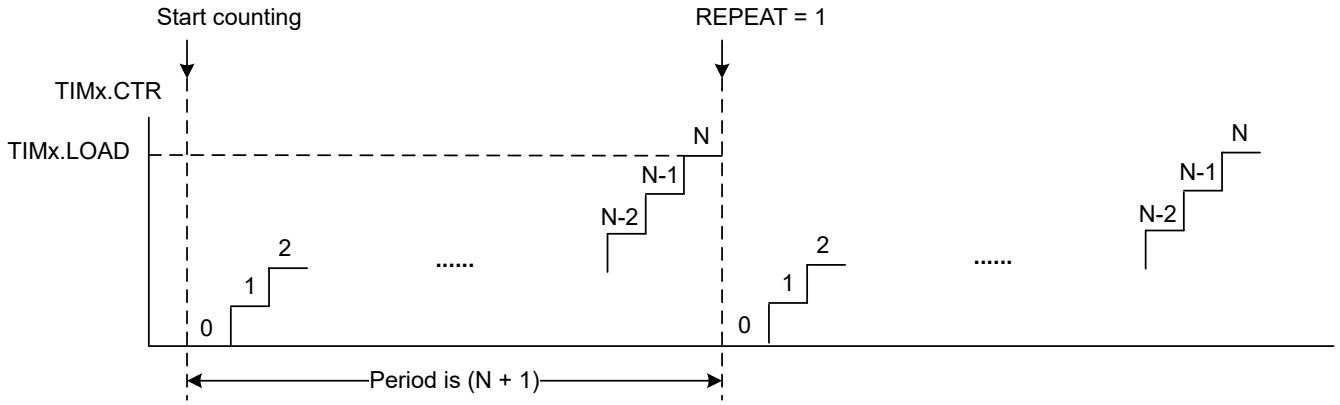


図 28-9. アップ カウント モード

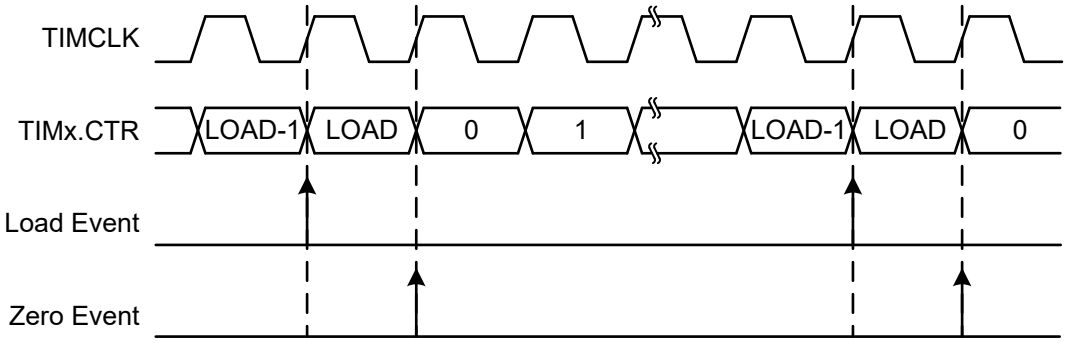


図 28-10. アップ カウント モードのイベント生成

28.2.2.5 位相負荷 (TIMA のみ)

TIMA のみ、位相ロード レジスタ TIMA.PL により、アップ / ダウン カウント モードで TIMA.CTR を 0 または TIMA.LOAD 以外の値からカウントさせることができます。位相ロードは、異なるタイマ インスタンス間で制御された位相差を持つ、非対称センター アライン PWM 出力信号を生成するために使用します。

TIMA.PL がゼロ以外の場合、位相負荷は TIMA.CTRCTL.PLEN = 1 を設定することで有効化され、TIMA.CTTRIG.TRIG = 1 のときにトリガされます。TIMA.CTRCTL.CVAE = 0 のときに位相ロードがトリガされると、タイマは TIMA.PL の値からダウン方向にカウントします。TIMA.CTRCTL.CVAE = 0 の間に位相ロードがトリガされると、TIMx は TIMA.PL 値からアップ方向でカウントされます。

タイマの開始時に TIMA.PL の値がラッチされます。その後、カウンタが前回ラッチされた TIMA.PL の値に達するたびに、TIMA.PL の値が同期されます。図 28-11 に、タイマがアップダウン方向でカウントしており、位相ロード値が新しい値に変化した場合の位相ロード レジスタの動作を示します。

注

アップモードまたはアップ / ダウンモードで、位相負荷がロード値より大きい場合、タイマは位相負荷値から開始され、最大カウンタ値までカウントされます。位相負荷値は負荷値よりも小さくすることを推奨します。

Copyright © 2026 Texas Instruments Incorporated

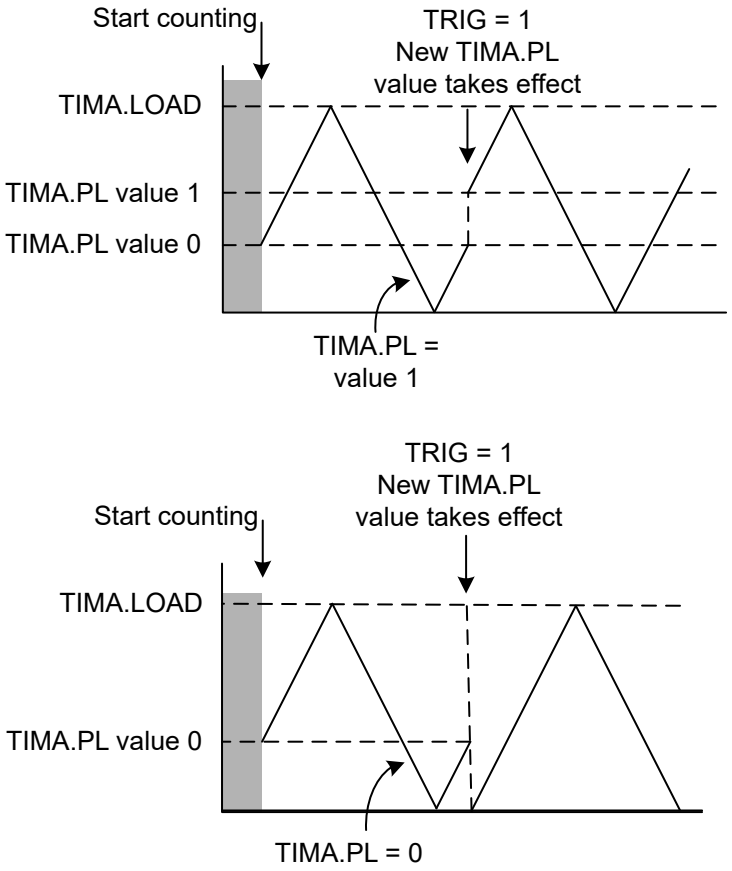


図 28-11. アップダウン モードでの位相ロード レジスタの同期

28.2.3 キャプチャ / 比較モジュール

キャプチャ / 比較 (CC) ブロックは、キャプチャ イベントまたは比較イベントに使用されます。TIMG は、外部信号または内部信号をサポートするため、同一のキャプチャ / 比較ブロックを最大 2 個備えています。TIMA は、同一のキャプチャ / 比較ブロックを最大 4 個備えています。さらに、TIMA は、内部信号からの比較イベント専用として、2 個の追加 CC ブロック (CC4 および CC5) を備えています。TIMx キャプチャ / 比較ブロックは、入力信号のタイミングをキャプチャしたり、時間間隔を生成したりするために使用できます。

28.2.3.1 キャプチャ モード

TIMx.CCCTL_xy[0/1].COC ビットが 1 に設定されている場合、キャプチャ モードが選択されます。キャプチャ モードは、キャプチャ イベントを生成し、時間間隔を記録するために使用します。このモードは速度計算や時間測定に役立ちます。

キャプチャ モードを設定するための主なレジスタ:

- **TIMx.LOAD**:このレジスタの内容は、「ロード」を実行するよう指定された任意の動作時にカウンタ (TIMx.CTR) へコピーされます。この値は、カウンタ値との比較にも使用されます。比較条件が成立すると「ロード イベント」が生成され、割り込み、トリガ、または信号生成の動作に使用できます。
- **TIMx.CC_xy[0/1]**:このレジスタは、イベント発生時に次のカウンタ値を取得または記録するキャプチャ レジスタとして、あるいは現在のカウンタ値と比較してイベントを生成する比較レジスタとして使用できます。
- **TIMx.CCCTL_xy[0/1]**:このレジスタはそれぞれの CC (キャプチャ / 比較) ブロックの動作を制御します。キャプチャ モードでは、立ち上がりエッジまたは立ち下がりエッジのどちらによって、ロード、ゼロ、アドバンス、またはキャプチャ条件を発生させるかを設定できます。比較モードでは、どのソースが異なるタイプの比較イベントを生成するかを制御します。
- **TIMx.CTRCTL**:このレジスタは、さまざまな条件下でのカウンタ動作を制御します。
- **TIMx.IFCTL_xy[0/1]**:このレジスタは関連する CC ブロックの入力フィルタリング (FE、FP、CPV)、選択 (ISEL)、反転 (INV) を制御します。

Copyright © 2026 Texas Instruments Incorporated

28.2.3.1.1 入力選択、カウンタ条件、反転

TIMx.IFCTL レジスタは、キャプチャ / 比較ブロックの入力ソース、フィルタリング、最終的な反転オプションの選択に使用されます。

図 28-12 に、二つの CC チャネルを持つ TIMx キャプチャ ブロックのブロック図を示します。

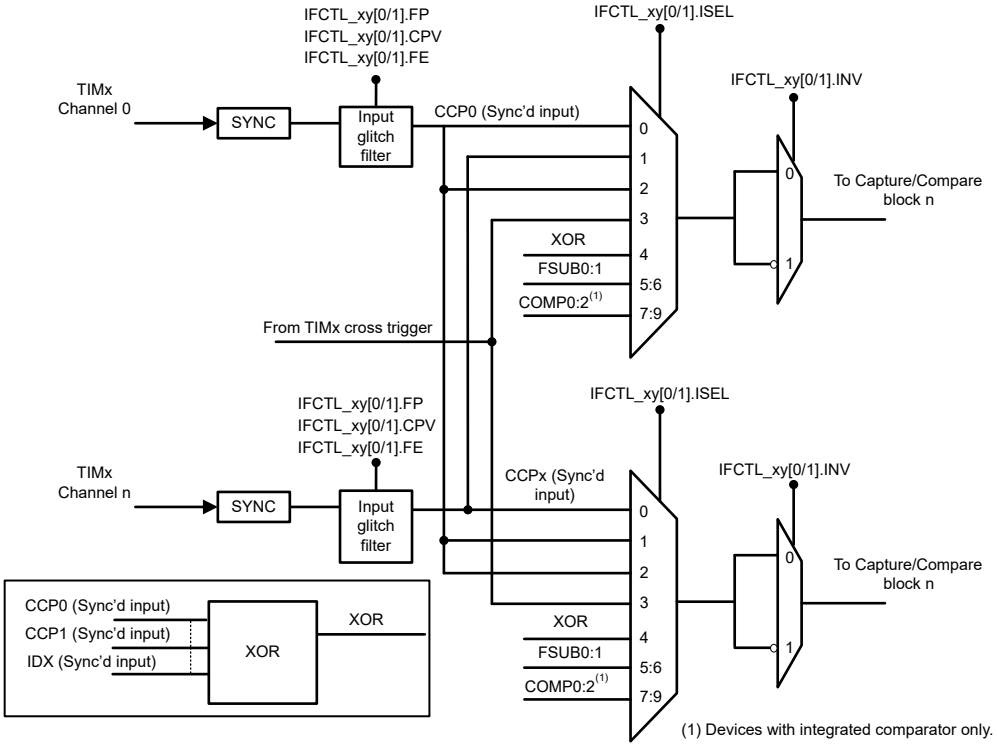


図 28-12. TIMx キャプチャのブロック図

28.2.3.1.1.1 CCP 入力エッジ同期

キャプチャ / 比較ピン (CCP) を入力として使用する場合は、TIMx CCP 入力にピン制御管理レジスタ (PINCMx) を構成します。TIMG0_C0 などの TIMx CCP ピンマルチプレクサの入力オプションについては、デバイスのデータ シートを参照してください。

CCP 入力信号は常にシンクロナイザを通過します。シンクロナイザがエッジを検出するには、入力状態 (High または Low) が 1 TIMCLK クロック周期より大きい必要があります。CCP 入力エッジ検出では、エッジ入力を同期するために少なくとも 1 つの TIMCLK サイクルが必要です。最初の TIMCLK サイクルにおいてはエッジ検出を予測できないため、その周期内でのタイミングは不確定です。

キャプチャ条件が発生すると、キャプチャ イベントを生成するために追加の TIMCLK サイクルが必要になります。

28.2.3.1.1.2 CCP 入力パルス条件

TIMx.CCCTL_xy[0/1] レジスタを使用すると、CCP 入力信号またはトリガ エッジのエッジや極性に基づいて、各タイマ インスタンスがゼロ パルス、ロード パルス、キャプチャ パルス、またはアドバンス パルスのいずれを生成するかを制御できます。生成可能な条件は次のとおりです:

- 事前条件 (ACOND)
- 負荷条件 (LCOND)
- ゼロ条件 (ZCOND)
- キャプチャ条件 (CCOND)

事前条件

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

デフォルトでは、タイマは各 TIMCLK に基づいて進みます。(ACOND = 0h)。ただし、以下に示す TIMx.CCCTL_xy[0/1].ACOND 設定に基づいて、タイマを進めることもできます。

表 28-6. アドバンス パルス条件設定 (ACOND)

ACOND	条件
0h	各 TIMCLK
1h	CCP の立ち上がりエッジまたはトリガ アサート エッジ
2h	CCP の立ち下がりエッジまたはトリガ デアサート エッジ
3h	CCP のエッジまたはトリガのいずれか
5h	CCP high またはトリガのアサート

ロード、ゼロ、およびキャプチャ条件

ロード、ゼロ、キャプチャ パルスは、TIMx.CCCTL_xy[0/1] レジスタの下にある LCOND、ZCOND、CCOND 条件設定を生成できます。

表 28-7. ロード、ゼロ、キャプチャ条件の設定 (LCOND、ZCOND、CCOND)

LCOND	ZCOND	CCOND	条件
該当なし	該当なし	0h	なし
1h	1h	1h	CCP の立ち上がりエッジまたはトリガ アサート エッジ
2h	2h	2h	CCP の立ち下がりエッジまたはトリガ デアサート エッジ
3h	3h	3h	CCP のエッジまたはトリガのいずれか

28.2.3.1.1.3 カウンタ制御動作

ロード、ゼロ、またはアドバンス イベントを制御する CC インスタンスを指定するには、TIMx.CTRCTL レジスタの CZC、CAC、および CLC フィールドを設定します。

カウンタ ゼロ制御の設定については、表 28-8 を参照してください。たとえば、タイマのチャネル 1 で ZCOND イベントが発生したときにゼロ イベントをトリガする場合、チャネル 1 の ZCOND イベントがゼロ イベントをトリガするよう、CZC を 1h に設定します。

表 28-8. カウンタ ゼロ制御 (CZC) の設定

TIMx.CTRCTL.CZC	設定
0h	チャネル 0 の ZCOND イベントは、TIMx インスタンスをゼロにします
1h	チャネル 1 の ZCOND イベントは、TIMx インスタンスをゼロにします
2h	チャネル 2 ZCOND イベントが TIMx インスタンスをゼロにします (4 つの CC タイマのみ)
3h	チャネル 3 ZCOND イベントが TIMx インスタンスをゼロにします (4 つの CC タイマのみ)
4h	2 入力の QEI モード。セクション 28.2.3.1.3 を参照
5h	3 入力の QEI モード。セクション 28.2.3.1.3 を参照

カウンタ負荷制御の設定については、表 28-9 を参照してください。たとえば、タイマのチャネル 2 で LCOND イベントが発生したときにロード イベントをトリガする場合、チャネル 2 の LCOND イベントがロード イベントをトリガするよう、CLC を 2h に設定します。

表 28-9. カウンタ ロード制御 (CLC) の設定

TIMx.CTRCTL.CLC	設定
0h	チャネル 0 LCOND イベントにより、TIMx インスタンスがロードされます
1h	チャネル 1 LCOND イベントにより、TIMx インスタンスがロードされます
2h	チャネル 2 LCOND イベントにより TIMx インスタンスがロードされます (4 CC タイマのみ)
3h	チャネル 3 LCOND イベントにより TIMx インスタンスがロードされます (4 CC タイマのみ)

Copyright © 2026 Texas Instruments Incorporated

表 28-9. カウンタ ロード制御 (CLC) の設定 (続き)

TIMx.CTRCTL.CLC	設定
4h	2 入力の QEI モード。セクション 28.2.3.1.3 を参照
5h	3 入力の QEI モード。セクション 28.2.3.1.3 を参照

カウンタ アドバンス制御の設定については、表 28-10 を参照してください。たとえば、タイマのチャネル 3 で ACOND イベントが発生したときに高度イベントをトリガする場合、チャネル 3 の ACOND イベントがアドバンス イベントをトリガするよう、CAC を 3h に設定します。

表 28-10. カウンタ アドバンス コントロール (CAC) の設定

TIMx.CTRCTL.CAC	設定
0h	チャネル 0 の ACOND イベントにより、TIMx インスタンスがアドバンスします
1h	チャネル 1 の ACOND イベントにより、TIMx インスタンスがアドバンスします
2h	チャネル 2 ACOND イベントにより TIMx インスタンスがアドバンスします (4 CC タイマのみ)
3h	チャネル 3 ACOND イベントにより TIMx インスタンスがアドバンスします (4 CC タイマのみ)
4h	2 入力の QEI モード。セクション 28.2.3.1.3 を参照
5h	3 入力の QEI モード。セクション 28.2.3.1.3 を参照

28.2.3.1.1.4 CCP 入力フィルタリング

入力グリッチ フィルタは、TIMx を設定することで有効化できます。IFCTL_01[0/1].FE ビット。フィルタ周期は、TIMx を設定することで構成されます。IFCTL_01[0/1].FP ビット。

CCP 入力信号の判定基準には、TIMx.IFCTL_xy[0/1].CPV ビットで選択した連続周期方式または多数決方式が使用されます。

- **連続周期** - CCP 入力を処理するには、CCP 入力信号が、定義された FP タイマ クロック数にわたって指定レベルを維持する必要があります。
- **多数決** - フィルタは、フィルタ期間中に発生する反対論理レベルの一クロックを無視します。たとえば、規定数の FP 入力サンプルのうち、最大 1 サンプルが反対の論理値 (グリッチ) であっても、出力には影響しません。

図 28-13 に示す例は、3 TIMCLK 周期の CCP 入力信号をキャプチャするために実装されたデジタル フィルタを使用した、連続周期と多数決形式の違いを示しています。

Copyright © 2026 Texas Instruments Incorporated

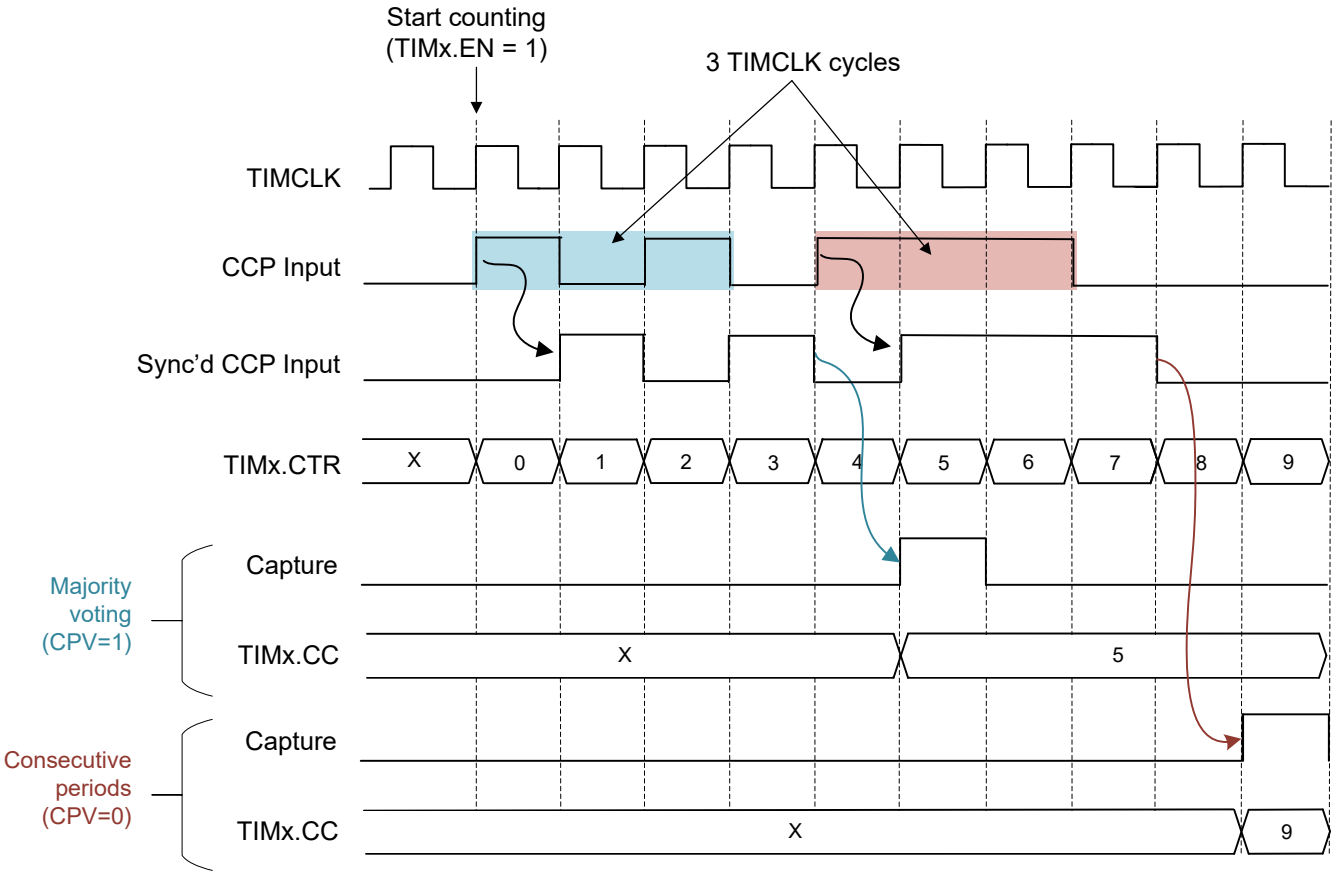


図 28-13. FP = 0 (3 TIMCLK サイクル) を使用した入力グリッチ フィルタリングの連続周期方式と多数決方式

28.2.3.1.1.5 入力の選択

入力選択ビット TIMx.IFCTL_xy[0/1].ISEL は、フィルタ入力の入力ソースとして、対応する CCP 入力、CC ブロック間のクロストリガ用の CCP0、外部トリガ、XOR (ホール入力モードで使用)、イベント サブスクライバ、またはコンパレータ入力を選択します。

表 28-11. TIMx CC インスタンスの入力選択オプション

入力選択 (TIMx.IFCTL_xy[0/1].ISEL)	ソース
0h	対応するキャプチャ比較ユニットの TIMx CCP
1h	キャプチャ比較ユニットの入力ペア CCPx。[CCP0/CCP1, CCP2/CCP3]
2h	TIMx CCP0
3h	クロストリガ信号
4h	CCP 入力の XOR。ホール入力モードで使用。セクション 28.2.3.1.4 を参照
5h	サブスクライバ イベント 0 (FSUB0)。セクション 28.2.9.2 を参照
6h	サブスクライバ イベント 1 (FSUB1)。セクション 28.2.9.2 を参照
7h	COMP0_OUT (コンパレータ付きデバイスのみ)
8h	COMP1_OUT (コンパレータ付きデバイスのみ)
9h	COMP2_OUT (コンパレータ付きデバイスのみ)

28.2.3.1.2 使用事例

キャプチャ モードでは、複数の異なる使用例を実現できます。これらについては、以降のセクションで説明します。

Copyright © 2026 Texas Instruments Incorporated

28.2.3.1.2.1 エッジ時間キャプチャ

エッジ時間キャプチャは、キャプチャ動作の開始から信号エッジまでの時間を TIMCLK サイクル単位で測定します。TIMx が有効になるとカウンタに値がロードされ、CCP エッジが検出されるまで TIMCLK 周期ごとにカウントし、タイマ値がキャプチャされ、キャプチャ イベントが生成されます。キャプチャ エッジ時間は、カウンタの開始値と TIMx.CC_xy[0/1] レジスタのキャプチャ値との差に相当します。

エッジ時間キャプチャの設定

1. TIMx.LOAD 値を設定します。
2. CTRCTL レジスタで、以下の項目に必要なカウンタ制御設定を行います:
   a. カウント モード (CM) と有効後のカウンタ値 (CVAE) (セクション 28.2.2 の説明を参照)
   b. ゼロ (CZC)、アドバンス (CAC)、およびロード制御 (CLC) を使用して、カウンタのゼロ化、前進、またはロードを制御する条件を指定します
   c. 反復モードまたはワンショット モード (繰り返し)
3. TIMx.CCCTL_xy[0/1].COC を 1 に設定し、キャプチャ モードを選択します。
4. CCPD レジスタの該当ビットを設定し、CCP を CC ブロックの入力として構成します。たとえば、TIMx チャネル 0 が入力の場合、CCPD.C0CCP0 = 0 に設定します。
5. 対応する CC ブロック制御レジスタ (CCCTL_01[0/1]) で、入力信号条件 (立ち上がりエッジおよび / または立ち下がりエッジ) に基づいてイベントをキャプチャするよう、CCOND を対応する設定値に設定します。さらに、使用するカウント モードに応じて、ZCOND または LCOND を設定します。
6. セクション 28.2.3.1.1 に示すように、TIMx.IFCTL_xy[0/1] レジスタの入力キャプチャ設定を構成します。
7. EN = 1 に設定するか、入力エッジによるキャプチャ イベントの発生を待機して、カウンタを有効にします。

立ち上がりエッジ キャプチャにアップカウント モードを使用する例

ゼロから開始するアップカウント モード (CM = 2、CVAE = 2) では、ZCOND を 1 に設定することで、TIMx を、設定されたキャプチャ イベント (CCOND) によりゼロ パルスを生成し、カウンタを開始するように設定できます。

アップカウント モードでの立ち上がりまたは立ち上がりエッジ時間キャプチャの予測される内部タイミングを図 28-14 に示します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

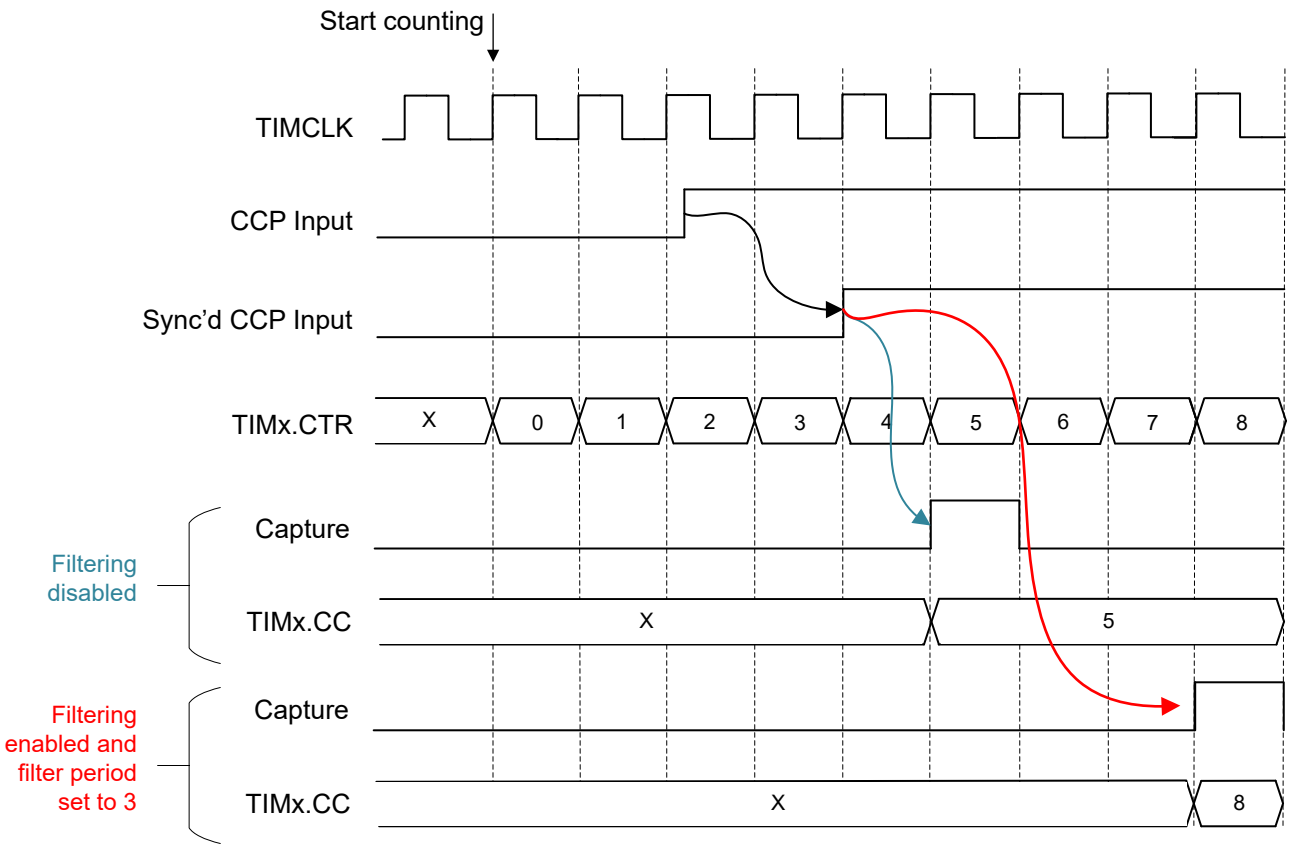


図 28-14. アップカウント モードのエッジ タイム キャプチャ モード、CVAE = 2

28.2.3.1.2.2 周期キャプチャ

周期キャプチャでは、入力 CCP の信号周期を TIMCLK サイクル単位で測定します。入力 CCP の各立ち上がり (または立ち下がり) エッジで、TIMx.CTR の値が TIMx.CC レジスタにキャプチャされ、キャプチャ イベントが生成されます。周期キャプチャ時間は、カウンタの開始値からキャプチャ イベント発生時までの差、または周期入力信号で繰り返し発生するキャプチャ イベント間の時間に相当します。

周期キャプチャの設定

1. TIMx.LOAD 値を設定します。
2. CTRCTL レジスタで、以下の項目に必要なカウンタ制御設定を行います:
   a. カウント モード (CM) と有効後のカウンタ値 (CVAE) (セクション 28.2.2 の説明を参照)
   b. カウンタを進める条件を指定するアドバンス (CAC)
   c. 反復モードまたはワンショット モード (繰り返し)
3. TIMx.CCCTL_xy[0/1].COC を 1 に設定し、キャプチャ モードを選択します。
4. CCPD レジスタの該当ビットを設定し、CCP を CC ブロックの入力として構成します。たとえば、TIMx チャネル 0 が入力の場合、CCPD.C0CCP0 = 0 に設定します。
5. 対応する CC ブロック制御レジスタ (CCCTL_01[0/1]) の場合、
   a. 入力信号の条件 (立ち上がりエッジおよび / または立ち下がりエッジ) に基づいてイベントをキャプチャするよう、CCOND を対応する値に設定します
   b. 使用するカウント モードに応じて、ZCOND または LCOND を設定します
6. セクション 28.2.3.1.1 に示すように、TIMx.IFCTL_xy[0/1] レジスタの入力キャプチャ設定を構成します。
7. EN = 1 に設定するか、入力エッジによるキャプチャ イベントの発生を待機して、カウンタを有効にします。

Copyright © 2026 Texas Instruments Incorporated

立ち上がりエッジ周期のキャプチャにアップカウント モードを使用した例

ゼロから開始するアップカウント モード (CM = 2、CVAE = 2) では、CCOND = 1h に設定することで、TIMx チャネル 0 を入力の立ち上がりエッジでキャプチャ イベントを生成するように構成できます。カウンタをイネーブルした後、立ち上がりエッジ入力が検出されると、カウンタは TIMx.CC のカウンタ値をキャプチャします。キャプチャ イベントの発生後、TIMx.LOAD の値を 0 に戻し、周期的な CCP 入力信号に対してタイマ カウンタをリセットします。

図 28-14 に、二つの立ち上がりエッジを使用したアップカウント モードでの周期キャプチャの予測される内部タイミングを示します。

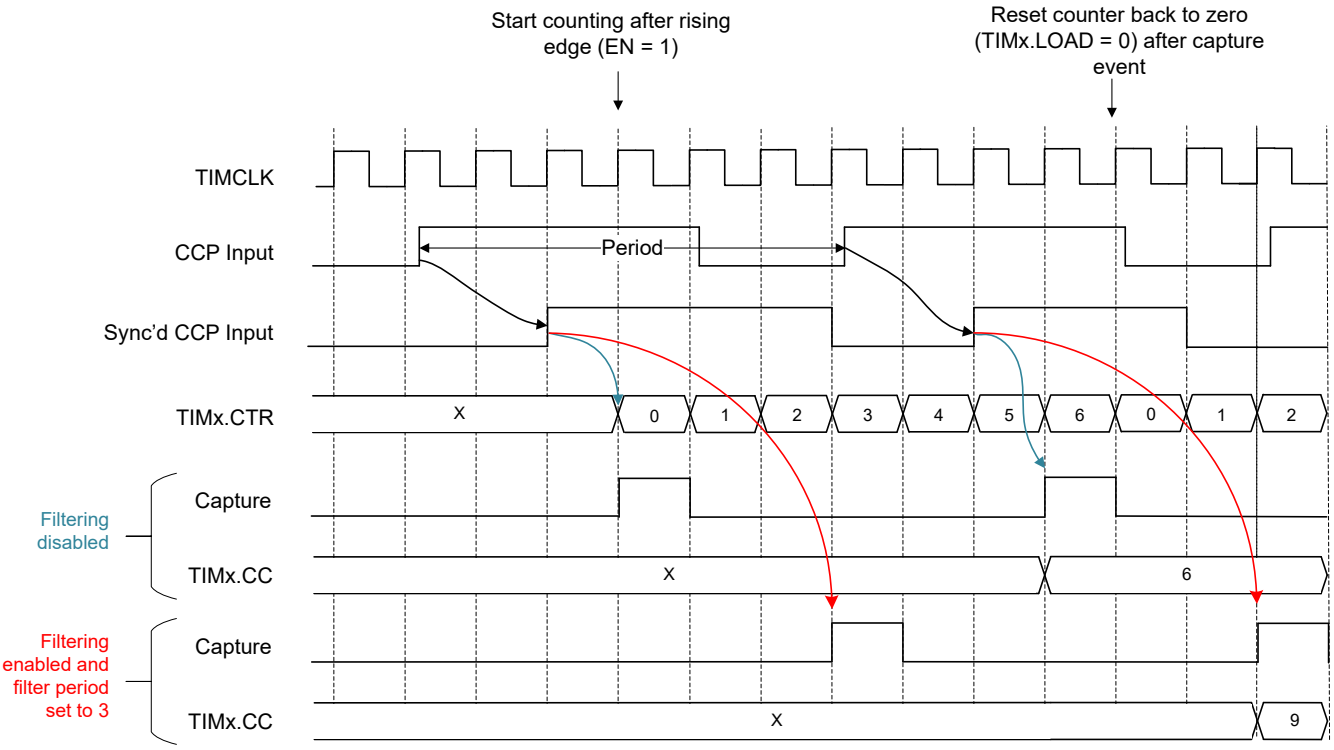


図 28-15. アップカウント モードの周期キャプチャ モード、CVAE = 2

28.2.3.1.2.3 パルス幅キャプチャ

パルス幅キャプチャは、CCP 上の信号の High 時間を測定します。High 期間は、CCP 入力の立ち上がりエッジから立ち下がりエッジまでの TIMCLK 周期数です。PWM 入力信号のデューティ サイクル測定などのアプリケーションに使用できます。カウンタは正のエッジでロードされ、負のエッジでキャプチャされます (キャプチャ イベントが生成されます)。

パルス幅キャプチャ構成

1. TIMx.LOAD 値を設定します。
2. CTRCTL レジスタで、以下の項目に必要なカウンタ制御設定を行います:
   a. カウント モード (CM) と有効後のカウンタ値 (CVAE) (セクション 28.2.2 の説明を参照)
   b. ゼロ (CZC)、アドバンス (CAC)、およびロード制御 (CLC) を使用して、カウンタのゼロ化、前進、またはロードを制御する条件を指定します
   c. 反復モードまたはワンショット モード (繰り返し)
3. TIMx.CCCTL_xy[0/1].COC を 1 に設定し、キャプチャ モードを選択します。
4. CCPD レジスタの該当ビットを設定し、CCP を CC ブロックの入力として構成します。たとえば、TIMx チャネル 0 が入力の場合、CCPD.C0CCP0 = 0 に設定します。

Copyright © 2026 Texas Instruments Incorporated

5. 対応する CC ブロック制御レジスタ (CCCTL_01[0/1]) で、入力信号条件 (立ち上がりエッジおよび / または立ち下がりエッジ) に基づいてイベントをキャプチャするよう、CCOND を対応する設定値に設定します。さらに、使用するカウント モードに応じて、ZCOND または LCOND を設定します。
6. セクション 28.2.3.1.1 に示すように、TIMx.IFCTL_xy[0/1] レジスタの入力キャプチャ設定を構成します。
7. EN = 1 に設定するか、入力エッジによるキャプチャ イベントの発生を待機して、カウンタを有効にします。

パルス幅キャプチャでアップ カウント モードを使用する例

ゼロから始まるアップカウントモード (CM = 2、CVAE = 2) では、ZCOND を 1 に設定することで、TIMx チャネル 0 がゼロパルスを生成し、構成されたキャプチャイベント (CCOND) からカウンタを開始するように構成できます。カウンタを開始するには、LCOND = 1 を設定することで、CCP の立ち上がりエッジ入力から負荷条件をトリガできます。

図 28-14 に、立ち上がりエッジと立ち下がりエッジを使用したアップカウント モードでのパルス幅キャプチャの予測される内部タイミングを示します。

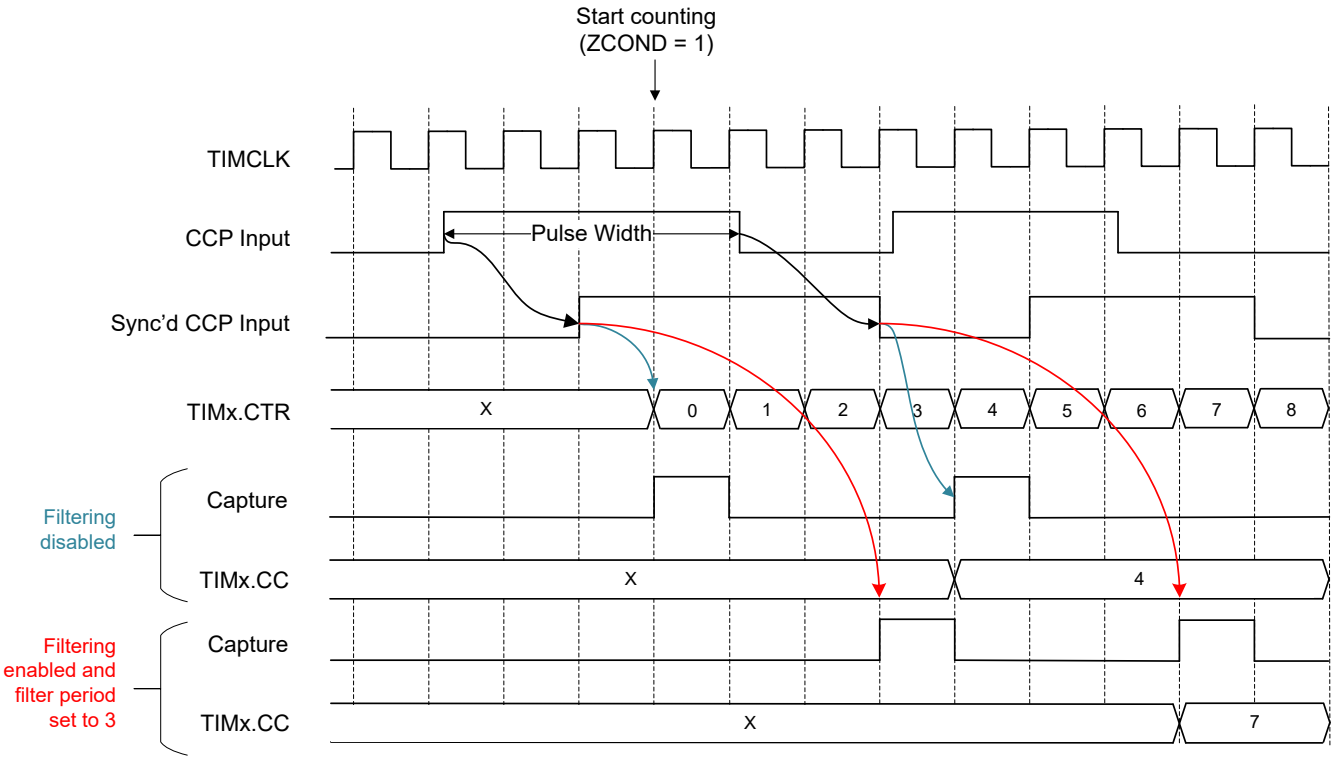


図 28-16. パルス幅キャプチャ モード

28.2.3.1.2.4 結合されたパルス幅と周期時間

2 つのキャプチャ レジスタを使用すると、1 つの入力波形のパルス幅と周期キャプチャを組み合わせることができます。入力信号を CCP チャネル 0 に外部接続し、IFCTL_01[1] レジスタを設定して当該入力を内部的に CCP チャネル 1 へ接続することで、キャプチャ レジスタ 0 (TIMx.CC0) でパルス幅を、キャプチャ レジスタ 1 (TIMx.CC1) で周期をキャプチャすることができます。結合されたパルス幅と周期のキャプチャに対して予想される内部タイミングを 図 28-17 に示します。

パルス幅と周期のキャプチャの構成

1. TIMx.LOAD 値を設定します。
2. CTRCTL レジスタで、以下を目的とするカウンタ制御を適切に設定します。
   a. カウント モード (CM) とイネーブル後のカウンタ値 (CVAE) (セクション 28.2.2 を参照)
   b. ゼロ (CZC)、アドバンス (CAC)、およびロード制御 (CLC) を使用して、カウンタのゼロ化、前進、またはロードを制御する条件を指定します

Copyright © 2026 Texas Instruments Incorporated

c. 反復モードまたはワンショット モード (REPEAT)

3. 各 CC チャネルのキャプチャ モードの場合、TIMx.CCCTL_xy[0/1].COC = 1 に設定します。
4. CCPD レジスタの各ビットを設定し、各 CC ブロックの入力として CCP を構成します。たとえば、TIMx チャネル 0 が入力の場合、CCPD.C0CCP0 = 0 に設定します。
5. 対応する CC ブロック制御レジスタ (CCCTL_01[0/1]) の場合、
   a. 入力信号状態 (立ち上がりおよび / または立ち下がりエッジ) に基づいてイベントをキャプチャするため、CCOND を対応する設定に設定します
   b. 使用するカウント モードに応じて、ZCOND または LCOND を設定します。
6. セクション 28.2.3.1.1 に示すように、TIMx.IFCTL_xy[0/1] レジスタの入力キャプチャ設定を構成します。
7. EN = 1 を設定するか、または入力エッジからキャプチャ イベントが発生するのを待機して、カウンタを有効化します。

パルス幅と周期時間のキャプチャを使用する例

アップカウント モードでは、TIMx に ZCOND を 1 に設定することで、ゼロ パルスを生成し、構成されたキャプチャ イベント (CCOND) からカウンタを開始するように構成できます。

2 つの CC ブロックを使用したアップカウント モードでのパルス幅および周期キャプチャで予想される内部タイミングを図 28-14 に示します。

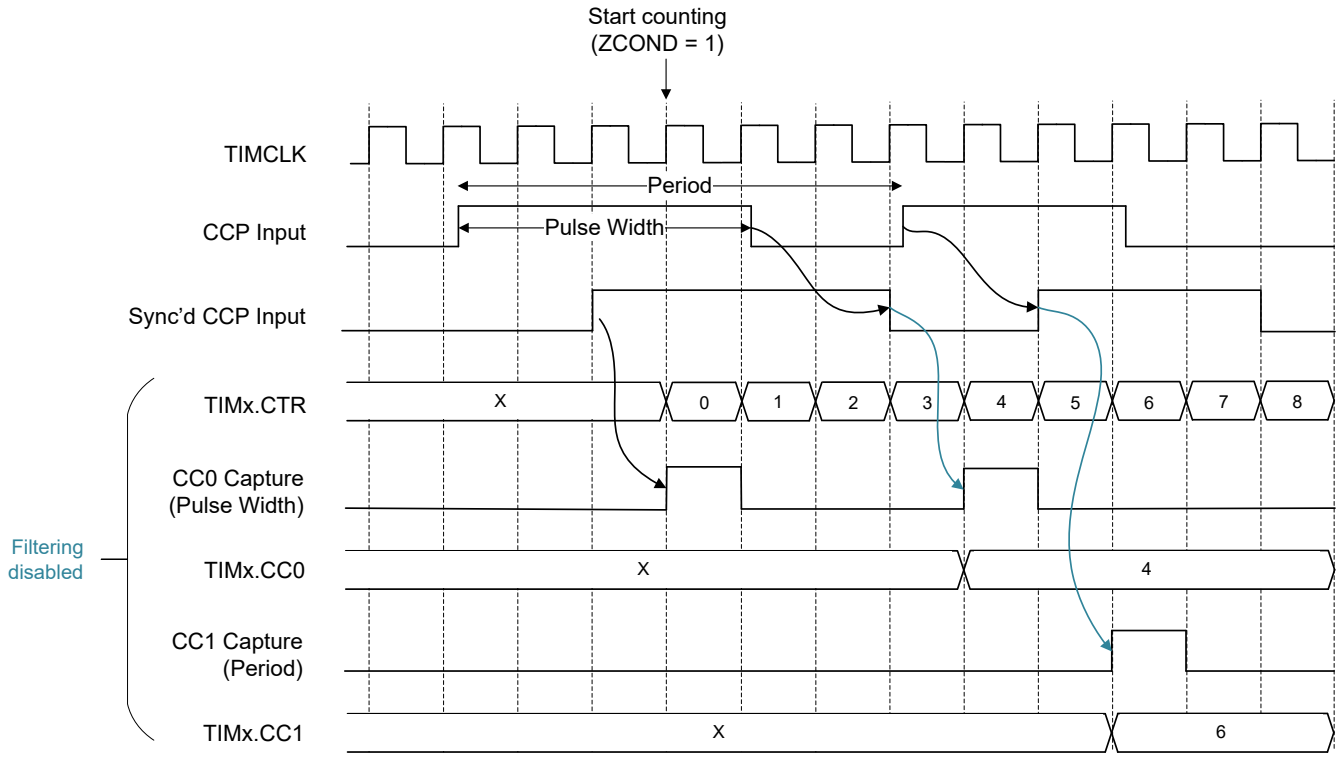


図 28-17. 結合されたパルス幅と周期のキャプチャ

28.2.3.1.3 QEI モード (QEI 対応 TIMG のみ)

QEI をサポートする TIMGx インスタンスでは、直交エンコーダ インターフェイス (QEI) モードは、直交エンコーダの出力へのインターフェイスとして機能します。直交符号化されたデータをデコードし、直線運動または回転運動の相対的な位置および移動に関する情報を提供します。

QEI は、2 つのグレイ コード化された直交入力信号 PHA と PHB、およびインデックス入力信号 IDX で構成されます。入力信号はすべて単一のカウンタの CCP 入力に送られます。PHA と PHB は CCP0 と CCP1 にマップされ、IDX は個別

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

の入力として取り込まれるようになります。エラー検出メカニズムによって誤った遷移が報告され、不適切な信号のデコーディングを回避することがあります。

注

QEI / ホール 入力モードをサポートする TIMG インスタンスについては、セクション 28.1.3 およびデバイス固有のデータ シートを参照してください。

28.2.3.1.3.1 2 信号ありの QEI

QEI は、光位置エンコーダからの信号をデコードするために使用されます。光学位置エンコーダは通常、3 相モーターなどの回転シャフトを使って物体の回転または線形移動を測定するためによく使用される 2 つの信号 (PHA/PHB) を出力します。インターフェイスによって提供される測定値は増分であり、移動が発生すると、インターフェイスは前の位置からの相対的な変化をキャプチャする機能を提供します。

QEI モードで動作している場合、カウンタは増分更新を累積し、初期位置から現在の位置と累積された変更を導き出します。初期位置は、IDX 入力の信号 (3 信号 QEI モード) または他のソフトウェア手段 (ソフトウェアが初期位置を直接設定) によって決定できます。キャプチャおよび比較レジスタは、キャプチャ条件を定義することで位置値を格納するために使用できます。

方向変更 (DC) が発生すると、RIS レジスタで DC 割り込みが生成されます。

図 28-18 に、2 つの CCP 入力信号 PHA と PHB から方向の回転を検出するための QEI インターフェイスのステート マシンを示します。

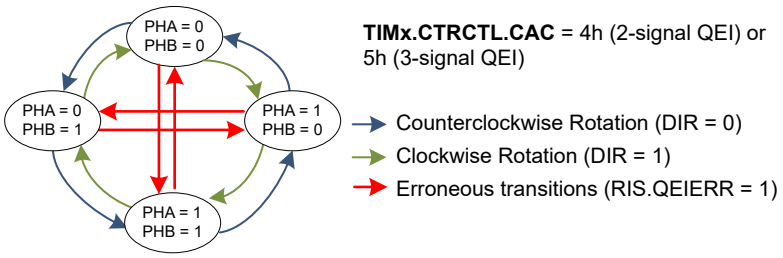


図 28-18. 2 信号および 3 信号 QEI モードのステート マシン

QEI 2 - 信号モード構成

1. TIMGx_C0 (PHA) と TIMGx_C1 (PHB) の PINCMx を構成します。
2. CCP チャネル 0 と 1 の両方のキャプチャ モード (PHA と PHB) の場合、TIMG.CCCTL_01[0].COC = 1 および TIMG.CCCTL_01[1].COC = 1 を設定します。
3. CCPD レジスタの各ビットを設定し、各 CC ブロックの入力として CCP を構成します。たとえば、TIMx チャネル 0 が入力の場合、CCPD.C0CCP0 = 0 に設定します。
4. TIMx.LOAD をエンコーダの分解能 (4000 など) に設定します。
5. CTRCTL レジスタで、CAC ビット、CZC ビット、CLC ビットを 4h に設定します。
6. 必要に応じて、セクション 28.2.3.1.1 で説明されているように入力キャプチャ設定を構成します。
7. EN = 1 を設定することで、カウンタがカウントを開始するようにイネーブルにします。

2 つの入力信号を持つ QEI モードを使用する例

PHA/PHB の動作は、表 28-12 と図 28-19 に従います。

Copyright © 2026 Texas Instruments Incorporated

表 28-12. PHA/PHB 状態テーブルとカウンタ アクション

現在の状態 (PHA、PHB)	次の状態 (PHA、PHB)	方向 (DIR)	対抗措置
00	10	1 (アップ上)	+1 (TIMx.CTR = LOAD の場合、CTR = 0)
10	11		
11	01		
01	00		
00	01	0 (ダウン)	–1 (TIMx.CTR = 0 の場合、CTR = TIMx.LOAD)
01	11		
11	10		
10	00		

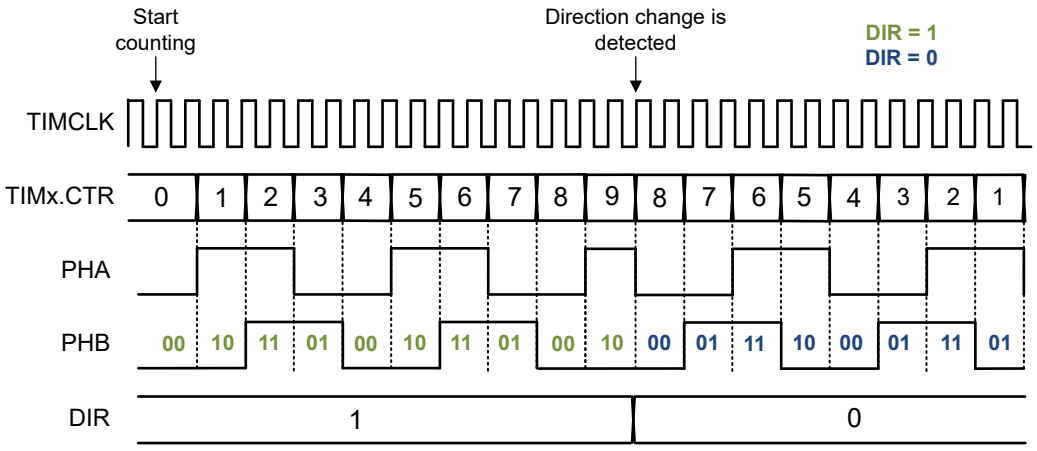


図 28-19. 2 信号 QEI 動作

28.2.3.1.3.2 インデックス入力ありの QEI

3 信号 QEI モードは、追加のインデックス入力信号 IDX を備えた 2 信号モードに似ています。通常、IDX 入力パルスは 1 回転に 1 回、カウンタをリセットするために使用できます。これは、次の 2 つのアプリケーションのいずれかで使用されます。

- 各移動サイクルごとに、1 つの IDX パルスが生成されます。この場合、累積位置は移動サイクルの割合を表します。
- IDX パルスは、非周期的な動きの特定の位置で生成されます。

QEI 3 - 信号モードの構成

1. TIMGx_C0 (PHA)、TIMGx_C1 (PHB)、TIMGx_IDX (IDX) の PINCMx を構成します。
2. CCP チャネル 0 と 1 の両方のキャプチャ モード (PHA と PHB) の場合、TIMG.CCCTL_01[0].COC = 1 および TIMG.CCCTL_01[1].COC = 1 を設定します。
3. CCPD レジスタの各ビットを設定し、各 CC ブロックの入力として CCP を構成します。たとえば、TIMx チャネル 0 が入力の場合、CCPD.C0CCP0 = 0 に設定します。
4. TIMx.LOAD の値をエンコーダの分解能 (4000 など) に設定します。
5. CTRCTL レジスタで、CAC、CZC、および CLC ビットを 5h に設定します。
6. 必要に応じて、セクション 28.2.3.1.1 で説明されているように入力キャプチャ設定を構成します。
7. EN = 1 を設定することで、カウンタがカウントを開始するようにイネーブルにします。

IDX 入力は、立ち上がりエッジが検出されるとサンプリングされます。IDX 信号は、表 28-13 に示すように、方向に応じてカウンタ値に影響を及ぼします

Copyright © 2026 Texas Instruments Incorporated

表 28-13. IDX 入力とカウンタ値の関係

方向 (DIR)	IDX	対抗措置
1	立ち上がり	0 (TIMx.CTR は 0 に設定)
0	立ち上がり	Load (TIMx.CTR は TIMx.LOAD に設定)

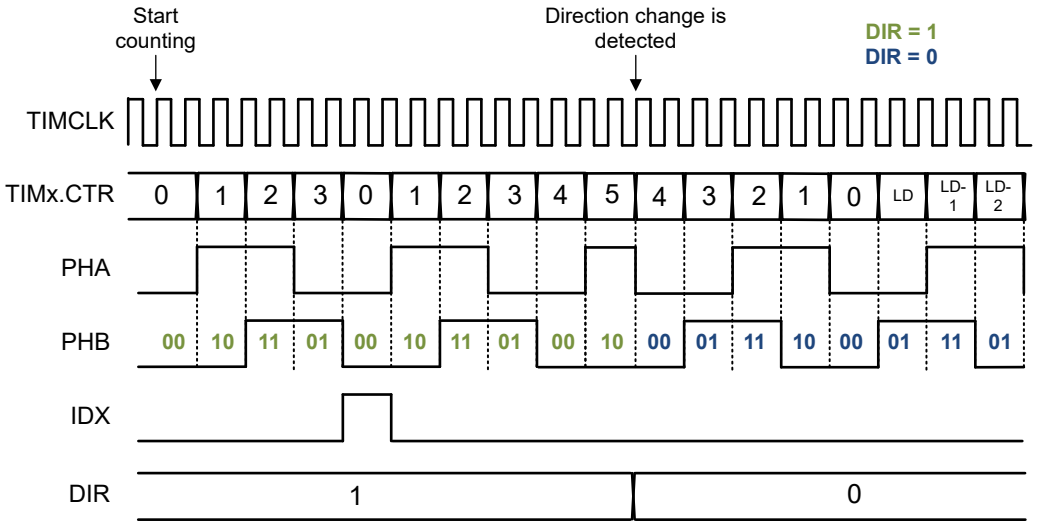


図 28-20. インデックス入力動作ありの 2 信号 QEI

28.2.3.1.3.3 QEI エラー検出

図 28-18 に示すように、QEI モジュールは、誤ったトランザクションや状態エラーを検出できます。QEIERR 割り込みが生成され、カウンタまたは方向信号はエラー状態で変化しません。

注

TIMCLK 周期が PHA または PHB 信号の周期よりも遅い場合、QEIERR が発生する可能性があります。PHA と PHB が非同期である場合、QEIERROR を見逃す可能性があるため、PHA と PHB を同期させることを推奨します。

28.2.3.1.4 ホール入力モード (QEI 対応 TIMG のみ)

QEI をサポートする TIMGx インスタンスでは、CCP チャネル 0 (CCP0)、CCP チャネル入力 1 (CCP1)、および IDX に 3 つのデジタル ホール信号を入力し、3 相ホール センサ付きモータ アプリケーションの位置制御を行うことができます。ホール信号は、モータ制御アプリケーションでリアルタイム モータ位置を検出するために使用され、速度計算測定、位置制御、モーターのストールステータスに使用できます。

注

QEI / ホール 入力モードをサポートする TIMG インスタンスについては、セクション 28.1.3 およびデバイス固有のデータ シートを参照してください。

表 28-14 に、ホール信号 A (U)、B (V)、C (W) の信号マッピングと TIMG のキャプチャ / 比較入力信号を示します。

表 28-14. ホール入力および TIMx 入力信号のマッピング

ホール入力信号	TIMx 入力
HALL A/HALL U	CCP0
HALL B/HALL V	CCP1
HALL C/HALL W	IDX

Copyright © 2026 Texas Instruments Incorporated

注

ホール入力信号は、VCC へのプルアップを備えたホール センサ IC からのデジタル入力である必要があります。

図 28-21 に示すように、入力キャプチャ モジュールは、CCP0、CCP1、IDX 同期信号の 3 入力 XOR を提供し、周波数ジェネレータ (FG) 信号を生成します。IFCTL_xy[0/1].ISEL が 4h に設定されると、XOR 出力信号が選択されます。入力キャプチャ ブロック図の XOR オプションについては、図 28-21 を参照してください。

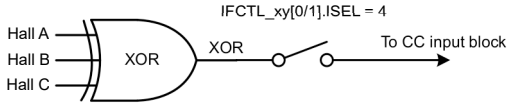


図 28-21. CC 入力ブロックへの周波数ジェネレータ (FG) 信号用ホール 3 入力 XOR

XOR 処理した出力信号は CC ブロックに伝搬され、周期またはパルス幅のキャプチャを使用して、TIMx.CC レジスタで計算された周期またはパルス幅に関連して、線形モータ速度を計算できます。XOR 処理した入力信号に基づいて周期とパルス幅のキャプチャを計算する方法については、セクション 28.2.3.1.2.2 とセクション 28.2.3.1.2.3 を参照してください。

図 28-22 は、速度計算に使用できる CC ブロックへの入力信号を示しています。

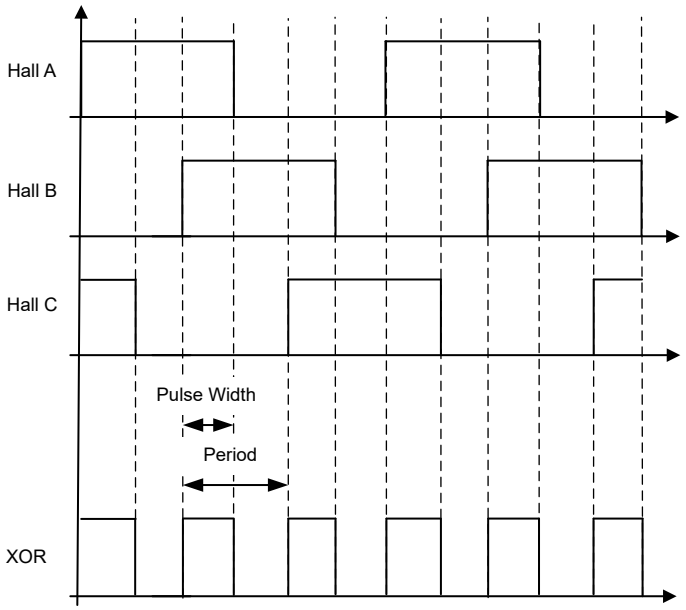


図 28-22. 速度計算のためにパルス幅または周期キャプチャと組み合わせて使用するホール 3 入力 XOR 信号

ホール入力モード構成

1. TIMGx_C0 (HALLA)、TIMGx_C1 (HALLB)、TIMGx_IDX (HALLC) の PINCMx を構成します。
2. CCP チャネル 0 および 1 (HALLA および HALLB) の両方でキャプチャ モードを使用するために、TIMG.CCCTL_01[0].COC = 1 および TIMG.CCCTL_01[1].COC = 1 に設定します。
3. CCPD レジスタの各ビットを設定し、各 CC ブロックの入力として CCP を構成します。たとえば、TIMx チャネル 0 が入力の場合、CCPD.C0CCP0 = 0 に設定します。
4. TIMx.LOAD 値を設定します。
5. TIMG.IFCTL_xy[0/1].ISEL = 4h に設定し、ホール信号用の XOR オプションを選択します。
6. EN = 1 を設定することで、カウンタがカウントを開始するようにイネーブルにします。

Copyright © 2026 Texas Instruments Incorporated

28.2.3.2 比較モード

TIMx.CCCTL_xy[0/1].COC = 0 の場合、比較モードが選択されます。比較モードは、特定の時間間隔で PWM 出力信号を生成するための比較イベントを生成するために使用されます。比較イベントは、内部的にタイミング ベースを生成したり、アクティブ、非アクティブ、またはトグル動作およびオプションのデッドバンド挿入を使用して特定のプロファイルを持つ PWM 出力を生成したりするために使用できます。

CC アクション レジスタ CCACT_xy[0/1] の設定に基づいて、多くの種類の比較モード イベントが生成できます。

- 比較イベント: TIMx.CTR がカウント アップ時 (CCU) またはカウント ダウン時 (CCD) に TIMx.CC_xy[0/1] の値に達すると、CC チャネルに対して発生します。
- セカンダリ比較イベント: セカンダリ CCx ブロック比較アップ (CC2U) またはダウン (CC2D) が別の CCx ブロックの CCU イベントまたは CCD イベントにそれぞれ構成されている場合に発生します。これにより、コンパレータ出力やフォルト信号など他の外部イベントから、より柔軟な出力生成が可能になります。デジタル電源やモータ制御などのリアルタイム制御アプリケーションに役立ちます。

TIMA のみでは、内部の 5 番目および 6 番目の CC ブロック (TIMA.CC_45[0/1]) を追加して、外部 PWM 信号生成用の専用出力ピンを備えた CC チャネルを使用し続けながら、内部のセカンダリ比較イベントに使用できます。

表 28-15 に生成可能な比較モード イベントのタイプと、イベントを生成するための条件を示します。

表 28-15. 比較モード イベント

イベント	名称	イベント状態
CCDn (n = CC チャネル)	キャプチャ / 比較ダウン イベント	タイマがカウント ダウンしている場合、TIMx.CTR = TIMx.CC_xy[0/1]
CCUn (n = CC チャネル)	キャプチャ / 比較アップ イベント	タイマがカウント アップしている場合、TIMx.CTR = TIMx.CC_xy[0/1]
CC2Dn (n = CC チャネル)	セカンダリ キャプチャ / 比較ダウン イベント	CC2SELD が CCDn イベントのソースに設定されているときに発生します
CC2Un (n = CC チャネル)	セカンダリ キャプチャ / 比較アップイベント	CCUn イベントの送信元に対して CC2SELU が設定されている場合に発生します

注

デバイス固有のデータ シートを参照し、デバイス上の各 TIMx インスタンスで利用可能な CC チャネルの数を確認します。

28.2.3.2.1 エッジ カウント

イベント出力または PWM 出力生成に加えて、比較モードを入力信号エッジ カウントに使用して、多数のエッジが検出されたかどうかを判定することもできます。エッジ カウント動作では、CCP 入力エッジは、ACOND 条件に基づいてカウンタを進めることができます。カウンタ レジスタは開始値で初期化され、検出された CCP 入力エッジの数は、カウント モードの設定に応じて、いつでもインクリメントまたはデクリメントできます。CCOND 値を設定することで、立ち上がりエッジ、立ち下がりエッジ、または両方のエッジをカウントできます。

エッジ カウントの構成

1. 比較モードの場合、TIMx.CCCTL_xy[0/1].COC = 0 に設定します。
2. オプションで、カウンタがこの値に達したときに比較割り込みを生成するため、対応する TIMx.CC_xy[0/1] を比較値に設定することもできます。
3. CTRCTL レジスタで、以下を目的とするカウンタ制御を適切に設定します。
   a. カウント モード (CM) とイネーブル後のカウンタ値 (CVAE) (セクション 28.2.2 を参照)
   b. ゼロ (CZC)、アドバンス (CAC)、およびロード制御 (CLC) を使用して、カウンタのゼロ化、前進、またはロードを制御する条件を指定します
   c. 反復モードまたはワンショット モード (REPEAT)
4. 入力エッジ極性に基づいてカウンタを進めるように、ACOND を設定します。

Copyright © 2026 Texas Instruments Incorporated

5. 必要に応じて、セクション 28.2.3.1.1 で説明されているように入力キャプチャ設定を構成します。
6. EN = 1 に設定してカウンタをイネーブルにします。

アップカウント モードを使用したエッジ カウント動作の例

ゼロから始まるアップカウント モード (CM = 2、CVAE = 2) では、カウンタをインクリメントするための立ち上がりエッジカウント動作の予測される内部タイミングを図 28-23 に示します。

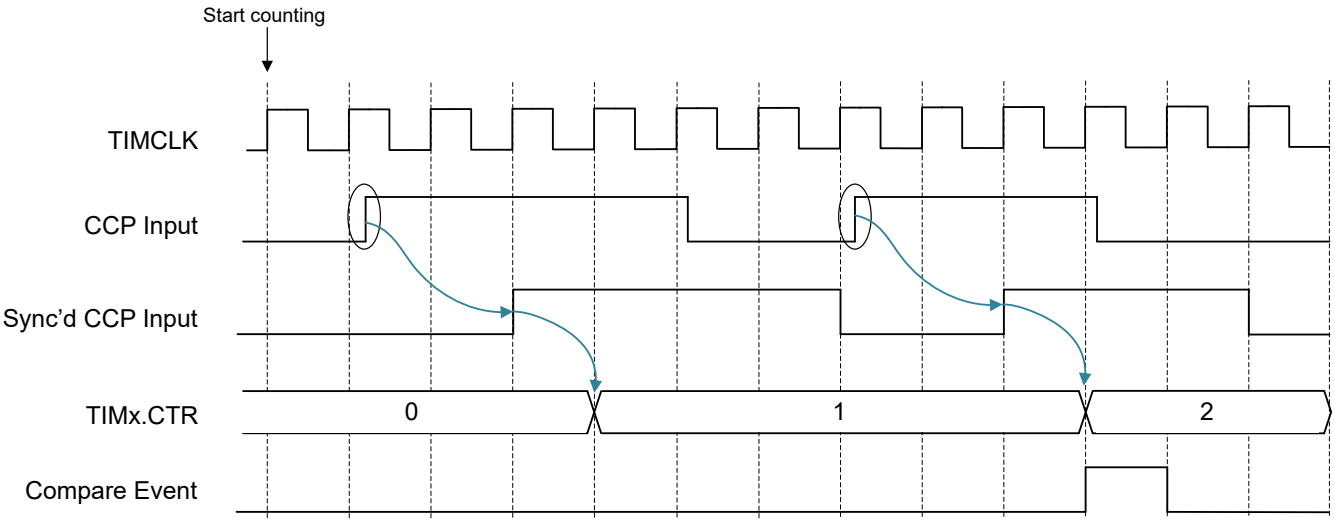


図 28-23. エッジカウント動作による比較イベントの生成 (TIMx.CC = 2)

28.2.4 シャドウ ロードとシャドウ比較

一部のタイマ モジュールには、シャドー ロードおよびシャドー比較レジスタ機能があり、特定のイベントが発生するまでロード値や CC 値の更新を保留できる柔軟性をユーザーに提供します。これは、デューティ サイクル更新など、PWM 制御信号を正しいタイミングで更新する必要があるタイミング重視のアプリケーションで有用です。TIMx モジュールの特定の構成については、タイマ機能を参照してください。

注

シャドウロードとシャドウ比較をサポートする TIMx インスタンスについては、セクション 28.1.3 とデバイス固有のデータ シートを参照してください。

28.2.4.1 シャドウ ロード (TIMG4 - 7、TIMA のみ)

シャドウ ロード対応タイマでは、シャドウ ロード機能により、ゼロ イベントが発生するまで、ロード値の更新を保持できます。シャドウ ロードをイネーブルにするには、タイマがイネーブルされているとき (EN = 1) に TIMx.GCTL.SHDWLDEN ビットを設定します。

TIMx モジュールにシャドウ ロード機能がある場合、そのロード値 (TIMx.LOAD) の内部シャドウ レジスタが存在しています。図 28-24 に示すように、シャドウ レジスタはゼロ イベント時にロード値を更新します。

注

シャドウ ロード対応タイマでは、SHDWLDEN をセットする必要があります。設定しないと、ロード値が更新されません。

タイマ インスタンスにシャドウ ロード機能 (標準タイマ) がない場合、TIMx.LOAD に書き込まれると、ロード値は直ちに更新されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

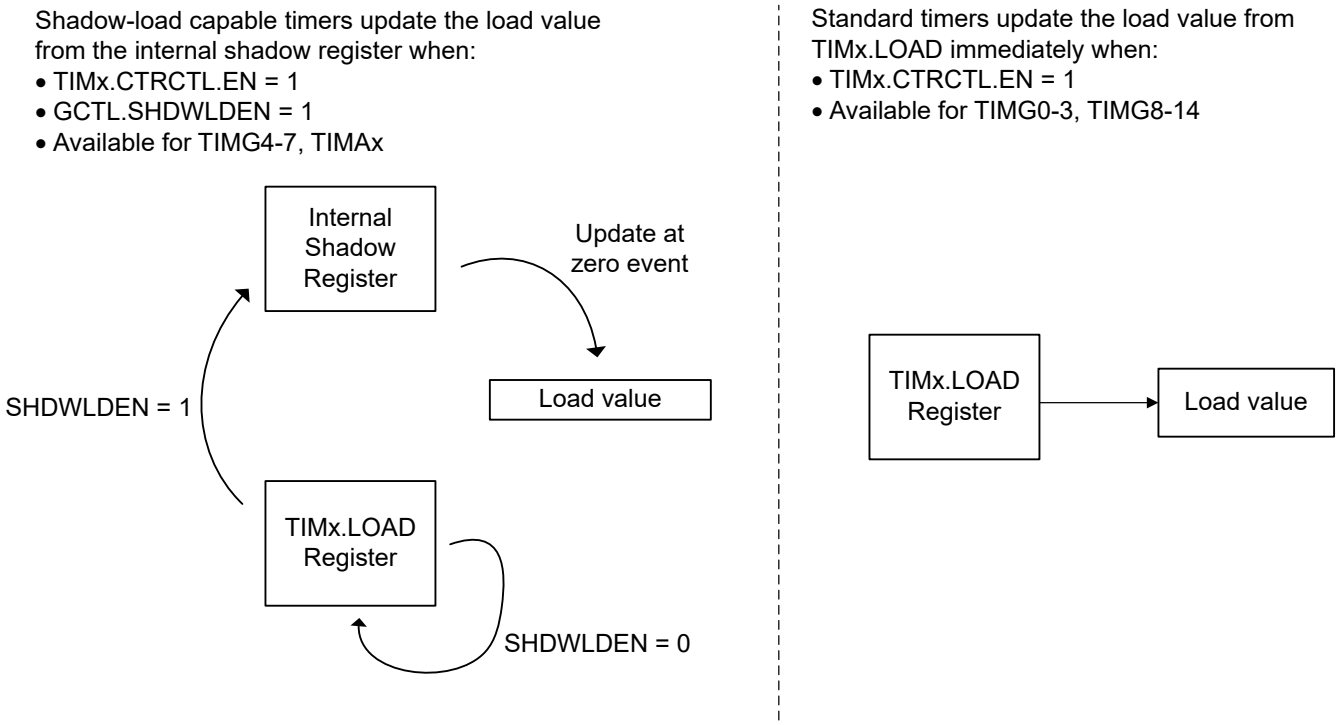


図 28-24. EN = 1 のときの TIMx インスタンスのロード値更新

注

シャドウ ロード対応タイマのロード値を更新するには、SHDWLDEN = 0 のとき、TIMx.LOAD 値を変更する前にタイマをディスエーブルにする必要があります。

TIMx.GCTL.SHDWLDEN = 1 のとき、すべてのカウンティング モードのゼロ イベントで値が更新されます。シャドウ ロードが必要かどうかを判定するには、以下のカウンティング モードの動作を参照してください。

- ダウンカウント モードでは、ゼロ イベントが発生すると TIMx.LOAD 値が更新されるため、これらのモードではシャドウ ロードは不要です。
- アップ / ダウンカウント モードでは、TIMx.LOAD がカウンタ値と比較され、ピークに達したかどうか、およびカウントダウンを開始するタイミングを判定します。TIMx が ゼロイベントの前にロード値までカウントされるようにするには、シャドウ ロードが必要です。そうでないと、ロード値が即座に更新され、誤ったタイミングが発生する可能性があります。
- アップカウント モードでは、タイマは TIMx.LOAD までカウントします。TIMx が ゼロイベントの前にロード値までカウントされるようにするには、シャドウ ロードが必要です。そうでないと、ロード値が即座に更新され、誤ったタイミングが発生する可能性があります。

図 28-25 に、アップ / ダウン カウント モードにおける TIMx.LOAD および TIMx.CC 値の両方について、ゼロ イベント時にシャドウ ロードとシャドウ比較がどのように作用するかの例を示します。

28.2.4.2 シャドウ比較 (TIMG4 - 7、TIMG12 - 13、TIMA のみ)

キャプチャ / 比較レジスタ (TIMx.CC) の更新のためにシャドウ比較がイネーブルになっている場合、それぞれの比較レジスタに書き込まれた値は、最初にシャドウ比較レジスタに保存され、その後、TIMx.CCCTL_xy[0/1].CCUPD ビットを設定することで設定された異なるイベントで比較レジスタに転送されます。

また、キャプチャ / 比較アクション レジスタ (TIMx.CCACT) は、TIMx.CCCTL_xy[0/1].CCACTUPD ビットをセットすることで設定されたさまざまなイベントでのアクションを更新できます。

表 28-16 に、シャドウ比較とアクションが異なるイベントで発生するタイミングを構成するための設定を示します。

Copyright © 2026 Texas Instruments Incorporated

注

シャドウ機能があるレジスタ (LOAD、CC_xy、CCACT_xy) の場合、シャドウ動作 (GCTL.SHDWLDEN、CCCTL_xy[0/1].CCUPD、CCCTL_xy[0/1].CCACTUPD) を目的のレジスタの前に設定する必要があります。

たとえば、CCUPD のデフォルト機能は、キャプチャ比較値を直ちに更新することです。意図していない場合は、CC_xy[0/1] レジスタを設定する前に CCUPD を設定します。

キャプチャ比較値を設定した**後**に、CCUPD を設定すると、CCUPD イベント後に CC_xy[0/1] レジスタによってデフォルト リセット値がロードされます。これは、キャプチャ比較値がシャドウではなくレジスタに直接書き込まれたためです。

表 28-16. シャドウ コンペアとアクション更新の動作

ビット フィールド	値	説明 / コメント
CCUPD / CCACTUPD	0	TIMx.CC レジスタに書き込まれた値は直ちに有効になります。
	1	TIMx.CC レジスタに書き込まれた値はシャドウ比較レジスタに保存され、ゼロ イベント (TIMx.CTR 値は 0) の後、TIMCLK サイクルの TIMx.CC レジスタに転送されます。
	2	TIMx.CC レジスタに書き込まれた値はシャドウ比較レジスタに保存され、比較 (ダウン) イベントの後、TIMCLK サイクルの TIMx.CC レジスタに転送されます (TIMx.CTR 値は TIMx.CC と等しくなります)
	3	TIMx.CC レジスタに書き込まれた値はシャドウ比較レジスタに保存され、比較 (アップ) イベントの後、TIMCLK サイクルの TIMx.CC レジスタに転送されます (TIMx.CTR 値は TIMx.CC と等しくなります)。
	4	TIMx.CC レジスタに書き込まれた値はシャドウ比較レジスタに格納され、ゼロ イベントまたはロード イベント (TIMx.CTR の値が 0、または TIMx.CTR が TIMx.LOAD と等しくなります) の次の TIMCLK サイクルで TIMx.CC レジスタに転送されます。 **注:この更新メカニズムは、アップ / ダウン カウンティング モードでのみ使用するように定義されています。**
	5	TIMx.CC レジスタに書き込まれた値はシャドウ比較レジスタに格納され、ゼロ イベントが発生し、かつ反復カウントが 0 (TIMx.CTR の値が 0、かつ TIMx.RC が 0 に等しくなります) である場合に、その次の TIMCLK サイクルで TIMx.CC レジスタに転送されます
	6	TIMx.CC レジスタに書き込まれた値はシャドウ比較レジスタに保存され、トリガ パルスの後、TIMCLK サイクルの TIMx.CC レジスタに転送されます。 セクション 28.2.7 を参照してください。

図 28-25 に、アップ / ダウン カウント モードにおける TIMx.LOAD および TIMx.CC 値の両方について、ゼロ イベント時にシャドウ ロードとシャドウ比較がどのように作用するかの例を示します。

Copyright © 2026 Texas Instruments Incorporated

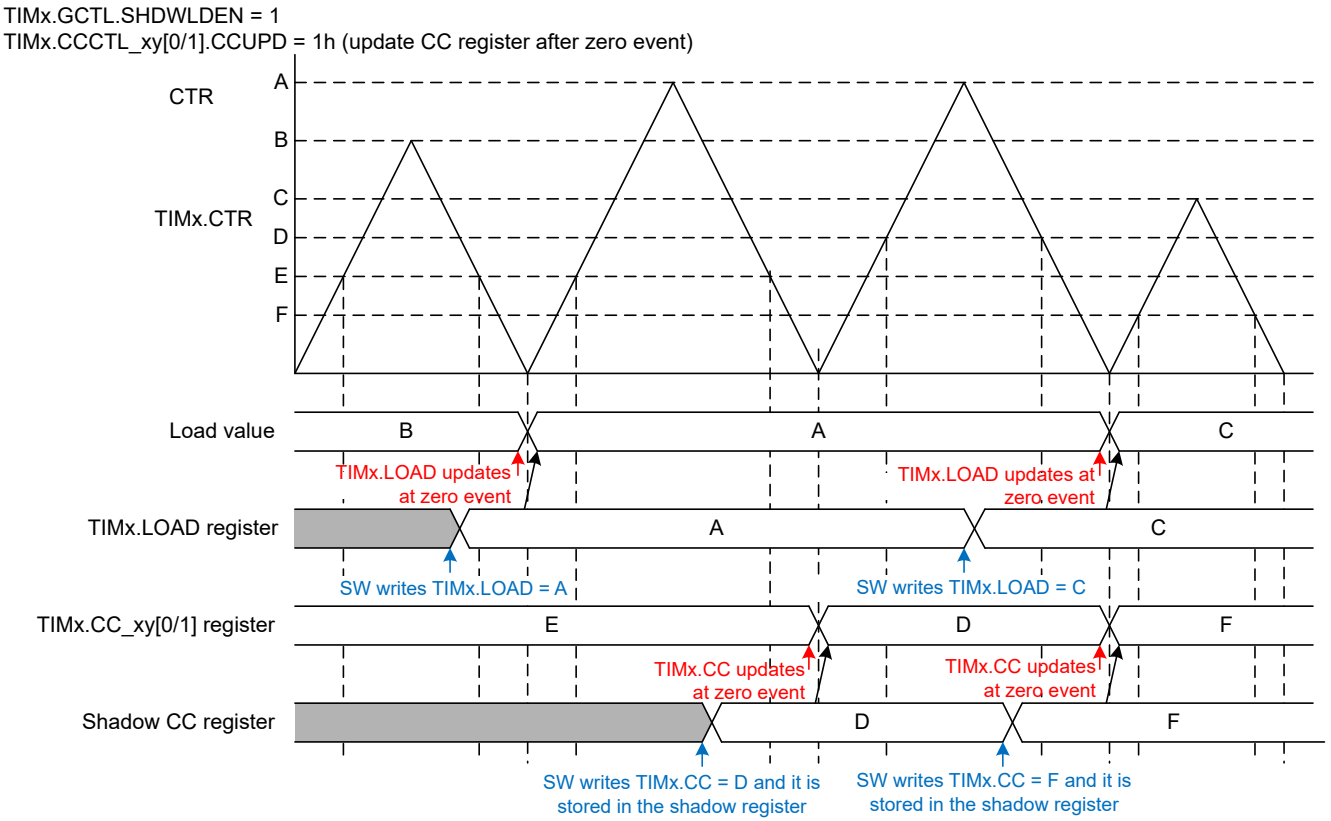


図 28-25. アップ / ダウン モードにおけるゼロ イベントで効果を発揮するシャドウ ロードとシャドウ コンペア

28.2.5 出力ジェネレータ

出力信号生成ユニットをカウンタおよびキャプチャ / 比較モジュールと組み合わせて使用することで、目的の PWM (パルス幅変調) 出力波形、イベント信号、同期キャプチャ入力、またはカウンタ方向を生成できます。多くの出力波形は、カウンタ イベント (ロード、ゼロ、カウンタ方向) とキャプチャ / 比較ブロック (比較一致) から生成されます。

TIMA および TIMG は、出力生成信号ユニットに多くの一般的な機能を備えています。また、TIMA には相補出力信号、デッドバンド挿入、フォルト生成などの高度な出力生成機能があります。

図 28-27 に、TIMG 出力ブロック図を示します。

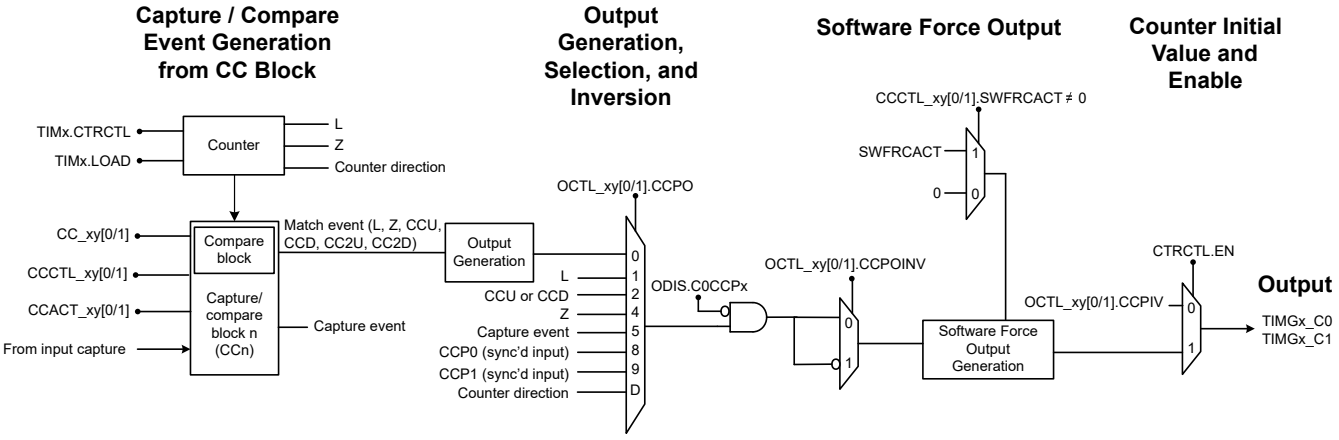


図 28-26. TIMG の出力接続

Copyright © 2026 Texas Instruments Incorporated

図 28-27 に、TIMA 出力ブロック図を示します。

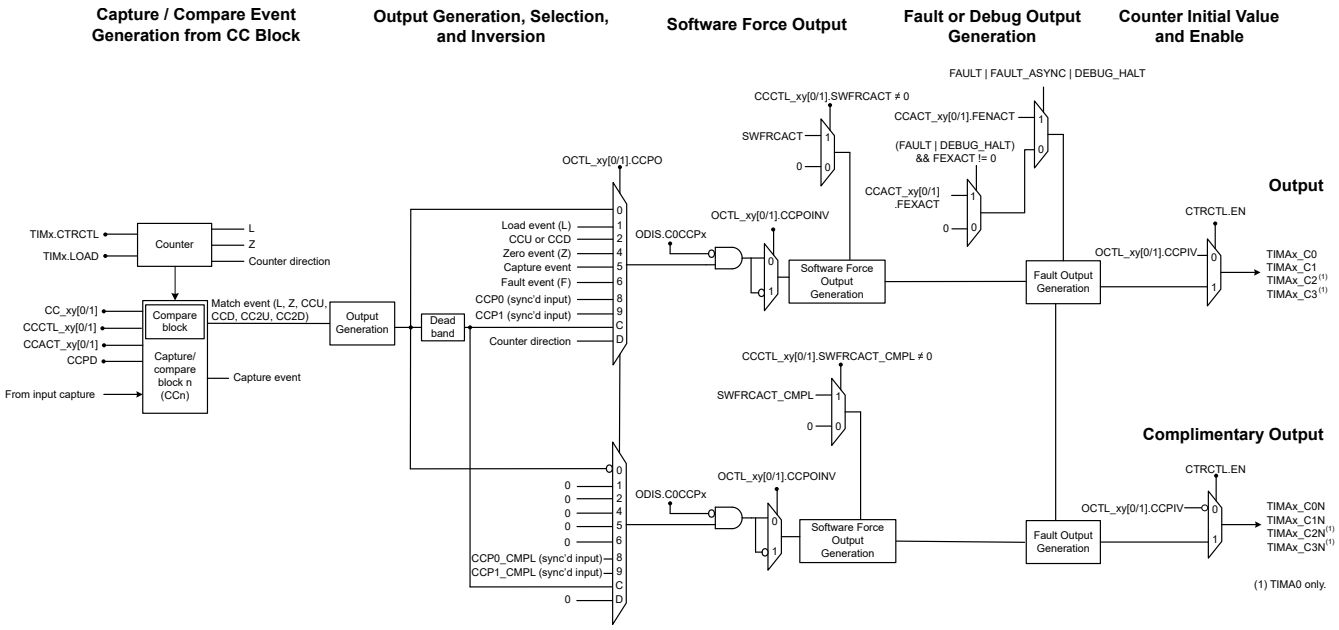


図 28-27. TIMA の出力接続

信号ジェネレータのアクション

表 28-17 に、出力ジェネレータで実行可能な信号ジェネレータのアクションのタイプを示します。信号ジェネレータのアクションは、ゼロ、ロード、比較イベントのために CCACT_xy[0/1] レジスタで構成されます。比較イベントのタイプについては、表 28-15 を参照してください。

表 28-17. 比較イベントからの信号ジェネレータの動作

値	アクション
0h	イベントはディスエーブルされ、アサートされると優先度の低いイベントが選択されます
1h	CCP 出力値は High に設定されます
2h	CCP 出力値は Low に設定されます
3h	CCP 出力値がトグルされます

出力信号を生成するための主要なレジスタは次のとおりです。

- **LOAD**:「ロード」を行うよう指定された操作の際、このレジスタの内容がカウンタ (TIMx.CTR) にコピーされます。この値は、割り込み、トリガ、または信号ジェネレータのアクションに使用できる「ロード イベント」を生成するためにも使用されます。
- **CCPD:**このレジスタは、CCP ピンの方向を入力または出力として構成します。
- **CC_xy[0/1]**:これは、一致イベントを生成するために、現在のカウンタ値と比較される値を保持するレジスタです。
- **CTRCTL**:このレジスタは、さまざまな条件下でのカウンタの動作を制御します。
- **CCCTL_xy[0/1]**:このレジスタはそれぞれの CC レジスタとカウンタの動作を制御します
- **OCTL_xy[0/1]**:このレジスタは、カウンタのキャプチャ比較部分の出力を制御します。これには、出力される信号のソースを選択する機能に加え、初期値や最終的な反転オプションの設定も含まれます。
- **CCACT_xy[0/1]**:このレジスタは、カウンタ ブロック、キャプチャおよび比較ブロック、デバッグ イベントで作成されたイベントに基づいて、キャプチャ比較部分の信号ジェネレータの動作を制御します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- **ODIS:** このレジスタは、(条件付き反転の前に) OCTL.CCPO で選択された出力信号をディスエーブルにし、ソフトウェアが構成またはシャットダウン時に CCP 出力を Low に保持できるようにします。

これらは、PWM 信号を生成するために比較モードを構成するための重要なレジスタです。

28.2.5.1 構成

TIMx デバイスの出力信号の生成を構成するには、次の 5 つの段があります。

- カウンタと CC ブロックイベント生成
- 出力生成、選択、反転
- ソフトウェア強制出力
- フォルト出力生成 (TIMA のみ)
- カウンタの初期値とイネーブル

カウンタと CC ブロックイベント生成

カウンタ ブロックにはカウンタが含まれており、使用されるカウント モードに基づいて、ロード イベント (L)、ゼロ イベント (Z)、およびカウンティング方向を生成します。

CC ブロックには CC レジスタが含まれており、比較一致イベントとキャプチャ イベントの 2 種類の出力信号を生成できます。生成可能な比較イベントについては、表 28-15 を参照してください。

出力生成、選択、反転

TIMx.CCACT レジスタは、カウント モードおよびカウンタ比較アクションに応じて、CCP 出力の波形生成を指定します。

TIMx.OCTL_xy[0/1].CCPO は、出力生成ユニット、デッドバンドありの出力生成ユニット (TIMA のみ)、カウンタ イベント、比較イベント、キャプチャ イベント、フォルト イベントまたは信号入力からの CCP 出力の選択を制御します。出力ディスエーブル レジスタ (ODIS) を使用すると、オプションで CCP 出力をディスエーブルにして、構成時またはシャットダウン時に CCP 出力を Low に保持することもできます。TIMx.OCTL_xy[0/1].INV は最終的な反転オプションを制御します。

注

同期入力のマルチプレクサの選択は、TIMAx CC2 および CC3 インスタンスの場合、0 に接続されます。TIMAx.OCTL_23[0/1].CCPO = 8 または 9 を使用しないでください。

TIMA デバイスでのみ、CCP 相補出力チャネルを出力生成ユニット (信号名に「N」と表記) から生成できます。たとえば、TIMA0 チャネル 2 (TIMA0_C2) は相補出力 (TIMA0_C2N) を生成することもできます。CCPO および INV ビットは、相補出力の選択および反転オプションも制御します。

デッドバンド挿入ありの相補出力は、ハーフブリッジ トポロジのインバータベースのアプリケーションで一般的な使用事例です。詳細情報については、セクション 28.2.5.2.4 をご覧ください。

ソフトウェア強制出力

信号ジェネレータの出力は、CCCTL_xy[0/1].SWFRCACT をゼロ以外の設定に設定することで、ソフトウェアで上書きできます。TIMA デバイスの場合のみ、CCCTL_xy[0/1].SWFRCACT_CMPL をゼロ以外の設定に設定することで、信号ジェネレータの相補出力を上書きできます。

詳細については、セクション 28.2.5.3 を参照してください。

フォルト / デバッグ出力の生成 (TIMA のみ)

TIMA デバイスでは、システム フォルト (FAULT)、終了時のフォルト条件 (FEXACT)、移行時のフォルト条件 (FENACT)、非同期フォルト (FAULT_ASYNC)、またはデバッガが停止された場合 (DEBUG_HALT)、ソフトウェア強制出力ブロックの後に CCP 出力を上書きできます。

詳細については、セクション 28.2.6 とセクション 28.2.10 を参照してください。

カウンタ比較初期値とイネーブル

Copyright © 2026 Texas Instruments Incorporated

カウンタが無効化されているときに CCP 出力の初期値を指定するには、OCTL_xy[0/1].CCPIV を、Low の場合は 0 に、High の場合は 1 に設定します。これは、カウンタをイネーブルにする前に、CCP 出力をデフォルト状態にする必要があるアプリケーションで便利です。

カウンタを有効化するには、TIMx.CTRCTL.EN を 1 に設定します。

28.2.5.2 使用事例

出力ジェネレータを使用して、いくつかの異なる使用事例を実現できます。これらについては、以降のセクションで説明します。

28.2.5.2.1 エッジ整列 PWM

エッジ整列 PWM を生成するには、TIMx をアップ カウントまたはダウン カウント モードに構成でき、TIMCLK サイクルの PWM 周期は TIMx.LOAD + 1 です。この波形は、比較 / キャプチャ ブロックおよびカウンタの構成設定に応じて、負荷、ゼロ、比較イベントを使用して CCPx 出力を High または Low に駆動します。

エッジ整列 PWM の構成

カウンタからの比較一致イベントを使って、エッジ整列 PWM を生成するには、以下の手順に従います。

1. TIMx.CTRCTL レジスタで、以下の項目について目的のカウンタ制御設定を行います。
   a. アップカウント (CM = 2) またはダウンカウント モード (CM = 0) とイネーブル後のカウンタ値 (CVAE) (セクション 28.2.2 の説明を参照)
   b. ゼロ (CZC)、アドバンス (CAC)、およびロード制御 (CLC) を使用して、カウンタのゼロ化、前進、またはロードを制御する条件を指定します
   c. 反復モードまたはワンショット モード (REPEAT)
2. PWM 周期を構成するために、TIMx.LOAD の値を設定します。
3. デューティ サイクルを構成するために、TIMx.CC_xy[0/1] の値を設定します。
4. 比較モードの場合、TIMx.CCCTL_xy[0/1].COC = 0 に設定します。
5. CCPD レジスタの各ビットを設定することにより、CCP を CC ブロックの出力として構成します。たとえば、TIMx チャネル 0 が出力の場合は、CCPD.C0CCP0 = 1 に設定します。
6. TIMx.CCACT_xy[0/1] で、比較イベント、ゼロ イベント、ロード イベント、ソフトウェア強制アクション、フォルト イベントの CCP 出力アクション設定を設定します (TIMA のみ)。
7. TIMx.OCTL_xy[0/1] で、信号ジェネレータ出力を選択するために CCPO = 0 を設定します。
8. CCPOINV ビットを使用して信号の極性を設定し、ディスエーブルになってている時の CCP 出力状態を指定するために CCPIV を設定します。
9. TIMx.CTRCTL.EN = 1 に設定して、カウンタをイネーブルにします。

ダウンカウント モードでエッジ整列 PWM を使用する例

図 28-28 に、ダウンカウント モードの標準的な 2 チャネル エッジ整列 PWM 生成を示し、次のエッジ整列 PWM 出力波形を示します。

- CCP0 出力は次を生成します:
  - TIMx.LOAD から TIMx.CC0 値までの High パルス幅 (LACT = 1h)
  - TIMx.CC0 の値から 0 までの Low パルス幅 (CDACT = 2h)
- CCP1 出力は次を生成します:
  - TIMx.LOAD から TIMx.CC1 値までの High パルス幅 (LACT = 1h)
  - TIMx.CC1 の値から 0 までの Low パルス幅 (CDACT = 2h)

Copyright © 2026 Texas Instruments Incorporated

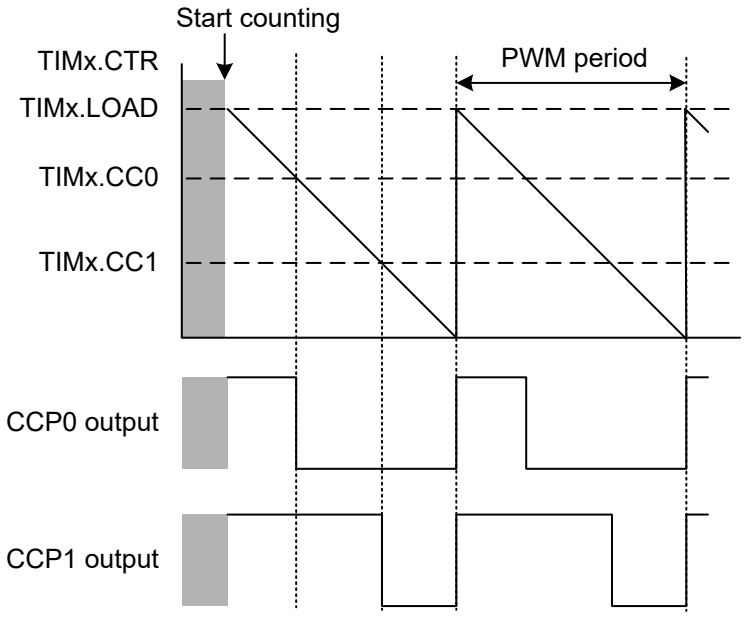


図 28-28. ダウンカウント モードでのエッジ整列 PWM 信号

アップカウント モードでエッジ整列 PWM を使用する例

図 28-28 に、アップカウント モードの標準的な 2 チャネル エッジ整列 PWM 生成を示し、次のエッジ整列 PWM 出力波形を示します。

- CCP0 出力は次を生成します:
  - 0 から TIMx.CC0 値までの High パルス幅 (ZACT = 1h)
  - TIMx.CC0 の値から TIMx.LOAD までの Low パルス幅 (CUACT = 2h)
- CCP1 出力は次を生成します:
  - 0 から TIMx.CC1 値までの High パルス幅 (ZACT = 1h)
  - TIMx.CC1 の値から TIMx.LOAD までの Low パルス幅 (CUACT = 2h)

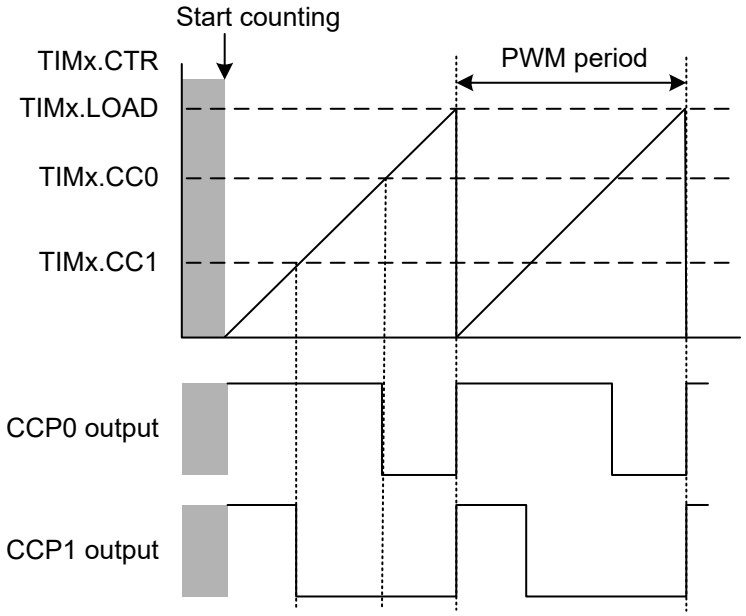


図 28-29. アップカウント モードでのエッジ整列 PWM 信号

Copyright © 2026 Texas Instruments Incorporated

28.2.5.2.2 センター整列 PWM

センター整列 PWM を生成するには、TIMx をアップ / ダウン カウント モードに設定し、TIMx.LOAD 値に半周期を設定します。この波形は、比較 / キャプチャ ブロックおよびカウンタの構成設定に応じて、アップ比較イベントとダウン比較イベントを使用して CCPx 出力を High または Low に駆動します。

TIMCLK サイクルにおいて、PWM 周期は (2 * TIMx.LOAD) であり、デューティ サイクルは 1 – (TIMx.CC_xy[0/1]/TIMx.LOAD) です。

センター整列 PWM 構成

カウンタからの比較一致イベントを使ってセンター整列 PWM を生成するには、次の手順を実行します:

1. TIMx.CTRCTL レジスタで、以下の項目について目的のカウンタ制御設定を行います。
   a. アップ / ダウン カウント モード (CM = 1) とイネーブル後のカウンタ値 (CVAE) (セクション 28.2.2 を参照)
   b. ゼロ (CZC)、アドバンス (CAC)、およびロード制御 (CLC) を使用して、カウンタのゼロ化、前進、またはロードを制御する条件を指定します
   c. 反復モードまたはワンショット モード (REPEAT)
2. PWM 周期を構成するために、TIMA.LOAD の値を設定します。
3. デューティ サイクルを構成するために、TIMx.CC_xy[0/1] の値を設定します。
4. 比較モードの場合、TIMx.CCCTL_xy[0/1].COC = 0 に設定します。
5. CCPD レジスタの各ビットを設定することにより、CCP を CC ブロックの出力として構成します。たとえば、TIMx チャネル 0 が出力の場合は、CCPD.C0CCP0 = 1 に設定します。
6. TIMx.CCACT_xy[0/1] で、比較イベント、ゼロ イベント、ロード イベント、ソフトウェア強制アクション、フォルト イベントの CCP 出力アクション設定を設定します (TIMA のみ)。
7. TIMx.OCTL_xy[0/1] で、信号ジェネレータ出力を選択するために CCPO = 0 を設定します。
8. CCPOINV ビットを使用して信号の極性を設定し、ディスエーブルになってている時の CCP 出力状態を指定するために CCPIV を設定します。
9. TIMx.CTRCTL.EN = 1 に設定して、カウンタをイネーブルにします。

アップ / ダウン カウント モードでセンター整列 PWM を使用した例

図 28-30 に、アップ / ダウン カウント モードを使用した標準的な 2 チャネル センター整列 PWM 生成を、次のセンター整列 PWM 出力波形に示します。

- CCP0 出力は次を生成します:
  - TIMx.CC0 の比較アップ イベントから TIMx.CC0 の比較ダウン イベントまでの High パルス幅 (CUACT = 1h)
  - TIMx.CC0 の比較ダウン イベントから TIMx.CC0 の比較アップ イベントまでの Low パルス幅 (CDACT = 2h)
- CCP1 出力は次を生成します:
  - TIMx.CC0 の比較アップ イベントから TIMx.CC0 の比較ダウン イベントまでの High パルス幅 (CUACT = 1h)
  - TIMx.CC0 の比較ダウン イベントから TIMx.CC0 の比較アップ イベントまでの Low パルス幅 (CDACT = 2h)

Copyright © 2026 Texas Instruments Incorporated

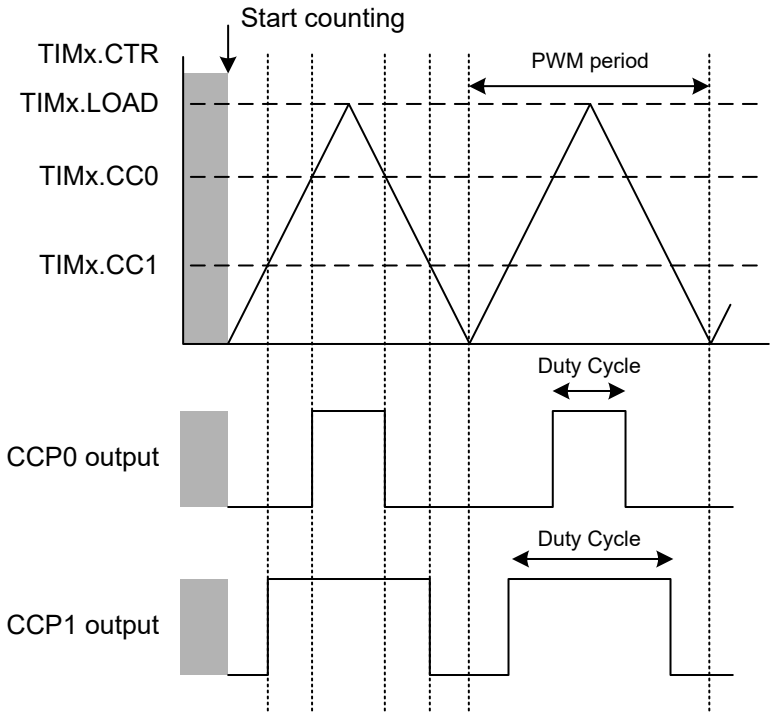


図 28-30. センター整列 PWM

28.2.5.2.3 非対称 PWM (TIMA のみ)

TIMA においてのみ、位相シフトを制御した 2 つの同期済みセンター整列 PWM 信号を生成することで、非対称 PWM を生成できます。非対称 PWM 信号を生成するために、セクション 28.2.2.5 で説明されている位相負荷機能が使用されます。

非対称 PWM 構成

カウンタからの比較一致イベントを使用して非対称 PWM を生成するには、以下の手順に従います。

1. セクション 28.2.7 に示すように、クロストリガを使用して TIMA0 と TIMA1 を同期します。
2. TIMA0 と TIMA1 を使用して、セクション 28.2.5.2.2 で説明されているように、2 つのセンター整列 PWM を構成します。同じ PWM 周波数とデューティ サイクルを生成するため、TIMA0 と TIMA1 は同じ負荷値 (TIMA.LOAD) と比較値 (TIMA.CC_xy[0/1]) を持つ必要があります。
3. セクション 28.2.2.5 で説明するように、位相負荷値 TIMA.PL を構成し、TIMA0 または TIMA1 の位相シフト値を追加します。
4. TIMA.CTRCTL.EN = 1 に設定してカウンタを有効にします。

図 28-31 に、TIMA0 と TIMA1 の CCP チャネル 0 を使用した非対称 PWM 構成の例を示します。

Copyright © 2026 Texas Instruments Incorporated

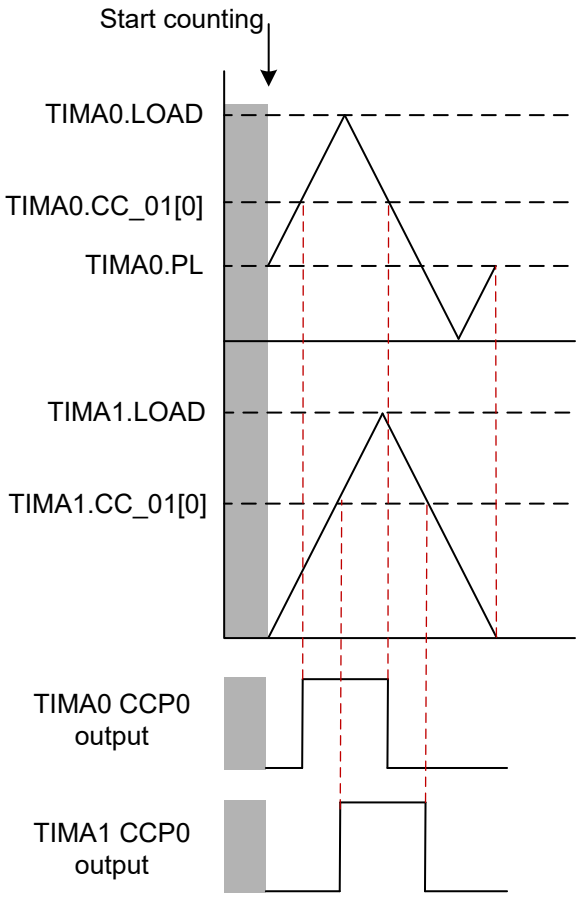


図 28-31. TIMA0 および TIMA1 の CCP チャネル 0 に対する位相負荷がある非対称 PWM 構成

28.2.5.2.4 デッドバンドを挿入した相補 PWM (TIMA のみ)

TIMA は、単一の PWM リファレンス信号から、デッドバンド (相補 PWM 信号における非重複遷移期間) を挿入した相補 PWM 出力を生成するオプションを提供します。デッドバンドは、モータドライバやインバータベースのアプリケーションなど、貫通電流状態を防止するためのハーフブリッジ制御を使用するアプリケーションで役立ちます。

リファレンス信号は TIMAx_Cy 信号に生成され、相補信号が TIMAx_CyN に生成されます。ここで、x はタイマ インスタンス、y は CCP 出力チャネルです。たとえば、TIMA0 CCP 出力チャネル 2 で生成されるリファレンス PWM 信号は、TIMA0_C2 と TIMA0_C2N に相補出力信号を生成します。

デッドバンド制御レジスタ (TIMAx.DBCTL) は、デッドバンド モードとタイミング情報で設定されます。デッドバンド モードは M1_ENABLE ビットを使用して選択され、TIMCLK サイクルでデッドバンド幅を制御するためのタイミング情報は、RISEDELAY および FALLDELAY ビット フィールドによって選択されます。RISEDELAY および FALLDELAY は、リファレンス PWM との間の立ち上がりまたは立ち下がりエッジ遅延の関数です。

デッドバンド モードとデッドバンド幅設定の構成と関係については、表 28-18 を参照してください。

表 28-18. DBCTL レジスタのデッドバンド モードと遅延タイミング設定

デッドバンド モード	ビットフィールド	説明	カウント モード
モード 0	M1_ENABLE = 0	RISEDELAY は、**リファレンス PWM の立ち上がりエッジ**から TIMAx_Cy 信号の立ち上がりエッジまでに適用されます。 FALLDELAY は、**リファレンス PWM の立ち下がりエッジ**から CxN 信号の立ち上がりエッジまで適用されます。	任意

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 28-18. DBCTL レジスタのデッドバンド モードと遅延タイミング設定 (続き)

デッドバンド モード	ビットフィールド	説明	カウント モード
モード 1	M1_ENABLE = 1	RISEDELAY は、TIMAx_CyN 信号の立ち下がりエッジから**リファレンス PWM の立ち上がりエッジ**まで適用されます。 FALLDELAY は、**リファレンス PWM の立ち下がりエッジ**から TIMAx_CyN 信号の立ち上がりエッジまでに適用されます。	アップ / ダウン カウンティング モードのみ

デッドバンド タイミングの式と例

TIMCLK の周波数とデッドバンド タイミングから RISEDELAY と FALLDELAY を構成する式を式 28 と式 29 に示します。

$$RISEDELAY = f_{TIMCLK} \times t_{dead_rise} \quad (28)$$

$$FALLDELAY = f_{TIMCLK} \times t_{dead_fall} \quad (29)$$

たとえば、80MHz の TIMCLK 周波数を使用するときに、400ns のデッドバンドが必要であり、センター整列の PWM でモード 1 を使用して、PWM 周期ごとに同じデッドバンドを生成する場合、RISEDELAY = FALLDELAY = (80MHz) * (400ns) = 32 になります。

デッドバンド構成ありの相補 PWM

1. TIMA の任意の CCP 出力チャネルのエッジ整列 PWM (セクション 28.2.5.2.1) またはセンター整列 PWM (セクション 28.2.5.2.2) の PWM 出力を構成します。
2. デッドバンド モードに応じて、指定されたデッドバンド モード (M1_ENABLE) とデッドバンド幅 RISEDELAY および FALLDELAY で TIMA.DBCTL を構成します。
3. TIMx.OCTL_xy[0/1] で、信号ジェネレータ出力を選択するために CCPO = 0xC を設定します。
4. TIMx.CTRCTL.EN = 1 に設定して、カウンタをイネーブルにします。

例 1 - ダウンカウント モードでエッジ整列 PWM を使ったデッドバンドありの相補 PWM 出力

エッジ整列 PWM では、モード 0 はデッドバンド挿入モードにのみ使用できます。ダウンカウント モード、TIMA 出力チャネル 0、エッジ整列 PWM を使用した構成可能なデッドバンドの挿入については、図 28-32 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

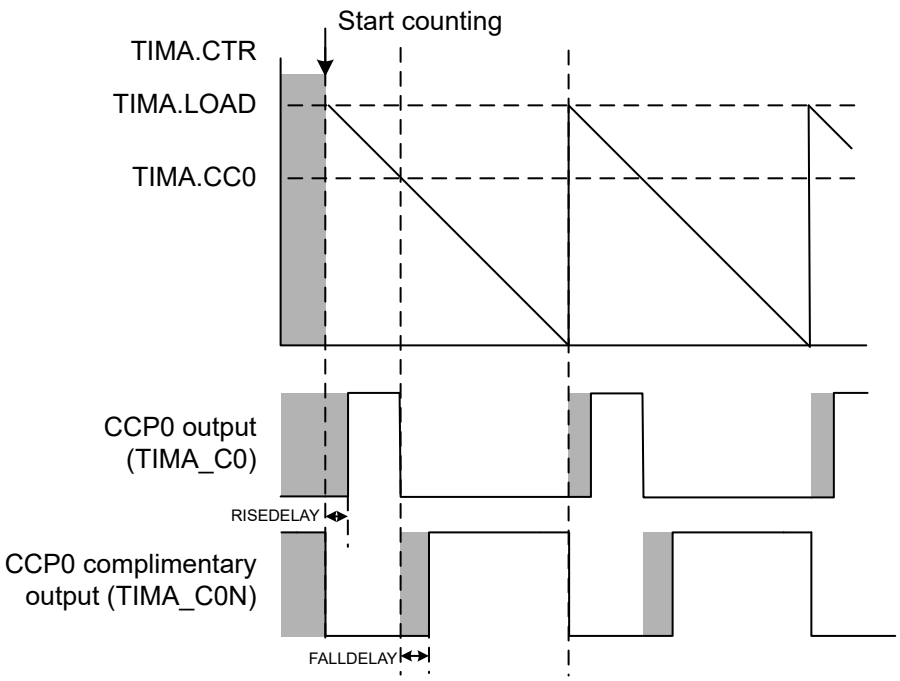


図 28-32. ダウンカウント モードの PWM のデッドバンド挿入 (モード 0)

例 2 - センター整列 PWM を使用したデッドバンドありの相補 PWM 出力

センター整列 PWM では、モード 0 またはモード 1 をデッドバンド挿入モードに使用できます。アップ / ダウン カウント モード、TIMA 出力チャネル 0、デッドバンドありのセンター整列 PWM を使用した構成可能なデッドバンドの挿入については、図 28-33 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

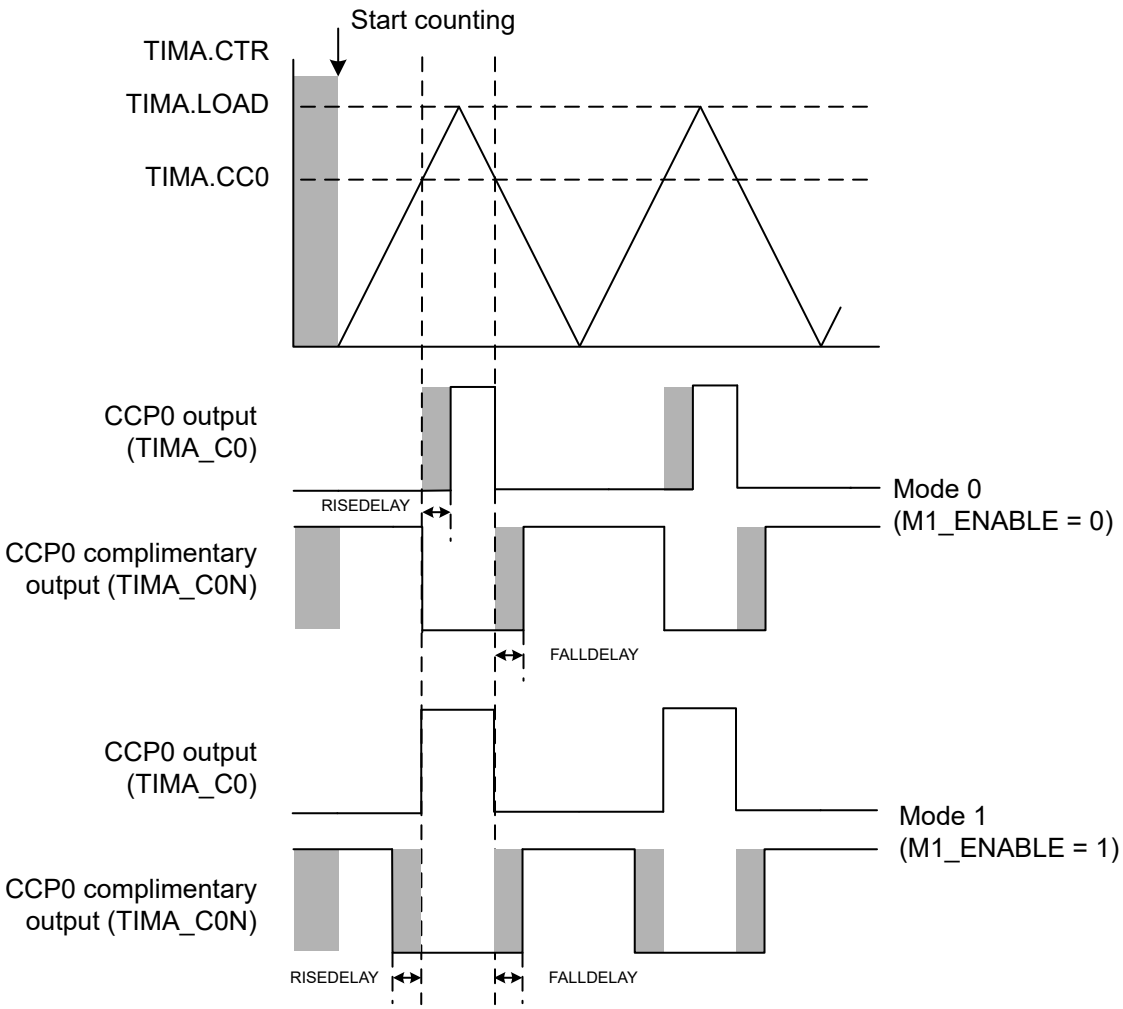


図 28-33. センター整列 PWM のデッドバンド挿入 (モード 0 およびモード 1)

28.2.5.3 強制出力

各出力チャネル信号は、比較レジスタとカウンタの間の比較に関係なく、ソフトウェアで直接 High または Low レベルに強制的に設定できます。タイマ期間の終了時に強制出力動作を確実に実行するため、シャドウ レジスタが存在します。

TIMx.CCACT_xy[0/1] レジスタの SWFRCACT ビットを設定すると、CCP チャネルの出力を強制的に High または Low にすることができます。

TIMA おいてのみ、TIMx.CCACT_xy[0/1] レジスタの SWFRCACT_CMPL ビットを設定することで、相補出力チャネルを強制的に HIGH または LOW にすることもできます。

表 28-19 に、ソフトウェア強制出力アクション構成のオプションを示します。

表 28-19. 強制出力アクションの構成

ビット フィールド	値	説明 / コメント
SWFRCACT/SWFRCACT_CMPL	0	強制出力なし。出力は、信号生成ブロックから直接供給されます。
	1	出力を High に強制します
	2	出力を Low に強制します

Copyright © 2026 Texas Instruments Incorporated

28.2.6 フォールト ハンドラ (TIMA のみ)

TIMA にのみ、内部および外部のフォルト入力が存在し、PWM 信号の生成を制御するために使用できます。これらの入力は、内部または外部の回路がシステム内フォルトのを通知するための仕組みとして使用することを意図しています。これにより、ハードウェアは外部フォルトに迅速に応答でき、オプションとして割り込みを送信してソフトウェアによる修正を行うようにして、出力信号を安全な状態にすることもできます。

システムでは、次のようなフォルトの基本的な特性を考慮することが重要です。

- フォルト入力の選択 (外部 IC、内部信号などからのフォルト信号など)
- フォルト条件が持続する時間、またはフォルト条件の持続時間
- フォルト条件の開始と終了に対するカウンタの応答方法
- フォルト条件の開始と終了に対する出力信号の応答方法

フォルト条件は、TIMCLK を使用して同期的に検出されるか、非同期的に検出されます。同期フォルトには構成可能なグリッチ フィルタがあり、ラッチされたフォルト イベントを生成できます。非同期フォルトはラッチできず、1 ～ 2 TIMCLK サイクルのレイテンシでフォルトを検出し、構成された動作を実行します。フォルト イベントを生成しません。CCP 出力は、開始条件と終了条件時に、どちらのタイプのフォルトにも構成できます。

フォルト ハンドラのロジック図は、非同期フォルト、同期フォルト、フォルト出力生成の 3 つの部分に分割されています。

図 28-34 に、非同期フォルト ハンドラのロジック接続を示します。

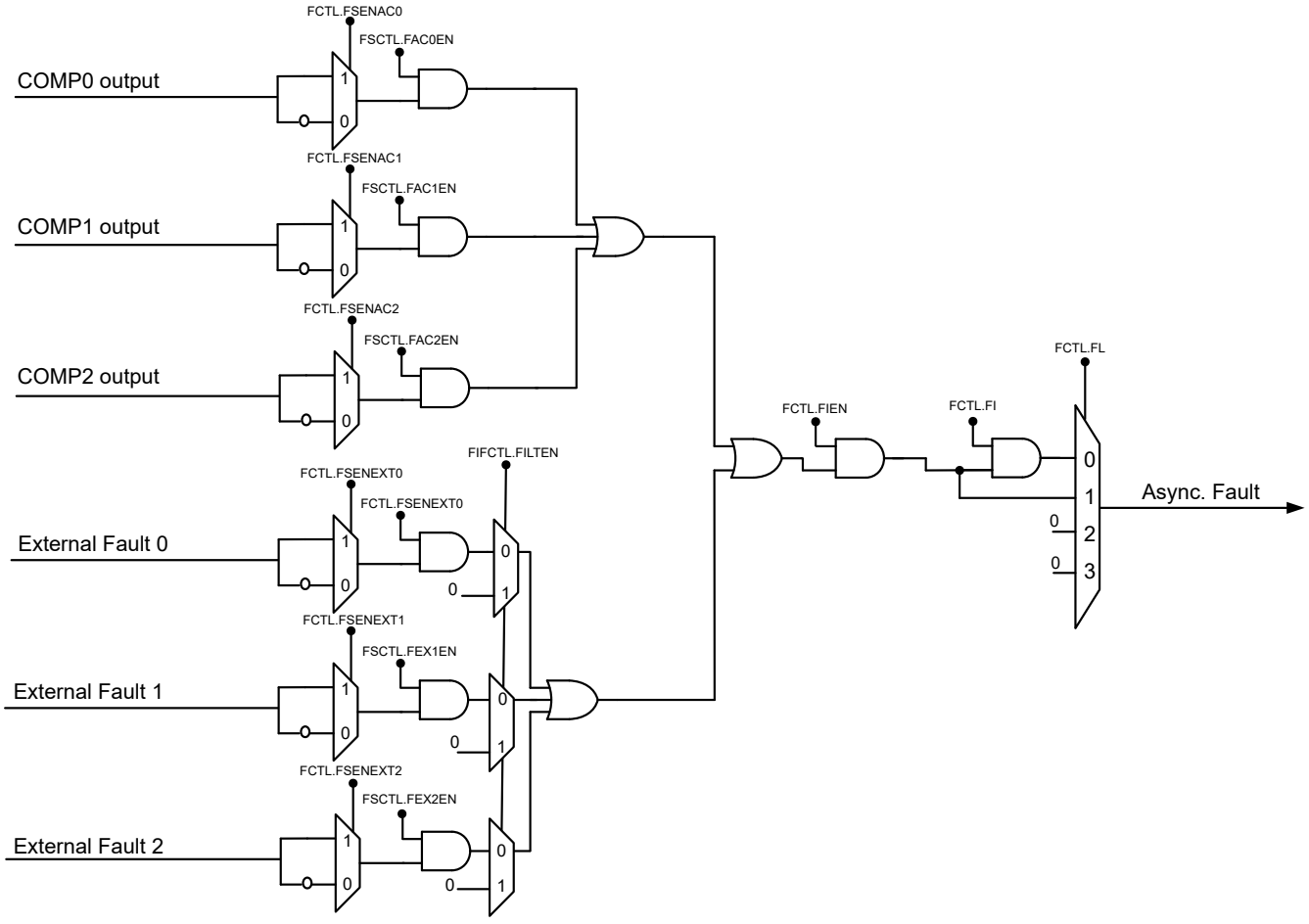


図 28-34. 非同期フォルト ハンドラ接続

図 28-35 に、同期フォルト ハンドラのロジック接続を示します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

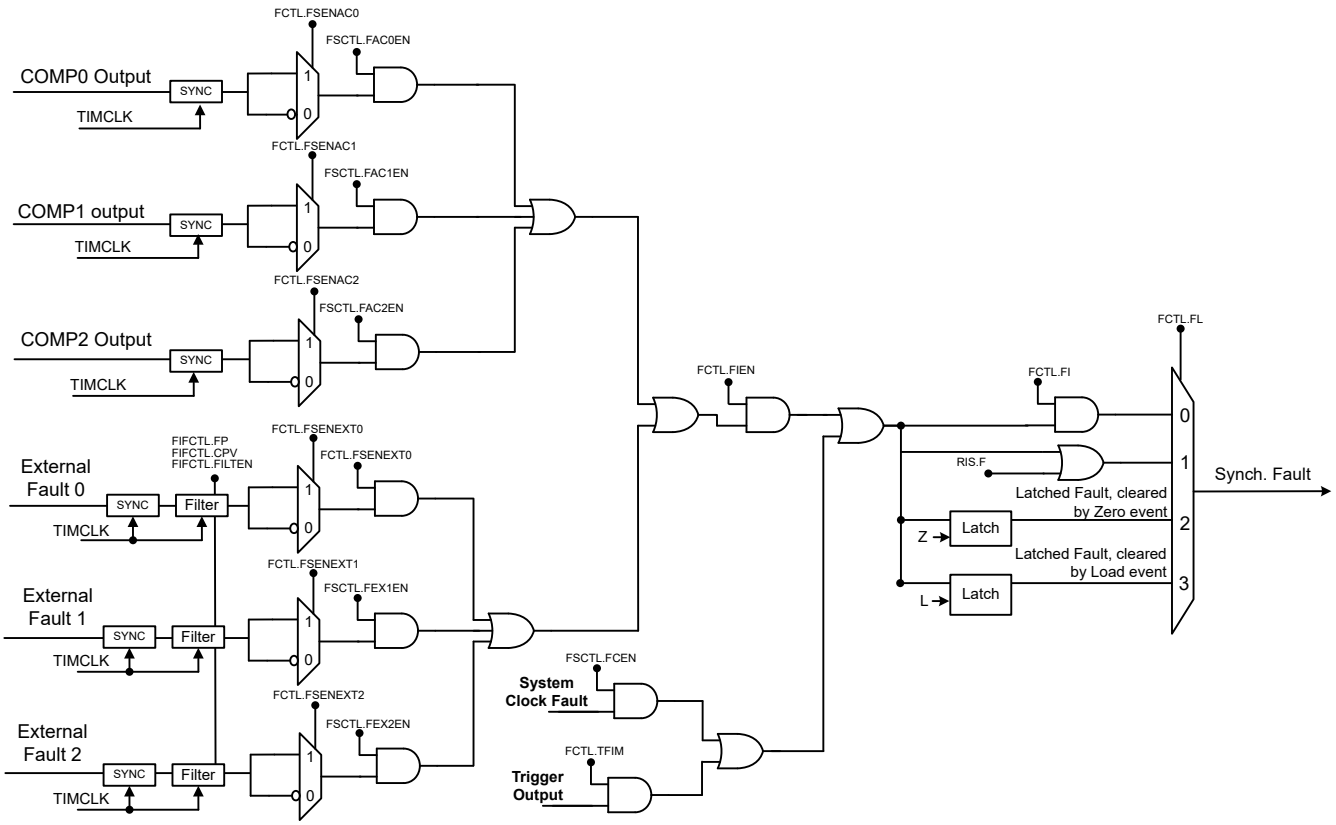


図 28-35. 同期フォルト ハンドラ接続

図 28-36 に、フォルト出力生成ロジックの接続を示します。

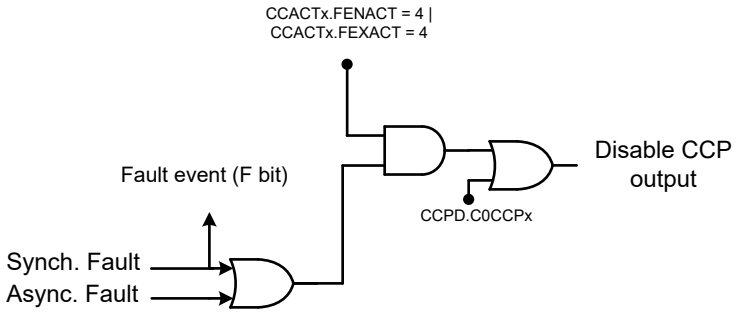


図 28-36. フォルト出力生成接続

フォルト ハンドラを構成するための主なレジスタは次のとおりです。

- **TIMA.FCTL**:このレジスタは、フォルト入力、フォルト検出、およびエラー処理の動作を制御します。
- **TIMA.FSCTL**:このレジスタはフォルト ソースの選択とイネーブルを制御します。
- **TIMA.FIFCTL**:このレジスタは、フォルト入力の入力フィルタリング (FILTEN、FP、CPV) を制御します。
- **TIMA.CCACT_xy[0/1]**:このレジスタは、フォルト イベントに基づいてキャプチャ比較部分の信号ジェネレータの動作を制御します。

28.2.6.1 フォルト入力コンディショニング

コンパレータと外部フォルト ピン フォルト ソース入力は、2 つの TIMCLK 同期段を通過し、フォルト入力フィルタ (TIMA.FIFCTL) レジスタを使用して、フォルト入力をグリッチ フィルタでフィルタ処理することができます。

Copyright © 2026 Texas Instruments Incorporated

フォルト入力グリッチ フィルタは、TIMA.FIFCTL.FILTEN ビットをセットすることでイネーブルできます。フィルタ周期は、TIMA.FIFCTL.FP ビットをセットすることで構成されます。

CCP 入力信号の基準を選択するには、TIMA.FIFCTL.CPV ビットで選択される連続した周期または多数決形式を使用します。

- **連続時間** - フォルト入力信号は、フォルト入力を処理するために、定義された FP タイマ クロック数の間、指定されたレベルになっている必要があります。
- **多数決** - フィルタは、フィルタ期間全体にわたって反対の論理の 1 クロックを無視します。たとえば、フォルト入力の FP サンプル数にわたって、最大 1 サンプルが出力に影響を与えずに逆のロジック値 (グリッチ) になっている可能性があります。

図 28-13 に示す例は、3 TIMCLK の周期のフォルト入力をキャプチャするために実装されたデジタル フィルタを使用した、連続周期と多数決形式の違いを示しています。

28.2.6.2 フォルト入力ソース

フォルト制御 (FCTL) レジスタとフォルト ソース制御 (FSCTL) レジスタは、極性を選択し、各種のフォルト入力源をイネーブルにするために使われます (表 28-20 を参照)。

フォルト検出用に最終的な入力をイネーブルにするには、TIMA.FTCL.FIEN = 1 に設定します。

同期または非同期のフォルト検出に使用できるフォルト入力ソースには、4 種類があります。

コンパレータ (COMP) 出力

コンパレータ出力は、COMP を使用して過電流または過電圧イベントを検出するときのフォルト検出に役立ちます。フォルト検出用にコンパレータ出力を有効にするには、TIMA.FSCTL.FACxEN ビットを設定し、TIMA.FCTL.FSENACx ビット (COMP インスタンスの場合、x = 0、1、または 2) を使ってフォルトを検出する極性を設定します。

外部フォルト ピン

多くの IC デバイスには、システム内に故障状態が発生したときに、MCU が検出できるフォルト検出ピン (つまり、nFAULT) が含まれています。各 TIMA モジュールには、3 つのフォルト外部信号ピン (TIMA_FLTx) が接続されています。ここで、x = 0、1、2 です。各信号ピンは、TIMA.FSCTL.FEXxEN ビットを設定することでイネーブルでき、フォルト条件をトリガするためのこの信号の極性は、TIMA.FCTL.FSENEXTx ビット (各 TIMA_FLTx ピンについて x = 0、1、または 2) を使用して構成できます。

システム クロック フォルト

システム クロック フォルトを使って、PWM 出力を Hi-Z 状態にトリガできます。これは TIMA.FSCTL.FCEN ビットの設定でイネーブルできます。

注

SYSCLK フォルトが発生すると、デバイス リセットが生成されます。デバイスがリセット中、各種の TIMA フォルトの開始および終了オプションは無効です。

トリガ

フォルト条件を生成するようにトリガを構成できます。これは、診断を実行したり、イベント ファブリック内の他のペリフェラルからフォルト依存関係を作成したりする場合に役立ちます。トリガ構成については、セクション 28.2.7 してください。フォルト入力マスクは、TIMA.FSCTL.TFIM ビットをセットすることでイネーブルできます。

Copyright © 2026 Texas Instruments Incorporated

表 28-20. フォルト入力ソースおよび構成

信号名	入力ソース	フォルト タイプ	極性ビット	イネーブル ビット
COMP0_OUT	COMP0 出力	同期または非同期	FSENAC0	FAC0EN
COMP1_OUT	COMP1 出力		FSENAC1	FAC1EN
COMP2_OUT	COMP2 出力		FSENAC2	FAC2EN
TIMA_FLT0	外部フォルト 0		FSENEXT0	FSENEXT0
TIMA_FLT1	外部フォルト 1		FSENEXT1	FSENEXT1
TIMA_FLT2	外部フォルト 2		FSENEXT2	FSENEXT2
SYSCLK	システム クロック	同期	-	FCEN
TRIG	トリガ出力		-	TFIM

28.2.6.3 フォルト条件によるカウンタ動作

フォルト条件でカウンタの動作を指定するには、次の 2 つの設定があります。TIMA.CTRCTL.FB (フォルト動作時) と TIMA.CTRCTL.FRB (フォルト再開動作)。フォルト ハンドラの動作中は、カウンタをイネーブルにしたまま (TIMA.CTRCTL.EN = 1) にする必要があります。

フォルト条件のカウンタ動作を、表 28-21 と図 28-37 に示します。

表 28-21. TIMA.CTRCTL レジスタによるフォルト条件でのカウンタ動作

ビット フィールド				カウンタの動作
FB	FRB	CVAE	REPEAT	
0	X	X	0	フォルト モードを無視します。フォルト中、カウンタはカウントを継続し、ゼロに達すると停止します。
			1/3	フォルト モードを無視します。フォルト中、カウンタはカウントを継続し、繰り返します。
1	0	X	0/1/3	フォルト モードに即座に応答します。カウンタはフォルト モード全体にわたって即座にカウントを停止します。フォルト モードが終了すると、カウンタはオフの時点からカウントを継続します。
	1	0	X	フォルト モードに即座に応答します。カウンタは、デバッグ モード中直ちにカウントを停止します。フォルト モードが終了すると、カウンタは LOAD 値から再開します (ダウン カウントを再開します)。
		1		フォルト モードに即座に応答します。カウンタは、デバッグ モード中直ちにカウントを停止します。デバッグモードが終了すると、カウンタはフォルト状態に入ると、一時停止した場所から再起動します。
		2		フォルト モードに即座に応答します。カウンタはフォルト モード全体にわたって即座にカウントを停止します。フォルト モードが終了すると、0 値から再起動します (アップ / ダウン カウントを再開)。

Copyright © 2026 Texas Instruments Incorporated

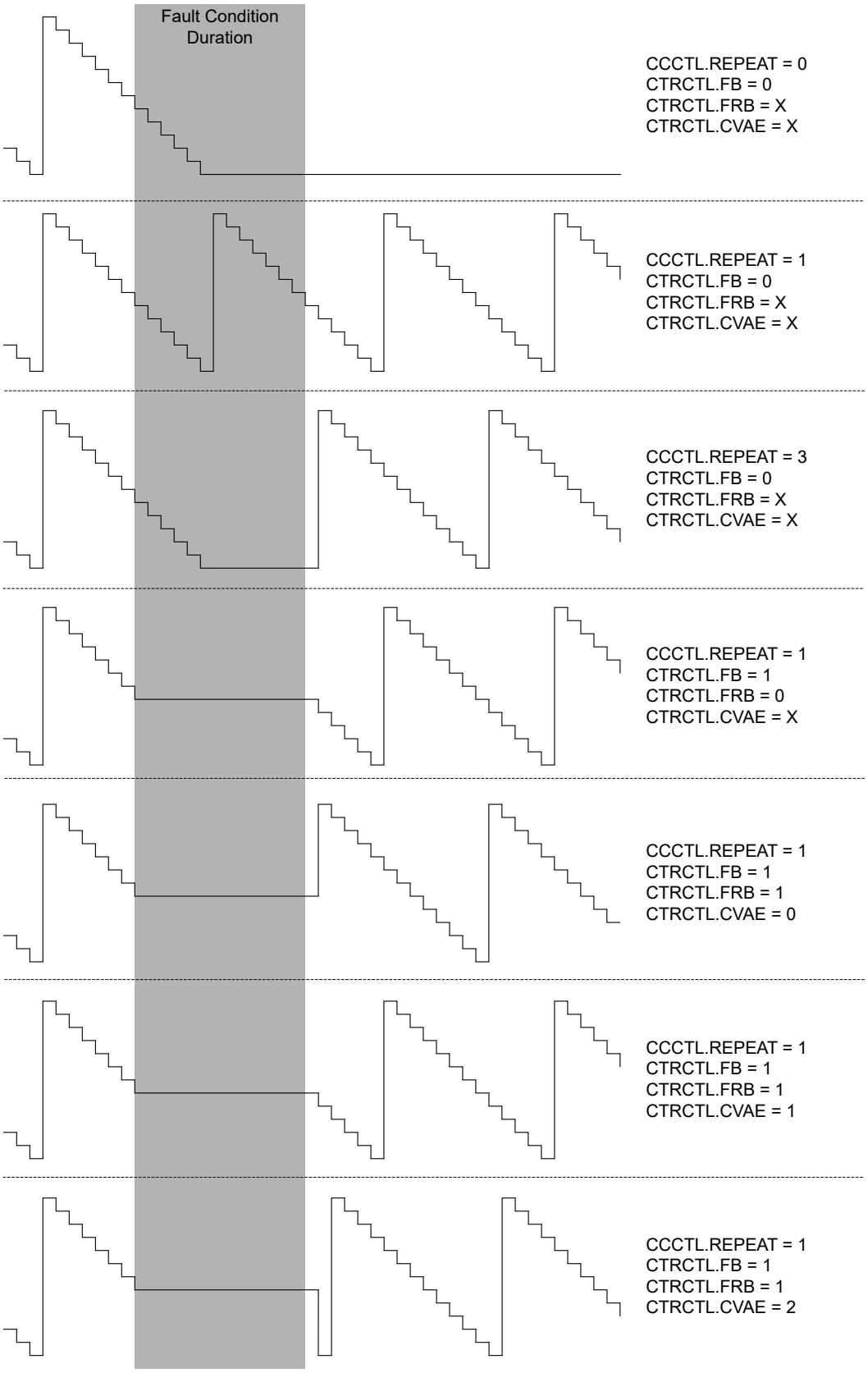


図 28-37. TIMx.CTRCTL レジスタによるフォルト条件でのカウンタの動作

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

28.2.6.4 フォルト条件に対する出力動作

フォルト条件の CCP 出力チャネルの動作には、TIMA.CCACT_01[0/1].FEXACT (フォルト解除時の動作) と TIMA.CCACT_01[0/1].FENACT (フォルト発生時の動作) という 2 つの設定があります。フォルト条件の出力動作については、表 28-22 を参照してください。

表 28-22. TIMA.CCACT レジスタによるフォルト状態での CCP 出力動作

ビット フィールド		出力動作
FEXACT	FENACT	
0		CCP の出力値は、フォルト イベントによる影響を受けません
1		CCP 出力値は High に設定されます
2		CCP の出力値は Low に設定されます
3		CCP 出力値が切り替わります
4		CCP 出力はトライステートになります (Hi-Z)

注

フォルトの開始および終了動作は、イネーブルになっているカウンタには依存しません。フォルト モードでは常に出力を更新します。フォルト モードのときにソフトウェア書き込みによってカウンタをイネーブルにすると、RIS でキャプチャされるロード イベントが生成されますが、カウンタは処理を続行しません。フォルト モードでは、ロード イベントは出力に影響を与えません。フォルト イベントは絶対優先度を持ち、フォルト モードを終了するまで、どのイベントも出力を更新できません。

注

TIMA_FALx ピンを CCP キャプチャ チャネル入力と組み合わせて使用する場合 (相補 PWM にデッドバンドを追加する場合など)、低レイテンシ動作を実現するには、TIMA_FALx ピンと TIMAx_Cy ピンの間に外部ハードウェア接続を設ける必要があります (x = タイマ インスタンス、y = CC チャネル)。

28.2.7 クロス トリガとの同期

複数のタイマをまとめて接続してメイン-セカンダリ タイマ構成を使用する場合、クロス トリガ機能により、イベント ファブリックを使用して、同じ電源ドメイン内または異なる電源ドメイン間にある複数のタイマ モジュールに、同時にカウントを開始するよう指示できます。

クロス トリガ はソフトウェアを使用してイネーブルにでき、他のタイマ インスタンスからの比較イベント、0 またはロード イベント、あるいは汎用サブスクライバ イベントを利用可能です。アプリケーションによっては、同一の電源ドメイン内 (TIMA0 と TIMA1 など) または異なる電源ドメイン間 (TIMA0 と TIMG0 など) で同時に起動可能な、複数のカウンタ ブロックが必要となる場合があります。

この構成では、セカンダリ タイマの入力トリガ条件として、メインタイマ モジュールからのクロス トリガを使用します。タイマ クロス トリガは、基本的に、TIMx.CTRCTL レジスタの EN ビットを制御するハードウェア条件とソフトウェア条件の組み合わせロジックです。

メイン タイマから出力されたクロス トリガは、他のセカンダリ タイマ モジュールの外部トリガ入力に接続されます。図 28-38 に示すように、TIMGx はメイン タイマで、TIMAx は構成例でクロス トリガされるセカンダリ タイマです。

注

タイマ インスタンスに対して有効な電源ドメインとクロストリガ選択ソースについては、デバイス固有のデータ シートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

注

クロストリガを適切に受信するためには、セカンダリ タイマがメイン タイマ以上の周波数で動作している必要があります。そうしないと、クロストリガがクロック サイクルよりも小さいため、セカンダリ タイマでクロストリガ パルスが観測されない場合があります。

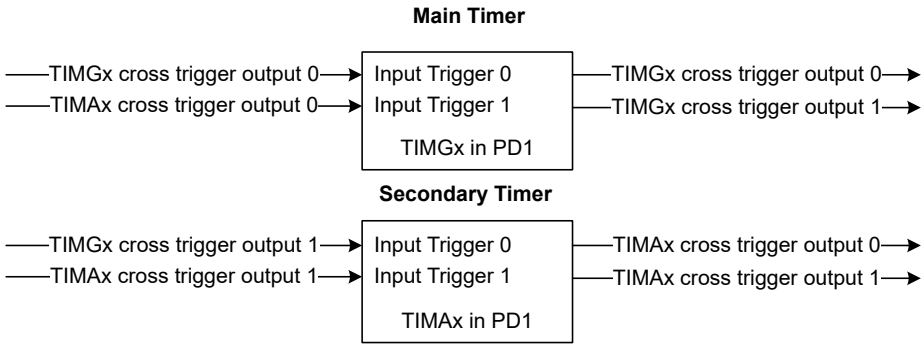


図 28-38. 電力ドメイン 1 のメイン タイマ (TIMGx) とセカンダリ タイマ (TIMAx) のクロス トリガ接続

28.2.7.1 メイン タイマ クロス トリガの構成

メイン タイマ クロストリガ (この例では TIMGx) 構成をするには、以下の手順を使用します。

1. PWM 出力生成や比較モードなど、目的の機能に合わせてメイン タイマ (他のセカンダリ タイマをトリガする) を構成して、他のペリフェラルをトリガします。PWM 生成用の構成方法については、セクション 28.2.5 を参照してください。
2. TIMx.CTTRIGCTL.CTEN ビットを 1 に設定して、クロストリガ出力機能をイネーブルにします。
3. 同期されたタイマに必要な同じトリガをメイン タイマから開始する必要がある場合は、**ETSEL をメイン タイマからトリガするように設定**し、TSEL.TE = 1 を設定します。
   a. たとえば、メイン タイマが TIMA0 の場合、クロストリガからメイン タイマを起動するには、ETSEL の値が TIMA.TRIG0 と等しくなる必要があります。
   b. タイマのクロストリガの表は、タイマについてはデバイス固有のデータ シートの「詳細説明」セクションに記載されています。
4. これらの接続されたタイマーの開始をトリガする方法を選択します。これには、サブスクライバ ポートからのソフトウェア トリガまたはハードウェア トリガ、ゼロ イベント、ロード イベント、または比較イベントがあります。
   a. ソフトウェア イベント トリガの場合、TIMx.CTTRIG.TRIG ビットを設定します。
   b. ハードウェア イベント トリガの場合、TIMx.CTTRIGCTL.EVTCTTRIGSEL を使ってトリガのソースを選択し、TIMx.CTTRIGCTL.EVTCTEN を設定してハードウェア トリガをイネーブルにします。

図 28-39 に、接続ロジックとレジスタを示します。

Copyright © 2026 Texas Instruments Incorporated

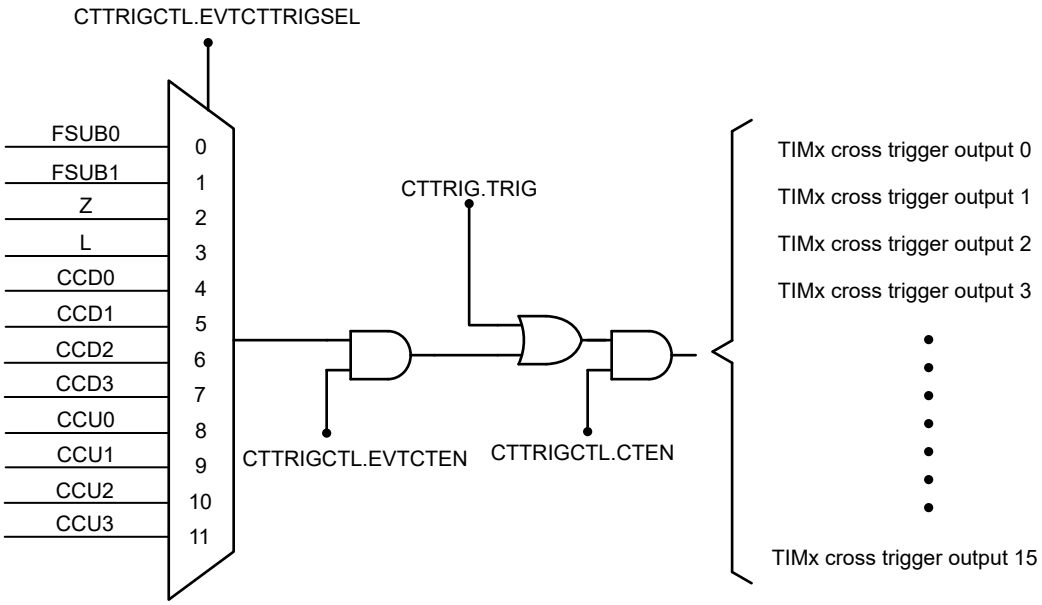


図 28-39. メイン タイマ クロス トリガ出力の構成

28.2.7.2 セカンダリ タイマ クロス トリガの構成

セカンダリ タイマのクロス トリガ (この例では TIMAx) 構成をするには、次の手順を使用します。

1. (メイン タイマによってトリガされる) セカンダリ タイマを、PWM 出力生成や比較モードを使用して、このタイマの目的の機能に合わせて構成し、他のペリフェラルをトリガする。PWM 生成用の構成方法については、セクション 28.2.5 を参照してください。
2. デバイス固有のデータ シートに従って、どの入力トリガを使用するかを選択します。図 28-38 の接続例を使用すると、TIMAx は TIMGx によってトリガされる必要があり、TIMGx のクロス トリガ出力 1 は TIMAx の入力トリガ 0 に接続されます。したがって、TIMA.TSEL.ETSEL ビットを 0 に設定して、TIMAx の入力トリガ 0 を選択します。
3. TIMA.TSEL.TE ビットを 1 に設定することで、入力トリガ機能を有効にします。
4. トリガを入力ソースとして選択するには、TIMAx.IFCTL_01[0].ISEL = 3 かつ TIMAx.IFCTL_01[1].ISEL = 3 に設定します。
   a. センター整列 PWM の場合、ゼロ イベントのためにトリガ アサートエッジを使用するには、TIMA.CCCTL_01[0].ZCOND ビットと TIMA.CCCTL_01[1].ZCOND ビットを 1 に設定します。
   b. エッジ整列 PWM の場合、TIMA.CCCTL_01[0].LCOND ビットと TIMA.CCCTL_01[1].LCOND ビットを 1 に設定して、ロード イベントにトリガ アサート エッジを使用します。
5. TIMx.CTRCTL.EN ビットは、LCOND 条件または ZCOND 条件が満たされた結果として設定され、カウンタ値はそれぞれ、ロード値またはゼロ値に変化します。

メイン タイマ TIMGx もそれ自体をトリガする必要があるため、TIMAx が TIMGx 自体をトリガするように以前の構成手順を完了します。

図 28-40 にロジックを示します。

Copyright © 2026 Texas Instruments Incorporated

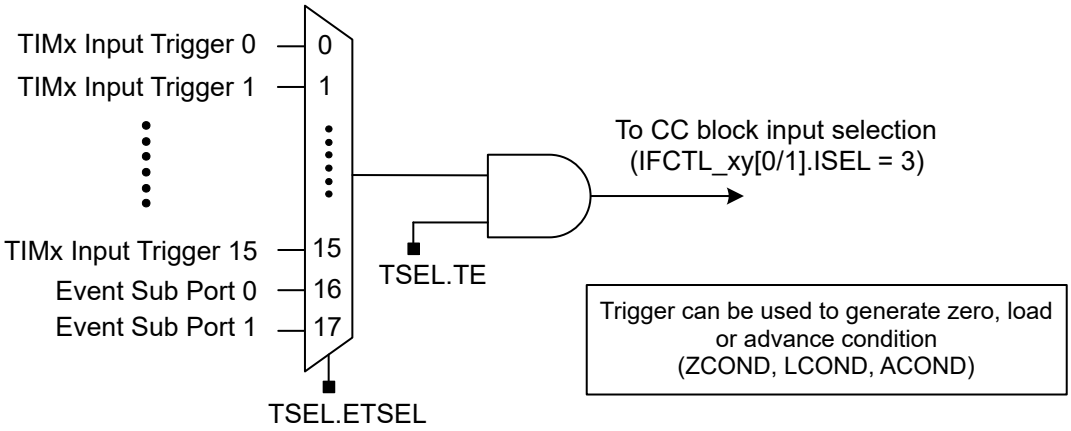


図 28-40. セカンダリ タイマ クロス トリガ入力構成

注

ETSEL ビットを使用してイネーブルにしたクロス トリガのマッピングについては、デバイス固有のデータ シートの「TIMx クロス トリガ マップ」を参照してください。たとえば、デバイスのすべてのタイマ インスタンスがトリガ入力 0 (TRIG0) を使用して他のタイマをクロス トリガする場合、TRIG0 のみを使用して他のインスタンスをクロス トリガできます。

28.2.8 低消費電力動作

使用可能なクロック ソースや動作の点における低消費電力モードの詳細については、「*パワー ドメイン*」を参照してください。

電力ドメイン PD0 のタイマ モジュールはアクティブであり、SHUTDOWN モードを除くすべての電力モードでカウントを続行するように構成できます。各低消費電力モードで使用可能なクロック ソースについては、「*パワー ドメイン*」を参照してください。ユーザーは、低消費電力モードでタイマを供給するための適切なクロックを構成する必要があります。

電力ドメイン PD1 のタイマ モジュールは、RUN モードと SLEEP モードでのみアクティブにできます。システムが STOP モードまたは STANDBY モードに移行すると、タイマ モジュールは強制的にディスエーブル状態になり、システムが RUN モードまたは SLEEP モードに戻ると再開されます。

28.2.9 割り込みとイベントのサポート

TIMx 割り込みおよびイベントは、イベント マネージャを使用して、デバイスの任意のペリフェラルに構成できます。このタイマは、**イベント パブリッシャ**として割り込みまたはイベントを生成でき、**イベント サブスクライバ**として他のペリフェラル イベント (GPIO、コンパレータ、ADC など) からトリガできます。CPU 割り込みまたは汎用イベント用のイベント レジスタを構成する方法については、セクション 8.2.5 を参照してください。

TIMx モジュールには、3 つのイベント パブリッシャと 2 つのイベント サブスクライバが含まれます。

- 1 つのイベントパブリッシャー (CPU_INT) が、静的なイベント ルートを介して、CPU サブシステムへの TIMx 割り込み要求 (IRQ) を管理します。
- 2 番目および 3 番目のイベント (GEN_EVENT0 および GEN_EVENT1) は、汎用ルートを使用して汎用イベント パブリッシャとサブスクライバを設定するために使用されます。

表 28-23 に、TIMx イベントのまとめを示します。

表 28-23. TIMx イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込み	パブリッシャ	TIMx	CPU サブシステム	スタティック ルート	CPU_INT レジスタ	TIMx から CPU への固定割り込みルート

Copyright © 2026 Texas Instruments Incorporated

表 28-23. TIMx イベント (続き)

イベント	タイプ	ソース	接続先	配線	構成	機能
汎用パブリッシャ イベント	パブリッシャ	TIMx	その他のペリフェラル	汎用ルート	GEN_EVENT0 および FPUB_0 レジスタ	TIMx からその他のペリフェラルへの構成可能な割り込みルート
汎用パブリッシャ イベント	パブリッシャ	TIMx	その他のペリフェラル	汎用ルート	GEN_EVENT 1 および FPUB_1 レジスタ	TIMx からその他のペリフェラルへの構成可能な割り込みルート
汎用サブスクライバ イベント	サブスクライバ	その他のペリフェラル	TIMx	汎用ルート	FSUB_0	その他のペリフェラルから TIMx への構成可能な割り込みルート
汎用サブスクライバ イベント	サブスクライバ	その他のペリフェラル	TIMx	汎用ルート	FSUB_1	その他のペリフェラルから TIMx への構成可能な割り込みルート

28.2.9.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

TIMx モジュールは、CPU 割り込みイベントをソースするように構成できる 18 個の割り込みソース (特定の TIMx モジュール機能に依存) を備えています。CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。表 28-24 に、割り込み優先度を低下させるための TIMx からの CPU 割り込みイベントを示します。

表 28-24. TIMx CPU 割り込みイベント条件 (CPU_INT)

IIDX STAT	名称	説明	タイマ モジュール
0x01	Z	ゼロ イベント割り込み。この割り込みは、ゼロ イベントが発生すると設定されます。	TIMx
0x02	L	ロード イベント割り込み。この割り込みは、ロード イベントが発生するときに設定されます。	TIMx
0x05	CCD0	0 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC0 でダウン比較一致イベントが発生すると設定されます。	TIMx
0x06	CCD1	1 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC1 でダウン比較一致イベントが発生すると設定されます。	TIMx
0x07	CCD2	2 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC2 でダウン比較一致イベントが発生すると設定されます。この割り込みは、TIMA0 でのみ使用できます。	TIMx
0x08	CCD3	3 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC3 でダウン比較一致イベントが発生すると設定されます。この割り込みは、TIMA0 でのみ使用できます。	TIMx
0x09	CCU0	0 アップ イベントをキャプチャまたは比較します。この割り込みは、CC0 でアップ比較一致イベントが発生すると設定されます。	TIMx
0x0A	CCU1	1 アップ イベントをキャプチャまたは比較します。この割り込みは、CC1 でアップ比較一致イベントが発生すると設定されます。	TIMx
0x0B	CCU2	2 アップ イベントをキャプチャまたは比較します。この割り込みは、CC2 でアップ比較一致イベントが発生すると設定されます。	TIMx
0x0C	CCU3	3 アップ イベントをキャプチャまたは比較します。この割り込みは、CC3 でアップ比較一致イベントが発生すると設定されます。	TIMx
0x0D	CCD4	4 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC4 でダウン比較一致イベントが発生すると設定されます。この割り込みは TIMA モジュールでのみ使用できます。	TIMA
0x0E	CCD5	5 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC5 でダウン比較一致イベントが発生すると設定されます。この割り込みは TIMA モジュールでのみ使用できます。	TIMA
0x0F	CCU4	4 アップ イベントをキャプチャまたは比較します。この割り込みは、CC4 でアップ比較一致イベントが発生すると設定されます。この割り込みは TIMA モジュールでのみ使用できます。	TIMA
0x10	CCU5	5 アップ イベントをキャプチャまたは比較します。この割り込みは、CC5 でアップ比較一致イベントが発生すると設定されます。この割り込みは TIMA モジュールでのみ使用できます。	TIMA
0x19	F	フォルト イベント割り込み。この割り込みは、フォルト条件イベントが発生したときに設定されます。セクション 28.2.6 を参照してください。この割り込みは、フォルト ハンドラ機能を備えた TIMA モジュールでのみ使用できます。	TIMA
0x1A	TOV	トリガ オーバーフロー割り込み。この割り込みは、関連するトリガ チャネルがアクティブである間にトリガ イベントが生成されると設定されます。	TIMx

Copyright © 2026 Texas Instruments Incorporated

表 28-24. TIMx CPU 割り込みイベント条件 (CPU_INT) (続き)

IIDX STAT	名称	説明	タイマ モジュール
0x1B	REPC	反復カウンタ ゼロ割り込み。このビットは、反復カウンタ値がゼロ以外の値からゼロに遷移する場合に、割り込みの生成を制御します。この割り込みは、反復カウンタ機能を備えた TIMA モジュールでのみ使用できます。	TIMA
0x1C	DC	方向変化割り込み。QEI モードで使用されます。この割り込みは、QEI 機能を備えた TIMG モジュールでのみ使用できます。	TIMG
0X1D	QEIERR	方向変化割り込み。QEI モードで使用されます。この割り込みは、QEI 機能を備えた TIMG モジュールでのみ使用できます。	TIMG

CPU 割り込みに対するイベント レジスタを構成する方法については、セクション 8.2.5 を参照してください。

28.2.9.2 汎用イベント パブリッシャおよびサブスクライバ (GEN_EVENT0 および GEN_EVENT1)

汎用ルートとは、イベントを発行するコンパレータ ペリフェラルが、利用可能な複数の汎用ルート チャネルのいずれかを使用して、別のエンティティ (スプリッタ ルートの場合は複数のエンティティ) へイベントを発行するように構成されたルートのことです。ここでいうエンティティとは、別のペリフェラル、汎用 DMA トリガ イベント、または汎用 CPU イベントを指します。

GEN_EVENT0 および GEN_EVENT1 レジスタは、イベントの発行またはサブスクライブに使用するペリフェラル条件 (表 28-25) を選択するために使われます。FPUB_0 および FPUB_1 はパブリッシャ ポート レジスタで、イベントをブロードキャストするために使用する汎用ルート チャネルを設定するために使用されます。FSUB_0 および FSUB_1 はサブスクライバ ポート レジスタであり、イベントのサブスクライブに使用する汎用ルート チャネル構成をするために使用されます。その他のペリフェラル、DMA、または CPU は、公開ペリフェラルが接続されているのと同じ汎用ルート チャネルでリッスンするようにサブスクライバ ポートを設定することで、このイベントをサブスクライブできます。

たとえば、汎用イベント チャネルを使用することで、TIMx FPUB_x と ADC FSUB_0 を同じ汎用イベント チャネルに接続することにより、TIMx イベントから ADC 変換を直接開始できます。汎用イベント ルートの動作方法については、セクション 8.1.3.3 およびセクション 8.2.3 を参照してください。

表 28-25. TIMx の汎用イベント条件 (GEN_EVENT0 および GEN_EVENT1)

IIDX STAT	名称	説明	タイマ モジュール
0x01	Z	ゼロ イベント割り込み。この割り込みは、ゼロ イベントが発生すると設定されます。	TIMx
0x02	L	ロード イベント割り込み。この割り込みは、ロード イベントが発生するときに設定されます。	TIMx
0x05	CCD0	0 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC0 でダウン比較一致イベントが発生すると設定されます。	TIMx
0x06	CCD1	1 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC1 でダウン比較一致イベントが発生すると設定されます。	TIMx
0x07	CCD2	2 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC2 でダウン比較一致イベントが発生すると設定されます。この割り込みは、TIMA0 でのみ使用できます。	TIMx
0x08	CCD3	3 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC3 でダウン比較一致イベントが発生すると設定されます。この割り込みは、TIMA0 でのみ使用できます。	TIMx
0x09	CCU0	0 アップ イベントをキャプチャまたは比較します。この割り込みは、CC0 でアップ比較一致イベントが発生すると設定されます。	TIMx
0x0A	CCU1	1 アップ イベントをキャプチャまたは比較します。この割り込みは、CC1 でアップ比較一致イベントが発生すると設定されます。	TIMx
0x0B	CCU2	2 アップ イベントをキャプチャまたは比較します。この割り込みは、CC2 でアップ比較一致イベントが発生すると設定されます。	TIMx
0x0C	CCU3	3 アップ イベントをキャプチャまたは比較します。この割り込みは、CC3 でアップ比較一致イベントが発生すると設定されます。	TIMx
0x0D	CCD4	4 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC4 でダウン比較一致イベントが発生すると設定されます。この割り込みは TIMA モジュールでのみ使用できます。	TIMA
0x0E	CCD5	5 ダウン イベントをキャプチャまたは比較します。この割り込みは、CC5 でダウン比較一致イベントが発生すると設定されます。この割り込みは TIMA モジュールでのみ使用できます。	TIMA

Copyright © 2026 Texas Instruments Incorporated

表 28-25. TIMx の汎用イベント条件 (GEN_EVENT0 および GEN_EVENT1) (続き)

IIDX STAT	名称	説明	タイマ モジュール
0x0F	CCU4	4 アップ イベントをキャプチャまたは比較します。この割り込みは、CC4 でアップ比較一致イベントが発生すると設定されます。この割り込みは TIMA モジュールでのみ使用できます。	TIMA
0x10	CCU5	5 アップ イベントをキャプチャまたは比較します。この割り込みは、CC5 でアップ比較一致イベントが発生すると設定されます。この割り込みは TIMA モジュールでのみ使用できます。	TIMA
0x19	F	フォルト イベント割り込み。この割り込みは、フォルト条件イベントが発生したときに設定されます。セクション 28.2.6 を参照してください。この割り込みは、フォルト ハンドラ機能を備えた TIMA モジュールでのみ使用できます。	TIMA
0x1A	TOV	トリガ オーバーフロー割り込み。この割り込みは、関連するトリガ チャネルがアクティブである間にトリガ イベントが生成されると設定されます。	TIMx
0x1B	REPC	反復カウンタ ゼロ割り込み。このビットは、反復カウンタ値がゼロ以外の値からゼロに遷移する場合に、割り込みの生成を制御します。この割り込みは、反復カウンタ機能を備えた TIMA モジュールでのみ使用できます。	TIMA
0x1C	DC	方向変化割り込み。QEI モードで使用されます。この割り込みは、QEI 機能を備えた TIMG モジュールでのみ使用できます。	TIMG
0x1D	QEIERR	方向変化割り込み。QEI モードで使用されます。この割り込みは、QEI 機能を備えた TIMG モジュールでのみ使用できます。	TIMG

イベント レジスタの構成のガイダンスについては、セクション 8.2.5 を参照してください。

28.2.9.3 汎用サブスクライバ イベントの例 (COMP から TIMx)

一般的な使用事例は、コンパレータ出力からタイマ アクション (リセット、PWM 出力など) を直接トリガすることです。イベント マネージャは、コンパレータを汎用イベント パブリッシャ (FPUB_1) として、またタイマをパブリッシャからのイベントをリッスンする汎用イベント サブスクライバ (FSUB_0 または FSUB_1) として構成するために使用できます。

コンパレータの構成 (パブリッシャ):

1. コンパレータ出力割り込みをマスクするには、GEN_EVENT0 IMASK レジスタの COMPIFG ビットを設定します。詳細については、「COMP」の章を参照してください。
2. コンパレータ モジュールの FPUB_1 レジスタを設定し、イベント チャネル y に接続します。
3. コンパレータを構成し、イネーブルにします。

TIMx の構成 (サブスクライバ):

1. TIMx モジュールの FSUB_0 または FSUB_1 レジスタを構成し、イベント チャネル y に接続します。チャネル y は別のペリフェラルで使用しないでください。
2. TIMx.IFCTL_xy[0/1].ISEL = 5 または 6 に設定し、TIMx モジュールの CC 入力ソースを FSUB0 または FSUB1 として選択します。図 28-12 を参照

   、セクション 28.2.3.1.1.5
3. タイマを設定してイネーブルにします。

Copyright © 2026 Texas Instruments Incorporated

注

コンパレータ出力 (COMP0:2) には、クロスペリフェラルのためのオプションがさらに 2 つあります。

- TIMx.IFCTL_xy[0/1].ISEL = 7h、8h、または 9h を使用して、TIMx CC ブロックへの直接入力。
  - これはレイテンシの低いパスで、サイクル単位の過電流制限などの用途に役立ちます。図 28-12 を参照してください。
- タイマのクロストリガ パスを使用して、FSUB0 では TIMx.TSEL.ETSEL = 0x10、FSUB1 では 0x11 と構成することにより、イベント サブスクライバ ポートをトリガソースとして構成します。
  - TIMx.TSEL.TE ビットを 1 に設定することで、入力トリガ機能をイネーブルにします。
  - TIMx.IFCTL_xy[0/1].ISEL ビットを 3 に設定して、TIMx モジュールの入力ソースとしてクロストリガを選択します。
  - これは、イベント サブスクライバを使用して、複数の TIMG インスタンスへの COMP など、同じ電力ドメイン内の複数のタイマインスタンスをトリガするのに便利です。

28.2.10 デバッグ ハンドラ (TIMA のみ)

TIMA でのみ、CPU 停止デバッグ モードとデバッグ再開でのカウンタ動作は、PDBGCTL レジスタと CTRCTL レジスタを使ってソフトウェアで構成することもできます。

TIMA は、デバッグ サブシステムによって CPU が停止したときに、カウントを停止するか、カウントを続行するように構成できます。デフォルトでは、デバッグのため CPU が停止し、デバイスがデバッグ状態になると、TIMA はカウントを停止します。デバッグのため CPU が停止したときに TIMA がフリーランを継続できるようにするには、PDBGCTL レジスタの FREE ビットを設定します。詳細については、セクション 33.2.1.2 を参照してください。

CTRCTL レジスタにより、デバイスは DRB ビットを使用してデバッグモードを終了した後、CVAE フィールドで指定されたアクションを実行し、カウントを再開できます。

Copyright © 2026 Texas Instruments Incorporated

28.3 TIMx レジスタ

TIMx レジスタのメモリ マップド レジスタを表 28-26 に示します。表 28-26 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 28-26. TIMX レジスタ

オフセット	略称	レジスタ名	グループ	セクション
400h	FSUB_0	サブサイバ ポート 0		表示
404h	FSUB_1	サブスクライバ ポート 1		表示
444h	FPUB_0	パブリッシャ ポート 0		表示
448h	FPUB_1	パブリッシャ ポート 1		表示
800h	PWREN	電源イネーブル		表示
804h	RSTCTL	リセット制御		表示
814h	STAT	ステータス レジスタ		表示
1000h	CLKDIV	クロック分周比		表示
1008h	CLKSEL	超低消費電力ペリフェラル向けのクロック選択		表示
1018h	PDBGCTL	ペリフェラル デバッグ制御		表示
1020h	IIDX	割り込みインデックス	CPU_INT	表示
1028h	IMASK	割り込みマスク	CPU_INT	表示
1030h	RIS	未加工割り込みステータス	CPU_INT	表示
1038h	MIS	マスクされた割り込みステータス	CPU_INT	表示
1040h	ISET	割り込み設定	CPU_INT	表示
1048h	ICLR	割り込みクリア	CPU_INT	表示
1050h	IIDX	割り込みインデックス	GEN_EVENT 0	表示
1058h	IMASK	割り込みマスク	GEN_EVENT 0	表示
1060h	RIS	未加工割り込みステータス	GEN_EVENT 0	表示
1068h	MIS	マスクされた割り込みステータス	GEN_EVENT 0	表示
1070h	ISET	割り込み設定	GEN_EVENT 0	表示
1078h	ICLR	割り込みクリア	GEN_EVENT 0	表示
1080h	IIDX	割り込みインデックス	GEN_EVENT 1	表示
1088h	IMASK	割り込みマスク	GEN_EVENT 1	表示
1090h	RIS	未加工割り込みステータス	GEN_EVENT 1	表示
1098h	MIS	マスクされた割り込みステータス	GEN_EVENT 1	表示
10A0h	ISET	割り込み設定	GEN_EVENT 1	表示
10A8h	ICLR	割り込みクリア	GEN_EVENT 1	表示
10E0h	EVT_MODE	イベント モード		表示
10FCh	説明	モジュールの説明		表示
1100h	CCPD	CCP 方向		表示
1104h	ODIS	出力ディスエーブル		表示

Copyright © 2026 Texas Instruments Incorporated

表 28-26. TIMX レジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
1108h	CCLKCTL	カウンタ クロック制御レジスタ		表示
110Ch	CPS	クロック プリスケール レジスタ		表示
1110h	CPSV	クロック プリスケール カウント ステータス レジスタ		表示
1114h	CTTRIGCTL	タイマ クロス トリガ制御レジスタ		表示
111Ch	CTTRIG	タイマ クロス トリガ レジスタ		表示
1120h	FSCTL	フォルト ソース制御		表示
1124h	GCTL	グローバル制御レジスタ		表示
1800h	CTR	カウンタ レジスタ		表示
1804h	CTRCTL	カウンタ制御レジスタ		表示
1808h	LOAD	負荷レジスタ		表示
1810h + 式	CC_01[y]	キャプチャまたは比較レジスタ 0/1		表示
1818h + 式	CC_23[y]	キャプチャまたは比較レジスタ 2/3		表示
1820h + 式	CC_45[y]	CC_45 レジスタは、現在の CTR と比較してイベント CC4U、CC4D、CC5U、および CC5D を作成するために使用できるレジスタです。		表示
1830h + 式	CCCTL_01[y]	キャプチャまたは比較制御レジスタ 0/1		表示
1838h + 式	CCCTL_23[y]	キャプチャまたは比較制御レジスタ 2/3		表示
1840h + 式	CCCTL_45[y]	キャプチャまたは比較制御レジスタ 4/5		表示
1850h + 式	OCTL_01[y]	CCP 出力制御レジスタ 0/1		表示
1858h + 式	OCTL_23[y]	CCP 出力制御レジスタ 2/3		表示
1870h + 式	CCACT_01[y]	キャプチャまたは比較アクション レジスタ 0/1		表示
1878h + 式	CCACT_23[y]	キャプチャまたは比較アクション レジスタ 2/3		表示
1880h + 式	IFCTL_01[y]	入力フィルタ制御レジスタ 0/1		表示
1888h + 式	IFCTL_23[y]	入力フィルタ制御レジスタ 2/3		表示
18A0h	PL	位相ロード レジスタ		表示
18A4h	DBCTL	デッド バンド挿入制御レジスタ		表示
18B0h	TSEL	トリガ選択レジスタ		表示
18B4h	RC	反復カウンタ レジスタ		表示
18B8h	RCLD	反復カウンタ ロード レジスタ		表示
18BCh	QDIR	QEI カウント方向レジスタ		表示
18D0h	FCTL	故障制御レジスタ		表示
18D4h	FIFCTL	フォルト入力フィルタ制御レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 28-27 に、このセクションでアクセス タイプに使用しているコードを示します。

Copyright © 2026 Texas Instruments Incorporated

表 28-27. TIMx アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

28.3.1 FSUB_0 (オフセット = 400h) [リセット = 00000000h]

図 28-41 に、FSUB_0 を示し、表 28-28 に、その説明を示します。

概略表に戻ります。

サブスクライバ ポート

図 28-41. FSUB_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R-0h												R/W-0h			

表 28-28. FSUB_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1 - 15 = channelID に接続 = CHANID。 0h = 値 0 は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

28.3.2 FSUB_1 (オフセット = 404h) [リセット = 00000000h]

図 28-42 に、FSUB_1 を示し、表 28-29 に、その説明を示します。

概略表に戻ります。

サブスクライバ ポート

図 28-42. FSUB_1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R-0h												R/W-0h			

表 28-29. FSUB_1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1 - 15 = channelID に接続 = CHANID。 0h = 値 0 は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

28.3.3 FPUB_0 (オフセット = 444h) [リセット = 00000000h]

図 28-43 に、FPUB_0 を示し、表 28-30 に、その説明を示します。

概略表に戻ります。

パブリッシャ ポート

図 28-43. FPUB_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R-0h												R/W-0h			

表 28-30. FPUB_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1 - 15 = channelID に接続 = CHANID。 0h = 値 0 は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

28.3.4 FPUB_1 (オフセット = 448h) [リセット = 00000000h]

図 28-44 に、FPUB_1 を示し、表 28-31 に、その説明を示します。

概略表に戻ります。

パブリッシャ ポート

図 28-44. FPUB_1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R-0h												R/W-0h			

表 28-31. FPUB_1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1 - 15 = channelID に接続 = CHANID。 0h = 値 0 は、イベントが接続されていないことを示します Fh = 実際に許容される最大値は 15 未満になる可能性があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

28.3.5 PWREN (オフセット = 800h) [リセット = 00000000h]

図 28-45 に、PWREN を示し、表 28-32 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 28-45. PWREN

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R-0h							R/WK – 0h

表 28-32. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態の変更を許可するためのキー 26h = このレジスタへの書き込みアクセスを許可するキー
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、[EXT_GPRCM.GPRCM.PWREN.KEY] を 26h に設定する必要があります。 0h = 電源をディスエーブル 1h = 電源をイネーブル

Copyright © 2026 Texas Instruments Incorporated

28.3.6 RSTCTL (オフセット = 804h) [リセット = 00000000h]

図 28-46 に、RSTCTL を示し、表 28-33 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 28-46. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
R-0h						WK-0h	WK-0h

表 28-33. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するキー
23-2	予約済み	R	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、[EXT_GPRCM.GPRCM.RSTCTL.KEY] を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、[EXT_GPRCM.GPRCM.RSTCTL.KEY] を B1h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = リセットをアサート

Copyright © 2026 Texas Instruments Incorporated

28.3.7 STAT (オフセット = 814h) [リセット = 00000000h]

図 28-47 に、STAT を示し、表 28-34 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 28-47. STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 28-34. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によってクリアされてから、ペリフェラルがリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされてから、ペリフェラルはリセットされていない 1h = 最後にビットがクリアされてからペリフェラルがリセットされている
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

28.3.8 CLKDIV (オフセット = 1000h) [リセット = 00000000h]

図 28-48 に、CLKDIV を示し、表 28-35 に、その説明を示します。

概略表に戻ります。

このレジスタは、モジュール固有の機能クロック分周比を指定するために使用されます

図 28-48. CLKDIV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み														比率	
R-0h														R/W-0h	

表 28-35. CLKDIV フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2-0	比率	R/W	0h	モジュールクロックの分周比を選択します 0h = クロック ソースを分周しない 1h = クロック ソースを 2 分周 2h = クロック ソースを 3 分周 3h = クロック ソースを 4 分周 4h = クロック ソースを 5 分周 5h = クロック ソースを 6 分周 6h = クロック ソースを 7 分周 7h = クロック ソースを 8 分周

Copyright © 2026 Texas Instruments Incorporated

28.3.9 CLKSEL (オフセット = 1008h) [リセット = 00000000h]

図 28-49 に、CLKSEL を示し、表 28-36 に、その説明を示します。

概略表に戻ります。

クロックソース選択レジスタ

図 28-49. CLKSEL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			BUS2XCLK_SEL	BUSCLK_SEL	MFCLK_SEL	LFCLK_SEL	予約済み
R-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

表 28-36. CLKSEL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4	BUS2XCLK_SEL	R/W	0h	クロック ソースとして 2x BUSCLK を有効にする場合、選択します 注:このビットが 1 に設定されている場合、LOAD.LD 値は 1 より大きくする必要があります。 0h = このクロックをソースとして選択しない 1h = このクロックをソースとして選択
3	BUSCLK_SEL	R/W	0h	有効な場合、BUSCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しない 1h = このクロックをソースとして選択
2	MFCLK_SEL	R/W	0h	有効な場合、MFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しない 1h = このクロックをソースとして選択
1	LFCLK_SEL	R/W	0h	有効な場合、LFCLK をクロック ソースとして選択します 0h = このクロックをソースとして選択しない 1h = このクロックをソースとして選択
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

28.3.10 PDBGCTL (オフセット = 1018h) [リセット = 00000000h]

PDBGCTL は、図 28-50 に示されており、表 28-37 で説明されています。

概略表に戻ります。

このレジスタは、ソフトウェア開発者が「Core Halted」入力に対するペリフェラルの動作を制御するために使用できます

図 28-50. PDBGCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						SOFT	FREE
R-0h						R/W-0h	R/W-0h

表 28-37. PDBGCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	SOFT	R/W	1h	ソフト ホールト境界制御。この機能は、[FREE] が「STOP」に設定されている場合にのみ使用できます 0h = システムを再起動した場合、結果の状態が破損しても、ペリフェラルは直ちに停止 1h = ペリフェラルは、境界に達するまでデバッグを停止し、データを破損せずに再開できるようにする
0	FREE	R/W	1h	フリー ラン制御 0h = コアが停止した入力がアサートされている間、ペリフェラルは機能を停止し、デアサートされると再開します。 1h = ペリフェラルは、Core Halted 入力の状態を無視します

Copyright © 2026 Texas Instruments Incorporated

28.3.11 IIDX (オフセット = 1020h) [リセット = 00000000h] (CPU_INT)

図 28-51 に、IIDX を示し、表 28-38 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 28-51. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 28-38. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 01h = 割り込みソース:ゼロ イベント (Z) 02h = 割り込みソース:ロード イベント (L) 05h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD0) 06h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD1) 07h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD2) 08h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD3) 09h = 割り込みソース:キャプチャまたは比較アップ イベント (CCU0) 0Ah = 割り込みソース:キャプチャまたは比較アップ イベント (CCU1) 0Bh = 割り込みソース:キャプチャまたは比較アップ イベント (CCU2) 0Ch = 割り込みソース:キャプチャまたは比較アップ イベント (CCU3) 0Dh = 割り込みソース:比較ダウン イベント (CCD4) 0Eh = 割り込みソース:比較ダウン イベント (CCD5) 0Fh = 割り込みソース:比較ダウン イベント (CCU4) 10h = 割り込みソース:比較ダウン イベント (CCU5) 19h = 割り込みソース:フォルト イベントにより割り込みが生成されました。(F) 1Ah = 割り込みソース:トリガ オーバーフロー (TOV) 1Bh = 割り込みソース:リピート カウンタ ゼロ (REPC) 1Ch = 割り込みソース:方向変更 (DC) 1Dh = 割り込みソース:QEI 不正状態遷移エラー (QEIERR)

Copyright © 2026 Texas Instruments Incorporated

28.3.12 IMASK (オフセット = 1028h) [リセット = 00000000h] (CPU_INT)

図 28-52 に、IMASK を示し、表 28-39 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスクを解除すると、RAW 割り込みも IIDX や MIS で表示されます。

図 28-52. IMASK

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 28-39. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R/W	0h	QEIERR イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
27	DC	R/W	0h	方向変更イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
26	REPC	R/W	0h	カウンタ ゼロ イベント マスクを繰り返します 0h = イベントをディスエーブル 1h = イベントをイネーブル
25	TOV	R/W	0h	トリガ オーバーフロー イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
24	F	R/W	0h	フォルト イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
23-16	予約済み	R	0h	
15	CCU5	R/W	0h	UP イベント マスク CCP5 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
14	CCU4	R/W	0h	UP イベント マスク CCP4 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
13	CCD5	R/W	0h	DN イベント マスク CCP5 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定

Copyright © 2026 Texas Instruments Incorporated

表 28-39. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	R/W	0h	DN イベント マスク CCP4 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
11	CCU3	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP3 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
10	CCU2	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
9	CCU1	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP1 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
8	CCU0	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP0 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
7	CCD3	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP3 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
6	CCD2	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
5	CCD1	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP1 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
4	CCD0	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP0 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
3-2	予約済み	R	0h	
1	L	R/W	0h	ロード イベント マスク 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
0	Z	R/W	0h	ゼロ イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル

Copyright © 2026 Texas Instruments Incorporated

28.3.13 RIS (オフセット = 1030h) [リセット = 00000000h] (CPU_INT)

図 28-53 に、RIS を示し、表 28-40 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 28-53. RIS

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R-0h	R-0h	R-0h	R-0h	R-0h		R-0h	R-0h

表 28-40. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R	0h	QEIERR。エンコーダ インターフェイスの状態遷移が正しく設定されています。 0h = イベントはクリア済み 1h = イベント設定
27	DC	R	0h	方向変更 0h = イベントはクリア済み 1h = イベント設定
26	REPC	R	0h	反復カウンタ ゼロを繰り返します 0h = イベントはクリア済み 1h = イベント設定
25	TOV	R	0h	トリガ オーバーフロー 0h = イベントはクリア済み 1h = イベント設定
24	F	R	0h	フォルト 0h = イベントはクリア済み 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	R	0h	比較アップ イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
14	CCU4	R	0h	比較アップ イベントにより割り込み CCU4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
13	CCD5	R	0h	比較ダウン イベントにより割り込み CCD5 が生成されました 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-40. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	R	0h	比較ダウン イベントにより割り込み CCD4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
11	CCU3	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
10	CCU2	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
9	CCU1	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
8	CCU0	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
7	CCD3	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
6	CCD2	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
5	CCD1	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
4	CCD0	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
3-2	予約済み	R	0h	
1	L	R	0h	ロード イベントにより割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定
0	Z	R	0h	ゼロ イベントで割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

28.3.14 MIS (オフセット = 1038h) [リセット = 00000000h] (CPU_INT)

図 28-54 に、MIS を示し、表 28-41 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 28-54. MIS

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R-0h	R-0h	R-0h	R-0h	R-0h		R-0h	R-0h

表 28-41. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R	0h	QEIERR 0h = イベントはクリア済み 1h = イベント設定
27	DC	R	0h	方向変更 0h = イベントはクリア済み 1h = イベント設定
26	REPC	R	0h	反復カウンタ ゼロを繰り返します 0h = イベントはクリア済み 1h = イベント設定
25	TOV	R	0h	トリガ オーバーフロー 0h = イベントはクリア済み 1h = イベント設定
24	F	R	0h	フォルト 0h = イベントはクリア済み 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	R	0h	比較アップ イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
14	CCU4	R	0h	比較アップ イベントにより割り込み CCP4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
13	CCD5	R	0h	比較ダウン イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
12	CCD4	R	0h	比較ダウン イベントにより割り込み CCP4 が生成されました 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-41. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	CCU3	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
10	CCU2	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
9	CCU1	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
8	CCU0	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
7	CCD3	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
6	CCD2	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
5	CCD1	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
4	CCD0	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
3-2	予約済み	R	0h	
1	L	R	0h	ロード イベントにより割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定
0	Z	R	0h	ゼロ イベントで割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

28.3.15 ISET (オフセット = 1040h) [リセット = 00000000h] (CPU_INT)

図 28-55 に、ISET を示し、表 28-42 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 28-55. ISET

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
W-0h	W-0h	W-0h	W-0h	R-0h		W-0h	W-0h

表 28-42. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	W	0h	QEIERR イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
27	DC	W	0h	方向変更イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
26	REPC	W	0h	反復カウンタ ゼロ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
25	TOV	W	0h	トリガ オーバーフロー イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
24	F	W	0h	フォルト イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	W	0h	比較アップ イベント 5 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
14	CCU4	W	0h	比較アップ イベント 4 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
13	CCD5	W	0h	比較ダウン イベント 5 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-42. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	W	0h	比較ダウン イベント 4 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
11	CCU3	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
10	CCU2	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
9	CCU1	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
8	CCU0	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
7	CCD3	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
6	CCD2	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
5	CCD1	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
4	CCD0	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
3-2	予約済み	R	0h	
1	L	W	0h	ロード イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
0	Z	W	0h	ゼロ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

28.3.16 ICLR (オフセット = 1048h) [リセット = 00000000h] (CPU_INT)

図 28-56 に、ICLR を示し、表 28-43 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 28-56. ICLR

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
W-0h	W-0h	W-0h	W-0h	R-0h		W-0h	W-0h

表 28-43. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	W	0h	QEIERR イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
27	DC	W	0h	方向変更イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
26	REPC	W	0h	反復カウンタ ゼロ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
25	TOV	W	0h	トリガ オーバーフロー イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
24	F	W	0h	フォルト イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
23-16	予約済み	R	0h	
15	CCU5	W	0h	比較アップ イベント 5 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
14	CCU4	W	0h	比較アップ イベント 4 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
13	CCD5	W	0h	比較ダウン イベント 5 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
12	CCD4	W	0h	比較ダウン イベント 4 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア

Copyright © 2026 Texas Instruments Incorporated

表 28-43. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	CCU3	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
10	CCU2	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
9	CCU1	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
8	CCU0	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
7	CCD3	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
6	CCD2	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
5	CCD1	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
4	CCD0	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
3-2	予約済み	R	0h	
1	L	W	0h	ロード イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
0	Z	W	0h	ゼロ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア

Copyright © 2026 Texas Instruments Incorporated

28.3.17 IIDX (オフセット = 1050h) [リセット = 00000000h] (GEN_EVENT0)

図 28-57 に、IIDX を示し、表 28-44 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 28-57. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 28-44. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 01h = 割り込みソース:ゼロ イベント (Z) 02h = 割り込みソース:ロード イベント (L) 05h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD0) 06h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD1) 07h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD2) 08h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD3) 09h = 割り込みソース:キャプチャまたは比較アップ イベント (CCU0) 0Ah = 割り込みソース:キャプチャまたは比較アップ イベント (CCU1) 0Bh = 割り込みソース:キャプチャまたは比較アップ イベント (CCU2) 0Ch = 割り込みソース:キャプチャまたは比較アップ イベント (CCU3) 0Dh = 割り込みソース:比較ダウン イベント (CCD4) 0Eh = 割り込みソース:比較ダウン イベント (CCD5) 0Fh = 割り込みソース:比較ダウン イベント (CCU4) 10h = 割り込みソース:比較ダウン イベント (CCU5) 19h = 割り込みソース:フォルト イベントにより割り込みが生成されました。(F) 1Ah = 割り込みソース:トリガ オーバーフロー (TOV) 1Bh = 割り込みソース:リピート カウンタ ゼロ (REPC) 1Ch = 割り込みソース:方向変更 (DC) 1Dh = 割り込みソース:QEI 不正状態遷移エラー (QEIERR)

Copyright © 2026 Texas Instruments Incorporated

28.3.18 IMASK (オフセット = 1058h) [リセット = 00000000h] (GEN_EVENT0)

図 28-58 に、IMASK を示し、表 28-45 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスクを解除すると、RAW 割り込みも IIDX や MIS で表示されます。

図 28-58. IMASK

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 28-45. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R/W	0h	QEIERR イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
27	DC	R/W	0h	方向変更イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
26	REPC	R/W	0h	カウンタ ゼロ イベント マスクを繰り返します 0h = イベントをディスエーブル 1h = イベントをイネーブル
25	TOV	R/W	0h	トリガ オーバーフロー イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
24	F	R/W	0h	フォルト イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
23-16	予約済み	R	0h	
15	CCU5	R/W	0h	UP イベント マスク CCP5 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
14	CCU4	R/W	0h	UP イベント マスク CCP4 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
13	CCD5	R/W	0h	DN イベント マスク CCP5 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定

Copyright © 2026 Texas Instruments Incorporated

表 28-45. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	R/W	0h	DN イベント マスク CCP4 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
11	CCU3	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP3 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
10	CCU2	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
9	CCU1	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP1 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
8	CCU0	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP0 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
7	CCD3	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP3 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
6	CCD2	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
5	CCD1	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP1 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
4	CCD0	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP0 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
3-2	予約済み	R	0h	
1	L	R/W	0h	ロード イベント マスク 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
0	Z	R/W	0h	ゼロ イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル

Copyright © 2026 Texas Instruments Incorporated

28.3.19 RIS (オフセット = 1060h) [リセット = 00000000h] (GEN_EVENT0)

図 28-59 に、RIS を示し、表 28-46 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 28-59. RIS

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R-0h	R-0h	R-0h	R-0h	R-0h		R-0h	R-0h

表 28-46. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R	0h	QEIERR。エンコーダ インターフェイスの状態遷移が正しく設定されています。 0h = イベントはクリア済み 1h = イベント設定
27	DC	R	0h	方向変更 0h = イベントはクリア済み 1h = イベント設定
26	REPC	R	0h	反復カウンタ ゼロを繰り返します 0h = イベントはクリア済み 1h = イベント設定
25	TOV	R	0h	トリガ オーバーフロー 0h = イベントはクリア済み 1h = イベント設定
24	F	R	0h	フォルト 0h = イベントはクリア済み 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	R	0h	比較アップ イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
14	CCU4	R	0h	比較アップ イベントにより割り込み CCU4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
13	CCD5	R	0h	比較ダウン イベントにより割り込み CCD5 が生成されました 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-46. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	R	0h	比較ダウン イベントにより割り込み CCD4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
11	CCU3	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
10	CCU2	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
9	CCU1	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
8	CCU0	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
7	CCD3	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
6	CCD2	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
5	CCD1	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
4	CCD0	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
3-2	予約済み	R	0h	
1	L	R	0h	ロード イベントにより割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定
0	Z	R	0h	ゼロ イベントで割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

28.3.20 MIS (オフセット = 1068h) [リセット = 00000000h] (GEN_EVENT0)

図 28-60 に、MIS を示し、表 28-47 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 28-60. MIS

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R-0h	R-0h	R-0h	R-0h	R-0h		R-0h	R-0h

表 28-47. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R	0h	QEIERR 0h = イベントはクリア済み 1h = イベント設定
27	DC	R	0h	方向変更 0h = イベントはクリア済み 1h = イベント設定
26	REPC	R	0h	反復カウンタ ゼロを繰り返します 0h = イベントはクリア済み 1h = イベント設定
25	TOV	R	0h	トリガ オーバーフロー 0h = イベントはクリア済み 1h = イベント設定
24	F	R	0h	フォルト 0h = イベントはクリア済み 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	R	0h	比較アップ イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
14	CCU4	R	0h	比較アップ イベントにより割り込み CCP4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
13	CCD5	R	0h	比較ダウン イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
12	CCD4	R	0h	比較ダウン イベントにより割り込み CCP4 が生成されました 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-47. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	CCU3	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
10	CCU2	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
9	CCU1	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
8	CCU0	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
7	CCD3	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
6	CCD2	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
5	CCD1	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
4	CCD0	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
3-2	予約済み	R	0h	
1	L	R	0h	ロード イベントにより割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定
0	Z	R	0h	ゼロ イベントで割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

28.3.21 ISET (オフセット = 1070h) [リセット = 00000000h] (GEN_EVENT0)

図 28-61 に、ISET を示し、表 28-48 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 28-61. ISET

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
W-0h	W-0h	W-0h	W-0h	R-0h		W-0h	W-0h

表 28-48. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	W	0h	QEIERR イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
27	DC	W	0h	方向変更イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
26	REPC	W	0h	反復カウンタ ゼロ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
25	TOV	W	0h	トリガ オーバーフロー イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
24	F	W	0h	フォルト イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	W	0h	比較アップ イベント 5 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
14	CCU4	W	0h	比較アップ イベント 4 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
13	CCD5	W	0h	比較ダウン イベント 5 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-48. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	W	0h	比較ダウン イベント 4 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
11	CCU3	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
10	CCU2	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
9	CCU1	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
8	CCU0	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
7	CCD3	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
6	CCD2	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
5	CCD1	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
4	CCD0	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
3-2	予約済み	R	0h	
1	L	W	0h	ロード イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
0	Z	W	0h	ゼロ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

28.3.22 ICLR (オフセット = 1078h) [リセット = 00000000h] (GEN_EVENT0)

図 28-62 に、ICLR を示し、表 28-49 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 28-62. ICLR

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
W-0h	W-0h	W-0h	W-0h	R-0h		W-0h	W-0h

表 28-49. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	W	0h	QEIERR イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
27	DC	W	0h	方向変更イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
26	REPC	W	0h	反復カウンタ ゼロ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
25	TOV	W	0h	トリガ オーバーフロー イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
24	F	W	0h	フォルト イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
23-16	予約済み	R	0h	
15	CCU5	W	0h	比較アップ イベント 5 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
14	CCU4	W	0h	比較アップ イベント 4 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
13	CCD5	W	0h	比較ダウン イベント 5 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
12	CCD4	W	0h	比較ダウン イベント 4 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア

Copyright © 2026 Texas Instruments Incorporated

表 28-49. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	CCU3	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
10	CCU2	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
9	CCU1	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
8	CCU0	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
7	CCD3	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
6	CCD2	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
5	CCD1	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
4	CCD0	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
3-2	予約済み	R	0h	
1	L	W	0h	ロード イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
0	Z	W	0h	ゼロ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア

Copyright © 2026 Texas Instruments Incorporated

28.3.23 IIDX (オフセット = 1080h) [リセット = 00000000h] (GEN_EVENT1)

図 28-63 に、IIDX を示し、表 28-50 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 28-63. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 28-50. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 01h = 割り込みソース:ゼロ イベント (Z) 02h = 割り込みソース:ロード イベント (L) 05h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD0) 06h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD1) 07h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD2) 08h = 割り込みソース:キャプチャまたは比較ダウン イベント (CCD3) 09h = 割り込みソース:キャプチャまたは比較アップ イベント (CCU0) 0Ah = 割り込みソース:キャプチャまたは比較アップ イベント (CCU1) 0Bh = 割り込みソース:キャプチャまたは比較アップ イベント (CCU2) 0Ch = 割り込みソース:キャプチャまたは比較アップ イベント (CCU3) 0Dh = 割り込みソース:比較ダウン イベント (CCD4) 0Eh = 割り込みソース:比較ダウン イベント (CCD5) 0Fh = 割り込みソース:比較ダウン イベント (CCU4) 10h = 割り込みソース:比較ダウン イベント (CCU5) 19h = 割り込みソース:フォルト イベントにより割り込みが生成されました。(F) 1Ah = 割り込みソース:トリガ オーバーフロー (TOV) 1Bh = 割り込みソース:リピート カウンタ ゼロ (REPC) 1Ch = 割り込みソース:方向変更 (DC) 1Dh = 割り込みソース:QEI 不正状態遷移エラー (QEIERR)

Copyright © 2026 Texas Instruments Incorporated

28.3.24 IMASK (オフセット = 1088h) [リセット = 00000000h] (GEN_EVENT1)

図 28-64 に、IMASK を示し、表 28-51 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスク解除されません。割り込みのマスクを解除すると、RAW 割り込みも IIDX や MIS で表示されます。

図 28-64. IMASK

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h		R/W-0h	R/W-0h

表 28-51. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R/W	0h	QEIERR イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
27	DC	R/W	0h	方向変更イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
26	REPC	R/W	0h	カウンタ ゼロ イベント マスクを繰り返します 0h = イベントをディスエーブル 1h = イベントをイネーブル
25	TOV	R/W	0h	トリガ オーバーフロー イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
24	F	R/W	0h	フォルト イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル
23-16	予約済み	R	0h	
15	CCU5	R/W	0h	UP イベント マスク CCP5 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
14	CCU4	R/W	0h	UP イベント マスク CCP4 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
13	CCD5	R/W	0h	DN イベント マスク CCP5 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定

Copyright © 2026 Texas Instruments Incorporated

表 28-51. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	R/W	0h	DN イベント マスク CCP4 を比較します 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
11	CCU3	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP3 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
10	CCU2	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
9	CCU1	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP1 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
8	CCU0	R/W	0h	キャプチャまたは比較 UP イベント マスク CCP0 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
7	CCD3	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP3 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
6	CCD2	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
5	CCD1	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP1 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
4	CCD0	R/W	0h	キャプチャまたは比較 DN イベント マスク CCP0 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
3-2	予約済み	R	0h	
1	L	R/W	0h	ロード イベント マスク 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
0	Z	R/W	0h	ゼロ イベント マスク 0h = イベントをディスエーブル 1h = イベントをイネーブル

Copyright © 2026 Texas Instruments Incorporated

28.3.25 RIS (オフセット = 1090h) [リセット = 00000000h] (GEN_EVENT1)

図 28-65 に、RIS を示し、表 28-52 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 28-65. RIS

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R-0h	R-0h	R-0h	R-0h	R-0h		R-0h	R-0h

表 28-52. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R	0h	QEIERR。エンコーダ インターフェイスの状態遷移が正しく設定されています。 0h = イベントはクリア済み 1h = イベント設定
27	DC	R	0h	方向変更 0h = イベントはクリア済み 1h = イベント設定
26	REPC	R	0h	反復カウンタ ゼロを繰り返します 0h = イベントはクリア済み 1h = イベント設定
25	TOV	R	0h	トリガ オーバーフロー 0h = イベントはクリア済み 1h = イベント設定
24	F	R	0h	フォルト 0h = イベントはクリア済み 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	R	0h	比較アップ イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
14	CCU4	R	0h	比較アップ イベントにより割り込み CCU4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
13	CCD5	R	0h	比較ダウン イベントにより割り込み CCD5 が生成されました 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-52. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	R	0h	比較ダウン イベントにより割り込み CCD4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
11	CCU3	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
10	CCU2	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
9	CCU1	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
8	CCU0	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
7	CCD3	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
6	CCD2	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
5	CCD1	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
4	CCD0	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
3-2	予約済み	R	0h	
1	L	R	0h	ロード イベントにより割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定
0	Z	R	0h	ゼロ イベントで割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

28.3.26 MIS (オフセット = 1098h) [リセット = 00000000h] (GEN_EVENT1)

図 28-66 に、MIS を示し、表 28-53 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 28-66. MIS

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
R-0h	R-0h	R-0h	R-0h	R-0h		R-0h	R-0h

表 28-53. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	R	0h	QEIERR 0h = イベントはクリア済み 1h = イベント設定
27	DC	R	0h	方向変更 0h = イベントはクリア済み 1h = イベント設定
26	REPC	R	0h	反復カウンタ ゼロを繰り返します 0h = イベントはクリア済み 1h = イベント設定
25	TOV	R	0h	トリガ オーバーフロー 0h = イベントはクリア済み 1h = イベント設定
24	F	R	0h	フォルト 0h = イベントはクリア済み 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	R	0h	比較アップ イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
14	CCU4	R	0h	比較アップ イベントにより割り込み CCP4 が生成されました 0h = イベントはクリア済み 1h = イベント設定
13	CCD5	R	0h	比較ダウン イベントにより割り込み CCP5 が生成されました 0h = イベントはクリア済み 1h = イベント設定
12	CCD4	R	0h	比較ダウン イベントにより割り込み CCP4 が生成されました 0h = イベントはクリア済み 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-53. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	CCU3	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
10	CCU2	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
9	CCU1	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
8	CCU0	R	0h	キャプチャまたは比較アップ イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
7	CCD3	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP3 が生成されました 0h = イベントはクリア済み 1h = イベント設定
6	CCD2	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP2 が生成されました 0h = イベントはクリア済み 1h = イベント設定
5	CCD1	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP1 が生成されました 0h = イベントはクリア済み 1h = イベント設定
4	CCD0	R	0h	キャプチャまたは比較ダウン イベントにより割り込み CCP0 が生成されました 0h = イベントはクリア済み 1h = イベント設定
3-2	予約済み	R	0h	
1	L	R	0h	ロード イベントにより割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定
0	Z	R	0h	ゼロ イベントで割り込みが生成されました。 0h = イベントはクリア済み 1h = イベント設定

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

28.3.27 ISET (オフセット = 10A0h) [リセット = 00000000h] (GEN_EVENT1)

図 28-67 に、ISET を示し、表 28-54 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 28-67. ISET

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
W-0h	W-0h	W-0h	W-0h	R-0h		W-0h	W-0h

表 28-54. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	W	0h	QEIERR イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
27	DC	W	0h	方向変更イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
26	REPC	W	0h	反復カウンタ ゼロ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
25	TOV	W	0h	トリガ オーバーフロー イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
24	F	W	0h	フォルト イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
23-16	予約済み	R	0h	
15	CCU5	W	0h	比較アップ イベント 5 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
14	CCU4	W	0h	比較アップ イベント 4 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
13	CCD5	W	0h	比較ダウン イベント 5 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

表 28-54. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	CCD4	W	0h	比較ダウン イベント 4 設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
11	CCU3	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
10	CCU2	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
9	CCU1	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
8	CCU0	W	0h	キャプチャまたは比較アップ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
7	CCD3	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
6	CCD2	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
5	CCD1	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
4	CCD0	W	0h	キャプチャまたは比較ダウン イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
3-2	予約済み	R	0h	
1	L	W	0h	ロード イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定
0	Z	W	0h	ゼロ イベント設定 0h = 0 を書き込んでも影響ありません。 1h = イベント設定

Copyright © 2026 Texas Instruments Incorporated

28.3.28 ICLR (オフセット = 10A8h) [リセット = 00000000h] (GEN_EVENT1)

図 28-68 に、ICLR を示し、表 28-55 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 28-68. ICLR

31	30	29	28	27	26	25	24
予約済み			QEIERR	DC	REPC	TOV	F
R-0h			W-0h	W-0h	W-0h	W-0h	W-0h
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
CCU5	CCU4	CCD5	CCD4	CCU3	CCU2	CCU1	CCU0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
CCD3	CCD2	CCD1	CCD0	予約済み		L	Z
W-0h	W-0h	W-0h	W-0h	R-0h		W-0h	W-0h

表 28-55. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-29	予約済み	R	0h	
28	QEIERR	W	0h	QEIERR イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
27	DC	W	0h	方向変更イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
26	REPC	W	0h	反復カウンタ ゼロ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
25	TOV	W	0h	トリガ オーバーフロー イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
24	F	W	0h	フォルト イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
23-16	予約済み	R	0h	
15	CCU5	W	0h	比較アップ イベント 5 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
14	CCU4	W	0h	比較アップ イベント 4 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
13	CCD5	W	0h	比較ダウン イベント 5 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
12	CCD4	W	0h	比較ダウン イベント 4 クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア

Copyright © 2026 Texas Instruments Incorporated

表 28-55. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
11	CCU3	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
10	CCU2	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
9	CCU1	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
8	CCU0	W	0h	キャプチャまたは比較アップ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
7	CCD3	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
6	CCD2	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
5	CCD1	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
4	CCD0	W	0h	キャプチャまたは比較ダウン イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
3-2	予約済み	R	0h	
1	L	W	0h	ロード イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア
0	Z	W	0h	ゼロ イベント クリア 0h = 0 を書き込んでも影響ありません。 1h = イベント クリア

Copyright © 2026 Texas Instruments Incorporated

28.3.29 EVT_MODE (オフセット = 10E0h) [リセット = 00000029h]

EVT_MODE は、図 28-69 に示されており、表 28-56 で説明されています。

概略表に戻ります。

イベント モード レジスタ。各回線が無効になっているか、ソフトウェア モード (ソフトウェアが RIS をクリアする) またはハードウェア モード (ハードウェアが RIS をクリアする) のいずれかを選択するために使用されます

図 28-69. EVT_MODE

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		EVT2_CFG		EVT1_CFG		EVT0_CFG	
R-0h		R-2h		R-2h		R-1h	

表 28-56. EVT_MODE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5-4	EVT2_CFG	R	2h	GEN_EVENT1 に対応するイベントのためのイベント ライン モード選択 0h = 割り込みまたはイベント ラインをディスエーブル。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。
3-2	EVT1_CFG	R	2h	GEN_EVENT0 に対応するイベントのためのイベント ライン モード選択 0h = 割り込みまたはイベント ラインをディスエーブル。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。
1-0	EVT0_CFG	R	1h	CPU_INT に対応するイベントのイベント ライン モード選択 0h = 割り込みまたはイベント ラインをディスエーブル。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

28.3.30 DESC (オフセット = 10FCh) [リセット = 00000000h]

図 28-70 に、DESC を示し、表 28-57 に、その説明を示します。

概略表に戻ります。

このレジスタは、ペリフェラルとその正確なバージョンを識別します。

図 28-70. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				INSTNUM				MAJREV				MINREV			
R-0h				R-0h				R-0h				R-0h			

表 28-57. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	1111h	モジュール識別には、固有のペリフェラル識別番号が含まれています。一意性を確保するため、すべてのプラットフォーム モジュールの割り当ては中央のデータベースに保持されます。 0h = 最小値 FFFFh = 可能な最大値
15-12	FEATUREVER	R	0h	モジュール *インスタンス*の機能セット 0h = 最小値 Fh = 可能な最大値
11-8	INSTNUM	R	0h	デバイス内のインスタンス番号。これは、複数のインスタンスを持つことができるモジュール用の RTL パラメータとなります 0h = 最小値 Fh = 可能な最大値
7-4	MAJREV	R	0h	IP のメジャー リビジョン 0h = 最小値 Fh = 可能な最大値
3-0	MINREV	R	0h	IP のマイナー リビジョン 0h = 最小値 Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.31 CCPD (オフセット = 1100h) [リセット = 00000000h]

図 28-71 に、CCPD を示し、表 28-58 に、その説明を示します。

概略表に戻ります。

CCP の方向。CCP を入力として使用するか出力として使用するかを制御します。

図 28-71. CCPD

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				C0CCP3	C0CCP2	C0CCP1	C0CCP0
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 28-58. CCPD フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	C0CCP3	R/W	0h	CCP3 の方向 0h = 入力 1h = 出力
2	C0CCP2	R/W	0h	CCP2 の方向 0h = 入力 1h = 出力
1	C0CCP1	R/W	0h	CCP1 の方向 0h = 入力 1h = 出力
0	C0CCP0	R/W	0h	CCP0 の方向 0h = 入力 1h = 出力

Copyright © 2026 Texas Instruments Incorporated

28.3.32 ODIS (オフセット = 1104h) [リセット = 00000000h]

図 28-72 に、ODIS を示し、表 28-59 に、その説明を示します。

概略表に戻ります。

ODIS レジスタの出力は反転され、OCTL レジスタの CCPO フィールドで選択された出力信号 (条件付き反転の前) と AND 処理されるため、ソフトウェアは構成中またはシャットダウン中に CCP 出力を Low に保持できます。

図 28-72. ODIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				C0CCP3	C0CCP2	C0CCP1	C0CCP0
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 28-59. ODIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	C0CCP3	R/W	0h	カウンタ CCP3 ディスエーブル マスク カウンタ n の CCP3 を強制的に Low にするかどうかを定義します 0h = OCTL レジスタの CCPO フィールドで選択された出力機能が、occpout[2] に出力されます。 1h = CCP 出力 occpout[3] を強制的に Low にします。
2	C0CCP2	R/W	0h	カウンタ CCP2 ディスエーブル マスク カウンタ n の CCP2 を強制的に Low にするかどうかを定義します 0h = OCTL レジスタ CCPO フィールドで選択された出力機能は、出力反転ブロックに対応しています。 1h = CCP 出力 occpout[2] を強制的に Low にします。
1	C0CCP1	R/W	0h	カウンタ CCP1 ディスエーブル マスク カウンタ n の CCP0 を強制的に Low にするかどうかを定義します 0h = OCTL レジスタ CCPO フィールドで選択された出力機能は、出力反転ブロックに対応しています。 1h = CCP 出力 occpout[1] を強制的に Low にします。
0	C0CCP0	R/W	0h	カウンタ CCP0 ディスエーブル マスク カウンタ n の CCP0 を強制的に Low にするかどうかを定義します 0h = OCTL レジスタ CCPO フィールドで選択された出力機能は、出力反転ブロックに対応しています。 1h = CCP 出力 occpout[0] を強制的に Low にします。

Copyright © 2026 Texas Instruments Incorporated

28.3.33 CCLKCTL (オフセット = 1108h) [リセット = 00000000h]

CCLKCTL は、図 28-73 に示されており、表 28-60 で説明されています。

概略表に戻ります。

モジュールを使用しないことが想定されていますが、電力ドメインが動作している場合、CCLKCTL レジスタは、タイマ クロック
をゲート制御するための SW メカニズムを提供します。
これにより、IP は実質的に IDLE 状態になります

図 28-73. CCLKCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							CLKEN
R-0h							R/W-0h

表 28-60. CCLKCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	CLKEN	R/W	0h	クロック イネーブル モジュールへのクロック ゲーティングをディスエーブルにします。クロックをゲートするには、SW は値を 0 に明示的にプログラムする必要があります。 0h = クロックはディスエーブル。 1h = クロックはイネーブル

Copyright © 2026 Texas Instruments Incorporated

28.3.34 CPS (オフセット = 110Ch) [リセット = 00000000h]

図 28-74 に、CPS を示し、表 28-61 に、その説明を示します。

概略表に戻ります。

CPS レジスタは、クロック プリスケーラの値を提供します。

図 28-74. CPS

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								PCNT							
R-0h																								R/W-0h							

表 28-61. CPS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	PCNT	R/W	0h	プリスケール カウント このフィールドは、プリスケール カウント値を指定します。選択された TIMCLK ソースは、(PCNT+1) の値で分周されます。 PCNT の値を 0 にすると、TIMCLK を 1 分周し、実質的に分周器をバイパスします。 PCNT 値が 0 より大きい場合、TIMCLK ソースを分周して、より低速なクロックを生成します 0h = 最小値 FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.35 CPSV (オフセット = 1110h) [リセット = 00000000h]

図 28-75 に、CPSV を示し、表 28-62 に、その説明を示します。

概略表に戻ります。

CPSV レジスタにより、現在のクロック プリスケール カウント値を読み取ることができます。

図 28-75. CPSV

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								CPSVAL							
R-0h																								R-0h							

表 28-62. CPSV フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	CPSVAL	R	0h	現在のプリスケール カウント値 0h = 最小値 FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.36 CTTRIGCTL (オフセット = 1114h) [リセット = 00000000h]

CTTRIGCTL は、図 28-76 に示されており、表 28-63 で説明されています。

概略表に戻ります。

クロス タイマ トリガ制御レジスタ
このレジスタは、同じ電力ドメイン内の異なるタイマ インスタンスのイネーブルとフォルトのためのクロストリガ接続を制御するために使用されます。詳細については、「タイマ モジュール クロストリガ (イン / アウト)」および「フォルト クロストリガ」のセクションを参照してください。

図 28-76. CTTRIGCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				EVTCTTRIGSEL			
R-0h				R/W-0h			
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						EVTCTEN	CTEN
R-0h						R/W-0h	R/W-0h

表 28-63. CTTRIGCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19-16	EVTCTTRIGSEL	R/W	0h	入力クロストリガに使用するサブスクライバ ポートを選択するために使用します。 0h = FSUB0 をクロストリガ ソースとして使用。 1h = FSUB1 をクロストリガ ソースとして使用。 2h = ゼロ イベントをクロストリガ ソースとして使用。 3h = ロード イベントをクロストリガ ソースとして使用。 4h = CCD0 イベントをクロストリガ ソースとして使用。 5h = CCD1 イベントをクロストリガ ソースとして使用。 6h = CCD2 イベントをクロストリガ ソースとして使用。 7h = CCD3 イベントをクロストリガ ソースとして使用。 8h = CCU0 イベントをクロストリガ ソースとして使用。 9h = CCU1 イベントをクロストリガ ソースとして使用。 Ah = CCU2 イベントをクロストリ ガソースとして使用。 Bh = CCU3 イベントをクロストリガ ソースとして使用。
15-2	予約済み	R	0h	
1	EVTCTEN	R/W	0h	クロストリガの条件として、タイマ モジュールへの入力トリガ条件をイネーブルにします。 0h = クロストリガ生成をディスエーブルにします。 1h = クロストリガ生成をイネーブルにします

Copyright © 2026 Texas Instruments Incorporated

表 28-63. CTTRIGCTL のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	CTEN	R/W	0h	タイマ クロストリガ イネーブル。このフィールドを使用して、SW ロジックと HW ロジックのどちらがシステムでタイマ クロストリガ イベントを生成できるかを有効にします。 これらのクロストリガは、SOC 電源ドメイン内の他のタイマ IP の内の各タイマ トリガに接続されています。 タイマ クロストリガは、基本的には、CTRCTL レジスタの EN ビットを制御する HW と SW 状態の組み合わせロジックです。 0h = クロストリガ生成をディスエーブルにします。 1h = クロストリガ生成をイネーブルにします

Copyright © 2026 Texas Instruments Incorporated

28.3.37 CTTRIG (オフセット = 111Ch) [リセット = 00000000h]

図 28-77 に、CTTRIG を示し、表 28-64 に、その説明を示します。

概略表に戻ります。

クロス タイマ トリガ レジスタ
このレジスタは、CTTRIGCTL レジスタと CTTRIGMSK レジスタを使用して接続およびイネーブルしたタイマ インスタンスをトリガするために使用されます。

図 28-77. CTTRIG

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							TRIG
R-0h							W-0h

表 28-64. CTTRIG フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	TRIG	W	0h	クロス トリガを生成 このビットをプログラムすると、同期トリガ条件が生成され、現在のタイマ インスタンスを含むすべてのクロス トリガ イネーブル タイマ インスタンスが生成されます。 0h = クロス トリガ生成はディスエーブル 1h = クロス トリガ パルスを生成

Copyright © 2026 Texas Instruments Incorporated

28.3.38 FSCTL (オフセット = 1120h) [リセット = 00000000h]

図 28-78 に、FSCTL を示し、表 28-65 に、その説明を示します。

概略表に戻ります。

FSCTL レジスタは、フォルト ソースの選択とイネーブルを制御します。同期パス処理または非同期パスのいずれかを介して、5 つの入力フォルト ソースがあります。

図 28-78. FSCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	FEX2EN	FEX1EN	FEX0EN	FAC2EN	FAC1EN	FAC0EN	FCEN
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 28-65. FSCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	
6	FEX2EN	R/W	0h	このフィールドは、外部フォルト ピン 2 が原因で故障を発生させるかどうかを制御します。 0h = ディスエーブル 1h = イネーブル
5	FEX1EN	R/W	0h	このフィールドは、外部フォルト ピン 1 が原因で故障を発生させるかどうかを制御します。 0h = ディスエーブル 1h = イネーブル
4	FEX0EN	R/W	0h	このフィールドは、外部フォルト ピン 0 が原因で故障を発生させるかどうかを制御します。 0h = ディスエーブル 1h = イネーブル
3	FAC2EN	R/W	0h	このフィールドは、フォルトが COMP2 出力によって発生するかどうかを制御します。 0h = ディスエーブル 1h = イネーブル
2	FAC1EN	R/W	0h	このフィールドは、フォルトが COMP1 出力によって発生するかどうかを制御します。 0h = ディスエーブル 1h = イネーブル
1	FAC0EN	R/W	0h	このフィールドは、フォルト信号を COMP0 出力によって発生させるかどうかを制御します。 0h = ディスエーブル 1h = イネーブル
0	FCEN	R/W	0h	このフィールドは、システム クロックのフォルトが原因でフォルトが発生したかどうかを制御します。 0h = ディスエーブル 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

28.3.39 GCTL (オフセット = 1124h) [リセット = 00000000h]

図 28-79 に、GCTL を示し、表 28-66 に、その説明を示します。

概略表に戻ります。

グローバル制御レジスタ

図 28-79. GCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							SHDWLDEN
R-0h							R/W-0h

表 28-66. GCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	SHDWLDEN	R/W	1h	バッファされたレジスタおよびレジスタ フィールドのシャドウからアクティブへのロードをイネーブルにします。 0h = ディスエーブル 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

28.3.40 CTR (オフセット = 1800h) [リセット = 00000000h]

図 28-80 に、CTR を示し、表 28-67 に、その説明を示します。

概略表に戻ります。

これは TIMER カウンタレジスタです。
これは、SW で設定できます。ただし、カウンタの実行中に
ソフトウェアが値を設定しようとすると、書き込みは予測不可能になります。

図 28-80. CTR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CCTR															
R-0h																R/W-0h															

表 28-67. CTR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	CCTR	R/W	0h	現在のカウンタ値 0h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.41 CTRCTL (オフセット = 1804h) [リセット = 0000FF80h]

図 28-81 に、CTRCTL を示し、表 28-68 に、その説明を示します。

概略表に戻ります。

このレジスタはカウンタ動作を制御します。
この構成は、1 回の書き込みで変更および EN ビットの設定も変更できます。
最初に構成を変更してから、EN ビットを設定するために追加の書き込みを行う必要は
ありません。

図 28-81. CTRCTL

31	30	29	28	27	26	25	24
予約済み		CVAE		予約済み			PLEN
R-0h		R/W-0h		R-0h			R/W-0h
23	22	21	20	19	18	17	16
SLZERCNEZ	予約済み			FRB	FB	DRB	予約済み
R/W-0h	R-0h			R/W-0h	R/W-0h	R/W-0h	R-0h
15	14	13	12	11	10	9	8
CZC				CAC		CLC	
R/W-7h				R/W-7h		R/W-7h	
7	6	5	4	3	2	1	0
CLC	予約済み	CM		REPEAT			EN
R/W-7h	R-0h	R/W-0h		R/W-0h			R/W-0h

表 28-68. CTRCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-30	予約済み	R	0h	
29-28	CVAE	R/W	0h	イネーブル後のカウンタ値。このフィールドは、CTRCTL レジスタへの書き込みによって EN ビットが 0 から 1 に変更されたときのカウンタの初期化条件を指定します。外部イベントが発生すると、EN ビットがアクティブになる可能性もあることに注意してください。 0h = カウンタは LOAD レジスタ値に設定されます 1h = カウンタ値は、ソフトウェアによって初期化された可能性がある現在の値から変更されません 2h = カウンタは 0 に設定されます
27-25	予約済み	R	0h	
24	PLEN	R/W	0h	位相ロードイネーブル。このビットを使用すると、タイマの位相ロード機能を設定できます。 0h=ディセーブル 1h = イネーブル
23	SLZERCNEZ	R/W	0h	反復カウンタがゼロと等しくない場合、ロード イベントとゼロ イベントを抑制します。 このビットは、リピート カウンタ (RC) 値が 0 でない場合、カウンタからの Z (ゼロ) および L (ロード) イベントの生成を抑制します。 0h = ディセーブル。Z および L イベントは、条件が生成されると常にカウンタから生成されます。 1h = イネーブル。Z および L イベントは、条件が生成され、RC レジスタの値が 0 になると、カウンタから生成されます。
22-20	予約済み	R	0h	
19	FRB	R/W	0h	フォルト再開動作このビットは、フォルト状態の解放 / 終了後にデバイスが何をするかを指定します。 0h = カウントを再開 1h = CVAE フィールドで指定されたアクションを実行します。

Copyright © 2026 Texas Instruments Incorporated

表 28-68. CTRCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
18	FB	R/W	0h	フォルト動作このビットは、フォルト モード中にカウンタが動作を継続するか、一時停止するかを指定します。REPEAT には別の制御があり、次のカウンタ = 0 でカウントが一時停止するかどうかを示します 0h = カウントを継続します 1h = カウントを一時停止します
17	DRB	R/W	0h	デバッグ再開動作このビットは、デバッグ モードの解除 / 終了後にデバイスが何をするかを指定します。 0h = カウントを再開 1h = CVAE フィールドで指定されたアクションを実行します。
16	予約済み	R	0h	
15-13	CZC	R/W	7h	カウンタ ゼロ制御このフィールドは、カウンタ値のゼロ化を基準にカウンタ動作を制御する内容を指定します。 CCPC パラメータ値に基づいて符号化 1 ～ 3 が 表示されます。ビット 4 ～ 5 は、HQEI パラメータ値に基づいて ます。提供されていないエンコーディングは、 予約済みとして文書化されています。 0h = CCCTL_0 ZCOND 1h = CCCTL_1 ZCOND 2h = CCCTL_2 ZCOND この値は 4 チャネルがある場合に存在します。 3h = CCCTL_3 ZCOND この値は 4 チャネルがある場合に存在します。 4h = 2 入力 QEI モードで制御 この値は、TIMER が QEI 機能をサポートしている場合に存在します。 5h = 3 入力 QEI モードで制御 この値は、TIMER が QEI 機能をサポートしている場合に存在します。
12-10	CAC	R/W	7h	カウンタ アドバンス コントロール。このフィールドは、カウンタ値を進歩 (インクリメントまたはデクリメント) する際にカウンタ動作を制御する方法を指定します。 CCPC パラメータ値に基づいて、符号化 1 ～ 3 が存在します。ビット 4 ～ 5 は、HQEI パラメータ値に基づいて ます。提供されていないエンコーディングは、 予約済みとして文書化されています。 0h = CCCTL_0 ACOND 1h = CCCTL_1 ACOND 2h = CCCTL_2 ACOND この値は 4 チャネルがある場合に存在します。 3h = CCCTL_3 ACOND この値は 4 チャネルがある場合に存在します。 4h = 2 入力 QEI モードで制御 この値は、TIMER が QEI 機能をサポートしている場合に存在します。 5h = 3 入力 QEI モードで制御 この値は、TIMER が QEI 機能をサポートしている場合に存在します。
9-7	CLC	R/W	7h	カウンタ ロード制御。このフィールドは、カウンタを LD レジスタ値に設定する際に、カウンタ動作を制御するものを指定します。 CCPC パラメータ値に基づいて符号化 1 ～ 3 が 表示されます。ビット 4 ～ 5 は、HQEI パラメータ値に基づいて ます。提供されていないエンコーディングは、 予約済みとして文書化されています。 0h = CCCTL_0 LCOND 1h = CCCTL_1 LCOND 2h = CCCTL_2 LCOND この値は 4 チャネルがある場合に存在します。 3h = CCCTL_3 LCOND この値は 4 チャネルがある場合に存在します。 4h = 2 入力 QEI モードで制御。 この値は、タイマーが QEI 機能をサポートしている場合に存在します。 5h = 3 入力 QEI モードにより制御。 この値は、タイマーが QEI 機能をサポートしている場合に存在します。

Copyright © 2026 Texas Instruments Incorporated

表 28-68. CTRCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	予約済み	R	0h	
5-4	CM	R/W	0h	カウント モード 0h = ダウン 1h = アップ / ダウン 2h = カウンタ カウント アップ。
3-1	REPEAT	R/W	0h	反復。REPEAT ビットは、ゼロ イベント後にカウンタが進み続けるか、デバッグまたはフォルト条件の終了を繰り返すかを制御します。カウント ダウンする場合、ゼロ イベントの後に、次の先行条件で負荷が続きます。アップダウンをカウントする場合、ゼロ イベントの後に事前イベント (+1) が発生します。エンコード 3 の目的は、デバッグ条件が有効な場合、デバッグ条件が終了するまでロード パルスの生成が延期されることです。これにより、カウントが一時停止される前にカウンタがゼロになります。 0h = ゼロ イベント後は自動的に進みません。 1h = ゼロ イベント後も続行。 2h = 予約済み 3h = デバッグ モードが有効でない場合、またはデバッグ モードが解放された後も、ゼロ イベントの後も続行されます。 4h = 予約済み
0	EN	R/W	0h	カウンタ イネーブル。このビットを使用すると、REPEAT = 0 (自動的に再ロードしない) でカウンタ値がゼロに等しい場合、タイマがこのビットを自動的にクリアします。CPU 書き込み:EN ビットを設定するレジスタ書き込み。カウンタ値は CVAE 値によって設定されます。ハードウェア:このビットは、LCOND または ZCOND の条件が満たされ、カウンタ値がそれぞれロード値またはゼロ値に変更された結果として設定される場合もあります。 0h=ディセーブル 1h = イネーブル

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

28.3.42 LOAD (オフセット = 1808h) [リセット = 00000000h]

図 28-82 に、LOAD を示し、表 28-69 に、その説明を示します。

概略表に戻ります。

「LOAD」を行うよう指定された操作において、LOAD レジスタの内容が CTR にコピーされます。LOAD は CTR との比較に使用され、割り込み、トリガ、または信号生成の動作に利用可能な「ロード イベント」を生成します。

図 28-82. LOAD

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																LD															
R-0h																R/W-0h															

表 28-69. LOAD フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	LD	R/W	0h	ロード値 0h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.43 CC_01[y] (オフセット = 1810h + 式) [リセット = 00000000h]

図 28-83 に CC_01[y] の制御を示し、表 28-70 にその説明を示します。

概略表に戻ります。

CC_01 レジスタは、イベント発生時にその時点の CTR 値をキャプチャするキャプチャ レジスタとして、あるいは現在の CTR 値と比較してイベントを生成する比較レジスタとして使用できるレジスタです。両方として同時に動作することはできません。各カウンタにはハードウェアのキャプチャ比較スライスが 2 つ存在するため、タイマごとに 2 つの CC_01 レジスタが存在します。キャプチャ イベントでは、CTR の次の値がロードされ、CTR と CC_01 (キャプチャされた) が、キャプチャ アクションから割り込みまたはトリガが作成されるサイクルと等しくなるようになります。

オフセット = 1810h + (y * 4h)、ここで y = 0h～1h

図 28-83. CC_01[y]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CCVAL															
R-0h																R/W-0h															

表 28-70. CC_01[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	CCVAL	R/W	0h	値をキャプチャまたは比較 0h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.44 CC_23[y] (オフセット = 1818h + 式) [リセット = 00000000h]

図 28-84 に CC_23[y] の制御を示し、表 28-71 にその説明を示します。

概略表に戻ります。

CC_23 レジスタは、イベント発生時にその時点の CTR 値をキャプチャするキャプチャ レジスタとして、あるいは現在の CTR 値と比較してイベントを生成する比較レジスタとして使用できるレジスタです。両方として同時に動作することはできません。各カウンタにはハードウェアのキャプチャ比較スライスが 2 つ存在するため、タイマごとに 2 つの CC_01 レジスタが存在します。キャプチャ イベントでは、CTR の次の値がロードされ、CTR と CC_01 (キャプチャされた) が、キャプチャ アクションから割り込みまたはトリガが作成されるサイクルと等しくなるようになります。

オフセット = 1818h + (y * 4h)、ここで y = 0h～1h

図 28-84. CC_23[y]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CCVAL															
R-0h																R/W-0h															

表 28-71. CC_23[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	CCVAL	R/W	0h	値をキャプチャまたは比較 0h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.45 CC_45[y] (オフセット = 1820h + 式) [リセット = 00000000h]

図 28-85 に CC_45[y] の制御を示し、表 28-72 にその説明を示します。

概略表に戻ります。

CC_45 レジスタは、現在の CTR と比較してイベント CC4U、CC4D、CC5U、および CC5D を作成するために使用できるレジスタです。

オフセット = 1820h + (y * 4h)、ここで y = 0h～1h

図 28-85. CC_45[y]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																CCVAL															
R-0h																R/W-0h															

表 28-72. CC_45[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	CCVAL	R/W	0h	値をキャプチャまたは比較 0h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.46 CCCTL_01[y] (オフセット = 1830h + 式) [リセット = 00000000h]

図 28-86 に CCCTL_01[y] の制御を示し、表 28-73 にその説明を示します。

概略表に戻ります。

CCCTL_01 レジスタは、個々の CC レジスタとカウンタの動作を制御します。

オフセット = 1830h + (y * 4h)、ここで y = 0h～1h

図 28-86. CCCTL_01[y]

31	30	29	28	27	26	25	24
CC2SELD			CCACTUPD			SCERCNEZ	CC2SELU
R/W-0h			R/W-0h			R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
CC2SELU		予約済み	CCUPD			COC	予約済み
R/W-0h		R-0h	R/W-0h			R/W-0h	R-0h
15	14	13	12	11	10	9	8
予約済み	ZCOND			予約済み	LCOND		
R-0h	R/W-0h			R-0h	R/W-0h		
7	6	5	4	3	2	1	0
予約済み	ACOND			予約済み	CCOND		
R-0h	R/W-0h			R-0h	R/W-0h		

表 28-73. CCCTL_01[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	CC2SELD	R/W	0h	ソースの 2 番目の CCD イベントを選択します。 0h = CC0 から CCD を選択します。 1h = CC1 から CCD を選択します。 2h = CC2 から CCD を選択します。 3h = CC3 から CCD を選択します。 4h = CC4 から CCD を選択します。 5h = CC5 から CCD を選択します。

Copyright © 2026 Texas Instruments Incorporated

表 28-73. CCCTL_01[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
28-26	CCACTUPD	R/W	0h	CCACT シャドウ レジスタの更新方法 このフィールドは、CCACT シャドウ レジスタの更新の実行方法を制御します 0h = CCACT レジスタに書き込まれた値は即座に効果を発揮します。 1h = ゼロ イベント (CTR = 0) の後 CCACTx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、 CTR が 0 になった次の TIMCLK サイクルで CCACTx_y に 転送されます 。 2h = CCD イベント (CTR = CC_xy) の後 、CCACTx_y レジスタへの書き込みはシャドウ レジスタ に保存され、CTR が CCx_y レジスタの値と等しくなった次の TIMCLK サイクルで、 CCACTx_y に転送されます。 3h = CCU イベント (CTR = CC_xy) の後 、CCACTx_y レジスタへの書き込みはシャドウ レジスタ に保存され、 CTR が CCx_y レジスタ値と一致した次の TIMCLK サイクルで、 CCACTx_y に 転送されます。 4h = ゼロ イベント (CTR = 0) またはロード イベント (CTR = LOAD) の後 CCACTx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、 CTR が 0 または CTR と一致した後、 TIMCLK サイクルの CCACTx_y に 転送されます。 LDn に等しい。注:この更新メカニズム は、アップ / ダウン カウントを使用した構成 でのみ使用するように 定義されています。このモードは、ダウン カウント 構成では使うことを目的としていません。 5h = ゼロ イベント後 (CTR = 0)、反復カウントもゼロ (RC = 0)。 CCACTx_y レジスタへの書き込みは、 CTR が 0 になった後、 および RC が 0 の場合、 TIMCLK サイクルで シャドウ レジスタに保存され、 CCACTx_y に 転送されます。 6h = TRIG パルスでは、CCACT_xy シャドウ レジスタに保存された値が CCACT_xy レジスタにロードされます。
25	SCERCNEZ	R/W	0h	反復カウンタがゼロと等しくない場合、比較イベントを抑制 このビットは、反復カウンタ (RC) 値が 0 でない場合、 カウンタからの比較 (CCD、CCU、RC) イベントの生成を抑制します。 0h = CCD、CCU、 RC イベントは、条件が生成される際に、 常にカウンタから 生成されます。 1h = 条件が生成され、 RC レジスタ値が 0 の場合、 カウンタから CCD、CCU、 RC イベントが 生成されます。

Copyright © 2026 Texas Instruments Incorporated

表 28-73. CCCTL_01[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24-22	CC2SELU	R/W	0h	ソースの 2 番目の CCU イベントを選択します。 0h = CC0 から CCU を選択します。 1h = CC1 から CCU を選択します。 2h = CC2 から CCU を選択します。 3h = CC3 から CCU を選択します。 4h = CC4 から CCU を選択します。 5h = CC5 から CCU を選択します。
21	予約済み	R	0h	
20-18	CCUPD	R/W	0h	キャプチャおよび比較更新方法 このフィールドは、シャドウ キャプチャおよび比較レジスタの更新の実行方法 (比較モードで動作している場合、COC = 0) を制御します。 0h = CCx_y レジスタへの書き込みはレジスタに直接書き込まれ、即座に有効になります。 1h = ゼロ イベント後 (CTR = 0) CCx_y レジスタへの書き込み は、シャドウ レジスタに保存され、CTR が 0 になると TIMCLK サイクル の CCx_y に転送されます 。 2h = CCD イベント (CTR = CC_xy) の後 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、 CTR が CCx_y レジスタ値と等しくなった次の TIMCLK サイクルで CCx_y に転送されます。 3h = CCU イベント (CTR = CC_xy) の後 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、CTR が CCx_y レジスタ値と等しくなった次の TIMCLK サイクルで 、CCx_y に転送 されます。 4h = ゼロ イベント (CTR = 0) またはロード イベント (CTR = LOAD) 後 CCx_y レジスタへの 書き込みは、 シャドウ レジスタに保存され、 CTR が 0 または CTR に等しい後、 TIMCLK サイクルの ECCx_y に 転送されます。 LD に等しい。注:この更新メカニズム は、アップ / ダウン カウントを使用した構成 でのみ使用するように 定義されています。このモードは、ダウン カウント 構成では使うことを目的としていません。 5h = ゼロ イベント後 (CTR = 0)、反復カウントもゼロ (RC = 0)。 CCx_y レジスタへの書き込みは、 CTR が 0 になった後、 および RC が 0 の場合、 TIMCLK サイクルで シャドウ レジスタに保存され、 CCx_y に 転送されます。 6h = TRIG パルス後。 CCx_y レジスタへの書き込みは シャドウ レジスタに保存され、 CCx_y に 転送されます

Copyright © 2026 Texas Instruments Incorporated

表 28-73. CCCTL_01[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
17	COC	R/W	0h	キャプチャまたは比較。 対応する CC レジスタをキャプチャ レジスタとして使用するか、比較レジスタとして使用するかを指定します (両方は使用しません)。 0h = 比較 1h = キャプチャ
16-15	予約済み	R	0h	
14-12	ZCOND	R/W	0h	ゼロ条件。 このフィールドは、ゼロ パルスを生成する条件を指定します。 0h = CCP エッジは影響しません 1h = CCP の立ち上がりエッジまたはトリガのアサート エッジ 2h = CCP の立ち下がりエッジまたはトリガ デアサート エッジ 3h = CCP のエッジまたはトリガ変更 (アサート / デアサート エッジ)
11	予約済み	R	0h	
10-8	LCOND	R/W	0h	ロード条件。 ロード パルスを生成する条件を指定します。 0h = CCP エッジは影響しません 1h = CCP の立ち上がりエッジまたはトリガのアサート エッジ 2h = CCP の立ち下がりエッジまたはトリガ デアサート エッジ 3h = CCP のエッジまたはトリガ変更 (アサート / デアサート エッジ)
7	予約済み	R	0h	
6-4	ACOND	R/W	0h	先行条件。 アドバンス パルスを生成する条件を指定します。 0h = 各 TIMCLK 1h = CCP の立ち上がりエッジまたはトリガのアサート エッジ 2h = CCP の立ち下がりエッジまたはトリガ デアサート エッジ 3h = CCP のエッジまたはトリガ変更 (アサート / デアサート エッジ) 5h = CCP High またはトリガ アサート (レベル)
3	予約済み	R	0h	
2-0	CCOND	R/W	0h	キャプチャ条件。 キャプチャ パルスを生成する条件を指定します。 0h = なし (キャプチャなし) 1h = CCP の立ち上がりエッジまたはトリガのアサート エッジ 2h = CCP の立ち下がりエッジまたはトリガ デアサート エッジ 3h = CCP のエッジまたはトリガ変更 (アサート / デアサート エッジ)

Copyright © 2026 Texas Instruments Incorporated

28.3.47 CCCTL_23[y] (オフセット = 1838h + 式) [リセット = 00000000h]

図 28-87 に CCCTL_23[y] の制御を示し、表 28-74 にその説明を示します。

概略表に戻ります。

CCCTL レジスタは、それぞれの CC レジスタとカウンタの動作を制御します。

オフセット = 1838h + (y * 4h)、ここで y = 0h～1h

図 28-87. CCCTL_23[y]

31	30	29	28	27	26	25	24
CC2SELD			CCACTUPD			SCERCNEZ	CC2SELU
R/W-0h			R/W-0h			R/W-0h	R/W-0h
23	22	21	20	19	18	17	16
CC2SELU		予約済み	CCUPD			COC	予約済み
R/W-0h		R-0h	R/W-0h			R/W-0h	R-0h
15	14	13	12	11	10	9	8
予約済み	ZCOND			予約済み	LCOND		
R-0h	R/W-0h			R-0h	R/W-0h		
7	6	5	4	3	2	1	0
予約済み	ACOND			予約済み	CCOND		
R-0h	R/W-0h			R-0h	R/W-0h		

表 28-74. CCCTL_23[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-29	CC2SELD	R/W	0h	ソースの 2 番目の CCD イベントを選択します。 0h = CC0 から CCD を選択します。 1h = CC1 から CCD を選択します。 2h = CC2 から CCD を選択します。 3h = CC3 から CCD を選択します。 4h = CC4 から CCD を選択します。 5h = CC5 から CCD を選択します。

Copyright © 2026 Texas Instruments Incorporated

表 28-74. CCCTL_23[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
28-26	CCACTUPD	R/W	0h	CCACT シャドウ レジスタの更新方法 このフィールドは、CCCACT シャドウ レジスタの更新の実行方法を制御します 0h = CCACTx_y レジスタに書き込まれた値は、即座に反映されます。 1h = ゼロ イベント (CTR = 0) の後 CCACTx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、 CTR が 0 になった次の TIMCLK サイクルで CCACTx_y に 転送されます 。 2h = CCD イベント (CTR = CC_xy) の後 、CCACTx_y レジスタへの書き込みはシャドウ レジスタ に保存され、CTR が CCx_y レジスタの値と等しくなった次の TIMCLK サイクルで、 CCACTx_y に転送されます。 3h = CCU イベント (CTR = CC_xy) の後 、CCACTx_y レジスタへの書き込み は、CTR が CCx_y レジスタ値と一致した後、 TIMCLK サイクルで シャドウ レジスタに保存され、 CCACTx_y に 転送されます 。 4h = ゼロ イベント (CTR = 0) またはロード イベント (CTR = LOAD) の後 CCACTx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、 CTR が 0 または CTR と一致した後、 TIMCLK サイクルの CCACTx_y に 転送されます。 LDn に等しい。注:この更新メカニズム は、アップ / ダウン カウントを使用した構成 でのみ使用するように 定義されています。このモードは、ダウン カウント 構成では使うことを目的としていません。 5h = ゼロ イベント後 (CTR = 0)、反復カウントもゼロ (RC = 0)。 CCACTx_y レジスタへの書き込みは、 CTR が 0 になった後、 および RC が 0 の場合、 TIMCLK サイクルで シャドウ レジスタに保存され、 CCACTx_y に 転送されます。 6h = TRIG パルスでは、CCACTx_y シャドウ レジスタに保存された値が CCACTx_y アクティブ レジスタにロードされます。
25	SCERCNEZ	R/W	0h	リピート カウンタが 0 と等しくない場合、比較イベントを抑制 このビットは、リピート カウンタ (RCn) 値が 0 でない場合、 カウンタからの比較 (CCD、CCU、RC) イベントの生成を抑制します。 0h = CCD、CCU、 RC イベントは、条件が生成される際に、 常にカウンタから 生成されます。 1h = 条件が生成され、 RC レジスタ値が 0 の場合、 カウンタから CCD、CCU、 RC イベントが 生成されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 28-74. CCCTL_23[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24-22	CC2SELU	R/W	0h	ソースの 2 番目の CCU イベントを選択します。 0h = CC0 から CCU を選択します。 1h = CC1 から CCU を選択します。 2h = CC2 から CCU を選択します。 3h = CC3 から CCU を選択します。 4h = CC4 から CCU を選択します。 5h = CC5 から CCU を選択します。
21	予約済み	R	0h	
20-18	CCUPD	R/W	0h	キャプチャおよび比較更新方法 このフィールドは、シャドウ キャプチャおよび比較レジスタの更新の実行方法 (比較モードで動作している場合、COC = 0) を制御します。 0h = CCx_y レジスタへの書き込みはレジスタに直接書き込まれ、即座に有効になります。 1h = ゼロ イベント後 (CTR = 0) CCx_y レジスタへの書き込み は、シャドウ レジスタに保存され、CTR が 0 になると TIMCLK サイクル の CCx_y に転送されます 。 2h = CCD イベント (CTR = CC_xy) の後 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、 CTR が CCx_y レジスタ値と等しくなった次の TIMCLK サイクルで CCx_y に転送されます。 3h = CCU イベント (CTR = CC_xy) の後 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、CTR が CCx_y レジスタ値と等しくなった次の TIMCLK サイクルで 、CCx_y に転送 されます。 4h = ゼロまたはロード イベント後 CCx_y レジスタへの書き込みは、シャドウ レジスタ に保存され、CTR が 0 または LOAD と等しくなった次の TIMCLK サイクルで CCx_y に転送されます。 LDn に等しい。注:この更新メカニズム は、アップ / ダウン カウントを使用した構成 でのみ使用するように 定義されています。このモードは、ダウン カウント 構成では使うことを目的としていません。 5h = ゼロ イベント後 (CTR = 0)、反復カウントもゼロ (RC = 0)。 CCx_y レジスタへの書き込みは、 CTR が 0 になった後、 および RC が 0 の場合、 TIMCLK サイクルで シャドウ レジスタに保存され、 CCx_y に 転送されます。 6h = TRIG パルス後。 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存さ れ、 CCx_y #xD; 0 に転送されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

表 28-74. CCCTL_23[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
17	COC	R/W	0h	キャプチャまたは比較。 対応する CC レジスタをキャプチャ レジスタとして使用するか、比較レジスタとして使用するかを指定します (両方は使用しません)。 0h = 比較 1h = キャプチャ
16-15	予約済み	R	0h	
14-12	ZCOND	R/W	0h	ゼロ条件。 このフィールドは、ゼロ パルスを生成する条件を指定します。4h ～ Fh = 予約済み 0h = CCP エッジは影響しません 1h = CCP の立ち上がりエッジまたはトリガのアサート エッジ 2h = CCP の立ち下がりエッジまたはトリガ デアサート エッジ 3h = CCP のエッジまたはトリガ変更 (アサート / デアサート エッジ)
11	予約済み	R	0h	
10-8	LCOND	R/W	0h	ロード条件。 ロード パルスを生成する条件を指定します。4h ～ Fh = 予約済み 0h = CCP エッジは影響しません 1h = CCP の立ち上がりエッジまたはトリガのアサート エッジ 2h = CCP の立ち下がりエッジまたはトリガ デアサート エッジ 3h = CCP のエッジまたはトリガ変更 (アサート / デアサート エッジ)
7	予約済み	R	0h	
6-4	ACOND	R/W	0h	先行条件。 アドバンス パルスを生成する条件を指定します。6h ～ Fh = 予約済み 0h = 各 TIMCLK 1h = CCP の立ち上がりエッジまたはトリガのアサート エッジ 2h = CCP の立ち下がりエッジまたはトリガ デアサート エッジ 3h = CCP のエッジまたはトリガ変更 (アサート / デアサート エッジ) 5h = CCP High またはトリガ アサート (レベル)
3	予約済み	R	0h	
2-0	CCOND	R/W	0h	キャプチャ条件。 キャプチャ パルスを生成する条件を指定します。4h ～ Fh = 予約済み 0h = なし (キャプチャなし) 1h = CCP の立ち上がりエッジまたはトリガのアサート エッジ 2h = CCP の立ち下がりエッジまたはトリガ デアサート エッジ 3h = CCP のエッジまたはトリガ変更 (アサート / デアサート エッジ)

Copyright © 2026 Texas Instruments Incorporated

28.3.48 CCCTL_45[y] (オフセット = 1840h + 式) [リセット = 00000000h]

図 28-88 に CCCTL_45[y] の制御を示し、表 28-75 にその説明を示します。

概略表に戻ります。

CCCTL レジスタは、それぞれの CC レジスタとカウンタの動作を制御します。

オフセット = 1840h + (y * 4h)、ここで y = 0h～1h

図 28-88. CCCTL_45[y]

31	30	29	28	27	26	25	24
予約済み						SCERCNEZ	予約済み
R-0h						R/W-0h	R-0h
23	22	21	20	19	18	17	16
予約済み			CCUPD			予約済み	
R-0h			R/W-0h			R-0h	
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 28-75. CCCTL_45[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-26	予約済み	R	0h	
25	SCERCNEZ	R/W	0h	反復カウンタがゼロと等しくない場合、比較イベントを抑制 このビットは、反復カウンタ (RC) 値が 0 でない場合、 カウンタからの比較 (CCD、CCU、RC) イベントの生成を抑制します。 0h = CCD、CCU、 RC イベントは、条件が生成される際に、 常にカウンタから 生成されます。 1h = 条件が生成され、 RC レジスタ値が 0 の場合、 カウンタから CCD、CCU、 RC イベントが 生成されます。
24-21	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 28-75. CCCTL_45[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
20-18	CCUPD	R/W	0h	キャプチャおよび比較更新方法 このフィールドは、シャドウ キャプチャおよび比較レジスタの更新の実行方法 (比較モードで動作している場合、COC = 0) を制御します。 0h = CCx_y レジスタへの書き込みはレジスタに直接書き込まれ、即座に有効になります。 1h = ゼロ イベント (CTR = 0) の後 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、 CTR が 0 になると 、TIMCLK サイクルで ECCx_y に 転送されます。 2h = CCD イベント (CTR = CC_xy) の後 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、 CTR が CCx_y レジスタ値と等しくなった次の TIMCLK サイクルで CCx_y に転送されます。 3h = CCU イベント (CTR = CC_xy) の後 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存され、CTR が CCx_y レジスタ値と等しくなった次の TIMCLK サイクルで 、CCx_y に転送 されます。 4h = ゼロ イベント (CTR = 0) またはロード イベント (CTR = LOAD) の後 、CCx_y レジスタ への書き込みは、シャドウ レジスタ に保存され、 CTR = 0 または CTR = LOAD と等しくなった次の TIMCLK サイクルで、CCx_y に転送されます。 LD に等しい。注:この更新メカニズム は、アップ / ダウン カウントを使用した構成 でのみ使用するように 定義されています。このモードは、ダウン カウント 構成では使うことを目的としていません。 5h = ゼロ イベント後 (CTR = 0)、反復カウントもゼロ (RC = 0)。 CCx_y レジスタへの書き込みは、 CTR が 0 になった後、 および RC が 0 の場合、 TIMCLK サイクルで シャドウ レジスタに保存され、 CCx_y に 転送されます。 6h = TRIG パルス後。 CCx_y レジスタへの書き込みは、 シャドウ レジスタに保存さ れ、 CCx_y #xD; 0 に転送されます。
17-0	予約済み	R	0h	

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

28.3.49 OCTL_01[y] (オフセット = 1850h + 式) [リセット = 00000000h]

図 28-89 に OCTL_01[y] の制御を示し、表 28-76 にその説明を示します。

概略表に戻ります。

OCTL_01 レジスタは、カウンタのキャプチャ比較スライスの CCP 出力を制御します。これには、初期条件値と最終的な反転オプションとともに、駆動されるもののソースを選択する機能が含まれます。

オフセット = 1850h + (y * 4h)、ここで y = 0h～1h

図 28-89. OCTL_01[y]

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		CCPIV	CCPOINV	CCPO			
R-0h		R/W-0h	R/W-0h	R/W-0h			

表 28-76. OCTL_01[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	CCPIV	R/W	0h	CCP 初期値このビットは、カウンタがディスエーブルになっているとき (CTRCTL.EN = 0) に信号ジェネレータの状態に置かれる論理値を指定します。 0h = Low 1h = High
4	CCPOINV	R/W	0h	CCP 出力反転 CCPO で選択された出力は条件付きで反転されます。 0h = 反転なし 1h = 反転
3-0	CCPO	R/W	0h	CCP 出力ソース 0h = 信号ジェネレータ値 (例:PWM、発生した PWM) 1h = ロード イベント 2h = CCU イベントまたは CCD イベント 4h = ゼロ イベント 5h = キャプチャ イベント 6h = フォルト条件 8h = 最初のキャプチャおよび比較レジスタの CCP を他のキャプチャ比較ブロックにミラーリングします 9h = その他のキャプチャ比較ブロック内の 2 番目のキャプチャおよび比較レジスタの CCP をミラーリングします Ch = デッドバンド挿入後の信号ジェネレータ出力 Dh = カウンタ方向

Copyright © 2026 Texas Instruments Incorporated

28.3.50 OCTL_23[y] (オフセット = 1858h + 式) [リセット = 00000000h]

図 28-90 に OCTL_23[y] の制御を示し、表 28-77 にその説明を示します。

概略表に戻ります。

OCTL レジスタは、カウンタのキャプチャ比較スライスの CCP 出力を制御します。これには、初期条件値と最終的な反転オプションとともに、駆動されるもののソースを選択する機能が含まれます。

オフセット = 1858h + (y * 4h)、ここで y = 0h～1h

図 28-90. OCTL_23[y]

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み		CCPIV	CCPOINV	CCPO			
R-0h		R/W-0h	R/W-0h	R/W-0h			

表 28-77. OCTL_23[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-6	予約済み	R	0h	
5	CCPIV	R/W	0h	CCP 初期値このビットは、カウンタがディスエーブルになっているとき (CTRCTL.EN = 0) に信号ジェネレータの状態に置かれる論理値を指定します。 0h = Low 1h = High
4	CCPOINV	R/W	0h	CCP 出力反転 CCPO で選択された出力は条件付きで反転されます。 0h = 反転なし 1h = 反転
3-0	CCPO	R/W	0h	CCP 出力ソース 0h = 信号ジェネレータ値 (例:PWM、発生した PWM) 1h = ロード条件 2h = CCU イベントまたは CCD イベント 4h = ゼロ イベント 5h = キャプチャ イベント 6h = フォルト条件 8h = その他のキャプチャ比較ブロックの最初のキャプチャおよび比較レジスタの CCP をミラーリングします 9h = その他のキャプチャ比較の blocksi/bn、の 2 番目のキャプチャおよび比較レジスタの CCP をミラーリングします。 Ch = デッドバンド挿入出力 Dh = カウンタ方向

Copyright © 2026 Texas Instruments Incorporated

28.3.51 CCACT_01[y] (オフセット = 1870h + 式) [リセット = 00000000h]

図 28-91 に CCACT_01[y] の制御を示し、表 28-78 にその説明を示します。

概略表に戻ります。

CCACT_01 レジスタは、カウンタ ブロック、キャプチャおよび比較ブロック、およびデバッグ イベントで生成されたイベントに基づいて、キャプチャ比較スライスの信号ジェネレータの動作を制御します。

オフセット = 1870h + (y * 4h)、ここで y = 0h～1h

図 28-91. CCACT_01[y]

31	30	29	28	27	26	25	24
SWFRCACT_CMPL		SWFRCACT		FEXACT			FENACT
R/W-0h		R/W-0h		R/W-0h			R/W-0h
23	22	21	20	19	18	17	16
FENACT		予約済み					CC2UACT
R/W-0h		R-0h					R/W-0h
15	14	13	12	11	10	9	8
CC2UACT	予約済み	CC2DACT		予約済み	CUACT		予約済み
R/W-0h	R-0h	R/W-0h		R-0h	R/W-0h		R-0h
7	6	5	4	3	2	1	0
CDACT		予約済み	LACT		予約済み	ZACT	
R/W-0h		R-0h	R/W-0h		R-0h	R/W-0h	

表 28-78. CCACT_01[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	SWFRCACT_CMPL	R/W	0h	ソフトウェア強制出力時の CCP 相補出力アクション このフィールドは、結果として得られるソフトウェア強制の動作を示します。この動作にはシャドウ レジスタがあり、特定の条件で更新されます。そのため、このレジスタは直ちに有効とはなりません。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 相補出力値は High に設定されます 2h = CCP の相補出力値は Low に設定されます
29-28	SWFRCACT	R/W	0h	ソフトウェア強制出力時の CCP 出力アクション このフィールドは結果として実行されるソフトウェア強制の動作を示します。この動作にはシャドウ レジスタがあり、特定の条件で更新されます。そのため、このレジスタは直ちに有効とはなりません。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます
27-25	FEXACT	R/W	0h	フォルト終了時の CCP 出力アクション このフィールドは、フォルト条件を終了したときの信号ジェネレータの動作を示します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります 4h = CCP 出力値はトライステート

Copyright © 2026 Texas Instruments Incorporated

表 28-78. CCACT_01[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24-22	FENACT	R/W	0h	フォルト入力時の CCP 出力アクション このフィールドは、フォルトを検出したときの信号ジェネレータの動作を示します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります 4h = CCP 出力値はトライステート
21-17	予約済み	R	0h	
16-15	CC2UACT	R/W	0h	CC2U イベントでの CCP 出力アクション。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
14	予約済み	R	0h	
13-12	CC2DACT	R/W	0h	CC2D イベントでの CCP 出力アクション。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
11	予約済み	R	0h	
10-9	CUACT	R/W	0h	比較 (アップ) 時の CCP 出力アクション このフィールドは、カウント アップ中に比較イベントを検出したときに結果として生成される信号ジェネレータの動作を示します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
8	予約済み	R	0h	
7-6	CDACT	R/W	0h	比較 (ダウン) 時の CCP 出力アクション このフィールドは、カウントダウン中に比較イベントを検出したときに結果として生成される信号ジェネレータの動作を示します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
5	予約済み	R	0h	
4-3	LACT	R/W	0h	ロード イベント時の CCP 出力アクション ロードイベントの結果として CCP 出力にどのような変化が発生するかを指定します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
2	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 28-78. CCACT_01[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	ZACT	R/W	0h	ゼロ時の CCP 出力アクション ゼロ イベントの結果として CCP 出力に何が変化するかを指定します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります

Copyright © 2026 Texas Instruments Incorporated

28.3.52 CCACT_23[y] (オフセット = 1878h + 式) [リセット = 00000000h]

図 28-92 に CCACT_23[y] の制御を示し、表 28-79 にその説明を示します。

概略表に戻ります。

CCACT レジスタは、カウンタ ブロック、キャプチャおよび比較ブロック、およびデバッグ イベントで生成されたイベントに基づいて、キャプチャ比較スライスの信号ジェネレータの動作を制御します。

オフセット = 1878h + (y * 4h)、ここで y = 0h～1h

図 28-92. CCACT_23[y]

31	30	29	28	27	26	25	24
SWFRCACT_CMPL		SWFRCACT		FEXACT			FENACT
R/W-0h		R/W-0h		R/W-0h			R/W-0h
23	22	21	20	19	18	17	16
FENACT		予約済み					CC2UACT
R/W-0h		R-0h					R/W-0h
15	14	13	12	11	10	9	8
CC2UACT	予約済み	CC2DACT		予約済み	CUACT		予約済み
R/W-0h	R-0h	R/W-0h		R-0h	R/W-0h		R-0h
7	6	5	4	3	2	1	0
CDACT		予約済み	LACT		予約済み	ZACT	
R/W-0h		R-0h	R/W-0h		R-0h	R/W-0h	

表 28-79. CCACT_23[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-30	SWFRCACT_CMPL	R/W	0h	ソフトウェア強制出力時の CCP 相補出力アクション このフィールドは、結果として得られるソフトウェア強制の動作を示します。この動作にはシャドウ レジスタがあり、特定の条件で更新されます。そのため、このレジスタは直ちに有効とはなりません。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 相補出力値は High に設定されます 2h = CCP の相補出力値は Low に設定されます
29-28	SWFRCACT	R/W	0h	ソフトウェア強制出力時の CCP 出力アクション このフィールドは結果として実行されるソフトウェア強制の動作を示します。この動作にはシャドウ レジスタがあり、特定の条件で更新されます。そのため、このレジスタは直ちに有効とはなりません。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます
27-25	FEXACT	R/W	0h	フォルト終了時の CCP 出力アクション このフィールドは、フォルト条件を終了したときの信号ジェネレータの動作を示します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります 4h = CCP 出力値はトライステート

Copyright © 2026 Texas Instruments Incorporated

表 28-79. CCACT_23[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
24-22	FENACT	R/W	0h	フォルト入力時の CCP 出力アクション このフィールドは、フォルトを検出したときの信号ジェネレータの動作を示します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります 4h = CCP 出力値はトライステート
21-17	予約済み	R	0h	
16-15	CC2UACT	R/W	0h	CC2U イベントでの CCP 出力アクション。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
14	予約済み	R	0h	
13-12	CC2DACT	R/W	0h	CC2D イベントでの CCP 出力アクション。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
11	予約済み	R	0h	
10-9	CUACT	R/W	0h	比較 (アップ) 時の CCP 出力アクション このフィールドは、カウント アップ中に比較イベントを検出したときに結果として生成される信号ジェネレータの動作を示します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
8	予約済み	R	0h	
7-6	CDACT	R/W	0h	比較 (ダウン) 時の CCP 出力アクション このフィールドは、カウントダウン中に比較イベントを検出したときに結果として生成される信号ジェネレータの動作を示します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
5	予約済み	R	0h	
4-3	LACT	R/W	0h	ロード イベント時の CCP 出力アクション ロードイベントの結果として CCP 出力にどのような変化が発生するかを指定します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります
2	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 28-79. CCACT_23[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1-0	ZACT	R/W	0h	ゼロ時の CCP 出力アクション ゼロ イベントの結果として CCP 出力に何が変化するかを指定します。 0h = このイベントはディスエーブルされ、アサートされると、優先度の低いイベントが選択されます。CCP 出力値はイベントの影響を受けません。 1h = CCP 出力値は High に設定されます 2h = CCP 出力値は Low に設定されます 3h = CCP 出力値が切り替わります

Copyright © 2026 Texas Instruments Incorporated

28.3.53 IFCTL_01[y] (オフセット = 1880h + 式) [リセット = 00000000h]

図 28-93 に IFCTL_01[y] の制御を示し、表 28-80 にその説明を示します。

概略表に戻ります。

IFCTL_01 レジスタは、関連するキャプチャ比較スライスの入力の選択と反転を制御します。

オフセット = 1880h + (y * 4h)、ここで y = 0h～1h

図 28-93. IFCTL_01[y]

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			FE	CPV	予約済み	FP	
R-0h			R/W-0h	R/W-0h	R-0h	R/W-0h	
7	6	5	4	3	2	1	0
INV	予約済み			ISEL			
R/W-0h	R-0h			R/W-0h			

表 28-80. IFCTL_01[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	FE	R/W	0h	フィルタ イネーブル このビットは、入力フィルタによって入力をフィルタ処理するか、 エッジ検出をバイパスするかを 制御します。 0h = バイパス。 1h = フィルタリング済み。
11	CPV	R/W	0h	連続周期 / 多数決選択 このビットは、入力フィルタがより厳密な連続周期カウントを使用するか、 多数決を使用するかを 制御します。 0h = 連続周期 入力は、フィルタ出力に渡される前に、FP によって定義された周期にわたって特定の論理レベルにある必要があります。 1h = 多数決 フィルタ周期全体にわたって 反対のロジックの 1 クロックは 無視されます。 つまり、入力の FP サンプルにわたるサンプリング ウィンドウ内では、 最大 1 サンプルが反対の論理値 (グリッチ) であっても、 出力には 影響しません。
10	予約済み	R	0h	
9-8	FP	R/W	0h	フィルタ周期。このフィールドは、入力フィルタのサンプル周期を 指定します。つまり、フィルタリング中に入力が FP タイマクロック用にサンプリングされます。 0h = 分周係数は 3 1h = 分周係数は 5 2h = 分周係数は 8

Copyright © 2026 Texas Instruments Incorporated

表 28-80. IFCTL_01[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	INV	R/W	0h	入力反転このビットは、選択された入力を反転するかどうかを制御します。 0h = 非反転 1h=反転
6-4	予約済み	R	0h	
3-0	ISEL	R/W	0h	入力選択 (CCP0) このフィールドは、フィルタ入力への入力ソースを選択します。4h～7h = 予約済み 0h = 対応するキャプチャ比較ユニットの CCP 1h = キャプチャ比較ユニットの入力ペア CCPX。CCP0 の場合、入力ペアは CCP1、CCP1 の場合、入力ペアは CCP0 です。 2h = カウンタの CCP0 3h = トリガ 4h = CCP 入力の XOR を入力ソースとして使用 (ホール入力モードで使用)。 5h = サブスクライバ 0 イベントを入力ソースとして使用。 6h = サブスクライバ 1 イベントを入力ソースとして使用。 7h = コンパレータ 0 出力。 8h = コンパレータ 1 出力。 9h = コンパレータ 2 出力。

Copyright © 2026 Texas Instruments Incorporated

28.3.54 IFCTL_23[y] (オフセット = 1888h + 式) [リセット = 00000000h]

図 28-94 に IFCTL_23[y] の制御を示し、表 28-81 にその説明を示します。

概略表に戻ります。

IFCTL レジスタは、関連するキャプチャ比較スライスの入力の選択と反転を制御します。

オフセット = 1888h + (y * 4h)、ここで y = 0h～1h

図 28-94. IFCTL_23[y]

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			FE	CPV	予約済み	FP	
R-0h			R/W-0h	R/W-0h	R-0h	R/W-0h	
7	6	5	4	3	2	1	0
INV	予約済み			ISEL			
R/W-0h	R-0h			R/W-0h			

表 28-81. IFCTL_23[y] フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	FE	R/W	0h	フィルタ イネーブル このビットは、入力フィルタによって入力をフィルタ処理するか、 エッジ検出をバイパスするかを 制御します。 0h = バイパス。 1h = フィルタリング済み。
11	CPV	R/W	0h	連続周期 / 多数決選択 このビットは、入力フィルタがより厳密な連続周期カウントを使用するか、 多数決を使用するかを 制御します。 0h = 連続周期 入力は、フィルタ出力に渡される前に、FP によって定義された周期にわたって特定の論理レベルにある必要があります。 1h = 多数決 フィルタ周期全体にわたって 反対のロジックの 1 クロックは 無視されます。 つまり、入力の FP サンプルにわたるサンプリング ウィンドウ内では、 最大 1 サンプルが反対の論理値 (グリッチ) であっても、 出力には 影響しません。
10	予約済み	R	0h	
9-8	FP	R/W	0h	フィルタ周期。このフィールドは、入力フィルタのサンプル周期を 指定します。つまり、フィルタリング中に入力が FP タイマクロック用にサンプリングされます。 0h = 分周係数は 3 1h = 分周係数は 5 2h = 分周係数は 8

Copyright © 2026 Texas Instruments Incorporated

表 28-81. IFCTL_23[y] フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	INV	R/W	0h	入力反転このビットは、選択された入力を反転するかどうかを制御します。 0h = 非反転 1h=反転
6-4	予約済み	R	0h	
3-0	ISEL	R/W	0h	入力選択 (CCP0) このフィールドは、フィルタ入力への入力ソースを選択します。4h～7h = 予約済み 0h = 対応するキャプチャ比較ユニットの CCP 1h = キャプチャ比較ユニットの入力ペア CCPX。CCP0 の場合、入力ペアは CCP1、CCP1 の場合、入力ペアは CCP0 です。 2h = カウンタの CCP0 3h = トリガ 4h = CCP 入力の XOR を入力ソースとして使用 (ホール入力モードで使用)。 5h = サブスクライバ 0 イベントを入力ソースとして使用。 6h = サブスクライバ 1 イベントを入力ソースとして使用。 7h = コンパレータ 0 出力。 8h = コンパレータ 1 出力。 9h = コンパレータ 2 出力。

Copyright © 2026 Texas Instruments Incorporated

28.3.55 PL (オフセット = 18A0h) [リセット = 00000000h]

図 28-95 に、PL を示し、表 28-82 に、その説明を示します。

概略表に戻ります。

これは位相ロード レジスタです。

図 28-95. PL

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																PHASE															
R-0h																R/W-0h															

表 28-82. PL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15-0	PHASE	R/W	0h	位相ロード値 0h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.56 DBCTL (オフセット = 18A4h) [リセット = 00000000h]

図 28-96 に、DBCTL を示し、表 28-83 に、その説明を示します。

概略表に戻ります。

DBCTL レジスタは、パルス幅変調出力のデッドバンド挿入を制御します。

図 28-96. DBCTL

31	30	29	28	27	26	25	24
予約済み				FALLDELAY			
R-0h				R/W-0h			
23	22	21	20	19	18	17	16
FALLDELAY							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み			M1_ENABLE	RISEDELAY			
R-0h			R/W-0h	R/W-0h			
7	6	5	4	3	2	1	0
RISEDELAY							
R/W-0h							

表 28-83. DBCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-28	予約済み	R	0h	
27-16	FALLDELAY	R/W	0h	立ち下がり遅延 CCP 信号の立ち下がりエッジと CCP 相補信号の立ち上がりエッジの間に挿入される TIMCLK 周期の数です。 0h = 最小値 FFFh = 最大値
15-13	予約済み	R	0h	
12	M1_ENABLE	R/W	0h	デッドバンドモード 1 イネーブル。 0h=ディセーブル 1h = イネーブル
11-0	RISEDELAY	R/W	0h	立ち上がり遅延 CCP 信号の立ち下がりエッジと CCP 相補信号の立ち上がりエッジの間に挿入される TIMCLK 周期の数です。 0h = 最小値 FFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.57 TSEL (オフセット = 18B0h) [リセット = 00000000h]

図 28-97 に、TSEL を示し、表 28-84 に、その説明を示します。

概略表に戻ります。

TSEL レジスタは、入力トリガ イネーブルとトリガ ソースの選択を制御します。トリガ ソースは、(タイマーのサブスクライバ ポートによってサブスクライブされる) それぞれのパブリッシャ ポートを介して、他の SoC エレメントによって生成されます。

図 28-97. TSEL

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み						TE	予約済み				ETSEL				
R-0h						R/W-0h	R-0h				R/W-0h				

表 28-84. TSEL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-10	予約済み	R	0h	
9	TE	R/W	0h	トリガ イネーブル。 これにより、このカウンタのトリガがイネーブルになっているかどうかを選択します 0x0 = トリガは使用されません 0x1 = ETSEL フィールドによって選択されたとおりにトリガが使用されます 0h = トリガは使用されません。 1h = IE、ITSEL、ETSEL フィールドで選択されたとおりにトリガが使用されます。
8-5	予約済み	R	0h	
4-0	ETSEL	R/W	0h	外部トリガ選択。 これにより、入力フィルタがトリガを選択した場合に、使用されるシステム イベントが選択されます。 トリガ 0 ～ 15 は、他のタイマ モジュールによって生成されたトリガを接続するために使用されます。タイマ トリガ ソースの詳細については、SoC データシートを参照してください。 トリガ 16 および 17 は、イベント マネージャ サブスクライバ ポートに接続されています。 イベント ライン 18 ～ 31 は、将来の使用のために予約されています。 0h = TRIGx = TIM x からの外部トリガ入力。 1h = TRIGx = TIM x からの外部トリガ入力。 2h = TRIGx = TIM x からの外部トリガ入力。 3h = TRIGx = TIM x からの外部トリガ入力。 4h = TRIGx = TIM x からの外部トリガ入力。 5h = TRIGx = TIM x からの外部トリガ入力。 6h = TRIGx = TIM x からの外部トリガ入力。 7h = TRIGx = TIM x からの外部トリガ入力。 8h = TRIGx = TIM x からの外部トリガ入力。 9h = TRIGx = TIM x からの外部トリガ入力。 Ah = TRIGx = TIM x からの外部トリガ入力。 Bh = TRIGx = TIM x からの外部トリガ入力。 Ch = TRIGx = TIM x からの外部トリガ入力。 Dh = TRIGx = TIM x からの外部トリガ入力。 Eh = TRIGx = TIM x からの外部トリガ入力。 Fh = TRIGx = TIM x からの外部トリガ入力。 10h = TRIG_SUBx = サブスクライバポート x からの外部トリガ入力。 11h = TRIG_SUBx = サブスクライバポート x からの外部トリガ入力。

Copyright © 2026 Texas Instruments Incorporated

28.3.58 RC (オフセット = 18B4h) [リセット = 00000000h]

図 28-98 に、RC を示し、表 28-85 に、その説明を示します。

概略表に戻ります。

反復カウンタは、割り込みオーバーヘッドを低減するためのものです。反復カウンタは、不要な割り込みを抑制するメカニズムを備えています。設定された周期に対して、各イベントタイプによって生成される割り込みの数を 1 に減らすことができます。
具体的には、反復タイマは、ロード、比較 (アップ / ダウン、通常 / シャドウ)、ゼロ イベントを抑制できます。

図 28-98. RC

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								RC							
R-0h																								R-0h							

表 28-85. RC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	RC	R	0h	反復カウンタ値 0h = 最小値 FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.59 RCLD (オフセット = 18B8h) [リセット = 00000000h]

図 28-99 に、RCLD を示し、表 28-86 に、その説明を示します。

概略表に戻ります。

カウンタ ロード入力がアサートされると、ロード レジスタ値がカウンタに転送されます。

図 28-99. RCLD

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								RCLD							
R-0h																								R/W-0h							

表 28-86. RCLD フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	RCLD	R/W	0h	反復カウンタ ロード値 このフィールドは、反復カウンタ値が 0 と一致した後のロード イベント時に、 反復カウンタに ロードされる値を提供します。 0h = 最小値 FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

28.3.60 QDIR (オフセット = 18BCh) [リセット = 00000000h]

図 28-100 に、QDIR を示し、表 28-87 に、その説明を示します。

概略表に戻ります。

QDIR レジスタは、QEI でカウンタを動作させる際に使うためのカウントの方向を提供します。

図 28-100. QDIR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															DIR
R-0h															R-0h

表 28-87. QDIR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	DIR	R	0h	カウントの方向 0h = ダウン (位相 B が位相 A に先行) 1h = アップ (位相 A が位相 B に先行)

Copyright © 2026 Texas Instruments Incorporated

28.3.61 FCTL (オフセット = 18D0h) [リセット = 00000000h]

図 28-101 に、FCTL を示し、表 28-88 に、その説明を示します。

概略表に戻ります。

FCTL レジスタは、フォルト入力、フォルト検出、およびエラー処理動作を制御します。

図 28-101. FCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		FSENEXT2	FSENEXT1	FSENEXT0	FSENAC2	FSENAC1	FSENAC0
R-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TFIM	予約済み		FL		FI	予約済み	FIEN
R/W-0h	R-0h		R/W-0h		R/W-0h	R-0h	R/W-0h

表 28-88. FCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	
13	FSENEXT2	R/W	0h	外部フォルト ピン 2 HIGH/LOW をフォルト条件として扱うかどうかを指定します。 0h = フォルト入力はアクティブ Low。 1h = フォルト入力はアクティブ High。
12	FSENEXT1	R/W	0h	外部フォルト ピン 1 HIGH/LOW をフォルト条件として扱うかどうかを指定します。 0h = フォルト入力はアクティブ Low。 1h = フォルト入力はアクティブ High。
11	FSENEXT0	R/W	0h	外部フォルトピン 0 HIGH/LOW をフォルト条件として扱うかどうかを指定します。 0h = フォルト入力はアクティブ Low。 1h = フォルト入力はアクティブ High。
10	FSENAC2	R/W	0h	COMP2 出力 High/Low をフォルト状態として扱うかどうかを指定します。 0h = フォルト入力はアクティブ Low。 1h = フォルト入力はアクティブ High。
9	FSENAC1	R/W	0h	COMP1 出力 High/Low をフォルト状態として扱うかどうかを指定します。 0h = フォルト入力はアクティブ Low。 1h = フォルト入力はアクティブ High。
8	FSENAC0	R/W	0h	COMP0 出力 High/Low をフォルト状態として扱うかどうかを指定します。 0h = フォルト入力はアクティブ Low。 1h = フォルト入力はアクティブ High。
7	TFIM	R/W	0h	トリガ フォルト入力マスク 選択したトリガをフォルト入力として参加させるかどうかを指定します。イネーブルになり、トリガがアサートされると、トリガはフォルトとして扱われます。 0h = 選択されたトリガはフォルト条件の生成に参加しません 1h = 選択されたトリガはフォルト条件の生成に参加します
6-5	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 28-88. FCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-3	FL	R/W	0h	フォルト ラッチ モード フォルト条件をラッチするかどうかを指定し、ラッチ クリア条件を設定します。 0h = 全体的なフォルト条件は RIS の F ビットに依存しません 1h = 全体的なフォルト条件は RIS の F ビットに依存します 2h = フォルト条件はラッチ済みフォルト入力が 0 の場合、フォルト条件はゼロ イベント時にクリアされます。 3h = フォルト条件はラッチ済みフォルト入力が 0 の場合、ロード イベント時にフォルト条件はクリアされます。
2	FI	R/W	0h	フォルト入力 全体のフォルト条件が検出されたフォルト ピンに依存するかどうかを指定します。 0h = 全体的なフォルト条件は検出された入力には依存しません。 1h = 全体的なフォルト条件は検出された入力に依存します。
1	予約済み	R	0h	
0	FIEN	R/W	0h	フォルト入力イネーブル このビットは、フォルト検出用の入力をイネーブルにします。 0h = フォルト入力ディスエーブル 1h = フォルト入力イネーブル

Copyright © 2026 Texas Instruments Incorporated

28.3.62 FIFCTL (オフセット = 18D4h) [リセット = 00000000h]

図 28-102 に、FIFCTL を示し、表 28-89 に、その説明を示します。

概略表に戻ります。

FIFCTL レジスタはフォルト入力のフィルタリングを制御します。

図 28-102. FIFCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			FILTEN	CPV	予約済み	FP	
R-0h			R/W-0h	R/W-0h	R-0h	R/W-0h	

表 28-89. FIFCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4	FILTEN	R/W	0h	フィルタ イネーブル このビットは、入力フィルタによって入力をフィルタ処理するか、またはバイパスして、オプションのプリスケール フィルタに直接移動してからエッジ検出に移動するかを制御します。 0h = バイパス 1h = フィルタリング済み。
3	CPV	R/W	0h	連続周期 / 多数決選択 このビットは、入力フィルタがより厳密な連続周期カウントを使用するか、多数決を使用するかを制御します。 0h = 連続周期。 入力は、FP で定義された周期にわたって、特定のロジックレベルにある必要があります。 1h = 多数決。 フィルタは、フィルタ周期全体にわたって反対のロジックの 1 クロックを無視します。 すなわち、入力の FP サンプルにわたるサンプリング ウィンドウ内では、最大 1 サンプルが反対の論理値 (グリッチ) であっても、出力には影響しません
2	予約済み	R	0h	
1-0	FP	R/W	0h	フィルタ周期 このフィールドは、入力フィルタのサンプル周期を指定します。つまり、フィルタリング中に入力が FP タイマ クロック用にサンプリングされます。 0h = フィルタ周期 3 1h = フィルタ周期 5 2h = フィルタ周期 8

Copyright © 2026 Texas Instruments Incorporated

Chapter 29

低周波数サブシステム (LFSS)

29.1 概要 1900
29.2 クロック システム 1901
29.3 VBAT を使用した LFSS リセット 1902
29.4 電力ドメインと電源検出 1903
29.5 リアルタイム カウンタ (RTC_x) 1905
29.6 独立型ウォッチドッグ タイマ (IWDT) 1905
29.7 タンパ入出力 1906
29.8 スクラッチパッド メモリ 1909
29.9 RTC、TIO、IWDT のロック機能 1910
29.10 LFSS レジスタ 1911

Copyright © 2026 Texas Instruments Incorporated

29.1 概要

低周波サブシステム (LFSS) は、複数の機能周辺機器を 1 つの共通サブシステムに統合したものです。これらのペリフェラルは、低周波数クロック (LFCLK) によってクロック供給されるか、低消費電力モードではアクティブにする必要があります。一部の実装では、LFSS には VBAT と呼ばれる別のバッテリ バックアップ ドメインから電力を供給することができます。低周波クロックは、標準周波数が 32kHz で、主に長期的な時間管理を目的としています。

注

この章で説明する機能のすべてが、すべてのデバイスに搭載されているわけではありません。特定のデバイスに LFSS の機能が搭載されているかについては、該当するデバイスのデータシートを参照してください。

LFSS のスーパーセット バージョンには、次のコンポーネントが含まれています。

- 専用のバッテリ バックアップ ドメインと専用電源ピン (VBAT)
- 追加のプリスケーラ拡張機能とタイムスタンプ キャプチャ機能を備えたリアルタイム クロック (RTC)
- 独立型ウォッチドッグ タイマ (IWDT)
- 改ざん検出入出力 (TIO) モジュール
- SPM (Small Scratchpad Memory Storage)

この組み合わせにより、これらのモジュールは主電源 (VDD) の電力損失が発生してもアクティブ状態を維持し、機能します。図 29-1 に、メイン パワー マネージメント コントローラ ユニット (PMCU) サブシステムと、デバイスにおける LFSS の関係を示します。

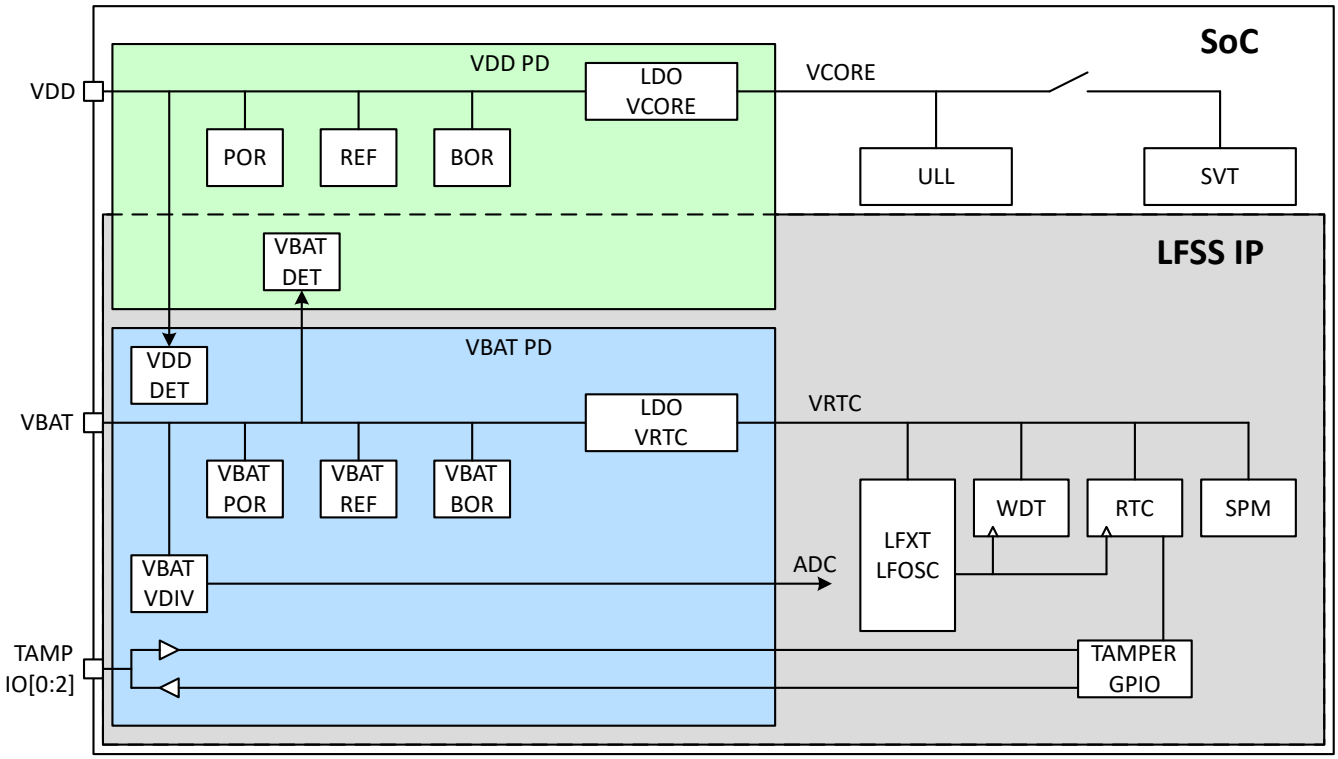


図 29-1. LFSS の概要

上記のコンポーネントは次のとおりです。

- **VDD / VDD PD** は、デバイスの I/O およびサブレギュレートドメインに電力を供給する主電源ドメインです。
- **VBAT / VBAT PD** は、バッテリ バックアップ電源ドメインであり、RTC とサポート回路に安定化された電源を供給するセカンダリ パワー マネージメント ユニット (VBAT-PMU) に電力を供給します。このドメインは、タンパ I/O セル、WDT、および SPM ブロックにも電力を供給します。

Copyright © 2026 Texas Instruments Incorporated

- **VCORE** は、デバイス デジタル ロジックのほとんどに対する、安定化されたサブドメイン電源です。
- **VRTC** は、VBAT 電源から電力が供給される、安定化されたサブドメイン電源です。この電源は、LFSS 内の RTC、LFXT、LFOSC、SPM、WDT、およびタンパ関連回路に電力を供給します。
- **VBAT DET / VDD DET** は、VBAT / VDD 電源の有無をそれぞれ監視する検出回路です。
- **VBAT VDIV** は抵抗分圧器で、デバイスの内蔵 ADC により、VBAT 電源電圧を測定できます。

29.2 クロック システム

低周波数クロック システムは LFSS の一部ですが、制御ビットは SYSCTL モジュールにあります。図 29-2 に、クロック システムのコンポーネントを示します。

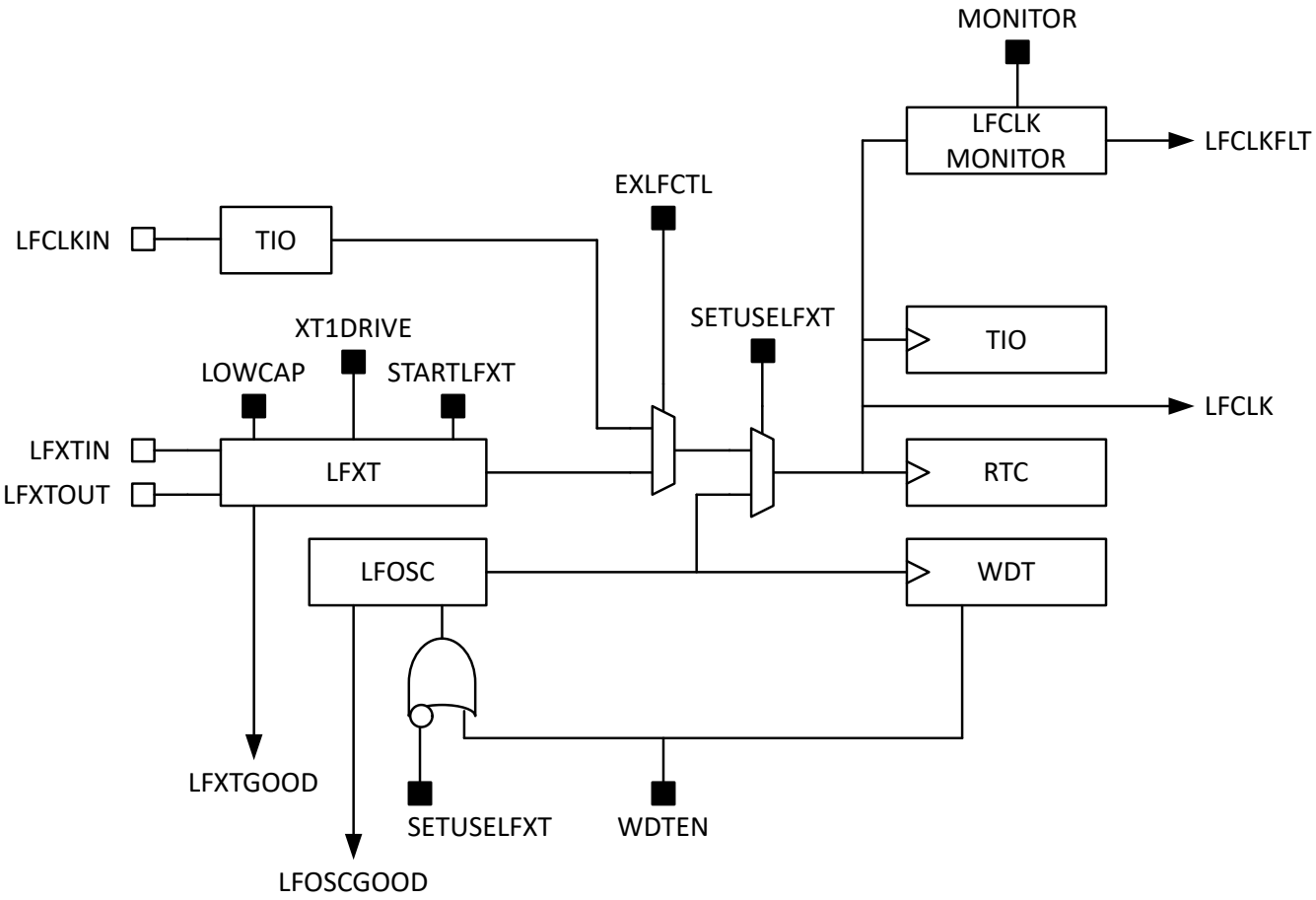


図 29-2. LFSS 低周波数クロック システム

LFCLK 制御の制御ビットは SYSCTL レジスタ内に配置されています。ユーザー制御信号は、LFSS 関連ロジック内のシャドウ レジスタでラッチされます。VDD/VCORE ドメインの電力が失われた場合、シャドウ ラッチは、電力が戻るまで LFCLK 構成をアクティブに維持します。電源が復旧してもシャドウ ラッチはリセットされず、ソフトウェアによってデバイス クロック構成が復元されるまで、最後の構成ステータスが保持されます。この概念は、SHUTDOWN モードでの GPIO スリープ機能と似ています。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

LFCLK は、デバイスで他のペリフェラルのために使用され、デバイスのパワー マネージメント ユニットの STANDBY モードで必要になります。VBAT ドメインに電力が供給されていない場合 (たとえば、VBAT バッテリの交換時)、デバイスには、これらの目的で有効な LFCLK がありません。VBAT ドメインに電力が供給されていない場合、SYSOSC 経由のクロックのみが利用でき、これは STANDBY モードには使用できません。次の 3 つのシナリオを考慮する必要があります。

1. デバイスが STANDBY モードに入っているときに LFSS の電力が失われると、VBAT パワーダウン割り込みによってデバイスは STANDBY モードからウェイクアップされます。
2. デバイスが RUN モードで、LFSS に電力が供給されていないときに STANDBY モードに移行する場合、デバイスは 32MHz の SYSOSC クロックで STOP モードに遷移します。
3. デバイスが RUN モードで、CPU クロックが LFCLK から供給される場合、VBAT ドメインが失われると、クロックが SYSOSC に戻り、VBAT が失われたことを示す割り込みが発行されます。

29.3 VBAT を使用した LFSS リセット

電源ピン (VBAT) を備えた専用のバッテリバックアップ電源ドメイン (PDB) を持つデバイスでは、LFSS は、独自の VBAT パワー マネージメント ユニット (VBAT PMU) と、VBAT 電源ピンに関連する独自のリセット生成回路を備えています。

注

PDB および VBAT 電源ピンがないデバイスについては、サポート対象のペリフェラル (RTC、IWDT) の該当する TRM の章を参照してください。

LFSS のリセットに関連する二つのサブ回路があります。

- VBAT パワーオン リセット (POR) 回路は、V_{th} を使った電源電圧監視です。POR 回路は、VBAT PMU をリセットし、コールド ブート シーケンスの開始をトリガーするために使用されます。
- VBAT 電圧低下リセット (BOR) 回路は、バンド ギャップ リファレンスを使用した電圧監視回路であり、VBAT 電源が LDO を安全に動作させるのに十分な電圧に達すると、VBAT PMU の LDO を有効にします。このシーケンスの後、バッテリ バックアップ電源ドメイン (PDB) が利用可能になり、PDB のすべてのロジックがリセットされます。

バッテリ バックアップ電源ドメイン (PDB) では、VBAT ピンの電源が VBAT BOR レベルを下回るまでリセットされません。メイン PMU からの VDD BOR リセットでは、VBAT に十分な電力が供給されたままで、PDB ドメインはリセットされません。

また、LFSS は VBAT PMU POR レベルのソフトウェア リセット要求をサポートしています。このリセットはソフトウェア開発をサポートしており、LFSS の観点からは、VBAT 電源が一時的に切断され、再接続されていたように見えます。これは、PDB ドメインの電源が一旦オフになった後に再投入され、すべてのフリップフロップが完全にリセットされることも意味します。

注

ソフトウェア POR 要求は、主に VBAT から外部バッテリを取り出すことをエミュレートするソフトウェア開発のためのものです。この POR 要求イベントの後、ソフトウェアは LFXTAL を再度イネーブルにし、LFCLK を LFXTAL に切り替えて、最後に LFSS (RTC、IWDT、TIO、SPM) 内でペリフェラルを再初期化する必要があります。

LFXT および LFSS ペリフェラルがソフトウェアによって設定および初期化されると、LFSS ドメイン内の永続ステータス ビットによって、「動作中 / RTC アクティブ」状態がソフトウェアに通知されます。デバイスの電源投入時に、ソフトウェアはリセット要因テーブルを読み取り、その内容に応じてデバイスを初期化します (例えば、初回の電源投入や SHUTDOWN モードからのウェークアップ)。RTC を初期化する前に、ソフトウェアは LFXT および RTC の正常 / アクティブ状態を確認し、すでに動作中かつアクティブである場合は初期化をスキップする必要があります。

Copyright © 2026 Texas Instruments Incorporated

29.4 電力ドメインと電源検出

LFSS は、VBAT 電源と VDD 電源の有無を別々に監視する必要があります。信頼できるスーパーバイザ電源ドメインとして機能し、どのドメインに電力が供給されていて、どちらが供給されていないかを示す専用の常時オン ドメインはありません。合法的な動作シナリオとして、VBAT ドメインと VDD ドメインは、個別に電源を供給することも、給電しないことも可能です。

たとえば、メイン VDD 電源が停止した場合、LFXT と RTC に給電するためのバッテリによって VBAT ドメインに電力が供給されます。一方、VBAT ドメインのバッテリは交換可能です。これは、VBAT 電源ドメインで一時的な電力損失が発生し、メイン VDD 電源がデバイスに電力を供給することを意味します。LFSS には、通電しているドメインから停止しているドメインに電力を供給するクロスオーバー スイッチは含まれていません。

VDD と VBAT の電圧レベルも非常に異なる可能性があるため、1 つの電源が他の電源よりも高くなる必要はありません。たとえば、PCB 上のシステム LDO から 1.8V LDO でデバイスに電力を供給し、VBAT 電源は 3V コイン セル バッテリから供給できます。逆に、ほぼ消耗したバッテリの電圧が 2.0V の状態で、3.3V のシステム LDO からデバイスに電力を供給できます。

図 29-1 に示すように、各ドメインには PMU 回路の初期化用に Vth ベースのパワーオン リセット (POR) 回路があります。バンドギャップベースのリファレンス システム (REF) は、ブラウンアウト リセット (BOR) 回路および LDO に、正確な電圧リファレンスを提供します。

LFSS には、もう一方の 3V 電源ドメインに電力が供給されているかどうかを示すため、2 つの追加電圧検出回路が備えられています。

このアーキテクチャでは、LFSS は、図 29-3 に示す 4 つの代表的な用途での使用に対応しています。

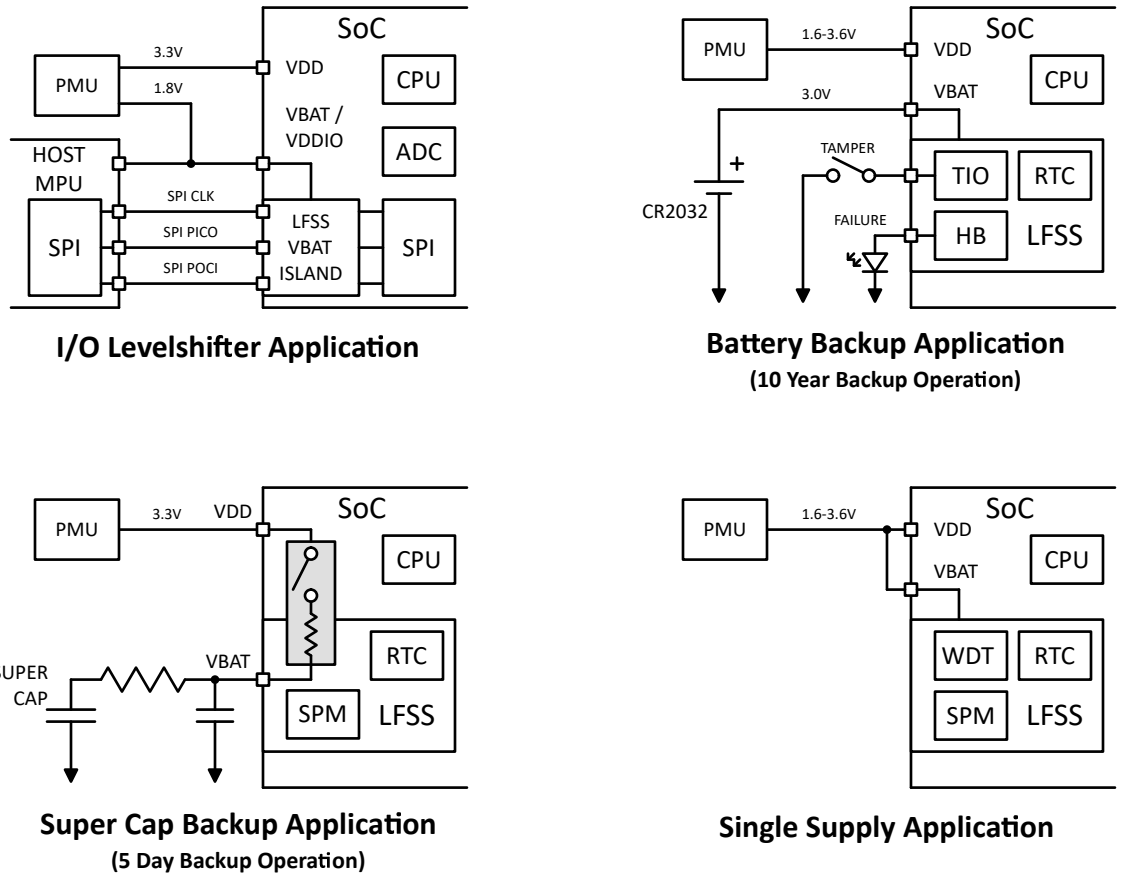


図 29-3. LFSS の代表的な用途での使用事例

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

29.4.1 VBAT が先に電源投入された場合の起動

電源が完全に供給されていないデバイスで VBAT ドメインに先に電源投入されると、LFSS は VBAT PMU の非同期シーケンスで開始されます。

VBAT POR が解放されると、VBAT REF、VBAT BOR、VBAT LDO が開始されます。

リセットがデアサートされると、LFOSC が起動し、サンプリング モードで VBAT REF および BOR 回路を動作させる 32kHz のクロックを供給します。この状態に達すると、VBAT はソフトウェアによるさらなる設定を待機します。この状態では、LFSS の総消費電力が規定の制限値を下回っており、コインセル バッテリで 10 年間の寿命を実現できます。

29.4.2 VDD が先に電源投入された場合の起動

電源が完全に供給されていないデバイスで VDD ドメインに先に電源投入されると、デバイスはデバイスの PMU の非同期シーケンスで開始されます。デバイスは、VBAT ドメインに給電されているかのように、通常動作を開始します。

唯一の違いは、デバイスで LFCLK が使用できない点です。

VBAT 検出器 (VDD ドメインから給電) は、VBAT 電源がまだ存在していないことを通知し、VRTC ドメインからのすべてのデジタル信号を無視します。VBAT ドメインには LFCLK 回路が含まれているため、デバイスは LFCLK を使用できません。STANDBY モードには 32kHz が必要なため、これは、デバイスを STANDBY モードに移行できないことを意味します。

29.4.3 VDD 喪失時の動作

VDD 電源にはシステム レベルのデカップリング コンデンサが必要なため、電源が瞬時に喪失することはありません。VDD 電源が下降して BOR- レベルに達すると、VCORE LDO が無効になります。この信号は VBAT ドメインを介して VRTC ドメインに伝搬され、VCORE ドメインからのすべての信号を論理的に絶縁します。

最終的に、VDD 電源が POR レベルを下回り、デバイスの VDD ドメイン全体がリセットされます。このレベルは、VBAT ドメインから電力を供給される VDD 検出回路によっても検出されます。この時点で、VDD ドメインからのすべての信号を信頼できず、VDD 絶縁信号により、VDD ドメインからのすべての信号が絶縁されます。

29.4.4 VBAT 喪失時の動作

VBAT 電源ピンには、一定の最小デカップリング コンデンサが必要です。これは主にノイズ耐性のために、高インピーダンスの電源でのスイッチング動作時にピーク電流を供給する役割も果たします。特に、タンパ I/O ピンにより、かなり高いスイッチング ノイズが発生する可能性があります。

必要なデカップリング コンデンサのため、VBAT バッテリが突然システムから取り外された場合でも、VBAT 電源は一瞬ではなく、緩やかに失われます。これにより、VBAT-DET 回路は VBAT ドメインの喪失を観測し、VRTC ドメインからのすべての信号を絶縁します。

29.4.5 デバイスの SHUTDOWN モード遷移時の動作

VDD ドメインに電源が供給されたままであるため、シャットダウン モードのシーケンスは若干異なります。シャットダウン モードはソフトウェアによって開始され、VDD ドメインのシャットダウン モード レジスタに保存されます。このモード レジスタは、LDO を無効にします。この信号は VBAT ドメインを介して VRTC ドメインに伝搬され、VCORE ドメインからのすべての信号を論理的に絶縁します。

シャットダウン モードからのウェークアップ時に、デバイスの PMU は REF システム、BOR 回路、最後に LDO を再度有効にします。サブレギュレートされた VCORE 電源が目標レベルに達すると、VCORE ドメインから VRTC ドメインに再度アクセスできるようになります。

29.4.6 スーパーキャパシタの充電回路

LFSS の VBAT PMU は、VBAT 電源ピンに接続された外部スーパーキャパシタ用の充電回路をサポートしています。充電回路の概要については、図 29-4 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

充電回路には、デバイスの VDD 電源と LFSS VBAT 電源ピンとの間の内部接続スイッチが含まれています。スイッチには内部抵抗があるため、充電電流が制限されます。充電電流をさらに制限するために、スーパーキャパシタを抵抗に直列接続する必要があります。外付け抵抗は、内部スイッチ抵抗と同じ大きさにする必要があります。LFSS の VBAT ドメインを迅速に起動するには、これが重要です。

デバイスの電源投入後、充電回路はアクティブになりません。充電回路は SW によって有効にする必要があります。

たとえば、完全に消耗したスーパーキャパシタを使用して充電回路が有効になったとします。初期状態では、キャパシタの電圧は 0V です。モデル化の観点からみると、これは、この回路ノードが仮想グランドのように機能することを意味します。この場合、内部および外部の電流制限抵抗によって分圧器が構成されます。両方の抵抗が同じ値の場合、VBAT の電圧は VDD の 1/2 になります。これは、通常、LFSS の動作を開始するのに十分です。

この充電回路は、外部 VDD 電源を監視するためのコンパレータ回路を内蔵しています。外部 VDD 電源が VBAT 電源電圧を下回ると、充電スイッチが無効になります。これにより、スーパーキャパシタからメイン電源への逆電流を防止できます。外部 VDD 電源が VBAT 電源を上回ると、充電スイッチが再び閉じます。

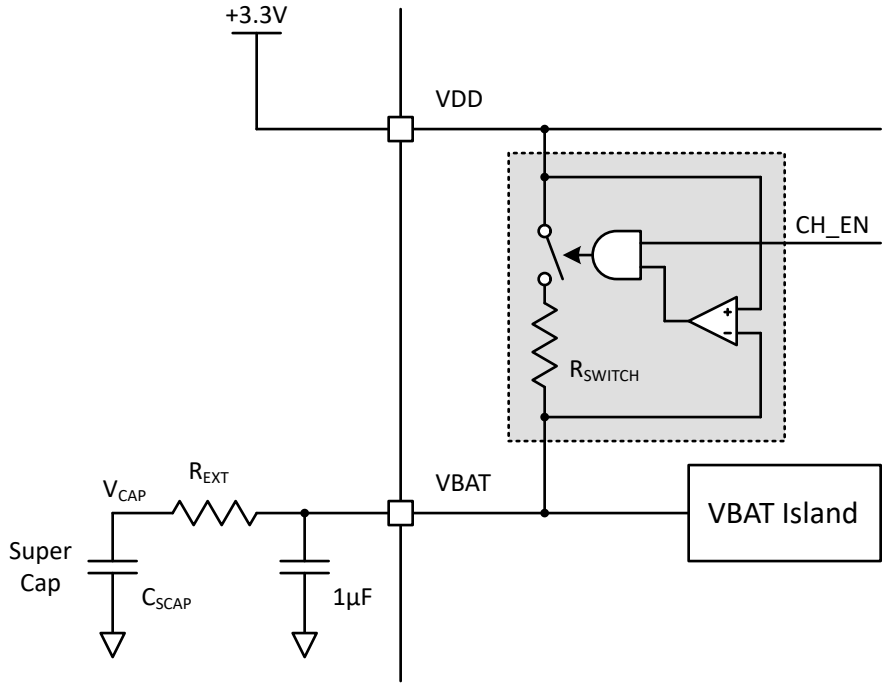


図 29-4. スーパーキャパシタの充電回路

29.5 リアルタイム カウンタ (RTC_x)

低周波数サブシステム (LFSS) には、リアルタイム カウンタ (RTC) が含まれています。

バックアップ バッテリ電源ドメイン (PDB) をサポートするために独立した VBAT 電源ピンから LFSS に給電されるデバイスでは、RTC バリアントの機能が拡張され、RTC_A と呼ばれています。

LFSS にメイン電源ピン VDD から内部的に給電されるデバイスでは、RTC バリアントは RTC_B と呼ばれます

RTC_x インスタンスの設計は、RTC との下位互換性を目的としています。

LFSS リアルタイム カウンタと各種 RTC インスタンスの詳細については、RTC の章を参照してください。

29.6 独立型ウォッチドッグ タイマ (IWDT)

低周波数サブシステム (LFSS) には、独立型ウォッチドッグ タイマ (IWDT) が含まれています。

Copyright © 2026 Texas Instruments Incorporated

- バックアップ バッテリ電源ドメイン (PDB) をサポートするために、独立した VBAT 電源ピンから LFSS に電力が供給されるデバイスの場合、独立した電源と独立型のフェイルセーフ クロック ソースの両方があるという点で、IWDT バリアントは独立しています。
- LFSS にメイン電源ピン VDD から内部的に電力が供給されるデバイスの場合、独立したフェイルセーフ クロック ソースがあるという点で、IWDT バリアントは独立しています。

独立型ウォッチドッグ タイマ (IWDT) は、デバイスに依存しないスーパーバイザであり、コードの実行とデバイスの全体的なハングアップ シナリオを監視します。アプリケーション ソフトウェアがプログラムされた時間内にウォッチ ドッグを正常にリセットしなかった場合、ウォッチ ドッグはデバイスに POR リセットを生成します。

LFSS 独立型ウォッチドッグ タイマの詳細については、IWDT の章を参照してください。

29.7 タンパ入出力

タンパ I/O は、VBAT 電源ドメインから給電される GPIO です。LFSS には、このタイプの最大 16 個の I/O が含まれます。I/O には 2 つの動作モードがあります。

- **IOMUX モード**では、タンパ I/O 入力および出力パスがデバイスの IOMUX モジュールに接続され、I/O は SPI、UART、またはタイマ PWM のようなセカンダリ機能として使用できます。
- **タンパ モード**では、I/O は LFSS によって完全に制御され、メイン電源の喪失時や SHUTDOWN モードでも機能し続けます。

I/O ピン出力ドライバには、VBAT ドメインから低電流 LED を駆動するのに十分な駆動能力があります。

Copyright © 2026 Texas Instruments Incorporated

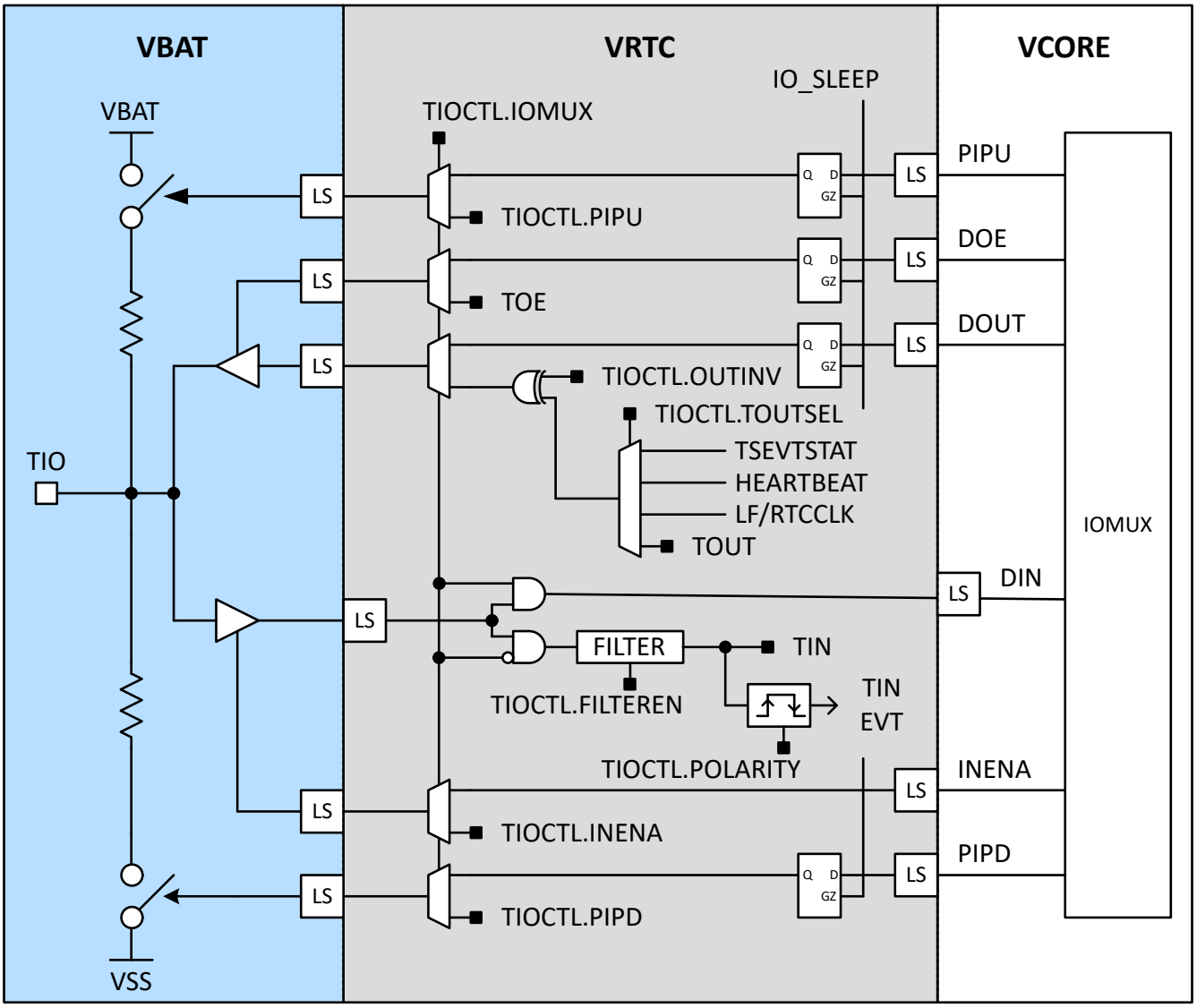


図 29-5. タンパ I/O 回路図

29.7.1 IOMUX モード

IOMUX モードは、LFSS のデフォルトのモードです。IOMUX モードは、VBAT と VDD が短絡しているアプリケーションや、LFSS を 2 次電源として使用して 2 番目の機能をメイン電源と別の電圧レベルで動作させる場合に主に便利です。これは、デバイスが 3V ドメインで動作し、最大限のアナログ性能を得ていて、1.8V で動作しているホスト CPU への SPI 接続が必要になる場合に便利です。LFSS は、SPI I/O 用のデバイス内部レベル シフタ モジュールとして機能します。

一般に、IOMUX モードでは、他のデバイスとのソフトウェア下位互換性が最も高くなります。デフォルトでは、LFSS 制御された I/O の GPIO または 2 番目の機能を利用する既存のソフトウェアはすべて、LFSS のない他のデバイスと同様に動作します。

LFOSC が LFSS またはデバイスのクロックソースとして使用されない場合、LFSS は IOMUX モードでの LFXIN/LFXOUT ピンの使用をサポートします。これは、LFXIN ピンと LFXOUT ピンが VCORE ドメインと選択された 2 番目の機能で IOMUX によって制御されることを意味します。

IOMUX モードの制限は、メイン電源が失われたとき、またはデバイスが SHUTDOWN モードに入ったときに I/O が機能しないことです。どちらの場合も、VCORE は使用できず、タンパ I/O の制御は使用できません。

Copyright © 2026 Texas Instruments Incorporated

SHUTDOWN モードの場合、LFSS は SHUTDOWN モードの通常 I/O と同様に、I/O の最後のステータス (I/O の方向とプルアップ / ダウン構成) をラッチします。標準デバイスの I/O と同様に、LFSS 制御の I/O の制御信号のラッチは、ソフトウェアによって SLEEP_IO が解放されるまでアクティブになります。

このモードでは、デバイスを SHUTDOWN モードからウェークアップできません。タンパ モードを使うと、SHUTDOWN モードからウェークアップできます (セクション 29.7.2 を参照)。

29.7.2 改ざんモード

改ざんモードでは、すべての制御回路および関連回路は内部 VRTC ドメインから給電され、VDD 主電源が喪失した場合や、デバイスがシャットダウン モードの場合でも動作を継続します。

GPIO モジュールと同様に、改ざん I/O は入力または出力モードに構成できます。入力モード動作では、内部プルアップ抵抗またはプルダウン抵抗が I/O パッドに接続されて I/O を構成できます。

改ざんモードでは、LFSS 関連のいくつかの内部二次機能もサポートされています:

- 改ざんイベントの検出
- タイムスタンプ イベント出力
- ハートビート ジェネレータ
- LFCLK 出力

29.7.2.1 タンパ イベント検出

タンパ イベント検出を使用すると、1 つまたは複数のタンパ I/O を構成して、タイムスタンプ イベントをトリガし、CPU への割り込みを生成できます。対応する I/O (タンパ イベント トリガとして機能) は、入力として構成する必要があります。誤トリガを最小限に抑えるため、デジタル フィルタ回路を I/O パスに挿入します。設定されたフィルタ幅より長いパルスのみがタンパ イベントとして登録されます。タンパ イベント トリガ自体は、フィルタされた入力信号の立ち上がりエッジまたは立ち下がりエッジで発行できます。

選択可能な入力フィルタの幅は 65us、100us、155us、250us です。

29.7.2.2 タイムスタンプ イベント出力

タイムスタンプ イベントは、タンパ I/O のエッジ検出、または主電源 (VDD) の電力損失検出によってトリガできます。このイベントは、イベントが最初または最後に発生した時点の RTC 状態をタイムスタンプとしてキャプチャします。TSCTL レジスタは、キャプチャ イベントをトリガするソースと、最初のイベントをキャプチャするのか最後のイベントをキャプチャするのかを制御します。RTC のコンテキストでのタイムスタンプ機能の図を ? に示します。

キャプチャ イベントが発生した場合、このステータスを I/O ピン経由で外部に通知するようにタンパ I/O を設定できます。信号はスティッキーで、最初のタイムスタンプ イベントによってセットされます。これは、タイムスタンプが SW (TSCTL.TSCLR) によってクリアされるまで、アクティブのままになります。

29.7.2.3 ハートビート ジェネレータ

ハートビート ジェネレータにより、LFSS の特定の動作状態を外部へ伝達できます。この信号は、間隔とパルス幅を設定可能な反復パルスです。

たとえば、RTC が動作していることを示すために外部ウォッチドッグ タイマのトリガとして使用できます。または、障害発生時に視覚的なアラーム インジケータとして LED を点滅させるために使用することもできます。目的のアプリケーションに合わせてハートビートをカスタマイズできるように、間隔とパルス幅を選択できます。図 29-6 に、ハートビート ジェネレータの回路図を示します。

選択可能なインターバル時間:125ms、250ms、500ms、1s、2s、4s、8s、16s

選択可能なパルス幅:1ms ～ 128ms (バイナリ ステップ)

選択可能なハートビート モード:オフ、常時オン、タイムスタンプ イベントでオン、メイン電源障害時にオン

Copyright © 2026 Texas Instruments Incorporated

選択可能な間隔およびパルス幅は、点滅 / フラッシュ モード時の LED が低消費電力動作になるように設計されています。たとえば、1s の周期、1ms のフラッシュ構成の 2mA LED の平均電流負荷は 2µA です。

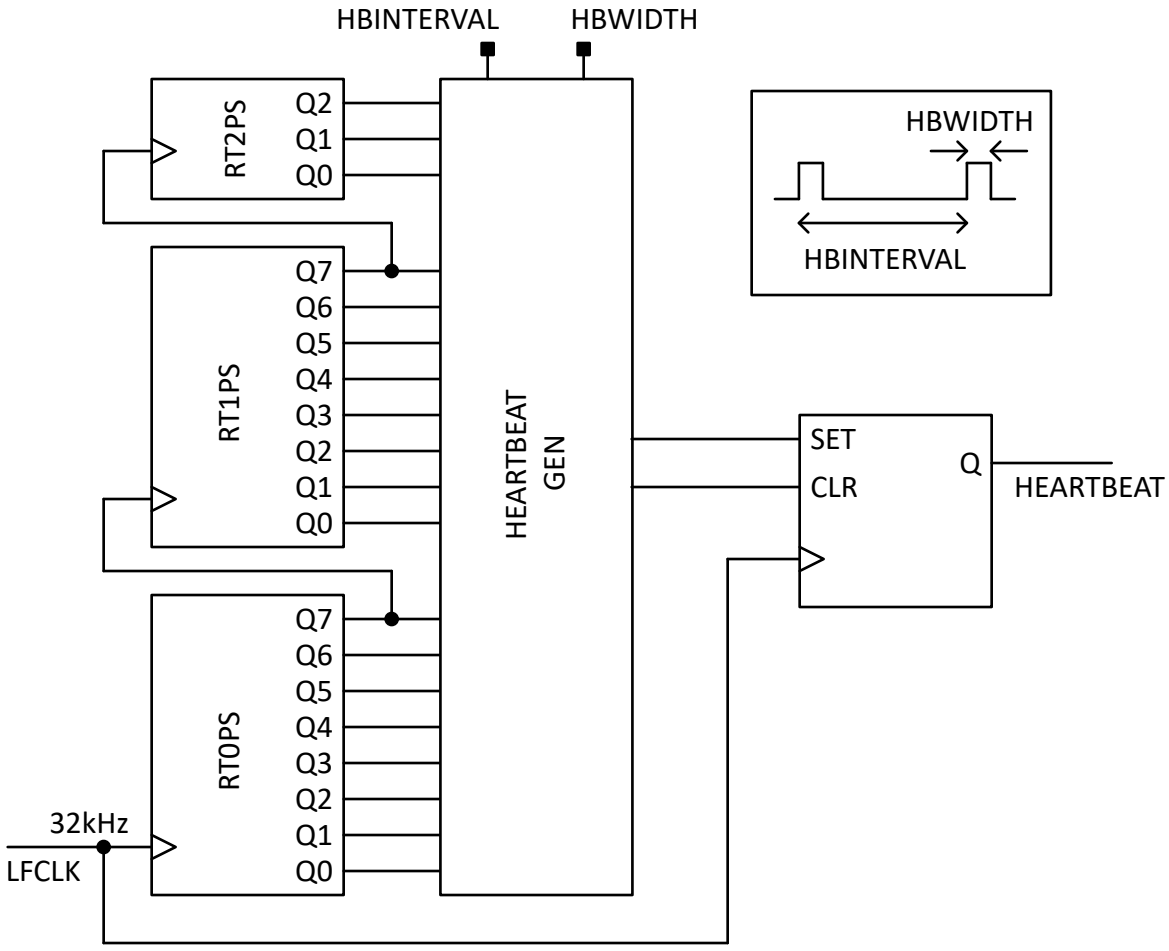


図 29-6. ハートビート ジェネレータの回路図

29.7.2.4 RTC クロック出力

RTC のキャリブレーション、またはシステム内の他のデバイスと 32kHz 信号を共有するために、RTC をタンパ I/O の 1 つにルーティングできます。

選択可能な周波数:32kHz、512Hz、256Hs、1Hz

29.8 スクラッチパッド メモリ

LFSS スクラッチパッド メモリは 16 ～ 256 バイトのレジスタ ベースのメモリで、VBAT が供給されている限り、不揮発性メモリと同様にデータを保持します。これは、メイン VDD 電源が失われた場合や SHUTDOWN モード中に、スクラッチパッド メモリにデータが保持されることを意味します。ただし、VBAT ドメインが失われると、メモリの内容は保持されません。メモリは 4 ～ 64 ワード、32 ビット サイズで構成されています。各バイトは、読み取りと書き込みに対して個別にアドレス指定が可能です。

不要な (ソフトウェアによる偶発的な) 書き込みからメモリを保護するため、LFSS メモリ書き込み有効化レジスタが実装されています。書き込み有効化レジスタの各ビットは、スクラッチパッド メモリのバイト位置に対応します。

タンパ検出 (タイムスタンプ イベント) が発生すると、スクラッチパッド メモリは、消去が有効化されているメモリ位置を消去します。この位置指定は、LFSS メモリ タンパ消去有効化レジスタによって行われます。レジスタの各ビットは、スクラッチパッド メモリの 1 バイトの位置に対応します。

Copyright © 2026 Texas Instruments Incorporated

図 29-7 にメモリを示します。

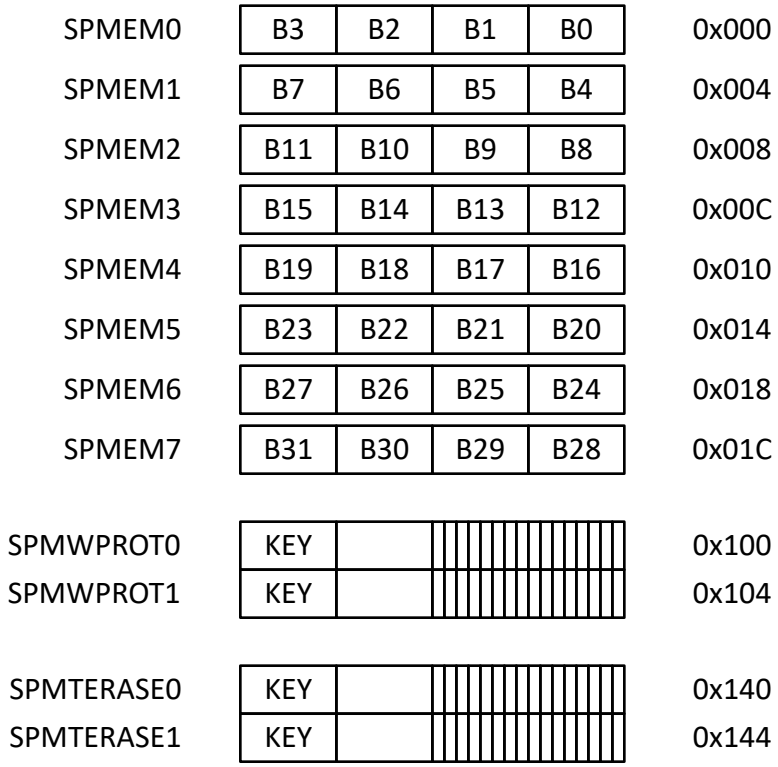


図 29-7. スクラッチパッド メモリ

29.9 RTC、TIO、IWDT のロック機能

安全性が求められるセキュアなアプリケーションでは、初期設定後のソフトウェア エラーや意図的な書き込みアクセス中のアドレス過渡エラー時に RTC 値、IWDT、TIO 構成が変更されないようにする必要があります。このため、RTC カウンタ、LFXT クロック構成、IWDT 構成、TIO 構成レジスタはロック ビットによって保護されています。

ロック ビットがセットされている場合、正しいキーを使用しても、保護されたレジスタは変更できません。ロック ビットは書き込み可能で、RTC の時刻の更新が必要な場合や、他の構成を変更する必要がある場合は設定を解除できます。RTC アラーム、RTC タイムスタンプ、IWDT 再起動機能、TIO 出力レジスタはロック ビットの影響を受けません。

Copyright © 2026 Texas Instruments Incorporated

29.10 LFSS レジスタ

表 29-1 に、LFSS レジスタのメモリマップト レジスタを示します。表 29-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 29-1. LFSS レジスタ

オフセット	略称	レジスタ名	グループ	セクション
400h	FSUB_0	サブスクライバ ポート 0		表示
444h	FPUB_0	パブリッシャ ポート 0		表示
1004h	CLKSEL	超低消費電力ペリフェラルのクロックの選択		表示
1020h	IIDX	割り込みインデックス レジスタ		表示
1028h	IMASK	割り込みマスク		表示
1030h	RIS	未加工の割り込みステータス		表示
1038h	MIS	マスクされた割り込みステータス		表示
1040h	ISET	割り込みをセット		表示
1048h	ICLR	割り込みクリア		表示
1050h	IIDX	割り込みインデックス レジスタ		表示
1058h	IMASK	割り込みマスク		表示
1060h	RIS	未加工の割り込みステータス		表示
1068h	MIS	マスクされた割り込みステータス		表示
1070h	ISET	割り込みをセット		表示
1078h	ICLR	割り込みクリア		表示
10E0h	EVT_MODE	イベント モード		表示
10FCh	説明	LFSS ディスクリプタ レジスタ		表示
1100h	CLKCTL	RTC クロック制御レジスタ		表示
1104h	DBGCTL	RTC モジュール デバッグ制御レジスタ		表示
1108h	CTL	RTC 制御レジスタ		表示
110Ch	STA	RTC ステータス レジスタ		表示
1110h	CAL	RTC クロック オフセット較正レジスタ		表示
1114h	TCMP	RTC 温度補償レジスタ		表示
1118h	SEC	RTC 秒レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
111Ch	最小値	RTC 分レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1120h	HOUR	RTC 時間レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1124h	日	RTC 曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1128h	MON	RTC 月レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
112Ch	YEAR	RTC 年レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1130h	A1MIN	RTC 分アラーム レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1134h	A1HOUR	RTC 時間アラーム - バイナリ / BCD 形式のカレンダー モード		表示
1138h	A1DAY	RTC アラーム曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダー モード		表示

Copyright © 2026 Texas Instruments Incorporated

表 29-1. LFSS レジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
113Ch	A2MIN	RTC 分アラーム レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1140h	A2HOUR	RTC 時間アラーム - バイナリ / BCD 形式のカレンダー モード		表示
1144h	A2DAY	RTC アラーム曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1148h	PSCTL	RTC プリスケール タイマ 0/1 制御レジスタ		表示
114Ch	EXTPSCTL	RTC プリスケール タイマ 2 制御レジスタ		表示
1150h	TSSEC	タイム スタンプ秒レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1154h	TSMIN	タイム スタンプ分レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1158h	TSHOUR	タイム スタンプ時間レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
115Ch	TSDAY	タイム スタンプ曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1160h	TSMON	タイム スタンプ月レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1164h	TSYEAR	タイム スタンプ年レジスタ - バイナリ / BCD 形式のカレンダー モード		表示
1168h	TSSTAT	タイム スタンプ ステータス レジスタ		表示
116Ch	TSCTL	タイム スタンプ制御レジスタ		表示
1170h	TSCLR	タイム スタンプ クリア レジスタ		表示
11F0h	LFSSRST	低周波サブシステム リセット要求		表示
11FCh	RTCLOCK	リアルタイム クロック ロック レジスタ		表示
1200h + 式	TIOCTL[y]	タンパ I/O 制御レジスタ		表示
1280h	TOUT3_0	タンパ出力 3 ～ 0		表示
1284h	TOUT7_4	タンパ出力 7 ～ 4		表示
1288h	TOUT11_8	タンパ出力 11 ～ 8		表示
128Ch	TOUT15_12	タンパ出力 15 ～ 12		表示
1290h	TOE3_0	タンパ出力有効 3 ～ 0		表示
1294h	TOE7_4	タンパ出力有効 7 ～ 4		表示
1298h	TOE11_8	タンパ出力有効 7 ～ 4		表示
129Ch	TOE15_12	タンパ出力有効 7 ～ 4		表示
12A0h	TIN3_0	タンパ入力レジスタ		表示
12A4h	TIN7_4	タンパ入力レジスタ		表示
12A8h	TIN11_8	タンパ入力レジスタ		表示
12ACh	TIN15_12	タンパ入力レジスタ		表示
12C0h	HEARTBEAT	ハートビート レジスタ		表示
12FCh	TIOLOCK	タンパ I/O ロック レジスタ		表示
1300h	WDTEN	ウォッチドッグ タイマ有効レジスタ		表示
1304h	WDTDBGCTL	ウォッチドッグ タイマ デバッグ制御レジスタ		表示
1308h	WDTCTL	ウォッチドッグ タイマ制御レジスタ		表示
130Ch	WDTCNTRST	ウォッチドッグ タイマ カウンタ リセット レジスタ		表示

Copyright © 2026 Texas Instruments Incorporated

表 29-1. LFSS レジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
1310h	WDTSTAT	ウォッチドッグ タイマ ステータス レジスタ		表示
13FCh	WDTLOCK	ウォッチドッグ タイマ ロック レジスタ		表示
1400h + 式	SPMEM[y]	スクラッチ パッド メモリ データ レジスタ		表示
1500h	SPMWPROT0	スクラッチ パッド メモリ書き込み保護レジスタ 0		表示
1504h	SPMWPROT1	スクラッチ パッド メモリ書き込み保護レジスタ 1		表示
1508h	SPMWPROT2	スクラッチ パッド メモリ書き込み保護レジスタ 2		表示
150Ch	SPMWPROT3	スクラッチ パッド メモリ書き込み保護レジスタ 3		表示
1510h	SPMWPROT4	スクラッチ パッド メモリ書き込み保護レジスタ 4		表示
1514h	SPMWPROT5	スクラッチ パッド メモリ書き込み保護レジスタ 5		表示
1518h	SPMWPROT6	スクラッチ パッド メモリ書き込み保護レジスタ 6		表示
151Ch	SPMWPROT7	スクラッチ パッド メモリ書き込み保護レジスタ 7		表示
1540h	SPMTERASE0	スクラッチ パッド メモリ タンパ消去レジスタ 0		表示
1544h	SPMTERASE1	スクラッチ パッド メモリ タンパ消去レジスタ 1		表示
1548h	SPMTERASE2	スクラッチ パッド メモリ タンパ消去レジスタ 2		表示
154Ch	SPMTERASE3	スクラッチ パッド メモリ タンパ消去レジスタ 3		表示
1550h	SPMTERASE4	スクラッチ パッド メモリ タンパ消去レジスタ 4		表示
1554h	SPMTERASE5	スクラッチ パッド メモリ タンパ消去レジスタ 5		表示
1558h	SPMTERASE6	スクラッチ パッド メモリ タンパ消去レジスタ 6		表示
155Ch	SPMTERASE7	スクラッチ パッド メモリ タンパ消去レジスタ 7		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 29-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 29-2. LFSS のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
Rmodify	R modify	読み出し
書き込みタイプ		
W	W	書き込み

Copyright © 2026 Texas Instruments Incorporated

表 29-2. LFSS のアクセス タイプ コード (続き)

アクセス タイプ	コード	説明
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値
レジスタ アレイ変数		
i、j、k、l、m、n		これらの変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタが反復レジスタ グループの一部であるレジスタ アレイの値を示します。レジスタ グループは階層構造を形成し、アレイは式で表されます。
y		この変数がレジスタ名、オフセット、またはアドレスで使用されている場合、レジスタ アレイの値を示します。

Copyright © 2026 Texas Instruments Incorporated

29.10.1 FSUB_0 (オフセット = 400h) [リセット = 00000000h]

図 29-8 に、FSUB_0 を示し、表 29-3 に、その説明を示します。

概略表に戻ります。

サブスクライバ ポート

図 29-8. FSUB_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R-0h												R/W-0h			

表 29-3. FSUB_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1-15 = channelID = CHANID に接続。 0h = 値 0 は、イベントが接続されていないことを示します。 Fh = 実際に許容される最大値は 15 未満になる場合があります。ご使用のデバイスのデータシートを参照してください。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

29.10.2 FPUB_0 (オフセット = 444h) [リセット = 00000000h]

図 29-9 に、FPUB_0 を示し、表 29-4 に、その説明を示します。

概略表に戻ります。

パブリッシャ ポート

図 29-9. FPUB_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R-0h												R/W-0h			

表 29-4. FPUB_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1-15 = channelID = CHANID に接続。 0h = 値 0 は、イベントが接続されていないことを示します。 Fh = 実際に許容される最大値は 15 未満になる場合があります。ご使用のデバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

29.10.3 CLKSEL (オフセット = 1004h) [リセット = 00000000h]

図 29-10 に、CLKSEL を示し、表 29-5 に、その説明を示します。

概略表に戻ります。

ULP ペリフェラル用クロック ソースの選択

図 29-10. CLKSEL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						LFCLK_SEL	予約済み
R-0h						R-0h	R-0h

表 29-5. CLKSEL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	LFCLK_SEL	R	0h	有効になっている場合は、クロック ソースとして LFCLK を選択 0h = LFCLK 無効 1h = LFCLK 有効
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

29.10.4 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 29-11 に、IIDX を示し、表 29-6 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 29-11. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 29-6. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックスのステータス 00h = 保留中の割り込みなし 01h = RTC 準備完了 02h = RTC 時間イベント 03h = RTC アラーム 1 04h = RTC アラーム 2 05h = RTC プリスケール タイマ 0 06h = RTC プリスケール タイマ 1 07h = RTC プリスケール タイマ 2 08h = タイム スタンプ イベント 09h = タンパ I/O 0 イベント 0Ah = タンパ I/O 1 イベント 0Bh = タンパ I/O 2 イベント 0Ch = タンパ I/O 3 イベント 0Dh = タンパ I/O 4 イベント 0Eh = タンパ I/O 5 イベント 0Fh = タンパ I/O 6 イベント 10h = タンパ I/O 7 イベント 11h = タンパ I/O 8 イベント 12h = タンパ I/O 9 イベント 13h = タンパ I/O 10 イベント 14h = タンパ I/O 11 イベント 15h = タンパ I/O 12 イベント 16h = タンパ I/O 13 イベント 17h = タンパ I/O 14 イベント 18h = タンパ I/O 15 イベント

Copyright © 2026 Texas Instruments Incorporated

29.10.5 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 29-12 に、IMASK を示し、表 29-7 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 29-12. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 29-7. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R/W	0h	タンパ I/O 15 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
22	TIO14	R/W	0h	タンパ I/O 14 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
21	TIO13	R/W	0h	タンパ I/O 13 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
20	TIO12	R/W	0h	タンパ I/O 12 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
19	TIO11	R/W	0h	タンパ I/O 11 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
18	TIO10	R/W	0h	タンパ I/O 10 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
17	TIO9	R/W	0h	タンパ I/O 9 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
16	TIO8	R/W	0h	タンパ I/O 8 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
15	TIO7	R/W	0h	タンパ I/O 7 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

表 29-7. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	R/W	0h	タンパ I/O 6 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
13	TIO5	R/W	0h	タンパ I/O 5 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
12	TIO4	R/W	0h	タンパ I/O 4 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
11	TIO3	R/W	0h	タンパ I/O 3 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
10	TIO2	R/W	0h	タンパ I/O 2 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
9	TIO1	R/W	0h	タンパ I/O 1 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
8	TIO0	R/W	0h	タンパ I/O 0 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
7	TSEVT	R/W	0h	タイム スタンプ イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
6	RT2PS	R/W	0h	RTC プリスケール タイマ 2 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
5	RT1PS	R/W	0h	RTC プリスケール タイマ 1 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
4	RT0PS	R/W	0h	RTC プリスケール タイマ 0 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
3	RTCA2	R/W	0h	RTC アラーム 2 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	RTCA1	R/W	0h	RTC アラーム 1 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	RTCTEV	R/W	0h	RTC タイム イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	RTCRDY	R/W	0h	RTC 準備完了 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

29.10.6 RIS (オフセット = 1030h) [リセット = 00000000h]

図 29-13 に、RIS を示し、表 29-8 に、その説明を示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 29-13. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 29-8. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R	0h	タンパ I/O 15 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
22	TIO14	R	0h	タンパ I/O 14 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
21	TIO13	R	0h	タンパ I/O 13 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
20	TIO12	R	0h	タンパ I/O 12 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
19	TIO11	R	0h	タンパ I/O 11 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
18	TIO10	R	0h	タンパ I/O 10 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
17	TIO9	R	0h	タンパ I/O 9 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
16	TIO8	R	0h	タンパ I/O 8 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

表 29-8. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	TIO7	R	0h	タンパ I/O 7 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
14	TIO6	R	0h	タンパ I/O 6 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
13	TIO5	R	0h	タンパ I/O 5 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
12	TIO4	R	0h	タンパ I/O 4 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
11	TIO3	R	0h	タンパ I/O 3 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
10	TIO2	R	0h	タンパ I/O 2 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
9	TIO1	R	0h	タンパ I/O 1 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
8	TIO0	R	0h	タンパ I/O 0 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
7	TSEVT	R	0h	タイム スタンプ イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
6	RT2PS	R	0h	RTC プリスケール タイマ 2 0h = 割り込みは発生していない 1h = 割り込みが発生
5	RT1PS	R	0h	RTC プリスケール タイマ 1 0h = 割り込みは発生していない 1h = 割り込みが発生
4	RT0PS	R	0h	RTC プリスケール タイマ 0 0h = 割り込みは発生していない 1h = 割り込みが発生
3	RTCA2	R	0h	RTC アラーム 2 0h = 割り込みは発生していない 1h = 割り込みが発生
2	RTCA1	R	0h	RTC アラーム 1 0h = 割り込みは発生していない 1h = 割り込みが発生
1	RTCTEV	R	0h	RTC 時間イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
0	RTCRDY	R	0h	RTC 準備完了 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

29.10.7 MIS (オフセット = 1038h) [リセット = 00000000h]

図 29-14 に、MIS を示し、表 29-9 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 29-14. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 29-9. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R	0h	タンパ I/O 15 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
22	TIO14	R	0h	タンパ I/O 14 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
21	TIO13	R	0h	タンパ I/O 13 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
20	TIO12	R	0h	タンパ I/O 12 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
19	TIO11	R	0h	タンパ I/O 11 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
18	TIO10	R	0h	タンパ I/O 10 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
17	TIO9	R	0h	タンパ I/O 9 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
16	TIO8	R	0h	タンパ I/O 8 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
15	TIO7	R	0h	タンパ I/O 7 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

表 29-9. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	R	0h	タンパ I/O 6 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
13	TIO5	R	0h	タンパ I/O 5 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
12	TIO4	R	0h	タンパ I/O 4 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
11	TIO3	R	0h	タンパ I/O 3 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
10	TIO2	R	0h	タンパ I/O 2 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
9	TIO1	R	0h	タンパ I/O 1 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
8	TIO0	R	0h	タンパ I/O 0 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
7	TSEVT	R	0h	タイム スタンプ イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
6	RT2PS	R	0h	RTC プリスケール タイマ 2 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
5	RT1PS	R	0h	RTC プリスケール タイマ 1 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
4	RT0PS	R	0h	RTC プリスケール タイマ 0 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
3	RTCA2	R	0h	RTC アラーム 2 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
2	RTCA1	R	0h	RTC アラーム 1 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
1	RTCTEV	R	0h	RTC 時間イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
0	RTCRDY	R	0h	RTC 準備完了 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

29.10.8 ISET (オフセット = 1040h) [リセット = 00000000h]

図 29-15 に、ISET を示し、表 29-10 に、その説明を示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 29-15. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 29-10. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	W	0h	タンパ I/O 15 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
22	TIO14	W	0h	タンパ I/O 14 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
21	TIO13	W	0h	タンパ I/O 13 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
20	TIO12	W	0h	タンパ I/O 12 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
19	TIO11	W	0h	タンパ I/O 11 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
18	TIO10	W	0h	タンパ I/O 10 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
17	TIO9	W	0h	タンパ I/O 9 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
16	TIO8	W	0h	タンパ I/O 8 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット

Copyright © 2026 Texas Instruments Incorporated

表 29-10. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	TIO7	W	0h	タンパ I/O 7 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
14	TIO6	W	0h	タンパ I/O 6 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
13	TIO5	W	0h	タンパ I/O 5 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
12	TIO4	W	0h	タンパ I/O 4 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
11	TIO3	W	0h	タンパ I/O 3 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
10	TIO2	W	0h	タンパ I/O 2 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
9	TIO1	W	0h	タンパ I/O 1 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
8	TIO0	W	0h	タンパ I/O 0 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
7	TSEVT	W	0h	タイム スタンプ イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
6	RT2PS	W	0h	RTC プリスケール タイマ 2 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
5	RT1PS	W	0h	RTC プリスケール タイマ 1 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
4	RT0PS	W	0h	RTC プリスケール タイマ 0 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
3	RTCA2	W	0h	RTC アラーム 2 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
2	RTCA1	W	0h	RTC アラーム 1 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
1	RTCTEV	W	0h	RTC 時間イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
0	RTCRDY	W	0h	RTC 準備完了 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット

Copyright © 2026 Texas Instruments Incorporated

29.10.9 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 29-16 に、ICLR を示し、表 29-11 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 29-16. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 29-11. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	W	0h	タンパ I/O 15 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
22	TIO14	W	0h	タンパ I/O 14 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
21	TIO13	W	0h	タンパ I/O 13 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
20	TIO12	W	0h	タンパ I/O 12 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
19	TIO11	W	0h	タンパ I/O 11 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
18	TIO10	W	0h	タンパ I/O 10 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
17	TIO9	W	0h	タンパ I/O 9 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
16	TIO8	W	0h	タンパ I/O 8 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
15	TIO7	W	0h	タンパ I/O 7 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

表 29-11. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	W	0h	タンパ I/O 6 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
13	TIO5	W	0h	タンパ I/O 5 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
12	TIO4	W	0h	タンパ I/O 4 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
11	TIO3	W	0h	タンパ I/O 3 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
10	TIO2	W	0h	タンパ I/O 2 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
9	TIO1	W	0h	タンパ I/O 1 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
8	TIO0	W	0h	タンパ I/O 0 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
7	TSEVT	W	0h	タイム スタンプ イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
6	RT2PS	W	0h	RTC プリスケール タイマ 2 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
5	RT1PS	W	0h	RTC プリスケール タイマ 1 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
4	RT0PS	W	0h	RTC プリスケール タイマ 0 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
3	RTCA2	W	0h	RTC アラーム 2 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
2	RTCA1	W	0h	RTC アラーム 1 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
1	RTCTEV	W	0h	RTC 時間イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
0	RTCRDY	W	0h	RTC 準備完了 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

29.10.10 IIDX (オフセット = 1050h) [リセット = 00000000h]

図 29-17 に、IIDX を示し、表 29-12 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 29-17. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 29-12. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックスのステータス 00h = 保留中の割り込みなし 01h = RTC 準備完了 02h = RTC 時間イベント 03h = RTC アラーム 1 04h = RTC アラーム 2 05h = RTC プリスケール タイマ 0 06h = RTC プリスケール タイマ 1 07h = RTC プリスケール タイマ 2 08h = タイム スタンプ イベント 09h = タンパ I/O 0 イベント 0Ah = タンパ I/O 1 イベント 0Bh = タンパ I/O 2 イベント 0Ch = タンパ I/O 3 イベント 0Dh = タンパ I/O 4 イベント 0Eh = タンパ I/O 5 イベント 0Fh = タンパ I/O 6 イベント 10h = タンパ I/O 7 イベント 11h = タンパ I/O 8 イベント 12h = タンパ I/O 9 イベント 13h = タンパ I/O 10 イベント 14h = タンパ I/O 11 イベント 15h = タンパ I/O 12 イベント 16h = タンパ I/O 13 イベント 17h = タンパ I/O 14 イベント 18h = タンパ I/O 15 イベント

Copyright © 2026 Texas Instruments Incorporated

29.10.11 IMASK (オフセット = 1058h) [リセット = 00000000h]

図 29-18 に、IMASK を示し、表 29-13 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットがセットされている場合、対応する割り込みはマスクされません。割り込みのマスキングを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 29-18. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 29-13. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R/W	0h	タンパ I/O 15 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
22	TIO14	R/W	0h	タンパ I/O 14 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
21	TIO13	R/W	0h	タンパ I/O 13 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
20	TIO12	R/W	0h	タンパ I/O 12 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
19	TIO11	R/W	0h	タンパ I/O 11 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
18	TIO10	R/W	0h	タンパ I/O 10 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
17	TIO9	R/W	0h	タンパ I/O 9 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
16	TIO8	R/W	0h	タンパ I/O 8 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
15	TIO7	R/W	0h	タンパ I/O 7 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

表 29-13. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	R/W	0h	タンパ I/O 6 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
13	TIO5	R/W	0h	タンパ I/O 5 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
12	TIO4	R/W	0h	タンパ I/O 4 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
11	TIO3	R/W	0h	タンパ I/O 3 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
10	TIO2	R/W	0h	タンパ I/O 2 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
9	TIO1	R/W	0h	タンパ I/O 1 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
8	TIO0	R/W	0h	タンパ I/O 0 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
7	TSEVT	R/W	0h	タイム スタンプ イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
6	RT2PS	R/W	0h	RTC プリスケール タイマ 2 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
5	RT1PS	R/W	0h	RTC プリスケール タイマ 1 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
4	RT0PS	R/W	0h	RTC プリスケール タイマ 0 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
3	RTCA2	R/W	0h	RTC アラーム 2 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
2	RTCA1	R/W	0h	RTC アラーム 1 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
1	RTCTEV	R/W	0h	RTC タイム イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット
0	RTCRDY	R/W	0h	RTC 準備完了 0h = 割り込みマスクをクリア 1h = 割り込みマスクをセット

Copyright © 2026 Texas Instruments Incorporated

29.10.12 RIS (オフセット = 1060h) [リセット = 00000000h]

図 29-19 に、RIS を示し、表 29-14 に、その説明を示します。

概略表に戻ります。

未加工の割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 29-19. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 29-14. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R	0h	タンパ I/O 15 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
22	TIO14	R	0h	タンパ I/O 14 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
21	TIO13	R	0h	タンパ I/O 13 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
20	TIO12	R	0h	タンパ I/O 12 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
19	TIO11	R	0h	タンパ I/O 11 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
18	TIO10	R	0h	タンパ I/O 10 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
17	TIO9	R	0h	タンパ I/O 9 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
16	TIO8	R	0h	タンパ I/O 8 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

表 29-14. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	TIO7	R	0h	タンパ I/O 7 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
14	TIO6	R	0h	タンパ I/O 6 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
13	TIO5	R	0h	タンパ I/O 5 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
12	TIO4	R	0h	タンパ I/O 4 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
11	TIO3	R	0h	タンパ I/O 3 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
10	TIO2	R	0h	タンパ I/O 2 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
9	TIO1	R	0h	タンパ I/O 1 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
8	TIO0	R	0h	タンパ I/O 0 イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
7	TSEVT	R	0h	タイム スタンプ イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
6	RT2PS	R	0h	RTC プリスケール タイマ 2 0h = 割り込みは発生していない 1h = 割り込みが発生
5	RT1PS	R	0h	RTC プリスケール タイマ 1 0h = 割り込みは発生していない 1h = 割り込みが発生
4	RT0PS	R	0h	RTC プリスケール タイマ 0 0h = 割り込みは発生していない 1h = 割り込みが発生
3	RTCA2	R	0h	RTC アラーム 2 0h = 割り込みは発生していない 1h = 割り込みが発生
2	RTCA1	R	0h	RTC アラーム 1 0h = 割り込みは発生していない 1h = 割り込みが発生
1	RTCTEV	R	0h	RTC 時間イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
0	RTCRDY	R	0h	RTC 準備完了 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

29.10.13 MIS (オフセット = 1068h) [リセット = 00000000h]

図 29-20 に、MIS を示し、表 29-15 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 29-20. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 29-15. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R	0h	タンパ I/O 15 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
22	TIO14	R	0h	タンパ I/O 14 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
21	TIO13	R	0h	タンパ I/O 13 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
20	TIO12	R	0h	タンパ I/O 12 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
19	TIO11	R	0h	タンパ I/O 11 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
18	TIO10	R	0h	タンパ I/O 10 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
17	TIO9	R	0h	タンパ I/O 9 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
16	TIO8	R	0h	タンパ I/O 8 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
15	TIO7	R	0h	タンパ I/O 7 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

表 29-15. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	R	0h	タンパ I/O 6 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
13	TIO5	R	0h	タンパ I/O 5 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
12	TIO4	R	0h	タンパ I/O 4 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
11	TIO3	R	0h	タンパ I/O 3 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
10	TIO2	R	0h	タンパ I/O 2 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
9	TIO1	R	0h	タンパ I/O 1 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
8	TIO0	R	0h	タンパ I/O 0 イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
7	TSEVT	R	0h	タイム スタンプ イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
6	RT2PS	R	0h	RTC プリスケール タイマ 2 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
5	RT1PS	R	0h	RTC プリスケール タイマ 1 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
4	RT0PS	R	0h	RTC プリスケール タイマ 0 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
3	RTCA2	R	0h	RTC アラーム 2 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
2	RTCA1	R	0h	RTC アラーム 1 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
1	RTCTEV	R	0h	RTC 時間イベント 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生
0	RTCRDY	R	0h	RTC 準備完了 0h = 割り込みは発生していないか、マスクされている 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

29.10.14 ISET (オフセット = 1070h) [リセット = 00000000h]

図 29-21 に、ISET を示し、表 29-16 に、その説明を示します。

概略表に戻ります。

割り込みをセットします。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 29-21. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 29-16. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	W	0h	タンパ I/O 15 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
22	TIO14	W	0h	タンパ I/O 14 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
21	TIO13	W	0h	タンパ I/O 13 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
20	TIO12	W	0h	タンパ I/O 12 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
19	TIO11	W	0h	タンパ I/O 11 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
18	TIO10	W	0h	タンパ I/O 10 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
17	TIO9	W	0h	タンパ I/O 9 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
16	TIO8	W	0h	タンパ I/O 8 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット

Copyright © 2026 Texas Instruments Incorporated

表 29-16. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	TIO7	W	0h	タンパ I/O 7 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
14	TIO6	W	0h	タンパ I/O 6 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
13	TIO5	W	0h	タンパ I/O 5 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
12	TIO4	W	0h	タンパ I/O 4 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
11	TIO3	W	0h	タンパ I/O 3 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
10	TIO2	W	0h	タンパ I/O 2 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
9	TIO1	W	0h	タンパ I/O 1 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
8	TIO0	W	0h	タンパ I/O 0 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
7	TSEVT	W	0h	タイム スタンプ イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
6	RT2PS	W	0h	RTC プリスケール タイマ 2 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
5	RT1PS	W	0h	RTC プリスケール タイマ 1 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
4	RT0PS	W	0h	RTC プリスケール タイマ 0 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
3	RTCA2	W	0h	RTC アラーム 2 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
2	RTCA1	W	0h	RTC アラーム 1 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
1	RTCTEV	W	0h	RTC 時間イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット
0	RTCRDY	W	0h	RTC 準備完了 0h = 0 を書き込んでも何もしない 1h = 割り込みをセット

Copyright © 2026 Texas Instruments Incorporated

29.10.15 ICLR (オフセット = 1078h) [リセット = 00000000h]

図 29-22 に、ICLR を示し、表 29-17 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 29-22. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 29-17. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	W	0h	タンパ I/O 15 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
22	TIO14	W	0h	タンパ I/O 14 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
21	TIO13	W	0h	タンパ I/O 13 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
20	TIO12	W	0h	タンパ I/O 12 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
19	TIO11	W	0h	タンパ I/O 11 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
18	TIO10	W	0h	タンパ I/O 10 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
17	TIO9	W	0h	タンパ I/O 9 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
16	TIO8	W	0h	タンパ I/O 8 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
15	TIO7	W	0h	タンパ I/O 7 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

表 29-17. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	W	0h	タンパ I/O 6 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
13	TIO5	W	0h	タンパ I/O 5 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
12	TIO4	W	0h	タンパ I/O 4 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
11	TIO3	W	0h	タンパ I/O 3 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
10	TIO2	W	0h	タンパ I/O 2 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
9	TIO1	W	0h	タンパ I/O 1 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
8	TIO0	W	0h	タンパ I/O 0 イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
7	TSEVT	W	0h	タイム スタンプ イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
6	RT2PS	W	0h	RTC プリスケール タイマ 2 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
5	RT1PS	W	0h	RTC プリスケール タイマ 1 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
4	RT0PS	W	0h	RTC プリスケール タイマ 0 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
3	RTCA2	W	0h	RTC アラーム 2 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
2	RTCA1	W	0h	RTC アラーム 1 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
1	RTCTEV	W	0h	RTC 時間イベント 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア
0	RTCRDY	W	0h	RTC 準備完了 0h = 0 を書き込んでも何もしない 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

29.10.16 EVT_MODE (オフセット = 10E0h) [リセット = 00000000h]

図 29-23 に、EVT_MODE を示し、表 29-18 に、その説明を示します。

概略表に戻ります。

イベント モード レジスタ。各ラインを無効にするか、ソフトウェア モードにするか (ソフトウェアが RIS をクリア)、またはハードウェア モードにするか (ハードウェアが RIS をクリア) を選択するために使用されます。

図 29-23. EVT_MODE

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				EVT1_CFG		EVT0_CFG	
R-0h				R-0h		R-0h	

表 29-18. EVT_MODE のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-2	EVT1_CFG	R	0h	イベント ライン モード 1 を選択 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別モジュール) が、関連する RIS フラグを自動的にクリアします。
1-0	EVT0_CFG	R	0h	イベント ライン モード 0 を選択 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェア ISR は、関連する RIS フラグをクリアします。

Copyright © 2026 Texas Instruments Incorporated

29.10.17 DESC (オフセット = 10FCh) [リセット = 00000000h]

図 29-24 に、DESC を示し、表 29-19 に、その説明を示します。

概略表に戻ります。

RTC ディスクリプタ レジスタ

図 29-24. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				INSTNUM				MAJREV				MINREV			
R-0h				R-0h				R-0h				R-0h			

表 29-19. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	0h	モジュール ID。この ID はモジュールごとに一意です。0x2911 = LFSS モジュールのモジュール ID 0h = 最小値 FFFFh = 可能な最大値
15-12	FEATUREVER	R	0h	このモジュールの機能セット。違いがある場合は、実際にインスタンス化されたモジュールの複雑さを示します。 0h = 最小値 Fh= 可能な最大値
11-8	INSTNUM	R	0h	インスタンス化されたバージョン。アクセスされたモジュールのインスタンスを示します。 0h= SSIM のようにインスタンスが 1 つしかない場合、これがデフォルトになります
7-4	MAJREV	R	0h	メジャー リビジョン。この番号は、モジュールのリビジョンを示し、モジュール開発者によって更新されます。n = メジャー バージョン (該当するデバイスのデータシートを参照) 0h = 最小値 Fh = 可能な最大値
3-0	MINREV	R	0h	マイナー リビジョン。この番号は、モジュールのリビジョンを示し、モジュール開発者によって更新されます。n = モジュールのマイナー バージョン (該当するデバイスのデータシートを参照) 0h = 最小値 Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.18 CLKCTL (オフセット = 1100h) [リセット = 00000000h]

図 29-25 に、CLKCTL を示し、表 29-20 に、その説明を示します。

概略表に戻ります。

RTC クロック制御レジスタ。
このレジスタは、RTCLOCK レジスタによって読み取り専用アクセスに設定できます。

図 29-25. CLKCTL

31	30	29	28	27	26	25	24
MODCLKEN	予約済み						
R/W-0h	R-0h						
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 29-20. CLKCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	MODCLKEN	R/W	0h	このビットは、RTC への 32kHz クロックの供給を有効にします。32kHz の水晶発振器の起動はしません。起動は、クロック システム モジュールで行う必要があります。 0h = 32kHz クロックを RTC に供給しない。 1h = 32kHz クロックを RTC に供給。
30-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

29.10.19 DBGCTL (オフセット = 1104h) [リセット = 00000000h]

図 29-26 に、DBGCTL を示し、表 29-21 に、その説明を示します。

概略表に戻ります。

RTC モジュール デバッグ制御レジスタ

図 29-26. DBGCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						DBGINT	DBGRUN
R-0h						R/W-0h	R/W-0h

表 29-21. DBGCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	DBGINT	R/W	0h	デバッグ割り込み有効化。 0h = CPU がデバッグ状態の場合、モジュールの割り込みをキャプチャしません。つまり、RTCRIS、RTCMISC、RTCIIDX レジスタは更新されなくなります。 1h = デバッグ モードで割り込みを有効にします。割り込み要求は、割り込みコントローラに通知されます。ソフトウェアでフラグが必要な場合 (ポーリング モード) は、DGBINT ビットを 1 にセットする必要があります。
0	DBGRUN	R/W	0h	デバッグの実行。 0h = CPU がデバッグ状態の場合、カウンタを停止します。 1h = CPU のデバッグ状態に関係なく、通常動作を継続します。

Copyright © 2026 Texas Instruments Incorporated

29.10.20 CTL (オフセット = 1108h) [リセット = 00000000h]

図 29-27 に、CTL を示し、表 29-22 に、その説明を示します。

概略表に戻ります。

RTC 制御レジスタ

図 29-27. CTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RTCBCD	予約済み					RTCTEVTX	
R/W-0h	R-0h					R/W-0h	

表 29-22. CTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	RTCBCD	R/W	0h	リアルタイム クロックの BCD の選択。リアルタイム クロックの BCD カウントを選択します。 0h = 2 進コードを選択 1h = 2 進化 10 進 (BCD) コードを選択
6-2	予約済み	R	0h	
1-0	RTCTEVTX	R/W	0h	リアルタイム クロックの時間イベントの発生頻度。0x0 = 毎分 0x1 = 毎時 0x2 = 毎日深夜 0 時 (00:00) 0x3 = 毎日正午 (12:00) 0h = RTC イベントを毎分生成します。 1h = 1 時間ごとに RTC イベントを生成します。 2h = 毎日深夜 0 時に RTC イベントを生成します。 3h = 毎日正午に RTC イベントを生成します。

Copyright © 2026 Texas Instruments Incorporated

29.10.21 STA (オフセット = 110Ch) [リセット = 00000000h]

図 29-28 に、STA を示し、表 29-23 に、その説明を示します。

概略表に戻ります。

RTC ステータス レジスタ

図 29-28. STA

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RTCTCOK	RTCTCRDY	RTCRDY
R-0h					R-0h	R-0h	R-0h

表 29-23. STA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RTCTCOK	R	0h	リアルタイム クロックの温度補正書き込み成功。これは、RTCTCMP への書き込みが成功したかどうかを示す読み取り専用ビットです。 0h = RTCTCMPx への書き込みは失敗 1h = RTCTCMPx への書き込みが成功
1	RTCTCRDY	R	0h	リアルタイムクロックの温度補償の準備完了。これは、RTCTCMPx に書き込みが可能であることを示す読み取り専用ビットです。RTCTCRDY のリセット時は、RTCTCMPx への書き込みを避ける必要があります。 0h = RTC 温度補償の準備中 1h = RTC 温度補償の準備完了
0	RTCRDY	R	0h	リアルタイム クロックの準備完了。このビットは、リアルタイム クロックの時間値を安全に読み取ることができる状態であることを示します。 0h = RTC 時間値の更新中 1h = RTC 時間値を安全に読み取り可能。

Copyright © 2026 Texas Instruments Incorporated

29.10.22 CAL (オフセット = 1110h) [リセット = 00000000h]

図 29-29 に、CAL を示し、表 29-24 に、その説明を示します。

概略表に戻ります。

RTC クロック オフセット較正レジスタ

図 29-29. CAL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						RTCCALFX	
R-0h						R/W-0h	
15	14	13	12	11	10	9	8
RTCOCALS	予約済み						
R/W-0h	R-0h						
7	6	5	4	3	2	1	0
RTCOCALX							
R/W-0h							

表 29-24. CAL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	
17-16	RTCCALFX	R/W	0h	リアルタイム クロックの補正周波数。測定補正用に RTCCLK ピンに出力される周波数を選択します。対応するポートが、ペリフェラル モジュール機能用に設定されている必要があります。 0h = 32kHz 1h = 512Hz 2h = 256Hz 3h = 1Hz
15	RTCOCALS	R/W	0h	リアルタイム クロック オフセット誤差補正符号。このビットは、オフセット誤差補正符号を設定します。 0h = 下方に補正。周波数を下げて調整します。 1h = 上方に補正。周波数を上げて調整します。
14-8	予約済み	R	0h	
7-0	RTCOCALX	R/W	0h	リアルタイム クロック オフセット誤差補正。各 LSB は、周波数の調整値が約 +1ppm (RTCOCALXS = 1) か、-1ppm (RTCOCALXS = 0) かを示します。最大実効補正値は ±240ppm です。±240ppm より大きい値が書き込まれた場合、この値はハードウェアによって無視されます。 0h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.23 TCMP (オフセット = 1114h) [リセット = 00000000h]

図 29-30 に、TCMP を示し、表 29-25 に、その説明を示します。

概略表に戻ります。

RTC 温度補償レジスタ

図 29-30. TCMP

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
RTCTCMPS	予約済み						
R/W-0h	R-0h						
7	6	5	4	3	2	1	0
RTCTCMPX							
R/W-0h							

表 29-25. TCMP フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	RTCTCMPS	R/W	0h	リアルタイム クロック温度補償符号。このビットは、温度補償符号を設定します。 0h = 下方に補正。周波数を下げて調整します。 1h = 上方に補正。周波数を上げて調整します。
14-8	予約済み	R	0h	
7-0	RTCTCMPX	R/W	0h	リアルタイム クロック温度補償。このレジスタに書き込まれた値は、RTC の温度補償に使用されます。各 LSB は、周波数の調整値が約 +1ppm (RTCTCMPS = 1) か、-1ppm (RTCTCMPS = 0) かを示します。最大実効補正値は ±240ppm です。±240ppm より大きい値が書き込まれた場合、この値はハードウェアによって無視されます。RTCTCMP レジスタから読み出すと、RTCOCALx と RTCTCMPX の符号付き加算の累積値と、加算結果によって更新された符号ビット (RTCTCMPS) が常に返されます。 00h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.24 SEC (オフセット = 1118h) [リセット = 0000XXXXh]

図 29-31 に、SEC を示し、表 29-26 に、その説明を示します。

概略表に戻ります。

RTC 秒レジスタ - バイナリ / BCD 形式のカレンダー モード。
このレジスタは、RTCLOCK レジスタによって読み取り専用アクセスに設定できます。

図 29-31. SEC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	SECHIGHBCD			SECLOWBCD			
R-0h	R/W-X			R/W-X			
7	6	5	4	3	2	1	0
予約済み	SECBIN						
R-0h	R/W-X						

表 29-26. SEC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-12	SECHIGHBCD	R/W	X	秒 BCD – 上位桁 (0～5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 5h = 可能な最大値
11-8	SECLOWBCD	R/W	X	秒 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-6	予約済み	R	0h	
5-0	SECBIN	R/W	X	秒バイナリ (0～59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 3Bh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.25 MIN (オフセット = 111Ch) [リセット = 0000XXXXh]

図 29-32 に、MIN を示し、表 29-27 に、その説明を示します。

概略表に戻ります。

RTC 分レジスタ - バイナリ / BCD 形式のカレンダー モード
このレジスタは、RTCLOCK レジスタによって読み取り専用アクセスに設定できます。

図 29-32. 最小値

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	MINHIGHBCD			MINLOWBCD			
R-0h	R/W-X			R/W-X			
7	6	5	4	3	2	1	0
予約済み		MINBIN					
R-0h		R/W-X					

表 29-27. MIN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-12	MINHIGHBCD	R/W	X	分 BCD – 上位桁 (0～5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 5h = 可能な最大値
11-8	MINLOWBCD	R/W	X	分 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-6	予約済み	R	0h	
5-0	MINBIN	R/W	X	分バイナリ (0～59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 3Bh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.26 HOUR (オフセット = 1120h) [リセット = 0000XXXXh]

図 29-33 に、HOUR を示し、表 29-28 に、その説明を示します。

概略表に戻ります。

RTC 時間レジスタ - バイナリ / BCD 形式のカレンダー モード
このレジスタは、RTCLOCK レジスタによって読み取り専用アクセスに設定できます。

図 29-33. HOUR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		HOURHIGHBCD		HOURLOWBCD			
R-0h		R/W-X		R/W-X			
7	6	5	4	3	2	1	0
予約済み			HOURBIN				
R-0h			R/W-X				

表 29-28. HOUR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	
13-12	HOURHIGHBCD	R/W	X	時間 BCD – 上位桁 (0～2)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 2h = 可能な最大値
11-8	HOURLOWBCD	R/W	X	時間 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-5	予約済み	R	0h	
4-0	HOURBIN	R/W	X	時間バイナリ (0～23)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 17h = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.27 DAY (オフセット = 1124h) [リセット = 00XXXX0Xh]

図 29-34 に、DAY を示し、表 29-29 に、その説明を示します。

概略表に戻ります。

RTC 曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダー モード
このレジスタは、RTCLOCK レジスタによって読み取り専用アクセスに設定できます。

図 29-34. 日

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み		DOMHIGHBCD		DOMLOWBCD			
R-0h		R/W-X		R/W-X			
15	14	13	12	11	10	9	8
予約済み			DOMBIN				
R-0h			R/W-X				
7	6	5	4	3	2	1	0
予約済み					DOW		
R-0h					R/W-X		

表 29-29. DAY フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0h	
21-20	DOMHIGHBCD	R/W	X	日付 BCD – 上位桁 (0～3)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 3h = 可能な最大値
19-16	DOMLOWBCD	R/W	X	日付 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
15-13	予約済み	R	0h	
12-8	DOMBIN	R/W	X	日付バイナリ (1～28、29、30、31)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 1Fh = 可能な最大値
7-3	予約済み	R	0h	
2-0	DOW	R/W	X	曜日 (0～6)。これらのビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = 最小値 6h = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.28 MON (オフセット = 1128h) [リセット = 0000XX0Xh]

図 29-35 に、MON を示し、表 29-30 に、その説明を示します。

概略表に戻ります。

RTC 月レジスタ - バイナリ / BCD 形式のカレンダー モード
このレジスタは、RTCLOCK レジスタによって読み取り専用アクセスに設定できます。

図 29-35. MON

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			MONHIGHBCD	MONLOWBCD			
R-0h			R/W-X	R/W-X			
7	6	5	4	3	2	1	0
予約済み				MONBIN			
R-0h				R/W-X			

表 29-30. MON フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	MONHIGHBCD	R/W	X	月 BCD – 上位桁 (0～1)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 1h = 可能な最大値
11-8	MONLOWBCD	R/W	X	月 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-4	予約済み	R	0h	
3-0	MONBIN	R/W	X	月バイナリ (1～12)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 Ch = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.29 YEAR (オフセット = 112Ch) [リセット = XXXX0XXXh]

図 29-36 に、YEAR を示し、表 29-31 に、その説明を示します。

概略表に戻ります。

RTC 年レジスタ - バイナリ / BCD 形式のカレンダー モード
このレジスタは、RTCLOCK レジスタによって読み取り専用アクセスに設定できます。

図 29-36. YEAR

31	30	29	28	27	26	25	24
予約済み	CENTHIGHBCD			CENTLOWBCD			
R-0h	R/W-X			R/W-X			
23	22	21	20	19	18	17	16
DECADEBCD				YEARLOWESTBCD			
R/W-X				R/W-X			
15	14	13	12	11	10	9	8
予約済み				YEARHIGHBIN			
R-0h				R/W-X			
7	6	5	4	3	2	1	0
YEARLOWBIN							
R/W-X							

表 29-31. YEAR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	
30-28	CENTHIGHBCD	R/W	X	世紀 BCD – 上位桁 (0～4)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 4h = 可能な最大値
27-24	CENTLOWBCD	R/W	X	世紀 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
23-20	DECADEBCD	R/W	X	BCD 10 の位 (0 から 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
19-16	YEARLOWESTBCD	R/W	X	年 BCD – 最下位 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
15-12	予約済み	R	0h	
11-8	YEARHIGHBIN	R/W	X	年バイナリ – 上位バイト。年の有効値は 0 ～ 4095 です。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 Fh= 可能な最大値
7-0	YEARLOWBIN	R/W	X	年バイナリ – 下位バイト。年の有効値は 0 ～ 4095 です。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.30 A1MIN (オフセット = 1130h) [リセット = 0000XXXXh]

図 29-37 に、A1MIN を示し、表 29-32 に、その説明を示します。

概略表に戻ります。

RTC 分アラーム レジスタ - バイナリ / BCD 形式のカレンダー モード

図 29-37. A1MIN

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AMINAEBCD	AMINHIGHBCD			AMINLOWBCD			
R/W-0h	R/W-X			R/W-X			
7	6	5	4	3	2	1	0
AMINAEBIN	予約済み	AMINBIN					
R/W-0h	R-0h	R/W-X					

表 29-32. A1MIN のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	AMINAEBCD	R/W	0h	アラーム分 BCD 有効。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
14-12	AMINHIGHBCD	R/W	X	アラーム分 BCD – 上位桁 (0～5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 5h = 可能な最大値
11-8	AMINLOWBCD	R/W	X	アラーム分 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7	AMINAEBIN	R/W	0h	アラーム分バイナリ有効。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
6	予約済み	R	0h	
5-0	AMINBIN	R/W	X	アラーム分バイナリ (0～59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 3Bh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.31 A1HOUR (オフセット = 1134h) [リセット = 0000XX0Xh]

図 29-38 に、A1HOUR を示し、表 29-33 に、その説明を示します。

概略表に戻ります。

RTC 時間アラーム - バイナリ / BCD 形式のカレンダー モード

図 29-38. A1HOUR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AHOURAEBCD	予約済み	AHOURHIGHBCD		AHOURLOWBCD			
R/W-0h	R-0h	R/W-X		R/W-X			
7	6	5	4	3	2	1	0
AHOURAEBIN	予約済み		AHOURBIN				
R/W-0h	R-0h		R/W-X				

表 29-33. A1HOUR のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	AHOURAEBCD	R/W	0h	アラーム時間 BCD 有効。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
14	予約済み	R	0h	
13-12	AHOURHIGHBCD	R/W	X	アラーム時間 BCD – 上位桁 (0～2)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 2h = 可能な最大値
11-8	AHOURLOWBCD	R/W	X	アラーム時間 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7	AHOURAEBIN	R/W	0h	アラーム時間バイナリ有効。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
6-5	予約済み	R	0h	
4-0	AHOURBIN	R/W	X	アラーム時間バイナリ (0～23)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 17h = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.32 A1DAY (オフセット = 1138h) [リセット = 00XXXX0Xh]

図 29-39 に、A1DAY を示し、表 29-34 に、その説明を示します。

概略表に戻ります。

RTC アラーム曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダー モード

図 29-39. A1DAY

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
ADOMAEBCD	予約済み	ADOMHIGHBCD		ADOMLOWBCD			
R/W-0h	R-0h	R/W-X		R/W-X			
15	14	13	12	11	10	9	8
ADOMAEBIN	予約済み		ADOMBIN				
R/W-0h	R-0h		R/W-X				
7	6	5	4	3	2	1	0
ADOWAE	予約済み				ADOW		
R/W-0h	R-0h				R/W-X		

表 29-34. A1DAY のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	ADOMAEBCD	R/W	0h	アラーム日付 BCD 有効。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
22	予約済み	R	0h	
21-20	ADOMHIGHBCD	R/W	X	アラーム日付 BCD – 上位桁 (0～3)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 3h = 可能な最大値
19-16	ADOMLOWBCD	R/W	X	アラーム日付 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
15	ADOMAEBIN	R/W	0h	アラーム日付バイナリ有効。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
14-13	予約済み	R	0h	
12-8	ADOMBIN	R/W	X	アラーム日付バイナリ (1 ～ 28、29、30、31)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 1Fh = 可能な最大値
7	ADOWAE	R/W	0h	アラーム曜日有効。このビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = アラームなし 1h = アラーム有効
6-3	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 29-34. A1DAY のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	ADOW	R/W	X	アラーム曜日 (0～6)。これらのビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = 最小値 6h = 可能な最大値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

29.10.33 A2MIN (オフセット = 113Ch) [リセット = 0000XXXXh]

図 29-40 に、A2MIN を示し、表 29-35 に、その説明を示します。

概略表に戻ります。

RTC 分アラーム レジスタ - バイナリ / BCD 形式のカレンダー モード

図 29-40. A2MIN

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AMINAEBCD	AMINHIGHBCD			AMINLOWBCD			
R/W-0h	R/W-X			R/W-X			
7	6	5	4	3	2	1	0
AMINAEBIN	予約済み	AMINBIN					
R/W-0h	R-0h	R/W-X					

表 29-35. A2MIN のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	AMINAEBCD	R/W	0h	アラーム分 BCD 有効。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
14-12	AMINHIGHBCD	R/W	X	アラーム分 BCD – 上位桁 (0～5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 5h = 可能な最大値
11-8	AMINLOWBCD	R/W	X	アラーム分 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7	AMINAEBIN	R/W	0h	アラーム分バイナリ有効。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
6	予約済み	R	0h	
5-0	AMINBIN	R/W	X	アラーム分バイナリ (0～59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 3Bh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.34 A2HOUR (オフセット = 1140h) [リセット = 0000XX0Xh]

図 29-41 に、A2HOUR を示し、表 29-36 に、その説明を示します。

概略表に戻ります。

RTC 時間アラーム - バイナリ / BCD 形式のカレンダー モード

図 29-41. A2HOUR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AHOURAEBCD	予約済み	AHOURHIGHBCD		AHOURLOWBCD			
R/W-0h	R-0h	R/W-X		R/W-X			
7	6	5	4	3	2	1	0
AHOURAEBIN	予約済み		AHOURBIN				
R/W-0h	R-0h		R/W-X				

表 29-36. A2HOUR のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	AHOURAEBCD	R/W	0h	アラーム時間 BCD 有効。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
14	予約済み	R	0h	
13-12	AHOURHIGHBCD	R/W	X	アラーム時間 BCD – 上位桁 (0～2)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 2h = 可能な最大値
11-8	AHOURLOWBCD	R/W	X	アラーム時間 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7	AHOURAEBIN	R/W	0h	アラーム時間バイナリ有効。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
6-5	予約済み	R	0h	
4-0	AHOURBIN	R/W	X	アラーム時間バイナリ (0～23)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 17h = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.35 A2DAY (オフセット = 1144h) [リセット = 00XXXX0Xh]

図 29-42 に、A2DAY を示し、表 29-37 に、その説明を示します。

概略表に戻ります。

RTC アラーム曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダー モード

図 29-42. A2DAY

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
ADOMAEBCD	予約済み	ADOMHIGHBCD		ADOMLOWBCD			
R/W-0h	R-0h	R/W-X		R/W-X			
15	14	13	12	11	10	9	8
ADOMAEBIN	予約済み		ADOMBIN				
R/W-0h	R-0h		R/W-X				
7	6	5	4	3	2	1	0
ADOWAE	予約済み				ADOW		
R/W-0h	R-0h				R/W-X		

表 29-37. A2DAY のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	ADOMAEBCD	R/W	0h	アラーム日付 BCD 有効。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
22	予約済み	R	0h	
21-20	ADOMHIGHBCD	R/W	X	アラーム日付 BCD – 上位桁 (0～3)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 3h = 可能な最大値
19-16	ADOMLOWBCD	R/W	X	アラーム日付 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
15	ADOMAEBIN	R/W	0h	アラーム日付バイナリ有効。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。0x0 = アラームは無効です。 0x1= アラームは有効です。 0h = アラームなし 1h = アラーム有効
14-13	予約済み	R	0h	
12-8	ADOMBIN	R/W	X	アラーム日付バイナリ (1 ～ 28、29、30、31)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 1Fh = 可能な最大値
7	ADOWAE	R/W	0h	アラーム曜日有効。このビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = アラームなし 1h = アラーム有効
6-3	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 29-37. A2DAY のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	ADOW	R/W	X	アラーム曜日 (0～6)。これらのビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = 最小値 6h = 可能な最大値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

29.10.36 PSCTL (オフセット = 1148h) [リセット = 00000008h]

図 29-43 に、PSCTL を示し、表 29-38 に、その説明を示します。

概略表に戻ります。

RTC プリスケール タイマ制御レジスタ

図 29-43. PSCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み			RT1IP			予約済み	
R-0h			R/W-0h			R-0h	
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			RT0IP			予約済み	
R-0h			R/W-2h			R-0h	

表 29-38. PSCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20-18	RT1IP	R/W	0h	プリスケール タイマ 1 割り込み間隔 0h = 15.6 ミリ秒間隔 1h = 31.3 ミリ秒間隔 2h = 62.5 ミリ秒間隔 3h = 125 ミリ秒間隔 4h = 250 ミリ秒間隔 5h = 500 ミリ秒間隔 6h = 1 秒間隔 7h = 2 秒間隔
17-5	予約済み	R	0h	
4-2	RT0IP	R/W	2h	プリスケール タイマ 0 割り込み間隔 2h = 244 マイクロ秒間隔 3h = 488 マイクロ秒間隔 4h = 0.98 ミリ秒間隔 5h = 1.95 ミリ秒間隔 6h = 3.91 ミリ秒間隔 7h = 7.81 ミリ秒間隔
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

29.10.37 EXTPSCTL (オフセット = 114Ch) [リセット = 00000000h]

図 29-44 に、EXTPSCTL を示し、表 29-39 に、その説明を示します。

概略表に戻ります。

拡張プリスケール タイマ制御レジスタ

図 29-44. EXTPSCTL

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												RT2PS		予約済み	
R-0h												R/W-0h		R-0h	

表 29-39. EXTPSCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-2	RT2PS	R/W	0h	プリスケール タイマ 2 割り込み間隔 0h = 4 秒間隔 1h = Interval 8 秒間隔 2h = 16 秒間隔
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

29.10.38 TSSEC (オフセット = 1150h) [リセット = 00000000h]

図 29-45 に、TSSEC を示し、表 29-40 に、その説明を示します。

概略表に戻ります。

RTC 秒タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダー モード

図 29-45. TSSEC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	SECHIGHBCD			SECLOWBCD			
R-0h	R-0h			R-0h			
7	6	5	4	3	2	1	0
予約済み		SECBIN					
R-0h		R-0h					

表 29-40. TSSEC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-12	SECHIGHBCD	R	0h	タイム スタンプ秒 BCD – 上位桁 (0～5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 5h = 可能な最大値
11-8	SECLOWBCD	R	0h	タイム スタンプ秒 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-6	予約済み	R	0h	
5-0	SECBIN	R	0h	タイム スタンプ秒バイナリ (0～59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 3Bh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.39 TSMIN (オフセット = 1154h) [リセット = 00000000h]

図 29-46 に、TSMIN を示し、表 29-41 に、その説明を示します。

概略表に戻ります。

RTC 分タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダー モード

図 29-46. TSMIN

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	MINHIGHBCD			MINLOWBCD			
R-0h	R-0h			R-0h			
7	6	5	4	3	2	1	0
予約済み		MINBIN					
R-0h		R-0h					

表 29-41. TSMIN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-12	MINHIGHBCD	R	0h	タイム スタンプ分 BCD – 上位桁 (0～5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 5h = 可能な最大値
11-8	MINLOWBCD	R	0h	タイム スタンプ分 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-6	予約済み	R	0h	
5-0	MINBIN	R	0h	タイム スタンプ分バイナリ (0～59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 3Bh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.40 TSHOUR (オフセット = 1158h) [リセット = 00000000h]

図 29-47 に、TSHOUR を示し、表 29-42 に、その説明を示します。

概略表に戻ります。

RTC 時間タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダー モード

図 29-47. TSHOUR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		HOURHIGHBCD		HOURLOWBCD			
R-0h		R-0h		R-0h			
7	6	5	4	3	2	1	0
予約済み				HOURBIN			
R-0h				R-0h			

表 29-42. TSHOUR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	
13-12	HOURHIGHBCD	R	0h	タイム スタンプ時間 BCD – 上位桁 (0～2)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 02h = 可能な最大値
11-8	HOURLOWBCD	R	0h	タイム スタンプ時間 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 09h = 可能な最大値
7-5	予約済み	R	0h	
4-0	HOURBIN	R	0h	タイム スタンプ時間バイナリ (0～23)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 17h = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.41 TSDAY (オフセット = 115Ch) [リセット = 00000000h]

図 29-48 に、TSDAY を示し、表 29-43 に、その説明を示します。

概略表に戻ります。

RTC 曜日 / 月タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダー モード

図 29-48. TSDAY

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み		DOMHIGHBCD		DOMLOWBCD			
R-0h		R-0h		R-0h			
15	14	13	12	11	10	9	8
予約済み			DOMBIN				
R-0h			R-0h				
7	6	5	4	3	2	1	0
予約済み						DOW	
R-0h						R-0h	

表 29-43. TSDAY フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0h	
21-20	DOMHIGHBCD	R	0h	タイム スタンプ日付 BCD – 上位桁 (0～3)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 3h = 可能な最大値
19-16	DOMLOWBCD	R	0h	タイム スタンプ日付 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
15-13	予約済み	R	0h	
12-8	DOMBIN	R	0h	タイム スタンプ日付バイナリ (1 ～ 28、29、30、31)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 1Fh = 可能な最大値
7-3	予約済み	R	0h	
2-0	DOW	R	0h	タイム スタンプ曜日 (0～6)。これらのビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = 最小値 6h = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.42 TSMON (オフセット = 1160h) [リセット = 00000000h]

図 29-49 に、TSMON を示し、表 29-44 に、その説明を示します。

概略表に戻ります。

RTC 月タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダー モード

図 29-49. TSMON

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			MONHIGHBCD	MONLOWBCD			
R-0h			R-0h	R-0h			
7	6	5	4	3	2	1	0
予約済み				MONBIN			
R-0h				R-0h			

表 29-44. TSMON フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	MONHIGHBCD	R	0h	タイム スタンプ月 BCD – 上位桁 (0～1)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 1h = 可能な最大値
11-8	MONLOWBCD	R	0h	タイム スタンプ月 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-4	予約済み	R	0h	
3-0	MONBIN	R	0h	タイム スタンプ月バイナリ (1～12)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 Ch = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.43 TSYEAR (オフセット = 1164h) [リセット = 00000000h]

図 29-50 に、TSYEAR を示し、表 29-45 に、その説明を示します。

概略表に戻ります。

RTC 年タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダー モード

図 29-50. TSYEAR

31	30	29	28	27	26	25	24
予約済み	CENTHIGHBCD			CENTLOWBCD			
R-0h	R-0h			R-0h			
23	22	21	20	19	18	17	16
DECADEBCD				YERARLOWESTBCD			
R-0h				R-0h			
15	14	13	12	11	10	9	8
予約済み				YEARHIGHBIN			
R-0h				R-0h			
7	6	5	4	3	2	1	0
YEARLOWBIN							
R-0h							

表 29-45. TSYEAR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	
30-28	CENTHIGHBCD	R	0h	タイム スタンプ世紀 BCD – 上位桁 (0～4)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 4h = 可能な最大値
27-24	CENTLOWBCD	R	0h	タイム スタンプ世紀 BCD – 下位桁 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
23-20	DECADEBCD	R	0h	タイム スタンプ BCD 10 の位 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
19-16	YERARLOWESTBCD	R	0h	タイム スタンプ年 BCD – 最下位 (0～9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 9h = 可能な最大値
15-12	予約済み	R	0h	
11-8	YEARHIGHBIN	R	0h	タイム スタンプ年バイナリ – 上位バイト。年の有効値は 0 ～ 4095 です。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 0h = 最小値 Fh= 可能な最大値
7-0	YEARLOWBIN	R	0h	タイム スタンプ年バイナリ – 下位バイト。年の有効値は 0 ～ 4095 です。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み出すと値は 0 になります。 00h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.44 TSSTAT (オフセット = 1168h) [リセット = 00000000h]

図 29-51 に、TSSTAT を示し、表 29-46 に、その説明を示します。

概略表に戻ります。

タイム スタンプ ステータス

図 29-51. TSSTAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							TSVDDEVT
R-0h							R-0h
15	14	13	12	11	10	9	8
TSTIOEVT15	TSTIOEVT14	TSTIOEVT13	TSTIOEVT12	TSTIOEVT11	TSTIOEVT10	TSTIOEVT9	TSTIOEVT8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSTIOEVT7	TSTIOEVT6	TSTIOEVT5	TSTIOEVT4	TSTIOEVT3	TSTIOEVT2	TSTIOEVT1	TSTIOEVT0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 29-46. TSSTAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	TSVDDEVT	R	0h	VDD の喪失で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
15	TSTIOEVT15	R	0h	タンパ I/O 15 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
14	TSTIOEVT14	R	0h	タンパ I/O 14 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
13	TSTIOEVT13	R	0h	タンパ I/O 13 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
12	TSTIOEVT12	R	0h	タンパ I/O 12 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
11	TSTIOEVT11	R	0h	タンパ I/O 11 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
10	TSTIOEVT10	R	0h	タンパ I/O 10 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
9	TSTIOEVT9	R	0h	タンパ I/O 9 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
8	TSTIOEVT8	R	0h	タンパ I/O 8 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出

Copyright © 2026 Texas Instruments Incorporated

表 29-46. TSSTAT フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	TSTIOEVT7	R	0h	タンパ I/O 7 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
6	TSTIOEVT6	R	0h	タンパ I/O 6 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
5	TSTIOEVT5	R	0h	タンパ I/O 5 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
4	TSTIOEVT4	R	0h	タンパ I/O 4 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
3	TSTIOEVT3	R	0h	タンパ I/O 3 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
2	TSTIOEVT2	R	0h	タンパ I/O 2 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
1	TSTIOEVT1	R	0h	タンパ I/O 1 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
0	TSTIOEVT0	R	0h	タンパ I/O 0 で発生したタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出

Copyright © 2026 Texas Instruments Incorporated

29.10.45 TSCTL (オフセット = 116Ch) [リセット = 00000000h]

図 29-52 に、TSCTL を示し、表 29-47 に、その説明を示します。

概略表に戻ります。

タイム スタンプ制御レジスタ

図 29-52. TSCTL

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み			TSCAPTURE	予約済み			TSVDDEN
R-0h			R/WK – 0h	R-0h			R/WK – 0h
15	14	13	12	11	10	9	8
TSTIOEN15	TSTIOEN14	TSTIOEN13	TSTIOEN12	TSTIOEN11	TSTIOEN10	TSTIOEN9	TSTIOEN8
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TSTIOEN7	TSTIOEN6	TSTIOEN5	TSTIOEN4	TSTIOEN3	TSTIOEN2	TSTIOEN1	TSTIOEN0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-47. TSCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xC5) を書き込む必要があります。 C5h = いずれかの有効化ビットをクリアするには、このフィールドに 0xC5 を書き込む必要があります
23-21	予約済み	R	0h	
20	TSCAPTURE	R/WK	0h	タイム スタンプ イベント発生時の RTC タイム スタンプのキャプチャ方法を定義します。 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h = 最初のタイム スタンプ イベントが発生したときに、RTC タイム スタンプをキャプチャします。 1h = 最後のタイム スタンプ イベントが発生したときに、RTC タイムスタンプをキャプチャします。
19-17	予約済み	R	0h	
16	TSVDDEN	R/WK	0h	VDD 喪失検出によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
15	TSTIOEN15	R/WK	0h	タンパ I/O 15 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
14	TSTIOEN14	R/WK	0h	タンパ I/O 14 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
13	TSTIOEN13	R/WK	0h	タンパ I/O 13 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です

Copyright © 2026 Texas Instruments Incorporated

表 29-47. TSCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
12	TSTIOEN12	R/WK	0h	タンパ I/O 12 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
11	TSTIOEN11	R/WK	0h	タンパ I/O 11 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
10	TSTIOEN10	R/WK	0h	タンパ I/O 10 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
9	TSTIOEN9	R/WK	0h	タンパ I/O 9 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
8	TSTIOEN8	R/WK	0h	タンパ I/O 8 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
7	TSTIOEN7	R/WK	0h	タンパ I/O 7 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
6	TSTIOEN6	R/WK	0h	タンパ I/O 6 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
5	TSTIOEN5	R/WK	0h	タンパ I/O 5 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
4	TSTIOEN4	R/WK	0h	タンパ I/O 4 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
3	TSTIOEN3	R/WK	0h	タンパ I/O 3 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
2	TSTIOEN2	R/WK	0h	タンパ I/O 2 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です
1	TSTIOEN1	R/WK	0h	タンパ I/O 1 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です

Copyright © 2026 Texas Instruments Incorporated

表 29-47. TSCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	TSTIOEN0	R/WK	0h	タンパ I/O 0 によるタイム スタンプの有効化 このビットに書き込むには、KEY を C5h に設定する必要があります。 0h= 機能は無効です 1h= 機能は有効です

Copyright © 2026 Texas Instruments Incorporated

29.10.46 TSCLR (オフセット = 1170h) [リセット = 00000000h]

図 29-53 に、TSCLR を示し、表 29-48 に、その説明を示します。

概略表に戻ります。

タイム スタンプ クリア レジスタ

図 29-53. TSCLR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY								予約済み							
R-0/W-0h								R-0h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															CLR
R-0h															WK-0h

表 29-48. TSCLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE2) を書き込む必要があります。 E2h = いずれかの有効化ビットをクリアするには、このフィールドに 0xE2 を書き込む必要があります
23-1	予約済み	R	0h	
0	CLR	WK	0h	タイム スタンプとステータス レジスタをクリアします。 このビットに書き込むには、KEY を E2h に設定する必要があります。 0h = 0 を書き込んでも何もしない 1h = タイム スタンプ イベントをクリア

Copyright © 2026 Texas Instruments Incorporated

29.10.47 LFSSRST (オフセット = 11F0h) [リセット = 00000000h]

図 29-54 に、LFSSRST を示し、表 29-49 に、その説明を示します。

概略表に戻ります。

低周波サブシステム リセット要求。このレジスタの VBATPOR ビットをアサートすると、バッテリ バックアップ ドメインでパワー サイクルが実効されます。このリセットは、電源を VBAT 電源ピンから取り外して再接続するのと同じ効果があります。このレジスタは、RTCLOCK レジスタによって書き込み保護できます。

図 29-54. LFSSRST

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							VBATPOR
R-0h							R/WK – 0h

表 29-49. LFSSRST のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0x12) を書き込む必要があります。 12h = パワーオン リセットを要求するには、このフィールドに 0x12 を書き込む必要があります
23-1	予約済み	R	0h	
0	VBATPOR	R/WK	0h	セットすると、このレジスタ ビットにより LFSS の PMU に対してパワー オン リセットが要求されます。 このビットに書き込むには、KEY を 12h に設定する必要があります。 0h = この値を書き込んでも何もしません。 1h = LFSS にパワー オン リセットを要求します。

Copyright © 2026 Texas Instruments Incorporated

29.10.48 RTCLOCK (オフセット = 11FCh) [リセット = 00000000h]

図 29-55 に、RTCLOCK を示し、表 29-50 に、その説明を示します。

概略表に戻ります。

RTC ロック ビットは、偶発的な更新から CLKCTL、SEC、MIN、HOUR、DAY、MON、YEAR、LFSSRST レジスタを保護します。

図 29-55. RTCLOCK

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							PROTECT
R-0h							R/WK – 0h

表 29-50. RTCLOCK のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0x22) を書き込む必要があります。 22h = いずれかのビットを更新するには、このフィールドに 0x22 を書き込む必要があります
23-1	予約済み	R	0h	
0	PROTECT	R/WK	0h	セットされている場合、このレジスタ ビットにより、CLKCTL、SEC、MIN、HOUR、DAY、MON、YEAR、LFSSRST は偶発的な書き込みから保護されます。 このビットに書き込むには、KEY を 22h に設定する必要があります。 0h = RTC カウンタは書き込み可能です。 1h = RTC カウンタは読み出し専用アクセスです。

Copyright © 2026 Texas Instruments Incorporated

29.10.49 TIOCTL[y] (オフセット = 1200h + 式) [リセット = 00000000h]

図 29-56 に、TIOCTL[y] を示し、表 29-51 に、その説明を示します。

概略表に戻ります。

タンパ I/O 制御レジスタ

オフセット = 1200h + (y * 4h)、ここで y = 0h ～ Fh

図 29-56. TIOCTL[y]

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み				OUTINV	INENA	PIPU	PIPD
R-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み		FILTEREN		予約済み		POLARITY	
R-0h		R/W-0h		R-0h		R/W-0h	
7	6	5	4	3	2	1	0
予約済み		TOUTSEL		予約済み			IOMUX
R-0h		Rmodify/W-0h		R-0h			R/W-0h

表 29-51. TIOCTL[y] のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-20	予約済み	R	0h	
19	OUTINV	R/W	0h	出力反転の有効化 0h = 出力反転は無効です。 1h = 出力反転は有効です。
18	INENA	R/W	0h	入力の有効化 0h = 入力パスは無効です。 1h = 入力パスは有効です。
17	PIPU	R/W	0h	プルアップの有効化 0h = プルアップ機能は無効です。 1h = プルアップ機能は有効です。
16	PIPD	R/W	0h	プルダウンの有効化 0h = プルダウン機能は無効です。 1h = プルダウン機能は有効です。
15-14	予約済み	R	0h	
13-12	FILTEREN	R/W	0h	TIO0 用デジタル グリッチ フィルタのプログラマブルなカウンタ長 0h = タンパ I/O に CDC 同期サンプル以外のフィルタなし 1h = 最小 1 FLCLK サンプルのサンプル (30us) 2h = 最小 3 LFCLK サンプル (100us) 3h = 最小 6 LFCLK (200us)
11-10	予約済み	R	0h	
9-8	POLARITY	R/W	0h	TIO のエッジ検出の有効化と極性の設定 0h = エッジ検出無効 1h = 入力イベントの立ち上がりエッジを検出 2h = 入力イベントの立下りエッジを検出 3h = 入力イベントの立ち上がりエッジと立ち下がりエッジの両方を検出
7-6	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 29-51. TIOCTL[y] のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-4	TOUTSEL	Rmodify/W	0h	TOUT 制御のソースの選択 0h = TOUT レジスタが TOUT のソース 1h = LFCLK が TOUT のソース 2h = ハートビート ジェネレータが TOUT のソース 3h = タイム スタンプ イベント ステータスが TOUT のソース
3-1	予約済み	R	0h	
0	IOMUX	R/W	0h	タンパ I/O は SoC IOMUX モジュールによって制御されます 0h = タンパ I/O は SoC の IOMUX によって制御され、ペリフェラル機能への割り当てが可能です。メイン電源 (VDD) が失われると、この I/O はハイ インピーダンス状態になります。 1h = タンパ I/O は TIOCTL レジスタによって制御され、メイン電源 (VDD) が失われている間、機能を維持します。

Copyright © 2026 Texas Instruments Incorporated

29.10.50 TOUT3_0 (オフセット = 1280h) [リセット = 00000000h]

図 29-57 に、TOUT3_0 を示し、表 29-52 に、その説明を示します。

概略表に戻ります。

TIO3 ～ TIO0 として構成されたピンのタンパ I/O 出力。

図 29-57. TOUT3_0

31	30	29	28	27	26	25	24
予約済み							TIO3
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							TIO2
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							TIO1
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TIO0
R-0h							R/W-0h

表 29-52. TOUT3_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO3	R/W	0h	このビットは、TOE3 レジスタで出力が有効になっているときの、ピン タンパ I/O 3 (TIO3) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
23-17	予約済み	R	0h	
16	TIO2	R/W	0h	このビットは、TOE2 レジスタで出力が有効になっているときの、ピン タンパ I/O 2 (TIO0) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
15-9	予約済み	R	0h	
8	TIO1	R/W	0h	このビットは、TOE1 レジスタで出力が有効になっているときの、ピン タンパ I/O 1 (TIO1) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
7-1	予約済み	R	0h	
0	TIO0	R/W	0h	このビットは、TOE0 レジスタで出力が有効になっているときの、ピン タンパ I/O 0 (TIO0) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定

Copyright © 2026 Texas Instruments Incorporated

29.10.51 TOUT7_4 (オフセット = 1284h) [リセット = 00000000h]

図 29-58 に、TOUT7_4 を示し、表 29-53 に、その説明を示します。

概略表に戻ります。

TIO7 ～ TIO4 として構成されたピンのタンパ I/O 出力。

図 29-58. TOUT7_4

31	30	29	28	27	26	25	24
予約済み							TIO7
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							TIO6
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							TIO5
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TIO4
R-0h							R/W-0h

表 29-53. TOUT7_4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO7	R/W	0h	このビットは、TOE7 レジスタで出力が有効になっているときの、ピン タンパ I/O 7 (TIO7) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
23-17	予約済み	R	0h	
16	TIO6	R/W	0h	このビットは、TOE6 レジスタで出力が有効になっているときの、ピン タンパ I/O 2 (TIO6) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
15-9	予約済み	R	0h	
8	TIO5	R/W	0h	このビットは、TOE5 レジスタで出力が有効になっているときの、ピン タンパ I/O 5 (TIO5) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
7-1	予約済み	R	0h	
0	TIO4	R/W	0h	このビットは、TOE4 レジスタで出力が有効になっているときの、ピン タンパ I/O 4 (TIO4) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定

Copyright © 2026 Texas Instruments Incorporated

29.10.52 TOUT11_8 (オフセット = 1288h) [リセット = 00000000h]

図 29-59 に、TOUT11_8 を示し、表 29-54 に、その説明を示します。

概略表に戻ります。

TIO11 ～ TIO8 として構成されたピンのタンパ I/O 出力。

図 29-59. TOUT11_8

31	30	29	28	27	26	25	24
予約済み							TIO11
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							TIO10
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							TIO9
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TIO8
R-0h							R/W-0h

表 29-54. TOUT11_8 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO11	R/W	0h	このビットは、TOE11 レジスタで出力が有効になっているときの、ピン タンパ I/O 11 (TIO11) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
23-17	予約済み	R	0h	
16	TIO10	R/W	0h	このビットは、TOE10 レジスタで出力が有効になっているときの、ピン タンパ I/O 10 (TIO10) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
15-9	予約済み	R	0h	
8	TIO9	R/W	0h	このビットは、TOE9 レジスタで出力が有効になっているときの、ピン タンパ I/O 9 (TIO9) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
7-1	予約済み	R	0h	
0	TIO8	R/W	0h	このビットは、TOE8 レジスタで出力が有効になっているときの、ピン タンパ I/O 8 (TIO8) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定

Copyright © 2026 Texas Instruments Incorporated

29.10.53 TOUT15_12 (オフセット = 128Ch) [リセット = 00000000h]

図 29-60 に、TOUT15_12 を示し、表 29-55 に、その説明を示します。

概略表に戻ります。

TIO15 ～ TIO12 として構成されたピンのタンパ I/O 出力。

図 29-60. TOUT15_12

31	30	29	28	27	26	25	24
予約済み							TIO15
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							TIO14
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							TIO13
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TIO12
R-0h							R/W-0h

表 29-55. TOUT15_12 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO15	R/W	0h	このビットは、TOE15 レジスタで出力が有効になっているときの、ピン タンパ I/O 15 (TIO15) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
23-17	予約済み	R	0h	
16	TIO14	R/W	0h	このビットは、TOE14 レジスタで出力が有効になっているときの、ピン タンパ I/O 14 (TIO14) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
15-9	予約済み	R	0h	
8	TIO13	R/W	0h	このビットは、TOE13 レジスタで出力が有効になっているときの、ピン タンパ I/O 13 (TIO13) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定
7-1	予約済み	R	0h	
0	TIO12	R/W	0h	このビットは、TOE12 レジスタで出力が有効になっているときの、ピン タンパ I/O 12 (TIO12) の値を設定します。 0h = 出力は 0 に設定 1h = 出力は 1 に設定

Copyright © 2026 Texas Instruments Incorporated

29.10.54 TOE3_0 (オフセット = 1290h) [リセット = 00000000h]

図 29-61 に、TOE3_0 を示し、表 29-56 に、その説明を示します。

概略表に戻ります。

TIO3 ～ TIO0 として構成されたピンのタンパ I/O 出力の有効化。

図 29-61. TOE3_0

31	30	29	28	27	26	25	24
予約済み							TIO3
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							TIO2
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							TIO1
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TIO0
R-0h							R/W-0h

表 29-56. TOE3_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO3	R/W	0h	タンパ I/O 3 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
23-17	予約済み	R	0h	
16	TIO2	R/W	0h	タンパ I/O 2 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
15-9	予約済み	R	0h	
8	TIO1	R/W	0h	タンパ I/O 1 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
7-1	予約済み	R	0h	
0	TIO0	R/W	0h	タンパ I/O 0 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効

Copyright © 2026 Texas Instruments Incorporated

29.10.55 TOE7_4 (オフセット = 1294h) [リセット = 00000000h]

図 29-62 に、TOE7_4 を示し、表 29-57 に、その説明を示します。

概略表に戻ります。

TIO7 ～ TIO4 として構成されたピンのタンパ I/O 出力の有効化。

図 29-62. TOE7_4

31	30	29	28	27	26	25	24
予約済み							TIO7
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							TIO6
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							TIO5
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TIO4
R-0h							R/W-0h

表 29-57. TOE7_4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO7	R/W	0h	タンパ I/O 7 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
23-17	予約済み	R	0h	
16	TIO6	R/W	0h	タンパ I/O 6 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
15-9	予約済み	R	0h	
8	TIO5	R/W	0h	タンパ I/O 5 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
7-1	予約済み	R	0h	
0	TIO4	R/W	0h	タンパ I/O 4 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効

Copyright © 2026 Texas Instruments Incorporated

29.10.56 TOE11_8 (オフセット = 1298h) [リセット = 00000000h]

図 29-63 に、TOE11_8 を示し、表 29-58 に、その説明を示します。

概略表に戻ります。

TIO11 ～ TIO8 として構成されたピンのタンパ I/O 出力の有効化。

図 29-63. TOE11_8

31	30	29	28	27	26	25	24
予約済み							TIO11
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							TIO10
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							TIO9
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TIO8
R-0h							R/W-0h

表 29-58. TOE11_8 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO11	R/W	0h	タンパ I/O 11 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
23-17	予約済み	R	0h	
16	TIO10	R/W	0h	タンパ I/O 10 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
15-9	予約済み	R	0h	
8	TIO9	R/W	0h	タンパ I/O 9 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
7-1	予約済み	R	0h	
0	TIO8	R/W	0h	タンパ I/O 8 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効

Copyright © 2026 Texas Instruments Incorporated

29.10.57 TOE15_12 (オフセット = 129Ch) [リセット = 00000000h]

図 29-64 に、TOE15_12 を示し、表 29-59 に、その説明を示します。

概略表に戻ります。

TIO15 ～ TIO12 として構成されたピンのタンパ I/O 出力の有効化。

図 29-64. TOE15_12

31	30	29	28	27	26	25	24
予約済み							TIO15
R-0h							R/W-0h
23	22	21	20	19	18	17	16
予約済み							TIO14
R-0h							R/W-0h
15	14	13	12	11	10	9	8
予約済み							TIO13
R-0h							R/W-0h
7	6	5	4	3	2	1	0
予約済み							TIO12
R-0h							R/W-0h

表 29-59. TOE15_12 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO15	R/W	0h	タンパ I/O 15 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
23-17	予約済み	R	0h	
16	TIO14	R/W	0h	タンパ I/O 14 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
15-9	予約済み	R	0h	
8	TIO13	R/W	0h	タンパ I/O 13 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効
7-1	予約済み	R	0h	
0	TIO12	R/W	0h	タンパ I/O 12 のデータ出力を有効化 0h = 出力は無効 1h = 出力は有効

Copyright © 2026 Texas Instruments Incorporated

29.10.58 TIN3_0 (オフセット = 12A0h) [リセット = 00000000h]

図 29-65 に、TIN3_0 を示し、表 29-60 に、その説明を示します。

概略表に戻ります。

TIO3 ～ TIO0 として構成されたピンのタンパ I/O 入力。

図 29-65. TIN3_0

31	30	29	28	27	26	25	24
予約済み							TIO3
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							TIO2
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							TIO1
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							TIO0
R-0h							R-0h

表 29-60. TIN3_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO3	R	0h	このビットは、タンパ I/O 3 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
23-17	予約済み	R	0h	
16	TIO2	R	0h	このビットは、タンパ I/O 2 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
15-9	予約済み	R	0h	
8	TIO1	R	0h	このビットは、タンパ I/O 1 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
7-1	予約済み	R	0h	
0	TIO0	R	0h	このビットは、タンパ I/O 0 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1

Copyright © 2026 Texas Instruments Incorporated

29.10.59 TIN7_4 (オフセット = 12A4h) [リセット = 00000000h]

図 29-66 に、TIN7_4 を示し、表 29-61 に、その説明を示します。

概略表に戻ります。

TIO7 ～ TIO4 として構成されたピンのタンパ I/O 入力。

図 29-66. TIN7_4

31	30	29	28	27	26	25	24
予約済み							TIO7
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							TIO6
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							TIO5
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							TIO4
R-0h							R-0h

表 29-61. TIN7_4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO7	R	0h	このビットは、タンパ I/O 7 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
23-17	予約済み	R	0h	
16	TIO6	R	0h	このビットは、タンパ I/O 6 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
15-9	予約済み	R	0h	
8	TIO5	R	0h	このビットは、タンパ I/O 5 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
7-1	予約済み	R	0h	
0	TIO4	R	0h	このビットは、タンパ I/O 4 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1

Copyright © 2026 Texas Instruments Incorporated

29.10.60 TIN11_8 (オフセット = 12A8h) [リセット = 00000000h]

図 29-67 に、TIN11_8 を示し、表 29-62 に、その説明を示します。

概略表に戻ります。

TIO11 ～ TIO8 として構成されたピンのタンパ I/O 入力。

図 29-67. TIN11_8

31	30	29	28	27	26	25	24
予約済み							TIO11
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							TIO10
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							TIO9
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							TIO8
R-0h							R-0h

表 29-62. TIN11_8 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO11	R	0h	このビットは、タンパ I/O 11 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
23-17	予約済み	R	0h	
16	TIO10	R	0h	このビットは、タンパ I/O 10 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
15-9	予約済み	R	0h	
8	TIO9	R	0h	このビットは、タンパ I/O 9 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
7-1	予約済み	R	0h	
0	TIO8	R	0h	このビットは、タンパ I/O 8 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1

Copyright © 2026 Texas Instruments Incorporated

29.10.61 TIN15_12 (オフセット = 12ACh) [リセット = 00000000h]

図 29-68 に、TIN15_12 を示し、表 29-63 に、その説明を示します。

概略表に戻ります。

TIO15 ～ TIO12 として構成されたピンのタンパ I/O 入力。

図 29-68. TIN15_12

31	30	29	28	27	26	25	24
予約済み							TIO15
R-0h							R-0h
23	22	21	20	19	18	17	16
予約済み							TIO14
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							TIO13
R-0h							R-0h
7	6	5	4	3	2	1	0
予約済み							TIO12
R-0h							R-0h

表 29-63. TIN15_12 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-25	予約済み	R	0h	
24	TIO15	R	0h	このビットは、タンパ I/O 15 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
23-17	予約済み	R	0h	
16	TIO14	R	0h	このビットは、タンパ I/O 14 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
15-9	予約済み	R	0h	
8	TIO13	R	0h	このビットは、タンパ I/O 13 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1
7-1	予約済み	R	0h	
0	TIO12	R	0h	このビットは、タンパ I/O 12 のデータ入力値を読み出します。 0h = 入力値は 0 1h = 入力値は 1

Copyright © 2026 Texas Instruments Incorporated

29.10.62 HEARTBEAT (オフセット = 12C0h) [リセット = 00000000h]

図 29-69 に、HEARTBEAT を示し、表 29-64 に、その説明を示します。

概略表に戻ります。

ハートビート ジェネレータの設定レジスタ

図 29-69. HEARTBEAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						HBMODE	
R-0h						R/W-0h	
15	14	13	12	11	10	9	8
予約済み						HBWIDTH	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
予約済み						HBINTERVAL	
R-0h						R/W-0h	

表 29-64. HEARTBEAT のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	
17-16	HBMODE	R/W	0h	ハートビート モード 0h = ハートビートは無効 1h = ハートビートは常に有効 2h = タイム スタンプ イベント検出時にハートビートが有効 3h = VDD 障害条件でハートビード
15-11	予約済み	R	0h	
10-8	HBWIDTH	R/W	0h	ハートビート間隔幅 0h = ハートビート パルス幅 1 ミリ秒 1h = ハートビート パルス幅 2 ミリ秒 2h = ハートビート パルス幅 4 ミリ秒 3h = ハートビート パルス幅 8 ミリ秒 4h = ハートビート パルス幅 16 ミリ秒 5h = ハートビート パルス幅 32 ミリ秒 6h = ハートビート パルス幅 64 ミリ秒 7h = ハートビート パルス幅 128 ミリ秒
7-3	予約済み	R	0h	
2-0	HBINTERVAL	R/W	0h	ハートビート間隔 0h = ハートビート間隔 0.125 秒 1h = ハートビート間隔 0.25 秒 2h = ハートビート間隔 0.5 秒 3h = ハートビート間隔 1 秒 4h = ハートビート間隔 2 秒 5h = ハートビート間隔 4 秒 6h = ハートビート間隔 8 秒 7h = ハートビート間隔 16 秒

Copyright © 2026 Texas Instruments Incorporated

29.10.63 TIOLOCK (オフセット = 12FCh) [リセット = 00000000h]

図 29-70 に、TIOLOCK を示し、表 29-65 に、その説明を示します。

概略表に戻ります。

TIO ロック ビットは、TIOCTL および HEARTBEAT レジスタを誤った更新から保護します。

図 29-70. TIOLOCK

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							PROTECT
R-0h							R/WK – 0h

表 29-65. TIOLOCK のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0x18) を書き込む必要があります。 18h = いずれかの有効化ビットをクリアするには、このフィールドに 0x18 を書き込む必要があります
23-1	予約済み	R	0h	
0	PROTECT	R/WK	0h	セットされている場合、このレジスタ ビットは TIOCTL と HEARTBEAT を誤った書き込みから保護します。 このビットに書き込むには、KEY を 18h に設定する必要があります。 0h = タンパ I/O 制御は書き込み可能。 1h = タンパ I/O 制御は読み取り専用アクセス。

Copyright © 2026 Texas Instruments Incorporated

29.10.64 WDTEN (オフセット = 1300h) [リセット = 00000000h]

図 29-71 に、WDTEN を示し、表 29-66 に、その説明を示します。

概略表に戻ります。

ウォッチドッグ タイマ有効化レジスタ。
このレジスタは、WDTLOCK レジスタから読み取り専用でアクセスできます。

図 29-71. WDTEN

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R-0h							R/WK – 0h

表 29-66. WDTEN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタへの書き込みアクセスを許可するキー。誤ったキーを使用してこのレジスタに書き込むと、POR レベルのリセットが発生します。0 として読み出します。 EEh = 有効化ビットを更新するには、このフィールドに 0xEE を書き込む必要があります。
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	WDT の有効化ビット。 このビットに書き込むには、KEY を EEh に設定する必要があります。 0h = WDT を無効化します 1h = WDT を有効化します

Copyright © 2026 Texas Instruments Incorporated

29.10.65 WDTDBGCTL (オフセット = 1304h) [リセット = 00000000h]

図 29-72 に、WDTDBGCTL を示し、表 29-67 に、その説明を示します。

概略表に戻ります。

ウォッチドッグ タイマ デバッグ制御

図 29-72. WDTDBGCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							FREE
R-0h							R/W-0h

表 29-67. WDTDBGCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	FREE	R/W	0h	フリーラン制御 0h = デバッグ中に CPU が停止している間、WDT は機能を停止し、CPU がアクティブのときに再開します。 1h = WDT は CPU 停止のデバッグ状態を無視します。

Copyright © 2026 Texas Instruments Incorporated

29.10.66 WDTCTL (オフセット = 1308h) [リセット = 00000043h]

図 29-73 に、WDTCTL を示し、表 29-68 に、その説明を示します。

概略表に戻ります。

ウォッチドッグ タイマ制御レジスタ。
このレジスタは、WDTLOCK レジスタから読み取り専用でアクセスできます。

図 29-73. WDTCTL

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	PER			予約済み	CLKDIV		
R-0h	R/WK – 4h			R-0h	R/WK – 3h		

表 29-68. WDTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタへの書き込みアクセスを許可するキー。誤ったキーを使用してこのレジスタに書き込むと、POR レベルのリセットが発生します。0 として読み出します。 C6h = 有効化ビットを書き込み可能にするには、このフィールドに 0xC6 を書き込む必要があります。
23-7	予約済み	R	0h	
6-4	PER	R/WK	4h	WDT のタイマ周期。これらのビットは、ウォッチドッグ タイマ カウントの合計数を選択します。 このビットに書き込むには、KEY を C6h に設定する必要があります。 0h = 合計タイマ カウント数は 2^{25} 1h = 合計タイマ カウント数は 2^{21} 2h = 合計タイマ カウント数は 2^{18} 3h = 合計タイマ カウント数は 2^{15} 4h = 合計タイマ カウント数は 2^{12} (デフォルト) 5h = 合計タイマ カウント数は 2^{10} 6h = 合計タイマ カウント数は 2^{8} 7h = 合計タイマ カウント数は 2^{6}
3	予約済み	R	0h	
2-0	CLKDIV	R/WK	3h	モジュール クロック分周比、CLKDIV+1 でクロック ソースを分周します。1/1 ～ 1/8 の値がサポートされています。 このビットに書き込むには、KEY を C6h に設定する必要があります。 0h = 最小値 7h = 最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.67 WDTCNTRST (オフセット = 130Ch) [リセット = 00000000h]

図 29-74 に、WDTCNTRST を示し、表 29-69 に、その説明を示します。

概略表に戻ります。

ウォッチドッグ タイマ カウンタ リセット レジスタ

図 29-74. WDTCNTRST

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESTART																															
R-0/W-0h																															

表 29-69. WDTCNTRST のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	RESTART	R-0/W	0h	このレジスタに 03A7h を書き込むと、WDT カウンタが再起動します。それ以外の値を書き込むと、POR レベルのリセットが発生します。0x0h として読み出します。 0h = 最小値 000003A7h = WDT カウンタを再起動するための値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.68 WDTSTAT (オフセット = 1310h) [リセット = 00000000h]

図 29-75 に、WDTSTAT を示し、表 29-70 に、その説明を示します。

概略表に戻ります。

ウォッチドッグ タイマ ステータス レジスタ

図 29-75. WDTSTAT

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															RUN
R-0h															R-0h

表 29-70. WDTSTAT のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	RUN	R	0h	ウォッチドッグ実行中ステータス フラグ。 0h = ウォッチドッグ カウンタ停止。 1h = ウォッチドッグ実行中。

Copyright © 2026 Texas Instruments Incorporated

29.10.69 WDTLOCK (オフセット = 13FCh) [リセット = 00000000h]

図 29-76 に、WDTLOCK を示し、表 29-71 に、その説明を示します。

概略表に戻ります。

WDT ロック ビットは、WDTEN および WDTCTL レジスタを誤った更新から保護します。

図 29-76. WDTLOCK

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							PROTECT
R-0h							R/WK – 0h

表 29-71. WDTLOCK のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xBD) を書き込む必要があります。 BDh = いずれかの有効化ビットをクリアするには、このフィールドに 0xBD を書き込む必要があります
23-1	予約済み	R	0h	
0	PROTECT	R/WK	0h	セットされている場合、このレジスタ ビットは WDTEN と WDTCTL を誤った書き込みから保護します。 このビットに書き込むには、KEY を BDh に設定する必要があります。 0h = ウォッチドッグ タイマ制御は書き込み可能。 1h = ウォッチドッグ タイマの制御は読み取り専用アクセス。

Copyright © 2026 Texas Instruments Incorporated

29.10.70 SPMEM[y] (オフセット = 1400h + 式) [リセット = 00000000h]

図 29-77 に、SPMEM[y] を示し、表 29-72 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ

オフセット = 1400h + (y * 4h)、ここで y = 0h～1Fh

図 29-77. SPMEM[y]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA3								DATA2								DATA1								DATA0							
R/W-0h								R/W-0h								R/W-0h								R/W-0h							

表 29-72. SPMEM[y] のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	DATA3	R/W	0h	メモリ データ バイト 3 0h= 最小値 FFh = 可能な最大値
23-16	DATA2	R/W	0h	メモリ データ バイト 2 0h= 最小値 FFh = 可能な最大値
15-8	DATA1	R/W	0h	メモリ データ バイト 1 0h= 最小値 FFh = 可能な最大値
7-0	DATA0	R/W	0h	メモリ データ バイト 0 0h= 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

29.10.71 SPMWPROT0 (オフセット = 1500h) [リセット = 00000000h]

図 29-78 に、SPMWPROT0 を示し、表 29-73 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ書き込み保護 0

図 29-78. SPMWPROT0

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
WP_3_3	WP_3_2	WP_3_1	WP_3_0	WP_2_3	WP_2_2	WP_2_1	WP_2_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
WP_1_3	WP_1_2	WP_1_1	WP_1_0	WP_0_3	WP_0_2	WP_0_1	WP_0_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-73. SPMWPROT0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE8) を書き込む必要があります。 E8h = 書き込み保護ビットを更新するには、このフィールドに 0xE8 を書き込む必要があります
23-16	予約済み	R	0h	
15	WP_3_3	R/WK	0h	書き込み保護 SPMEM3 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
14	WP_3_2	R/WK	0h	書き込み保護 SPMEM3 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
13	WP_3_1	R/WK	0h	書き込み保護 SPMEM3 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
12	WP_3_0	R/WK	0h	書き込み保護 SPMEM3 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
11	WP_2_3	R/WK	0h	書き込み保護 SPMEM2 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
10	WP_2_2	R/WK	0h	書き込み保護 SPMEM2 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

表 29-73. SPMWPROT0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	WP_2_1	R/WK	0h	書き込み保護 SPMEM2 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
8	WP_2_0	R/WK	0h	書き込み保護 SPMEM2 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
7	WP_1_3	R/WK	0h	書き込み保護 SPMEM1 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
6	WP_1_2	R/WK	0h	書き込み保護 SPMEM1 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
5	WP_1_1	R/WK	0h	書き込み保護 SPMEM1 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
4	WP_1_0	R/WK	0h	書き込み保護 SPMEM1 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
3	WP_0_3	R/WK	0h	書き込み保護 SPMEM0 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
2	WP_0_2	R/WK	0h	書き込み保護 SPMEM0 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
1	WP_0_1	R/WK	0h	書き込み保護 SPMEM0 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
0	WP_0_0	R/WK	0h	書き込み保護 SPMEM0 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

29.10.72 SPMWPROT1 (オフセット = 1504h) [リセット = 00000000h]

図 29-79 に、SPMWPROT1 を示し、表 29-74 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ書き込み保護 1

図 29-79. SPMWPROT1

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
WP_7_3	WP_7_2	WP_7_1	WP_7_0	WP_6_3	WP_6_2	WP_6_1	WP_6_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
WP_5_3	WP_5_2	WP_5_1	WP_5_0	WP_4_3	WP_4_2	WP_4_1	WP_4_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-74. SPMWPROT1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE8) を書き込む必要があります。 E8h = 書き込み保護ビットを更新するには、このフィールドに 0xE8 を書き込む必要があります
23-16	予約済み	R	0h	
15	WP_7_3	R/WK	0h	書き込み保護 SPMEM7 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
14	WP_7_2	R/WK	0h	書き込み保護 SPMEM7 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
13	WP_7_1	R/WK	0h	書き込み保護 SPMEM7 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
12	WP_7_0	R/WK	0h	書き込み保護 SPMEM7 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
11	WP_6_3	R/WK	0h	書き込み保護 SPMEM6 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
10	WP_6_2	R/WK	0h	書き込み保護 SPMEM6 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

表 29-74. SPMWPROT1 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	WP_6_1	R/WK	0h	書き込み保護 SPMEM6 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
8	WP_6_0	R/WK	0h	書き込み保護 SPMEM6 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
7	WP_5_3	R/WK	0h	書き込み保護 SPMEM5 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
6	WP_5_2	R/WK	0h	書き込み保護 SPMEM5 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
5	WP_5_1	R/WK	0h	書き込み保護 SPMEM5 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
4	WP_5_0	R/WK	0h	書き込み保護 SPMEM5 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
3	WP_4_3	R/WK	0h	書き込み保護 SPMEM4 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
2	WP_4_2	R/WK	0h	書き込み保護 SPMEM4 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
1	WP_4_1	R/WK	0h	書き込み保護 SPMEM4 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
0	WP_4_0	R/WK	0h	書き込み保護 SPMEM4 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

29.10.73 SPMWPROT2 (オフセット = 1508h) [リセット = 00000000h]

図 29-80 に、SPMWPROT2 を示し、表 29-75 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ書き込み保護 2

図 29-80. SPMWPROT2

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
WP_11_3	WP_11_2	WP_11_1	WP_11_0	WP_10_3	WP_10_2	WP_10_1	WP_10_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
WP_9_3	WP_9_2	WP_9_1	WP_9_0	WP_8_3	WP_8_2	WP_8_1	WP_8_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-75. SPMWPROT2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE8) を書き込む必要があります。 E8h = 書き込み保護ビットを更新するには、このフィールドに 0xE8 を書き込む必要があります
23-16	予約済み	R	0h	
15	WP_11_3	R/WK	0h	書き込み保護 SPMEM11 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
14	WP_11_2	R/WK	0h	書き込み保護 SPMEM11 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
13	WP_11_1	R/WK	0h	書き込み保護 SPMEM11 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
12	WP_11_0	R/WK	0h	書き込み保護 SPMEM11 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
11	WP_10_3	R/WK	0h	書き込み保護 SPMEM10 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
10	WP_10_2	R/WK	0h	書き込み保護 SPMEM610 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

表 29-75. SPMWPROT2 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	WP_10_1	R/WK	0h	書き込み保護 SPMEM10 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
8	WP_10_0	R/WK	0h	書き込み保護 SPMEM10 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
7	WP_9_3	R/WK	0h	書き込み保護 SPMEM9 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
6	WP_9_2	R/WK	0h	書き込み保護 SPMEM9 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
5	WP_9_1	R/WK	0h	書き込み保護 SPMEM9 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
4	WP_9_0	R/WK	0h	書き込み保護 SPMEM9 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
3	WP_8_3	R/WK	0h	書き込み保護 SPMEM8 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
2	WP_8_2	R/WK	0h	書き込み保護 SPMEM8 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
1	WP_8_1	R/WK	0h	書き込み保護 SPMEM8 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
0	WP_8_0	R/WK	0h	書き込み保護 SPMEM8 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

29.10.74 SPMWPROT3 (オフセット = 150Ch) [リセット = 00000000h]

図 29-81 に、SPMWPROT3 を示し、表 29-76 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ書き込み保護 3

図 29-81. SPMWPROT3

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
WP_15_3	WP_15_2	WP_15_1	WP_15_0	WP_14_3	WP_14_2	WP_14_1	WP_14_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
WP_13_3	WP_13_2	WP_13_1	WP_13_0	WP_12_3	WP_12_2	WP_12_1	WP_12_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-76. SPMWPROT3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE8) を書き込む必要があります。 E8h = 書き込み保護ビットを更新するには、このフィールドに 0xE8 を書き込む必要があります
23-16	予約済み	R	0h	
15	WP_15_3	R/WK	0h	書き込み保護 SPMEM15 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
14	WP_15_2	R/WK	0h	書き込み保護 SPMEM15 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
13	WP_15_1	R/WK	0h	書き込み保護 SPMEM15 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
12	WP_15_0	R/WK	0h	書き込み保護 SPMEM15 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
11	WP_14_3	R/WK	0h	書き込み保護 SPMEM14 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
10	WP_14_2	R/WK	0h	書き込み保護 SPMEM14 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

表 29-76. SPMWPROT3 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	WP_14_1	R/WK	0h	書き込み保護 SPMEM14 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
8	WP_14_0	R/WK	0h	書き込み保護 SPMEM14 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
7	WP_13_3	R/WK	0h	書き込み保護 SPMEM13 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
6	WP_13_2	R/WK	0h	書き込み保護 SPMEM13 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
5	WP_13_1	R/WK	0h	書き込み保護 SPMEM13 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
4	WP_13_0	R/WK	0h	書き込み保護 SPMEM13 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
3	WP_12_3	R/WK	0h	書き込み保護 SPMEM12 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
2	WP_12_2	R/WK	0h	書き込み保護 SPMEM12 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
1	WP_12_1	R/WK	0h	書き込み保護 SPMEM12 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
0	WP_12_0	R/WK	0h	書き込み保護 SPMEM12 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

29.10.75 SPMWPROT4 (オフセット = 1510h) [リセット = 00000000h]

図 29-82 に、SPMWPROT4 を示し、表 29-77 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ書き込み保護 4

図 29-82. SPMWPROT4

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
WP_19_3	WP_19_2	WP_19_1	WP_19_0	WP_18_3	WP_18_2	WP_18_1	WP_18_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
WP_17_3	WP_17_2	WP_17_1	WP_17_0	WP_16_3	WP_16_2	WP_16_1	WP_16_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-77. SPMWPROT4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE8) を書き込む必要があります。 E8h = 書き込み保護ビットを更新するには、このフィールドに 0xE8 を書き込む必要があります
23-16	予約済み	R	0h	
15	WP_19_3	R/WK	0h	書き込み保護 SPMEM19 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
14	WP_19_2	R/WK	0h	書き込み保護 SPMEM19 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
13	WP_19_1	R/WK	0h	書き込み保護 SPMEM19 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
12	WP_19_0	R/WK	0h	書き込み保護 SPMEM19 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
11	WP_18_3	R/WK	0h	書き込み保護 SPMEM18 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
10	WP_18_2	R/WK	0h	書き込み保護 SPMEM18 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

表 29-77. SPMWPROT4 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	WP_18_1	R/WK	0h	書き込み保護 SPMEM18 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
8	WP_18_0	R/WK	0h	書き込み保護 SPMEM18 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
7	WP_17_3	R/WK	0h	書き込み保護 SPMEM17 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
6	WP_17_2	R/WK	0h	書き込み保護 SPMEM17 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
5	WP_17_1	R/WK	0h	書き込み保護 SPMEM17 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
4	WP_17_0	R/WK	0h	書き込み保護 SPMEM17 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
3	WP_16_3	R/WK	0h	書き込み保護 SPMEM16 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
2	WP_16_2	R/WK	0h	書き込み保護 SPMEM16 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
1	WP_16_1	R/WK	0h	書き込み保護 SPMEM16 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
0	WP_16_0	R/WK	0h	書き込み保護 SPMEM16 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

29.10.76 SPMWPROT5 (オフセット = 1514h) [リセット = 00000000h]

図 29-83 に、SPMWPROT5 を示し、表 29-78 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ書き込み保護 5

図 29-83. SPMWPROT5

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
WP_23_3	WP_23_2	WP_23_1	WP_23_0	WP_22_3	WP_22_2	WP_22_1	WP_22_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
WP_21_3	WP_21_2	WP_21_1	WP_21_0	WP_20_3	WP_20_2	WP_20_1	WP_20_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-78. SPMWPROT5 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE8) を書き込む必要があります。 E8h = 書き込み保護ビットを更新するには、このフィールドに 0xE8 を書き込む必要があります
23-16	予約済み	R	0h	
15	WP_23_3	R/WK	0h	書き込み保護 SPMEM23 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
14	WP_23_2	R/WK	0h	書き込み保護 SPMEM23 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
13	WP_23_1	R/WK	0h	書き込み保護 SPMEM23 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
12	WP_23_0	R/WK	0h	書き込み保護 SPMEM23 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
11	WP_22_3	R/WK	0h	書き込み保護 SPMEM22 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
10	WP_22_2	R/WK	0h	書き込み保護 SPMEM22 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

表 29-78. SPMWPROT5 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	WP_22_1	R/WK	0h	書き込み保護 SPMEM22 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
8	WP_22_0	R/WK	0h	書き込み保護 SPMEM22 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
7	WP_21_3	R/WK	0h	書き込み保護 SPMEM21 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
6	WP_21_2	R/WK	0h	書き込み保護 SPMEM21 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
5	WP_21_1	R/WK	0h	書き込み保護 SPMEM21 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
4	WP_21_0	R/WK	0h	書き込み保護 SPMEM21 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
3	WP_20_3	R/WK	0h	書き込み保護 SPMEM20 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
2	WP_20_2	R/WK	0h	書き込み保護 SPMEM20 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
1	WP_20_1	R/WK	0h	書き込み保護 SPMEM20 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
0	WP_20_0	R/WK	0h	書き込み保護 SPMEM20 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

29.10.77 SPMWPROT6 (オフセット = 1518h) [リセット = 00000000h]

図 29-84 に、SPMWPROT6 を示し、表 29-79 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ書き込み保護 6

図 29-84. SPMWPROT6

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
WP_27_3	WP_27_2	WP_27_1	WP_27_0	WP_26_3	WP_26_2	WP_26_1	WP_26_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
WP_25_3	WP_25_2	WP_25_1	WP_25_0	WP_24_3	WP_24_2	WP_24_1	WP_24_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-79. SPMWPROT6 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE8) を書き込む必要があります。 E8h = 書き込み保護ビットを更新するには、このフィールドに 0xE8 を書き込む必要があります
23-16	予約済み	R	0h	
15	WP_27_3	R/WK	0h	書き込み保護 SPMEM27 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
14	WP_27_2	R/WK	0h	書き込み保護 SPMEM27 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
13	WP_27_1	R/WK	0h	書き込み保護 SPMEM27 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
12	WP_27_0	R/WK	0h	書き込み保護 SPMEM27 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
11	WP_26_3	R/WK	0h	書き込み保護 SPMEM26 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
10	WP_26_2	R/WK	0h	書き込み保護 SPMEM26 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

表 29-79. SPMWPROT6 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	WP_26_1	R/WK	0h	書き込み保護 SPMEM26 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
8	WP_26_0	R/WK	0h	書き込み保護 SPMEM26 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
7	WP_25_3	R/WK	0h	書き込み保護 SPMEM25 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
6	WP_25_2	R/WK	0h	書き込み保護 SPMEM25 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
5	WP_25_1	R/WK	0h	書き込み保護 SPMEM25 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
4	WP_25_0	R/WK	0h	書き込み保護 SPMEM25 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
3	WP_24_3	R/WK	0h	書き込み保護 SPMEM24 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
2	WP_24_2	R/WK	0h	書き込み保護 SPMEM24 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
1	WP_24_1	R/WK	0h	書き込み保護 SPMEM24 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
0	WP_24_0	R/WK	0h	書き込み保護 SPMEM24 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

29.10.78 SPMWPROT7 (オフセット = 151Ch) [リセット = 00000000h]

図 29-85 に、SPMWPROT7 を示し、表 29-80 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ書き込み保護 7

図 29-85. SPMWPROT7

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
WP_31_3	WP_31_2	WP_31_1	WP_31_0	WP_30_3	WP_30_2	WP_30_1	WP_30_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
WP_29_3	WP_29_2	WP_29_1	WP_29_0	WP_28_3	WP_28_2	WP_28_1	WP_28_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-80. SPMWPROT7 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xE8) を書き込む必要があります。 E8h = 書き込み保護ビットを更新するには、このフィールドに 0xE8 を書き込む必要があります
23-16	予約済み	R	0h	
15	WP_31_3	R/WK	0h	書き込み保護 SPMEM31 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
14	WP_31_2	R/WK	0h	書き込み保護 SPMEM31 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
13	WP_31_1	R/WK	0h	書き込み保護 SPMEM31 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
12	WP_31_0	R/WK	0h	書き込み保護 SPMEM31 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
11	WP_30_3	R/WK	0h	書き込み保護 SPMEM30 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
10	WP_30_2	R/WK	0h	書き込み保護 SPMEM30 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

表 29-80. SPMWPROT7 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	WP_30_1	R/WK	0h	書き込み保護 SPMEM30 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
8	WP_30_0	R/WK	0h	書き込み保護 SPMEM30 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
7	WP_29_3	R/WK	0h	書き込み保護 SPMEM29 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
6	WP_29_2	R/WK	0h	書き込み保護 SPMEM29 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
5	WP_29_1	R/WK	0h	書き込み保護 SPMEM29 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
4	WP_29_0	R/WK	0h	書き込み保護 SPMEM29 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
3	WP_28_3	R/WK	0h	書き込み保護 SPMEM28 - DATA3 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
2	WP_28_2	R/WK	0h	書き込み保護 SPMEM28 - DATA2 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
1	WP_28_1	R/WK	0h	書き込み保護 SPMEM28 - DATA1 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス
0	WP_28_0	R/WK	0h	書き込み保護 SPMEM28 - DATA0 このビットに書き込むには、KEY を E8h に設定する必要があります。 0h = SPMEM は読み取りおよび書き込みアクセス 1h = SPMEM は読み取り専用アクセス

Copyright © 2026 Texas Instruments Incorporated

29.10.79 SPMTERASE0 (オフセット = 1540h) [リセット = 00000000h]

図 29-86 に、SPMTERASE0 を示し、表 29-81 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ タンパ消去有効化 0

図 29-86. SPMTERASE0

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TE_3_3	TE_3_2	TE_3_1	TE_3_0	TE_2_3	TE_2_2	TE_2_1	TE_2_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TE_1_3	TE_1_2	TE_1_1	TE_1_0	TE_0_3	TE_0_2	TE_0_1	TE_0_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-81. SPMTERASE0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xA3) を書き込む必要があります。 A3h = タンパ消去有効化ビットを更新するには、このフィールドに 0xA3 を書き込む必要があります
23-16	予約済み	R	0h	
15	TE_3_3	R/WK	0h	タンパ消去有効化 SPMEM3 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
14	TE_3_2	R/WK	0h	タンパ消去有効化 SPMEM3 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
13	TE_3_1	R/WK	0h	タンパ消去有効化 SPMEM3 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
12	TE_3_0	R/WK	0h	タンパ消去有効化 SPMEM3 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
11	TE_2_3	R/WK	0h	タンパ消去有効化 SPMEM2 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
10	TE_2_2	R/WK	0h	タンパ消去有効化 SPMEM2 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

表 29-81. SPMTERASE0 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TE_2_1	R/WK	0h	タンパ消去有効化 SPMEM2 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
8	TE_2_0	R/WK	0h	タンパ消去有効化 SPMEM2 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
7	TE_1_3	R/WK	0h	タンパ消去有効化 SPMEM1 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
6	TE_1_2	R/WK	0h	タンパ消去有効化 SPMEM1 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
5	TE_1_1	R/WK	0h	タンパ消去有効化 SPMEM1 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
4	TE_1_0	R/WK	0h	タンパ消去有効化 SPMEM1 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
3	TE_0_3	R/WK	0h	タンパ消去有効化 SPMEM0 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
2	TE_0_2	R/WK	0h	タンパ消去有効化 SPMEM0 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
1	TE_0_1	R/WK	0h	タンパ消去有効化 SPMEM0 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
0	TE_0_0	R/WK	0h	タンパ消去有効化 SPMEM0 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

29.10.80 SPMTERASE1 (オフセット = 1544h) [リセット = 00000000h]

図 29-87 に、SPMTERASE1 を示し、表 29-82 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ タンパ消去有効化 1

図 29-87. SPMTERASE1

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TE_7_3	TE_7_2	TE_7_1	TE_7_0	TE_6_3	TE_6_2	TE_6_1	TE_6_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TE_5_3	TE_5_2	TE_5_1	TE_5_0	TE_4_3	TE_4_2	TE_4_1	TE_4_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-82. SPMTERASE1 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xA3) を書き込む必要があります。 A3h = タンパ消去有効化ビットを更新するには、このフィールドに 0xA3 を書き込む必要があります
23-16	予約済み	R	0h	
15	TE_7_3	R/WK	0h	タンパ消去有効化 SPMEM7 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
14	TE_7_2	R/WK	0h	タンパ消去有効化 SPMEM7 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
13	TE_7_1	R/WK	0h	タンパ消去有効化 SPMEM7 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
12	TE_7_0	R/WK	0h	タンパ消去有効化 SPMEM7 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
11	TE_6_3	R/WK	0h	タンパ消去有効化 SPMEM6 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
10	TE_6_2	R/WK	0h	タンパ消去有効化 SPMEM6 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

表 29-82. SPMTERASE1 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TE_6_1	R/WK	0h	タンパ消去有効化 SPMEM6 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
8	TE_6_0	R/WK	0h	タンパ消去有効化 SPMEM6 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
7	TE_5_3	R/WK	0h	タンパ消去有効化 SPMEM5 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
6	TE_5_2	R/WK	0h	タンパ消去有効化 SPMEM5 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
5	TE_5_1	R/WK	0h	タンパ消去有効化 SPMEM5 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
4	TE_5_0	R/WK	0h	タンパ消去有効化 SPMEM5 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
3	TE_4_3	R/WK	0h	タンパ消去有効化 SPMEM4 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
2	TE_4_2	R/WK	0h	タンパ消去有効化 SPMEM4 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
1	TE_4_1	R/WK	0h	タンパ消去有効化 SPMEM4 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
0	TE_4_0	R/WK	0h	タンパ消去有効化 SPMEM4 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

29.10.81 SPMTERASE2 (オフセット = 1548h) [リセット = 00000000h]

図 29-88 に、SPMTERASE2 を示し、表 29-83 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ タンパ消去有効化 2

図 29-88. SPMTERASE2

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TE_11_3	TE_11_2	TE_11_1	TE_11_0	TE_10_3	TE_10_2	TE_10_1	TE_10_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TE_9_3	TE_9_2	TE_9_1	TE_9_0	TE_8_3	TE_8_2	TE_8_1	TE_8_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-83. SPMTERASE2 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xA3) を書き込む必要があります。 A3h = タンパ消去有効化ビットを更新するには、このフィールドに 0xA3 を書き込む必要があります
23-16	予約済み	R	0h	
15	TE_11_3	R/WK	0h	タンパ消去有効化 SPMEM11 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
14	TE_11_2	R/WK	0h	タンパ消去有効化 SPMEM11 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
13	TE_11_1	R/WK	0h	タンパ消去有効化 SPMEM11 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
12	TE_11_0	R/WK	0h	タンパ消去有効化 SPMEM11 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
11	TE_10_3	R/WK	0h	タンパ消去有効化 SPMEM10 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
10	TE_10_2	R/WK	0h	タンパ消去有効化 SPMEM10 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

表 29-83. SPMTERASE2 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TE_10_1	R/WK	0h	タンパ消去有効化 SPMEM10 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
8	TE_10_0	R/WK	0h	タンパ消去有効化 SPMEM10 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
7	TE_9_3	R/WK	0h	タンパ消去有効化 SPMEM9 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
6	TE_9_2	R/WK	0h	タンパ消去有効化 SPMEM9 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
5	TE_9_1	R/WK	0h	タンパ消去有効化 SPMEM9 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
4	TE_9_0	R/WK	0h	タンパ消去有効化 SPMEM9 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
3	TE_8_3	R/WK	0h	タンパ消去有効化 SPMEM8 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
2	TE_8_2	R/WK	0h	タンパ消去有効化 SPMEM8 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
1	TE_8_1	R/WK	0h	タンパ消去有効化 SPMEM8 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
0	TE_8_0	R/WK	0h	タンパ消去有効化 SPMEM8 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

29.10.82 SPMTERASE3 (オフセット = 154Ch) [リセット = 00000000h]

図 29-89 に、SPMTERASE3 を示し、表 29-84 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ タンパ消去有効化 3

図 29-89. SPMTERASE3

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TE_15_3	TE_15_2	TE_15_1	TE_15_0	TE_14_3	TE_14_2	TE_14_1	TE_14_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TE_13_3	TE_13_2	TE_13_1	TE_13_0	TE_12_3	TE_12_2	TE_12_1	TE_12_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-84. SPMTERASE3 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xA3) を書き込む必要があります。 A3h = タンパ消去有効化ビットを更新するには、このフィールドに 0xA3 を書き込む必要があります
23-16	予約済み	R	0h	
15	TE_15_3	R/WK	0h	タンパ消去有効化 SPMEM15 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
14	TE_15_2	R/WK	0h	タンパ消去有効化 SPMEM15 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
13	TE_15_1	R/WK	0h	タンパ消去有効化 SPMEM15 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
12	TE_15_0	R/WK	0h	タンパ消去有効化 SPMEM15 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
11	TE_14_3	R/WK	0h	タンパ消去有効化 SPMEM14 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
10	TE_14_2	R/WK	0h	タンパ消去有効化 SPMEM14 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

表 29-84. SPMTERASE3 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TE_14_1	R/WK	0h	タンパ消去有効化 SPMEM14 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
8	TE_14_0	R/WK	0h	タンパ消去有効化 SPMEM14 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
7	TE_13_3	R/WK	0h	タンパ消去有効化 SPMEM13 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
6	TE_13_2	R/WK	0h	タンパ消去有効化 SPMEM13 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
5	TE_13_1	R/WK	0h	タンパ消去有効化 SPMEM13 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
4	TE_13_0	R/WK	0h	タンパ消去有効化 SPMEM13 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
3	TE_12_3	R/WK	0h	タンパ消去有効化 SPMEM12 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
2	TE_12_2	R/WK	0h	タンパ消去有効化 SPMEM12 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
1	TE_12_1	R/WK	0h	タンパ消去有効化 SPMEM12 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
0	TE_12_0	R/WK	0h	タンパ消去有効化 SPMEM12 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

29.10.83 SPMTERASE4 (オフセット = 1550h) [リセット = 00000000h]

図 29-90 に、SPMTERASE4 を示し、表 29-85 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ タンパ消去有効化 4

図 29-90. SPMTERASE4

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TE_19_3	TE_19_2	TE_19_1	TE_19_0	TE_18_3	TE_18_2	TE_18_1	TE_18_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TE_17_3	TE_17_2	TE_17_1	TE_17_0	TE_16_3	TE_16_2	TE_16_1	TE_16_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-85. SPMTERASE4 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xA3) を書き込む必要があります。 A3h = タンパ消去有効化ビットを更新するには、このフィールドに 0xA3 を書き込む必要があります
23-16	予約済み	R	0h	
15	TE_19_3	R/WK	0h	タンパ消去有効化 SPMEM19 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
14	TE_19_2	R/WK	0h	タンパ消去有効化 SPMEM19 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
13	TE_19_1	R/WK	0h	タンパ消去有効化 SPMEM19 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
12	TE_19_0	R/WK	0h	タンパ消去有効化 SPMEM19 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
11	TE_18_3	R/WK	0h	タンパ消去有効化 SPMEM18 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
10	TE_18_2	R/WK	0h	タンパ消去有効化 SPMEM18 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

表 29-85. SPMTERASE4 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TE_18_1	R/WK	0h	タンパ消去有効化 SPMEM18 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
8	TE_18_0	R/WK	0h	タンパ消去有効化 SPMEM18 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
7	TE_17_3	R/WK	0h	タンパ消去有効化 SPMEM17 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
6	TE_17_2	R/WK	0h	タンパ消去有効化 SPMEM17 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
5	TE_17_1	R/WK	0h	タンパ消去有効化 SPMEM17 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
4	TE_17_0	R/WK	0h	タンパ消去有効化 SPMEM17 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
3	TE_16_3	R/WK	0h	タンパ消去有効化 SPMEM16 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
2	TE_16_2	R/WK	0h	タンパ消去有効化 SPMEM16 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
1	TE_16_1	R/WK	0h	タンパ消去有効化 SPMEM16 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
0	TE_16_0	R/WK	0h	タンパ消去有効化 SPMEM16 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

29.10.84 SPMTERASE5 (オフセット = 1554h) [リセット = 00000000h]

図 29-91 に、SPMTERASE5 を示し、表 29-86 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ タンパ消去有効化 5

図 29-91. SPMTERASE5

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TE_23_3	TE_23_2	TE_23_1	TE_23_0	TE_22_3	TE_22_2	TE_22_1	TE_22_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TE_21_3	TE_21_2	TE_21_1	TE_21_0	TE_20_3	TE_20_2	TE_20_1	TE_20_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-86. SPMTERASE5 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xA3) を書き込む必要があります。 A3h = タンパ消去有効化ビットを更新するには、このフィールドに 0xA3 を書き込む必要があります
23-16	予約済み	R	0h	
15	TE_23_3	R/WK	0h	タンパ消去有効化 SPMEM23 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
14	TE_23_2	R/WK	0h	タンパ消去有効化 SPMEM23 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
13	TE_23_1	R/WK	0h	タンパ消去有効化 SPMEM23 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
12	TE_23_0	R/WK	0h	タンパ消去有効化 SPMEM23 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
11	TE_22_3	R/WK	0h	タンパ消去有効化 SPMEM22 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
10	TE_22_2	R/WK	0h	タンパ消去有効化 SPMEM22 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

表 29-86. SPMTERASE5 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TE_22_1	R/WK	0h	タンパ消去有効化 SPMEM22 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
8	TE_22_0	R/WK	0h	タンパ消去有効化 SPMEM22 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
7	TE_21_3	R/WK	0h	タンパ消去有効化 SPMEM21 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
6	TE_21_2	R/WK	0h	タンパ消去有効化 SPMEM21 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
5	TE_21_1	R/WK	0h	タンパ消去有効化 SPMEM21 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
4	TE_21_0	R/WK	0h	タンパ消去有効化 SPMEM21 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
3	TE_20_3	R/WK	0h	タンパ消去有効化 SPMEM20 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
2	TE_20_2	R/WK	0h	タンパ消去有効化 SPMEM20 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
1	TE_20_1	R/WK	0h	タンパ消去有効化 SPMEM20 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
0	TE_20_0	R/WK	0h	タンパ消去有効化 SPMEM20 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

29.10.85 SPMTERASE6 (オフセット = 1558h) [リセット = 00000000h]

図 29-92 に、SPMTERASE6 を示し、表 29-87 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ タンパ消去有効化 6

図 29-92. SPMTERASE6

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TE_27_3	TE_27_2	TE_27_1	TE_27_0	TE_26_3	TE_26_2	TE_26_1	TE_26_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TE_25_3	TE_25_2	TE_25_1	TE_25_0	TE_24_3	TE_24_2	TE_24_1	TE_24_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-87. SPMTERASE6 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xA3) を書き込む必要があります。 A3h = タンパ消去有効化ビットを更新するには、このフィールドに 0xA3 を書き込む必要があります
23-16	予約済み	R	0h	
15	TE_27_3	R/WK	0h	タンパ消去有効化 SPMEM27 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
14	TE_27_2	R/WK	0h	タンパ消去有効化 SPMEM27 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
13	TE_27_1	R/WK	0h	タンパ消去有効化 SPMEM27 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
12	TE_27_0	R/WK	0h	タンパ消去有効化 SPMEM27 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
11	TE_26_3	R/WK	0h	タンパ消去有効化 SPMEM26 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
10	TE_26_2	R/WK	0h	タンパ消去有効化 SPMEM26 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

表 29-87. SPMTERASE6 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TE_26_1	R/WK	0h	タンパ消去有効化 SPMEM26 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
8	TE_26_0	R/WK	0h	タンパ消去有効化 SPMEM26 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
7	TE_25_3	R/WK	0h	タンパ消去有効化 SPMEM25 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
6	TE_25_2	R/WK	0h	タンパ消去有効化 SPMEM25 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
5	TE_25_1	R/WK	0h	タンパ消去有効化 SPMEM25 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
4	TE_25_0	R/WK	0h	タンパ消去有効化 SPMEM25 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
3	TE_24_3	R/WK	0h	タンパ消去有効化 SPMEM24 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
2	TE_24_2	R/WK	0h	タンパ消去有効化 SPMEM24 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
1	TE_24_1	R/WK	0h	タンパ消去有効化 SPMEM24 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
0	TE_24_0	R/WK	0h	タンパ消去有効化 SPMEM24 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

29.10.86 SPMTERASE7 (オフセット = 155Ch) [リセット = 00000000h]

図 29-93 に、SPMTERASE7 を示し、表 29-88 に、その説明を示します。

概略表に戻ります。

スクラッチ パッド メモリ タンパ消去有効化 7

図 29-93. SPMTERASE7

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
TE_31_3	TE_31_2	TE_31_1	TE_31_0	TE_30_3	TE_30_2	TE_30_1	TE_30_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TE_29_3	TE_29_2	TE_29_1	TE_29_0	TE_28_3	TE_28_2	TE_28_1	TE_28_0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 29-88. SPMTERASE7 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0xA3) を書き込む必要があります。 A3h = タンパ消去有効化ビットを更新するには、このフィールドに 0xA3 を書き込む必要があります
23-16	予約済み	R	0h	
15	TE_31_3	R/WK	0h	タンパ消去有効化 SPMEM31 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
14	TE_31_2	R/WK	0h	タンパ消去有効化 SPMEM31 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
13	TE_31_1	R/WK	0h	タンパ消去有効化 SPMEM31 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
12	TE_31_0	R/WK	0h	タンパ消去有効化 SPMEM31 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
11	TE_30_3	R/WK	0h	タンパ消去有効化 SPMEM30 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
10	TE_30_2	R/WK	0h	タンパ消去有効化 SPMEM30 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

表 29-88. SPMTERASE7 のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9	TE_30_1	R/WK	0h	タンパ消去有効化 SPMEM30 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
8	TE_30_0	R/WK	0h	タンパ消去有効化 SPMEM30 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
7	TE_29_3	R/WK	0h	タンパ消去有効化 SPMEM29 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
6	TE_29_2	R/WK	0h	タンパ消去有効化 SPMEM29 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
5	TE_29_1	R/WK	0h	タンパ消去有効化 SPMEM29 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
4	TE_29_0	R/WK	0h	タンパ消去有効化 SPMEM29 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
3	TE_28_3	R/WK	0h	タンパ消去有効化 SPMEM28 - DATA3 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
2	TE_28_2	R/WK	0h	タンパ消去有効化 SPMEM28 - DATA2 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
1	TE_28_1	R/WK	0h	タンパ消去有効化 SPMEM28 - DATA1 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます
0	TE_28_0	R/WK	0h	タンパ消去有効化 SPMEM28 - DATA0 このビットに書き込むには、KEY を A3h に設定する必要があります。 0h = タンパ イベント中 SPMEM は変更されません 1h = タンパ イベントにより SPMEM は消去されます

Copyright © 2026 Texas Instruments Incorporated

Chapter 30
RTC

リアルタイム クロック (RTC) モジュールは、カレンダ モードを備えたクロック カウンタ、柔軟にプログラム可能なアラーム、オフセット キャリブレーション、および温度補正機能を備えています。

30.1 概要 2034
30.2 基本動作 2035
30.3 構成 2037
30.4 RTC レジスタ 2048

Copyright © 2026 Texas Instruments Incorporated

30.1 概要

リアルタイム クロック モジュールは、秒、分、時、曜日、日、および年をカウントする機能を備え、アプリケーションに時刻情報を提供します。カウント値の形式は、バイナリまたは BCD (2 進化 10 進数) から選択可能です。さまざまなプログラム可能な割り込みアラームが用意されています。共通の主要機能を提供する RTC インスタンス (**RTC**、**RTC_x**) と、特定の主要機能を提供する追加インスタンス (**RTC_x**) があります。

リアルタイム クロック (**RTC**、**RTC_x**) のすべてのインスタンスにまたがる共通の主な機能には、次のものがあります。

- 秒、分、時間、曜日、日、月、年を提供するリアルタイム クロックおよびカレンダー モード
- 2 進または 2 進化 10 進 (BCD) 形式を選択可能
- うるう年補正 (1901 年から 2099 年まで有効)
- 分、時、曜日、日に基づいてカスタマイズ可能な 2 つのカレンダ アラーム割り込み
- 1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み
- 4096、2048、1024、512、256、または 128Hz でウェイクするための定期的な割り込み
- 64、32、16、8、4、2、1、0.5Hz でウェイクするための定期的な割り込み
- スタンバイ モードまでの割り込み機能、STOPCLKSTBY による
- 水晶振動子オフセット誤差と水晶振動子の温度ドリフトの較正 (合計で最大 ±240ppm)
- キャリブレーション用に RTC クロックをピンに出力

RTC_x インスタンスには次のような機能が含まれます。

- 割り込み生成機能付きハートビート機能用の 3 ビット プリスケーラ
- RTC 外部クロックは、トリムされていない 32kHz、トリムされた 512Hz、256Hz、1Hz のいずれかを選択可能
- 改ざん (TIO) イベントや VDD 障害イベントを含むタイマ スタンプ イベントの検出時の RTC タイム スタンプ キャプチャ
- RTC カウンタ ロック機能

30.1.1 RTC インスタンス

表 30-1 に、RTC インスタンスおよびサポートされている機能の比較表を示します。

表 30-1. RTC インスタンスと主な機能

RTC 機能	RTC	RTC_A	RTC_B
パワー イネーブル レジスタ	あり	–	–
秒、分、時間、曜日、日、月、年を提供するリアルタイム クロックおよびカレンダー モード	あり	あり	あり
2 進または 2 進化 10 進 (BCD) 形式を選択可能	あり	あり	あり
うるう年補正 (1901 年から 2099 年まで有効)	あり	あり	あり
分、時、曜日、日に基づいてカスタマイズ可能な 2 つのカレンダ アラーム割り込み	あり	あり	あり
1 分ごと、1 時間ごと、深夜 12 時、または正午にウェークアップするインターバル アラーム割り込み	あり	あり	あり
4096、2048、1024、512、256、または 128Hz でウェイクするための定期的な割り込み	あり	あり	あり
64、32、16、8、4、2、1、0.5Hz でウェイクするための定期的な割り込み	あり	あり	あり
16、8、4 秒でウェイクするための定期的な割り込み	–	–	あり
スタンバイ モードまでの割り込み機能、STOPCLKSTBY による	あり	あり	あり
水晶振動子オフセット誤差と水晶振動子の温度ドリフトの較正 (合計で最大 ±240ppm)	あり	あり	あり
キャリブレーション用に RTC クロックをピンに出力 (GPIO)	あり	あり	あり
キャリブレーション用に RTC クロックをピンに出力 (TIO)	–	あり	–
割り込み生成機能付きハートビート機能用の 3 ビット プリスケーラ	–	あり	–
RTC 外部クロックは、トリムされていない 32kHz、トリムされた 512Hz、256Hz、1Hz のいずれかを選択可能	–	あり	–

Copyright © 2026 Texas Instruments Incorporated

表 30-1. RTC インスタンスと主な機能 (続き)

RTC 機能	RTC	RTC_A	RTC_B
以下を含むタイマ スタンプ イベント検出時の RTC タイム スタンプ キャプチャ • TIO イベント • VDD 障害イベント	–	あり	–
RTC カウンタ ロック機能	–	あり	–

注

デバイスでどの RTC のインスタンスと機能がサポートされているかを確認するには、各デバイスのデータ シートを参照してください。

30.2 基本動作

RTC は 2 つのプリスケーラ ブロック (RT0PS、RT1PS) を使用して、ソース 32.768kHz RTCCLK からそれぞれ 128Hz と 1Hz のクロックを生成します。プリスケーラ ブロックは、それぞれ 4096Hz から 0.5Hz までのさまざまなレートで周期的な割り込みアラームを生成するのをサポートしています。RT1PS からの 1Hz クロック出力は、カウンタ ブロックにチェックマークを付けます。このブロックは、秒、分、時間、曜日を追跡します。カウンタ ブロックは、1 分ごと、1 時間ごと、深夜 0 時、または正午に、インターバル アラーム割り込みを発生させることもできます。カウンタの深夜 0 時の出力は、カレンダ ブロックに信号を供給します。このブロックは、月、年の日付を表示し、うるう年を補正します。特定の時刻にアプリケーションをウェークするために、2 つの独立したカレンダ アラーム割り込みが用意されています。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

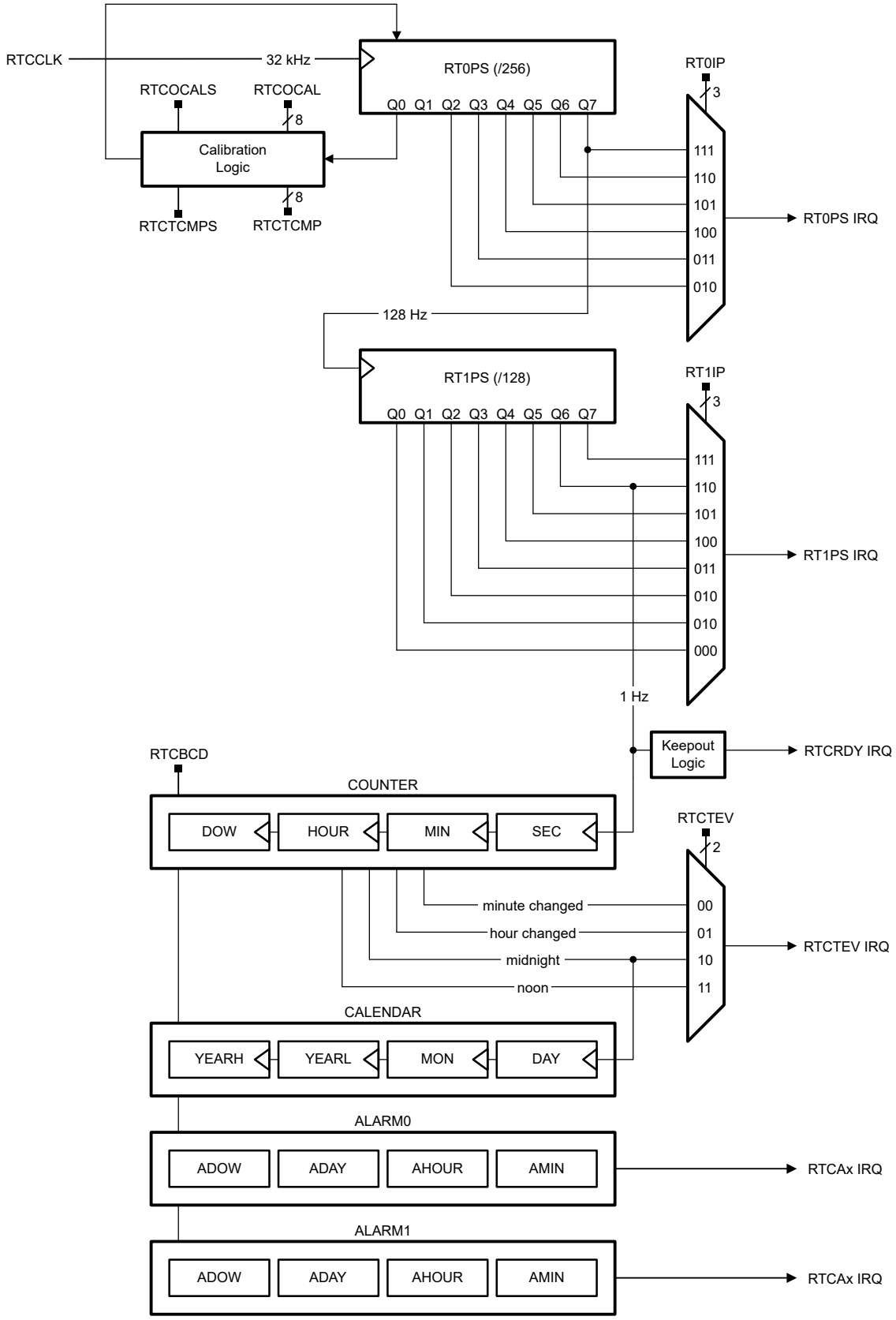


図 30-1. RTC のブロック図

Copyright © 2026 Texas Instruments Incorporated

30.3 構成

30.3.1 クロック処理

RTC には、内部 LFOSC または外部低周波数水晶発振器 (LFXT) のいずれかから供給される RTCCLK から直接クロックが供給されます。LFOSC と LFXT には起動時間が必要です。RTC モジュールへの電力供給を有効にする前に、アプリケーションで LFCLK に供給する発振器が構成されており、LFCLK が動作していることを確認してください。

2 つのプリスケール分周器 RT0PS および RT1PS は、RTC に 1 秒のクロック間隔を提供するように自動的に構成されます。RTC を適切に動作させるためには、LFCLK は 32kHz のクロック周波数で動作する必要があります。RT0PS 分周器には、32kHz の LFCLK から直接供給されます。RT0PS デバイダ ブロックの出力は 32kHz/256 または 128Hz で、RT1PS デバイダ ブロックの入力を供給するために使用されます。RT1PS 出力は 128Hz/128、または 1Hz であり、必要な 1 秒間隔でリアルタイム クロック カウンタ レジスタをソースにするために使用されます。

RTC の CLKCTL レジスタの MODCLKEN ビットをクリアすると、RTC のリアルタイム カウンタへの LFCLK とプリスケール カウンタ (RT0PS および RT1PS) の伝搬が停止します。LFCLK 自体には何の影響も及ぼしません。

30.3.2 RTC ペリフェラル レジスタの読み取りと書き込み

ペリフェラル バス クロック (ULPCLK) は、RTC クロック ソース (RTCCLK) に非同期です。このため、特定の RTC ペリフェラル レジスタを読み書きするときは特に注意が必要です。

カウンタ / カレンダ レジスタ

RTC カウンタ / カレンダ レジスタは毎秒 1 回更新されます。更新時にカウンタ / カレンダ レジスタを読み取ること (その結果、無効な時刻が読み取られる可能性があります) を防ぐため、読み取り禁止期間 (キープアウト ウィンドウ) が設けられています。キープアウト ウィンドウは、カウンタが更新されるまでの約 128/32768 秒です。STA レジスタの読み取り専用 RTCRDY ビットは、キープアウト ウィンドウ中にリセットされ、それ以外の期間では設定されます。STA レジスタの RTCRDY ビットがリセットされるときにカウンタ / カレンダ レジスタの読み取りが行われると、無効な可能性があり、読み取り時間は無視してください。

RTCRDY 割り込みメカニズムを使用して、RTC カウンタ / カレンダ レジスタを安全に読み取ることもできます。RTCRDY 割り込みがイネーブルのとき、RTCRDY ビットの立ち上がりエッジに基づいて割り込みが生成され、RTCRDY 割り込みフラグが設定されます。この時点で、アプリケーションでは、RTC レジスタのいずれかまたはすべてを安全に読み取るために、ほぼ 1 秒が設定されています。安全な読み取りを確保するために、STA レジスタの RTCRDY ビットを割り込みサービス ルーチンで再度読み取ることができ、他の割り込みをディスエーブルにできます。この同期プロセスにより、カウンタ / カレンダ遷移中の時間値の読み出しが防止されます。RTCRDY 割り込みフラグは、割り込みが処理されると自動的にリセットされ、ソフトウェアでリセットすることもできます。

RTC カウンタ / カレンダ レジスタは、いつでも書き込むことができます。カレンダ レジスタへの書き込みは、2 ～ 3 RTCCLK サイクルかかります。カウンタ / カレンダ レジスタで連続書き込みが行われると、2 ～ 3 RTCCLK サイクルの間、レジスタが未定義値に設定される可能性があります。したがって、カレンダ レジスタへの連続書き込みを避ける必要があります。同期のため、カレンダ レジスタへの書き込みの直後に読み取りが行われると、読み戻し値は常に実際のカウンタ値となり、新しく書き込まれた値を同期するために 2 ～ 3 RTCCLK サイクルが必要なため、書き込まれた値とは異なる場合があります。

次のレジスタには、上記の制限が適用されます。SEC、MIN、HOUR、DAY、MON、YEAR。

制御レジスタ

RTC 制御レジスタ (CTL) は、いつでも読み出すことができます。CTL レジスタへの書き込みは、TEV (インターバル タイマ) 割り込みがディスエーブルになっており、RTCRDY 割り込みが設定された後にのみ行う必要があります。

次のレジスタには、上記の制限が適用されます。CTL。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

アラーム レジスタ

RTC アラーム構成レジスタは、いつでも読み取ることができます。アラーム レジスタへの書き込みは、対応するアラーム割り込みがディスエーブルのとき、および RTCRDY 割り込みが設定された後に行う必要があります。

次のレジスタには、上記の制限が適用されます。A1MIN、A1HOUR、A1DAY、A2MIN、A2HOUR、A2DAY。

オフセット補正レジスタおよび温度補償レジスタ

オフセット補正レジスタ (CAL) と温度補償レジスタ (TCMP) は、STA レジスタの RTCTCRDY ビットがセットされている場合のみ書き込む必要があります。RTCTCRDY は読み取り専用ビットで、ハードウェアが新しい補正値または補償値を取得する準備ができたときにセットされます。RTCTCRDY がクリアされたときに適用される書き込みは、何の影響も及ぼしません。RTCTCOK ステータス ビットが STA レジスタで設定されます。CAL または TCMP への書き込みが成功すると、RTCTCOK がセットされます。それ以外の場合はリセットされます。RTCTCOK は、次回の書き込み試行までステータスを保持します。書き込みが失敗した場合、RTCTCRDY が設定されているときに、ソフトウェアは書き込みを再試行する必要があります。

次のレジスタには、上記の制限が適用されます。TCMP、CAL。

プリスケーラ制御レジスタ

プリスケーラ間隔制御レジスタは、いつでも読み取ることができます。プリスケーラ制御レジスタへの書き込みは、PS0 および PS1 割り込みがディスエーブルのときのみ行う必要があります。

次のレジスタには、上記の制限が適用されます。PSCTL。

30.3.3 バイナリ対 BCD

RTC は、秒、分、時、曜日、日、月、年を 2 進数または 2 進化 10 進数 (BCD) 形式のいずれか選択可能な形式で提供します。RTC の CTL レジスタの RTCBCD ビット設定がされている場合、BCD 形式が選択されます。BCD 形式を選択した場合、カレンダ レジスタでは BCD ビットのみが有効です。時間を設定する前に形式を選択する必要があります。

30.3.4 うるう年の取り扱い

このカレンダには、4 で割り切れるすべての年をうるう年とみなす、うるう年アルゴリズムが組み込まれています。このアルゴリズムは 1901 年から 2099 年まで正確です。

30.3.5 カレンダ アラーム構成

RTC は柔軟なアラーム システムを提供します。ユーザーがプログラム可能なアラーム (A0、A1) が 2 つあり、分、時間、曜日、日について、アラーム レジスタに含まれる設定に基づいてプログラムできます。

各アラーム レジスタにはアラーム イネーブル (AE) ビットが含まれており、対応するアラーム レジスタをイネーブルにするために使用できます。各種アラーム レジスタの AE ビットを設定することにより、各種のアラーム イベントを生成できます。

- **事例 1:** ユーザーは、毎時 15 分 (00:15:00、01:15:00、02:15:00 など) にアラームを設定したいと考えています。これは、AxMIN を 15 に設定することで可能です。AxMIN の AE ビットをセットし、アラーム レジスタの他のすべての AE ビットをクリアすることで、アラームがイネーブルになります。イネーブルにすると、RTCAx 割り込みフラグが 00:14:59 から 00:15:00、01:14:59 から 01:15:00、02:14:59 から 02:15:00 などでカウントが遷移するときにセットされます。
- **事例 2:** ユーザーは、04:00:00 に毎日アラームを設定したいと考えています。これは、AxHOUR を 4 に設定することで可能です。AxHOUR の AE ビットを設定し、アラーム レジスタの他のすべての AE ビットをクリアすることで、アラームがイネーブルになります。イネーブルにすると、カウントが 03:59:59 から 04:00:00 に遷移すると RTCAx 割り込みフラグがセットされます。
- **事例 3:** ユーザーは、06:30:00 のアラームを設定したいと考えています。AxHOUR は 6、AxMIN は 30 に設定されます。AxHOUR と AxMIN の AE ビットを設定すると、アラームがイネーブルになります。イネーブルにすると、時間カウントが 06:29:59 から 06:30:00 に遷移するときに RTCAx 割り込みフラグがセットされます。この場合、アラーム イベントは毎日 06:30:00 に発生します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

- **事例 4:** ユーザーは、毎週火曜日の 06:30:00 にアラームを設定したいと考えています。AxDAY レジスタの AxDOW は 2、AxHOUR は 6、AxMIN は 30 に設定されます。AxDOW、AxHOUR、AxMIN の AE ビットを設定すると、アラームがイネーブルになります。イネーブルにすると、時間カウントが 06:29:59 から 06:30:00 に遷移し、DOW が 1 から 2 に遷移するときに RTCAx 割り込みフラグがセットされます。
- **事例 5:** ユーザーは、毎月 5 日の 06:30:00 にアラームを設定したいと考えています。AxDAY は 5、AxHOUR は 6、AxMIN は 30 に設定されます。AxDAY、AxHOUR、AxMIN の AE ビットを設定すると、アラームがイネーブルになります。イネーブルにすると、時間カウントが 06:29:59 から 06:30:00 に遷移し、RTCDAY が 5 になると、RTCAx 割り込みフラグがセットされます。

注

無効なアラーム設定

無効なアラーム設定は、ハードウェアを介してチェックされません。有効なアラーム設定を入力するのはユーザーの責任です。

注

無効な時刻と日付の値

無効な日付や時刻の情報やデータ値が、カレンダやアラーム レジスタで指定された範囲外に書き込まれると、予期しない動作が発生する可能性があります。

注

アラームの設定

初期アラームを設定する前に、AE ビットを含むすべてのアラーム レジスタをクリアする必要があります。

エラーの可能性があるアラーム状態の発生を防ぐために、RTC 時間レジスタに初期の時間値または新しい時間値を書き込む前に、RTCAx 割り込みイネーブル、RTCAx 割り込みフラグ、および AE ビットをクリアして、アラームをディスエーブルにする必要があります。

30.3.6 インターバル アラーム構成

インターバル アラームは、2 つのカレンダ アラームに加えて提供され、次のイベントが発生したときにインターバル アラーム イベントを生成するように設定できます。

- MIN の変更
- HOUR の変更
- 毎日真夜中に
- 毎日正午に

この間隔は、RTC の CTL レジスタの RTCTEVTX フィールドをプログラムすることで選択されます。インターバル アラームは RTCTEV 割り込みを発生させます。

30.3.7 定期的なアラーム設定

2 つの定期的なアラームが提供され、アプリケーション用に 2 つの定期的なタイム ベースを生成するように構成できます。

RT0PS 周期アラームは、以下のいずれかのレートで周期的な割り込みを生成するように構成できます。4096Hz、2048Hz、1024Hz、512Hz、256Hz、128Hz。RT0PS の周期は、PSCTL レジスタの RT0IP ビットで設定されます。RT0PS イベントにより、RT0PS 割り込みが発生します。

RT1PS 周期アラームは、以下のいずれかのレートで周期的な割り込みを生成するように構成できます。64Hz、32Hz、16Hz、8Hz、4Hz、2Hz、1Hz、0.5Hz。RT1PS の周期は、PSCTL レジスタの RT1IP ビットで設定されます。RT1PS イベントにより、RT1PS 割り込みが発生します。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

注

対応するプリスケーラの動作中に周期的アラーム構成 (RT0IP、RT1IP) の設定を変更すると、対応する割り込みフラグが設定される可能性があります。これを回避するには、プリスケーラの動作中に RT0IP または RT1IP を変更するときに RT0PS および RT1PS 割り込みをマスクする必要があります。

30.3.8 キャリブレーション

RTC モジュールは、水晶振動子のオフセット誤差と水晶振動子の温度ドリフトによる時間維持誤差を低減するためのキャリブレーション機能を備えています。水晶振動子のオフセット誤差は、RTC_OUT 出力で水晶振動子の周波数を測定し、RTC のキャリブレーション レジスタを調整することで補正できます。ソフトウェアでシステム温度を測定し、測定された温度に基づいて ppm 単位で補正係数を計算し、RTC に補正係数を適用することで、水晶振動子の温度ドリフトを補正できます。

最大 ±240ppm のオフセット補正または最大 ±240ppm の温度補償補正を個別に適用できますが、オフセット補正と温度補償の両方を併用する場合に許容される合計補正は ±240ppm です。これは、オフセット誤差と温度補償の符号付き追加が最大値 ±240ppm を超えないようにすることを意味します。そうしないと、±240ppm を超える値はハードウェアによって無視されます。

Copyright © 2026 Texas Instruments Incorporated

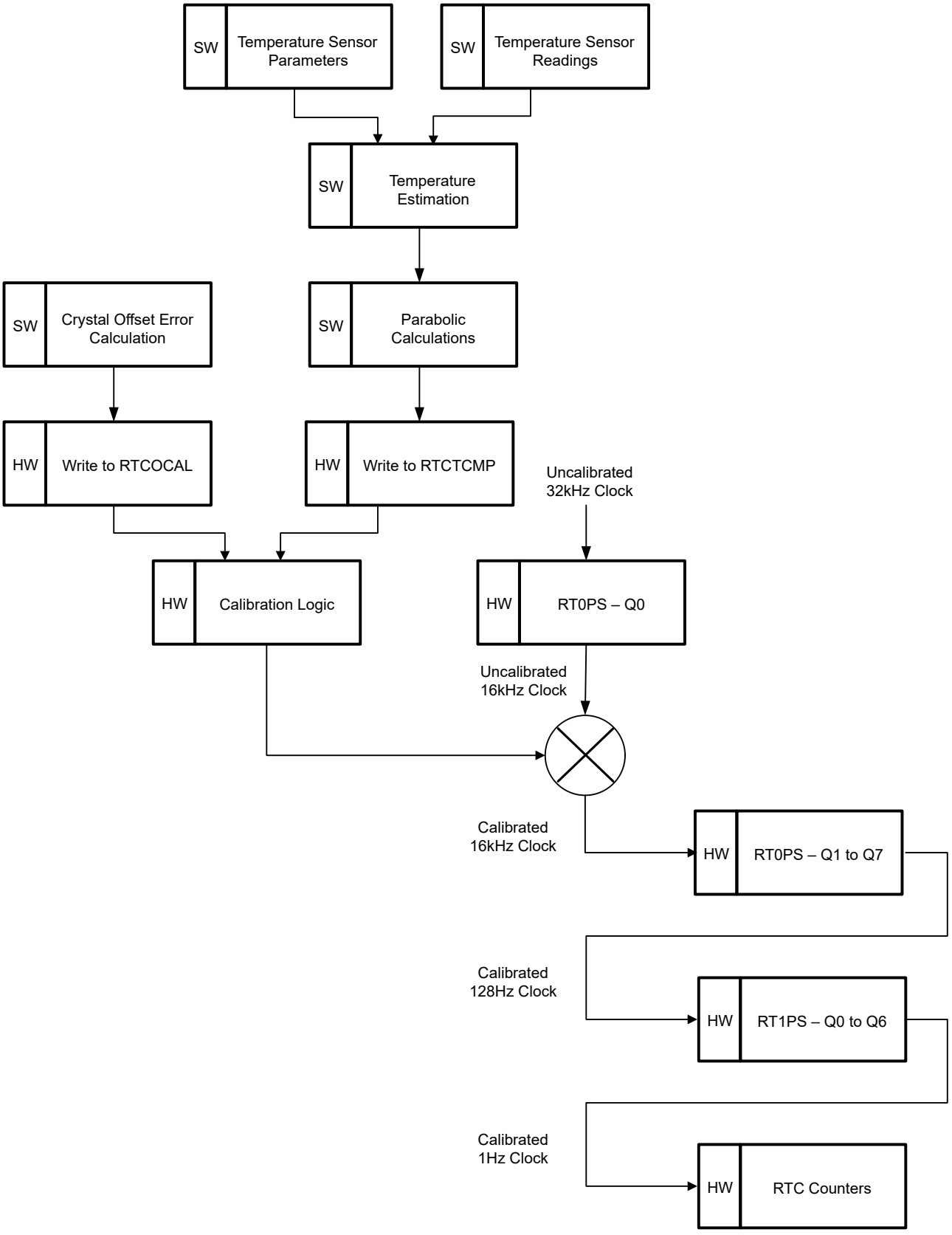


図 30-2. RTC 較正

Copyright © 2026 Texas Instruments Incorporated

30.3.8.1 水晶振動子オフセット誤差

RTC モジュールは、水晶振動子の製造許容誤差またはオフセット誤差に合わせてキャリブレーションすることで、時間管理の精度を向上させることができます。最大 ±240ppm の水晶振動子周波数誤差は、60 秒間にわたってスムーズにキャリブレーションできます。

CAL レジスタは、周波数の調整に使用します。CAL レジスタの RTCOCALX フィールドにキャリブレーション値が書き込まれ、このフィールドの各 LSB は約 ±1ppm の補正を表します (符号は CAL レジスタの RTCOCALS ビットに基づいています)。RTCOCALS が設定されている場合、アップ キャリブレーションが選択され、RTCOCALX の各 LSB は +1ppm の調整を表します。RTOCALS がクリアされている場合、ダウン キャリブレーションが選択され、RTCOCALX の各 LSB は –1 の ppm 調整を表します。RTCOCALX フィールドは 8 ビットです。ソフトウェアは最大 256ppm の値をこのレジスタに書き込むことができますが、補正可能な最大周波数誤差は 240ppm です。ソフトウェアは、RTCOCALX に有効な値を書き込む必要があります。RTC が有効化されていない (MODCLKEN がクリアされる) 場合、または RTCOCALX がゼロの場合、オフセット誤差キャリブレーションは非アクティブになります。RTOCAL レジスタに書き込むと、温度補償が 0 にリセットされます。

注

CAL レジスタには、ハーフワード (16 ビット) またはワード (32 ビット) 幅の操作でのみアクセスし、符号ビットがキャリブレーション値と一緒に設定されるようにする必要があります。

RTC 周波数のキャリブレーションを行うために、RTC_OUT 出力信号はピンで利用できます。CAL レジスタの RTCCALFX フィールドは、ピンへの出力信号の周波数レートを選択するために使用できます。RTCCALFX の他の設定では、出力する 3 つの周波数オプションのいずれかを選択します。512Hz、256Hz、または 1Hz。RTC_OUT 出力を測定できるので、この測定結果を RTCOCALS および RTCOCALX ビットに適用して、RTCCLK の初期オフセットを効果的に低減できます。

30.3.8.1.1 オフセット誤差補正メカニズム

RTC では、オフセット誤差のキャリブレーションが 60 秒にわたって行われます。約 ±1ppm の補正を達成するために、16kHz クロック (RT0PS の Q0 出力) を調整して、1 つのクロック パルスを加算または減算します。この補正は、プログラムされた ppm 誤差が補償されるまで、1/4 秒ごとに 1 回行われます。

RTC_OUT ピンの 3 つの可能な出力周波数 512Hz、256Hz、1Hz はすべて、キャリブレーション設定の影響を受けます。RT0PS - Q2 ～ Q7 によってトリガされる RT0PS 割り込みは、キャリブレーションされたクロックに基づいています。RT1PS 割り込み (RT1PS) と RTC クロック タイム イベント割り込み (RTCTEV) も、キャリブレーションされたクロックに基づいています。

$f_{RTCCLK} = f_{RTCCLK, meas}$ x 分周係数 (RTCCALFX で設定) の場合、RTCOCALS および RTCOCALX を設定する際の目安として、以下を使用できます。

低速水晶振動子 (f_{RTCCLK} < 32768Hz)

- RTCOCALS = 1 を設定します
- RTCOCALX をラウンドに設定 (60 x 16384 x (1 – f_{RTCCLK}/32768))

アップ キャリブレーションの例として、測定された周波数が 512Hz の基準周波数に対して 511.9658Hz の場合、周波数誤差は約 67ppm 低くなります。周波数を 67ppm 上げるには、RTCOCALS を設定し、RTCOCALx を Round (60 x 16384 x (1 – 511.9658x64/32768)) = 66 に設定する必要があります。

高速水晶振動子 (f_{ACLK} ≥ 32768Hz)

- RTCOCALS = 0 を設定します
- RTCOCALX をラウンドに設定 (60 x 16384 x (1 – f_{RTCCLK}/32768))

ダウン キャリブレーションの例として、測定された周波数が 512Hz に対して 512.0241Hz の場合、周波数誤差は約 47ppm 高くなります。周波数を 47ppm 下げるには、RTCOCALS をクリアし、RTCOCALx を Round (60 x 16384 x (1 – 512.0241x64/32768)) = 46 に設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

30.3.8.2 水晶振動子温度誤差

水晶振動子の出力周波数は、温度ドリフトにより大きく変化する可能性があります。ソフトウェアとハードウェアのハイブリッド アプローチを適用して、RTC の温度補償を実現できます。RTC は、最大 ±240ppm の温度補償をサポートしています。

アプリケーション ソフトウェアは、オンチップ温度センサを使用して、目的の間隔 (数秒または分ごと) でデバイスの温度を測定し、回路の周囲温度を推定することができます。次に、ソフトウェアを使用して放物線計算を行い、対応する周波数誤差を ppm 単位で決定できます。その後、この周波数誤差は、温度補償のために TCMP レジスタに書き込むことができます。

RTCTCMPX フィールドには 8 ビットが含まれており、最大 ±240ppm の周波数を補正できます。LSB は、TCMP レジスタの RTCTCMPS ビットに基づいて ±1ppm を表します。RTCTCMPS が設定されている場合、RTCTCMPX の各ステップは +1ppm の調整 (アップ キャリブレーション) を表します。RTCTCMPS ビットがクリアされている場合、RTCTCMPX の各ステップは –1ppm 調整 (ダウン キャリブレーション) を表します。

30.3.8.2.1 温度ドリフト補正メカニズム

温度補償値が RTCTCMPX に書き込まれると、オフセット誤差キャリブレーション値と一緒に加算され、結果として得られる値は次のキャリブレーション サイクル以降で考慮されます。進行中のキャリブレーション サイクルは、TCMP レジスタへの書き込みの影響は受けません。

TCMPX をいつでも読み取ると、RTCOCALX と RTCTCMPX の符号付き追加である累積補正値 (オフセット + 温度)、および加算結果の更新された符号ビット (RTCTCMPS) が返されます。RTCOCAL レジスタに書き込むと、温度補償値がゼロにリセットされることに注意してください。

たとえば、RTCOCALX が +150ppm で、RTCTCMP に +200ppm が書き込まれる場合、次のキャリブレーション サイクルで取得される実効値は +240ppm (飽和) です。RTCOCALX が +150ppm で、RTCTCMP に +50ppm が書き込まれると、次のキャリブレーション サイクルで取得される実効値は +200ppm になります (補償ヘッドルームは 40ppm のままです)。

効果的な温度補償を実現するため、ソフトウェアは以下の責任を負います。

1. 動作条件、水晶振動子の性能、目標の精度に応じて、必要に応じて温度を測定します
2. 温度による周波数誤差を計算します
3. 最大合計補正制限である ±240ppm を超えないように、温度補償値を RTCTCMPX に書き込みます

温度補償用 TCMP レジスタに書き込むには、次のキャリブレーション サイクルの一環として 60 秒 (1 分) で有効になる必要があります。したがって、温度を 1 分に 1 回よりも高い頻度で測定する必要がある場合 (たとえば 5 秒に 1 回)、1 分にわたって誤差の平均化を行い、TCMP レジスタを 1 分に 1 回更新する必要があります。

注

TCMP レジスタには、ハーフワード (16 ビット) またはワード (32 ビット) 幅の操作でのみアクセスし、符号ビットがキャリブレーション値と一緒に設定されるようにする必要があります。

30.3.9 RTC プリスケーラ拡張

RTC_x インスタンスでのみ、3 ビット プリスケーラ拡張機能が含まれており、ハートビート機能をより長いインターバル時間に対応できます。RT2PS プリスケーラを使用すると、4 秒、8 秒、16 秒の間隔で割り込みを生成できます。

RTCCLK は、RTC クロックを外部に供給するために使用されます (512Hz、256Hz、または 1Hz)。クロック ソースはキャリブレーション回路の後にあり、LFXT オフセットおよび温度補償レジスタを調整できます。

一部のアプリケーションでは、キャリブレーションされていない未加工の 32kHz クロックを、システム内の他の部品のソースとして使用できます。LFSS の場合、LFCLK は RTCCLK の多重化オプションです。

プリスケーラ、内部タイマ イベント、RTC 出力オプションの構成については、図 30-3 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

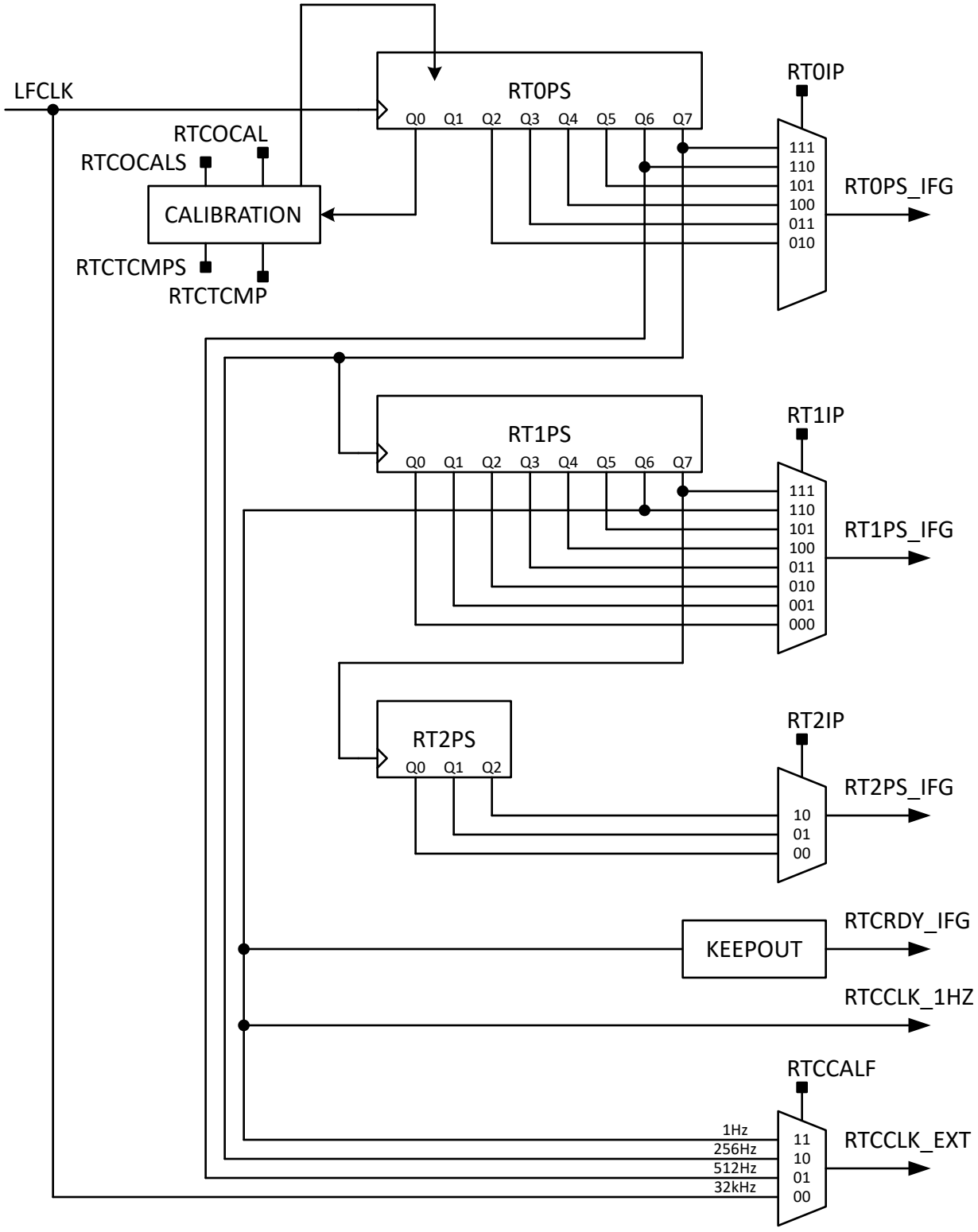


図 30-3. RTC プリスケーラおよびインターバル タイマ イベント

Copyright © 2026 Texas Instruments Incorporated

30.3.10 RTC タイムスタンプ キャプチャ

RTC_x インスタンスの場合のみ、RTC タイムスタンプ機能により、タイムスタンプ イベントの検出時に RTC ステータスをキャプチャできます。タイムスタンプ イベントが発生すると、秒から年までの RTC レジスタ全体がタイムスタンプ キャプチャ レジスタにコピーされます。複数のタイムスタンプ イベントの場合、TSCAPTURE レジスタは、最初の RTC ステータスのみをキャプチャするか (最後の) RTC ステータスごとのみをキャプチャするかを定義します。タイムスタンプ イベントのステータスはスティッキーであり、TSCLR レジスタ ビットを使用してソフトウェアでクリアする必要があります。

RTC のブロック図とタイムスタンピングについては、図 30-4 を参照してください。

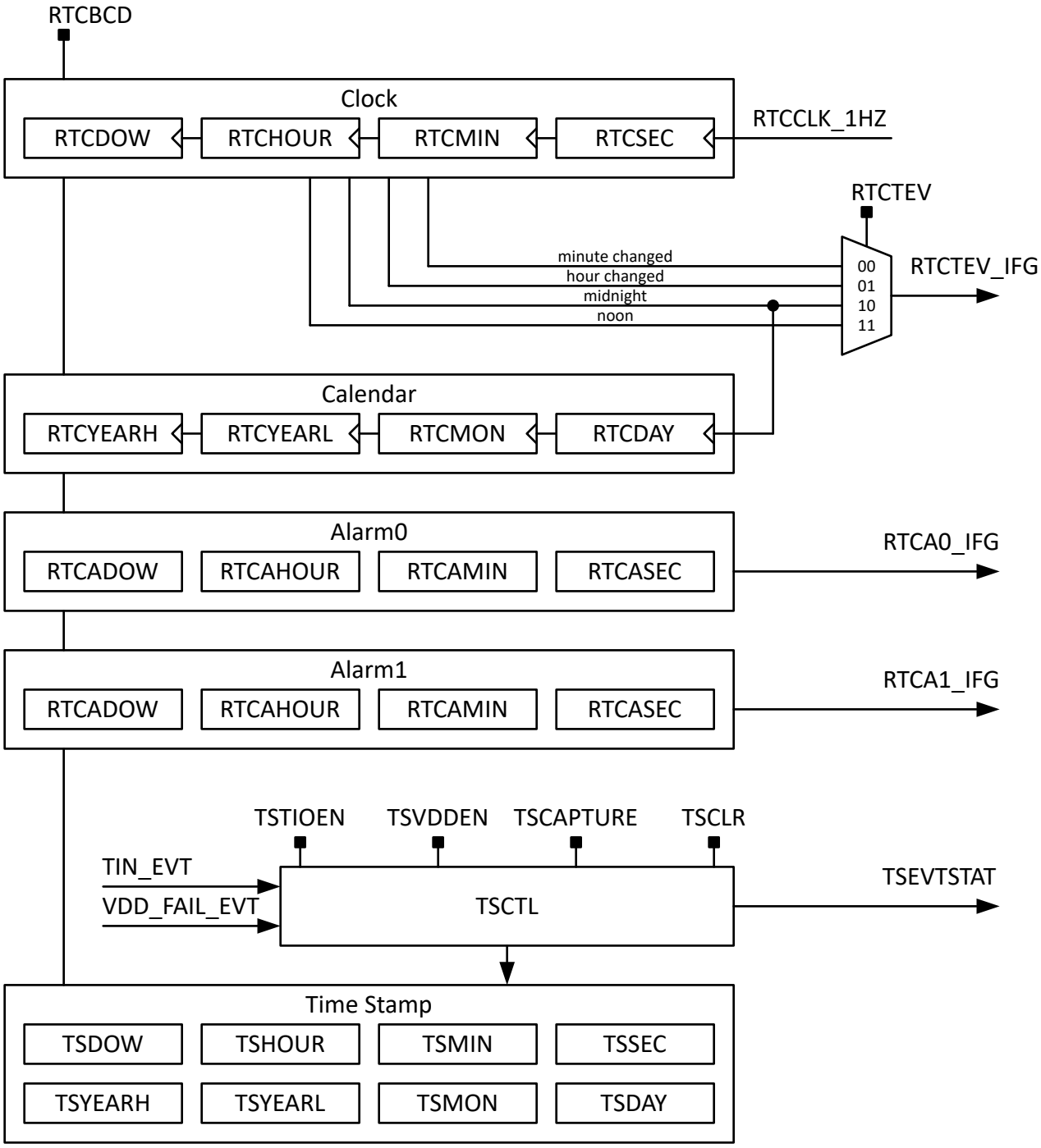


図 30-4. RTC のブロック図とタイムスタンプ

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

次のタイムスタンプ イベントがサポートされています。

- **フィルタリングとエッジ検出の後のタンパ I/O 入力イベント**
  - 極性 (立ち上がり、立ち下がり、または両方のエッジ) の構成によっては、TIO が状態を変化したときに、タンパ I/O 入力はタイムスタンプ イベント キャプチャをトリガします。
  - この機能は、TIO 入力がエンクロージャの開放を検出するスイッチに接続されているときに、一般的なタンパ検出アプリケーションで使用されます。
- **VDD 障害イベント**
  - VDD 障害イベントにより、メイン電源 (VDD) が失われたときのタイムスタンプをキャプチャできます。デバイスの主電源が電源を回復すると、タイムスタンプ ステータス情報は、電力低タイムスタンプ イベントが発生したことを示します。
  - この機能は、主電源がどのくらいの時間遮断されていたかを把握することが重要なアプリケーションで使用されます。

30.3.11 RTC イベント

RTC モジュールには、2 つのイベント パブリッシャが含まれており、イベント サブスクライバは含まれていません 1 つのイベント パブリッシャ (CPU_INT) がスタティック イベント ルートによって CPU サブシステムへの RTC 割り込み要求 (IRQ) を管理します。2 番目のイベント パブリッシャ (GEN_EVENT) は、汎用イベント ルート チャネルを介して RTC イベントをサブスクライバに発行するために使用できます。

表 30-2 に、RTC イベントのまとめを示します。

表 30-2. RTC イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込みイベント	パブリッシャ	RTC	CPU サブシステム	スタティック ルート	CPU_INT レジスタ	RTC から CPU への固定割り込みルート
汎用イベント	パブリッシャ	RTC	汎用イベント チャネル	汎用ルート (FPUB_0)	GEN_EVENT レジスタ、FPUB_0 レジスタ	RTC から汎用イベント チャネルをトリガします

30.3.11.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

RTC モジュールは 6 つの割り込みソースを提供しており、これらは CPU 割り込みイベントを発生させるよう構成に可能です。RTC からの CPU 割り込みイベントは、割り込み優先度の高い順に表 30-3 に示されています。

表 30-3. RTC CPU 割り込みイベント条件 (CPU_INT)

インデックス (IIDX)	名称	説明
0	RTCRDY	RTC カウンタ / カレンダ レジスタは約 1 秒間読み続けても安全であることを示します
1	RTCTEV	インターバル割り込み (1 分ごと、1 時間ごと、深夜 0 時、または正午に構成可能)
2	RTCA1	カレンダ アラーム 1 割り込み
3	RTCA2	カレンダ アラーム 2 割り込み
4	RTC0PS	プリスケーラ 0 周期的アラーム割り込み
5	RTC1PS	プリスケーラ 1 周期的アラーム割り込み

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。CPU 割り込みのイベント レジスタを構成する方法については、セクション 8.2.5 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

30.3.11.2 汎用イベント パブリッシャ (GEN_EVENT)

RTC モジュールには 6 つの割り込みソースがあり、その中で、汎用イベント ルート チャネルにイベントを発生さるよう構成できます (表 30-4 を参照)。

表 30-4. RTC 汎用イベント パブリッシャの条件 (GEN_EVENT)

インデックス	名称	説明
0	RTCRDY	RTC カウンタ / カレンダ レジスタは約 1 秒間読み続けても安全であることを示します
1	RTCTEV	インターバル割り込み (1 分ごと、1 時間ごと、深夜 0 時、または正午に構成可能)
2	RTCA1	カレンダ アラーム 1 割り込み
3	RTCA2	カレンダ アラーム 2 割り込み
4	RTC0PS	プリスケーラ 0 周期的アラーム割り込み
5	RTC1PS	プリスケーラ 1 周期的アラーム割り込み

汎用イベント パブリッシャ構成は、GEN_EVENT イベント管理レジスタで管理されます。汎用イベント パブリッシャのイベント レジスタの構成方法については、セクション 8.2.5 を参照してください。

汎用イベントの発生先となる汎用イベント チャネルは、RTC の **FPUB_0** レジスタにターゲットの汎用チャネル ID を書き込むことで選択する必要があります。汎用イベント ルートの設定方法については、セクション 8.1.3.3 を参照してください。

このパブリッシャをアプリケーションで使用しない場合、FPUB_0 レジスタは切断状態 (0 に設定) にでき、RTC GEN_EVENT レジスタセットの MIS レジスタでイベントをマスクを解除してはいけません。

Copyright © 2026 Texas Instruments Incorporated

30.4 RTC レジスタ

表 30-5 に、RTC レジスタのメモリマップト レジスタを示します。表 30-5 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 30-5. RTC レジスタ

オフセット	略称	レジスタ名	グループ	セクション
444h	FPUB_0	パブリッシャ ポート 0		表示
800h	PWREN	電源イネーブル		表示
804h	RSTCTL	リセット制御		表示
808h	CLKCFG	ペリフェラル クロック構成レジスタ		表示
814h	STAT	ステータス レジスタ		表示
1004h	CLKSEL	超低消費電力ペリフェラル向けのクロック選択		表示
1020h	IIDX	割り込みインデックス レジスタ	CPU_INT	表示
1028h	IMASK	割り込みマスク	CPU_INT	表示
1030h	RIS	未加工割り込みステータス	CPU_INT	表示
1038h	MIS	マスクされた割り込みステータス	CPU_INT	表示
1040h	ISET	割り込み設定	CPU_INT	表示
1048h	ICLR	割り込みクリア	CPU_INT	表示
1050h	IIDX	割り込みインデックス レジスタ	GEN_EVENT	表示
1054h	IMASK	割り込みマスク	GEN_EVENT	表示
1058h	RIS	未加工割り込みステータス	GEN_EVENT	表示
105Ch	MIS	マスクされた割り込みステータス	GEN_EVENT	表示
1060h	ISET	割り込み設定	GEN_EVENT	表示
1064h	ICLR	割り込みクリア	GEN_EVENT	表示
10E0h	EVT_MODE	イベント モード		表示
10FCh	説明	RTC ディスクリプタ レジスタ		表示
1100h	CLKCTL	RTC クロック制御レジスタ		表示
1104h	DBGCTL	RTC モジュール デバッグ制御レジスタ		表示
1108h	CTL	RTC 制御レジスタ		表示
110Ch	STA	RTC ステータス レジスタ		表示
1110h	CAL	RTC クロック オフセット較正レジスタ		表示
1114h	TCMP	RTC 温度補償レジスタ		表示
1118h	SEC	RTC 秒レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
111Ch	最小値	RTC 分レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1120h	HOUR	RTC 時レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1124h	日	RTC 曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1128h	MON	RTC 月レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
112Ch	YEAR	RTC 年レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1130h	A1MIN	RTC 分アラーム レジスタ - バイナリ / BCD 形式のカレンダ モード		表示

Copyright © 2026 Texas Instruments Incorporated

表 30-5. RTC レジスタ (続き)

オフセット	略称	レジスタ名	グループ	セクション
1134h	A1HOUR	RTC 時間アラームレジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1138h	A1DAY	RTC アラームの曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
113Ch	A2MIN	RTC 分アラーム レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1140h	A2HOUR	RTC 時間アラームレジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1144h	A2DAY	RTC アラームの曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1148h	PSCTL	RTC プリスケール タイマ 0/1 制御レジスタ		表示
114Ch	EXTPSCTL	RTC プリスケール タイマ 2 制御レジスタ		表示
1150h	TSSEC	タイム スタンプ秒レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1154h	TSMIN	タイム スタンプ分レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1158h	TSHOUR	タイム スタンプ時レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
115Ch	TSDAY	タイム スタンプ曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1160h	TSMON	タイム スタンプ月レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1164h	TSYEAR	タイム スタンプ年レジスタ - バイナリ / BCD 形式のカレンダ モード		表示
1168h	TSSTAT	タイム スタンプ ステータス レジスタ		表示
116Ch	TSCTL	タイム スタンプ制御レジスタ		表示
1170h	TSCLR	タイム スタンプ クリア レジスタ		表示
1174h	LFSSRST	低周波サブシステムのリセット要求		表示
1178h	RTCLOCK	リアル タイム クロック ロック レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 30-6 に、このセクションでアクセス タイプに使用しているコードを示します。

表 30-6. RTC のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

30.4.1 FPUB_0 (オフセット = 444h) [リセット = 00000000h]

図 30-5 に、FPUB_0 を示し、表 30-7 に、その説明を示します。

概略表に戻ります。

パブリッシャ ポート

図 30-5. FPUB_0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												CHANID			
R-0h												R/W-0h			

表 30-7. FPUB_0 のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-0	CHANID	R/W	0h	0 = 接続解除。 1 - 15 = channelID に接続 = CHANID。 0h = 値が 0 の場合、そのイベントは接続されていないことを示します 実際に許容される最大値は 15 未満の場合があるため、デバイスのデータシートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

30.4.2 PWREN (オフセット = 800h) [リセット = 00000000h]

図 30-6 に、PWREN を示し、表 30-8 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 30-6. PWREN

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R-0h							R/WK – 0h

表 30-8. PWREN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	電源状態変更を許可する KEY 26h = このレジスタへの書き込みアクセスを許可するための KEY
23-1	予約済み	R	0h	
0	イネーブル	R/WK	0h	電源をイネーブル このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブルにします 1h = 電源をイネーブルにします

Copyright © 2026 Texas Instruments Incorporated

30.4.3 RSTCTL (オフセット = 804h) [リセット = 00000000h]

図 30-7 に、RSTCTL を示し、表 30-9 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 30-7. RSTCTL

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
R-0h						WK-0h	WK-0h

表 30-9. RSTCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するための KEY
23-2	予約済み	R	0h	
1	RESETSTKYCLR	WK	0h	STAT レジスタの RESETSTKY ビットをクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも影響なし 1h = リセット スティッキー ビットをクリア
0	RESETASSERT	WK	0h	ペリフェラルにリセットをアサートします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも影響なし 1h = アサート リセット

Copyright © 2026 Texas Instruments Incorporated

30.4.4 CLKCFG (オフセット = 808h) [リセット = 00000000h]

図 30-8 に、CLKCFG を示し、表 30-10 に、その説明を示します。

概略表に戻ります。

ペリフェラル クロック構成レジスタ

図 30-8. CLKCFG

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							BLOCKASYNC
R-0h							R/WK – 0h
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 30-10. CLKCFG フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	状態変更を許可する KEY -- 0xA9 A9h (W) = GPRCM のフィールド変更を許可するキー値
23-9	予約済み	R	0h	
8	BLOCKASYNC	R/WK	0h	非同期クロック要求は、SYSOSC を開始するか、バス クロックを 32MHz へ強制的に供給するかブロックされます このビットに書き込むには、KEY を A9h に設定する必要があります。 0h = 非同期クロック要求をブロックしません 1h = 非同期クロック要求をブロックします
7-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

30.4.5 STAT (オフセット = 814h) [リセット = 00000000h]

図 30-9 に、STAT を示し、表 30-11 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 30-9. STAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-0h							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 30-11. STAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされて以降に周辺回路がリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされて以降、周辺回路はリセットされていません 1h = 最後にビットがクリアされて以降、周辺回路がリセットされました
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

30.4.6 CLKSEL (オフセット = 1004h) [リセット = 00000000h]

図 30-10 に、CLKSEL を示し、表 30-12 に、その説明を示します。

概略表に戻ります。

ULP ペリフェラルのクロック ソースの選択

図 30-10. CLKSEL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						LFCLK_SEL	予約済み
R-0h						R-0h	R-0h

表 30-12. CLKSEL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	LFCLK_SEL	R	0h	イネーブルになっている場合、LFCLK をクロック ソースとして選択 0h = LFCLK をクロック ソースとしてディスエーブル 1h = LFCLK をクロック ソースとしてイネーブル
0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

30.4.7 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 30-11 に、IIDX を示し、表 30-13 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 30-11. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 30-13. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 1h = RTC 準備完了割り込み、割り込みフラグ: RTCRDY 2h = 時間イベント割り込み、割り込みフラグ: RTCTEV 3h = アラーム - 1 割り込み、割り込みフラグ: RTCA1 4h = アラーム - 2 割り込み、割り込みフラグ: RTCA2 5h = プリスケーラ - 0 割り込み、割り込みフラグ: RT0PS 6h = プリスケーラ - 1 割り込み、割り込みフラグ: RT1PS 07h = RTC プリスケール タイマ 2 08h = タイム スタンプ イベント 09h = タンパ I/O 0 イベント 0Ah = タンパ I/O 1 イベント 0Bh = タンパ I/O 2 イベント 0Ch = タンパ I/O 3 イベント 0Dh = タンパ I/O 4 イベント 0Eh = タンパ I/O 5 イベント 0Fh = タンパ I/O 6 イベント 10h = タンパ I/O 7 イベント 11h = タンパ I/O 8 イベント 12h = タンパ I/O 9 イベント 13h = タンパ I/O 10 イベント 14h = タンパ I/O 11 イベント 15h = タンパ I/O 12 イベント 16h = タンパ I/O 13 イベント 17h = タンパ I/O 14 イベント 18h = タンパ I/O 15 イベント

Copyright © 2026 Texas Instruments Incorporated

30.4.8 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 30-12 に、IMASK を示し、表 30-14 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 30-12. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 30-14. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R/W	0h	タンパ I/O 15 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
22	TIO14	R/W	0h	タンパ I/O 14 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
21	TIO13	R/W	0h	タンパ I/O 13 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
20	TIO12	R/W	0h	タンパ I/O 12 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
19	TIO11	R/W	0h	タンパ I/O 11 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
18	TIO10	R/W	0h	タンパ I/O 10 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
17	TIO9	R/W	0h	タンパ I/O 9 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
16	TIO8	R/W	0h	タンパ I/O 8 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
15	TIO7	R/W	0h	タンパ I/O 7 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定

Copyright © 2026 Texas Instruments Incorporated

表 30-14. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	R/W	0h	タンパ I/O 6 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
13	TIO5	R/W	0h	タンパ I/O 5 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
12	TIO4	R/W	0h	タンパ I/O 4 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
11	TIO3	R/W	0h	タンパ I/O 3 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
10	TIO2	R/W	0h	タンパ I/O 2 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
9	TIO1	R/W	0h	タンパ I/O 1 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
8	TIO0	R/W	0h	タンパ I/O 0 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
7	TSEVT	R/W	0h	タイム スタンプ イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
6	RT2PS	R/W	0h	RTC プリスケール タイマ 2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
5	RT1PS	R/W	0h	プリスケーラ–1 割り込みイネーブル 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
4	RT0PS	R/W	0h	プリスケーラ–0 割り込みイネーブル 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
3	RTCA2	R/W	0h	アラーム–2 割り込みをイネーブル 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
2	RTCA1	R/W	0h	アラーム–1 割り込みをイネーブル 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
1	RTCTEV	R/W	0h	時間 - イベント割り込みをイネーブル 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
0	RTCRDY	R/W	0h	RTC 準備完了割り込みをイネーブル 0h = 割り込みマスクをクリア 1h = 割り込みマスク設定を

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

30.4.9 RIS (オフセット = 1030h) [リセット = 00000000h]

図 30-13 に、RIS を示し、表 30-15 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 30-13. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 30-15. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R	0h	タンパ I/O 15 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
22	TIO14	R	0h	タンパ I/O 14 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
21	TIO13	R	0h	タンパ I/O 13 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
20	TIO12	R	0h	タンパ I/O 12 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
19	TIO11	R	0h	タンパ I/O 11 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
18	TIO10	R	0h	タンパ I/O 10 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
17	TIO9	R	0h	タンパ I/O 9 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
16	TIO8	R	0h	タンパ I/O 8 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している

Copyright © 2026 Texas Instruments Incorporated

表 30-15. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	TIO7	R	0h	タンパ I/O 7 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
14	TIO6	R	0h	タンパ I/O 6 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
13	TIO5	R	0h	タンパ I/O 5 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
12	TIO4	R	0h	タンパ I/O 4 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
11	TIO3	R	0h	タンパ I/O 3 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
10	TIO2	R	0h	タンパ I/O 2 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
9	TIO1	R	0h	タンパ I/O 1 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
8	TIO0	R	0h	タンパ I/O 0 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
7	TSEVT	R	0h	タイム スタンプ イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
6	RT2PS	R	0h	RTC プリスケール タイマ 2 0h = 割り込みは発生していない 1h = 割り込みは発生している
5	RT1PS	R	0h	未加工プリスケーラ - 1 割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
4	RT0PS	R	0h	未加工プリスケーラ - 0 割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
3	RTCA2	R	0h	未加工アラーム - 2 割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
2	RTCA1	R	0h	未加工アラーム - 1 割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
1	RTCTEV	R	0h	未加工時間 - イベント割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
0	RTCRDY	R	0h	未加工 RTC 準備完了割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している

Copyright © 2026 Texas Instruments Incorporated

30.4.10 MIS (オフセット = 1038h) [リセット = 00000000h]

図 30-14 に、MIS を示し、表 30-16 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 30-14. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 30-16. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R	0h	タンパ I/O 15 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
22	TIO14	R	0h	タンパ I/O 14 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
21	TIO13	R	0h	タンパ I/O 13 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
20	TIO12	R	0h	タンパ I/O 12 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
19	TIO11	R	0h	タンパ I/O 11 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
18	TIO10	R	0h	タンパ I/O 10 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
17	TIO9	R	0h	タンパ I/O 9 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
16	TIO8	R	0h	タンパ I/O 8 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
15	TIO7	R	0h	タンパ I/O 7 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している

Copyright © 2026 Texas Instruments Incorporated

表 30-16. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	R	0h	タンパ I/O 6 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
13	TIO5	R	0h	タンパ I/O 5 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
12	TIO4	R	0h	タンパ I/O 4 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
11	TIO3	R	0h	タンパ I/O 3 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
10	TIO2	R	0h	タンパ I/O 2 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
9	TIO1	R	0h	タンパ I/O 1 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
8	TIO0	R	0h	タンパ I/O 0 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
7	TSEVT	R	0h	タイム スタンプ イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
6	RT2PS	R	0h	RTC プリスケール タイマ 2 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
5	RT1PS	R	0h	マスクされたプリスケーラ - 1 割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
4	RT0PS	R	0h	マスクされたプリスケーラ - 0 割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
3	RTCA2	R	0h	マスクされたアラーム - 2 割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
2	RTCA1	R	0h	マスクされたアラーム - 1 割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
1	RTCTEV	R	0h	マスクされた時間 - イベント割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している
0	RTCRDY	R	0h	マスクされた RTC 準備完了割り込みステータス 0h = 割り込みは発生していない 1h = 割り込みは発生している

Copyright © 2026 Texas Instruments Incorporated

30.4.11 ISET (オフセット = 1040h) [リセット = 00000000h]

図 30-15 に、ISET を示し、表 30-17 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 30-15. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 30-17. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	W	0h	タンパ I/O 15 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
22	TIO14	W	0h	タンパ I/O 14 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
21	TIO13	W	0h	タンパ I/O 13 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
20	TIO12	W	0h	タンパ I/O 12 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
19	TIO11	W	0h	タンパ I/O 11 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
18	TIO10	W	0h	タンパ I/O 10 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
17	TIO9	W	0h	タンパ I/O 9 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
16	TIO8	W	0h	タンパ I/O 8 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定

Copyright © 2026 Texas Instruments Incorporated

表 30-17. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	TIO7	W	0h	タンパ I/O 7 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
14	TIO6	W	0h	タンパ I/O 6 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
13	TIO5	W	0h	タンパ I/O 5 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
12	TIO4	W	0h	タンパ I/O 4 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
11	TIO3	W	0h	タンパ I/O 3 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
10	TIO2	W	0h	タンパ I/O 2 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
9	TIO1	W	0h	タンパ I/O 1 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
8	TIO0	W	0h	タンパ I/O 0 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
7	TSEVT	W	0h	タイム スタンプ イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
6	RT2PS	W	0h	RTC プリスケール タイマ 2 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
5	RT1PS	W	0h	プリスケーラ - 1 割り込みを設定 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
4	RT0PS	W	0h	プリスケーラ - 0 割り込みを設定 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
3	RTCA2	W	0h	アラーム - 2 割り込みを設定 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
2	RTCA1	W	0h	アラーム - 1 割り込みを設定 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
1	RTCTEV	W	0h	時間 - イベント割り込みを設定 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
0	RTCRDY	W	0h	RTC 準備完了割り込みを設定 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定

Copyright © 2026 Texas Instruments Incorporated

30.4.12 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 30-16 に、ICLR を示し、表 30-18 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 30-16. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 30-18. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	W	0h	タンパ I/O 15 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
22	TIO14	W	0h	タンパ I/O 14 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
21	TIO13	W	0h	タンパ I/O 13 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
20	TIO12	W	0h	タンパ I/O 12 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
19	TIO11	W	0h	タンパ I/O 11 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
18	TIO10	W	0h	タンパ I/O 10 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
17	TIO9	W	0h	タンパ I/O 9 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
16	TIO8	W	0h	タンパ I/O 8 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
15	TIO7	W	0h	タンパ I/O 7 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

表 30-18. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	W	0h	タンパ I/O 6 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
13	TIO5	W	0h	タンパ I/O 5 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
12	TIO4	W	0h	タンパ I/O 4 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
11	TIO3	W	0h	タンパ I/O 3 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
10	TIO2	W	0h	タンパ I/O 2 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
9	TIO1	W	0h	タンパ I/O 1 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
8	TIO0	W	0h	タンパ I/O 0 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
7	TSEVT	W	0h	タイム スタンプ イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
6	RT2PS	W	0h	RTC プリスケール タイマ 2 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
5	RT1PS	W	0h	プリスケーラ - 1 割り込みをクリア 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
4	RT0PS	W	0h	プリスケーラ - 0 割り込みをクリア 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
3	RTCA2	W	0h	アラーム - 2 割り込みをクリア 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
2	RTCA1	W	0h	アラーム - 1 割り込みをクリア 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
1	RTCTEV	W	0h	時間 - イベント割り込みをクリア 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
0	RTCRDY	W	0h	RTC 準備完了割り込みをクリア 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

30.4.13 IIDX (オフセット = 1050h) [リセット = 00000000h]

図 30-17 に、IIDX を示し、表 30-19 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。値 0x00 は、保留中のイベントがないことを意味します。割り込み 1 が最も優先度が高く、IIDX が次に高く、以降 4、8、と続き、IIDX^31 が最も低い優先度になります。つまり、最下位ビット位置が 1 の場合、保留中の割り込みの中で最も高い優先度であることを示します。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、[RIS] と [MIS] の対応する割り込みフラグもクリアされます。CPU からの読み取り (デバッグインターフェイスからの読み取りではない) の後、レジスタは次に優先度の高い割り込みで更新されます。保留中の割り込みがない場合は、0x0 が表示されます。

図 30-17. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 30-19. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 00h = 割り込み保留なし 01h = RTC 準備完了 02h = RTC 時間イベント 03h = RTC アラーム 1 04h = RTC アラーム 2 05h = RTC プリスケール タイマ 0 06h = RTC プリスケール タイマ 1 07h = RTC プリスケール タイマ 2 08h = タイム スタンプ イベント 09h = タンパ I/O 0 イベント 0Ah = タンパ I/O 1 イベント 0Bh = タンパ I/O 2 イベント 0Ch = タンパ I/O 3 イベント 0Dh = タンパ I/O 4 イベント 0Eh = タンパ I/O 5 イベント 0Fh = タンパ I/O 6 イベント 10h = タンパ I/O 7 イベント 11h = タンパ I/O 8 イベント 12h = タンパ I/O 9 イベント 13h = タンパ I/O 10 イベント 14h = タンパ I/O 11 イベント 15h = タンパ I/O 12 イベント 16h = タンパ I/O 13 イベント 17h = タンパ I/O 14 イベント 18h = タンパ I/O 15 イベント

Copyright © 2026 Texas Instruments Incorporated

30.4.14 IMASK (オフセット = 1054h) [リセット = 00000000h]

図 30-18 に、IMASK を示し、表 30-20 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 30-18. IMASK

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 30-20. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R/W	0h	タンパ I/O 15 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
22	TIO14	R/W	0h	タンパ I/O 14 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
21	TIO13	R/W	0h	タンパ I/O 13 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
20	TIO12	R/W	0h	タンパ I/O 12 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
19	TIO11	R/W	0h	タンパ I/O 11 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
18	TIO10	R/W	0h	タンパ I/O 10 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
17	TIO9	R/W	0h	タンパ I/O 9 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
16	TIO8	R/W	0h	タンパ I/O 8 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
15	TIO7	R/W	0h	タンパ I/O 7 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定

Copyright © 2026 Texas Instruments Incorporated

表 30-20. IMASK フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	R/W	0h	タンパ I/O 6 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
13	TIO5	R/W	0h	タンパ I/O 5 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
12	TIO4	R/W	0h	タンパ I/O 4 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
11	TIO3	R/W	0h	タンパ I/O 3 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
10	TIO2	R/W	0h	タンパ I/O 2 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
9	TIO1	R/W	0h	タンパ I/O 1 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
8	TIO0	R/W	0h	タンパ I/O 0 イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
7	TSEVT	R/W	0h	タイム スタンプ イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
6	RT2PS	R/W	0h	RTC プリスケール タイマ 2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
5	RT1PS	R/W	0h	RTC プリスケール タイマ 1 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
4	RT0PS	R/W	0h	RTC プリスケール タイマ 0 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
3	RTCA2	R/W	0h	RTC アラーム 2 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
2	RTCA1	R/W	0h	RTC アラーム 1 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
1	RTCTEV	R/W	0h	RTC 時間イベント 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定
0	RTCRDY	R/W	0h	RTC 準備完了 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定

Copyright © 2026 Texas Instruments Incorporated

30.4.15 RIS (オフセット = 1058h) [リセット = 00000000h]

図 30-19 に、RIS を示し、表 30-21 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 30-19. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 30-21. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R	0h	タンパ I/O 15 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
22	TIO14	R	0h	タンパ I/O 14 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
21	TIO13	R	0h	タンパ I/O 13 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
20	TIO12	R	0h	タンパ I/O 12 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
19	TIO11	R	0h	タンパ I/O 11 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
18	TIO10	R	0h	タンパ I/O 10 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
17	TIO9	R	0h	タンパ I/O 9 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
16	TIO8	R	0h	タンパ I/O 8 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している

Copyright © 2026 Texas Instruments Incorporated

表 30-21. RIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	TIO7	R	0h	タンパ I/O 7 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
14	TIO6	R	0h	タンパ I/O 6 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
13	TIO5	R	0h	タンパ I/O 5 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
12	TIO4	R	0h	タンパ I/O 4 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
11	TIO3	R	0h	タンパ I/O 3 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
10	TIO2	R	0h	タンパ I/O 2 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
9	TIO1	R	0h	タンパ I/O 1 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
8	TIO0	R	0h	タンパ I/O 0 イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
7	TSEVT	R	0h	タイム スタンプ イベント 0h = 割り込みは発生していない 1h = 割り込みは発生している
6	RT2PS	R	0h	RTC プリスケール タイマ 2 0h = 割り込みは発生していない 1h = 割り込みは発生している
5	RT1PS	R	0h	RTC プリスケール タイマ 1 0h = 割り込みは発生していない 1h = 割り込みは発生している
4	RT0PS	R	0h	RTC プリスケール タイマ 0 0h = 割り込みは発生していない 1h = 割り込みは発生している
3	RTCA2	R	0h	RTC アラーム 2 0h = 割り込みは発生していない 1h = 割り込みが発生
2	RTCA1	R	0h	RTC アラーム 1 0h = 割り込みは発生していない 1h = 割り込みが発生
1	RTCTEV	R	0h	RTC 時間イベント 0h = 割り込みは発生していない 1h = 割り込みが発生
0	RTCRDY	R	0h	RTC 準備完了 0h = 割り込みは発生していない 1h = 割り込みが発生

Copyright © 2026 Texas Instruments Incorporated

30.4.16 MIS (オフセット = 105Ch) [リセット = 00000000h]

図 30-20 に、MIS を示し、表 30-22 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 30-20. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 30-22. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	R	0h	タンパ I/O 15 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
22	TIO14	R	0h	タンパ I/O 14 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
21	TIO13	R	0h	タンパ I/O 13 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
20	TIO12	R	0h	タンパ I/O 12 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
19	TIO11	R	0h	タンパ I/O 11 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
18	TIO10	R	0h	タンパ I/O 10 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
17	TIO9	R	0h	タンパ I/O 9 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
16	TIO8	R	0h	タンパ I/O 8 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
15	TIO7	R	0h	タンパ I/O 7 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している

Copyright © 2026 Texas Instruments Incorporated

表 30-22. MIS フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	R	0h	タンパ I/O 6 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
13	TIO5	R	0h	タンパ I/O 5 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
12	TIO4	R	0h	タンパ I/O 4 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
11	TIO3	R	0h	タンパ I/O 3 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
10	TIO2	R	0h	タンパ I/O 2 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
9	TIO1	R	0h	タンパ I/O 1 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
8	TIO0	R	0h	タンパ I/O 0 イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
7	TSEVT	R	0h	タイム スタンプ イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
6	RT2PS	R	0h	RTC プリスケール タイマ 2 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
5	RT1PS	R	0h	RTC プリスケール タイマ 1 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
4	RT0PS	R	0h	RTC プリスケール タイマ 0 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
3	RTCA2	R	0h	RTC アラーム 2 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
2	RTCA1	R	0h	RTC アラーム 1 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
1	RTCTEV	R	0h	RTC 時間イベント 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している
0	RTCRDY	R	0h	RTC 準備完了 0h = 割り込みは発生していないか、またはマスク アウトされている 1h = 割り込みは発生している

Copyright © 2026 Texas Instruments Incorporated

30.4.17 ISET (オフセット = 1060h) [リセット = 00000000h]

図 30-21 に、ISET を示し、表 30-23 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 30-21. ISET

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 30-23. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	W	0h	タンパ I/O 15 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
22	TIO14	W	0h	タンパ I/O 14 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
21	TIO13	W	0h	タンパ I/O 13 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
20	TIO12	W	0h	タンパ I/O 12 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
19	TIO11	W	0h	タンパ I/O 11 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
18	TIO10	W	0h	タンパ I/O 10 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
17	TIO9	W	0h	タンパ I/O 9 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
16	TIO8	W	0h	タンパ I/O 8 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定

Copyright © 2026 Texas Instruments Incorporated

表 30-23. ISET フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
15	TIO7	W	0h	タンパ I/O 7 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
14	TIO6	W	0h	タンパ I/O 6 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
13	TIO5	W	0h	タンパ I/O 5 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
12	TIO4	W	0h	タンパ I/O 4 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
11	TIO3	W	0h	タンパ I/O 3 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
10	TIO2	W	0h	タンパ I/O 2 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
9	TIO1	W	0h	タンパ I/O 1 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
8	TIO0	W	0h	タンパ I/O 0 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
7	TSEVT	W	0h	タイム スタンプ イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
6	RT2PS	W	0h	RTC プリスケール タイマ 2 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
5	RT1PS	W	0h	RTC プリスケール タイマ 1 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
4	RT0PS	W	0h	RTC プリスケール タイマ 0 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
3	RTCA2	W	0h	RTC アラーム 2 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
2	RTCA1	W	0h	RTC アラーム 1 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定
1	RTCTEV	W	0h	RTC 時間イベント 0h = 0 を書き込んでも何も影響はなし 1h = 割り込みをセット
0	RTCRDY	W	0h	RTC 準備完了 0h = 0 を書き込んでも影響なし 1h = 割り込みを設定

Copyright © 2026 Texas Instruments Incorporated

30.4.18 ICLR (オフセット = 1064h) [リセット = 00000000h]

図 30-22 に、ICLR を示し、表 30-24 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 30-22. ICLR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
TIO15	TIO14	TIO13	TIO12	TIO11	TIO10	TIO9	TIO8
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
15	14	13	12	11	10	9	8
TIO7	TIO6	TIO5	TIO4	TIO3	TIO2	TIO1	TIO0
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h
7	6	5	4	3	2	1	0
TSEVT	RT2PS	RT1PS	RT0PS	RTCA2	RTCA1	RTCTEV	RTCRDY
W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h	W-0h

表 30-24. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	TIO15	W	0h	タンパ I/O 15 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
22	TIO14	W	0h	タンパ I/O 14 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
21	TIO13	W	0h	タンパ I/O 13 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
20	TIO12	W	0h	タンパ I/O 12 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
19	TIO11	W	0h	タンパ I/O 11 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
18	TIO10	W	0h	タンパ I/O 10 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
17	TIO9	W	0h	タンパ I/O 9 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
16	TIO8	W	0h	タンパ I/O 8 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
15	TIO7	W	0h	タンパ I/O 7 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

表 30-24. ICLR フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14	TIO6	W	0h	タンパ I/O 6 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
13	TIO5	W	0h	タンパ I/O 5 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
12	TIO4	W	0h	タンパ I/O 4 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
11	TIO3	W	0h	タンパ I/O 3 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
10	TIO2	W	0h	タンパ I/O 2 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
9	TIO1	W	0h	タンパ I/O 1 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
8	TIO0	W	0h	タンパ I/O 0 イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
7	TSEVT	W	0h	タイム スタンプ イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
6	RT2PS	W	0h	RTC プリスケール タイマ 2 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
5	RT1PS	W	0h	RTC プリスケール タイマ 1 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
4	RT0PS	W	0h	RTC プリスケール タイマ 0 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
3	RTCA2	W	0h	RTC アラーム 2 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
2	RTCA1	W	0h	RTC アラーム 1 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
1	RTCTEV	W	0h	RTC 時間イベント 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア
0	RTCRDY	W	0h	RTC 準備完了 0h = 0 を書き込んでも影響なし 1h = 割り込みをクリア

Copyright © 2026 Texas Instruments Incorporated

30.4.19 EVT_MODE (オフセット = 10E0h) [リセット = 00000000h]

EVT_MODE は、図 30-23 に示されており、表 30-25 で説明されています。

概略表に戻ります。

イベント モード レジスタ。各ラインをディスエーブルにするか、ソフトウェア モード (ソフトウェアが RIS をクリア) にするか、あるいはハードウェア モード (ハードウェアが RIS をクリア) にするかを選択するために使用されます

図 30-23. EVT_MODE

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				EVT1_CFG		EVT0_CFG	
R-0h				R-0h		R-0h	

表 30-25. EVT_MODE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-2	EVT1_CFG	R	0h	イベント ライン モード 1 選択 0h = 割り込みまたはイベントラインをディスエーブルにします。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェア ISR は、関連する RIS フラグをクリアします。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。
1-0	EVT0_CFG	R	0h	イベント ライン モード 0 選択 0h = 割り込みまたはイベントラインをディスエーブルにします。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェア ISR は、関連する RIS フラグをクリアします。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

30.4.20 DESC (オフセット = 10FCh) [リセット = 09118010h]

図 30-24 に、DESC を示し、表 30-26 に、その説明を示します。

概略表に戻ります。

RTC ディスクリプタ レジスタ

図 30-24. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-911h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				INSTNUM				MAJREV				MINREV			
R-8h				R-0h				R-1h				R-0h			

表 30-26. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	911h	モジュール ID。この ID はモジュールごとに一意です。0x0911 = RTC モジュールのモジュール ID 0000h = 最小値 FFFFh = 最大値
15-12	FEATUREVER	R	8h	このモジュールの機能セット。実際にインスタンス化されたモジュールに差異がある場合は、その複雑さを区別します。 0h = 最小値 Fh = 最大値
11-8	INSTNUM	R	0h	インスタンス化されたバージョン。アクセスされたモジュールのインスタンスを記述します。 0h = SSIM のようにインスタンスが 1 つだけの場合のデフォルト設定です
7-4	MAJREV	R	1h	メジャー リビジョン。この番号はモジュールのリビジョンを保持し、モジュール開発者によって増加します。N = メジャー バージョン (デバイス固有のデータシートを参照) 0h = 最小値 Fh = 最大値
3-0	MINREV	R	0h	マイナー リビジョン。この番号はモジュールのリビジョンを保持し、モジュール開発者によって増加します。N = マイナー モジュール リビジョン (デバイス固有のデータシートを参照) 0h = 最小値 Fh = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.21 CLKCTL (オフセット = 1100h) [リセット = 00000000h]

図 30-25 に、CLKCTL を示し、表 30-27 に、その説明を示します。

概略表に戻ります。

RTC クロック制御レジスタ

図 30-25. CLKCTL

31	30	29	28	27	26	25	24
MODCLKEN	予約済み						
R/W-0h	R-0h						
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							
R-0h							

表 30-27. CLKCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	MODCLKEN	R/W	0h	このビットにより、RTC への 32kHz クロックの供給がイネーブルになります。32kHz の水晶発振器を起動しません。この操作は、クロック システム モジュールで行う必要があります。 0h = 32kHz クロックは RTC に供給されません。 1h = 32kHz クロックを RTC に供給。
30-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

30.4.22 DBGCTL (オフセット = 1104h) [リセット = 00000000h]

図 30-26 に、DBGCTL を示し、表 30-28 に、その説明を示します。

概略表に戻ります。

RTC モジュール デバッグ制御レジスタ

図 30-26. DBGCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み						DBGINT	DBGRUN
R-0h						R/W-0h	R/W-0h

表 30-28. DBGCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1	DBGINT	R/W	0h	デバッグ割り込みイネーブル。 0h = CPU がデバッグ状態の場合、モジュールの割り込みはキャプチャされなくなります。つまり、RTCRIS、RTCMISC、RTCIIDX レジスタは更新されません。 1h = 割り込みは、デバッグ モードでイネーブルになります。割り込み要求は、割り込みコントローラに通知されます。ソフトウェア (ポーリング モード) でフラグが必要な場合は、DGBINT ビットを 1 にセットする必要があります。
0	DBGRUN	R/W	0h	デバッグ実行。 0h = CPU がデバッグ状態の場合、カウンタは停止します。 1h = CPU のデバッグ状態を無視して、通常は動作を継続します。

Copyright © 2026 Texas Instruments Incorporated

30.4.23 CTL (オフセット = 1108h) [リセット = 00000000h]

図 30-27 に、CTL を示し、表 30-29 に、その説明を示します。

概略表に戻ります。

RTC 制御レジスタ

図 30-27. CTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
RTCBCD	予約済み					RTCTEVTX	
R/W-0h	R-0h					R/W-0h	

表 30-29. CTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7	RTCBCD	R/W	0h	リアルタイム クロック BCD 選択。リアルタイム クロックの BCD カウントを選択します。 0h = バイナリ コードを選択 1h = 2 進化 10 進 (BCD) コードを選択
6-2	予約済み	R	0h	
1-0	RTCTEVTX	R/W	0h	リアルタイム クロック時間イベント。 0h = 分変更。 1h = 時変更。 2h = 毎日真夜中 (00:00)。 3h = 毎日正午 (12:00)。

Copyright © 2026 Texas Instruments Incorporated

30.4.24 STA (オフセット = 110Ch) [リセット = 00000000h]

図 30-28 に、STA を示し、表 30-30 に、その説明を示します。

概略表に戻ります。

RTC ステータス レジスタ

図 30-28. STA

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み					RTCTCOK	RTCTCRDY	RTCRDY
R-0h					R-0h	R-0h	R-0h

表 30-30. STA フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-3	予約済み	R	0h	
2	RTCTCOK	R	0h	リアルタイム クロック温度補償書き込みは OK です。これは、RTCTCMP への書き込みが成功したかどうかを示す読み取り専用ビットです。 0h = RTCTCMPx への書き込みは失敗 1h = RTCTCMPx への書き込みは成功
1	RTCTCRDY	R	0h	リアルタイム クロック温度補償準備完了。これは、RTCTCMPx への書き込みが可能になるタイミングを示す読み取り専用ビットです。RTCTCRDY がリセットされた場合、RTCTCMPx への書き込みは避ける必要があります。 0h = リアルタイム クロック温度補償の準備ができていません 1h = リアルタイム クロック温度補償の準備ができています
0	RTCRDY	R	0h	リアルタイム クロック準備完了。このビットは、リアルタイム クロックの時間値を安全に読み取れるタイミングを示します。 0h = 遷移時の RTC 時間値 1h = 読み取りに安全な RTC 時間値

Copyright © 2026 Texas Instruments Incorporated

30.4.25 CAL (オフセット = 1110h) [リセット = 00000000h]

図 30-29 に、CAL を示し、表 30-31 に、その説明を示します。

概略表に戻ります。

RTC クロック オフセット較正レジスタ

図 30-29. CAL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み						RTCCALFX	
R-0h						R/W-0h	
15	14	13	12	11	10	9	8
RTCOCALS	予約済み						
R/W-0h	R-0h						
7	6	5	4	3	2	1	0
RTCOCALX							
R/W-0h							

表 30-31. CAL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-18	予約済み	R	0h	
17-16	RTCCALFX	R/W	0h	リアルタイム クロックのキャリブレーション周波数。キャリブレーション測定のために RTC_OUT ピンへの周波数出力を選択します。対応するポートは、ペリフェラル モジュール機能用に設定する必要があります。 0h = RTC_OUT ピンへの周波数出力なし 1h = 512Hz 2h = 256Hz 3h = 1Hz
15	RTCOCALS	R/W	0h	リアルタイム クロックのオフセット誤差キャリブレーション符号。このビットは、オフセット誤差較正の符号を決定します。 0h = ダウン キャリブレーション。周波数を下げて調整。 1h = アップ キャリブレーション。周波数を上げて調整。
14-8	予約済み	R	0h	
7-0	RTCOCALX	R/W	0h	リアルタイム クロック オフセット誤差キャリブレーション。各 LSB は、周波数の約 +1ppm (RTCOCALXS = 1) または –1ppm (RTCOCALXS = 0) 調整を表します。最大実効キャリブレーション値は、+/-240ppm です。+/-240ppm より大きい値が書き込まれた場合、ハードウェアは無視します。 0h = 最小実効キャリブレーション値。 FFh = 最大実効キャリブレーション値は、+/-240ppm です。+/-240ppm より大きい値が書き込まれた場合、ハードウェアは無視します。

Copyright © 2026 Texas Instruments Incorporated

30.4.26 TCMP (オフセット = 1114h) [リセット = 00000000h]

図 30-30 に、TCMP を示し、表 30-32 に、その説明を示します。

概略表に戻ります。

RTC 温度補償レジスタ

図 30-30. TCMP

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
RTCTCMPS	予約済み						
R/W-0h	R-0h						
7	6	5	4	3	2	1	0
RTCTCMPX							
R/W-0h							

表 30-32. TCMP フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	RTCTCMPS	R/W	0h	リアルタイム クロック温度補償符号。このビットは、温度補償の符号を決定します。 0h = ダウン キャリブレーション。周波数を下げて調整。 1h = アップ キャリブレーション。周波数を上げて調整。
14-8	予約済み	R	0h	
7-0	RTCTCMPX	R/W	0h	リアルタイム クロック温度補償。このレジスタに書き込まれた値は、RTC の温度補償に使用されます。各 LSB は、周波数の約 +1ppm (RTCTCMPS = 1) または –1ppm (RTCTCMPS = 0) 調整を表します。最大実効キャリブレーション値は、+/-240ppm です。+/-240ppm より大きい値が書き込まれた場合、ハードウェアは無視します。RTCTCMP レジスタから読み取ると、いつでも RTCOCALx と RTCTCMPX の値の符号付き追加である累積値、および加算結果の更新された符号ビット (RTCTCMPS) が返されます。 00h = 最小値 FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.27 SEC (オフセット = 1118h) [リセット = 0000XXXXh]

図 30-31 に、SEC を示し、表 30-33 に、その説明を示します。

概略表に戻ります。

RTC 秒レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-31. SEC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	SECHIGHBCD			SECLOWBCD			
R-0h	R/W-X			R/W-X			
7	6	5	4	3	2	1	0
予約済み		SECBIN					
R-0h		R/W-X					

表 30-33. SEC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-12	SECHIGHBCD	R/W	X	秒 BCD – 上位桁 (0 ～ 5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 5h = 最大値
11-8	SECLOWBCD	R/W	X	秒 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
7-6	予約済み	R	0h	
5-0	SECBIN	R/W	X	秒バイナリ (0 ～ 59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 3Bh = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.28 MIN (オフセット = 111Ch) [リセット = 0000XXXXh]

図 30-32 に、MIN を示し、表 30-34 に、その説明を示します。

概略表に戻ります。

RTC 分レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-32. 最小値

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	MINHIGHBCD			MINLOWBCD			
R-0h	R/W-X			R/W-X			
7	6	5	4	3	2	1	0
予約済み		MINBIN					
R-0h		R/W-X					

表 30-34. MIN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-12	MINHIGHBCD	R/W	X	分 BCD – 上位桁 (0 ～ 5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 5h = 最大値
11-8	MINLOWBCD	R/W	X	分 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
7-6	予約済み	R	0h	
5-0	MINBIN	R/W	X	分バイナリ (0 ～ 59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 3Bh = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.29 HOUR (オフセット = 1120h) [リセット = 0000XXXXh]

図 30-33 に、HOUR を示し、表 30-35 に、その説明を示します。

概略表に戻ります。

RTC 時レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-33. HOUR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		HOURHIGHBCD		HOURLOWBCD			
R-0h		R/W-X		R/W-X			
7	6	5	4	3	2	1	0
予約済み			HOURBIN				
R-0h			R/W-X				

表 30-35. HOUR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	
13-12	HOURHIGHBCD	R/W	X	時 BCD – 上位桁 (0 ～ 2)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値。 2h = 最大値。
11-8	HOURLOWBCD	R/W	X	時 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値。 9h = 最大値。
7-5	予約済み	R	0h	
4-0	HOURBIN	R/W	X	時バイナリ (0 ～ 23)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値。 17h = 最大値。

Copyright © 2026 Texas Instruments Incorporated

30.4.30 DAY (オフセット = 1124h) [リセット = 00XXXX0Xh]

図 30-34 に、DAY を示し、表 30-36 に、その説明を示します。

概略表に戻ります。

RTC 曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-34. 日

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み		DOMHIGHBCD		DOMLOWBCD			
R-0h		R/W-X		R/W-X			
15	14	13	12	11	10	9	8
予約済み			DOMBIN				
R-0h			R/W-X				
7	6	5	4	3	2	1	0
予約済み						DOW	
R-0h						R/W-X	

表 30-36. DAY フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0h	
21-20	DOMHIGHBCD	R/W	X	月の日 BCD – 上位桁 (0 ～ 3)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 3h = 最大値
19-16	DOMLOWBCD	R/W	X	月の日 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
15-13	予約済み	R	0h	
12-8	DOMBIN	R/W	X	月の日バイナリ (1 ～ 28、29、30、31)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 1Fh = 最大値
7-3	予約済み	R	0h	
2-0	DOW	R/W	X	曜日 (0 ～ 6)。これらのビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = 最小値 6h = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.31 MON (オフセット = 1128h) [リセット = 0000XX0Xh]

図 30-35 に、MON を示し、表 30-37 に、その説明を示します。

概略表に戻ります。

RTC 月レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-35. MON

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			MONHIGHBCD	MONLOWBCD			
R-0h			R/W-X	R/W-X			
7	6	5	4	3	2	1	0
予約済み				MONBIN			
R-0h				R/W-X			

表 30-37. MON フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	MONHIGHBCD	R/W	X	月 BCD – 上位桁 (0 または 1)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 1h = 最大値
11-8	MONLOWBCD	R/W	X	月 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
7-4	予約済み	R	0h	
3-0	MONBIN	R/W	X	月バイナリ (1 ～ 12)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 Ch = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.32 YEAR (オフセット = 112Ch) [リセット = XXXX0XXXh]

図 30-36 に、YEAR を示し、表 30-38 に、その説明を示します。

概略表に戻ります。

RTC 年レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-36. YEAR

31	30	29	28	27	26	25	24
予約済み	CENTHIGHBCD			CENTLOWBCD			
R-0h	R/W-X			R/W-X			
23	22	21	20	19	18	17	16
DECADEBCD				YEARLOWESTBCD			
R/W-X				R/W-X			
15	14	13	12	11	10	9	8
予約済み				YEARHIGHBIN			
R-0h				R/W-X			
7	6	5	4	3	2	1	0
YEARLOWBIN							
R/W-X							

表 30-38. YEAR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	
30-28	CENTHIGHBCD	R/W	X	世紀 BCD – 上位桁 (0 ～ 4)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 4h = 最大値
27-24	CENTLOWBCD	R/W	X	世紀 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
23-20	DECADEBCD	R/W	X	10 進 BCD (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
19-16	YEARLOWESTBCD	R/W	X	年 BCD – 最下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
15-12	予約済み	R	0h	
11-8	YEARHIGHBIN	R/W	X	年バイナリ – 上位バイト。年の有効な値は 0 ～ 4095 です。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 Fh = 最大値
7-0	YEARLOWBIN	R/W	X	年バイナリ – 下位バイト。年の有効な値は 0 ～ 4095 です。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 FFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.33 A1MIN (オフセット = 1130h) [リセット = 00000000h]

図 30-37 に、A1MIN を示し、表 30-39 に、その説明を示します。

概略表に戻ります。

RTC 分アラーム レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-37. A1MIN

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AMINAEBCD	AMINHIGHBCD			AMINLOWBCD			
R/W-0h	R/W-0h			R/W-0h			
7	6	5	4	3	2	1	0
AMINAEBIN	予約済み	AMINBIN					
R/W-0h	R-0h	R/W-0h					

表 30-39. A1MIN のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	AMINAEBCD	R/W	0h	アラーム分 BCD イネーブル。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
14-12	AMINHIGHBCD	R/W	0h	アラーム分 BCD – 上位桁 (0 ～ 5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 5h = 最大値
11-8	AMINLOWBCD	R/W	0h	アラーム分 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
7	AMINAEBIN	R/W	0h	アラーム分バイナリ イネーブル。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
6	予約済み	R	0h	
5-0	AMINBIN	R/W	0h	アラーム分バイナリ (0 ～ 59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 3Bh = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.34 A1HOUR (オフセット = 1134h) [リセット = 00000000h]

図 30-38 に、A1HOUR を示し、表 30-40 に、その説明を示します。

概略表に戻ります。

RTC 時間アラームレジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-38. A1HOUR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AHOURAEBCD	予約済み	AHOURHIGHBCD		AHOURLOWBCD			
R/W-0h	R-0h	R/W-0h		R/W-0h			
7	6	5	4	3	2	1	0
AHOURAEBIN	予約済み		AHOURBIN				
R/W-0h	R-0h		R/W-0h				

表 30-40. A1HOUR のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	AHOURAEBCD	R/W	0h	アラーム時 BCD イネーブル有効。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
14	予約済み	R	0h	
13-12	AHOURHIGHBCD	R/W	0h	アラーム時 BCD – 上位桁 (0 ～ 2)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 2h = 最大値
11-8	AHOURLOWBCD	R/W	0h	アラーム時 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
7	AHOURAEBIN	R/W	0h	アラーム時バイナリ イネーブル。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
6-5	予約済み	R	0h	
4-0	AHOURBIN	R/W	0h	アラーム時バイナリ (0 ～ 23)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 17h = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.35 A1DAY (オフセット = 1138h) [リセット = 00000000h]

図 30-39 に、A1DAY を示し、表 30-41 に、その説明を示します。

概略表に戻ります。

RTC アラームの曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-39. A1DAY

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
ADOMAEBCD	予約済み	ADOMHIGHBCD		ADOMLOWBCD			
R/W-0h	R-0h	R/W-0h		R/W-0h			
15	14	13	12	11	10	9	8
ADOMAEBIN	予約済み			ADOMBIN			
R/W-0h	R-0h			R/W-0h			
7	6	5	4	3	2	1	0
ADOWAE	予約済み					ADOW	
R/W-0h	R-0h					R/W-0h	

表 30-41. A1DAY のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	ADOMAEBCD	R/W	0h	アラーム月の日 BCD イネーブル。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
22	予約済み	R	0h	
21-20	ADOMHIGHBCD	R/W	0h	アラーム月の日 BCD – 上位桁 (0 ～ 3)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 3h = 最大値
19-16	ADOMLOWBCD	R/W	0h	アラーム月の日 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
15	ADOMAEBIN	R/W	0h	アラーム月の日バイナリ イネーブル。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
14-13	予約済み	R	0h	
12-8	ADOMBIN	R/W	0h	アラーム月の日バイナリ (1 ～ 28、29、30、31) RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 1Fh = 最大値
7	ADOWAE	R/W	0h	アラーム曜日イネーブル。このビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = アラームはディスエーブル 1h = アラームはイネーブル
6-3	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 30-41. A1DAY のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	ADOW	R/W	0h	アラーム曜日 (0 ～ 6)。これらのビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = 最小値 6h = 最大値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

30.4.36 A2MIN (オフセット = 113Ch) [リセット = 00000000h]

図 30-40 に、A2MIN を示し、表 30-42 に、その説明を示します。

概略表に戻ります。

RTC 分アラーム レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-40. A2MIN

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AMINAEBCD	AMINHIGHBCD			AMINLOWBCD			
R/W-0h	R/W-0h			R/W-0h			
7	6	5	4	3	2	1	0
AMINAEBIN	予約済み	AMINBIN					
R/W-0h	R-0h	R/W-0h					

表 30-42. A2MIN のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	AMINAEBCD	R/W	0h	アラーム分 BCD イネーブル。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
14-12	AMINHIGHBCD	R/W	0h	アラーム分 BCD – 上位桁 (0 ～ 5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 5h = 最大値
11-8	AMINLOWBCD	R/W	0h	アラーム分 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
7	AMINAEBIN	R/W	0h	アラーム分バイナリ イネーブル。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
6	予約済み	R	0h	
5-0	AMINBIN	R/W	0h	アラーム分バイナリ (0 ～ 59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 3Bh = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.37 A2HOUR (オフセット = 1140h) [リセット = 00000000h]

図 30-41 に、A2HOUR を示し、表 30-43 に、その説明を示します。

概略表に戻ります。

RTC 時間アラームレジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-41. A2HOUR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
AHOURAEBCD	予約済み	AHOURHIGHBCD		AHOURLOWBCD			
R/W-0h	R-0h	R/W-0h		R/W-0h			
7	6	5	4	3	2	1	0
AHOURAEBIN	予約済み		AHOURBIN				
R/W-0h	R-0h		R/W-0h				

表 30-43. A2HOUR のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0h	
15	AHOURAEBCD	R/W	0h	アラーム時 BCD イネーブル有効。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
14	予約済み	R	0h	
13-12	AHOURHIGHBCD	R/W	0h	アラーム時 BCD – 上位桁 (0 ～ 2)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 2h = 最大値
11-8	AHOURLOWBCD	R/W	0h	アラーム時 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
7	AHOURAEBIN	R/W	0h	アラーム時バイナリ イネーブル。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
6-5	予約済み	R	0h	
4-0	AHOURBIN	R/W	0h	アラーム時バイナリ (0 ～ 23)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 17h = 最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.38 A2DAY (オフセット = 1144h) [リセット = 00000000h]

図 30-42 に、A2DAY を示し、表 30-44 に、その説明を示します。

概略表に戻ります。

RTC アラームの曜日 / 月レジスタ - バイナリ / BCD 形式のカレンダ モード

図 30-42. A2DAY

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
ADOMAEBCD	予約済み	ADOMHIGHBCD		ADOMLOWBCD			
R/W-0h	R-0h	R/W-0h		R/W-0h			
15	14	13	12	11	10	9	8
ADOMAEBIN	予約済み			ADOMBIN			
R/W-0h	R-0h			R/W-0h			
7	6	5	4	3	2	1	0
ADOWAE	予約済み					ADOW	
R/W-0h	R-0h					R/W-0h	

表 30-44. A2DAY のフィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	0h	
23	ADOMAEBCD	R/W	0h	アラーム月の日 BCD イネーブル。RTCBCD = 0 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
22	予約済み	R	0h	
21-20	ADOMHIGHBCD	R/W	0h	アラーム月の日 BCD – 上位桁 (0 ～ 3)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 3h = 最大値
19-16	ADOMLOWBCD	R/W	0h	アラーム月の日 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 最大値
15	ADOMAEBIN	R/W	0h	アラーム月の日バイナリ イネーブル。RTCBCD = 1 の場合、このビットは常に 0 です。このビットへの書き込みは無視されます。 0h = アラームはディスエーブル 1h = アラームはイネーブル
14-13	予約済み	R	0h	
12-8	ADOMBIN	R/W	0h	アラーム月の日バイナリ (1 ～ 28、29、30、31) RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 1Fh = 最大値
7	ADOWAE	R/W	0h	アラーム曜日イネーブル。このビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = アラームはディスエーブル 1h = アラームはイネーブル
6-3	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

表 30-44. A2DAY のフィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	ADOW	R/W	0h	アラーム曜日 (0 ～ 6)。これらのビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = 最小値 6h = 最大値

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

30.4.39 PSCTL (オフセット = 1148h) [リセット = 00000008h]

図 30-43 に、PSCTL を示し、表 30-45 に、その説明を示します。

概略表に戻ります。

RTC プリスケール タイマ 0/1 制御レジスタ

図 30-43. PSCTL

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み			RT1IP			予約済み	
R-0h			R/W-0h			R-0h	
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み			RT0IP			予約済み	
R-0h			R/W-2h			R-0h	

表 30-45. PSCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-21	予約済み	R	0h	
20-18	RT1IP	R/W	0h	プリスケール タイマ 1 割り込み間隔 0h = 2 ～ 15.6 ミリ秒間隔で分周 1h = 4 ～ 31.2 ミリ秒間隔で分周 2h = 8 ～ 62.5 ミリ秒間隔で分周 3h = 16 ～ 125 ミリ秒間隔で分周 4h = 32 ～ 250 ミリ秒間隔で分周 5h = 64 ～ 500 ミリ秒間隔で分周 6h = 128 ～ 1 ミリ秒間隔で分周 7h = 256 ～ 2 ミリ秒間隔で分周
17-5	予約済み	R	0h	
4-2	RT0IP	R/W	2h	プリスケール タイマ 0 割り込み間隔 2h = 8 ～ 244 ミリ秒間隔で分周 3h = 16 ～ 488 ミリ秒間隔で分周 4h = 32 ～ 976 ミリ秒間隔で分周 5h = 64 ～ 1.95 ミリ秒間隔で分周 6h = 128 ～ 3.90 ミリ秒間隔で分周 7h = 256 ～ 7.81 ミリ秒間隔で分周
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

30.4.40 EXTPSCTL (オフセット = 114Ch) [リセット = 00000000h]

EXTPSCTL は、図 30-44 に示されており、表 30-46 で説明されています。

概略表に戻ります。

拡張プリスケール タイマ制御レジスタ

図 30-44. EXTPSCTL

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み												RT2PS		予約済み	
R-0h												R/W-0h		R-0h	

表 30-46. EXTPSCTL のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3-2	RT2PS	R/W	0h	プリスケール タイマ 2 割り込み間隔 0h = 4 秒ごとの間隔 1h = 8 秒ごとの間隔 2h = 16 秒ごとの間隔
1-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

30.4.41 TSSEC (オフセット = 1150h) [リセット = 00000000h]

図 30-45 に、TSSEC を示し、表 30-47 に、その説明を示します。

概略表に戻ります。

RTC 秒 タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダ モード

図 30-45. TSSEC

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	SECHIGHBCD			SECLOWBCD			
R-0h	R-0h			R-0h			
7	6	5	4	3	2	1	0
予約済み		SECBIN					
R-0h		R-0h					

表 30-47. TSSEC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-12	SECHIGHBCD	R	0h	タイム スタンプ秒 BCD – 上位桁 (0 ～ 5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 5h = 可能な最大値
11-8	SECLOWBCD	R	0h	タイム スタンプ秒 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-6	予約済み	R	0h	
5-0	SECBIN	R	0h	タイム スタンプ秒バイナリ (0 ～ 59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 3Bh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.42 TSMIN (オフセット = 1154h) [リセット = 00000000h]

図 30-46 に、TSMIN を示し、表 30-48 に、その説明を示します。

概略表に戻ります。

RTC 分タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダ モード

図 30-46. TSMIN

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み	MINHIGHBCD			MINLOWBCD			
R-0h	R-0h			R-0h			
7	6	5	4	3	2	1	0
予約済み		MINBIN					
R-0h		R-0h					

表 30-48. TSMIN フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-15	予約済み	R	0h	
14-12	MINHIGHBCD	R	0h	タイム スタンプ分 BCD – 上位桁 (0 ～ 5)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 5h = 可能な最大値
11-8	MINLOWBCD	R	0h	タイム スタンプ分 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-6	予約済み	R	0h	
5-0	MINBIN	R	0h	タイム スタンプ分バイナリ (0 ～ 59)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 3Bh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.43 TSHOUR (オフセット = 1158h) [リセット = 00000000h]

図 30-47 に、TSHOUR を示し、表 30-49 に、その説明を示します。

概略表に戻ります。

RTC 時タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダ モード

図 30-47. TSHOUR

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み		HOURHIGHBCD		HOURLOWBCD			
R-0h		R-0h		R-0h			
7	6	5	4	3	2	1	0
予約済み				HOURBIN			
R-0h				R-0h			

表 30-49. TSHOUR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-14	予約済み	R	0h	
13-12	HOURHIGHBCD	R	0h	タイム スタンプ時 BCD–高い数字 (0 ～ 2)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 02h = 可能な最大値
11-8	HOURLOWBCD	R	0h	タイム スタンプ時 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 09h = 可能な最大値
7-5	予約済み	R	0h	
4-0	HOURBIN	R	0h	タイム スタンプ時バイナリ (0 ～ 23)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 17h = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.44 TSDAY (オフセット = 115Ch) [リセット = 00000000h]

図 30-48 に、TSDAY を示し、表 30-50 に、その説明を示します。

概略表に戻ります。

RTC 曜日 / 月タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダ モード

図 30-48. TSDAY

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み		DOMHIGHBCD		DOMLOWBCD			
R-0h		R-0h		R-0h			
15	14	13	12	11	10	9	8
予約済み			DOMBIN				
R-0h			R-0h				
7	6	5	4	3	2	1	0
予約済み					DOW		
R-0h					R-0h		

表 30-50. TSDAY フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-22	予約済み	R	0h	
21-20	DOMHIGHBCD	R	0h	タイム スタンプ月の日 BCD – 上位桁 (0 ～ 3)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 3h = 可能な最大値
19-16	DOMLOWBCD	R	0h	タイム スタンプ月の日 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 可能な最大値
15-13	予約済み	R	0h	
12-8	DOMBIN	R	0h	タイム スタンプ月の日バイナリ (1 ～ 28、29、30、31) RTCBCD=1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 1Fh = 可能な最大値
7-3	予約済み	R	0h	
2-0	DOW	R	0h	タイム スタンプ曜日 (0 ～ 6)。これらのビットは、RTCBCD = 1 または RTCBCD = 0 の場合に有効です。 0h = 最小値 6h = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.45 TSMON (オフセット = 1160h) [リセット = 00000000h]

図 30-49 に、TSMON を示し、表 30-51 に、その説明を示します。

概略表に戻ります。

RTC 月タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダ モード

図 30-49. TSMON

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み			MONHIGHBCD	MONLOWBCD			
R-0h			R-0h	R-0h			
7	6	5	4	3	2	1	0
予約済み				MONBIN			
R-0h				R-0h			

表 30-51. TSMON フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-13	予約済み	R	0h	
12	MONHIGHBCD	R	0h	タイム スタンプ月 BCD – 上位桁 (0 または 1)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 1h = 可能な最大値
11-8	MONLOWBCD	R	0h	タイム スタンプ月 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 可能な最大値
7-4	予約済み	R	0h	
3-0	MONBIN	R	0h	タイム スタンプ月バイナリ (1 ～ 12)。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 Ch = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.46 TSYEAR (オフセット = 1164h) [リセット = 00000000h]

図 30-50 に、TSYEAR を示し、表 30-52 に、その説明を示します。

概略表に戻ります。

RTC 年タイム スタンプ キャプチャ - バイナリ / BCD 形式のカレンダ モード

図 30-50. TSYEAR

31	30	29	28	27	26	25	24
予約済み	CENTHIGHBCD			CENTLOWBCD			
R-0h	R-0h			R-0h			
23	22	21	20	19	18	17	16
DECADEBCD				YERARLOWESTBCD			
R-0h				R-0h			
15	14	13	12	11	10	9	8
予約済み				YEARHIGHBIN			
R-0h				R-0h			
7	6	5	4	3	2	1	0
YEARLOWBIN							
R-0h							

表 30-52. TSYEAR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31	予約済み	R	0h	
30-28	CENTHIGHBCD	R	0h	タイム スタンプ世紀 BCD – 上位桁 (0 ～ 4)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 4h = 可能な最大値
27-24	CENTLOWBCD	R	0h	タイム スタンプ世紀 BCD – 下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 可能な最大値
23-20	DECADEBCD	R	0h	タイム スタンプ 10 進 BCD (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 可能な最大値
19-16	YERARLOWESTBCD	R	0h	タイム スタンプ年 BCD – 最下位桁 (0 ～ 9)。RTCBCD = 0 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 9h = 可能な最大値
15-12	予約済み	R	0h	
11-8	YEARHIGHBIN	R	0h	タイム スタンプ年バイナリ – 上位バイト。年の有効な値は 0 ～ 4095 です。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 0h = 最小値 Fh = 可能な最大値
7-0	YEARLOWBIN	R	0h	タイム スタンプ年バイナリ – 下位バイト。年の有効な値は 0 ～ 4095 です。RTCBCD = 1 の場合、これらのビットへの書き込みは無視され、読み取ると値は 0 になります。 00h = 最小値 FFh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

30.4.47 TSSTAT (オフセット = 1168h) [リセット = 00000000h]

図 30-51 に、TSSTAT を示し、表 30-53 に、その説明を示します。

概略表に戻ります。

タイム スタンプ ステータス

図 30-51. TSSTAT

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							TSVDDEVT
R-0h							R-0h
15	14	13	12	11	10	9	8
TSTIOEVT15	TSTIOEVT14	TSTIOEVT13	TSTIOEVT12	TSTIOEVT11	TSTIOEVT10	TSTIOEVT9	TSTIOEVT8
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
TSTIOEVT7	TSTIOEVT6	TSTIOEVT5	TSTIOEVT4	TSTIOEVT3	TSTIOEVT2	TSTIOEVT1	TSTIOEVT0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 30-53. TSSTAT フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	TSVDDEVT	R	0h	VDD の喪失によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
15	TSTIOEVT15	R	0h	タンパ I/O 15 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
14	TSTIOEVT14	R	0h	タンパ I/O 14 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
13	TSTIOEVT13	R	0h	タンパ I/O 13 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
12	TSTIOEVT12	R	0h	タンパ I/O 12 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
11	TSTIOEVT11	R	0h	タンパ I/O 11 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
10	TSTIOEVT10	R	0h	タンパ I/O 10 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
9	TSTIOEVT9	R	0h	タンパ I/O 9 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
8	TSTIOEVT8	R	0h	タンパ I/O 8 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出

Copyright © 2026 Texas Instruments Incorporated

表 30-53. TSSTAT フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7	TSTIOEVT7	R	0h	タンパ I/O 7 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
6	TSTIOEVT6	R	0h	タンパ I/O 6 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
5	TSTIOEVT5	R	0h	タンパ I/O 5 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
4	TSTIOEVT4	R	0h	タンパ I/O 4 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
3	TSTIOEVT3	R	0h	タンパ I/O 3 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
2	TSTIOEVT2	R	0h	タンパ I/O 2 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
1	TSTIOEVT1	R	0h	タンパ I/O 1 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出
0	TSTIOEVT0	R	0h	タンパ I/O 0 によるタイム スタンプ イベント 0h = イベント未検出 1h = イベント検出

Copyright © 2026 Texas Instruments Incorporated

30.4.48 TSCTL (オフセット = 116Ch) [リセット = 00000000h]

図 30-52 に、TSCTL を示し、表 30-54 に、その説明を示します。

概略表に戻ります。

タイム スタンプ制御レジスタ

図 30-52. TSCTL

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み			TSCAPTURE	予約済み			TSVDDEN
R-0h			R/WK – 0h	R-0h			R/WK – 0h
15	14	13	12	11	10	9	8
TSTIOEN15	TSTIOEN14	TSTIOEN13	TSTIOEN12	TSTIOEN11	TSTIOEN10	TSTIOEN9	TSTIOEN8
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h
7	6	5	4	3	2	1	0
TSTIOEN7	TSTIOEN6	TSTIOEN5	TSTIOEN4	TSTIOEN3	TSTIOEN2	TSTIOEN1	TSTIOEN0
R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h	R/WK – 0h

表 30-54. TSCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには、(KEY = 0xC5) を書き込む必要があります C5h = いずれかのイネーブル ビットをクリアするには、このフィールドに 0xC5 を書き込む必要があります
23-21	予約済み	R	0h	
20	TSCAPTURE	R/WK	0h	タイム スタンプ イベントが発生したときの RTC タイム スタンプのキャプチャ方式を定義します。 このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = タイム スタンプ イベントが最初の発生時に RTC キャプチャを保持。 1h = タイム スタンプ イベントの最後の発生時に RTC キャプチャを保持。
19-17	予約済み	R	0h	
16	TSVDDEN	R/WK	0h	VDD 損失検出によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
15	TSTIOEN15	R/WK	0h	タンパ I/O 15 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
14	TSTIOEN14	R/WK	0h	タンパ I/O 14 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル

Copyright © 2026 Texas Instruments Incorporated

表 30-54. TSCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
13	TSTIOEN13	R/WK	0h	タンパ I/O 13 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
12	TSTIOEN12	R/WK	0h	タンパ I/O 12 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
11	TSTIOEN11	R/WK	0h	タンパ I/O 11 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
10	TSTIOEN10	R/WK	0h	タンパ I/O 10 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
9	TSTIOEN9	R/WK	0h	タンパ I/O 9 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
8	TSTIOEN8	R/WK	0h	タンパ I/O 8 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
7	TSTIOEN7	R/WK	0h	タンパ I/O 7 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
6	TSTIOEN6	R/WK	0h	タンパ I/O 6 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
5	TSTIOEN5	R/WK	0h	タンパ I/O 5 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
4	TSTIOEN4	R/WK	0h	タンパ I/O 4 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル

Copyright © 2026 Texas Instruments Incorporated

表 30-54. TSCTL フィールド説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	TSTIOEN3	R/WK	0h	タンパ I/O 3 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
2	TSTIOEN2	R/WK	0h	タンパ I/O 2 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
1	TSTIOEN1	R/WK	0h	タンパ I/O 1 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル
0	TSTIOEN0	R/WK	0h	タンパ I/O 0 によるタイム スタンプ イネーブル このビットにアクセスするには、[IPSPECIFIC_RTC.TSCTL.KEY] を書き込む必要があります。 0h = 機能はディスエーブル 1h = 機能はイネーブル

Copyright © 2026 Texas Instruments Incorporated

30.4.49 TSCLR (オフセット = 1170h) [リセット = 00000000h]

図 30-53 に、TSCLR を示し、表 30-55 に、その説明を示します。

概略表に戻ります。

タイム スタンプ クリア レジスタ

図 30-53. TSCLR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY								予約済み							
R-0/W-0h								R-0h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															CLR
R-0h															WK-0h

表 30-55. TSCLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには、(KEY = 0xE2) を書き込む必要があります E2h = いずれかのイネーブル ビットをクリアするには、このフィールドに 0xE2 を書き込む必要があります
23-1	予約済み	R	0h	
0	CLR	WK	0h	タイム スタンプとステータス レジスタをクリアします。 このビットにアクセスするには、[IPSPECIFIC_RTC.TSCLR.KEY] を書き込む必要があります。 0h = 0 を書き込んでも影響なし 1h = タイム スタンプ イベントをクリア

Copyright © 2026 Texas Instruments Incorporated

30.4.50 LFSSRST (オフセット = 1174h) [リセット = 00000000h]

LFSSRST は、図 30-54 に示されており、表 30-56 で説明されています。

概略表に戻ります。

低周波サブシステムのリセット要求。このレジスタの VBATPOR ビットをアサートすると、バッテリ バックアップ ドメインで電源サイクルが発行されます。このリセットは、電源を VBAT 電源ピンに取り外して再接続するのと同じ効果があります。このレジスタは、RTCLOCK レジスタで書き込み保護できます。

図 30-54. LFSSRST

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							VBATPOR
R-0h							R/WK – 0h

表 30-56. LFSSRST のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0x12) を書き込む必要があります 12h = パワーオン リセットを要求するには、このフィールドに 0x12 を書き込む必要があります。
23-1	予約済み	R	0h	
0	VBATPOR	R/WK	0h	設定されている場合、レジスタ ビットは LFSS の PMU へのパワーオン リセットを要求します。 このビットにアクセスするには、[IPSPECIFIC_RTC.LFSSRST.KEY] を書き込む必要があります。 0h = 書き込んでも影響ありません。 1h = LFSS にパワーオン リセットを要求。

Copyright © 2026 Texas Instruments Incorporated

30.4.51 RTCLOCK (オフセット = 1178h) [リセット = 00000000h]

RTCLOCK は、図 30-55 に示されており、表 30-57 で説明されています。

概略表に戻ります。

RTC ロックビットは、CLKCTL、SEC、MIN、HOUR、DAY、MON、YEAR、および LFSSRST の各レジスタを、誤操作による書き換えから保護します。

図 30-55. RTCLOCK

31	30	29	28	27	26	25	24
KEY							
R-0/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							PROTECT
R-0h							R/WK – 0h

表 30-57. RTCLOCK のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	R-0/W	0h	このレジスタを更新するには (KEY = 0x22) を書き込む必要があります 22h = いずれかのビットを更新できるようにするには、このフィールドに 0x22 を書き込む必要があります。
23-1	予約済み	R	0h	
0	PROTECT	R/WK	0h	設定されると、レジスタ ビットは、CLKCTL、SEC、MIN、HOUR、DAY、MON、YEAR、および LFSSRST への誤った書き込みを防止します。このビットにアクセスするには、[IPSPECIFIC_RTC.RTCLOCK.KEY] に書き込む必要があります。 0h = RTC カウンタは書き込み可能です。 1h = RTC カウンタは読み出し専用アクセスです。

Copyright © 2026 Texas Instruments Incorporated

IWDT の主な特長は次のとおりです。

- 1 つの 25 ビット カウンタ
- プログラマブル クロック デバイダを使用して LFOSC (固定 32kHz クロック パス) でカウンタを駆動します
- 選択可能な 8 つのウォッチドッグ タイマ期間

図 31-1 に、IWDT のブロック図を示します。

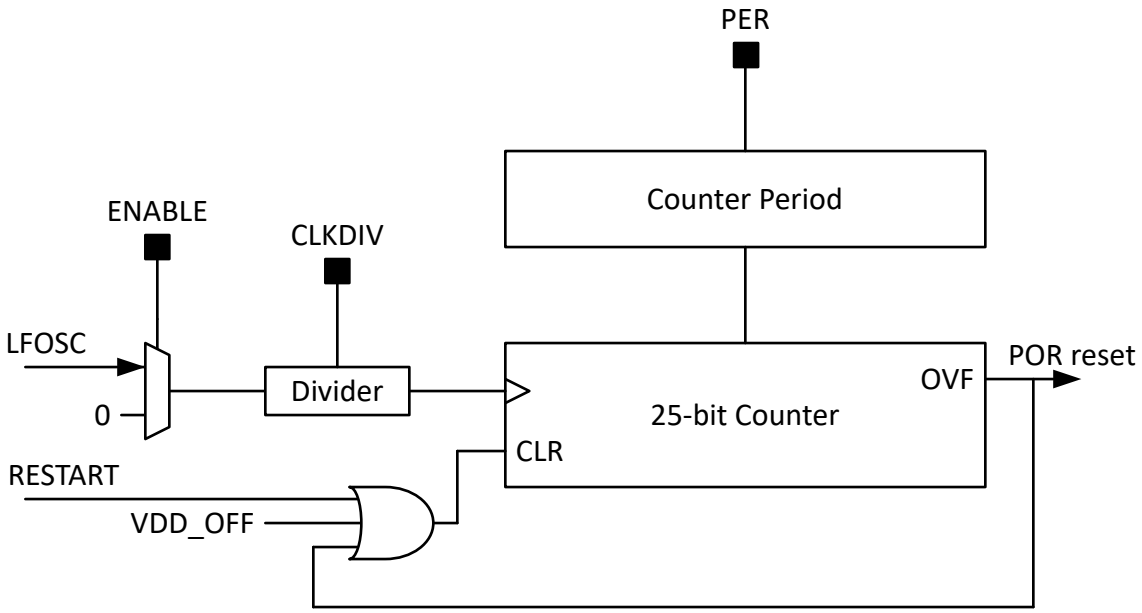


図 31-1. 独立型ウォッチドッグ タイマ (IWDT) のブロック図

IWDT の主な機能は、予期しないソフトウェアまたはシステム遅延によってデバイスの正常動作が失敗した場合に、フル パワーオン リセット (POR) を開始することです。IWDT には、アプリケーション ソフトウェア内で事前定義された時間をプログラムできます。

アプリケーション ソフトウェアは、タイマを再起動して、アプリケーションの実行が通常どおり継続していることを示す必要があります。アプリケーション ソフトウェアが所定の時間内にタイマを再起動できなかった場合、IWDT はデバイスの PMU に POR リセット要求を発行して POR を生成し、コールド ブート プロセスでデバイスを再起動します。

31.1 2118
31.2 IWDT クロックの構成 2118
31.3 IWDT 周期の選択 2118
31.4 IWDT のデバッグ動作 2118

Copyright © 2026 Texas Instruments Incorporated

31.5 IWDT レジスタ.....2118

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

31.1

31.2 IWDT クロックの構成

IWDT は、32kHz の低周波数発振器 (LFOSC) で動作します。クロック デバイダは、WDTCTL レジスタの CLKDIV フィールドを使用して、入力クロックを /1 (分周なし) から /8 (8 分周) まで分周できます。デフォルトの CLKDIV 設定は 0x03 です (32kHz を 4 分周、または 8kHz)。

31.3 IWDT 周期の選択

IWDT には 25 ビット カウンタがあり、VBAT 電源ドメインの電源投入後に初期状態で停止されます。IWDT の周期 (全時間間隔) は、WDTCTL レジスタの PER フィールドで設定します。IWDT の全周期は、次のように計算します。

TWDT = (CLKDIV + 1) * PERCOUNT / 32768Hz

表 31-1 に示すように、全タイマ カウント PERCOUNT は、8 つの周期カウント値のいずれかに選択されます。

表 31-1. IWDT 周期と周期カウントの設定

期間 (PER)	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
周期カウント (PERCOUNT)	225	221	218	215	212	210	28	26

周期選択 (PER) とクロック分周器 (CLKDIV) を組み合わせることで、最短 1.95ms ～ 最長 136.53 分の幅広い IWDT 周期が可能になります。

表 31-2 に、PER と CLKDIV の組み合わせに対して可能な IWDT の周期を示します。

表 31-2. IWDT 周期のタイミング オプション

CLKDIV	PER							
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
	最小値	最小値	s	s	s	ms	ms	ms
0x0 (/1)	17.07	1.07	8.00	1.00	0.13	31.25	7.81	1.95
0x1 (/2)	34.13	2.13	16.00	2.00	0.25	62.50	15.63	3.91
0x2 (/3)	51.20	3.20	24.00	3.00	0.38	93.75	23.44	5.86
0x3 (/4)	68.27	4.27	32.00	4.00	0.50	125.00	32.25	7.81
0x4 (/5)	85.33	5.33	40.00	5.00	0.63	156.25	39.06	9.77
0x5 (/6)	102.40	6.40	48.00	6.00	0.75	187.50	46.88	11.72
0x6 (/7)	119.47	7.47	56.00	7.00	0.88	218.75	54.69	14.67
0x7 (/8)	136.53	8.53	64.00	8.00	1.00	250.00	62.50	15.63

31.4 IWDT のデバッグ動作

IWDT は、デバッグ サブシステムによってデバッグのために CPU が停止したときに、カウントを停止またはカウントを続行するように設定できます。デフォルトでは、デバッグのため CPU が停止し、デバイスがデバッグ状態になると、IWDT はカウントを停止します。デバッグのために CPU を停止している間も IWDT をフリー ランさせるには、WDTDBGCTL レジスタの FREE ビットを設定します。

31.5 IWDT レジスタ

IWDT レジスタについては、ウォッチドッグ タイマに関連するセクション 29.10 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

Chapter 32

ウィンドウ ウォッチドッグ タイマ (WWDT)

TEXAS INSTRUMENTS

ウィンドウ ウォッチドッグ タイマ (WWDT) は、コードの実行を監視します。アプリケーション ソフトウェアが、プログラムされたオープン ウィンドウ期間内にウィンドウ ウォッチドッグを正常にリセットしなかった場合、ウィンドウ ウォッチドッグはリセットを生成します。

32.1 WWDT の概要 2120
32.2 WWDT 動作 2121
32.3 WWDT レジスタ 2125

Copyright © 2026 Texas Instruments Incorporated

32.1 WWDT の概要

ウィンドウ ウォッチドッグ タイマ (WWDT) の主な機能は、予期しないソフトウェアまたはシステム遅延によってデバイスの正常動作が失敗した場合に、リセットを開始することです。WWDT には事前定義された時間ウィンドウを設定できます。アプリケーション ソフトウェアは、その時間内にタイマを再スタートする必要があり、それによってアプリケーションが正常に実行されていることを示します。アプリケーション ソフトウェアが指定されたウィンドウ内でタイマを再起動できない場合、WWDT は SYSCTL に WWDT 違反信号を発行し、リセットを生成します。

アプリケーションでウォッチドッグ機能が不要な場合、CPU に対して定期的にマスカブル割り込みを生成できる基本的なシステム インターバル タイマとして WWDT を設定することもできます。

WWDT の主な特長は次のとおりです。

- クローズ ウィンドウとオープン ウィンドウを備えた 25 ビット カウンタ
- プログラマブル クロック デバイダを使用して LFCLK (固定 32kHz クロック パス) でカウンタを駆動します
- 選択可能な 8 つのウォッチドッグ タイマ期間
- 低消費電力モード動作時に、カウンタを自動的に停止するオプション機能
- 標準的なウィンドウ ウォッチドッグ モード、またはインターバル タイマ (非ウォッチドッグ) モードをサポート

デバイスには、1 つまたは 2 つの WWDT インスタンスが実装されています。WWDT0 違反が発生すると、BOOTRST が生成されます。この結果、ペリフェラルと CPU の状態がリセットされ、ブート構成ルーチン (BCR) が実行されます。WWDT1 違反が発生すると SYSRST が生成され、ペリフェラルと CPU の状態はリセットされますが、BCR の実行はトリガされません。このため、WWDT1 はソフトウェアの実行に起因する実行停止からの回復に適しています。一方、WWDT0 は、リセット時間が長くなりますが、トリム値の破損など、大きな問題を捕捉する場合に適しています。

32.1.1 ウォッチドッグ モード

ウォッチドッグ モードでは、WWDT は、指定された WWDT 期間までカウントするように設定されます。WWDT カウンタは、WWDT 周期に構成されたオープン ウィンドウ内でクリアする必要があります。そうしないと、WWDT が SYSCTL に対して WWDT 違反をアサートし、リセットが発生します。

ウィンドウ ウォッチドッグ タイマは、図 32-1 に示すように、オプションのクローズド ウィンドウ期間を設定することで「遅すぎる」応答だけでなく、「早すぎる」応答も検出できます。WWDT 周期は、クローズド ウィンドウ期間とオープン ウィンドウ期間で構成されます。最初にクローズド ウィンドウ期間が始まり、次にオープン ウィンドウ期間が続きます。WWDT を再起動できるのは、オープン ウィンドウ期間だけです。クローズド ウィンドウ期間中に WWDT を再起動すると、違反と見なされます。クローズド ウィンドウ期間の後、オープン ウィンドウ期間内に WWDT が再起動されなかった場合、WWDT 周期はタイムアウトし、違反が生成されます。

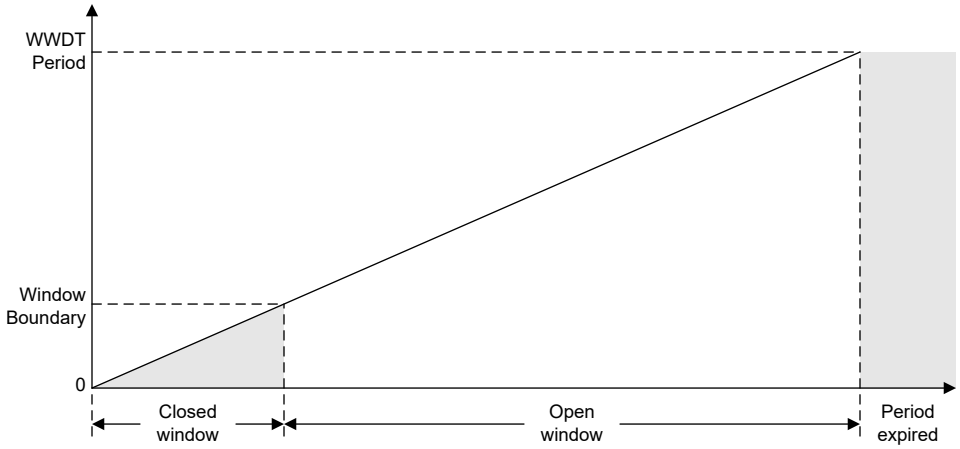


図 32-1. WWDT 機能

Copyright © 2026 Texas Instruments Incorporated

クローズド ウィンドウが不要な場合は、この機能を無効にし (0% に設定)、従来のウォッチドッグ タイマ機能を使用できます。この場合、WWDT 期間が経過する前であれば、いつでも WWDT をリセットできます。

32.1.2 インターバル タイマ モード

WWDT は、インターバル タイマ モードで使用して、ウォッチドッグ機能を使用していないときに、CPU への周期的な割り込みを生成できます。インターバル タイマ モードで使用する場合、WWDT 周期が満了したとき、または WWDT 制御レジスタに誤ったパスワードが書き込まれたときに、WWDT 割り込みが生成されます。

32.2 WWDT 動作

WWDT は、設定を行う前に PWREN レジスタで有効にしておく必要があります (ペリフェラル電源の有効化を参照)。

WWDT は、WWDTCTL0 および WWDTCTL1 レジスタによって設定されます。このレジスタはパスワードで保護されています。レジスタ アクセス (読み取りまたは書き込み) は 32 ビット アクセスである必要があります。また、書き込みアクセスでは、対応するパスワードを最上位バイトに書き込む必要があります (WWDTCTL0 の場合 0xC9、WWDTCTL1 の場合は 0xBE)。正しいパスワードを含めずにレジスタに書き込みを試みたり、32 ビットアクセス以外で書き込みを試みると、SYSCTL に対する WWDT 違反が発生します。パスワード バイトは常に 0x00 として読み取られます。

WWDT は、SYSRST の後に無効になり、クリアされます。WWDTCTL0 レジスタは、WWDT の静的構成を設定します。これには、クロック分周比、タイマ周期、クローズド ウィンドウの割合、タイマ モード (WWDT またはインターバル)、スリープ時停止ステータスが含まれます。WWDTCTL0 レジスタへの最初の書き込み (キー一致あり) によって、WWDT が有効になります。WWDT が有効になると、WWDTCTL0 レジスタは書き込み保護されます。WWDT が有効になった後に WWDTCTL0 レジスタへ書き込みを試みると、SYSCTL に対して WWDT 違反が生成されます。WWDTSTAT レジスタの RUN ビットは、WWDT が動作していることを示します。

図 32-2 に、WWDT の機能ブロック図を示します。

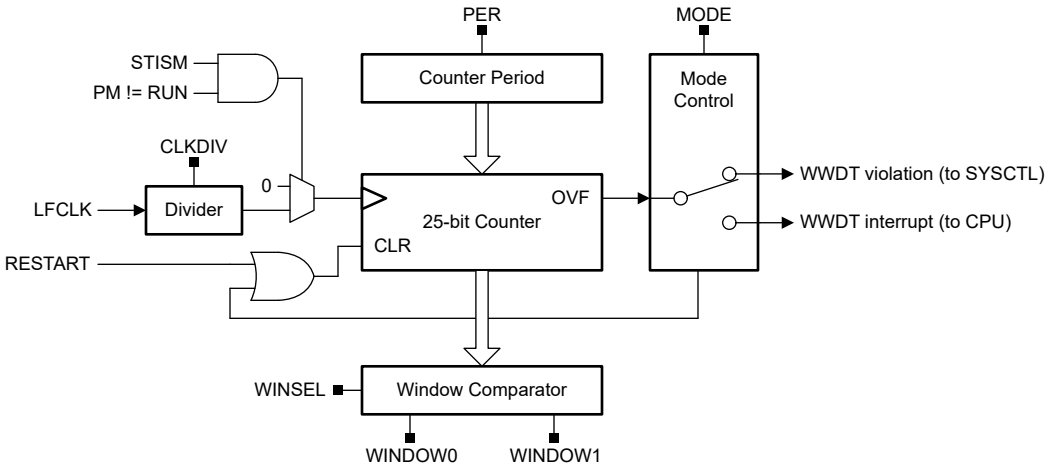


図 32-2. WWDT の図

32.2.1 モード選択

WWDT 動作モード (ウォッチドッグ モードまたはインターバル タイマ モード) は、WWDTCTL0 レジスタの MODE ビットによって選択されます。デフォルトのモードは、ウォッチドッグ モードです (MODE クリア)。MODE ビットをセットすると、WWDT がインターバル モードに設定されます。

WWDT がウォッチドッグ モードの場合、再起動値 (0x000000A7) を WWDTCNTRST レジスタに書き込むことで、オープン ウィンドウ期間内に WWDT カウンタを再起動する必要があります。リセットまたは再起動後、WWDT カウンタはゼロから再開します。オープン ウィンドウ期間内で WWDT を再起動できない場合、またはクローズ ウィンドウ期間内に WWDT カウンタを再起動しようとすると、SYSCTL に対する WWDT 違反が発生します。WWDTCNTRST レジスタに再起動値以外の値を書き込んだ場合も、WWDT 違反が生成されます。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

WWDT がインターバル モードの場合、タイマはインターバル タイマとして動作し、WWDT 周期で指定されたように、CPU への WWDT 割り込みが発生します。インターバル モードで WWDT を有効にすると、タイマが満了した後にすぐに WWDT インターバル タイマ割り込みがアサートされます。インターバル タイマ モードで WWDT を再起動する必要はありません。

32.2.2 クロック構成

WWDT は、32kHz の低周波数クロック (LFCLK) で動作します。クロック デバイダは、WWDTCTL0 レジスタの CLKDIV フィールドを使用して、入力クロックを /1 (分周なし) から /8 (8 分周) まで分周できます。デフォルトの CLKDIV 設定は 0x03 です (32kHz を 4 分周、または 8kHz)。

LFCLK で動作させることで、メインクロック (MCLK) および CPU クロック (CPUCLK) が LFCLK で動作するように構成されていない限り、WWDT のタイム ベースはこれらのクロックとは独立したものとなります。タイム ベースは独立したもので、他の発振器ソースから派生したように見えますが、LFCLK エッジは、WWDT を供給する前に MCLK と同期されるため、アプリケーション ソフトウェアはメモリ マップト レジスタに容易にアクセスできます。クロック方式の概略図を図 32-3 に示します。図 32-3 では、内部 LFOSC が LFCLK レートを設定するように構成されており、内部 SYSOSC が MCLK/CPUCLK レートを設定します。図を簡略化するため、クロック選択マルチプレクサと分周器は省略されています。完全なクロック ツリーについては、「クロックツリー」を参照してください。

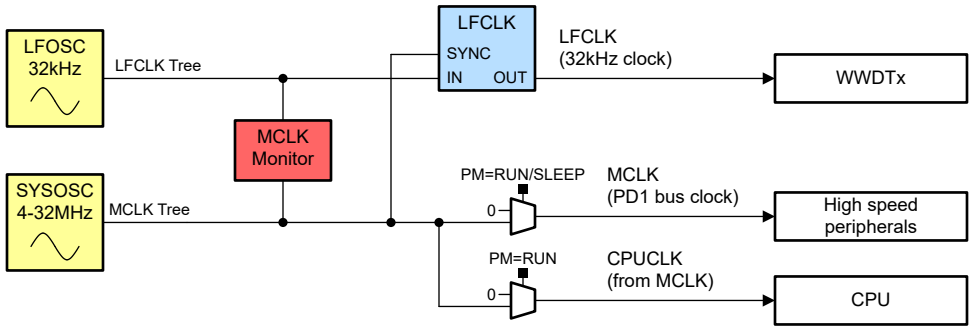


図 32-3. WWDT クロック ソース ツリーの概略図

MCLK モニタを常時有効にすることで、MCLK が故障し、LFCLK と MCLK の同期が失われた場合でも、故障を検出することができます。MCLK モニタを有効化しているときの MCLK の喪失は致命的な障害であり、12 LFCLK サイクル以内に BOOTRST が生成されます。その結果、MCLK ツリーが失われ、対応する同期が失われた場合でも、BOOTRST が生成されます。

周期の選択

WWDT には 25 ビット カウンタがあり、SYSRST 後に初期状態で停止します。WWDT の周期 (全時間間隔) は、WWDTCTL0 レジスタの PER フィールドで設定します。WWDT の全周期は、次のように計算します。

$$T_{WWDT} = (CLKDIV + 1) * PER_{COUNT} / 32768Hz \quad (30)$$

表 32-1 に示すように、全タイマ カウント PER_{COUNT} は、8 つの周期カウント値のいずれかに選択されます。

表 32-1. WWDT 周期の全タイマ カウント

PER	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
PER_{COUNT}	2^{25}	2^{21}	2^{18}	2^{15}	2^{12}	2^{10}	2^{8}	2^{6}

周期選択 (PER) とクロック分周器 (CLKDIV) を組み合わせることで、最短 1.95ms ～ 最長 136.53 分の幅広い WWDT 周期が可能になります。表 32-2 に、PER と CLKDIV の組み合わせに対して可能な WWDT の周期を示します。

Copyright © 2026 Texas Instruments Incorporated

表 32-2. WWDT 周期のタイミング オプション

CLKDIV	PER							
	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
	最小値	*最小値*	*s*	*s*	*s*	*ms*	*ms*	*ms*
0x0 (/1)	17.07	1.07	8.00	1.00	0.13	31.25	7.81	1.95
0x1 (/2)	34.13	2.13	16.00	2.00	0.25	62.50	15.63	3.91
0x2 (/3)	51.20	3.20	24.00	3.00	0.38	93.75	23.44	5.86
0x3 (/4)	68.27	4.27	32.00	4.00	0.50	125.00	32.25	7.81
0x4 (/5)	85.33	5.33	40.00	5.00	0.63	156.25	39.06	9.77
0x5 (/6)	102.40	6.40	48.00	6.00	0.75	187.50	46.88	11.72
0x6 (/7)	119.47	7.47	56.00	7.00	0.88	218.75	54.69	13.67
0x7 (/8)	136.53	8.53	64.00	8.00	1.00	250.00	62.50	15.63

同期遅延

WWDT カウンタの開始時または再起動時、WWDT カウンタがゼロからカウントを開始する前に、最大 1 つの 32kHz クロック サイクル (30.5µs) で同期遅延が発生することがあります。表 32-2 に示す周期には、この同期遅延は含まれていません。

クローズ ウィンドウの選択

WWDTCTL0 レジスタの WINDOW0 および WINDOW1 フィールドを設定することで、2 つのクローズ ウィンドウ期間の構成できます。WWDTCTL1 レジスタの WINSEL ビットによって、アクティブ ウィンドウ (WINDOW0 または WINDOW1) が決まります。どちらのウィンドウも、8 つのウィンドウ オプションのいずれかに設定できます。

表 32-3. WWDT ウィンドウ オプション

WINDOW	0x0	0x1	0x2	0x3	0x4	0x5	0x6	0x7
クローズ ウィンドウ	0%	12.5%	18.75%	25%	50%	75%	81.25%	87.5%

WINDOWx の値を 0x0 (0% クローズ、100% オープン) に設定することは、WWDT のウィンドウ機能を無効にすることと同等です。この構成では、WWDT 周期内の任意の時点で WWDT を再起動できます。

アクティブ ウィンドウの選択は、WWDT を有効にした後でも変更できます。WWDTCNTRST レジスタへの書き込みで WWDT を再起動する場合、少なくとも 4 つの 32kHz クロック サイクル (≈122µs) の間はクローズ ウィンドウ選択 (WINSEL) を変更しないでください。

32.2.3 低電力モードの動作

WWDT カウンタは、デバイスが低消費電力モード (CPU が無効) の場合でもカウントを継続するように設定できます。

WWDTCTL0 レジスタの STISM ビットは、WWDT カウンタが低消費電力モードでカウントを停止するかどうかを制御します。デフォルトでは、STISM ビットはクリアされ、低消費電力モードで WWDT がカウントを継続していることを示します。低消費電力モードで WWDT のカウントを停止するには、WWDT の起動時に WWDTCTL0 設定をロードする際、STISM ビットをセットします。この場合、低消費電力モードが終了し、CPU が動作に戻ると、WWDT カウンタは、低消費電力モードに移行する前に保持されているのと同じ値からカウントを再開します。

32.2.4 デバッグ動作

WWDT は、デバッグ サブシステムによるデバッグで CPU が停止した際に、カウントを停止または続行するように設定できます。デフォルトでは、デバッグで CPU が停止し、デバイスがデバッグ状態になると、WWDT はカウントを停止します。デバッグで CPU が停止したときに WWDT がフリーランを継続できるようにするには、PDBGCTL レジスタの FREE ビットをセットします。

Copyright © 2026 Texas Instruments Incorporated

32.2.5 WWDT イベント

WWDT モジュールには、一つのイベント パブリッシャがあり、イベント サブスクライバはありません。1 つのイベント パブリッシャ (CPU_INT) がスタティック イベント ルートによって CPU サブシステムへの WWDT 割り込み要求 (IRQ) を管理します。

表 32-4 に、WWDT イベントを示します。

表 32-4. WWDT イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込みイベント	パブリッシャ	WWDT	CPU サブシステム	スタティック ルート	CPU_INT レジスタ	WWDT から CPU への固定割り込みルート

32.2.5.1 CPU 割り込みイベント パブリッシャ (CPU_INT)

WWDT モジュールは、1 つの割り込みソースを備えており、CPU 割り込みイベントのソースとして構成できます。表 32-5 に、WWDT 割り込み条件を示します。

表 32-5. WWDT CPU 割り込み条件 (CPU_INT)

インデックス (IIDX)	名称	説明
0	INTTIM	WWDT インターバル タイマー期間が終了したことを示します

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。CPU 割り込みのイベント レジスタを構成する方法のガイダンスについては、セクション 8.2.5 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

32.3 WWDT レジスタ

表 32-6 に、WWDT レジスタのメモリマップト レジスタを示します。表 32-6 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 32-6. WWDT レジスタ

オフセット	略称	レジスタ名	セクション
800h	PWREN	パワー イネーブル	セクション 32.3.1
804h	RSTCTL	リセット制御	セクション 32.3.2
814h	STAT	ステータス レジスタ	セクション 32.3.3
1018h	PDBGCTL	ペリフェラル デバッグ制御	セクション 32.3.4
1020h	IIDX	割り込みインデックス	セクション 32.3.5
1028h	IMASK	割り込みマスク	セクション 32.3.6
1030h	RIS	未加工割り込みステータス	セクション 32.3.7
1038h	MIS	マスクされた割り込みステータス	セクション 32.3.8
1040h	ISET	割り込み設定	セクション 32.3.9
1048h	ICLR	割り込みクリア	セクション 32.3.10
10E0h	EVT_MODE	イベント モード	セクション 32.3.11
10FCh	説明	モジュールの説明	セクション 32.3.12
1100h	WWDTCTL0	ウィンドウ ウォッチドッグ タイマ制御レジスタ 0	セクション 32.3.13
1104h	WWDTCTL1	ウィンドウ ウォッチドッグ タイマ制御レジスタ 0	セクション 32.3.14
1108h	WWDTCNTRST	ウィンドウ ウォッチドッグ タイマ カウンタ リセット レジスタ	セクション 32.3.15
110Ch	WWDTSTAT	ウィンドウ ウォッチドッグ タイマ ステータス レジスタ	セクション 32.3.16

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 32-7 に、このセクションでアクセス タイプに使用しているコードを示します。

表 32-7. WWDT のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
K	K	キーで保護された書き込み
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

32.3.1 PWREN レジスタ (オフセット = 800h) [リセット = 00000000h]

図 32-4 に、PWREN を示し、表 32-8 に、その説明を示します。

概略表に戻ります。

電力状態を制御するレジスタ

図 32-4. PWREN レジスタ

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-							
15	14	13	12	11	10	9	8
予約済み							
R/W-							
7	6	5	4	3	2	1	0
予約済み							イネーブル
R/W-							K-0h

表 32-8. PWREN レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	電源状態変更を許可するキー 26h = このレジスタへの書き込みアクセスを許可するためのキー
23-1	予約済み	R/W	0h	
0	イネーブル	K	0h	電源を無効化にします 注:安全機能を備えたデバイスでは、いったん電源を有効にすると、その後は無効にできません。 このビットに書き込むには、KEY を 26h に設定する必要があります。 0h = 電源をディスエーブルにします 1h = 電源をイネーブルにします

Copyright © 2026 Texas Instruments Incorporated

32.3.2 RSTCTL レジスタ (オフセット = 804h) [リセット = 00000000h]

図 32-5 に、RSTCTL を示し、表 32-9 に、その説明を示します。

概略表に戻ります。

リセットのアサートとデアサートを制御するレジスタ

図 32-5. RSTCTL レジスタ

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み						RESETSTKYCLR	RESETASSERT
W-0h						WK-0h	WK-0h

表 32-9. RSTCTL レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	ロック解除キー B1h = このレジスタへの書き込みアクセスを許可するためのキー
23-2	予約済み	W	0h	
1	RESETSTKYCLR	WK	0h	RESETSTKY をクリアします このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも影響ありません 1h = リセット スティッキー ビットをクリアします
0	RESETASSERT	WK	0h	リセットをペリフェラルにアサート 注:安全機能を備えたデバイスでは、ソフトウェアによるウォッチドッグのリセットはできません。 このビットに書き込むには、KEY を B1h に設定する必要があります。 0h = 0 を書き込んでも影響ありません 1h = アサートをリセットします

Copyright © 2026 Texas Instruments Incorporated

32.3.3 STAT レジスタ (オフセット = 814h) [リセット = 00000000h]

図 32-6 に、STAT を示し、表 32-10 に、その説明を示します。

概略表に戻ります。

ペリフェラルのイネーブルおよびリセット ステータス

図 32-6. STAT レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-							
23	22	21	20	19	18	17	16
予約済み							RESETSTKY
R-							R-0h
15	14	13	12	11	10	9	8
予約済み							
R-							
7	6	5	4	3	2	1	0
予約済み							
R-							

表 32-10. STAT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-17	予約済み	R	0h	
16	RESETSTKY	R	0h	このビットは、RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされて以降にペリフェラルがリセットされたかどうかを示します 0h = RSTCTL レジスタの RESETSTKYCLR によって最後にクリアされて以降、ペリフェラルはリセットされていません 1h = 最後にビットがクリアされて以降、ペリフェラルがリセットされました
15-0	予約済み	R	0h	

Copyright © 2026 Texas Instruments Incorporated

32.3.4 PDBGCTL レジスタ (オフセット = 1018h) [リセット = 00000000h]

PDBGCTL は、図 32-7 に示されており、表 32-11 で説明されています。

概略表に戻ります。

このレジスタは、ソフトウェア開発者が「Core Halted」入力に対するペリフェラルの動作を制御するために使用できます

図 32-7. PDBGCTL レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み							FREE
R/W-0h							R/W-0h

表 32-11. PDBGCTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	FREE	R/W	0h	フリー ラン制御 0h = コアが停止した入力がアサートされている間、ペリフェラルは機能を停止し、デアサートされると再開します。 1h = ペリフェラルは、コア停止入力の状態を無視します

Copyright © 2026 Texas Instruments Incorporated

32.3.5 IIDX レジスタ (オフセット = 1020h) [リセット = 00000000h]

図 32-8 に、IIDX を示し、表 32-12 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。

図 32-8. IIDX レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																											STAT			
R-0h																											R-0h			

表 32-12. IIDX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-5	予約済み	R	0h	
4-0	STAT	R	0h	モジュールの割り込みベクタ値。このレジスタは、最高優先度の割り込みインデックスを提供します。読み取りにより、RIS および MISC の対応する割り込みフラグがクリアされます。 0h = 保留中の割り込みがありません 1h = インターバル タイマ割り込み、割り込みフラグ: INTTIM、割り込み優先度:最高

Copyright © 2026 Texas Instruments Incorporated

32.3.6 IMASK レジスタ (オフセット = 1028h) [リセット = 00000000h]

図 32-9 に、IMASK を示し、表 32-13 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 32-9. IMASK レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み							INTTIM
R/W-0h							R/W-0h

表 32-13. IMASK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R/W	0h	
0	INTTIM	R/W	0h	インターバル タイマ割り込み。 0h = 割り込みマスクをクリア 1h = 割り込みマスクを設定

Copyright © 2026 Texas Instruments Incorporated

32.3.7 RIS レジスタ (オフセット = 1030h) [リセット = 00000000h]

図 32-10 に、RIS を示し、表 32-14 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 32-10. RIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							INTTIM
R-0h							R-0h

表 32-14. RIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	INTTIM	R	0h	インターバル タイマ割り込み。 0h = 割り込みは発生していません 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

32.3.8 MIS レジスタ (オフセット = 1038h) [リセット = 00000000h]

図 32-11 に、MIS を示し、表 32-15 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 32-11. MIS レジスタ

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み							INTTIM
R-0h							R-0h

表 32-15. MIS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	INTTIM	R	0h	インターバル タイマ割り込み。 0h = 割り込みは発生していません 1h = 割り込みが発生しました

Copyright © 2026 Texas Instruments Incorporated

32.3.9 ISET レジスタ (オフセット = 1040h) [リセット = 00000000h]

図 32-12 に、ISET を示し、表 32-16 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 32-12. ISET レジスタ

31	30	29	28	27	26	25	24
予約済み							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み							INTTIM
W-0h							W-0h

表 32-16. ISET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	W	0h	
0	INTTIM	W	0h	インターバル タイマ割り込み。 0h = 0 を書き込んでも影響ありません 1h = 割り込みを設定します

Copyright © 2026 Texas Instruments Incorporated

32.3.10 ICLR レジスタ (オフセット = 1048h) [リセット = 00000000h]

図 32-13 に、ICLR を示し、表 32-17 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 32-13. ICLR レジスタ

31	30	29	28	27	26	25	24
予約済み							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み							INTTIM
W-0h							W-0h

表 32-17. ICLR レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	W	0h	
0	INTTIM	W	0h	インターバル タイマ割り込み。 0h = 0 を書き込んでも影響ありません 1h = 割り込みをクリアします

Copyright © 2026 Texas Instruments Incorporated

32.3.11 EVT_MODE レジスタ (オフセット = 10E0h) [リセット = 00000001h]

EVT_MODE は図 32-14 に示されており、表 32-18 で説明されています。

概略表に戻ります。

イベント モード レジスタ。各ラインをディスエーブルにするか、ソフトウェア モード (ソフトウェアが RIS をクリア) にするか、あるいはハードウェア モード (ハードウェアが RIS をクリア) にするかを選択するために使用されます

図 32-14. EVT_MODE レジスタ

31	30	29	28	27	26	25	24
予約済み							
R/W-							
23	22	21	20	19	18	17	16
予約済み							
R/W-							
15	14	13	12	11	10	9	8
予約済み							
R/W-							
7	6	5	4	3	2	1	0
予約済み						INT0_CFG	
R/W-						R-1h	

表 32-18. EVT_MODE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R/W	0h	
1-0	INT0_CFG	R	1h	none.INT_EVENT[0] に対応するイベントのイベント ライン モードを選択します 0h = 割り込みラインまたはイベント ラインは無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

32.3.12 DESC レジスタ (オフセット = 10FCh) [リセット = 1F117010h]

図 32-15 に、DESC を示し、表 32-19 に、その説明を示します。

概略表に戻ります。

このレジスタは、ペリフェラルとその正確なバージョンを識別します。

図 32-15. DESC レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-1F11h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				INSTNUM				MAJREV				MINREV			
R-7h				R-0h				R-1h				R-0h			

表 32-19. DESC レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	1F11h	モジュール識別には、固有のペリフェラル識別番号が含まれています。一意性を確保するため、すべてのプラットフォーム モジュールの割り当ては中央のデータベースに保持されます。 0h = 最小値 FFFFh = 可能な最大値
15-12	FEATUREVER	R	7h	モジュール *インスタンス* の機能セット 0h = 最小値 Fh = 可能な最大値
11-8	INSTNUM	R	0h	デバイス内のインスタンス番号。これは、複数のインスタンスを持つことができるモジュールの RTL のパラメータになります 0h = 最小値 Fh = 最大値
7-4	MAJREV	R	1h	IP のメジャー リビジョン 0h = 最小値 Fh = 可能な最大値
3-0	MINREV	R	0h	IP のマイナー リビジョン 0h = 最小値 Fh = 可能な最大値

Copyright © 2026 Texas Instruments Incorporated

32.3.13 WWDTCTL0 レジスタ (オフセット = 1100h) [リセット = 00000043h]

図 32-16 に、WWDTCTL0 を示し、表 32-20 に、その説明を示します。

概略表に戻ります。

ウィンドウ ウォッチドッグ タイマ制御 0 レジスタ
注:システム リセット後、このレジスタへの書き込みが有効になります。最初の正常な書き込み (キー一致) によって、ウォッチドッグが有効になります。ウォッチドッグが有効になると、それ以降にこのレジスタへ書き込むたびに、ESM への WWDT エラー信号がアサートされます。

図 32-16. WWDTCTL0 レジスタ

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み						STISM	モード
R/W-0h						R/W-0h	R/W-0h
15	14	13	12	11	10	9	8
予約済み	WINDOW1			予約済み	WINDOW0		
R/W-0h	R/W-0h			R/W-0h	R/W-0h		
7	6	5	4	3	2	1	0
予約済み	PER			予約済み	CLKDIV		
R/W-0h	R/W-4h			R/W-0h	R/W-3h		

表 32-20. WWDTCTL0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	このレジスタへの書き込みアクセスを許可するためのキーです。 誤ったキーでこのレジスタに書き込むと、ESM への WWDT エラー信号がアサートされます。 0 として読み取ります。 C9h (W) = このレジスタへの書き込みアクセスを可能にするキー
23-18	予約済み	R/W	0h	
17	STISM	R/W	0h	スリープ モード中は停止。 このビットの機能には、POLICY.HWCEN = 0 が必要です。 POLICY.HWCEN = 1 の場合、WWDT はスリープ中にリセットされ、再構成が必要になります。 注:グローバル ウィンドウ ウォッチドッグではスリープ モードがサポートされていないため、このビットは影響しません。 0h = WWDT はスリープ モードで引き続き機能します。 1h = WWDT はスリープ モードで停止し、ウェークアップ後に停止した場所で再開します。
16	モード	R/W	0h	ウィンドウ ウォッチドッグ タイマ モード 0h = ウィンドウ ウォッチドッグ タイマ モード。次の条件が発生すると、WWDT は ESM へのエラー信号を生成します:- タイマ満了 (タイムアウト) - アクティブ ウィンドウ クローズ期間中に WWDT をリセット - キーワード違反 1h = インターバル タイマ モード。WWDT はインターバル タイマとして動作します。タイムアウト時に割り込みを生成します。
15	予約済み	R/W	0h	

Copyright © 2026 Texas Instruments Incorporated

表 32-20. WWDTCTL0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
14-12	WINDOW1	R/W	0h	タイマ間隔に対するクローズド ウィンドウ期間の割合。 WWDTCTL1.WINSEL によって、使用するアクティブ ウィンドウ設定 (WWDTCTL0.WINDOW0 または WWDTCTL0.WINDOW1) が決まります。 0h = 0% (クローズド ウィンドウなし) 1h = タイマの全周期のうち、12.50% がクローズド ウィンドウ期間です 2h = タイマの全周期のうち、18.75% がクローズド ウィンドウ期間です 3h = タイマの全周期のうち、25% がクローズド ウィンドウ期間です 4h = タイマの全周期のうち、50% がクローズド ウィンドウ期間です 5h = タイマの全周期のうち、75% がクローズド ウィンドウ期間です 6h = タイマの全周期のうち、81.25% がクローズド ウィンドウ期間です 7h = タイマの全周期のうち、87.50% がクローズド ウィンドウ期間です
11	予約済み	R/W	0h	
10-8	WINDOW0	R/W	0h	タイマ間隔に対するクローズド ウィンドウ期間の割合。 WWDTCTL1.WINSEL によって、使用するアクティブ ウィンドウ設定 (WWDTCTL0.WINDOW0 または WWDTCTL0.WINDOW1) が決まります。 0h = 0% (クローズド ウィンドウなし) 1h = タイマの全周期のうち、12.50% がクローズド ウィンドウ期間です 2h = タイマの全周期のうち、18.75% がクローズド ウィンドウ期間です 3h = タイマの全周期のうち、25% がクローズド ウィンドウ期間です 4h = タイマの全周期のうち、50% がクローズド ウィンドウ期間です 5h = タイマの全周期のうち、75% がクローズド ウィンドウ期間です 6h = タイマの全周期のうち、81.25% がクローズド ウィンドウ期間です 7h = タイマの全周期のうち、87.50% がクローズド ウィンドウ期間です
7	予約済み	R/W	0h	
6-4	PER	R/W	4h	WWDT のタイマ期間。これらのビットで、ウォッチドッグ タイマの合計カウント値を選択します。 0h = 合計タイマ カウント数は 2^{25} です 1h = 合計タイマ カウント数 2^{21} です 2h = 合計タイマ カウント数は 2^{18} です 3h = 合計タイマ カウント数は 2^{15} です 4h = 合計タイマ カウント数は 2^{12} です (デフォルト) 5h = 合計タイマ カウント数は 2^{10} です 6h = 合計タイマ カウント数は 2^{8} です 7h = 合計タイマ カウント数は 2^{6} です
3	予約済み	R/W	0h	
2-0	CLKDIV	R/W	3h	モジュールクロック分周器:クロック ソースを CLKDIV +1 で分周します。/1 ～ /8 の分周値を設定できます。 クロック デバイダは現在 4 ビットです。ビット 4 は影響せず、常に 0 を書き込む必要があります。 0h = 最小値 7h = 最大値

Copyright © 2026 Texas Instruments Incorporated

32.3.14 WWDTCTL1 レジスタ (オフセット = 1104h) [リセット = 00000000h]

図 32-17 に、WWDTCTL1 を示し、表 32-21 に、その説明を示します。

概略表に戻ります。

ウィンドウ ウォッチドッグ タイマ制御 1 レジスタ

図 32-17. WWDTCTL1 レジスタ

31	30	29	28	27	26	25	24
KEY							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み							WINSEL
R/W-0h							R/W-0h

表 32-21. WWDTCTL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	KEY	W	0h	このレジスタへの書き込みアクセスを許可するためのキーです。 誤ったキーでこのレジスタに書き込むと、ESM への WWDT エラー信号がアサートされます。 0 として読み取ります。 BEh (W) = このレジスタへの書き込みアクセスを許可するためのキー
23-1	予約済み	R/W	0h	
0	WINSEL	R/W	0h	クローズ ウィンドウ選択 0h = ウィンドウ モード フィールド WDDTCTL0 の WINDOW0 は、クローズド ウィンドウ サイズを定義します。 1h = ウィンドウ モードで WDDTCTL0 のフィールド WINDOW1 はクローズド ウィンドウ サイズを定義します。

Copyright © 2026 Texas Instruments Incorporated

32.3.15 WWDTCNTRST レジスタ (オフセット = 1108h) [リセット = 00000000h]

WWDTCNTRST は図 32-18 に示されており、表 32-22 で説明されています。

概略表に戻ります。

ウィンドウ ウォッチドッグ タイマ カウンタ再起動レジスタ

図 32-18. WWDTCNTRST レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESTART																															
R/W-0h																															

表 32-22. WWDTCNTRST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-0	RESTART	R/W	0h	ウィンドウ ウォッチドッグ タイマ カウンタの再起動。このレジスタに 00A7h を書き込むと、WWDT カウンタが再起動します。 他の値を書き込むと、ESM にエラーが生成されます。 0 として読み取ります。 0h = 最小値 FFFFFFFFh = 最大値

Copyright © 2026 Texas Instruments Incorporated

32.3.16 WWDTSTAT レジスタ (オフセット = 110Ch) [リセット = 00000000h]

WWDTSTAT は図 32-19 に示されており、表 32-23 で説明されています。

概略表に戻ります。

ウィンドウ ウォッチドッグ タイマ ステータス レジスタ
このレジスタへの書き込みは、影響がありません。

図 32-19. WWDTSTAT レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み															RUN
R-0h															R-0h

表 32-23. WWDTSTAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-1	予約済み	R	0h	
0	RUN	R	0h	ウォッチドッグ動作ステータス フラグ。 0h = ウォッチドッグ カウンタが停止しました。 1h = ウォッチドッグが動作中です。

Copyright © 2026 Texas Instruments Incorporated

Chapter 33
デバッグ

デバッグ サブシステム (DEBUGSS) は、すべての MSP デバイスに実装されています。DEBUGSS では、シリアル ワイヤ デバッグ (SWD) インターフェイス経由で外部デバッグ プローブとデバイス システムを接続することで、開発中にプロセッサ上で実行されるアプリケーション ソフトウェアの包括的なデバッグを行えます。

33.1 DEBUGSS の概要 2144
33.2 DEBUGSS の動作 2147
33.3 DEBUGSS レジスタ 2155

Copyright © 2026 Texas Instruments Incorporated

33.1 DEBUGSS の概要

デバッグ サブシステム (DEBUGSS) は、ARM シリアル ワイヤ デバッグ (SWD) の 2 線式物理インターフェイスを、デバイス内の複数のデバッグ機能に接続します。MSP デバイスは、プロセッサの実行、デバイスの状態、電力状態 (EnergyTrace テクノロジーを使用) のデバッグをサポートしています。DEBUGSS は、SWD を介してソフトウェアと通信するためのメールボックス システムも提供します。

デバッグ サブシステムで提供される主な機能は次のとおりです:

- ARM シリアル ワイヤ デバッグ (SWD) は 2 本線 (SWDIO、SWCLK) のデバッグ インターフェイスであり、TI 製およびサード パーティ製のデバッグ プローブの両方と互換性があります
  - SWDIO および SWCLK 用のオンチップ プルアップ抵抗とプルダウン抵抗は、それぞれデフォルトで有効になっています
  - SWD 機能を無効化し、SWD ピンを汎用入出力ピンとして使用できるようにサポート
  - すべての低消費電力モードでのデバッグをサポート
- プロセッサのデバッグ
  - 実行、停止、およびステップ実行のデバッグをサポート
  - 最大 4 個のハードウェア ブレークポイント (BPU)
  - 最大 2 個のハードウェア ウォッチポイント (DWT)
  - ARM マイクロ トレース バッファ (MTB) を介した最大 4 つの分岐命令のトレース
  - ソフトウェア ブレークポイントをサポート
- プロセッサ デバッグ中のペリフェラル動作をソフトウェアで設定可能
  - デバッグ停止中に選択したペリフェラルをフリー ランさせる機能
  - デバッグ停止時に選択したペリフェラルを停止させる機能
  - PMCU に対してリセットおよびモード変更を要求する機能
- EnergyTrace テクノロジーによる CPU の状態監視
- SWD インターフェイスとブート ROM (およびアプリケーション ソフトウェア) 間でデータや制御信号を受け渡すためのメールボックス (DSSM)
- SWD ロックアウトやパスワード認証を使用したデバッグなど、さまざまなセキュリティ機能のサポート
- **注**
  デバイス固有の機能については、データシートを参照してください

33.1.1 デバッグ インターコネクト

図 33-1 に、DEBUGSS のアーキテクチャを示します。

Copyright © 2026 Texas Instruments Incorporated

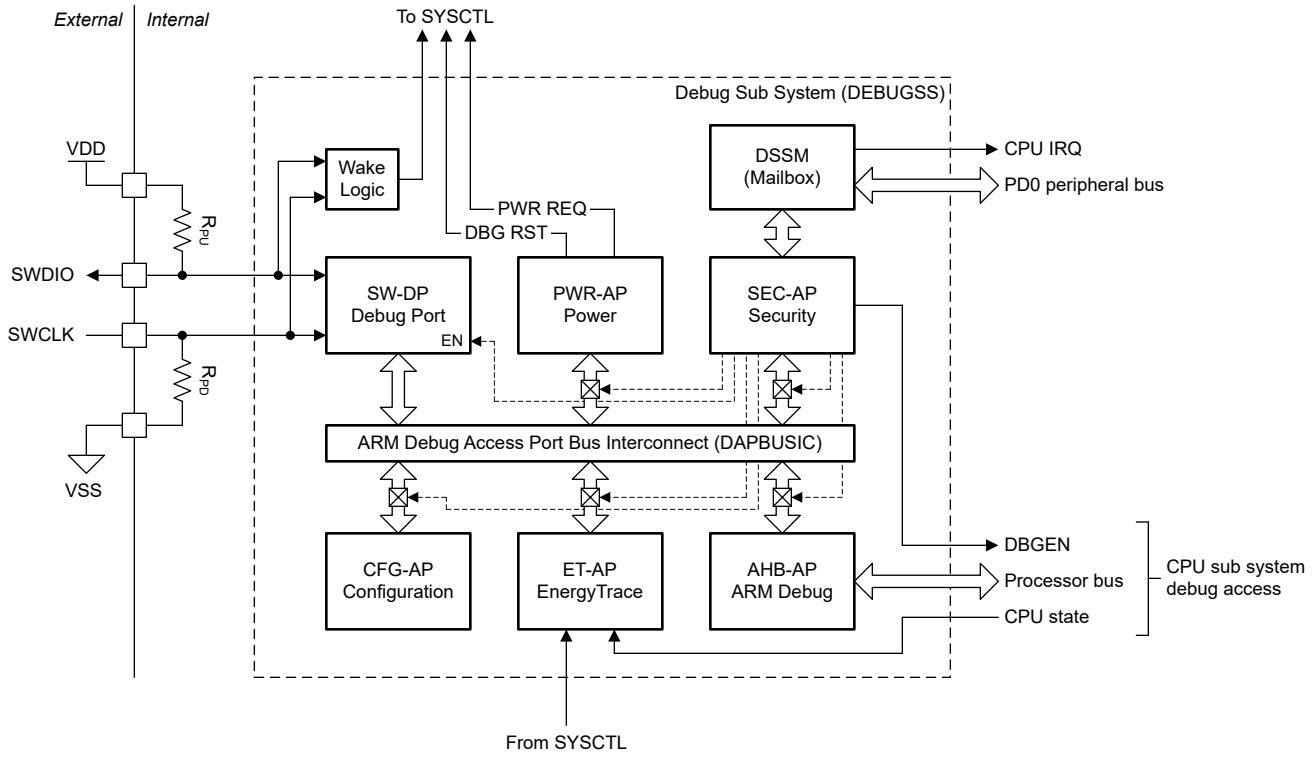


図 33-1. デバッグ サブシステムのブロック図

SWD 物理インターフェイスは、Arm シリアル ワイヤ デバッグ ポート (SW-DP) と連動し、SW-DP が有効であれば、デバッグ アクセス ポート バス インターコネクト (DAPBUSIC) にアクセスできるようにします。TI からは、SW-DP が有効になった状態でデバイスが出荷されているため、開発および量産プログラミングで SWD にアクセスできるようになっていますが、SW-DP はブート構成ポリシーで完全に無効にすることもできます (セクション 33.2.3 を参照)。

DAPBUSIC により、デバッグ プローブは 1 つまたは複数のデバッグ アクセス ポートにアクセスできます。デバッグ プローブがアクセス ポートと通信できるようにするには、SW-DP デバッグ ポートをデバイスのブート構成ポリシーで無効にしないでください。また、ターゲット アクセス ポートも、ブート構成ポリシーで無効にしないでください。使用可能なアクセス ポートについては、セクション 33.1.3 を参照してください。

SWD と SW-DP には、デバッグで生成されるリセットと動作モードの変更をサポートするため、PMCU モジュールに信号を伝達する機能も含まれています (セクション 33.2.2 を参照)。

33.1.2 物理層インターフェイス

デバイスへのデバッグ接続は、Arm シリアル ワイヤ デバッグ (SWD) 準拠インターフェイスによってサポートされています。SWD インターフェイスには、次の 2 つの接続が必要です。

- デバイスとの間でデータを送受信するために使用する双方向データ ライン (SWDIO)
- デバイスに接続されたデバッグ プローブによって駆動される単方向クロック ライン (SWCLK)

SWD インターフェイスは、SWD 通信にデバイスの標準ロジック レベルを使用します。特定の電源電圧 (VDD) における入力および出力ロジック レベルについては、該当するデバイスのデータシートを参照してください。DEBUGSS は、最大 10MHz の SWCLK 周波数をサポートしています。

SWD の動作中、ターゲット デバイスまたはデバッグ プローブのいずれかによって、SWDIO ラインを High に駆動するか、Low に駆動できます。どちらのデバイスもラインを駆動できるため、共有 SWDIO ラインの所有権がデバイスとデバッグ プローブの間で切り替わると、SWD プロトコルの一部として駆動されていないタイム スロットが挿入されます。SWDIO ラインのプルアップ抵抗と SWCLK ラインのプルダウン抵抗の主な目的は、デバッグ プローブを接続しないときに SWD

Copyright © 2026 Texas Instruments Incorporated

ピンを既知の状態にすることです。Arm は、100kΩ の最小抵抗を推奨しています。内部プルアップ / プルダウン抵抗はこの要件を満たしており、SWD インターフェイスを正常に動作させるために外付け抵抗は必要ありません。

パワーオン リセット (POR) 後、MSP デバイスは SWD ピンを SWD モードに構成し、SWDIO ラインの内部プルアップ抵抗を有効にして、SWCLK ラインの内部プルダウン抵抗を有効にします。デバイス構成がすべての SWD アクセスを永続的に無効にしていない場合は、ブート プロセス中に SWD インターフェイスが有効になり、デバッグ プローブを DEBUGSS に接続できます。

デバイスがソフトウェアによって SHUTDOWN モードに移行するように構成され、SWCLK がアクティブな状態でデバッグ プローブが SWD ピンに接続された場合、ウェークアップ ロジックにより SHUTDOWN モードの終了がトリガされて BOR が発生します。これで、BOR の完了後に DEBUGSS へのデバッグ接続を確立できます。

デバッグ プローブの物理的な接続が完了した場合、SW-DP との SWD 接続を開始するために、デバッグ プローブからターゲット デバイスに有効な JTAG-to-SWD シーケンスを送信する必要があります。他のシーケンスでは、デバイスが SHUTDOWN モードからウェークアップすることはありませんシーケンスが適用され、SWD 接続が確立されると、有効なデバッグ アクセスポイントとの通信が可能になります。

セキュア アプリケーションでは、DEBUGSS PWRUPIFG 割り込みを利用して、ソフトウェアが接続を認識できます。デバッグ プローブが切断されて SWD 接続が失われると、PWRDWNIFG 割り込みがアサートされます。

アプリケーション ソフトウェアで SYSCTL の SWD インターフェイスを無効にし、IO を汎用 IO 機能のために解放することもできます。SWD 以外の機能で SWD ピンを使用するには、SYSCTL の SWD ピンを確認します。ソフトウェアが SWD 機能を無効にすると、POR をトリガする以外に、それを再度有効にする方法はありません。POR は SWD 機能を自動的に再度有効にし、SWD ピンを SWD モードに移行して、プルアップ / プルダウン抵抗を有効にします。起動時に SWD ピンを無効にするソフトウェアが存在するデバイスに対して、デバッグ アクセスを回復するには、NRST ピンを使用して、POR 時にデバイスをリセット状態に保持する必要があります。これにより、アプリケーション ソフトウェアの起動が防止され、デバッグ プローブがデバイスにアクセスできるようになります。この時点で、デバッグ プローブを使用して統合開発環境からデバイスに一括消去 DSSM コマンドを送信し、SWD ピンを無効にするアプリケーション ソフトウェアを削除できます。

注

BOR、BOOTRST、SYSRST レベルは IOMUX ロジックをリセットし、SWDIO/SWCLK ピンのプルアップ / プルダウン抵抗を再度有効にします。ただし、SWD 機能は、次の POR まで無効のままです。デバイスの電源投入時は常に SWDIO プルアップおよび SWCLK プルダウン抵抗が有効であるため、起動後に SWD 以外の機能に SWD ピンを使用する場合は、ハードウェア設計でこれに対応する必要があります。リセット後、アプリケーション ソフトウェアは IOMUX のプルアップ / プルダウン抵抗を無効にし、他の目的で使用できるように SWD ピンを解放することができます。

33.1.3 デバッグ アクセス ポート

表 33-1 に、DEBUGSS のデバッグ アクセス ポートを示します。

表 33-1. DEBUGSS アクセス ポートのリスト

APSEL	AP	ポートの説明	目的
0x0	AHB-AP	MCPUSS デバッグ アクセス ポート	プロセッサとペリフェラルのデバッグ
0x1	CFG-AP	設定アクセス ポート	デバイス タイプ情報にアクセスします
0x2	SEC-AP	セキュリティ アクセス ポート	デバッグ メールボックス (DSSM) にアクセスします
0x3	ET-AP	EnergyTrace™ テクノロジ アクセス ポート	電力認識型のデバッグを行うには、EnergyTrace テクノロジーから電力状態データを読み取ります
0x4	PWR-AP	電源アクセス ポート	デバイスの電源状態を構成します (PMCU/SYSCTL とのインターフェイス)

Copyright © 2026 Texas Instruments Incorporated

注

MSPM33C デバイスでは ET-AP が使用できません

AHB-AP、PWR-AP、ET-AP は、完全なデバイス デバッグ機能 (プロセッサのデバッグ、ペリフェラルおよびメモリ バス アクセス、電源状態制御、プロセッサの状態) を提供します。詳細については、セクション 33.2.1 を参照してください。

CFG-AP は、デバッグ プローブにデバイス情報を提供することで、デバッグ プローブがデバイスの部品番号やデバイス リビジョンなどのデバイス特性を識別できるようにします。

SEC-AP は、SWD 経由でデバイス上で動作しているソフトウェアと通信するためのメールボックスへのアクセスを提供します。詳細については、セクション 33.2.4 を参照してください。

33.2 DEBUGSS の動作

DEBUGSS モジュールの機能と動作について、以下のセクションで説明します。

33.2.1 デバッグ機能

DEBUGSS は、プロセッサ デバッグ、プロセッサ トレース、ペリフェラル デバッグ、およびエネルギー状態デバッグをサポートします。

33.2.1.1 プロセッサのデバッグ

Arm Cortex-M33 プロセッサは、開発中にアプリケーション ソフトウェアのデバッグを簡素化するため、幅広い機能をサポートしています。MSP マイコンがサポートする主な機能には、以下のものがあります:

- halt 信号のアサート、設定されたデバッグ イベント (ハード故障への移行やリセットなど)、または BKPT 命令 (ソフトウェア ブレークポイント用) によって、プロセッサを停止できます
- ペリフェラル割り込みの有効 / 無効にかかわらず、命令をステップ実行できます
- ペリフェラル割り込みの有効 / 無効にかかわらず、命令を連続実行できます
- CPU レジスタの読み取りと書き込みが停止時に実行可能
- Cortex-M33 システム制御空間 (SCS) を経由して例外情報を読み取る機能
- 最大 4 個のハードウェア ブレークポイントに対応
- 最大 2 個のハードウェア ウォッチポイントに対応
- デバイスのメモリ マップへのアクセスをサポート
- 最大 4 つのジャンプ位置に対応した Microtrace Buffer (MTB)

33.2.1.1.1 ブレークポイント ユニット (BPU)

ブレークポイント ユニット (BPU) は最大 4 つのコンパレータを備えており、命令フェッチのアドレスが各 BPU コンパレータにプログラムされたアドレスと一致した場合に、デバッグ イベントを生成するために使用できます。

BPU は、データの読み取りまたは書き込みアクセスのアドレス一致時にデバッグ イベントを生成しません。

コード領域 (0x0000.0000 ～ 0x1FFF.FFFF) からフェッチされたハーフワード (16 ビット) 命令およびワード (32 ビット) 命令でアドレスを一致させることができます。

デバッグ シナリオで、サポートされているハードウェア ブレークポイントを超える必要がある場合は、BKPT 命令を使用して、ソフトウェア ブレークポイントをハードウェア ブレークポイントとともに使用できます。SRAM 領域でコードのデバッグが必要な場合は、ハードウェア ブレークポイントは使用できず、代わりにデバッグ プローブでソフトウェア ブレークポイントを挿入する必要があります。

```
// Example of a breakpoint function in C (TI Arm CLANG compiler)
__BKPT(0);
```

33.2.1.1.2 データ ウォッチポイントおよびトレース ユニット (DWT)

データ ウォッチポイントおよびトレース ユニット (DWT) には、最大 2 つのコンパレータがあり、どちらもデータ アドレス一致 (ウォッチポイント イベント) または命令アドレス一致 (PC ウォッチポイント イベント) 時のイベント生成をサポートします。

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

DWT コンパレータは、アドレスのマスキングをサポートしており、これにより、プロセッサが指定範囲内のアドレスにアクセスしようとしたときにイベントを生成できます。

33.2.1.1.3 プロセッサ トレース (MTB)

一部のデバイスは、プロセッサを特定の状態に遷移させた実行シーケンスのコンテキストを取得するために、基本命令実行トレースをサポートしています。プロセッサ トレース エンジンは、Arm CoreSight MTB-M33 マイクロ トレース バッファをベースにしています。

MTB は、分岐命令または例外でプロセッサのプログラム カウンタ (PC) が非シーケンシャルに変化したときに、PC の状態をキャプチャします。ロードとストアのアクティビティは MTB によってキャプチャされません。MTB によって非シーケンシャルな実行が検出されると、その変更がキャプチャされて小さなバッファ メモリ (表 33-2 を参照) に格納されます。このメモリは、アプリケーション ソフトウェアまたはデバッグ プローブで後から読み出すことができます。

表 33-2. MTB バッファ メモリ

開始アドレス	終了アドレス	長さ
0x4040.3000	0x4040.3020	32B (4 つのトレース パケット)
0x5040.3000	0x5040.3020	32B (4 つのトレース パケット)、セキュア リソースの場合。

33.2.1.2 ペリフェラル デバッグ

プロセッサのデバッグに加えて、DEBUGSS はプロセッサの観点からデバイス メモリ マップにアクセスするためにも使用できます。このため、接続されたデバッグ プローブを使用して、メモリマップト ペリフェラル レジスタ、システム SRAM、フラッシュ メモリの読み書きができます。

特定のペリフェラルは、高度なデバッグ構成オプションをサポートしています。これらのオプションは、特定のペリフェラルのメモリマップ内のデバッグ制御ビットをセットまたはクリアすることで、アプリケーション ソフトウェア (またはオプションで、デバッグ プローブ) によって構成されます。一般に、特定のペリフェラルのデバッグ動作は、各ペリフェラルの PDBGCTL レジスタで指定されます。多くのペリフェラルでは、デバッグのためにプロセッサが停止した際に、ペリフェラルへの機能クロックを停止し、ペリフェラルをプロセッサと一緒に一時停止するか (デフォルトの構成)、ペリフェラルの実行を続行するかを選択できます。

たとえば、WWDT ペリフェラルは、PDBGCTL レジスタ内の FREE ビットをサポートしています。WWDT の PDBGCTL の FREE ビットをセットすると、デバッグのためにプロセッサが停止した場合でも WWDT カウンタが動作し続けます。その場合、ウォッチドッグは処理されません (割り込みまたはリセットが発生します)。

33.2.2 低消費電力モードでの動作

DEBUGSS は、シャットダウンを除くすべての動作モードで、SWD によるデバッグ接続の維持に対応しています。シャットダウン モードでは、DEBUGSS はデバイスのウェークアップをサポートし、SWD 接続経由でのフルアクセスを回復します。

デフォルトでは、RUN モードおよび SLEEP モードでデバイスのメモリとペリフェラルにアクセスできます。これらのモードでは、デバッグ プローブを AHB-AP アクセス ポートにアクティブ接続し、プロセッサとのインターフェイスとして使用できます。STOP モードおよび STANDBY モードでは、DEBUGSS とのデバッグ接続を確立または維持できますが、CPU デバッグ アクセス ポートとの接続はできません。DEBUGSS の PWR-AP を使用すると、デフォルト動作を上書きして、STOP モードまたは STANDBY モードで確立されたプロセッサ インターフェイスへのアクセスを維持できます。

SHUTDOWN モードでは、デバイスの VCORE とともにデバッグ ロジックの電源が遮断されるため、アクティブなデバッグ接続はすべて切断されます。デバイスが SHUTDOWN モードの間は DEBUGSS とのデバッグ接続を確立できませんが、デバッグ プローブが SWD ピンとの通信を試みることで、デバイスを SHUTDOWN モードから復帰させることができます。デバイスは、SHUTDOWN モード中であっても、SWD 通信の試行を検出します。アクティビティが検出されると、SHUTDOWN モードからの復帰が開始され、デバイスは BOR 状態を経由して遷移します。その後、SWD を介して DEBUGSS とのデバッグ接続を確立できます。

Copyright © 2026 Texas Instruments Incorporated

DEBUGSS のアクセス ポイントの詳細については、以下のアプリケーション ノート『MSP 用ハードウェア プログラミングおよびデバッガ ガイド』を参照してください。

動作モード別の DEBUGSS 機能を表 33-3 に示します。

表 33-3. 動作モード別の DEBUGSS 機能

機能	RUN	SLEEP	ストップ	STANDBY	シャットダウン	NRST ホールド
プロセッサのデバッグ	Y	Y	N	N	N	N
メモリ マップ アクセス	Y	Y	N	N	N	N
SW-DP 経由のデバッグ ステータス	Y	Y	Y	Y	N	Y
デバッグ状態を維持	Y	Y	Y	Y	N	N
SWD からのウェークアップ	-	-	-	-	Y	-

33.2.3 デバッグ アクセスの制限

デバッグ サブシステムは、SWD インターフェイスを介してデバイスへのアクセスを制限するためのいくつかの方法をサポートしています。デバッグ アクセス ポリシーは、NONMAIN フラッシュ領域で指定されたユーザー構成によって決定されます。

アクセス制御には、表 33-4 に示す 4 つのレベルがあります。デフォルトでは、TI から出荷された製品は、デバイスが完全にオープンな状態 (デバッグが有効な状態) になっています。この状態は量産には推奨されません。量産時は、デバッグ構成をパスワード保護、デバッグ無効、または SWD 無効に変更することを推奨します。

表 33-4. デバッグ アクセス制御

DEBUGSS 機能	デバッグ構成			
	デバッグが有効 (デフォルト)	パスワードでデバッグが有効	デバッグが無効	SWD ディセーブル
SW-DP (デバッグ ポート)	EN	EN	EN	DIS
CFG-AP	EN	EN	EN	DIS
SEC-AP	EN	EN	EN	DIS
AHB-AP (CPU デバッグ)	EN	EN w/ PW	DIS	DIS

デバッグ アクセス制御は、NONMAIN BOOTCFG0 に事前定義された値を書き込むことで構成できます。

表 33-5. BOOTCFG0 のデバッグ アクセス制御設定

デバッグ構成	SWDP_MODE	DEBUGACCESS
デバッグが有効 (デフォルト)	AABBh	AABBh
パスワードでデバッグが有効	AABBh	CCDDh
デバッグが無効	AABBh	5566h
SWD ディセーブル	5566h	5566h

デバッグをパスワード付きで有効にする場合、デバッグ アクセス コマンドとユーザー指定のデバッグ アクセス パスワードを DEBUGSS メールボックスに提供し、BOOTRST を発行する必要があります。アクセス制御用のパスワードは、PWDDEBUGLOCK レジスタを使用して NONMAIN に格納されます。SOC の実装に応じて、パスワードは 128 ビットのプレーンテキストか、256 ビットの SHA-256 ハッシュ値になります。デバイス固有の機能については、データシートを参照してください。

デバッグが無効の場合、ブート プロセス中 SW-DP は無効になり、それまでメールボックスに送信されていたすべてのコマンドはブート中無視されます。ブート後、SW-DP への接続試行はすべて無視されます。

NONMAIN フラッシュ領域を構成してデバッグ アクセスを無効にし、NONMAIN フラッシュ領域を静的書き込み保護 (ロック) として構成することで、デバイスへのデバッグ アクセスを永続的にロックできます。NONMAIN 構成をロックすると、ブ

Copyright © 2026 Texas Instruments Incorporated

ートストラップ ローダ (BSL) とアプリケーション コードがデバッグ セキュリティ ポリシーを変更できないようにするセキュリティ機能が追加されます。

表 33-6. デバッグ関連のパスワード レジスタ

デバッグ機能	デバッグ アクセス制御	工場出荷時リセット	一括消去
レジスタ名	PWDDEBUGLOCK	PWDFACTORYRESET	PWDMASSERASE

128 ビット プレーン テキスト パスワード

デバッグ機能でパスワードを有効にするには、128 ビットの 16 進値を 4 つの 32 ビットワードに分割して、それぞれのパスワード レジスタに格納します。

例: 工場出荷時リセット パスワードの設定

1. 128 ビットの 16 進値を作成します。
   a. 0xCAFECAFE12345678A5A5C3C30000FFFF
2. 128 ビット値を 4 つの 32 ビット ワードに分割し、対応するレジスタに書き込みます。
   a. PWDFACTORYRESET[0]←0x0000FFFF
   b. PWDFACTORYRESET[1]←0xA5A5C3C3
   c. PWDFACTORYRESET[2]←0x12345678
   d. PWDFACTORYRESET[3]←0xCAFECAFE
3. パスワード保護が必要な機能についても、同じ手順を繰り返します。

256 ビットの SHA-256 ハッシュ値。

デバッグ機能でパスワードを有効にするには、128 ビットのプレーンテキスト パスワードの SHA-256 ダイジェストをそれぞれのレジスタに書き込みます。

例: 工場出荷時リセット パスワードの設定

1. 128 ビット プレーンテキスト パスワードを決定します。

   0xCAFECAFE12345678A5A5C3C30000FFFF
2. 4 つの 32 ビット ワードに分割し、パスワード エンディアンを反転させて、1 つの値に結合します。
   a. 0xFECAFECA
   b. 0x78563412
   c. 0xC3C3A5A5
   d. 0xFFFF0000
   e. 0xFECAFECA78563412C3C3A5A5FFFF0000
3. 値の SHA を計算し、出力を 8 つの 32 ビット ワードに分割します。
   a. 0xE6226BD43FB9B539E364ABAC313E51244355F1275C1D5BE010793A0E01DA0D17
   b. 0xE6226BD4
   c. 0x3FB9B539
   d. 0xE364ABAC
   e. 0x313E5124
   f. 0x4355F127
   g. 0x5C1D5BE0
   h. 0x10793A0E
   i. 0x01DA0D17
4. 8 つの 32 ビット ワードの出力を反転します。

Copyright © 2026 Texas Instruments Incorporated

a. 0xE6226BD4 → 0xD46B22E6
b. 0x3FB9B539 → 0x39B5B93F
c. 0xE364ABAC → 0xACAB64E3
d. 0x313E5124 → 0x24513E31
e. 0x4355F127 → 0x27F15543
f. 0x5C1D5BE0 → 0xE05B1D5C
g. 0x10793A0E → 0x0E3A7910
h. 0x01DA0D17 → 0x170DDA01

5. 128 ビット値を 4 つの 32 ビット ワードに分割し、対応するレジスタに書き込みます。
   a. PWDFACTORYRESET[0]←0xD46B22E6
   b. PWDFACTORYRESET[1]←0x39B5B93F
   c. PWDFACTORYRESET[2]←0xACAB64E3
   d. PWDFACTORYRESET[3]←0x24513E31
   e. PWDFACTORYRESET[4]←0x27F15543
   f. PWDFACTORYRESET[5]←0xE05B1D5C
   g. PWDFACTORYRESET[6]←0x0E3A7910
   h. PWDFACTORYRESET[7]←0x170DDA01
6. パスワード保護が必要な機能についても、同じ手順を繰り返します。

33.2.4 メールボックス (DSSM)

デバッグ サブシステム メールボックス (DSSM) により、デバッグ プローブが SWD インターフェイス経由でターゲット デバイスにメッセージを渡し、ターゲット デバイスがデバッグ プローブにデータを返すことが可能になります。

DSSM は、次の機能をサポートしています。

- ブート時に、パスワードで保護されたデバッグ、一括消去、工場出荷時のリセットを行うためのデバッグ プローブの認証などのコマンドをデバイスに送信します。
- 他の通信インターフェイスが存在しない場合でも、ターゲット デバイスで実行中のアプリケーション ソフトウェアと通信します。

TX データ (デバッグ プローブからターゲット デバイス) と RX データ (ターゲット デバイスからデバッグ プローブ) 用に、2 つの 32 ビット ワード データ バッファが用意されています。これらのデータ バッファは、DEBUGSS 内の 32 ビット メモリ マップト レジスタとして実装されています。さらに、フロー制御を有効化し、メールボックスのステータスを示すために、TXCTL および RXCTL レジスタが用意されています。

表 33-7. DSSM レジスタ機能

DSSM レジスタ	説明	デバッグ プローブ	ターゲット デバイス	アクション
TX_DATA	データ バッファ	RW	R	TXCTL.TRANSMIT は、デバッグ プローブによる書き込み時にセットされ、ターゲット デバイスによる読み取り時にクリアされます。TXIFG もデバッグ プローブによる書き込み時にセットされます。
TXCTL	フロー制御とステータス	RW	R	なし
RX_DATA	データ バッファ	R	RW	RXCTL.RECEIVE は、ターゲット デバイスによる書き込み時にセットされ、デバッグ プローブによる読み取り時にクリアされます。RXIFG も、ターゲット デバイスによる書き込み時にセットされます。
RXCTL	フロー制御とステータス	R	RW	なし

TXCTL および RXCTL レジスタは、汎用送信および汎用受信のフラグとして機能します。TXCTL および RXCTL レジスタの BIT0 は、TX_DATA と RX_DATA のステータスを示す特別な TRANSMIT および RECEIVE フラグです。デバッグ

Copyright © 2026 Texas Instruments Incorporated

プローブが TX_DATA バッファ レジスタにデータを書き込むと、TXCTL レジスタの TRANSMIT ビットがセットされます。その後、ターゲット デバイスの CPU が TX_DATA を読み取るか、POR が発生するまで、TRANSMIT フラグはセットされたままになります。ターゲット デバイスの CPU が RX_DATA バッファ レジスタにデータを書き込むと、RXCTL レジスタの RECEIVE フラグがセットされます。その後、デバッグ プローブが RX_DATA からデータを読み取るまで、RECEIVE フラグはセットされたままになります。

ターゲット デバイスで動作するソフトウェアが TX_DATA に書き込むことはできません。また、ターゲット ソフトウェアが TX_DATA を読み出すこと以外で TRANSMIT フラグをクリアすることもできません。

TXCTL レジスタの上位 31 ビットである TRANSMIT_FLAGS には、必要なプロトコルを実装するために、デバッグ プローブによってセットまたはクリアできる汎用フラグ ビットが用意されています。TXCTL の TRANSMIT_FLAGS フィールドに書き込むことができるのは、デバッグ プローブだけです。DSSM コマンドは、ターゲット デバイスと通信するプロトコルの例です。DSSM コマンドに関連するセキュリティ レベルの制御については、「ブート構成」も参照してください。

同様に、RX_DATA と RXCTL に書き込むことができるのは、ターゲット デバイス ソフトウェアだけです。デバッグ プローブは RX_DATA に書き込むことはできません。RX_DATA の読み取り時に RXCTL の RECEIVE フラグをクリアするだけです。RXCTL の BIT1 ～ BIT7 (0xFE) には RECEIVE_FLAGS フィールドが含まれます。ターゲット デバイスのソフトウェアは、RECEIVE_FLAGS フィールドのビットをセットまたはクリアすることで、必要なプロトコルを実装できます。これらのフラグは、デバッグ プローブで読み出すことはできますが、デバッグ プローブで変更することはできません。

表 33-8. DEBUGSS SEC-AP レジスタの定義

AP SEL	ADDR	バンク	インデックス	レジスタ名	BIT 31 - 8	BIT 7 - 1	ビット 0
2	0x00	0	0	TXDATA	TX データ		
	0x04	0	1	TXCTL	TRANSMIT_FLAGS		送信
	0x08	0	2	RXDATA	RX データ		
	0x0C	0	3	RXCTL	予約済み	RECEIVE_FLAGS	受信
	0x0FC	15	3	IDR	アクセス ポイント ID		

33.2.4.1 DSSM イベント

DSSM には、1 つのイベント パブリッシャが含まれ、イベント サブスクライバは含まれません。1 つのイベント パブリッシャ (CPU_INT) が、静的イベント ルートによって CPU サブシステムへの DSSM 割り込み要求 (IRQ) を管理します。

表 33-9 に、DSSM イベントのまとめを示します。

表 33-9. DSSM イベント

イベント	タイプ	ソース	接続先	配線	構成	機能
CPU 割り込みイベント	パブリッシャ	DEBUGSS	CPU サブシステム	静的ルート	CPU_INT レジスタ	DEBUGSS から CPU への固定割り込みルート

33.2.4.1.1 CPU 割り込みイベント (CPU_INT)

DSSM モジュールは、4 つの異なる割り込みソースを備えており、CPU 割り込みイベントのソースとして構成できます。表 33-10 に、DSSM からの CPU 割り込みイベントを割り込み優先度の高い順に示します。

表 33-10. DSSM CPU 割り込みイベント条件 (CPU_INT)

インデックス (IIDX)	名称	説明
0	TXIFG	DSSM の TX_DATA バッファがデータを受信したことを示します。
1	RXIFG	DSSM の RX_DATA バッファ内のデータが読み取られたことを示します。
2	PWRUPIFG	デバッグ プローブがデバイスに接続したために DEBUGSS が起動したことを示します。

Copyright © 2026 Texas Instruments Incorporated

表 33-10. DSSM CPU 割り込みイベント条件 (CPU_INT) (続き)

インデックス (IIDX)	名称	説明
3	PWRDWNIFG	デバッグ プローブがデバイスから切断されたために DEBUGSS が停止したことを示します

CPU 割り込みイベントの構成は、CPU_INT イベント管理レジスタで管理されます。CPU 割り込みのイベント レジスタを構成する方法のガイダンスについては、セクション 8.2.5 を参照してください。

33.2.4.2 リファレンス

DSSM コマンドは、BOOTRST 上のブートコードによって処理されます。DSSM コマンドに対してパスワードが有効になっている場合、正しいパスワード シーケンスが入力されるまで、コマンドは実行されません。可能な DSSM コマンドおよび値については、表 33-11 を参照してください。

表 33-11. DSSM コマンド

DSSM コマンド	DSSM 値
工場出荷時リセット	0x020Ah
一括消去	0x020Ch
パスワード認証	0x030Eh
データ交換	0x00EEh
デバッグを待機します	0x0206h

工場出荷時リセット

「工場出荷時リセット」コマンドは、メイン メモリおよびメイン以外のメモリ内のすべての内容を消去します。その後、メイン以外の内容にデフォルトの内容が再入力されます。このコマンドは、次の場合に役立ちます:

- メイン以外の設定ミス
- デバッグ アクセスの無効化
- ペリフェラル / デバイスの誤設定

工場出荷時リセットには専用の設定およびパスワードがあります。セキュリティレベルの詳細については、該当する説明を参照してください。

注

工場出荷時リセットでは NONMAIN 構成メモリが復元されるため、以前のセキュリティ レベルの設定はすべて失われます。

一括消去

「一括消去」コマンドは、メイン メモリ内のすべての内容を消去しますが、メイン以外は変更されません。このコマンドは、次の場合に役立ちます:

- ペリフェラル / デバイスの誤設定

パスワード認証

「パスワード認証」コマンドは、正しいパスワードが処理された後、デバッグ アクセスをロック解除します。

データ交換

データ交換は、コマンドの処理に BOOTRST を必要としない唯一の DSSM コマンドです。このコマンドは、工場出荷時リセット、一括消去、またはパスワード認証と組み合わせて使用されます。メールボックスに初期コマンドを送信してリセットを

Copyright © 2026 Texas Instruments Incorporated

実行した後、ユーザーは TXDATA レジスタへのパスワード送信を開始する必要があります。各ワードの後に 0x00EEh を TXCTL レジスタに書き込む必要があります。

デバッグを待機します

「デバッグ待機」コマンドは、リセット レベルで定義されたペリフェラルをリセットした後、デバイスを強制的にリセット ハンドラに移行させます。

カスタム DSSM コマンド

ユーザーは、カスタム DSSM コマンドを作成し、ユーザーが定義したアクションを実行することもできます。これは、デバッガが TXDATA レジスタおよび TXCTL レジスタを介して CPU コアと通信することによって行われます。その後、コアはデバッガからメッセージを受信し、デバッガが読み取るために RXDATA レジスタおよび RXCTL レジスタを使って応答を返します。CPU 割り込みイベントは、TX_DATA バッファ、RX_DATA バッファ、および DAP 接続で検出されたアクティビティに対して設定できます。

Copyright © 2026 Texas Instruments Incorporated

33.3 DEBUGSS レジスタ

DEBUGSS レジスタのメモリ マップト レジスタを表 33-12 に示します。表 33-12 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 33-12. DEBUGSS レジスタ

オフセット	略称	レジスタ名	グループ	セクション
1020h	IIDX	割り込みインデックス	CPU_INT	表示
1028h	IMASK	割り込みマスク	CPU_INT	表示
1030h	RIS	未加工割り込みステータス	CPU_INT	表示
1038h	MIS	マスクされた割り込みステータス	CPU_INT	表示
1040h	ISET	割り込み設定	CPU_INT	表示
1048h	ICLR	割り込みクリア	CPU_INT	表示
10E0h	EVT_MODE	イベント モード		表示
10FCh	説明	モジュールの説明		表示
1100h	TXD	送信データ レジスタ		表示
1104h	TXCTL	送信制御レジスタ		表示
1108h	RXD	受信データ レジスタ		表示
110Ch	RXCTL	受信制御レジスタ		表示
1200h	SPECIAL_AUTH	特別有効化許可レジスタ		表示
1210h	APP_AUTH	該当する CPU0 許可レジスタ		表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 33-13 に、このセクションでアクセス タイプに使用しているコードを示します。

表 33-13. DEBUGSS アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
R-0	R -0	読み取り 0 を返す
書き込みタイプ		
W	W	書き込み
WK	W K	書き込み キーで保護された書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

33.3.1 IIDX (オフセット = 1020h) [リセット = 00000000h]

図 33-2 に、IIDX を示し、表 33-14 に、その説明を示します。

概略表に戻ります。

このレジスタは、最も優先度が高く有効な割り込みインデックスを示します。0xFF は、保留中のイベントがないことを示します。割り込み 0x0 が最優先で、次に 0x1、0xFE が最も低い優先度です。優先順位は固定されています。ただし、発生したすべての割り込みを示す別のレジスタを使用して、独自の優先度を実装することもできます。
各読み取り時に、1 つの割り込みのみが示されます。読み取り時に、ハードウェアによって現在の割り込み (最も優先度の高い) が自動的にクリアされ、RIS と MIS の対応する割り込みフラグもクリアされます。CPU (デバッグ インターフェースではない) から読み出された後、このレジスタは、次に優先度の高い保留中の割り込みを示すよう更新する必要があります。保留中の割り込みがない場合は、0xFF を表示します。

図 33-2. IIDX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み																								STAT							
R-0h																								R-0h							

表 33-14. IIDX フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R	0h	
7-0	STAT	R	0h	割り込みインデックス ステータス 0h = 保留中の割り込み要求なし 1h = TX 割り込み 2h = RX 割り込み 3h = パワーアップ割り込み。デバッグ セッションが開始しました。 4h = パワーアップ割り込み。デバッグ セッションが開始しました。

Copyright © 2026 Texas Instruments Incorporated

33.3.2 IMASK (オフセット = 1028h) [リセット = 00000000h]

図 33-3 に、IMASK を示し、表 33-15 に、その説明を示します。

概略表に戻ります。

割り込みマスク。ビットが設定されている場合、対応する割り込みはマスクされません。割り込みのマスクを解除すると、未加工割り込みも IIDX および MIS で表示されます。

図 33-3. IMASK

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
予約済み				PWRDWNIFG	PWRUPIFG	RXIFG	TXIFG
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 33-15. IMASK フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R/W	0h	
3	PWRDWNIFG	R/W	0h	MIS レジスタ内の PWRDWNIFG をマスクします 0h = 割り込みはマスクされます 1h = 割り込みサービス ルーチンの実行が要求され、MIS レジスタ内の対応するビットがセットされます
2	PWRUPIFG	R/W	0h	MIS レジスタ内の PWRUPIFG をマスクします 0h = 割り込みはマスクされます 1h = 割り込みサービス ルーチンの実行が要求され、MIS レジスタ内の対応するビットがセットされます
1	RXIFG	R/W	0h	MIS レジスタ内の RXIFG をマスクします 0h = 割り込みはマスクされます 1h = 割り込みサービス ルーチンの実行が要求され、MIS レジスタ内の対応するビットがセットされます
0	TXIFG	R/W	0h	MIS レジスタ内の TXIFG をマスクします 0h = 割り込みはマスクされます 1h = 割り込みサービス ルーチンの実行が要求され、MIS レジスタ内の対応するビットがセットされます

Copyright © 2026 Texas Instruments Incorporated

33.3.3 RIS (オフセット = 1030h) [リセット = 00000000h]

図 33-4 に、RIS を示し、表 33-16 に、その説明を示します。

概略表に戻ります。

未加工割り込みステータス。マスキングに関係なく、保留中の割り込みをすべて反映します。RIS レジスタを使用すると、ユーザーはポーリング方式を実装できます。このレジスタにセットされているフラグは、対応する IMASK ビットが有効でない場合でも、ICLR レジスタ ビットに 1 を書き込むことでクリアできます。

図 33-4. RIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				PWRDWNIFG	PWRUPIFG	RXIFG	TXIFG
R-0h				R-0h	R-0h	R-0h	R-0h

表 33-16. RIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	PWRDWNIFG	R	0h	PWRDWNIFG の未加工割り込みステータス 0h = PWRUPIFG が発生していませんでした 1h = PWRUPIFG が発生しました
2	PWRUPIFG	R	0h	PWRUPIFG の未加工割り込みステータス 0h = PWRUPIFG が発生していませんでした 1h = PWRUPIFG が発生しました
1	RXIFG	R	0h	RXIFG の未加工割り込みステータス 0h = RXIFG が発生していませんでした 1h = RXIFG が発生しました
0	TXIFG	R	0h	TXIFG の未加工割り込みステータス 0h = TXIFG が発生していませんでした 1h = TXIFG が発生しました

Copyright © 2026 Texas Instruments Incorporated

33.3.4 MIS (オフセット = 1038h) [リセット = 00000000h]

図 33-5 に、MIS を示し、表 33-17 に、その説明を示します。

概略表に戻ります。

マスクされた割り込みステータス。これは、IMASK レジスタと RIS レジスタの AND です。

図 33-5. MIS

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				PWRDWNIFG	PWRUPIFG	RXIFG	TXIFG
R-0h				R-0h	R-0h	R-0h	R-0h

表 33-17. MIS フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	PWRDWNIFG	R	0h	PWRDWNIFG のマスク割り込みステータス 0h = PWRUPIFG が発生していませんでした 1h = PWRUPIFG は割り込みサービス ルーチンの実行を要求します
2	PWRUPIFG	R	0h	PWRUPIFG のマスク割り込みステータス 0h = PWRUPIFG が発生していませんでした 1h = PWRUPIFG は割り込みサービス ルーチンの実行を要求します
1	RXIFG	R	0h	RXIFG のマスク割り込みステータス 0h = RXIFG が発生していませんでした 1h = RXIFG は割り込みサービス ルーチンの実行を要求します
0	TXIFG	R	0h	TXIFG のマスク割り込みステータス 0h = TXIFG が発生していませんでした 1h = TXIFG は割り込みサービス ルーチンの実行を要求します

Copyright © 2026 Texas Instruments Incorporated

33.3.5 ISET (オフセット = 1040h) [リセット = 00000000h]

図 33-6 に、ISET を示し、表 33-18 に、その説明を示します。

概略表に戻ります。

割り込み設定。ソフトウェアによって割り込みをセットできます (診断および安全性チェックに役立ちます)。ISET のビットに 1 を書き込むとイベントがセットされるため、関連する RIS ビットもセットされます。マスクによって割り込みが有効になっている場合、対応する MIS ビットもセットされます。

図 33-6. ISET

31	30	29	28	27	26	25	24
予約済み							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み				PWRDWNIFG	PWRUPIFG	RXIFG	TXIFG
W-0h				W-0h	W-0h	W-0h	W-0h

表 33-18. ISET フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	PWRDWNIFG	W	0h	RIS レジスタの PWRDWNIFG を設定します 0h = 0 を書き込んでも影響がありません 1h = PWRUPIFG に対応する RIS ビットがセットされます
2	PWRUPIFG	W	0h	RIS レジスタの PWRUPIFG を設定します 0h = 0 を書き込んでも影響がありません 1h = PWRUPIFG に対応する RIS ビットがセットされます
1	RXIFG	W	0h	RIS レジスタの RXIFG を設定します 0h = 0 を書き込んでも影響がありません 1h = RXIFG に対応する RIS ビットがセットされます
0	TXIFG	W	0h	RIS レジスタの TXIFG を設定します 0h = 0 を書き込んでも影響がありません 1h = TXIFG に対応する RIS ビットがセットされます

Copyright © 2026 Texas Instruments Incorporated

33.3.6 ICLR (オフセット = 1048h) [リセット = 00000000h]

図 33-7 に、ICLR を示し、表 33-19 に、その説明を示します。

概略表に戻ります。

割り込みクリア。1 を書き込むと、対応する割り込みがクリアされます。

図 33-7. ICLR

31	30	29	28	27	26	25	24
予約済み							
W-0h							
23	22	21	20	19	18	17	16
予約済み							
W-0h							
15	14	13	12	11	10	9	8
予約済み							
W-0h							
7	6	5	4	3	2	1	0
予約済み				PWRDWNIFG	PWRUPIFG	RXIFG	TXIFG
W-0h				W-0h	W-0h	W-0h	W-0h

表 33-19. ICLR フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	W	0h	
3	PWRDWNIFG	W	0h	RIS レジスタの PWRDWNIFG をクリアします 0h = 0 を書き込んでも影響がありません 1h = PWRUPIFG に対応する RIS ビットがクリアされます
2	PWRUPIFG	W	0h	RIS レジスタの PWRUPIFG をクリアします 0h = 0 を書き込んでも影響がありません 1h = PWRUPIFG に対応する RIS ビットがクリアされます
1	RXIFG	W	0h	RIS レジスタの RXIFG をクリアします 0h = 0 を書き込んでも影響がありません 1h = RXIFG に対応する RIS ビットがクリアされます
0	TXIFG	W	0h	RIS レジスタの TXIFG をクリアします 0h = 0 を書き込んでも影響がありません 1h = TXIFG に対応する RIS ビットがクリアされます

Copyright © 2026 Texas Instruments Incorporated

33.3.7 EVT_MODE (オフセット = 10E0h) [リセット = 00000001h]

EVT_MODE は図 33-8 に示されており、表 33-20 で説明されています。

概略表に戻ります。

イベント モード レジスタ。各ラインをディスエーブルにするか、ソフトウェア モード (ソフトウェアが RIS をクリア) にするか、あるいはハードウェア モード (ハードウェアが RIS をクリア) にするかを選択するために使用されます

図 33-8. EVT_MODE

31	30	29	28	27	26	25	24
予約済み							
R-							
23	22	21	20	19	18	17	16
予約済み							
R-							
15	14	13	12	11	10	9	8
予約済み							
R-							
7	6	5	4	3	2	1	0
予約済み						INT0_CFG	
R-						R-1h	

表 33-20. EVT_MODE フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-2	予約済み	R	0h	
1-0	INT0_CFG	R	1h	ペリフェラル イベントのイベント ライン モード選択 0h = 割り込みまたはイベント ラインは無効です。 1h = 割り込みまたはイベント ラインはソフトウェア モードです。ソフトウェアで RIS をクリアする必要があります。 2h = 割り込みまたはイベント ラインはハードウェア モードです。ハードウェア (別のモジュール) は、関連付けられた RIS フラグを自動的にクリアします。

Copyright © 2026 Texas Instruments Incorporated

33.3.8 DESC (オフセット = 10FCh) [リセット = 03400000h]

図 33-9 に、DESC を示し、表 33-21 に、その説明を示します。

概略表に戻ります。

このレジスタは、ペリフェラルとその正確なバージョンを識別します。

図 33-9. 説明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODULEID															
R-340h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEATUREVER				INSTNUM				MAJREV				MINREV			
R-0h				R-0h				R-0h				R-0h			

表 33-21. DESC フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-16	MODULEID	R	340h	モジュール識別には、固有のペリフェラル識別番号が含まれています。一意性を確保するため、すべてのプラットフォーム モジュールの割り当ては中央のデータベースに保持されます。
15-12	FEATUREVER	R	0h	モジュール *インスタンス*の機能セット
11-8	INSTNUM	R	0h	デバイス内のインスタンス番号。これは、複数のインスタンスを持つことができるモジュール用の RTL パラメータとなります
7-4	MAJREV	R	0h	IP のメジャー リビジョン
3-0	MINREV	R	0h	IP のマイナー リビジョン

Copyright © 2026 Texas Instruments Incorporated

33.3.9 TXD (オフセット = 1100h) [リセット = 00000000h]

図 33-10 に、TXD を示し、表 33-22 に、その説明を示します。

概略表に戻ります。

このレジスタは、外部デバッグ ツールから DSSM モジュールへのデータ転送に使用されます。このレジスタはデバッグツールによって書き込まれ、CPU によって読み取られます。

図 33-10. TXD

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TX_DATA																															
R-0h																															

表 33-22. TXD フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	TX_DATA	R	0h	外部デバッグ ツールによって SEC-AP の TXDATA レジスタに書き込まれたデータを格納します

Copyright © 2026 Texas Instruments Incorporated

33.3.10 TXCTL (オフセット = 1104h) [リセット = 00000000h]

図 33-11 に、TXCTL を示し、表 33-23 に、その説明を示します。

概略表に戻ります。

送信制御レジスタ

図 33-11. TXCTL

31	30	29	28	27	26	25	24
TRANSMIT_FLAGS							
R-0h							
23	22	21	20	19	18	17	16
TRANSMIT_FLAGS							
R-0h							
15	14	13	12	11	10	9	8
TRANSMIT_FLAGS							
R-0h							
7	6	5	4	3	2	1	0
TRANSMIT_FLAGS							送信
R-0h							R-0h

表 33-23. TXCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-1	TRANSMIT_FLAGS	R	0h	外部デバッグ ツールで設定できる汎用 TX フラグ。機能は SW によって定義されます。
0	送信	R	0h	DSSM.TXD のデータ要求を示します。このビットは、Debug AP 経由で DSSM.TXD に書き込みが行われるとセットされます。 SW で DSSM.TXD レジスタを読み取ると、TX フィールドはクリアされます。このフィールドを読み取ることで、TXD が空であることを確認できます。 0h = TXD は空です 1h = TXD はフルです

Copyright © 2026 Texas Instruments Incorporated

33.3.11 RXD (オフセット = 1108h) [リセット = 00000000h]

図 33-12 に、RXD を示し、表 33-24 に、その説明を示します。

概略表に戻ります。

受信データ レジスタ。このレジスタには、CPU によって書き込まれたデータが含まれます。
このデータは、外部のデバッグ ツールによって読み取られます。

図 33-12. RXD

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RX_DATA																															
R/W-0h																															

表 33-24. RXD フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-0	RX_DATA	R/W	0h	SM/OW によって書き込まれたデータが含まれています。

Copyright © 2026 Texas Instruments Incorporated

33.3.12 RXCTL (オフセット = 110Ch) [リセット = 00000000h]

図 33-13 に、RXCTL を示し、表 33-25 に、その説明を示します。

概略表に戻ります。

受信制御レジスタ

図 33-13. RXCTL

31	30	29	28	27	26	25	24
予約済み							
R/W-0h							
23	22	21	20	19	18	17	16
予約済み							
R/W-0h							
15	14	13	12	11	10	9	8
予約済み							
R/W-0h							
7	6	5	4	3	2	1	0
RECEIVE_FLAGS							受信
R/W-0h							R-0h

表 33-25. RXCTL フィールド説明

ビット	フィールド	タイプ	リセット	説明
31-8	予約済み	R/W	0h	
7-1	RECEIVE_FLAGS	R/W	0h	SW で設定でき、外部デバッグ ツールから読み取られる汎用 RX フラグ。機能は SW によって定義されます。
0	受信	R	0h	DSSM.RXD レジスタへの SW 書き込みを示します。 SWD アクセス ポートが DSSM.RXD レジスタを読み出すと、RX フィールドはクリアされます。 0h = RXD は空です 1h = RXD はフルです

Copyright © 2026 Texas Instruments Incorporated

33.3.13 SPECIAL_AUTH (オフセット = 1200h) [リセット = 00000013h]

SPECIAL_AUTH は図 33-14 に示されており、表 33-26 で説明されています。

概略表に戻ります。

このレジスタは、ET-AP、DFT-TAP、SWD、CFG-AP、および SEC-AP を制御するために使用されます。

図 33-14. SPECIAL_AUTH

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み	PWRAPEN	AHBAPEN	CFGAPEN	ETAPEN	DFTAPEN	SWDPORTEN	SECAPEN
R-0h	R-0h	R-0h	R-1h	R-0h	R-0h	R-1h	R-1h

表 33-26. SPECIAL_AUTH フィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-7	予約済み	R	0h	
6	PWRAPEN	R	0h	アクティブ High 入力。この信号がアサートされ、かつ SWD アクセスも許可されている場合、デバッグ ツールは PWR-AP にアクセスし、CPU の電源状態およびリセット状態を制御できます。デアサートされると、DAPBUS ファイアウォールは AP を分離し、アクセスを防止します。 0h = PWR-AP をディスエーブルにします 1h = PWR-AP をイネーブルにします
5	AHBAPEN	R	0h	AHB-AP DAP バスのアイソレーションにより、M0+ コアへのデバッグ アクセスを無効化 / 有効化します。 0h = AHB-AP をディスエーブルにします 1h = AHB-AP をイネーブルにします
4	CFGAPEN	R	1h	アクティブ High 入力。この信号がアサートされ、かつ SWD アクセスも許可されている場合、デバッグ ツールは Config-AP を使用してデバイスの構成情報を読み取ることができます。この信号がデアサートされると、DAPBUS ファイアウォールによって AP が分離され、Config-AP へのアクセスが禁止されます。 0h = CFG-AP をディスエーブルにします 1h = CFG-AP をイネーブルにします
3	ETAPEN	R	0h	アクティブ High 入力。この信号がアサートされ、かつ SWD アクセスも許可されている場合、デバッグツールは DebugSS Lite の外部にある ET-AP へアクセスできます。デアサートされると、DAPBUS ファイアウォールは AP を分離し、アクセスを防止します。 0h = ET+ -AP をディスエーブルにします 1h = ET+ -AP をイネーブルにします
2	DFTAPEN	R	0h	アクティブ High 入力。この信号がアサートされ、かつ SWD アクセスも許可されている場合、デバッグツールは DebugSS Lite の外部にある DFT-AP へアクセスできます。デアサートされると、DAPBUS ファイアウォールは AP を分離し、アクセスを防止します。 0h = DFT-TAP をディスエーブルにします 1h = DFT-TAP をイネーブルにします

Copyright © 2026 Texas Instruments Incorporated

表 33-26. SPECIAL_AUTH フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	SWDPORTEN	R	1h	アサートされると、SW-DP は通常機能します。 デアサートされると、SW-DP はすべての外部デバッグ アクセスを実質的に無効にします。 0h = SWD ポートをディスエーブルにします 1h = SWD ポートをイネーブルにします
0	SECAPEN	R	1h	アクティブ High 入力。この信号がアサートされ、かつ SWD アクセスも許可されている場合、デバッグ ツールは Security-AP を使用してセキュリティ制御ロジックと通信できます。この信号がデアサートされると、DAPBUS ファイアウォールによって AP が分離され、Security-AP へのアクセスが禁止されます。 0h = SEC-AP をディスエーブルにします 1h = SEC-AP をイネーブルにします

Copyright © 2026 Texas Instruments Incorporated

33.3.14 APP_AUTH (オフセット = 1210h) [リセット = 00000000h]

APP_AUTH は図 33-15 に示されており、表 33-27 で説明されています。

概略表に戻ります。

このレジスタは、Application CPU0 の DBGEN、NIDEN、SPIDEN、および SPNIDEN を制御するために使用されます。
DBGEN および NIDEN は、アクティブおよびデバッグ IPF ID に基づいて、DSW によってさらに処理されます。

図 33-15. APP_AUTH

31	30	29	28	27	26	25	24
予約済み							
R-0h							
23	22	21	20	19	18	17	16
予約済み							
R-0h							
15	14	13	12	11	10	9	8
予約済み							
R-0h							
7	6	5	4	3	2	1	0
予約済み				SPNIDEN	SPIDEN	NIDEN	DBGEN
R-0h				R-0h	R-0h	R-0h	R-0h

表 33-27. APP_AUTH のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	
3	SPNIDEN	R	0h	セキュア非侵襲デバッグの有効化。 0h = 侵襲デバッグが無効です 1h = 侵襲デバッグが有効です
2	SPIDEN	R	0h	セキュア侵襲デバッグの有効化。 0h = 侵襲デバッグが無効です 1h = 侵襲デバッグが有効です
1	NIDEN	R	0h	非侵襲的デバッグ イネーブルを制御します。 0h = 非侵襲デバッグは無効です 1h = 非侵襲的デバッグが有効です
0	DBGEN	R	0h	侵襲的デバッグ イネーブルを制御します。 0h = 侵襲的デバッグは無効です 1h = 侵襲的デバッグは有効です

Copyright © 2026 Texas Instruments Incorporated

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from DECEMBER 31, 2025 to JUNE 30, 2026 (from Revision * (December 2025) to Revision A (June 2026))	Page

English Document: SLAU962
Copyright © 2026 Texas Instruments Incorporated

This page intentionally left blank.

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月