参考資料

EVM User's Guide: DLPLCRC964EVM DLPLCR99EVM DLPLCR99UVEVM
***DLPC964* および *DLP991U/DLP991UUV* 評価基板**

説明

DLP® LightCrafter™ DLPC964 評価基板 (EVM) は、DLP991U および DLP991UUV DMD をサポートする DLPC964 コントローラ アーキテクチャのより迅速な開発を実現するためのリファレンス デザインを提供します。このプラットフォームは、AMD Aurora 64B/66B インターフェイス経由で外部ソースから高速ビットプレーン データを受信します。受信したビットプレーン データをフォーマットした後、DLP991U または DLP991UUV DMD で表示するために、DLPLCR99EVM もしくは DLPLCR99UVEVM にデータをロードします。

設計を開始

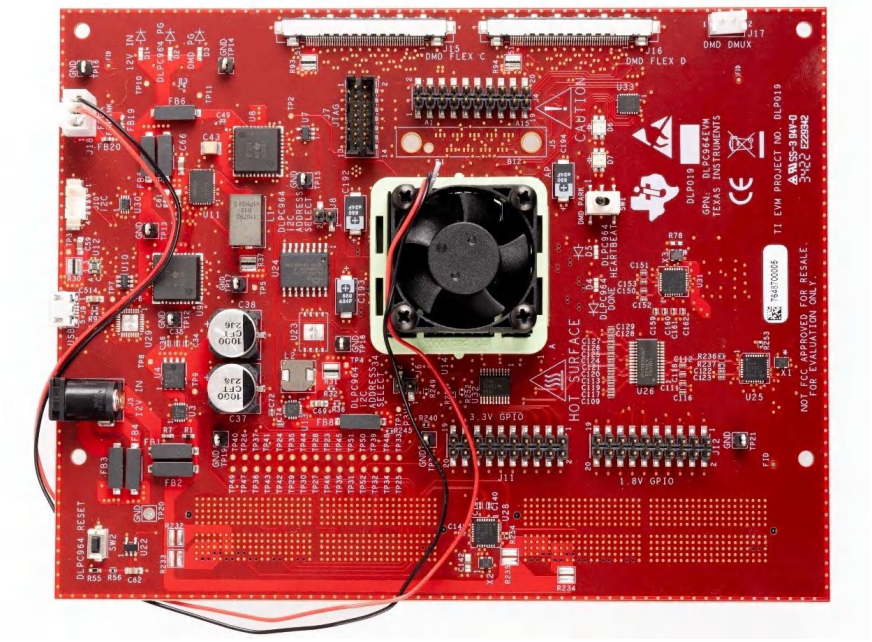
1. DLPLCRC964EVM 製品ページで DLPLCRC964EVM を注文します。
2. さらにサポートが必要な場合は、TI E2E DLP 製品フォーラムを参照してください。

特長

- DLPLCR99EVM および DLPLCR99UVEVM 用のコントローラ評価基板
- 各レーン 10Gbps で、12 個の HSS 入力 Aurora 64B/66B データ レーン
- 各データ レーン 3.6Gbps で、32 個の HSS DMD 出力データ レーン

アプリケーション

- デジタル ダイレクト イメージング (LDI)
- マスクレス リソグラフィ
- 付加製造および 3D プリンティング
- 産業用プリンティング
- 動的グレースケールマーキングとコーディング
- 高速の画像処理とディスプレイ



DLP LightCrafter DLPC964 評価基板

Copyright © 2026 Texas Instruments Incorporated

1 評価基板の概要

1.1 概要

TI の DLP DLPC964 GUI を使用すると、DLPLCRC964EVM (DLPC964 コントローラ基板)、DLPLCR99EVM (DLP991U DMD 基板)、DLPLCR99UVEVM (DLP991UUV DMD 基板)、および Apps FPGA (AMD 評価基板) アプリケーションを評価できます。DLPLCRC964EVM は、DLP991U または DLP991UUV DMD にロードできる固定の内部テスト パターンを搭載しており、サポート対象の DMD にこれらのパターンを表示するために必要なインターフェイスを備えています。フロントエンド AMD 評価基板は、DLPC964 コントローラと接続して、高速パターン データを、サポート対象の DMD 評価基板 (DLPLCR99EVM または DLPLCR99UVEVM) に送信します。

このガイドでは、DLP LightCrafter DLPC964 評価基板システムのハードウェアとソフトウェアの機能について説明します。評価基板のアーキテクチャとコネクタについて説明しているほか、サポート対象の DMD 評価基板と AMD Xilinx™ 評価ボードを DLPLCRC964EVM に組み付けてテスト パターンの表示と実行を行う方法についてのクイック スタート ガイドも付属しています。また、このガイドでは、グラフィカル ユーザー インターフェイス (GUI) を使用して DLP LightCrafter DLPLCRC964EVM を操作する方法についても説明します。各 DLP コンポーネントの詳細については、セクション 6 を参照してください。

注

DLPLCR99EVM (DMD 評価基板)、DLPLCR99UVEVM (DMD 評価基板)、AMD Xilinx UltraScale+™ 評価ボード (Apps FPGA)、光学素子、光源、電源は、DLPLCRC964EVM キットとは別売りになります。

1.2 キットの内容

DLPLCRC964EVM は、フレキシブルですぐに使用できる評価基板です。DLPLCRC964EVM を Apps FPGA ボードを備えた DLPLCR99EVM または DLPLCR99UVEVM と組み合わせることで、DLPLCRC964EVM は、ユーザーが作成したパターンを DLPC964 コントローラに送信し、そこから接続された DLP991U または DLP991UUV DMD に転送して表示を行うことができるようになります。DLP LightCrafter DLPC964EVM と、サポート対象の DLP991U または DLP991UUV DMD 評価基板は別々に購入できるため、ユーザーはアプリケーションで、どの要素を組み合わせるかを決定できます。

次の品目は評価基板に付属していないため、評価を行うのに必要な場合は、別途購入する必要があります。

- サポート対象の DMD 評価基板 (DLPLCR99EVM または DLPLCR99UVEVM)
- Apps FPGA ボード : 例、AMD 評価ボード (個別電源付き)
- 電源 : 詳細については、セクション 2.1.1 を参照してください
- USB ケーブル : タイプ A からマイクロ B への USB ケーブル

1.3 仕様

DLPLCRC964EVM は、サポート対象の DLP991U DMD を制御できるエレクトロニクスを搭載しています。この評価基板には、USB、I^2C、HPC FMC コネクタ、フレックス ケーブル コネクタなど、複数のインターフェイス オプションが用意されています。DLPLCRC964EVM の評価基板ハードウェア ブロック図を 図 1-1 に示します。

DLPLCRC964EVM の主なコンポーネントは次のとおりです。

- DLPC964 デジタル DMD コントローラ
- DLPC964 サブシステムをサポートするパワー マネージメント ユニット
- DLPC964 構成フラッシュ メモリ
- USB 2.0 インターフェイス
- フレックス ケーブル : DLP991U DMD 評価基板をサポートするには、4 個必要です
- HPC FMC コネクタ : 接続されている Apps FPGA または他のフロントエンド基板用に 2 個

Copyright © 2026 Texas Instruments Incorporated

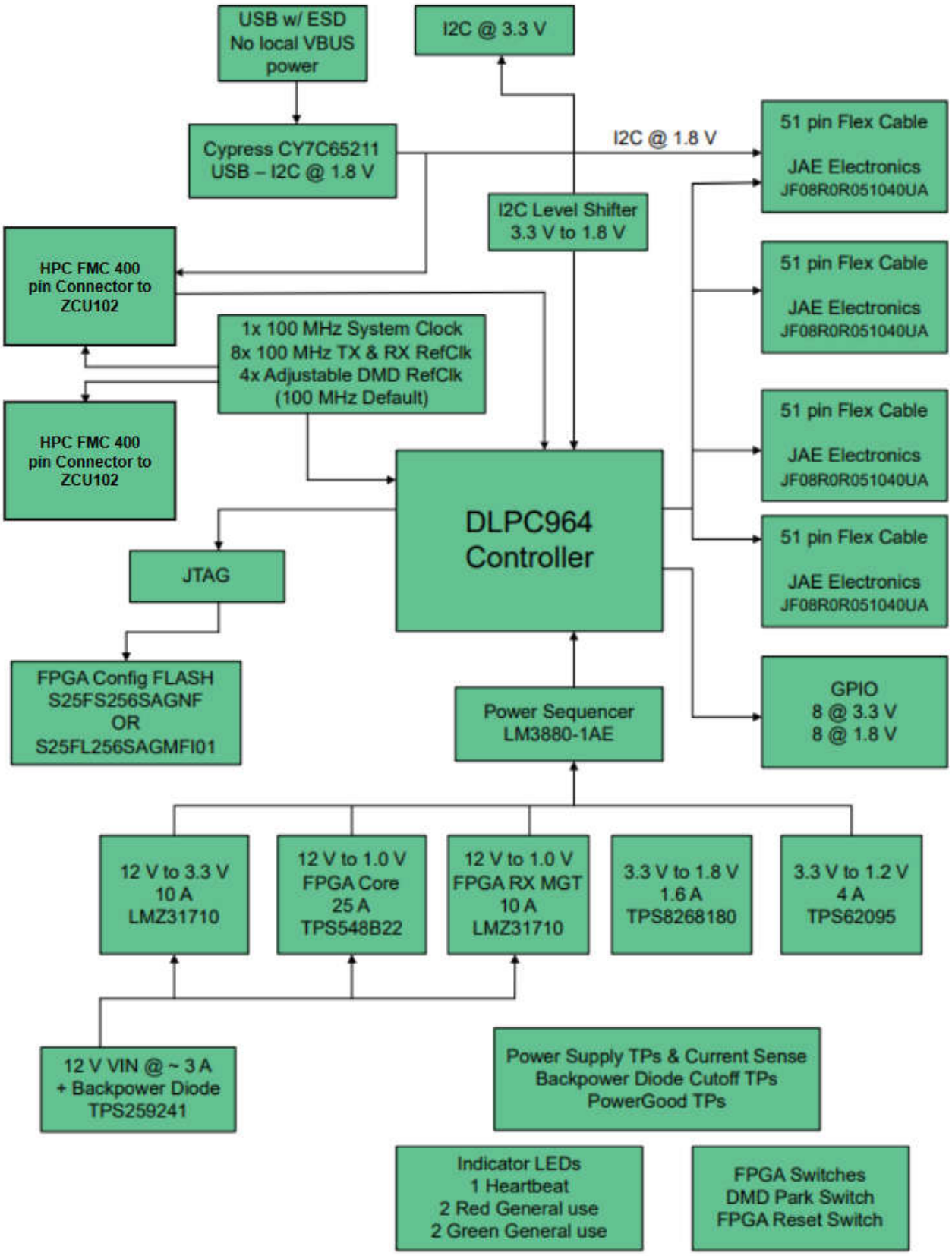


図 1-1. DLP LightCrafter DLPC964 評価基板のブロック図

Copyright © 2026 Texas Instruments Incorporated

1.4 製品情報

DLP LightCrafter DLPC964 評価基板は、完全な DMD 画像処理エレクトロニクス サブシステムの 3 分の 1 を構成します。DLP LightCrafter DLPC964 評価基板は、DLPC964 デジタル コントローラ、USB インターフェイス、パワー マネージメント回路、および対応するデジタル ロジックを搭載した DLPC964 基板で構成されています。

画像処理サブシステムを完成させるには、互換性のある DLPLCR99EVM または DLPLCR99UVEVM も必要です。どちらの DMD 評価基板も、DLPLCRC964EVM および、パターンを DLPC964 コントローラに送信する AMD Xilinx UltraScale+ 評価基板またはその他のフロント エンドと互換性があります。DLPLCR99EVM および DLPLCR99UVEVM は、DMD、オンボード DMD 電源回路を搭載した DMD 基板 (PCB)、DMD 取り付け用ハードウェア、および DLPLCRC964EVM と DLPLCR99EVM / DLPLCR99UVEVM を接続するためのフレックス ケーブルで構成されています。

図 1-2 に、DLPLCRC964EVM システム ハードウェアの主要なハードウェア構成部品の概要を示します。

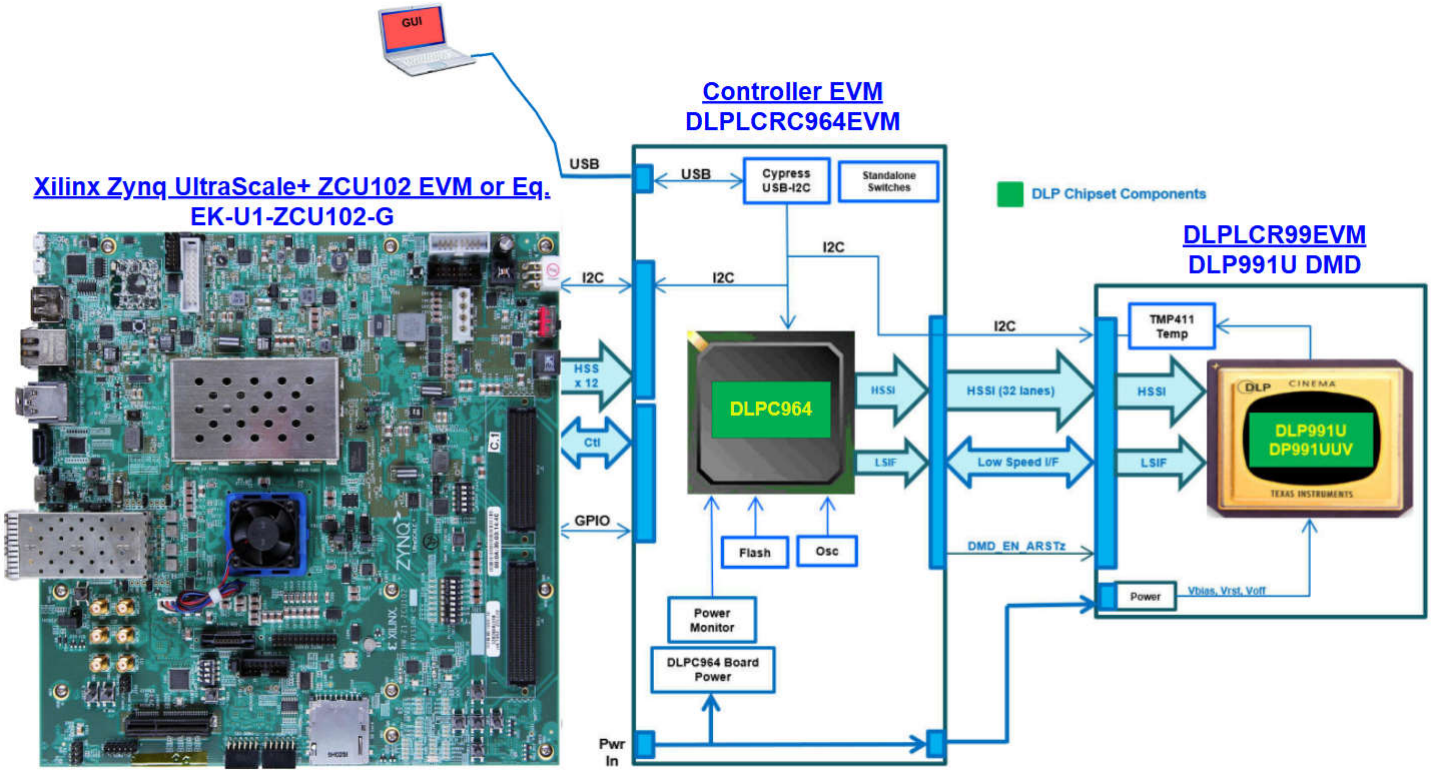


図 1-2. DLPLCRC964EVM のハードウェア構成部品

Copyright © 2026 Texas Instruments Incorporated

2 ハードウェア

2.1 DLPLCRC964EVM の電源要件

2.1.1 外部電源要件

DLP LightCrafter DLPC964 評価基板には、電源は含まれません。外部電源の要件は次のとおりです。

- 公称電圧:12V DC -5%/+10%
- 電流:5A
- DC コネクタ サイズ:
  - 内径:2.5mm
  - 外径:5.5mm
  - シャフト:9.5mm ソケット、センター ポジティブ
- Digi-Key 型番 102-3811-ND、または同等の電源を推奨します。

注

外部電源の規制準拠認定:TI が定める最小電気定格要件を満たすことに加えて、UL、CSA、VDE、CCC、PSE などの地域ごとの製品規制および安全認証要件に適合する外部電源を選定し、使用することを推奨します。

2.2 DLPLCRC964EVM の接続

図 2-1 に、DLPLCRC964EVM のスイッチおよびコネクタと、それぞれの配置を示します。

注

DLPLCR99EVM、DLPLCR99UVEVM、Apps FPGA、電源、USB ケーブルは、本モジュールには付属していません。

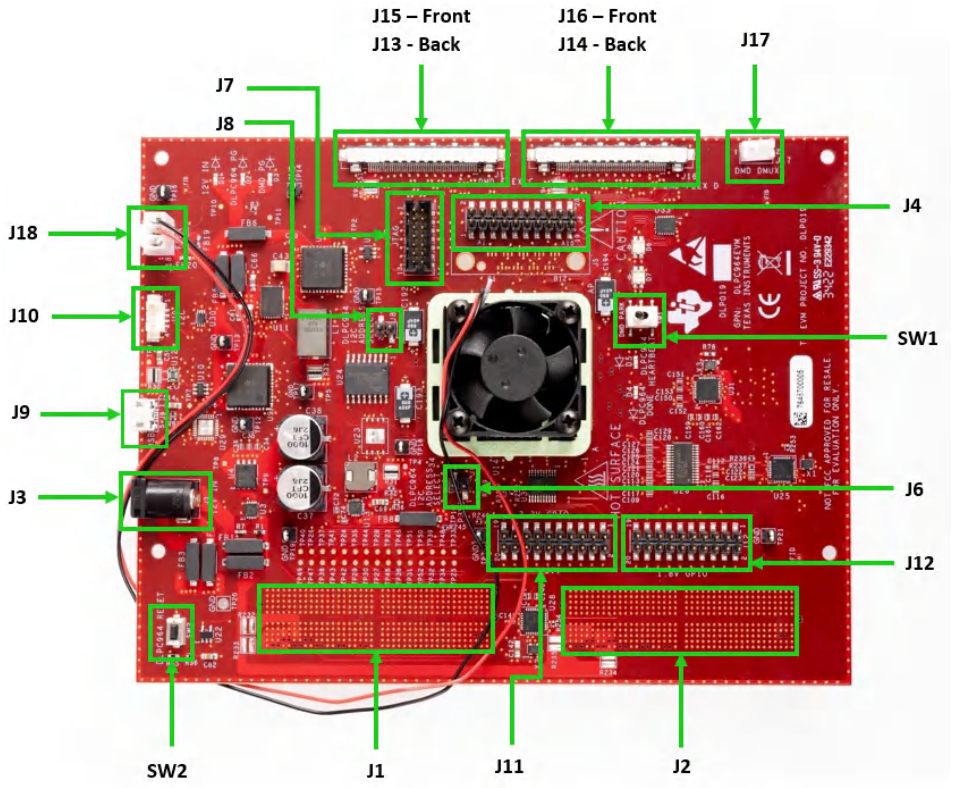


図 2-1. DLPLCRC964EVM コネクタ (上面図)

Copyright © 2026 Texas Instruments Incorporated

2.2.1 J1、J2:HPC FMC コネクタ(プラグ)

400 ポジション HPC FMC プラグ コネクタ、J1 と J2 を使用して、フロントエンド Apps FPGA (AMD 評価基板) を DLPLCRC964EVM 基板に接続します。Apps FPGA を使用すると、DLPC964 コントローラと接続して、DLP991U DMD に高速パターン データを送信することができます。

互換品の型番は次のとおりです。

- Samtec の型番:SEAF-40-05.0-S-10-2-A-K-TR
- Digi-Key の型番:SAM8009CT-ND

フロントエンド Apps FPGA と DLPLCRC964EVM 基板をリボン ケーブルを使用して接続する場合、互換品の型番は次のとおりです。

- Samtec の型番:ASP-134488-01 または ASP-134602-01
- Digi-Key の型番:SAM8730-ND または 612-ASP-134602-01CT-ND

2.2.2 J3:入力電源

コネクタ J3 には、DLPLCRC964EVM 基板への +12VDC 入力電源を供給します。電源ソケット J3 のピン配列を、表 2-1 に示します。

互換品の型番は次のとおりです。

- CUI Devices の型番:PP3-002A
- Digi-Key の型番:CP3-1000-ND

注

電源とケーブルは DLPLCRC964EVM キットに付属していないため、別途購入する必要があります。詳細については、セクション 2.1.1 を参照してください。

表 2-1. 電源コネクタ ピン

説明	ピン	電源電圧範囲
入力電源	1	+12VDC –5%/+10%
グランド	2	0V
グランド	3	0V

Copyright © 2026 Texas Instruments Incorporated

2.2.3 J4 : TestMux コネクタ

TESTMUX コネクタ、J4 のピン配列を、表 2-2 に示します。

表 2-2. TESTMUX コネクタのピン

説明	ピン	電源電圧範囲
グランド	1	0V
グランド	2	0V
TESTMUX_0	3	1.8V
TESTMUX_8	4	1.8V
TESTMUX_1	5	1.8V
TESTMUX_9	6	1.8V
TESTMUX_2	7	1.8V
TESTMUX_10	8	1.8V
TESTMUX_3	9	1.8V
TESTMUX_11	10	1.8V
TESTMUX_4	11	1.8V
TESTMUX_12	12	1.8V
TESTMUX_5	13	1.8V
TESTMUX_13	14	1.8V
TESTMUX_6	15	1.8V
TESTMUX_14	16	1.8V
TESTMUX_7	17	1.8V
TESTMUX_15	18	1.8V
グランド	19	0V
グランド	20	0V

2.2.4 J6、J8 : I^2C アドレス セレクタ

I^2C_ADDR_SEL[1:0] 入力ピンを使用すると、DLPC964 の I^2C セカンダリ アドレスを選択できます。表 2-3 に、I2C_ADDR_SEL[1:0] ピン配列と DLPC964 I2C セカンダリ アドレスの関係を示します。

注

ピンが未接続の場合、デフォルトの I^2C アドレスは 0x0C です。

表 2-3. DLPC964 I^2C セカンダリ アドレス選択の表

I^2C_ADDR_SEL[1]	I^2C_ADDR_SEL[0]	I^2C セカンダリ アドレス
0	0	0x0F
0	1	0x0E
1	0	0x0D
1	1	0x0C

Copyright © 2026 Texas Instruments Incorporated

2.2.5 J7 :JTAG バウンダリ スキャン

コネクタ J7 は、AMD JTAG プログラミング ケーブルの直接接続に使用できます。J7 は、ユーザーがファームウェア構成ファイルを FPGA (DLPC964 コントローラ) にロードする場合に使用されます。DLPLCRC964EVM の JTAG バウンダリ コネクタ、J7 のピン配列を、表 2-4 に示します。

14 極のコネクタで互換性のある 2 つの型番は次のとおりです。

- Molex の型番:051110-1451
- Digi-Key の型番:WM18047-ND

対応する端子 (クリンプ) の型番は次のとおりです。

- Molex の型番:087396-8051
- Digi-Key の型番:WM23602CT-ND

注

DLPC964 コントローラのプログラミング手順の詳細については、セクション 3.1.5.2 を参照してください。

表 2-4. JTAG バウンダリ スキャン コネクタのピン

説明	ピン	電源電圧範囲
グランド	1	0V
電源電圧	2	1.8V
グランド	3	0V
TMS	4	1.8V
グランド	5	0V
TCK	6	1.8V
グランド	7	0V
TDO	8	1.8V
グランド	9	0V
TDI	10	1.8V
グランド	11	0V
NC	12	該当なし
グランド	13	0V
NC	14	該当なし

Copyright © 2026 Texas Instruments Incorporated

2.2.6 J9 : マイクロ B USB コネクタ

コネクタ J9 を使用して、DLPC964 GUI を実行しているユーザー PC からの USB ケーブルを接続します。マイクロ B USB コネクタ、J9 のピン配列を、表 2-5 に示します。

注

USB マイクロ B から USB タイプ A へのケーブルは、DLPLCRC964EVM キットには付属していないので、別途購入する必要があります。

表 2-5. マイクロ B USB レセプタクル コネクタのピン

説明	ピン	電源電圧範囲
VBUS	1	5.0V
DMINUS	2	5.0V
DPLUS	3	5.0V
NC	4	0V
グランド	5	0V
グランド	6	0V
グランド	7	0V
グランド	8	0V
グランド	9	0V

2.2.7 J10 : I²C コネクタ

コネクタ J10 は、3.3V の外部 I²C 動作に使用されます。I²C コネクタ J10 のピン配列を、表 2-6 に示します。

4 ピン、1.25mm コネクタで、型番は次のとおりです (この 2 つの型番は同一品)。

- Molex の型番 : 0510210400
- Digi-Key の型番 : WM1722-ND

対応する端子 (クリンプ) の型番は次のとおりです。

- Molex の型番 : 0500798100
- Digi-Key の型番 : 0500798100

表 2-6. I²C コネクタのピン

説明	ピン	電源電圧範囲
I²C SCL	1	3.3V
I²C SDA	2	3.3V
3.3V 電源	3	3.3V
グランド	4	0V
グランド	5	0V
グランド	6	0V

Copyright © 2026 Texas Instruments Incorporated

2.2.8 J11 :3.3V GPIO コネクタ

J11 のピンは、ユーザー定義で使用できます。3.3V GPIO コネクタ、J11 のピン配列を、表 2-7 に示します。

表 2-7. 3.3V GPIO コネクタのピン

説明	ピン	電源電圧範囲
GPIO_3P3_0	1	3.3V
グランド	2	0V
GPIO_3P3_1	3	3.3V
グランド	4	0V
GPIO_3P3_2	5	3.3V
グランド	6	0V
GPIO_3P3_3	7	3.3V
グランド	8	0V
GPIO_3P3_4	9	3.3V
グランド	10	0V
GPIO_3P3_5	11	3.3V
グランド	12	0V
GPIO_3P3_6	13	3.3V
グランド	14	0V
GPIO_3P3_7	15	3.3V
グランド	16	0V
3.3V Supply	17	3.3V
グランド	18	0V
3.3V Supply	19	3.3V
グランド	20	0V

Copyright © 2026 Texas Instruments Incorporated

2.2.9 J12 : 1.8V GPIO コネクタ

J12 のピンは、ユーザー定義で使用できます。1.8V GPIO コネクタ、J12 のピン配列を、表 2-8 に示します。

表 2-8. 1.8V GPIO コネクタのピン

説明	ピン	電源電圧範囲
GPIO_1P8_0	1	1.8V
グランド	2	0V
GPIO_1P8_1	3	1.8V
グランド	4	0V
GPIO_1P8_2	5	1.8V
グランド	6	0V
GPIO_1P8_3	7	1.8V
グランド	8	0V
GPIO_1P8_4	9	1.8V
グランド	10	0V
GPIO_1P8_5	11	1.8V
グランド	12	0V
GPIO_1P8_6	13	1.8V
グランド	14	0V
GPIO_1P8_7	15	1.8V
グランド	16	0V
1.8V Supply	17	1.8V
グランド	18	0V
1.8V Supply	19	1.8V
グランド	20	0V

Copyright © 2026 Texas Instruments Incorporated

2.2.10 J13、J14、J15、J16：DMD 評価基板フレキシブル ケーブル コネクタ

コネクタ J13、J14、J15、J16 を使用して、DLPLCRC964EVM を DLPLCR99EVM または DLPLCR99UVEVM に接続します。DMD 基板および DMD との適切なデータ インターフェイスを確立できるように、4 本すべてのフレキシブル ケーブルを接続する必要があります。

51 極のコネクタで互換性のある 2 つの型番は次のとおりです。

- 日本航空電子の型番：FI-RE51HL
- Digi-Key の型番：670-1205-ND

対応する端子 (クリンプ) の型番は次のとおりです。

- 日本航空電子の型番：FI-RC3-1A-1E-15000
- Digi-Key の型番：670-1195-1-ND

2.2.11 J17：DMD_DMux コネクタ

DMD_DMux コネクタ、J17 は、DLP991U DMD 評価基板上の DMUX_LATCHED 信号に接続しています。J17 コネクタのピン配列を、表 2-9 に示します。

2 ピン、2.5mm コネクタで互換性のある 2 つの型番は次のとおりです。

- JST Sales America Inc. 型番：EHR-2
- Digi-Key の型番：455-1000-ND

対応する端子 (クリンプ) の型番は次のとおりです。

- JST Sales America Inc. 型番：SEH-001T-P0.6
- Digi-Key の型番：455-1042-1-ND

表 2-9. DMD_DMUX コネクタのピン

説明	ピン	電源電圧範囲
DMD_DMUX	1	3.3V
グランド	2	0V

2.2.12 J18：FanSink コネクタ

コネクタ J18 は 3 ピン +12VDC のファン コネクタで、DLPC964 コントローラの過熱を防ぐために温度を制御するのに使用します。DLPLCRC964EVM の FanSink コネクタ、J18 のピン配列を、表 2-10 に示します。

3 ピン、2.54mm コネクタで互換性のある 2 つの型番は次のとおりです。

- Molex の型番：0022013037
- Digi-Key の型番：900-0022013037-ND

対応する端子 (クリンプ) の型番は次のとおりです。

- Molex の型番：0008650804
- Digi-Key の型番：WM2756CT-ND

注

DLPLCRC964EVM の電源投入の前に、DLPC964 コントローラの損傷を防止するために、J18 が FanSink に接続されていることを確認してください。

表 2-10. ファン コネクタのピン

説明	ピン	電源電圧範囲
グランド	1	0V
電源	2	12V
電源	3	NC

Copyright © 2026 Texas Instruments Incorporated

2.2.13 スイッチ

このセクションでは、DLPLCRC964EVM のスイッチと、対応する場所について説明します。

2.2.13.1 SW1：DMD パーク (PARK_Z)

SW1 は、DMD に対してパーク コマンドを発行し、DLPC964 ロジックを停止させるトグル スイッチです。ON のとき、SW1 は DMD マイクロミラーを強制的にパーク状態にします。

注

評価基板の損傷を防止するため、J3 を経由する電力を遮断する前に SW1 を ON にすることを強く推奨します。詳細については、セクション 2.4.2 を参照してください。

表 2-11. SW1 の ON/OFF 状態

SW1 状態	説明
ON (DLPC964 コントローラ側への向き)	PARK_Z を Low に設定し、接続された DMD をパーク解除します
OFF (DLPC964 コントローラから離れた向き)	PARK_Z を High に設定し、DMD マイクロミラーのパークを発行します

2.2.13.2 SW2：DLPC964 リセット

SW2 は、DLPLCRC964EVM で実行されている DLPC964 コントローラ コードをリセットする接点スイッチです。SW2 を解放すると、DLPC964 コントローラはリセットから起動します。

2.2.14 DLP LightCrafter DLPC964 の LED

このセクションでは、DLPLCRC964EVM の電源 LED とステータス LED について説明します。

2.2.14.1 DLPLCRC964EVM の電源 LED およびステータス LED

図 2-2 に、DLPLCRC964EVM の LED とそれぞれの配置を示します。

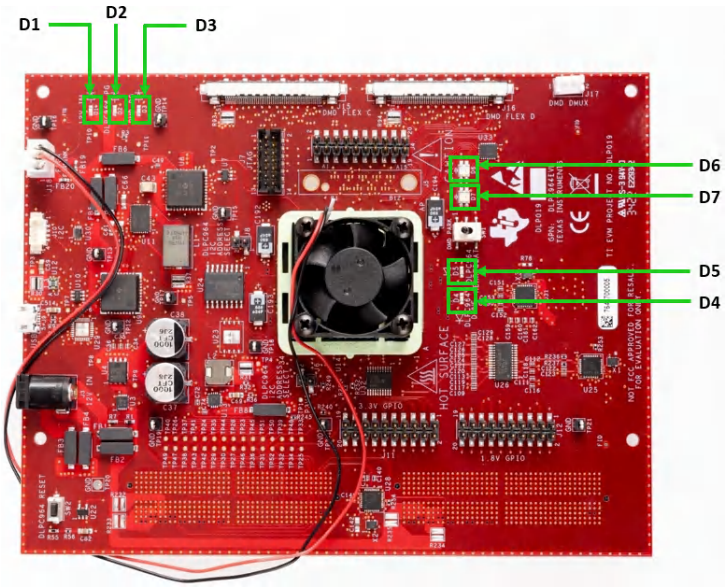


図 2-2. DLPLCRC964EVM の LED (上面図)

表 2-12. DLP LightCrafter DLPC964 評価基板の LED リファレンス

コネクタのリファレンス	EVM の機能	説明または用途
D1	12V 電源	外部 +12VDC が供給されています。
D2	DLPC964 パワー グッド (PG)	コントローラ基板からのすべての電圧が安定して供給されています。
D3	DMD パワー グッド (PG)	DMD 基板からのすべての電圧が安定して供給されています。

Copyright © 2026 Texas Instruments Incorporated

表 2-12. DLP LightCrafter DLPC964 評価基板の LED リファレンス (続き)

コネクタのリファレンス	EVM の機能	説明または用途
D4	DLPC964 完了	DLPC964 の初期化が完了しています。
D5	DLPC964 ハートビート (点滅)	DLPC964 が動作中の場合に点滅します。
D6	フェーズ ロック ループ (PLL)	コントローラのフェーズ ロック ループ (PLL) クロック回路がロックされていることを示します。
D7	DMD HSSI 同期エラー	DMD HSSI 同期エラーが検出されたかどうかを示すインジケータです。

2.3 評価基板の組み立て

このセクションでは、評価基板ハードウェアの組み立て方法について説明します。

2.3.1 DLPLCRC964EVM および DMD 評価基板の組み立て

このセクションでは、スタンドアロンの DLPLCRC964EVM、DLPLCR99EVM、DLPLCR99UVEVM の組み立て方法について説明します。

DLPLCRC964EVM をスタンドアロン システムとして組み立てるには、DLPLCR99EVM または DLPLCR99UVEVM に加え、4 本のフレックス ケーブルが必要です。

- フレックス ケーブル コネクタには、図 2-1 に示すように、J13、J14、J15、J16 とラベルが付いています。
- フレック スケーブル コネクタは、評価基板間に接続します。
- 各フレックス ケーブルの両端は同一です。
- どちらの端でも、DLPLCRC964EVM のコネクタ ポート J13、J14、J15、J16 に接続できます。フレックス ケーブルのもう一方の端は、DLPLCR99EVM または DLPLCR99UVEVM に接続します。

DLPLCR99EVM および DLPLCR99UVEVM キットに付属するフレック スケーブルは、長さが 16 インチ (40.64cm) です。必要に応じて、日本航空電子が提供する短いフレックス ケーブルも使用できます。以下に示す、その他 2 種類のフレックス ケーブル コネクタのオプションを参照してください。

- JF08R0R051030UA：ケーブル長 12 インチ (30.48cm)
- JF08R0R051020UA：ケーブル長 8 インチ (20.32cm)

図 2-3 に、DLPLCRC964EVM と DLPLCR99EVM / DLPLCR99UVEVM 間のフレック スケーブルを正しく接続する方法を示します。



図 2-3. DLPLCRC964EVM と DLPLCR99EVM / DLPLCR99UVEVM によるスタンドアロン構成

Copyright © 2026 Texas Instruments Incorporated

2.3.2 Apps FPGA ボードと DLPLCRC964EVM の接続

このセクションでは、Apps FPGA フロント エンドを DLPLCRC964EVM、DLPLCR99EVM、DLPLCR99UVEVM に組み立てる方法について説明します。

必要に応じて、フロント エンド基板 (AMD 評価基板) を DLPLCRC964EVM 基板に接続し、高速なテスト パターンを DLPC964 コントローラに送信することができます。

AMD 評価基板ソケットの HPC FMC メス コネクタおよび、DLPLCRC964EVM の HPC FMC コネクタ (J1、J2) の位置を確認します。基板どうしを接続するために圧力を加える前に、両方の HPC FMC コネクタを位置合わせし、位置が正しく合っていることを確認してください (図 2-6 参照)。

注

最初に両方の基板を押し込んで接続した後、基板の一方の端、続いて反対側の端を押し、コネクタが完全に接続されていることを確認してください。

こうした接続の代替として、300mm の Samtec® 製 HPC FMC リボン ケーブル (HDR-169468-01) を使用することもできます。2 本のケーブルが必要です。

- ケーブルの HPC FMC メス コネクタ側を、DLPLCRC964EVM 基板上の HPC FMC ソケット コネクタに接続します。
- ケーブルの HPC FMC プラグ コネクタ側を、Apps FPGA ボード上の HPC FMC ソケット コネクタに接続します。

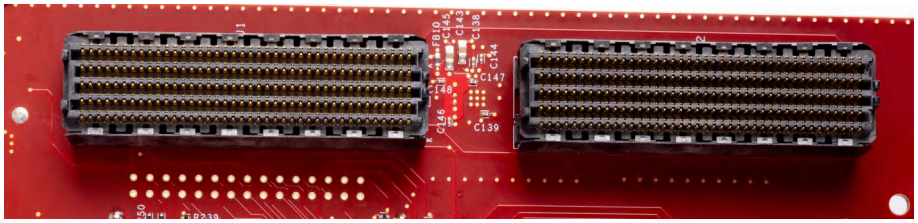


図 2-4. DLPLCRC964EVM の HPC FMC ソケット コネクタ

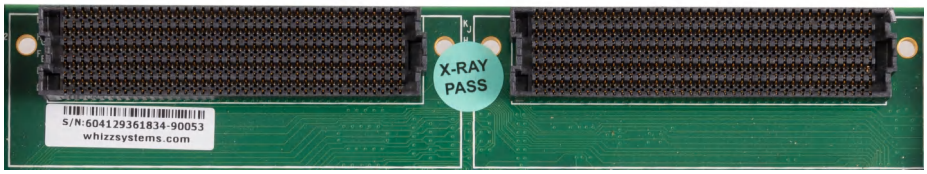


図 2-5. AMD 評価基板の HPC FMC ソケット コネクタ



図 2-6. AMD 評価基板を接続した、完全組み立て済み DLPLCRC964EVM

Copyright © 2026 Texas Instruments Incorporated

2.4 クイック スタート

この章では、DLPLCRC964EVM の適切なパワーアップおよびパワーダウン方法について説明します。

2.4.1 DLPLCRC964EVM のパワーアップ

DLPLCRC964EVM は、サポートされている DMD 評価基板と、AMD ZCU102 評価基板などのフロントエンド基板と組み合わせた後で使用できます。電力供給、画像の表示、および評価基板を PC に接続する方法を次の手順で示します。

DLPLCRC964EVM と AMD 評価基板に電源を投入する前に、スタンドアロン システム、または AMD 評価基板とスタンドアロン システムのどちらか用の構成 PROM をプログラミングする手順に従ってください。

- DLPC964 コントローラのプログラミング
- Apps FPGA (AMD 評価基板) のプログラミング

パワーアップの手順:

1. スイッチ SW1 が OFF で、DLPC964 コントローラから離れた向き (DMD がパーク状態) であることを確認します。
2. AMD 評価基板の電源をオンにします。

注

AMD 評価基板が構成されるのに十分な時間を確保します (DS1 と DS10 が点灯し、Apps FPGA の正常にパワーアップしたことを示します)。

---

3. 12V、5A DC 電源を、図 1-3 に示すバレル ジャック コネクタ J3 に接続します。
4. SW1 を DLPC964 コントローラ側に向けて ON に切り替えます (DMD がパーク解除状態)。
5. 12V 電源 (D1)、DLPC964 パワー グッド (D2)、DMD パワー グッド (D3) の各 LED が点灯し、DLPLCRC964EVM と DLPLCR99EVM/DLPLCR99UVEVM 基板に電力があることを示します。
6. DLPC964 完了 (D4) が点灯し、DLPC964 の初期化が完了したことを示します。
7. フェーズロック ループ (D6) および DMD HSSI 同期エラー (D7) が点灯し、DMD HSSI 同期エラーがなく、DLPC964 PLL がロックされていることを示します。
8. DLPC964 ハートビート (D5) が点滅し、DLPLCRC964EVM が動作していることを示します。

注

DLPC964 を初期化するには、DLPLCR99EVM と DLPLCR99UVEVM DMD 基板、または適切に構成された AMD 評価基板が存在する必要があります。

---

9. 図 1-3 に示すように、PC と DLPLCRC964EVM のコネクタ J9 との間に、USB ケーブルを接続します。PC にケーブルを初めて接続すると、DLPLCRC964EVM が列挙されます。必要なドライバは、DLPLCRC964EVM GUI のインストールの一部としてインストールされます。
10. DLP LightCrafter DLPC964 GUI を開き、実行します。GUI アプリケーションが開いたら、左下を確認します。GUI に、「Hardware Connected」(ハードウェア接続済み) が表示されます。
11. DLPLCRC964EVM は、DLPLCRC964EVM ツール フォルダからダウンロードできる GUI ソフトウェアを使用して制御することができます。

2.4.2 DLPLCRC964EVM のパワーダウン

DLPLCRC964EVM を適切にパワーダウンするには、手順 1 ～ 3 に従います。

1. スイッチ SW1 を切り替えることで、スイッチが DLPC964 コントローラから離れた向きになるようします (DMD がパーク状態)。
2. DLPLCRC964EVM のバレル ジャック コネクタ J3 から電力を遮断します
3. AMD 評価基板の電源をオフにします (接続されている場合)

Copyright © 2026 Texas Instruments Incorporated

3 ソフトウェア

この章では、DLPLCRC964EVM の制御に使用する Windows DLPC964 GUI ソフトウェアについて説明します。

3.1 DLPLCRC964EVM の操作

3.1.1 DLPLCRC964EVM GUI および Apps FPGA ソフトウェア

DLPLCRC964EVM-SW には、DLPC964 GUI アプリケーションおよび Apps FPGA を制御するための DLPC964 コントローラ、GUI ソース コード、Apps FPGA の VHDL ソース コードが含まれています。

Apps FPGA の VHDL ソース コードの詳細については、「DLPC964 Apps FPGA ユーザー ガイド」を参照してください。

3.1.2 PC ソフトウェア

DLPC964 GUI アプリケーションを実行すると、図 3-1 に示すパネルが表示されます。GUI インターフェイスには、次の情報が含まれます。

- メニュー バー (上)
- 5 つのサブウィンドウを持つメイン ウィンドウ
- Hardware Connected (接続ハードウェア): 情報バー (下)
- ログ ウィンドウ (下部)
- オンライン リソース

5 つのサブウィンドウは次のとおりです。

- Start Page (開始ページ)
- DLPC964 タブ
- DLPC964 Registers (DLPC964 レジスタ) タブ
- Apps FPGA タブ
- Apps FPGA Registers (Apps FPGA レジスタ) タブ

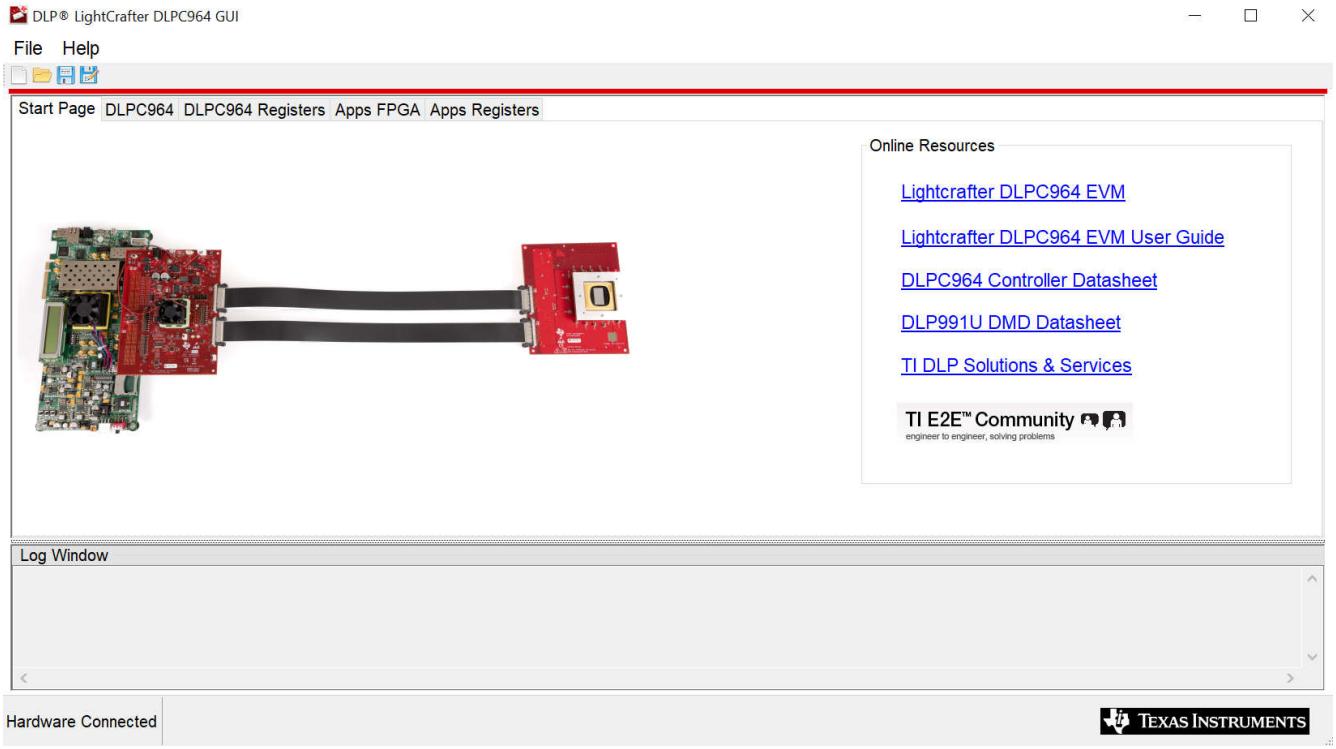


図 3-1. DLPC964 GUI

Copyright © 2026 Texas Instruments Incorporated

3.1.3 メニュー バー

DLPC964 GUI のメニュー バーは、2 つの項目で構成されています。

1. 「File」(ファイル) メニュー
   - 「New Log」(新規ログ) は、「Status」(ステータス) サブウィンドウを空にして、新しいコマンド ログ シーケンスを記録します。
   - 「Opem Log」(ログを開く) は、ダイアログ ボックスを開き、ディスクから既存のコマンド ログ シーケンス ファイルを選択します。
   - 「Save Log」(ログを保存) は、「Status」(ステータス) サブウィンドウの現在の内容を現在のスクリプト ファイルに保存します。ファイルがまだ保存されていない場合は、「Save As」(名前を付けて保存) ダイアログが開きます。
   - 「Save Log As」(名前を付けてログを保存) は、ダイアログ ボックスを開き、現在のコマンド ログ シーケンスを新しい名前で保存します。

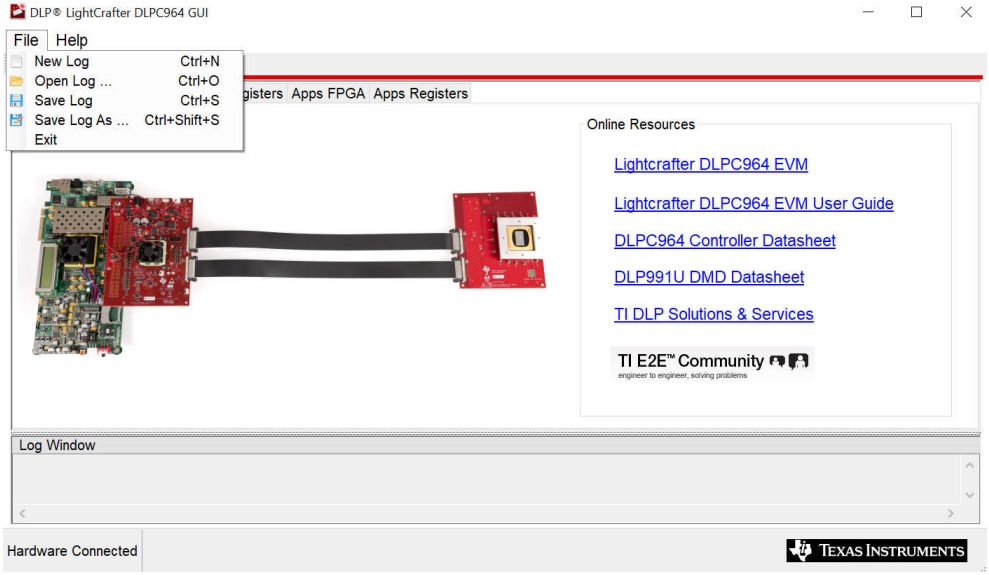


図 3-2. メニュー ログ項目

2. 「Help」(ヘルプ) メニュー
   - 「About DLP® LightCrafter DLPC964 GUI」(DLP® LightCrafter DLPC964 GUI のバージョン情報) には、ソフトウェア バージョン (X.X.X) および USB DLL のバージョン情報ダイアログが表示されます。

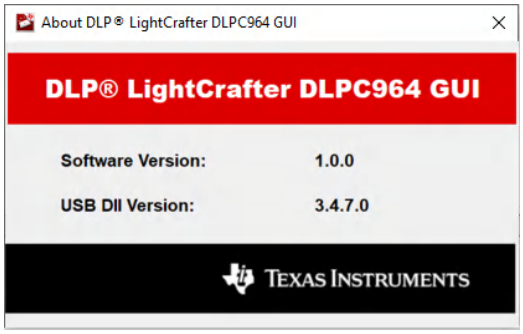


図 3-3. DLPC964 GUI のバージョン情報ダイアログ

Copyright © 2026 Texas Instruments Incorporated

3.1.4 メイン ウィンドウ

メイン ウィンドウは 5 つのサブウィンドウで構成されています。

3.1.4.1 Start Page (開始ページ)

「Start Page」(開始ページ) は、DLPC964 GUI を実行する際にユーザーに表示される最初のウィンドウです。

このウィンドウには、DLPLCRC964EVM、DLPLCR99EVM、DLPLCR99UVEVM を使用した Apps FPGA (AMD 評価基板) の標準セットアップの画像が表示されます。

また、お客様が評価基板キットの使用を開始するのに役立つオンライン リソースもご用意しています。

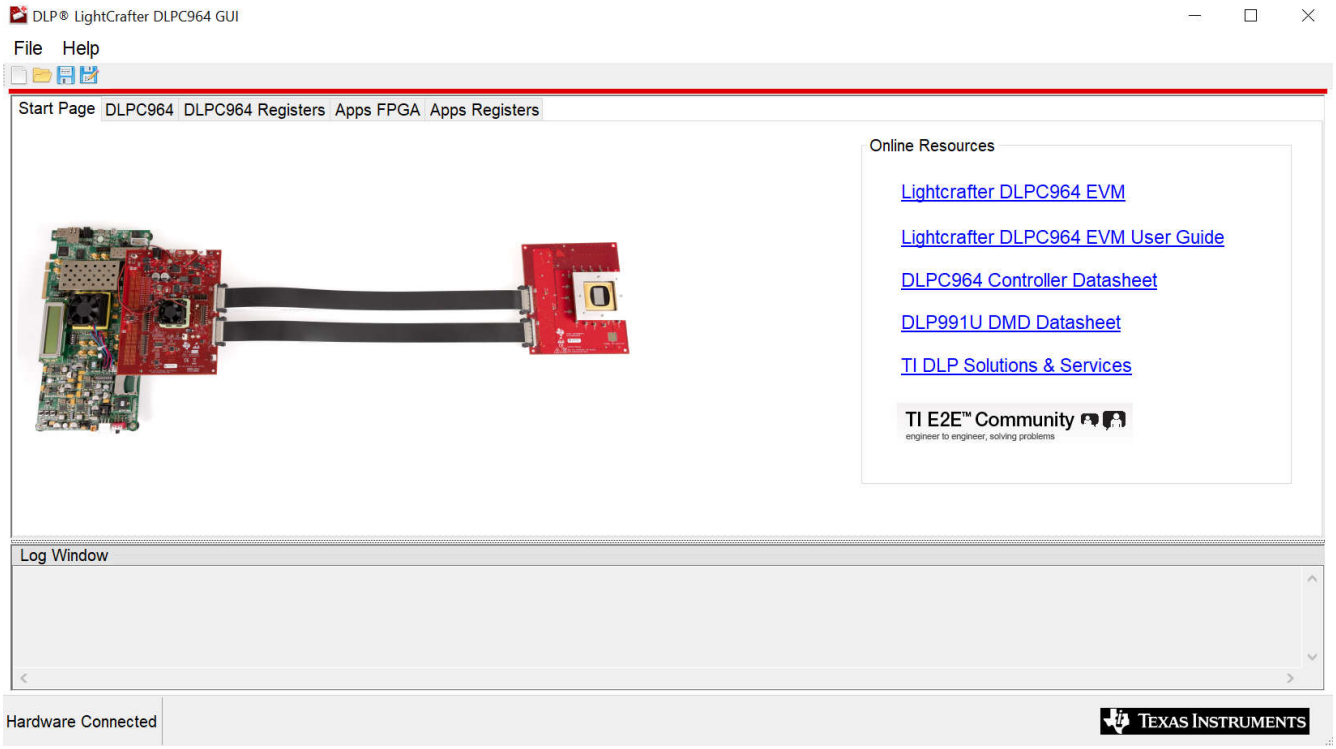


図 3-4. DLPC964 GUI の開始ウィンドウ

DLPC964 GUI に「ハードウェアが接続されていません」と表示されている場合、以下をチェックしてください。

- J9 の USB 接続や、ユーザーの PC を介した USB 接続。
- GUI ソフトウェアのインストールから提供される .inf ファイルとデバイス マネージャの DLPC964 ドライバ。

注

.inf ファイルは次の場所にあります。C:\Program Files\Texas Instruments\DLPC964REF-SW-VX.X.XX\Driver\Win10\x64

Copyright © 2026 Texas Instruments Incorporated

3.1.4.2 DLPC964 タブ

「DLPC964」タブでは、DLPC964 の機能や動作のステータスを読み取ります。HSSI、HSS、PLL、テスト パターンの選択、テスト パターン設定の構成を行います。

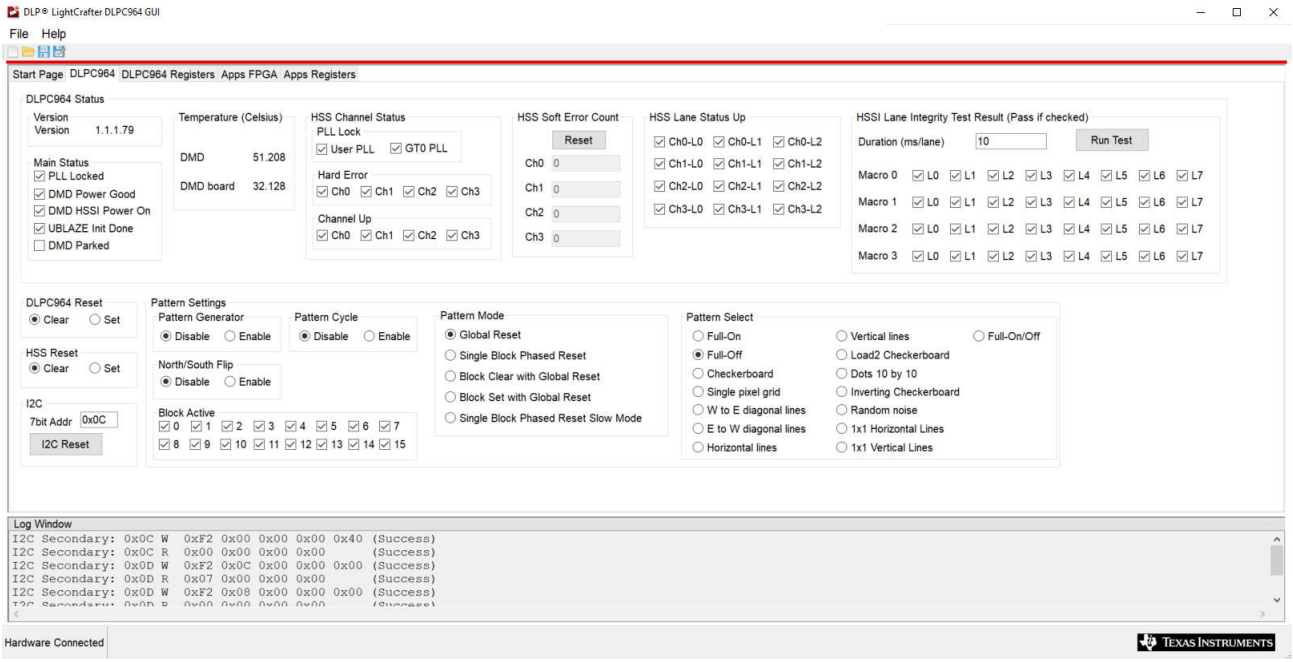


図 3-5. DLPC964 タブ

3.1.4.2.1 DLPC964 のステータス

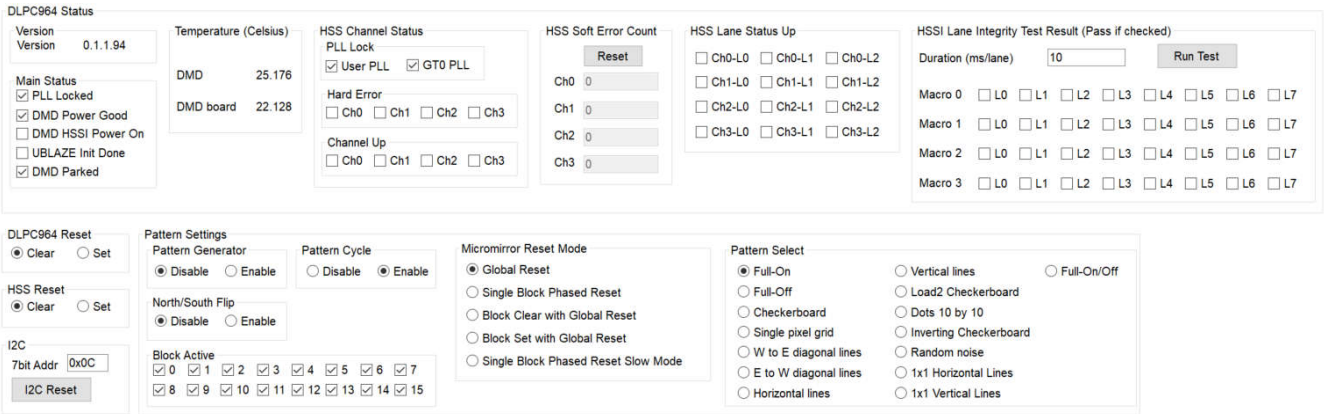


図 3-6. DLPC964 のステータス

- DLPC964 の「Version」(バージョン):DLPC964 ファームウェアのビルド番号とバージョン情報が表示されます。
- DLPC964 の「Temperature」(温度):DMD の温度を摂氏で表示します。
  - DMD:DMD の内部温度
  - 「DMD Board」(DMD 基板):実際の DMD 基板表面温度
- 「Main Status」(メイン ステータス):DLPC964 PLL ロック、DMD パワー グッド、DMD 高速インターフェイス、UBLAZE、DMD パークのステータスを示します。
- 「HSS Channel Status」(HSS チャネル ステータス):DLPC964 コントローラへの Aurora 64B/66B 入力のステータスを示します。
  - PLL ロック

Copyright © 2026 Texas Instruments Incorporated

  - 「User PLL」(ユーザー PLL):チェックが外れている場合、ユーザー クロックはロックされていません。チェックをつけると、ユーザー クロックがロックされます。
  - 「GT0 PLL」:MMCM がユーザー クロックを生成するためのソースであり、PLL がロックされているかを判定します。
- 「Hard Error」(ハード エラー):ハード エラー状態から回復するために、HSS のリセットが必要かどうかを示します。
- 「Channel Up」(チャネル アップ):Aurora チャンネル 0 ～ 3 が起動し、動作しているかを判定します。

- 「HSS Soft Error Count」(HSS ソフト エラー カウント):Aurora 64B/66B チャネル 0 ～ 3 のソフト エラー総数を示します。
- 「HSS Lane Status Up」(HSS レーン ステータス アップ):DLPC964 コントローラに入力される Aurora 64B/66B の各レーンのステータスを示します。
- 「HSSI Lane Integrity Test Results」(HSSI レーン整合性テスト結果):チャネル 0 ～ 3 に対する DMD 高速シリアル インターフェイスのレーン整合性テスト結果を示します。このインターフェイスの各レーン (7 ～ 0) について、合否を確認できます。

注

チャネルが合格していない場合、DMD インターフェイスの D-Sync エラーが発生します。

3.1.4.2.2 DLPC964 リセット



図 3-7. DLPC964 リセット

「DLPC964 Reset」(DLPC964 リセット) コマンドは、ミラーを現在の状態からメモリ内の状態に変更します。メモリの内容は、「Pattern Select」(パターン選択) で現在選択されているパターンによって決まります。すべてのブロックをリセット (グローバル) することも、シングル ブロック モードを使用してブロックを個別にリセットすることもできます。

3.1.4.2.3 HSS のリセット



図 3-8. HSS のリセット

「HSS Reset」(HSS リセット) コマンドにより、HSS 入力バスと出力バスが DLPC964 に供給するデータをリセットします。

3.1.4.2.4 I²C の 7 ビット アドレス



図 3-9. DLPC641 I²C の 7 ビット アドレス

これにより、代替の I²C アドレスをリセットできます。

注

J6 および J8 を接続しない状態では、デフォルトの I²C アドレスは 0x0C です。代替の I2C アドレスと通信するには、実装する必要のあるジャンパの詳細について、表 2-3 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

3.1.4.2.5 パターンの設定

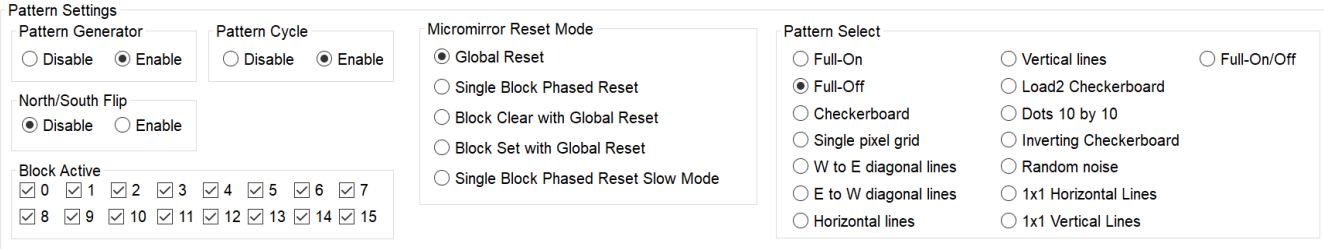


図 3-10. DLPC964 パターンの設定

- 「Pattern Generator」(パターン ジェネレータ):有効化すると、パターンが DMD に表示されます。無効化すると、DMD にパターンは表示されません。
- 「Pattern Cycle」(パターン サイクル):有効化すると、DMD は事前定義された最初の 8 つのパターンを循環し、それぞれが 2 秒ごとに表示されます。無効化すると、選択された 1 つのパターンが DMD に送信されます。
- 「North/South Flip」(上下反転):この機能を有効化すると、DMD に表示されている画像が垂直に反転します。
- 「Pattern Select」(パターン選択)
  - 「Full-On」(フルオン):DMD 上のすべてのミラーがオンの位置になるフル ホワイトの背景。
  - 「Full-Off」(フルオフ):DMD 上のすべてのミラーがオフ位置になるフル ブラックの背景。
  - 「Checkerboard」(市松模様):黒と白の市松模様 (64 ピクセル x 64 ピクセル)。
  - 「Single pixel grid」(単一ピクセル グリッド):DMD 配列の範囲を視覚化するために、境界線がオンになります。
  - 「W to E diagonal lines」(W から E の対角線):行データの不具合をチェックするために使用します。
  - 「E to W diagonal lines」(E から W の対角線):行データの不具合をチェックするために使用します。
  - 「Horizontal lines」(水平線):行の描画に関する不具合をチェックするために使用します。
  - 「Vertical lines」(垂直線):データ バス ラインの不具合をチェックするために使用されます。
  - 「Load2 Checkboard」(Load2 市松模様):黒と白の市松模様のパターン (32 ピクセル x 32 ピクセル)。
  - 「Dots 10 by 10」(10 × 10 の点):1 つの白いピクセルが、X 方向と Y 方向に 10 ピクセル間隔で均等に配置されます。
  - 「Inverting Checkerboard」(反転市松模様):市松模様のパターンの反転版。
  - 「Random Noise」(ランダム ノイズ):ユーザーのチルト角度テスト用の不規則なノイズ パターン。
  - 「1x1 Horizontal lines」(1 × 1 の水平線) (すべての行が黒 / 白を交互に表示):行の描画に関する不具合をチェックするために使用します。
  - 「1x1 Vertical lines」(1 × 1 の垂直線) (すべての列が黒 / 白を交互に表示):データ バス ラインの不具合をチェックするために使用されます。
  - 「Full-On/Off」(フルオン / オフ):フルオンとフルオフのパターンを切り替えます。
- 「Micromirror Reset Mode」(マイクロミラー リセット モード)
  - 「Global Reset」(グローバル リセット):グローバル リセット モードでは、有効化されているすべてのブロックにデータが順次ロードされます。すべてのブロックがロードされると、MCP_Start 信号はすべてのブロックを同時にリセットします。
  - 「Single Block Phased Reset」(シングル ブロック順次リセット):シングル リセット モードでは、一度に 1 つのブロックがロードされ、DLPC964 が DMD に送信されたデータをロードすると、MCP_Start 信号は、その 1 つのブロックをリセットします。
  - 「Block Clear with Global Reset」(グローバル リセットによるブロック クリア):このモードでは、DLPC964 システムでクリア ブロックのロード タイプがどのように使用されるかを示します。ブロックはすべてのミラーをオフ状態 (0) にするため、クリア ロード タイプでは、データは必要ありません。クリア ロード タイプにはその後送信するデータがないため、コマンド有効信号は必要なく、DMD ロード信号のみが送信されます。MCP_Start 信号は、グローバル モードと同じパターンに従います。
  - 「Block Set with Global Reset」(グローバル リセットによるブロック セット):このモードは、DLPC964 システムでセット ブロックのロード タイプがどのように使用されるかを示します。セット ロード タイプは、クリア ロード タイプとは逆の動作を行い、データも必要としません。セット ロード タイプはすべてのミラーをオン状態 (1) に設定します。クリア ロード タイプと同様、コマンド有効信号は必要なく、DMD ロード信号のみです。MCP_Start 信号は、グローバル モードと同じパターンに従います。

Copyright © 2026 Texas Instruments Incorporated

  - 「Single Block Phased Reset Slow Mode」(シングル ブロック順次リセット低速モード): 低速モード (または高速モードを無効化) にすると、DLPC964 は単一チャネルを介してのみ (12x に対して 4x 10Gbps レーン) データを受信します。これを行うには、ブロックの各セグメントを並行してではなく 1 つの Aurora 64B/66B チャネルを介して順次送信する必要があります。セグメントは、次の順序で送信する必要があります。D (0x3) C (0x2) B (0x1) A (0x0)。4 つのセグメントすべてが送信されると、MCP_Start 信号が発行されます。MCP_Start 信号は、シングルモードと同じように動作します。
- 「Block Active」(ブロック アクティブ): DLP991U DMD には 16 個のブロック [0 ～ 15] があります。GUI 内でチェックされるブロックによって、どのブロックがリセットされ、どのブロックに DMD から新しいデータがロードされるかが決定されます。

3.1.4.3 DLPC964 Registers (DLPC964 レジスタ) タブ

「DLPC964 Registers」(DLPC964 レジスタ) タブでは、I^2C インターフェイスを使用して、DLPC964 コントローラのレジスタと通信します。このタブでは、DLPC964 コントローラのレジスター覧と各レジスタの設定が表示されます。特定のレジスタに読み取り / 書き込みを行うには、「Get」(取得) / 「Set」(設定) ボタンを使用します。

注

INIT_DONE が High (論理 1) に遷移するまで、DLPC964 レジスタへのアクセスを開始しないでください。

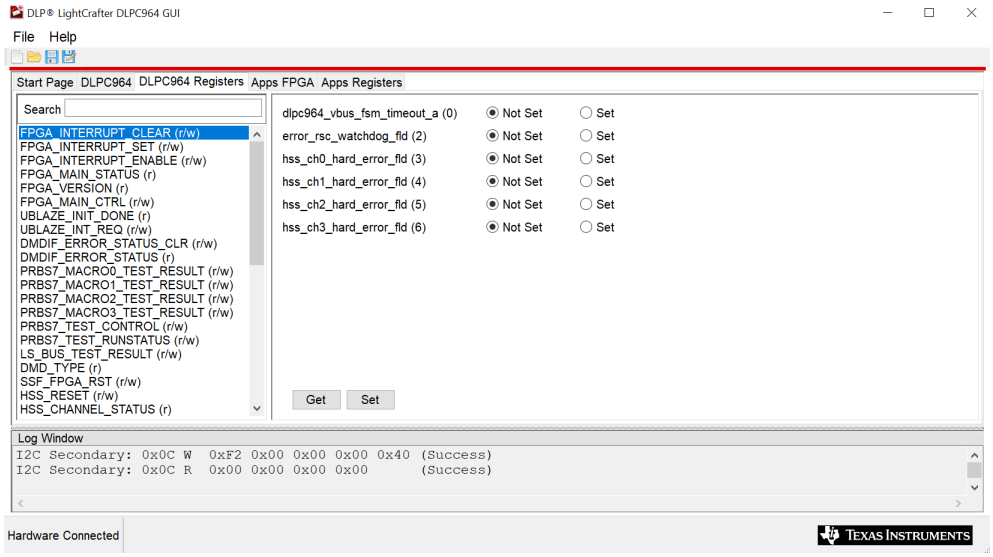


図 3-11. DLPC964 レジスター覧

レジスタの定義

本ドキュメントのこのセクションでは、以下の表記を使用します。

- R — 読み取り専用を示します
- W — 書き込み専用を示します
- R/W — 読み取り / 書き込み可能を示します
- S — レジスタのステータスを示します
- I — 割り込み専用を示します
- P — パルス専用を示します

DLPC964 GUI で提供されている各 DLPC964 レジスタの詳細については、「DLPC964 データシート」を参照してください。

Copyright © 2026 Texas Instruments Incorporated

3.1.4.4 Apps FPGA タブ

「Apps FPGA」タブでは、Apps FPGA の機能や動作のステータスを読み取り、テスト パターンを選択し、パターン設定を構成します。

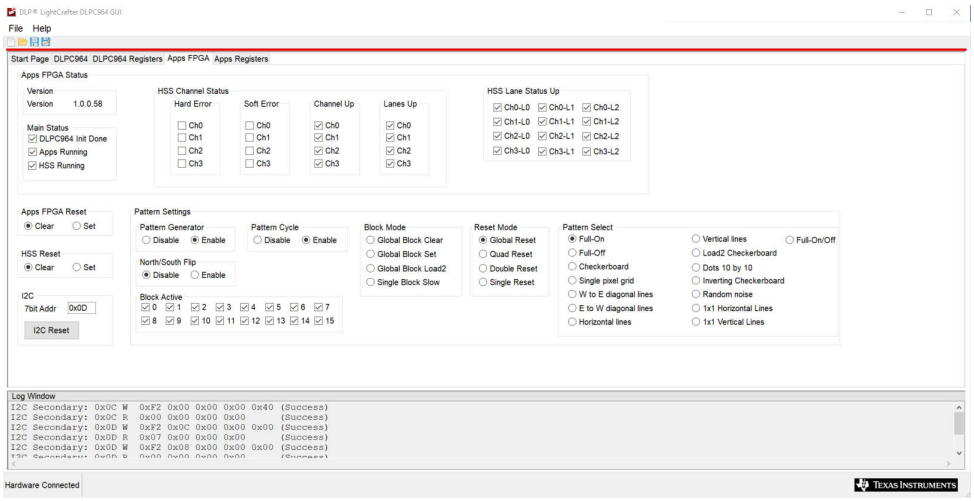


図 3-12. Apps FPGA タブ

3.1.4.4.1 Apps FPGA のステータス

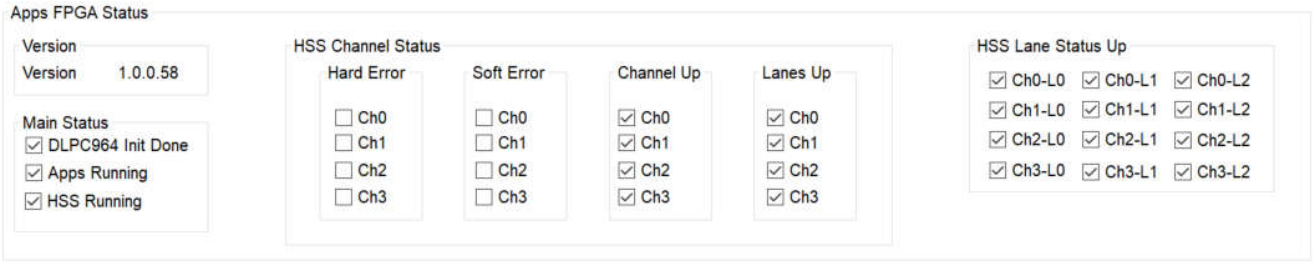


図 3-13. Apps FPGA のステータス

- Apps FPGA の「Version」(バージョン):Apps FPGA ファームウェアのビルド番号とバージョン情報が表示されます。
- 「Main Status」(メイン ステータス):DLPC964、Apps FPGA、HSS のステータスが表示され、各ステータスが起動し、動作しているかを確認できます。
- 「HSS Channel Status」(HSS チャネル ステータス):HSS チャネル ステータスは、DLPC964 コントローラへの Aurora 64B/66B 入力のステータスを示します。
  - 「Hard Error」(ハード エラー):入力 Aurora チャネル 0 ～ 3 のハード エラーを示し、GTH での障害を示します。
  - 「Soft Error」(ソフト エラー):「HSS Soft Error Count」(HSS ソフト エラー カウント) は、各チャネルで受信した破損データ数を示します。
  - 「Channel Up」(チャネル アップ):HSS Aurora チャネル 0 ～ 3 が初期化されているかを判定します。
  - 「Lanes Up」(レーン アップ):HSS Aurora レーン チャネル 0 ～ 3 が初期化されているかを判定します。
- 「HSS Lane Status Up」(HSS レーン ステータス アップ):HSS レーン ステータス アップは、DLPC964 コントローラに入力される Aurora 64B/66B の各レーンのステータスを示します。

3.1.4.4.2 Apps FPGA リセット

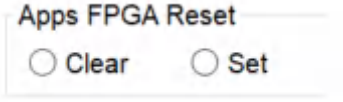


図 3-14. Apps FPGA リセット

Copyright © 2026 Texas Instruments Incorporated

「Apps FPGA Reset」(Apps FPGA リセット) コマンドは、ミラーを現在の状態からメモリ内の状態に変更します。メモリの内容は、「Pattern Select」(パターン選択) で現在選択されているパターンによって決まります。すべてのブロックをリセット (グローバル) することも、シングル ブロック モードを使用してブロックを個別にリセットすることもできます。

3.1.4.4.3 HSS のリセット (Apps)

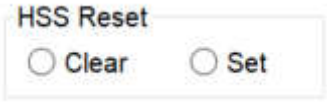


図 3-15. HSS のリセット

「HSS Reset」(HSS リセット) コマンドにより、HSS 入力バスと出力バスが Aurora 64B/66B インターフェイスのデータをリセットします。

3.1.4.4.4 Apps I²C 7 ビット アドレス



図 3-16. DLPC964 I2C 7 ビット アドレス

これにより、代替の I²C アドレスをリセットできます。

注

J6 および J8 を接続しない状態では、デフォルトの I²C アドレスは 0x0D です。代替の I2C アドレスと通信するには、実装する必要のあるジャンパの詳細について、表 2-3 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

3.1.4.4.5 パターンの設定 (Apps)

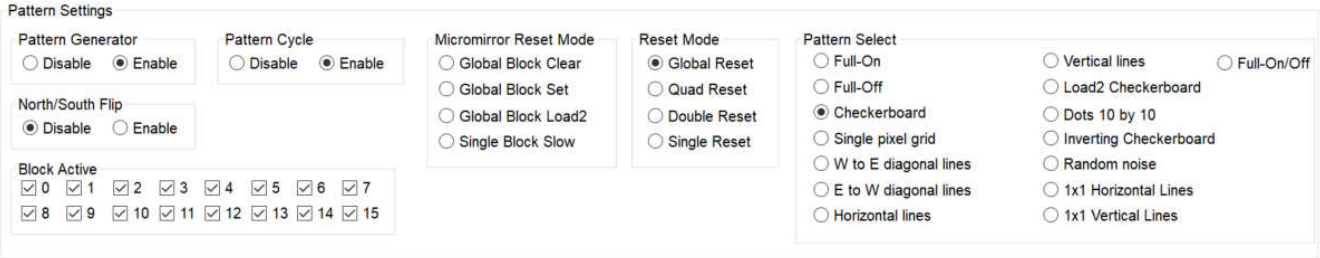


図 3-17. Apps FPGA パターンの設定

- 「Pattern Generator」(パターン ジェネレータ):有効化すると、パターンが DMD に表示されます。無効化すると、DMD にパターンは表示されません。
- 「Pattern Cycle」(パターン サイクル):有効化すると、DMD は事前定義された最初の 8 つのパターンを循環し、それぞれが 2 秒ごとに表示されます。無効化すると、選択された 1 つのパターンが DMD に送信されます。
- 「North/South Flip」(上下反転):この機能を有効化すると、DMD に表示されている画像が垂直に反転します。
- 「Pattern Select」(パターン選択)
  - 「Full-On」(フルオン):DMD 上のすべてのミラーがオンの位置になるフル ホワイトの背景。
  - 「Full-Off」(フルオフ):DMD 上のすべてのミラーがオフ位置になるフル ブラックの背景。
  - 「Checkerboard」(市松模様):黒と白の市松模様 (64 ピクセル x 64 ピクセル)。
  - 「Single pixel grid」(単一ピクセル グリッド):DMD 配列の範囲を視覚化するために、境界線がオンになります。
  - 「W to E diagonal lines」(W から E の対角線):行データの不具合をチェックするために使用します。
  - 「E to W diagonal lines」(E から W の対角線):行データの不具合をチェックするために使用します。
  - 「Horizontal lines」(水平線):行の描画に関する不具合をチェックするために使用します。
  - 「Vertical lines」(垂直線):データ バス ラインの不具合をチェックするために使用されます。
  - 「Load2 Checkboard」(Load2 市松模様):黒と白の市松模様のパターン (32 ピクセル x 32 ピクセル)。
  - 「Dots 10 by 10」(10 × 10 の点):1 つの白いピクセルが、X 方向と Y 方向に 10 ピクセル間隔で均等に配置されます。
  - 「Inverting Checkerboard」(反転市松模様):市松模様のパターンの反転版。
  - 「Random Noise」(ランダム ノイズ):ユーザーのチルト角度テスト用の不規則なノイズ パターン。
  - 「1x1 Horizontal lines」(1 × 1 の水平線) (すべての行が黒 / 白を交互に表示):行の描画に関する不具合をチェックするために使用します。
  - 「1x1 Vertical lines」(1 × 1 の垂直線) (すべての列が黒 / 白を交互に表示):データ バス ラインの不具合をチェックするために使用されます。
  - 「Full-On/Off」(フルオン / オフ):フルオンとフルオフのパターンを切り替えます。
- 「Micromirror Reset Mode」(マイクロミラー リセット モード)
  - 「Global Block Clear」(グローバル ブロック クリア):このモードでは、DLPC964 システムでクリア ブロックのロード タイプがどのように使用されるかを示します。ブロックはすべてのミラーをオフ状態 (0) にするため、クリア ロード タイプでは、データは必要ありません。クリア ロード タイプには送信するデータがないため、コマンド有効信号は必要なく、DMD ロード信号のみが送信されます。MCP_Start 信号は、グローバル モードと同じパターンに従います。
  - 「Global Block Set」(グローバル ブロック セット):このモードでは、DLPC964 システムでセット ブロックのロード タイプがどのように使用されるかを示します。セット ロード タイプは、クリア ロード タイプとは逆の動作を行い、データも必要としません。セット ロード タイプはすべてのミラーをオン状態 (1) に設定します。クリア ロード タイプと同様、コマンド有効信号は必要なく、DMD ロード信号のみです。MCP_Start 信号は、グローバル モードと同じパターンに従います。
  - 「Global Block Load2」(グローバル ブロック Load2):Load2 動作を有効にすると、DMD は受信したデータの 1 行分のデータを DMD の 2 行にロードするように指示されます。Load2 動作時の DLPC964 Apps FPGA の役割は、Aurora の HSSI チャネルを介して送信されるデータが最大で 68 行であることを確認することです。LOAD2 をアサートすると、DLPC964 コントローラと、接続された DMD は、送信されるデータの行ごとに 2 行をロードし、パターン ロードの時間を全 DMD ロードの半分に短縮します。この機能は MCP タイミングを短縮しません。

Copyright © 2026 Texas Instruments Incorporated

  - 「Single Block Slow」(シングル ブロック低速): 低速モード (または高速モードを無効化) にすると、DLPC964 Apps FPGA は単一の Aurora 64B/66B チャネルを介してのみ (12x に対して 4x 10Gbps レーン) データを送信します。これを行うには、ブロックの各セグメントを並行してではなく 1 つのチャネルを介して順次送信する必要があります。セグメントは、次の順序で送信する必要があります。D (0x3) C (0x2) B (0x1) A (0x0)。4 つのセグメントすべてが送信されると、MCP_Start 信号が発行されます。MCP_Start 信号は、シングル モードと同じように動作します。
- 「Block Active」(ブロック アクティブ): DLP991U DMD には 16 個のブロック [0 ～ 15] があります。GUI 内でチェックされるブロックによって、どのブロックがリセットされ、どのブロックに DMD への新しいデータがロードされるかが決定されます。

3.1.4.5 Apps FPGA Registers (Apps FPGA レジスタ) タブ

「Apps FPGA Registers」(Apps FPGA レジスタ) タブでは、I^2C インターフェイスを使用して、Apps FPGA レジスタと通信します。このタブでは、Apps FPGA のレジスタ一覧と各レジスタの設定が表示されます。特定のレジスタに読み取り / 書き込みを行うには、「Get」(取得) / 「Set」(設定) ボタンを使用します。

注

INIT_DONE が High (論理 1) に遷移するまで、Apps FPGA レジスタへのアクセスを開始しないでください。

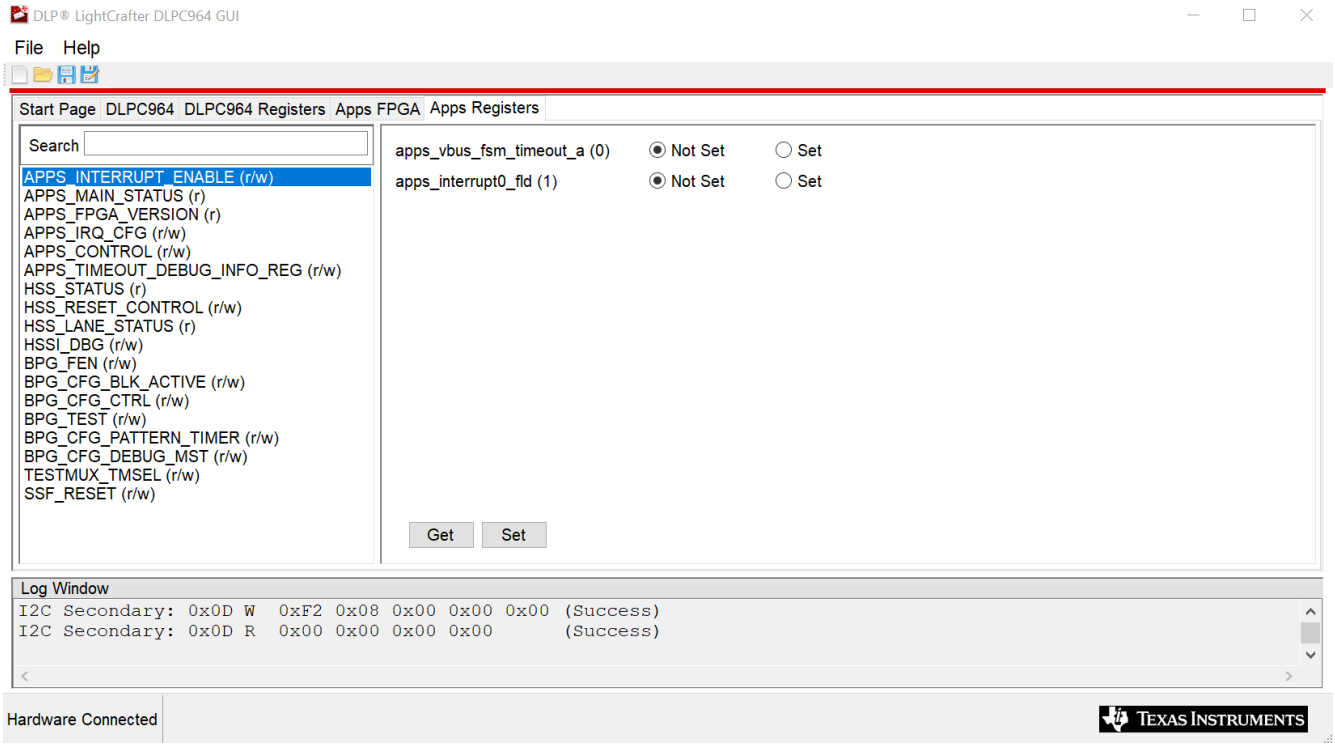


図 3-18. Apps FPGA レジスター覧

レジスタの定義

本ドキュメントのこのセクションでは、以下の表記を使用します。

- R — 読み取り専用を示します
- W — 書き込み専用を示します
- R/W — 読み取り / 書き込み可能を示します
- S — レジスタのステータスを示します
- I — 割り込み専用を示します
- P — パルス専用を示します

Copyright © 2026 Texas Instruments Incorporated

DLPC964 GUI で提供されている各 Apps FPGA レジスタの詳細については、「DLPC964 データシート」を参照してください。

3.1.5 ファームウェアのプログラミング

3.1.5.1 DLPC964 GUI への接続

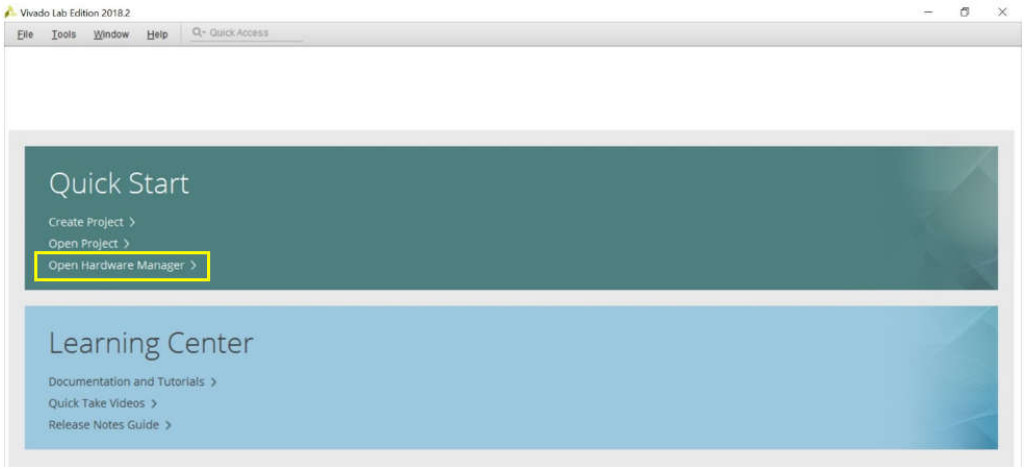
1. 前のスライドに示したように、各基板を接続します。構成は 2 種類あります。
   a. Apps FPGA、DLPC964 コントローラ基板、DLP991U DMD 基板の構成。
   b. スタンドアロン DLPC964 コントローラ基板、DLP991U DMD 基板の構成。
2. 12V DC 入力を使用して DLPC964 コントローラ基板に電力を供給します。
3. AMD 評価基板がある場合は電源をオンにします。
4. DLPC964 コントローラ基板と PC を USB で接続します。
5. TI DLP DLPC964 GUI を実行します。
6. GUI のステータス バー左下に「Hardware Connected」(ハードウェア接続済み) のメッセージが表示されます。

3.1.5.2 DLPC964 コントローラのプログラミング

1. Vivado Lab Solutions 2024.2 アプリケーションを起動します。アプリケーションが開いたら、メイン ウィンドウから「Open Hardware Manager」(ハードウェア マネージャを開く) を選択します。

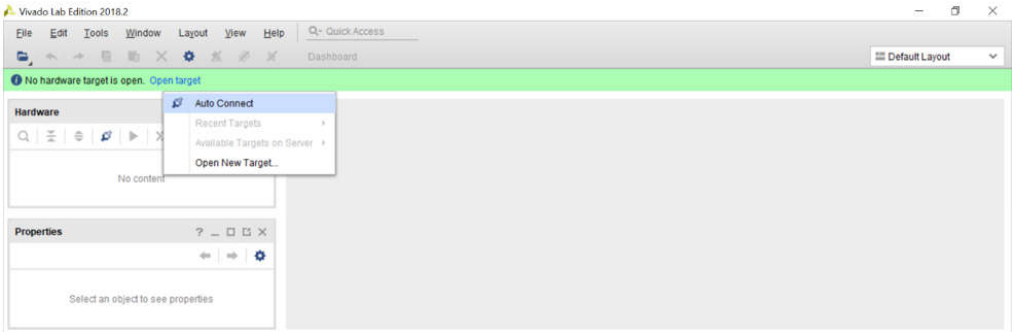
注

上のリンクをクリックして Vivado Lab Solutions 2024.2 をダウンロードします。Web ページがロードされたら、アーカイブされた 2024.2 フォルダを見つけ、Vivado Lab Solutions 2024.2 ダウンロード リンクに移動してインストーラをダウンロードします。



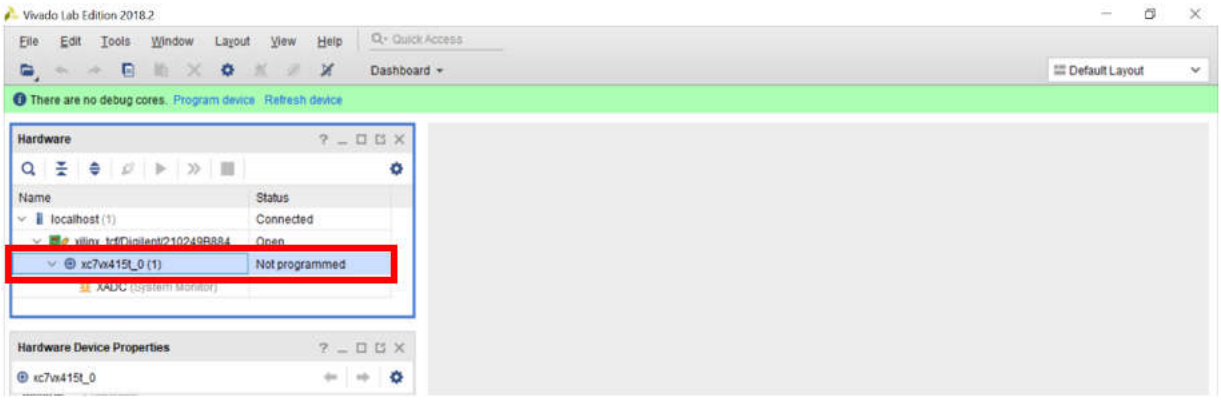
2. 「Hardware Manager」(ハードウェア マネージャ) が開いたら、JTAG が DLPLCRC964EVM 基板のジャンパ J7 に接続され、ポートが PC に接続されていることを確認します。JTAG が適切に接続されたら、12V DC 電源をボード上のバレル ジャックに接続して電源をオンにします。
3. JTAG が適切に接続され、基板の電源がオンになったら、次の手順は、プログラムするターゲット デバイスを選択します。
4. 「Hardware Manager」(ハードウェア マネージャ) ウィンドウで、「Open Target」(ターゲットを開く) >「Auto Connect」(自動接続) を選択して、プログラム中のターゲット デバイスを見つけます。

Copyright © 2026 Texas Instruments Incorporated

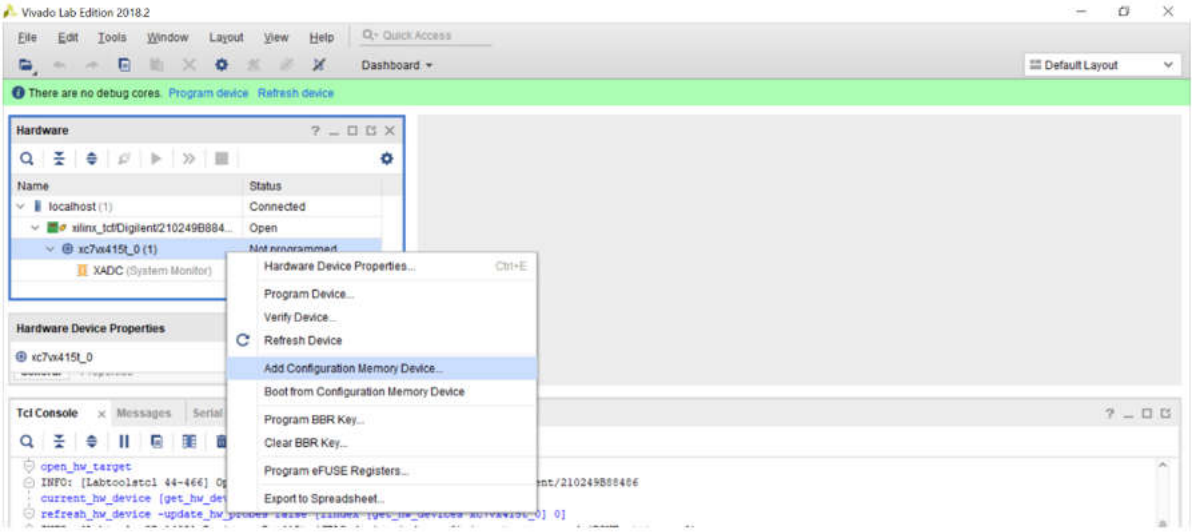


Copyright © 2026 Texas Instruments Incorporated

5. ターゲット デバイスが検出されると、ターゲット デバイスが左下に表示され、デバイスの現在のステータスが表示されます。



6. FPGA を右クリックし、「Add Configuration Memory Device」(構成メモリ デバイスを追加) を選択します。

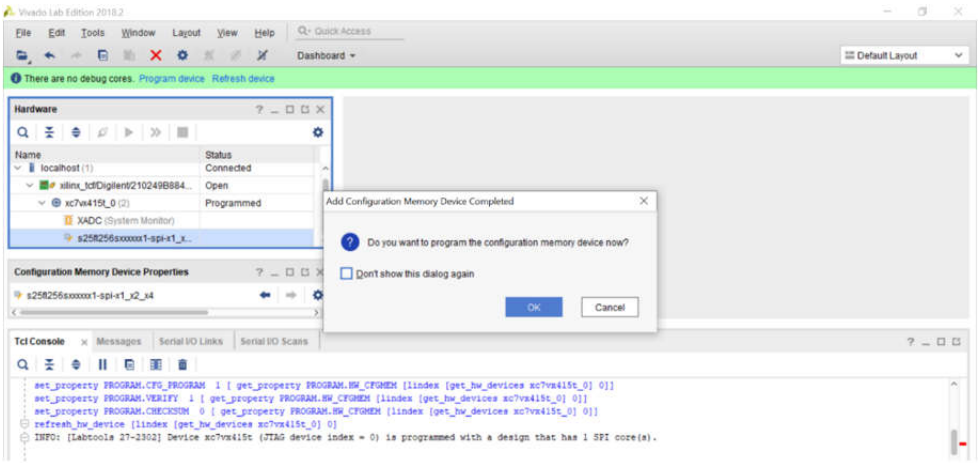


7. DLPLCRC964EVM 基板上の FPGA デバイスに接続されている適切なフラッシュ デバイスを選択します。以下のパラメータを入力して、適切なフラッシュ デバイスを選択します。

メーカー = Spansion	タイプ = SPI
密度 = 256Mb	幅 = x1_x2_x4
型番 = s25fl256sxxxxxx1	

8. 適切なフラッシュ デバイスを選択すると、ダイアログ ボックスがポップアップ表示され、ユーザーが構成デバイス (SPI フラッシュ) をプログラムするかどうかを尋ねるメッセージが表示されます。[OK] をクリックします。

Copyright © 2026 Texas Instruments Incorporated



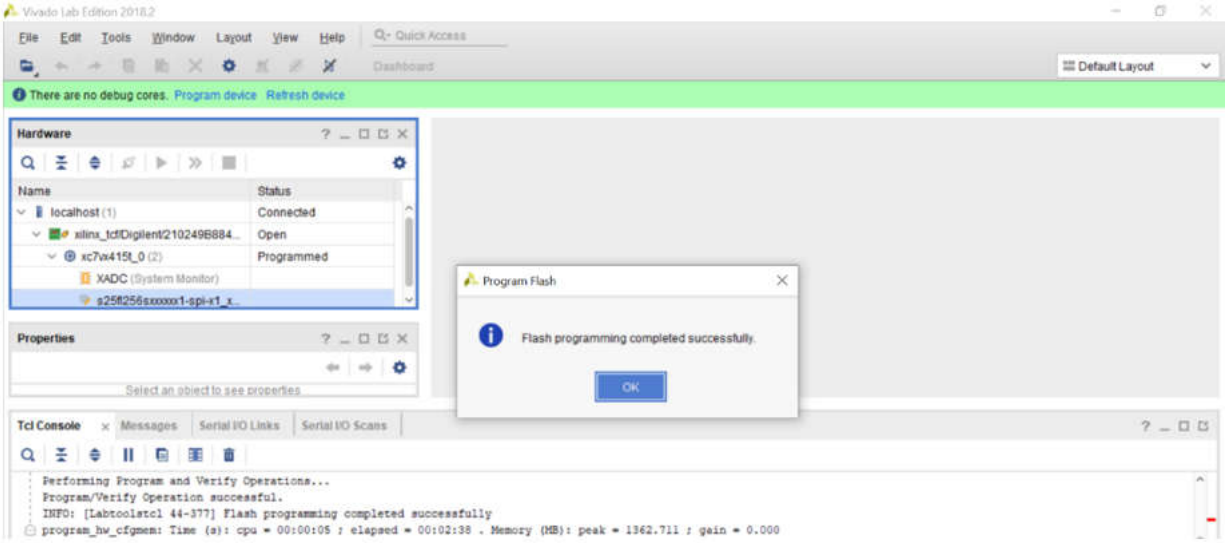
Copyright © 2026 Texas Instruments Incorporated

9. 構成ファイルに移動し、フラッシュ デバイスのプログラムに必要な適切な `.mcs` ファイルを選択します。

注

`.mcs` は、DLPLCRC964EVM ツール ページからダウンロードできます。DLPC964 コントローラのプログラムに適した `.mcs` を含む DLPR964-FW パッケージを見つけてダウンロードします。

10. 「OK」をクリックすると、Vivado Hardware Manager は基板のフラッシュをプログラムし、フラッシュが正常にプログラムされたことを確認します。



11. DLPLCRC964EVM 基板でパワー サイクルを完了します。バレル ジャック コネクタ J3 から電源を取り外し、バレル ジャック コネクタに電源を再度差し込みます。FPGA が正常にプログラムされると、DLPC964 完了 (D4) が緑色に点灯し、DLPC964 ハートビート (D5) は鼓動のように点滅します。

Copyright © 2026 Texas Instruments Incorporated

3.1.5.3 Apps FPGA (AMD 評価基板) のプログラミング

3.1.5.3.1 ビットストリーム ローディングを使用した Apps FPGA のプログラミング

Vivado Lab Solutions 2024.2 を使用して、DLPC964 Apps バイナリをビットストリーム経由で FPGA にロードするには、以下の手順に従ってください。

注

Vivado Lab Solutions 2024.2 をダウンロードするには、上のリンクをクリックしてください。Web ページがロードされたら、アーカイブされた 2024.2 フォルダを見つけ、Vivado Lab Solutions 2024.2 ダウンロード リンクに移動してインストーラをダウンロードします。

注

AMD 評価基板が電源を喪失したり、切断したりするたびに、FPGA を再ロードする必要があります。

1. Micro-B USB ケーブルを ZCU102 の側面に接続し、もう一方の端を Vivado を実行しているコンピュータに接続します。
2. Vivado Lab Solutions 2024.2 をコンピュータで起動します。
3. メイン ウィンドウから「Open Hardware Manager」(ハードウェア マネージャを開く) を選択します。
4. ハードウェア マネージャの左上にある「open target」(ターゲットを開く) をクリックし、「Auto Connect」(自動接続) をクリックします。
   a. AMD 評価基板がコンピュータに接続されている唯一の FPGA である場合、Vivado は自動的に AMD 評価基板に接続します。
5. FPGA を右クリックし、「Program Device」(デバイスをプログラム) を選択します。
6. appstop.mcs ファイルに移動し、「Program」(プログラム) を選択します。

3.1.5.3.2 Flash による Apps FPGA のプログラミング

Vivado Lab Solutions 2024.2 を使用して、DLPC964 Apps バイナリをビットストリーム経由でフラッシュにロードするには、以下の手順に従ってください。

注

Vivado Lab Solutions 2024.2 をダウンロードするには、上のリンクをクリックしてください。Web ページがロードされたら、アーカイブされた 2024.2 フォルダを見つけ、Vivado Lab Solutions 2024.2 ダウンロード リンクに移動してインストーラをダウンロードします。

注

ビットストリームは、AMD 評価基板の電源投入時に常に FPGA にロードされます。

1. マイクロ USB を AMD 評価基板の側面、もう一方の端を Vivado を実行しているコンピュータに接続します。
2. モード ピン [3:0] = 0000 に対応する SW6 を 0000 に設定して (スイッチ 4→1、右から左へ、オン矢印に向かって)、ブート モードが JTAG に設定されていることを確認します。

Copyright © 2026 Texas Instruments Incorporated

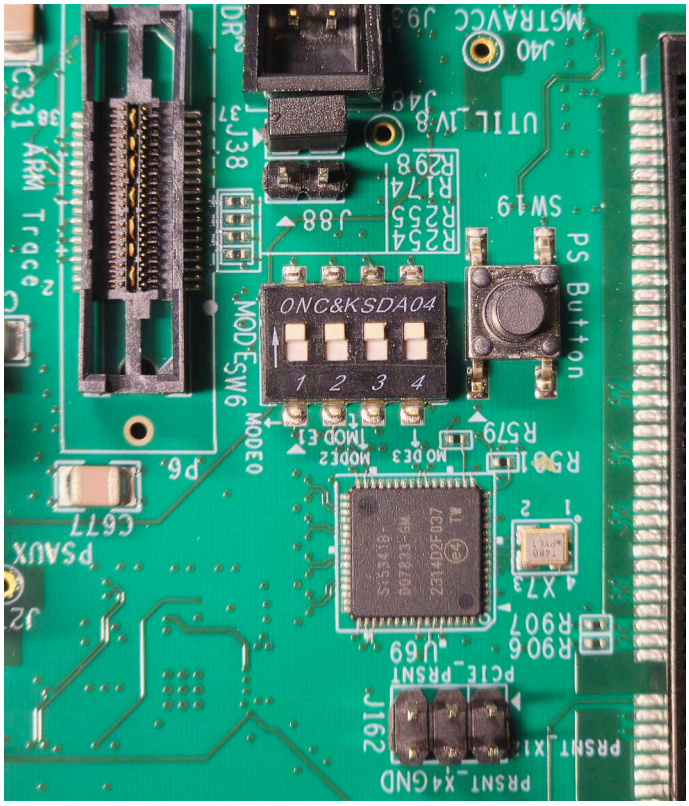


図 3-19. FPGA コンフィグレーション モード 1 (JTAG)

3. Vivado Lab Studios 2024.2 をコンピューターで起動します。
4. メイン ウィンドウから「Open Hardware Manager」(ハードウェア マネージャを開く) を選択します。
5. ハードウェア マネージャの左上にある「open target」(ターゲットを開く) をクリックし、「Auto Connect」(自動接続) をクリックします。
   a. AMD 評価基板がコンピュータに接続されている唯一の FPGA である場合、Vivado は自動的に AMD 評価基板に接続します。それ以外の場合、プロセスはわずかに複雑になります。
6. FPGA を右クリックし、「Add Configuration Memory Device」(構成メモリ デバイスを追加) を選択します。
7. Flash 名 mt25qu512-qspi-x8-dual_parallel を探し、「OK」をクリックします。
8. もう一度「OK」を選択し、構成ファイル (appstop.mcs) を選択します。
   a. 他のすべての設定が一致することを確認します。
9. セットアップが完了したら、[OK] をクリックします。プログラミングには数分かかる場合があります。
10. プログラミングが完了したら、FPGA の電源をオフにします。
11. モード ピン [3:0] = 0010 に対応する SW6 を 0010 に設定し (スイッチ 4→1、右から左、オン矢印に向かって)、QSPI モードに移行します。
12. 完了すると、AMD 評価基板をパワー サイクルし、DLPC964 Apps ビットストリームが自動的に AMD 評価基板にロードされます。これは、DS44 にあるハートビート LED によって確認できます。

Copyright © 2026 Texas Instruments Incorporated

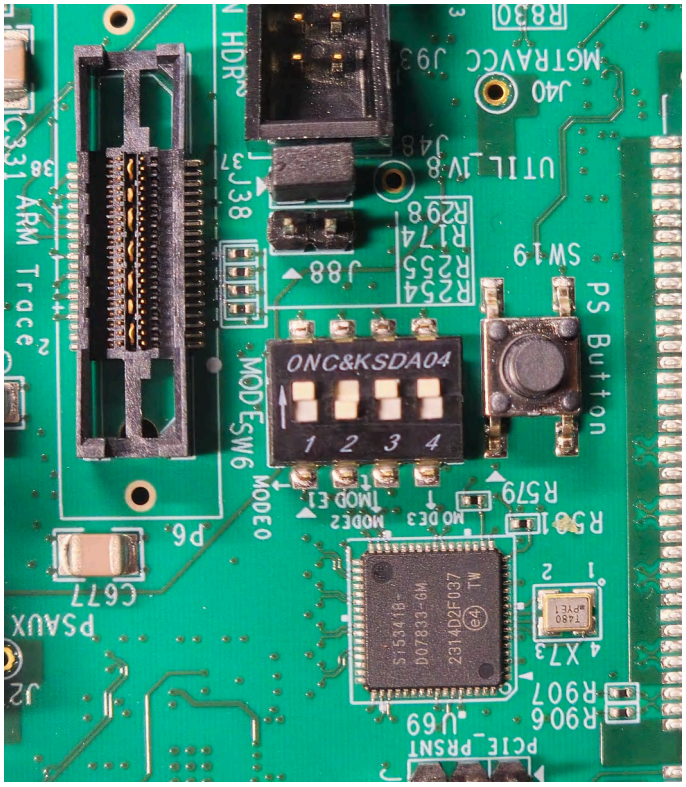


図 3-20. FPGA コンフィグレーション モード 2 (QSPI)

Copyright © 2026 Texas Instruments Incorporated

4 ハードウェア設計ファイル

4.1 回路図

回路図は、DLPLCRC964EVM ツール フォルダからダウンロードできます。

4.2 PCB レイアウト

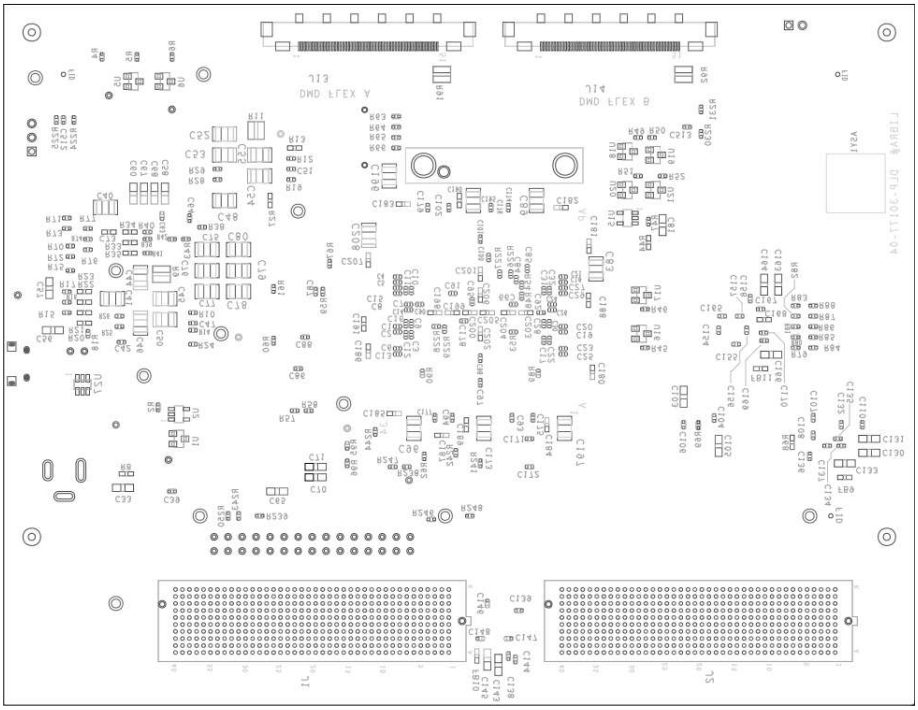


図 4-1. DLPLCRC964EVM PCB (前面)

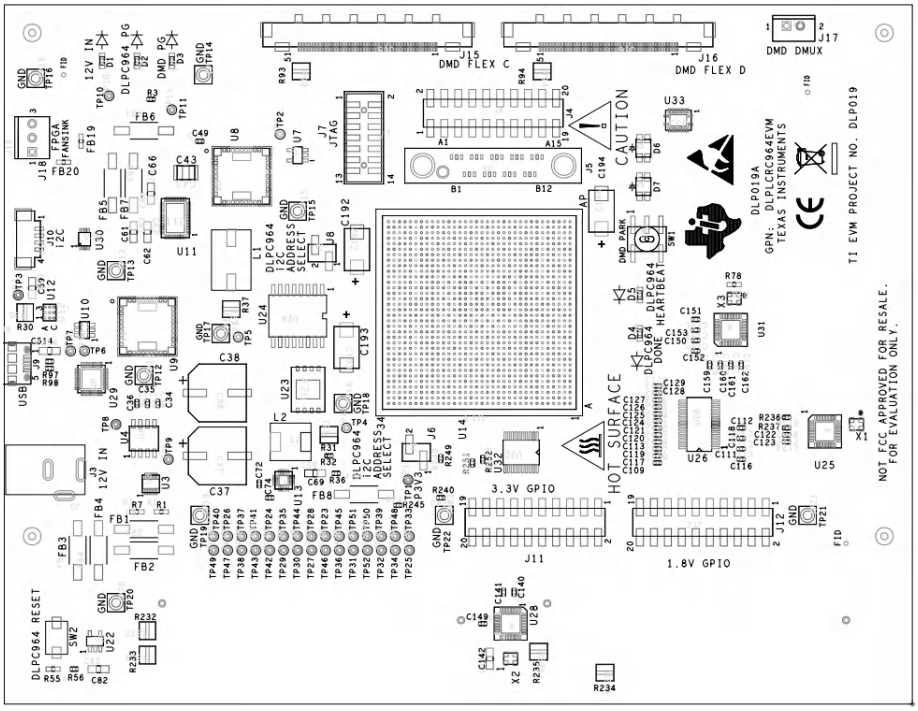


図 4-2. DLPLCRC964EVM PCB (背面)

Copyright © 2026 Texas Instruments Incorporated

4.3 部品表 (BOM)

DLPLCRC964EVM の部品表を表 4-1 に示します。

表 4-1. DLPLCRC964EVM 部品表

リファレンス	数量	部品	製造	MFG 製品型番
C1、C2、C3、C4、C5、C6、C7、C8、C9、C10、 C11、C12、C13、C14、C15、C16、C17、C18、 C19、C20、C21、C22、C23、C24、C25、C26、 C27、C28、C29、C30、C31、C32	32	0.1µ	American Technical Ceramics	530L104KT16T
C33	1	22µ	Samsung	CL21A226MOCLRNC
C34、C35、C36、C39、C42、C49、C64、C84、 C85、C86、C87、C88、C90、C91、C92、C93、 C94、C95、C97、C98、C99、C100、C101、 C102、C104、C106、C107、C108、C109、 C111、C112、C113、C116、C117、C118、 C119、C120、C121、C122、C123、C124、 C125、C126、C127、C128、C129、C132、 C134、C135、C136、C139、C140、C141、 C144、C146、C147、C148、C150、C151、 C152、C153、C154、C155、C156、C157、 C159、C160、C161、C162、C165、C167、 C168、C169、C171、C172、C174、C175、 C176、C177、C178、C179、C513	82	0.1µ	Samsung	CL05A104KA5NNNC
C37、C38	2	1000µ	Panasonic	EEE-FT1C102GP
C40、C45、C46、C48、C50、C52、C53、 C54、C77、C78、C79、C80、C89、C96、 C173、C196、C197	17	100µ	Cal-Chip Electronics	GMC32X5R107M16NT
C41、C43、C83、C195	4	47µ	KEMET	C1210C476M4PACTU
C44、C55	2	220µ	Murata	GRM32ER60J227ME05L
C47、C51	2	0.01µ	KEMET	C0402C103K5RACTU
C56、C57、C58、C69、C81、C82、C514	7	1µ	Yageo	CC0805KKX7R9BB105
C59、C60、C61、C62、C65、 C66、C67、C68、C70、C71	10	22µ	Samsung	CL21A226MOCLRNC
C63	1	2200p	Yageo	AC0402KRX7R8BB222
C72、C110、C138、C158	4	0.01µ	KEMET	C0402C103K5RACTU

Copyright © 2026 Texas Instruments Incorporated

表 4-1. DLPLCRC964EVM 部品表 (続き)

リファレンス	数量	部品	製造	MFG 製品型番
C73、C180、C181、C182、C183、C184、C185、C186、C187、C188、C189、C190、C191、C198、C199、C200、C201、C202、C203、C204、C205、C206、C207	23	4.7µ	Murata	GRM188R61E475KE11D
C74	1	3900p	京セラ	KGM05AR71H392JH
C75、C76、C208	3	330u	Murata	GRM32ER60G337ME05L
C103、C105、C130、C131、C133、C142、C143、C145、C163、C164、C166	11	10µ	Samsung	CL21A106KAYNNNE
C137、C149、C170	3	0.047u	Murata	GRM155C71H473KE19D
C192、C193、C194	3	680µ	Panasonic	2R5TPF680M6L
C512	1	36p	Yageo	CC0402JRNPO9BN360
D1、D2、D3	3	LED_BLUE_SMT	Lite-On	LTST-C193TBKT-5A
D4、D5	2	LED_GREEN_SMT	Lite-On	LTST-C193KGKT-5A
D6、D7	2	DUAL_LED_GRN_RED_SMT	Lite-On	LTST-C155GEKT
FB1、FB2、FB3、FB4、FB5、FB6、FB7、FB8	8	FB	Laird	35F0121-1SR-10
FB9、FB10、FB11、FB19、FB20	5	FB	Laird	HI0603P600R-10
J1、J2	2	FMC 400POS コネクタ	SAMTEC	SEAM-40-11.0-S-10-2-A-K-TR
J3	1	PJ-002AH	CUI	PJ-002AH
J4、J11、J12	3	TSM-110-01-L-DV-P	Samtec	TSM-110-01-L-DV-P
J6、J8	2	TSM-102-01-L-SV	Samtec	TSM-102-01-L-SV
J7	1	JTAG	Molex	878321420
J9	1	10118194-0001LF	Amphenol	10118194-0001LF
J10	1	53398-0471	Molex	533980471
J13、J14、J15、J16	4	FI-RE51S-HF-R1500	JAE	FI-RE51S-HF-R1500
J17	1	B2B-EH	JST	B2B-EH-A (LF) (SN)
J18	1	22-23-2031	Molex	22232031
L1	1	150n	イートン	FP1107R2-R15-R
L2	1	1µH	TDK	SPM6530T-1R0M120
R1、R27	2	1Meg	Vishay Dale	CRCW06031M00DHEAP
R2、R47、R56、R62、R67、R238、R239、R240、R241、R242、R243、R244、R245、R246、R247、R248、R249、R250	18	10k	Samsung	RC1005F103CS
R3、R15、R16、R17、R18、R57、R76、R77	8	2.2K	Panasonic	ERJ-2RKF2201X
R4、R5、R6	3	1.8K	Panasonic	ERJ-2GEJ185X
R7	1	150k	Panasonic	ERJ-3EKF1503V
R8	1	130K	Yageo	RC0603FR-07130KL
R9、R11、R30、R31、R37、R91、R92、R93、R94	9	10m	Rohm	LTR18EZPFU10L0

Copyright © 2026 Texas Instruments Incorporated

表 4-1. DLPLCRC964EVM 部品表 (続き)

リファレンス	数量	部品	製造	MFG 製品型番
R10、R12、R38、R72、R73、R74、R81、R83、 R84、R85、R87、R97、R98、R230、 R231、R236、R237	17	0	Samsung	RC1005J000CS
R13、R21、R22、R23、R78	5	100K	TE の接続	CRG0603F100K
R14	1	316	Vishay Dale	CRCW0402316RFKED
R19	1	2.15K	Panasonic	ERJ-2RKF2151X
R20、R33、R34、R35、R68	5	100K	TE の接続	CRG0603F100K
R24、R39	2	90.9K	Panasonic	ERJ-2RKF9092X
R25、R26、R28、R29、R43、R70、R71、R75、 R79、R80、R82、R86、R88	13	0	Samsung	RC1005J000CS
R32	1	80.6K	Panasonic	ERJ-2RKF8062X
R36	1	160k	Panasonic	ERJ-2GEJ164X
R40	1	133k	Yageo	AC0402FR-07133KL
R41	1	42.2K	Panasonic	ERJ-2RKF4222X
R42	1	61.9K	Panasonic	ERJ-2RKF6192X
R44、R55	2	20K	Yageo	ERJ-3EKF2002V
R45、R46、R49、R50、R51、R52	6	270	Panasonic	ERJ-2RKF2700X
R48、R53、R63、R64、R65、R66	6	4.7K	Samsung	RC1005J472CS
R54	1	330	Panasonic	ERJ-2RKF3300X
R58、R61、R224、R225	4	22	Panasonic	ERJ-2GEJ220X
R59、R60	2	2.2K	Panasonic	ERJ-2RKF2201X
R69、R89、R90、R226、R227、 R228、R229、R251	8	100	Samsung	RC1005F101CS
R95	1	80.6K	Panasonic	ERJ-2RKF8062X
R96	1	160k	Panasonic	ERJ-2GEJ164X
R232、R233、R234、R235	4	10m	Rohm	LTR18EZPFU10L0
R252	1	100	Samsung	RC1005F101CS
SW1	1	SW SPST	C&K COMPONENTS	GT12MSCBE
SW2	1	EVQ-PE105K	Panasonic	EVQ-PE105K
TP1、TP2、TP3、TP4、TP5、TP6、TP7、TP8、 TP9、TP10、TP11、TP23、TP24、TP25、 TP26、TP27、TP28、TP29、TP30、TP31、 TP32、TP33、TP34、TP35、TP36、TP37、 TP38、TP39、TP40、TP41、TP42、TP43、 TP44、TP45、TP46、TP47、TP48、TP49、 TP50、TP51、TP52	41	テストポイント		
TP12、TP13、TP14、TP15、TP16、 TP17、TP18、TP19、TP21、TP22	10	GND テストポイント	Keystone	5006
TP20	1	GND テストポイント	Keystone	5006

Copyright © 2026 Texas Instruments Incorporated

表 4-1. DLPLCRC964EVM 部品表 (続き)

リファレンス	数量	部品	製造	MFG 製品型番
U1	1	N チャネル MOSFET	ダイオーズ	DMN67D8L
U2、U7	2	SN74LVC1G07	テキサス インスツルメンツ	SN74LVC1G07DBVR
U3	1	TPS259241	テキサス インスツルメンツ	TPS259241DRCT
U4	1	CSD17579	テキサス インスツルメンツ	CSD17579Q5AT
U5、U6、U16、U17、U18、U19、U20、U21	8	N チャネル MOSFET	FAIRCHILD SEMI	FDV303N
U8、U9	2	LMZ31710	テキサス インスツルメンツ	LMZ31710RVQR
U10	1	LM3880-1AE	テキサス インスツルメンツ	LM3880QMFE-1AE/NOPB
U11	1	TPS548B22	テキサス インスツルメンツ	TPS548B22RVFT
U12	1	TPS8268180	テキサス インスツルメンツ	TPS8268180SIPT
U13	1	TPS62095	テキサス インスツルメンツ	TPS62095RGTR
U14	1	DLPC964ZUM	DLP	DLPC964ZUM
U15、U22	2	SN74LVC1G17	テキサス インスツルメンツ	SN74LVC1G17DBVRG4
U23	1	S25FS256SAGNF	Cypress	S25FS256SAGNFI000
U24	1	S25FL256SAGMFI01	Cypress	S25FL256SAGMFI011
U25	1	CDCM61002	テキサス インスツルメンツ	CDCM61002RHBR
U26	1	DS90LV110T	テキサス インスツルメンツ	DS90LV110TMTC/NOPB
U27	1	TPD4E1U06	テキサス インスツルメンツ	TPD4E1U06DBVR
U28	1	CDCM61001	テキサス インスツルメンツ	CDCM61001RHBT
U29	1	CY7C65215	Cypress	CY7C65215-32LTXI
U30	1	TCA9406	テキサス インスツルメンツ	TCA9406DCUR
U31	1	CDCM61004	テキサス インスツルメンツ	CDCM61004RHBT
U32	1	TXB0108PWR	テキサス インスツルメンツ	TXB0108PWR
U33	1	SN74AUC245	テキサス インスツルメンツ	SN74AUC245RGYR
X1、X2	2	ASDMB-25.000MHZ	Abracon	ASDMB-25.000MHZ-LY-T
X3	1	DSC6111JE1A-PROGRAMMABLE	マイクロチップ	DSC6111JE1A-PROGRAMMABLE

Copyright © 2026 Texas Instruments Incorporated

5 追加情報

5.1 略語および頭字語

以下に、このマニュアルで使用される略語および頭字語を示します。

Apps FPGA	ZCU102 評価基板または同様の評価基板上に搭載された AMD Xilinx UltraScale+ FPGA (顧客アプリケーション向け)
BOM	部品表
BPG	ビットプレーン パターン ジェネレータ
DLL	ダイナミック リンク ライブラリ
DMD	デジタル マイクロミラー デバイス
EVM	評価基板 (ボード)
FMC	FPGA メザニン コネクタ
FPGA	フィールド プログラマブル ゲート アレイ
FW	ファームウェア
GPIO	汎用入出力
GUI	グラフィカル ユーザー インターフェイス
HPC	高ピン数
HSS	高速シリアル
HSSI	高速シリアル インターフェイス
HW	ハードウェア
I^2C	IC の相互接続 (Inter-Integrated Circuit)
LED	発光ダイオード
MCP	ミラー クロック パルス
NC	未接続
PC	パーソナル コンピュータ
PCB	プリント基板
PG	パワー グッド
PLL	フェーズ ロック ループ
PROM	プログラム可能な読み取り専用メモリ
SW	スイッチ
USB	ユニバーサル シリアル バス
VHDL	検証およびハードウェア記述言語

5.2 商標

LightCrafter™ is a trademark of Texas Instruments.
Xilinx™ and UltraScale+™ are trademarks of Xilinx, Inc.
DLP® is a registered trademark of Texas Instruments.
Samtec® is a registered trademark of Samtec Inc.
すべての商標は、それぞれの所有者に帰属します。

5.3 参考資料

1. Zynq UltraScale+ MPSoC ZCU102 Evaluation Kit Quick Start Guide
2. ZCU102 Evaluation Board User Guide
3. DLPC964 Apps FPGA ユーザー ガイド

Copyright © 2026 Texas Instruments Incorporated

5.4 安全

5.4.1 警告ラベル

注意



火災や機器損傷のリスクを最小限に抑えるため、動作時は **DLPLCRC964EVM** コントローラ基板の周囲を空気が自由に循環できるようにしてください。

注意



DLPLCRC964EVM には、**ESD** に敏感な部品が含まれています。永続的な損傷を防ぐために、取り扱いには注意してください。

注意



LED またはレーザー部品 (この評価基板には付属していません) を選択する際、エンド ユーザーは、照明装置メーカーから提供されるデータシートを参照し、**EN62471** のリスク グループ評価を確認するとともに、選択した照明装置に関連する潜在的な眼への危険性を確認する必要があります。強い光源を観察する際には、有効な光学フィルターや遮光保護眼鏡の使用を常に考慮および実施し、周囲の実験室環境にも十分注意してください。これにより、一時的に目が見えなくなる等による事故のリスクを最小限に抑えることができます。

Copyright © 2026 Texas Instruments Incorporated

6 テキサス・インスツルメンツの関連資料

部品のデータシート、技術資料、設計資料、注文情報は、以下のリンクから入手できます。

DLPC964 デジタル コントローラのプロダクト フォルダ

DLP LightCrafter DLPC964 評価基板のツール フォルダ

DLP991UFLV DMD のプロダクト フォルダ

DLP LightCrafter DLP991UFLV DMD EVM のプロダクト フォルダ

DLPC964 Apps FPGA ガイド

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (August 2026) to Revision E (November 2026) **Page**

- ドキュメント タイトルを更新 0

Changes from Revision C (July 2026) to Revision D (August 2026) **Page**

- 不要なジェンダー言語を避けるため、「女性」という用語を「ソケット」に変更した 5
- 不要なジェンダー言語を避けるため、「男性」という用語を「プラグ」に変更した 6
- 不要なジェンダー言語を避けるため、「男性」を「プラグ」に、「女性」を「ソケット」に変更した 15
- Apps FPGA 設計に使用する Vivado のバージョンを指すようにすべてのリンク参照を更新します。 33
- Flash による Apps FPGA のプログラミングセクションを追加 33
- 開発バージョンと検証サポート バージョンに合わせるため、使用される Vivado のバージョンを更新 33

Changes from Revision B (February 2025) to Revision C (July 2026) **Page**

- FPGA に関する記載を UltraScale+ に更新。変更を反映するために画像を更新する必要があります。 4
- 参照を VC-707 から ZCU102 に更新 16
- 開発と検証に使用される Vivado バージョンに合わせて更新 28
- 41
- 参照とリンクを VC707 から ZCU102 に更新。それが完了後、更新された dlpu133b バージョンで更新する必要があります 41

Copyright © 2026 Texas Instruments Incorporated

STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an “EVM” or “EVMs”) to the User (“User”) in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.

   1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM (“Software”) shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software

   1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.

2 *Limited Warranty and Related Remedies/Disclaimers*:

   2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.

   2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.

   2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

WARNING

Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.

User shall operate the Evaluation Kit within TI’s recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI’s recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI’s instructions for electrical ratings of interface circuits such as input, output and electrical loads.

NOTE:

EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGREDATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.

3 *Regulatory Notices:*

3.1 *United States*

3.1.1 *Notice applicable to EVMs not FCC-Approved:*

FCC NOTICE: This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

3.1.2 *For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:*

CAUTION

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

FCC Interference Statement for Class A EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instruction manual, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.

FCC Interference Statement for Class B EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:

- *Reorient or relocate the receiving antenna.*
- *Increase the separation between the equipment and receiver.*
- *Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.*
- *Consult the dealer or an experienced radio/TV technician for help.*

3.2 *Canada*

3.2.1 *For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247*

Concerning EVMs Including Radio Transmitters:

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

Concernant les EVMs avec appareils radio:

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

Concerning EVMs Including Detachable Antennas:

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur

3.3 *Japan*

3.3.1 *Notice for EVMs delivered in Japan:* Please see http://www.tij.co.jp/lsds/ti_ja/general/eStore/notice_01.page 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。 技術適合証明を受けていないもののご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。 日本テキサス・インスツルメンツ株式会社

東京都新宿区西新宿 6 丁目 2 4 番 1 号

西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see http://www.tij.co.jp/lsds/ti_ja/general/eStore/notice_02.page

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html

3.4 *European Union*

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive)*:

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

4 *EVM Use Restrictions and Warnings:*

4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.

4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.

4.3 *Safety-Related Warnings and Restrictions:*

4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.

4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.

4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.

5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.

6. *Disclaimers:*

6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.

6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.

7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.

8. *Limitations on Damages and Liability:*

   8.1 *General Limitations*. IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

   8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.

10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月