

EVM User's Guide: DLPLCRC410EVM, DLPLCR65NEVM, DLPLCR70EVM, DLPLCR70UEVM, DLPLCR95EVM, DLPLCR95UEVM

DLP® Discovery™ 4100 開発プラットフォーム

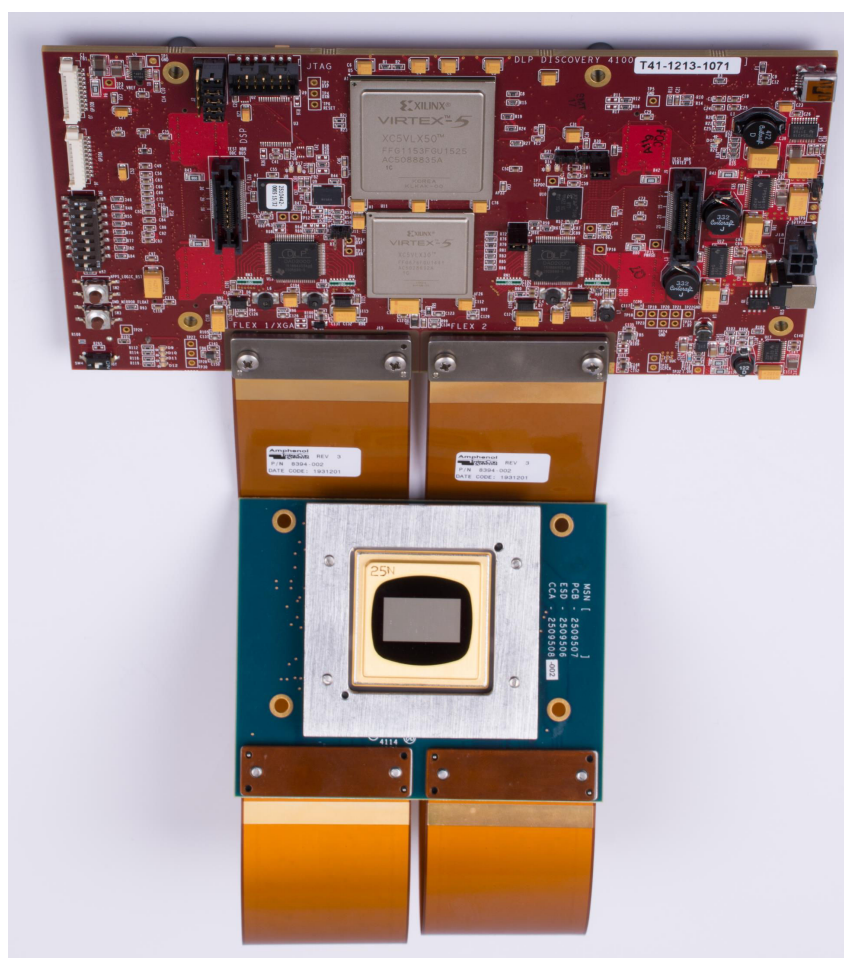


説明

DLPLCRC410 評価基板 (EVM) は、他の 5 つの DMD ベース評価基板の 1 つと組み合わせて使用し、リソグラフィ、3D プリンティング (SLS および SLA)、マシンビジョン、マーキング、コーディングなどのアプリケーションに対応する高度なライト コントロールを行うための評価プラットフォームです。この評価基板を使用して、顧客の新しい照射用光源、光学素子、アルゴリズム、露光プロセスを評価することで、DLP テクノロジーの潜在的な評価、顧客学習サイクル、市場投入を迅速に行うことができます。

特長

- 5 種類の DMD のうちの 1 つに対するライト制御
- 最大 32kHz のバイナリ パターン レート
- 最大 1.9kHz のグレイスケール パターン レート
- 2xLVDS DDR 入力データ インターフェイス、400Mhz のクロック レート
- DMD 行のランダム アドレッシングをサポート



DLPLCRC410EVM

目次

説明.....	1
特長.....	1
1 評価基板の概要.....	4
1.1 概要.....	4
1.2 概要.....	4
2 ハードウェア.....	9
2.1 主要部品.....	9
2.2 ハードウェアの概要とセットアップ.....	11
3 ソフトウェア.....	30
3.1 概要.....	31
3.2 DLP Discovery 4100 の動作.....	32
3.3 グラフィカル ユーザー インターフェイス.....	39
3.4 スクリプトとステータスの操作.....	51
3.5 DLPC410「Control」(コントロール) ウィンドウ.....	53
3.6 「Test Patterns」(テスト パターン) ウィンドウ.....	55
3.7 About Box.....	56
3.8 リンク.....	56
4 ハードウェア設計ファイル.....	57
5 追加情報.....	57
5.1 商標.....	57
5.2 略語および頭字語.....	58
5.3 表記規則.....	58
6 関連資料.....	59
7 改訂履歴.....	59

図の一覧

図 1-1. D4100 プラットフォーム図.....	6
図 1-2. DLPLCR95EVM に接続された DLPLCRC410EVM.....	8
図 2-1. DLPLCRC410EVM コントローラ ボードの主要部品.....	9
図 2-2. DLPLCRC410EVM コントローラ コネクタ (上面図).....	12
図 2-3. DLPLCRC410EVM コントローラ コネクタ (底面図).....	12
図 2-4. DLPLCRC410EVM コントローラ構成ジャンパ.....	25
図 2-5. DLPLCRC410EVM オンボード スイッチ.....	26
図 2-6. DLPLCRC410EVM コントローラ ボードのインジケータ.....	28
図 2-7. DLPLCRC410EVM テスト ポイントの位置.....	29
図 3-1. Discovery 4100 Explorer GUI.....	30
図 3-2. ドライバ ソフトウェアの更新.....	33
図 3-3. ドライバ ソフトウェアの参照.....	34
図 3-4. デバイスドライバのリストから選択.....	34
図 3-5. ユニバーサル シリアル バス デバイスの選択.....	35
図 3-6. ディスクあり.....	35
図 3-7. .Inf ファイルの参照.....	36
図 3-8. TI D4100 Explorer の選択.....	36
図 3-9. ドライバ インストール ウィンドウ.....	37
図 3-10. デバイスの確認.....	37
図 3-11. Discovery 4100 Explorer USB および DMD — 接続ステータス.....	38
図 3-12. グラフィカル ユーザー インターフェイスのレイアウト.....	39
図 3-13. メニュー バー.....	39
図 3-14. 「File」(ファイル) メニュー.....	40
図 3-15. 「View」(表示) メニュー.....	40
図 3-16. DMD メニュー.....	40
図 3-17. 「Execution」(実行) メニュー.....	41
図 3-18. 「Test Patterns」(テスト パターン) メニュー.....	42
図 3-19. 「Help」(ヘルプ) メニュー.....	42
図 3-20. ツールバー.....	43
図 3-21. 「Script Commands」(スクリプト コマンド) ウィンドウ.....	44

☒ 3-22. ロード タブ	45
☒ 3-23. リセット タブ	46
☒ 3-24. クリア タブ	47
☒ 3-25. フロート タブ	48
☒ 3-26. コントロール タブ	49
☒ 3-27. 「Status」(ステータス) ウィンドウ	50
☒ 3-28. 「Script」(スクリプト) ウィンドウ	50
☒ 3-29. DLPC410「Control」(コントロール) ウィンドウ	54
☒ 3-30. 「Test Patterns」(テスト パターン) ウィンドウ	55
☒ 3-31. About Box	56

表の一覧

表 1-1. D4100 プラットフォーム評価基板と DMD タイプ	5
表 2-1. J12 入力電源ピン配置	13
表 2-2. J18 入力電源ピン配置	13
表 2-3. J1 USB ピン配置	13
表 2-4. J3 USB GPIO	13
表 2-5. J6 GPIO_A コネクタ	14
表 2-6. J8 DLPC410 Mictor コネクタ	14
表 2-7. J9 USB/APPSFPGA Mictor コネクタ	15
表 2-8. J13 DMD フレックス コネクタ 1	16
表 2-9. J14 DMD フレックス コネクタ 2	18
表 2-10. J15 DDR2 SODIMM コネクタ	20
表 2-11. J16 EXP-1 コネクタ	21
表 2-12. J16 EXP-1 電源およびグランド接続	22
表 2-13. J17 EXP-2 コネクタ	23
表 2-14. J17 EXP-2 電源およびグランド接続	24
表 2-15. H1 Xilinx APPSFPGA JTAG ヘッダー	24
表 2-16. EXP 電圧選択	25
表 2-17. APPSFPGA リビジョン選択	25
表 2-18. 共有 USB 信号イネーブル/ディスエーブル	26
表 2-19. DLPA200 B 出力イネーブル	26
表 2-20. SW1 Dip スイッチの割り当て	27
表 2-21. DLPLCRC410EVM テスト ポイントのネット名	29
表 3-1. DMD の特性	31
表 3-2. SW1 Dip スイッチの割り当て	56

1 評価基板の概要

1.1 概要

このガイドでは、DLP Discovery 4100 開発プラットフォーム評価基板 (EVM) のハードウェアおよびソフトウェア機能について説明します。PC ベースの GUI を使用して D4100 プラットフォームを操作するためのクイック スタート ガイドと共に、評価基板のアーキテクチャとコネクタに関する説明が含まれています。各 DLP コンポーネントの詳細については、関連コンポーネントの資料を参照してください。

DLP Discovery 4100 開発プラットフォームは、DLP チップ製品ラインアップで実現する最高速のバイナリ パターンとデータレートを評価するための優れた方法です。すべての DMD マイクロミラーをピクセル単位で正確に制御できます。グローバル、クワッド、デュアル、シングル ブロック モードでは、連続 (ランプ) またはソリッド ステート (スイッチ) 照明アプリケーションで DMD マイクロミラーのパターンのタイミングをカスタマイズできます。D4100 は、以下のようなシステム向けに、高性能な UV および NIR DLP チップを活用した設計を行う顧客にとっても優れた手段となります。

- リソグラフィ
- 3D プリンティングおよび積層造形
- 動的グレイスケール マーキングおよびコーディング
- 産業用プリンティング
- 次のような構造化ライト:
 - ファクトリオートメーションと 3D マシンビジョン
 - 3D インライン自動光学検査 (AOI)
 - ロボットビジョン
 - オフライン 3D 計測
 - 3D スキャナ
 - 3D 識別と生体認証
- 医療および生命科学
- 高速の画像処理とディスプレイ

警告

D4100 コントローラ ボード上の U11 と U5 付近の表面が高温になります。

DLP Discovery 4100 開発プラットフォームは、DLP650LNIR、DLP7000、DLP9500、DLP7000UV、DLP9500UV、DLPC410、DLPR410、DLPA200 チップを使用した実験や開発を行うための評価用プラットフォームです。

このプラットフォームは、以下を必要とするアプリケーションを対象としています。

- 最大 32kHz の高速バイナリ パターン リフレッシュ レート
- 最大 48Gbps の高速データレート
- 363nm ~ 420nm の紫外線 (UV) 画像処理
- 850nm ~ 2000nm の近赤外線 (NIR) 画像処理
- 400nm ~ 700nm の可視画像
- 最大 1080p (約 2.1 メガピクセル) の解像度

1.2 概要

DLP Discovery 4100 は 6 つの評価基板で構成されており、これらを組み合わせることで、DLP® テクノロジーの学習、実験、開発を行うための柔軟性の高いプラットフォームが構築されます。プラットフォームの中心にあるのは、DLPLCRC410EVM コントローラ ボードです。DLPLCRC410EVM ボードには、DLPC410、DLPR410、DLPA200 デジタル レシーバ、フラッシュ、パワー マネージメント回路、サポート デジタル ロジックなどが含まれています。複数の DMD デバイスにまたがる DLP 設計を移植する際に設計者が拡張性を確保するため、DLPLCRC410EVM は以下の 5 つの DMD 評価基板のいずれかと動作させます。以下の DMD 評価基板には、それぞれの DMD 評価基板キット用の DMD マウント機構も付属しています。

- DLPLCR65NEVM: DLP650LNIR DMD ボード、DLP650LNIR DMD、1 本のフレックス ケーブル付属
- DLPLCR70EVM: DLP7000 DMD ボード、DLP7000 DMD、1 本のフレックス ケーブル付属

- DLPLCR70UVEVM: DLP7000UV DMD ボード、DLP7000UV DMD、1 本のフレックス ケーブル付属
- DLPLCR95EVM: DLP9500 DMD ボード、DLP9500 DMD、2 本のフレックス ケーブル付属
- DLPLCR95UVEVM: DLP9500UV DMD ボード、DLP9500UV DMD、2 本のフレックス ケーブル付属

DLPLCRC410EVM を DMD 評価基板のいずれかに接続すると、DLPC410、アプリケーション FPGA、ソフトウェア GUI は、接続されている DMD に適切な信号とタイミングを認識して提供します。開封後すぐに使用できる

DLPLCRC410EVM には、一連のスクロール テスト パターンが含まれており、これらを使用して、関連光学性能に関する光学設計を評価することができます。必要に応じて、これらのスクロール テスト パターンを停止して、選択したパターンを一定に保つことができます。これらのパターンが不十分な場合は、PC ベースのソフトウェア GUI を使用できます。GUI プログラムを使用すると、USB を使用してオンボード アプリケーション FPGA (APPSFPGA) にバイナリ パターン データをダウンロードできます。アプリケーション FPGA は DLPC410 にデータを送信し、その後、DMD に画像またはパターンを表示します。

Xilinx Virtex 5 (LX50) APPSFPGA は、カスタム アプリケーションを開発するためのユーザー プログラマブル プラットフォームを提供します。APPSFPGA は、カスタム インターフェイス用に EXP 拡張コネクタに接続されています。オンボード USB インターフェイスは、開発にとって便利なインターフェイスとして機能します。DDR2 SODIMM メモリと SPI フラッシュ メモリのアプリケーション FPGA への接続も含まれています。顧客の USB 制御アプリケーション用に、Cypress CY7C68013A USB コントローラが含まれています。APPSFPGA のソース コードは ti.com で公開されており、VHDL に精通している顧客は独自の開発に活用できるリファレンスを入手できます。

D4100 ユーザーは、可視光、UV (紫外光)、および NIR (近赤外光) を用いて、ピクセル レベルの精度と高速なパターン レートで動作させることができます。D4100 は、DLP テクノロジーの実証された信頼性を活かし、多様なアプリケーションに適した製品を設計するための柔軟なプラットフォームを開発者に提供します。前述の通り、これら 5 つの DMD ベース評価基板は、可視光スペクトル用 2 種、UV スペクトル用 2 種、NIR スペクトル用 1 種という 5 つの異なる DMD オプションに対応しています。表 1-1 に、評価基板、DMD、特定の性能データを示します。

表 1-1. D4100 プラットフォーム評価基板と DMD タイプ

EVM	DMD プロダクト フォルダ	DMD 列	DMD 行	最大バイナリ パターン レート (Hz) の リセット		データ バス 幅
				グローバルリセッ ト	位相リセット	
DLPLCR95EVM	DLP9500 0.95 1080p	1920	1080	17,636	23,148	64
DLPLCR95UVEVM	DLP9500UV 0.95 UV 1080p					
DLPLCR70EVM	DLP7000 0.7 XGA	1024	768	22,614	32,552	32
DLPLCR70UVEVM	DLP7000UV 0.7 UV XGA					
DLPLCR65NEVM	DLP650LNIR 0.65 NIR WXGA	1280	800	10,800	12,500	16

D4100 プラットフォームは、高性能 D4100 チップセットとユーザー プログラマブル アプリケーション FPGA (APPSFPGA) を組み合わせたものです。

Xilinx® Virtex® 5 (LX50) APPSFPGA は、カスタム アプリケーションを開発するためのユーザー プログラマブル プラットフォームを提供します。APPSFPGA は、カスタム インターフェイス用に EXP 拡張コネクタに接続されています。オンボード USB インターフェイスは、ラピッド プロトタイピングのための便利なインターフェイスとして機能します。顧客が使用できるように、DDR2 SO-DIMM メモリおよび SPI フラッシュ メモリとアプリケーション FPGA との接続が含まれています。顧客の USB 制御アプリケーション用に、Cypress CY7C68013A USB コントローラが含まれています。

このドキュメントでは、D4100 プラットフォームの使用を容易にできるように、DLPLCRC410EVM に関するハードウェア リファレンス デザインの詳細を示します。

1.2.1 DLP Discovery 4100 開発プラットフォーム

DLP Discovery 4100 開発プラットフォーム (D4100 プラットフォーム) は通常、DLPLCRC410EVM 1 台、フレキシブル PCB ケーブル 1 本または 2 本、DMD 評価基板 1 つの組み合わせを指します。

DLPLCRC410EVM キットには、以下のみが含まれています。

- DLPLCRC410EVM コントローラ ボード 1 つ

DLPLCRC410EVM キットには含まれていませんが、動作させる上で以下が必要となります。

- 電源 1 つ: $V_{OUT} = 5V$ 、 $I_{OUT} = 6A$ (必須)

含まれていません (オプション)。新しい APPSFPGA ファームウェアを開発およびダウンロードする場合にのみ必要となります。

- Xilinx DLC9G プログラミング ケーブル 1 本

注

フレキシブル PCB ケーブルおよび DMD マウント機構 (Type-A DMD のみ) は、DLPLCRC410EVM キットには含まれていません。これらの部品は、DLPLCRC410EVM と組み合わせて使用する特定の DMD 評価基板に付属しています。セクション 2.1 — 概要で、各 DMD 評価基板キットに含まれている部品を確認できます。

図 1-1 は、D4100 プラットフォームの概略ブロック図です。

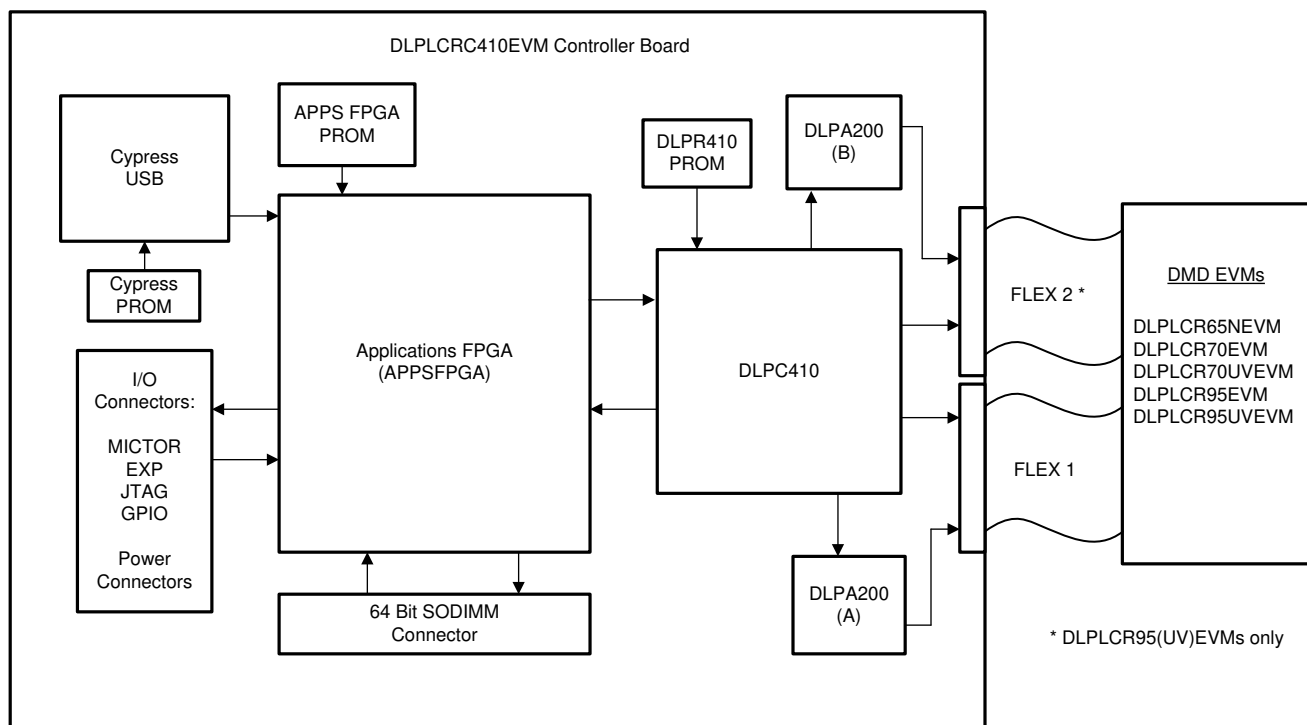


図 1-1. D4100 プラットフォーム図

DLPLCRC410EVM の DLP Discovery 4100 評価基板コントローラ ボードには、以下が含まれています。

- **DLPC410 DLP デジタル コントローラ**
 - 高速 16/32/64 ビット 2xLVDS データ入力および制御ユーザー インターフェイスを提供します。
 - DMD および DLPA200 に出力データと制御インターフェイスを提供します。
- **DLPR410 構成 PROM**
 - DLPC410 コントローラの構成データを格納および提供します。
- **DLPA200 DMD マイクロミラー ドライバ**
 - 最大 16 個の DMD リセット ブロック用のミラー クロック パルス (リセット) を生成します。
 - 高いリセット周波数をサポートしています。
 - DLP650LNIR、DLP7000、DLP7000UV の DMD に 1 つ、DLP9500、DLP9500UV の DMD に 2 つ必要です。
- **16/32/64 ビット 400MHz 2xLVDS DLPC410 から DMD データ インターフェイス**
 - DLP650LNIR DMD に使用される 16 ビット。
 - DLP7000 および DLP7000UV DMD に使用される 32 ビット。
 - DLP9500 および DLP9500UV DMD に使用される 64 ビット。
- **5V 入力電源コネクタ**
 - 他の電源のオンボード レギュレーション機能を搭載しています。
- **アプリケーション FPGA (APPSFPGA)**
 - ユーザー アプリケーションのパターン生成と開発機会のための Xilinx Virtex 5 (XC5VLX50) FPGA。
- **APPSFPGA 構成 PROM (XCF16P)**
 - APPSFPGA の構成データを格納および提供します。将来的な開発向けのユーザー プログラマブル。
- **64 ビット DDR2 SODIMM コネクタ**
 - 画像ストレージのエンド ユーザー開発向けです。
- **Cypress CY7C68013A USB コントローラ**
 - USB データおよび制御インターフェイスを提供します (USB の速度がパターン レートを制限する可能性があります)。
 - エンド ユーザーによる USB インターフェイスの開発が可能になります。
- **EXP 拡張コネクタ**
 - 外部 EXP インターフェイス対応のカスタマー ボードに接続します。
 - EXP コネクタを介した 64 ビット 2xLVDS 接続をサポートするため、追加の 2xLVDS ペアが含まれています。
- **フラッシュ メモリ (APPSFPGA に接続)**
 - エンド ユーザー開発向けの不揮発性ストレージです。
- **各種 I/O コネクタ**
 - ロジック アナライザ接続用の Mictor テスト コネクタ。
 - デバイス プログラミング用の JTAG ヘッダー。
 - 汎用デジタル I/O 用の GPIO コネクタ。

1.2.2 DLP Discovery 4100 開発プラットフォームの写真

図 1-2 に示されているように、DLPLCRC410EVM と DLPLCR95EVM を一緒にアセンブルすると、結合された D4100 プラットフォームになります。他の DMD 評価基板も同様の方法で DLPLCRC410EVM に接続され、外観も非常によく似ていますが、DLPLCRC410EVM ではコントローラ ボードと DMD ボード間の接続に単一のフレックス ケーブル (Flex 1) のみを使用する点が異なります。

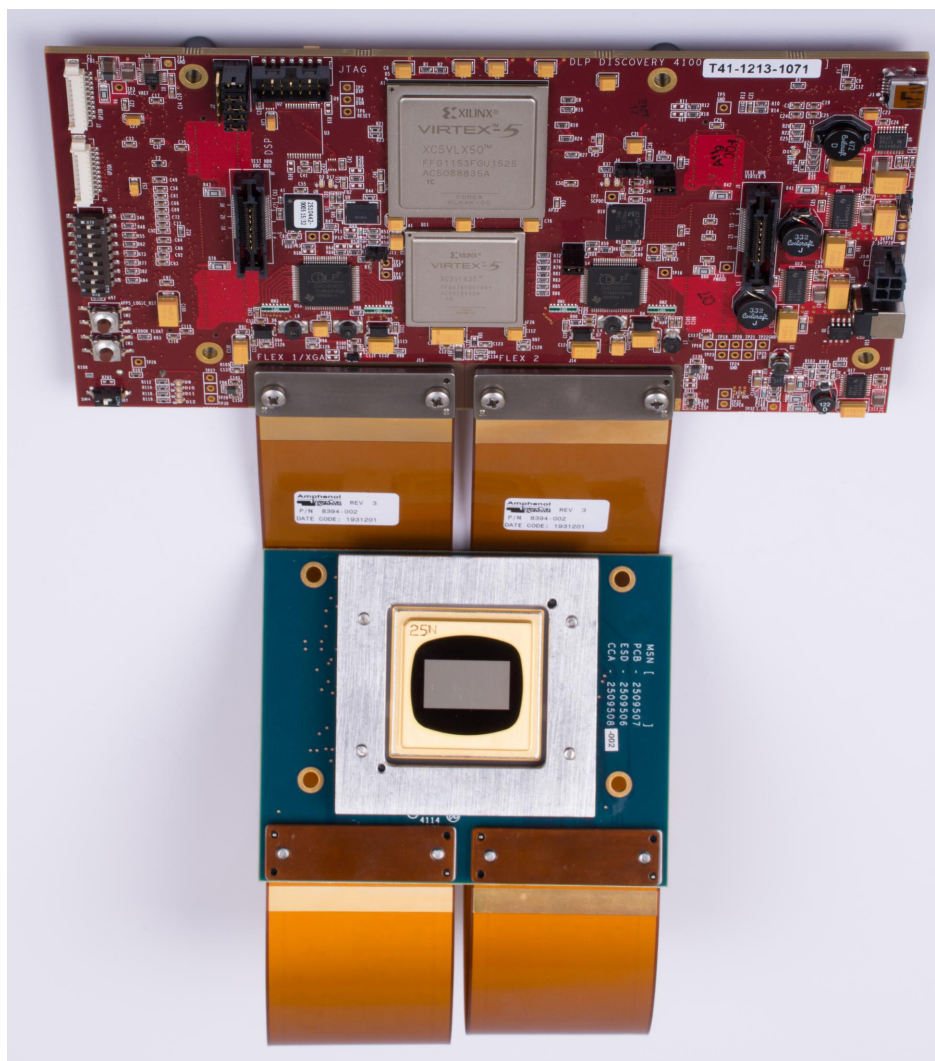


図 1-2. DLPLCR95EVM に接続された DLPLCRC410EVM

2 ハードウェア

2.1 主要部品

図 2-1 に、このセクションで説明する D4100 コントローラ ボードの主要部品を示します。

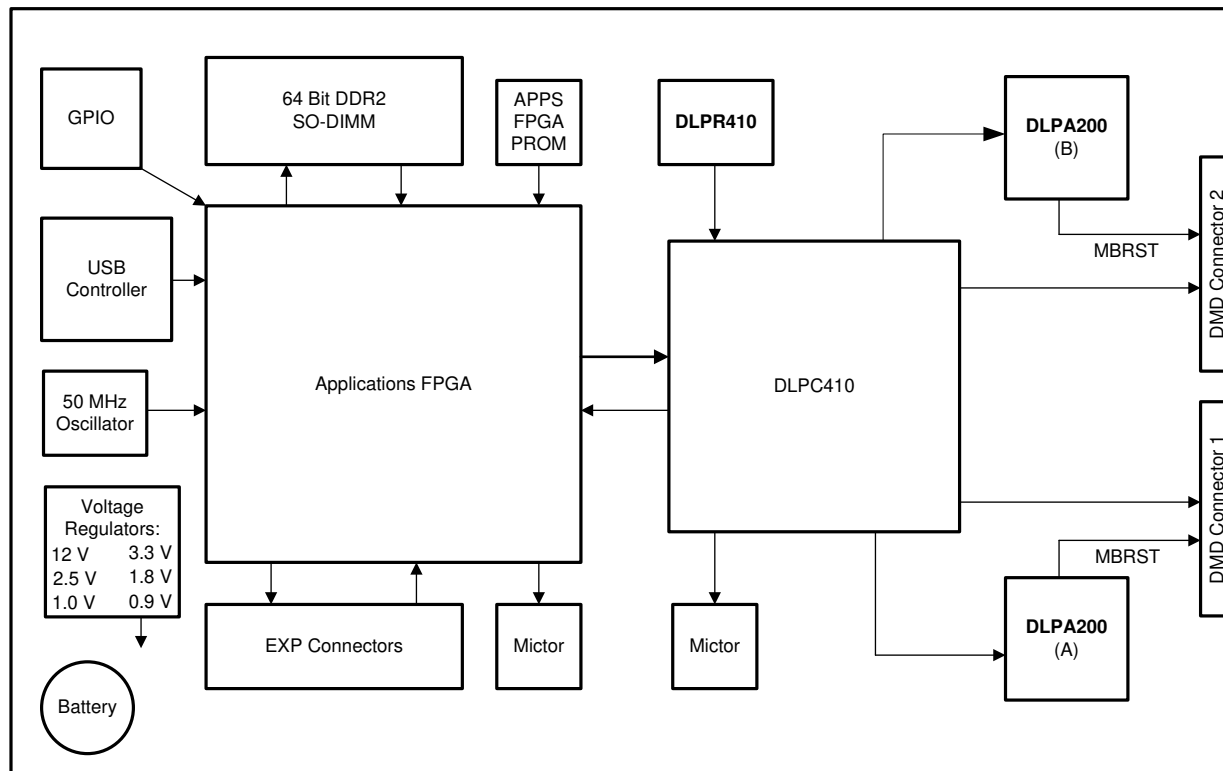


図 2-1. DLPLC410EVM コントローラ ボードの主要部品

2.1.1 Xilinx Virtex 5 APPSFPGA

APPSFPGA (Xilinx Virtex 5 LX50) は、DMD 用のインターフェイスと制御設計の開発に使用します。APPSFPGA は、カスタム ボード設計の開発に先立ち、カスタム制御設計のプロトタイプ作成を行うことができるように、多数の I/O コネクタ、インターフェイス コントローラ、メモリに接続されています。

2.1.2 DLPC410 — DLP Discovery 4100 チップセット用デジタル コントローラ

D4100 チップセットには、DLPC410 コントローラ (構成済みの Xilinx Virtex 5 LX30) が搭載されており、DMD 制御用の高速 2xLVDS データおよび制御インターフェイスが露出しています。このインターフェイスは、APPSFPGA からの制御をサポートするために APPSFPGA に接続されています。DLPC410 は、制御インターフェイスの入力に応答して、DMD および DLPA200 の初期化および制御信号を生成します。

詳細については、『[DLPC410 DMD デジタル コントローラ](#)』データシートを参照してください。

2.1.3 DLPA200 — DMD マイクロミラー ドライバ

2 つの DLPA200 リセットドライバにより、DMD 用の高電圧電源およびリセットドライバ機能を実現します。DLP650LNIR、DLP7000、DLP7000UV の DMD には 1 つの DLPA200 が必要で、DLP9500 または DLP9500UV の DMD には 2 つ必要です。J11 は、2 つ目の DLPA200 の有効/無効を切り替えるために使用されます。

DLPA200 の詳細については、『[DLPA200 デジタル マイクロミラー デバイス \(DMD\) ドライバ](#)』データシートを参照してください。

2.1.4 DLPR410 — DLPC410 コントローラ用構成 PROM

D4100 チップセットには、DLPC410 (Xilinx Virtex 5 LX30) を構成する DLPR410 コントローラが含まれています。この **PROM** の内容は変更しないでください。また、プログラムしてはなりません。

詳細については、『[DLPC410 用 DLPR410-DLP 構成 PROM](#)』データシートを参照してください。

2.1.5 APPSFPGA フラッシュ構成 PROM

PROM は、APPSFPGA の保存と構成に使用します。PROM は、テスト パターン生成機能がプリロードされた Xilinx XCF16P フラッシュ PROM です。ユーザーは、JTAG インターフェイスと Xilinx プログラミング ツールを使用して、必要に応じて APPSFPGA PROM プログラミングを変更できます。TI は、この **PROM** を再プログラムする前に、プリロードされているテスト パターン生成プログラムのコピーをダウンロードして保存することを推奨します。

2.1.6 DMD のコネクタ

2 つの DMD ランド グリッド アレイ タイプのコネクタは、2 本の DMD フレックス ケーブルへの接続を実現します。DLPLCR95EVM または DLPLCR95UVEVM に接続するために、J13 と J14 の両方の場所にフレックス ケーブルを接続します。それ以外の場合は、DLPLCR70EVM、DLPLCR70UVEVM、DLPLCR65NEVM に接続するために、1 本のフレックス ケーブルを J13 に接続します。

2.1.7 USB コントローラ

USB インターフェイス機能の開発向けに、Cypress CY7C68013A USB コントローラが含まれています。

2.1.8 50MHz 発振器

このコントローラは、クロック生成用に APPSFPGA に接続された固定 50MHz、2.5V 発振器を備えています。

2.1.9 DDR2 SODIMM コネクタ

64 ビット DDR2 SODIMM コネクタは、APPSFPGA への高速メモリ接続を提供します。APPSFPGA 用のメモリ コントローラ設計は含まれていません。メモリ コントローラのリファレンス デザインについては、www.xilinx.com を参照してください。

2.1.10 コネクタ

2.1.10.1 JTAG ヘッダー H1

H1 JTAG ヘッダー ポートは、APPSFPGA およびフラッシュ構成 PROM へのプログラミング インターフェイスを提供します。

2.1.10.2 Mictor コネクタ

Mictor コネクタは、開発支援を目的として、APPSFPGA および Cypress CY7C68013A の信号へのロジック アナライザの接続をサポートしています。

2.1.10.3 GPIO のコネクタ

汎用デジタル I/O コネクタ

2.1.11 バッテリ

バッテリーは、Virtex 5 FPGA の暗号化セキュリティに電力を供給します。詳細については、Xilinx Virtex 5 のデータシートを参照してください。

2.1.12 電源

必要なすべての電源に対して、オンボードの電圧レギュレーション機能が備わっています。このセクションでは、コントローラの電圧レギュレータとその目的について説明します。

2.1.12.1 J12 電源コネクタ

J12 電源コネクタは、DLPLCRC410EVM コントローラ ボードの入力電源コネクタです。正常に動作させるには、この電源コネクタを 30W の入力電力を供給できる 5VDC 電源に接続する必要があります。入力電源コネクタ J18 に電源を接続する場合は、このコネクタを使用しないでください。

2.1.12.2 J18 電源コネクタ

J18 電源コネクタは、DLPLCRC410EVM コントローラ ボード用のもう 1 つの入力電源コネクタです。正常に動作させるには、この電源コネクタを 30W の入力電力を供給できる 5VDC 電源に接続する必要があります。入力電源コネクタ J12 に電源を接続する場合は、このコネクタを使用しないでください。

2.1.12.3 REG. 0.9V

これにより、DDR2 のリファレンス電圧電源として 1A を 0.9V で供給できます。

2.1.12.4 REG.1.0V

これにより、Virtex 5 のコア電源として 3A を 1.0V で供給できます。

2.1.12.5 REG.1.8V

これにより、DDR2 電源と FPGA I/O に 3A を 1.8V で供給できます。

2.1.12.6 REG.2.5V

これにより、XCF16P FPGA I/O に 6A を 2.5V で供給できます。

2.1.12.7 REG.3.3V

これにより、DMD および USB コントローラに 3A を 3.3V で供給できます。

2.1.12.8 REG.12V

これにより、DLPA200 に 0.5A を 12V で供給できます。

2.2 ハードウェアの概要とセットアップ

2.2.1 はじめに

工場出荷時にインストールされているデフォルトの APPSFPGA コードを使用してボード動作を開始するには、次の手順に従う必要があります。

1. 付属のフレックス ケーブルを使用して、目的の DMD 評価基板を DLPLCRC410EVM に接続します。1 本のフレックス ケーブルで、J13 を DLPLCR70EVM、DLPLCR70UVEVM、または DLPLCR65NEVM に接続します。DLPLCR95EVM と DLPLCR95UVEVM には、J13 と J14 に接続された 2 本のフレックス ケーブルを使用します。
2. すべての SW1 スイッチがオフの位置にあることを確認します。5 つの J2 ジャンパがすべて取り付けられていることを確認します。DLPLCR95EVM と DLPLCR95UVEVM を使用する場合は、J10 が取り付けられていることを確認します。
3. 電源をオフにした状態で、5V、6A の電源を電源入力コネクタ J12 または J18 (両方は不可) に接続します。
4. 電源を入れ、SW4 をスライドさせてオンにします。D2 および D3 が短時間点灯し、APPSFPGA および DLPC410 コントローラが構成されていることを示します。構成が完了すると、D2 と D3 はオフになり、D16 と D17 が緑色に点灯します。D9 が 1Hz で緑色に点滅します。D10 は緑色になります。この時点から、DMD は、複数のテスト パターンを繰り返し実行します。

動作を停止するには、次の手順に従います。

1. TI は、電源をオフにする前に、DMD ミラーをフローティングにして、ミラーをフラット状態に設定することを強く推奨します。SW3 を押して、DMD をフロートにします。
2. 電源を切ります。

2.2.2 ユーザー コネクタおよび I/O

このセクションでは、各 DLPLCRC410EVM コントローラ ボードの外部コネクタの使用方法について説明し、ピン配置情報を提示します。図 2-2 および 図 2-3 に、D4100 コントローラ ボードのコネクタの位置を示します。

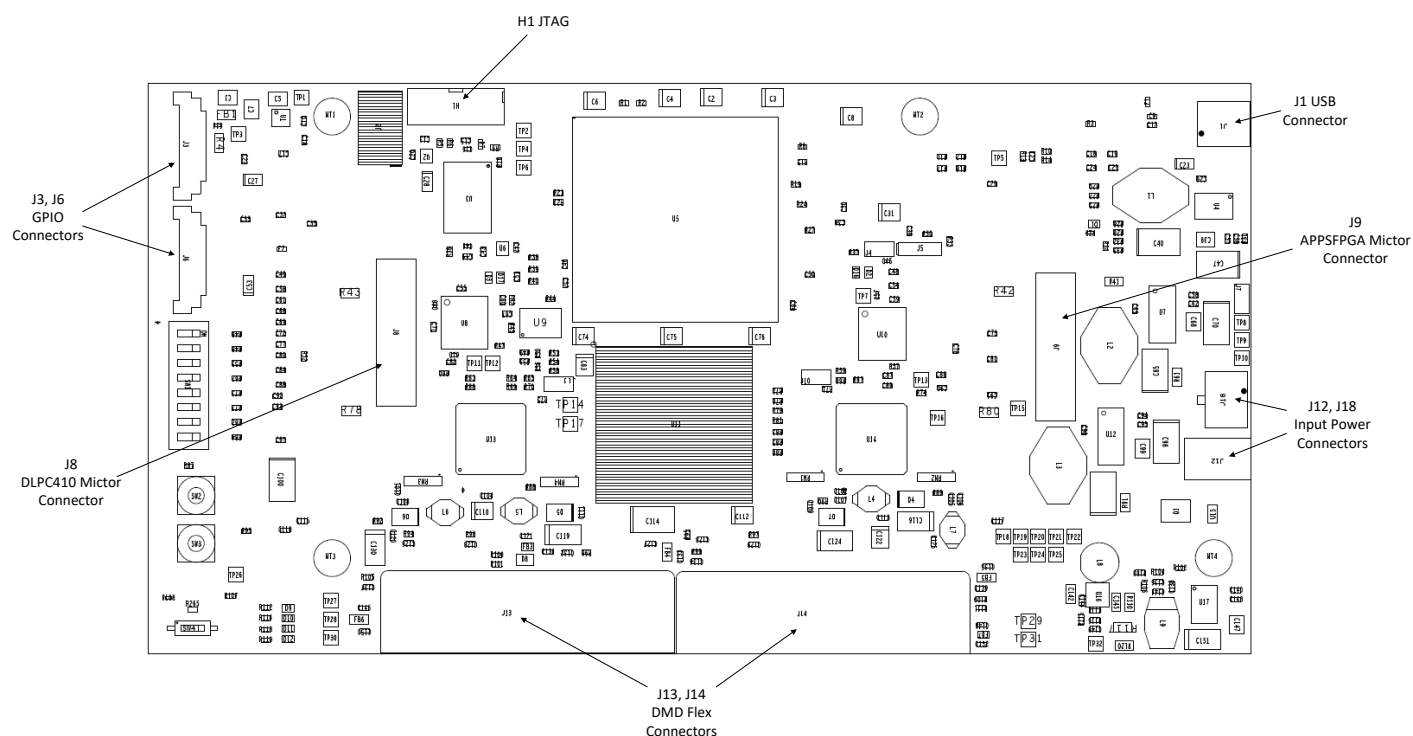


図 2-2. DLPLC410EVM コントローラ コネクタ (上面図)

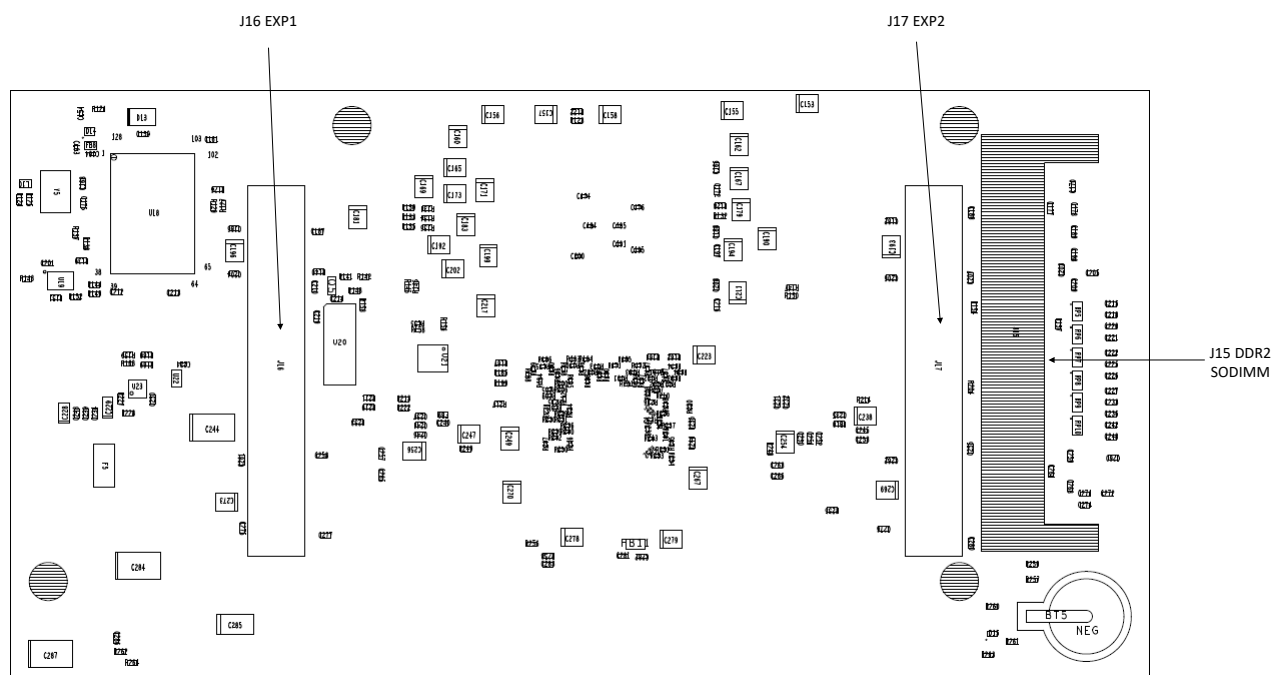


図 2-3. DLPLC410EVM コントローラ コネクタ (底面図)

2.2.2.1 J12 入力電源コネクタ

コネクタ J12 は、D4100 プラットフォームの +5VDC 入力電源を受け入れます。コネクタ J12 と J18 を同時に使用しないでください。

J12 は、CUI Inc. (型番 PJ-047BH) または同等品で製造された DC 電源ジャック コネクタです。

表 2-1. J12 入力電源ピン配置

ピン番号	ピン名	説明
1	+5V_IN	+5VDC 入力、最大 30W。ピン 1 はセンターで、内径 2.5mm、外径 5.5mm です。
2	GND	ピン 2 とピン 3 は互いにグラウンドに接続されています。
3	GND	ピン 2 とピン 3 は互いにグラウンドに接続されています。

2.2.2.2 J18 入力電源コネクタ

コネクタ J18 は、D4100 プラットフォームの +5VDC 入力電源を受け入れます。コネクタ J18 と J12 を同時に使用しないでください。

J18 は Molex コネクタ (型番 043045-0412) または同等品です。

表 2-2. J18 入力電源ピン配置

ピン番号	ピン名	説明
1	GND	グラウンド
2	GND	グラウンド
3	+5V_IN	+5VDC 入力、最大 30W。
4	+5V_IN	+5VDC 入力、最大 30W。

2.2.2.3 J1 USB コネクタのピン配置

コネクタ J1 は、コントローラ ボードへの USB 入力を提供します。

表 2-3. J1 USB ピン配置

ピン番号	ピン名	ピン番号	ピン名
1	USB_5V	2	D-
3	D+	4	NC
5	GND		

2.2.2.4 J3 USB GPIO

コネクタ J3 は、Cypress USB コントローラへの 8 つの汎用 USB I/O ピン接続を提供します。詳細については、www.cypress.com で Cypress CY7C68013A データシートを参照してください。

表 2-4. J3 USB GPIO

ピン番号	ピン名	ピン番号	ピン名
1	3.3V	6	USB_GPIO B3
2	USB_GPIO B7	7	USB_GPIO B2
3	USB_GPIO B6	8	USB_GPIO B1
4	USB_GPIO B5	9	USB_GPIO B0
5	USB_GPIO B4	10	GND

2.2.2.5 J6 GPIO_A コネクタ

コネクタ J6 は、APPSFPGA に 8 つの汎用 I/O ピンを提供します。

表 2-5. J6 GPIO_A コネクタ

ピン番号	ピン名	APPSFPGA ピン番号	ピン番号	ピン名	APPSFPGA ピン番号
1	2.5V	NC	6	GPIO_A3	AH19
2	GPIO_A7	AG12	7	GPIO_A2	AF19
3	GPIO_A6	AH12	8	GPIO_A1	AF20
4	GPIO_A5	AG16	9	GPIO_A0	AG20
5	GPIO_A4	AG17	10	GND	NC

2.2.2.6 J8 DLPC410 Mictor コネクタ

J8 は、ロジック アナライザの DLPC410 への接続を提供します。このコネクタは、通常の開発または操作には使用しないでください。

表 2-6. J8 DLPC410 Mictor コネクタ

J8 のピン番号	ピン名	DLPC410 のピン番号	J8 のピン番号	ピン名	DLPC410 のピン番号
1	NC	NC	2	ECP2_M_TP0	AD9
3	GND	NC	4	ECP2_M_TP1	AA11
5	DDCSPARE0	L7	6	ECP2_M_TP2	W11
7	DDCSPARE1	AC13	8	ECP2_M_TP3	AB26
9	NC	NC	10	ECP2_M_TP4	AB9
11	NC	NC	12	ECP2_M_TP5	AB11
13	ECP2_M_TP31	AA13	14	ECP2_M_TP6	AA10
15	ECP2_M_TP30	AB13	16	ECP2_M_TP7	AA12
17	ECP2_M_TP29	AD14	18	ECP2_M_TP8	Y11
19	ECP2_M_TP28	L5	20	ECP2_M_TP9	AB17
21	ECP2_M_TP27	AC14	22	ECP2_M_TP10	AA17
23	ECP2_M_TP26	AB15	24	ECP2_M_TP11	AA15
25	ECP2_M_TP25	H19	26	ECP2_M_TP12	AF12
27	ECP2_M_TP24	J18	28	ECP2_M_TP13	AE11
29	ECP2_M_TP23	H18	30	ECP2_M_TP14	AC9
31	ECP2_M_TP22	G15	32	ECP2_M_TP15	AF11
33	ECP2_M_TP21	G14	34	ECP2_M_TP16	AB12
35	ECP2_M_TP20	H17	36	ECP2_M_TP17	AA16
37	ECP2_M_TP19	G20	38	ECP2_M_TP18	AD13

2.2.2.7 J9 USB/APPSFPGA Mictor コネクタ

J9 は、USB コントローラと APPSFPGA の Mictor コネクタです。USB または APPSFPGA からの信号は、ジャンパ J6 で選択したコネクタに配線されます。詳細については、D4100 コントローラ ボード回路図 ([DLPC410 ボード設計ファイル](#)) を参照してください。HDL コードを使用して信号をコネクタに配線し、ロジック アナライザで監視することで、開発をサポートできます。

表 2-7. J9 USB/APPSFPGA Mictor コネクタ

J9 のピン番号	ピン名	APPSFPGA ピン番号	J9 のピン番号	ピン名	APPSFPGA ピン番号
1	NC	NC	2	NC	NC
3	GND	NC	4	D4100_I2C_CLK	P29
5	USB_IF_CLK/ TST_CLK_0	N29	6	D4100_I2C_DATA	U28
7	USB_FDO/ TST_HDR_BY0_0	H29	8	GPIFADR0/ TST_HDR_BY2_0	K31
9	USB_FD1/ TST_HDR_BY0_1	H30	10	GPIFADR1/ TST_HDR_BY2_1	L31
11	USB_FD2/ TST_HDR_BY0_2	J31	12	GPIFADR2/ TST_HDR_BY2_2	P31
13	USB_FD3/ TST_HDR_BY0_3	G30	14	GPIFADR3/ TST_HDR_BY2_3	P30
15	USB_FD4/ TST_HDR_BY0_4	J30	16	GPIFADR4/ TST_HDR_BY2_4	N30
17	USB_FD5/ TST_HDR_BY0_5	G31	18	GPIFADR5/ TST_HDR_BY2_5	M31
19	USB_FD6/ TST_HDR_BY0_6	J29	20	GPIFADR6/ TST_HDR_BY2_6	R28
21	USB_FD7/ TST_HDR_BY0_7	F29	22	GPIFADR7/ TST_HDR_BY2_7	R29
23	USB_FD8/ TST_HDR_BY1_0	K29	24	GPIFADR8/ TST_HDR_BY3_0	T31
25	USB_FD9/ TST_HDR_BY1_1	F30	26	USB_CTRL0/ TST_HDR_BY3_1	R31
27	USB_FD10/ TST_HDR_BY1_2	L30	28	USB_CTRL1/ TST_HDR_BY3_2	U30
29	USB_FD11/ TST_HDR_BY1_3	F31	30	USB_CTRL2/ TST_HDR_BY3_3	T30
31	USB_FD12/ TST_HDR_BY1_4	L29	32	USB_CTRL3/ TST_HDR_BY3_4	T28
33	USB_FD13/ TST_HDR_BY1_5	E29	34	USB_FPGA_RESET/ TST_HDR_BY3_5	T29
35	USB_FD14/ TST_HDR_BY1_6	E31	36	USB_INT5/ TST_HDR_BY3_6	U27
37	USB_FD15/ TST_HDR_BY1_7	M30	38	NC	NC

2.2.2.8 J13 DMD Flex 1 コネクタ

コネクタ J13 は、DMD Flex 1 コネクタに制御信号とデータ信号を提供します。このコネクタは、すべての DMD タイプへの接続に使用されます。

表 2-8. J13 DMD フレックス コネクタ 1

ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名
1A	GND	1B	3.3V	1C	3.3V
2C	GND	2A	DDC_DOUT_A13_DPP	2B	DDC_DOUT_A13_DPN
3A	GND	3B	DDC_DOUT_A11_DPP	3C	DDC_DOUT_A11_DPN
4C	GND	4A	DDC_DOUT_A9_DPP	4B	DDC_DOUT_A9_DPN
5A	GND	5B	DDC_DCLKOUT_A_DPP	5C	DDC_DCLKOUT_A_DPN
6C	GND	6A	DDC_DOUT_A7_DPP	6B	DDC_DOUT_A7_DPN
7A	GND	7B	DDC_DOUT_A5_DPP	7C	DDC_DOUT_A5_DPN
8C	GND	8A	DDC_DOUT_A3_DPP	8B	DDC_DOUT_A3_DPN
9A	GND	9B	DDC_DOUT_A1_DPP	9C	DDC_DOUT_A1_DPN
10C	GND	10A	DAD_A_SCPDO	10B	DAD_A_SCPCLK
11A	GND	11B	DMDSPARE1	11C	DMD_A_SCPEN
12C	GND	12A	MBRST1_15	12B	MBRST1_14
13A	GND	13B	DMD_VCC2	13C	DMD_VCC2
14C	GND	14A	MBRST1_10	14B	MBRST1_6
15A	GND	15B	MBRST1_9	15C	MBRST1_7
16C	GND	16A	MBRST1_13	16B	MBRST1_12
17A	GND	17B	DDC_DOUT_B1_DPP	17C	DDC_DOUT_B1_DPN
18C	GND	18A	DDC_DOUT_B3_DPP	18B	DDC_DOUT_B3_DPN
19A	GND	19B	DDC_DOUT_B5_DPP	19C	DDC_DOUT_B5_DPN
20C	GND	20A	DDC_DOUT_B7_DPP	20B	DDC_DOUT_B7_DPN
21A	GND	21B	DDC_DCLKOUT_B_DPP	21C	DDC_DCLKOUT_B_DPN
22C	GND	22A	DDC_DOUT_B9_DPP	22B	DDC_DOUT_B9_DPN
23A	GND	23B	DDC_DOUT_B11_DPP	23C	DDC_DOUT_B11_DPN
24C	GND	24A	DDC_DOUT_B13_DPP	24B	DDC_DOUT_B13_DPN
25A	GND	25B	DDC_DOUT_B15_DPP	25C	DDC_DOUT_B15_DPN
1D	GND	1E	DDC_DOUT_A15_DPP	1F	DDC_DOUT_A15_DPN
2F	GND	2D	DDC_DOUT_A14_DPP	2E	DDC_DOUT_A14_DPN
3D	GND	3E	DDC_DOUT_A12_DPP	3F	DDC_DOUT_A12_DPN
4F	GND	4D	DDC_DOUT_A10_DPP	4E	DDC_DOUT_A10_DPN
5D	GND	5E	DDC_DOUT_A8_DPP	5F	DDC_DOUT_A8_DPN
6F	GND	6D	DDC_SCTRL_A_DPP	6E	DDC_SCTRL_A_DPN
7D	GND	7E	DDC_DOUT_A6_DPP	7F	DDC_DOUT_A6_DPN
8F	GND	8D	DDC_DOUT_A4_DPP	8E	DDC_DOUT_A4_DPN
9D	GND	9E	DDC_DOUT_A2_DPP	9F	DDC_DOUT_A2_DPN
10F	GND	10D	DDC_DOUT_A0_DPP	10E	DDC_DOUT_A0_DPN
11D	GND	11E	SCPD1	11F	DMD_A_RESET
12F	GND	12D	DMDSPARE0	12E	MBRST1_11
13D	GND	13E	MBRST1_5	13F	MBRST1_4
14F	GND	14D	MBRST1_0	14E	MBRST1_3
15D	GND	15E	MBRST1_2	15F	MBRST1_8
16F	GND	16D	DDC_DOUT_B0_DPP	16E	DDC_DOUT_B0_DPN
17D	GND	17E	DDC_DOUT_B2_DPP	17F	DDC_DOUT_B2_DPN
18F	GND	18D	DDC_DOUT_B4_DPP	18E	DDC_DOUT_B4_DPN

表 2-8. J13 DMD フレックス コネクタ 1 (続き)

ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名
19D	GND	19E	DDC_DOUT_B6_DPP	19F	DDC_DOUT_B6_DPN
20F	GND	20D	DDC_SCTRL_B_DPP	20E	DDC_SCTRL_B_DPN
21D	GND	21E	DDC_DOUT_B8_DPP	21F	DDC_DOUT_B8_DPN
22F	GND	22D	DDC_DOUT_B10_DPP	22E	DDC_DOUT_B10_DPN
23D	GND	23E	DDC_DOUT_B12_DPP	23F	DDC_DOUT_B12_DPN
24F	GND	24D	DDC_DOUT_B14_DPP	24E	DDC_DOUT_B14_DPN
25D	GND	25E	3.3V	25F	3.3V

2.2.2.9 J14 DMD Flex 2 コネクタ

コネクタ J14 は、DMD Flex 2 コネクタに制御信号とデータ信号を提供します。このコネクタは、DLP9500 および DLP9500UV DMD への接続にのみ使用されます。

表 2-9. J14 DMD フレックス コネクタ 2

ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名
1A	GND	1B	3.3V	1C	3.3V
2C	GND	2A	DDC_DOUT_C13_DPP	2B	DDC_DOUT_C13_DPN
3A	GND	3B	DDC_DOUT_C11_DPP	3C	DDC_DOUT_C11_DPN
4C	GND	4A	DDC_DOUT_C9_DPP	4B	DDC_DOUT_C9_DPN
5A	GND	5B	DDC_DCLKOUT_C_DPP	5C	DDC_DCLKOUT_C_DPN
6C	GND	6A	DDC_DOUT_C7_DPP	6B	DDC_DOUT_C7_DPN
7A	GND	7B	DDC_DOUT_C5_DPP	7C	DDC_DOUT_C5_DPN
8C	GND	8A	DDC_DOUT_C3_DPP	8B	DDC_DOUT_C3_DPN
9A	GND	9B	DDC_DOUT_C1_DPP	9C	DDC_DOUT_C1_DPN
10C	GND	10A	DAD_B_SCPDO	10B	DAD_B_SCPCLK
11A	GND	11B	DMDSPARE2	11C	DMD_B_SCPEN
12C	GND	12A	MBRST2_15	12B	MBRST2_14
13A	GND	13B	DMD_VCC2	13C	DMD_VCC2
14C	GND	14A	MBRST2_10	14B	MBRST2_6
15A	GND	15B	MBRST2_9	15C	MBRST2_7
16C	GND	16A	MBRST2_13	16B	MBRST2_12
17A	GND	17B	DDC_DOUT_D1_DPP	17C	DDC_DOUT_D1_DPN
18C	GND	18A	DDC_DOUT_D3_DPP	18B	DDC_DOUT_D3_DPN
19A	GND	19B	DDC_DOUT_D5_DPP	19C	DDC_DOUT_D5_DPN
20C	GND	20A	DDC_DOUT_D7_DPP	20B	DDC_DOUT_D7_DPN
21A	GND	21B	DDC_DCLKOUT_D_DPP	21C	DDC_DCLKOUT_D_DPN
22C	GND	22A	DDC_DOUT_D9_DPP	22B	DDC_DOUT_D9_DPN
23A	GND	23B	DDC_DOUT_D11_DPP	23C	DDC_DOUT_D11_DPN
24C	GND	24A	DDC_DOUT_D13_DPP	24B	DDC_DOUT_D13_DPN
25A	GND	25B	DDC_DOUT_D15_DPP	25C	DDC_DOUT_D15_DPN
1D	GND	1E	DDC_DOUT_C15_DPP	1F	DDC_DOUT_C15_DPN
2F	GND	2D	DDC_DOUT_C14_DPP	2E	DDC_DOUT_C14_DPN
3D	GND	3E	DDC_DOUT_C12_DPP	3F	DDC_DOUT_C12_DPN
4F	GND	4D	DDC_DOUT_C10_DPP	4E	DDC_DOUT_C10_DPN
5D	GND	5E	DDC_DOUT_C8_DPP	5F	DDC_DOUT_C8_DPN
6F	GND	6D	DDC_SCTRL_C_DPP	6E	DDC_SCTRL_C_DPN
7D	GND	7E	DDC_DOUT_C6_DPP	7F	DDC_DOUT_C6_DPN
8F	GND	8D	DDC_DOUT_C4_DPP	8E	DDC_DOUT_C4_DPN
9D	GND	9E	DDC_DOUT_C2_DPP	9F	DDC_DOUT_C2_DPN
10F	GND	10D	DDC_DOUT_C0_DPP	10E	DDC_DOUT_C0_DPN
11D	GND	11E	SCPD1	11F	DMD_B_RESET
12F	GND	12D	DMDSPARE0	12E	MBRST2_11
13D	GND	13E	MBRST2_5	13F	MBRST2_4
14F	GND	14D	MBRST2_0	14E	MBRST2_3
15D	GND	15E	MBRST2_2	15F	MBRST2_8
16F	GND	16D	DDC_DOUT_D0_DPP	16E	DDC_DOUT_D0_DPN
17D	GND	17E	DDC_DOUT_D2_DPP	17F	DDC_DOUT_D2_DPN
18F	GND	18D	DDC_DOUT_D4_DPP	18E	DDC_DOUT_D4_DPN

表 2-9. J14 DMD フレックス コネクタ 2 (続き)

ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名
19D	GND	19E	DDC_DOUT_D6_DPP	19F	DDC_DOUT_D6_DPN
20F	GND	20D	DDC_SCTRL_D_DPP	20E	DDC_SCTRL_D_DPP
21D	GND	21E	DDC_DOUT_D8_DPP	21F	DDC_DOUT_D8_DPN
22F	GND	22D	DDC_DOUT_D10_DPP	22E	DDC_DOUT_D10_DPN
23D	GND	23E	DDC_DOUT_D12_DPP	23F	DDC_DOUT_D12_DPN
24F	GND	24D	DDC_DOUT_D14_DPP	24E	DDC_DOUT_D14_DPN
25D	GND	25E	3.3V	25F	3.3V

2.2.2.10 J15 - DDR2 SODIMM コネクタ

コネクタ J15 は、DDR2 SODIMM メモリソケットを提供します。メモリ モジュールは付属していません。APPSFPGA 用のメモリコントローラ設計は含まれていません。メモリコントローラのリファレンス デザインについては、www.xilinx.com を参照してください。

表 2-10. J15 DDR2 SODIMM コネクタ

ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名
1	VCC_VREF	2	GND	3	GND	4	DDR2_D4
5	DDR2_D0	6	DDR2_D5	7	DDR2_D1	8	GND
9	GND	10	DDR2_DM0	11	DDR2_QS0_N	12	GND
13	DDR2_QS0_P	14	DDR2_D6	15	GND	16	DDR2_D7
17	DDR2_D2	18	GND	19	DDR2_D3	20	DDR2_D12
21	GND	22	DDR2_D13	23	DDR2_D8	24	GND
25	DDR2_D9	26	DDR2_DM1	27	GND	28	GND
29	DDR2_DOS1_N	30	DDR2_CK0_P	31	DDR2_DOS1_P	32	DDR2_CK0_N
33	GND	34	GND	35	DDR2_D10	36	DDR2_D14
37	DDR2_D11	38	DDR2_D15	39	GND	40	GND
41	GND	42	GND	43	DDR2_D16	44	DDR2_D20
45	DDR2_D17	46	DDR2_D21	47	GND	48	GND
49	DDR2_QS2_N	50	NC	51	DDR2_QS2_P	52	DDR2_DM2
53	GND	54	GND	55	DDR2_D18	56	DDR2_D22
57	DDR2_D19	58	DDR2_D23	59	GND	60	GND
61	DDR2_D24	62	DDR2_D28	63	DDR2_D25	64	DDR2_D29
65	GND	66	GND	67	DDR2_DM3	68	DDR2_QS3_N
69	NC	70	DDR2_QS3_P	71	GND	72	GND
73	DDR2_D26	74	DDR2_D30	75	DDR2_D27	76	DDR2_D31
77	GND	78	GND	79	DDR2_CKE0	80	DDR2_CKE0
81	1.8V	82	1.8V	83	NC	84	NC
85	DDR2_BA2	86	NC	87	1.8V	88	1.8V
89	DDR2_A12	90	DDR2_A11	91	DDR2_A9	92	DDR2_A7
93	DDR2_A8	94	DDR2_A6	95	1.8V	96	1.8V
97	DDR2_A5	98	DDR2_A4	99	DDR2_A3	100	DDR2_A2
101	DDR2_A1	102	DDR2_A0	103	1.8V	104	1.8V
105	DDR2_A10	106	DDR2_BA1	107	DDR2_BA0	108	DDR2_RAS_B
109	DDR2_WE_B	110	DDR2_CS0_B	111	1.8V	112	1.8V
113	DDR2_CAS_B	114	DDR2_ODT0	115	DDR2_CS1_B	116	DDR2_A13
117	1.8V	118	1.8V	119	DDR2_ODT1	120	NC
121	GND	122	GND	123	DDR2_D32	124	DDR2_D36
125	DDR2_D33	126	DDR2_D37	127	GND	128	GND
129	DDR2_QS4_N	130	DDR2_DDM4	131	DDR2_QS4_P	132	GND
133	GND	134	DDR2_D38	135	DDR2_D34	136	DDR2_D30
137	DDR2_D35	138	GND	139	GND	140	DDR2_D44
141	DDR2_D40	142	DDR2_D44	143	DDR2_D41	144	GND
145	GND	146	DDR2_QS5_N	147	DDR2_DM5	148	DDR2_QS5_P
149	GND	150	GND	151	DDR2_D42	152	DDR2_D46
153	DDR2_D43	154	DDR2_D47	155	GND	156	GND
157	DDR2_D48	158	DDR2_D52	159	DDR2_D49	160	DDR2_D53
161	GND	162	GND	163	NC	164	DDR2_CK1_P
165	GND	166	DDR2_CK1_N	167	DDR2_DQ56_N	168	GND

表 2-10. J15 DDR2 SODIMM コネクタ (続き)

ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名	ピン番号	ピン名
169	DDR2_DQ56_P	170	DDR2_DM6	171	GND	172	GND
173	DDR2_D50	174	DDR2_D54	175	DDR2_D51	176	DDR2_D55
177	GND	178	GND	179	DDR2_D56	180	DDR2_D60
181	DDR2_D57	182	DDR2_D61	183	GND	184	GND
185	DDR2_DM7	186	DDR2_DQS7_N	187	GND	188	DDR2_DQS7_P
189	DDR2_D58	190	GND	191	DDR2_D59	192	DDR2_D62
193	GND	194	DDR2_D63	195	DDR2_SDA	196	GND
197	DDR2_SDL	198	GND	199	1.8V	200	GND

2.2.2.11 J16、J17 EXP コネクタ

J16 および J17 は、Avnet EXP Bus 仕様に準拠した APPSFPGA への接続を提供します。J16 と J17 は、アクセサリボードの高速インターフェイス コネクタとしても使用できます。D4100 コントローラ ボードは、一部のシングルエンド信号を差動ペアとして配線し、完全な 64 ビット 2xLVDS データバスをサポートしています。表 2-11 および 表 2-13 に示されているように、この配線は、EXP シングルエンド信号に干渉する可能性があります。

表 2-11. J16 EXP-1 コネクタ

J16 のピン番号	シングルエンド信号名	差動ペア名	APPSFPGA ピン番号	J16 のピン番号	シングルエンド信号名	差動ペア名	APPSFPGA ピン番号
1	EXP1_SE_IO_1		A33	2	EXP1_SE_IO_0		C34
3	EXP1_SE_IO_3		B32	4	EXP1_SE_IO_2		D32
7	EXP1_SE_IO_5		B33	8	EXP1_SE_IO_4		D34
9	EXP1_SE_IO_7		C32	10	EXP1_SE_IO_6		E34
13	EXP1_SE_IO_9		H32	14	EXP1_SE_IO_8		G32
15	EXP1_SE_IO_11		C33	16	EXP1_SE_IO_10		F33
19	EXP1_SE_IO_13 ⁽¹⁾	EXP1_DIFF_23_P	K33	20	EXP1_SE_IO_12 ⁽¹⁾	EXP1_DIFF_22	G33
21	EXP1_SE_IO_15 ⁽¹⁾	EXP1_DIFF_23_N	K32	22	EXP1_SE_IO_14 ⁽¹⁾	EXP1_DIFF_22	F34
25	EXP1_SE_IO_17 ⁽¹⁾	EXP1_DIFF_25_P	P34	26	EXP1_SE_IO_16 ⁽¹⁾	EXP1_DIFF_24	H34
27	EXP1_SE_IO_19 ⁽¹⁾	EXP1_DIFF_25_N	N34	28	EXP1_SE_IO_18 ⁽¹⁾	EXP1_DIFF_24	J34
31	EXP1_SE_IO_21 ⁽¹⁾	EXP1_DIFF_27_P	N33	32	EXP1_SE_IO_20 ⁽¹⁾	EXP1_DIFF_26	L34
33	EXP1_SE_IO_23 ⁽¹⁾	EXP1_DIFF_27_N	M33	34	EXP1_SE_IO_22 ⁽¹⁾	EXP1_DIFF_26	K34
37	EXP1_SE_IO_25 ⁽¹⁾	EXP1_DIFF_29_P	L33	38	EXP1_SE_IO_24 ⁽¹⁾	EXP1_DIFF_28	J32
39	EXP1_SE_IO_27 ⁽¹⁾	EXP1_DIFF_29_N	M32	40	EXP1_SE_IO_26 ⁽¹⁾	EXP1_DIFF_28	H33
41	EXP1_SE_IO_28		E32	42		EXP1_DIFF_CL K_IN_DPP	H19
43	EXP1_SE_CLK_IN		J20	44		EXP1_DIFF_CL K_IN_DPN	H20
47	EXP1_SE_IO_29		E33	48	EXP1_SE_IO_30 ⁽¹⁾	EXP1_DIFF_30 _P	R33
49	EXP1_SE_CLK_OUT		J21	50	EXP1_SE_IO_3 ⁽¹⁾	EXP1_DIFF_30 _N	R32
53		EXP1_DIFF_21_P	P32	54		EXP1_DIFF_20 _P	AC32
55		EXP1_DIFF_21_N	N32	56		EXP1_DIFF_20 _N	AB32
59	EXP1_SE_IO_32 ⁽¹⁾	EXP1_DIFF_31_P	T33	60		EXP1_DIFF_18 _P	AF34
61	EXP1_SE_IO_33 ⁽¹⁾	EXP1_DIFF_31_N	R34	62		EXP1_DIFF_18 _N	AE34
65		EXP1_DIFF_19_P	AG32	66		EXP1_DIFF_16 _P	U33

表 2-11. J16 EXP-1 コネクタ (続き)

J16 のピン番号	シングルエンド信号名	差動ペア名	APPSFPGA ピン番号	J16 のピン番号	シングルエンド信号名	差動ペア名	APPSFPGA ピン番号
67		EXP1_DIFF_19_N	AH32	68		EXP1_DIFF_16_N	T34
71		EXP1_DIFF_17_P	AJ32	72		EXP1_DIFF_CL K_OUT_P	U3
73		EXP1_DIFF_17_N	AK32	74		EXP1_DIFF_CL K_OUT_N	U2
77		EXP1_DIFF_15_P	W34	78		EXP1_DIFF_14_P	V33
79		EXP1_DIFF_15_N	V34	80		EXP1_DIFF_14_N	V32
81		EXP1_DIFF_13_P	AA34	82		EXP1_DIFF_12_P	AD32
83		EXP1_DIFF_13_N	Y34	84		EXP1_DIFF_12_N	AE32
87		EXP1_DIFF_11_P	Y32	88		EXP1_DIFF_10_P	AL34
89		EXP1_DIFF_11_N	W32	90		EXP1_DIFF_10_N	AL33
93		EXP1_DIFF_9_P	AA33	94		EXP1_DIFF_8_P	AK34
95		EXP1_DIFF_9_N	Y33	96		EXP1_DIFF_8_N	AK33
99		EXP1_DIFF_7_P	AC33	100		EXP1_DIFF_6_P	AF33
101		EXP1_DIFF_7_N	AB33	102		EXP1_DIFF_6_N	AE33
105		EXP1_DIFF_5_P	AC34	106		EXP1_DIFF_4_P	AH34
107		EXP1_DIFF_5_N	AD34	108		EXP1_DIFF_4_N	AJ34
111		EXP1_DIFF_3_P	AM33	112		EXP1_DIFF_2_P	AG33
113		EXP1_DIFF_3_N	AM32	114		EXP1_DIFF_2_N	AH33
117		EXP1_DIFF_1_P	AN34	118		EXP1_DIFF_0_P	AN32
119		EXP1_DIFF_1_N	AN33	120		EXP1_DIFF_0_N	AP32

(1) 差動ペアを共有するシングルエンド I/O。低速スイッチング信号のみを使用するか、ペアの片側のみを使用することができます。

表 2-12. J16 EXP-1 電源およびグランド接続

J16 のピン番号	電源接続
5、6、11、12、17、18、23、24、29、30、35、36	VCC_2P5V
45、46、41、52、57、58、63、64、69、70、75、76、121、122、124、125、126、127、128、129、130、131、132	グランド
85、86、91、92、97、98、103、104、109、110、115、116	VCC_3P3V

表 2-13. J17 EXP-2 コネクタ

J17 のピン 番号	シングルエンド信号名	差動ペア名	APPSFPG A ピン番号	J17 のピン 番号	シングルエンド信号 名	差動ペア名	APPSFPG A ピン番号
1	EXP2_SE_IO_1		D1	2	EXP2_SE_IO_0		B3
3	EXP2_SE_IO_3		D2	4	EXP2_SE_IO_2		B1
7	EXP2_SE_IO_5		J2	8	EXP2_SE_IO_4		B2
9	EXP2_SE_IO_7		J1	10	EXP2_SE_IO_6		A3
13	EXP2_SE_IO_9		K1	14	EXP2_SE_IO_8		C2
15	EXP2_SE_IO_11		K2	16	EXP2_SE_IO_10		C3
19	EXP2_SE_IO_13 ⁽¹⁾	EXP2_DIFF_23_P	H2	20	EXP2_SE_IO_12 ⁽¹⁾	EXP2_DIFF_22	E2
21	EXP2_SE_IO_15 ⁽¹⁾	EXP2_DIFF_23_N	H3	22	EXP2_SE_IO_14 ⁽¹⁾	EXP2_DIFF_22	E1
25	EXP2_SE_IO_17 ⁽¹⁾	EXP2_DIFF_25_P	P2	26	EXP2_SE_IO_16 ⁽¹⁾	EXP2_DIFF_24	E3
27	EXP2_SE_IO_19 ⁽¹⁾	EXP2_DIFF_25_N	R3	28	EXP2_SE_IO_18 ⁽¹⁾	EXP2_DIFF_24	F3
31	EXP2_SE_IO_21 ⁽¹⁾	EXP2_DIFF_27_P	T1	32	EXP2_SE_IO_20 ⁽¹⁾	EXP2_DIFF_26	F1
33	EXP2_SE_IO_23 ⁽¹⁾	EXP2_DIFF_27_N	R1	34	EXP2_SE_IO_22 ⁽¹⁾	EXP2_DIFF_26	G1
37	EXP2_SE_IO_25 ⁽¹⁾	EXP2_DIFF_29_P	K3	38	EXP2_SE_IO_24 ⁽¹⁾	EXP2_DIFF_28	G3
39	EXP2_SE_IO_27 ⁽¹⁾	EXP2_DIFF_29_N	L3	40	EXP2_SE_IO_26 ⁽¹⁾	EXP2_DIFF_28	G2
41	EXP2_SE_IO_28		Y2	42		EXP2_DIFF_CLK_IN _DPP	H18
43	EXP2_SE_CLK_IN		J16	44		EXP2_DIFF_CLK_IN _DPN	J17
47	EXP2_SE_IO_29		Y3	48	EXP2_SE_IO_30 ⁽¹⁾	EXP2_DIFF_30_P	N2
49	EXP2_SE_CLK_OUT		J15	50	EXP2_SE_IO_31	EXP2_DIFF_30_N	M2
53		EXP2_DIFF_21_P	M3	54		EXP2_DIFF_20_P	M1
55		EXP2_DIFF_21_N	N3	56		EXP2_DIFF_20_N	L1
59	EXP2_SE_IO_32 ⁽¹⁾	EXP2_DIFF_31_P	P1	60		EXP2_DIFF_18_P	V4
61	EXP2_SE_IO_33 ⁽¹⁾	EXP2_DIFF_31_N	R2	62		EXP2_DIFF_18_N	V3
65		EXP2_DIFF_19_P	U3	66		EXP2_DIFF_16_P	W1
67		EXP2_DIFF_19_N	T3	68		EXP2_DIFF_16_N	V2
71		EXP2_DIFF_17_P	U1	72		EXP2_DIFF_CLK_O UT_P	AC3
73		EXP2_DIFF_17_N	U2	74		EXP2_DIFF_CLK_O UT_N	AB2
77		EXP2_DIFF_15_P	W2	78		EXP2_DIFF_14_P	AB3
79		EXP2_DIFF_15_N	Y1	80		EXP2_DIFF_14_N	AA3
81		EXP2_DIFF_13_P	AF1	82		EXP2_DIFF_12_P	AG1
83		EXP2_DIFF_13_N	AE1	84		EXP2_DIFF_12_N	AG2
87		EXP2_DIFF_11_P	AF3	88		EXP2_DIFF_10_P	AE2
89		EXP2_DIFF_11_N	AE3	90		EXP2_DIFF_10_N	AD2
93		EXP2_DIFF_9_P	AH2	94		EXP2_DIFF_8_P	AB1
95		EXP2_DIFF_9_N	AJ2	96		EXP2_DIFF_8_N	AA1
99		EXP2_DIFF_7_P	AK2	100		EXP2_DIFF_6_P	AG3
101		EXP2_DIFF_7_N	AK3	102		EXP2_DIFF_6_N	AH3
105		EXP2_DIFF_5_P	AJ1	106		EXP2_DIFF_4_P	AC2
107		EXP2_DIFF_5_N	AK1	108		EXP2_DIFF_4_N	AD1
111		EXP2_DIFF_3_P	AM3	112		EXP2_DIFF_2_P	AN2
113		EXP2_DIFF_3_N	AN3	114		EXP2_DIFF_2_N	AP2
117		EXP2_DIFF_1_P	AL1	118		EXP2_DIFF_0_P	AM2

表 2-13. J17 EXP-2 コネクタ (続き)

J17 のピン 番号	シングルエンド信号名	差動ペア名	APPSFPG A ピン番号	J17 のピン 番号	シングルエンド信号 名	差動ペア名	APPSFPG A ピン番号
119		EXP2_DIFF_1_N	AM1	120		EXP2_DIFF_0_N	AL3

(1) 差動ペアを共有するシングルエンド I/O。低速スイッチング信号のみを使用するか、ペアの片側のみを使用することができます。

表 2-14. J17 EXP-2 電源およびグランド接続

J17 のピン番号	電源接続
5、6、11、12、17、18、23、24、29、30、35、36	VCC_2P5V
45、46、41、52、57、58、63、64、69、70、75、76、121、122、124、 125、126、127、128、129、130、131、132	グランド
85、86、91、92、97、98、103、104、109、110、115、116	VCC_3P3V

2.2.2.12 H1 Xilinx FPGA JTAG ヘッダー

これにより、Xilinx JTAG プログラミング ケーブルを直接接続できます。Xilinx モデル DLC9G を推奨します。詳細については、www.xilinx.com を参照してください。

表 2-15. H1 Xilinx APPSFPGA JTAG ヘッダー

H1 のピン番号	ピン名
1、3、5、7、9、11、13	GND
2	P2P5V
4	TMS
6	TCK
8	TDO
10	TDI
12、14	NC

2.2.3 構成ジャンパ

このセクションでは、D4100 コントローラ ボードの構成ジャンパについて説明します。図 2-4 に、D4100 コントローラ ボードのジャンパの位置を示します。

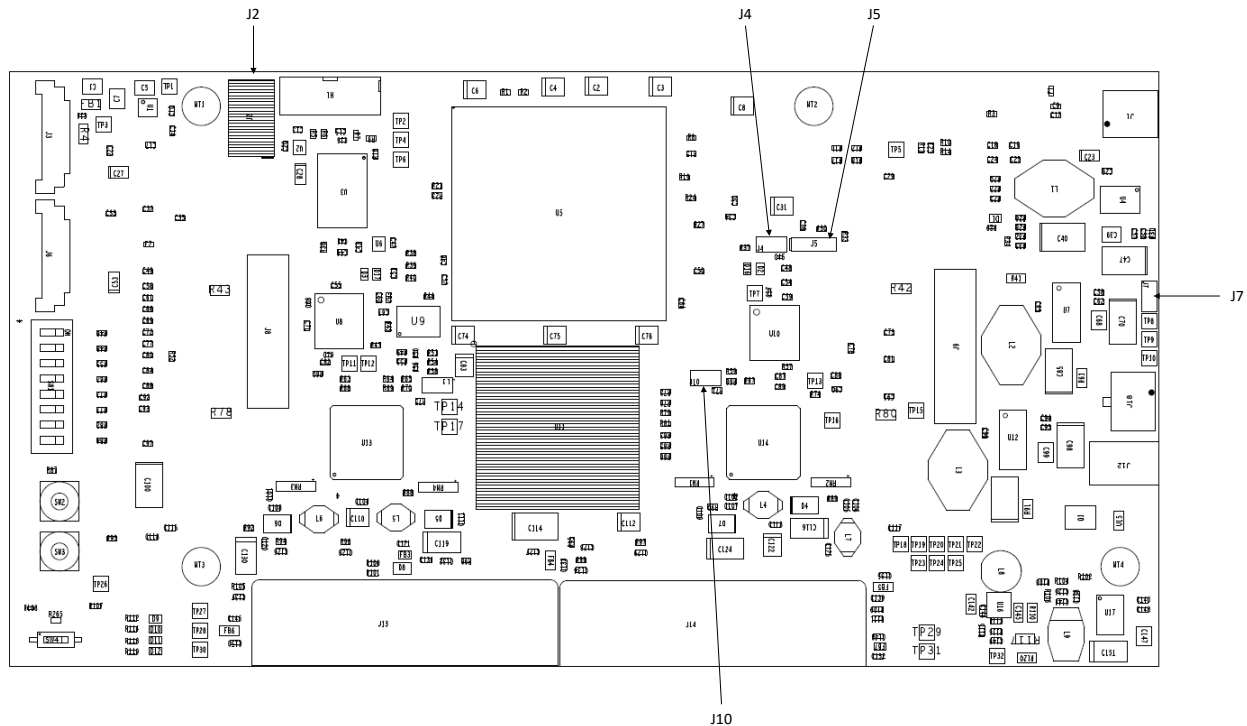


図 2-4. DLPLCRC410EVM コントローラ構成ジャンパ

2.2.3.1 J2 — EXP 電圧選択

J2 は、EXP Bus の FPGA バンクに供給する電圧を 2.5V または 3.3V のいずれかに選択するために使用されます。この設定は、EXP コネクタに接続されているボードで必要とされる I/O 電圧と一致している必要があります。

表 2-16. EXP 電圧選択

位置	バンク電圧
1-2	3.3V
2-3	2.5V

2.2.3.2 J4 — APPSFPGA リビジョン選択

J4 — 複数のファームウェアビルドが APPSFPGA 構成 PROM に保存されている場合、これを使用して PROM から APPSFPGA にロードされたファームウェアのリビジョンを選択します。

表 2-17. APPSFPGA リビジョン選択

ジャンパの位置	リビジョン バージョン
0-1	0
1-2	1

2.2.3.3 J5 — 共有 USB 信号イネーブル/ディスエーブル

J5 — USB/APPSFPGA Mictor コネクタ J10 で共有されている USB 信号の接続または接続解除に使用されます。この方法は、テスト信号を FPGA から Mictor コネクタに絶縁するのに役立ちます。

表 2-18. 共有 USB 信号イネーブル/ディスエーブル

ジャンパの位置	USB の信号
0-1	FPGA から接続解除
1-2	FPGA に接続
2-3	USB がホスト PC に接続されているときは、USB 信号を FPGA に自動的に接続します

2.2.3.4 J7 — USB EEPROM プログラミング ヘッダー

J7 — USB EEPROM をデバイスから一時的に切り離し、EEPROM 内のコードではなく、デバイス内部のブート ロードーをロードできるようにするために使用されます。Cypress 内部ブート ロードーの J8 をインストールします。

2.2.3.5 J10 — DLPA200 B 出力イネーブル

J10 — DLPA200 B の出力を有効化するために使用します。これは、1080p DMD を使用している場合にのみ有効にする必要があります。有効にしない場合は、無効化できます。

表 2-19. DLPA200 B 出力イネーブル

ジャンパの位置	DLPA200 B 出力
0-1	無効
1-2	有効

2.2.4 スイッチ

このセクションでは、DLPLCRC410EVM コントローラ ボードのスイッチの機能について定義します。図 2-5 に、スイッチ 1 ～ 4 の位置を示します

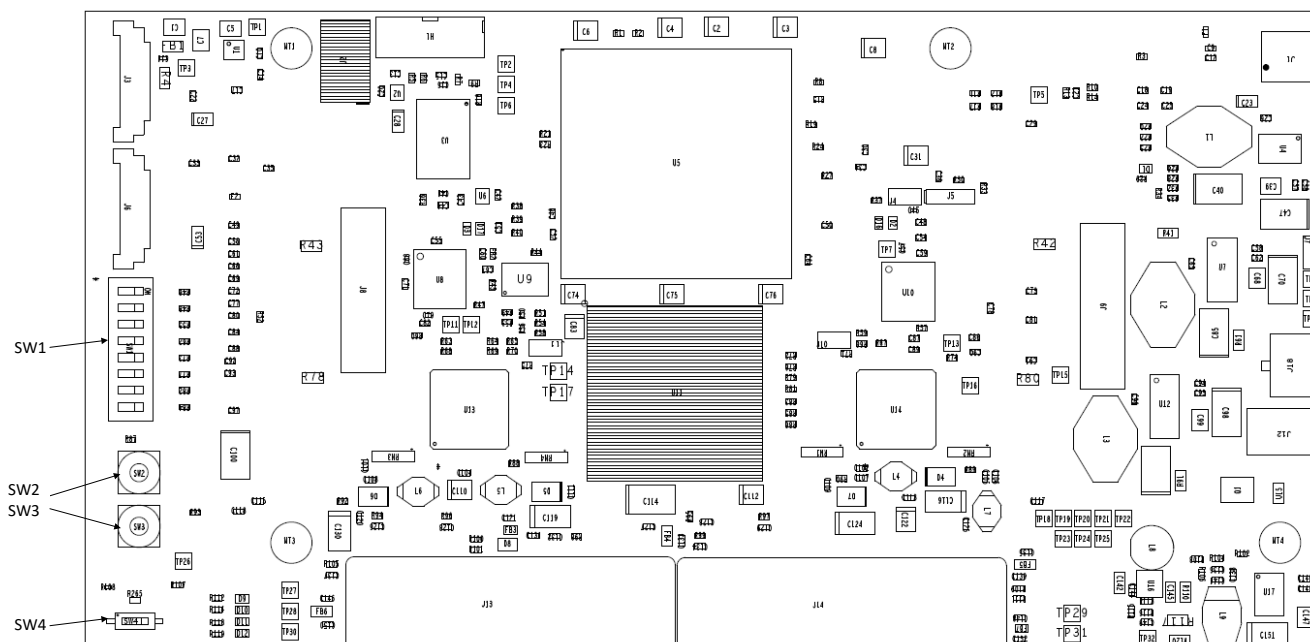


図 2-5. DLPLCRC410EVM オンボード スイッチ

2.2.4.1 SW1 — APPSFPGA 機能スイッチ

これらのスイッチは、DLPC410/DMD の動作モードに影響を及ぼすアプリケーション FPGA 内で制御を提供します。各スイッチの機能のリストについては、表 2-20 を参照してください。

表 2-20. SW1 Dip スwitchの割り当て

スイッチ番号	有効
1	ON = すべてのミラーを「フラット」または「アンバイアス (無バイアス)」な状態にフロート (パーク) させます
2	ON = カウンタの停止 — DMD の現在のテスト パターンを停止します
3	ON = 補完データ — DLPC410 が、DMD へ送信する前に受信したすべてのデータを補完します
4	ON = ノース/サウス フリップ — DLPC410 が、行負荷の順序を反転させ、実質的に画像を反転させます
6 および 5	使用するリセットの種類を指定します (スイッチ 6 が MSB、ON = 1): 00: シングル ブロック位相リセット 01: デュアル ブロック位相リセット 10: グローバル リセット 11: クワッド ブロック位相リセット
7	ON = 行アドレス モード
8	ON = ウォッチドッグ タイマ イネーブル、他のリセットを無効化します

2.2.4.2 SW2 — APPSFPGA リセット

このスイッチ リセットによって APPSFPGA ロジックがリセットされ、DLPC410 と DMD がリセットされます。この機能は APPSFPGA 内で定義されます。

2.2.4.3 SW3 — DMD 電源フロート (パーク)

SW3 はモーメンタリ プッシュ ボタン スwitchで、DMD マイクロミラーを強制的にパーク状態にします。この機能は APPSFPGA 内で定義されます。TI は、SW4 または外部電源による電源遮断を行う前に、スイッチ SW3 を押すことを強く推奨します。

2.2.4.4 SW4 — 入力電源オン/オフ

このスイッチは、電源コネクタ J12 と J18 からの 5V の入力をオフにします。TI は、SW4 の電源をオフ (または外部電源をオフ) にする前に、SW3 を押して DMD マイクロミラーをパークすることを強く推奨します。

2.2.5 電源およびステータス LED

このセクションでは、DLPLCRC410EVM コントローラ ボードが正常に機能していることを確認するインジケータについて説明します。図 2-6 に、コントローラ ボードのインジケータの位置を示します。

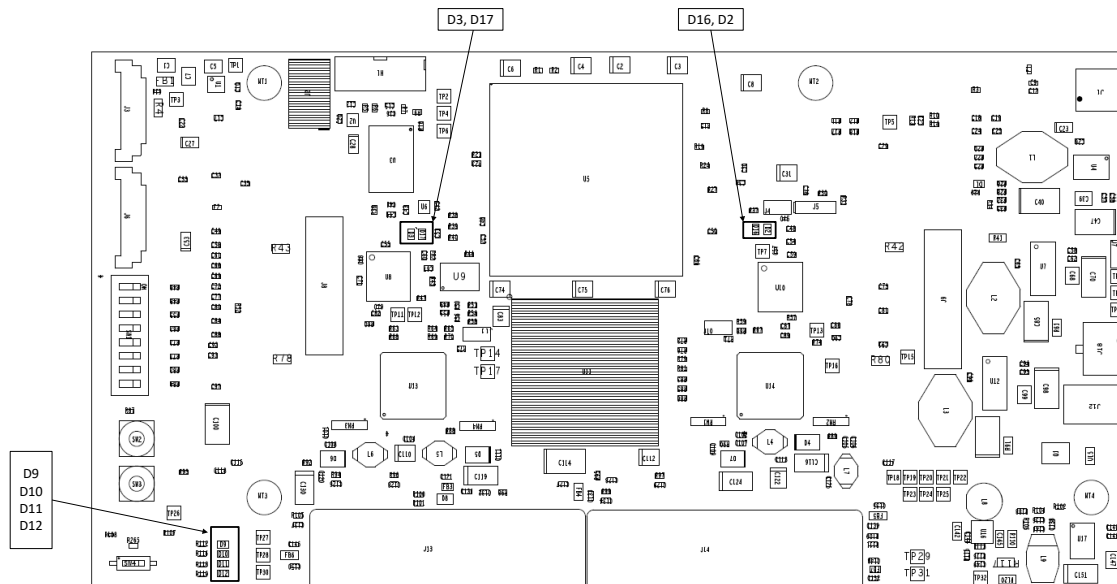


図 2-6. DLPLCRC410EVM コントローラ ボードのインジケータ

2.2.5.1 D1 — USB 接続インジケータ

この LED は現在使用されていません。

2.2.5.2 D2 および D16 — APPSFPGA 完了

D2 は、APPSFPGA が Xilinx PROM から現在構成されていることを示す LED です。APPSFPGA DONE ピンが Low のとき、D2 がオンになります (未完了)。APPSFPGA が完全に構成されると、APPSFPGA DONE ピンが High になり、この LED がオフになります。

APPSFPGA DONE ピンが High になり、APPSFPGA のプログラミングが正常に完了し、APPSFPGA が起動して動作している場合、内部ロジックによって緑色の LED D16 がオンになり、FPGA IO が有効になります。このロジックはアプリケーションによって定義されますが、DCM ロック監視やクロックが動作していることを示すハートビートといったロジックにすることも可能です。デフォルトの負荷は、単純な High で緑色の LED をオンにするだけで駆動されます。

2.2.5.3 D3 および D17 — DLPC410 完了

D3 は、DLPC410 が DLPR410 PROM から現在構成されていることを示す LED です。DLPC410 DONE ピンが Low のとき、D3 がオンになります (未完了)。DLPC410 が完全に構成されると、DLPC410 DONE ピンが High になり、この LED がオフになります。

DLPC410 DONE ピンが High になり、DLPC410 のプログラミングが正常に完了し、DLPC410 が起動して動作している場合、内部ロジックによって緑色の LED D17 がオンになり、DLPC410 IO が有効になります。

2.2.5.4 D9 — DDC_LED0

D9～DDC_LED0: DLPC410 のステータス LED。詳細については、[DLPC410 データシート](#)を参照してください。

2.2.5.5 D10 — DDC_LED1

D10～DDC_LED1: DLPC410 のステータス LED。詳細については、[DLPC410 データシート](#)を参照してください。

2.2.5.6 D11 — VLED0

D11～VLED0: APPSFPGA アプリケーションは、このロジックを定義します。Low に駆動すると、LED がオンになります。High に駆動すると、LED がオフになります。

2.2.5.7 D12 — VLED1

D12～VLED1: このロジックは、APPSFPGA アプリケーションによって定義されます。Low に駆動すると、LED がオンになります。High に駆動すると、LED がオフになります。

2.2.6 テスト ポイント

図 2-7 に示されているように、この章では、オンボード テスト ポイントの位置を定義します。表 2-21 に、これらのテスト ポイントが一覧されています。

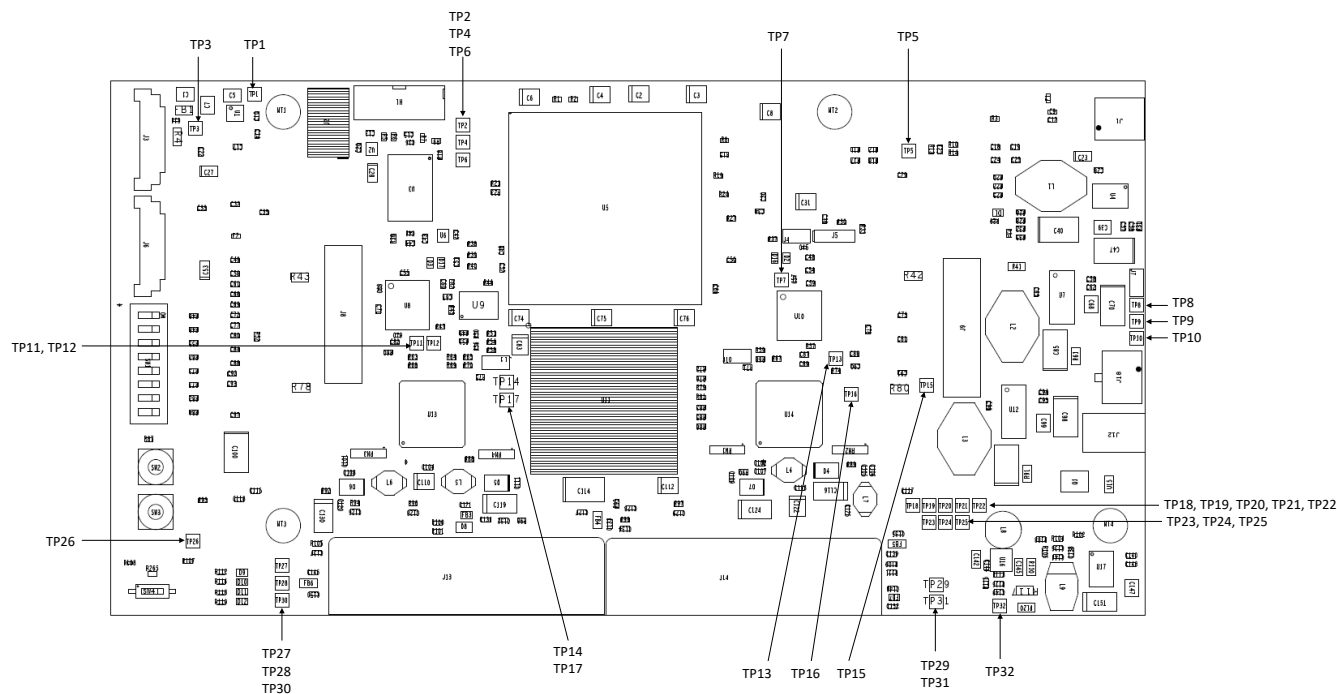


図 2-7. DLPLCRC410EVM テスト ポイントの位置

表 2-21. DLPLCRC410EVM テスト ポイントのネット名

テスト ポイント	ネット名	テスト ポイント	ネット名
TP1	グラウンド	TP2	V5_DXP
TP3	VCC_VREF	TP4	V5_DZN
TP5	グラウンド	TP6	リセット
TP7	SCPDO	TP8	BKPT
TP9	VCC_3P3V	TP10	VCC_2P5V
TP11	MBRST1_8	TP12	DAD_A_IRQZ
TP13	DAD_B_IRQZ	TP14	DXP_0
TP15	PWRGD	TP16	MBRST2_0
TP17	DXN_0	TP18	SCPD1
TP19	DMDSPARE2	TP20	MBRST2_8
TP21	VCC_12V	TP22	グラウンド
TP23	DMDSPARE3	TP24	グラウンド
TP25	VCC_1P8V	TP26	POWER_STANDBY#
TP27	DMDSPARE0	TP28	MBRST1_0
TP29	VCC_1P0V_DDC	TP30	DMDSPARE0
TP31	SCPCLK	TP32	VCC_1P0V

3 ソフトウェア

この章では、DLP Discovery 4100 Explorer グラフィカル ユーザー インターフェイス (GUI) ソフトウェアの動作について説明します。Discovery 4100 Explorer GUI は、USB 2.0 インターフェイス経由で、DLPLCRC410EVM に対する DLP Discovery 4100 開発プラットフォーム向けの制御機能とディスプレイ機能を提供します。

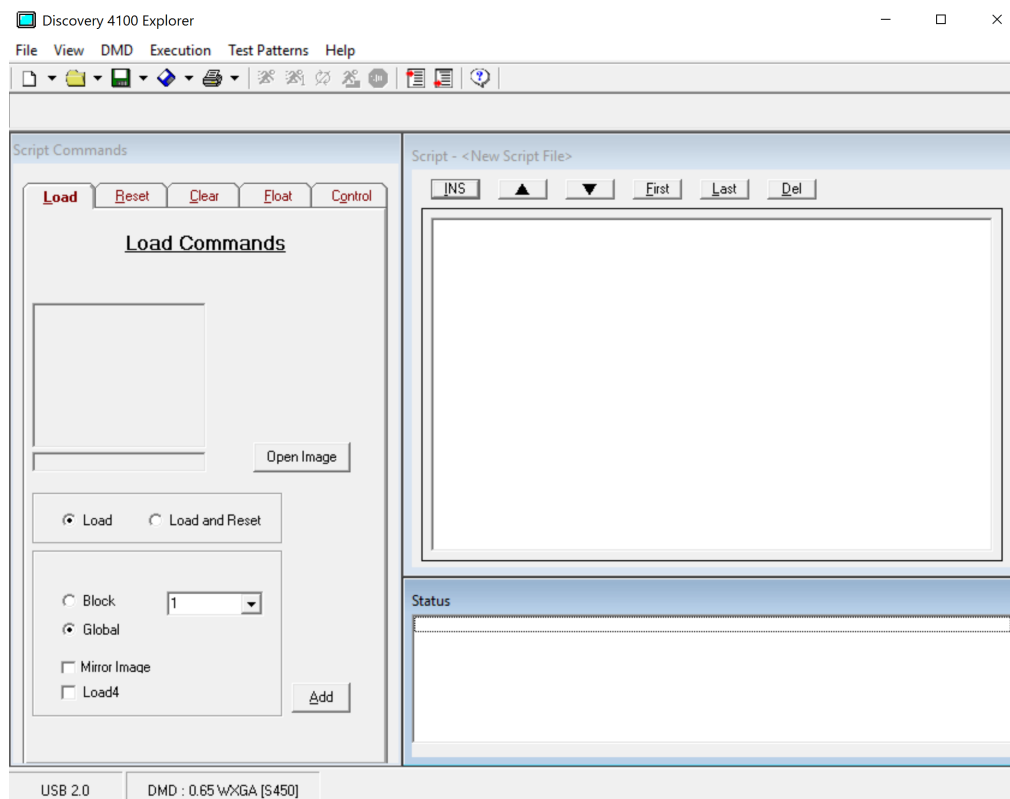


図 3-1. Discovery 4100 Explorer GUI

3.1 概要

このセクションでは、次の説明を行います。

- DLP Discovery 4100 Explorer GUI の一般的な説明
- Discovery 4100 Explorer のメニュー、ツールバー、表示ウィンドウに関する説明
- 操作手順

3.1.1 ソフトウェアの概要

DLP Discovery 4100 Explorer GUI を使用すると、USB 2.0 (または 1.1) を使用して DLPLCRC410EVM コントローラボード ハードウェアを制御できます。このソフトウェアは **Discovery 4100 ActiveX™** 制御 API を使用しています。この API は、DLP® Discovery™ 4100 開発プラットフォーム API プログラマ ガイド ([DLPU039](#)) に別途記載されています。ソフトウェアには、コマンド スクリプトを構築および実行するための制御機能があります。

GUI により、ユーザーは、以下のコマンドに関する **ActiveX** 制御の実装にアクセスできます。

- 画像ファイルからの個々のブロックまたは DMD 全体の読み込み
- 個々のブロックのリセットまたはグローバル リセット
- 個々のブロックのクリアまたはグローバル クリア
- すべての DMD ミラーのフロート
- 外部グローバル リセット入力の待機
- タイミング遅延
- ループ反復制御 — N 回またはブレークまでループ
- 汎用デジタル出力制御
- 内部テスト パターンの表示
- HW スイッチ (SW1) オーバーライドの設定

注

GUI ツールは、DMD のデモ機能のみを意図しています。GUI ツールは 24 時間年中無休の稼働を意図したのではなく、その設計が顧客の最終アプリケーションの要件を必ずしも満たすものでもありません。

3.1.1.1 DMD 画像制御

画像は制御され、DMD 上のブロックに表示されます。表 3-1 に示されているように、DMD ブロックの構成は DMD タイプによって異なります。ブロックは、個別にロードして表示することも、画像全体 (15 ブロックまたは 16 ブロックすべて) として表示することもできます。セクション 3.1.1.2 に、画像のさまざまな表示方法を制御するコマンドに関する説明を示します。

表示オプションの組み合わせは数多くありますが、このマニュアルですべてを網羅しているわけではありません。このユーザー ガイドでは、各コマンドを使用して画像を制御する方法の概要を説明します。セクション 3.4 に、画像の表示を制御するコマンドのスクリプトを実行する方法の説明を示します。

表 3-1. DMD の特性

タイプ	列	行	ブロック	行/ブロック
DLP9500 - 0.95 1080p Type A	1920	1080	15	72
DLP7000 - 0.7 XGA Type A	1024	768	16	48
DLP650LNIR - .65 WXGA NIR S450	1280	800	16	50

各 DMD タイプの表示ブロックの詳細については、DMD データシート ([DLP7000 § 8.4](#)、[DLP650LNIR § 8.4](#)、[DLP9500 § 8.4](#)) を参照してください。

3.1.1.2 画像コマンド

- **Load (ロード)** — 顧客の画像ブロックを DMD メモリにロードします。
- **Load and Reset (ロードおよびリセット)** — 画像ブロックを DMD メモリにロードします。DMD マイクロミラーの内容を表示します。
- **Reset (リセット)** — ミラー クロック パルス (リセット) を開始して、DMD マイクロミラーに DMD メモリを表示します。
- **Clear (クリア)** — DMD メモリの内容をクリア (ゼロに) します。
- **Clear and Reset (クリアおよびリセット)** — DMD メモリのブロックをクリア (ゼロに) します。DMD マイクロミラーの内容を表示します。
- **Float Mirrors (フロート ミラー)** — ミラーをバイアスなし (パーク) 状態に設定します。

3.2 DLP Discovery 4100 の動作

DLP Discovery 4100 開発プラットフォームは、ホスト システムの USB 2.0 ポートに接続している場合、約 7 ~ 10 DMD フレーム/秒 (DMD によって異なります) で動作することができます。

3.2.1 操作に関するクイック スタート ガイド

D4100 Explorer Windows インストーラ エラー

インストール中に、インストールが正しく完了しなかったこと、およびインストール後スクリプトの実行中にエラーが発生したことを示すエラーが表示される場合があります。このような場合は、以下の手順に従います。

1. プログラムをアンインストールします
2. Microsoft 2010 Vcredist x86 バージョンをダウンロードして、インストールします
3. DLPC410 GUI プログラムを再起動し、再インストールします

注

DLP Discovery 4100 Explorer GUI プログラムは 32 ビットであるため、Windows OS のビット数にかかわらず、ユーザーには Vcredist 2010 の 32 ビット バージョンが必要です。Vcredist 2010 のインストールは根本的な修正ではありませんが、大多数の顧客にとって有効かつ最も一般的な解決策となります。

インストールに問題がなければ、デバイスを動作させるために以下の手順に従う必要があります。

1. ファイル「**D4100Explorer-2.0-windows-installer.exe**」を実行して、ソフトウェアをインストールします。USB ケーブルを DLPLC410EVM コントローラ ボードに接続する前に、ソフトウェアをインストールしてください。セットアップ プログラムは、操作に必要なソフトウェアおよびドライバ INF ファイルをインストールします。
2. システムを先に再起動しないとドライバが正しくインストールされない場合があるため、キットを接続する前に再起動することを推奨します。
3. USB 2.0 [mini-B to Type A] ケーブルを使用して DLP を接続し、DLP Discovery 4100 開発プラットフォームに電力を供給します。オペレーティング システムが USB デバイスを検出し、自動的にドライバをインストールします。または、インストールを促すプロンプトが表示されます。
4. 自動ドライバ インストールに失敗した場合は、デバイス マネージャー (Windows の検索バーでデバイス マネージャーを検索) に進みます。
5. デバイスを検索し、右クリックして「**Update Driver Software**」(ドライバ ソフトウェアの更新) を選択します。

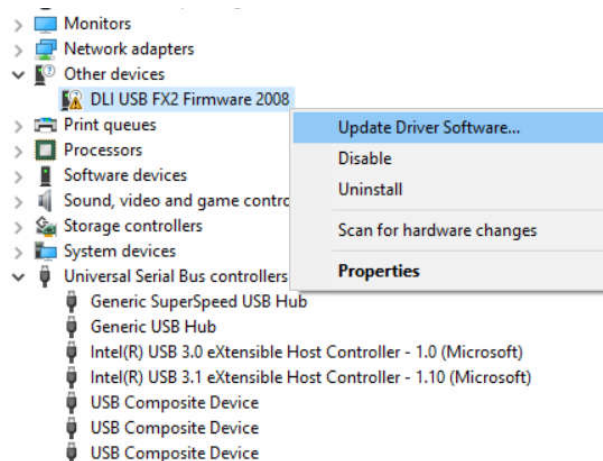


図 3-2. ドライバ ソフトウェアの更新

6. 「*Browse my computer for driver software*」(コンピュータを参照してドライバ ソフトウェアを検索) を選択します。

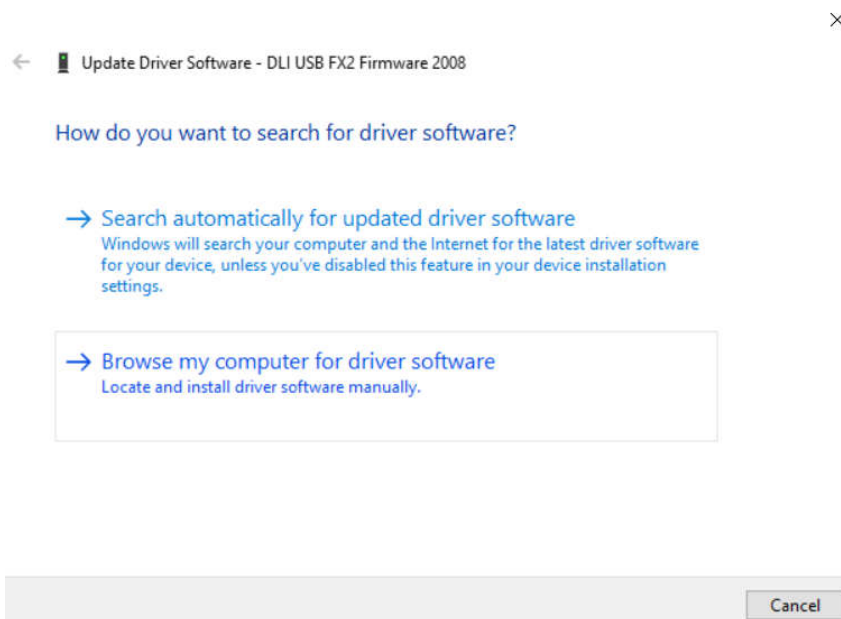


図 3-3. ドライバ ソフトウェアの参照

7. 「*Let me pick from a list of device drivers on my computer*」(コンピュータのデバイス ドライバのリストから選択) をクリックします。

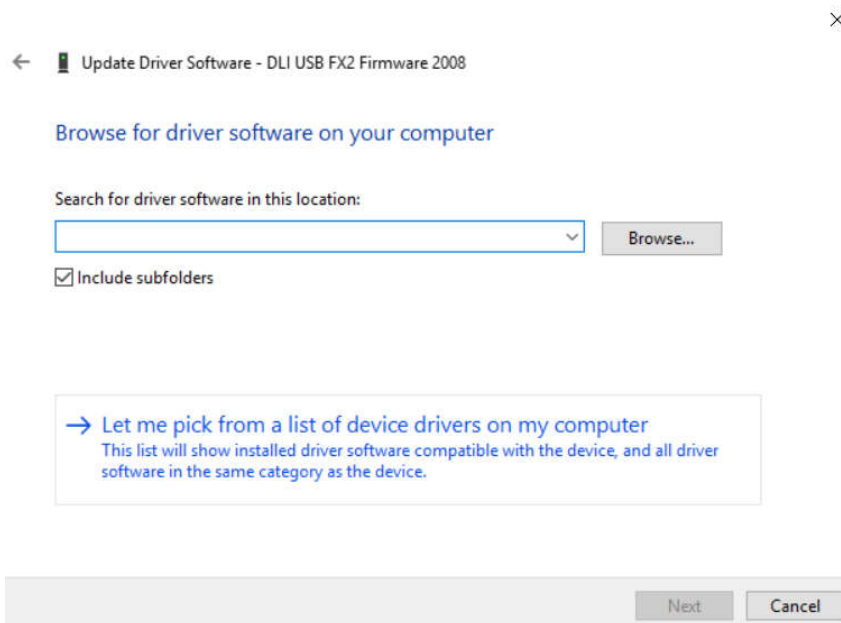


図 3-4. デバイス ドライバのリストから選択

8. 「*Universal Serial Bus devices*」(ユニバーサル シリアル バス デバイス) を選択します。「*Next*」(次へ) をクリックします。

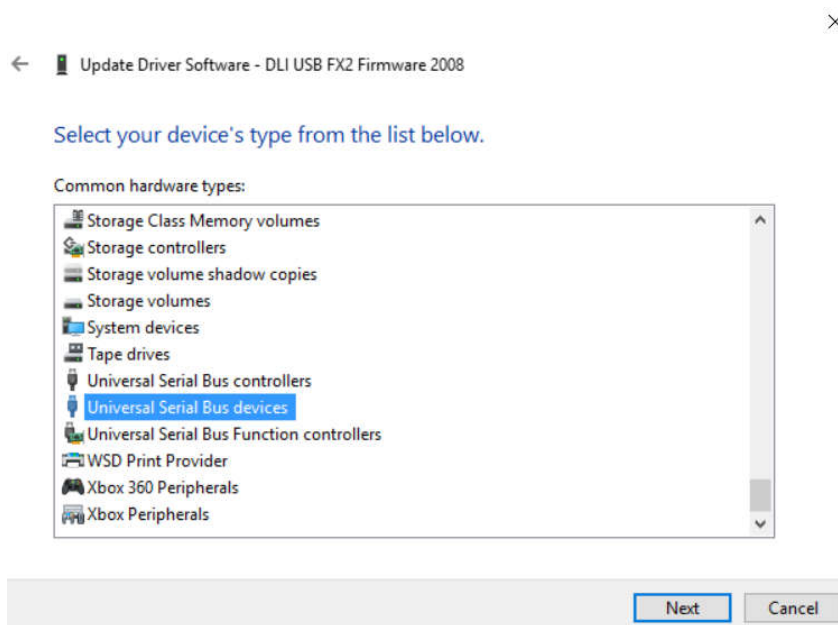


図 3-5. ユニバーサル シリアル バス デバイスの選択

9. 「*Have Disk*」(ディスクあり) をクリックします。

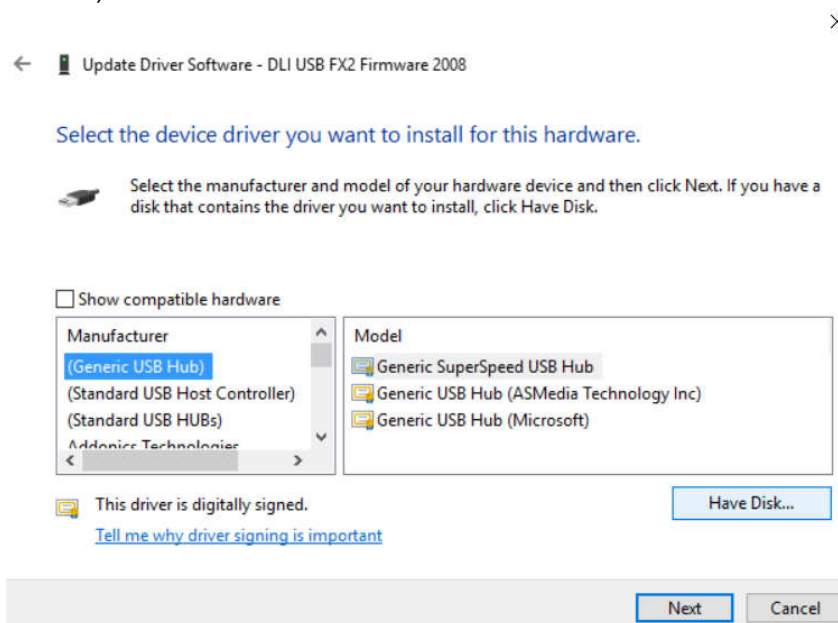


図 3-6. ディスクあり

10. ファイル「D4100-USB.inf」が含まれているフォルダを参照します。このファイルは「<GUI Install Directory>\Driver\」にあります。たとえば、Windows 10 64 ビット オペレーティング環境の場合は、「C:\Program Files (x86)\D4100Explorer\Driver\Win10x64」に移動します。[OK] をクリックします。

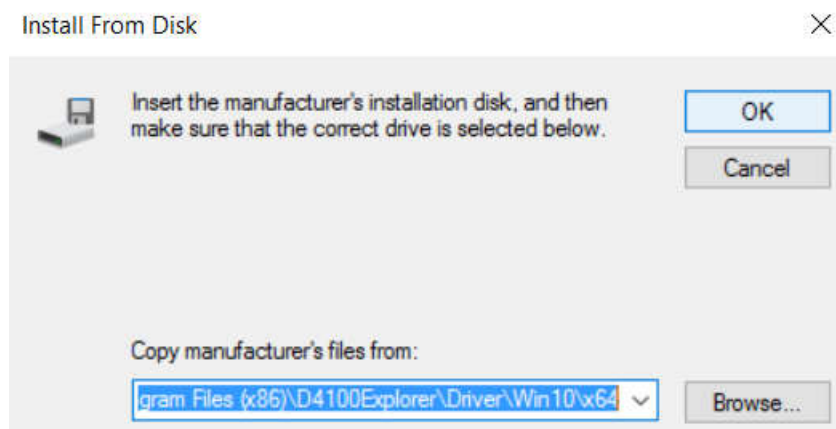


図 3-7. .Inf ファイルの参照

11. 「TI D4100 Explorer」をクリックします。
 12. 「Next」(次へ) をクリックします。

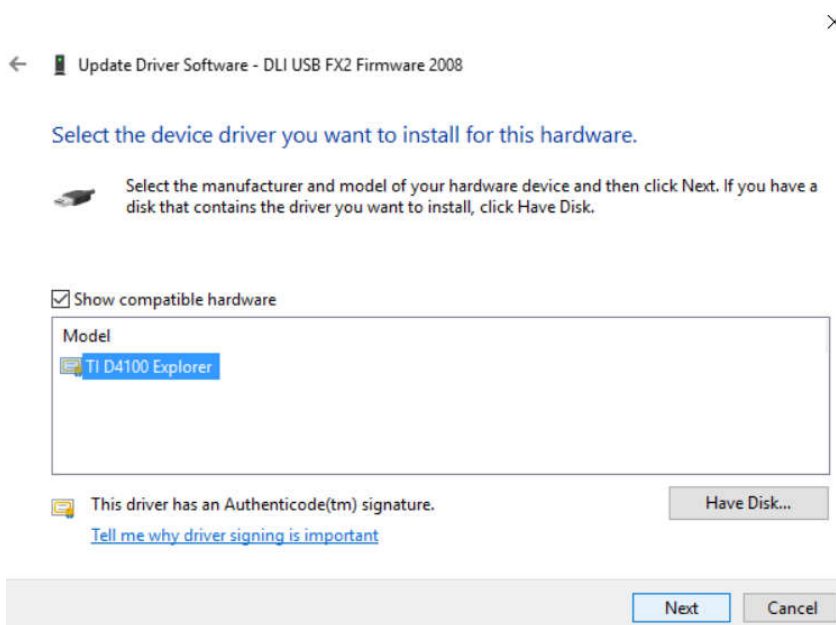


図 3-8. TI D4100 Explorer の選択

13. Windows がドライバをインストールします。

14. 「Close」(閉じる) をクリックします。

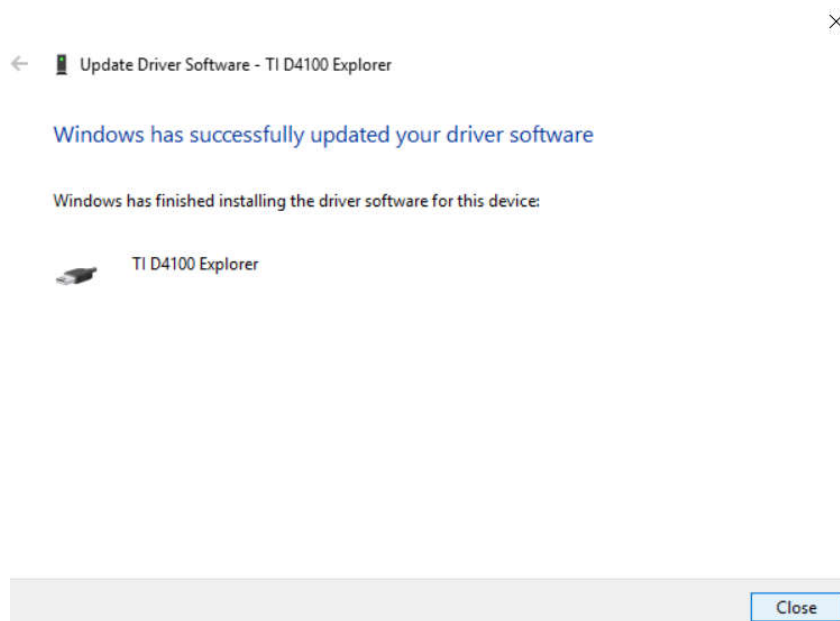


図 3-9. ドライバ インストール ウィンドウ

15. 図 3-10 に示されているように、「Device Manager」(デバイス マネージャー) ウィンドウでドライバのインストールを確認します。



図 3-10. デバイスの確認

16. 「Start/Texas Instruments/DLP Discovery 4100 Explorer」(スタート/テキサス インストルメンツ/DLP Discovery 4100 Explorer) メニューから DLP Discovery Explorer GUI を起動します。

17. ソフトウェアが起動します。左下のステータス パネルに、USB 接続ステータスと DMD タイプが表示されます (図 3-11)。

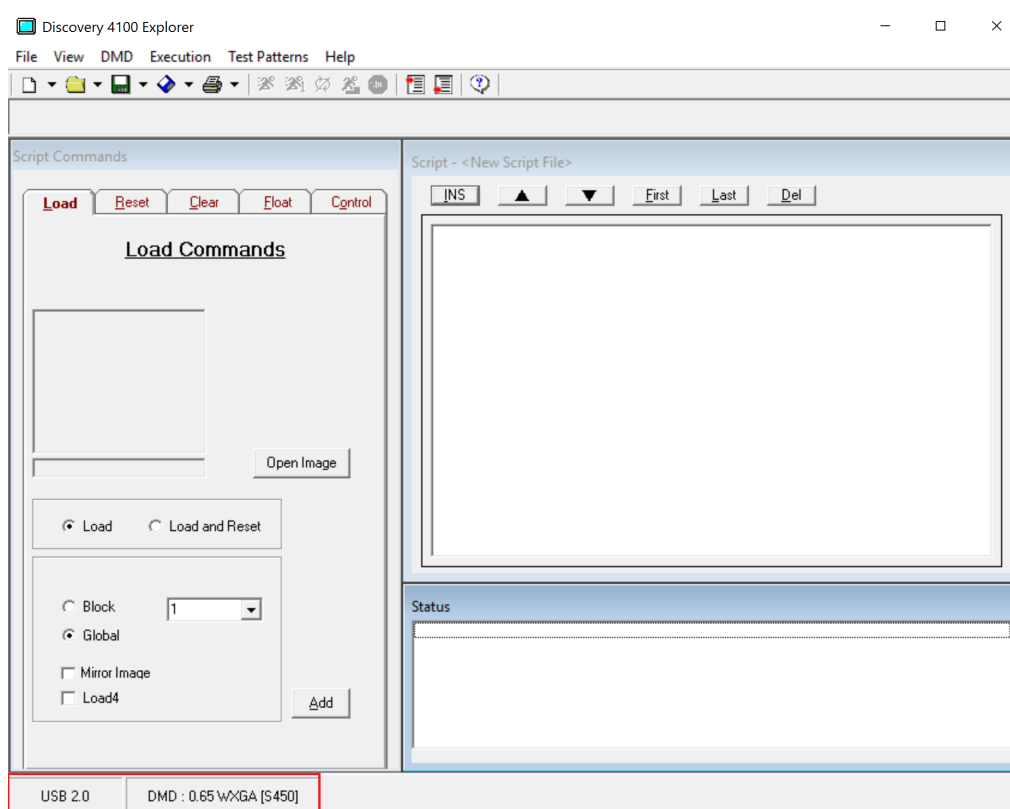


図 3-11. Discovery 4100 Explorer USB および DMD — 接続ステータス

18. 「Load Tab/Open Image」(ロード タブ/画像を開く) ボタンを使用して、画像を開きます。
19. 「Load Tab」(ロード タブ) ボタンで目的のオプションを選択し、「Add」(追加) をクリックして、スクリプトに画像コマンドを入力します。
20. スクリプトのコマンドを選択して入力します。「Commands」(コマンド) ウィンドウの任意のコマンド タブからコマンドを選択します。各タブには、一連の関連コマンドと、各コマンドに割り当てられたオプションが含まれています。コマンドとオプションの適切な組み合わせを選択したら、コマンド タブの下部にある「Add」(追加) ボタンをクリックして、スクリプトにコマンドを入力します。各タブには、スクリプトにそのコマンドを入力するための「Add」(追加) ボタンがあります。
21. スクリプトを実行します。「Script」(スクリプト) ウィンドウに必要なコマンドのリストを入力したら、ツールバーの  「Run」(実行) アイコンをクリックして、コマンドの実行を開始します。すべてのコマンドを連続して実行する代わりに、ツールバーの  「Step」(ステップ) を使用して、コマンドを 1 つずつ順に実行することもできます。ユーザーは、「Execution」(実行) メニューを使用して、同じ機能を実行することもできます。ツールバーの  「Stop」(停止) アイコンを使用して、コマンドの実行を停止します。

注

GUI を単一の Discovery 評価基板に接続している状態で、USB コネクタを解像度の異なる別の Discovery 評価基板に接続し直しても、GUI スクリプト内で定義済みの画像はスケーリングされません。そのため、DMD 上では画像が正しく表示されない可能性があります。別の Discovery 評価基板に接続した後、常に GUI ソフトウェア プログラムを再起動することがその解決策となります。

3.3 グラフィカル ユーザー インターフェイス

Explorer Software ユーザー インターフェイスは、メニュー バー、ツール バー、および以下 3 つの表示ウィンドウを含む複数の表示インターフェイスで構成されています。「Script Commands」(スクリプト コマンド) ウィンドウ、「Script」(スクリプト) ウィンドウ、「Status」(ステータス) ウィンドウ。各項目の機能については、以下のセクションに説明が含まれています。

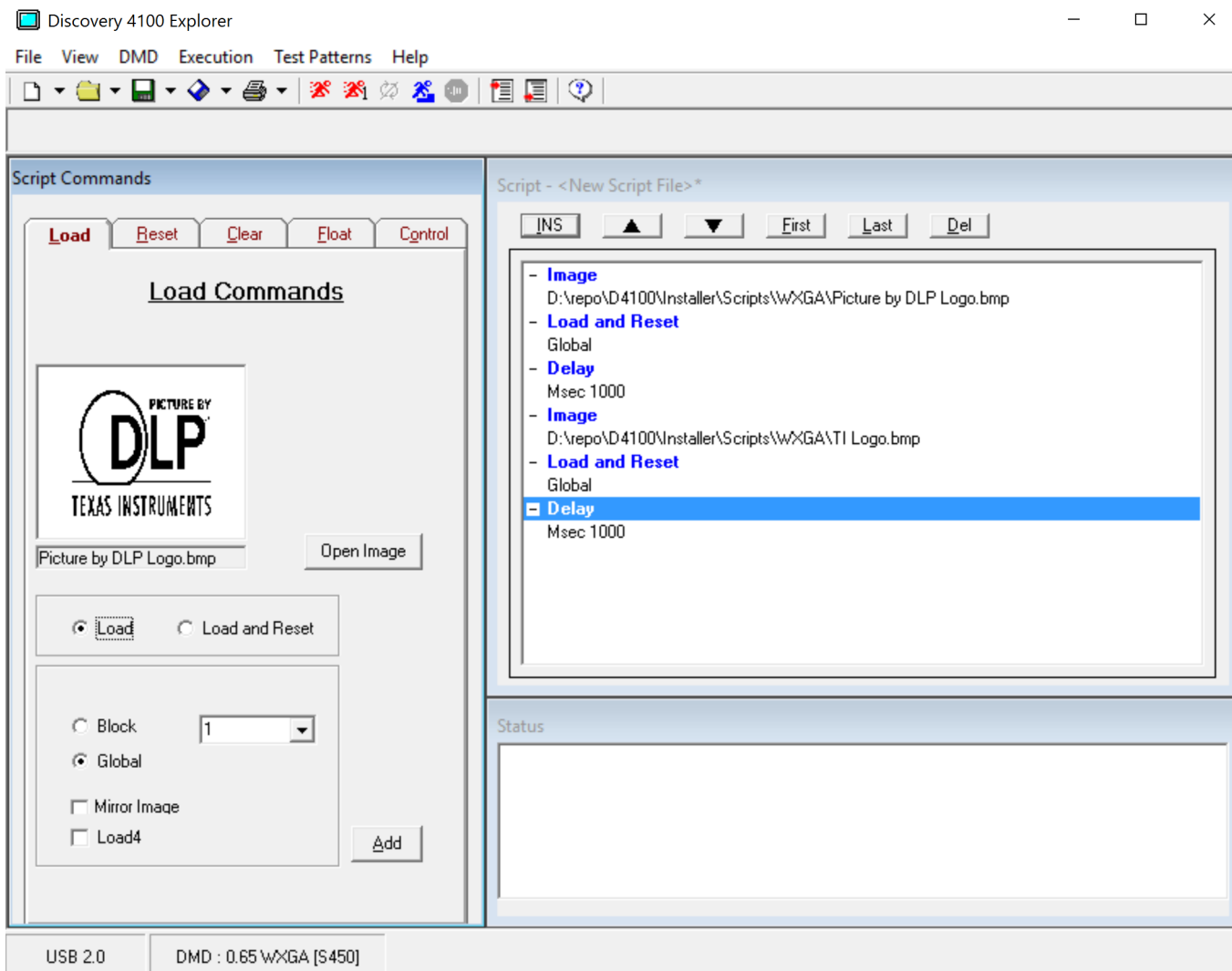


図 3-12. グラフィカル ユーザー インターフェイスのレイアウト

3.3.1 メニュー バー

図 3-13 に示されているように、メニュー バー コマンドを使用すると、標準メニューからソフトウェア コマンドにアクセスできます。

File View DMD Execution Test Patterns Help

図 3-13. メニュー バー

3.3.1.1 「File」(ファイル) メニュー

「File」(ファイル) メニューには、標準の「New」(新規)、「Open」(開く)、「Save」(保存)、「Print」(印刷)、「Exit」(終了) メニュー項目が含まれています。スクリプトまたはステータスを開き、スクリプトまたはステータスを保存するオプションがあります。

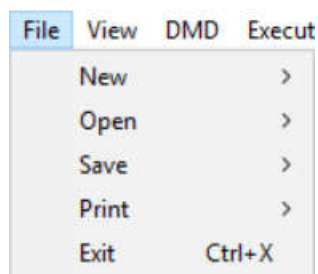


図 3-14. 「File」(ファイル) メニュー

3.3.1.2 「View」(表示) メニュー

「View」(表示) メニューで、表示ウィンドウの表示/非表示を切り替えることができます。

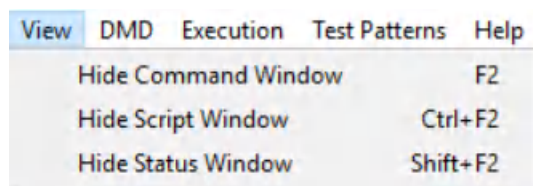


図 3-15. 「View」(表示) メニュー

3.3.1.3 DMD メニュー

DMD メニューは、DLPC410「Control」(コントロール) 操作モードを選択するために使用します。

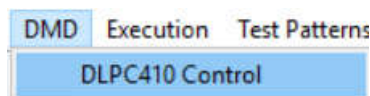


図 3-16. DMD メニュー

3.3.1.4 「Execution」(実行) メニュー

「Execution」(実行) メニューには、スクリプト コマンドと構成オプションがあります。

- **Run (実行)** — リスト内のすべてのコマンドを中断せずに実行し、「Stop」(停止) が選択されるまでスクリプトを繰り返します。
- **Run Once (1 回実行)** — リスト内のすべてのコマンドを 1 サイクル中断せずに実行します。
- **Loop Break (ループブレイク)** — 「Loop Until Break」(ブレイクするまでループ) スクリプト コマンドを終了します。
- **Step (ステップ)** — コマンドの実行を 1 ステップずつ行うように設定します。
- **Next Step (次のステップ)** — 次のスクリプト コマンドを実行します。
- **Stop (停止)** — 実行を終了します。
- **Set Start (開始点の設定)** — スクリプト内でのコマンド実行の開始点を設定します。
- **Set End (終了点の設定)** — スクリプト内でのコマンド実行の終了点を設定します。

Execution	Test Patterns	Help
Run		F5
Run Once		F6
Loop Break	Ctrl+B	
Step		F7
Next Step		F8
Stop		F9
Set Start		F3
Set End		F4

図 3-17. 「Execution」(実行) メニュー

3.3.1.5 「Test Patterns」(テスト パターン) メニュー

「Test Patterns」(テスト パターン) メニューには、内部テスト パターン モードの開始または終了、ソフトウェア スイッチ オーバーライドの有効化または無効化、GUI ソフトウェアを使用した GPIO のオン/オフ切り替えを行うためのオプションが含まれています。

- パターン 1:DMD 外側境界
- パターン 2:さまざまなサイズの縦線
- パターン 3:小さな市松模様
- パターン 4:垂直バー
- パターン 5:ごく小さな横線
- パターン 6:対角線
- パターン 7:水平ヘリンボーン
- パターン 8:ブラック フィールド (すべてオフ)

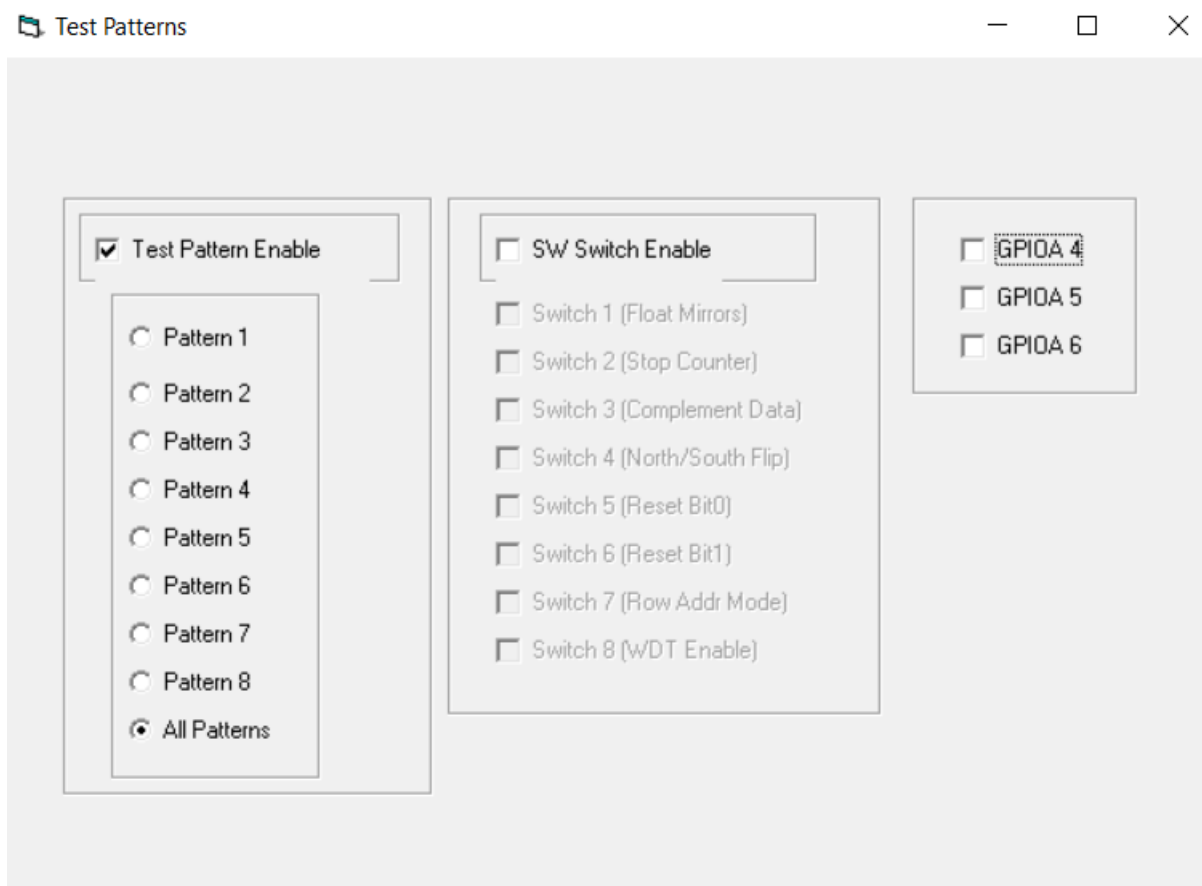


図 3-18. 「Test Patterns」(テスト パターン) メニュー

3.3.1.6 「Help」(ヘルプ) メニュー

「Help」(ヘルプ) メニューには、標準の Windows ヘルプ ファイルのコンテンツへのリンクおよび「バージョン情報」ダイアログ ボックスを表示するコマンドが含まれています。

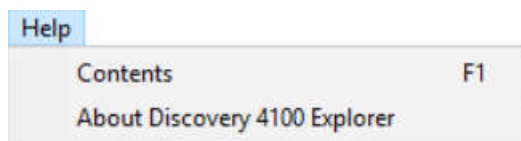


図 3-19. 「Help」(ヘルプ) メニュー

3.3.2 ツールバー

ツールバーには、操作ショートカットが備わっています。

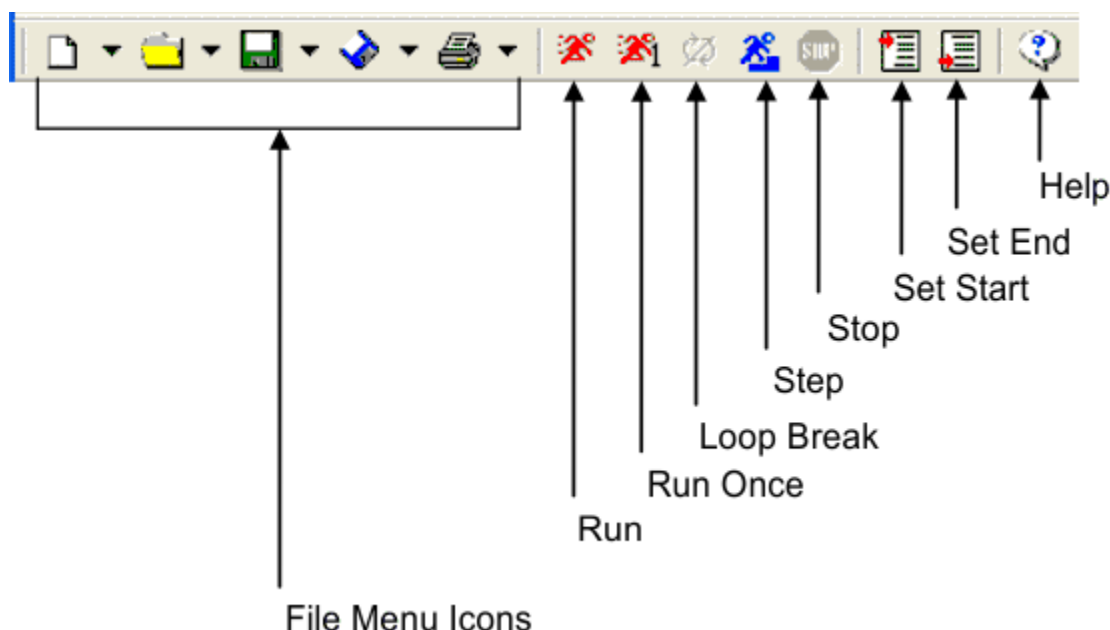


図 3-20. ツールバー

3.3.2.1 「File」(ファイル) メニューボタン

ツールバーの最初の 5 つのボタン、「New」(新規)、「Open」(開く)、「Save」(保存)、「Save As」(名前を付けて保存)、「Print」(印刷)は、「File」(ファイル) メニューの 5 つの項目と同じ機能を持ちます。

3.3.2.2 実行、1 回実行、ループ ブレーク、ステップ、停止の制御

「Run」(実行)、「Run Once」(1 回実行)、「Loop Break」(ループ ブレーク)、「Step」(ステップ)、「Stop」(停止) アイコンは、スクリプトウィンドウのコマンドリストの実行を制御します。コマンドの機能については、[セクション 3.3.1.4](#) を参照してください。

3.3.2.3 開始と終了ボタンの設定

「Set Start」(開始の設定) および「Set End」(終了の設定) アイコンは、スクリプト内でのコマンド実行の開始点と終了点を設定します。

3.3.2.4 「Help」(ヘルプ) ボタン

「Help」(ヘルプ) ボタンをクリックすると、アプリケーションのヘルプ コンテンツが表示されます。

3.3.3 「Script Commands」(スクリプト コマンド) ウィンドウ

「Script Commands」(スクリプト コマンド) ウィンドウ (図 3-21) には、スクリプト コマンドを作成するためのコマンド オプションを含む一連の「Command」(コマンド) タブが含まれています。スクリプトは、DMD 上で目的の一連の操作を実行するコマンドを追加することで構築されます。コマンドに関連付けられたオプションを表示および選択するには、対応するコマンド タブをクリックします。コマンドとオプションを選択したら、「Add」(追加) ボタンをクリックして、スクリプトにコマンド オプションを追加します。

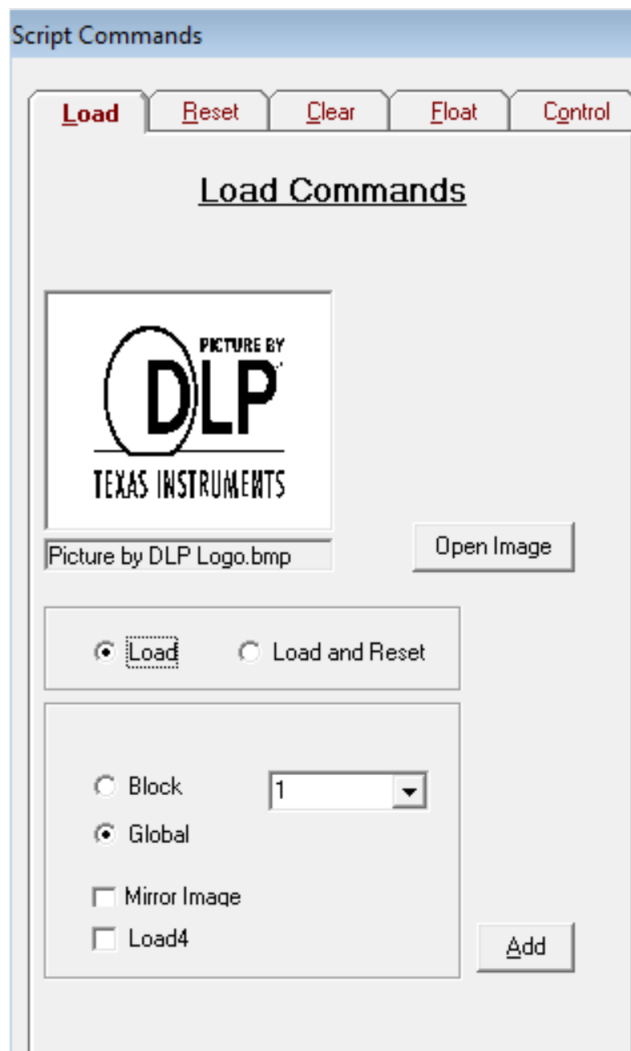


図 3-21. 「Script Commands」(スクリプト コマンド) ウィンドウ

3.3.3.1 ロードタブ

「Load」(ロード) コマンドは、画像ファイルを選択して、ロード操作を指定します。

「Add」(追加) ボタンを押す前に、画像ファイルを選択する必要があります。画像ファイルを選択するには、「Open Image」(画像を開く) ボタンをクリックして画像ファイルを選択します。サポートされている画像ファイルの種類は、.bmp、.jpg、.gif、.bin です。.bin ファイルは、DMD ピクセルあたり 1 ビットが含まれているバイナリファイルです。TI は、認識されない画像形式に起因するエラーを回避するため、最初の 24 ビット (非バイナリ) 画像を使用し、GUI によるバイナリ画像への変換を行うことを推奨します。

「Load」(ロード) を選択して画像データを DMD メモリに読み込むか、または「Load and Reset」(ロードおよびリセット) を選択して画像データを読み込むと同時に DMD をリセットして画像を表示することができます。「Load and Reset」(ロードおよびリセット) が選択されていない場合、別の「Reset」(リセット) コマンドが実行されるまで画像は表示されません。

画像全体を読み込むこと (グローバル) も、個々のブロックを読み込むこと (ブロック) もできます。ブロック番号は 1 ~ 16 です。この DMD には 15 ブロックしかないため、DLP9500 (0.95 1080p) DMD のブロック 16 の読み込みは無視されます。

「Mirror Image」(ミラー画像) を選択すると、画像を水平方向にミラーリングできます。

DMD には、4 行を同じ列データと同時に書き込む Load4 動作が組み込まれています。これにより、実際の画像データの 1/4 のみを DMD に送信すればよいので、高速な読み込みが可能となります。「Load4」オプションを選択して、このモードを有効化できます。

必要なオプションを選択し、「Add」(追加) ボタンをクリックして、スクリプトにコマンドを追加します。

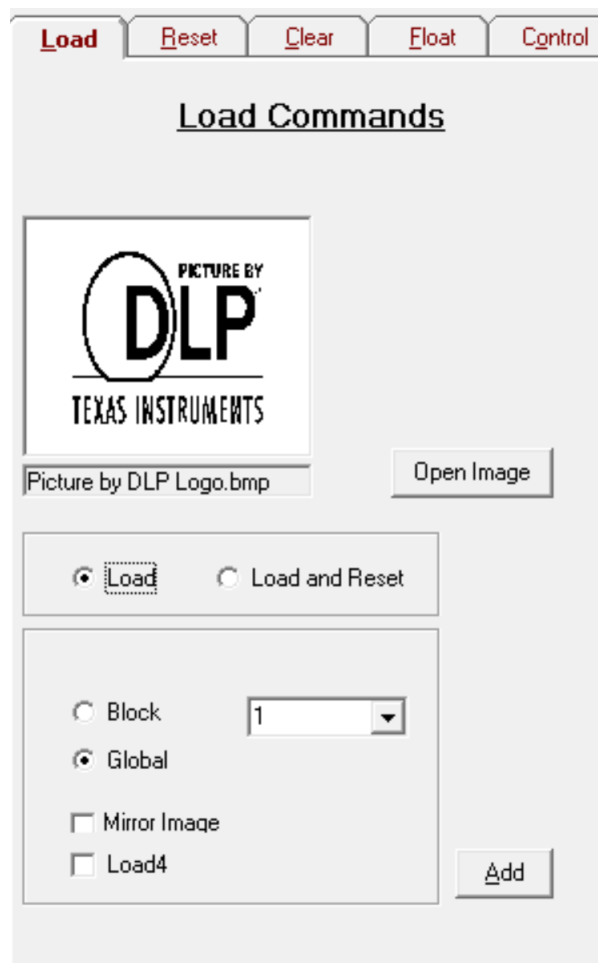


図 3-22. ロードタブ

3.3.3.2 リセットタブ

「**Reset**」(リセット) コマンドは、ミラーを現在の状態からメモリ内の状態へと変更させます。メモリの内容は、「**Load**」(ロード) または「**Clear**」(クリア) コマンドによって決定されます。すべてのブロックをリセットすること (**Global** (グローバル))、または「**Single Block**」(シングル ブロック) オプションを使用して個別にリセットすること、あるいは「**Multiple Blocks**」(マルチプル ブロック) オプションのいずれかを使用してブロックのグループをリセットすることができます。使用するオプションを選択して、「**Add**」(追加) ボタンをクリックして、スクリプトにコマンドを追加します。

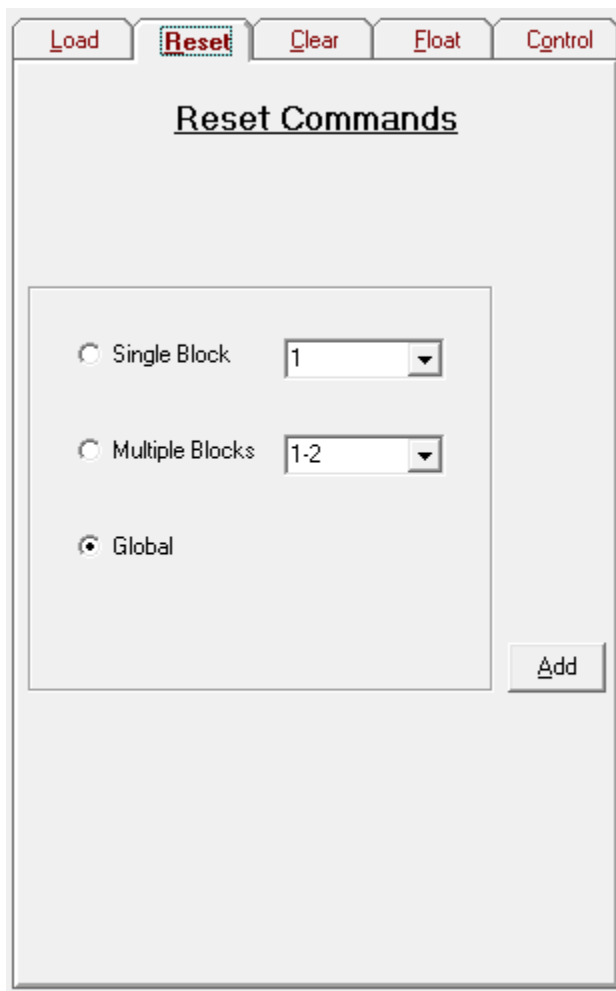


図 3-23. リセットタブ

3.3.3.3 クリア タブ

「Clear Tab」(クリア タブ) コマンドは、「**Global**」(グローバル) オプションを使用してすべてのブロックのメモリ内容をクリアするか、DMD メモリの内容にゼロを書き込むことで「**Single Block**」(シングル ブロック) オプションを使用して個別にクリアします。「Clear」(クリア) オプションはメモリのみをクリアします。「**Clear and Reset**」(クリアおよびリセット) オプションはメモリをクリアし、リセットを実行して表示を変更します。目的のオプションを選択し、「**Add**」(追加) ボタンをクリックしてスクリプトに追加します (図 3-24 を参照)。

注

注: 「**Global**」(グローバル) オプションは、ソフトウェアに実装されており、DMD 上のすべてのブロックに対して「**DMD Block Clear**」(DMD ブロック クリア) コマンドを順に発行します。

図 3-24. クリア タブ

3.3.3.4 フロート タブ

「**Float Tab**」(フロート タブ) スクリプト コマンドは、DMD を短期的な安全状態に置きます。この状態では、ミラーはソフトウェアによってフローティング (公称フラット) 状態に設定されます。パワーダウン状態では、評価基板のスイッチ **SW3** のアサートで電源を取り外す前にハードウェア電源フローティングをするか、DLPC410 の PWR_FLOAT 入力ピンの等価アサートを推奨します。



図 3-25. フロート タブ

3.3.3.5 コントロール タブ

「Control」(コントロール) コマンド タブは、スクリプト実行制御、外部リセット、およびデジタル出力用のコマンドをサポートしています。

- 「Wait for External Reset」(外部リセット待機) スクリプト コマンドは、APPSFPGA 入力 GPIO_A0 の立ち上がりエッジによってトリガされた外部グローバルリセットを 10 秒間待機させます。10 秒後、スクリプトの実行はスクリプト内の次のコマンドで再開されます。GPIO_A0 は 2.5V CMOS 入力です。
- 「Delay」(遅延) コマンドは、指定された時間 (ミリ秒) 遅延させます。
- 「Loop Until Break」(ブレイクまでループ) コマンドは、「Break」(ブレイク) ボタンがクリックされるまでループさせます。
- 「Loop」(ループ) コマンドは、指定された回数の反復をループさせます。
- 「Set GP Output」(GP 出力の設定) コマンドは、APPSFPGA 汎用デジタル出力 GPIO_A (4-6) の値を設定します。値は 10 進数または 16 進数で入力します (例: 0x3)。値のビット 0、1、2 は、それぞれ GPIO_A4、GPIO_A5、GPIO_A6 の出力状態を制御します。値のビット 7、6、5、4、3 は使用されません。GPIO_A (4 ~ 6) は 2.5V CMOS 出力です。

注

注: GPIO 出力の詳細については、『DLP® Discovery™ 4100 開発プラットフォーム API プログラマ ガイド』(DLP039 § 5.2.24 および § 6.2.24) を参照してください。

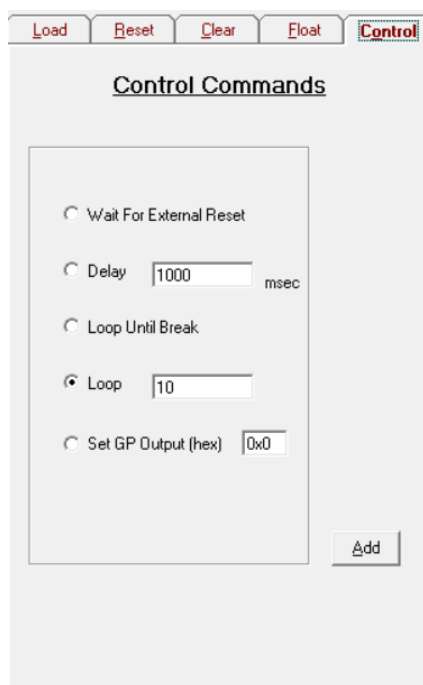


図 3-26. コントロール タブ

3.3.4 「Status」(ステータス) ウィンドウ

「Status」(ステータス) ウィンドウには、コマンド実行後に DLP Discovery 4100 開発プラットフォームからホストに送信された実行ステータス、取得情報、応答が表示されます。

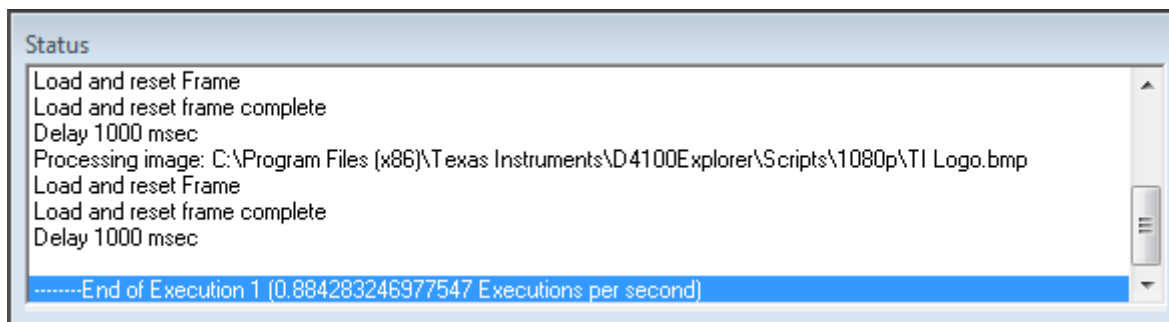


図 3-27. 「Status」(ステータス) ウィンドウ

3.3.5 「Script」(スクリプト) ウィンドウ

コントローラ ボード GUI は、「Script」(スクリプト) ウィンドウを使用して、読み込む画像および DMD で実行されるコマンドを追跡します (図 3-28)。スクリプトに画像と実行するコマンドを追加すると、スクリプトの指定位置でコマンドの順序を変更すること、コマンドを削除および挿入ができるようになります。

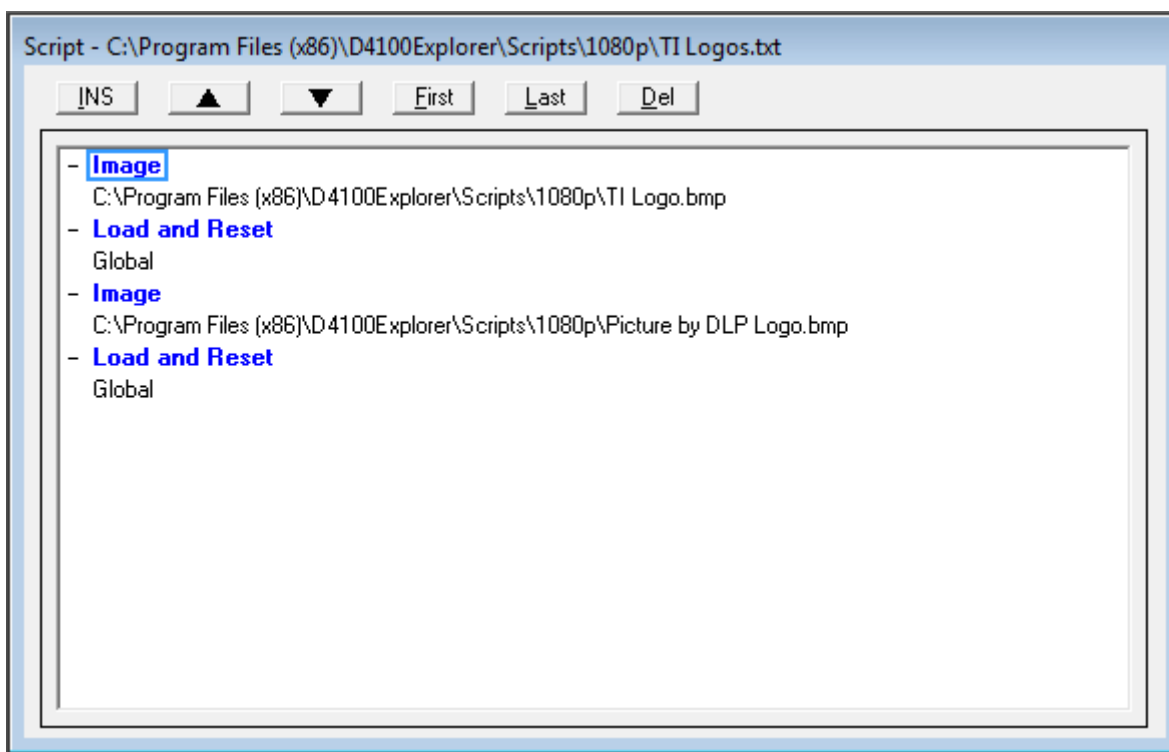


図 3-28. 「Script」(スクリプト) ウィンドウ

アプリケーションは、コマンドがスクリプトに入力された順序でコマンドを実行します。アプリケーションがコマンドを実行するためには、スクリプトの最初のコマンドが「Image」(画像) コマンドであり、その後に既存の画像の正しいパスとファイル名が続いている必要があります。スクリプトへの画像の挿入方法については、[セクション 3.3.3.1](#) を参照してください。

3.3.5.1 コマンドの挿入

スクリプトの指定位置にコマンドを挿入するには、次の手順に従います。

- 「Commands」(コマンド) ウィンドウからコマンドを選択し、スクリプトの目的の位置に移動して、「Script」(スクリプト) ウィンドウの上部にある  「INS」(挿入) ボタンをクリックします。

3.3.5.2 コマンドの移動

コマンドの順序を変更するには、次の手順に従います。

- コマンドをクリックして移動するコマンドを選択し、 (上) 矢印または  (下) 矢印をクリックして、目的の場所に移動します。

次の方法でコマンドを移動することもできます。

- ボタンを使用してスクリプト内の  「First」(最初) 位置をクリックするか、ボタンを使用してコマンドを  「Last」(最後) 位置に移動します。

3.3.5.3 コマンドの削除

スクリプトからコマンドを削除するには、コマンドをクリックして、「Script」(スクリプト) ウィンドウの上部にある「(Del)」(削除) ボタンをクリックします。

3.4 スクリプトとステータスの操作

3.4.1 スクリプトとステータスの保存

3.4.1.1 スクリプトの保存

スクリプトを保存するには、次の手順に従います。

- ツールバーの  「Save」(保存) または  「Save As」(名前を付けて保存) アイコン ドロップ ダウン メニューから「Script」(スクリプト) オプションを選択するか、「File」(ファイル) メニューの「Save」(保存) オプション メニューから「Save Script」(スクリプトを保存) または「Save Script As」(スクリプトを名前を付けて保存) を選択します。
- 選択すると、共通ダイアログ ボックスが表示されます。スクリプトを保存するファイルの名前を選択または入力します。
- 「Ok」ボタンをクリックすると、スクリプトが保存されたことを知らせるメッセージ「OK」ボタンをクリックすると、スクリプトが保存されたことを知らせるメッセージ ボックスが表示されます。

3.4.1.2 ステータスの保存

「Status」(ステータス) ウィンドウの内容を保存するには、次の手順に従います。

- ツールバーの  「Save」(保存) または  「Save As」(名前を付けて保存) アイコン ドロップ ダウン メニューから「Status」(ステータス) オプションを選択するか、「File」(ファイル) メニューの「Save」(保存) オプション メニューから「Save Status」(ステータスを保存) または「Save Status As」(ステータスを名前を付けて保存) を選択します。
- 選択すると、共通ダイアログ ボックスが表示されます。ステータス保存するファイルの名前を選択または入力します。
- [OK] ボタンをクリックすると、ステータス ログが保存されたことを知らせるメッセージ ボックスが表示されます。

注

ステータス ファイルは、拡張子 **.sts** で保存されます。

3.4.2 スクリプトとステータスの印刷

3.4.2.1 スクリプトの印刷

スクリプトを印刷するには、次の手順に従います。

- ツールバーの  「Print」(印刷) アイコン ドロップ ダウン メニューから「Script」(スクリプト) オプションを選択するか、「File」(ファイル) メニューの「Print」(印刷) オプション メニューから「Script」(スクリプト) 項目を選択します。

3.4.2.2 ステータスの印刷

「Status」(ステータス) ウィンドウの内容を印刷するには、次の手順に従います。

- ツールバーの  「Print」(印刷) アイコン ドロップ ダウン メニューから「Status」(ステータス) オプションを選択するか、「File」(ファイル) メニューの「Print」(印刷) オプション メニューから「Status」(ステータス) 項目を選択します。

3.4.3 スクリプトとステータスを開く

以前に保存したスクリプト [*.txt] やステータス ファイル [*.sts] は、以下の方法で開くことができます。

- ツールバーの「Open File」(ファイルを開く) アイコンをクリックするか、「File」(ファイル) メニューの  「Open File」(ファイルを開く) メニューから「Script」(スクリプト) または「Status」(ステータス) オプションを選択します。目的のファイルを選択すると、ファイルが開き、スクリプトまたはステータス ファイルが「Script」(スクリプト) または「Status」(ステータス) ウィンドウに表示されます。

注

スクリプトは、シンプルなテキスト エディタで編集できます。そのため、スクリプトを開くと、スクリプトの整合性がチェックされます。コマンドに一致するパラメータがない場合、またはパラメータに一致するコマンドがない場合、エラー ダイアログが表示され、スクリプトは開きません。スクリプトを開く前に、スクリプトを修正する必要があります。

3.4.4 新規スクリプトとステータスの作成

ツールバーの「New File」(新規ファイル) アイコンをクリックして、「Script」(スクリプト) または「Status」(ステータス) オプションを選択するか、「File」(ファイル) メニューの「New File」(新規ファイル) メニュー項目から「Script」(スクリプト) または「Status」(ステータス) オプションを選択することで、新しいスクリプトまたはステータス ファイルを作成できます。

3.4.4.1 新規スクリプトの作成

新しいスクリプトを開くには、次の手順に従います。

-  「New」(新規) ツールバー アイコン ドロップ ダウン メニューから「Script」(スクリプト) オプションを選択するか、「File」(ファイル) メニューの「New」(新規) オプション メニューから「Script」(スクリプト) 項目を選択します。

選択が完了すると、最初に現在のスクリプトを保存するように求められ、その後空白のスクリプトが挿入されます。

3.4.4.2 新規ステータスの作成

新しいステータスを開くには、次の手順に従います。

-  「New」(新規) ツールバー アイコン ドロップ ダウン メニューから「Status」(ステータス) オプションを選択するか、「File」(ファイル) メニューの「New」(新規) オプション メニューから「Status」(ステータス) 項目を選択します。

選択が完了すると、最初に現在のステータスログを保存するように求められ、その後空白のステータスが挿入されます。

3.5 DLPC410「Control」(コントロール) ウィンドウ

DLPC410「Control」(コントロール) ウィンドウは DMD、DLPC410「Control」(コントロール) メニューからアクセスし、DLPC410 入力信号を直接制御できます。スクリプト コマンドは生成されず、「Set」(設定) ボタンをクリックすると、DLPC410 に直ちに制御が適用されます。

このウィンドウの上部は、DMD へのデータ書き込みに使用される DLPC410 信号の読み取りと設定をサポートしています。「Current Value」(現在の値) 列には、ROWMD (行モード)、ROWADDR (行アドレス)、BLKMD (ブロック モード)、BLKADDR (ブロック アドレス) の現在の値が表示されます。16 進列に新しい値を 16 進数で入力し、「Set」(設定) ボタンをクリックすると、その値が DLPC410 に送信されます。「Load Row」(行の読み込み) ボタンは、入力された 4 桁の 16 進数値を繰り返す形で、1 行分のデータを送信します。

ウィンドウの下部は、制御動作モードである DLPC410 入力信号の制御をサポートしています。ボタンを選択して、信号の現在の値を切り替えます。

注

PWRFLOAT (電源フロート) がアサートされると、DMD ミラーがパーク状態になります。回復には、APPS_LOGIC_RST (HW スイッチ SW2) をアサートするか、D4100 システムの動作を再開するために評価基板を再起動することによって APPSFPGA をリセットする必要があります。

DLPC410 入力信号の詳細については、DLPC410 データシート ([DLPS024](#)) を参照してください。

この DMD/DLPC410「Control」(コントロール) メニュー ページのボタンによって呼び出される ActiveX 関数の詳細については、『DLP Discovery 4100 開発プラットフォーム API プログラマ ガイド』([DLPU039](#)) を参照してください。

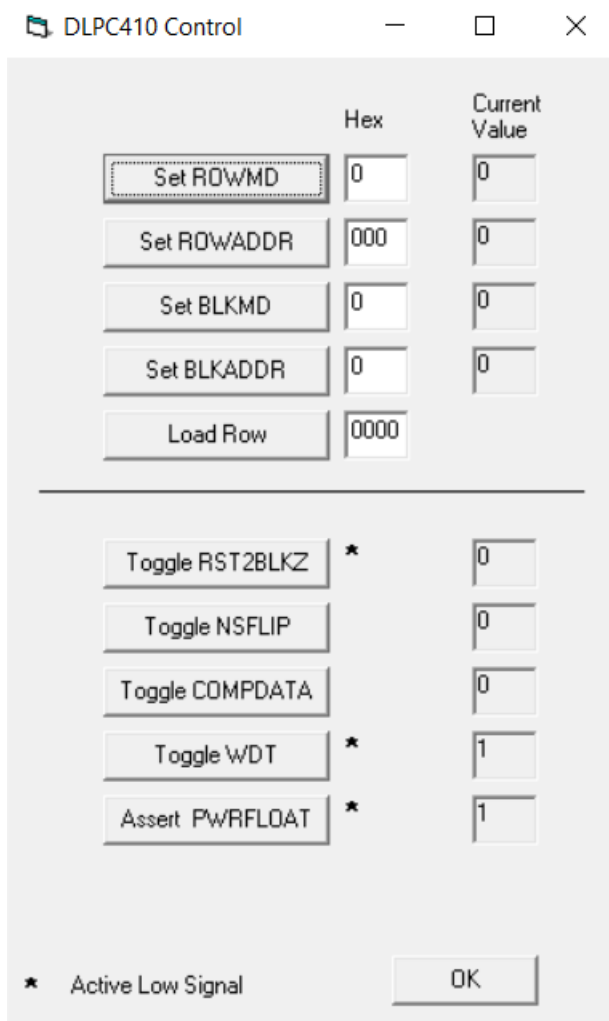


図 3-29. DLPC410「Control」(コントロール) ウィンドウ

3.6 「Test Patterns」(テスト パターン) ウィンドウ

アプリケーション FPGA (APPSFPGA) は、2 つのモードをサポートしています。

- 内部テスト パターン モード — APPSFPGA に格納された固定テスト パターンが選択され、DMD 上に表示されます。このモードではスクリプトはサポートされていません。
- ユーザー パターン モード — ユーザー定義の画像を GUI から APPSFPGA にダウンロードして、DMD に表示できます。これは「Script」(スクリプト) ウィンドウを使用して行います。スクリプトを実行すると、以前に内部テスト パターン モードが有効化されていても、GUI は自動的にユーザー パターン モードに切り替わります。

図 3-30 に示されているように、「Test Patterns」(テスト パターン) ウィンドウには、「Test Patterns」(テスト パターン) メニューからアクセスできます。

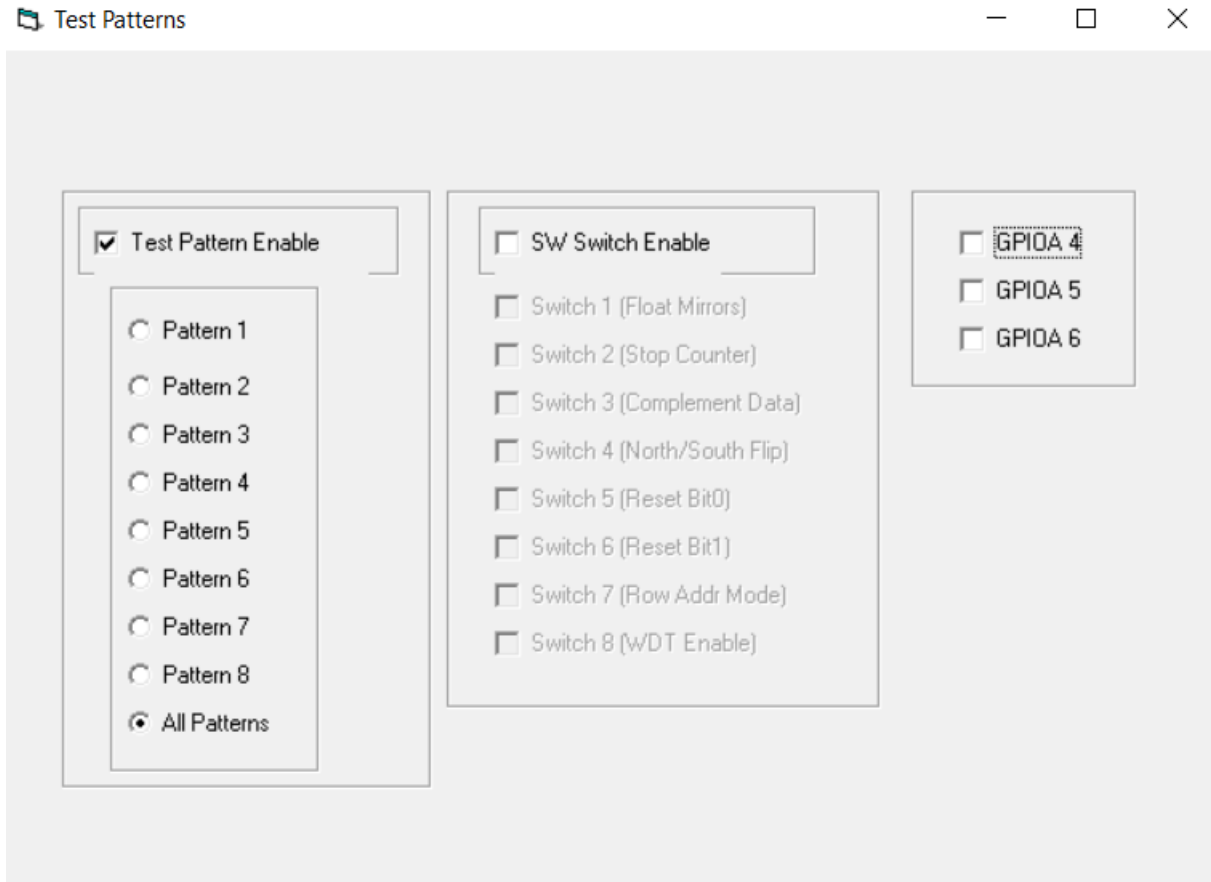


図 3-30. 「Test Patterns」(テスト パターン) ウィンドウ

「Test Patterns」(テスト パターン) ウィンドウには、次の機能があります。

- 内部テスト パターン モードの有効化/無効化。内部テスト パターン モードが有効化されている場合、各種の内部パターンを選択して DMD に表示できます。「All Patterns」(すべてのパターン) を選択すると、すべての内部パターンがラウンドロビン形式で表示されます。
- ソフトウェア スイッチ オーバーライドの有効化/無効化。有効化すると、このスイッチは DLPLCRC410EVM コントローラボードにあるスイッチ SW1 のハードウェア スイッチ設定よりも優先されます。わかりやすくするために、この表 3-2 では HW DIP スイッチの割り当てが繰り返されています。
- GPIO_A(4 - 6) の有効化/無効化。「Test Patterns」(テスト パターン) ウィンドウの [GPIOA 4]、[GPIOA 5]、[GPIOA 6] の選択項目は、コネクタ GPIO_A 上にある APPSFPGA の GPIO_A4、GPIO_A5、GPIO_A6 出力に直接マッピングされています。

表 3-2. SW1 Dip スイッチの割り当て

HW スイッチ SW1 番号	有効
1	ON = フロート — すべてのミラーをフロート状態にします
2	ON = カウンタの停止 — カウンタが停止すると、DMD 上の画像がフリーズします
3	ON = 補完データ — DLPC410 が、受信したすべてのデータを補完します
4	ON = ノーズ/サウス フリップ — DLPC410 が、行負荷の順序を反転させ、実質的に画像を反転させます
6 および 5	使用するリセットの種類を指定します (スイッチ 6 が MSB、ON = 1): 00: シングル ブロック位相リセット 01: デュアル ブロック位相リセット 10: グローバルリセット 11: クワッド ブロック位相リセット
7	ON = 行アドレス モード
8	ON = ウォッチドッグ タイマ (WDT) イネーブル、その他のリセットを無効化します

この「Test Patterns」(テスト パターン) メニュー ページのボタンに呼び出される **ActiveX** 関数の詳細については、『DLP Discovery 4100 開発プラットフォーム API プログラマ ガイド』([DLPU039](#)) を参照してください。

3.7 About Box

About Box は、DLP Discovery 4100 開発プラットフォームの各種ソフトウェアおよびハードウェアに関するバージョン情報を提供します。

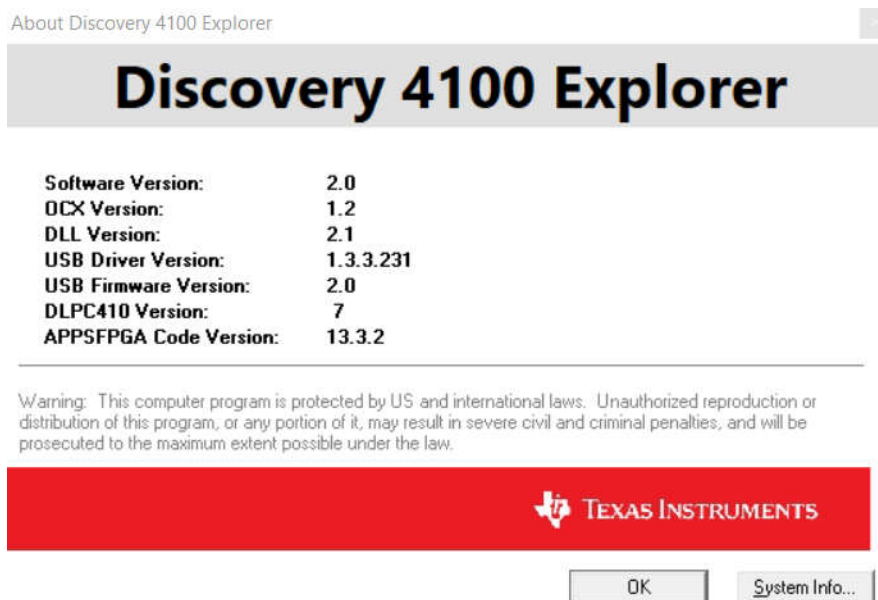


図 3-31. About Box

3.8 リンク

詳細については、『DLP Discovery 4100 開発プラットフォーム』を参照してください。

4 ハードウェア設計ファイル

D4100 コントローラ ボード設計ファイルには、以下が含まれています。

- D4100 ボード ESD — 電子回路図
- D4100 ボード GERBER および BRD ファイル
- D4100 ボード CCA — 回路カード アセンブリ
- D4100 ボード BOM — 回路カード アセンブリ

DLP9500 (UV) ボード設計ファイルには、以下が含まれています。

- DLP9500 ボード ESD — 電子回路図
- DLP9500 ボード GERBER および BRD ファイル
- DLP9500 ボード CCA — 回路カード アセンブリ
- DLP9500 ボード BOM — 回路カード アセンブリ

DLP7000 (UV) ボード設計ファイルには、以下が含まれています。

- DLP7000 ボード ESD — 電子回路図
- DLP7000 ボード GERBER および BRD ファイル
- DLP7000 ボード CCA — 回路カード アセンブリ
- DLP7000 ボード BOM — 回路カード アセンブリ

DLP650LNIR ボード設計ファイルには、以下が含まれています。

- DLP650LNIR ボード ESD — 電子回路図
- DLP650LNIR ボード GERBER および BRD ファイル
- DLP650LNIR ボード CCA — 回路カード アセンブリ
- DLP650LNIR ボード BOM — 回路カード アセンブリ

5 追加情報

5.1 商標

Discovery™ is a trademark of Texas Instruments.

ActiveX™ is a trademark of ACTIVE NETWORK, LLC.

DLP® is a registered trademark of Texas Instruments.

Xilinx® and Virtex® are registered trademarks of Xilinx, Inc.

すべての商標は、それぞれの所有者に帰属します。

5.2 略語および頭字語

以下に、このマニュアルで使用される略語および頭字語を示します。

APPSFPGA	顧客のアプリケーションのための DLPLCRC410EVM の Xilinx Virtex 5 FPGA
D4100 プラットフォーム	DLP Discovery 4100 開発プラットフォーム
DC	直流電流
DDR	ダブル データ レート
DMD	デジタル マイクロミラー デバイス
EVM	評価基板
FCC	連邦通信委員会
FPGA	フィールド プログラマブル ゲート アレイ
GPIO	汎用入出力
GUI	グラフィカル ユーザー インターフェイス
HW	ハードウェア
NIR	近赤外線 (NIR)
PROM	プログラム可能な読み取り専用メモリ
SCP	シリアル通信ポート
SW	スイッチ
SRAM	スタティック ランダム アクセス メモリ
USB	ユニバーサル シリアル バス
WXGA	ワイド拡張グラフィックス アレイ
XGA	拡張グラフィックス アレイ

5.3 表記規則

このドキュメントでは、次の表記規則を使用しています。

5.3.1 注意事項および警告に関する情報

本書には注意事項および警告が記載されています。

注意

これは注意事項の説明です。注意事項は、ソフトウェアまたは機器に損傷を与える可能性のある状況について説明しています。

警告

これは警告文の説明です。警告文は、ユーザーに危害を及ぼす可能性のある状況を示しています。

注意事項または警告に記載されている情報は、お客様の保護のために提供されています。それぞれの注意事項および警告をよくお読みください。

FCC 警告: この機器は、研究機関のテスト環境のみで使用するよう設計されています。この機器は、無線周波数エネルギーを生成、使用、または放射しますが、無線周波数による干渉に対して適切な保護を提供するために定められている FCC 規則の第 15 条 J 項に基づくコンピューティング デバイスの制限に準拠しているかどうかは検証されていません。この機器を他の環境で使用すると、無線通信に妨害を与える可能性があります。その場合、ユーザーは自らの費用負担において、当該妨害を解消するために必要なあらゆる措置を講じる必要があります。

6 関連資料

このセクションでは、DLPC410 コントローラ ボードの使用に関する関連資料を示します。

- テキサス インスツルメンツ、『DLP650LNIR 0.65 NIR WXGA S450 DMD』データシート
- テキサス インスツルメンツ、『DLP7000 DLP® 0.7 XGA 2x LVDS Type A DMD』データシート
- テキサス インスツルメンツ、『DLP7000UV DLP® 0.7 UV XGA 2x LVDS Type A DMD』データシート
- テキサス インスツルメンツ、『DLP9500 DLP® 0.95 1080p 2x LVDS Type A DMD』データシート
- テキサス インスツルメンツ、『DLP9500UV DLP® 0.95 UV 1080p 2x LVDS Type A DMD』データシート
- テキサス インスツルメンツ、『DLPC410 DMD デジタル コントローラ』データシート
- テキサス インスツルメンツ、『DLPA200 デジタル マイクロミラー デバイスドライバ』データシート
- テキサス インスツルメンツ、『DLP Discovery 4100 開発プラットフォーム API プログラマ ガイド』
- Infineon、『Cypress USB Controller for the Cypress CY7C68013A USB Controller』
- AMD、APPSFPGA 開発ツールと情報

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (July 2024) to Revision D (August 2026)	Page
• DLPLCRC410EVM キットの内容の説明を更新。.....	6
• DLPLCRC410EVM 回路図における Apps FPGA 部品 (U5) の正しいピン配置が反映されるように 表 2-5 の APPSFPGA ピン番号を更新。.....	14

Changes from Revision B (March 2023) to Revision C (July 2024)	Page
• DLPLCRC410EVM に関連する正しい電源情報が反映されるように、電源 を更新。.....	10

Changes from Revision A (November 2018) to Revision B (March 2023)	Page
• DLP Discovery 4100 Explorer GUI の Windows インストーラ エラーに関する手順を追加.....	32

Changes from Revision * (October 2016) to Revision A (November 2018)	Page
• 『Discovery 評価基板テクニカル リファレンス マニュアル』(DLPU053) を追加.....	4
• 「概要」セクションを変更し、6 つの評価基板の組み合わせと一致が入った更新済み Discovery 4100 プラットフォームについて記載	4
• 新しい DLP650LNIR DMD リファレンスを追加 (複数).....	4
• 古い DLPC410 コントローラの PCB レイアウトを新しいレイアウト (新しい電源コネクタ、D16、D17) に変更.....	11
• J12 および J18 入力電源コネクタの定義を追加.....	13
• セクション 2.2.4 にスイッチ位置図を追加。わかりやすくするため、スイッチのセクションの名前を変更および編集。...	26
• D16 を追加 (前回のレイアウト変更で、デュアル LED の D2 をシングル LED の D2 と D16 に変更).....	28
• D17 を追加 (前回のレイアウト変更で、デュアル LED の D3 をシングル LED の D3 と D17 に変更).....	28
• DLP650LNIR (0.65 WXGA) を接続した状態を示すように、GUI のスクリーンショットを更新.....	30
• DLP650LNIR のサポート情報とリンクを追加 (複数).....	31
• 新しい GUI テスト パターン メニュー/コントロールの説明を追加.....	42
• 「Load」(ロード) タブの画像を Load4 を使用した新しい画面キャプチャに変更.....	45
• 新しい「Test Patterns」(テスト パターン) ウィンドウと選択可能な項目についての説明を追加.....	55

STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an "EVM" or "EVMs") to the User ("User") in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.
 - 1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM ("Software") shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software
 - 1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.
2. *Limited Warranty and Related Remedies/Disclaimers:*
 - 2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.
 - 2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.
 - 2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

WARNING

Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.

User shall operate the Evaluation Kit within TI's recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI's recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI's instructions for electrical ratings of interface circuits such as input, output and electrical loads.

NOTE:

EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGRADATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.

3 Regulatory Notices:

3.1 United States

3.1.1 Notice applicable to EVMs not FCC-Approved:

FCC NOTICE: This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

3.1.2 For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:

CAUTION

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

FCC Interference Statement for Class A EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a residential area. If this equipment does cause harmful interference in which case the user will be required to correct the interference at his own expense.

FCC Interference Statement for Class B EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:

- Reorient or relocate the receiving antenna.
- Increase the separation between the equipment and receiver.
- Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.
- Consult the dealer or an experienced radio/TV technician for help.

3.2 Canada

3.2.1 For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247

Concerning EVMs Including Radio Transmitters:

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

Concernant les EVMs avec appareils radio:

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

Concerning EVMs Including Detachable Antennas:

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur.

3.3 Japan

3.3.1 *Notice for EVMs delivered in Japan:* Please see http://www.tij.co.jp/sds/ti_ja/general/eStore/notice_01.page 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html>

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。技術適合証明を受けていないもののご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。 日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿 6 丁目 2 4 番 1 号
西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see http://www.tij.co.jp/sds/ti_ja/general/eStore/notice_02.page

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html>

3.4 European Union

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive):*

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

4 *EVM Use Restrictions and Warnings:*

4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.

4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.

4.3 *Safety-Related Warnings and Restrictions:*

4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.

4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.

4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.

5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.

6. *Disclaimers:*

6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.

6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.

7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.

8. *Limitations on Damages and Liability:*

8.1 *General Limitations.* IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMNITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.
10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月