

Errata

TMS320F28004x リアルタイム MCU シリコン エラッタ

シリコン リビジョン D、B、A、0



概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 使用上の注意およびアドバイザリ マトリックス.....	3
1.1 使用上の注意マトリックス.....	3
1.2 アドバイザリ マトリックス.....	3
2 命名法、パッケージのマーキングとリビジョンの識別.....	5
2.1 デバイスおよび開発ツールの命名規則.....	5
2.2 サポート対象デバイス.....	5
2.3 パッケージの記号表記およびリビジョンの識別.....	6
3 シリコン リビジョン D の使用上の注意とアドバイザリ.....	9
3.1 シリコン リビジョン D の使用上の注記.....	9
3.2 シリコン リビジョン D のアドバイザリ.....	12
4 シリコン リビジョン B の使用上の注意とアドバイザリ.....	46
4.1 シリコン リビジョン B の使用上の注記.....	46
4.2 シリコン リビジョン B のアドバイザリ.....	46
5 シリコン リビジョン A の使用上の注意とアドバイザリ.....	47
5.1 シリコン リビジョン A の使用上の注記.....	47
5.2 シリコン リビジョン A のアドバイザリ.....	47
6 シリコン リビジョン 0 の使用上の注意とアドバイザリ.....	51
6.1 シリコン リビジョン 0 の使用上の注記.....	51
6.2 シリコン リビジョン 0 のアドバイザリ.....	51
7 ドキュメントのサポート.....	54
8 商標.....	54
9 改訂履歴.....	54

図の一覧

図 2-1. PM および PZ パッケージのデバイス マーキングの例.....	6
図 2-2. RSH パッケージのデバイス マーキングの例.....	6
図 2-3. デバイスの命名規則の例.....	8
図 3-1. パイプラインにストールがない場合の問題のパイプライン図.....	12
図 3-2. 命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図.....	13
図 3-3. 回避方法が適用されたパイプライン図.....	14
図 3-4. 直列終端抵抗とプルアップ抵抗の配置.....	27
図 3-5. 望ましくないトリップ イベントとブランキング ウィンドウの期限切れ.....	30
図 3-6. 結果として望ましくない ePWM 出力が発生する可能性があります.....	30

表の一覧

表 1-1. 使用上の注意マトリックス.....	3
表 1-2. アドバイザリ マトリックス.....	3
表 2-1. ロットトレース コードからのシリコン リビジョンの判定.....	6
表 3-1. 標準モードホストを備えたターゲットトランスミッタとしての C2000 のデータ立ち上がり時間要件.....	28
表 3-2. 一般的なバス容量 (C_b) のプルアップ抵抗 (R_p) 値.....	29
表 3-3. アドバイザリによって影響を受けるメモリ.....	36
表 3-4. ADCCTL2 レジスタ.....	39

1 使用上の注意およびアドバイザリ マトリックス

表 1-1 に、すべての使用上の注意と、該当するシリコンのリビジョンを示します。表 1-2 にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

1.1 使用上の注意マトリックス

表 1-1. 使用上の注意マトリックス

番号	タイトル	影響を受けるシリコンのリビジョン			
		0	A	B	D
セクション 3.1.1	PIE: 双方向 PIEACK 書き込みと手動 CPU 割り込みマスク クリア後のスプリアス ネット割り込み	あり	あり	あり	あり
セクション 3.1.2	FPU32 および VCU の双方向メモリ アクセス	あり	あり	あり	あり
セクション 3.1.3	ネストされた割り込みを使用する場合は注意	あり	あり	あり	あり
セクション 3.1.4	セキュリティ: プライマリ防御層はチップの境界を保護します。これは、JTAGLOCK およびフラッシュからのゼロ ピン ブート機能を有効化することから始まります	あり	あり	あり	あり

1.2 アドバイザリ マトリックス

表 1-2. アドバイザリ マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン			
		0	A	B	D
CMPSS	CMPSS: COMPxLATCH は、特定の条件では正しくクリアされないことがあります	あり	あり	あり	あり
FPU	FPU: FPU-to-CPU レジスタ移動操作の前にする FPU 2p 操作	あり	あり	あり	あり
SDFM	SDFM: スレッシュOLD設定 (LLT、HLT)、フィルタ タイプ、COSR 設定を動的に変更すると、スプリアス コンパレータ イベントがトリガされます	あり	あり	あり	あり
SDFM	SDFM: データ フィルタ設定 (フィルタ タイプや DOSR など) を動的に変更すると、誤ったデータ確認イベントがトリガされます	あり	あり	あり	あり
SDFM	SDFM: SD 変調器の 3 クロック サイクル以内に SDCPARMx レジスタのビットフィールド CEVT1SEL、CEVT2SEL、および HZEN に連続して 2 回書き込みを行うと、SDFM ステートマシンが破損し、誤ったコンパレータ イベントが発生する可能性があります	あり	あり	あり	あり
SDFM	SDFM: Manchester モード (モード 2) では、いくつかの条件下で正しいフィルタ結果が生成されません	あり	あり	あり	あり
eQEP	eQEP: インデックス中の方向変更時に位置カウンタが正しくリセットされません	あり	あり	あり	あり
eQEP	eQEP: GPIO 非同期モードでの eQEP 入力	あり	あり	あり	あり
V _{DD} の電源:	V _{DD} の電源: V _{DDIO} の電源投入時に、V _{DD} も上昇する場合があります	あり	あり	あり	あり
eCAP	eCAP: HRFRC は EALLOW 保護されていません	あり	あり	あり	あり
PLL	PLL: PLL は初回のロック試行でロックしないことがあります	あり	あり	あり	あり
LPM	LPM: STANDBY 低消費電力モードはサポートされていません	あり	あり	あり	あり
DCC	DCC: シングルショットモード動作が早期に終了することがあります	あり	あり	あり	あり
BOR	BOR: 2.45V ~ 3.0V の VDDIO は、複数の XRSn パルスを生成する可能性があります	あり	あり	あり	あり
I2C	I2C: SDA および SCL のオープンドレイン出力バッファに関する問題	あり	あり	あり	あり
I2C	I2C: ターゲットトランスミッタ モード、標準モードの SDA タイミングの制限	あり	あり	あり	あり
ePWM	ePWM: ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります	あり	あり	あり	あり
ePWM	ePWM: ブランキング ウィンドウ開始後の最初の 3 サイクルの間、トリップ イベントはブランキング ウィンドウによってフィルタされません	あり	あり	あり	あり
ePWM	ePWM: 「DC イベントベース CBC トリップ」のイベント ラッチ (DCxEVTxLAT) は、非同期パスが選択されている場合、トリガ パルスを想定どおりに延長できない可能性があります	あり	—	—	—

表 1-2. アドバイザリ マトリックス (続き)

モジュール	説明	影響を受けるシリコンのリビジョン			
		0	A	B	D
ePWM	ePWM: ワンショット / CBC トリップ イベント DCxEVTy.force はトリップ条件を設定しません	あり	あり	あり	あり
INTOSC	INTOSC: VDD なしで VDDIO 電源を供給すると、INTOSC 周波数ドリフトが発生する可能性があります	あり	あり	あり	あり
FSI	FSI: RX FIFO スプリアス オーバーラン	あり	あり	あり	あり
フラッシュ	フラッシュ: フラッシュのプリフェッチを無効にせずに Fapi_setActiveFlashBank() を実行すると、ITRAP が発生することがあります	あり	あり	あり	あり
	DCAN FIFO モードでは、受信したメッセージは FIFO バッファの順序に従わず配置できます	あり	あり	あり	あり
ブート ROM	ブート ROM: アプリケーションから SCI ブートローダーを呼び出します	あり	あり	あり	あり
ブート ROM、MPOST	ブート ROM、MPOST: MPOST が有効になっている場合の起動時間が長くなります	あり	あり	あり	あり
メモリ	メモリ: 有効なメモリを超えたプリフェッチ	あり	あり	あり	あり
システム	システム: システム制御レジスタの構成の制限事項	あり	あり	あり	あり
ADC	ADC: INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります	あり	あり	あり	あり
ADC	ADC: ADCCLK 分周器により ADC の性能が低下	あり	あり	あり	あり
ADC	ADC: 古い結果の DMA 読み取り	あり	あり	あり	あり
CLB	CLB: 複数のアクティブ ハイレベル コントローラ (HLC) チャンネルを使用した連続する PUSH または PULL 命令はサポートされていません	あり	あり	あり	あり
アナログ サブシステム	アナログ サブシステム: 共有リファレンス ピンのソフトウェア設定	あり	あり	—	—
	一部の TMX デバイスのアナログ トリム	あり	あり	—	—
PGA	PGA: 出力フィルタ パスはサポートされていません	あり	あり	—	—
ROM	ROM: Flash API ライブラリおよび FPU32 Twiddle Factor RFFT テーブルがありません	あり	あり	—	—
REVID	REVID: 一部の TMX リビジョン A デバイスの REVID 値が正しくありません	—	あり	—	—
GPIO	GPIO: パワーアップ時の X2/GPIO18 ピン プルアップ電流	あり	あり	あり	あり
GPIO	GPIO: オープンドレイン構成が短い High パルスを駆動する可能性があります	あり	あり	あり	あり
GPIO	GPIO: 入力モードで最大 V _{IH} を超えた場合の V _{SS} への寄生パス	—	あり	—	—
GPIO	GPIO: パワーアップ時に、ピンが High に駆動されることがあります	あり	—	—	—
GPIO	GPIO: V _{SS} への信号ラッチアップ	あり	—	—	—
LIN	LIN: 同期フィールドが誤っている場合、不整合同期フィールド エラー (ISFE) フラグ/割り込みが設定されません	あり	あり	あり	あり
XTAL	XTAL: XTALCR[SWH]= 0 はサポートされていません	あり	あり	あり	あり

2 命名法、パッケージのマーキングとリビジョンの識別

2.1 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI では TMS320 MCU デバイスとサポート ツールのすべての型番に接頭辞が割り当てられています。TMS320™ MCU 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、**TMS320F280049**)。テキサス インストルメンツでは、サポート ツールに対して使用可能な 3 つの接頭辞のうち、TMDX、TMDS の 2 つを推奨しています。これらの接頭辞は、エンジニアリング プロトタイプ (デバイスでは TMX、ツールでは TMDX) から、完全に認定済みの量産版デバイスとツール (デバイスでは TMS、ツールでは TMDS) まで、製品開発の進展段階を表しています。

デバイスの開発進展フロー:

TMX 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

TMP プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

TMS 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インストルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インストルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大いといと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インストルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの命名規則には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (例:PZ) と温度範囲 (例:S) を示しています。

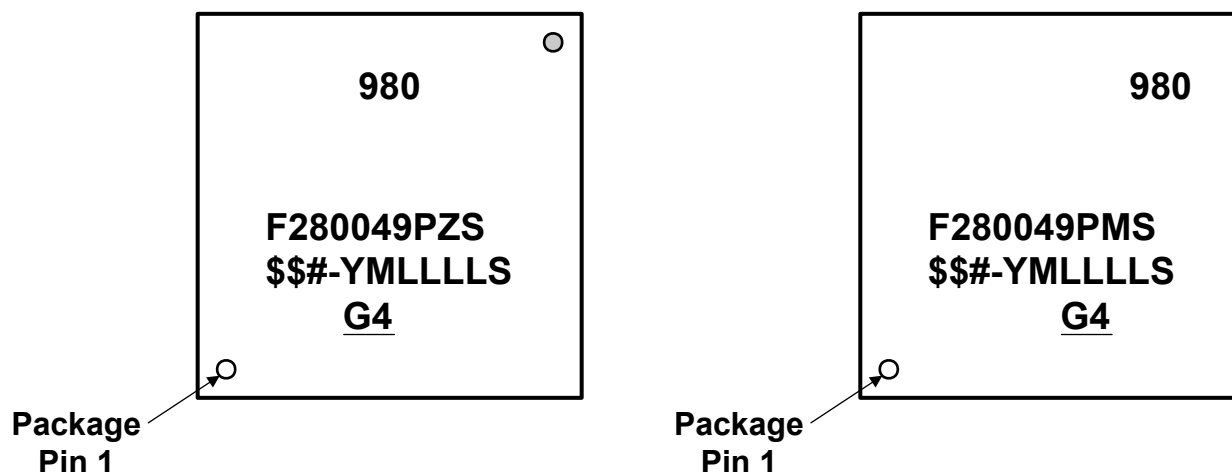
2.2 サポート対象デバイス

本文書は、以下のデバイスをサポートしています。

- [TMS320F280049](#)
- [TMS320F280049-Q1](#)
- [TMS320F280049C](#)
- [TMS320F280049C-Q1](#)
- [TMS320F280048-Q1](#)
- [TMS320F280048C-Q1](#)
- [TMS320F280045](#)
- [TMS320F280041](#)
- [TMS320F280041-Q1](#)
- [TMS320F280041C](#)
- [TMS320F280041C-Q1](#)
- [TMS320F280040-Q1](#)
- [TMS320F280040C-Q1](#)

2.3 パッケージの記号表記およびリビジョンの識別

図 2-1 と図 2-2 に、F28004x デバイスのマーキング例と、各マーキングの定義を示します。デバイスリビジョンは、図 2-1 と図 2-2 に示すように、パッケージの上面にマークが付いた記号で決定できます。一部のプロトタイプ デバイスは、ここに示されているものとマーキングが異なる可能性があります。図 2-3 に、デバイスの命名規則を示します。



YMLLLLS = Lot Trace Code

980 = TI EIA Code

YM = 2-digit Year/Month Code

LLLL = Assembly Lot Code

S = Assembly Site Code

\$\$ = Wafer Fab Code (one or two characters) as applicable

= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-1. PM および PZ パッケージのデバイス マーキングの例

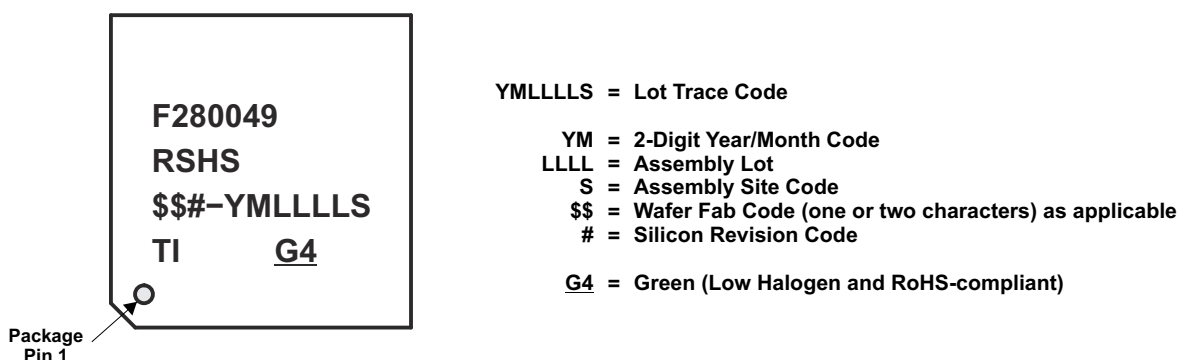


図 2-2. RSH パッケージのデバイス マーキングの例

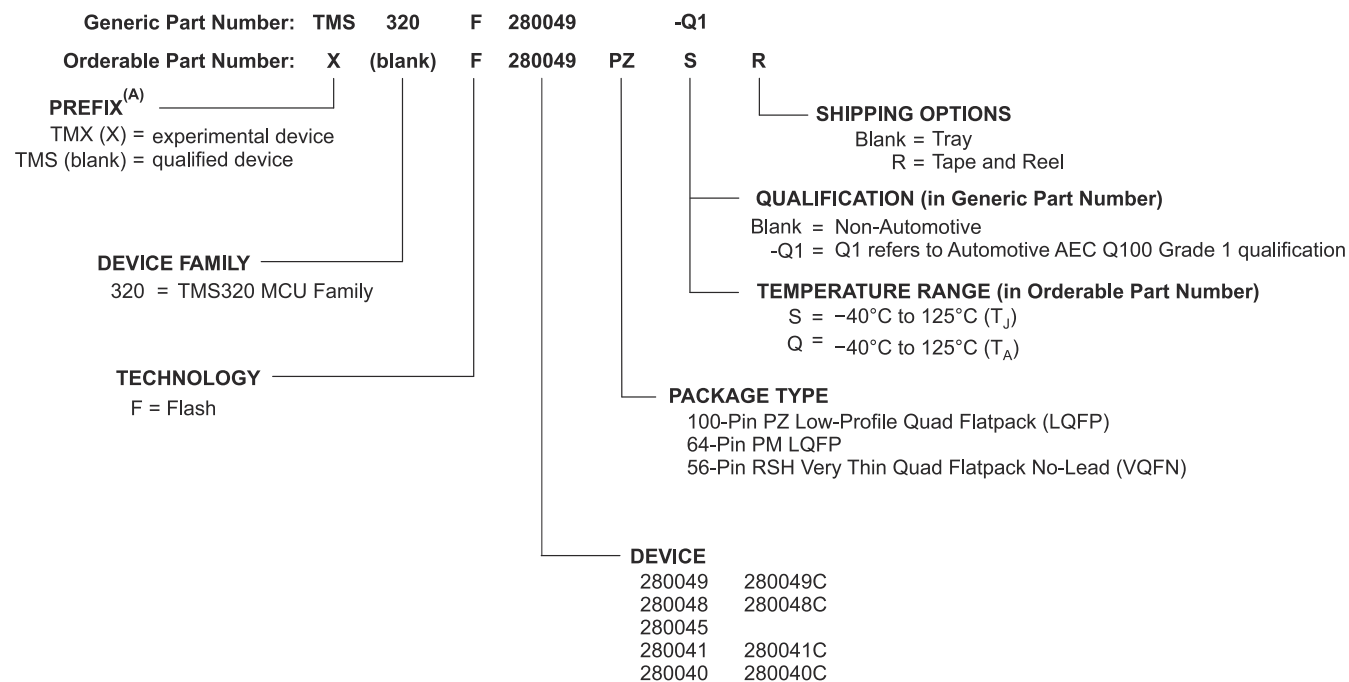
表 2-1. ロットトレースコードからのシリコン リビジョンの判定

シリコンのリビジョンコード	シリコンのリビジョン	REVID ⁽¹⁾ アドレス: 0x5D00C	備考 ⁽²⁾
空白	0	0x0000 0000	このシリコン リビジョンは TMX として供給されます。

表 2-1. ロットトレース コードからのシリコン リビジョンの判定 (続き)

シリコンのリビジョン コード	シリコンのリビジョン	REVID ⁽¹⁾ アドレス: 0x5D00C	備考 ⁽²⁾
A	A	0x0000 0001	このシリコン リビジョンは TMX として供給されます。
B	B	0x0000 0002	このシリコン リビジョンは TMX および TMS として供給されます。
D	D	0x0000 0004	このシリコン リビジョンは TMS として供給されます。

- (1) シリコンのリビジョン ID
 (2) 注文可能なデバイス番号については、『[TMS320F28004x リアルタイム マイクロコントローラ](#)』データシートのパッケージ情報の表を参照してください。


図 2-3. デバイスの命名規則の例

3 シリコン リビジョン D の使用上の注意とアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

3.1 シリコン リビジョン D の使用上の注記

このセクションでは、シリコン リビジョン D [およびそれ以前のシリコン リビジョン] に適用されるすべての使用上の注意を一覧表示しています。

3.1.1 PIE: 双方向 PIEACK 書き込みと手動 CPU 割り込みマスク クリア後のスプリアス ネスト割り込み

影響を受けるリビジョン: 0、A、B、D

ネストされた割り込みに使用される特定のコード・シーケンスでは、CPU と PIE が矛盾した状態に移行し、望ましくない割り込みをトリガできるようになります。この状態に入るために必要な条件は次のとおりです。

1. PIEACK クリアの後に、グローバル割り込み友好状態 (EINT または ASM (「CLRC INTM」)) が直ちに続きます。
2. ネストされた割り込みにより、そのグループの一つ以上の PIEIER ビットがクリアされます。

不要な割り込みがトリガされるかどうかは、システム内の他の割り込みの構成とタイミングによって異なります。これは、ほとんどのアプリケーションではまれなイベントまたは存在しないイベントであると予想されます。発生した場合、不要な割り込みはネストされた割り込みの PIE グループの最初の割り込みになり、ネストされた割り込みが CPU 割り込みを再度イネーブルにした後にトリガされます (EINT または ASM (「CLRC INTM」))。

回避方法: PIEACK 書き込みと CPU 割り込み有効化の間に NOP を追加します。コード例を以下に示します。

```
//Bad interrupt nesting code
PieCtrlRegs.PIEACK.all = 0xFFFF;    //Enable nesting in the PIE
EINT;                                //Enable nesting in the CPU

//Good interrupt nesting code
PieCtrlRegs.PIEACK.all = 0xFFFF;    //Enable nesting in the PIE
asm(" NOP");                          //wait for PIEACK to exit the pipeline
EINT;                                //Enable nesting in the CPU
```

3.1.2 FPU32 および VCU の双方向メモリ アクセス

影響を受けるリビジョン: 0、A、B、D

この使用上の注意は、VCU によるメモリ アクセスと FPU によるメモリ アクセスが双方向に発生する場合に適用します。次の 3 つのケースがあります。

ケース 1 双方向のメモリ読み取り: VCU 命令 (VMOV32) による 1 回の読み取りと FPU32 命令 (MOV32) による 1 回の読み取り

最初の読み取り中に R1 パイプライン フェーズのストールが発生すると、2 回目の読み取りで誤ったデータがラッチされます。最初の命令が R1 パイプライン フェーズ中にストールしなければ、2 回目の読み取りは正しく行われます。

FPU に続けて VCU を実行する場合と、VCU に続けて FPU を実行する場合で、違いはありません。いずれの読み取りでアクセスするメモリ ロケーションのアドレスも問いません。

ケース 1 の回避方法: 2 つの双方向読み取り命令の間に 1 つの命令を挿入します。VCU または FPU のメモリ読み取り以外の任意の命令を使用できます。

ケース 1、例 1:

```
VMOV32  VR1,mem32      ; VCU memory read
NOP      ; Not a FPU/ VCU memory read
MOV32    R0H,mem32      ; FPU memory read
```

ケース 1、例 2:

```
VMOV32  VR1,mem32      ; VCU memory read
VMOV32  mem32, VR2      ; VCU memory write
MOV32    R0H,mem32      ; FPU memory read
```

ケース 2 連続するメモリ書き込み: VCU 命令 (VMOV32) による 1 回の書き込みと FPU 命令 (MOV32) による 1 回の書き込み。

最初の書き込み中にパイプライン ストールが発生すると、2 回目の書き込みでデータが破損する可能性があります。最初の命令が書き込みフェーズでストールしなければ、破損は発生しません。

FPU に続けて VCU を実行する場合と、VCU に続けて FPU を実行する場合で、違いはありません。いずれの書き込みでアクセスするメモリ ロケーションのアドレスも問いません。

ケース 2 の回避方法: VCU と FPU による連続する書き込みの間に 2 つの命令を挿入します。VCU または FPU メモリの書き込みを除くすべての命令を使用できます。

ケース 2、例 1:

```
VMOV32  mem32,VR0      ; VCU memory write
NOP      ; Not a FPU/VCU memory write
NOP      ; Not a FPU/VCU memory write
MOV32    mem32,R3H      ; FPU memory write
```

ケース 2、例 2:

```
VMOV32  mem32,VR0      ; VCU memory write
VMOV32  VR1, mem32      ; VCU memory read
NOP      ;
MOV32    mem32,R3H      ; FPU memory write
```

ケース 3 連続するメモリ書き込みの後に読み取りを行う場合、またはメモリ読み取りの後に書き込みを行う場合です。この場合、2 つの命令の間に相互作用はありません。特に対応する必要はありません。

回避方法: ケース 1 の回避方法とケース 2 の回避方法を参照してください。

3.1.3 ネストされた割り込みを使用する場合は注意

影響を受けるリビジョン: 0、A、B、D

ネスト機能を使用するために、ユーザーが割り込みサービス ルーチン (ISR) 内で EINT 命令を使用して割り込みを有効にしている場合、ユーザーは ISR を終了する前に割り込みを無効にする必要があります。これを行わないと、CPU 実行の未定義の動作が発生する可能性があります。

3.1.4 セキュリティ: プライマリ防御層はチップの境界を保護します。これは、JTAGLOCK およびフラッシュからのゼロピンブート機能を有効化することから始まります

影響を受けるリビジョン: 0、A、B、D

デバイスのセキュリティは、不正なコードがデバイスに侵入して実行されることを許可されていないという前提に依存しています。そのため、セキュリティを懸念するユーザーが常に有効にする必要のある 2 つの機能をデバイスに搭載しています。

- **JTAGLOCK**

フラッシュの USER OTP 領域で有効にすると、JTAGLOCK 機能はデバイス上のリソースへの JTAG アクセス (デバッグ接続など) を無効にし、権限のない者が JTAG インターフェイスを使用してデバイスにコードをダウンロードすることをブロックします。JTAGLOCK が有効な場合でも、ユーザーは許可された当事者がパスワードを入力してロックを解除できるようにしたり、すべてゼロのパスワード値をプログラムして永続的にロックしたりすることができます。

- **ゼロピンブートからフラッシュ**

TI ROM に組み込まれた外部ブートローダは、ダウンロードされたコードの認証を実行しません。USER OTP でフラッシュブートモードとともにゼロピンブートオプションを有効にすると、ベースブート ROM の実行が終了した後、ブートプロセスが直ちに内部フラッシュにジャンプするように強制され、すべてのピンベースの外部ブートローダオプション (SCI、CAN、パラレルなど) がブート時に実行されなくなります。最高のセキュリティを実現するために、セキュアフラッシュブートモードを選択できます。これにより、ベースブート ROM にジャンプする前にフラッシュコードを事前にチェックできるようになります。

JTAG が永続的にロックされ、Zero-pin Boot to Flash (ゼロピンブートからフラッシュ) オプションが有効になっている場合、JTAG または内蔵ブートローダを介してデバイスと通信するプログラミングツールは動作しません。ファームウェアのアップグレードを実行する機能が必要な場合、更新を安全に管理および実行するため、コードをフラッシュに事前格納する必要があります。

3.2 シリコン リビジョン D のアドバイザリ

このセクションでは、シリコン リビジョン D [およびそれ以前のシリコン リビジョン] に適用されるすべてのアドバイザリを一覧表示しています。

アドバイザリ **FPU: FPU から CPU へのレジスタ移動操作の前にする FPU 2p 操作**

影響を受けるリビジョン 0、A、B、D

詳細

このアドバイザリは、マルチサイクル (2p) FPU 命令の後に FPU から CPU へのレジスタ転送が行われる場合に適用されます。FPU-to-CPU READ 命令ソースレジスタが 2p 命令宛先と同じである場合、2p 命令が完了する前に、読み出しは FPU レジスタの値となる可能性があります。これは、2p 命令がパイプラインの E3 フェーズ中に結果のデータ転送に依存するために発生します。E3 フェーズでパイプライン ストールが発生した場合、結果は読み取り命令の時間内に転送されません。

このアドバイザリの影響を受ける 2p 命令は、MPYF32、ADDF32、SUBF32、および MACF32 です。FPU レジスタの読み出しの宛先は、CPU レジスタ (ACC、P、T、XAR0 ~ XAR7) で無ければいけません。レジスタの読み出しが FPU-to-FPU レジスタ転送である場合、このアドバイザリは適用されません。

次の例では、2p 命令 MPYF32 は R6H を宛先として使用します。FPU レジスタ READ MOV32 は、同じレジスタ R6H をソースとして使用し、CPU レジスタを宛先として使用します。E3 パイプラインフェーズでストールが発生した場合、MOV32 は MPYF32 命令が完了する前に R6H の値を読み取ります。

問題の例:

```
MPYF32 R6H, R5H, R0H ; 2p FPU instruction that writes to R6H
|| MOV32 *XAR7++, R4H
F32TOUI16R R3H, R4H ; delay slot
ADDF32 R2H, R2H, R0H
|| MOV32 *--SP, R2H ; alignment cycle
MOV32 @XAR3, R6H ; FPU register read of R6H
```

図 3-1 に、パイプラインにストールがない場合の問題のパイプライン図を示します。

	Instruction	FPU pipeline-->										Comments
		F1	F2	D1	D2	R1	R2	E	W			
						R1	R2	E1	E2	E3		
I1	MPYF32 R6H, R5H, R0H MOV32 *XAR7++, R4H	I1										
I2	F32TOUI16R R3H, R4H	I2	I1									
I3	ADDF32 R2H, R2H, R0H MOV32 *--SP, R2H	I3	I2	I1								
I4	MOV32 @XAR3, R6H	I4	I3	I2	I1							
			I4	I3	I2	I1						
				I4	I3	I2	I1					
					I4	I3	I2	I1				
						I4	I3	I2	I1			
							I4	I3	I2	I1		
								I4	I3	I2		
									I4	I3		

図 3-1. パイプラインにストールがない場合の問題のパイプライン図

アドバイザリ (続き)

FPU: FPU から CPU へのレジスタ移動操作の前にする FPU 2p 操作

図 3-2 に、命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図を示します。

	Instruction	F1	F2	D1	D2	R1	R2	E	W		Comments
		FPU pipeline-->				R1	R2	E1	E2	E3	
I1	MPYF32 R6H, R5H, R0H MOV32 *XAR7++, R4H	I1									
I2	F32TOUI16R R3H, R4H	I2	I1								
I3	ADDF32 R3H, R2H, R0H MOV32 *--SP, R2H	I3	I2	I1							
I4	MOV32 @XAR3, R6H	I4	I3	I2	I1						
			I4	I3	I2	I1					
				I4	I3	I2	I1				
					I4	I3	I2	I1			
						I4	I3	I2	I1		
							I4	I3	I2	I1 (STALL)	I4 samples the result as it enters the R2 phase, but I1 is stalled in E3 and is unable to forward the product of R5H*R0H to I4 (R6H does not have the product yet due to a design bug). So, I4 reads the old value of R6H.
							I4	I3	I2	I1	There is no change in the pipeline as it was stalled in the previous cycle. I4 had already sampled the old value of R6H in the previous cycle.
								I4	I3	I2	Stall over

図 3-2. 命令 I1 の E3 スロットにストールがある場合の問題のパイプライン図

回避方法

このシナリオでは、MPYF32、ADDF32、SUBF32、および MACF32 を 3p サイクル命令として扱います。命令のディレイ スロットには、3 つの NOP 命令または矛盾しない命令を配置する必要があります。

C28x コード生成ツール v.6.2.0 以降のバージョンでは、正しい命令シーケンスが生成され、アセンブリコードのエラーが検出されます。以前のバージョンの v6.0.5 (6.0.x 分岐の場合) および v.6.1.2 (6.1.x 分岐の場合) では、コンパイラは正しい命令シーケンスを生成しますが、アセンブラはアセンブリコードのエラーを検出しません。

回避方法の例:

```

MPYF32 R6H, R5H, R0H
|| MOV32 *XAR7++, R4H      ; 3p FPU instruction that writes to R6H
F32TOUI16R R3H, R4H      ; delay slot
ADDF32 R2H, R2H, R0H
|| MOV32 *--SP, R2H      ; delay slot
NOP                      ; alignment cycle
MOV32 @XAR3, R6H        ; FPU register read of R6H

```

図 3-3 に、回避方法が適用されたパイプライン図を示します。

アドバイザー (続き)
FPU: FPU から CPU へのレジスタ移動操作の前にする FPU 2p 操作

	Instruction	F1	F2	D1	D2	R1	R2	E	W		Comments
		FPU pipeline-->				R1	R2	E1	E2	E3	
I1	MPYF32 R6H, R5H, R0H MOV32 *XAR7++, R4H	I1									
I2	F32TOUI16R R3H, R4H	I2	I1								
I3	ADDF32 R3H, R2H, R0H MOV32 *--SP, R2H	I3	I2	I1							
I4	NOP	I4	I3	I2	I1						
I5	MOV32 @XAR3, R6H	I5	I4	I3	I2	I1					
			I5	I4	I3	I2	I1				
				I5	I4	I3	I2	I1			
					I5	I4	I3	I2	I1		
						I5	I4	I3	I2	I1 (STALL)	Due to one extra NOP, I5 does not reach R2 when I1 enters E3; thus, forwarding is not needed.
						I5	I4	I3	I2	I1	There is no change due to the stall in the previous cycle.
							I5	I4	I3	I2	I1 moves out of E3 and I5 moves to R2. R6H has the result of R5H*R0H and is read by I5. There is no need to forward the result in this case.
								I5	I4	I3	

図 3-3. 回避方法が適用されたパイプライン図

アドバイザー **SDFM:スレッショルド設定 (LLT、HLT)、フィルタタイプ、COSR 設定を動的に変更すると、スプリアス コンパレータ イベントがトリガされます**

影響を受けるリビジョン 0、A、B、D

詳細 SDFM コンパレータ設定 (フィルタタイプ、下限/上限スレッショルド、コンパレータ OSR (COSR) 設定など) が実行中に動的に変更されると、誤ったコンパレータ イベントがトリガされてしまいます。スプリアス コンパレータ イベントは、適切に設定されている場合、対応する CPU 割り込み、CLA タスク、ePWM クロスバー イベント、GPIO 出力クロスバー イベントをトリガします。

回避方法 コンパレータ設定を動的に変更する必要がある場合は、以下の手順に従って、誤ったコンパレータ イベントによって CPU 割り込み、CLA タスク、または X-BAR イベント (ePWM X-BAR/GPIO 出力 X-BAR イベント) が生成されないようにしてください。

1. コンパレータ フィルタを無効にします。
2. コンパレータ フィルタの少なくともレイテンシ + 3 SD-Cx クロックサイクルの遅延。
3. フィルタタイプ、COSR、下限/上限スレッショルドなどのコンパレータ フィルタ設定を変更します。
4. コンパレータ フィルタの少なくともレイテンシ + 5 SD-Cx クロックサイクルの遅延。
5. コンパレータ フィルタを有効にします。

アドバイザー **SDFM:データ フィルタ設定 (フィルタタイプや DOSR など) を動的に変更すると、誤ったデータ 確認イベントがトリガされます**

影響を受けるリビジョン 0、A、B、D

詳細 実行時に SDFM データ設定 (フィルタタイプや DOSR 設定など) が動的に変更されると、誤ったデータ フィルタ準備完了イベントがトリガされます。スプリアス データ準備完了イベントは、適切に構成されている場合、対応する CPU 割り込み、CLA タスク、DMAトリガをトリガします。

回避方法 SDFM データ フィルタ設定を動的に変更する必要がある場合は、以下の手順に従って、スプリアス データ フィルタ準備完了イベントが生成されないようにします。

1. データフィルタを無効にします。
2. データフィルタの少なくともレイテンシー + 3 SD-Cx クロック サイクルの遅延。
3. フィルタタイプや DOSR などのデータ フィルタ設定を変更します。
4. データフィルタの少なくともレイテンシー + 5 SD-Cx クロック サイクルの遅延。
5. データ フィルタを有効にします。

アドバイザリ	SDFM:SD 変調器の 3 クロック サイクル以内に SDCPARMx レジスタのビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続して 2 回書き込みを行うと、SDFM ステートマシンが破損し、誤ったコンパレータ イベントが発生する可能性があります
影響を受けるリビジョン	0、A、B、D
詳細	3 つの SD モジュレータ クロック サイクル内で SDCPARMx レジスタ ビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続書き込みをすると、SDFM ステート マシンが破損する可能性があります、誤ったコンパレータ イベントが発生する可能性があります。これにより、適切に構成されている場合は、CPU 割り込み、CLA タスク、ePWM XBAR イベント、および GPIO 出力 X-BAR イベントがトリガされる可能性があります。
回避方法	3 つの SD モジュレータ クロック サイクル内での連続書き込みを避けるか、SDCPARMx レジスタ ビット フィールドを 1 回のレジスタ書き込みで構成します。
アドバイザリ	SDFM:Manchester モード (モード 2) では、いくつかの条件下で正しいフィルタ結果が生成されません
影響を受けるリビジョン	0、A、B、D
詳細	マンチェスター デコード アルゴリズムは、1024 個の SDx_Dy 信号遷移のキャリブレーション ウィンドウで、SYSCLK を使用してマンチェスター ビット ストリームをサンプリングします。マンチェスター ビット ストリームから派生したクロックは、次のキャリブレーション ウィンドウのサイクルでデータをサンプリングするために使用されます。 フィルタの結果に大きな誤差を引き起こす可能性があるシナリオがいくつかあります。 - SDx_Dy 上のシングル ノイズ イベントが発生すると、デコードされたマンチェスター クロックが破損し、それ以降のデータが誤った周波数でサンプリングされる可能性があります。 - マンチェスター ビット ストリームのクロック レートが SYSCLK のほぼ正確な整数倍である場合、次の 1024 回の遷移によるキャリブレーション ウィンドウが有効になる前に、マンチェスター ストリームと内部 SYSCLK の位相が互いにドリフトすることで、マンチェスター ビットが稀にスキップされることがあります。マンチェスター クロックの 50% からのデューティ サイクルの偏差も、長いマンチェスター パルスが SYSCLK の整数倍でないようにするために考慮する必要があります。SD 変調器または本デバイスのクロック ソースに大きなバラツキがある場合、この状況が避けられないことがあります。これは、問題が発生するキープ アウト周波数の範囲が広がるためです。 - マンチェスターの立ち上がりエッジと立ち下がりエッジ間の遅延変動 (ビット ストリームのデューティ サイクル) が 1 SYSCLK を超える場合、SDFM クロック デコード アルゴリズムが実際より短いクロック周期として誤認識することがあります。
回避方法	回避方法は以下のとおりです。 - Manchester モードの使用は避け、ノイズの多い状況で最良のフィルタ性能を実現するモード 0 の使用を検討してください。これは推奨の回避方法です。 - マンチェスターのビット ストリームにノイズが混入しないようにし、選択した Manchester クロック ソースの周波数が SYSCLK の整数倍にならないようにしてください。変調器とこのデバイス用の高精度クロック ソースを使用する必要があります。 - 立ち上がりエッジ遅延と立ち下がりエッジ遅延 (High パルスと Low パルス) が互いに 1 SYSCLK 以内に収まるようにします。

アドバイザリ (続き)

SDFM:Manchester モード (モード 2) では、いくつかの条件下で正しいフィルタ結果が生成されません

- SDFM で稀に誤った結果が得られても堅牢に動作する、アプリケーション レベルのアルゴリズムを設計してください。

アドバイザー eQEP: インデックス中の方向変更時に位置カウンタが正しくリセットされません

影響を受けるリビジョン 0、A、B、D

詳細

PCRM = 0 構成を使用しているときに、インデックス入力がアクティブのときに方向変更が発生すると、位置カウンタ (QPOSCNT) が誤ってリセットされ、カウンタ値の予期しない変化が発生する可能性があります。その結果、位置カウンタの期待値から最大 ± 4 カウントが変化し、予期しないそれ以降のエラー フラグ設定が発生する可能性があります。

PCRM = 0 構成を使用しているとき、[つまり、インデックス イベント時の位置カウンタ リセット (QEPCTL[PCRM] = 00)]、順方向移動中にインデックス イベントが発生した場合、位置カウンタは次の eQEP クロックで 0 にリセットされます。リバース移動中にインデックス イベントが発生すると、次の eQEP クロックの QPOSMAX レジスタの値に位置カウンタがリセットされます。eQEP ペリフェラルは、QEPSTS レジスタの最初のインデックス マーカー (QEPSTS[FIMF]) と最初のインデックス イベント マーカー (QEPSTS[FIDF]) の発生を記録します。また、インデックス イベントのリセット操作に同じ相対直交遷移が使用されるように、最初のインデックス マーカーの直交エッジを記憶します。

インデックス パルスがアクティブの間に方向変更が発生した場合、モジュールは引き続き相対的な直交遷移を探して、位置カウンタのリセットを実行します。これにより、位置カウンタ値が予期せず変化します。

同時に方向を変更せずに次のインデックス イベントが発生すると、カウンタが正しくリセットされ、期待どおりに動作します。

回避方法

インデックスがアクティブなときに方向が変更される可能性があり、結果として位置カウンタ値が変更されるとアプリケーションに影響を与える可能性がある場合は、PCRM=0 構成を使用しないでください。

アプリケーションに応じて位置カウンタのリセットを実行するその他のオプション (インデックス イベント初期化 (IEI) など) には、この問題はありません。

アドバイザー eQEP: GPIO 非同期モードでの eQEP 入力

影響を受けるリビジョン 0、A、B、D

詳細

いずれかの eQEP 入力ピンが GPxQSELn レジスタ経由で GPIO 非同期入力モードに構成されている場合、eQEP ペリフェラルはモジュールへの入力において SYSCLKOUT への外部同期が存在すると想定しているため、eQEP モジュールが正常に動作しない可能性があります。たとえば、QPOSCNT が適切にリセットまたはラッチされず、入力ピンのパルスが見逃される可能性があります。

eQEP モジュールを正常に動作させるには、入力 GPIO ピンを GPxQSELn レジスタで同期入力モード (検証あり / なし) に設定する必要があります。これは、リセット時の GPxQSEL レジスタのデフォルト状態です。TI が提供する既存の eQEP ペリフェラル サンプルもすべて、GPIO 入力を同期入力モードに設定しています。

eQEP モジュールの入力ピンには、非同期モードを使用しないでください。

回避方法

eQEP ピンとして構成した GPIO 入力は、非同期モード以外に設定してください (「11b = 非同期」以外の GPxQSELn レジスタ オプション)。

アドバイザリ

V_{DD} の電源: V_{DDIO} の電源投入時に、 V_{DD} も上昇する場合があります

影響を受けるリビジョン

0、A、B、D

詳細

V_{DD} 電源が約 0.5V を下回ると、 V_{DDIO} から V_{DD} へのリーク電流が発生します。 V_{DDIO} に電力が供給されると、 V_{DD} 電圧は約 0.5V に上昇します。この現象は、デバイスを内部 VREG (VREGENZ を V_{SS} に接続) または外部 1.2V レギュレータ (VREGENZ を V_{DDIO} に接続) を使用するように構成した場合に発生します。さらに、外部レギュレータ使用時に V_{DDIO} と V_{DD} の電源投入間に約 1ms の大きな遅延がある場合、または内部 VREG モードで V_{DDIO} のランプ時間が 1ms を超える場合にも発生します。

外部 1.2V 電源または内部 1.2V 電源の電圧上昇が始まると、デバイス機能への影響はありません。電源シーケンス要件の詳細については、[TMS320F28004x リアルタイム マイクロコントローラ](#) のデータシートを参照してください。

回避方法

V_{DD} にこの早期電圧が発生することがシステム レベルのスーパーバイザ回路にとって問題となる場合は、3.3V の V_{DDIO} 電源と 1.2V の V_{DD} 電源の立ち上がり間の遅延を最小限にしてください。内部 VREG を使用する場合は、3.3V の V_{DDIO} 電源のランプ時間を 1ms 以下に短くします。

アドバイザリ **eCAP:HRFRC は EALLOW 保護されていません**

影響を受けるリビジョン 0、A、B、D

詳細 HRFRC レジスタは EALLOW 保護されていません。このレジスタに書き込むために EALLOW および EDIS 命令を発行する必要はありません。HRFRC が EALLOW 保護されている他のデバイスでソフトウェアの再利用をイネーブルにするには、EALLOW および EDIS を推奨します。

回避方法 なし

アドバイザー

PLL : PLL は初回のロック試行でロックしないことがあります

影響を受けるリビジョン

0、A、B、D

詳細

デバイスの電源投入時に PLL が正しく起動しないことがあります。PLLSTS[LOCKS] ビットがセットされていますが、PLL はクロックを生成しません。

PLL が正常に起動した後は、PLL を無効化して再度有効化しても問題なく、ロック状態が維持されます。ただし、その後のパワーアップ サイクルで PLL がロックされない問題が再発することがあります。

SYSPLL が適切に開始されておらず、CPU クロック ソースとして選択されている場合、CPU は命令の実行を停止します。

この一過性の問題の発生率は低い。この問題は、初回の発生後、システム上で再度確認されない場合があります。回避方法を実装すると、発生率が低下します。

回避方法

電源投入後に初めて PLL が設定されたときに、PLL がロック状態になるまで、連続してロックシーケンスを実行することを推奨します。ロックシーケンスは、まず PLL を無効化し、その後に再起動して LOCKS ビットがセットされるまで待機し、続いて DCC を使用して PLL の周波数を検証するという手順で構成されます。PLL が動作していることが確認された後に、CPU クロック ソースとして選択することができます。

TI では、PLL クロックの設定に、回避方法の実装も含まれている C2000Ware の SysCtl_setClock() 関数の使用を推奨しています。

DCC の使用方法の詳細については、C2000Ware SysCtl_IsPLLValid () 関数を参照してください。

また、この回避方法はシステム レベルでも適用可能であり、デバイスが正常に応答していない場合には、スーパーバイザがデバイスをリセットすることで対処することもできます。

アドバイザリ フラッシュ:フラッシュのプリフェッチを無効にせずに **Fapi_setActiveFlashBank()** を実行すると、**ITRAP** が発生することがあります

影響を受けるリビジョン 0、A、B、D

詳細

フラッシュのプリフェッチ メカニズムは、RAM から実行されるコードによって、フラッシュへのアクティブなフェッチ アクセスがない場合にのみ無効にする必要があります。
Fapi_setActiveFlashBank() により、プリフェッチ メカニズムが無効になります。プリフェッチの無効化処理中にフラッシュからコードを実行すると、**ITRAP** が発生する可能性があります。そのため、**Fapi_setActiveFlashBank()** を実行する前にプリフェッチを無効にする必要があります。

回避方法

Fapi_setActiveFlashBank() を呼び出す前に、プリフェッチ メカニズムを無効にします。プリフェッチは、**Fapi_setActiveFlashBank()** の実行後に有効にできます。プリフェッチ メカニズムの無効化と有効化を行うコードは、RAM から実行する必要があります。この回避方法を実装する場合は、プリフェッチがすでに無効になっているため、**Fapi_setActiveFlashBank()** をフラッシュから実行できることに注意してください (消去 / プログラム操作の対象となるバンクからは実行しないでください)。

C2000Ware_5_02_00_00 以降で提供されている **Flash API** の使用例には、この回避方法の実装方法が示されています。

TMS320F28003x サンプルのパス:

C2000Ware_5_02_00_00\driverlib\28003x\examples\flash\flashapi_ex1_programming.c

この例では、RAM から **Fapi_setActiveFlashBank()** を呼び出す前に、**Flash_DisablePrefetch_SW_Workaround()** を実行してプリフェッチを無効にします。
Fapi_setActiveFlashBank() の呼び出し後にプリフェッチを有効にするため、**Flash_EnablePrefetch_SW_Workaround()** を RAM から実行します。

アドバイザリ **LPM: STANDBY 低消費電力モードはサポートされていません**

影響を受けるリビジョン 0、A、B、D

詳細 STANDBY 低消費電力モードはサポートされていません。

回避方法

消費電力を低減するために、IDLE または HALT 低消費電力モードを使用できます。これらのモードの実装方法については、『[TMS320F28004x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』を参照してください。

IDLE を使用する場合、次のいずれか 1 つまたはすべての方法をソフトウェアで実行することにより、さらに消費電力を低減できます。

- SYSCLK 周波数の低下:
 - SYSPLLCTL1[PLLCLKEN] = 0 に設定することで、SYSCLK ソースを OSCCLK に変更します。
 - SYSCLKDIVSEL レジスタを、より大きな分周値に変更します。
- PCLKCRx レジスタを使用してペリフェラル クロックを無効化します。

アドバイザー **DCC: シングルショットモード動作が早期に終了することがあります****影響を受けるリビジョン** 0、A、B、D**詳細**

シングルショット モードでは、DCCSTATUS[DONE] または DCCSTATUS[ERROR] が早期に設定されることがあります。これが発生した場合、DCC 結果は無効です。

回避方法

以下のいずれかの条件に該当すると、DCC 動作が早期に終了します。以下のいずれかの条件に該当する場合、DCC を再実行することを推奨します。

- DCCSTATUS[DONE] = 1 および (DCCCNT1 > 0 または DCCCNT0 > 0 または DCCVALID0 > 0)
- DCCSTATUS[ERROR] = 1 かつ DCCCNT1 > 0 および DCCVALID0 > 0

アドバイザリ

BOR: 2.45V ~ 3.0V の VDDIO は、複数の XRSn パルスを生成する可能性があります

影響を受けるリビジョン

0、A、B、D

詳細

VDDIO 電源電圧が 2.45V ~ 3.0V のとき、BOR は XRSn のアサートおよびディアサートを繰り返すことがあります。XRSn ピンをシステム内の他のデバイスのリセットとして直接使用しないことを推奨します。

F28004x BOR は、これらの XRSn パルスが発生した場合でも、デバイスを既知のリセット状態に内部で保持するのに有効です。デバイスはアプリケーション コードやブートローダに分岐せず、VDDIO 電源が 3.0V を上回るまで、他のすべてのピンはリセット状態に保持されます。

回避方法

1. パワーアップ、パワーダウン、BOR イベント中は、追加の XRSn 遷移は無視します。追加の XRSn パルスは、F28004x デバイスの動作自体には影響しません。
2. XRSn パルスによって他のシステム コンポーネントで望ましくないシステム動作が発生する場合は、XRSn を使用して他のデバイスを駆動しないでください。これらのアプリケーションには、外部電圧スーパーバイザを使用できます。
3. 通常のパワーアップおよびパワーダウン時にこれらのパルスを回避する必要があるアプリケーションでは、以下のように動作します。
 - a. パワーアップ:『[TMS320F28004x リアルタイム マイクロコントローラ データシート](#)』の「推奨動作条件」の表に記載されている $t_{VDDIO-RAMP}$ の要件に従ってください。これにより、余分な XRSn の Low パルスは発生しません。
 - b. パワーダウン:パワーダウン時に XRSn がアサートされるのを防ぐため、VDDIO が 25 μ s 内で 3.0V~2.45V の範囲を通過するように電源を設計してください。XRSn の電圧上昇が許容される場合、XRSn に実装された RC 回路の時定数を計算し、その電圧がシステム指定のスレッシュホールドを超えないようにできます。

アドバイザー**I2C:SDA および SCL のオープンドレイン出力バッファに関する問題****影響を受けるリビジョン**

0、A、B、D

詳細

SDA および SCL 出力は、I2C の仕様で求められているオープンドレイン出力バッファではなく、プッシュプル 3-state 出力バッファで実装されています。プッシュプル 3-state 出力バッファは、オープンドレイン出力のように動作させることも可能ですが、内部のタイミングスキューの問題により、出力が無効になる前に 0 ~ 5ns の間、論理 High を出力してしまう現象が発生します。予期しない High レベルパルスは、SCL または SDA 出力が駆動されている Low 状態からハイインピーダンス状態へ遷移し、かつ該当する I2C 出力に十分な内部タイミングスキューが存在するときのみ発生します。

この短い High レベルパルスは、I2C 信号ラインにエネルギーを注入し、その結果、伝送ライン内での複数の反射によって I2C 信号が一定期間リングを引き起こす原因となります。このリングは、SDA 信号に対しては問題を引き起こさないと考えられます。なぜなら、リングは SDA が論理レベルを変化させるタイミングでのみ発生し、受信デバイスがデータをラッチするまでに十分に減衰するためです。このリングの振幅が十分に大きい場合、リングの最初の数ナノ秒の間に SCL の入力バッファスイッチングのスレッシュホールドを複数回クロスする可能性があり、それによってクロックのグリッチが発生するおそれがあります。このリングは、最初の 50ns 以内に振幅が減衰すれば問題にはなりません。I2C デバイスはクロックのグリッチを除去するために SCL 入力をフィルタリングする必要があるためです。したがって、PCB 信号パターンを設計して、リングの持続時間を 50ns 未満に制限することが重要です。リングを抑える 1 つの解決策として、SCL および SDA 端子の近くに直列終端抵抗を挿入し、伝送ラインの反射を減衰させることが挙げられます。

この問題は、スレーブ側が ACK サイクルを開始する際に、予期しない High レベルパルスの継続時間中、SDA 出力がスレーブの SDA 出力と競合状態になる可能性もあります。これは、予期しない High レベルパルスが発生する前に、スレーブがすでに SDA を Low に駆動している可能性があるために発生します。この短時間の競合によって SDA 上に発生するグリッチは、I2C プロトコル上の問題を引き起こすことはありませんが、ピーク電流が両方の I2C デバイスに不要なストレスを与え、電源ノイズの増加につながる可能性があります。したがって、この短時間の競合時に電流を制限するため、SDA 端子付近に直列終端抵抗を配置することが推奨されます。

同様の競合問題は、クロックストレッチ機能をサポートする I2C スレーブ デバイスに接続されている場合、SCL ラインでも発生する可能性があります。これは、予期しない High レベルパルスが発生する前に、スレーブ側が SCL を Low に駆動しているために発生します。この短時間の競合によって SCL 上に発生するグリッチは、I2C プロトコル上の問題を引き起こすことはありません。これは、I2C デバイスが SCL 入力に対してグリッチフィルタを適用する必要があるためです。ただし、ピーク電流は、両方の I2C デバイスに不要なストレスを与え、電源ノイズが増加する可能性があります。したがって、この短時間の競合時に電流を制限するため、SCL 端子付近に直列終端抵抗を配置することが推奨されます。

別のマスターが接続されている場合、SCL および SDA 出力における予期しない High レベルパルスが、クロック同期や調停の際に競合を引き起こす可能性があります。上記で説明した直列終端抵抗では、このような使用状況においても競合電流を制限し、I2C プロトコル上の問題を引き起こしません。

回避方法

SCL および SDA 信号には直列終端抵抗を挿入し、SCL および SDA の端子付近に配置します。SCL および SDA プルアップ抵抗も、SCL および SDA 端子の近くに配置する必要があります。直列終端抵抗とプルアップ抵抗の配置は、図 3-4 に示されているように接続します。

アドバイザリ (続き)

I2C:SDA および SCL のオープンドレイン出力バッファに関する問題

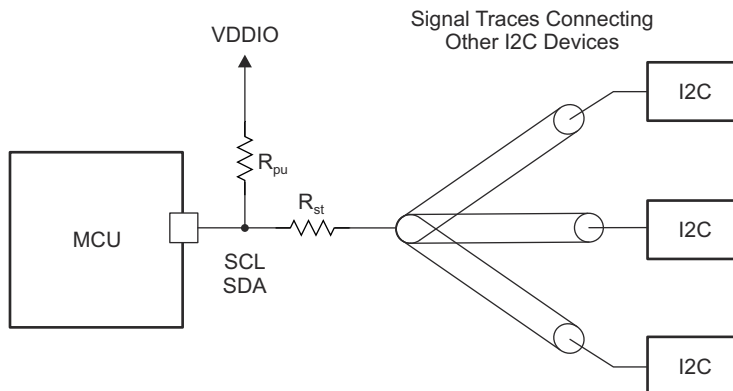


図 3-4. 直列終端抵抗とプルアップ抵抗の配置

アドバイザー

I2C: ターゲット トランスミッタ モード、標準モードの SDA タイミング制限

影響を受けるリビジョン

0、A、B、D

詳細

MCU に搭載された I2C 周辺装置はファースト モード デバイスであり、スタンダードモードのホストで使用する場合、SCL (クロック) ラインをクロック ストレッチします。

スタンダード モード システムで使用されるファースト モード デバイスについては、I2C 仕様に SCL ラインを解放する前に、 $t_{\text{SU:DAT}}$ (データセット アップ時間) + $t_{\text{r(max)}}$ (立ち上がり時間) を満たすという要件があります。NXP セミコンダクタ I²C バス仕様およびユーザー マニュアル (UM10204) の「標準、高速、および高速モード プラス I²C バス デバイスの SDA および SCL バスラインの特性」表の脚注 4 を参照してください。

ただし、C2000 I2C クロックは、上記のシナリオでは、SCL ラインを $6 * f_{\text{mod}}$ クロック (C2000 の I2C クロック レート) の固定値だけストレッチします。C2000™ マイクロ コントローラがスタンダードモードのホストとともにターゲット トランスミッタとして動作しているとき、SDA の t_{r} が長すぎると、データ (SDA) の準備が完了する前に、C2000 によってクロックライン (SCL) が解放される可能性があります。

NXP セミコンダクタ I²C バス仕様とユーザー マニュアル (UM10204) の「プルアップ抵抗のサイズ設定」セクションでは、式 1 に示されている立ち上がり時間 (t_{r}) とバス容量 (C_{b}) に基づいて、適切な PU 抵抗 (R_{p}) の選択について詳細に説明しています。

$$R_{\text{p(max)}} = \frac{t_{\text{r}}}{0.8473 \times C_{\text{b}}} \quad (1)$$

回避方法

1. 強力なプルアップで t_{r} を減らす

$t_{\text{SU:DAT}} + t_{\text{r(max)}}$ が満たされることを保証するために、ユーザーは、システムの f_{mod} クロックの値に基づいて、表 3-1 の SDA データ立ち上がり時間要件列にリストされている制約を満たすように SDA ラインのプルアップ抵抗を構成できます。これにより、C2000 が SCL 信号を解放したときに、SDA ラインに存在するデータが有効になることが保証されます。

表 3-2 に、特定の f_{mod} クロック (MHz) および C_{b} (バス容量) に対して推奨される R_{p} 抵抗値を示します。 C_{b} の他の値については、式 1 を使用して、システムに必要な R_{p} の値を計算してください。

表 3-1. 標準モードホストを備えたターゲット トランスミッタとしての C2000 のデータ立ち上がり時間要件

f_{mod} クロック (MHz)	f_{mod} 期間 (ns)	C2000 I2C からの SCL クロック ストレッチ遅延 (ns): ($6 * f_{\text{mod}}$ クロック)	データ セットアップ時間 (ns): $t_{\text{SU:DAT}}$ (標準モード)	SDA データの立ち上がり時間の要件 (ns): t_{r}
7	142.9	857	250	607
8	125	750		500
9	111	666		416
10	100	600		350
11	90.9	545		295
12	83.3	500		250

アドバイザー (続き)

I2C: ターゲット トランスミッタ モード、標準モードの SDA タイミング制限

表 3-2. 一般的なバス容量 (C_b) のプルアップ抵抗 (R_p) 値

f_{mod} クロック (MHz)	SDA データの立ち上がり 時間の要件 (ns): t_r	R_p (k Ω) $C_b = 100\text{pF}$ の 場合	R_p (k Ω) $C_b = 200\text{pF}$ の 場合	R_p (k Ω) $C_b = 300\text{pF}$ の 場合	R_p (k Ω) $C_b = 400\text{pF}$ の 場合
7	607	7.1	3.5	2.3	1.7
8	500	5.9	2.9	1.9	1.4
9	416	4.9	2.4	1.6	1.2
10	350	4.1	2.0	1.3	1.0
11	295	3.4	1.7	1.1	0.8
12	250	2.9	1.4	0.9	0.7

2. $t_r = 1000\text{ns}$

この回避方法は、一般的な I2C の使用上の制限により推奨されません。可能な場合は回避方法 1 を使用してください。

システムで SDA ラインの立ち上がり時間が 1000ns 必要な場合は、C2000 I2C f_{mod} クロックを 4.8MHz に設定して、クロックストレッチ ($6 * f_{\text{mod}}$ クロック) によってこの要件を満たすことができます。その結果、 $t_r = (1/4.8\text{MHz}) * 6 = 1000\text{ns}$ となります。この回避方法は、C2000 I2C が I2C バス上のターゲットとなるシステムでのみ有効です。4.8MHz は、 f_{mod} クロックに 7Mhz から 12Mhz へデータシートに必要な範囲外であることに注意してください。 f_{mod} を 4.8Mhz で使用すると、データシートの必要な範囲外であっても、C2000 I2C に対してスタンダード モードのホストバス上でターゲット モードで動作します。この回避方法に記載されているものを除く他の構成で $f_{\text{mod}} = 4.8\text{Mhz}$ を使用すると、他のタイミングパラメータに違反し、許可されません。

アドバイザリ

ePWM : ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります

影響を受けるリビジョン

0、A、B、D

詳細

ブランキング ウィンドウは通常、システムへの誤ったトリップを引き起こす可能性のある遷移中の PWM トリップ イベントをマスクするために使用されます。ブランキング ウィンドウ サイクルの終了後、3 未満の ePWM クロックの間 ePWM トリップ イベントがアクティブのまま維持されている場合、ePWM 出力に望ましくないグリッチが発生する可能性があります。

図 3-5 に、不要な EPWM 出力が発生する可能性のある時間を示します。

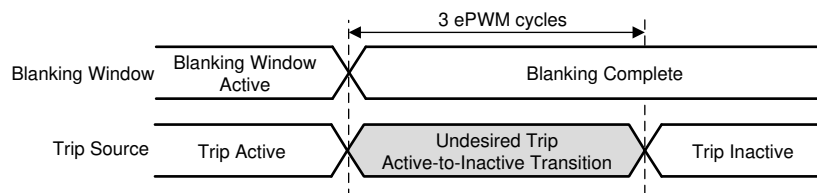


図 3-5. 望ましくないトリップ イベントとブランキング ウィンドウの期限切れ

図 3-6 に、ブランキング ウィンドウが閉じる前または 3 サイクル後にトリップイベントが 1 サイクル以内に終了した場合に可能性のある 2 つの ePWM 出力を示します。

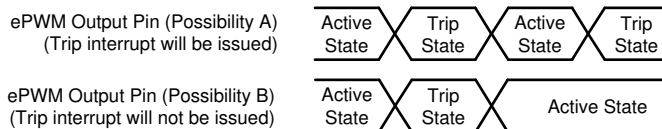


図 3-6. 結果として望ましくない ePWM 出力が発生する可能性があります

回避方法

ブランキング ウィンドウを延長または短縮して、不要なトリップ動作を回避します。

アドバイザリ

ePWM : ブランキング ウィンドウ開始後の最初の 3 サイクルの間、トリップ イベントはブランキング ウィンドウによってフィルタされません

影響を受けるリビジョン

0、A、B、D

詳細

ブランキング ウィンドウは、ブランキング ウィンドウの開始後の最初の 3 サイクルのトリップ イベントをブランクにしません。DCEVTFILT は、DCxEVTy 信号の変更を継続的に反映することができます。DCEVTFILT が有効化されている場合、設定されている後続のサブシステム (たとえば、トリップ ゾーン サブモジュール、TZ 割り込み、ADC SOC、PWM 出力) に影響を及ぼす可能性があります。

回避方法

ブランキングが必要な前に、ブランキング ウィンドウを 3 サイクル開始します。周期境界でブランキング ウィンドウが必要な場合、次の周期の開始 3 サイクル前にブランキング ウィンドウを開始します。これは、ブランキング ウィンドウが期間の境界を越えて持続するため、機能します。

アドバイザリ

ePWM:ワンショット / CBC トリップ イベント DCxEVTy.force はトリップ条件を設定しません

影響を受けるリビジョン

0、A、B、D

詳細

DCxEVTy.force 信号は、ワンショットトリップ イベントとサイクルバイサイクルトリップ イベントの入力として使用できます。DCxCTL[EVT1/2FRCSYNCSSEL] = 1 (非同期パス経由で DCxEVT 信号を渡す) に設定しても、ワンショットまたはサイクルバイサイクルのトリップ イベント条件が適切に設定されず、トリップ イベントが検出されません。

回避方法

非同期パス (非同期パスを介して DCxEVT 信号を渡します)

非同期パスを使用してワンショットまたはサイクルバイサイクルのトリップ条件をラッチするには、以下の設定を行う必要があります。

1. EVT1/2FRCSYNCSSEL = 1
2. EVT1/2LATSEL = 1

同期パス (同期パスを経由して DCxEVT 信号を渡します)

1. EVT1/2FRCSYNCSSEL = 0

DCxCTL.EVT1/2FRCSYNCSSEL と DCxCTL.EVT1/2LATSEL を備えたデバイスには、2 つの選択肢があります。それ以外の場合では、同期パスが、ワンショットまたはサイクルバイサイクルのトリップ イベントで利用できる唯一の選択肢となります。

アドバイザリ	INTOSC:VDD なしで VDDIO 電源を供給すると、INTOSC 周波数ドリフトが発生する可能性があります
影響を受けるリビジョン	0、A、B、D

詳細

『TMS320F28004x リアルタイム マイクロコントローラ データシート』の「D」リビジョン (SPRS945D) では、電源シーケンス要件が更新されています。データシートのリビジョン「C」およびそれ以前のリビジョンでは、VDD に外部電源を使用する場合、VDDIO と VDD の電源を同時にオンまたはオフにする必要はありませんでした。

VDD に電源が供給されていない状態で VDDIO に電源を投入すると、INTOSC1 および INTOSC2 の周波数に累積的かつ持続的な低下方向のドリフトが生じます。高温で VDDIO に VDD なしで電力を供給すると、累積されるドリフト率が大きくなります。

このドリフトの結果、INTOSC1 および INTOSC2 の内部発振器周波数が、データシートに規定されている最小値を下回る可能性があります。これにより、INTOSC2 を PLL のクロックソースとして使用するアプリケーションに影響が生じ、システムが想定より低い周波数で動作することになります。

回避方法

1. 内部 VREG または内部 DCDC を使用してください。これにより、VDDIO が通電されているときに VDD にも電源が供給されます。
2. 外部 VDD ソースを使用する場合は、常に VDDIO と VDD に同時に電源を供給したままにします。
3. 外付け X1 および X2 水晶発振器を PLL クロックソースとして使用します。水晶発振器には、VDDIO および VDD の電源シーケンシングに関連するドリフトはありません。

アドバイザリ **FSI:RX FIFO スプリアス オーバーラン**

影響を受けるリビジョン 0、A、B、D

詳細 FIFO の最後の場所が書き込まれると、バッファ オーバーランがアサートされます。

回避方法

回避方法は 2 つあります。

1. 最初のデータワードを読み取る前に受信できるデータワードの最大数が 16 ではなく 15 になるように、送信モジュールと受信モジュール間の通信を設定してください。この条件により、バッファ オーバーランの動作が安定します。
2. 最初のデータワードを読み取る前に、アプリケーションで受信バッファの 16 個すべてのデータワードを格納する必要がある場合 (16 ワードの NWORD パケット)、次のシーケンスを使用できます。
 - RX バッファ オーバーラン RX_EVT_STS.BUF_OVERRUN を無視します。
 - RX_EVT_STS.FRAME_DONE で、RX_BUF_PTR_STS.CURR_WORD_CNT を読み取り、16 であることを確認します。
 - DMA またはソフトウェアを使用して、RX バッファからデータを移動します。
 - RX_BUF_PTR_STS.CURR_WORD_CNT を読み取り、0 であることを確認します。
 - RX_EVT_CLR.FRAME_DONE に 1 を書き込み、RX_EVT_STS.FRAME_DONE フラグをクリアします。

アドバイザー **DCAN FIFO モードでは、受信したメッセージは FIFO バッファの順序に従わず配置できます**

影響を受けるリビジョン 0、A、B、D

詳細

DCAN FIFO モードでは、同じアービトレーション ID とマスク ID を持つ受信メッセージは受信した順序で FIFO に配置されることになります。その後、CPU は IF1/IF2 インターフェイス レジスタを介して、FIFO から受信したメッセージを取得します。一部のメッセージは、受信した順序で FIFO に配置される場合があります。アプリケーションの処理にとってメッセージの順序が重要である場合、この動作により DCAN FIFO モードが適切に使用できなくなります。

回避方法

DMA を使用して、IF3 レジスタ経由で FIFO を読み出します。FIFO にメッセージが受信されるたびに、データも IF3 レジスタにコピーされ、DMA モジュールに対して DMA 要求が生成されてデータが読み出されます。

アドバイザリ **ブート ROM: アプリケーションから SCI ブートローダーを呼び出します**

影響を受けるリビジョン 0、A、B、D

詳細

ROM SCI ブートローダーは、オートボー ロックを使用してボーレートを固定します。SCI ボーレートは、SCILBAUD と SCIHBAUD の 2 つのレジスタに分割されます。ROM SCI ブートローダーは、SCIHBAUD にデフォルトリセット値の 0 が設定されていることを前提としています。アプリケーションによって SCIHBAUD の内容が 0 以外の値に変更された状態で ROM SCI ブートローダーを呼び出すと、SCI はオートボー ロックを行わず、SCI ブートローダーは実行されません。

回避方法

ROM SCI ブートローダーを呼び出す前に、SCIHBAUD を 0 にクリアします。

アドバイザリ **ブート ROM、MPOST:MPOST が有効になっている場合の起動時間が長くなります**

影響を受けるリビジョン 0、A、B、D

詳細

ユーザー OTP によって MPOST 機能が有効化されている場合、ブート ROM の実行時間は約 5 秒です。これは、ブート ROM が 10MHz の INTOSC クロックで MPOST を実行するため、ブート時間が長くなることによるものです。

回避方法

ブート ROM でサポートされる MPOST の使用を避け、アプリケーションの初期化処理の一環として必要なメモリ セルフ テストを実行してください。

アドバイザー メモリ: 有効なメモリを超えたプリフェッチ

影響を受けるリビジョン 0、A、B、D

詳細

C28x CPU は、パイプラインで現在アクティブな命令を超える命令をプリフェッチします。プリフェッチが有効なメモリの終了後に発生した場合、CPU は無効なオペコードを受信する可能性があります。

回避方法

M1、GS3 –プリフェッチ キューは 8×16 ワードの深さです。したがって、コードは 有効なメモリの終わりから 8 ワード以内にはなりません。2 つの有効なメモリ ブロック間の境界を越えてプリフェッチすることは問題ありません。

事例 1: M1 はアドレス 0x7FF で終了し、その後に別のメモリ ブロックが続くことはありません。M1 のコードは、アドレス 0x7F7 以下に格納されないようにする必要があります。アドレス 0x7F8 ～ 0x7FF はコードには使用できません。

事例 2: M0 はアドレス 0x3FF で終了し、有効なメモ (M1) がその後に続きます。M0 のコードは、アドレス 0x3FF まで保存できます。コードはアドレス 0x7F7 までの M1 にクロスすることもできます。

フラッシュ -プリフェッチ キューは 16×16 ワードの深さです。したがって、コードは 有効なメモリの終わりから 16 ワード以内にはなりません。そうでない場合、フラッシュ ECC の修正不可能なエラーが発生します。

表 3-3. アドバイザリによって影響を受けるメモリ

メモリ タイプ	影響を受けるアドレス
M1	0x0000 07F8–0x0000 07FF
GS3	0x0001 3FF8–0x0001 3FFF
フラッシュ	0x0009 FFF0–0x0009 FFFF

アドバイザリ

システム: システム制御レジスタの構成の制限事項

影響を受けるリビジョン

0、A、B、D

詳細

書き込み間に遅延なしで CLKSRCCTL1 レジスタに複数回書き込むと、システムがハングアップし、外部 XRSn リセットまたはウォッチドッグ リセットでのみ回復できます。この条件の発生は、SYSCLK と OSCCLKSRCSEL で選択したクロックとの間のクロック比によって異なり、毎回発生するとは限りません。

デバッガの使用中にこの問題が発生した場合、一時停止すると、プログラム カウンタはブート ROM リセット ベクタになります。

回避方法を実装すると、SYSCLK/OSCCLK の比率でこの条件を回避できます。

回避方法

『[TMS320F28004x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』(SPRUI33) の「システムレジスタの構成の制限事項」セクションを参照してください。

アドバイザリ

ADC:INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります

影響を受けるリビジョン

0、A、B、D

詳細

ADCINTSELxNx[INTxCONT] = 0 の場合、ADCINTFLG が設定されると割り込みは停止し、追加の ADC 割り込みは発生しません。

ADCINTFLGCLR レジスタのソフトウェア書き込みとともに ADC 割り込みが同時に発生すると、ADCINTFLG が予期せず設定されたままになり、将来の ADC 割り込みをブロックします。

回避方法

1. ADCINTFLG が追加の ADC 割り込みをブロックしないように、Continue-to-Interrupt モードを使用します。

```
ADCINTSEL1N2[INT1CONT] = 1;
ADCINTSEL1N2[INT2CONT] = 1;
ADCINTSEL3N4[INT3CONT] = 1;
ADCINTSEL3N4[INT4CONT] = 1;
```

2. この状態を回避するために、次の ADC 割り込みが発生する前に、ADC ISR をサービスし、ADCINTFLG をクリアするのに十分な時間を常に確保してください。
3. ADCINTFLG をクリアするとき、ISR のオーバーフロー状態を確認します。
ADCINTFLGCLR への書き込み直後に ADCINTOVF をチェックし、これが設定されている場合は、ADCINTFLGCLR をもう一度書き込んで ADCINTFLG がクリアされていることを確認します。ADCINTOVF レジスタが設定され、ADC 変換割り込みが失われたことを示します。

```
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;           //clear INT1 flag
if(1 == AdcaRegs.ADCINTOVF.bit.ADCINT1)           //ADCINT overflow
{
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;         //clear INT1 again
    // If the ADCINTOVF condition will be ignored by the application
    // then clear the flag here by writing 1 to ADCINTOVFCLR.
    // If there is a ADCINTOVF handling routine, then either insert
    // that code and clear the ADCINTOVF flag here or do not clear
    // the ADCINTOVF here so the external routine will detect the
    // condition.
    // AdcaRegs.ADCINTOVFCLR.bit.ADCINT1 = 1;      // clear OVF
}
```

アドバイザリ

ADC:ADCCLK 分周器により ADC の性能が低下

影響を受けるリビジョン

0、A、B、D

詳細

分数 SYSCLK から ADCCLK への分周器 (ADCCTL2.PRESCALE フィールドで制御) を使用すると、このデバイスで ADC 性能が低下することが示されています。表 3-4 を参照してください。

表 3-4. ADCCTL2 レジスタ

性能が低下			
ビット	フィールド	値	説明
3-0	PRESCALE	0001	ADCCLK = SYSCLK/1.5
		0003	ADCCLK = SYSCLK/2.5
		...	
通常の性能			
ビット	フィールド	値	説明
3-0	PRESCALE	0000	ADCCLK = SYSCLK/1.0
		0002	ADCCLK = SYSCLK/2.0
		...	

回避方法

偶数 PRESCALE クロック分周器の値を使用します。偶数 PRESCALE 値では、整数クロック分周器が発生し、ADC の性能には影響しません。

アドバイザリ

ADC:結果の DMA 読み取り結果

影響を受けるリビジョン

0、A、B、D

詳細

ADCRESULT 値がラッチされる前に、ADCINT フラグが設定される場合があります (TMS320F28004x リアルタイム マイクロコントローラ データシートの「ADC タイミング」の表の t_{LAT} 列および $t_{INT(LATE)}$ 列を参照)。DMA は、ADCINT トリガが設定されてから 3 サイクル後にすぐに ADCRESULT 値を読み取れます。その結果、以下の条件がすべて満たされると、ユーザーが最新の結果を期待しているにもかかわらず、DMA が 1 つ前の ADCRESULT 値を読み取る可能性があります。

- ADC は後期割り込みモードです。
- ADC は、 $t_{INT(LATE)}$ が t_{LAT} より 3 サイクル以上前に発生するモードで動作します (ADCCTL2 [PRESCALE] > 2)。
- DMA は ADCINT 信号からトリガされます。
- DMA は、最初に他の値を読み取らずに、その ADCINT 信号に関連付けられている ADCRESULT 値を直ちに読み取ります。
- ADCINT トリガを受信したとき、DMA はアイドル状態でした。

上述の DMA のみが古いデータを読み取る可能性があります。次の DMA 以外の方法では常に、期待されるデータを読み取ります。

- ADCINT フラグが CLA タスクをトリガする。
- ADCINT フラグが CPU ISR をトリガする。
- CPU は ADCINT フラグをポーリングする。

アドバイザリ (続き)**ADC: 結果の DMA 読み取り結果**

回避方法

ADCINT フラグから 2 つの DMA チャンネルをトリガします。最初のチャンネルがダミー トランザクションとして機能するため、2 番目のチャンネルは常に新しい ADC 結果を読み取るための十分な遅延が得られます。

アドバイザリ	CLB: 複数のアクティブ ハイレベル コントローラ (HLC) チャンネルを使用した連続する PUSH または PULL 命令はサポートされていません
---------------	---

影響を受けるリビジョン	0、A、B、D
--------------------	---------

詳細	この問題は、複数のアクティブな HLC チャンネルで、双方向の PUSH 命令または PULL 命令を使用する場合にのみ、HLC 動作に影響します。
-----------	--

回避方法	HLC 命令の順序を変更し、各 PUSH 命令の後に PUSH 以外の命令が続くようにしてください。PULL 命令にも同じことが当てはまります。アクティブな HLC チャンネルが 1 つだけの場合、この問題は発生しません。
-------------	---

アドバイザリ**CMPSS:COMPxLATCH は、特定の条件では正しくクリアされないことがあります****影響を受けるリビジョン**

0、A、B、D

詳細

CMPSS ラッチ パスは、ソフトウェアによって (COMPSTSCLR を介して) または PWMSYNC によってクリアされるまで、ローカル ラッチ (COMPxLATCH) 内でトリップ状態を維持するように設計されています。

COMPxLATCH は、信号がデジタル化され、デジタル フィルタによって認定された後、コンパレータ出力によって間接的に設定されます。コンパレータ出力が COMPxLATCH に達することが期待される最大レイテンシは、CMPSS モジュール クロック サイクルでは次のように表されます。

$$\text{LATENCY} = 1 + (1 \times \text{FILTER_PRESCALE}) + (\text{FILTER_THRESH} \times \text{FILTER_PRESCALE})$$

ソフトウェアまたは PWMSYNC によって COMPxLATCH がクリアされると、ラッチ自体は必要に応じてクリアされますが、COMPxLATCH 前のデータ パスは、追加のレイテンシ数のモジュール クロック サイクルについて、コンパレータの出力値を反映していない可能性があります。

COMPxLATCH がクリアされたときにデジタル フィルタ出力が論理 1 に解決されると、次のクロック サイクルでラッチが再度セットされます。

回避方法

COMPxLATCH をクリアする前に、デジタル フィルタ出力を論理 0 に解決できます。

ソフトウェアによって COMPxLATCH がクリアされた場合、ラッチをクリアする前に、デジタル フィルタの出力状態を COMPSTS レジスタで確認できます。レイテンシ値が大きいと許容できない遅延が発生する場合、デジタル フィルタを再初期化することでフィルタ FIFO をフラッシュできます (CTRIPxFILCTL 経由)。

PWMSYNC によって COMPxLATCH がクリアされた場合、PWMSYNC が生成される前に少なくともレイテンシ サイクルにわたってコンパレータトリップ条件がクリアされるように、ユーザー アプリケーションを設計する必要があります。

アドバイザリ

GPIO : パワーアップ時の X2/GPIO18 ピン プルアップ電流

影響を受けるリビジョン

0、A、B、D

詳細

パワーアップ時に、X2/GPIO18 に約 1.8mA のプルアップ電流が観測されます。XRSn が解除される (High に遷移する) までに、このピンは入力モードに戻り、ピンの説明に従って動作します。

回避方法

なし

アドバイザリ

GPIO : オープンドレイン構成が短い High パルスを駆動する可能性があります

影響を受けるリビジョン

0、A、B、D

詳細

各 GPIO は、GPxODR レジスタを使用してオープンドレイン モードに設定できます。ただし、内部デバイスのタイミングの問題により、GPIO が高インピーダンス状態への遷移中、または高インピーダンス状態からの遷移中に最大 0 ~ 10ns の間、ロジック High を駆動することがあります。

この望ましくない High レベルにより、他のドライバが同時に低レベルを駆動している場合、GPIO がライン上の別のオープンドレインドライバと競合する可能性があります。この競合は、両方のデバイスにストレスを加え、信号に短時間の中間電圧レベルが生じるため、望ましくありません。レシーバロジックにこの短いパルスをフィルタリングするのに十分なロジックフィルタリングがない場合、この中間電圧レベルは誤って高レベルと解釈される可能性があります。

回避方法

競合が問題となる場合、GPIO のオープンドレイン機能を使用せず、ソフトウェアでオープンドレイン モードをエミュレートします。オープンドレイン エミュレーションは、GPIO データ (GPxDAT) を静的 0 に設定し、GPIO 方向ビット (GPxDIR) をトグルして、駆動を Low にして有効 / 無効にすることにより実現できます。実装例については、以下のコードを参照してください。

```
void main(void)
{ ...

    // GPIO configuration
    EALLOW;
    GpioCtrlRegs.GPxPUD.bit.GPIOx = 1;    // disable pullup
    GpioCtrlRegs.GPxODR.bit.GPIOx = 0;    // disable open-drain mode
                                           // set GPIO to drive static 0 before
                                           // enabling output
    GpioDataRegs.GPxCLEAR.bit.GPIOx = 1;
    EDIS;

    ...

    // application code
    ...

    // To drive 0, set GPIO direction as output
    GpioCtrlRegs.GPxDIR.bit.GPIOx = 1;

    // To tri-state the GPIO(logic 1),set GPIO as input
    GpioCtrlRegs.GPxDIR.bit.GPIOx = 0;
}
```

アドバイザー

LIN:同期フィールドが誤っている場合、不整合同期フィールド エラー (ISFE) フラグ/割り込みが設定されません

影響を受けるリビジョン

0、A、B、D

詳細

LIN 通信中、(RX で)受信した同期フィールドが誤っている場合(つまり、同期フィールドが 0x55 以外の値を受信した場合)、LIN は SCIFLR.ISFE レジスタの ISFE フラグを設定したり、ISFE 割り込みをトリガしません。データを受信したり、RX 受信割り込みが設定されたりせずに、通信が終了します。アプリケーションが同期フィールドのエラーを検出する方法はありません。アプリケーションは、同期フィールドが完全にブランクであるか、または同期フィールドが指定された許容範囲内に受信されていないかどうかを検出できます ([『TMS320F28004x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』](#)を参照)。

回避方法

方法 1: SCIFLR.RXRDY フラグをポーリングし続け、一定時間内に設定されていない場合はタイムアウトします。

ガイドラインとして、以下の手順に従ってください。

1. 設定する SCIFLR.BUSY フラグをポーリングします。
2. BUSY フラグが High になったら、SCIFLR.RXRDY フラグをポーリングします。このループ内に同時に SW タイムアウトがあります。このタイムアウトは、ユーザー定義の時間間隔内に RXRDY フラグが設定されていない場合、ループをタイムアウトし、ループを終了します。

方法 2: RX 割り込みがトリガされていない場合に割り込みを行うように CPU タイマを構成します。この方法では、CPU 帯域幅は使用されません。

ガイドラインとして、以下の手順に従ってください。

1. LINRX が High から Low になった (LIN がビジーであることを示す)ときに ISR をトリガするように XINT を構成します。
2. XINT ISR 内で CPU タイマを構成し、フレーム完了のタイミングを開始します。
3. 正しい同期フィールドを使用してフレームを正しく受信すると、LIN RX ISR がトリガされます。内部でタイマをオフにすることにより、誤ったタイムアウトが発生しないようにできます。
4. フレームが正しく受信されない場合、LIN RX ISR はトリガされず、CPU タイマ ISR (タイムアウトが発生)がトリガされます。これは、同期フィールドのエラーを示します。

アドバイザリ **XTAL:XTALCR[SWH]= 0 はサポートされていません**

影響を受けるリビジョン すべて

詳細

テクニカル リファレンス マニュアルの初期バージョンでは、XTALCR[2] は「SWH」と記載され、有効な設定値は 0 (2 ~ 10MHz の範囲) または 1 (10 ~ 20MHz の範囲) とされていました。このビットフィールドは、以降のリリースでは予約済みとマークされているため、アプリケーションから変更しないでください。

データシートの XTAL の有効な電氣的周波数範囲である 10 ~ 20MHz は、デバイスの初期リリース以降変更されません。

デバイス リビジョン 0、A、B では、XTAL は XTALCR[2] (SWH) のどちらかの設定で動作しますが、0 に設定すると起動時間が長くなる場合があります。

デバイス リビジョン D で XTALCR[2] (SWH) が 0 に設定されている場合、XTAL は機能しません。

回避方法

XTALCR[2] をハードウェア デフォルト設定の 1 に維持します。

4 シリコン リビジョン B の使用上の注意とアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

4.1 シリコン リビジョン B の使用上の注記

シリコン リビジョンに適用される使用上の注意が、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン D の使用上の注意](#)を参照してください。

4.2 シリコン リビジョン B のアドバイザリ

シリコン リビジョンに適用されるアドバイザリが、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン D のアドバイザリ](#)を参照してください。

5 シリコン リビジョン A の使用上の注意とアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

5.1 シリコン リビジョン A の使用上の注記

シリコン リビジョンに適用される使用上の注意が、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン D の使用上の注意](#)を参照してください。

5.2 シリコン リビジョン A のアドバイザリ

シリコン リビジョンに適用されるアドバイザリが、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン D のアドバイザリ](#)を参照してください。

アドバイザリ アナログ サブシステム: 共有リファレンス ピンのソフトウェア設定

影響を受けるリビジョン 0, A

詳細

F28004x デバイス ファミリのピン数が少ないパッケージでは、VREFHI ピンが結合されています。ANAREFPP レジスタには、グループ化されたリファレンスを 1 つだけ残して、その他すべてを無効にするためのソフトウェア設定ビットが用意されています。そのため、このような状況で内部リファレンス モードを正常に動作させることができます。量産 (TMS) デバイスでは、ブート ROM がこれらのビットを書き込むため、ユーザーがそれ以上操作する必要はありません。ただし、一部の TMX デバイスでは、この書き込みは行われません。

回避方法

TMX デバイスの場合、内部リファレンス モード用にリファレンスを設定する前に、以下の書き込みを 1 回実行してください。

- 100 ピン PZ パッケージ: 値 0x0002 を ANAREFPP に書き込む必要があります。
- 64 ピン PM パッケージ: 値 0x0003 を ANAREFPP に書き込む必要があります。
- 56 ピン RSH パッケージ: 値 0x0003 を ANAREFPP に書き込む必要があります。

アドバイザリ 一部の TMX デバイスのアナログトリム

影響を受けるリビジョン 0, A

詳細

一部の TMX サンプルでは、アナログトリムがプログラムされていません。これにより、ADC、バッファ付き DAC、内部発振器、PGA、内部電圧レギュレータの性能が低下する可能性があります。これらのトリム レジスタをすべて 0 に設定すると、以下の影響が生じます。

TRIM	レジスタ	トリム値がゼロの場合の影響
ADC オフセット	AdcaRegs.ADCOFFTRIM AdcbRegs.ADCOFFTRIM AdccRegs.ADCOFFTRIM	ADC オフセット誤差仕様の性能が低下。
ADC リファレンス	AnalogSubsysRegs.ANAREFTRIMA AnalogSubsysRegs.ANAREFTRIMB AnalogSubsysRegs.ANAREFTRIMC	すべての仕様で、ADC の性能が低下。回避策はありません。
ADC の直線性	AdcaRegs.ADCINLTRIM2-3 AdcbRegs.ADCINLTRIM2-3 AdccRegs.ADCINLTRIM2-3	ADC の INL および DNL 仕様の劣化。回避策はありません。
内部発振器	AnalogSubsysRegs.INTOSC1TRIM AnalogSubsysRegs.INTOSC2TRIM	内部発振器の周波数精度と温度ドリフトの低下。

アドバイザー (続き) 一部の TMX デバイスのアナログトリム

TRIM	レジスタ	トリム値がゼロの場合の影響
バッファ付き DAC のオフセット	DacaRegs.DACTRIM DacbRegs.DACTRIM	バッファ付き DAC のオフセット誤差の仕様の劣化。回避策はありません。
PGA ゲインとオフセット	PGAGAIN3TRIM PGAGAIN6TRIM PGAGAIN12TRIM PGAGAIN24TRIM	PGA ゲインとオフセット誤差の仕様の性能が低下。回避策はありません。

回避方法

以下の回避方法を使用して性能を向上できますが、それでもデータシートの仕様を満たせない可能性があります。

ADC オフセットトリムが不足している場合は、『[TMS320F28004x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ADC ゼロ オフセット較正」セクションの手順に従って生成できます。

内部発振器のトリム値がすべて 0 の場合、XCLOCKOUT ピンでシステム クロックを確認しながら、発振器トリム レジスタの下位 10 ビットを 1 (最小値) ～ 1023 (最大値) の範囲で調整できます。

アドバイザリ **PGA:出力フィルタ パスはサポートされていません**

影響を受けるリビジョン 0, A

詳細

PGA モジュールには、PGA_OF ピンにローパス フィルタを実装するための、組込みの直列抵抗 信号路 (R_{FILTER}) が含まれています。影響を受けるリビジョンでは、この R_{FILTER} 信号路を使用または有効化しないでください。

PGA_OF ピンの R_{FILTER} と共有される代替機能は影響を受けません。たとえば、ADC 入力信号 A2 と B6 は PGA1_OF で引き続き使用できます。

回避方法

なし

アドバイザリ **ROM:Flash API ライブラリおよび FPU32 Twiddle Factor RFFT テーブルがありません**

影響を受けるリビジョン 0, A

詳細

影響を受けるリビジョンでは、1024pt RFFT テーブルの Flash API ライブラリと FPU32 twiddle factor が

ROM に存在しません。ROM の内容の詳細については、『[TMS320F28004x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ROM コードおよびペリフェラル ブート」の章にある「メモリ マップ」のセクションを参照してください。

回避方法

なし

アドバイザリ **REVID:一部の TMX リビジョン A デバイスの REVID 値が正しくありません**

影響を受けるリビジョン A

詳細

一部の初期 TMX リビジョン A デバイスでは、REVID (アドレス 0x0005_D00C) の値が誤っています。REVID は、正しいリビジョン A の値 (0x0000_0001) ではなく、リビジョン 0 の値 (0x0000_0000) を誤って示します。REVID を使用してリビジョン 0 とリビジョン A を区別するソフトウェアは、意図したとおりに機能しません。このエラッタによるその他の機能上の影響はありません。ソフトウェアで REVID を使用しないアプリケーションは、他のリビジョン A デバイスと同様に正常に動作します。

影響を受けるロットトレースコード:

- 65AVVDW
- 66ALSXW

回避方法

パッケージ上のデバイス マーキングは正しいため、デバイスのリビジョンの識別に使用できます。

アドバイザー

GPIO:入力モードで最大 V_{IH} を超えた場合の V_{SS} への寄生パス

影響を受けるリビジョン A

詳細

以下に示す GPIO ピンに最大 V_{IH} ($V_{DDIO} + 0.3V$) を超える電圧が印加されると、ピンから V_{SS} への内部寄生パスがオンになることがあります。この寄生電流は、ピンの機能動作に影響を及ぼす可能性があります。これは高温の場合に発生する可能性が高くなります。IO が V_{IL} 未満に駆動されると、寄生パスは除去されます。そのパスは、別の過電圧イベントが発生するまで再アクティブ化されません。

- GPIO16
- GPIO17
- GPIO24
- GPIO25
- GPIO26
- GPIO27
- GPIO35 (TDI)
- GPIO37 (TDO)
- GPIO40
- GPIO41
- GPIO42
- GPIO43

出力専用モードに設定されたピン (ピン上に他のドライバがない場合) では、ピンに過電圧状態は発生せず、本アドバイザーが該当しません。

入力または双方向モードで構成されたピンで過電圧状態が発生する可能性がある主な要因は、次の 3 つです。

1. 入力は、補償用終端なしのインピーダンス不整合によって入力部に大きなオーバーシュートが発生させる可能性がある低インピーダンスドライバによって駆動されます。
2. 入力には、ピンで $V_{DDIO} + 0.3V$ を上回る外部ノイズ源からの大きな過渡電圧が印加されます。
3. 入力は、別の電圧レギュレータから電力を供給されるデバイスによって駆動されます。別の電圧ドメインから電圧を受け取る場合、システム設計では常に最大 V_{IH} より下に電圧を維持する必要があります。ただし、ノイズ イベントや電源投入シーケンシングが適切でない場合は、電圧が一時的に $V_{DDIO} + 0.3V$ を超える可能性が高くなるため、このアドバイザーが適用されます。

回避方法

入力ピンまたは双方向ピンについて、上記のいずれかの条件に該当する場合は、信号と入力ピンの間に直列抵抗を挿入してください。直列抵抗は入力ピンの近くに配置してください。

過電圧がオーバーシュート (上記の状況 #1 または #2) が原因である場合は、 100Ω 以上の直列抵抗を使用する必要があります。

過電圧が持続する可能性がある場合 (上記の状況 #3) は、 220Ω 以上の直列抵抗を使用する必要があります。

6 シリコン リビジョン 0 の使用上の注意とアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

6.1 シリコン リビジョン 0 の使用上の注記

シリコン リビジョンに適用される使用上の注意が、新しいシリコン リビジョンで見つかりました。詳細については、[シリコン リビジョン D の使用上の注意](#)を参照してください。

6.2 シリコン リビジョン 0 のアドバイザリ

シリコン リビジョンに適用されるアドバイザリが、新しいシリコン リビジョンで見つかりました。詳細については、[シリコンのリビジョン D のアドバイザリ](#)と[シリコンのリビジョン A のアドバイザリ](#)を参照してください。

アドバイザリ **GPIO: パワーアップ時に、ピンが High に駆動されることがあります**

影響を受けるリビジョン 0

詳細

パワーアップ時に、以下のピンは一時的に出力モードに移行し、High に駆動されます。XRSn が解除される (High に遷移する) までに、これらのピンは適切に入力モードに戻り、ピンの説明に従って動作します。

- GPIO0
- GPIO1
- GPIO2
- GPIO3
- GPIO4
- GPIO5
- GPIO11
- GPIO13
- GPIO29
- GPIO33

回避方法

なし

アドバイザー**GPIO:V_{SS} への信号ラッチアップ****影響を受けるリビジョン 0****詳細**

以下に示すピンの ESD 構造は、機能動作中に意図せずオンになる可能性があります。これにより、ピンが V_{SS} にプルされます。この状態では、各出力ピンについて、V_{DDIO} 電源には、約 40mA の追加電流が発生します。

- GPIO16
- GPIO17
- GPIO24
- GPIO25
- GPIO26
- GPIO27
- GPIO35 (TDI)
- GPIO37 (TDO)
- GPIO40
- GPIO41
- GPIO42
- GPIO43

通常動作の 70°C 未満でこの条件は観測されませんでした。この条件は、入力または出力モードの任意のマルチプレクサ機能で発生する可能性があります。ピンの負荷が軽い設計と高速スイッチング信号を使用する設計では、この状態が発生する可能性が高くなります。ピン数の小さいパッケージでは接続されていないピンがトグルされると、ラッチアップ状態に移行することがあります。

低い温度で IO をトグルすることで、ラッチアップ状態を解除できます。

回避方法

4 つの回避方法のオプションがあります。

1. 影響を受けるリビジョンで、これらのピンを使用しないでください。
2. 影響を受けるリビジョンで高温動作させないでください。
3. ピンが入力または出力として構成されている場合:

これらの各ピンとグランドの間に 300pF 以上のコンデンサを配置し、デバイスのできるだけ近くに実装してください。これにより、高速信号が低速になり、条件がトリガされなくなります。容量の大きいコンデンサほど過渡信号のフィルタリングに効果的ですが、これらのピンに求められるシステムレベルのタイミング要件とのバランスを考慮する必要があります。

入力ピンについては、オプション 4 と組み合わせて使用すると、より小さなコンデンサを使用できる場合があります。

4. ピンを入力として構成する場合:

基板上の他の部品と直列に抵抗を接続し、ドライバとこの抵抗の合計抵抗値が 1kΩ 以上になるようにしてください。この目的は、ピンで発生する高速な電圧過渡を除去することです。これにより、ノイズによって ESD 構造が作動した場合も、DC 電流が制限されます。

アドバイザー

ePWM:「DC イベントベース CBC トリップ」のイベント ラッチ (DCxEVTxLAT) は、非同期パスが選択されている場合、トリガ パルスを想定どおりに延長できない可能性があります

影響を受けるリビジョン 0

詳細

DCxEVTxLAT は、デアサート時に非同期入力用にキャプチャされたトリガ イベントを失う可能性があります。非同期トリガがデアサートされると、クリア イベントが発生するまで、フロップはその値を保持することが想定されます。トリガはフロップのクロックに対して非同期であるため、デアサート中にフロップがクリアされる可能性があります。その場合、イベント ラッチ機能が失われます。

回避方法

なし

7 ドキュメントのサポート

F28004x デバイスの詳細については、以下のドキュメントを参照してください。

- [『TMS320F28004x リアルタイム マイクロコントローラ』データシート](#)
- [『TMS320F28004x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』](#)

8 商標

TMS320™ is a trademark of Texas Instruments.

C2000™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9 改訂履歴

Changes from February 23, 2024 to August 31, 2026 (from Revision H (February 2024) to Revision I (August 2026))

	Page
• グローバル: シリコン リビジョン D を追加。.....	1
• 『PM および PZ パッケージのデバイス マーキングの例』図: F280049PZS 図を更新。.....	6
• フラッシュ: 「フラッシュのプリフェッチを無効にせずに <code>Fapi_setActiveFlashBank()</code> を実行すると、ITRAP が発生することがあります」というアドバイザリ。.....	22
• 以下を追加: ePWM: 「ワンショット / CBC トリップ イベント <code>DCxEVTy.force</code> はトリップ条件を設定しません」というアドバイザリ.....	31
• 回避方法を更新.....	37
• CMPSS : 「 <code>COMPxLATCH</code> は、特定の条件では正しくクリアされないことがあります」アドバイザリ。.....	42
• 以下を追加: XTAL: 「 <code>XTALCR[SWH]= 0</code> はサポートされていません」のアドバイザリ.....	45

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月