参考資料

Errata

CC2651R3 SimpleLink™ ワイヤレス MCU デバイス リビジョン B/C

概要

この文書では、CC2651R3SimpleLink™ デバイスの機能仕様に対する既知の例外 (アドバイザリ) について説明します。

目次

1 アドバイザリ マトリックス 2
2 命名法、パッケージのマーキングとリビジョンの識別 3
2.1 デバイスおよび開発サポート — ツール命名規則 3
2.2 サポート対象デバイス 3
2.3 パッケージの記号表記およびリビジョンの識別 3
3 アドバイザリ 5
4 改訂履歴 15

商標

SimpleLink™ and テキサス インスツルメンツ™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries).
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

1 アドバイザリ マトリックス

表 1-1 にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

表 1-1. アドバイザリ マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン
		B/C
無線	アドバイザリ Radio_04 - 統合型 DC/DC コンバータの使用時に RX 感度が低下する	あり
電源	アドバイザリ Power_03 - DC/DC コンバータが有効の場合、低電源電圧での電圧リップルが増加する	あり
I2C	アドバイザリ I2C_01 - I^2C モジュールのマスタ ステータス ビットが遅延する	あり
I2S	アドバイザリ I2S_01 - I^2S バス フォルトが通知されない	あり
CPU	アドバイザリ CPU_01 - Arm® エラッタ #838869：即時重複する例外リターン動作をストアすると、不正な割り込みベクタが発生する可能性がある	あり
CPU	アドバイザリ CPU_02 - Arm® エラッタ #752770：SP のロードへの割り込みにより、動作にエラーが発生する可能性がある	あり
CPU、システム	アドバイザリ CPU_Sys_01 - システム CPU が 48MHz の分周クロックで動作している場合、10ms の周期的なティックの設定に使用する SysTick キャリブレーション値 (レジスタ フィールド：CPU_SCS.STCR.TENMS) が正しくない	あり
システム	アドバイザリ Sys_01 - シャットダウンからのウェークアップ時に、デバイスが ROM シリアル ブートローダーでブートする	あり
システム	アドバイザリ Sys_05 - 低温でパワー オン リセット (POR) スレッショルド電圧が上昇する	あり
システム コントローラ	アドバイザリ SYSCTRL_01 - 最初の電源投入時に特定の 2MHz 周期で発生するリセットが誤って通知される	あり
ADC	アドバイザリ ADC_01 - XOSC_HF がオンまたはオフになっている場合、200kHz のレートでの周期的 ADC トリガが無視される可能性がある	あり
ADC	アドバイザリ ADC_02 - XOSC_HF がオンまたはオフになっている場合、ADC サンプルが 2 または 14 クロック サイクル (24MHz) 遅延し、その結果サンプルにジッタが発生する可能性がある	あり
ADC	アドバイザリ ADC_03 - ADC の有効化直後に単一の手動 ADC トリガが生成されると、ADC FIFO の読み取り時にソフトウェアがハングする可能性がある	あり

Copyright © 2026 Texas Instruments Incorporated

2 命名法、パッケージのマーキングとリビジョンの識別

2.1 デバイスおよび開発サポート — ツール命名規則

製品開発サイクルの段階を示すために、テキサス インスツルメンツ™ ではすべてのデバイスとサポート ツールの型番に接頭辞を割り当てます。各デバイスには、X、P、ヌルの 3 つの接頭辞のいずれかが付いています (例:XCC2651R3)。テキサス インスツルメンツでは、サポート ツールに使用可能な 3 つの接頭辞のうち、TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表し、エンジニアリング プロトタイプ (X/TMDX) から完全認定済みの量産デバイス / ツール (ヌル / TMDS) までをカバーします。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。TI の標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

2.2 サポート対象デバイス

本文書は、以下のデバイスをサポートしています:

- CC2651R3

2.3 パッケージの記号表記およびリビジョンの識別

図 2-1 および 表 2-1 では、パッケージの記号表記とデバイスのリビジョン コードを説明します。

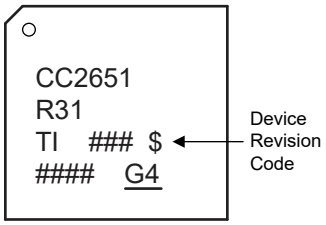


図 2-1. パッケージの記号表記

表 2-1. リビジョンの識別

デバイス リビジョン コード	シリコンのリビジョン
B	PG1.1 (以下の注を参照)
C	PG1.2 (以下の注を参照)

Copyright © 2026 Texas Instruments Incorporated

注

- PG1.1 と PG1.2 は機能的に同等であり、同じデータシート仕様を共有しています。
- 追加のウエハ ファブ拠点への投入をサポートするために、PG1.2 が導入されました。

Copyright © 2026 Texas Instruments Incorporated

3 アドバイザリ

Radio_04 ***統合型 DC/DC コンバータの使用時に RX 感度が低下する***

影響を受けるリビジョン: リビジョン C 以前

詳細: 統合型 DC/DC コンバータを使用すると、無線 RX 感度が約 2dB 低下する可能性があります。

回避方法: 内部グローバル LDO を使用して VDDR に電力を供給します。この結果、デバイスのデータシートに規定されている消費電流が増加します。統合型 DC/DC コンバータを使用する際、RF 性能を最適化するためのレイアウト考慮事項の詳細については、アプリケーション レポート『CC13xx / CC26xx のハードウェア構成および PCB 設計の考慮事項』を参照してください。パワー マネージメント機能の詳細については、『CC13x1x3、CC26x1x3 SimpleLink™ ワイヤレス MCU テクニカル リファレンス マニュアル』を参照してください。

Power_03 ***DC/DC コンバータが有効の場合、低電源電圧での電圧リップルが増加する***

影響を受けるリビジョン: リビジョン C 以前

詳細: 電源電圧が 2.0V 未満の場合、システム効率を最大化するため、ハードウェア制御モジュールが DC/DC コンバータを無効化します。このモジュールのヒステリシスは十分ではないため、VDDR 調整電源に約 10mV のリップルが発生します。デバイスの内部テストによると、このエラッタが RF 性能に影響することは予測されていません。ただし、これらのテスト結果は、顧客のアプリケーションや最終製品が影響を受けないことを保証するものではありません。

回避方法: テキサス インスツルメンツが提供するパワー ドライバ (PowerCC26X2.c) を使用します。このドライバは、電源電圧が 2.2V 未満の場合に、DC/DC コンバータを自動的に無効にします。

この回避策は、すべての SDK バージョンで利用できます。

Copyright © 2026 Texas Instruments Incorporated

I2C_01 *I²C モジュールのマスタ ステータス ビットが遅延する*

影響を受けるリビジョン: リビジョン C 以前

詳細: I2C.MSTAT[0] ビットは、I2C.MCTRL レジスタへの書き込み直後には設定されません。これが原因で、I²C マスタがビジーではなく、データの書き込みを継続できると判断する可能性があります。

回避方法: MCTRL レジスタへの書き込みと、MSTAT レジスタのポーリングとの間に NOP を 4 つ追加します。

この回避方法は、テキサス インスツルメンツが提供する I2C マスタ ドライバ (I2CCC26XX.c) と、I2C ドライバ ライブラリ API (driverlib/i2c.c) に実装されています。

この回避策は、すべてのソフトウェア開発キット (SDK) バージョンで利用できます。

I2S_01 *I²S バス フォルトが通知されない*

影響を受けるリビジョン: リビジョン C 以前

詳細: I²S の読み取りまたは書き込みによってシステム バス フォルトが発生し、不正アドレスにアクセスした場合 (使用エラー)、I²S モジュールがバス エラー割り込みフラグ (I2S0.IRQFLAGS.BUS_ERR) を設定しません。

回避方法: ソフトウェアは、I²S DMA で使用されるメモリ領域がアクセス可能であること (メモリの電源がオンで、システム バスが接続されていること) を確認する必要があります。

たとえば、テキサス インスツルメンツが提供する SPI ドライバ、SPICC26X2DMA.c を使用すると、送信バッファ アドレスが 0x0 で始まる場合、アイドル電力モードでもフラッシュ メモリへのアクセスが維持されるため、バス フォルトが発生しません。I2S を活用してペリフェラル ドライバを書き込む場合も、同様の手法を取る必要があります。

Copyright © 2026 Texas Instruments Incorporated

CPU_01

ARM® エラッタ #838869 : 即時重複する例外リターン動作をストアすると、不正な割り込みベクタが発生する可能性がある

影響を受けるリビジョン:

リビジョン C 以前

詳細:

影響を受ける構成:

このエラッタは、書き込み可能なメモリ位置が複数の待機状態を示す可能性がある (システム SRAM に待機状態がない) システムにのみ影響します。

Arm® Cortex®-M4 プロセッサには書き込みバッファが搭載されており、バス上でストアが待機中になっていても、実行を継続可能です。特定のタイミング条件では、ストア命令によりこのバッファがまだ使用中の状態で例外リターンが発生すると、次に実行する割り込みの選択が遅れ、割り込みコントローラによってアクノリッジされた割り込みと、プロセッサが取得したベクタとの間に不一致が発生する可能性があります。

条件:

- 割り込み A のハンドラが実行中である。
- 割り込み A と優先度が同じか A より優先度の低い割り込み B が保留中である。
- 即時オフセット命令のあるストアが、次のようにバッファ可能な場所で実行される。

  STR/STRH/STRB <Rt>, [<Rn>,#imm]
  STR/STRH/STRB <Rt>, [<Rn>,#imm]!
  STR/STRH/STRB <Rt>, [<Rn>,#imm]
- 任意の数の追加データ処理命令を実行できる。
- 例外リターンを発生させる BX 命令が実行される。
- ストア データに、BX 実行の少なくとも 2 サイクル後にデータが受け入れられるような待機状態が適用されている。
  - ストア命令と BX 命令の間に追加命令がない場合、これは最小で 2 サイクルになります。
  - このエラッタを観測するために必要な待機状態の数は、ストア命令と割り込みサービス ルーチンの終了命令との間のサイクル数だけ増加させる必要があります。
- バッファされたストア データをバスが受け入れる前に、A と優先度が同じか A より優先度の低い別の割り込み C がアサートされるが、C は B よりも優先度が高くなっている。

解説:

プロセッサは、割り込みハンドラ C を実行し、ハンドラ C の動作完了後、B のハンドラを実行する必要があります。前述の条件が満たされると、プロセッサはこのエラッタにより割り込み C の保留状態を誤ってクリアし、B のハンドラを 2 回実行します。B のハンドラ実行の 1 回目では、この優先度レベルが割り込み C のレベルになります。C のハンドラでクリアされたレベルに基づく割り込みによって割り込み C が保留されると、B のハンドラの完了後に割込み C が再度保留され、C のハンドラが実行されます。割り込み C がレベルに基づく場合、最終的にこの割り込みは再度保留され、その後に処理されます。割り込み C がシングル パルス割り込みである場合、この割り込みが失われる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

CPU_01 (続き) ***ARM®エラッタ #838869 : 即時重複する例外リターン動作をストアすると、不正な割り込みベクタが発生する可能性がある***

このバグは限られた条件下で引き起こされます。ストアで 2 回以上の待機サイクルが発生する場合は、ソフトウェア開発者が回避策を導入する必要があります。

- このエラッタは、TI-RTOS 割り込みには適用されません。そのため、割り込みルーチンの最後の 5 つの命令内に、即時オフセットを持つストアが発生しないことが保証されます。実装の詳細については次のファイルを参照してください。このファイルはすべての SDK に含まれています。
  - kernel/tirtos/packages/ti/sysbios/family/arm/m3/Hwi_asm*.sv7M
- TI-RTOS のゼロ遅延割り込み (カーネルをバイパスする) および SDK の No-RTOS サンプルは、このエラッタの影響を受けます。

回避方法:

推奨される回避策:

ストア命令と BX 命令の間で確実に DSB 命令が実行されるようにします。例外ハンドラを C 言語で記述する場合、これは割り込み関数の終了直前に、適切な組み込み関数セットまたはインライン アセンブリを挿入することで実現できます。以下に例を示します。

ARMCC:

...

__schedule_barrier(); __asm{DSB}; __schedule_barrier(); }

GCC:

...

__asm volatile (“dsb 0xf” ::: “memory”); }

注

このバグの回避策は、コンパイラによって自動的に**追加されません**。

別の回避策:

CPU 書き込みバッファリング (レジスタ CPU_SCS.ACTLR.DISDEFWBUF) を無効にします。ただし、この場合は実行速度が大幅に低下します。

Copyright © 2026 Texas Instruments Incorporated

CPU_02 *ARM® エラッタ #752770 :SP のロードへの割り込みにより、動作にエラーが発生する可能性がある*

影響を受けるリビジョン: リビジョン C 以前

詳細:

スタック ポインタ (SP/R13) へのシングル ワード ロードのデータ フェーズ中に割り込みが発生すると、デバイスが誤動作する可能性があります。どの場合でも、割り込みから復帰するとさらにロード命令が実行されます。ベース レジスタを更新するすべての命令において、ベース レジスタが実行ごとに誤って更新されるため、スタック ポインタは誤ったメモリ位置からロードされます。

ロード トランザクションの繰り返しで影響を受ける可能性がある命令は次のとおりです。

- LDR SP,[Rn],#imm
- LDR SP,[Rn,#imm]!
- LDR SP,[Rn,#imm]
- LDR SP,[Rn]
- LDR SP,[Rn,Rm]

スタック ポインタが誤ったメモリ アドレスからロードされることで影響を受ける可能性がある命令は次のとおりです。

- LDR SP,[Rn],#imm
- LDR SP,[Rn,#imm]!

条件:

- SP/R13 を宛先として LDR が実行される。
- LDR のアドレスがメモリ システムに正常に発行されている。
- データが返され、スタック ポインタに書き込まれる前に割り込みが実行される。

解説:

ロードの実行対象がデバイス メモリまたは厳密に順序付けされたメモリではない場合、ロードの繰り返しによる影響はありません。

- まれなケースとして、ロードをデバイス メモリまたは厳密に順序付けされたメモリに対して実行するイベントの場合、読み取りを繰り返すと、最後のスタック ポインタの値が、シングル ロードのみの実行と異なることがあります。
- ライトバック形式の命令 2 つに割り込みが発生すると、ベース レジスタ値と最後のスタック ポインタ値の両方が誤った値になる可能性があります。この結果、見かけ上スタックが破損し、続いて意図しないメモリ変更が実行される可能性があります。

回避方法:

ほとんどのコンパイラは、影響を受けた命令シーケンスを出力せず、コンパイラのランタイム ライブラリの命令を使用しないことで、このバグが発生しないようにしています。次のようなコンパイラがこれに該当します。

- v6.21 からの IAR
- TI の Arm コンパイラ (CCS) のすべてのバージョン

両方の問題の回避策は、スタック ポインタへの直接ロードを汎用レジスタへの中間ロードに置き換え、その後スタック ポインタへの移動を行うことで実装できます。

読み取りの繰り返しが許容される場合、ベース インクリメントなしでスタック ポインタのロードを実行し、続いて ADD 命令または SUB 命令を実行して、ベース レジスタに対して適切な更新を実行することで、ベース レジスタ更新の問題を回避できる可能性があります。

Copyright © 2026 Texas Instruments Incorporated

CPU_Sys_01 ***システム CPU が 48MHz の分周クロックで動作している場合、10ms の周期的なティックの設定に使用する SysTick キャリブレーション値 (レジスタ フィールド:CPU_SCS.STCR.TENMS) が正しくない***

影響を受けるリビジョン: リビジョン C 以前

詳細: Arm® Cortex® SysTick タイマを使用する場合、TENMS レジスタ フィールド (CPU_SCS.STCR.TENMS) に、CPU の分周係数に関係なく、常に 48MHz CPU クロックに対応する値が表示されます。

回避方法: 次の 2 つの回避方法のうち、いずれかを実装する必要があります。

回避策 1:分周されたシステム CPU クロックを使用しない。一般に、最大クロック速度でタスクを完了し、タスク完了後にシステム CPU を完全に停止すると、最大の省電力効果が得られます。

回避方法 2:PRCM.CPUCLKDIV.RATIO レジスタからシステム CPU の分周係数を読み取り、この値に基づいて、ソフトウェアで TENMS フィールドを補償する。

TI が提供するドライバでは、システムの CPU クロックを分周する機能を提供しません。

Copyright © 2026 Texas Instruments Incorporated

Sys_01 *シャットダウンからのウェークアップ時に、デバイスが ROM シリアル ブートローダーでブートする*

影響を受けるリビジョン: リビジョン C 以前

詳細:

以下に示す条件では、デバイスはシャットダウン電源モードからのウェークアップ時に ROM シリアル ブートローダーで起動し、実行します。これはアプリケーション イメージの実行を意図した挙動です。このエラッタが発生する前提条件は次のとおりです。

- シャットダウンからのウェークアップが、GPIO イベントではなく、JTAG TCK ピンのトグルまたはノイズによって発生するように指定されている。
- 顧客構成セクション (CCFG) で、以下のフィールド値を使用してブートローダーを設定する必要がある。
  - BOOTLOADER_ENABLE = 0xC5 (ブートローダーが有効化)
  - BL_ENABLE = 0xC5 (ブートローダー ピンのバックドアが有効化)
  - BL_PIN_NUMBER = n (任意の有効な DIO 番号)

上記の前提条件では、ブートローダーは次の場合に起動されます。

- CCFG ブートローダー ピン レベル (BL_LEVEL) が 0x0 (アクティブ Low) に設定され、BL_PIN_NUMBER で定義された DIO の入力バッファが有効化されていたものがレジスタ IOC.IOCFGn.IE で無効になっている。入力バッファが有効になっていない場合、DIO レベルが常に 0 を読み取り、ブートローダーが起動される。
- IOC.IOCFGn.IE によって制御される入力バッファが有効になり、シャットダウンに入る際に DIO の入力値が CCFG ブートローダー ピン レベル (BL_LEVEL) と同じレベルになる (GPIO 入力値はシャットダウンに入る際にラッチされる)

JTAG TCK ピンに入るノイズによりデバイスがウェークアップされる状況の詳細については、『CC13x1x3、CC26x1x3 SimpleLink™ ワイヤレス MCU テクニカル リファレンス マニュアル』の「ICEMelter」の章を参照してください。

回避方法:

次の回避方法のいずれかを実装する必要があります。

- 入力バッファが有効化されていない場合、アクティブ High のブートローダー ピン レベル (BL_LEVEL) のみを使用する。
- 入力バッファが有効の場合、シャットダウンに入る際に、DIO 入力ピンのレベルがブートローダー ピン レベル (BL_LEVEL) と同じになっていないことを確認する。

Copyright © 2026 Texas Instruments Incorporated

Sys_05 *低温でパワー オン リセット (POR) スレッショルド電圧が上昇する*

影響を受けるリビジョン: リビジョン C 以前

詳細: 0°C 未満の温度で 0V からデバイスに電源を投入する場合、パワーオン リセット (POR) 回路が、VDDS で意図した 1.8V ではなく 2.3V に達するまでリセットを解除しないことがあります。POR がリセットを解放した後、影響を受けるデバイスは、最低 1.8V の電圧で動作を続けます。

この挙動は電源投入時にのみ観測されます。デバイスで外部ピンのリセット、シャットダウンからのウェークアップ、ウォッチドッグ リセットが実行された場合は発生しません。

発生頻度はまれであり、ごく少数のデバイスでのみ観察されます。

回避方法: **回避方法 1**:0°C 未満の温度で動作している場合、VDDS > 2.3V でデバイスを起動します。

または

回避方法 2:VDDS < 2.3V でデバイスに電源を投入し、ホスト MCU または外部回路からリセットピンをトリガします。

また、デバイスを外部レギュレータ モードで動作させる場合は、回避策 2 を実装する必要があります。外部レギュレータ モードでは、VDDS が 1.95V を超えないようにする必要があります。*これは、外部レギュレータ モードをサポートしているデバイスにのみ適用されます。*

SYSCTRL_01 *最初の電源投入時に特定の 2MHz 周期で発生するリセットが誤って通知される*

影響を受けるリビジョン: リビジョン C 以前

詳細: 最初の電源投入 (ブート) 時に、特定の 2MHz 周期でリセットが発生した場合、リセット ソースに関係なく、AON_PMCTL.RESETCTL.RESET_SRC のリセット ソースが PWR_ON として通知されます。これは、ブート中に 0.5µs の期間が存在しており、リセットが誤って通知される可能性があることを意味します。

回避方法: なし

Copyright © 2026 Texas Instruments Incorporated

ADC_01 ***XOSC_HF がオンまたはオフになっている場合、200kHz のレートでの周期的 ADC トリガが無視される可能性がある***

影響を受けるリビジョン: リビジョン C 以前

詳細: ADC クロックには、専用に選択されるクロック ソースがありません。このクロックは XOSC_HF または RCOSC_HF のいずれかから取得されますが、このクロックがオンになると、常にデフォルトで XOSC_HF からクロックが取得されます。

ADC クロック ソースが RCOSC_HF から XOSC_HF で取得したクロックに切り替わると、クロックは 2 サイクル (24MHz) の間停止します。

ADC クロック ソースが XOSC_HF から RCOSC_HF で取得したクロックに切り替わると、切り替え完了時に RCOSC_HF で取得したクロックの準備ができていないため、クロックはさらに 12 クロック サイクルの間停止します。

クロックが停止すると、XOSC_HF と RCOSC_HF の周波数差も不明になるため、ADC のサンプリングと変換の終了が遅延し、次のトリガを捕捉できなくなる可能性があります。

回避方法 1: 非同期サンプリングを使用します。

問題発生後のサンプリング期間は、最大 20% 短縮できます (24MHz で 12+1 クロック サイクル)。

ADCBuf ドライバにより ADC を非同期モードで使用する方法は次のとおりです。

```
ADCBuf_Params params;
ADCBufCC26X2_ParamsExtension paramsExtension;

ADCBuf_Params_init(&params);
ADCBufCC26X2_ParamsExtension_init(&paramsExtension);

paramsExtension.samplingMode = ADCBufCC26X2_SAMPING_MODE_ASYNCHRONOUS;
params.custom = &paramsExtension;
```

DriverLib API により ADC を非同期モードで使用する方法は次のとおりです。

`AUXADCEnableAsync()` を呼び出して ADC を有効にします。以下は呼び出しません: `AUXADCEnableSync()`

例:

```
AUXADCEnableAsync(AUXADC_REF_FIXED, AUXADC_TRIGGER_GPT0A);
```

非同期 ADC モードと同期 ADC モードの違いに注意してください。

- 非同期モードでは、ADC トリガはサンプリング期間 (前回の変換直後に開始) を終了し、変換を開始します。
- 同期モードでは、ADC トリガはサンプリング期間 (期間を構成可能) を開始し、続いて変換を実行します。

回避方法 2: ADC を使用している間は、XOSC_HF がオンまたはオフにならないようにします。

回避方法 3: サンプリング期間を (12+1)/24µs 以上増加させます。

ADC_02 ***XOSC_HF がオンまたはオフになっている場合、ADC サンプルが 2 または 14 クロック サイクル (24MHz) 遅延し、その結果サンプルにジッタが発生する可能性がある***

影響を受けるリビジョン: リビジョン C 以前

Copyright © 2026 Texas Instruments Incorporated

ADC_02 (続き) ***XOSC_HF がオンまたはオフになっている場合、ADC サンプルが 2 または 14 クロック サイクル (24MHz) 遅延し、その結果サンプルにジッタが発生する可能性がある***

詳細:

ADC クロックには、専用に選択されるクロック ソースがありません。このクロックは XOSC_HF または RCOSC_HF のいずれかから取得されますが、このクロックがオンになると、常にデフォルトで XOSC_HF からクロックが取得されます。

ADC クロック ソースが RCOSC_HF から XOSC_HF で取得したクロックに切り替わると、クロックは 2 サイクル (24MHz) の間停止します。

ADC クロック ソースが XOSC_HF から RCOSC_HF で取得したクロックに切り替わると、切り替え完了時に RCOSC_HF で取得したクロックの準備ができていないため、クロックはさらに 12 クロック サイクルの間停止します。

SCLK_HF は、ADC クロックとの比較により、異なる時間で RCOSC_HF から XOSC_HF に切り替わります。これが原因でサンプルにジッタが発生します。

回避方法 1:

非同期サンプリングを使用します。

- こうすることで、14 クロック サイクルの遅延が 2 クロック サイクルに短縮されます。
- 非同期サンプリングと外部トリガ ソース (GPIO 入力ピン) を使用すると、遅延は完全に除去されます。

ADCBuf ドライバにより ADC を非同期モードで使用する方法は次のとおりです。

```
ADCBuf_Params params;
ADCBufCC26X2_ParamsExtension paramsExtension;

ADCBuf_Params_init(&params);
ADCBufCC26X2_ParamsExtension_init(&paramsExtension);

paramsExtension.samplingMode = ADCBufCC26X2_SAMPING_MODE_ASYNCHRONOUS;
params.custom = &paramsExtension;
```

DriverLib API により ADC を非同期モードで使用する方法は次のとおりです。

`AUXADCEnableAsync()` を呼び出して ADC を有効にします。以下は呼び出しません: `AUXADCEnableSync()`

例:

```
AUXADCEnableAsync(AUXADC_REF_FIXED, AUXADC_TRIGGER_GPT0A);
```

非同期 ADC モードと同期 ADC モードの違いに注意してください。

- 非同期モードでは、ADC トリガはサンプリング期間 (前回の変換直後に開始) を終了し、変換を開始します。
- 同期モードでは、ADC トリガはサンプリング期間 (期間を構成可能) を開始し、続いて変換を実行します。

回避方法 2:

ADC を使用している間は、XOSC_HF がオンまたはオフにならないようにします。

Copyright © 2026 Texas Instruments Incorporated

ADC_03 ***ADC の有効化直後に単一の手動 ADC トリガが生成されると、ADC FIFO の読み取り時にソフトウェアがハングする可能性がある***

影響を受けるリビジョン: リビジョン C 以前

詳細: ADC クロックには、専用に選択されるクロック ソースがありません。このクロックは XOSC_HF または RCOSC_HF のいずれかから取得されますが、このクロックがオンになると、常にデフォルトで XOSC_HF からクロックが取得されます。

ADC クロック ソースが RCOSC_HF から XOSC_HF で取得したクロックに切り替わると、クロックは 2 サイクル (24MHz) の間停止します。

ADC クロック ソースが XOSC_HF から RCOSC_HF で取得したクロックに切り替わると、切り替え完了時に RCOSC_HF で取得したクロックの準備ができていないため、クロックはさらに 12 クロック サイクルの間停止します。

12 クロック サイクルが追加されたため、トリガ イベントと ADC トリガ検出器の間に競合が発生して、リセットから復帰します。

回避方法 1: テキサス インスツルメンツのソフトウェアでは、ADC を有効化する機能の終了時に短い遅延が追加されます。SimpleLink CC13xx と CC26xx SDK 5.40 以降を使用します。

回避方法 2: ADC を使用している間は、XOSC_HF がオンまたはオフにならないようにします。

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (February 2022) to Revision B (October 2026)	Page
• すべてのアドバイザリを C 以前に更新	2
• セクション 2.3 のパッケージの記号表記画像を変更、シリコン リビジョン C (PG1.2) を追加、注を追加	3

English Document: SWRZ121
Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月