参考資料

Application Note

*単一の **LVCMOS** 発振器で複数の負荷を駆動する方法*

Connor Lewis, Subhayan Nath, William Pfennigwerth, Harish Ramesh

概要

コスト削減や部品表 (BOM) の簡素化を図るため、クロック信号の信号整合性がそれほど重要でないアプリケーションにおいては、1 つのクロック ソースで複数の負荷を駆動したいと考えるシステム設計者もいます。低周波のシングルエンド LVCMOS クロック信号は、このようなコスト削減の対象として適しています。なぜなら、ジッタに対する要求が比較的緩く、発振器のコストがクロックを受け取る側のデバイスに比べて高くなることが多いためです。しかし、この手法を用いると、具体的な配線方法や信号整合性への影響に関して、さまざまな疑問が生じる可能性があります。負荷を近接配置すると、信号整合性にどのような影響がありますか？複数負荷間で許容される最長のパターン長はどれですか？単一のクロック ソースで何個の受信機までなら、立ち上がり/立ち下がり時間を許容範囲内に保ったまま駆動できますか？また、それはリンギングや信号の反射にどのような影響を与えますか？このアプリケーション ノートでは、パターンを複数の負荷に分割する場合の伝送ラインの影響について説明し、LMK6C と CDC6C の低ジッタ、高性能、バルク弾性波 (BAW) 固定周波数 LVCMOS 発振器を使用した IBIS シミュレーションの結果に基づいて、推奨されるトポロジをいくつか紹介します。

目次

1 はじめにおよび試験方法 2
2 シミュレーションの設定 3
3 ルーティング トポロジとシミュレーション結果 4
3.1 シングル ライン 4
3.2 スター ライン 6
3.3 スプリット ライン 7
3.4 スター ラインとスプリット ライン 8
4 ラボでの測定 9
4.1 ラボでの測定設定 9
4.2 ラボでの測定結果とシミュレーション データとの相関関係 10
5 負荷間のパターン長の不一致 12
6 アプリケーション例: FPD-Link 14
7 まとめ 15
8 参考資料 15
9 改訂履歴 16

商標

すべての商標は、それぞれの所有者に帰属します。

Copyright © 2025 Texas Instruments Incorporated

1 はじめにおよび試験方法

システムを高周波でクロック駆動する場合や、配線が長くなる場合には、ケーブルや PCB の配線は単なる導線としてではなく、通常は伝送ラインとして扱われます。一般的な目安として、信号の立ち上がり時間の 25% を超える伝搬遅延が配線やケーブルに生じる場合は、伝送ライン効果を考慮する必要があるとされています。たとえば、一般的な FR-4 素材の PCB では、信号の伝搬遅延はおよそ 150ps/インチ になることがあります。信号の立ち上がり時間が 1ns と仮定すると、およそ 1.5 インチを超える配線は伝送ラインのように振る舞い、対策をしなければ信号整合性の問題が発生する可能性があります。

以下のシミュレーション結果は、さまざまな配線方式を用いて、単一の LVCMOS 発振器で複数の負荷を駆動した際の影響を示しています。シミュレーションを行うために、Altium Designer を用いて 4 層のスタックアップを設計し、特性インピーダンスを標準の 50Ω にするために必要な配線幅を算出しました。このスタックアップは、特性インピーダンスが標準の 50Ω となる配線幅が、0201 サイズの受動部品のパッド サイズに近くなるように選定されました。これにより、信号が基板上の抵抗やコンデンサを通過する際の反射が最小限に抑えられます。

このスタックアップを用いて、ドライバから複数の負荷へ配線するさまざまな方法を再現するための一連の PCB レイアウトを設計しました。その後、レイアウト ファイルを IBIS の信号整合性 (SI) シミュレーション用に変換し、ドライバとして 25MHz の TI 製 BAW 発振器を使用しました。

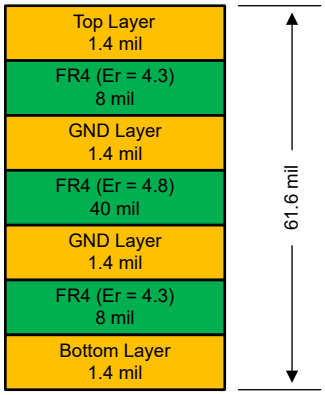


図 1-1. 負荷基板シミュレーションで使用されたスタックアップ

表 1-1. 負荷基板スタックアップを使用した場合のパターンのインピーダンスと厚さの関係

パターン厚 (mil)	特性インピーダンス (Z_0)
9	60Ω
13	50Ω
20	40Ω

複数の負荷へ配線する際には、50Ω のインピーダンス整合を取るためにライン抵抗を配置できます。各配線方式では、1 個、2 個、または 4 個の負荷を駆動しており、合計の負荷容量は 10pF となっています。すべてのテスト構成において、総負荷容量は一定に保たれており、配線トポロジのみが変更される唯一の変数となるようにしました。図 1-2 は、LVCMOS 発振器の出力に接続される総容量性負荷が増加すると、立ち上がり時間および立ち下がり時間が長くなり、性能が低下する可能性があることを示しています。この要因は、それぞれ定格負荷容量 2.5pF の 4 つの負荷を駆動する最悪のケースを想定し、10pF の一定負荷を使用することで実験から除外されました。セクション 3 には、テストされたさまざまな配線および負荷トポロジに関する、より詳しい説明が含まれています。

Copyright © 2025 Texas Instruments Incorporated

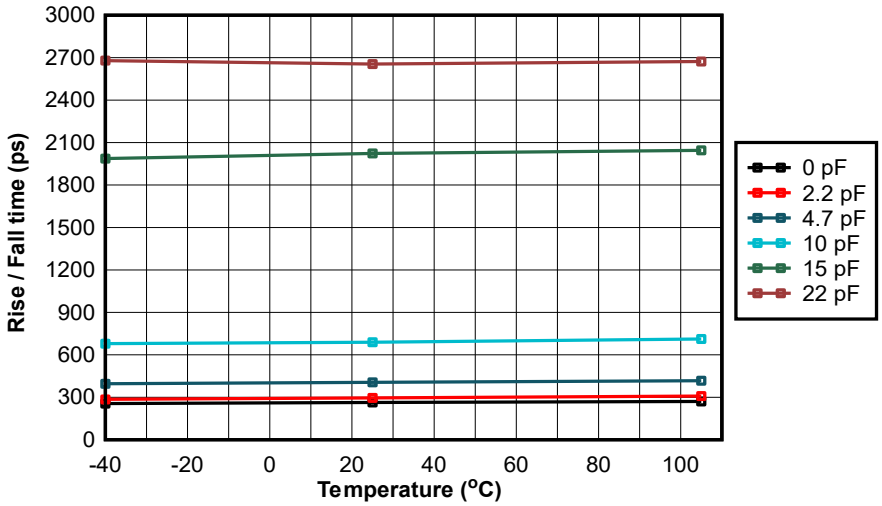


図 1-2. LMK6C の立ち上がり/立ち下がり時間 (ps) と温度および負荷容量の関係 (出力周波数 25MHz、電源電圧 3.3V)

2 シミュレーションの設定

IBIS 信号整合性 (SI) シミュレーションは、MentorGraphics の Hyperlynx ツールで実行されました。Altium の基板ファイルは、伝送ラインやスタブの効果をモデル化するために、実際の PCB トレースおよび層構成に対応したフリーフォームの SI 回路図へとエクスポートされました。図 2-1 は、LVCMOS クロックドライバ、伝送ライン モデル、および負荷容量を用いた簡略化されたシミュレーション例を示しています。PCB レイアウトを SI モデルに変換した後、パターン インターコネクト、受動部品のパッド、スタブ、およびパターン インピーダンスに影響を与えるその他の要素を表現するために、一連の伝送ライン モデルが回路に追加されます。Hyperlynx の波形ビューアでは、従来のオシロスコープのように、クロックの発振周波数や時間軸、電圧軸のスケーリングを変更することができます。プローブはドライバ側ではなく負荷用コンデンサの位置に配置されており、実際のシステムにおいてレシーバが検出する信号を再現するためです。

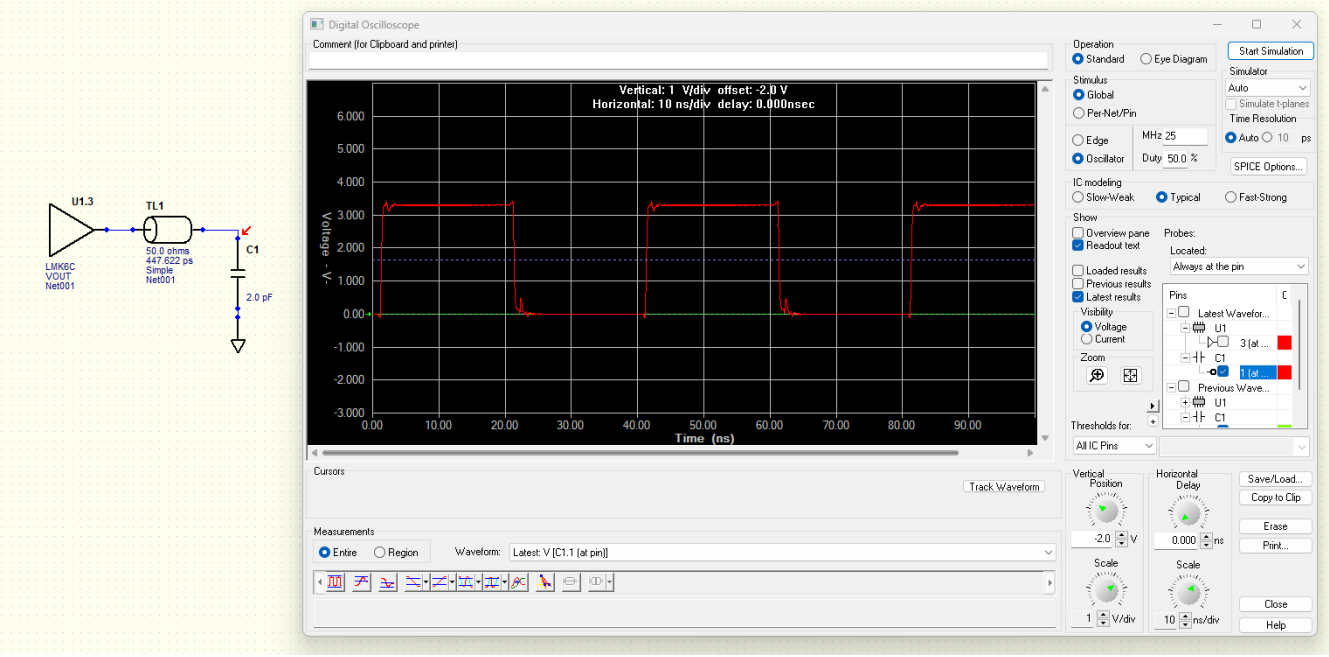


図 2-1. Hyperlynx SI シミュレーションの設定

English Document: SNAA406
Copyright © 2025 Texas Instruments Incorporated

3 ルーティング トポロジとシミュレーション結果

3.1 シングル ライン

これは、シングル エンド信号における一般的な構成です。シングル ライン構成は、1 本のラインにつき 1 つの負荷に限定されるためノード数が減り、最良の信号整合性を実現できることから推奨されます。シングル ライン、単一負荷構成が、他のテスト対象となったトポロジと比較するための基準として使用されました。

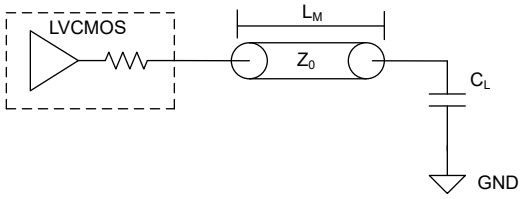


図 3-1. シングル ライン、単一負荷トポロジ

シングル ライン、マルチロード構成は、それらの間の分離が小さい場合に複数の負荷を駆動するのに適したオプションです。このトポロジの一般的な使用例としては、同一デバイス内の 2 つのクロック入力ピンを駆動する場合や、物理的に近接した複数のデバイスを駆動する場合などが挙げられます。この検討において「シングル ライン」と見なすためには、負荷間の距離を 1 インチ未満に制限する必要があります。各荷重は主線から等しい距離であると仮定しているため、L_S は各レシーバーで同じ長さになります。

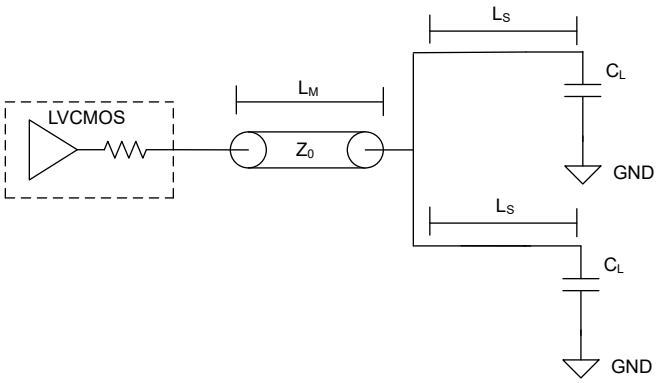


図 3-2. シングル ライン、複数負荷トポロジ

Copyright © 2025 Texas Instruments Incorporated

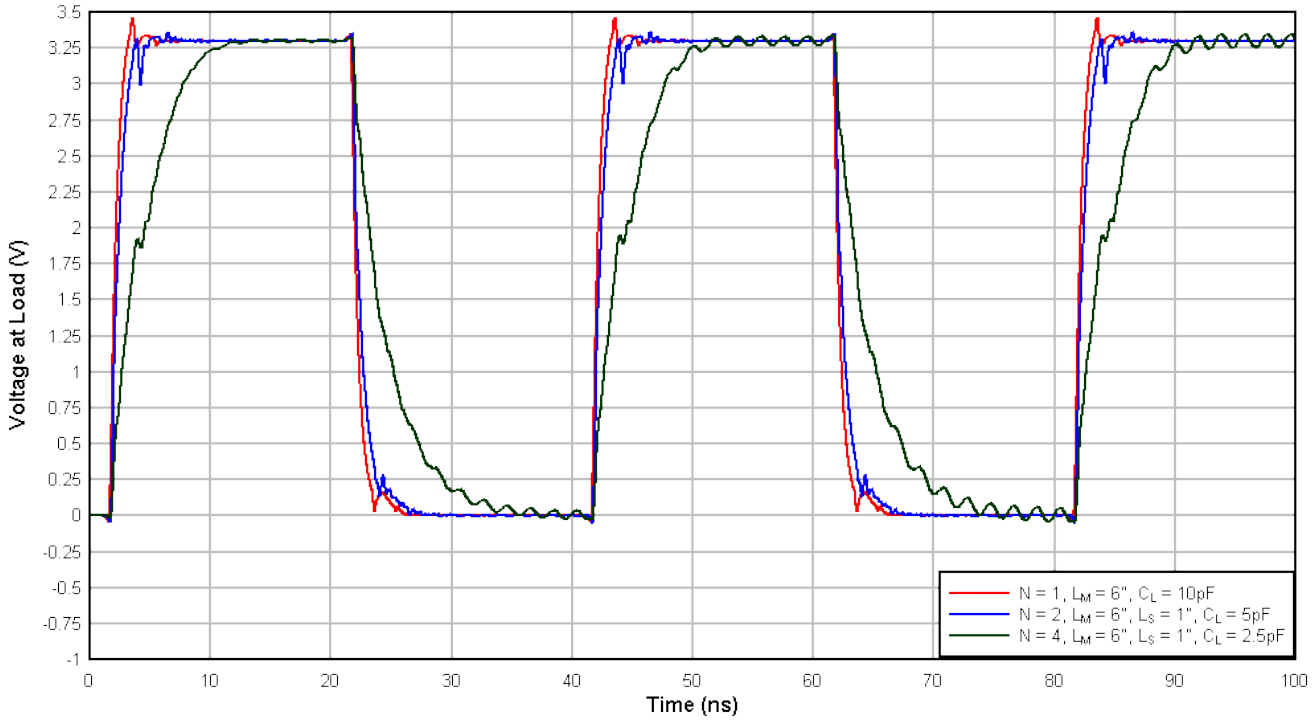


図 3-3. シングル ライン シミュレーション結果

表 3-1. シングル ラインの立ち上がり/立ち下がり時間

負荷数	パターン長 - L_M	立ち上がり時間 (ns)	立ち下がり時間 (ns)
1	6 インチ	0.676	0.763
2	6 インチ	0.938	1.105
4	6 インチ	4.010	3.946

シングル ライン構成の場合、2 つの負荷を駆動すると許容可能な信号品質が得られ、立ち上がり時間と立ち下がり時間がわずかに長くなり、測定可能な反射アーティファクトはほとんど発生しません。

4 つの負荷を追加すると、立ち上がり/立ち下がり時間は大幅に遅くなりますが、波形への反射は依然として最小限に抑えられます。

Copyright © 2025 Texas Instruments Incorporated

3.2 スター ライン

スター ライン構成は、負荷がボード上に共存していない場合に備えて設計された代替設計です。この構成は、ドライバから単一の出力ラインとして始まり、その後、レシーバ側に近い位置で分岐します。スター ライン配線はシングル ライン方式に似ていますが、レシーバ側の負荷同士の距離が 1 インチを超えている点が異なります。

インピーダンス整合を支援するため、ドライバには連続的な 50Ω のインピーダンスが *見られる*ように、ライン抵抗 (R_t) を追加します。R_{Rt} は、式 1 の式に従って計算されます。

$$R_t = \frac{N-1}{N+1} \times Z_0 \quad (1)$$

ここで、N は駆動される負荷の数に等しく、Z_0 はトレースの特性インピーダンスに等しくなります。

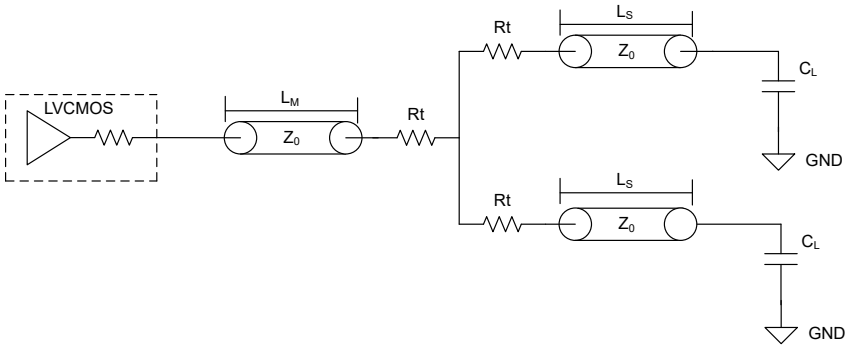


図 3-4. スター ライン トポロジ

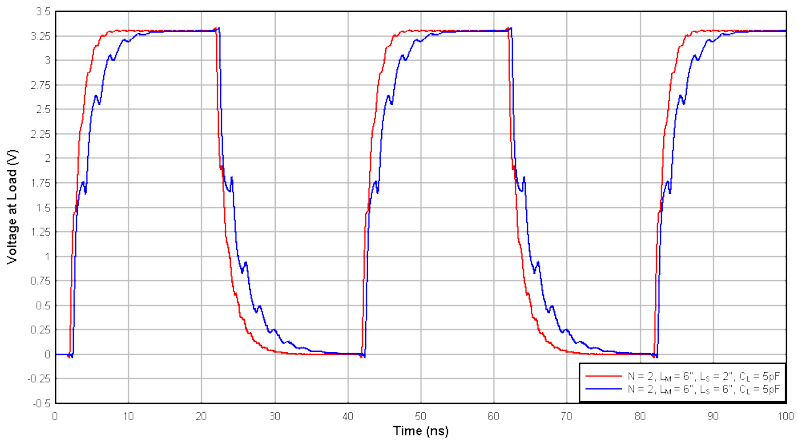


図 3-5. スター ラインのシミュレーション結果

表 3-2. スター ライン立ち上がり/立ち下がり時間

負荷数	パターン長 - L_S	立ち上がり時間 (ns)	立ち下がり時間 (ns)
2	2 インチ	1.858	2.206
2	6 インチ	2.839	3.980

スター ライン構成では、これはシングル ライン構成に近いため、分岐配線の長さがわずか 2 インチでも、立ち上がり時間および立ち下がり時間が増加し、わずかなリップルが見られる程度です。パターン長が 6 インチに延びると、リップルがさらに悪化し、立ち上がり/立ち下がり時間も一層長くなります。この信号は一部のレシーバにとっては十分である場合もありますが、分岐配線の長さをさらに延ばすと、信号整合性が許容できないレベルまで劣化する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

3.3 スプリット ライン

スプリット ライン構成は、負荷が基板上で近接して配置されていない場合に使用することができます。このトポロジでは、トレースはドライバの近くで分岐し、その後の大部分の距離でそれぞれが独立した伝送ラインとして動作します。

式 1 に従って、インピーダンス整合のためにライン抵抗 (R_t) を再度追加します。

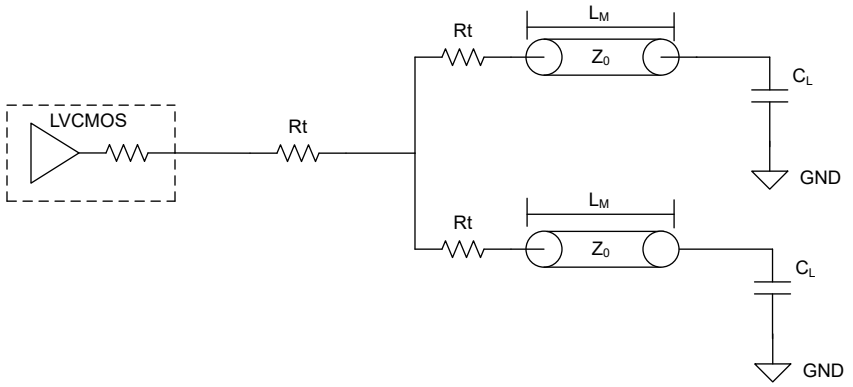


図 3-6. スプリット ライン トポロジ

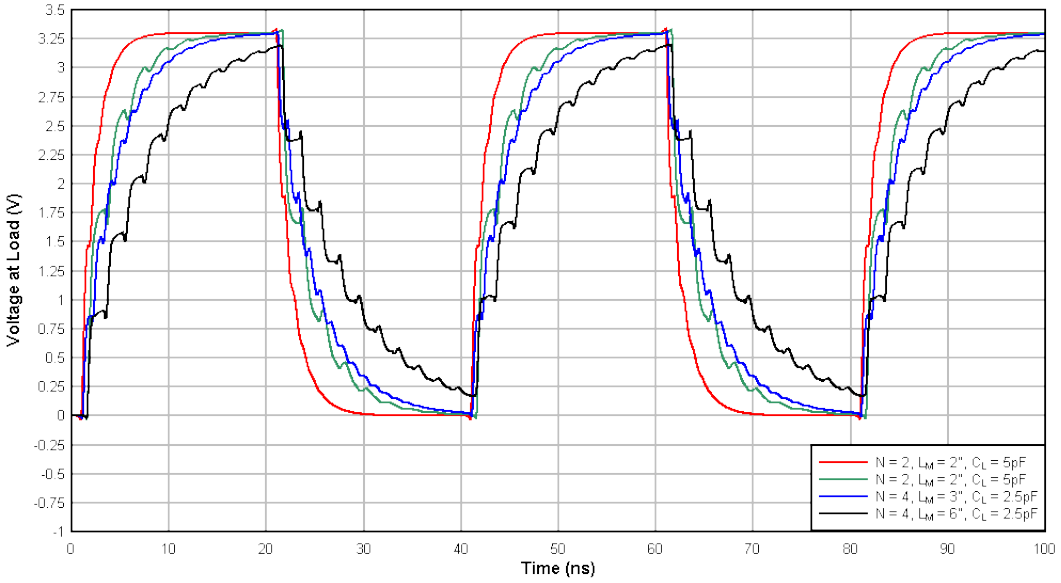


図 3-7. スプリット ラインのシミュレーション結果

表 3-3. スプリット ラインの立ち上がり/立ち下がり時間

負荷数	パターン長 - L_M	立ち上がり時間 (ns)	立ち下がり時間 (ns)
2	2 インチ	1.971	2.228
2	6 インチ	3.762	4.556
4	3 インチ	4.781	5.630
4	6 インチ	7.998	10.16

スプリット ライン構成では、負荷の数や配線の長さが信号整合性に与える影響が、スター ライン構成と比べてより大きくなります。負荷が増え、パターン長が長くなるにつれて、リンギングがより深刻になり、立ち上がり/立ち下がり時間も遅くなるなど、信号整合性が悪化します。

Copyright © 2025 Texas Instruments Incorporated

3.4 スター ラインとスプリット ライン

スター ラインおよびスプリット ラインのトポロジは、それぞれ 5pF の容量を持つ 2 つの負荷を、合計 8 インチの PCB 配線を通じて駆動するシナリオにおいて比較されました。図 3-8 に示すように、スター ライン手法を使用すると、信号整合性を改善し、立ち上がり時間または立ち下がり時間を短縮できます。

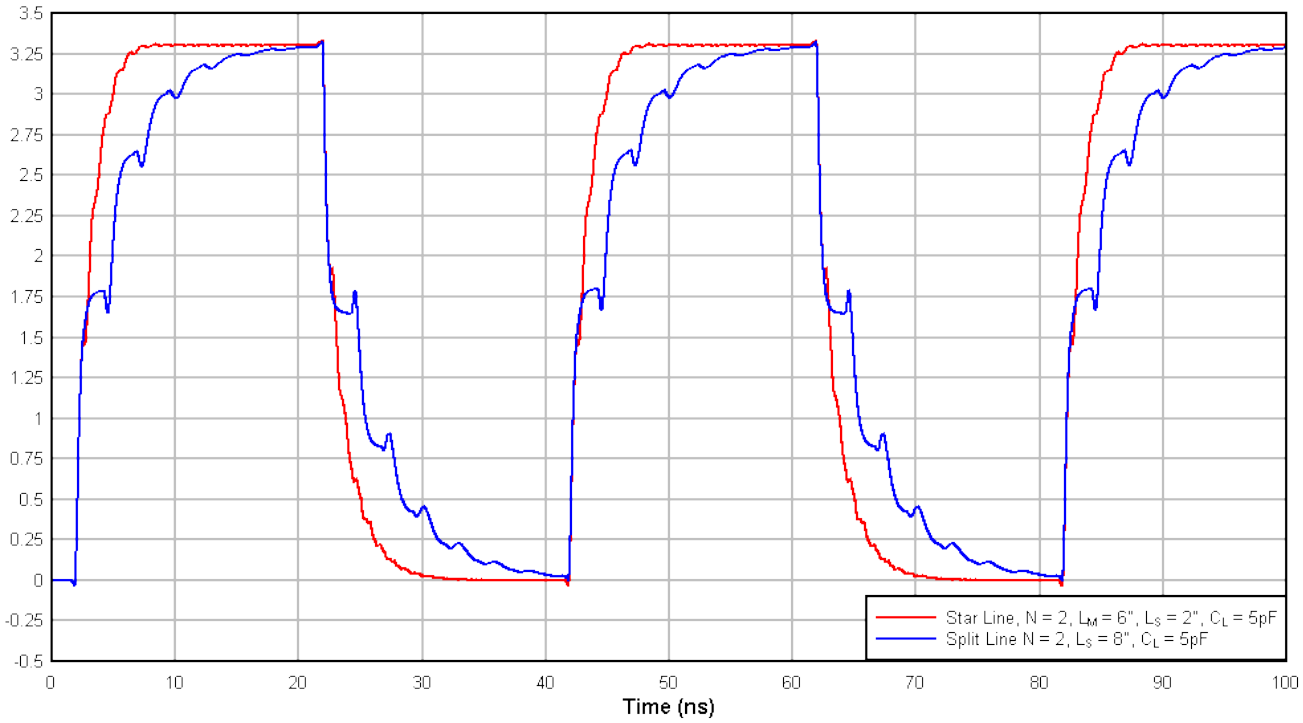


図 3-8. スター ラインとスプリット ラインのシミュレーション結果

Copyright © 2025 Texas Instruments Incorporated

4 ラボでの測定

4.1 ラボでの測定設定

シミュレーション結果から得られた結論を検証するために、複数の配線方式を備えた負荷基板が設計されました。この負荷基板は、オンボードの LVCMOS 発振器からのクロック出力を、異なるパターン長を持つスプリット ラインおよびスターライン トポロジの両方を用いて複数の負荷へファンアウトする設計となっています。負荷基板には、次の配線ルーティング構成が含まれています。

1. 2 インチ シングル トレース、1 ビア付き
2. 2 インチ シングル トレース、2 ビア付き
3. 1 インチ シングル トレース、ビアなし
4. 2 インチ シングル トレース、ビアなし
5. 2 インチのトレースが 2 つの負荷にファンアウトされ、ドライバ付近で分岐する構成 (スプリット ライン トポロジ)
6. 2 インチのトレースが 2 つの負荷にファンアウトされ、負荷の近くに分割 (スターライン トポロジ)
7. 2 インチのトレースが 3 つの負荷にファンアウトされ、ドライバ付近で分岐する構成 (スプリット ライン トポロジ)
8. 2 インチのトレースが 3 つの負荷にファンアウトされ、負荷の近くに分割 (スターライン トポロジ)
9. 1.5 インチのトレースを 3 つの負荷にファンアウトされ、負荷の近くに分割 (スターライン トポロジ)
10. 1.6 インチのトレースを 4 つの負荷にファンアウトされ、負荷の近くに分割 (スターライン トポロジ)

負荷基板の設計とクーポン ボードの画像と、余分なパターンの長さを追加するためのものを図 4-1 に示します。

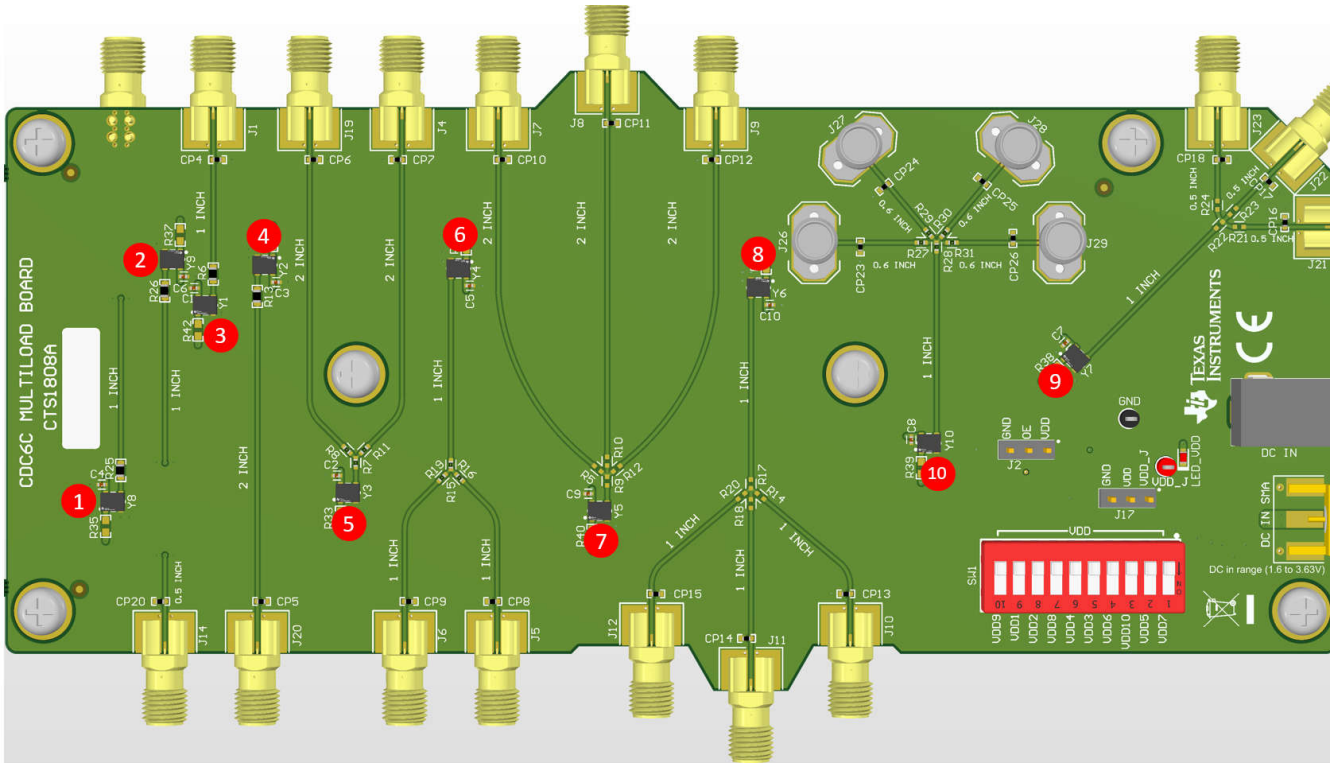


図 4-1. 発振器マルチロード ファンアウト ボード

負荷基板の層構成は、図 1-1 に示すシミュレーション負荷基板と一致します。

English Document: SNAA406
Copyright © 2025 Texas Instruments Incorporated

4.2 ラボでの測定結果とシミュレーション データとの相関関係

基板レイアウトのパラメータを抽出し、各出力に 2pF の負荷容量を接続した状態で、セクション 2 で説明したのと同じ手順を用いて Hyperlynx にて信号の完全性のシミュレーションを実行しました。この基板で取得した測定結果と、シミュレーション結果に基づく予測値との比較を以下に示します。

表 4-1. 複数負荷基板における異なる配線トポロジでの立ち上がり/立ち下がり時間およびジッタの結果

トレース タイプ	トレースの説明	ジッタ (fs) の測定	立ち上がり時間 (ps) 測定	立ち下がり時間 (ps) 測定	立ち上がり時間 (ps) シミュレーション	立ち下がり時間 (ps) シミュレーション
1	2 インチ シングル、1 ビア	335	250	263	263	245
2	2 インチ シングル、ビア 2 個	335	249	257	270	266
3	1 インチ シングル、ビアなし	333	238	254	277	204
4	2 インチ シングル、ビアなし	334	251	259	263	244
5	ドライバ付近での 2 インチのダブル スプリット配線	336	1780	1870	1475	1640
6	負荷付近での 2 インチのダブル スプリット配線	332	1283	1422	1050	1190
7	ドライバ付近での 2 インチのトリプル スプリット配線	350	2895	3023	2904	3180
8	負荷付近での 2 インチのトリプル スプリット配線	350	2051	2210	1715	1990
9	負荷付近での 1.5 インチのトリプル スプリット配線	349	1693	1837	1248	1420
10	負荷付近での 1.6 インチのクアドラプル スプリット配線	376	2385	2380	1796	2080

表 4-1 に示す結果から、配線トポロジはジッタ性能にほとんど影響を与えませんでした。ジッタの測定は、内部に 50Ω 終端を備えた位相ノイズ アナライザを使用して行われました。この終端により、受信側で測定される反射は、高インピーダンスかつ純粋に容量性の負荷と比べて抑えられています。シミュレーションによる測定値の立ち上がり/立ち下がり時間の傾向は、ラボの測定値とほぼ相関しています。図 4-2 の x 軸におけるトレース番号は、表 4-1 で使用されている番号付けの方式および図 4-1 におけるラベルと同じ方式に対応しています。配線のファンアウトが増加するにつれて、シミュレーション結果は実験室での測定結果との一致が薄れていきます。これは主に、テスト環境における SMA アダプタ、ケーブル、プローブなどの寄生容量がモデル化されていないことによるものです。このラボ測定とシミュレーション データとの相関に基づき、シミュレーションによる立ち上がり/立ち下がり時間の結果は、実測値と ±25% の範囲内で一致することが期待できます。この誤差範囲には、部品間のバラつき、銅箔の厚みによる PCB の製造公差がもたらす寄生容量や特性インピーダンスの変動、その他の環境要因が含まれます。まとめると、システム設計者は、複数の負荷を駆動する際のさまざまな配線方式におけるクロック信号の立ち上がり/立ち下がり時間や信号整合性を、IBIS シミュレーションを用いて安心して見積もることができます。

出力振幅は、2pF の負荷においてすべての配線トポロジでレール ツー レールの仕様を維持しましたが、負荷の数や合計負荷容量が増加すると劣化する可能性があります。シミュレーションおよび実際のラボ測定の両方において、負荷付近で分岐する配線 (スターライン トポロジ) は、より良好な性能を示しました。

Copyright © 2025 Texas Instruments Incorporated

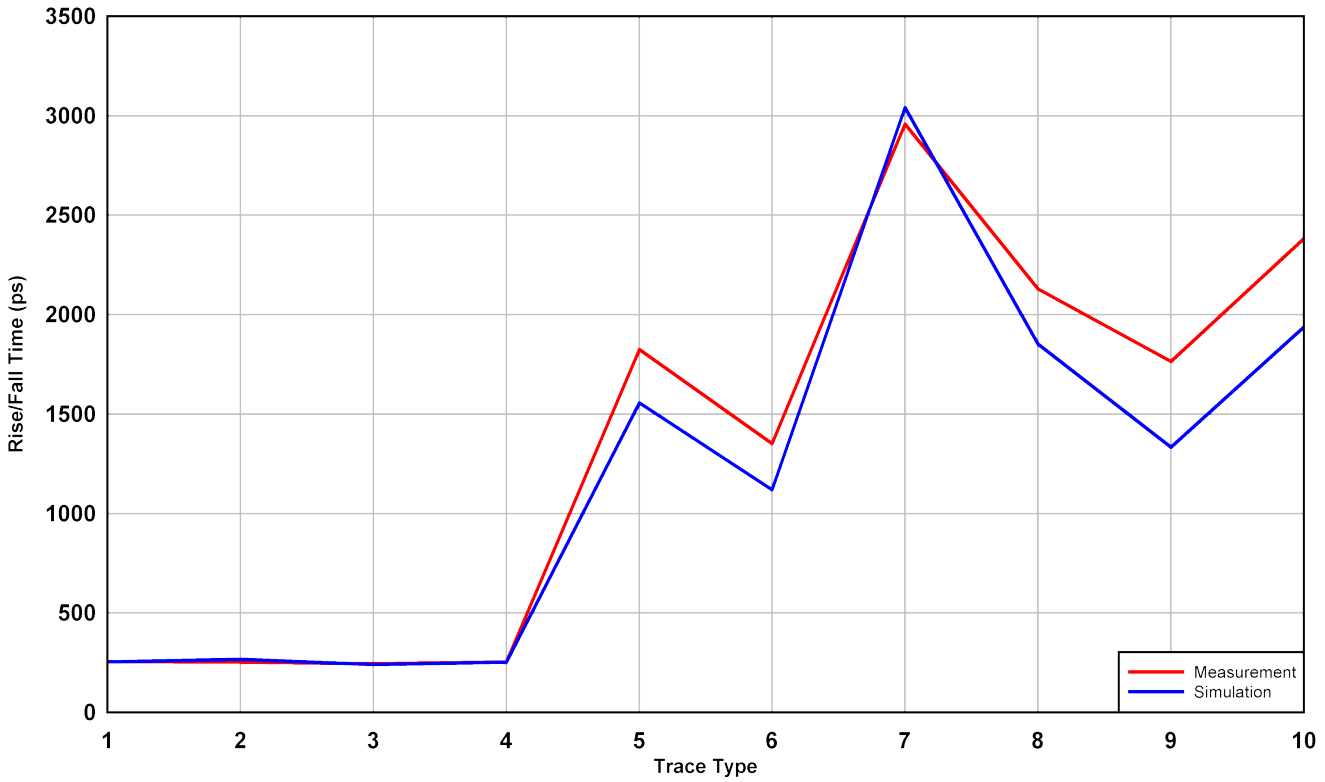


図 4-2. シミュレーションと測定との関係: 複数負荷基板における異なる配線トポロジでの立ち上がり/立ち下がり時間の平均結果

Copyright © 2025 Texas Instruments Incorporated

5 負荷間のパターン長の不一致

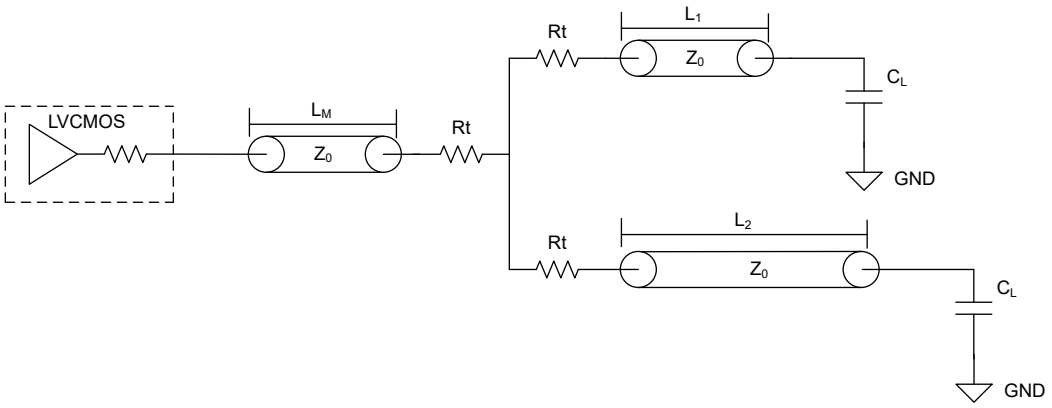


図 5-1. 複数の負荷を駆動する場合のパターン長の不一致

レシーバ間のパターン長が厳密に一致しない場合、複数の負荷を駆動すると、過剰な信号反射が発生する可能性があります。パターン長が一致していない場合、各レシーバへのパス間の伝搬遅延の差に基づいてリンギングが発生する可能性があります。たとえば、LVCMOS ドライバが分割されて複数の負荷を駆動する状況を考えてみましょう。1 つの負荷が 1 インチ離れており、もう 1 つの負荷がドライバから 3 インチ離れている場合です。一般的な PCB では、パターン長 1 インチあたり約 150ps の伝搬遅延が発生する可能性があります。この場合、短いパスでは、ドライバからレシーバへ信号が送信されるまで、約 150ps の伝搬遅延が発生する可能性があります。より長いパスでは、約 450ps の伝搬遅延が発生する可能性があります。

標準的な LVCMOS レシーバは入力インピーダンスが高いため、この接続がドライバで終端されるまで、ほとんどすべての電力がレシーバから伝送ライン経由で反射されます。短いパスからの信号は、長いパスを通って完全に伝播する前に、負荷からの反射を開始する可能性があります。ドライバに近い負荷の視点では、立ち上がりエッジが伝搬遅延の差（この例では 450ps - 150ps = 300ps）にアンダーシュートが観測され、長いパスの方ではオーバーシュートが見られる可能性があります。クロック信号の立ち下がりエッジでは逆の効果が発生することがあります。レシーバ間の不一致が長いほど、オーバーシュートとリンギングが悪化する可能性があります。信号のインテグリティを維持し、過剰な反射の影響を最小限に抑えるため、LVCMOS ドライバで複数の負荷を駆動する場合、信号パス間の伝搬遅延差を 100ps 未満に抑えます。

以下の図は、複数の負荷間でパターン長が一致していない場合のシミュレーション結果を示しています。

図 5-2 に、スターライントポロジ（R_t = 17Ω、伝搬遅延= 150ps/インチ）を示します。

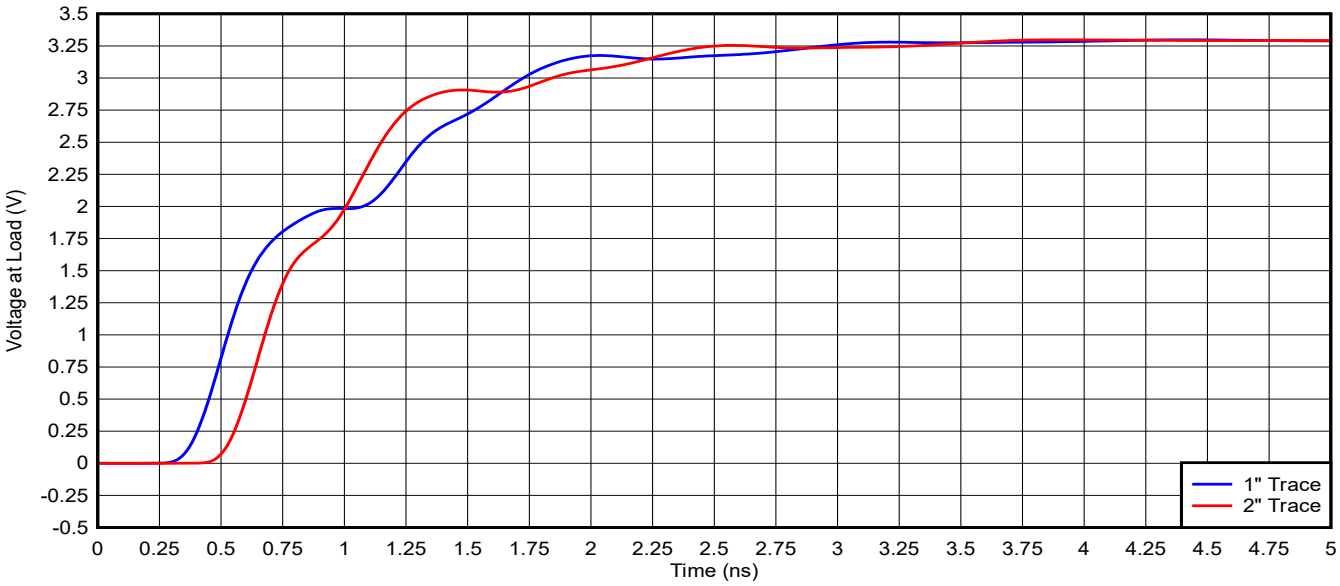


図 5-2. パターン長の不一致：1 インチと 2 インチのパターンの立ち上がりエッジ

Copyright © 2025 Texas Instruments Incorporated

図 5-3 に、スターライントポロジ（R_t = 17Ω、伝搬遅延= 150ps/インチ）を示します。

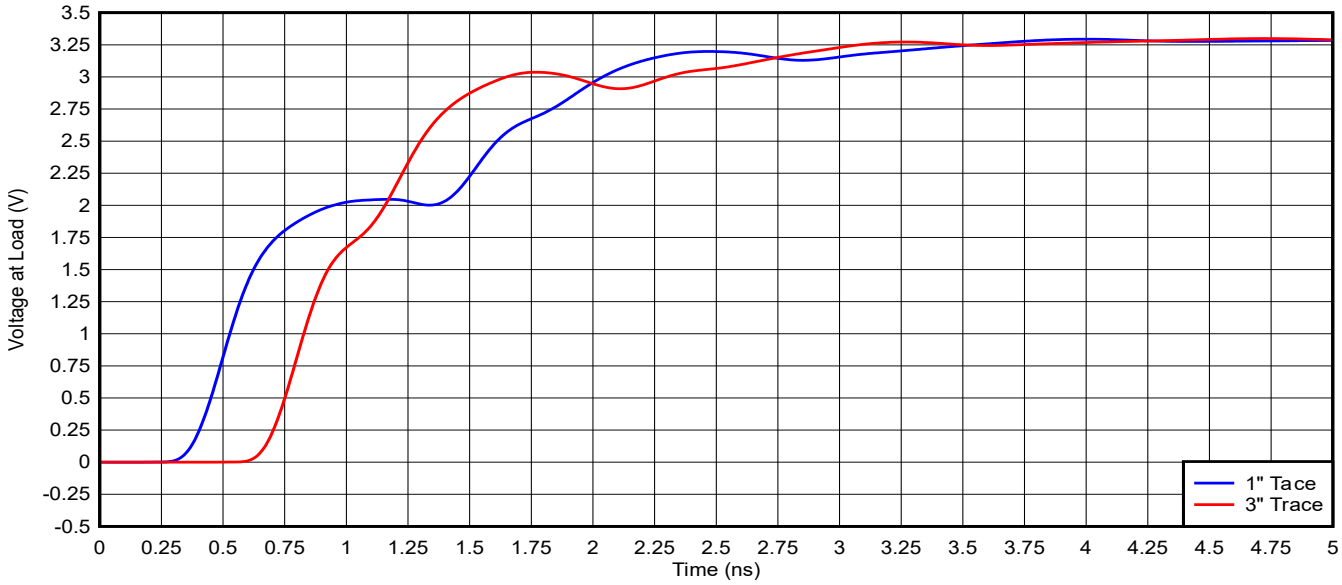


図 5-3. パターン長の不一致：1 インチと 3 インチのパターンの立ち上がりエッジ

図 5-4 に、スターライントポロジ（R_t = 17Ω、伝搬遅延= 150ps/インチ）を示します。

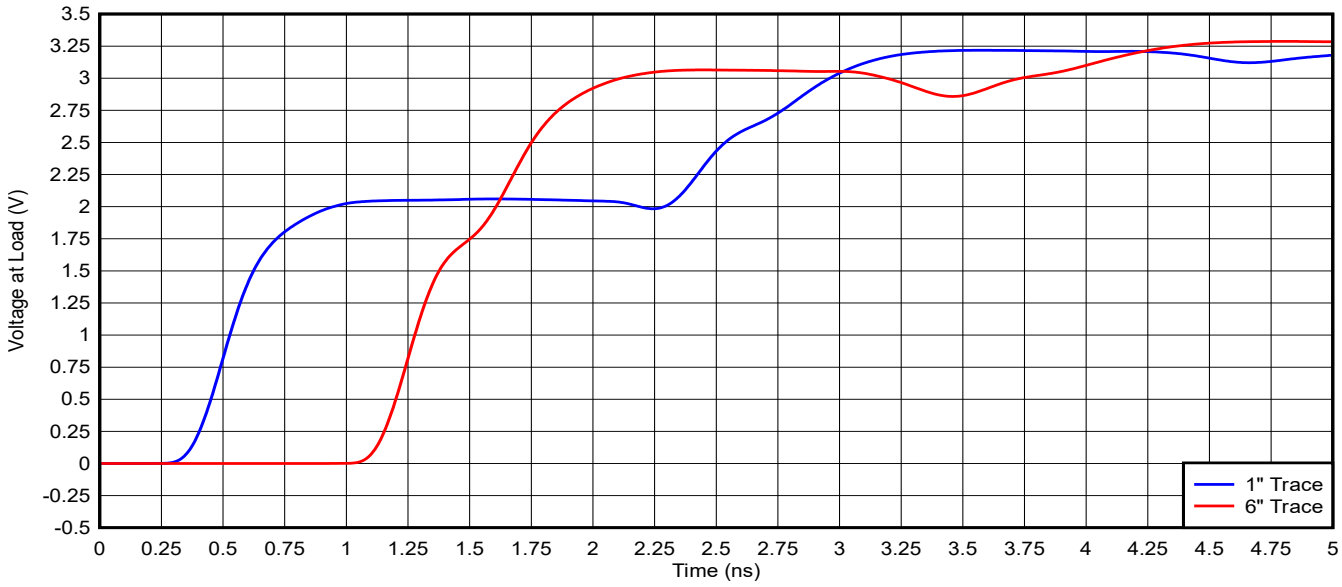


図 5-4. パターン長の不一致：1 インチと 6 インチのパターンの立ち上がりエッジ

複数の荷重のすべての長さが一致していない場合、結果は、きれいな立ち上がりエッジではなく、さまざまな時間間隔で一連の反射を伴う*階段*ステップ応答のように見える可能性があります。

Copyright © 2025 Texas Instruments Incorporated

6 アプリケーション例: FPD-Link

FPD-Link デバイスは外部 REFCLK を必要とし、多くのアプリケーションでは 25MHz または 27MHz の LVCMOS 信号が一般的に使用されます。この実験では、1 つの LVCMOS 発振器が REFCLK 信号を生成し、2 組の DS90UB971 シリアライザと US90UB9702 デシリアライザに供給しました。REFCLK は CDC6C BAW 発振器によって生成され、マルチロード基板上のトレース 3 を使用して 2 つの FPD-Link SerDes ペアにファンアウトされました (2 つの負荷に分岐し、分岐は発振器付近、パターン長は 2 インチ)。小型のクーポン基板を使用して配線長をさらに 2 インチ追加し、合計で 4 インチとしました。SMA から 2 ピン メス ヘッダへのケーブルを使用して、マルチロード基板を 2 つの DS90UB9702 EVM の外部 REFCLK ヘッダに接続しました。

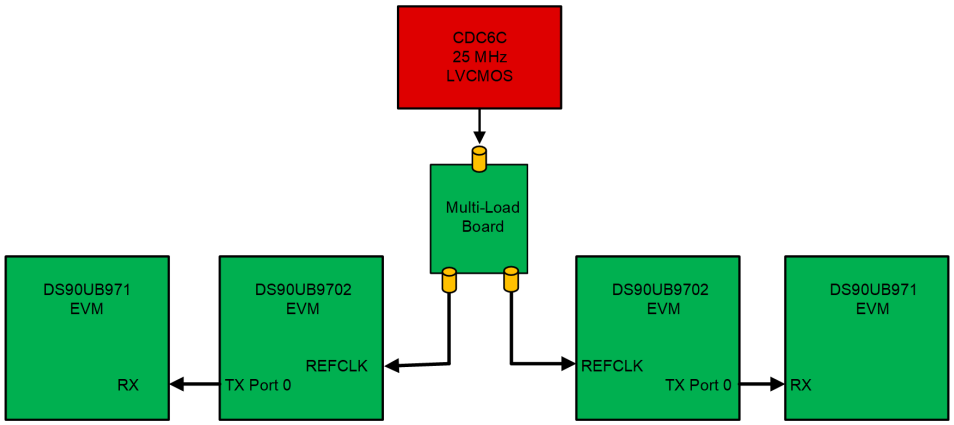


図 6-1. CDC6C による 2 組の FPD-Link SerDes ペアへの REFCLK 供給: ブロック図

両方の FPD-Link SerDes ペアが同じ REFCLK を共有した状態でも、リンクはエラーなく確立されました。それぞれのペアが安定したリンクを確立していることを確認するために、アイ開口マージン (EOM) テストが実施されました。DS90UB971/9702 の両ペアは、イコライザ設定を変化させたスイープ中も、共有された REFCLK 信号で同時にリンクを維持することができました。このテストは、単一の LVCMOS 発振器で複数の負荷を駆動することが、いくつかのアプリケーションにおいて可能であることを確認するものです。

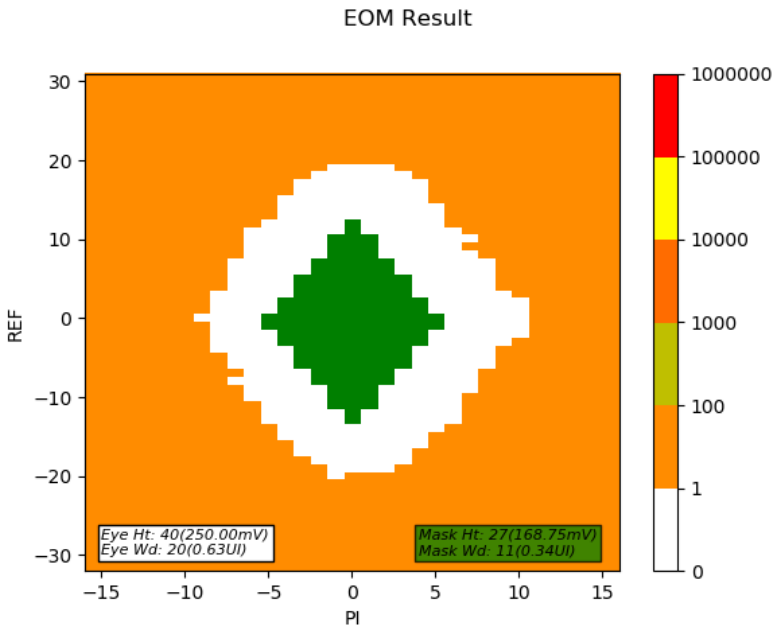


図 6-2. FPD-Link のアイ開口マージン (EOM) の結果

Copyright © 2025 Texas Instruments Incorporated

7 まとめ

これらのシミュレーション結果およびラボ測定は、単一の LVCMOS 発振器で複数の負荷を駆動することがシステム内で実現可能かどうかを判断するためのいくつかの要因を示しています。単一の LVCMOS 発振器から複数の負荷を駆動すると、常に何らかの形で信号整合性が劣化する可能性があります。最高の性能を得るには、*クロック バッファ*を使って発信器で直接駆動する必要がある負荷の数を制限することができます。

単一の発振器で複数の負荷を駆動するためのガイドライン:

- 立ち上がり/立ち下がり時間の低下、過度な信号反射、信号振幅の減少といった性能劣化を最小限に抑えるためには、負荷の数を 2 つまでに制限す
- スター ライン トポロジに見られるように、各受信側に分岐する前の共通配線の長さを可能な限り長く確保する
- 高速な立ち上がり/立ち下がり時間を実現するためにレシーバの総容量 (レシーバの負荷容量)を制限する

これらのガイドラインは、システム内で複数の負荷を駆動する際の基本的な指針となります。システム内で単一の発振器から複数の負荷を駆動する際の悪影響を最小限に抑えるためには、負荷の数を減らすこと、分岐配線の長さを短くすること、寄生容量や受信側の総容量を減らすことが有効です。スター ライン トポロジは、この種のルーティング状況を最適にモデル化します。最高の性能を最優先する場合、配線を複数の負荷に分岐させることは避けるべきです。その代わりに、クロック信号を分配して複数の負荷を駆動するために、*4 チャネル出力 LVCMOS 1.8-V バッファ*ようなクロック バッファを使用することが推奨されます。

8 参考資料

- テキサス・インスツルメンツ、*LMK6x 低ジッタ、高性能 BAW 発振器*データ シート
- テキサス・インスツルメンツ、*CDC6Cx 低消費電力 LVCMOS 出力 BAW 発振器*データ シート
- テキサス・インスツルメンツ、*LMK1C110x 1.8-V、2.5-V、3.3-V LVCMOS クロック バッファ ファミリ* データ シート。

Copyright © 2025 Texas Instruments Incorporated

9 改訂履歴

Changes from Revision A (April 2025) to Revision B (May 2025) **Page**

- *負荷間のパターン長の不一致*セクションを追加 12

Changes from Revision * (August 2024) to Revision A (April 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- *シミュレーションの設定*セクションを追加 3
- シングル ライン終端の画像を更新 4
- スター ライン終端画像を更新 6
- スプリット ライン終端の画像を更新 7
- 画像を更新 8
- *「パラメータ測定設定」*セクションを追加 9
- *ラボ測定結果とシミュレーション データとの相関*に関するセクションを追加 10
- *アプリケーション例:FPD-Link* セクションについて追加 14
- 複数の負荷を駆動する際のガイドラインおよび一般的な推奨事項に、追加の詳細情報を追加 15
- *CDC6Cx* データシートの参照を追加 15

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated