

Application Note

AM62x オーディオシステムの設計ガイド



概要

プレミアム オーディオ アプリケーション向けの TI のオーディオ DSP SoC は、マルチチャネル オーディオ シリアル ポート (McASP) を搭載しています。McASP は非常に柔軟な構成オプションにより、各種のマルチゾーンおよびマルチチャネル オーディオ システムを実現できます。このドキュメントでは、デジタル オーディオ フォーマット、McASP 構成オプション、一般的なシステム実装の概要を説明します。

このドキュメントの使い方

このドキュメントは、オーディオ データ送信、TI オーディオ ペリフェラル、これらのペリフェラルをマルチゾーン オーディオ システムで使用方法を基本レベルで理解することを目的としています。この資料はオーディオシステム設計の基礎について説明しています。最初に、デジタルオーディオの送受信方法、およびさまざまなシステムの使用事例を実現する McASP 構成について詳細に説明しています。

章の概要	章のリンク
McASP でサポートされているデジタル オーディオ フォーマットの基本的な説明	セクション 1
McASP ペリフェラルの基本的な概要および使用可能なさまざまな構成オプション	セクション 2
各種の使用事例における AM62x 固有の McASP インスタンスの実装に関する詳細な説明	セクション 3
McASP のレイアウト設計における 2 つの最も重要な検討事項	セクション 4
外部コンポーネントを含む実用的な使用事例における McASP のさまざまな構成例	セクション 5
オーディオ システムの設計に関する重要ポイント	セクション 6

目次

このドキュメントの使い方.....	1
1 デジタル オーディオ フォーマット.....	2
1.1 I ² S.....	3
1.2 TDM.....	3
2 McASP の概要.....	4
3 AM62x デバイスに対する McASP 接続.....	6
3.1 一般的な McASP 構成.....	7
3.1.1 クロック コントローラとしての McASP.....	8
3.1.2 クロック ペリフェラルとしての McASP.....	10
4 McASP レイアウトに関する検討事項.....	11
4.1 ブート モード ロジックと共有される McASP 信号.....	11
4.2 単一のクロックドメインの複数のデバイスでの McASP トポロジ.....	12
5 McASP の実例.....	13
5.1 AUDIO_EXT_REFCLK を使用した、2 つのクロックドメインのためのオーディオ再生.....	13
5.2 外部クロック ソースと McASP 同期モードによるオーディオ再生.....	14
6 オーディオ システムの設計に関する重要ポイント.....	15
7 参考資料.....	16
8 改訂履歴.....	16

商標

すべての商標は、それぞれの所有者に帰属します。

1 デジタル オーディオ フォーマット

デジタル オーディオ データは 3 線式の形式通信されます。オーディオ送信に必要な 3 つの信号は、ビット クロック、フレーム同期、シリアル オーディオ データです。複数のオーディオ スロットが、1 フレームのデータに含まれています。オーディオ チャンネルは、1 つのバスでマルチチャンネル オーディオを送信するために、固有のスロットに割り当てられます。単一のオーディオ データ フレームには、転送される各チャンネルに 1 つのサンプルが含まれています。さまざまなデジタル オーディオ フォーマットは、オーディオ データ フレームがデバイス間でどのように編成され転送されるかを定義します。一般的に、すべてのオーディオ フレーム フォーマットは次の特性によって定義されます。

- フレーム開始を示すフレーム同期の立ち上がりエッジまたは立ち上がりエッジ
- フレーム同期エッジとデータ送信の間の遅延
- フレーム同期幅
- フレームあたりの固有オーディオ チャンネル数
- チャンネルあたりのビット数のスロット サイズ
- ワード深度 (スロットあたりのビット数)
- ビット ストリーム順序 (MSB または LSB ファースト)
- オーディオ データ サンプリング用のビット クロック極性

注

デジタル オーディオの信号には多くの一般名があります。フレーム同期 (FS) は、LRCLK、WCLK、ワード選択とも呼ばれます。ビット クロックは、シリアル クロックまたはオーディオ クロックとも呼ばれます。このドキュメントでは、フレーム同期とビット クロックの標準的な名称を使用します。

オーディオのスロットには、合計スロット ビット幅よりも小さいワードを含めることができます。ワード深度がスロット サイズより小さい場合、ワードはスロットの左側またはスロットの右側に整列できます。整列オプションが異なるため、オーディオ データを解釈するためにビットがどのようにパディングされるかを完全に理解することが重要です。

図 1-1 に、MSB ファースト シリアル ビット ストリーム、24 ビットのワード深度 (左揃え)、および 32 ビットのスロット サイズを持つオーディオ スロットの例を示します。

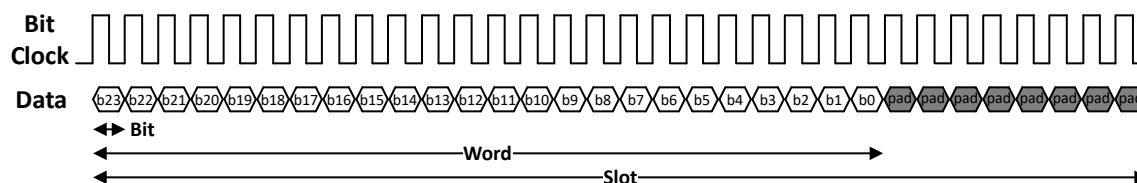


図 1-1. フレームのビット、ワード、スロット

1.1 I²S

IC 間サウンド (I²S) は、ステレオオーディオ専用で定義された標準的なデジタルオーディオプロトコルです。ステレオオーディオとは、各デジタルオーディオフレームが左右の 2 つのチャンネルで構成されることを意味します。I²S フレームは次の特性で定義されます：

- フレーム同期の立ち下がりエッジがフレームの開始を示す
- フレーム同期立ち下がりエッジとデータ転送間の 1 ビットクロックサイクルの遅延
- シングルワードフレームの同期幅
- フレームごとに 2 チャンネル
- MSB ファーストのシリアルビットストリームの順序
- ビットクロック立ち下がりエッジでのデータシフトアウト
- ビットクロック立ち上がりエッジでのデータサンプリング

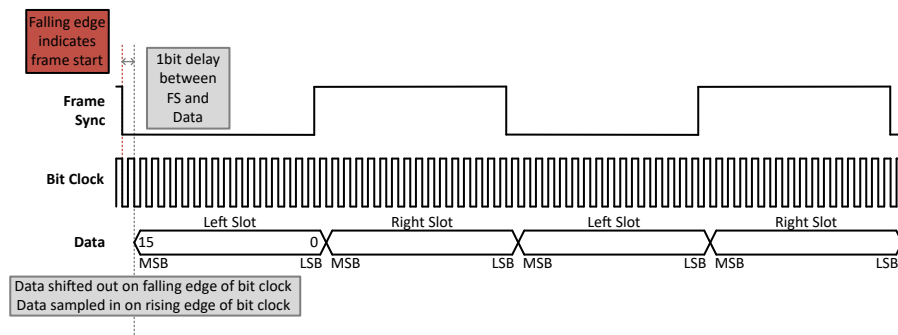


図 1-2. I²S タイミング図

1.2 TDM

時分割多重 (TDM) は、マルチチャンネル オーディオ転送用の標準的なデジタル オーディオ プロトコルです。通常、TDM の後には TDM4 などのオーディオフレームごとのチャンネル数を示す数値が続きます。TDM は標準化されたフォーマットではありませんが、標準的な TDM フレームは以下の特性で定義されます。

- フレーム開始を示すフレーム同期の立ち上がりエッジ
- フレーム同期立ち上がりエッジからデータ送信までの 1 ビット クロック サイクル遅延
- シングル ビット フレーム同期幅
- MSB ファースト シリアル ビット ストリームの順序
- ビット クロックの立ち上がりエッジでシフト アウトされたデータ
- ビット クロックの立ち下がりエッジでサンプリングされたデータ

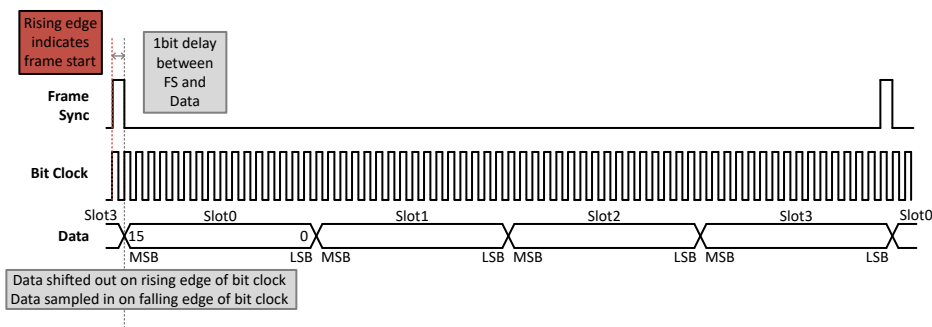


図 1-3. TDM4 タイミング図

2 McASP の概要

マルチチャネル オーディオ シリアル ポート (McASP) は、マルチチャネルおよびマルチゾーンのオーディオ通信を最適化するように設計されています。McASP ペリフェラルは、送信と受信ビット クロック (ACLK[X/R]) の信号、送信と受信フレーム同期 (AFS[X/R])、および最大 16 個のオーディオ送信 / 受信シリアライザ (AXR) で構成されています。McASP には、ルート クロックを供給するための内部バスとプログラマブル分周器もあり、ビット クロックとフレーム同期の適切な周波数を生成するために使用できます。McASP には 1 つの AUXCLK があり、内部送信および受信高周波クロック (AHCLK[X/R]) の生成に使用できます。高周波クロックは、ビット クロックとフレーム同期を内部で生成するために使用されます。または、外部ソースからビット クロックやフレーム同期を受信するように McASP を構成することもできます。

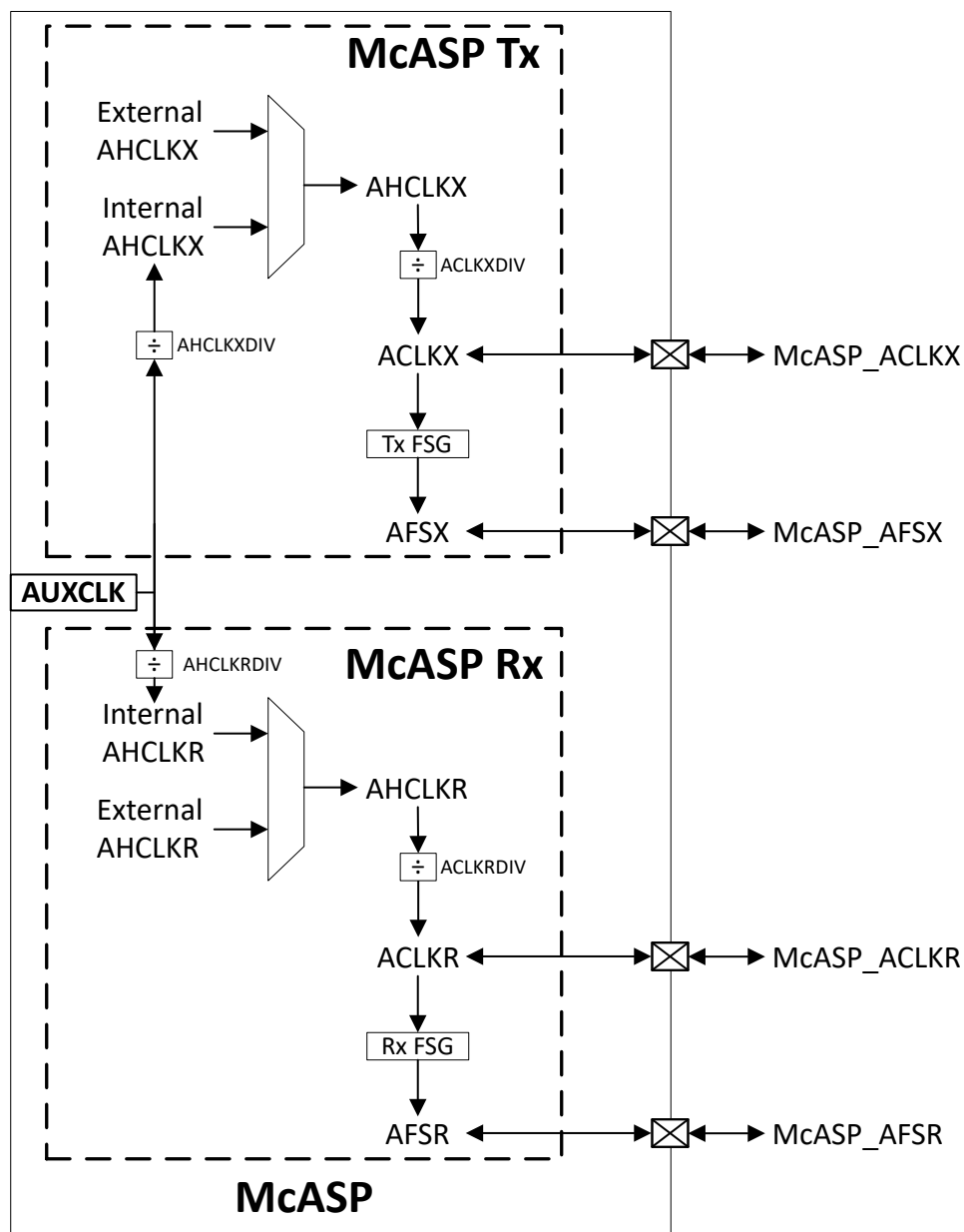


図 2-1. McASP の一般的概要

各 McASP は以下の機能をサポートしています。

- 独立したクロックゾーンによるオーディオ データの送受信
- オーディオ送受信 (AXR) 用の最大 16 個のシリアルライザ
 - McASP インスタンスごとのシリアルライザ数は、SoC の実装によって異なります。
 - たとえば、AM62x では、McASP2 は 16 のシリアルライザすべてを使用できますが、McASP0 は 4 つのシリアルライザのみ使用できます。
- 送信と受信動作のシリアルライザごとの 32 ビット バッファ
- クロック損失検出
- オーディオ フレーム フォーマットの構成オプション
 - スロット数
 - スロット サイズ (ビット単位)
 - スロット サイズより小さいアクティブ ワード深度のビット マスキング
 - アクティブ スロット マスキング
 - ビット クロック サイクルによるフレーム同期からデータまでの遅延
 - フレーム同期極性と幅
 - ビット クロック極性
 - シリアル データ ビット ストリームの順序

各 McASP は、ACLKX と AFSX が ACLKR と AFSR に内部で配線される同期モードでも動作できます。同期モードは、データの送受信用に 1 つのクロックドメインを持つコーデックなどの使用事例を可能にします。

McASP が非同期モードの場合、シリアルライザの IO 方向によって、オーディオ データ フレームの解釈に使用されるビットクロックとフレーム同期が決定されます。

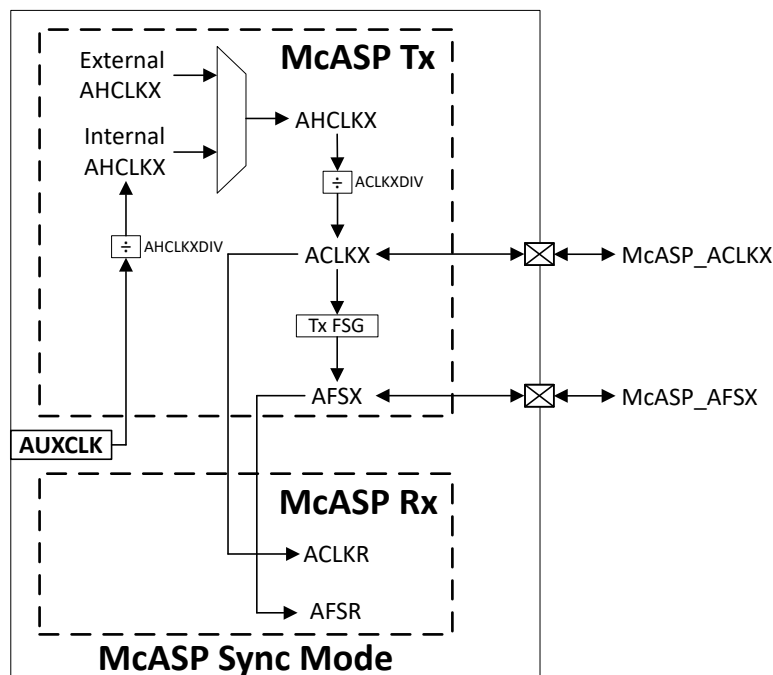


図 2-2. McASP 同期モード

3 AM62x デバイスに対する McASP 接続

AM62x は、オーディオアプリケーション用の 3 つの固有の McASP を搭載した Arm ベースプロセッサファミリです。図 3-1 は、AM62x デバイス上の McASP のための内部接続の全体的なマッピングを示しています。

注

各 McASP には送信および受信クロックゾーンに独立した ACLK と AFS がありますが、AUXCLK は 1 つのみです。

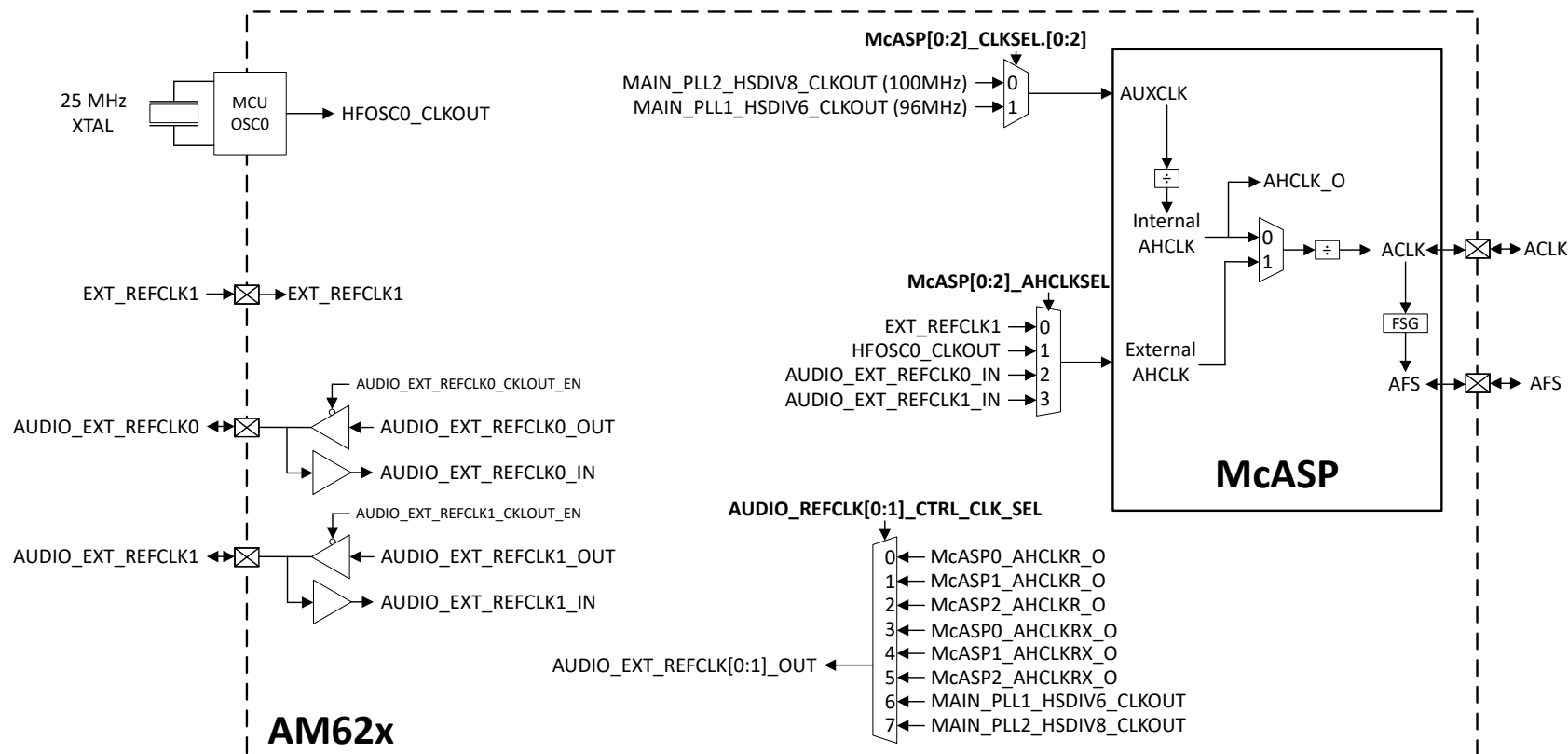


図 3-1. AM62x McASP の接続

3.1 一般的な McASP 構成

McASP ビット クロック (ACLK) とフレーム同期 (AFS) はどちらも双方向であり、McASP はクロック コントローラにもクロック ペリフェラルにもできます。以下のセクションでは、各クロック構成で利用可能なすべてのオプションについて詳しく説明します。

表 3-1 に、McASP の構成で最も一般的な使用事例を示します。AM62x SoC には、オーディオデータフレーム形式用クロックの、生成、ソース、受信のための多くのオプションがあります。

注

ビット クロックとフレーム同期の場合、内部生成とは、McASP クロック コントローラ アプリケーションの SoC レベルで出力される内部リファレンス信号を指しています。一方、外部生成とは、信号が McASP クロック ペリフェラル アプリケーションの SoC レベルで入力として構成されることを意味します。

表 3-1. McASP 使用事例マトリクス

説明	AHCLK	ビット クロック	フレーム同期	McASP	例
オーディオ PLL リファレンス付き McASP クロック コントローラ	AM62x デバイスには、オーディオビットクロックとフレーム同期周波数生成用のオーディオ PLL リファレンスを内蔵していません。				
外部 AUXCLK リファレンス付き McASP クロック コントローラ	AM62x デバイスには、外部クロックソースを McASP AUXCLK に配線するオプションがありません				
外部 AHCLK リファレンス付き McASP クロック コントローラ	外部生成	内部生成	内部生成	セクション 3.1.1.1	図 5-1
McASP クロック ペリフェラル		外部生成	外部生成	セクション 3.1.2	図 5-2

図 3-2 は使用可能なオプションの詳細を示しています。

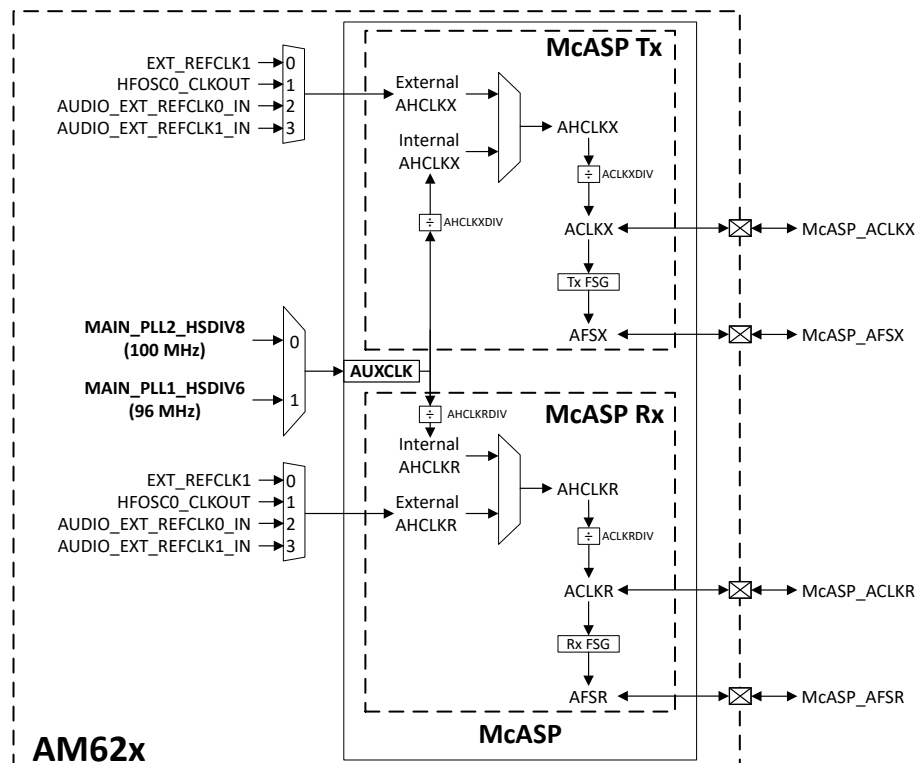


図 3-2. McASP の詳細概要

3.1.1 クロックコントローラとしての McASP

McASP がクロックコントローラとして構成されている場合、ビットクロック信号とフレーム同期信号は出力として構成されます。SDK ドライバは、ソースが**内部生成**に設定されているとき、ビットクロックとフレーム同期を出力として定義します。つまり、ビットクロックが High クロックから内部的に生成され、ビットクロックに基づいてフレーム同期が生成されることを意味します。TX または RX ドメインの High クロックには、オーディオシステム要件に最適な多くのオプションが搭載されています。

AUXCLK は、TX ドメインと RX ドメインの両方に供給できる単一のクロックリファレンスです。AM62x デバイスの McASP AUXCLK 入力は、100MHz および 96MHz 用の内部 PLL 出力に接続されます。

注

AM62x AUXCLK 入力にはオーディオ周波数入力がないため、AM62x デバイスでは AUXCLK (および内部生成の AHCLK) を使用しないでください。

AHCLK が内部生成される場合、AHCLK は高周波リファレンス用の AUDIO_EXT_REFCLK ピンのいずれかの出力として配線できます。

注

AHCLK を AUDIO_EXT_REFCLK の出力として使用するには、AUXCLK をリファレンスとして AHCLK を内部生成するように AHCLK を構成する必要があります。そのため、大半のアプリケーションでは、AHCLK を AM62x デバイスの AUDIO_EXT_REFCLK の出力として選択できません。

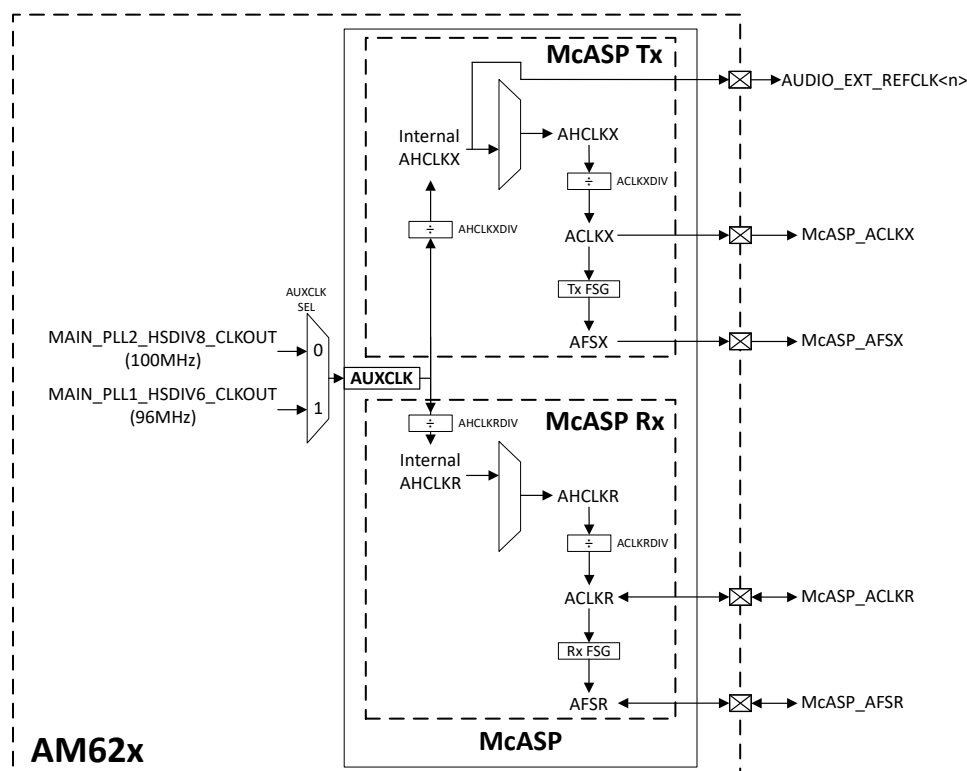


図 3-3. AUXCLK ソース付き McASP コントローラ

3.1.1.1 AUDIO_EXT_REFCLK AHCLK ソースを使用して生成されるクロック

以下のセクションでは、McASP のセットアップ例について詳しく説明します。ビット クロックとフレーム同期は出力として構成され、AUDIO_EXT_REFCLK で外部ソースを使用して AHCLK への直接的なクロック リファレンスとして生成されます。

説明	AHCLK	ビット クロック	フレーム同期
外部 AHCLK 入力リファレンス付き McASP クロック コントローラ	外部生成	内部生成	内部生成

この例では、McASP は 48kHz フレーム同期と 32 ビット ワードの TDM8 フレーム フォーマットに構成されており、その結果、12.288MHz のビット クロック周波数が得られます。AHCLK が外部生成されるように構成されている場合、AUXCLK は考慮されません。各 AHCLK には、異なる外部ソースを選択するための独自のマルチプレクサがあります。AHCLK マルチプレクサは、外部ドライバからの 24.576MHz である AUDIO_EXT_REFCLK0 ソースを指すように構成されています。SDK ドライバは、スロット数、フレーム同期周波数、フレーム同期と AHCLK の比率に基づいて、ACLK 分周器を設定します。

AHCLK が外部生成される場合、AHCLK を AUDIO_EXT_REFCLK に出力することはできません。

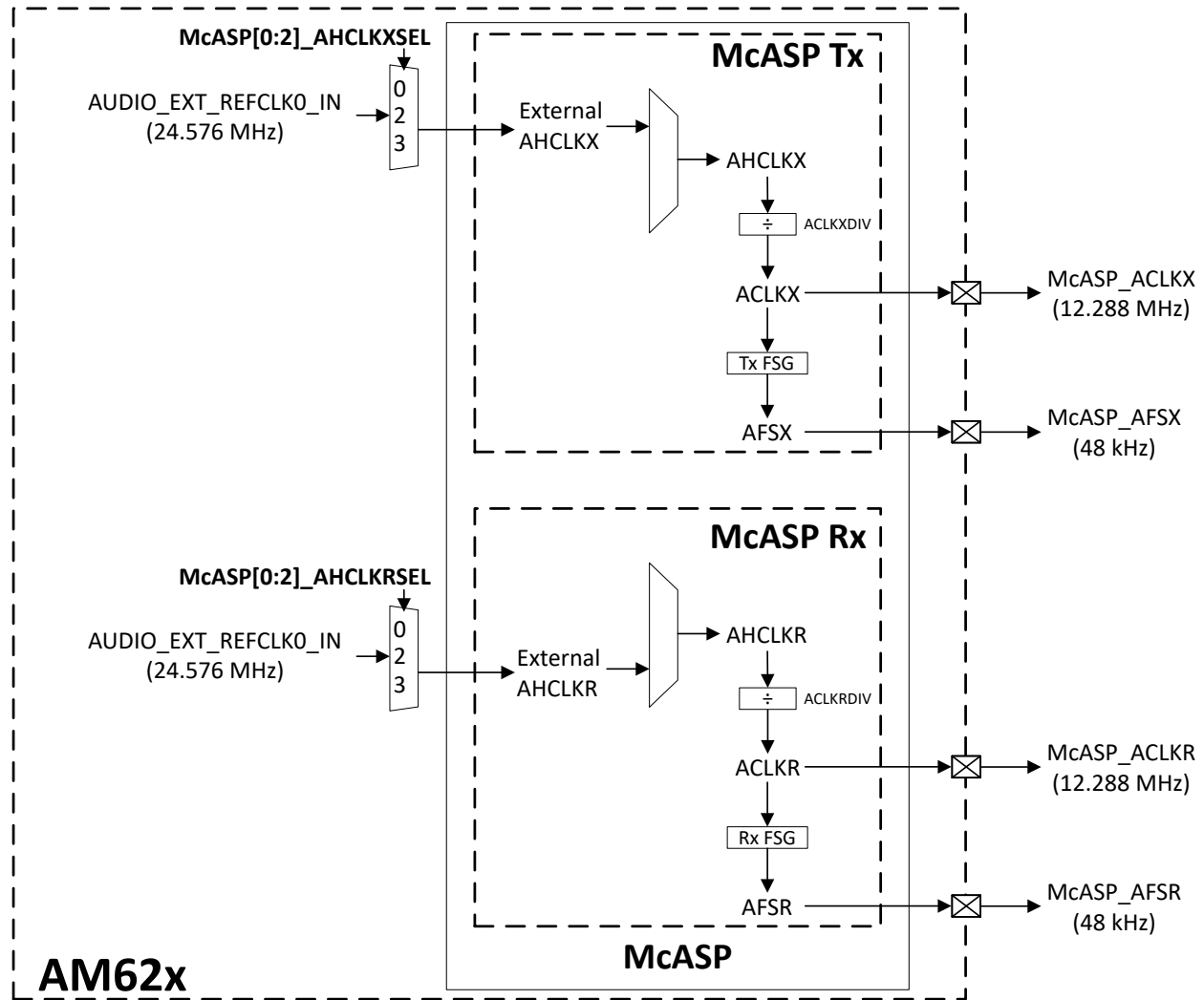


図 3-4. AUDIO_EXT_REFCLK0 AHCLK リファレンス付き McASP クロック コントローラ

3.1.2 クロック パリフェラルとしての McASP

以下のセクションでは、ビット クロックとフレーム同期が入力として構成された McASP のセットアップ例について詳しく説明します。

説明	AHCLK	ビット クロック	フレーム同期
McASP クロック パリフェラル		外部生成	外部生成

この例では、McASP は 48kHz フレーム同期と 32 ビット ワードの TDM8 フレーム フォーマットに構成されており、その結果、12.288MHz のビット クロック周波数が得られます。この場合、AHCLK 設定は重要ではありません。SDK ドライバは、オーディオ データを適切に送信するために、ビット クロックとフレーム同期の想定される周波数を表すように構成する必要があります。

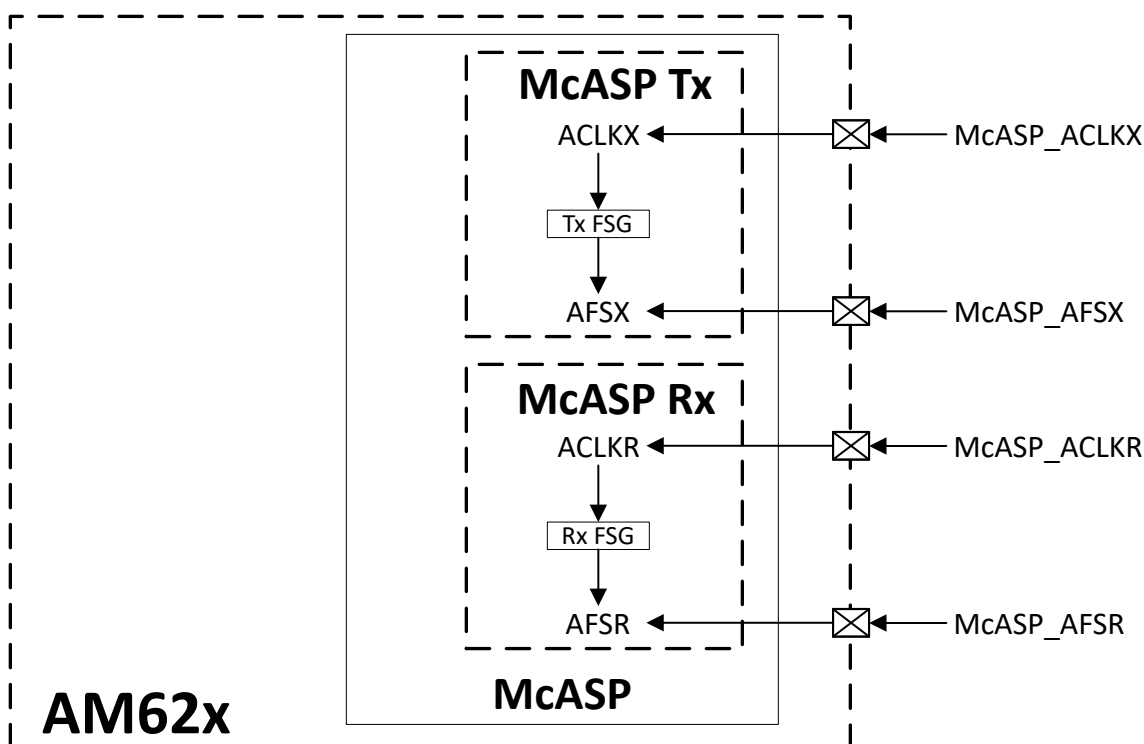


図 3-5. McASP クロック パリフェラル

4 McASP レイアウトに関する検討事項

McASP は、単一のクロックドメインを使用して、複数のオーディオ デバイスと同時に接続できます。しかし、レイアウトの実装によっては、クロック信号とデータ信号のシグナル インテグリティが影響を受けることがあります。このセクションでは、AM62x デバイス上の McASP における、2 つの非常に重要なレイアウト上の考慮事項について説明します。

注

レイアウトの実装パラメータにかかわらず、McASP 信号レイアウトのシミュレーションを常に行い、クロック信号とデータ信号がデータシートのタイミング要件を満たしていることを確認する必要があります。

4.1 ブート モード ロジックと共有される McASP 信号

AM62x には 16 のブート モード信号があり、ブートや他のブート構成パラメータに使用されるペリフェラルを決定するために、ROM で使用されます。16 のブート モード信号は SoC の特定のパッドに接続され、AM62x はブート モード パッド用に McASP2 インターフェイス パッドのほとんどを使用します。

各ブート モード パッドは、電源オン シーケンス中に、関連するブート モード信号のデジタル ロジック High または Low 状態を定義するための外部プルアップまたはプルダウン抵抗を必要とします。

McASP2 信号はブート モード ロジックと共有されるため、次の内容を確認し、検証することは非常に重要です。

- McASP2 インターフェイスに接続されているオーディオ デバイスには、最初の電源投入時またはリセット時にブート モード信号を駆動できません。たとえば、AM62x に対して PORz がアサートされている場合、McASP2 オーディオ デバイスはブート シーケンスが完了するまでリセット状態に保持される必要があります。
 - 電源投入時またはリセット時にブート モード ロジックに外部ドライバが存在すると、予測不能なブート モード状態が発生します。
- 外部プル抵抗は信号トレースと直列に配置し、スタブを導入しないようにする必要があります。図 4-1 に、トレース スタブ付きとトレース スタブなしのプル抵抗の例を示します。設計時には、緑色の実装を再現する必要があります。
 - 信号トレースのスタブ、特にビット クロックのスタブは、スタブによって生じる信号反射がタイミング誤差や信号歪みにつながる可能性があるため、オーディオ データの信頼性に影響を及ぼします。

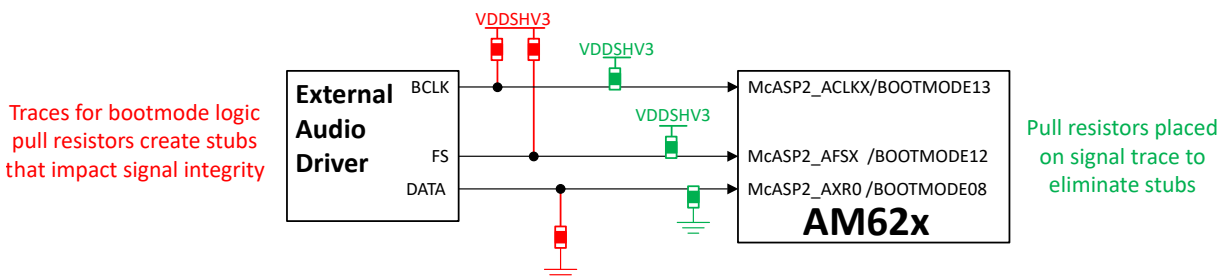


図 4-1. McASP 信号トレース スタブ

4.2 単一のクロックドメインの複数のデバイスでの McASP トポロジ

McASP は多くの場合、多くのオーディオ デバイスが単一のクロックドメインを共有するシステムとして設計されます。たとえば、TAS6754 は TDM16 をサポートできる 4 チャンネル アンプです。つまり、単一の McASP のビット クロック、フレーム同期、およびデータ ピンを最大 4 つのアンプで共有できるということです。これら 3 つの信号のレイアウト設計は、インターフェイスの性能と信頼性に影響を及ぼします。

図 4-2 に、ビット クロック信号を 4 つの異なるアンプに接続する 3 種類の信号トポロジを示します。

- フライバイトポロジを使用する場合、バスの各ドロップによって作成されるトレース スタブは、長さが一様で、反射を低減するためにできるだけ短くする必要があります。このトポロジでは、クロック周波数とパターン長によっては、シグナルインテグリティの問題が発生する可能性があります。
- 複数のデバイスでクロック信号を共有するには、LMK1C1104 などのクロック ファンアウト バッファを使用することを推奨します。ファンアウト バッファによりクロックをリドライブすることでポイントツーポイントのトレースの性能に近いシグナルインテグリティのクロック信号が生成されます。
- ツリー (T) 型またはスター型トポロジでは、単一のバスを分割して、各デバイスの長さが等価な分岐にします。作成されるブランチは、デバイスの長さが一様になるように作成された各スタブでできる限り短くする必要があります。

注

トポロジにかかわらず、信号の反射を抑制し、シグナル インテグリティを維持するため、すべての McASP 信号に直列終端抵抗をドライバの近くに配置してください。

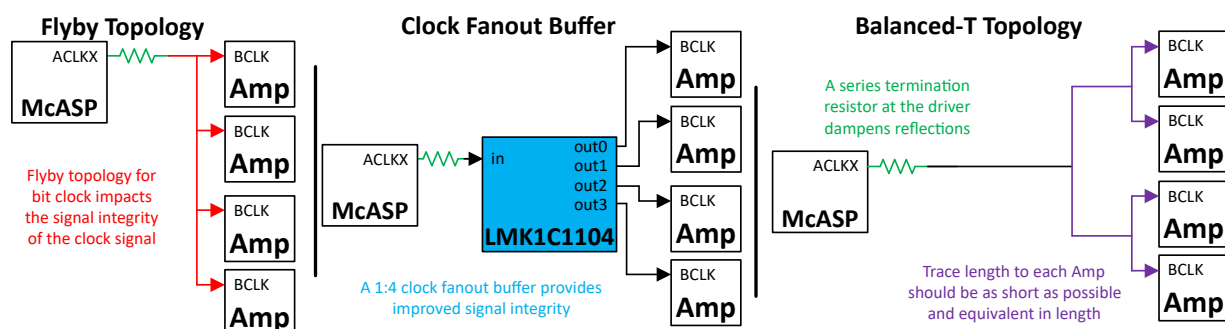


図 4-2. マルチデバイス オーディオ システム向けのクロックトポロジ

5 McASP の実例

5.1 AUDIO_EXT_REFCLK を使用した、2 つのクロックドメインのためのオーディオ再生

図 5-1 に、McASP で単一の内部リファレンスを使用して複数のドメイン間でオーディオ データを送受信する方法の簡単な例を示します。McASP は非同期モードで動作しますが、ルート クロック ソースは送信ドメインと受信ドメインと同じであるため、(オーディオ データ フレーム フォーマットが入力と出力で同じである限り) バッファのオーバーランやアンダーランのリスクはありません。

このシステムでは、外部 LVCMOS 発振器 (LMK6CE024576 など) を使用して 24.576MHz のオーディオクロック周波数を生成します。この場合、TX ドメインと RX ドメインの両方で、AHCLK が (AUDIO_EXT_REFCLK0 から) 外部生成されるように構成されており、ACLK と AFS は内部生成されるように構成されています。

オーディオ データ フレームは、1 つの TDM4 ストリームに対する 4 つのオーディオ チャンネルであり、ワード深度が 32 ビットであると想定すると、ビット クロックは、 $48\text{kHz} = 4 \times 32 \times 48,000 = 6.144\text{MHz}$ でサンプリングされる 32 ビットワードの 4 チャンネルの積に基づいて計算できます。

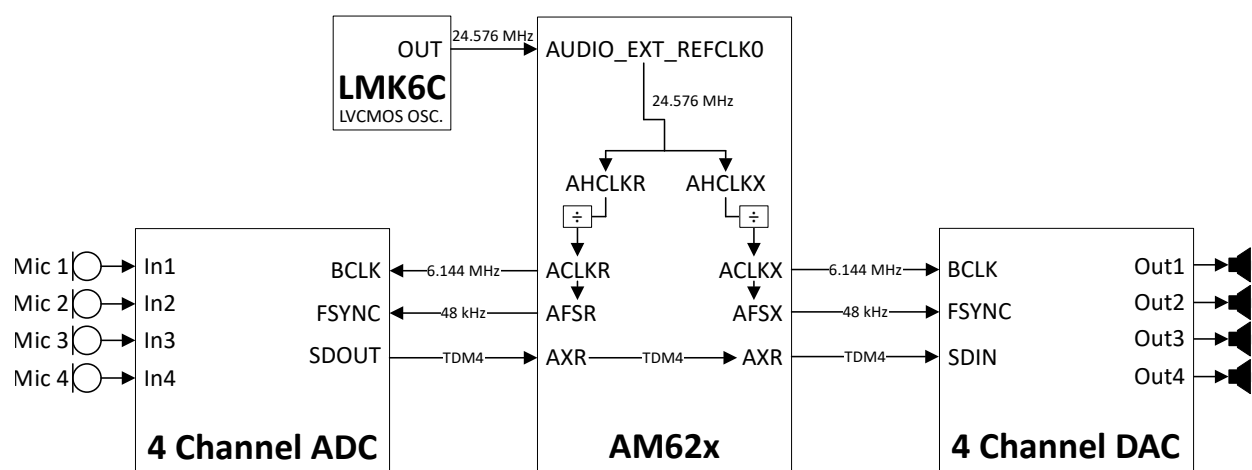


図 5-1. ADC DAC オーディオ再生

5.2 外部クロック ソースと McASP 同期モードによるオーディオ再生

図 5-2 に、McASP が単一のクロック リファレンスのみでオーディオ データを送受信する方法の簡単な例を示します。McASP は同期モードで動作します。つまり、送信ビット クロックとフレーム同期がそれぞれ受信ビット クロックとフレーム同期に内部で配線されます。RX ドメインの内部配線により、すべてのオーディオ データ ストリームが同じフレーム フォーマットを持つ限り、単一の McASP インスタンスでオーディオ データの入力と出力用のシリアルライザを持つことができます。

このシステムでは、4 チャンネルのコーデックがビット クロックとフレーム同期の両方のクロック コントローラとなります。TX と RX のドメインは SYNC モードで、ACLK と AFS が外部生成されるように構成しています。ビット クロックとフレーム同期が外部で生成された場合、AHCLK は動作に必要なため、「無効」値と考えることができます。

オーディオ データフレームは、1 つの TDM4 ストリームに対する 4 つのオーディオ チャンネルであり、ワード深度が 32 ビットであると想定すると、ビット クロックは、 $48\text{kHz} = 4 \times 32 \times 48,000 = 6.144\text{MHz}$ でサンプリングされる 32 ビットワードの 4 チャンネルの積に基づいて計算できます。

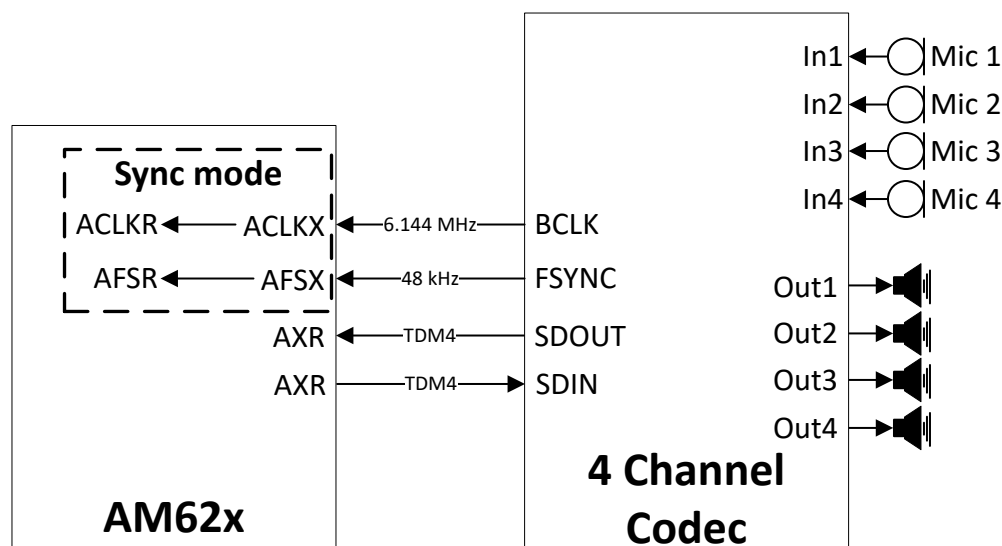


図 5-2. 同期モードのクロック パリフェラルとしての McASP によるコーデック再生

6 オーディオ システムの設計に関する重要ポイント

- McASP には、クロック同期のための 2 つの動作モードがあります。
 - 同期モード: ACLKX 信号と AFSX 信号が ACLKR と AFSR に内部で配線され、すべてのオーディオ データが単一のクロックドメインで送受信されます。
 - 非同期モード: TX および RX クロックドメインは互いに独立しており、オーディオ データ クロックドメインはシリアルライズの IO 方向によって決定されます。
- マルチゾーン オーディオ システムは、オーディオ データのバッファリングに関連する問題を回避するために、生成されるすべてのビット クロックとフレーム同期に対して 1 つのクロック リファレンスを備えていることが求められます。AM62x デバイスでは、クロックリファレンスを外部ソースから供給する必要があります。
 - McASP は、AUDIO_EXT_REFCLK 入力を内部リファレンスとするように、またはビット クロックとフレーム同期が外部生成されるように構成する必要があります。
 - 外部ソースにデバイス レベルの高周波数リファレンスがない場合、同じ基準を持つ他の McASP インスタンスを有効にするため、ビット クロックも AUDIO_EXT_REFCLK 入力に配線する必要があります。
- McASP 信号と共有しているすべてのブート モード信号を注意深く確認し、クロック信号ラインまたはデータ信号ラインに不要なトレース スタブが導入されないことを確認します。
- 複数のデバイスで共有されるクロック信号とデータ信号の場合、レイアウトのトポロジが信号の性能に影響しないことを確認してください。
 - 提案されたレイアウトトポロジで信号を常にシミュレートし、オーディオ データ転送の信頼性と整合性を確保します。

7 参考資料

- テキサス インスツルメンツ、『[AM62D-Q1 信号処理マイクロプロセッサ](#)』
- テキサス インスツルメンツ、『[AM62D-Q1 信号処理マイクロプロセッサ データシート](#)』データシート
- テキサス インスツルメンツ、『[AM62D-Q1 信号処理マイクロプロセッサ テクニカル リファレンス マニュアル](#)』テクニカル リファレンス マニュアル
- テキサス インスツルメンツ、『[AM620-Q1 信号処理マイクロプロセッサ](#)』
- テキサス インスツルメンツ、『[AM620-Q1 信号処理マイクロプロセッサ データシート](#)』データシート
- テキサス インスツルメンツ、『[AM620-Q1 信号処理マイクロプロセッサ テクニカル リファレンス マニュアル](#)』テクニカル リファレンス マニュアル

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 2025) to Revision A (August 2026)	Page
• (TDM):ビット クロックの立ち上がりエッジでデータがシフト アウトされることを示すように図を更新。.....	3

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月