TPS255xx 高精度可変電流制限パワー ディストリビューション スイッチ

1 特長

- 最大 1.5A の最大負荷電流
- 1.7A (標準値) において ±6% の電流制限精度
- USB の電流制限要件に適合
- TPS2550 および TPS2551 と下位互換
- 調整可能な電流制限:75mA ～ 1700mA (標準値)
- 定電流 (TPS255x) およびラッチ オフ (TPS255x-1) バージョン
- 高速過電流応答 - 2µs (標準値)
- 85mΩ のハイサイド MOSFET (DBV パッケージ)
- 100mΩ のハイサイド MOSFET (DRV パッケージ)
- 逆入出力電圧保護機能
- 動作範囲:2.5V ～ 6.5V
- ソフトスタート機能内蔵
- TPS25530-1 の追加機能:
  - クイック出力放電 (QOD)
  - DRV パッケージで 2.5A の連続電流
  - 2.64A (標準値) において ±6% の電流制限精度
- IEC 61000-4-2 準拠で 15kV の ESD 保護 (外部容量付き)
- 安全関連認証:
  - UL 認定済み:ファイル番号 E169910
  - NEMKO IEC60950-1-am1 ed2.0
- ロード スイッチの製品ラインアップをご覧ください

2 アプリケーション

- USB ポートおよびハブ
- デジタル テレビ
- セットトップ ボックス
- VoIP 電話

3 説明

TPS255x および TPS255x-1 パワー ディストリビューション スイッチは、精密な電流制限が必要とされるアプリケーションや、大容量の容量性負荷および短絡が生じるアプリケーションを対象としており、最大 1.5A の連続負荷電流を供給します。これらのデバイスの電流制限スレッショルドは、外付け抵抗により 75mA ～ 1.7A (標準値) の範囲でプログラム可能です。高い電流制限設定では、±6% という厳しい電流制限精度を実現できます。この電源スイッチの立ち上がりおよび立ち下がり時間は、オン / オフ時の電流サージを最小限に抑えるように制御されます。

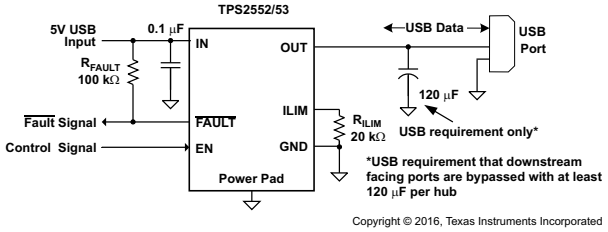
TPS255x デバイスは、出力負荷が電流制限のスレッショルドを上回ったときに、定電流モードに切り替わることで出力電流を安全なレベルに制限します。TPS255x–1 デバイスは、過電流または逆電圧の状況中、パワー スイッチをラッチオフすることでサーキット ブレーカ機能を提供します。内蔵の逆電圧検出コンパレータは、出力電圧が入力よりも高く駆動されたときに電源スイッチをディスエーブルにして、スイッチの入力側にあるデバイスを保護します。$\overline{\text{FAULT}}$ 出力は、過電流状態と逆電圧状態で Low をアサートします。

TPS25530-1 デバイスは、スイッチがオフになるときに働くクイック出力放電パスを内蔵しており、出力をグランドにプルダウンします。また、このデバイスの 10kΩ ILIM 設定により、電流制限範囲は 2.64A (標準値) にも拡張されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS2552	SOT-23 (6)	2.90mm × 1.60mm
	WSON (6)	2.00mm × 2.00mm
TPS2553	SOT-23 (6)	2.90mm × 1.60mm
	WSON (6)	2.00mm × 2.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 5
6.1 絶対最大定格 ... 5
6.2 ESD 定格 ... 5
6.3 推奨動作条件 ... 5
6.4 熱に関する情報 ... 6
6.5 電気的特性 ... 6
6.6 代表的特性 ... 8
7 パラメータ測定情報 ... 12
8 詳細説明 ... 14
8.1 概要 ... 14
8.2 機能ブロック図 ... 14
8.3 機能説明 ... 14
8.4 デバイスの機能モード ... 16
8.5 プログラミング ... 16
9 アプリケーションと実装 ... 18
9.1 使用上の注意 ... 18
9.2 代表的なアプリケーション ... 18
9.3 電源に関する推奨事項 ... 24
9.4 レイアウト ... 25
10 デバイスおよびドキュメントのサポート ... 27
10.1 デバイス サポート ... 27
10.2 ドキュメントの更新通知を受け取る方法 ... 27
10.3 サポート・リソース ... 27
10.4 商標 ... 27
10.5 静電気放電に関する注意事項 ... 27
10.6 用語集 ... 27
11 改訂履歴 ... 27
12 メカニカル、パッケージ、および注文情報 ... 28

Copyright © 2026 Texas Instruments Incorporated

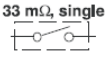
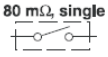
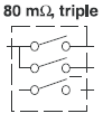
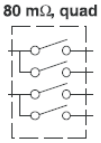
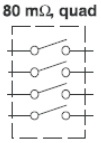
4 デバイス比較表

表 4-1. TPS255xx デバイスの比較

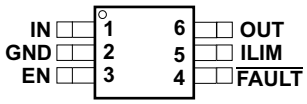
デバイス	イネーブル	過電流フォルト応答	クイック出力放電 (QOD)	製品の安全認証		
				認証済み R_{ILIM} 範囲	UL 認証 (発行年)	Eurofins MET 認証 (発行年)
TPS2552DxVx	アクティブ Low	自動再試行	なし	20kΩ ～ 210kΩ	UL 認定 UL 2367 リファレンス: E169910-20090213 CB 認証 IEC 62368-1	CB 認証 (2023) IEC 62368-1:2018 リファレンス: US-2406-MET EN 124880M0A0
TPS2552DxVx-1	アクティブ Low	ラッチ オフ	なし			
TPS2553DxVx	アクティブ High	自動再試行	なし			
TPS2553DxVx-1	アクティブ High	ラッチ オフ	なし			
TPS25530DxVx-1 (1)	アクティブ High	ラッチ オフ	あり	10kΩ ～ 210kΩ		該当なし

(1) TPS25530DxVx–1 の製品安全認証は保留中です。

GENERAL SWITCH CATALOG

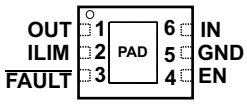
33 mΩ, single	80 mΩ, single	80 mΩ, dual	80 mΩ, dual	80 mΩ, triple	80 mΩ, quad	80 mΩ, quad
						
TPS201xA 0.2 A - 2 A TPS202x 0.2 A - 2 A TPS203x 0.2 A - 2 A	TPS2014 600 mA TPS2015 1 A TPS2041B 500 mA TPS2051B 500 mA TPS2045A 250 mA TPS2049 100 mA TPS2055A 250 mA TPS2061 1 A TPS2065 1 A TPS2068 1.5 A TPS2069 1.5 A	TPS2042B 500 mA TPS2052B 500 mA TPS2046B 250 mA TPS2056 250 mA TPS2062 1 A TPS2066 1 A TPS2060 1.5 A TPS2064 1.5 A	TPS2080 500 mA TPS2081 500 mA TPS2082 500 mA TPS2090 250 mA TPS2091 250 mA TPS2092 250 mA	TPS2043B 500 mA TPS2053B 500 mA TPS2047B 250 mA TPS2057A 250 mA TPS2063 1 A TPS2067 1 A	TPS2044B 500 mA TPS2054B 500 mA TPS2048A 250 mA TPS2058 250 mA	TPS2085 500 mA TPS2086 500 mA TPS2087 500 mA TPS2095 250 mA TPS2096 250 mA TPS2097 250 mA

5 ピン構成および機能



TPS2552 の場合、EN = アクティブ "Low"
TPS2553 の場合、EN = アクティブ "High"
ラッチオフ バージョンの部品番号に –1 を追加
QOD バージョンの型番に 0 を追加

図 5-1. TPS255x 、DBV パッケージ、6 ピン SOT-23 (上面図)



TPS2552 の場合、EN = アクティブ "Low"
TPS2553 の場合、EN = アクティブ "High"
ラッチオフ バージョンの部品番号に –1 を追加
QOD バージョンの型番に 0 を追加

図 5-2. TPS255x DRV パッケージ、6 ピン WSON (上面図)

表 5-1. ピンの機能

ピン					タイプ[1]	説明
名称	TPS2552		TPS2553			
	SOT-23	WSON	SOT-23	WSON		
$\overline{EN}$	3	4	—	—	I	イネーブル入力。ロジック Low にするとパワー スイッチがターンオンします。
EN	—	—	3	4	I	イネーブル入力。ロジック High にするとパワー スイッチがターンオンします。
$\overline{FAULT}$	4	3	4	3	O	アクティブ Low のオープン ドレイン出力。過電流、過熱、逆電圧条件時にアサートされます。
GND	2	5	2	5	—	グランド接続。外部で PowerPAD™ に接続します
ILIM	5	2	5	2	O	外付け抵抗を使って電流制限スレッショルドを設定します。15kΩ ≤ R_{ILIM} ≤ 232kΩ を推奨します。TPS25530-1：10kΩ ≤ R_{ILIM} ≤ 232kΩ。
IN	1	6	1	6	I	入力電圧。IN と GND の間に 0.1µF 以上のセラミック コンデンサを IC にできる限り近づけて接続します。
OUT	6	1	6	1	O	パワー スイッチ出力
PowerPAD	—	PAD	—	PAD	—	内部で GND に接続されています。本部品から回路基板トレースへの放熱のために使用します。外部で PowerPAD を GND ピンに接続します。

(1) I = 入力、O = 出力

ラッチオフ バージョンに –1 を追加

QOD バージョンの型番に 0 を追加

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)(2)

		最小値	最大値	単位
	IN、OUT、EN または $\overline{EN}$、ILIM、$\overline{FAULT}$ の電圧の範囲	-0.3	7	V
	IN と OUT の間の電圧の範囲	-7	7	V
I_O	連続出力電流	内部的に制限		
	連続総許容損失	「熱に関する情報」を参照してください		
	連続 $\overline{FAULT}$ シンク電流	0	25	mA
	ILIM ソース電流	0	1	mA
T_J	最大接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 電圧は GND 基準です (特に記述のない限り)。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±500	
	IEC 61000-4-2 接触放電(3)	±8000	
	IEC 61000-4-2 気中放電(3)	±15000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(3) サージ (EN61000-4-2 に準拠)。1999 を評価基板の出力端子に適用。これらは試験の合格レベルであり、、フォルト スレッショルドではありません。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{IN}	入力電圧、IN		2.5		6.5	V
V_{EN}	イネーブル電圧	TPS2552/52-1	0		6.5	V
V_{EN}	イネーブル電圧	TPS2553/53-1	0		6.5	V
V_{IH}	High レベル入力電圧 (EN または $\overline{EN}$)		1.1			V
V_{IL}	Low レベル入力電圧 (EN または $\overline{EN}$)				0.66	
I_{OUT}	連続出力電流、OUT	−40°C ≤ T_J ≤ 125°C			1.2	A
I_{OUT}		−40°C ≤ T_J ≤ 105°C			1.5	A
I_{OUT}		TPS25530-1 (DRV)、-40°C ≤ T_J ≤ 105°C			2.5	A
R_{ILIM}	ILIM と GND との間に接続された電流制限スレッショルド抵抗範囲 (公称 1%)		15		232	kΩ
R_{ILIM}	電流制限スレッショルド	TPS25530-1	10		232	kΩ
I_O	連続 $\overline{FAULT}$ シンク電流		0		10	mA
	入力デカップリング容量 (IN と GND の間)		0.1			µF

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
T_J	動作時の仮想接合部温度(1)	I_{OUT} ≤ 1.2A	-40		125	°C
		I_{OUT} ≤ 1.5A	-40		105	
		I_{OUT} ≤ 2.5A、TPS25530-1 (DRV)	-40		105	

(1) 特定のアプリケーションとパッケージに対して最大接合部温度を計算する方法の詳細については、セクション 9.3.3 を参照してください。

6.4 熱に関する情報

熱評価基準(1)		TPS2552		TPS2553		単位
		DBV (SOT-23)	DRV (WSON)	DBV (SOT-23)	DRV (WSON)	
		6 ピン	6 ピン	6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	182.6	72	182.6	72	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	122.2	85.3	122.2	85.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	29.4	41.3	29.4	41.3	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	20.8	1.7	20.8	1.7	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	28.9	41.7	28.9	41.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	—	11.1	—	11.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

推奨動作条件範囲内、V_{EN} = 0V、または V_{EN} = V_{IN}、R_{FAULT} = 10kΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
パワー スイッチ							
rDS(on)	ドレイン - ソース間オン抵抗	DBV パッケージ、T_J = 25°C			85	95	mΩ
		DBV パッケージ、-40°C ≤ T_J ≤ 125°C				135	mΩ
		DRV パッケージ、T_J = 25°C			100	115	mΩ
		DRV パッケージ、-40°C ≤ T_J ≤ 105°C				140	mΩ
		DRV パッケージ、-40°C ≤ T_J ≤ 125°C				150	mΩ
t_r	立ち上がり時間、出力	C_L = 1µF、R_L = 100Ω (図 7-2 を参照)	V_{IN} = 6.5V		1.1	1.5	ms
			V_{IN} = 2.5V		0.7	1	ms
t_f	立ち下がり時間、出力	C_L = 1µF、R_L = 100Ω (図 7-2 を参照)	V_{IN} = 6.5V	0.2		0.5	ms
			V_{IN} = 2.5V	0.2		0.5	ms
イネーブル入力 EN または EN							
	イネーブル ピンのオン / オフ スレッショルド			0.66		1.1	V
I_{EN}	入力電流	V_{EN} = 0V または 6.5V、V_{EN} = 0V または 6.5V		-0.5		0.5	µA
t_{on}	ターンオン時間	C_L = 1µF、R_L = 100Ω (図 7-2 を参照)				3	ms
t_{off}	ターンオフ時間	C_L = 1µF、R_L = 100Ω (図 7-2 を参照)				3	ms
電流制限							

Copyright © 2026 Texas Instruments Incorporated

推奨動作条件範囲内、V_{EN} = 0V、または V_{EN} = V_{IN}、R_{FAULT} = 10kΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{OS}	電流制限スレッショルド (負荷に供給される最大 DC 出力電流 I_{OUT})、短絡電流、OUT を GND に接続	R_{ILIM} = 10kΩ、TPS25530-1	-40°C ≤ T_J ≤ 125°C	2510	2640	2800	mA
		R_{ILIM} = 15kΩ、–40°C ≤ T_J ≤ 105°C		1610	1700	1800	
		R_{ILIM} = 20kΩ	T_J = 25°C	1215	1295	1375	
			-40°C ≤ T_J ≤ 125°C	1200	1295	1375	
		R_{ILIM} = 49.9kΩ	T_J = 25°C	490	520	550	
			-40°C ≤ T_J ≤ 125°C	475	520	565	
		R_{ILIM} = 210kΩ		110	130	150	
		ILIM は IN に短絡		50	75	100	
t_{IOS}	短絡に対する応答時間	V_{IN} = 5V (図 7-3 を参照)			2		µs
逆電圧保護							
	コンパレータの逆電圧トリップ ポイント (V_{OUT} - V_{IN})			95	135	190	mV
	逆電圧条件から MOSFET がターンオフするまでの時間	V_{IN} = 5V		3	5	7	ms
電源電流							
I_{IN_off}	消費電流、Low レベル出力	V_{IN} = 6.5V、OUT は無負荷、V_{EN} = 6.5V または V_{EN} = 0V			0.1	1	µA
I_{IN_on}	電源電流、High レベル出力	V_{IN} = 6.5V、OUT は無負荷	R_{ILIM} = 10kΩ、TPS25530-1		140	170	µA
			R_{ILIM} = 20kΩ		120	150	µA
			R_{ILIM} = 210kΩ		100	130	µA
I_{REV}	逆リーク電流	V_{OUT} = 6.5V、V_{IN} = 0V	T_J = 25°C		0.01	1	µA
低電圧誤動作防止							
UVLO	Low レベル入力電圧、IN	V_{IN} 立ち上がり			2.35	2.45	V
	ヒステリシス、IN	T_J = 25°C			25		mV
FAULT フラグ							
V_{OL}	出力 Low 電圧、FAULT	$I_{/FAULT}$ = 1mA				180	mV
	オフ状態リーケージ	$V_{/FAULT}$ = 6.5V				1	µA
	FAULT グリッチ除去	過電流条件による FAULT のアサートまたはデアサート		3	7.5	11	ms
		逆電圧条件による FAULT のアサートまたはデアサート		2	4	7	ms
サーマル シャットダウン							
	サーマル シャットダウンのスレッショルド			155			°C
	電流制限のサーマル シャットダウン スレッショルド			135			°C
	ヒステリシス				10		°C
クイック出力放電 (OUT)							
R_{QOD}	クイック出力放電抵抗	V_{EN} = 0V、I_{OUT} = 1mA、T_J = 25°C	V_{IN} = 3.3V		33		Ω

6.6 代表的特性

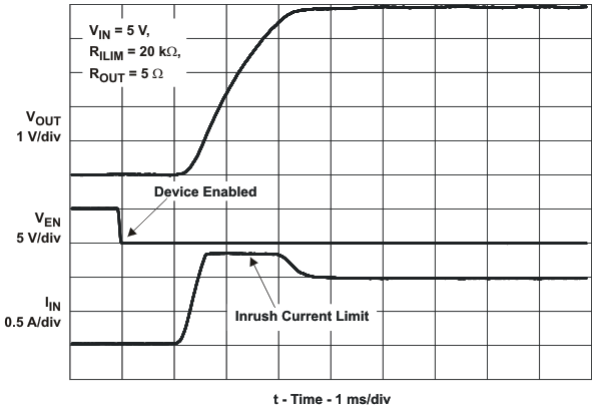


図 6-1. ターンオン遅延と立ち上がり時間との関係

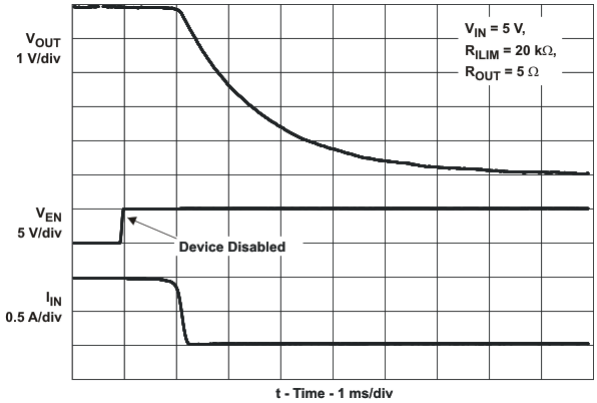


図 6-2. ターンオフ遅延と立ち下がり時間との関係

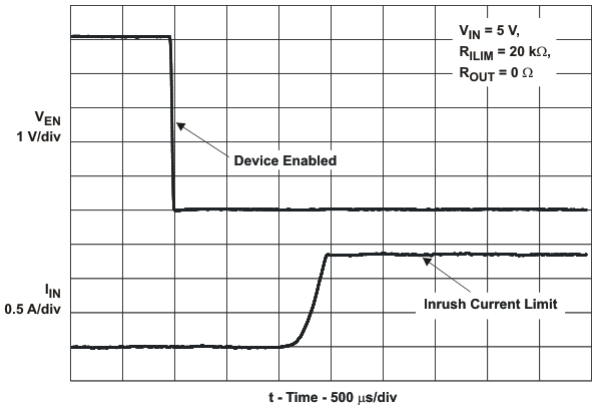


図 6-3. 出力が短絡された状態でのデバイスの有効化

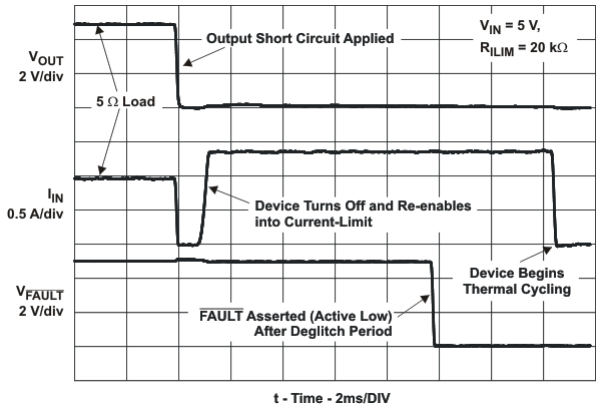


図 6-4. 全負荷から短絡への過渡応答

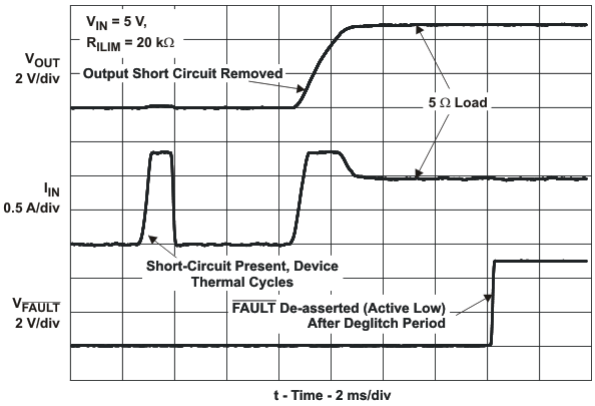


図 6-5. 短絡から全負荷への回復の応答

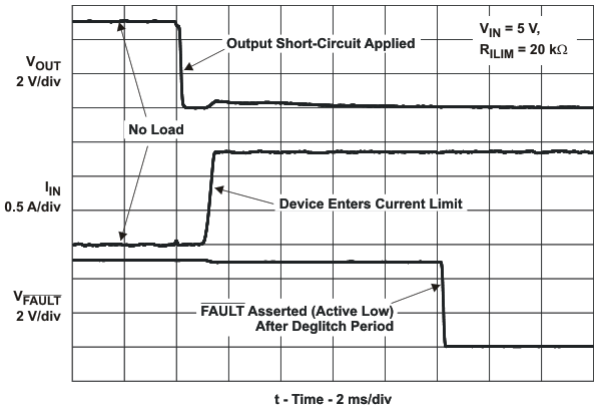


図 6-6. 無負荷時から短絡への過渡の応答

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (続き)

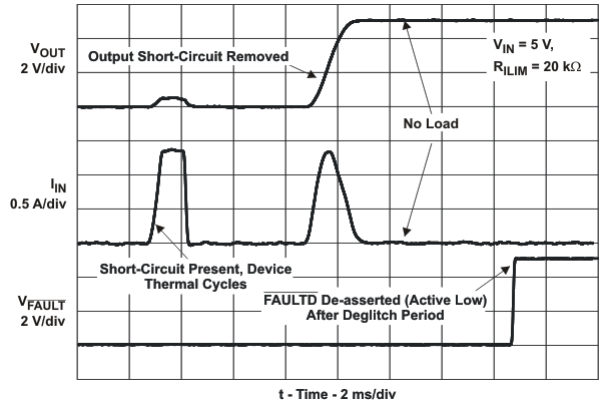


図 6-7. 短絡から無負荷への回復の応答

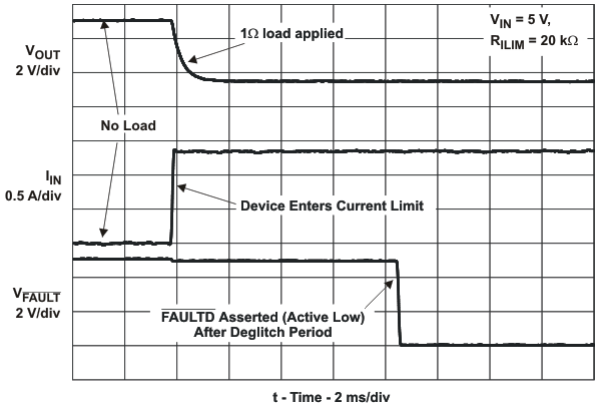


図 6-8. 無負荷から 1Ω への過渡応答

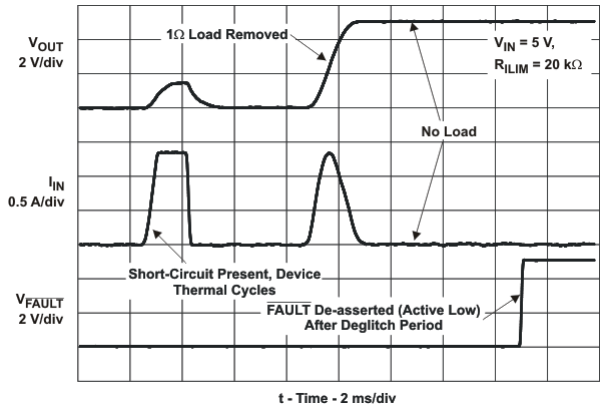


図 6-9. 1Ω から無負荷への過渡の応答

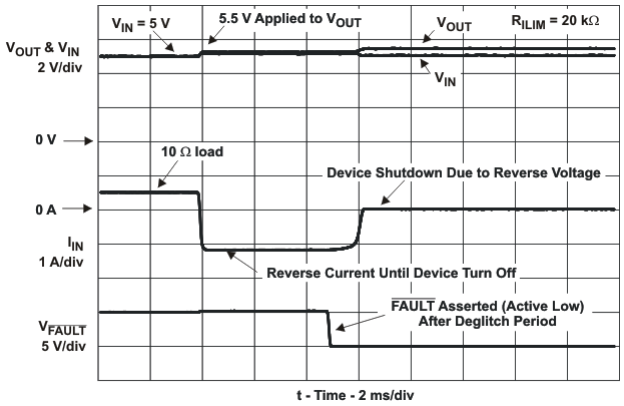


図 6-10. 逆電圧保護の応答

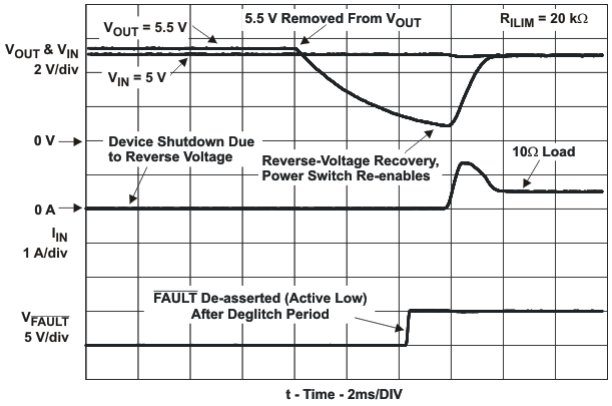


図 6-11. 逆電圧保護の回復

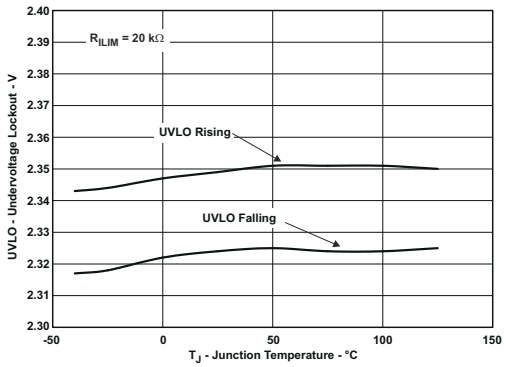


図 6-12. UVLO – 低電圧誤動作防止 – V

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (続き)

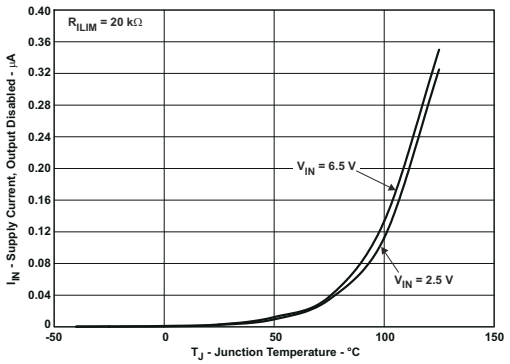


図 6-13. I_{IN} - 電源電流、出力ディスエーブル - µA

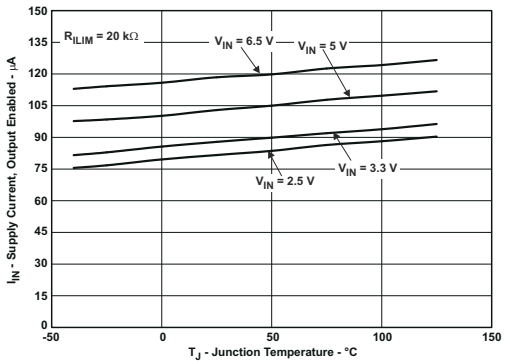


図 6-14. I_{IN} - 電源電流、出力イネーブル - µA

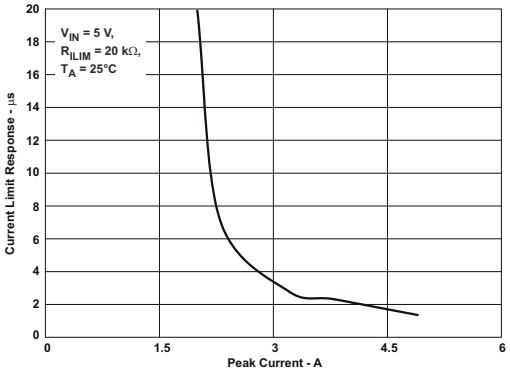


図 6-15. 電流制限応答 - µs

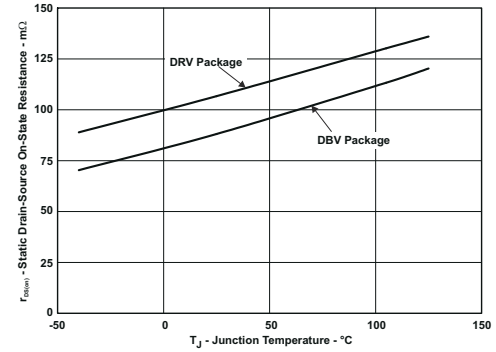


図 6-16. MOSFET の $r_{DS(on)}$ と接合部温度との関係

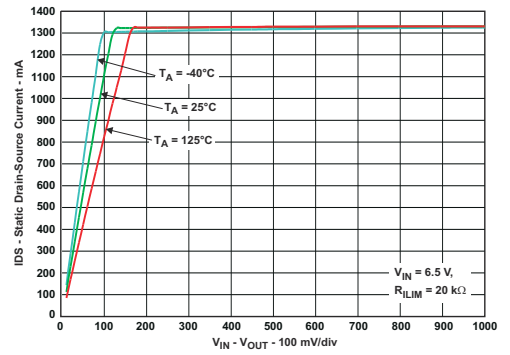


図 6-17. スイッチ両端間のスイッチ電流とドレイン ソース間電圧との関係

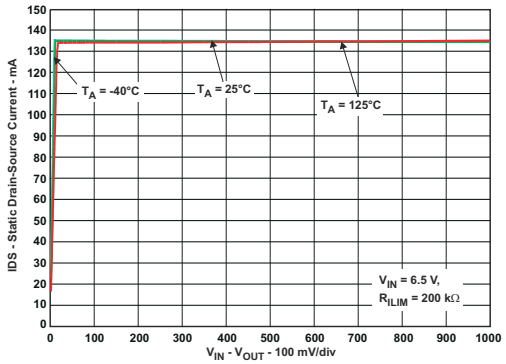


図 6-18. スイッチ両端間のスイッチ電流とドレイン ソース間電圧との関係

Copyright © 2026 Texas Instruments Incorporated

6.6 代表的特性 (続き)

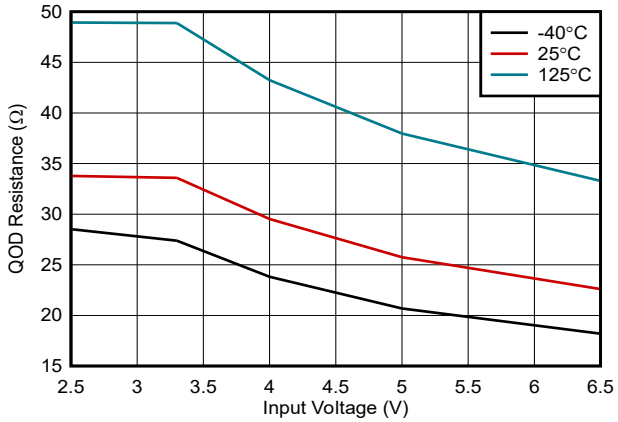


図 6-19. QOD 抵抗と入力電圧との関係

7 パラメータ測定情報

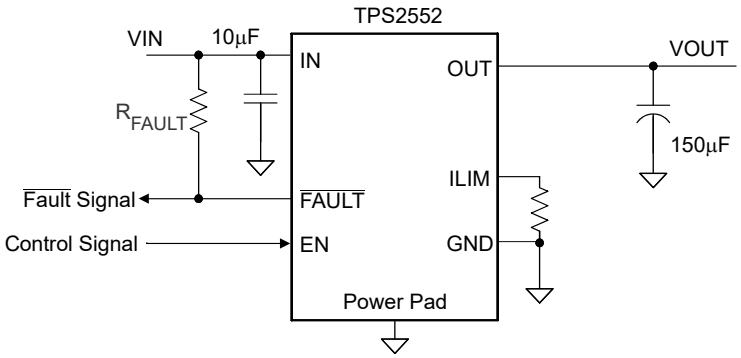


図 7-1. 代表的特性リファレンス回路図

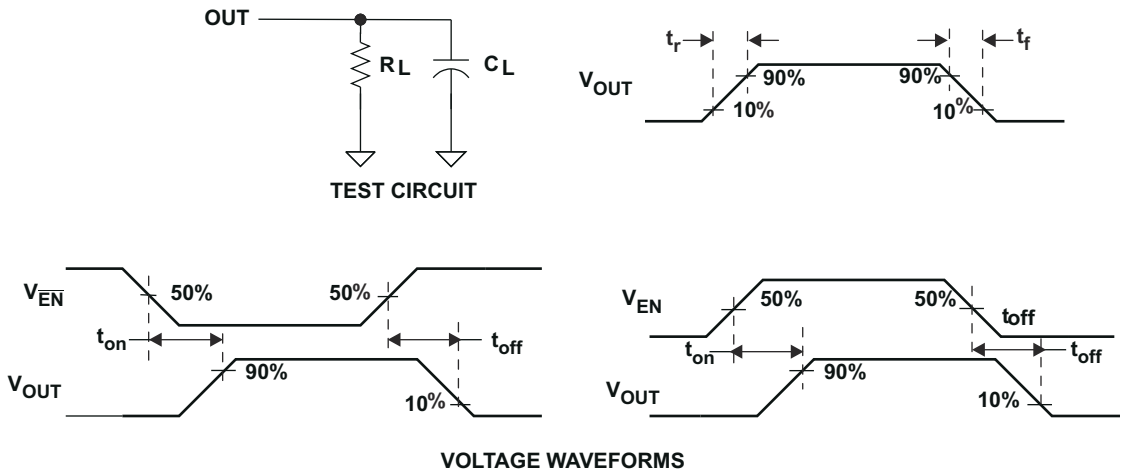


図 7-2. テスト回路と電圧波形

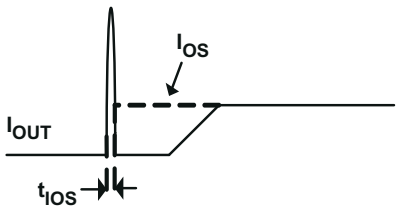


図 7-3. 短絡に対する応答時間の波形

Copyright © 2026 Texas Instruments Incorporated

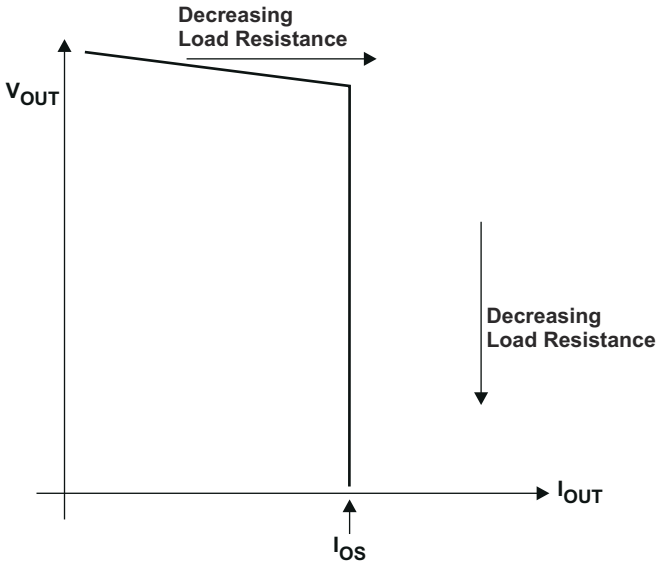


図 7-4. 出力電圧と電流制限スレッショルドとの関係

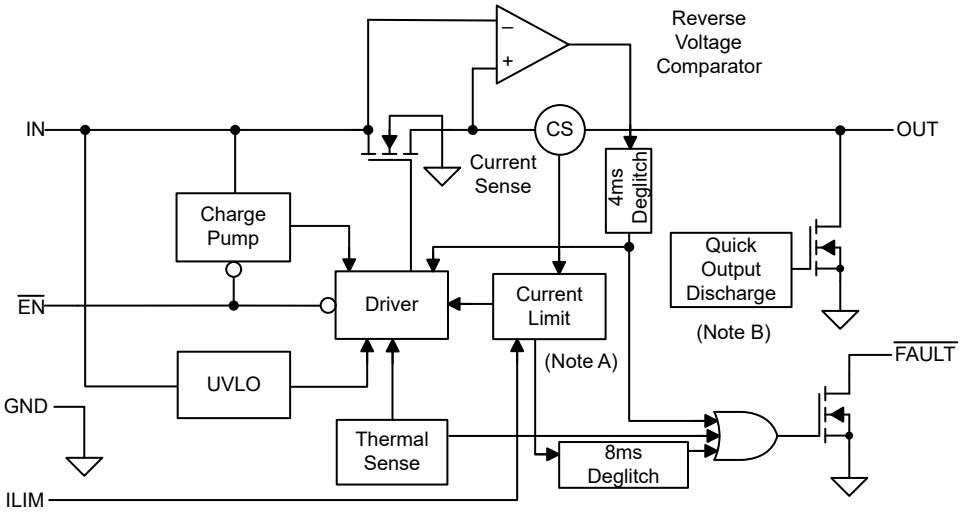
8 詳細説明

8.1 概要

TPS255x および TPS255x–1 は 、短絡または大きな容量性負荷が発生する可能性があるアプリケーション向けの、N チャネル MOSFET を使った電流制限付配電スイッチです。最大 1.5A の連続負荷電流を供給できます。これらのデバイスでは、ユーザーが、外付け抵抗経由の電流制限スレッショルドを 75mA ～ 1.7A (標準値) の範囲でプログラムできます。その他のデバイス シャットダウン機能には、過熱保護と逆電圧保護が含まれます。本デバイスは、N チャネル MOSFET を駆動するために必要なチャージ ポンプとゲート駆動回路を内蔵しています。チャージ ポンプは、ドライバ回路に電力を供給し、MOSFET のゲートをソースよりも高く引き上げるのに必要な電圧を生成します。チャージ ポンプは最低 2.5V の入力電圧で動作し、電源電流をほとんど必要としません。ドライバは、パワー スイッチのゲート電圧を制御します。このドライバは、出力電圧の立ち上がり時間と立ち下がり時間を制御する回路を内蔵しています。これは、大電流および大電圧サージを制限するために行われ、ソフトスタート機能が内蔵されています。過電流状況を異なる方法で処理するデバイス ファミリが 2 つあります。TPS255x ファミリは定電流モードに入り、負荷が電流制限スレッショルドを上回ると TPS255x-1 ファミリはオフにラッチします。

TPS25530-1 デバイスは、スイッチがオフになるときに働くクイック出力放電パスを内蔵しており、出力をグランドにプルダウンします。これらのデバイスの場合、電流制限範囲は、10kΩ ILIM 設定で 2.64A (標準値) に拡張され、最大連続電流は 2.5A です。

8.2 機能ブロック図



A. TPS255x 部品は電流制限状態中に定電流モードに入り、TPS255x-1 部品はラッチオフします

B. TPS25530-1 はクイック出力放電を備えた唯一のバリエーションです。

8.3 機能説明

8.3.1 過電流条件

TPS255x および TPS255x-1 応答は、過電流状態に応答して、出力電流を I_{OS} レベルに制限します (図 8-1 を参照)。過電流状態が検出されると、デバイスは一定の出力電流を維持し、それに応じて出力電圧を低下させます。過負荷状態には、次の 2 つが考えられます。

1 つ目の状態は、デバイスに電源が供給されているときか、またはデバイスが有効であるときに、短絡や部分短絡が発生した場合です。出力電圧は、グランドに対してほぼゼロ電位に保持され、TPS255x は出力電流を I_{OS} まで上昇させます。TPS255x デバイスは、過負荷状態が解消されるか、デバイスがサーマル サイクルを開始するまで、電流を I_{OS} に制限します。TPS255x–1 デバイスは、過負荷状態が解消されるか、内部グリッチ除去時間 (標準 7.5ms) に達してデバイスがオフになるまで、電流を I_{OS} に制限します。デバイスは、電源が再投入されるかイネーブルがトグルされるまでオフ状態を維持します。

Copyright © 2026 Texas Instruments Incorporated

2 つ目の状態は、デバイスが有効になって電源がオンになっている間に、短絡、部分短絡、または過渡過負荷が発生した場合です。本デバイスは、時間 t_{IOS} 以内にその過電流状態に応答します (図 7-3 を参照)。この期間中、電流検出アンプが過度に駆動され、内部の電流制限 MOSFET が一時的に無効化されます。電流検出アンプが回復し、出力電流を I_{OS} に制限します。前のケースと同様に、TPS255x は過負荷状態が解消されるか、デバイスがサーマル サイクルを開始するまで電流を I_{OS} に制限します。TPS255x-1 は、過負荷状態が解消されるか、内部グリッチ除去時間に達してデバイスがオフになるまで、電流を I_{OS} に制限します。

上記のいずれかのケースで、過熱制限機能が作動するほどの長い間、過負荷状態にあると、TPS255x のサーマル サイクルが起動します。電流制限中に接合部温度が 135℃ (最小値) を超えると、本デバイスはオフになります。接合部温度が 10℃ (標準値) 下がるまで本デバイスはオフ状態のままになり、下がったら再起動します。過負荷が解消されるまで、TPS255x はオン / オフを繰り返します (図 6-5 と図 6-7 を参照)。

8.3.2 逆電圧保護

出力電圧が 4ms (標準値) にわたって入力電圧を 135mV (標準値) 上回ると常に、逆電圧保護機能が N チャネル MOSFET をターンオフさせます。これが発生すると、$(V_{OUT} – V_{IN})/r_{DS(on)}$ の逆電流が存在します。これにより、入力容量に大電流が流れ込まないようにすることで、TPS255x および TPS2552-1/TPS2553-1 の入力側に接続されたデバイスが損傷しないようにします。TPS255x デバイスは、出力電圧が同じ 4ms のグリッチ除去時間にわたって入力電圧を下回ると、N チャネル MOSFET のオンを許可します。TPS255x-1 デバイスは、逆電圧状態が解消されても本デバイスはオフのままです。TPS255x-1 デバイスは、電源が再投入されるかデバイス イネーブルがトグルされるまで、N チャネル MOSFET のオンを許可しません。逆電圧コンパレータも、4ms 後に $\overline{\text{FAULT}}$ 出力 (アクティブ "Low") をアサートします。

8.3.3 $\overline{\text{FAULT}}$ 応答

過電流、過熱、逆電圧条件の間、$\overline{\text{FAULT}}$ オープン ドレイン出力はアサートされます (アクティブ "Low")。TPS255x は、故障状態が解消されてデバイスが通常動作を再開するまで $\overline{\text{FAULT}}$ 信号をアサートします。TPS255x-1 はフォルト状態の間、$\overline{\text{FAULT}}$ 信号をアサートし、部品がラッチオフされている間アサートされたままになります。デバイスの電源が再投入されるかイネーブルがトグルされ、デバイスが正常動作を再開すると、$\overline{\text{FAULT}}$ 信号はデアサートされます。TPS255x および TPS255x-1 は、内部遅延「グリッチ除去」回路を使用することで、過電流 (通常値 7.5ms) および逆電圧 (通常値 4ms) 条件の $\overline{\text{FAULT}}$ の誤通知を防止するよう設計されています。外部回路は不要です。これにより、大きな容量性負荷を接続した状態での起動などの通常動作によって、$\overline{\text{FAULT}}$ が誤ってアサートされることがないようにしています。このグリッチ除去回路は、フォルト条件の開始と終了を遅延させます。過熱条件はグリッチ除去されず、$\overline{\text{FAULT}}$ 信号は即座にアサートされます。

8.3.4 低電圧誤動作防止 (UVLO)

低電圧誤動作防止 (UVLO) 回路は、入力電圧が UVLO ターンオン スレッショルドに達するまで、パワー スイッチを無効化しています。ヒステリシスが組み込まれているため、大きな電流サージによる入力の電圧降下に起因する不要なオンとオフの繰り返しが防止されます。

8.3.5 イネーブル ($\overline{\text{EN}}$ または EN)

ロジック イネーブルを使うと、パワー スイッチ、チャージ ポンプのバイアス、ドライバ、その他の回路を制御して、消費電流を低減できます。EN にロジック Low が印加されると、消費電流は 1μA 未満に低減されます。$\overline{\text{EN}}$ へのロジック Low 入力、または EN へのロジック High 入力により、ドライバ、制御回路、およびパワー スイッチが有効になります。イネーブル入力は TTL と CMOS の両方のロジック レベルと互換性があります。

8.3.6 温度検出

TPS255x および TPS255x-1 には、パワー スイッチの動作温度をモニタする 2 つの独立したサーマル センシング回路を使用してデバイス自体を保護する自己保護機能があり、温度が推奨動作条件を超えると動作を無効化します。過電流状態では、TPS255x デバイスは定電流モードで動作するため、パワー スイッチの両端の電圧降下が増加します。パッケージ内の消費電力はパワー スイッチでの電圧降下に比例するため、過電流の状態では接合部温度が上昇します。本部品が電流制限中である時にダイ温度が 135℃ (最低) を上回ると、第 1 の温度センサによりパワー スイッチがオフになり

Copyright © 2026 Texas Instruments Incorporated

ます。温度センサにはヒステリシスが組み込まれており、本デバイスの温度が約 10°C 冷却されるとスイッチがオンになります。

また、TPS255x TPS255x-1 にも 2 番目の周囲温度センサが搭載されています。ダイ温度が 155°C (最低) を上回ると、パワー スイッチが電流制限中かどうかにかかわらず、周囲温度センサによりパワー スイッチがオフになり、本デバイスが約 10°C 冷却されるとパワー スイッチがオンになります。TPS255x および TPS255x-1 ファミリは、故障が解消されるまで、継続してオフとオンを繰り返します。

過熱シャットダウン条件が発生すると、オープン ドレインのフォルト通知出力 $\overline{\text{FAULT}}$ は即座にアサートされます (アクティブ "Low")。

8.3.7 クイック出力放電

TPS25530-1 には、クイック出力放電 (QOD) が内蔵されています。EN が Low にプルされること (VEN < VIL) によりメイン パワー スイッチがオフになった場合、VIN が低電圧誤動作防止 (UVLO) スレッショルド未満に低下した場合、サーマル シャットダウンが発生した場合、過電流状態が過電流グリッチ除去時間 (標準 7.5ms) より長く継続した場合、または逆電圧状態が逆電圧グリッチ除去時間 (標準 4ms) より長く継続した場合に、内部放電 FET が OUT を GND に接続します。放電 FET は 33Ω (VIN = 3.3V) の標準オン抵抗を持ち、スイッチが無効になっている間に出力がフローティング状態になるのを防ぎます。

8.4 デバイスの機能モード

その他の機能モードはありません。

8.5 プログラミング

8.5.1 電流制限スレッショルドのプログラミング

過電流スレッショルドは、外付け抵抗を使って設定できます。TPS255x および TPS255x-1 は、内部のレギュレーション ループを使用して ILIM ピンに安定化電圧を供給します。この電流制限スレッショルドは、ILIM から供給される電流に比例します。内部レギュレーション ループの安定性を確保するため、R_{ILIM} の 1% 抵抗範囲は 15kΩ ≤ R_{ILIM} ≤ 232kΩ を推奨しています。TPS25530-1 は、10kΩ ≤ R_{ILIM} ≤ 232kΩ の抵抗範囲をサポートしています。多くの用途では、電流制限の下限が一定特定の電流レベルを上回ること、または、上限が特定の電流レベルを下回ることが要求されるため、R_{ILIM} の値を選択する際に過電流スレッショルドの許容誤差を考慮することが重要です。以下の式と 図 8-1 を使うと、特定の外付け抵抗値 (R_{ILIM}) によって設定される過電流スレッショルドを計算できます。図 8-1 には、温度とプロセスによって生じる変動に起因する電流制限の許容誤差が含まれます。しかし、これらの式は外付け抵抗の変動による許容誤差を考慮していないため、R_{ILIM} を選択するときにこの公差を考慮することが重要です。電流制限の精度に対する寄生素子の影響を低減するため、R_{ILIM} 抵抗を TPS255x および TPS255x-1 に配線するパターンは、できるだけ短くする必要があります。

R_{ILIM} は、1) その値を上回る電流分が制限される電流制限の下限、または 2) その値を必ず下回るように電流が制限される過電流スレッショルドが得られるように選択できます。

電流制限の下限 (その値を上回る電流分が制限される) を設計するには、$I_{OS(min)}$ 曲線上の最大負荷電流の目標値と R_{ILIM} との交点を求め、それを下回る R_{ILIM} 値を選択します。全負荷または重い容量性負荷を接続した状態で確実に起動させる上で、電流制限の下限 (その値を上回る電流分が制限される) の設定が重要です。その結果として得られる電流制限の最大スレッショルドは、選択された R_{ILIM} 値と $I_{OS(max)}$ 曲線との交点です。

電流制限の最大スレッショルドを下回るように設計するには、$I_{OS(max)}$ 曲線上の最大負荷電流の目標値と R_{ILIM} との交点を求め、それを上回る R_{ILIM} 値を選択します。上流の電源の電流制限が入力電圧バスのドループの原因にならないようにする上で、電流制限を最大スレッショルドよりも低く設定することが重要です。その結果として得られる電流制限の最小スレッショルド値は、選択された R_{ILIM} 値と $I_{OS(min)}$ 曲線との交点です。

電流制限スレッショルドの式 (I_{OS}):

$$I_{OSmax}(mA) = \frac{22980V}{R_{ILIM}^{0.94}{}_{k\Omega}} \quad (1)$$

Copyright © 2026 Texas Instruments Incorporated

$$I_{OSnom}(mA) = \frac{23950V}{R_{ILIM}^{0.977}{}_{k\Omega}} \quad (2)$$

$$I_{OSmin}(mA) = \frac{25230V}{R_{ILIM}^{1.016}{}_{k\Omega}} \quad (3)$$

ここで、

- $15k\Omega \le R_{ILIM} \le 232k\Omega$

RILIM の最大推奨値は 232kΩ ですが、より低い電流制限スレッショルドを確保できる追加の構成が 1 つ存在します。ILIM ピンを IN に直接接続すると、75mA (標準値) の電流制限スレッショルドを提供できます。この構成では、敏感な ILIM 回路に望ましくないノイズが結合するのを防ぐため、IN から GND に追加の低 ESR セラミック容量が必要になる場合があります。以下のグラフの上の式は、TPS25530-1 の独自の 10kΩ 設定を考慮していません。TPS25530-1 で設計する場合は、10kΩ の電気的特性パラメータを使用してください。

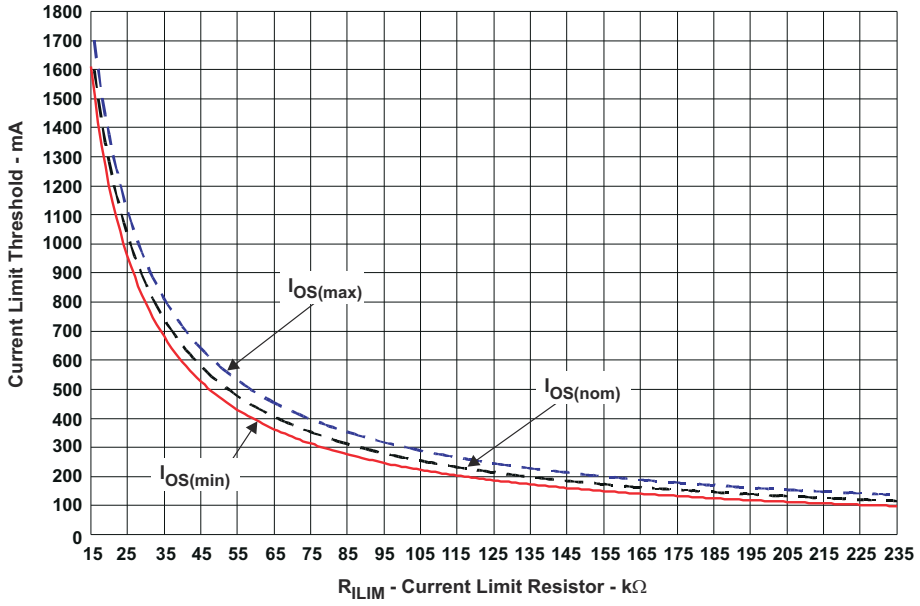


図 8-1. 電流制限スレッショルドと R_{ILIM} の関係

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

9.1.1 定電流とラッチオフ動作との関係、および出力電圧への影響

定電流デバイス (TPS255x とラッチオフ デバイス (TPS255x–1) は、通常動作中はどちらも同じように動作します。つまり、負荷電流は電流制限スレッショルドより小さく、本デバイスは電流を制限しません。通常動作では、N チャネル MOSFET は完全に強化され、

$$V_{OUT} = V_{IN} - \left[I_{OUT} \times r_{DS(on)}\right] \quad (4)$$

MOSFET の両端の電圧降下は、V_{IN} および $V_{OUT} \approx V_{IN}$ と比較して比較的小さい値です。

定電流デバイス (TPS255x) とラッチオフ デバイス (TPS255x-1) は、過電流イベントの初期開始時にも同じように動作します。どちらのデバイスも、リニア モードで N チャネル MOSFET を動作させることで、R_{ILIM} に設定されたプログラムされた電流制限スレッショルドに電流を制限します。電流制限動作中、N チャネル MOSFET は完全に強化されなくなり、デバイスの抵抗値が増加します。これにより、本デバイスは電流制限スレッショルドに電流を効果的にレギュレートできます。MOSFET の抵抗を増加させた影響は、デバイスの両端の電圧降下は無視できなくなり ($V_{IN} \neq V_{OUT}$)、V_{OUT} が低下することです。V_{OUT} が減少する量は、過負荷状態の大きさに比例します。推定 V_{OUT} は次のように計算できます。

$$I_{OS} \times R_{LOAD} \quad (5)$$

ここで、

- I_{OS} は電流制限スレッショルド
- R_{LOAD} は過負荷状態の大きさ

たとえば、I_{OS} が 1A にプログラムされ、1Ω の過負荷状態が印加されると、V_{OUT} は 1V になります。

定電流デバイス (TPS255x) とラッチオフ デバイス (TPS255x-1) の両方が、過電流イベントの初期開始時に同じように動作しますが、過電流イベントが内部遅延グリッチ除去回路 (標準値 7.5ms) よりも長く持続する場合、デバイスは異なる動作をします。定電流デバイス (TPS255x) は、グリッチ除去期間の後に $\overline{\text{FAULT}}$ フラグをアサートし、電流を無制限に制限スレッショルドにレギュレートし続けます。実際の回路では、パッケージの消費電力によってダイ温度が過熱シャットダウン スレッショルド (135℃ 最小値) よりも高くなり、ダイ温度がサーマル シャットダウン回路 (10℃ 標準値) のヒステリシスによって低下するまで、デバイスはオフになります。デバイスがオンになり、過負荷状態が解消されるまでサーマル サイクルを継続します。過負荷状態が解消されると、定電流デバイスは通常動作を再開します。ラッチオフ デバイス (TPS255x-1) は、グリッチ除去期間の後に $\overline{\text{FAULT}}$ フラグをアサートし、直ちにデバイスをオフにします。出力から過負荷状態が解消されているかどうかにかかわらず、本デバイスはオフのままです。ラッチオフ デバイスはオフのままで、周囲のシステムがデバイスへのイネーブルをトグルするか、デバイスへの電源を再供給するまで、通常動作を再開しません。

9.2 代表的なアプリケーション

9.2.1 2 レベル電流制限回路

一部のアプリケーションでは、外部システムの状態に応じて異なる電流制限スレッショルドが必要とされます。図 9-1 に、外部的に制御された 2 レベル電流制限回路の実装を示します。電流制限スレッショルドは、ILIM と GND の間の合成抵抗値によって設定されます (「電流制限スレッショルドのプログラミング」セクションを参照)。ロジック レベル入力によって MOSFET Q1 をオンまたはオフにし、ILIM と GND 間の合成抵抗値を変更することで、電流制限スレッショルドを切り替

Copyright © 2026 Texas Instruments Incorporated

えることができます。Q1/R2 と並列に、MOSFET および抵抗の組み合わせを追加することで、電流制限レベルの数をさらに増やせます。

注

ILIM は、外部信号で直接駆動しないでください。

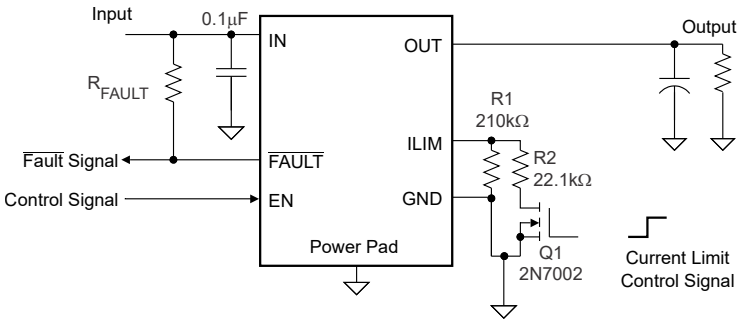


図 9-1. 2 レベル電流制限回路

9.2.1.1 設計要件

この例では、表 9-1 に記載されているパラメータを使用します。

表 9-1. 設計要件

パラメータ	値
入力電圧	5V
出力電圧	5V
電流制限の下限 (その値を上回る電流分が制限される)	1000mA
過電流スレッショルド (その値を必ず下回るように電流が制限される)	500mA

9.2.1.2 設計手順の詳細

9.2.1.2.1 最小電流制限を超える設計

一部の用途では、特定のスレッショルド未満では電流制限が発生しないようにすることが求められます。この例では、1A を負荷に供給する必要がある (つまり、1000mA を上回る電流分が制限される) ものと仮定します。I_{OS} の式と図 8-1 を使って、R_{ILIM} を選択します。

$$I_{OSmin}(mA) = 1000mA$$
$$I_{OSmin}(mA) = \frac{25230V}{R_{ILIM}^{1.016}k\Omega}$$
$$R_{ILIM}(k\Omega) = \left(\frac{25230V}{I_{OSmin}mA}\right)^{\frac{1}{1.016}} \quad (6)$$
$$R_{ILIM}(k\Omega) = 24k\Omega$$

計算値よりも小さい、最も近い 1% 抵抗を選択すると、R_{ILIM} = 23.7kΩ です。この選択により、電流制限の下限スレッショルドが 1A に設定されます。I_{OS} の式、図 8-1、上記の R_{ILIM} の計算値を使って得られる過電流スレッショルドの最大値を計算します。

Copyright © 2026 Texas Instruments Incorporated

$$
\begin{aligned}
&R_{ILIM}(k\Omega) = 23.7k\Omega \\
&I_{OSmax}(mA) = \frac{22980V}{R_{ILIM}{}^{0.94}{}_{k\Omega}} \\
&I_{OSmax}(mA) = \frac{22980V}{23.7^{0.94}{}_{k\Omega}} \\
&I_{OSmax}(mA) = 1172.4mA
\end{aligned}
\tag{7}
$$

23.7kΩ の抵抗を使用した場合に得られる、電流制限の上限スレッショルドは 1172.4mA です。

9.2.1.2.2 最大電流制限を下回る設計

一部のアプリケーションでは、特定の値を必ず下回るよう に電流が制限されることが求められます。この例では、上流の電源を保護するため、目的の過電流スレッショルドの最大値を 500mA 未満にする必要があるものと仮定します。I_{OS} の式と 図 8-1 を使って、R_{ILIM} を選択します。

$$
\begin{aligned}
&I_{OSmax}(mA) = 500mA \\
&I_{OSmax}(mA) = \frac{22980V}{R_{ILIM}{}^{0.94}{}_{k\Omega}} \\
&R_{ILIM}(k\Omega) = \left(\frac{22980V}{I_{OSmax}{}_{mA}}\right)^{\frac{1}{0.94}} \\
&R_{ILIM}(k\Omega) = 58.7k\Omega
\end{aligned}
\tag{8}
$$

計算値よりも大きい、最も近い 1% 抵抗を選択すると、R_{ILIM} = 59kΩ です。これにより、電流制限スレッショルドの最大値 (500mA) が設定されます。I_{OS} の式、図 8-1、上記の R_{ILIM} の計算値を使って得られる電流制限の下限 (その値を上回る電流分が制限される) を計算します。

$$
\begin{aligned}
&R_{ILIM}(k\Omega) = 59k\Omega \\
&I_{OSmin}(mA) = \frac{25230V}{R_{ILIM}{}^{1.016}{}_{k\Omega}} \\
&I_{OSmin}(mA) = \frac{25230V}{59^{1.016}{}_{k\Omega}} \\
&I_{OSmin}(mA) = 400.6mA
\end{aligned}
\tag{9}
$$

59kΩ の抵抗を使用した場合に得られる電流制限の下限 (その値を上回る電流分が制限される) は 400.6mA です。

9.2.1.2.3 抵抗の許容誤差の考慮

前のセクションでは、特定のアプリケーション要件に応じた R_{ILIM} の選定方法、および電流制限スレッショルドの許容誤差を把握することの重要性について説明しました。この分析は、TPS255x および TPS255x–1 の性能のみに注目し、正確な抵抗値を前提としています。しかしながら、市販されている抵抗器の値は厳密なものではなく、公称抵抗値を中心とした上限および下限の許容誤差の範囲内に収まるよう規定されています。R_{ILIM} 抵抗の許容誤差の追加は、システム レベルで電流制限スレッショルドの精度に直接影響を及ぼします。以下の表は、1% の抵抗値を仮定した場合のワーストケースの抵抗許容誤差を考慮したプロセスを示しています。ステップ 1 は、上記のアプリケーション例で概説した選択プロセスに従います。ステップ 2 では、選択した抵抗の上限と下限を決定します。ステップ 3 では、I_{OS} の式の上限および下限抵抗境界を使用して、スレッショルド制限を計算します。高精度の電流制限が必要な場合は、0.5% または 0.1% など、より公差の小さい抵抗を使用することが重要です。

表 9-2. 一般的な R_{ILIM} 抵抗の選定

目的の公称電流制限 (mA)	理想的な抵抗 (kΩ)	最も近い 1% 抵抗 (kΩ)	抵抗の許容誤差		実際の制限		
			1% Low (kΩ)	1% High (kΩ)	IOS 最小値 (mA)	IOS 公称値 (mA)	IOS 最大値 (mA)
75	ILIM を IN に短絡				50.0	75.0	100.0
120	226.1	226	223.7	228.3	101.3	120.0	142.1

Copyright © 2026 Texas Instruments Incorporated

表 9-2. 一般的な R_{ILIM} 抵抗の選定 (続き)

目的の公称電流制限 (mA)	理想的な抵抗 (kΩ)	最も近い 1% 抵抗 (kΩ)	抵抗の許容誤差		実際の制限		
			1% Low (kΩ)	1% High (kΩ)	IOS 最小値 (mA)	IOS 公称値 (mA)	IOS 最大値 (mA)
200	134.0	133	131.7	134.3	173.7	201.5	233.9
300	88.5	88.7	87.8	89.6	262.1	299.4	342.3
400	65.9	66.5	65.8	67.2	351.2	396.7	448.7
500	52.5	52.3	51.8	52.8	448.3	501.6	562.4
600	43.5	43.2	42.8	43.6	544.3	604.6	673.1
700	37.2	37.4	37.0	37.8	630.2	696.0	770.8
800	32.4	32.4	32.1	32.7	729.1	800.8	882.1
900	28.7	28.7	28.4	29.0	824.7	901.5	988.7
1000	25.8	26.1	25.8	26.4	908.3	989.1	1081.0
1100	23.4	23.2	23.0	23.4	1023.7	1109.7	1207.5
1200	21.4	21.5	21.3	21.7	1106.0	1195.4	1297.1
1300	19.7	19.6	19.4	19.8	1215.1	1308.5	1414.9
1400	18.3	18.2	18.0	18.4	1310.1	1406.7	1517.0
1500	17.0	16.9	16.7	17.1	1412.5	1512.4	1626.4
1600	16.0	15.8	15.6	16.0	1512.5	1615.2	1732.7
1700	15.0	15.0	14.9	15.2	1594.5	1699.3	1819.4

9.2.1.2.4 入力および出力容量

入力および出力容量は本デバイスの性能を向上させます。個別のアプリケーションに対して実際の容量を必ず最適化するようにします。すべてのアプリケーションにおいて、TI では局所的なノイズ デカップリングのため、IN と GND の間に 0.1µF 以上のセラミック バイパス コンデンサを本デバイスにできる限り近づけて配置することを推奨します。この対策により、電源過渡に起因する入力でのリンギングが低減されます。重い過渡条件中に電圧オーバーシュートがデバイスの絶対最大電圧を超えないようにするため、入力に追加の入力容量が必要な場合があります。これは、長い誘導性ケーブルを使って評価ボードをベンチ電源に接続するベンチテスト時に特に重要です。

出力に大きな過渡電流が発生することが予想される場合、大きな値の電解コンデンサを出力ピンに配置することを推奨します。

9.2.1.3 アプリケーション曲線

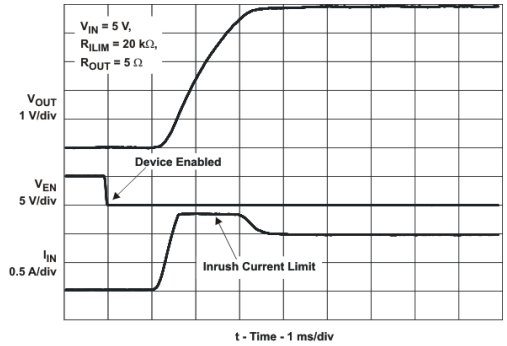


図 9-2. ターンオン遅延と立ち上がり時間との関係

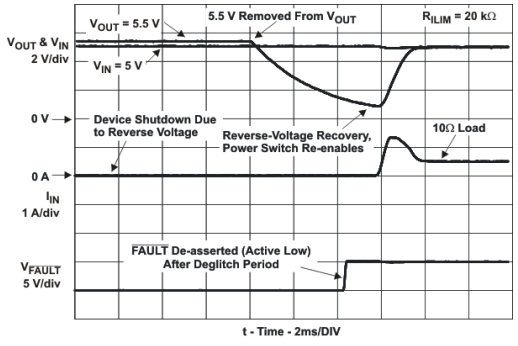


図 9-3. 逆電圧保護の回復

9.2.2 自動再試行機能

一部のアプリケーションでは、過電流条件が発生すると、本デバイスがフォルト条件の間一時的に無効化され、プリセット時間が経過すると、再度有効化されることが求められます。この*自動再試行*機能は、外付けの抵抗とコンデンサを使用して実装できます。フォルト条件の間、$\overline{\text{FAULT}}$ は Low にプルされ、本デバイスは無効化されます。EN が Low にプルされると、本デバイスは無効化され、$\overline{\text{FAULT}}$ がハイ インピーダンスになるため、C_{RETRY} は充電を開始できます。EN の電圧がターンオン スレッショルドに達すると、本デバイスは再度有効化され、その自動再試行時間は抵抗 - コンデンサの時定数によって決定されます。フォルト条件が解消されるまで、本デバイスはこのように再試行を繰り返します。

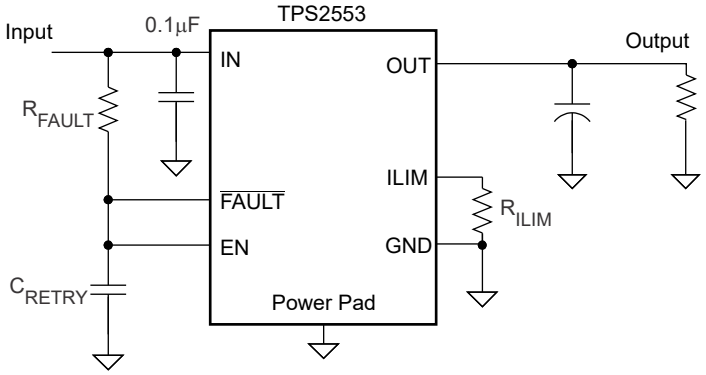


図 9-4. 自動再試行機能

一部のアプリケーションでは、自動再試行機能と、外部ロジック信号によって有効化または無効化する機能が求められます。図 9-5 に、外部ロジック信号が R_{FAULT} を通して EN を駆動し、自動再試行機能を維持する方法を示します。抵抗 - コンデンサの時定数が自動再試行のタイムアウト期間を決定します。

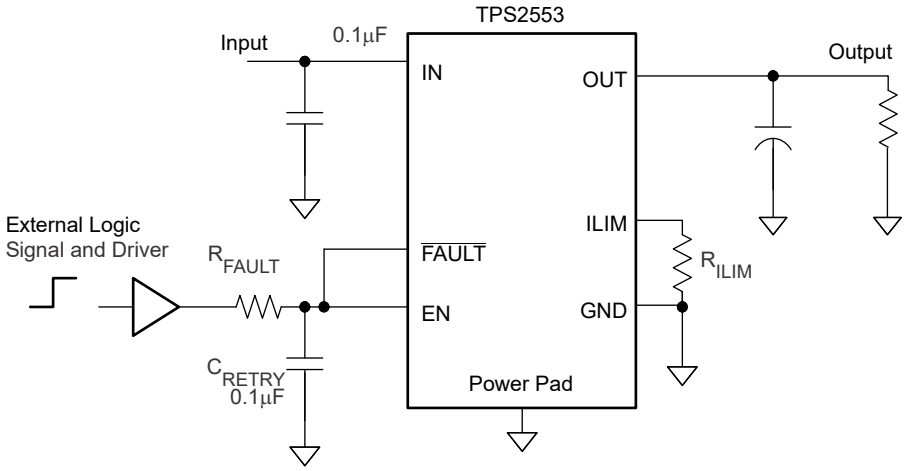


図 9-5. 外部 EN 信号による自動再試行機能

9.2.2.1 設計要件

この例では、表 9-3 に記載されているパラメータを使用します。

表 9-3. 設計要件

パラメータ	値
入力電圧	5V
出力電圧	5V
電流	1200mA

Copyright © 2026 Texas Instruments Incorporated

9.2.2.2 詳細な設計手順

電流制限の設定については、「電流制限スレッショルドのプログラミング」セクションを参照してください。自動再試行機能の場合、$\overline{\text{FAULT}}$ がアサートされると EN が Low になり、TPS2553 はディスエーブルになり、$\overline{\text{FAULT}}$ がデアサートされます。C_{RETRY} は、R_{FAULT} によって EN ロジック High までゆっくり充電され、その後、グリッチ除去時間の後でイネーブルされ、$\overline{\text{FAULT}}$ が再度アサートされます。過負荷が発生すると、TPS2553 はサイクルし、出力平均電流が流れます。オン時間における出力電流は、$\overline{\text{FAULT}}$ グリッチ除去時間によって決定されます。出力電流なしのオフ時間は、EN ロジック High および t_{on} 時間までの $R_{FAULT} \times C_{RETRY}$ 定数時間によって決定されます。したがって、過負荷時に出力平均電流の目標値が得られるように、$R_{FAULT} \times C_{RETRY}$ を設定します。

9.2.3 USB 電源スイッチとしての代表的なアプリケーション

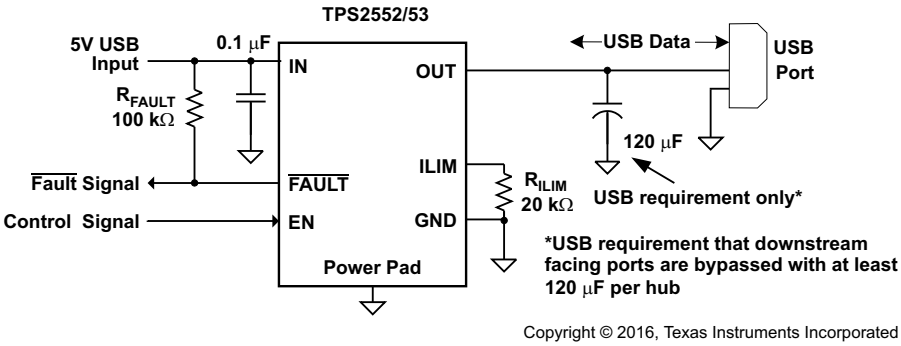


図 9-6. USB 電源スイッチとしての代表的なアプリケーション

9.2.3.1 設計要件

この例では、表 9-4 に記載されているパラメータを使用します。

表 9-4. 設計要件

パラメータ	値
入力電圧	5V
出力電圧	5V
電流	1200mA

9.2.3.1.1 USB パワー ディストリビューションの要件

USB は、開発中の USB デバイスの種類に関係なく、複数の方法で実装できます。複数の電力分配機能を実装する必要があります。

- SPH の要件:
  - ダウンストリーム ポートの電流制限
  - 過電流条件の通知
- BPH の要件:
  - ダウンストリーム ポートへの電力の有効化または無効化
  - 100mA 未満の電流で起動
  - 突入電流を制限する (<44Ω および 10µF)
- ファンクションの要件:
  - 突入電流の制限
  - 100mA 未満の電流で起動

TPS255x および TPS255x-1 の機能セットはこれらの各要件を満たしています。セルフ パワー型ハブには、内蔵型の電流制限機能と過電流通知機能が必要です。ロジック レベルのイネーブルと制御された立ち上がり時間は、バス パワー型ハブの入力および出力ポートと、バス パワー型ファンクションの入力ポートの要求を満たしています。

Copyright © 2026 Texas Instruments Incorporated

9.2.3.2 詳細な設計手順

9.2.3.2.1 ユニバーサル シリアル バス (USB) の配電要件

このデバイスの用途の 1 つは、ユニバーサル シリアル バス (USB) アプリケーションでの電流制限です。初期の USB インターフェイスは、低 ～ 中帯域幅の PC 周辺機器 (キーボード、プリンタ、スキャナ、マウスなど) 用に設計された 12Mbps または 1.5Mbps の多重化シリアル バスでした。帯域幅拡大の要求が高まるにつれて、USB 2.0 規格が導入され、最大データ レートは 480Mb/s に増加しました。4 線式 USB インターフェイスは、ペリフェラルを動的に接続 / 取り外し (ホットプラグ / アンプラグ) できるように考案されています。差動データ用に 2 本のライン、5V 電力分配用に 2 本のラインが用意されています。

USB データは 3.3V レベルの信号ですが、長いケーブルにわたって複数のハブを通して電力が分配される場合の電圧降下を許容するため、電力は 5V で分配されます。各ファンクションは、5V 入力または自身の内部電源から、個別にレギュレートされた 3.3V を生成する必要があります。USB 仕様では、最大供給電流に応じて 2 種類のデバイス クラスに分類されます。ローパワーに分類されたデバイスは、規格の定義に従い、最大 100mA の電流を供給できます。ハイパワーに分類されたデバイスは、最大 500mA の電流を供給できます。電流制限パワー スイッチの電流制限の下限 (その値を上回る電流分が制限される) が、目的のアプリケーションの消費電流の最大値を上回っていることが重要です。電流制限スレッショルドを考慮するときは、最新の USB 規格を常に参照する必要があります

USB 仕様では、ハブとファンクションという 2 種類のデバイスが定義されています。USB ハブとは、各種 USB デバイスが接続するための複数のポートを備えたデバイスであり、セルフ パワー (SPH) またはバス パワー (BPH) とすることができます。ファンクションとは、バスを介してデータまたは制御情報を送受信できる USB デバイスのことです。USB ファンクションは、USB ハブに組み込めます。USB ファンクションは、以下に示す 3 つのタイプのいずれかとすることができます。

- ローパワー、バス パワー型ファンクション
- ハイパワー、バス パワー型ファンクション
- セルフ パワー型ファンクション

SPH と BPH はデータと電力を下流のファンクションに分配します。TPS255x は、1 つの USB ポートで必要とされるよりも高い電流能力を備えているため、複数の下流ポートに電力を供給できます。

9.3 電源に関する推奨事項

9.3.1 セルフ パワーおよびバス パワーのハブ

SPH は、組み込みファンクションとダウンストリーム ポートに電力を供給するローカル電源を備えています。この電源は全負荷および無負荷条件下で 4.75V ～ 5.25V を下流側のデバイスに供給する必要があります。SPH は電流制限保護機能を備えている必要があり、過電流条件を USB コントローラに報告する必要があります。代表的な SPH はデスクトップ PC、モニタ、プリンタ、スタンドアロン ハブです。

BPH はアップストリーム ポートからすべての電力を調達し、しばしば組み込みファンクションを内蔵しています。BPH は 100mA 未満の電流で起動する必要があります。BPH は通常 1 つの組み込みファンクションを備えており、ハブのコントローラは常に電力を利用できます。電源投入時に組込みファンクションとハブが 100mA 以上を必要とする場合、列挙が完了するまで、組込みファンクションへの電力をオフに維持します。これは、組み込みファンクションへの電源供給を停止するか、クロックをシャットオフすることで実現できます。組み込みファンクションとコントローラが流す電流の合計が 100mA 未満の場合、組み込みファンクションの電力の切り換えは不要です。バス パワー型デバイスが流す電流の合計は、コントローラ、組み込みファンクション、ダウンストリーム ポートへの電流の合計です。合計電流は、アップストリーム ポートからの 500mA に制限されます。

9.3.2 低消費電力バス駆動および高電力バス駆動の機能

ローパワー バス パワー型ファンクションとハイパワー バス パワー型ファンクションは、どちらも上流ポートからすべての電力を調達します。低消費電力ファンクションが消費する電流は、常に 100mA 未満です。大電力ファンクションは、パワーアップ時に 100mA 未満の電流を流す必要があり、エニュメレーション後に最大 500mA の電流を流せます。パワーアップ時のファンクションの負荷が 44Ω と 10µF の並列接続より大きい場合、そのデバイスに突入電流制限を実装する必要があります。

Copyright © 2026 Texas Instruments Incorporated

9.3.3 許容損失と接合部温度

オン抵抗が小さい N チャネル MOSFET を使っているため、小型の表面実装パッケージでも大電流を通せます。許容損失と接合部温度を見積もることは、設計のためのよい練習になります。以下の解析から、パッケージ内の許容損失に基づいて接合部温度を計算するための概算値が得られます。ただし、熱解析はその他のシステム レベル要因に大きく依存することに注意することが重要です。そのような要因には、空気流量、基板レイアウト、銅箔の厚さと表面積、電力を散逸しているその他のデバイスとの近さが含まれます。優れた熱設計手法には、個々の部品の解析に加えて、すべてのシステム レベル要因が含まれている必要があります。

最初に、入力電圧と動作温度に対する N チャネル MOSFET の $r_{DS(on)}$ を決定します。初期的な推定値として、注目する動作時周囲温度の最大値を使い、代表的特性のグラフから $r_{DS(on)}$ を読み取ります。この値を使って、許容損失は 式 10 を使って計算できます。

$$P_D = r_{DS(on)} \times I_{OUT}^2 \quad (10)$$

ここで、

- P_D = 総許容損失 (W)
- $r_{DS(on)}$ = パワー スイッチのオン抵抗 (Ω)
- I_{OUT} = 過電流スレッショルド (負荷に供給される最大 DC 出力電流) (A)
- この手順では、N チャネル MOSFET の総許容損失を計算します。

その結果、接合部温度は次の式で計算できます。

$$T_J = P_D \times \theta_{JA} + T_A \quad (11)$$

ここで、

- T_A = 周囲温度 (°C)
- θ_{JA} = 熱抵抗 (°C/W)
- P_D = 総許容損失 (W)

接合部温度の計算値を初期的な推定値と比較します。その差が数度以内でない場合、上記の計算による「改良された」$r_{DS(on)}$ を新しい推定値として使って、計算を繰り返します。目的の結果を得るのに、通常 2 回または 3 回の反復で十分です。最終的な接合部温度は熱抵抗 θ_{JA} に大きく依存し、この熱抵抗は個々のパッケージと基板レイアウトに大きく依存します。「熱に関する情報」の表には、特定のパッケージと基板レイアウトに対する熱抵抗の例が記載されています。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- 100nF のバイパス コンデンサを IN および GND ピンの近くに配置し、低インダクタンスのパターンを使って接続することを推奨します。
- 出力に大きな過渡電流が想定される場合、出力ピンに大容量の電解コンデンサと 100nF のバイパス コンデンサを配置することを推奨します。
- 電流制限の精度に対する寄生素子の影響を低減するため、RILIM 抵抗を本デバイスに配線するパターンは、できるだけ短くする必要があります。
- PowerPAD は、幅広で短い銅パターンを使って、PCB のグランド プレーンに直接接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

9.4.2 レイアウト例

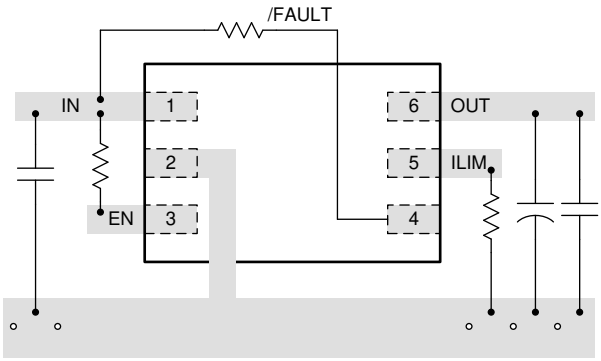


図 9-7. レイアウトに関する推奨事項

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

TI のスイッチ製品ラインアップは、こちらをご覧ください。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (August 2016) to Revision G (October 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「特長」に 100mΩ ハイサイド MOSFET (DRV パッケージ) を追加	1
• ドキュメント全体にわたって TPS25530-1 を追加	1
• 表 4-1 を追加	3
• QOD バージョンの部品番号に 0 を追加	4
• 過電流条件による $\overline{\text{FAULT}}$ のアサートまたはデアサートの最小値を 2ms から 3ms に変更	6
• 過電流条件による $\overline{\text{FAULT}}$ のアサートまたはデアサートの最大値を 10ms から 11ms に変更	6
• 逆電圧条件による $\overline{\text{FAULT}}$ のアサートまたはデアサートの最大値を 6ms から 7ms に変更	6
• 電源電流 I_{IN_on} R_{ILIM} = 20kΩ の最大値を 140µA から 150µA に変更	6
• 電源電流 I_{IN_on} R_{ILIM} = 210kΩ の最大値を 120µA から 130µA に変更	6
• 接合部温度の 135℃ の説明を標準値から最小値に変更	14
• 「クイック出力放電」セクションを追加	16

Changes from Revision E (February 2012) to Revision F (August 2016) **Page**

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1
- 「特長」セクションの可変電流制限の箇条書き項目で、1300mA を 1700mA に変更 1
- 1.2A から 1.5A に変更 3

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2552DBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2552
TPS2552DBVR-1	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHX
TPS2552DBVR-1.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHX
TPS2552DBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2552
TPS2552DBVR1G4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2552
TPS2552DBVR1G4.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2552
TPS2552DBVT	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2552
TPS2552DBVT-1	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHX
TPS2552DBVT-1.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHX
TPS2552DBVT-11G4	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHX
TPS2552DBVT-11G4.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHX
TPS2552DBVT.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2552
TPS2552DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CHR
TPS2552DRVR-1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHY
TPS2552DRVR-1.B	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHY
TPS2552DRVR.B	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHR
TPS2552DRVRG4	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHR
TPS2552DRVRG4.B	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHR
TPS2552DRVT	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	CHR
TPS2552DRVT-1	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHY
TPS2552DRVT-1.B	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHY
TPS2552DRVT-1G4	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHY
TPS2552DRVT-1G4.B	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHY
TPS2552DRVT.B	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CHR
TPS25530DRVR-1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	4AVH
TPS2553DBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DBVR-1	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHZ
TPS2553DBVR-1.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHZ
TPS2553DBVR-11G4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHZ

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS2553DBVR-11G4.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHZ
TPS2553DBVR.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DBVRG4.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DBVRG4.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DBVT	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DBVT-1	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHZ
TPS2553DBVT-1.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHZ
TPS2553DBVT.A	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DBVT.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2553
TPS2553DRVR	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CHT
TPS2553DRVR-1	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CJZ
TPS2553DRVR-1.B	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CJZ
TPS2553DRVR.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHT
TPS2553DRVR.B	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHT
TPS2553DRVRG4	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHT
TPS2553DRVRG4.A	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHT
TPS2553DRVRG4.B	Active	Production	WSON (DRV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHT
TPS2553DRVT	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHT
TPS2553DRVT-1	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CJZ
TPS2553DRVT-1.B	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CJZ
TPS2553DRVT-1G4	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CJZ
TPS2553DRVT-1G4.B	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CJZ
TPS2553DRVT.A	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHT
TPS2553DRVT.B	Active	Production	WSON (DRV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CHT

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS2553, TPS2553-1 :

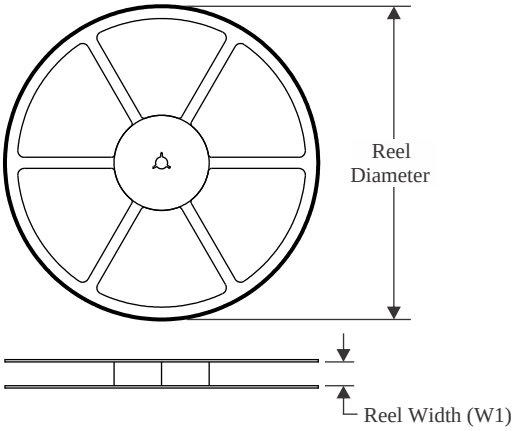
- Automotive : TPS2553-Q1, TPS2553-Q1

NOTE: Qualified Version Definitions:

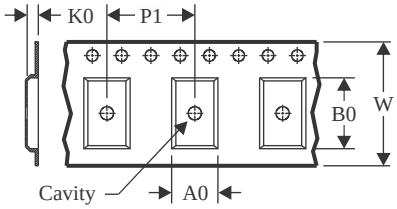
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

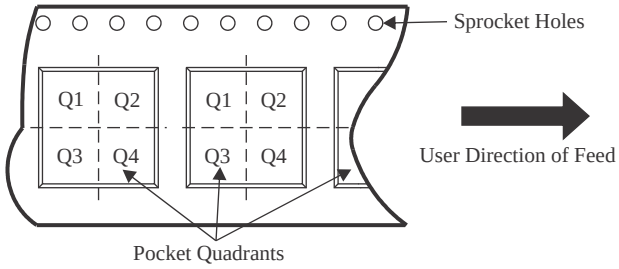


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

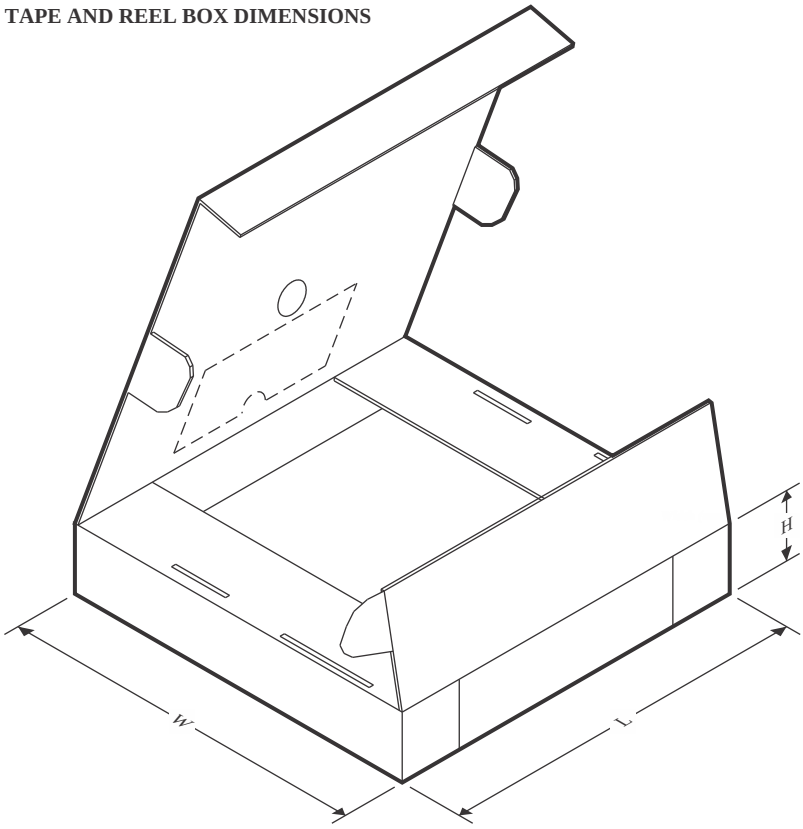


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2552DBVR	SOT-23	DBV	6	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2552DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2552DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2552DBVR-1	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2552DBVR1G4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2552DBVT	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2552DBVT-1	SOT-23	DBV	6	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2552DBVT-1	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2552DBVT-11G4	SOT-23	DBV	6	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS2552DRVR	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2552DRVR	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2552DRVR-1	WSON	DRV	6	3000	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS2552DRVRG4	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2552DRVT	WSON	DRV	6	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2552DRVT-1	WSON	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
TPS2552DRVT-1G4	WSON	DRV	6	250	179.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS25530DRVR-1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q1
TPS2553DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2553DBVR-1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2553DBVR-11G4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2553DBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2553DBVT	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2553DBVT	SOT-23	DBV	6	250	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2553DBVT-1	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2553DRVR	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2553DRVR-1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2553DRVR-1	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2553DRVRG4	WSON	DRV	6	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2553DRVT	WSON	DRV	6	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2553DRVT-1	WSON	DRV	6	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TPS2553DRVT-1G4	WSON	DRV	6	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



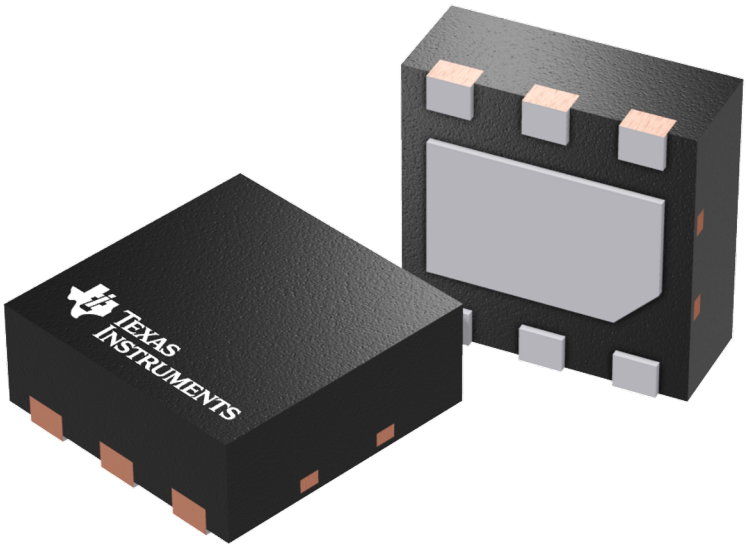
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2552DBVR	SOT-23	DBV	6	3000	200.0	183.0	25.0
TPS2552DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
TPS2552DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS2552DBVR-1	SOT-23	DBV	6	3000	180.0	180.0	18.0
TPS2552DBVR1G4	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS2552DBVT	SOT-23	DBV	6	250	210.0	185.0	35.0
TPS2552DBVT-1	SOT-23	DBV	6	250	203.0	203.0	35.0
TPS2552DBVT-1	SOT-23	DBV	6	250	180.0	180.0	18.0
TPS2552DBVT-11G4	SOT-23	DBV	6	250	180.0	180.0	18.0
TPS2552DRVR	WSON	DRV	6	3000	210.0	185.0	35.0
TPS2552DRVR	WSON	DRV	6	3000	182.0	182.0	20.0
TPS2552DRVR-1	WSON	DRV	6	3000	200.0	183.0	25.0
TPS2552DRVRG4	WSON	DRV	6	3000	182.0	182.0	20.0
TPS2552DRVT	WSON	DRV	6	250	182.0	182.0	20.0
TPS2552DRVT-1	WSON	DRV	6	250	200.0	183.0	25.0
TPS2552DRVT-1G4	WSON	DRV	6	250	200.0	183.0	25.0
TPS25530DRVR-1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS2553DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2553DBVR-1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS2553DBVR-11G4	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS2553DBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS2553DBVT	SOT-23	DBV	6	250	210.0	185.0	35.0
TPS2553DBVT	SOT-23	DBV	6	250	200.0	183.0	25.0
TPS2553DBVT-1	SOT-23	DBV	6	250	210.0	185.0	35.0
TPS2553DRVR	WSON	DRV	6	3000	182.0	182.0	20.0
TPS2553DRVR-1	WSON	DRV	6	3000	182.0	182.0	20.0
TPS2553DRVR-1	WSON	DRV	6	3000	210.0	185.0	35.0
TPS2553DRVRG4	WSON	DRV	6	3000	182.0	182.0	20.0
TPS2553DRVT	WSON	DRV	6	250	182.0	182.0	20.0
TPS2553DRVT-1	WSON	DRV	6	250	182.0	182.0	20.0
TPS2553DRVT-1G4	WSON	DRV	6	250	182.0	182.0	20.0

DRV 6 WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



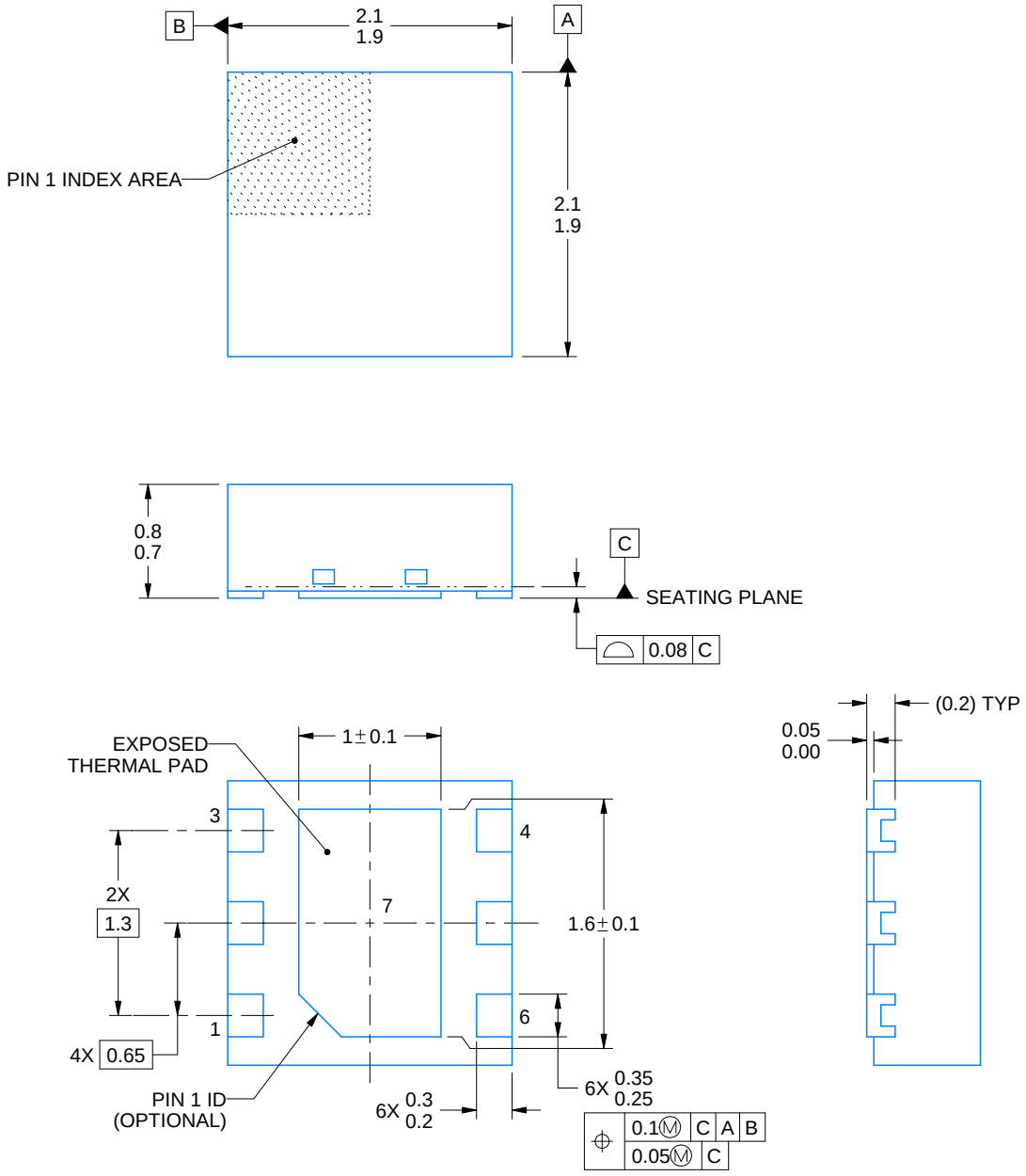
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DRV0006D

PACKAGE OUTLINE

WSON - 0.8 mm max height

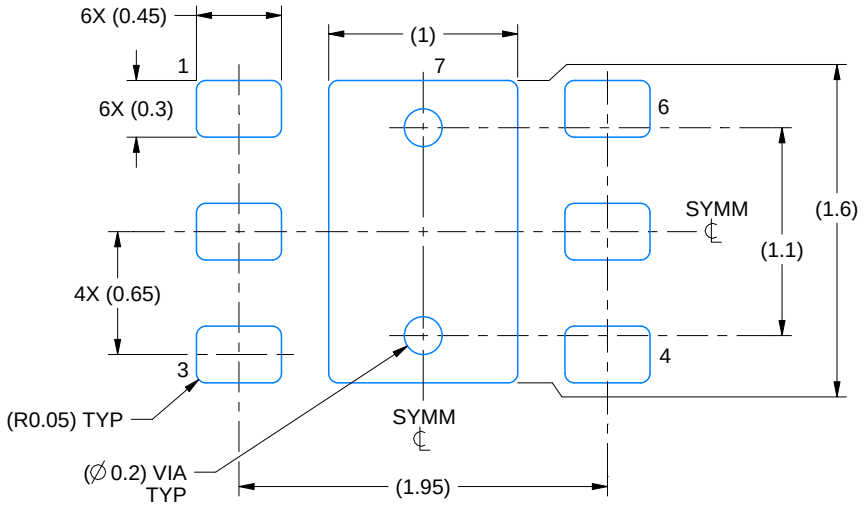
PLASTIC SMALL OUTLINE - NO LEAD



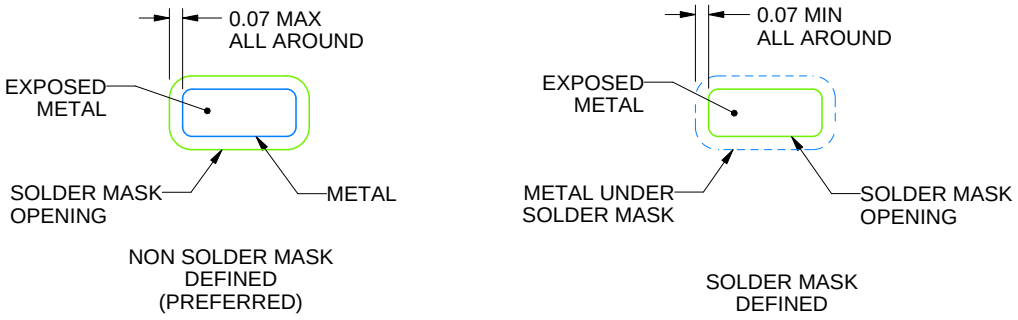
4225563/A 12/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

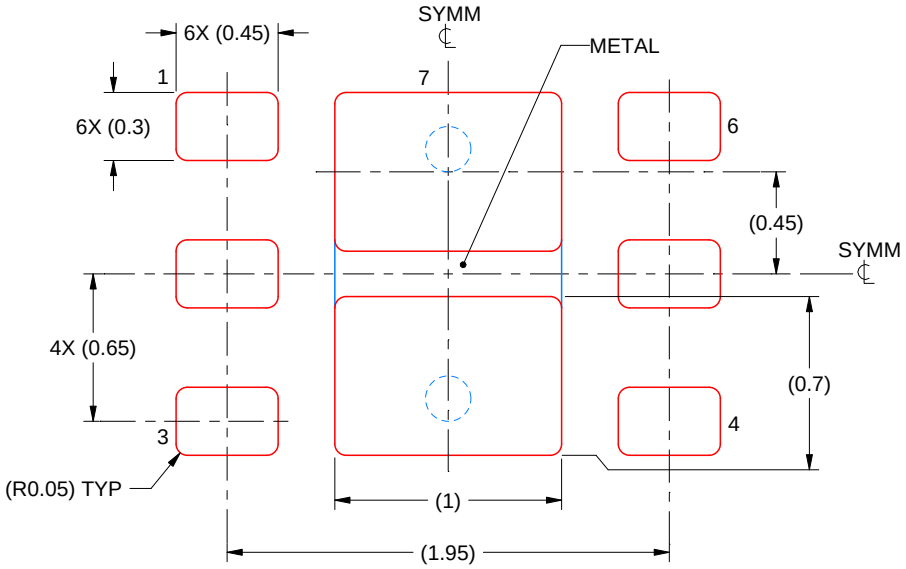


SOLDER MASK DETAILS

4225563/A 12/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

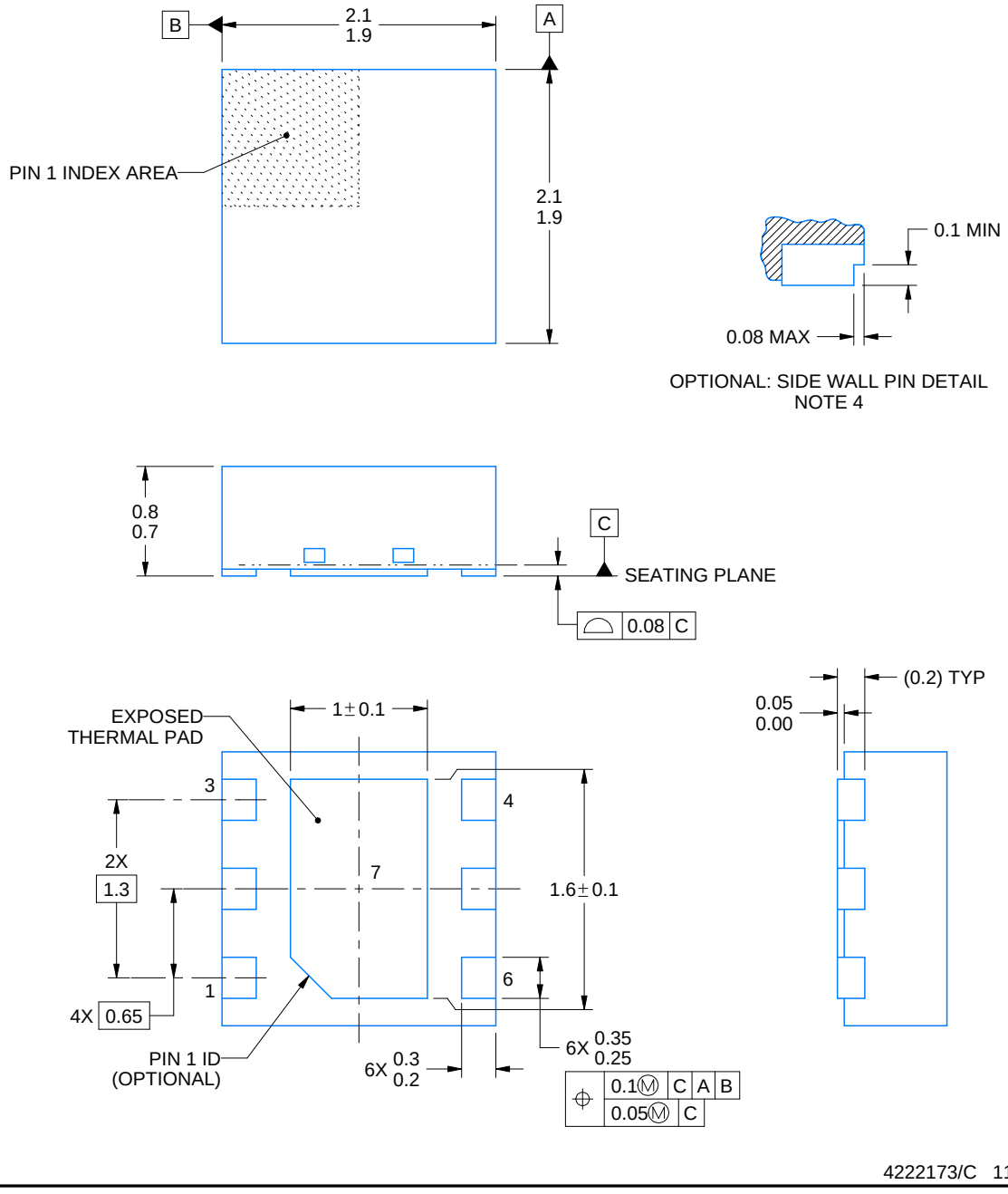
EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4225563/A 12/2019

NOTES: (continued)

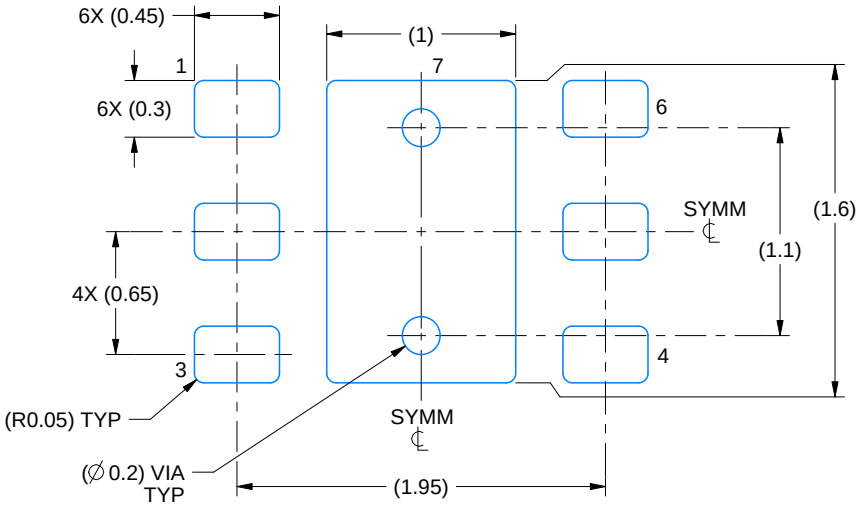
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PLASTIC SMALL OUTLINE - NO LEAD

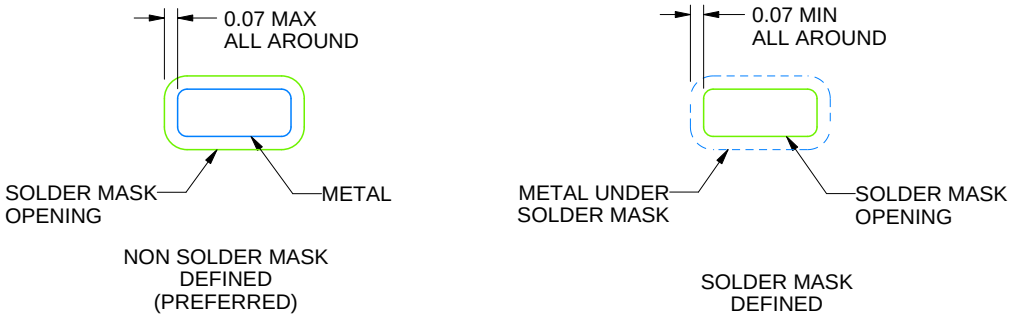


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
SCALE:25X

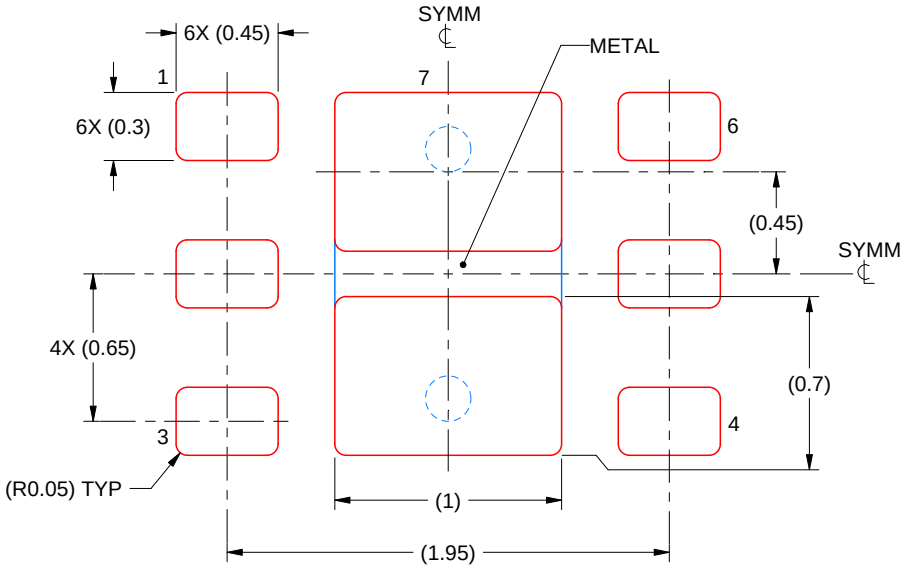


SOLDER MASK DETAILS

4222173/C 11/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD #7
88% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:30X

4222173/C 11/2025

NOTES: (continued)

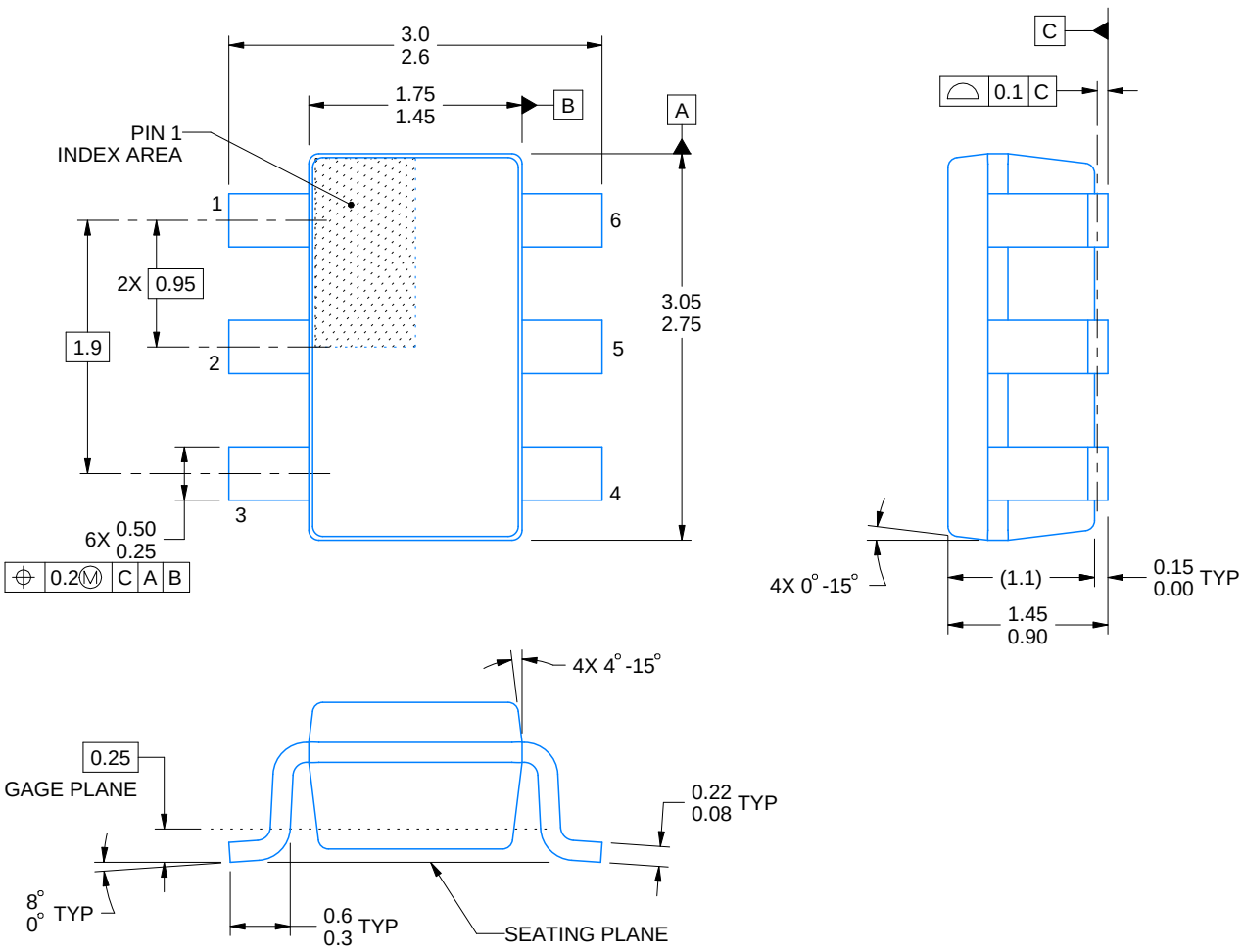
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

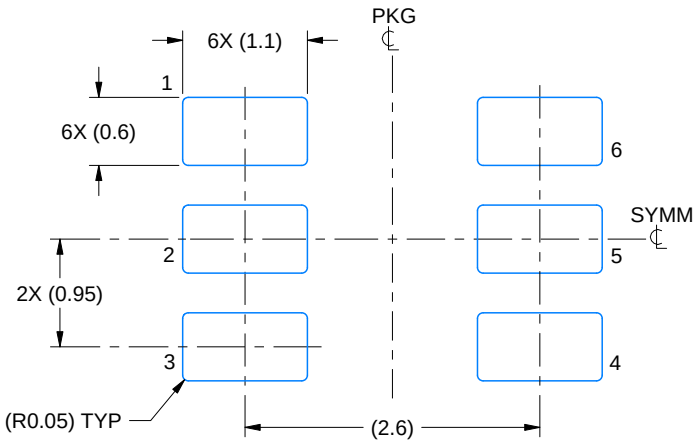
SMALL OUTLINE TRANSISTOR



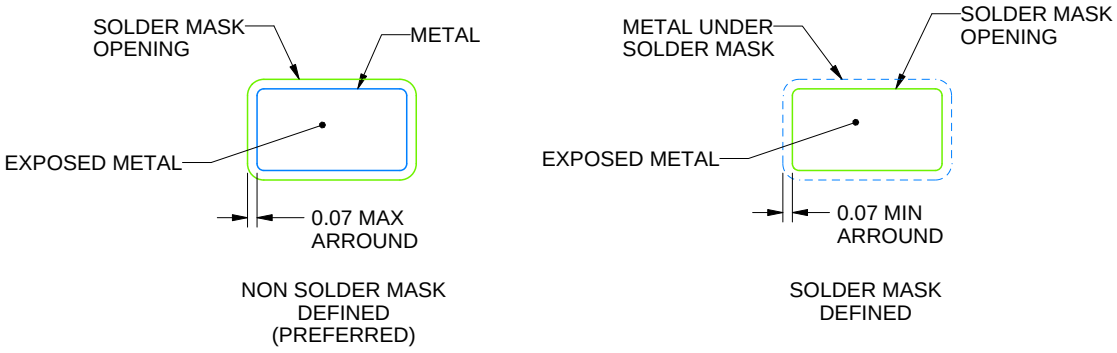
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

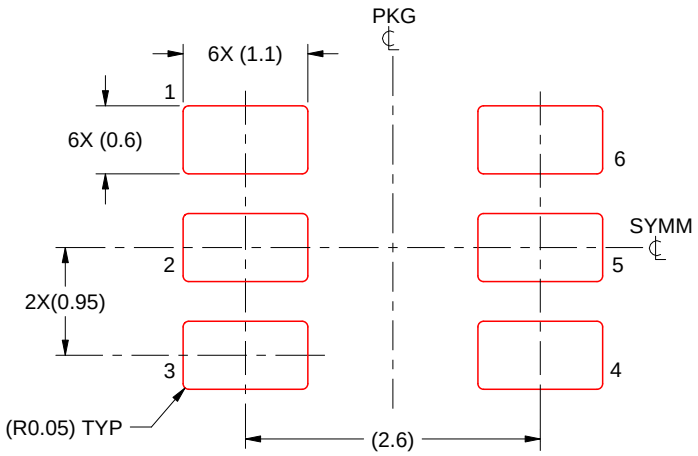


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月