

ISO1042 70V バス障害保護機能付き、フレキシブル データレート対応の用絶縁型 CAN トランシーバ

1 特長

- ISO 11898-2:2016 の物理層規格に適合
- 最大 1Mbps の Classic CAN、最大 5Mbps の FD (フレキシブル データレート) に対応
- Low ループ遅延: 152ns
- 保護機能
 - DC バス障害保護電圧: $\pm 70V$
 - バスピンの HBM ESD 耐性: $\pm 16kV$
 - ドライバ優先タイムアウト (TXD DTO)
 - V_{CC1} および V_{CC2} の低電圧保護機能
- 同相モード電圧範囲: $\pm 30V$
- 電源オフ時に理想的なパッシブかつハイインピーダンスになるバス端子
- 高 CMTI: 100kV/ μs
- V_{CC1} 電圧範囲: 1.71V ~ 5.5V
 - CAN コントローラとの 1.8V、2.5V、3.3V、5.0V ロジック インターフェイスをサポート
- V_{CC2} 電圧範囲: 4.5V ~ 5.5V
- 堅牢な電磁環境適合性 (EMC)
 - システム レベルでの ESD、EFT、サージ耐性
 - 低い放射
- 周囲温度範囲: $-40^{\circ}C \sim +125^{\circ}C$
- 16-SOIC および 8-SOIC パッケージ オプション
- 車載用バージョンを利用可能: [ISO1042-Q1](#)
- 安全関連認証:
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した 7071V_{PK} V_{IOTM} および 1500V_{PK} V_{IORM} (強化絶縁型 / 基本絶縁型)
 - UL 1577 に準拠した絶縁耐圧: 5000V_{RMS} (1 分間)
 - GB 4943.1、IEC 62368-1、IEC 60601-1 および IEC 61010-1 認証
 - CQC、TUV、CSA 認証

2 アプリケーション

- AC およびサーボドライブ
- 太陽光インバータ
- PLC および DCS 通信モジュール
- エレベータ / エスカレータ
- 産業用電源
- バッテリー充電 / 管理

3 説明

ISO1042 デバイスは、ISO11898-2 (2016) 規格に準拠したガルバニック絶縁 CAN (コントローラ エリア ネットワー

ク) トランシーバです。ISO1042 デバイスは、 $\pm 70V$ DC バスフォルト保護を搭載し、 $\pm 30V$ の同相電圧範囲に対応しています。CAN FD モードで最高 5Mbps のデータレートに対応しており、Classic CAN よりはるかに高速にペイロードを伝送できます。耐圧 5000V_{RMS} の二酸化ケイ素 (SiO₂) 絶縁膜を採用しており、1060V_{RMS} の動作電圧を実現しています。電磁環境適合性が大幅に強化されているため、システム レベルの ESD、EFT、サージ、放射の規格に準拠できます。絶縁型電源と組み合わせて使用すると、高電圧に対して保護するとともに、バスからのノイズ電流がローカル グランドに入り込むことを防止できます。ISO1042 デバイスには基本絶縁型と強化絶縁型があります (「[強化絶縁型と基本絶縁型のオプション](#)」を参照)。ISO1042 デバイスは、 $-40^{\circ}C \sim +125^{\circ}C$ の広い周囲温度範囲をサポートしています。このデバイスは、SOIC-16 (DW) パッケージと小型の SOIC-8 (DWV) パッケージで供給されます。

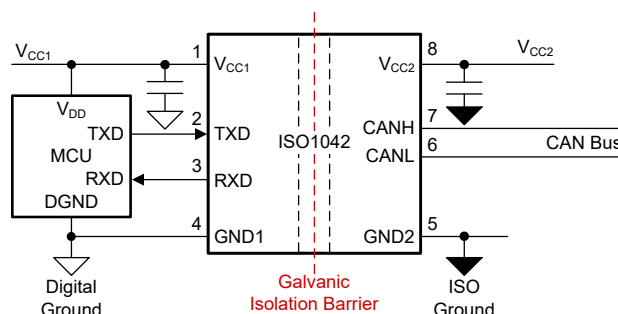
製品情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (公称)
ISO1042	DWV (SOIC、8)	5.85mm × 11.50mm	5.85mm × 7.50mm
	DW (SOIC、16)	10.30mm × 10.30mm	10.30mm × 7.50mm

- 詳細については、[Mechanical, Packaging, and Orderable Information](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

強化絶縁型と基本絶縁型のオプション

機能	ISO1042x	ISO1042Bx
保護レベル	強化	基本
サージ テスト電圧	10000V _{PK}	6000V _{PK}
定格絶縁電圧	5000V _{RMS}	5000V _{RMS}
動作電圧	1060V _{RMS} / 1500V _{PK}	1060V _{RMS} / 1500V _{PK}



アプリケーション図



目次

1 特長.....	1	7.1 概要.....	19
2 アプリケーション.....	1	7.2 機能ブロック図.....	19
3 説明.....	1	7.3 機能説明.....	19
4 ピン構成および機能.....	2	7.4 デバイスの機能モード.....	23
5 仕様.....	5	8 アプリケーションと実装.....	24
5.1 絶対最大定格.....	5	8.1 使用上の注意.....	24
5.2 ESD 定格.....	5	8.2 代表的なアプリケーション.....	24
5.3 過渡耐性.....	5	8.3 DeviceNet アプリケーション.....	28
5.4 推奨動作条件.....	5	8.4 電源に関する推奨事項.....	28
5.5 熱に関する情報.....	6	8.5 レイアウト.....	28
5.6 電力定格.....	6	9 デバイスおよびドキュメントのサポート.....	31
5.7 絶縁仕様.....	7	9.1 ドキュメントのサポート.....	31
5.8 安全関連認証.....	8	9.2 ドキュメントの更新通知を受け取る方法.....	31
5.9 安全限界値.....	8	9.3 サポート・リソース.....	31
5.10 電気的特性 - DC 仕様.....	9	9.4 商標.....	31
5.11 スwitchング特性.....	11	9.5 静電気放電に関する注意事項.....	31
5.12 絶縁特性曲線.....	12	9.6 用語集.....	31
5.13 代表的特性.....	13	10 改訂履歴.....	31
6 パラメータ測定情報.....	15	11 Mechanical, Packaging, and Orderable Information.....	32
6.1 テスト回路.....	15		
7 詳細説明.....	19		

4 ピン構成および機能

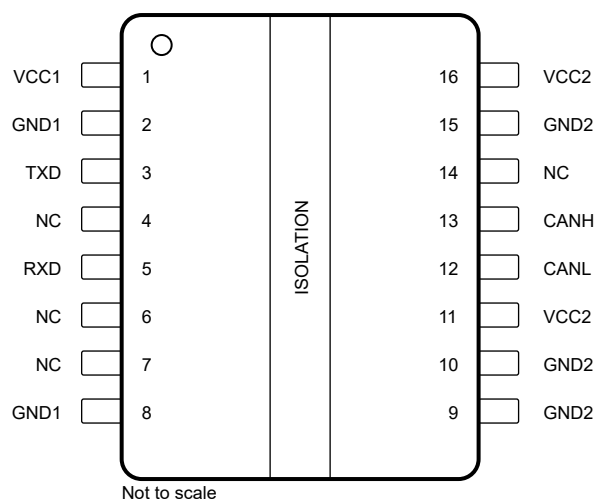


図 4-1. DW パッケージ 16 ピン SOIC 上面図

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	V _{CC1}	—	デジタル側電源電圧、サイド 1
2	GND1	—	デジタル側グラウンド接続、サイド 1
3	TXD	I	CAN 送信データ入力 (ドミナント・バス状態の場合は Low、リセッスブ バス状態の場合は High)
4	NC	—	未接続
5	RXD	O	CAN 受信データ出力 (ドミナント・バス状態の場合は Low、リセッスブ バス状態の場合は High)
6	NC	—	未接続

ピン		タイプ ⁽¹⁾	説明
番号	名称		
7	NC	—	未接続
8	GND1	—	デジタル側グランド接続、サイド 1
9	GND2	—	トランシーバ側グランド接続、サイド 2
10			
11	V _{CC2}	—	トランシーバ側電源電圧、サイド 2。ピン 16 に外部で接続する必要があります。
12	CANL	I/O	Low レベル CAN バス ライン
13	CANH	I/O	High レベル CAN バス・ライン
14	NC	—	未接続
15	GND2	—	トランシーバ側グランド接続、サイド 2
16	V _{CC2}	—	トランシーバ側電源電圧、サイド 2。ピン 11 に外部で接続する必要があります。

(1) I = 入力、O = 出力; I/O = 入力または出力

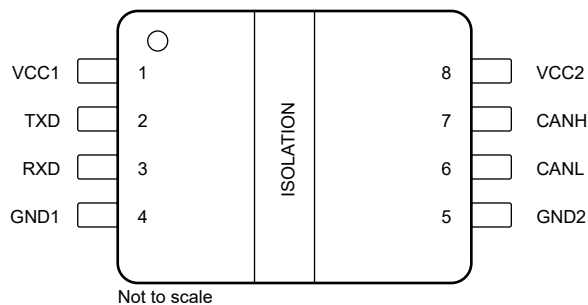


図 4-2. DWV パッケージ 8 ピン SOIC 上面図

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	V _{CC1}	—	デジタル側電源電圧、サイド 1
2	TXD	I	CAN 送信データ入力 (ドミナント・バス状態の場合は Low、リセッスブ バス状態の場合は High)
3	RXD	O	CAN 受信データ出力 (ドミナント・バス状態の場合は Low、リセッスブ バス状態の場合は High)
4	GND1	—	デジタル側グランド接続、サイド 1
5	GND2	—	トランシーバ側グランド接続、サイド 2
6	CANL	I/O	Low レベル CAN バスライン
7	CANH	I/O	High レベル CAN バスライン
8	V _{CC2}	—	トランシーバ側電源電圧、サイド 2

(1) I = 入力、O = 出力; I/O = 入力または出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V _{CC1}	電源電圧、サイド 1	-0.5	6	V
V _{CC2}	電源電圧、サイド 2	-0.5	6	V
V _{IO}	ロジック入出力電圧範囲 (TXD および RXD)	-0.5	V _{CC1} + 0.5 ⁽³⁾	V
I _O	RXD ピンの出力電流	-15	15	mA
V _{BUS}	バス ピン (CANH、CANL) の電圧	-70	70	V
V _{BUS_DIFF}	バス ピン (CANH-CANL) の差動電圧	-70	70	V
T _J	接合部温度	-40	150	°C
T _{STG}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。
- (3) 最大電圧は 6V 以下である必要があります

5.2 ESD 定格

			値	単位
V _(ESD)	静電気放電 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	すべてのピン ⁽¹⁾	±6000	V
		CANH、CANL から GND2 への接続 ⁽¹⁾	±16000	V
	静電気放電 デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	すべてのピン ⁽²⁾	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 過渡耐性

パラメータ	テスト条件	値	単位
V _{PULSE}	パルス 1、CAN バス端子 (CANH、CANL) から GND2 へ	-100	V
	パルス 2、CAN バス端子 (CANH、CANL) から GND2 へ	75	V
	パルス 3a、CAN バス端子 (CANH、CANL) から GND2 へ	-150	V
	パルス 3b、CAN バス端子 (CANH、CANL) から GND2 へ	100	V

5.4 推奨動作条件

		最小値	最大値	単位
V _{CC1}	電源電圧、サイド 1、1.8V 動作	1.71	1.89	V
	電源電圧、サイド 1、2.5V、3.3V、5.5V 動作	2.25	5.5	V
V _{CC2}	電源電圧、サイド 2	4.5	5.5	V
T _A	動作時周囲温度	-40	125	°C

5.5 熱に関する情報

熱評価基準 ⁽¹⁾		ISO1042		単位
		DW (SOIC)	DWV (SOIC)	
		16 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	69.9	100	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	31.8	40.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	29.0	51.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	13.2	16.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	28.6	49.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	-	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.6 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両サイド)	図 6-3 を参照、 $V_{CC1} = V_{CC2} = 5.5V$ 、 $T_J = 150^\circ C$ 、 $R_L = 50\Omega$ 、TXD で 1ms 周期の反復パターン、990 μs の LOW 時間、10 μs の HIGH 時間。			385	mW
P_{D1}	最大消費電力 (サイド 1)	図 6-5 を参照、 $V_{CC1} = V_{CC2} = 5.5V$ 、 $T_J = 150^\circ C$ 、 $R_L = 50\Omega$ 、CANH-CANL に 2V pk-pk 2.5MHz 50% デューティ サイクルの差動方波形を入力			25	mW
P_{D2}	最大消費電力 (サイド 2)	図 6-3 を参照、 $V_{CC1} = V_{CC2} = 5.5V$ 、 $T_J = 150^\circ C$ 、 $R_L = 50\Omega$ 、TXD で 1ms 周期の反復パターン、990 μs の LOW 時間、10 μs の HIGH 時間。			360	mW

5.7 絶縁仕様

パラメータ		テスト条件	仕様		単位
			DW-16	DWV-8	
IEC 60664-1					
CLR	外部空間距離 ⁽¹⁾	空気を通したサイド 1 とサイド 2 の距離	>8.15	>8.5	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面上でのサイド 1 とサイド 2 の距離	>8.15	>8.5	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	>17	μm
CTI	比較トラッキング インデックス	IEC 60112、UL 746A	>600	>600	V
	材料グループ	IEC 60664-1 に準拠	I	I	
	過電圧カテゴリ	定格商用電源 V _{RMS} が 600V 以下	I-IV	I-IV	
		定格商用電源 V _{RMS} が 1000V 以下	I-III	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾					
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1500	1500	V _{PK}
V _{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDb) テスト	1060	1060	V _{RMS}
		DC 電圧	2121	2121	V _{DC}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、t = 60s (認定)、V _{TEST} = 1.2 × V _{IOTM} 、t = 1s (100% 出荷時テスト)	7071	7071	V _{PK}
V _{IOSM}	最大サージ絶縁電圧 ISO1042 ⁽³⁾	IEC 62368-1 に準拠したテスト方法、1.2/50μs 波形	10000	10000	V _{PK}
	最大サージ絶縁電圧 ISO1042B ⁽³⁾	IEC 62368-1 に準拠したテスト方法、1.2/50μs 波形	6000	6000	V _{PK}
q _{pd}	見掛けの電荷 ⁽⁴⁾	方法 a: I/O 安全テスト サブグループ 2/3 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、ISO1042: V _{pd(m)} = 1.6 × V _{IORM} 、t _m = 10s ISO1042B: V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	≤ 5	
		ルーチン テスト (100% 出荷時テスト)、方法 b1: V _{ini} = 1.2 × V _{IOTM} 、t _{ini} = 1s、ISO1042: V _{pd(m)} = 1.875 × V _{IORM} 、t _m = 1s ISO1042B: V _{pd(m)} = 1.5 × V _{IORM} 、t _m = 1s、または方法 b2: V _{pd(m)} = V _{ini} 、t _m = t _{ini}	≤ 5	≤ 5	
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	V _{IO} = 0.4 × sin (2πft)、f = 1MHz	1	1	pF
R _{IO}	絶縁抵抗、入力から出力へ ⁽⁵⁾	V _{IO} = 500V、T _A = 25°C	> 10 ¹²	> 10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 150°C時)	> 10 ¹¹	> 10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	> 10 ⁹	> 10 ⁹	
	汚染度		2	2	
	耐候性カテゴリ		40/125/21	40/125/21	
UL 1577					
V _{ISO}	絶縁耐圧	V _{TEST} = V _{ISO} 、t = 60s (認定)、V _{TEST} = 1.2 × V _{ISO} 、t = 1s (100% 出荷時テスト)	5000	5000	V _{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。

- (2) ISO1042 は安全な電氣的絶縁に適しており、ISO1042B は安全定格内のみでの基礎絶縁用に設計されています。安全定格への準拠は、設計された保護回路によって保証する必要があります。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.8 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 61010-1, IEC 62368-1, IEC 60601-1 による認証	UL 1577 部品認定プログラムの認定	GB 4943.1 に従う認証	EN 61010-1 および EN 62368-1 による認証
認証: 強化絶縁: 40040142 基本絶縁: 40047657	マスタ契約書番号: 220991	ファイル番号: E181974	認証: CQC15001121716 (DW-16) CQC18001199096 (DWV-8)	顧客 ID 番号: 77311

5.9 安全限界値

安全限界値 ⁽¹⁾ の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DW-16 パッケージ						
I _S	安全入力、出力、または電源電流	R _{θJA} = 69.9°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C, 図 5-1 を参照			325	mA
		R _{θJA} = 69.9°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 図 5-1 を参照			496	
		R _{θJA} = 69.9°C/W, V _I = 2.75V, T _J = 150°C, T _A = 25°C, 図 5-1 を参照			650	
		R _{θJA} = 69.9°C/W, V _I = 1.89V, T _J = 150°C, T _A = 25°C, 図 5-1 を参照			946	
P _S	安全入力、出力、または合計電力	R _{θJA} = 69.9°C/W, T _J = 150°C, T _A = 25°C, 図 5-3 を参照			1788	mW
T _S	最高安全温度				150	°C
DWV-8 パッケージ						
I _S	安全入力、出力、または電源電流	R _{θJA} = 100°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C, 図 5-2 を参照			227	mA
		R _{θJA} = 100°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 図 5-2 を参照			347	
		R _{θJA} = 100°C/W, V _I = 2.75V, T _J = 150°C, T _A = 25°C, 図 5-2 を参照			454	
		R _{θJA} = 100°C/W, V _I = 1.89V, T _J = 150°C, T _A = 25°C, 図 5-2 を参照			661	
P _S	安全入力、出力、または合計電力	R _{θJA} = 100°C/W, T _J = 150°C, T _A = 25°C, 図 5-4 を参照			1250	mW
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。表にある接合部から空気への熱抵抗 R_{θJA} は、リード付き表面実装パッケージ向けの High-K テストボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。
- $T_J = T_A + R_{\theta JA} \times P$, ここで P は本デバイスで消費される電力です。
- $T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$, ここで T_{J(max)} は最大許容接合部温度です。
- $P_S = I_S \times V_I$, ここで V_I は最大入力電圧です。

5.10 電気的特性 - DC 仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源の特性						
I _{CC1}	サイド 1 電源電流	V _{CC1} = 1.71V ~ 1.89V、TXD = 0V、バスドミナント	2.3	3.5		mA
		V _{CC1} = 2.25V ~ 5.5V、TXD = 0V、バスドミナント	2.4	3.5		mA
		V _{CC1} = 1.71V ~ 1.89V、TXD = V _{CC1} 、バスリセッシブ	1.2	2.1		mA
		V _{CC1} = 2.25V ~ 5.5V、TXD = V _{CC1} 、バスリセッシブ	1.3	2.1		mA
I _{CC2}	サイド 2 電源電流	TXD = 0V、バスドミナント、R _L = 60Ω	43	73.4		mA
		TXD = V _{CC1} 、バスリセッシブ、R _L = 60Ω	2.8	4.1		mA
UV _{VCC1}	上昇低電圧検出、サイド 1				1.7	V
UV _{VCC1}	下降低電圧検出、サイド 1		1.0			V
V _{HYS(UVC1)}	V _{CC1} 低電圧ロックアウトのヒステリシス電圧		75	125		mV
UV _{VCC2}	上昇低電圧検出、サイド 2			4.2	4.45	V
UV _{VCC2}	下降低電圧検出、サイド 2		3.8	4.0	4.25	V
V _{HYS(UVC2)}	V _{CC2} 低電圧ロックアウトのヒステリシス電圧			200		mV
TXD 端子						
V _{IH}	High レベル入力電圧		0.7 × V _{CC1}			V
V _{IL}	Low レベル入力電圧				0.3 × V _{CC1}	V
I _{IH}	High レベル入力リーク電流	TXD = V _{CC1}			1	μA
I _{IL}	Low レベル入力リーク電流	TXD = 0V	-20			μA
C _i	入力容量	V _{IN} = 0.4x sin(2 × π × 1E+6x t) + 2.5V、V _{CC1} = 5V		3		pF
RXD 端子						
V _{OH} - V _{CC1}	High レベル出力電圧	図 6-4 を参照、I _O = -4mA (4.5V ≤ V _{CC1} ≤ 5.5V の場合)	-0.4	-0.2		V
		図 6-4 を参照、I _O = -2mA (3.0V ≤ V _{CC1} ≤ 3.6V の場合)	-0.2	-0.07		V
		図 6-4 を参照、I _O = -1mA (2.25V ≤ V _{CC1} ≤ 2.75V の場合)	-0.1	-0.04		V
		図 6-4 を参照、I _O = -1mA (1.71V ≤ V _{CC1} ≤ 1.89V の場合)	-0.1	-0.045		V
V _{OL}	Low レベル出力電圧	図 6-4 を参照、I _O = 4mA (4.5V ≤ V _{CC1} ≤ 5.5V の場合)		0.2	0.4	V
		図 6-4 を参照、I _O = 2mA (3.0V ≤ V _{CC1} ≤ 3.6V の場合)		0.07	0.2	V
		図 6-4 を参照、I _O = 1mA (2.25V ≤ V _{CC1} ≤ 2.75V の場合)		0.035	0.1	V
		図 6-4 を参照、I _O = 1mA (1.71V ≤ V _{CC1} ≤ 1.89V の場合)		0.04	0.1	V
ドライバの電気的特性						

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{O(DOM)}	バス出力電圧 (ドミナント)、CANH	図 6-1 および図 6-2 を参照、TXD = 0V、 $50\Omega \leq R_L \leq 65\Omega$ 、C _L = オープン	2.75		4.5	V
	バス出力電圧 (ドミナント)、CANL	図 6-1 および図 6-2 を参照、TXD = 0V、 $50\Omega \leq R_L \leq 65\Omega$ 、C _L = オープン	0.5		2.25	V
V _{O(REC)}	バス出力電圧 (リセッパ)、CANH、CANL	図 6-1 および図 6-2 を参照、TXD = V _{CC1} 、R _L = オープン	2.0	0.5 × V _{CC2}	3.0	V
V _{OD(DOM)}	差動出力電圧、CANH-CANL (ドミナント)	図 6-1 および図 6-2 を参照、TXD = 0V、 $45\Omega \leq R_L \leq 50\Omega$ 、C _L = オープン	1.4		3.0	V
	差動出力電圧、CANH-CANL (ドミナント)	図 6-1 および図 6-2 を参照、TXD = 0V、 $50\Omega \leq R_L \leq 65\Omega$ 、C _L = オープン	1.5		3.0	V
	差動出力電圧、CANH-CANL (ドミナント)	図 6-1 および図 6-2 を参照、TXD = 0V、R _L = 2240Ω、C _L = オープン	1.5		5.0	V
V _{OD(REC)}	差動出力電圧、CANH-CANL (リセッパ)	図 6-1 および図 6-2 を参照、TXD = V _{CC1} 、R _L = 60Ω、C _L = オープン	-120.0		12.0	mV
	差動出力電圧、CANH-CANL (リセッパ)	図 6-1 および図 6-2 を参照、TXD = V _{CC1} 、R _L = オープン、C _L = オープン	-50.0		50.0	mV
V _{SYM_DC}	DC 出力対称 (V _{CC2} - V _{O(CANH)} - V _{O(CANL)})	図 6-1 および図 6-2 を参照、R _L = 60Ω、C _L = オープン、TXD = V _{CC1} または 0V	-400.0		400.0	mV
I _{SO(SS_DO M)}	短絡電流定常状態出力電流、ドミナント	図 6-9 を参照、V _{CANH} = -5V ~ 40V、CANL = オープン、TXD = 0V	-100.0			mA
		図 6-9 を参照、V _{CANL} = -5V ~ 40V、CANH = オープン、TXD = 0V			100.0	mA
I _{SO(SS_REC)}	短絡電流定常状態出力電流、リセッパ	図 6-9 を参照、-27V ≤ V _{BUS} ≤ 32V、V _{BUS} = CANH = CANL、TXD = V _{CC1}	-5.0		5.0	mA
レシーバの電気的特性						
V _{IT}	差動入力スレッショルド電圧	図 6-4 および表 6-1 を参照、 V _{CM} ≤ 20V	500.0		900.0	mV
	差動入力スレッショルド電圧	図 6-4 および表 6-1 を参照、20V ≤ V _{CM} ≤ 30V	400.0		1000.0	
V _{HYS}	差動入力スレッショルドのヒステリシス電圧	図 6-4 および表 6-1 を参照		120		
V _{CM}	入力同相範囲	図 6-4 および表 6-1 を参照	-30.0		30.0	V
I _{OFF(LKG)}	電源オフ バス入力リーク電流	CANH = CANL = 5V、V _{CC2} 、0Ω と 47kΩ 抵抗を介して GND に接続			4.8	μA
C _I	グラウンドに対する入力容量 (CANH または CANL)	TXD = V _{CC1}		24.0	30	pF
C _{ID}	差動入力キャパシタンス (CANH-CANL)	TXD = V _{CC1}		12.0	15	pF
R _{ID}	差動入力抵抗	TXD = V _{CC1} 、-30V ≤ V _{CM} ≤ +30V	30.0		80.0	kΩ
R _{IN}	入力抵抗 (CANH または CANL)	TXD = V _{CC1} 、-30V ≤ V _{CM} ≤ +30V	15.0		40.0	kΩ
R _{IN(M)}	入力抵抗マッチング: (1 - R _{IN(CANH)} / R _{IN(CANL)}) × 100%	V _{CANH} = V _{CANL} = 5V	-2.0		2.0	%
サーマル シャットダウン						
T _{TSD}	サーマル シャットダウン温度			170		°C
T _{TSD_HYST}	サーマル シャットダウン ヒステリシス			5		°C

5.11 スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デバイスのスイッチング特性						
t _{PROP(LOOP1)}	合計ループ遅延、ドライバ入力 TXD からレシーバ RXD まで、リセッспからドミナントまで	図 6-6 を参照、R _L = 60Ω、C _L = 100pF、C _{L(RXD)} = 15pF、TXD = 1ns での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)、1.71V ≤ V _{CC1} ≤ 1.89V	70	125	198.0	ns
		図 6-6 を参照、R _L = 60Ω、C _L = 100pF、C _{L(RXD)} = 15pF、TXD = 1ns での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)、2.25V ≤ V _{CC1} ≤ 5.5V	70	122	192.0	ns
t _{PROP(LOOP2)}	合計ループ遅延、ドライバ入力 TXD からレシーバ RXD まで、ドミナントからリセッспまで	図 6-6 を参照、R _L = 60Ω、C _L = 100pF、C _{L(RXD)} = 15pF、TXD = 1ns での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)、1.71V ≤ V _{CC1} ≤ 1.89V	70	155	215.0	ns
		図 6-6 を参照、R _L = 60Ω、C _L = 100pF、C _{L(RXD)} = 15pF、TXD = 1ns での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)、2.25V ≤ V _{CC1} ≤ 5.5V	70	152	215.0	ns
t _{UV_RE_EN ABLE}	低電圧イベント後の再有効化時間	V _{CC1} または V _{CC2} 低電圧イベントからデバイスが通常動作に戻るまでの時間			300.0	μs
CMTI	同相過渡耐性	V _{CM} = 1200V _{PK} 、図 6-10 を参照	85	100		kV/μs
ドライバのスイッチング特性						
t _{pHR}	伝搬遅延時間、High TXD からドライバまで	図 6-3 を参照、R _L = 60Ω および C _L = 100pF、TXD = 1ns での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)		76	120	ns
t _{pLD}	伝搬遅延時間、Low TXD からドライバドミナントまで			61	120	
t _{sk(p)}	パルススキュー (t _{pHR} - t _{pLD})			14		
t _R	差動出力信号の立ち上がり時間			45		
t _F	差動出力信号の立ち下がり時間			45		
V _{SYM}	出力対称性 (ドミナントまたはリセッсп) (V _{O(CANH)} + V _{O(CANL)}) / V _{CC2}	図 6-3 および図 8-4 を参照、R _{TERM} = 60Ω、C _{SPLIT} = 4.7nF、C _L = オープン、R _L = オープン、TXD = 250kHz、1MHz	0.9		1.1	V/V
t _{TXD_DTO}	ドミナント タイムアウト	図 6-8 を参照、R _L = 60Ω および C _L = オープン	1.2		3.8	ms
レシーバのスイッチング特性						
t _{pRH}	伝搬遅延時間、バスリセッсп入力から RXD HIGH 出力まで	図 6-5 を参照、C _{L(RXD)} = 15pF		75	130	ns
t _{pDL}	伝搬遅延時間、バスドミナント入力から RXD Low 出力まで			63	130	ns
t _R	出力信号の立ち上がり時間 (RXD)			1.4		ns
t _F	出力信号の立ち下がり時間 (RXD)			1.8		ns
FD のタイミング パラメータ						
t _{BIT(BUS)}	t _{BIT(TXD)} = 500ns の CAN バス出力ピンのビット時間	図 6-7 を参照、R _L = 60Ω、C _L = 100pF、C _{L(RXD)} = 15pF、TXD = 1ns での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)	435.0		530.0	ns
	t _{BIT(TXD)} = 200ns の CAN バス出力ピンのビット時間	図 6-7 を参照、R _L = 60Ω、C _L = 100pF、C _{L(RXD)} = 15pF、TXD = 1ns での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)	155.0		210.0	ns

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{\text{BIT(RXD)}}$	$t_{\text{BIT(TXD)}} = 500\text{ns}$ の RXD 出力ピンのビット時間	図 6-7 を参照、 $R_L = 60\Omega$ 、 $C_L = 100\text{pF}$ 、 $C_{L(\text{RXD})} = 15\text{pF}$ 、 $\text{TXD} = 1\text{ns}$ での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)	400		550.0	ns
	$t_{\text{BIT(TXD)}} = 200\text{ns}$ の RXD 出力ピンのビット時間	図 6-7 を参照、 $R_L = 60\Omega$ 、 $C_L = 100\text{pF}$ 、 $C_{L(\text{RXD})} = 15\text{pF}$ 、 $\text{TXD} = 1\text{ns}$ での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)	120.0		220.0	ns
Δt_{REC}	レシーバのタイミングの対称性、 $t_{\text{BIT(TXD)}} = 500\text{ns}$	図 6-7 を参照、 $R_L = 60\Omega$ 、 $C_L = 100\text{pF}$ 、 $C_{L(\text{RXD})} = 15\text{pF}$ 、 $\text{TXD} = 1\text{ns}$ での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)、 $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	-65.0		40.0	ns
	レシーバのタイミングの対称性、 $t_{\text{BIT(TXD)}} = 200\text{ns}$	図 6-7 を参照、 $R_L = 60\Omega$ 、 $C_L = 100\text{pF}$ 、 $C_{L(\text{RXD})} = 15\text{pF}$ 、 $\text{TXD} = 1\text{ns}$ での入力立ち上がり / 立ち下がり時間 (10% ~ 90%)、 $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	-45.0		15.0	ns

5.12 絶縁特性曲線

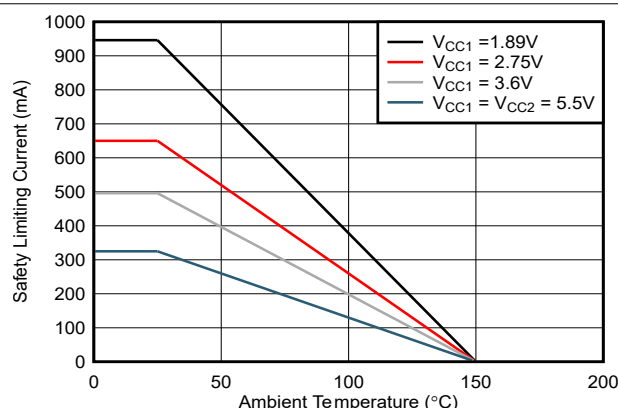


図 5-1. DW-16 パッケージの VDE に従う制限電流の熱特性低下曲線

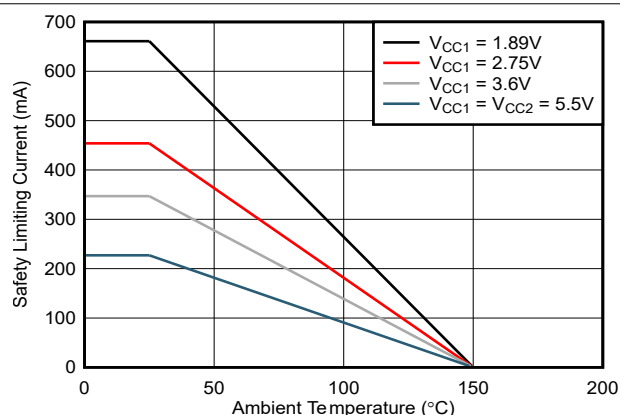


図 5-2. DWV-8 パッケージの VDE に従う制限電流の熱特性低下曲線

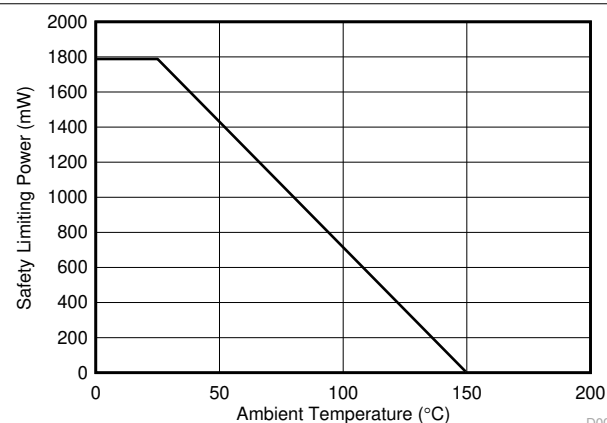


図 5-3. DW-16 パッケージの VDE に従う制限電力の熱特性低下曲線

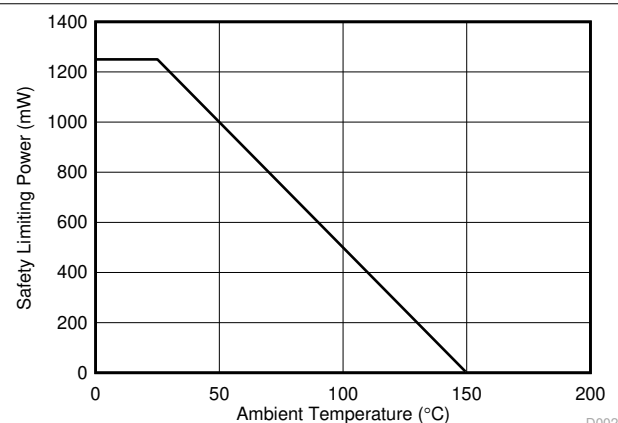


図 5-4. DWV-8 パッケージの VDE に従う制限電力の熱特性低下曲線

5.13 代表的特性

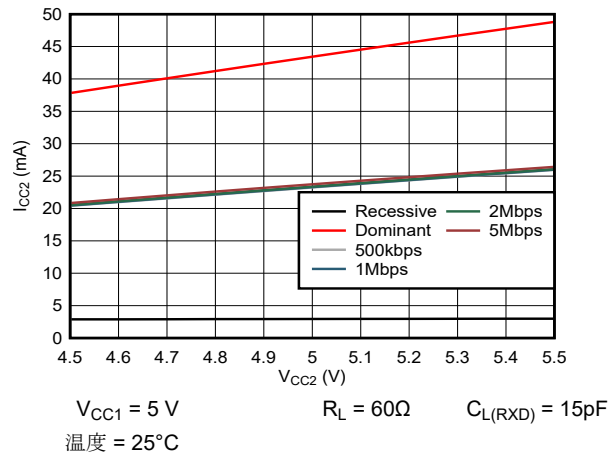


図 5-5. リセッシブ、ドミナント、異なる CAN データレートでの I_{CC2} と V_{CC2} との関係

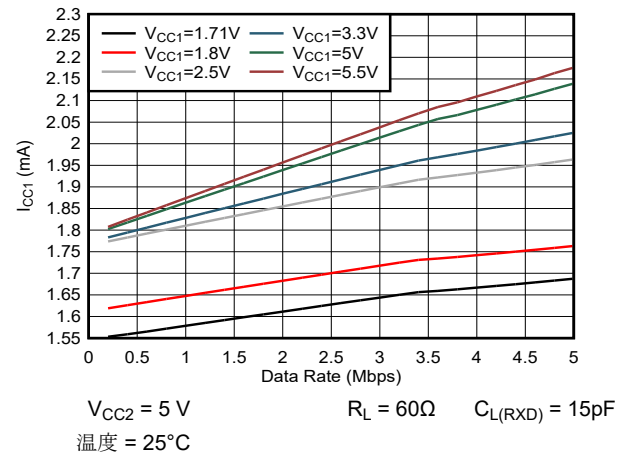


図 5-6. I_{CC1} とデータ レートとの関係

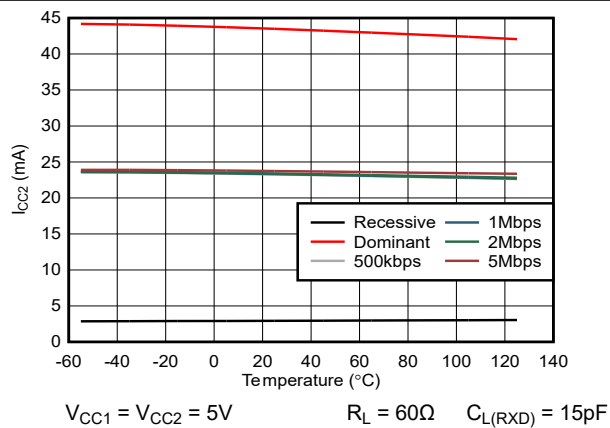


図 5-7. リセッシブ、ドミナント、異なる CAN データレートでの I_{CC2} と周囲温度との関係

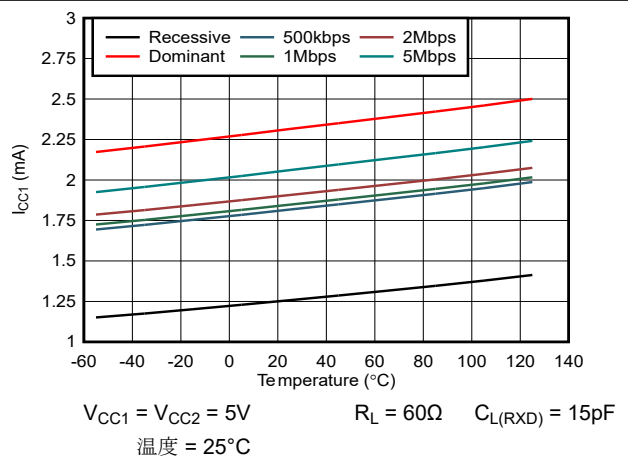


図 5-8. : リセッシブ、ドミナント、異なる CAN データレートでの I_{CC1} と周囲温度との関係

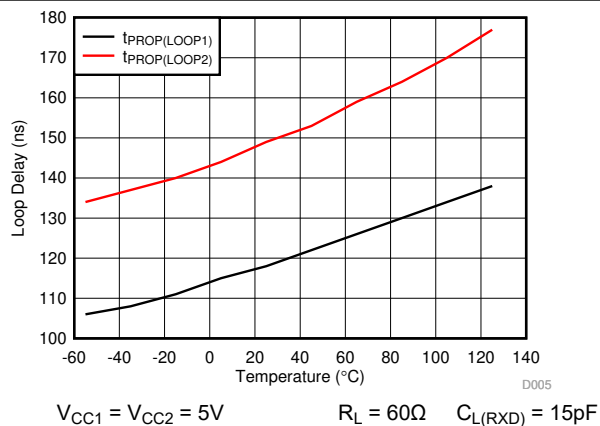


図 5-9. ループ遅延と周囲温度との関係

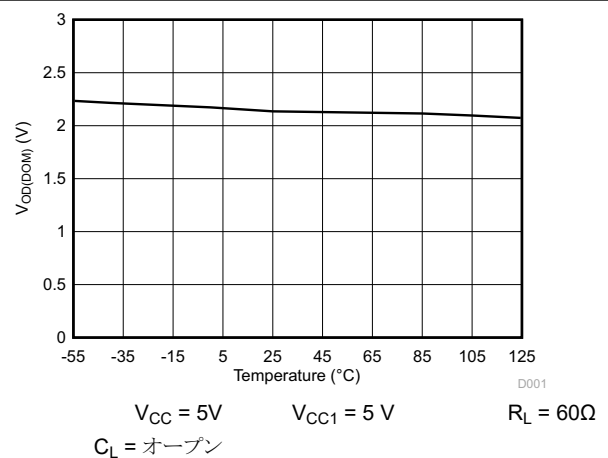
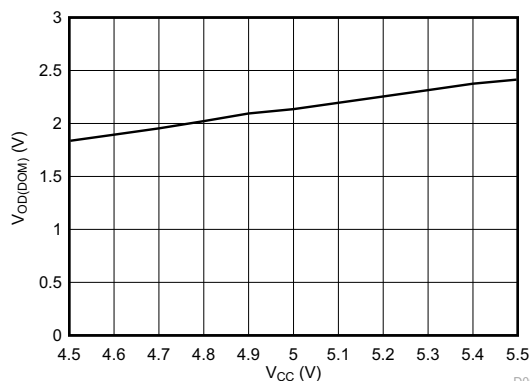


図 5-10. $V_{OD(DOM)}$ と温度の関係

 $V_{CC1} = 5\text{ V}$ $C_L = \text{オープン}$ $R_L = 60\Omega$

温度 = 25°C

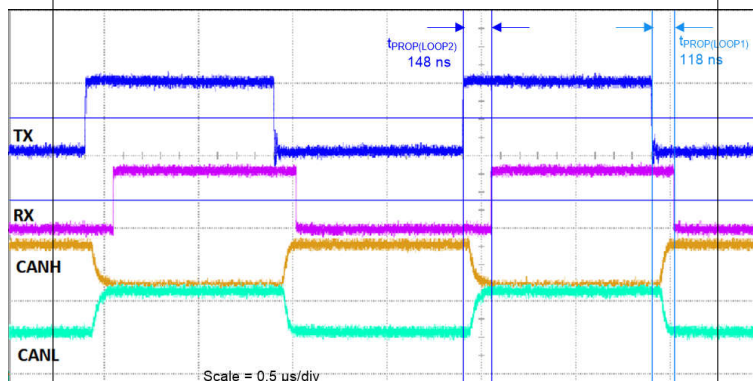
図 5-11. $V_{OD(DOM)}$ と V_{CC} の関係 $V_{CC1} = V_{CC2} = 5\text{ V}$ $C_L(RXD) = 15\text{ pF}$ $R_L = 60\Omega$ $C_L = 100\text{ pF}$

図 5-12. 1Mbps における TXD、RXD、CANH および CANL の標準波形

TXD = V_{CC1} $R_L = 60\Omega$ $V_{CC1} = V_{CC2} = 5\text{ V}$ 図 5-13. V_{CC1} 電源投入時のグリッチフリー - CAN バスはリセッチップを保持TXD = V_{CC1} $R_L = 60\Omega$ $V_{CC1} = V_{CC2} = 5\text{ V}$ 図 5-14. V_{CC2} 電源投入時のグリッチフリー - CAN バスはリセッチップを保持

6 パラメータ測定情報

6.1 テスト回路

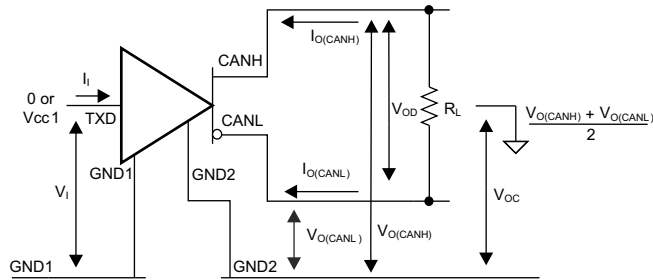


図 6-1. ドライバの電圧、電流、テストの定義

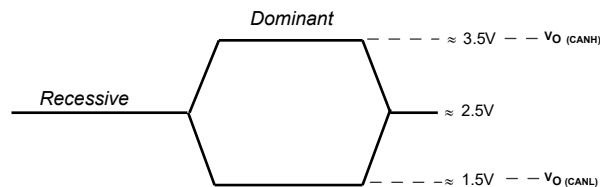
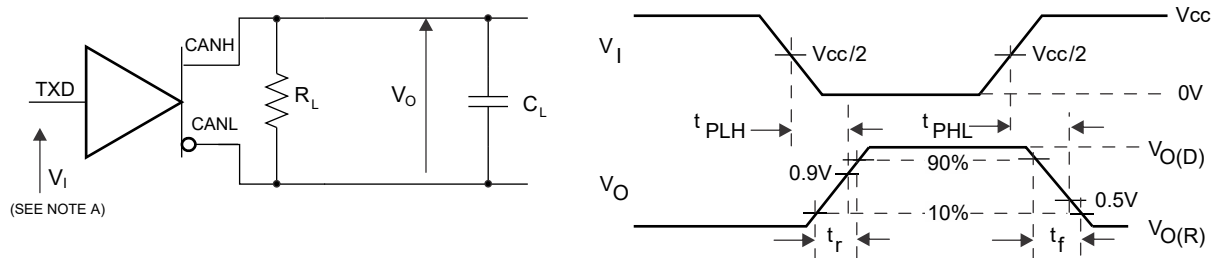


図 6-2. バス ロジック状態の電圧の定義



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 125kHz、50% デューティ サイクル、 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_0 = 50\Omega$ 。

図 6-3. ドライバテスト回路と電圧波形

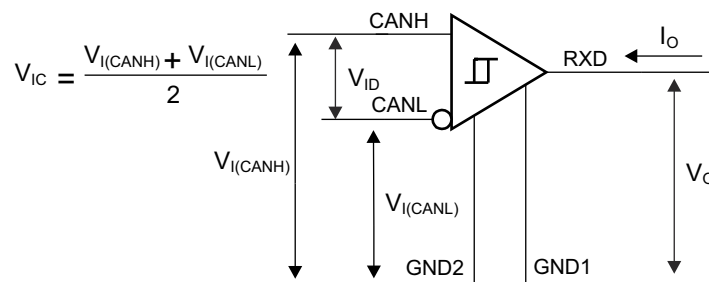
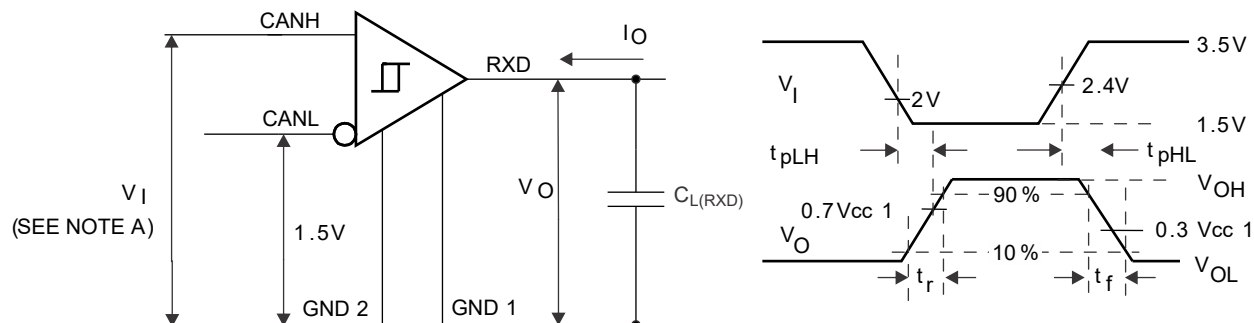


図 6-4. レシーバの電圧および電流の定義



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 125kHz、50% デューティ サイクル、 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_0 = 50\Omega$ 。

図 6-5. レシーバテスト回路と電圧波形

表 6-1. レシーバ差動入力電圧スレッショルドテスト

入力			出力	
V_{CANH}	V_{CANL}	$ V_{ID} $	RXD	
-29.5V	-30.5V	1000mV	L	V_{OL}
30.5V	29.5V	1000mV	L	
-19.55V	-20.45V	900mV	L	
20.45V	19.55V	900mV	L	
-19.75V	-20.25V	500mV	H	V_{OH}
20.25V	19.75V	500mV	H	
-29.8V	-30.2V	400mV	H	
30.2V	29.8V	400mV	H	
オープン	オープン	X	H	

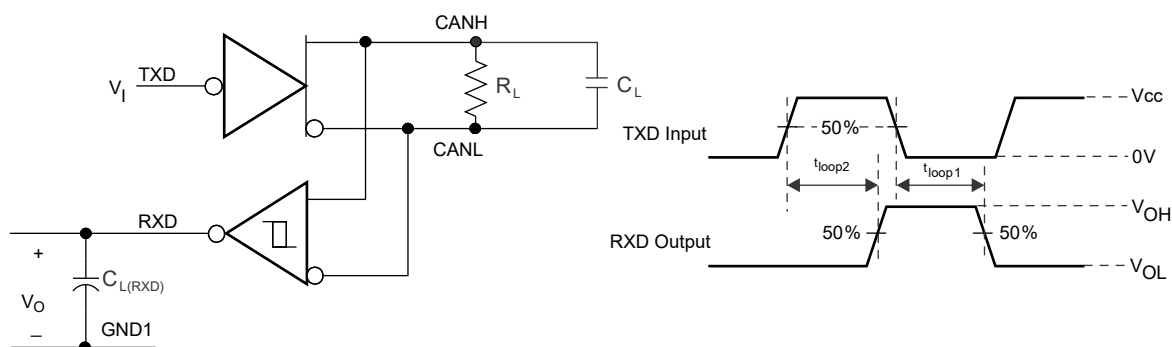


図 6-6. t_{LOOP} テスト回路と電圧波形

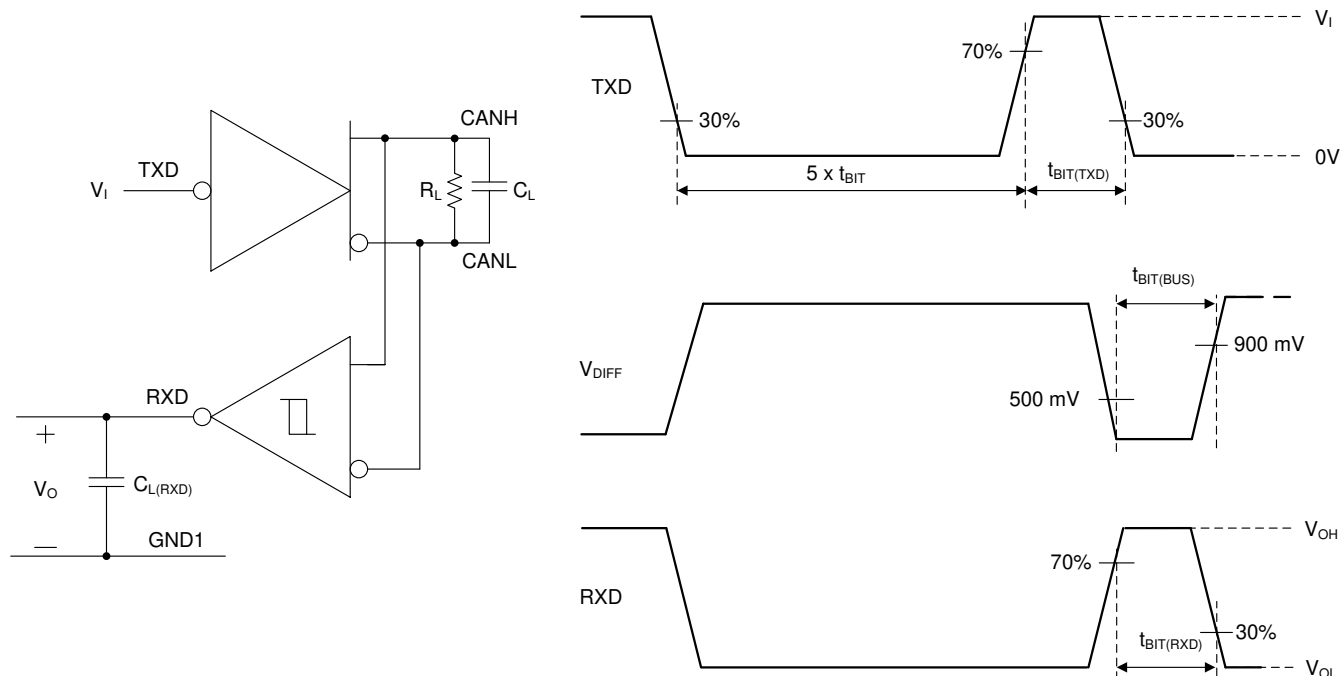
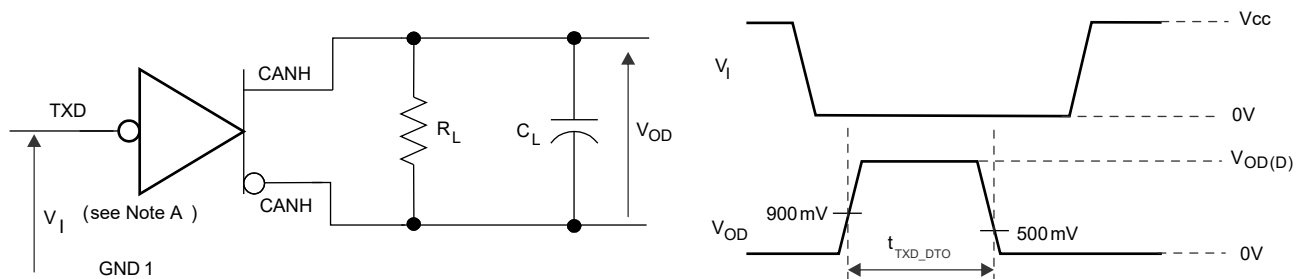


図 6-7. CAN FD のタイミング パラメータ測定



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。 $t_r \leq 6\text{ns}$ 、 $t_f \leq 6\text{ns}$ 、 $Z_O = 50\Omega$ 。

図 6-8. ドミナント・タイムアウト・テスト回路と電圧波形

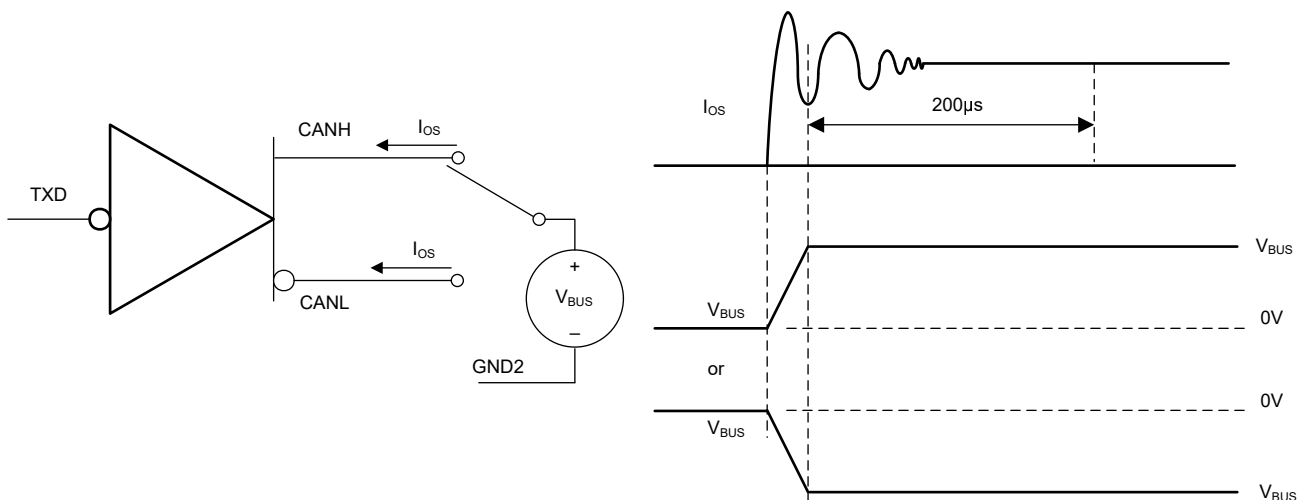


図 6-9. ドライバ短絡電流テスト回路と波形

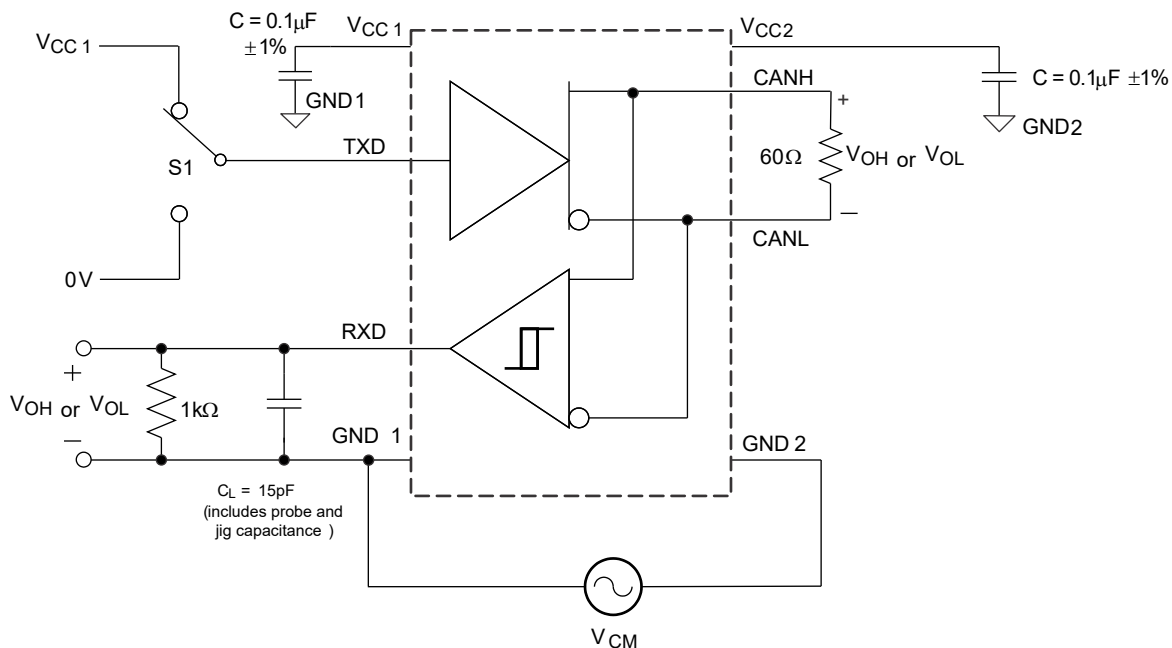


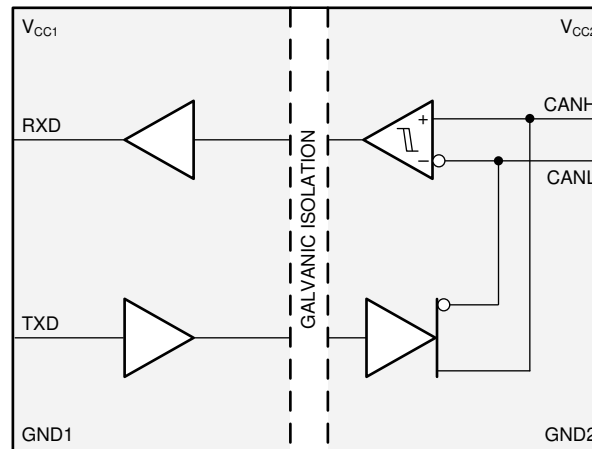
図 6-10. 同相過渡電圧耐性試験回路

7 詳細説明

7.1 概要

ISO1042 デバイスは、デジタル絶縁型 CAN トランシーバを内蔵しており、 $\pm 70\text{V}$ の DC バス故障保護および $\pm 30\text{V}$ の同相電圧範囲を提供します。CAN FD モードで最高 5Mbps のデータレートに対応しており、Classic CAN よりはるかに高速にペイロードを伝送できます。ISO1042 デバイスは絶縁耐圧が $5000\text{V}_{\text{RMS}}$ で、サージテスト電圧がそれぞれ 6kV_{PK} と 10kV_{PK} の基本絶縁型と強化絶縁型があります。このデバイスは、サイド 1 で 1.8V、2.5V、3.3V、5V の電源、サイド 2 で 5V の電源で動作します。この電源電圧範囲は、サイド 1 の低電圧により省電力のために低電圧のマイコンへの接続が可能になり、サイド 2 の 5V によりバス信号の高い信号対雑音比が維持されるため、過酷な産業環境で動作するアプリケーションにとって特に有利です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 CAN バスの状態

CAN バスには、動作中に「ドミナント」と「リセッシブ」の 2 つの状態があります。ロジック Low に相当するドミナント バス状態は、ドライバによってバスが差動駆動される場合です。リセッシブ バス状態は、バスがレシーバの高抵抗の内部入力抵抗を介して $V_{\text{CC}}/2$ のコモンモードにバイアスされる場合であり、ロジック High に相当します。CAN ノードのホスト マイクロプロセッサは、TXD ピンを使用してバスを駆動し、RXD ピンでバスからデータを受信します。[図 7-1](#) と [図 7-2](#) を参照してください。

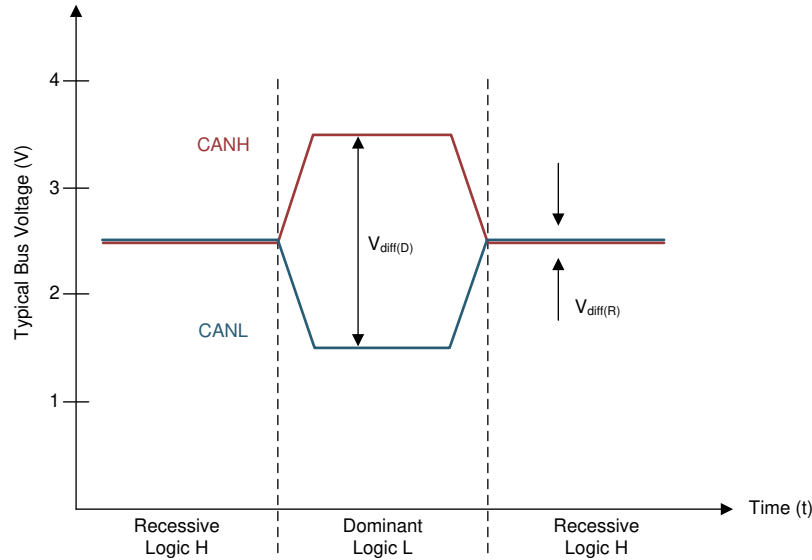


図 7-1. バスの状態 (物理的ビット表現)

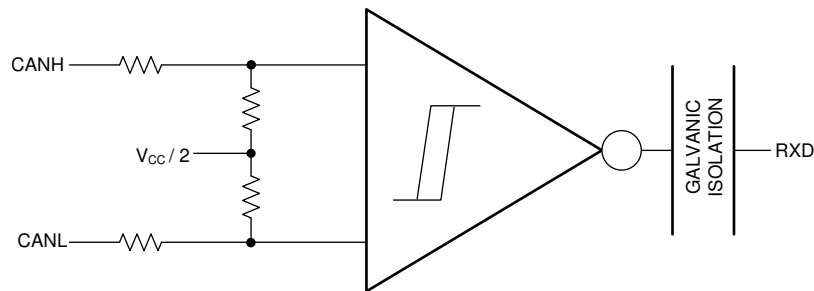


図 7-2. 簡略化されたりセシブ同相モード バイアス ユニットおよびレシーバ

7.3.2 デジタル入力および出力 : TXD (入力) および RXD (出力)

デバイスの絶縁デジタル入出力側の V_{CC1} 電源は、1.8V、2.5V、3.3V、および 5V の各電源で供給可能であり、そのためデジタル入出力は 1.8V、2.5V、3.3V、および 5V に対応しています。

注

TXD ピンは内部で非常に弱く V_{CC1} にプルアップされています。マイクロプロセッサがピンを制御せず、TXD ピンがフローティングになった場合、バスでの問題を回避するため、外部プルアップ抵抗を使用して TXD ピンが確かにリセシブ (High) レベルにバイアスされるようにする必要があります。TXD のプルアップ強度と CAN のビット・タイミングは、デバイスをマイクロプロセッサの CAN コントローラのオープン ドレイン TXD 出力とともに使用する場合、特別に考慮する必要があります。マイクロプロセッサの TXD 出力がトランシーバの入力に対して適切なビット タイミング入力を維持するように、適切な外部プルアップ抵抗を使用する必要があります。

7.3.3 保護機能

7.3.3.1 TXD ドミナント タイムアウト (DTO)

TXD の DTO 回路は、ハードウェアまたはソフトウェアの故障により TXD ピンがタイムアウト時間 t_{TXD_DTO} を超えてドミナント状態に保持された場合でも、トランシーバがネットワーク通信を妨げないようにします。DTO 回路のタイマは、TXD ピンの立ち下がりエッジで開始されます。DTO 回路は、タイムアウト時間内に立ち上がりエッジが発生しない場合、CAN バスドライバを無効化し、ネットワーク上の他のノード間で通信が行えるようにバスを解放します。TXD ピンにリセシブ信号が発生すると、CAN ドライバは再び有効になり、TXD DTO 状態が解除されます。TXD ドミナント タイムアウト中であって

も、レシーバおよび RXD ピンは CAN バス上の動作を引き続き反映し、バス端子はリセッスレベルにバイアスされます。

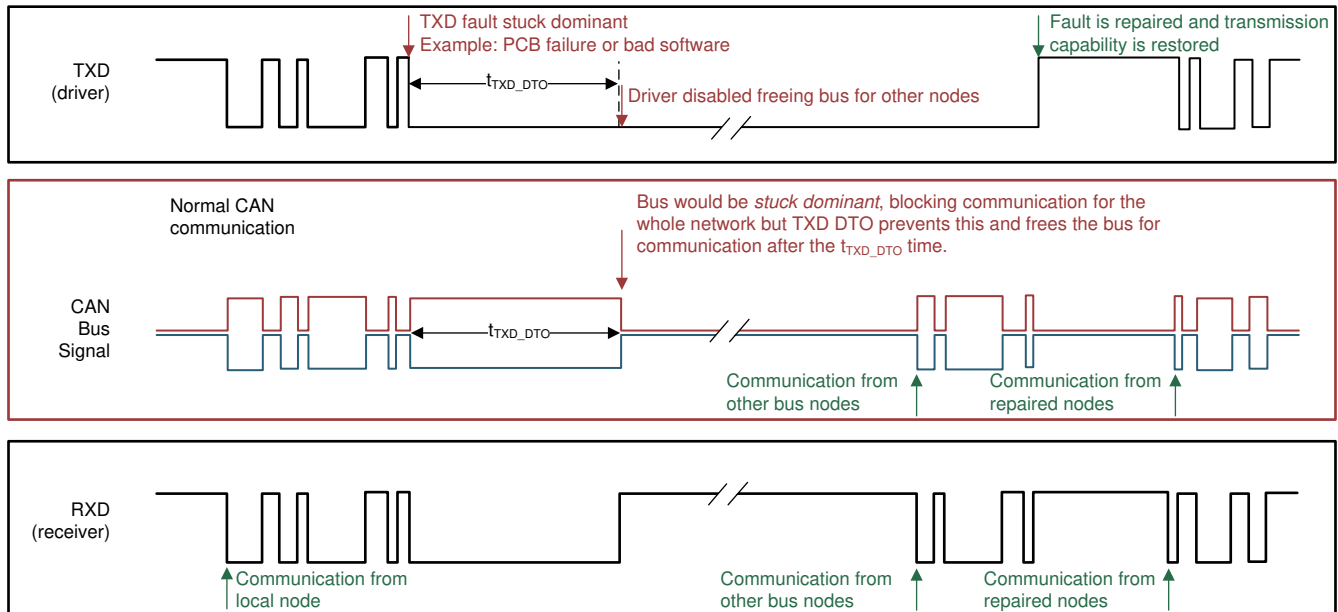


図 7-3. TXD DTO のタイミング図の例

注

TXD DTO 回路で許容される最小ドミナント TXD 時間 (t_{TXD_DTO}) は、本デバイスで実現可能な最小データレートを制限します。CAN プロトコルでは、最悪の場合、(TXD 上で) 最大 11 個の連続したドミナントビットを許容しています。この場合、5 個の連続したドミナントビットの直後にエラー フレームが発生します。これは、 t_{TXD_DTO} の最小値とともに、最小データレートを制限します。最小送信データレートは式 1 のように計算します。

$$\text{Minimum Data Rate} = 11 / t_{TXD_DTO} \quad (1)$$

7.3.3.2 サーマル シャットダウン (TSD)

デバイスの接合部温度がサーマル シャットダウン スレッショルド T_{TSD} を超えると、デバイスは CAN ドライバ回路をオフにし、TXD からバスへの伝送パスをブロックします。サーマル シャットダウン時、CAN バス端末は劣勢レベルにバイアスされ、レシーバから RXD へのパスは動作を継続します。接合部温度が、デバイスのサーマル シャットダウン温度 (T_{TSD}) よりもサーマル シャットダウン ヒステリシス温度 (T_{TSD_HYST}) 以上低下すると、シャットダウン状態はクリアされます。

7.3.3.3 低電圧ロックアウトとデフォルト状態

電源ピンには低電圧検出機能があり、デバイスを保護またはデフォルト モードにして、 V_{CC1} または V_{CC2} 電源ピンの低電圧イベント時にバスを保護します。バス側電源 V_{CC2} が約 4V より低い場合、ISO1042 デバイスの電源シャットダウン回路はトランシーバをディセーブルにし、不安定な電源による誤送信を防ぎます。これが発生したときに V_{CC1} 電源がまだアクティブである場合、レシーバ出力 (RXD) はデフォルトの HIGH (リセッス) 値になります。表 7-1 に、低電圧ロックアウトおよびフェイルセーフ動作を示します。

表 7-1. 低電圧ロックアウトとデフォルト状態

V_{CC1}	V_{CC2}	デバイスの状態	バス出力	RXD
$> UV_{VCC1}$	$> UV_{VCC2}$	機能	デバイスの状態および TXD あたり	ミラー・バス
$< UV_{VCC1}$	$> UV_{VCC2}$	保護	リセッス	不定

表 7-1. 低電圧ロックアウトとデフォルト状態 (続き)

V _{CC1}	V _{CC2}	デバイスの状態	バス出力	RXD
>UV _{VCC1}	< UV _{VCC2}	保護	高インピーダンス	リセッスブ (デフォルト High)

注

低電圧状態が解消され、電源が有効なレベルに戻った後、デバイスは通常 300μs 以内に通常動作を再開します。

7.3.3.4 フローティング ピン

重要なピンがフローティングの場合、そのピンにはプルアップ抵抗およびプルダウン抵抗を使用し、デバイスを既知の状態にする必要があります。TXD ピンへのマイクロプロセッサの出力がフローティングの場合、TXD ピンを抵抗を介して V_{CC1} ピンにプルアップして、強制的にリセッスブ入力レベルにする必要があります。

7.3.3.5 電源オフのデバイス

デバイスに電源が供給されていないときは、CAN バスに対して理想的パッシブまたは無負荷となるように設計されています。デバイスが無給電状態のとき、バス ピン (CANH、CANL) は極めて低いリーク電流となるため、バスに負荷をかけません。これは、ネットワークの一部のノードが無給電であっても他のノードが動作を続ける場合に特に重要です。

7.3.3.6 CAN バスの短絡電流制限

このデバイスには、CAN バス ラインで短絡フォルト条件が発生したときに短絡電流を制限する保護機能が 2 つあります。1 つ目の保護機能はドライバ電流制限 (ドミナント状態とリセッスブ状態の両方) です。2 つ目の保護機能は TXD ドミナント状態タイムアウトで、これはシステム障害時にドミナント状態の過大な短絡電流が持続するのを防ぎます。CAN 通信中、バスはドミナント状態とリセッスブ状態の間で切り替わります。したがって、短絡電流は、各状態の瞬間電流または 2 つの状態の平均電流と見なせます。終端抵抗と同相チョーク定格において、システム電流 (電源) と電力を考慮する場合、平均短絡電流を使用します。ドミナント・ビットとリセッスブ・ビットの比率は、CAN フレーム内のデータと、特定の時点にリセッスブまたはドミナントのいずれかを強制するプロトコルおよび PHY の以下の要因によって決定されます。

- 設定ビットを持つ制御フィールド
- ビット スタッフィング
- フレーム間のスペース
- TXD ドミナントタイムアウト (フォルト ケースの制限)

これらの要因により、データ フィールドにドミナントビットが高い割合で含まれている場合でも、バス上で最小限のリセッスブ時間が確保されます。バスの短絡電流は、リセッスブビットとドミナントビットの比率と、それぞれの短絡電流により異なります。式 2 を用いて、平均短絡電流を計算します。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})] + [\%Receive \times I_{OS(SS)_REC}] \quad (2)$$

ここで、

- $I_{OS(AVG)}$ は平均短絡電流です
- $\%Transmit$ は、ノードが CAN メッセージを送信している割合です。
- $\%Receive$ は、ノードが CAN メッセージを受信している割合です。
- $\%REC_Bits$ は、送信された CAN メッセージ内のリセッスブ ビットの割合です。
- $\%DOM_Bits$ は、送信された CAN メッセージ内のドミナントビットの割合です。
- $I_{OS(SS)_REC}$ は、リセッスブ定常状態の短絡電流です
- $I_{OS(SS)_DOM}$ は、ドミナント定常状態の短絡電流です

注

終端抵抗やその他のネットワーク・コンポーネントの電力定格の大きさを決定するときは、短絡電流やネットワークで起こりうるフォルト・ケースを考慮してください。

7.4 デバイスの機能モード

表 7-2 および表 7-3 に、ドライバとレシーバの機能を示します。表 7-4 に、ISO1042 デバイスの機能モードを示します。

表 7-2. ドライバ機能表

入力	出力		駆動されているバスの状態
	CANH ⁽¹⁾	CANL ⁽¹⁾	
L	H	L	ドミナント
H	Z	Z	リセッピブ

(1) H = High レベル、L = Low レベル、Z = $V_{CC} / 2$ への同相 (リセッピブ) バイアス。バスの状態と同相バイアスの情報については、図 7-1 および 図 7-2 を参照してください。

表 7-3. レシーバ機能表

デバイス モード	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$ ⁽³⁾	バスの状態	RXD ピン ⁽¹⁾
通常	$V_{ID} \geq V_{IT(MAX)}$	ドミナント	L
	$V_{IT(MIN)} < V_{ID} < V_{IT(MAX)}$	?	?
	$V_{ID} \leq V_{IT(MIN)}$	リセッピブ	H
	オープン ($V_{ID} \approx 0$ V)	オープン	H

(1) H = High レベル、L = Low レベル、? = 不定。

表 7-4. 機能表

ドライバ ⁽¹⁾			レシーバ			
入力	出力		バスの状態	差動入力 $V_{ID} = CANH - CANL$ ⁽³⁾	出力 RXD	バスの状態
TXD	CANH	CANL				
L ⁽²⁾	H	L	ドミナント	$V_{ID} \geq V_{IT(MAX)}$	L	ドミナント
H	Z	Z	リセッピブ	$V_{IT(MIN)} < V_{ID} < V_{IT(MAX)}$	?	?
オープン	Z	Z	リセッピブ	$V_{ID} \leq V_{IT(MIN)}$	H	リセッピブ
X	Z	Z	リセッピブ	オープン ($V_{ID} \approx 0$ V)	H	リセッピブ

- (1) H = High レベル、L = Low レベル、X = 無関係、? = 不定、Z = ハイインピーダンス
 (2) ドミナント タイムアウトを防ぐためのロジック Low パルス。
 (3) 入力スレッショルドについては、「レシーバの電気的特性」セクションを参照

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

ISO1042 デバイスは、マイコン、トランスドライバ、リニア電圧レギュレータなどのテキサス インストルメンツの他のコンポーネントと組み合わせて使用することで、完全に絶縁された CAN インターフェイスを構成できます。

8.2 代表的なアプリケーション

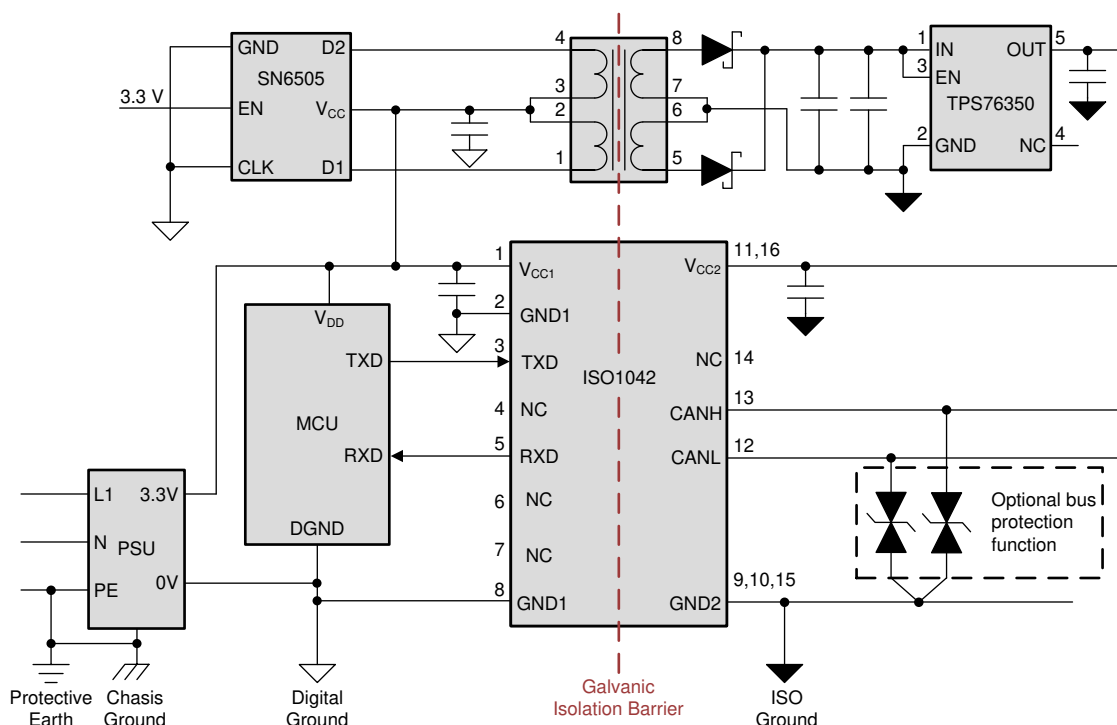


図 8-1. 16-SOIC パッケージの ISO1042 を使用したアプリケーション回路

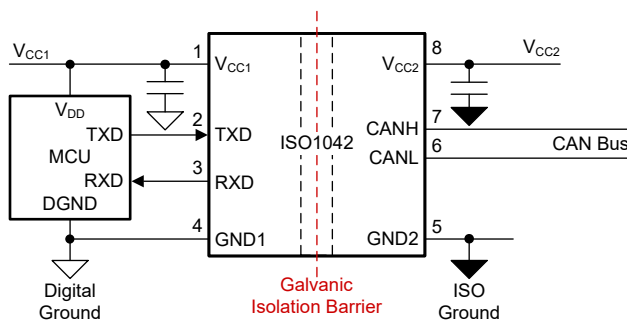


図 8-2. 8-SOIC パッケージの ISO1042 を使用したアプリケーション回路

8.2.1 設計要件

性能の向上、バイアスの供給、電流の制限のためにいくつかの外付け部品が必要なフォトカプラベースの設計とは異なり、ISO1042 デバイスの動作には外付けバイパスコンデンサのみが必要です。

8.2.2 詳細な設計手順

8.2.2.1 バスの負荷、長さ、ノード数

ISO 11898-2 規格では、最大バス長は 40 メートル、最大スタブ長は 0.3 メートルと規定されています。ただし、入念な設計を行えば、より長いケーブルやスタブ、より多くのノードをバスに接続することも可能です。ノード数が多い場合には、ISO1042 トランシーバのような高入力インピーダンスのトランシーバが必要になります。

多くの CAN の組織および規格は、元の ISO 11898-2 規格外のアプリケーションへと CAN の使用を拡大してきました。これらの組織および規格では、データレート、ケーブル長、およびバスの寄生負荷に関してシステムレベルでのトレードオフが定義されています。これらの仕様の例として、ARINC825、CANopen、DeviceNet、NMEA2000 などがあります。

ISO1042 デバイスは、並列接続されたトランシーバを含む最悪条件を考慮した上で、 50Ω 負荷において 1.5V の要件を満たすよう規定されています。ISO1042 の差動入力抵抗は最小 $30k\Omega$ です。100 個の ISO1042 トランシーバがバス上で並列接続されている場合、この要件は最悪条件として 300Ω の差動負荷に相当します。 300Ω のトランシーバ負荷を 60Ω と並列にすると、 50Ω の等価負荷になります。したがって、ISO1042 デバイスは理論上、単一のバスセグメント上で最大 100 個のトランシーバをサポート可能です。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、ネットワークの不均衡、グラウンドオフセット、および信号の完全性に対してマージンを与える必要があるため、実際の最大ノード数は通常、はるかに少なくなります。慎重なシステム設計とデータレートのトレードオフにより、バスの長さは元の ISO 11898 標準の 40m を超えて拡張することもできます。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。

CAN ネットワーク設計におけるこの柔軟性は、元の ISO 11898-2 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。この柔軟性を活かすには、適切なネットワーク設計とこれらのトレードオフのバランスを取る責任が伴います。

8.2.2.2 CAN の終端

ISO11898 規格では、相互接続は 120Ω の特性インピーダンス (Z_0) を持つシングル・ツイストペア ケーブル (シールド付きまたはシールドなし) と規定されています。信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端する必要があります。ノードをバスに接続する終端されていないドロップライン (スタブ) は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端はノードに設けることもできますが、ノードがバスから取り外された場合でも終端がバスから失われないよう、終端の配置には注意が必要です。

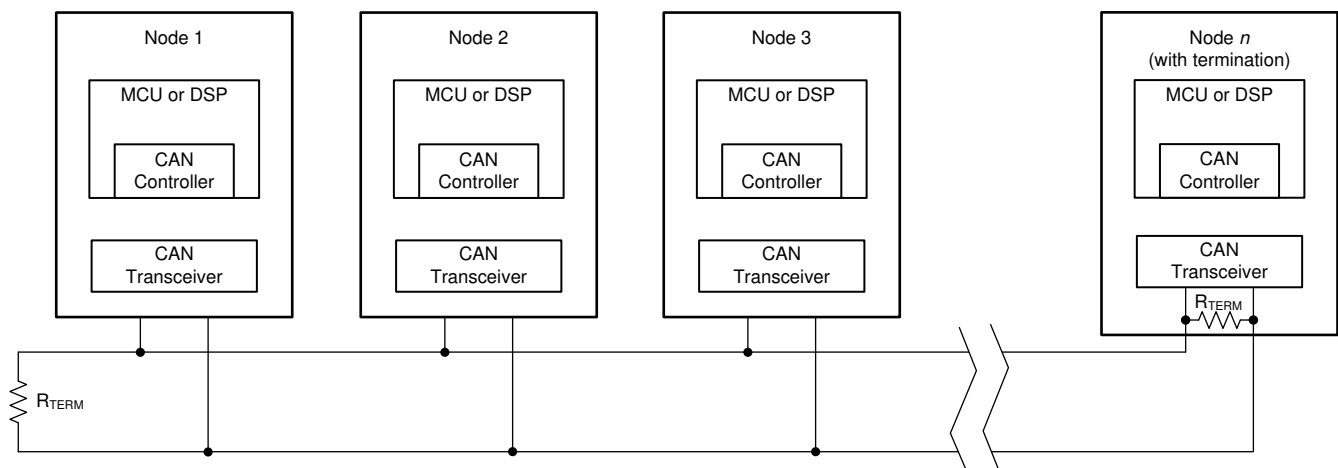


図 8-3. 代表的な CAN バス

終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用できます。(図 8-4 を参照)分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

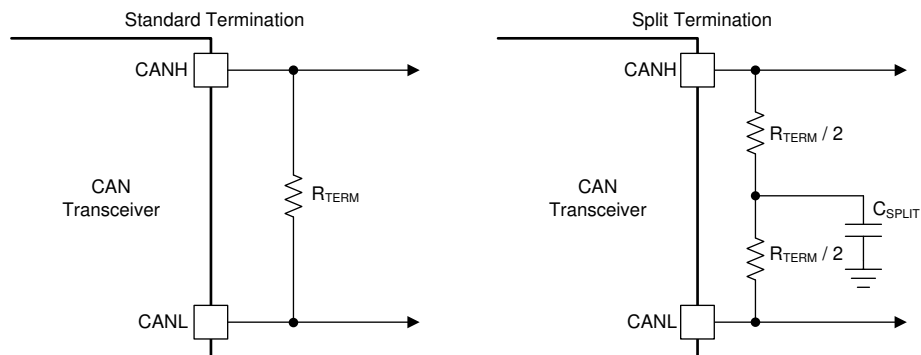


図 8-4. CAN バス終端の概念

8.2.3 アプリケーション曲線

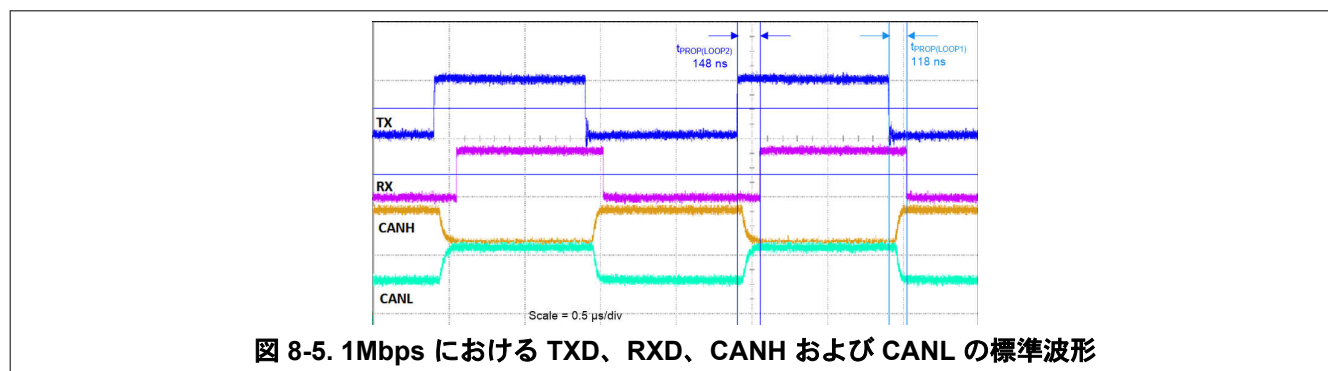


図 8-5. 1Mbps における TXD、RXD、CANH および CANL の標準波形

8.2.3.1 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、図 8-6 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 50% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、30 年の最小絶縁寿命が必要であることになります。

図 8-7 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は $1060 V_{RMS}$ 、寿命は 275 年です。パッケージサイズ、汚染度、材料グループなどの要因により、部品の動作電圧がさらに制限される場合があります。DW-16 の動作電圧は最大 $1060 V_{RMS}$ と規定されています。動作電圧が低い場合、対応する絶縁寿命は 275 年よりはるかに長くなります。

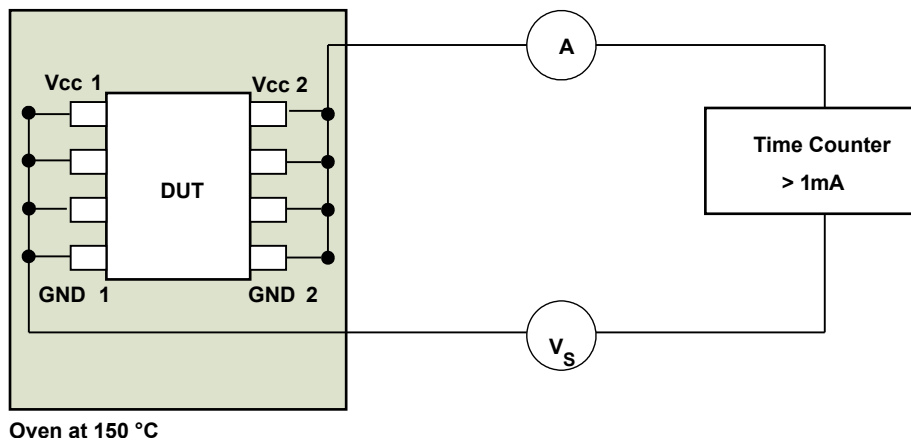


図 8-6. 絶縁寿命測定用のテスト構成

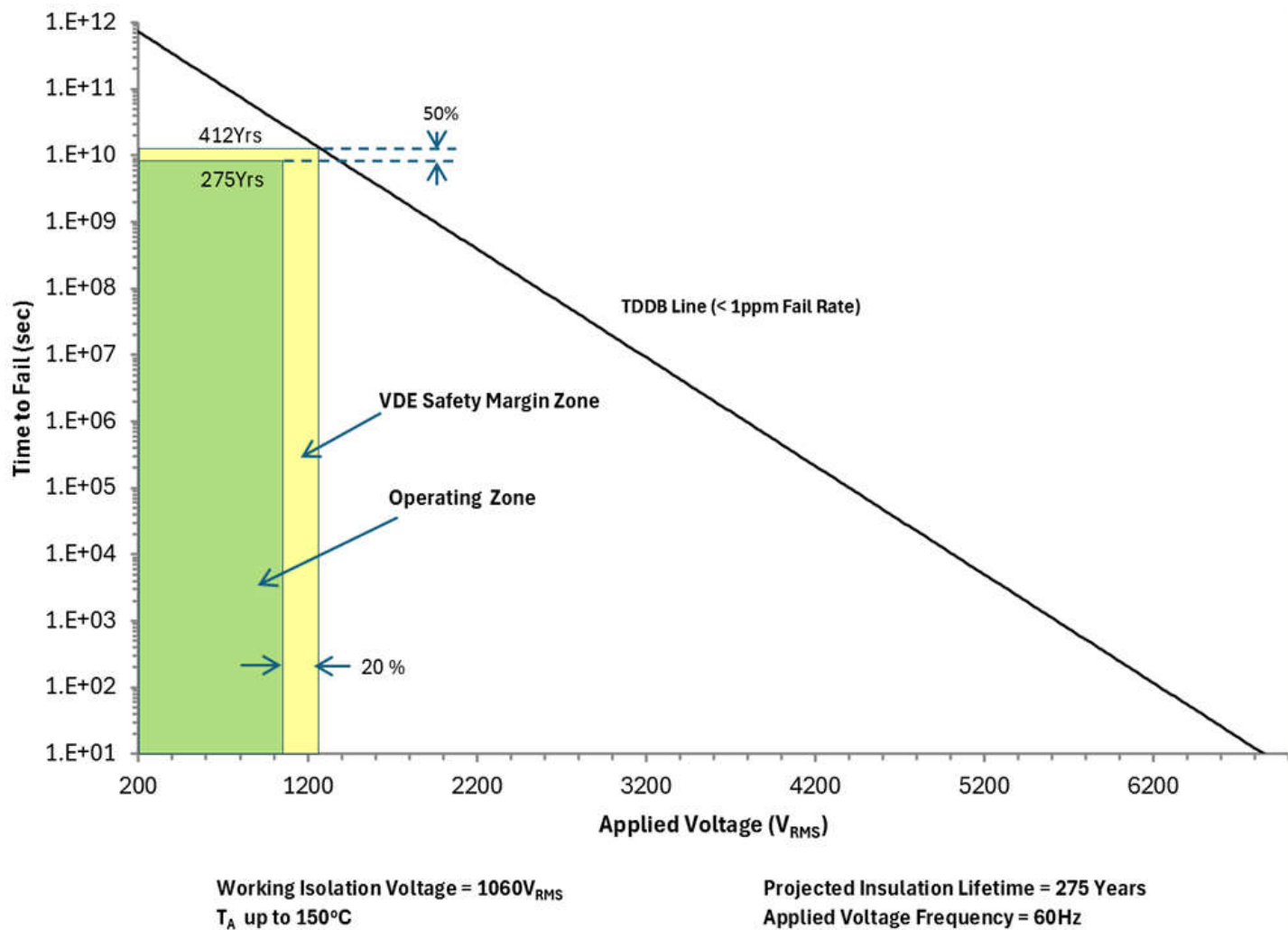


図 8-7. 絶縁寿命予測データ

8.3 DeviceNet アプリケーション

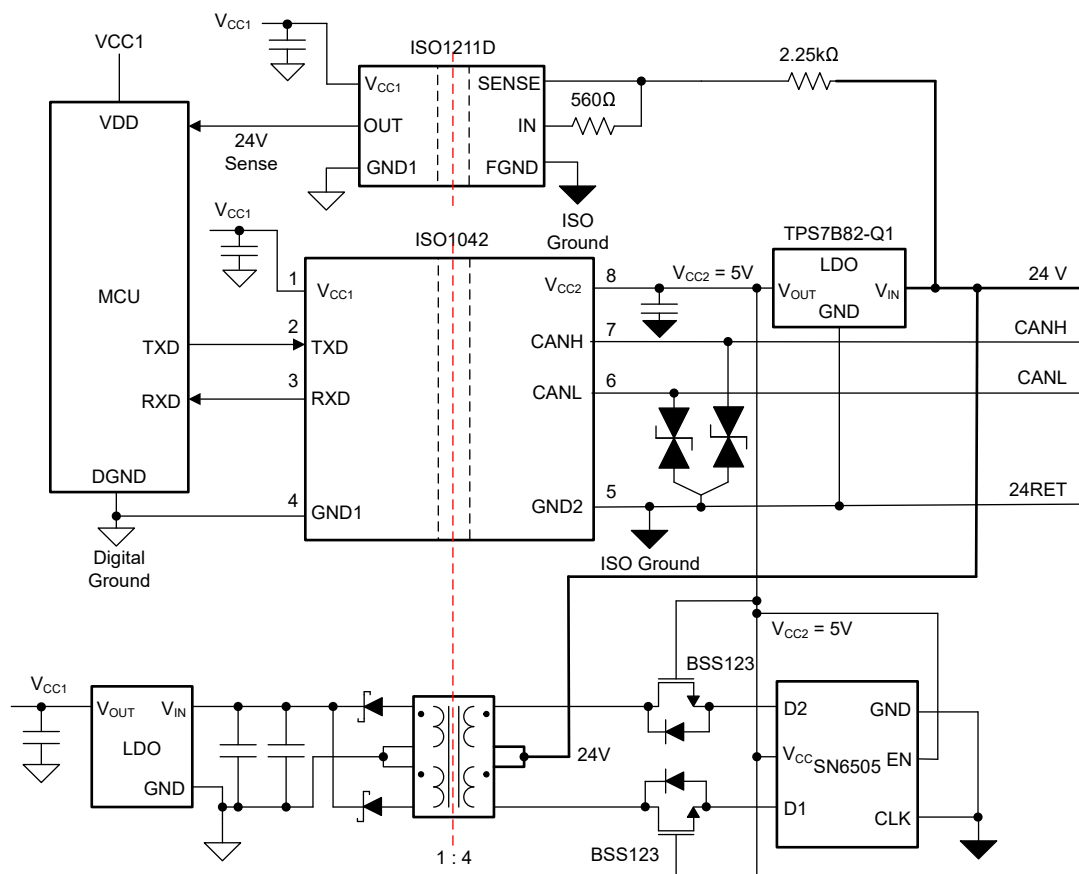


図 8-8. DeviceNet アプリケーションで使用される ISO1042、ISO1211、SN6505

図 8-8 に、DeviceNet アプリケーションで ISO1042、ISO1211、SN6505 を使用するためのアプリケーション回路を示します。ISO1042 は、CAN インターフェイスの絶縁に使用されます。ISO1211 24V デジタル入力レシーバを使用して、24V フィールド電源の有無を検出します。SN6505 プッシュプルトランスドライバを使用して、24V フィールド電源からマイコン側に電力を供給する補助絶縁型電源を生成します。

8.4 電源に関する推奨事項

すべてのデータレートおよび電源電圧で信頼性の高い動作を確保するため、入出力電源ピン (V_{CC1} および V_{CC2}) に $0.1\mu F$ のバイパスコンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。また、バルク容量 (通常は $4.7\mu F$) を V_{CC2} 電源ピンの近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、TI の [SN6505B](#) などのトランスドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、『[SN6505 絶縁型電源用、低ノイズ 1A 変圧器ドライバ データシート](#)』に、詳細な電源設計とトランス選択に関する推奨事項が記載されています。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (推奨されるレイヤ・スタックを参照)。層の構成は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用（およびそれに伴うインダクタンスの発生）を避けて、データリンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。

- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100pF/インチ² 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

図 8-10 と図 8-11 に、ISO1042 バイパス コンデンサとオプションの TVS ダイオードの推奨配置と配線を示します。特に、 V_{CC2} バイパス コンデンサは、デバイス ピンにできる限り近づけて最上層に配置し、ビアを使用せずに V_{CC2} および G_{ND2} ピンへの接続を完了します。SOIC-16 バリエーションでは、 V_{CC2} ピンごとに 1 つ、2 つの V_{CC2} バイパス コンデンサが必要であることを注意してください。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『[デジタル アイソレータ設計ガイド](#)』を参照してください。

8.5.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、低価格な代替品よりも推奨されます。

8.5.2 レイアウト例

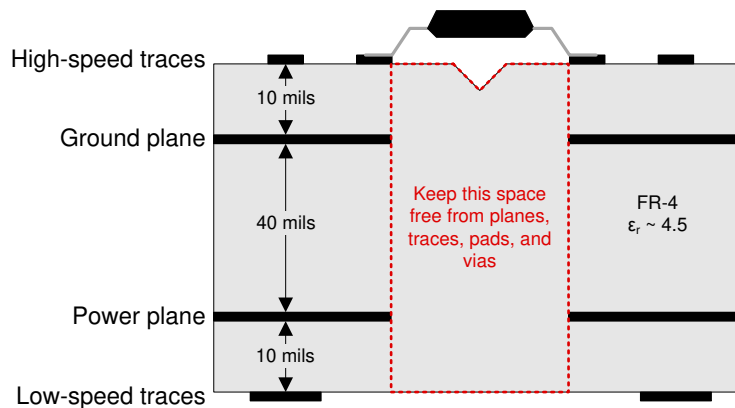


図 8-9. 推奨されるレイヤ・スタック

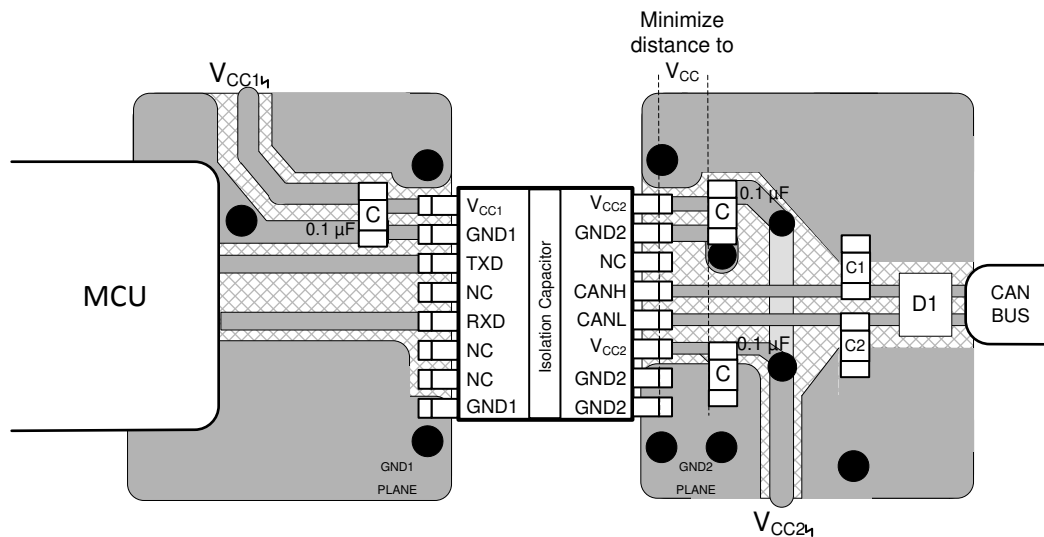


図 8-10. 16-DW のレイアウト例

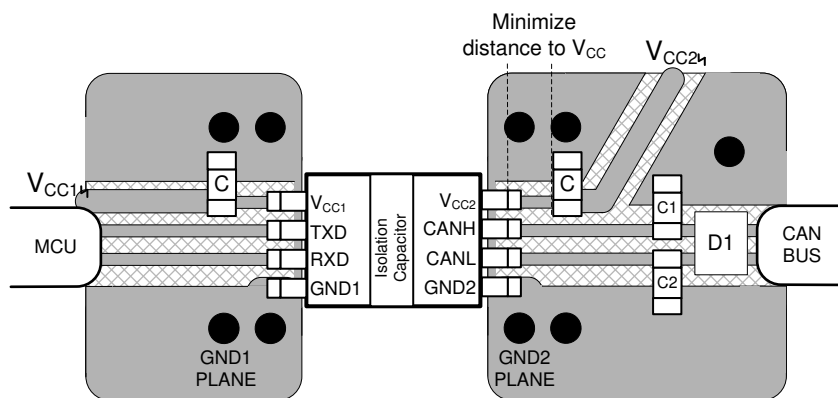


図 8-11. 8-DWV のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『デジタル アイスレータ設計ガイド』
- テキサス インスツルメンツ、『ISO1042DW 絶縁型 CAN トランシーバ評価基板』ユーザー ガイド
- テキサス インスツルメンツ、『性能やスペースを犠牲にしない CAN システムの絶縁』アプリケーション ブリーフ
- テキサス インスツルメンツ、『絶縁の用語集』
- テキサス インスツルメンツ、『高電圧強化絶縁: 定義とテスト手法』マーケティング ホワイト ペーパー
- テキサス インスツルメンツ、『絶縁型 CAN システムで信号および電源を絶縁する方法』アプリケーション ブリーフ
- テキサス インスツルメンツ、『正しいバス保護による絶縁型 CAN システムの設計方法』アプリケーション ノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (October 2019) to Revision F (August 2026)	Page
• ドキュメント全体を通してデバイス認証の情報を更新.....	1
• 「絶縁仕様」セクションの最大絶縁動作電圧を 1500 から 2121V _{DC} に更新	7
• 「絶縁仕様」セクションで V _{IOSM} のテスト条件を更新	7
• 「絶縁仕様」セクションの q _{pd} メソッド b1 テスト条件を更新	7
• 「絶縁仕様」セクションの ISO1042 の最大サージ絶縁電圧を 6250 to 10000V _{PK} に更新	7
• 「絶縁仕様」セクションの ISO1042B の最大サージ絶縁電圧を 4615 から 6000V _{PK} に更新	7

• 「安全関連認証」セクション全体で認証情報を更新	8
• 「絶縁寿命」セクションと絶縁寿命予測データ グラフを追加	26

Changes from Revision D (October 2018) to Revision E (October 2019)	Page
--	-------------

• 新しい安全性認定を変更.....	1
--------------------	---

Changes from Revision C (September 2018) to Revision D (October 2018)	Page
--	-------------

• ISO1042-Q1 のリンクを追加.....	1
---------------------------	---

Changes from Revision B (July 2018) to Revision C (September 2018)	Page
---	-------------

• 初版リリース.....	1
---------------	---

Changes from Revision A (May 2018) to Revision B (July 2018)	Page
---	-------------

• 「16-DW のレイアウト例」の GND2 プレーンのサイズを大きくし、NC ピンを GND2 に変更	29
---	----

Changes from Revision * (December 2017) to Revision A (May 2018)	Page
---	-------------

• ピン 10 を NC から GND2 に変更.....	2
-------------------------------	---

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this datasheet, refer to the left-hand navigation.

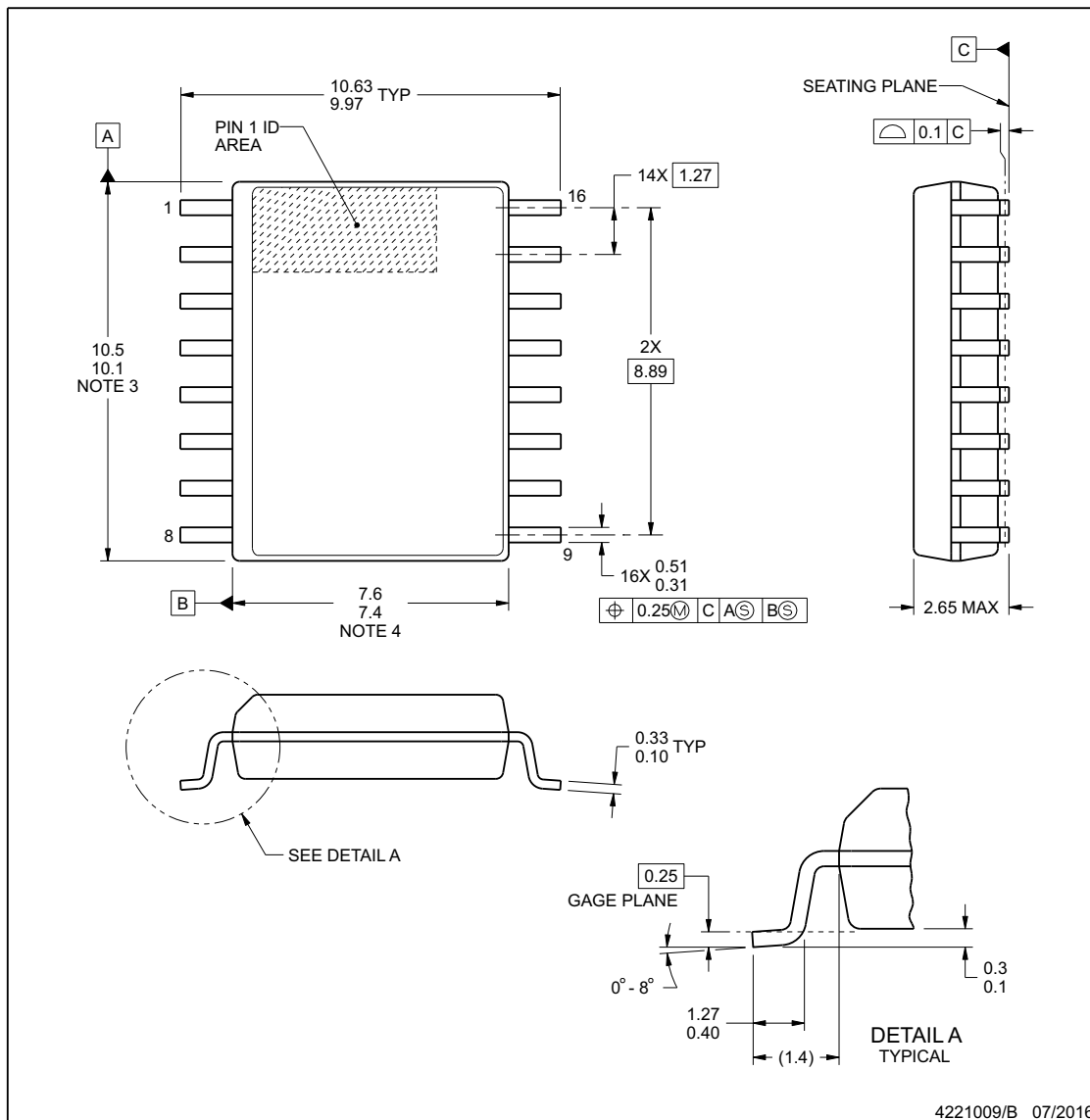


DW0016B

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC

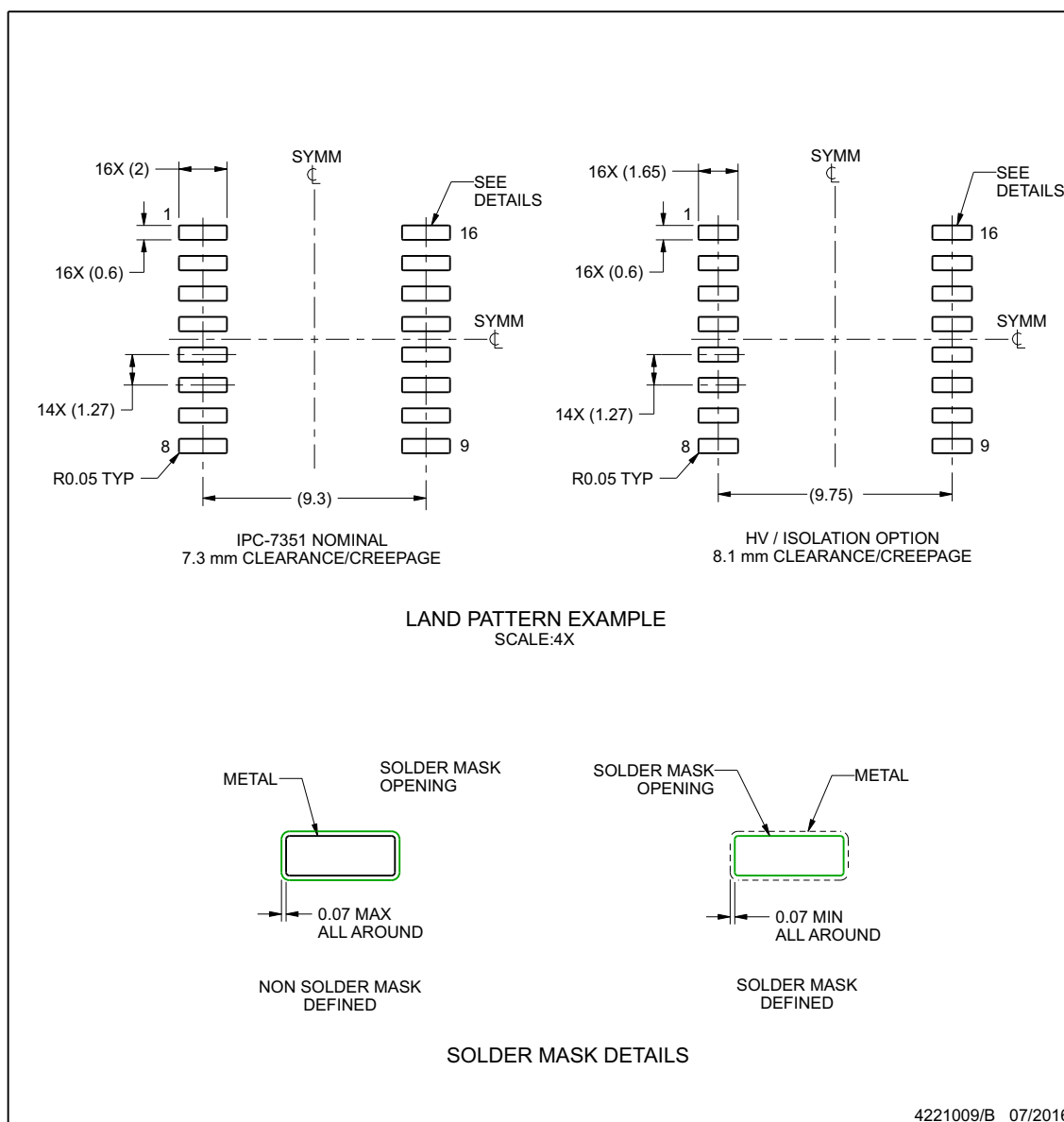


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT**DW0016B****SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

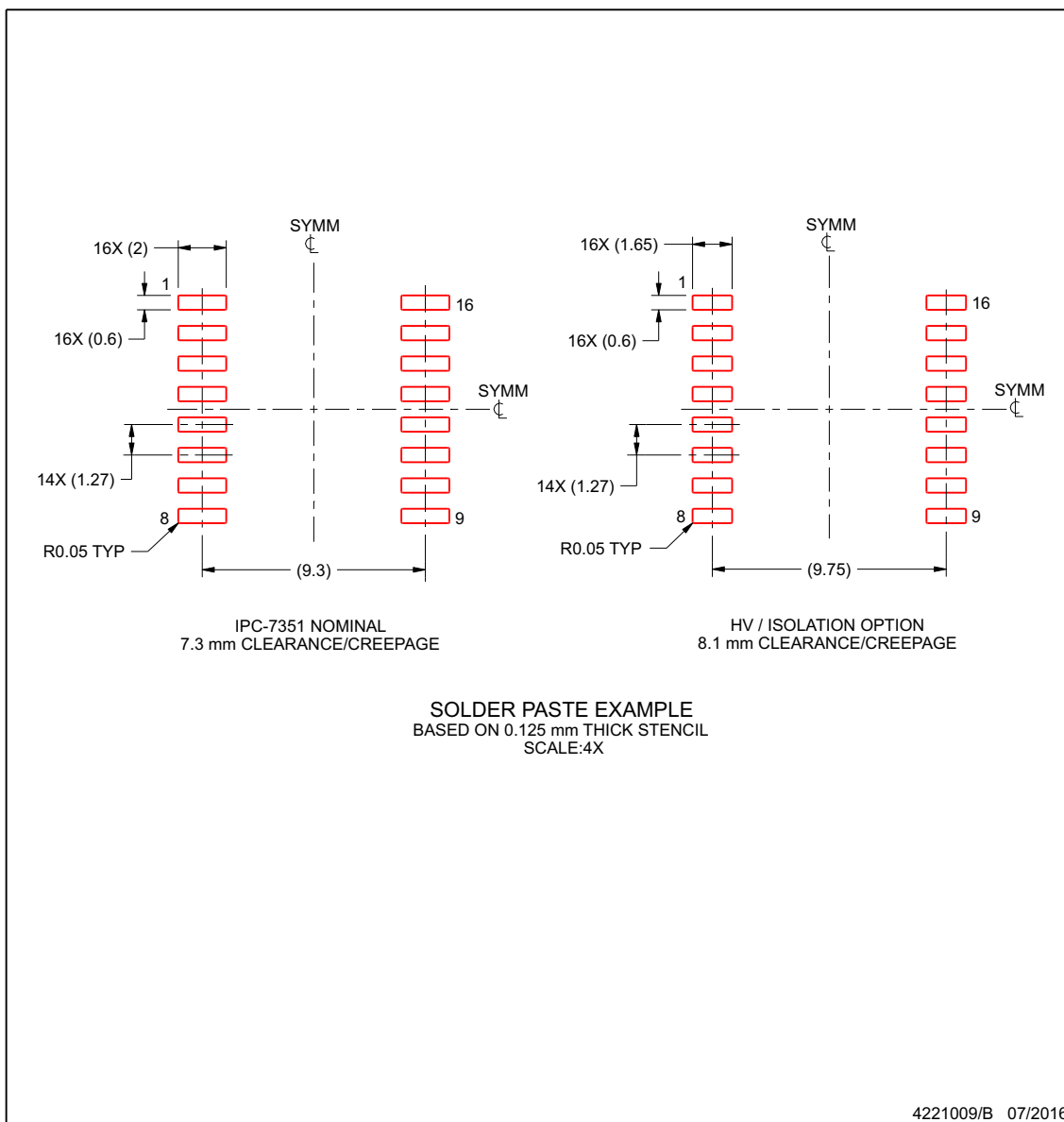
www.ti.com

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO1042BDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDW.A	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWV	Active	Production	SOIC (DWV) 8	64 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWV.A	Active	Production	SOIC (DWV) 8	64 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWVR	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWVR.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DW.A	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWV	Active	Production	SOIC (DWV) 8	64 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWV.A	Active	Production	SOIC (DWV) 8	64 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWVR	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWVR.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWVRG4	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWVRG4.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO1042 :

- Automotive : [ISO1042-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

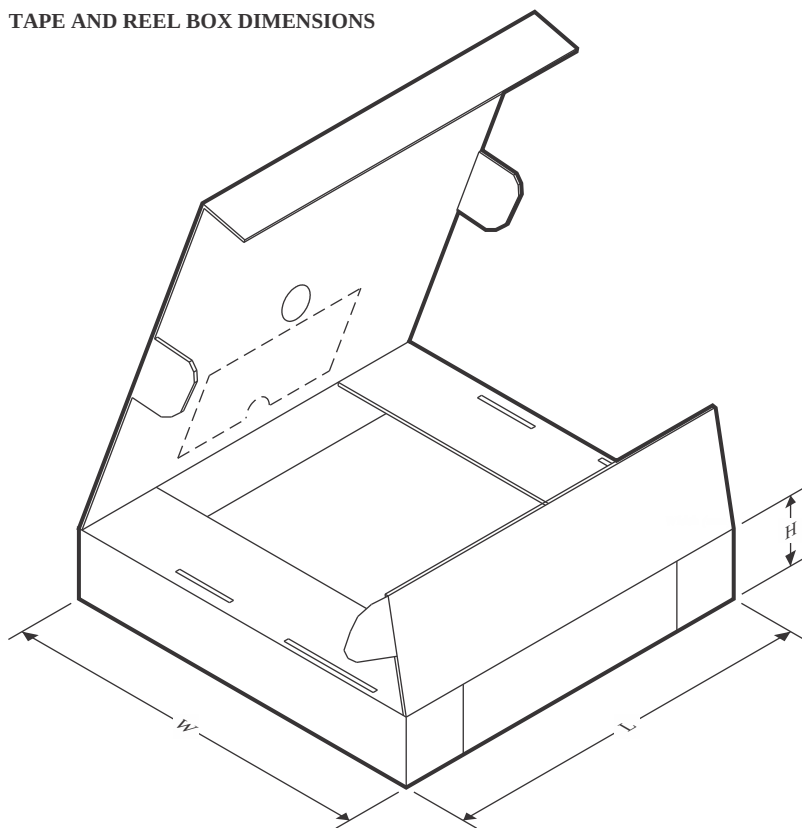
TAPE AND REEL INFORMATION



*All dimensions are nominal

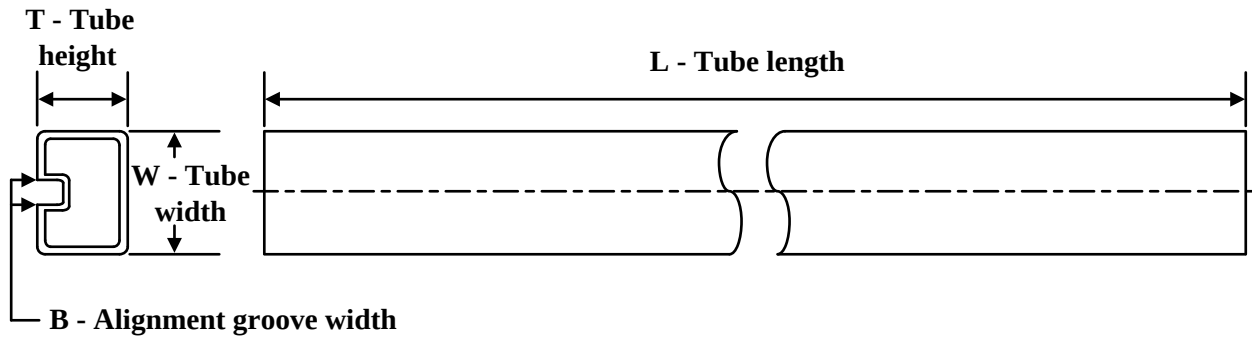
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO1042BDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1042BDWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO1042DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1042DWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO1042DWVRG4	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO1042BDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO1042BDWVR	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO1042DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO1042DWVR	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO1042DWVRG4	SOIC	DWV	8	1000	350.0	350.0	43.0

TUBE


*All dimensions are nominal

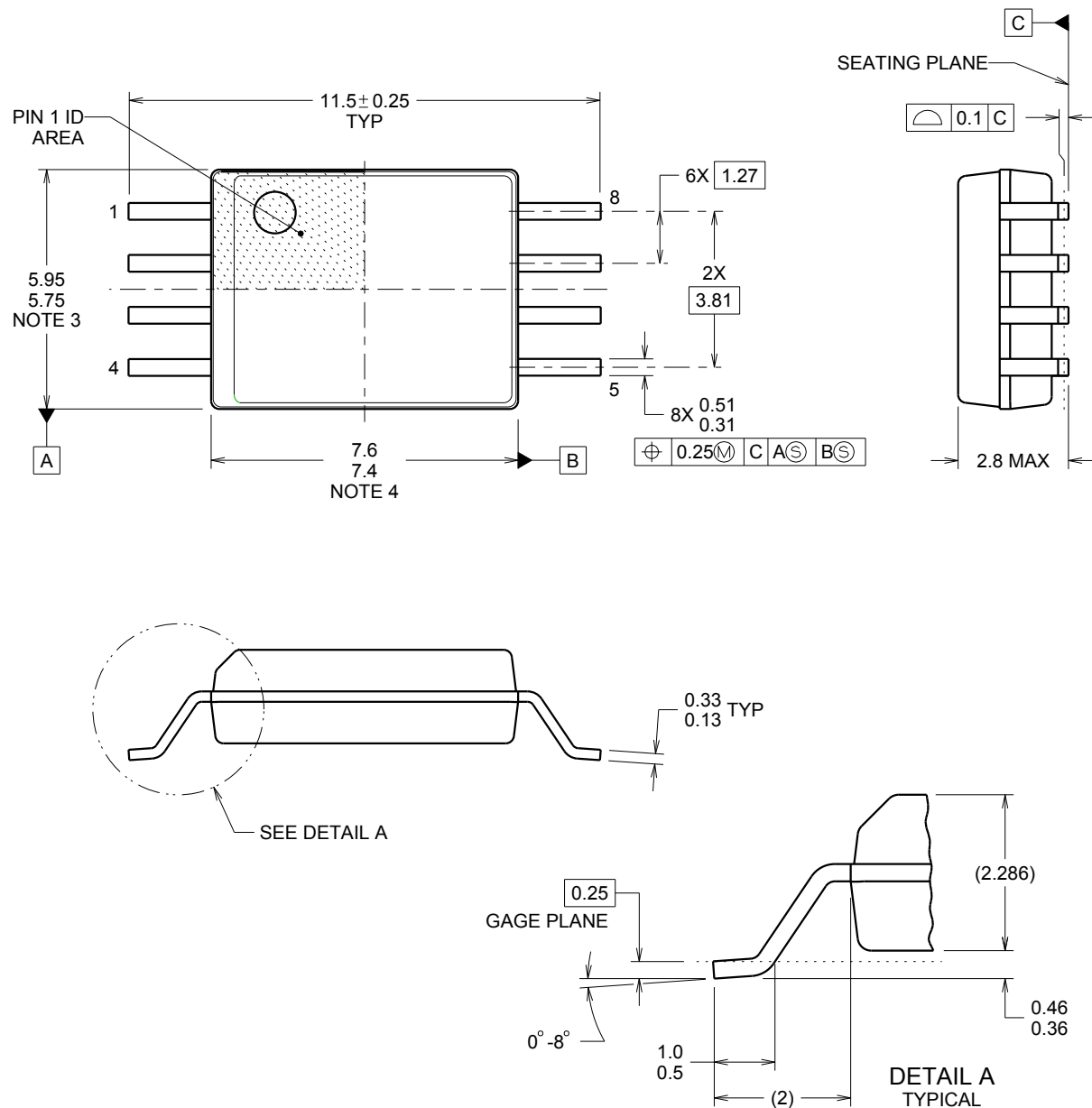
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
ISO1042BDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1042BDW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1042BDWV	DWV	SOIC	8	64	505.46	13.94	4826	6.6
ISO1042BDWV.A	DWV	SOIC	8	64	505.46	13.94	4826	6.6
ISO1042DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1042DW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1042DWV	DWV	SOIC	8	64	505.46	13.94	4826	6.6
ISO1042DWV.A	DWV	SOIC	8	64	505.46	13.94	4826	6.6

DWV0008A



SOIC - 2.8 mm max height

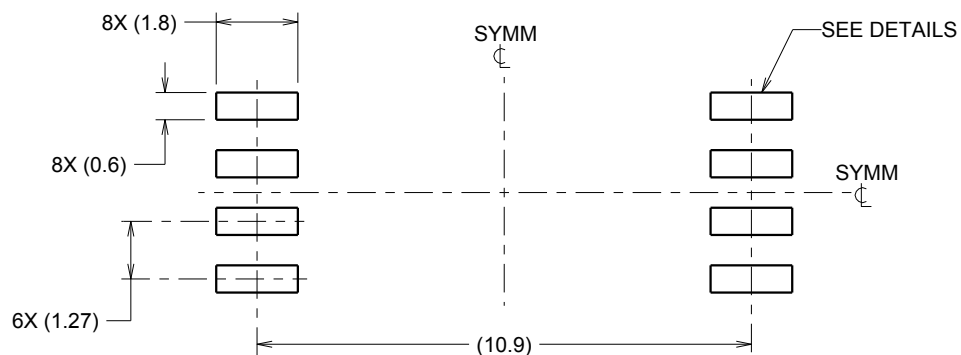
SOIC



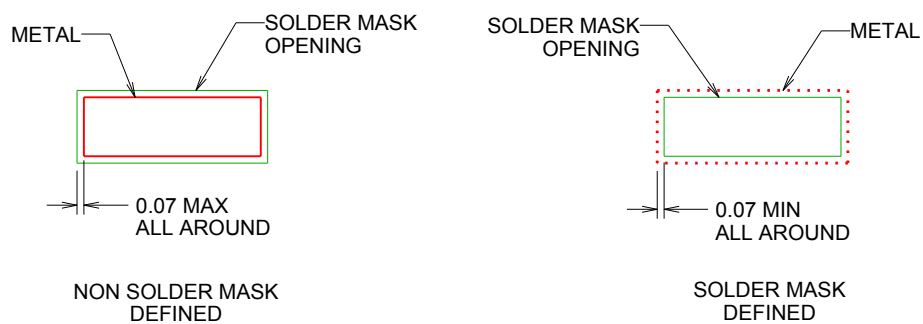
4218796/A 09/2013

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X

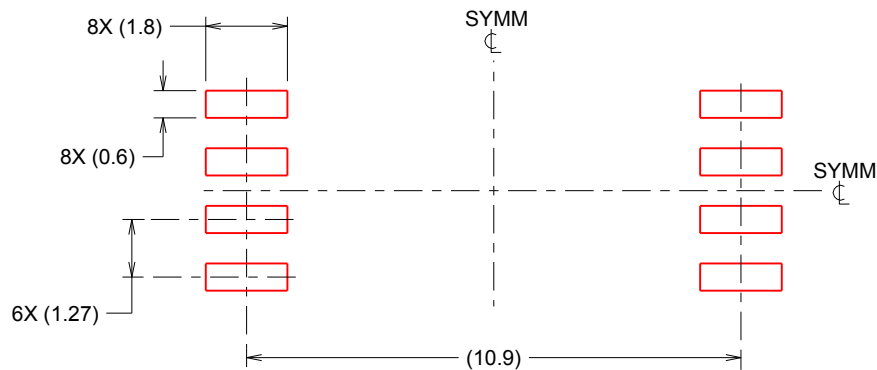


SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

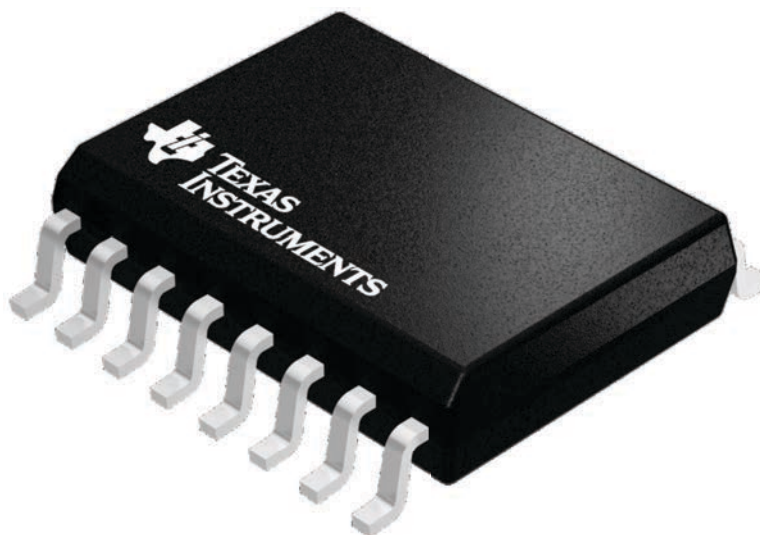
DW 16

SOIC - 2.65 mm max height

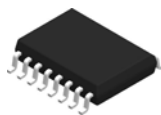
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

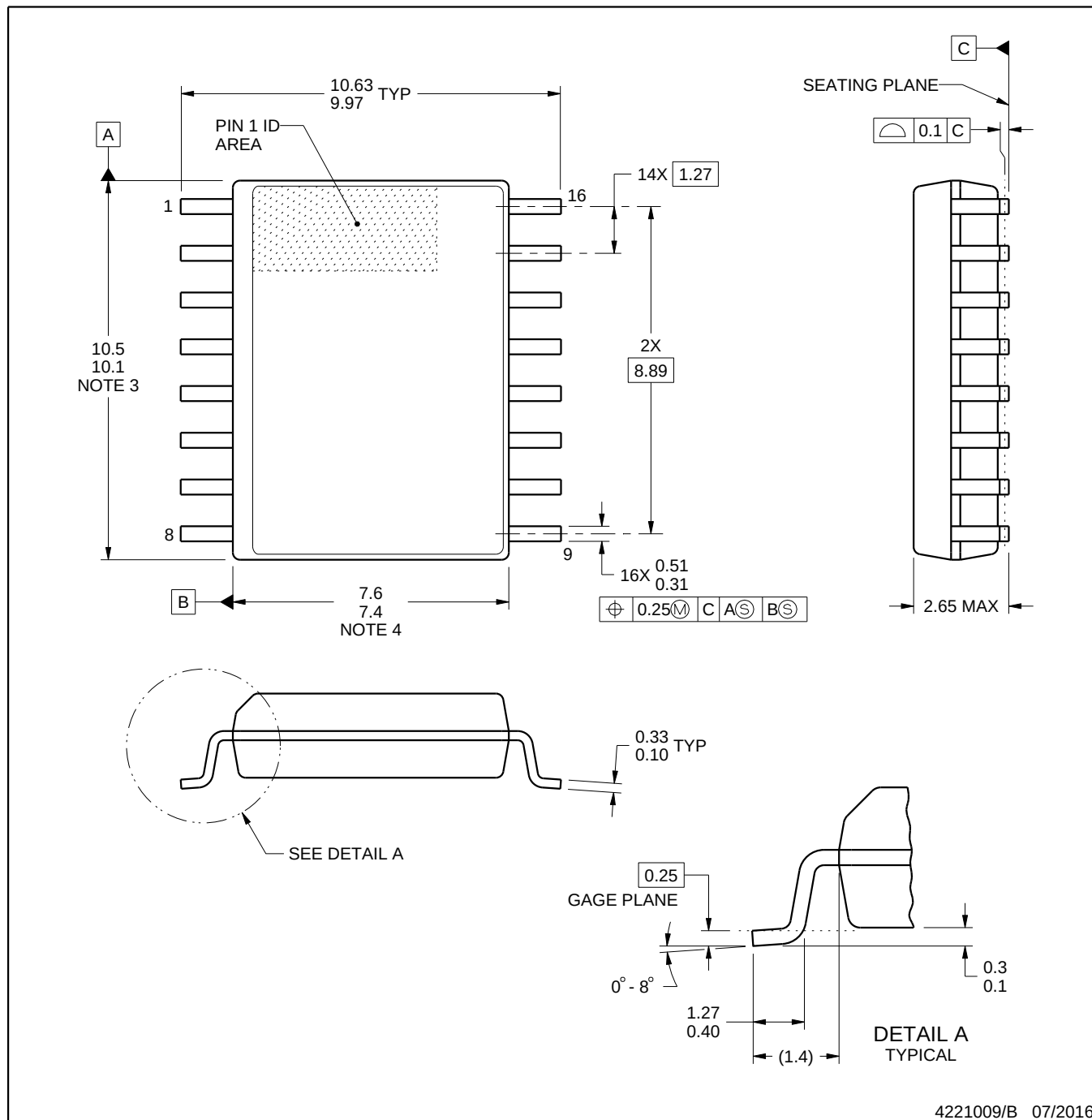


DW0016B

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

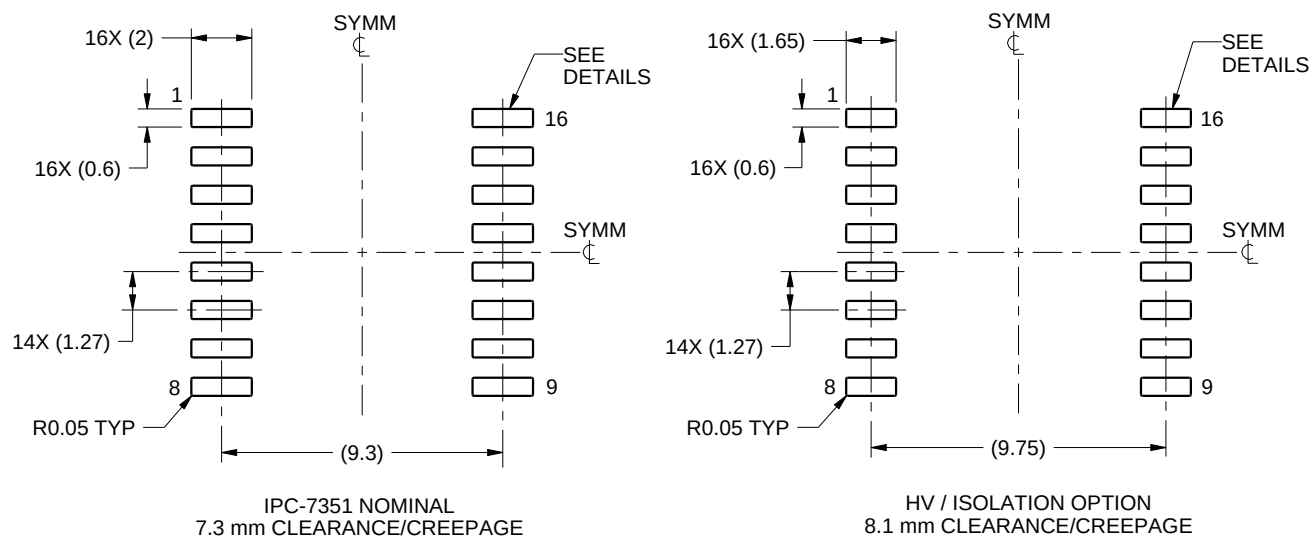
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

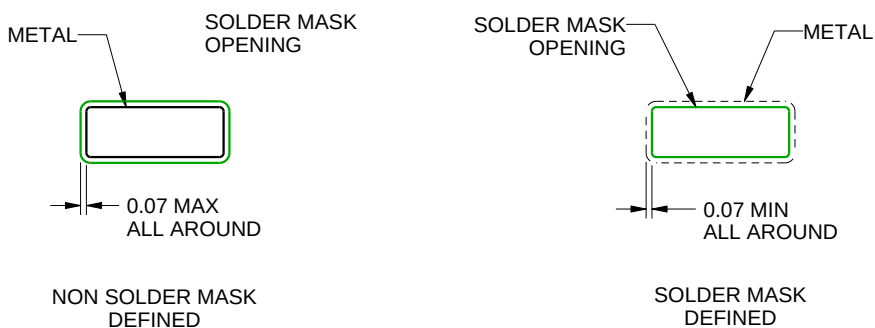
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

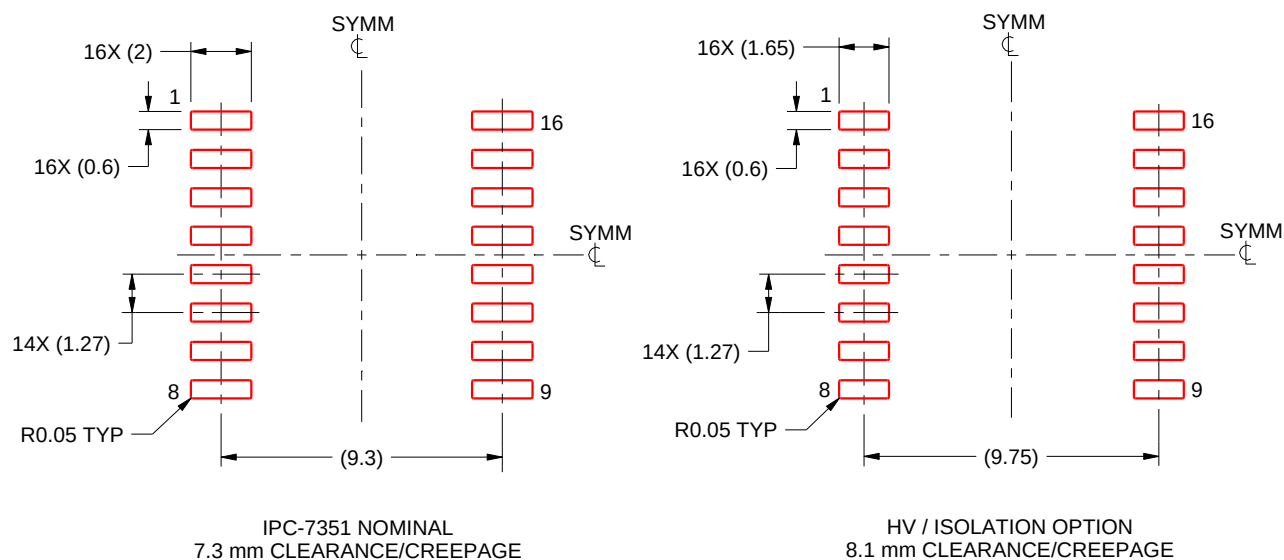
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月