

TPS4811Q1 100V 車載用スマートハイサイドドライバ、保護および診断機能付き

1 特長

- 下記結果で AEC-Q100 認定済み
 - デバイス温度グレード 1: 動作時周囲温度範囲 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 3.5V~80V の入力範囲 (絶対最大定格 100V)
- 最小 -30V までの出力逆極性保護
- 100 μA の電流能力を持つ内蔵 12V チャージポンプ
- 1.6 μA の低シャットダウン電流 (EN/UVLO = Low)
- 強力なプルアップ (3.7A) / プルダウン (4A) ゲートドライバ
- 外付けバックツーマック N チャンネル MOSFET を駆動
- 容量性負荷を駆動するためのプリチャージスイッチドライバを内蔵したバリエーション (TPS4811Q1)
- 調整可能なサーキットブレーカ タイマ (TMR) とフォルトフラグ出力 ($\overline{\text{FLT_I}}$) を備えた 2 レベルの調整可能な過電流保護 (IWRN, ISCP)
- 高速な短絡保護: 1.2 μs (TPS4811Q1)、4 μs (TPS4811Q1)
- 高精度アナログ電流モニタ出力 (IMON): $\pm 2\%$ (30mV V_{SNS})
- 調整可能な低電圧誤動作防止 (UVLO) および過電圧保護 (OV) $\pm 2\%$ 未満
- フォルトフラグ出力 ($\overline{\text{FLT_T}}$) を備えたリモート過熱検出 (DIODE) および保護

2 アプリケーション

- パワー・ディストリビューション・ボックス
- ボディ・コントロール・モジュール
- DC/DC コンバータ
- バッテリ・マネージメント・システム

3 説明

TPS4811x-Q1 ファミリーは、保護および診断機能を備えた 100V スマートハイサイドドライバです。動作電圧範囲が 3.5V ~ 80V と広いため、本デバイスは 12V、24V、48V システム設計に最適です。

本デバイスは、大電流システム設計において並列 FET を使って電力をスイッチングできる、強力な 3.7A ピークソース (PU) と 4A ピークシンク (PD) ゲートドライバを備えています。ゲートドライバの制御入力として INP を使います。

本デバイスは、エネルギー管理システムの設計を可能にする高精度電流検出 ($\pm 2\%$) 出力 (IMON) を備えています。本デバイスは、スレッシュホールドと応答時間を精密に調整できる $\overline{\text{FLT_I}}$ 出力を備えた 2 レベルの過電流保護機能を備えています。自動リトライおよびラッチオフフォルト動作は設定可能です。本デバイスは、 $\overline{\text{FLT_T}}$ 出力を備えたりモート過熱保護機能を備えています。

TPS4811Q1 は、制御入力 (INP_G) を備えたプリチャージドライバ (G) を内蔵しています。この機能は、大きな容量性負荷を駆動する必要がある設計を可能にします。シャットダウンモードでは、本コントローラは合計 1.6 μA のシャットダウン電流を消費します (48V 電源入力の場合)。

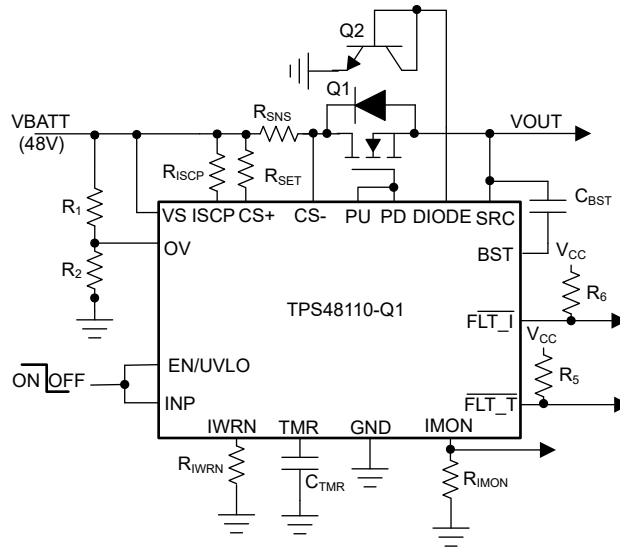
TPS4811x-Q1 は、隣接する高電圧ピンと低電圧ピンの間のピンを取り除くことで 0.8mm の間隔を確保した 19 ピン VSSOP パッケージで供給されます。

パッケージ情報

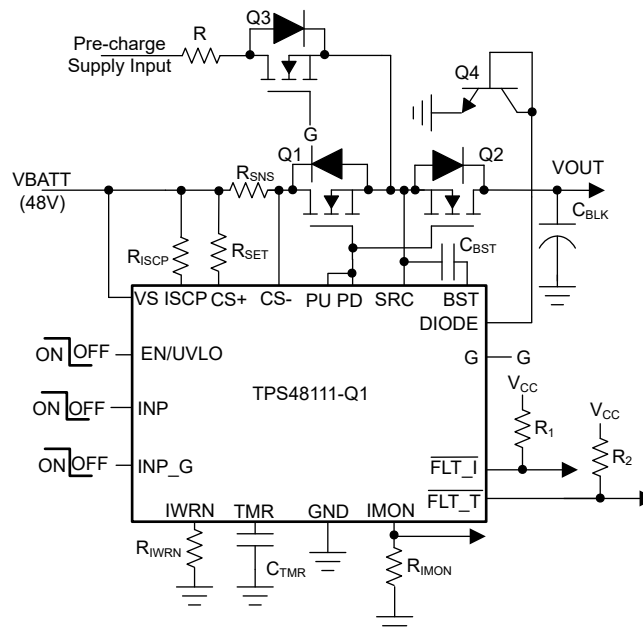
部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
TPS4811Q1	DGX (VSSOP, 19)	5.10mm × 3.00mm
TPS4811Q1		

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。





ヒーター負荷用スマートハイサイドドライバ



DC/DC コンバータ用サーキット ブレーカ

目次

1 特長	1	9 アプリケーションと実装	31
2 アプリケーション	1	9.1 使用上の注意.....	31
3 説明	1	9.2 代表的なアプリケーション: パワー ディストリビューシ オン ユニットの KL40 ラインでの HVAC PTC ヒーター	
4 デバイス比較表	4	負荷の駆動.....	31
5 ピン構成および機能	5	9.3 代表的なアプリケーション: B2B FET の駆動 (出力 容量のプリチャージあり).....	37
6 仕様	7	9.4 代表的なアプリケーション: EMI 対応の設計.....	39
6.1 絶対最大定格.....	7	9.5 電源および EMI に関する推奨事項.....	40
6.2 推奨動作条件.....	7	9.6 レイアウト.....	42
6.3 ESD 定格.....	8	10 デバイスおよびドキュメントのサポート	44
6.4 熱に関する情報.....	8	10.1 ドキュメントの更新通知を受け取る方法.....	44
6.5 電気的特性.....	8	10.2 サポート・リソース.....	44
6.6 スイッチング特性.....	10	10.3 商標.....	44
6.7 代表的特性.....	11	10.4 静電気放電に関する注意事項.....	44
7 パラメータ測定情報	14	10.5 用語集.....	44
8 詳細説明	16	11 改訂履歴	44
8.1 概要.....	16	12 メカニカル、パッケージ、および注文情報	45
8.2 機能ブロック図.....	17		
8.3 機能説明.....	18		
8.4 デバイスの機能モード (シャットダウン モード).....	29		

4 デバイス比較表

	TPS48110Q1	TPS48111Q1
過電圧保護	あり	なし
事前充電ドライバ	なし	あり
短絡保護応答時間	4 μ s	1.2 μ s
過熱故障応答	固定 512ms タイマによる自動再試行	ラッチオフ

5 ピン構成および機能

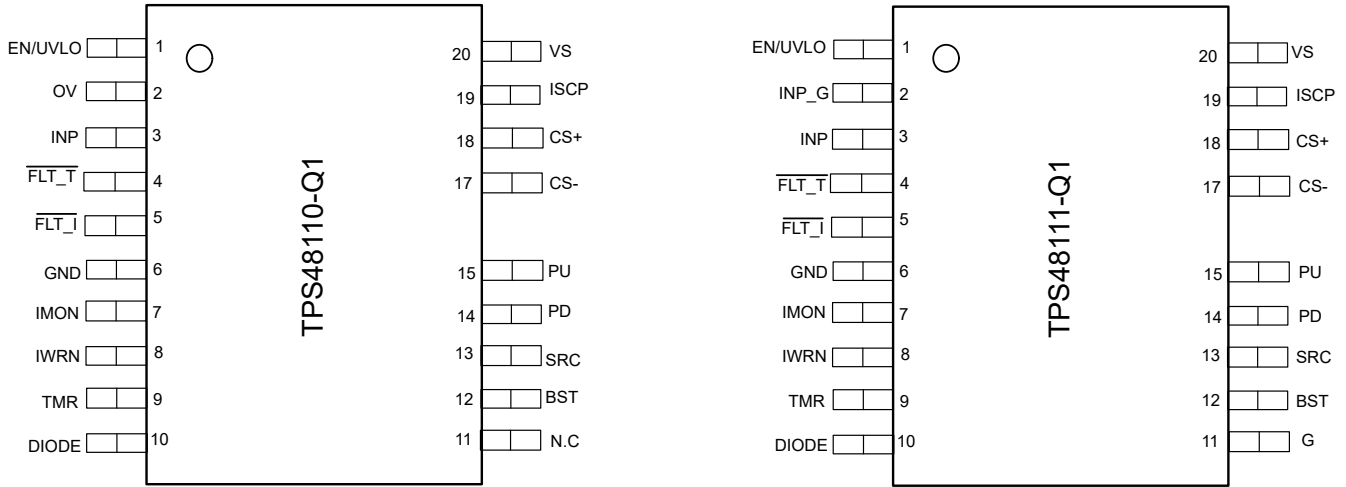


図 5-1. DGX パッケージ、19 ピン VSSOP (上面図)

表 5-1. ピンの機能

名称	ピン		タイプ ⁽¹⁾	説明
	TPS48110Q1	TPS48111Q1		
	DGX-19 (VSSOP)			
EN/UVLO	1	1	I	EN/UVLO 入力。このピンの電圧が 1V を上回ると、通常動作が可能になります。このピンを 0.3V 未満に強制すると、TPS4811x-Q1 はシャットダウンし、静止電流は約 1.6μA (標準値) に低減されます。オプションで、抵抗デバイダ経由で入力電源に接続し、低電圧誤動作防止を設定します。EN/UVLO がフローティングになっている場合、60nA の内部プルダウンにより、EN/UVLO が Low にプルされ、デバイスがオフ状態のままになります。
OV	2	—	I	可変過電圧スレッシュホールド入力。入力電源 OV から GND に抵抗ラダーを接続します。OV の電圧が過電圧カットオフ スレッシュホールドを超えると、PD が SRC にプルダウンされ、外部 FET がオフになります。OV の電圧が OV の立下がりスレッシュホールド電圧を下回ると、PU は BST にプルアップされ、外部 FET がオンになります。未使用時は OV は GND に接続する必要があります。OV をフローティングのままにすると、内部の 60nA のプルダウンによって OV は Low に引き下げられ、PU は BST にプルアップされた状態が維持されます。
INP_G	—	2	I	入力信号。G ピンの状態を設定する GND への CMOS 互換入力リファレンス。INP_G には GND への内部プルダウンがあり、INP_G をフローティングにすると G は SRC にプルダウンされた状態に維持されます。G ドライブ機能を使用しない場合は、INP_G を GND に接続します。
INP	3	3	I	入力信号。PD ピンおよび PU ピンの状態を設定する GND への CMOS 互換入力リファレンス。INP には GND への内部プルダウンがあり、INP をフローティングにすると PD は SRC にプルダウンされた状態に維持されます。
FLT_T	4	4	O	オープンドレイン フォルト出力。過熱故障が検出されると、このピンは low にアサートされます。
FLT_I	5	5	O	オープンドレイン フォルト出力。このピンは、TMR ピンの電圧が故障スレッシュホールドである 1.1V に達した後に Low をアサートします。このピンは、過電流状態によりパストランジスタがまもなくオフになることを示します。過電流状態と自動リトライ時間が経過するまで、FLT_I ピンはハイインピーダンス状態にはなりません。
GND	6	6	G	GND をシステム グランドに接続します。

表 5-1. ピンの機能 (続き)

名称	ピン		タイプ ⁽¹⁾	説明
	TPS48110Q1	TPS48111Q1		
	DGX-19 (VSSOP)			
IMON	7	7	O	アナログ電流モニタ出力。このピンは、外部の電流センス抵抗 R_{SNS} を介して、電流のスケールダウン比をソースします。このピンと GND との間の抵抗は、電圧に比例する電流を変換します。このピンを使わない場合、ピンを GND に接続します。
IWRN	8	8	I	過電流検出設定。IWRN と GND の間に抵抗を配置することで、過電流コンパレータ スレッシュホールドが設定されます。過電流保護機能が必要ない場合は、IWRN を GND に接続します。
TMR	9	9	I	フォルト タイマ入力。TMR ピンと GND の間のコンデンサにより、故障警告、故障ターンオフ (FLT_I)、再試行の各期間の時間が設定されます。最速の設定にするには、オープンのままにします。過電流保護を無効化するには、TMR を GND に接続します。
DIODE	10	10	I	温度検出用のダイオード接続。このピンを MMBT3904 NPN BJT のベースおよびコレクタに接続します。リモート過熱保護機能を使用しない場合、ダイオードは GND に接続します。
G	—	11	O	外部プリチャージ FET のゲート。外部 FET の GATE に接続します。G ドライブ機能を使用しない場合は、G ピンはフローティングのままにします。
N.C	11	—	—	接続なし。
BST	12	12	O	ハイサイド ブートストラップ電源。このピンと SRC との間に、外部 FET の $Q_{g(tot)}$ を上回る最小値の外部コンデンサを接続する必要があります。
SRC	13	13	O	外部 FET のソース接続。
PD	14	14	O	大電流ゲートドライバのプルダウン。このピンは、SRC にプルダウンされています。ターンオフを最速にするには、このピンを外部ハイサイド MOSFET のゲートに直接接続します。
PU	15	15	O	大電流ゲートドライバのプルアップ。このピンは BST にプルアップされています。ゲート駆動遷移速度を最大にするには、このピンを PD に接続します。このピンと外部 MOSFET のゲートとの間に抵抗を接続することで、ターンオン時の突入電流を制御できます。
CS-	17	17	I	電流センスの負入力。
CS+	18	18	I	電流センスの正入力。CS+ と外部電流検出抵抗の間に 50 ~ 100Ω の抵抗を接続します。
ISCP	19	19	I	短絡検出スレッシュホールド設定。短絡保護が不要な場合は、ISCP を CS- に接続します。
VS	20	20	電源	コントローラの電源ピン。

(1) I: 入力、O: 出力、I/O: 入力または出力、P: 電源、G = グランド。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
入力ピン:	VS, CS+, CS-, ISCP から GND へ	-1	100	V
	VS, CS+, CS- から SRC へ	-60	100	
	SRC ~ GND	-30	100	
	PU, PD, G, BST から SRC へ	-0.3	16	
	TMR, IWRN, ダイオードから GND へ	-0.3	5.5	
	OV, EN/UVLO, INP, INP_G, FLT_I, FLT_T から GND	-1	20	
	CS+ から CS- へ	-0.3	0.3	
	$I_{(FLT_I)}$, $I_{(FLT_T)}$		10	mA
	$I_{(CS+)} \sim I_{(CS-)}$, 1msec	-100	100	
	ドレイン側入力ピンの電圧スルーレート (VS, CS+, CS-, ISCP)		60	V/ μ s
出力ピン	PU, PD, G, BST ~ GND	-30	112	V
	IMON ~ GND	-1	7.5	
動作時の接合部温度、 T_j (2)		-40	150	°C
保管温度、 T_{stg}		-55	150	

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

6.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	公称値	最大値	単位
入力ピン:	VS, CS+, CS- から GND へ	0		80	V
	EN/UVLO, OV から GND	0		15	
出力ピン	FLT_I, FLT_T から GND へ	0		15	
	IMON ~ GND	0		5	
外付けコンデンサ	VS から GND へ	22			nF
	BST ~ SRC	0.1			μ F
T_j	動作時接合部温度(2)	-40		150	°C

- (1) 推奨動作条件は、デバイスが機能すると想定されている条件を示します。仕様およびテスト条件については、「電気的特性」を参照してください。
- (2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります。

6.3 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイスモデル (CDM)、AEC Q100-011 準拠	±750	
		コーナーピン (EN/UVLO、DIODE、G、VS) その他のピン	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS4811x-Q1		単位
		DGX		
		19 ピン		
R _{θJA}	接合部から周囲への熱抵抗	87		°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	26.5		°C/W
R _{θJB}	接合部から基板への熱抵抗	43.7		°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.5		°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	43.3		°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 電気的特性

T_J = -40°C ~ +125°C、代表値は、T_J = 25°C、V_(VS) = V_(CS+) = V_(CS-) = 48V、V_(BST - SRC) = 12V、V_(SRC) = 0 V、V_{SNS} = R_{SNS} 両端の電圧とします

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧						
V _(VS)	動作時入力電圧		3.5		80	V
V _(VS_PORR)	VS POR スレッショルド、立ち上がり		2.75	3	3.2	V
V _(VS_PORF)	VS POR スレッショルド、立ち下がり		2.65	2.9	3.1	V
I _(Q)	システム全体の静止電流、I _(GND)	V _(EN/UVLO) = 2V		613	700	μA
I _(SHDN)	SHDN 電流、I _(GND)	V _(EN/UVLO) = 0V、V _(SRC) = 0V		1.6	5.36	μA
		V _(EN/UVLO) = 0V、V _(SRC) = 0V、-40°C < T _J < 85°C		1.6	2.65	μA
有効および低電圧誤動作防止 (EN/UVLO) 入力						
V _(UVLOR)	UVLO スレッショルド電圧、立ち上がり		1.16	1.18	1.2	V
V _(UVLOF)	UVLO スレッショルド電圧、立ち下がり		1.1	1.11	1.13	V
V _(ENF)	低 IQ シャットダウンのイネーブル スレッショルド電圧、立ち下がり		0.3	0.7	0.9	V
	イネーブル ヒステリシス			43	60	mV
I _(EN/UVLO)	イネーブル入力リーク電流	V _(EN/UVLO) = 12V		61	320	nA
過電圧保護 (OV) 入力 – TPS48110-Q1 のみ						
V _(OVR)	過電圧スレッショルド入力、立ち上がり	TPS48110-Q1 のみ	1.16	1.18	1.2	V
V _(OVF)	過電圧スレッショルド入力、立ち下がり		1.1	1.11	1.13	V
I _(OV)	OV の入力リーク電流	0V < V _(OV) < 5V		60	300	nA
チャージ ポンプ (BST-SRC)						
I _(BST)	チャージ ポンプ電源電流	V _(BST - SRC) = 10V	80	100	126	μA

6.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、代表値は、 $T_J = 25^\circ\text{C}$ 、 $V_{(VS)} = V_{(CS+)} = V_{(CS-)} = 48\text{V}$ 、 $V_{(BST - SRC)} = 12\text{V}$ 、 $V_{(SRC)} = 0\text{V}$ 、 $V_{SNS} = R_{SNS}$ 両端の電圧とします

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(BST - SRC)}$	チャージポンプのターンオン電圧		11	11.7	12.3	V
	チャージポンプのターンオフ電圧		11.6	12.3	13	V
$V_{(BST_UVLOR)}$	$V_{(BST - SRC)}$ UVLO 電圧スレッショルド、立ち上がり		7	7.6	8.1	V
$V_{(BST_UVLOF)}$	$V_{(BST - SRC)}$ UVLO 電圧スレッショルド、立ち下がり		6	6.5	6.9	V
$V_{(BST - SRC)}$	$V_{(VS)} = 3.5\text{V}$ でのチャージポンプ電圧		8.6			V
ゲートドライバ出力 (PU, PD, G)						
$R_{(PD)}$	プルダウン抵抗			0.69	1.34	Ω
$I_{(PU)}$	ピークソース電流			3.75		A
$I_{(PD)}$	ピークシンク電流			4		A
$I_{(G)}$	ゲート電荷 (ソース) 電流、オン状態	TPS4811-Q1 のみ	72	100	140	μA
	ゲート放電 (シンク) 電流、オフ状態		92	131	190	mA
電流センスおよび過電流保護 (CS+, CS-, IMON, ISCP, IWRN)						
$V_{(OS_SET)}$	入力換算オフセット (V_{SNS} から $V_{(IMON)}$ へのスケールリング)	$R_{SET} = 100\Omega$ 、 $R_{IMON} = 5\text{k}\Omega$ 、 $10\text{k}\Omega$ ($V_{SNS} = 6\text{mV} \sim 30\text{mV}$ に対応)、ゲインはそれぞれ 45 および 90。	-200		200	μV
$V_{(GE_SET)}$	ゲイン誤差 (V_{SNS} から $V_{(IMON)}$ へのスケールリング)		-1.27		1.27	%
$V_{(IMON_Acc)}$	IMON の精度	$V_{SNS} = 30\text{mV}$ 、 $R_{SET} = 100\Omega$ 、 $R_{IMON} = 10\text{k}\Omega$	-2		2	%
		$V_{SNS} = 6\text{mV}$ 、 $R_{SET} = 100\Omega$ 、 $R_{IMON} = 5\text{k}\Omega$	-5		5	%
$V_{(SNS_WRN)}$	過電流保護 (OCP) 電圧スレッショルド	$R_{SET} = 100\Omega$ 、 $R_{IWRN} = 39.7\text{k}\Omega$	29.2	30.6	31.5	mV
		$R_{SET} = 100\Omega$ 、 $R_{IWRN} = 120\text{k}\Omega$	8	10	12	mV
$I_{(ISCP)}$	SCP 入力バイアス電流		13.7	15.6	17.6	μA
$V_{(SNS_SCP)}$	短絡保護 (SCP) 電圧スレッショルド	$R_{ISCP} = 2.1\text{k}\Omega$	35	40	45	mV
		$R_{ISCP} = 750\Omega$		19		mV
$I_{(CS-)}$	CS- 入力バイアス電流		160	183	200	μA
遅延タイム (TMR)						
$I_{(TMR_SRC_CB)}$	TMR ソース電流		73	82	91	μA
$I_{(TMR_SRC_FLT)}$	TMR ソース電流		2.1	2.5	3.3	μA
$I_{(TMR_SNK)}$	TMR シンク電流		2.1	2.5	3	μA
$V_{(TMR_OC)}$	過電流シャットダウンの TMR 電圧スレッショルド		1.112	1.2	1.3	V
$V_{(TMR_FLT)}$	FLT_T アサートの TMR 電圧スレッショルド		1.03	1.1	1.2	V
$V_{(TMR_LOW)}$	AR カウンタ立ち下がりスレッショルドの TMR ピンの電圧		0.15	0.2	0.22	V
入力制御 (INP, INP_G)、故障フラグ (FLT_I, FLT_T)						
$R_{(FLT_I)}$	FLT_I プルダウン抵抗		54	70	90	Ω
$R_{(FLT_T)}$	FLT_T プルダウン抵抗			70		Ω
$I_{(FLT_T)}$	FLT の入力リーク電流				400	nA
$V_{(INP_H)}$				1.6	2	V

6.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、代表値は、 $T_J = 25^\circ\text{C}$ 、 $V_{(VS)} = V_{(CS+)} = V_{(CS-)} = 48\text{V}$ 、 $V_{(BST - SRC)} = 12\text{V}$ 、 $V_{(SRC)} = 0\text{V}$ 、 $V_{SNS} = R_{SNS}$ 両端の電圧とします

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{(INP_L)}$			0.8	1.2		V
$V_{(INP_Hys)}$				400		mV
$V_{(INP_G_H)}$		TPS48111-Q1 のみ		1.6	2	V
$V_{(INP_G_L)}$			0.8	1.2		V
$V_{(INP_G_Hys)}$				400		mV
温度検出および保護 (ダイオード)						
$I_{(DIODE)}$	外部ダイオードの電流ソース	High レベル		160		μA
		Low レベル		10		μA
	ダイオードの電流比		15.4	16	16.6	A/A
$T_{(DIODE_TSD_rising)}$	ダイオード検出 TSD 立ち上がりスレッシュホルド	センシングには MMBT3904 BJT を使用	140	150	160	$^\circ\text{C}$

6.6 スイッチング特性

$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、代表値は、 $T_J = 25^\circ\text{C}$ 、 $V_{(VS)} = V_{(CS+)} = V_{(CS-)} = 48\text{V}$ 、 $V_{(BST - SRC)} = 12\text{V}$ 、 $V_{(SRC)} = 0\text{V}$ 、 $V_{SNS} = R_{SNS}$ 両端の電圧とします

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PU(INP_H)}$	INP ターンオン伝搬遅延	INP $\uparrow \sim$ PU \uparrow 、 $C_L = 47\text{nF}$		1	2	μs
$t_{PD(INP_L)}$	INP ターンオフ伝搬遅延	INP $\downarrow \sim$ PD \downarrow 、 $C_L = 47\text{nF}$			1	μs
$t_{G(INP_G_H)}$	INP_G ターンオン伝搬遅延	INP_G $\uparrow \sim$ G \uparrow 、 $C_L = 1\text{nF}$		21		μs
$t_{G(INP_G_L)}$	INP_G ターンオフ伝搬遅延	INP_G $\downarrow \sim$ G \downarrow 、 $C_L = 1\text{nF}$		0.55	0.8	μs
$t_{PD(EN_OFF)}$	EN ターンオフ伝搬遅延	EN $\downarrow \sim$ PD \downarrow 、 $C_L = 47\text{nF}$		3.2	5	μs
$t_{PD(UVLO_OFF)}$	UVLO ターンオフ伝搬遅延	UVLO $\downarrow \sim$ PD \downarrow 、 $C_L = 47\text{nF}$		3.5	6	μs
$t_{PD(VS_OFF)}$	入力電源 (VS) 遮断時の PD ターンオフ遅延	VS \downarrow $V_{(VS_PORF)} \sim$ PD \downarrow 、 $C_L = 47\text{nF}$ 、INP = EN/UVLO = 2V		54		μs
$t_{PU(VS_ON)}$	入力電源 (VS) 回復時の PU ターンオン遅延	VS \uparrow $V_{(VS_PORR)} \sim$ PU \uparrow 、 $C_L = 47\text{nF}$ 、INP = EN/UVLO = 2V、 $V_{(BST - SRC)} > V_{(BST_UVLOR)}$		328	465	μs
$t_{PD(OV_OFF)}$	OV ターンオフ伝搬遅延	OV $\downarrow \sim$ PD \downarrow 、 $C_L = 47\text{nF}$		2.6	4	μs
t_{sc}	ハ短絡保護の伝搬遅延	$(V_{CS+} - V_{CS-}) \uparrow V_{(SNS_SCP)} \sim$ PD \downarrow 、 $C_L = 47\text{nF}$ 、TPS48111-Q1 のみ		1.16	1.6	μs
	ハ短絡保護の伝搬遅延	$(V_{CS+} - V_{CS-}) \uparrow V_{(SNS_SCP)} \sim$ PD \downarrow 、 $C_L = 47\text{nF}$ 、TPS48110-Q1 のみ		4	5	μs
t_{oc}	過電流保護遅延	$(V_{CS+} - V_{CS-}) \uparrow V_{(SNS_WRN)} \sim$ PD \downarrow 、 $C_L = 47\text{nF}$ 、 $C_{TMR} = 0\text{nF}$		25	30	μs
	過電流保護遅延	$(V_{CS+} - V_{CS-}) \uparrow V_{(SNS_WRN)} \sim$ PD \downarrow 、 $C_L = 47\text{nF}$ 、 $C_{TMR} = 22\text{nF}$		370		μs
$t_{(FLT_I_ASSERT)}$	FLT_I アサート遅延	$C_{TMR} = 22\text{nF}$		340		μs
$t_{(FLT_I_DEASSERT)}$	FLT_I デアサート遅延			260		μs
$t_{(FLT_T)AR}$	TSD 自動リトライ	TPS48110-Q1 のみ		512		ms

6.7 代表的特性

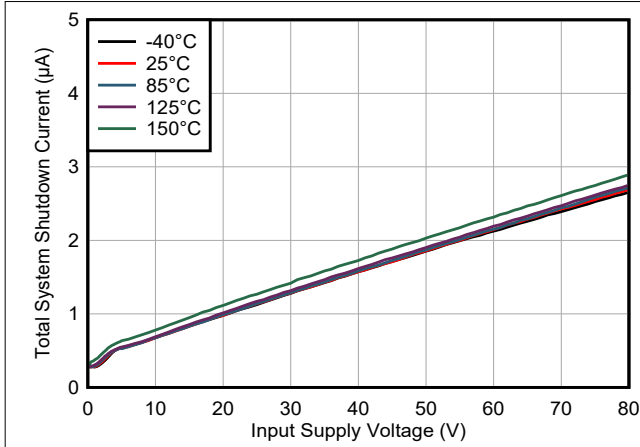


図 6-1. シャットダウン電源電流と電源電圧との関係

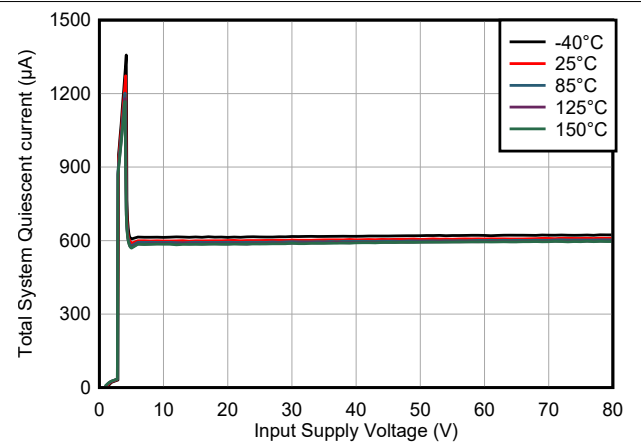


図 6-2. 動作時静止電流と電源電圧との関係

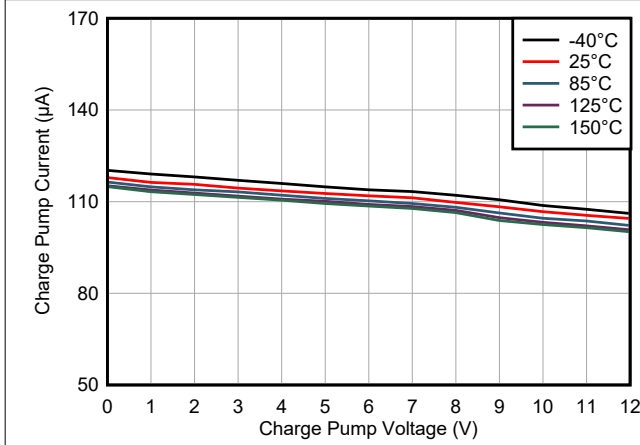


図 6-3. チャージポンプ電流とチャージポンプ電圧との関係

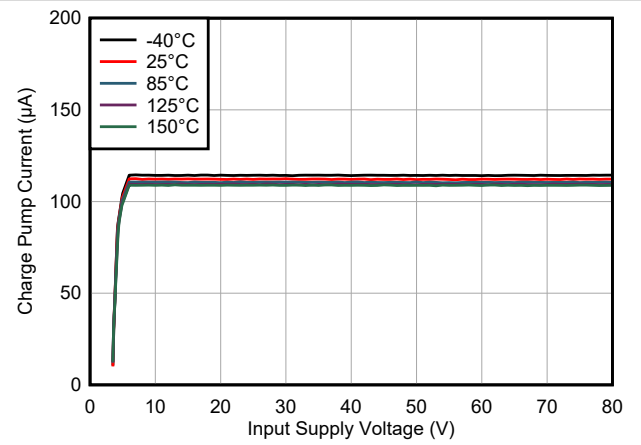


図 6-4. チャージポンプ電流と入力電源電圧との関係

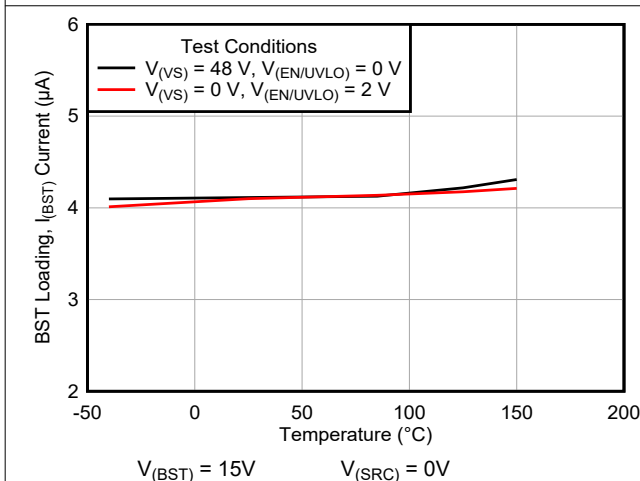


図 6-5. BST 負荷電流 (I_{BST}) と温度との関係

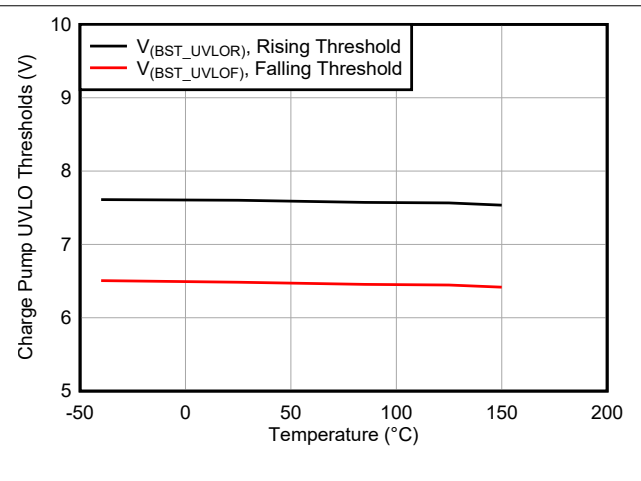


図 6-6. チャージポンプ UVLO スレッシュホールドと温度との関係

6.7 代表的特性 (続き)

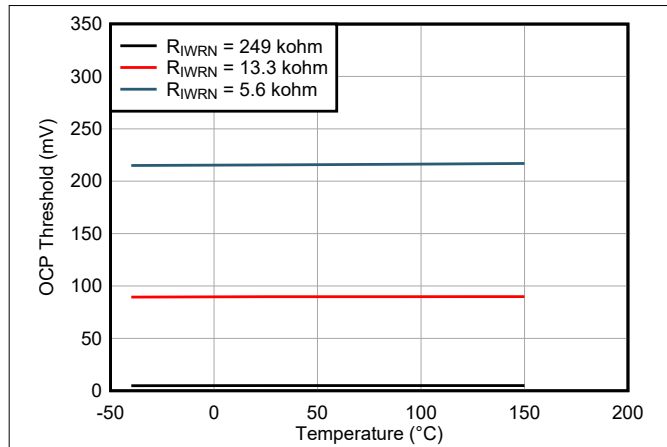


図 6-7. 過電流スレッシュヨルド ($V_{(SNS_WRN)}$) と温度との関係

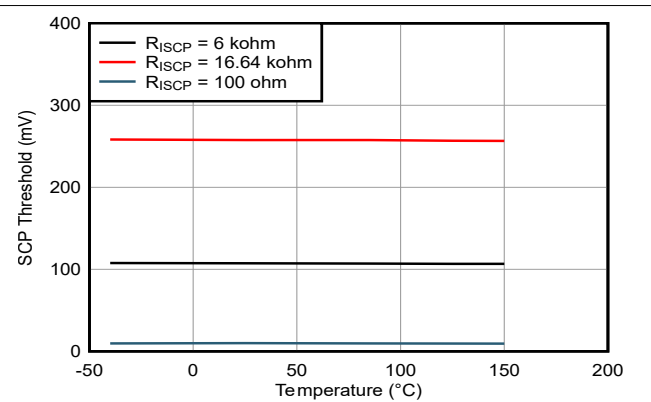


図 6-8. 短絡スレッシュヨルド ($V_{(SNS_SCP)}$) と温度との関係

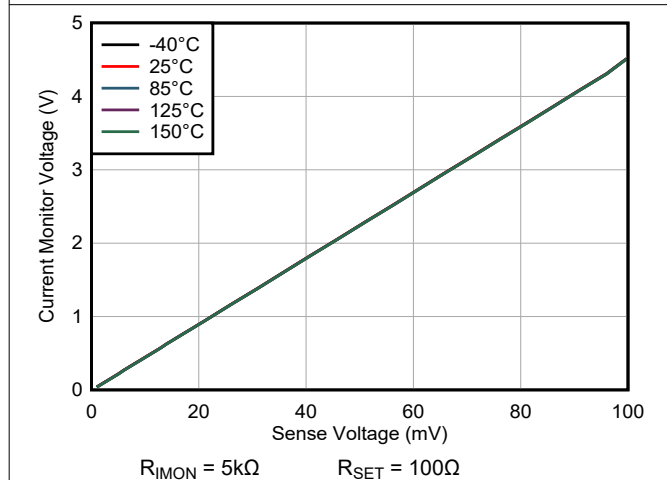


図 6-9. 電流監視電圧 ($V_{(IMON)}$) と検出電圧 ($V_{(SNS)}$) との関係

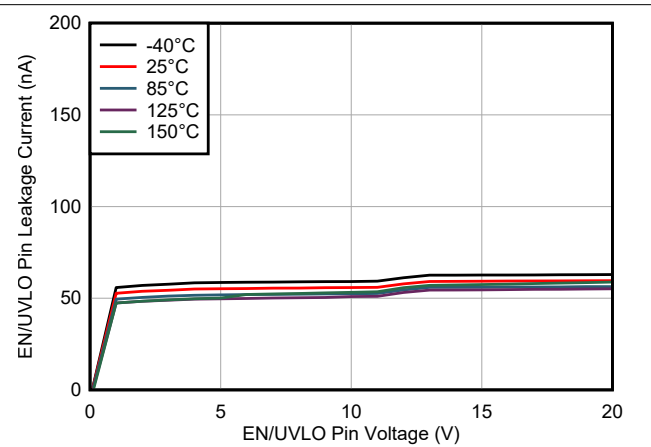


図 6-10. EN/UVLO ピンの電圧と電流との関係

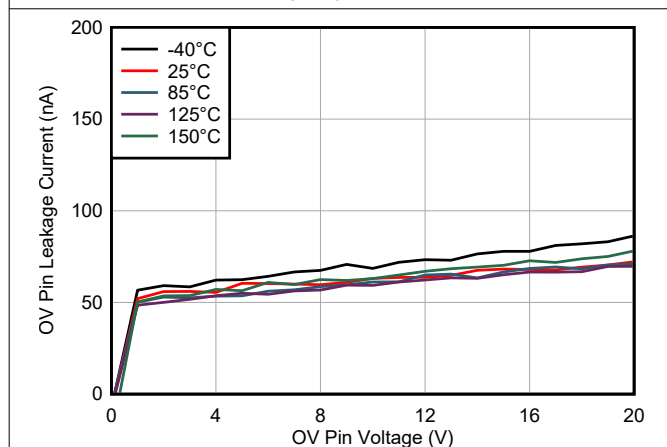


図 6-11. OV ピンの電圧とリーク電流との関係

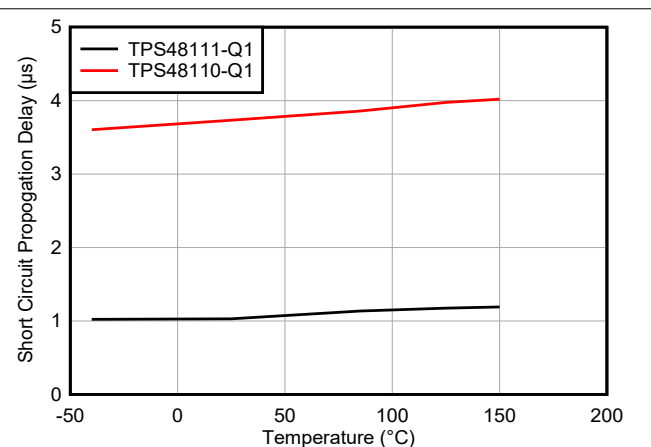
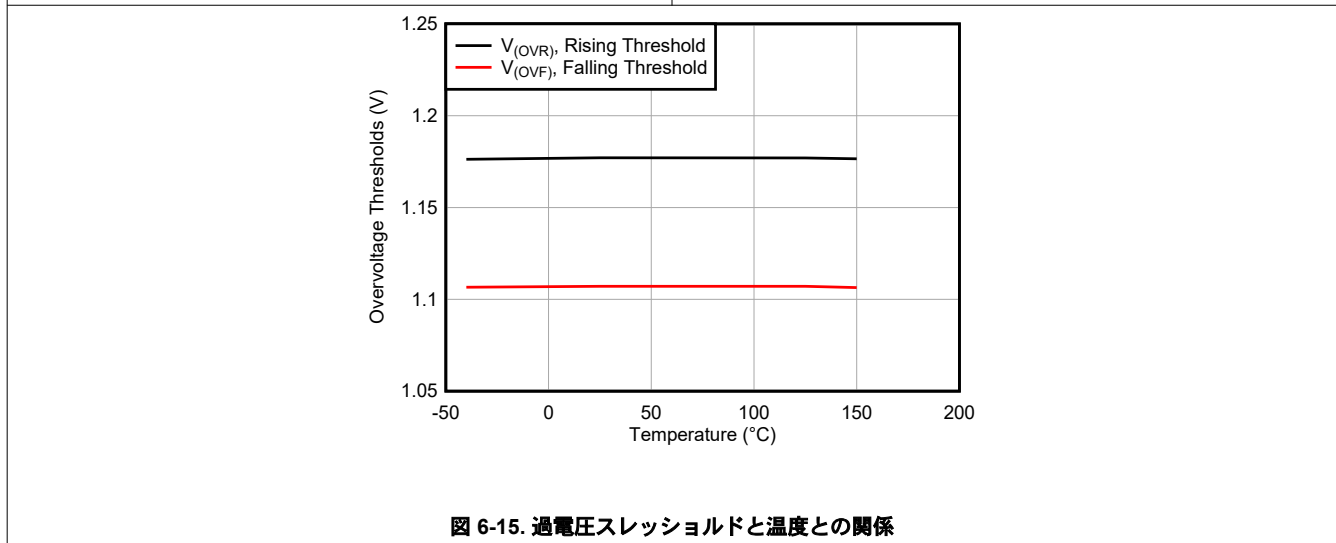
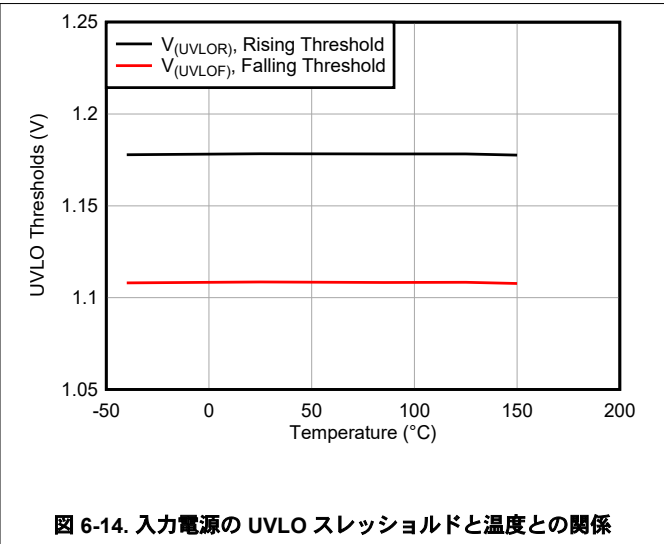
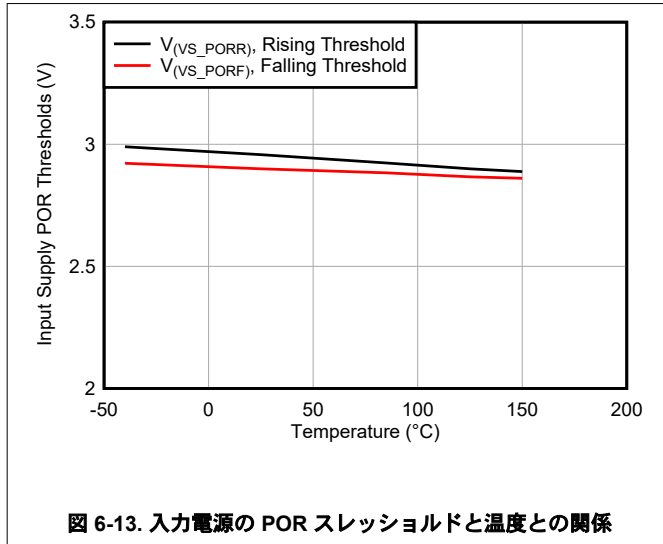


図 6-12. 短絡保護応答時間 (t_{SC}) と温度との関係

6.7 代表的特性 (続き)



7 パラメータ測定情報

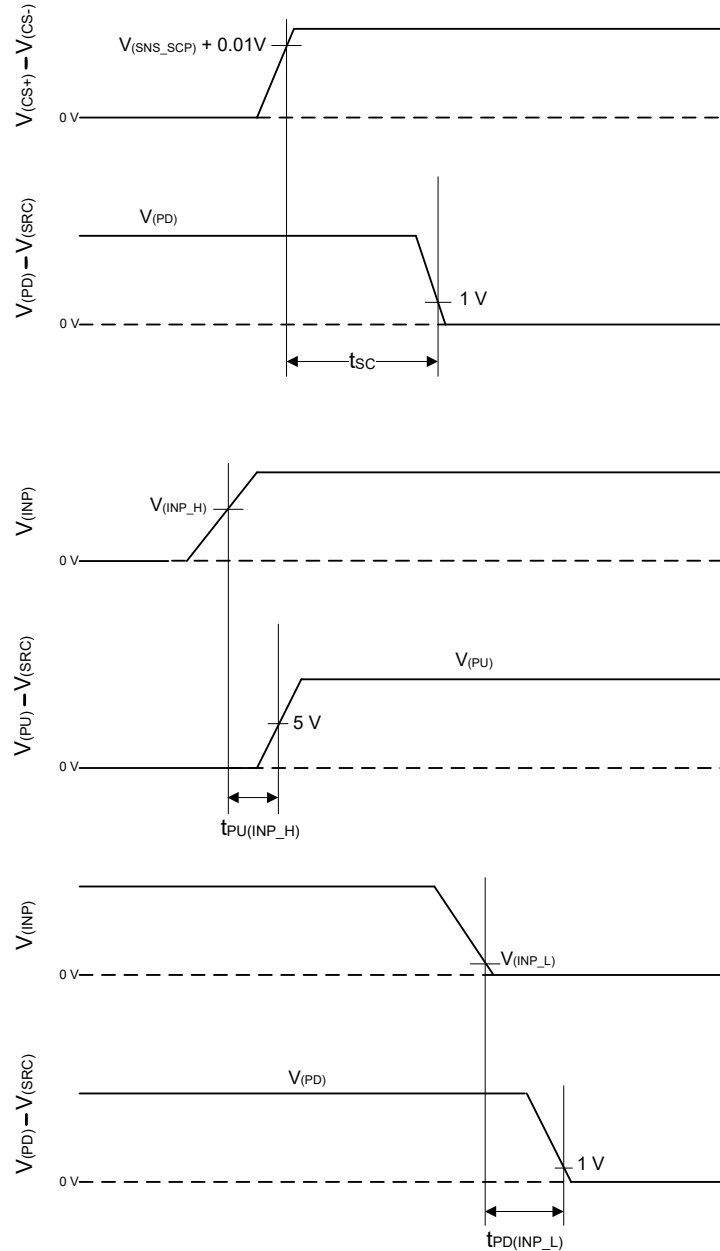


図 7-1. タイミング波形

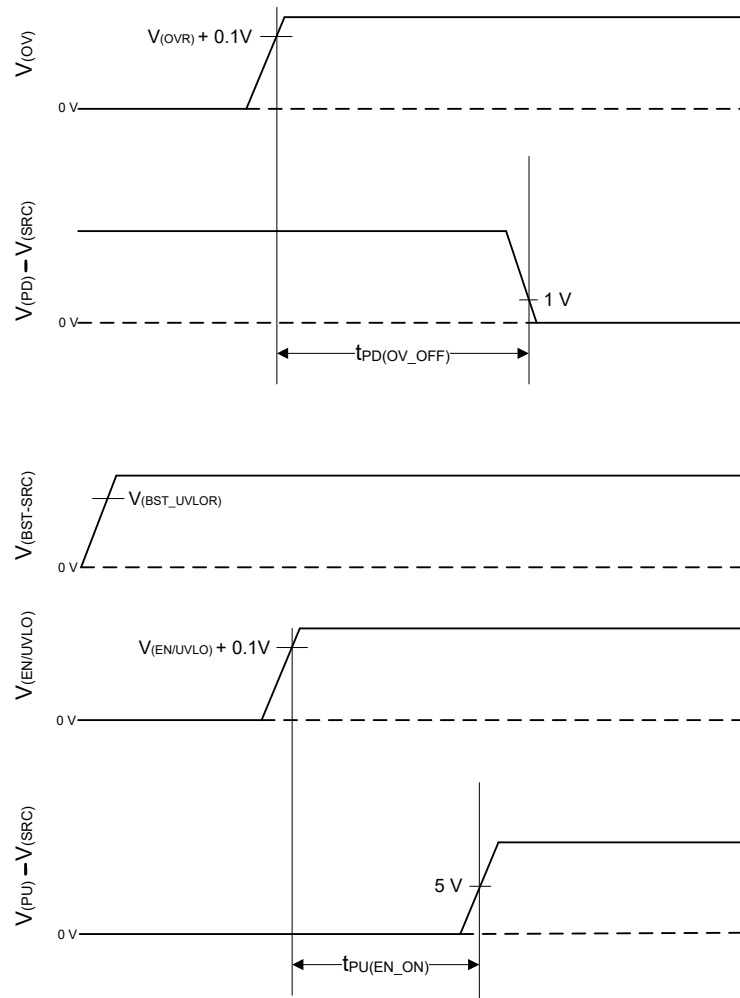


図 7-2. タイミング波形

8 詳細説明

8.1 概要

TPS4811x-Q1 ファミリーは、保護および診断機能を備えた 100V スマート ハイサイドドライバです。動作電圧範囲が 3.5V ~ 80V と広いため、本デバイスは 12V、24V、および 48V のシステム設計に最適です。

本デバイスは、大電流システム設計において並列 FET を使って電力をスイッチングできる、強力な 3.7A ピーク ソース (PU) と 4A ピーク シンク (PD) ゲートドライバを備えています。ゲートドライバの制御入力として INP を使います。外付けの R-C 部品を配置することで、MOSFET スルー レート制御 (オンおよびオフ) が可能です。

このデバイスは、高精度な電流検出機能 ($V_{SNS} = 30\text{mV}$ 時で $\pm 2\%$) と電流モニタ出力 (IMON) を備えており、エネルギー管理システムの実現を可能にします。本デバイスは、スレッショルドと応答時間を精密に調整できる $\overline{\text{FLT_I}}$ 出力を備えた 2 レベルの過電流保護機能を備えています。自動リトライおよびラッチオフ フォルト動作は設定可能です。

このデバイスは、リモート過温度保護機能と $\overline{\text{FLT_T}}$ 出力を備えており、堅牢なシステム保護を実現します。

TPS48110Q1 は、高精度な過電圧保護機能 ($\pm 2\%$ 未満) を備えており、負荷を確実に保護します。

TPS48111Q1 は、制御入力 (INP_G) を備えたプリチャージドライバ (G) を内蔵しています。この機能により、まずプリチャージ後にメイン パワー FET をオンにすることで、大きな容量性負荷を駆動する必要のあるシステムを設計できます。

TPS4811x-Q1 は、EN/UVLO ピンを用いた高精度な低電圧保護機能 ($\pm 2\%$ 未満) を備えています。EN/UVLO を Low ($< 0.3\text{V}$) にすると、デバイスがオフになり、シャットダウン状態に移行します。シャットダウン モードでは、本コントローラは合計 $1.6\mu\text{A}$ のシャットダウン電流を消費します (48V 電源入力の場合)。

8.2 機能ブロック図

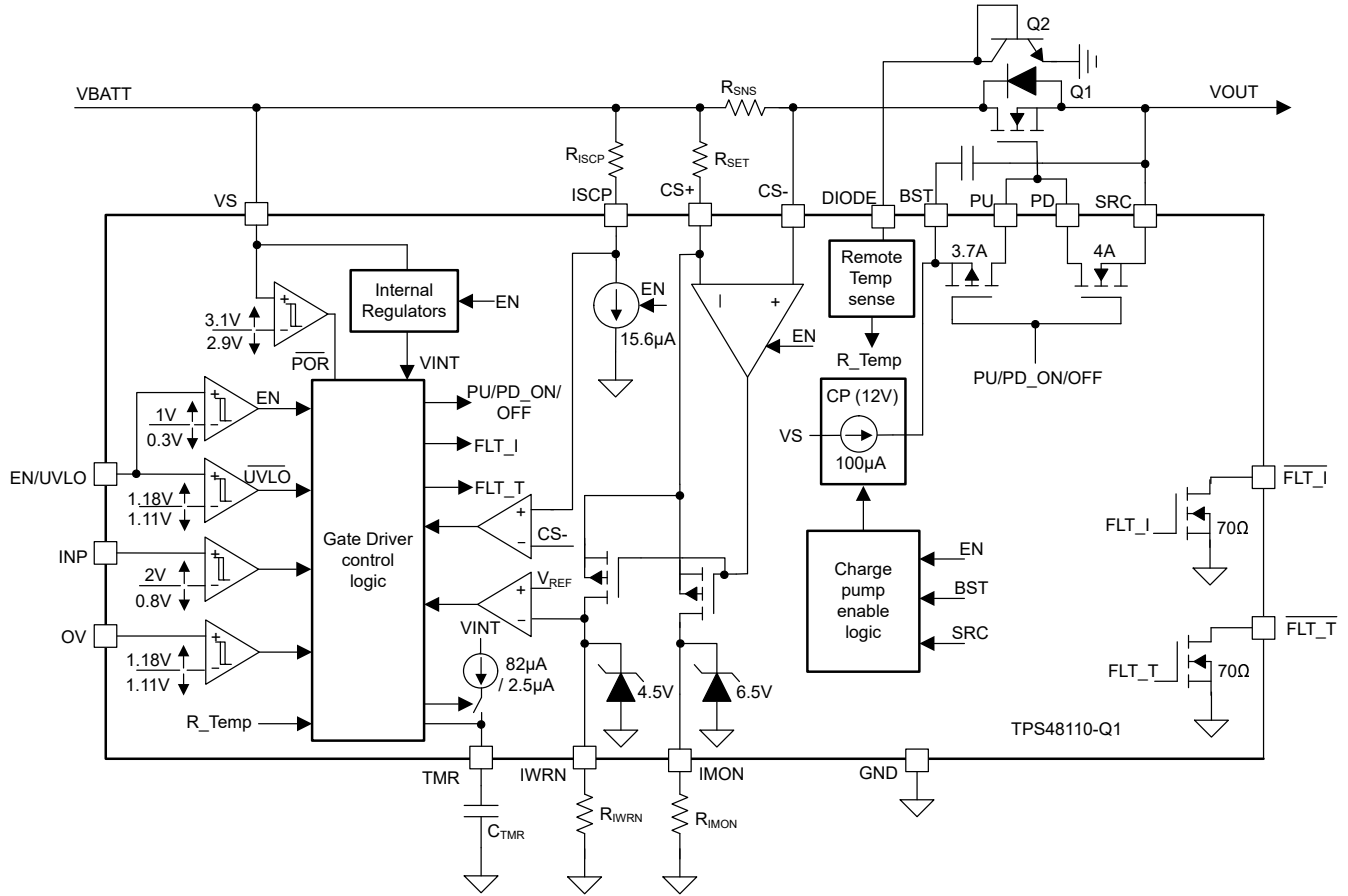


図 8-1. TPS4811Q1 の機能ブロック図

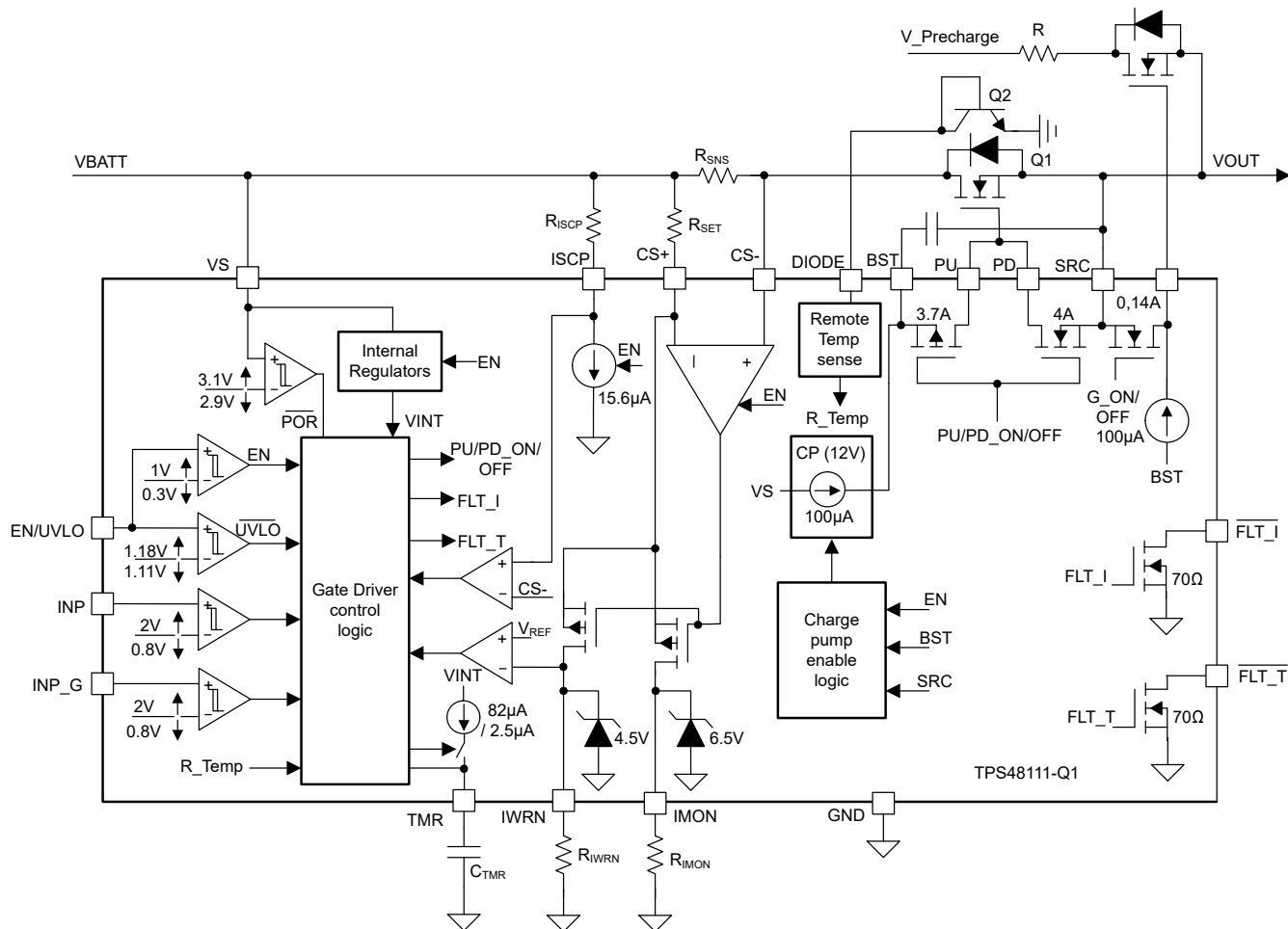


図 8-2. TPS4811Q1 の機能ブロック図

8.3 機能説明

8.3.1 チャージポンプとゲートドライバの出力 (VS、PU、PD、BST、SRC)

図 8-3 に、チャージポンプとゲートドライバ回路の実装の概略図を示します。このデバイスは、ピークソース 3.7A およびピークシンク 4A の強力なゲートドライバを内蔵しています。強力なゲートドライバを使用すると、大電力システム設計で FET を並列接続でき、飽和領域における遷移時間を最小化することができます。12V で、100 μ A のチャージポンプが VS 端子から生成され、ゲートドライバ (BST と SRC) の両端に配置された外部ブートストラップコンデンサ C_{BST} を充電します。

スイッチングアプリケーションでは、チャージポンプの電源需要が 100 μ A より高い場合は、図 8-3 に示すように、低リークダイオードと V_{AUX} 電源を使用して BST を外部から供給します。

VS はコントローラの電源ピンです。VS を印加し、EN/UVLO を High にすると、チャージポンプがオンになり、 C_{BST} コンデンサを充電します。 C_{BST} の両端の電圧が $V_{(BST_UVLOR)}$ を超えると、ゲートドライバセクションがアクティブになります。このデバイスには 1V (標準値) の UVLO ヒステリシスがあり、最初のゲートターンオン時の性能のチャタリングが低減されます。外部 FET Q_G と FET のターンオン時に許容されるディップに基づいて C_{BST} を選択します。チャージポンプは、BST から SRC への電圧が通常 12.3V に達するまで有効に維持されます。この時点でチャージポンプは無効化され、VS ピンに流れる電流が減少します。BST から SRC への電圧が放電して 11.7V に達するまで、チャージポンプは無効のまま維持され、通常はその時点でチャージポンプが有効化されます。図 8-3 に示すように、BST と SRC の間の電圧は 12.3V ~ 11.7V の間で充電および放電を継続します。

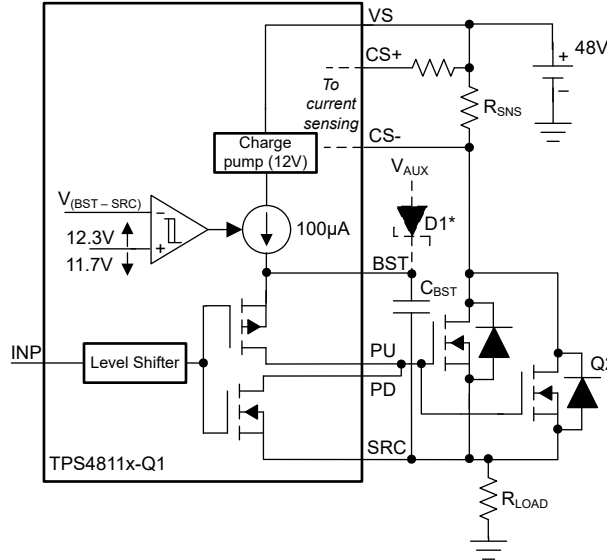


図 8-3. ゲートドライバ

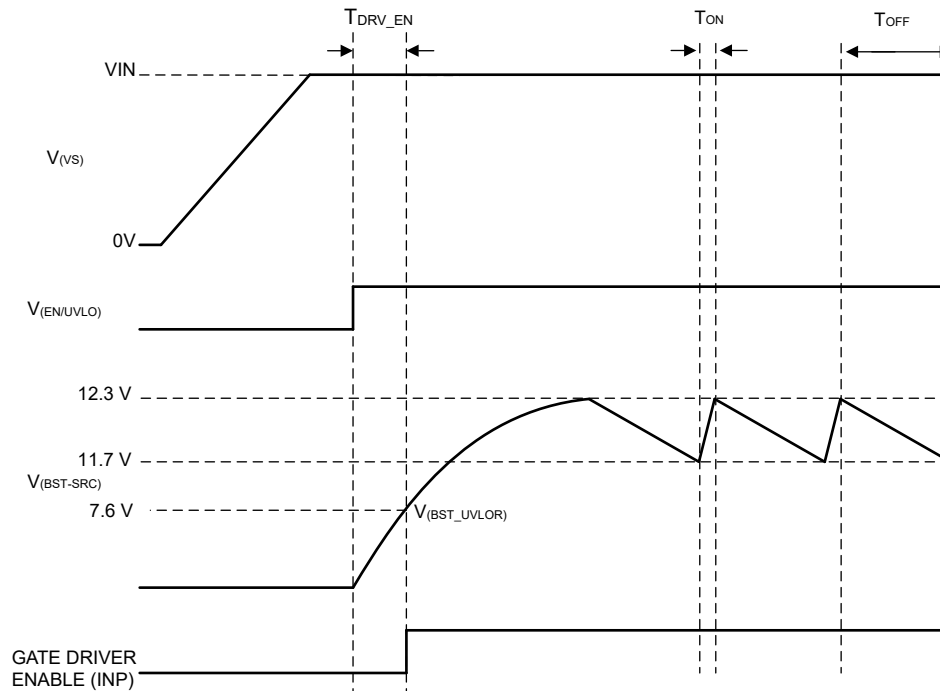


図 8-4. チャージポンプ動作

ゲートドライバの初期イネーブル遅延を計算するには、次の式を使用します。

$$T_{\text{DRV_EN}} = \frac{C_{\text{BST}} \times V_{\text{(BST_UVLOR)}}}{100\mu\text{A}} \quad (1)$$

ここで、

- C_{BST} は、BST と SRC ピンの間に接続されているチャージポンプ容量です
- $V_{\text{(BST_UVLOR)}} = 7.6\text{V}$ (標準値)

図 8-3 に示されているように、 T_{DRV_EN} を低減する必要がある場合は、外部 V_{AUX} の低リーケージのダイオード D1 を経由した電源を使用して、BST 端子を外部からプリバイアスします。この接続では、 T_{DRV_EN} は $350\mu s$ まで減少します。BST に外部電源を供給する TPS4811x-Q1 アプリケーション回路を図 8-5 に示します。

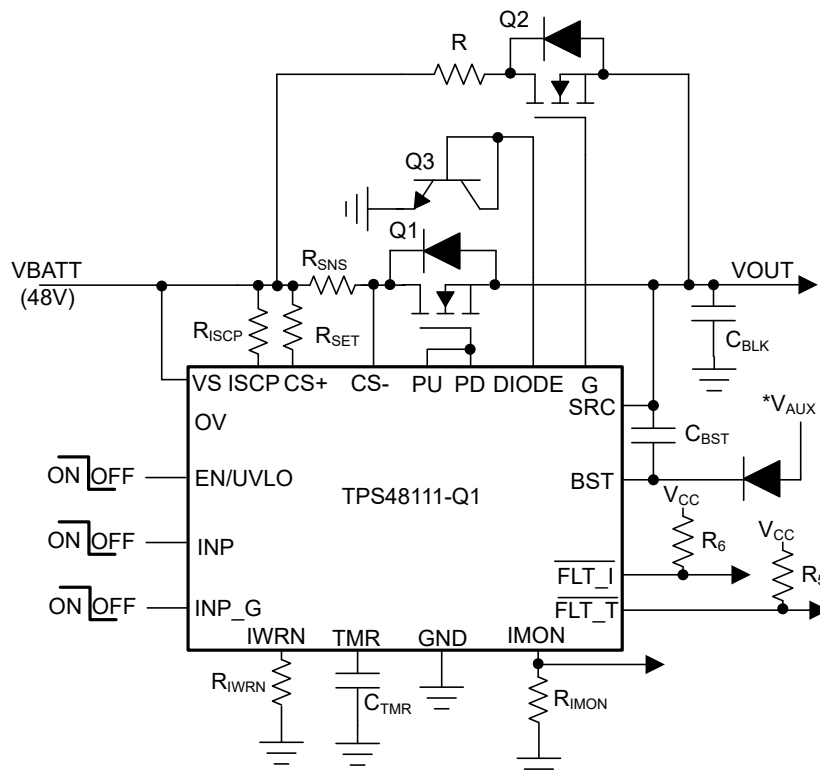


図 8-5. BST への外部電源を使用した TPS4811Q1 アプリケーション回路

注

V_{AUX} は、8.1V ~ 15V の外部電源電圧で供給可能です。

8.3.2 容量性負荷駆動

車載電源分配ユニットなどの一部のエンド機器は、他の ECU を含むさまざまな負荷に電力を供給します。これ ECU には、大きな入力容量が存在する場合があります。ECU への電力を制御されない方法でオンにすると、大きな突入電流が発生し、パワー FET が損傷する可能性があります。

容量性負荷のスイッチング時に発生する突入電流を抑制するため、TPS4811x-Q1 デバイスでは以下のシステム設計手法を使用します。

8.3.2.1 FET ゲート スルーレート制御

容量性負荷での FET のターンオン時の突入電流を制限するには、図 8-6 に示されているように、 R_1 、 R_2 、 C_1 を使用します。 R_1 と C_1 の部品により、FET のゲートの電圧ランプ レートが遅くなります。FET ソースはゲート電圧に追従して、出力コンデンサ両端間の制御された電圧上昇が発生します。

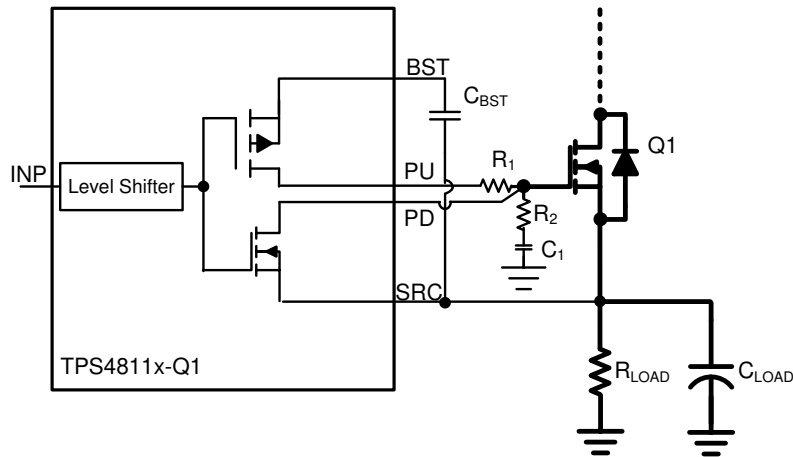


図 8-6. FET ゲート スルーレート制御による突入電流制限

式 2 を使用して、FET のターンオン時の突入電流を計算します。

$$I_{\text{INRUSH}} = C_{\text{LOAD}} \times \frac{V_{\text{BATT}}}{T_{\text{charge}}} \quad (2)$$

$$I_{\text{INRUSH}} = \frac{0.63 \times V_{(\text{BST} - \text{SRC})} \times C_{\text{LOAD}}}{R_1 \times C_1} \quad (3)$$

ここで

- C_{LOAD} は、負荷容量です。
- V_{BATT} は入力電圧です
- T_{charge} は充電時間です
- $V_{(\text{BST}-\text{SRC})}$ は、チャージポンプ電圧 (12V) です

ダンピング R_2 ($\cong 10\Omega$) を C_1 と直列に使用します。式 3 を使用して、ターゲット突入電流に必要な C_1 値を計算できます。 R_1 の $100\text{k}\Omega$ 抵抗は、計算の開始点として適切です。

TPS4811x-Q1 の PD ピンを外部 FET のゲートに直接接続することで、 R_1 および C_1 部品の影響を受けることなく高速ターンオフを実現できます。

C_1 の場合、ターンオン時に C_{BST} の負荷が追加され、充電されます。式 4 を用いて、必要な C_{BST} 値を計算します。

$$C_{\text{BST}} > Q_{\text{g}(\text{total})} + 10 \times C_1 \quad (4)$$

ここで、 $Q_{\text{g}(\text{total})}$ は、FET の総ゲート電荷です。

8.3.2.2 プリチャージ FET の使用 - (TPS4811Q1 のみ)

複数の FET を並列接続する高電流アプリケーションでは、FET 間で突入電流が不均一に分担されるため、メイン FET に対するゲートのスルーレート制御は推奨されません。この動作により、FET の選択が複雑になり、結果として FET のサイズ超過が発生します。

TPS4811Q1 は、専用の制御入力 (INP_G) を備えたプリチャージ用ゲートドライバ (G) を内蔵しています。この機能により、容量性負荷をプリチャージするための別の FET を駆動できます。図 8-7 は、TPS4811Q1 を使用して容量性負荷を充電するためのプリチャージ FET の実装例を示しています。外付けコンデンサ C_{g} により、ゲートのターンオン時のスルーレートが低減され、突入電流を制御できます。

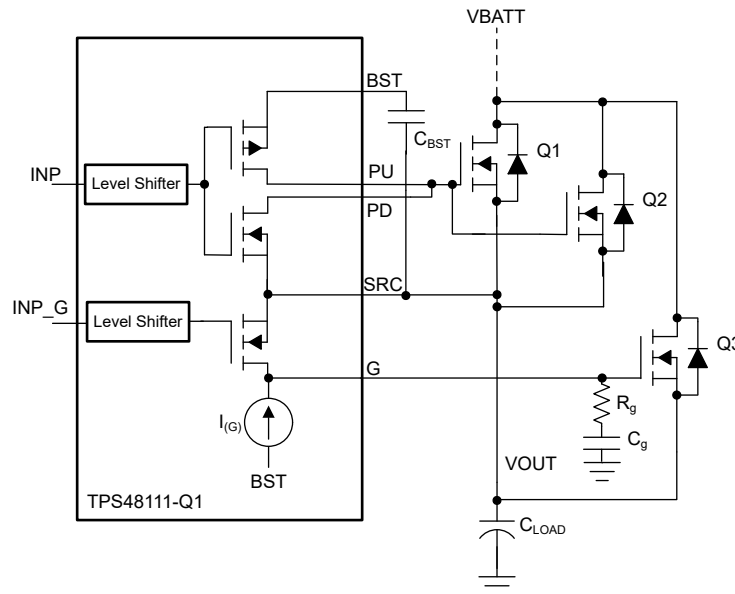


図 8-7. プリチャージ FET のゲート スルーレート制御によるコンデンサ充電

電源投入時に EN/UVLO High で、 C_{BST} 電圧が $V_{(BST_UVLOR)}$ スレッショルドを上回っており、INP と INP_G の制御がアクティブになります。プリチャージ機能を使用するには、INP を Low にしてメイン FET を OFF のままにし、INP_G を High にします。G 出力は、 I_G により BST にプルアップされます。式 5 を用いて、必要な C_g 値を計算します。

$$C_g = \frac{C_{LOAD} \times I_{(G)}}{I_{INRUSH}} \quad (5)$$

ここで、

- $I_{(G)}$ は、100 μ A (標準値) です
- C_{LOAD} は、合計負荷容量です

式 2 を使用して、 I_{INRUSH} を計算します。ターンオフ時に C_g からの放電電流を制限するため、直列抵抗 R_g を C_g と組み合わせて使用する必要があります。 R_g の推奨値は 220 Ω ~ 470 Ω です。出力コンデンサの充電後、INP_G を Low にしてプリチャージ FET を OFF にします。G は、内部の 135mA プルダウン スイッチにより SRC へ引き下げられます。INP を High にすることで、メイン FET を ON にできます。

図 8-8 は、高電流アプリケーションにおいて大容量の出力コンデンサを充電するための、他のシステム設計手法を示しています。これらの設計では、プリチャージ FET と直列に追加のパワー抵抗を挿入します。図に示す双方向 FET トポロジは、バッテリー マネジメント システムなどの双方向電力制御アプリケーションで一般的に使用されます。

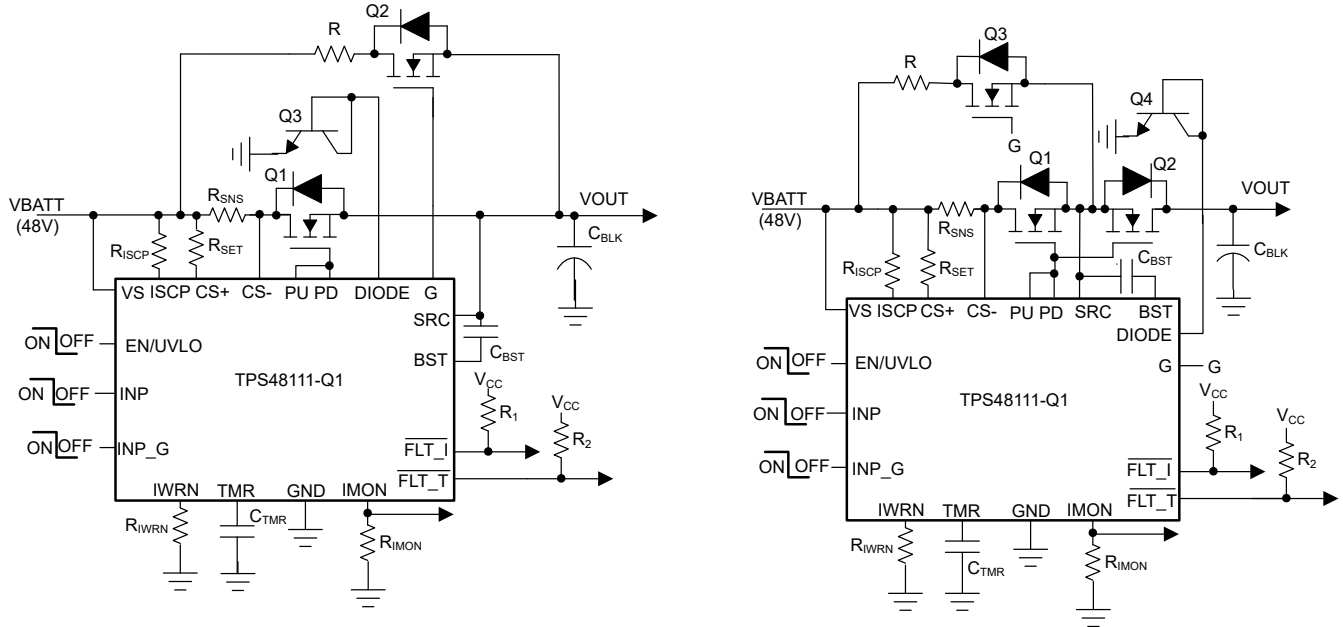


図 8-8. プリチャージ FET および直列パワー抵抗を用いた容量性負荷駆動のための TPS4811Q1 のアプリケーション回路

8.3.3 過電流および短絡保護

TPS4811x-Q1 は、2 レベルの電流保護機能を備えています:

- 調整可能な過電流保護 (I_{OC}) スレッシュホールドと応答時間 (t_{OC})
- 可変短絡スレッシュホールド (I_{SC})、内部的に固定高速応答 (t_{SC}) 付き

図 8-9 に、I-T 特性を示します。

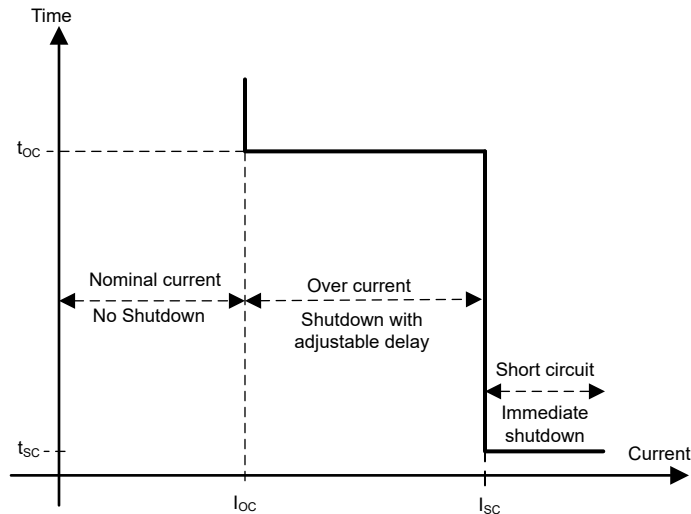


図 8-9. 過電流および短絡保護特性

デバイスは、CS+ および CS- を介して外部電流センス抵抗の両端の電圧を検出します。IWRN と GND の間に外付け抵抗 R_{IWRN} を接続して、過電流保護スレッシュホールドを設定します。式 6 を用いて、必要な R_{IWRN} 値を計算します。

$$R_{IWRN}(\Omega) = \frac{11.9 \times R_{SET}}{R_{SNS} \times I_{OC} + V_{(OS_SET)}} \quad (6)$$

ここで、

- R_{SET} は、CS+ と VS の間に接続された抵抗
- R_{SNS} は、電流センス抵抗
- I_{OC} は、過電流レベル

注

短絡保護機能のみの場合、IWRN ピンを GND に接続し、[セクション 8.3.3.3](#) に従って R_{ISCP} 抵抗を選択します。

過電流保護機能のみの場合、ISCP ピンを CS- ピンに直接接続し、[式 6](#) に従って R_{IWRN} 抵抗を選択します。

過電流または短絡が発生した場合、TPS4811Q1 コントローラは PD を Low にプルダウンしてメイン FET をオフにしますが、プリチャージ FET ドライブ (G) の状態は変化しません。

8.3.3.1 自動リトライ付き過電流保護

C_{TMR} は過電流保護遅延 (t_{OC}) と自動リトライ時間 (t_{RETRY}) をプログラムします。CS+ と CS- の両端の電圧が設定点を超えると、 C_{TMR} は $82\mu A$ のプルアップ電流で充電を開始します。 C_{TMR} が $V_{(TMR_FLT)}$ まで充電されると、 $\overline{FLT_I}$ は Low にアサートされ、即時 FET ターンオフが警告されます。 C_{TMR} が $V_{(TMR_OC)}$ まで充電されると、PD は SRC に対して Low に引き下げられ、FET をオフにします。このイベントの後、自動リトライ動作が開始します。 C_{TMR} コンデンサは、 $2.5\mu A$ のプルダウン電流で放電を開始します。電圧が $V_{(TMR_LOW)}$ レベルに達すると、コンデンサは $2.5\mu A$ のプルアップで充電を開始します。 C_{TMR} の充放電が 32 サイクル行われた後、FET は再びオンになり、 $\overline{FLT_I}$ は $260\mu s$ のデアサート遅延後にデアサートされます。

[式 7](#) を使用して、TMR と GND の間に接続する C_{TMR} コンデンサを計算します。

$$C_{TMR} = \frac{I_{TMR} \times t_{OC}}{1.2} \quad (7)$$

ここで、 I_{TMR} は $82\mu A$ の内部プルアップ電流、 t_{OC} は所望の過電流応答時間を示します。

T_{FLT} 期間を計算するには、[式 8](#) を使用します。

$$T_{FLT} = \frac{1.1 \times C_{TMR}}{82\mu} \quad (8)$$

ここで、 T_{FLT} は $\overline{FLT_I}$ アサート遅延です。

自動再試行時間は次式のように計算できます：

$$t_{RETRY} = 22.7 \times 10^6 \times C_{TMR} \quad (9)$$

過電流パルス幅が T_{OC} を下回ると、FET はオン状態を維持し、 C_{TMR} が内部プルダウン スイッチを使用して放電されません。

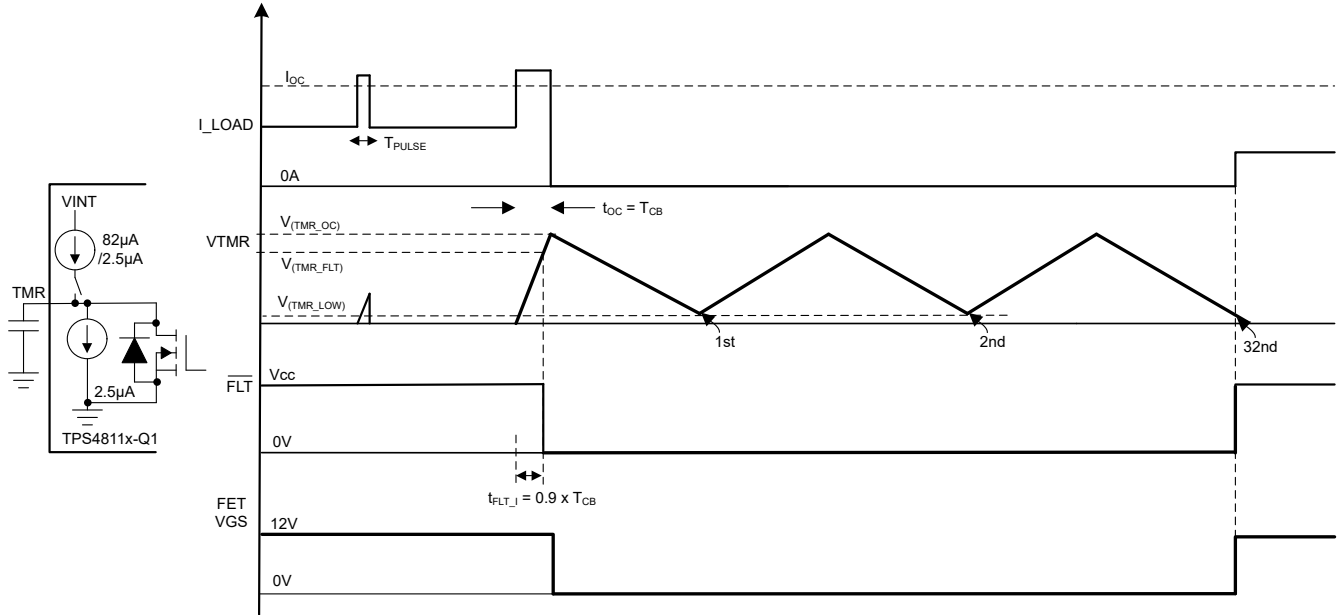


図 8-10. 自動リトライ付き過電流保護

8.3.3.2 ラッチオフ付き過電流保護

図 8-11 に示すように、 C_{TMR} の両端に約 $100k\Omega$ の抵抗を接続します。この抵抗を使用すると、充電サイクル中に C_{TMR} の両端の電圧が $V_{(TMR_OC)}$ 未満のレベルにクランプされ、ラッチオフ動作が発生します。

式 10 を使用して、 $R_{TMR} = 100k\Omega$ の TMR と GND の間に接続される C_{TMR} コンデンサを計算します。

$$C_{TMR} = \frac{t_{OC}}{R_{TMR} \times \ln\left(\frac{1}{1 - \frac{1.2}{R_{TMR} \times I_{TMR}}}\right)} \quad (10)$$

ここで、

- I_{TMR} は $82\mu A$ の内部プルアップ電流です
- t_{OC} は望ましい過電流応答時間です

ラッチをリセットするには、INP をトグルするか、EN/UVLO を ENF 未満にするか、または VS を $V_{(VS_PORF)}$ 未満にパワー サイクルします。Low エッジでは、タイマ カウンタがリセットされ、 C_{TMR} が放電されます。INP が High になると、PU は BST にプルアップされます。

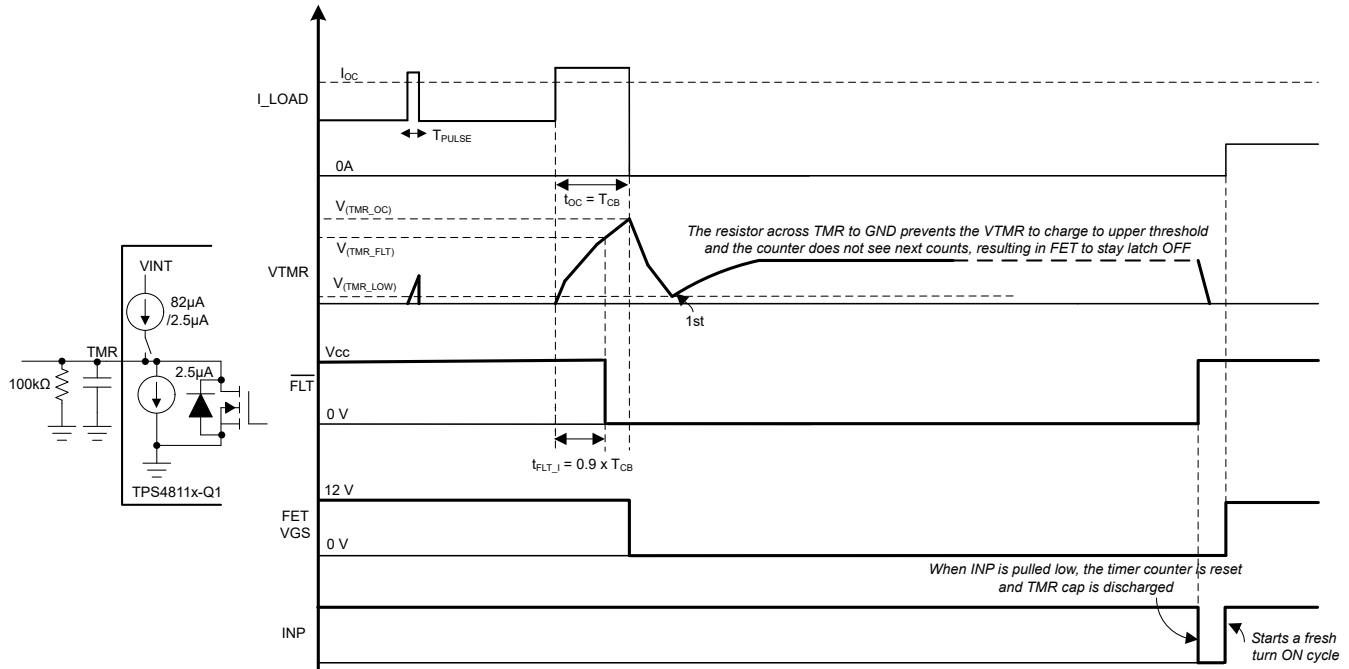


図 8-11. ラッチオフ付き過電流保護

8.3.3.3 短絡保護

図 8-12 に示すように、抵抗 R_{ISCP} を接続してください。

式 11 を用いて、必要な R_{ISCP} 値を計算します。

$$R_{ISCP}(\Omega) = \frac{I_{SC} \times R_{SNS}}{15.6\mu} - 464 \tag{11}$$

ここで、

- R_{SNS} は、電流センス抵抗
- I_{SC} は、目的の短絡電流レベルです

電流が I_{SC} スレッシュホールドを超えると、TPS4811Q1 では 1.2 μ s 以内、TPS4810Q1 では 4 μ s 以内に PD が SRC にプルダウンされ、FET が保護されます。 \overline{FLT} は同時に Low にアサートします。このイベントの後、過電流保護方式の FET OFF イベント後の動作と同様に、 C_{TMR} の充電および放電サイクルが開始されます。

過電流保護方式で説明されているのと同様の方法で、ラッチオフを実現することもできます。

注

短絡保護のみが必要な場合は、IWRN ピンを GND に接続します。抵抗 R_{ISCP} は、セクション 8.3.3.3 に従って選択できます。

8.3.4 アナログ電流モニタ出力 (IMON)

TPS4811x-Q1 は、ゲイン調整可能な高精度アナログ負荷電流モニタ出力 (IMON) を備えています。IMON 端子の電流ソースは、 R_{SNS} 電流センス抵抗を流れる電流に比例するように構成します。この電流は、IMON 端子と GND 端子の間の抵抗 R_{IMON} を使用して電圧に変換できます。この電圧は、式 12 で計算され、システムを流れる電流を監視する手段として使用できます。

式 12 を使用して $V_{(IMON)}$ の値を計算します。

8.3.5 過電圧 (OV) および低電圧誤動作防止 (UVLO) 保護

TPS4811x-Q1 は、EN/UVLO ピンを用いた高精度な低電圧保護機能 ($\pm 2\%$ 未満) を備えています。

TPS48110Q1 は、高精度な過電圧保護機能 ($\pm 2\%$ 未満) を備えており、負荷を確実に保護します。低電圧および過電圧保護スレッシュホールドのプログラム設定には、[図 8-13](#) に示すように抵抗ラダーを接続します。

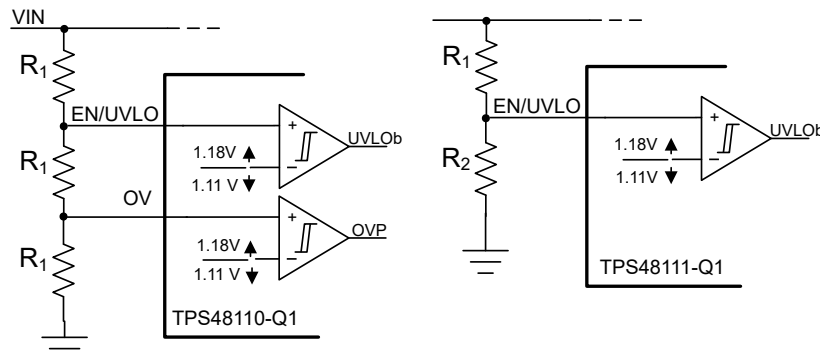


図 8-13. 過電圧および低電圧保護スレッシュホールドのプログラミング

8.3.6 リモート温度検出および保護 (DIODE)

このデバイスには、リモート温度センシング機能や保護機能、および専用の故障出力機能が内蔵されています。TPS4811x-Q1 では、リモート温度測定はダイオード接続された外付けトランジスタを用いて行われます。TPS4811x-Q1 のダイオードピンを、MMBT3904 BJT のコレクタおよびベースに接続します。温度は、2 つの試験電流におけるダイオード電圧の差に基づいて内部で算出されます。

TPS48110Q1 では、検出温度が 150°C に達すると、デバイスは PD を SRC にプルダウンして外付け FET をオフにし、 $\overline{\text{FLT_T}}$ を Low にアサートします。温度が 130°C に下がると、512ms の内部固定の自動再試行サイクルが開始されます。 $\overline{\text{FLT_T}}$ がデアサートされ、512ms のリトライ時間が経過すると、外部 FET がターンオンします。

TPS48111Q1 では、検出温度が 150°C を超えると、PD と G が SRC にプルダウンされます。TSD ヒステリシスの後、PU と G はラッチ オフされたままになります。ラッチは、EN/UVLO を $V_{(\text{ENF})}$ 未満に切り替えるか、VS の電源を $V_{(\text{VS_PORF})}$ 未満に入れ直すことでリセットされます。

[図 8-14](#) に、TPS4811x-Q1 ダイオードを使用したリモート温度検出の概略ブロック図を示します。

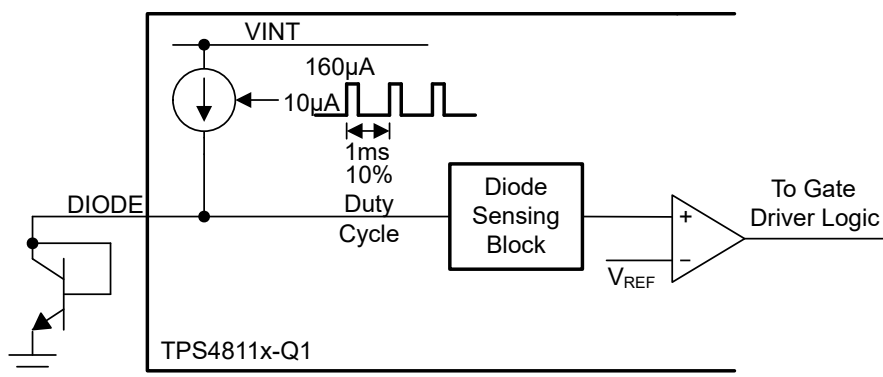


図 8-14. ダイオードベースのリモート温度センシングのブロック図

8.3.7 出力逆極性保護

TPS4811x-Q1 は、出力の逆電圧に対して $-30V$ まで耐えることができます。INP が Low の場合、PD は SRC にプルダウンされ、出力 (SRC) 電圧が負電圧レベルであっても外部 FET はオフ状態に維持されるため、大電流の流れを防ぎ、メイン FET を保護します。テスト波形については、[図 8-15](#) および [図 8-16](#) を参照してください。

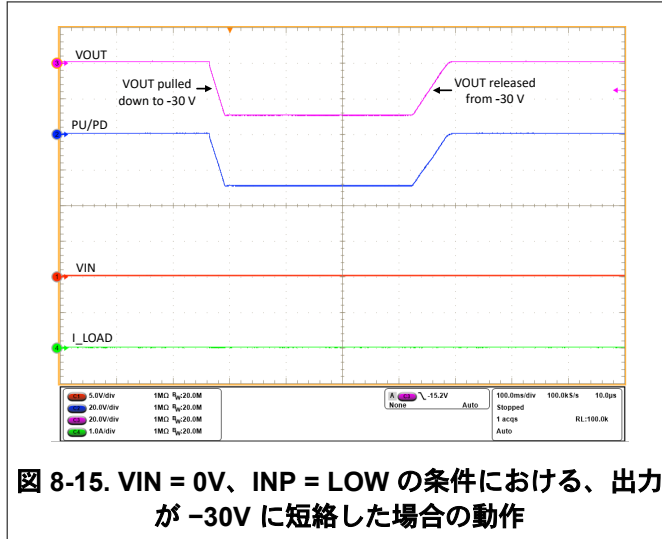


図 8-15. VIN = 0V、INP = LOW の条件における、出力が $-30V$ に短絡した場合の動作

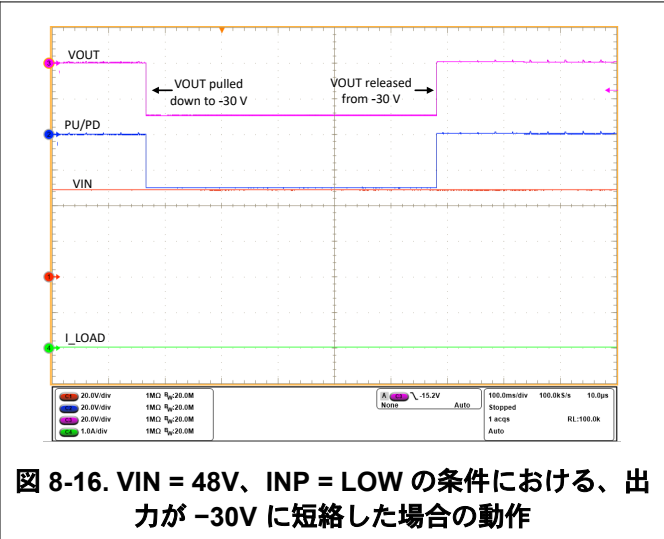


図 8-16. VIN = 48V、INP = LOW の条件における、出力が $-30V$ に短絡した場合の動作

8.3.8 TPS4811x-Q1 をシンプルゲートドライバとして使用

[図 8-17](#) に、負荷接続解除スイッチまたは双方向 FET でトポロジを駆動する、シンプルなゲートドライバとしての TPS4811x-Q1 のアプリケーション回路図を示します。2 段階の過電流保護、過電圧保護、および過温度保護などの保護機能は無効になります。

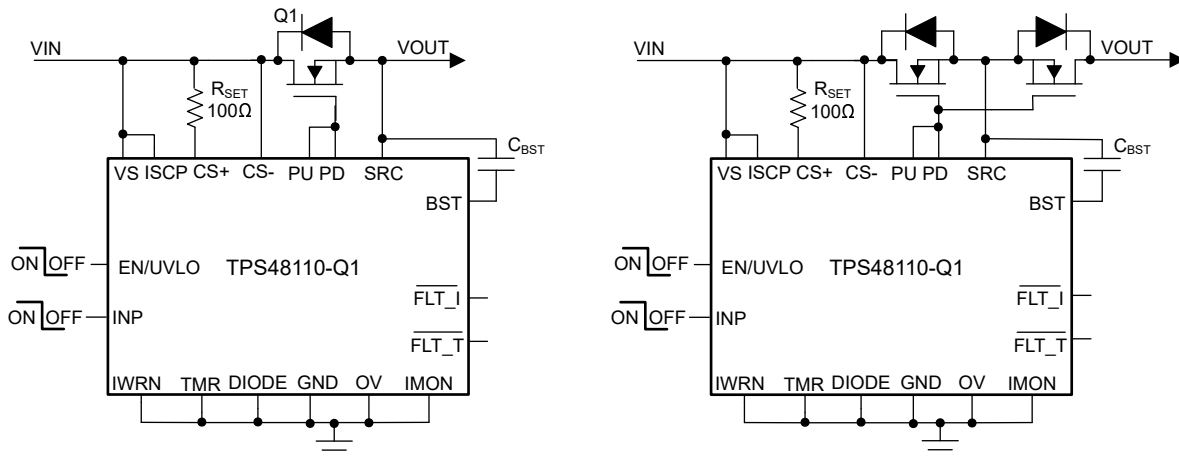


図 8-17. シンプルなゲートドライバ設計における TPS4811Q1 の接続図

8.4 デバイスの機能モード (シャットダウンモード)

TPS4811x-Q1 は、アクティブモードと低 IQ シャットダウンモードの 2 つの動作モードを備えています。EN/UVLO ピンの電圧が立ち上がりスレッショルドよりも高い場合、デバイスはアクティブモードになります。アクティブ状態では、内部チャージポンプが有効になり、ゲートドライバ、すべての保護および診断機能が有効になります。

EN/UVLO 電圧が $V_{(ENF)}$ 未満に引き下げられると、デバイスは低 IQ シャットダウン モードに入ります。このモードでは、チャージ ポンプ、ゲート ドライバ、およびすべての保護機能が無効になります。外部 FET がターンオフします。TPS4811x-Q1 は 1.6 μ A (標準値) の低静止電流 (IQ) を消費します。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

TPS4811x-Q1 ファミリーは、保護および診断機能を備えた 100V スマート ハイサイドドライバです。TPS4811x-Q1 デバイスは外部の N チャンネル MOSFET を制御し、そのドライブアーキテクチャは双方向構成の N チャンネル MOSFET の駆動に適しています。強力なゲート駆動能力 (ピークソース 3.7A、ピークシンク 4A) により、パワートレイン (DC/DC コンバータ) のサーキットブレーカ、バッテリー管理システム、電動パワー ステアリング、PTC ヒータ負荷の駆動などの高電流アプリケーションにおいて、並列接続された MOSFET のスイッチングが可能です。TPS4811x-Q1 デバイスは、調整可能なサーキットブレーカ タイマを備えた 2 段階の過電流保護、高速短絡保護、高精度アナログ電流モニタ出力、およびリモート過熱保護を提供します。

TPS4811Q1 のバリエーションは、独立した制御入力 (INP_G) を備えた専用のプリチャージドライバ (G) を特長としています。この機能により、メインの電力経路をオンにする前に、大容量の出力コンデンサをプリチャージする必要があるシステム設計に対応できます。

以下の設計手順を使用して、アプリケーション要件に基づき、サポート部品の値を選択できます。さらに、スプレッドシート設計ツールである「[TPS4811Q1 設計カリキュレータ](#)」を Web 製品フォルダで入手できます。

9.2 代表的なアプリケーション：パワー ディストリビューションユニットの KL40 ラインでの HVAC PTC ヒーター負荷の駆動

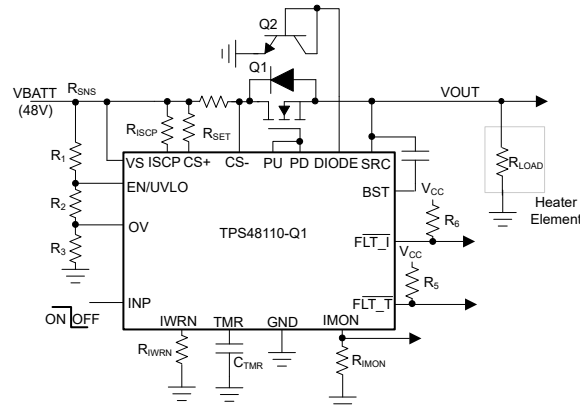


図 9-1. 代表的なアプリケーション回路図：HVAC PTC ヒーターを駆動

9.2.1 設計要件

このアプリケーション例の設計パラメータを、表 9-1 に示します。

表 9-1. 設計パラメータ

パラメータ	値
標準入力電圧、 V_{IN}	48V
低電圧誤動作防止設定点、 V_{INUVLO}	24V
OV 設定点、 V_{INOV}	58V
最大負荷電流、 I_{OUT}	12A
過電流保護スレッシュホールド、 I_{OC}	15A
短絡保護回路スレッシュホールド、 I_{SC}	20A
故障タイム期間 (t_{OC})	1ms
故障応答	自動再試行
負荷抵抗 (R_{LOAD})	4 + 0.2Ω
負荷スイッチング周波数 (F_{SW})	100Hz

9.2.2 詳細な設計手順

9.2.2.1 電流センス抵抗、 R_{SNS} の選択

過電流保護スレッシュホールド電圧 $V_{(SNS_WRN)}$ の推奨範囲は、10mV ~ 200mV です。10mV の低スレッシュホールドに近い値は、システム ノイズの影響を受けることがあります。上限スレッシュホールド 200mV に近い値の場合、電流センス抵抗で大きな消費電力が発生する可能性があります。両方の課題を最小限に抑えるため、過電流保護のスレッシュホールド電圧として 25mV が選定されています。電流センス抵抗 R_{SNS} は、式 15 で計算できます。

$$R_{SNS} = \frac{V_{(SNS_WRN)}}{I_{OC}} = \frac{25mV}{15A} = 1.66m\Omega \quad (15)$$

利用可能な中で、次に小さい 1.5mΩ、1% のセンス抵抗が選択されます。

9.2.2.2 スケーリング抵抗 R_{SET} の選択

R_{SET} は、VS ピンと CS+ ピンの間に接続される抵抗です。この抵抗は、過電流保護スレッシュホールド電圧をスケールし、 R_{IWRN} および R_{IMON} を調整して、過電流保護スレッシュホールドおよび電流監視出力を決定します。 R_{SET} の推奨範囲は 50Ω ~ 100Ω です。

本設計例では、 R_{SET} として 100Ω、1% の抵抗を選定しています。

9.2.2.3 過電流保護スレッシュホールドのプログラミング - R_{IWRN} の選択

R_{IWRN} は過電流保護 (サーキット ブレーカ検出) スレッシュホールドを設定します。その値は、式 16 を使用して計算できます。

$$R_{IWRN}(\Omega) = \frac{11.9 \times R_{SET}}{(R_{SNS} \times I_{OC} + V_{(OS_SET)})} \quad (16)$$

15A を過電流保護スレッシュホールドに設定する場合、 R_{IWRN} の値は 52.88kΩ と計算されます。

使用可能な最も近い標準値を選択します: 54kΩ、1%

9.2.2.4 短絡保護スレッシュホールドのプログラム設定 - R_{ISCP} の選択

R_{ISCP} は短絡保護スレッシュホールドを設定します。その値は、式 17 を使用して計算できます。

$$R_{\text{ISCP}}(\Omega) = \frac{I_{\text{SC}} \times R_{\text{SNS}}}{15.6\mu} - 464 \quad (17)$$

20A を短絡保護スレッショルドに設定する場合、 R_{ISCP} の値は 1.46k Ω と計算されます。

使用可能な最も近い標準値を選択します: 1.3k Ω 、1%

di/dt が大きい場合、システムおよびレイアウトの寄生インダクタンスにより、ISCP ピンと CS- ピンの間に大きな差動信号電圧が生成される可能性があります。これにより、誤って短絡保護が発生する可能性、およびシステム内で不要なトリップが発生する可能性があります。このようなシナリオを克服するため、TI は ISCP ピンと CS ピンの間に 1nF のフィルタ コンデンサをデバイスに近づけて追加することを推奨します。誤動作トリップはシステムやレイアウトの寄生成分に依存するため、TI は実際のシステムで設計を評価し、必要に応じて調整することを推奨しています。

9.2.2.5 故障タイマ期間のプログラミング、 C_{TMR} の選択

説明の設計例では、1ms の持続時間にわたって過電流過渡が許容されます。このブランキング間隔 t_{OC} (またはサーキットブレーカ間隔、 T_{CB}) を設定するには、TMR ピンとグラウンドの間に適切なコンデンサ C_{TMR} を選択します。 t_{OC} を 1ms に設定するための C_{TMR} の値は、式 18 を用いて算出できます。

$$C_{\text{TMR}} = \frac{82\mu \times t_{\text{OC}}}{1.2} = 68.33\text{nF} \quad (18)$$

使用可能な最も近い標準値を選択します: 68nF、10%

9.2.2.6 MOSFET の選択、 Q_1

MOSFET Q_1 の選択に重要な電気的パラメータは、最大連続ドレイン電流 I_{D} 、最大ドレイン ソース間電圧 $V_{\text{DS(MAX)}}$ 、最大ドレイン ソース間電圧 $V_{\text{GS(MAX)}}$ 、ドレイン ソース間オン抵抗 $R_{\text{DS(ON)}}$ です。

最大連続ドレイン電流 I_{D} 定格は、最大連続負荷電流を超える必要があります。

最大ドレイン - ソース間電圧 $V_{\text{DS(MAX)}}$ は、このアプリケーションで見られる最大の電圧に耐えるのに十分な高さが必要です。最大アプリケーション電圧として 60V を考慮し、 V_{DS} 電圧定格 80V の MOSFET がこのアプリケーション向けに設計されています。

TPS4811Q1 が駆動できる最大 V_{GS} は 13V であるため、 V_{GS} の最小定格が 15V の MOSFET を選択する必要があります。

MOSFET の導通損失を低減するには、 $R_{\text{DS(ON)}}$ を可能な限り小さくすることが推奨されます。

設計要件に基づき、IPB160N08S4-03ATMA1 を選択し、定格を以下に示します。

- 80V $V_{\text{DS(MAX)}}$ および $\pm 20\text{V}$ $V_{\text{GS(MAX)}}$
- $R_{\text{DS(ON)}}$ は 10V V_{GS} で 2.6m Ω (標準値)
- MOSFET $Q_{\text{g(total)}}$ は 86nC です

9.2.2.7 ブートストラップ コンデンサ C_{BST} の選定

内部チャージポンプは、(BST ピンと SRC ピンとの間に接続された) 外部ブートストラップ コンデンサを約 100 μA で充電します。スイッチング用途の場合、BST-SRC 電源の低下を防ぐため、BST は CMHD3595 や BAT46WH、115 などの低リークシリコンダイオードを介して、 V_{AUX} 電源 (8.1V ~ 15V) から外部給電する必要があります。この必要性は、スイッチング周波数と MOSFET ゲート電荷の値によって決定されます。

外部電源なしで可能な最大周波数は、式 19 で求められます。

$$f_{\text{SW,max}} = \frac{I_{\text{(BST)}}}{2 \times Q_{\text{g(total)}}} = 581\text{Hz} \quad (19)$$

現在のアプリケーションは 100Hz でスイッチングされるため、外部電源は必要ありません。次の式を使って、2 つの並列 BUK7S0R5-40HJ MOSFET を駆動するために必要なブートストラップ コンデンサの最小値を計算します。

$$C_{BST} = \frac{Q_{g(\text{total})}}{1V} = 380\text{nF} \quad (20)$$

使用可能な最も近い標準値を選択します: 470nF、10%

9.2.2.8 低電圧誤動作防止と過電圧の設定点の設定

低電圧誤動作防止 (UVLO) と過電圧の設定点は、デバイスの VS、EN/UVLO、OVP および GND ピン間に接続された R₁、R₂ と R₃ の外部電圧分割回路網を使用して調整できます。低電圧および過電圧を設定するために必要な値は、式 19 と式 22 で計算します。

$$V_{(\text{OVR})} = \frac{R_3}{(R_1 + R_2 + R_3)} \times V_{\text{IN}_{\text{OVP}}} \quad (21)$$

$$V_{(\text{UVLOR})} = \frac{R_2 + R_3}{(R_1 + R_2 + R_3)} \times V_{\text{IN}_{\text{UVLO}}} \quad (22)$$

電源から引き込まれた入力電流を最小限に抑えるため、TI では R₁、R₂、R₃ に高い抵抗値を使用することを推奨しています。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列の電流 I(R₁₂₃) は、UVLO ピンと OVP ピンのリーク電流の 20 倍以上になるように選択する必要があります。

デバイスの電氣的仕様から、V_(OVR) = 1.18V、V_(UVLOR) = 1.18V となります。設計要件から、V_{in_{OVP}} は 58V、V_{in_{UVLO}} は 24V になります。式を解くには、まず R₁ = 470kΩ の値を選択し、式 22 を使用して (R₂ + R₃) = 24.3kΩ を計算します。式 21 と (R₂ + R₃) の値を使用して R₃ = 10.1kΩ を求め、最終的に R₂ = 14.2kΩ を求めます。直近の標準的な 1% 抵抗値を選択します: R₁ = 470kΩ、R₂ = 14.3kΩ、R₃ = 10.2kΩ。

9.2.2.9 電流監視抵抗 R_{IMON} の選択

IMON ピン V_(IMON) の電圧は出力負荷電流に比例します。これを下流システムの ADC に接続して、システムの動作条件と状態を監視できます。R_{IMON} は、最大負荷電流と使用する ADC の入力電圧範囲に基づいて選択する必要があります。R_{IMON} は、式 23 で設定します。

$$V_{(\text{IMON})} = \left(V_{\text{SNS}} + V_{(\text{OS_SET})} \right) \times \frac{0.9 \times R_{\text{IMON}}}{R_{\text{SET}}} \quad (23)$$

V_{SNS} = I_{OC} × R_{SNS} および V_(OS_SET) は、電流センスアンプの入力換算オフセット (±200μV) です。

I_{OC} = 15A の場合、ADC の動作範囲が 0V ~ 3.3V (例: V_(IMON) = 3.3V) であると考え、R_{IMON} は以下のように計算されます:

$$R_{\text{IMON}} = \frac{V_{(\text{IMON})} \times R_{\text{SET}}}{[V_{\text{SNS}} + V_{(\text{OS_SET})}] \times 0.9} = 16.52\text{k}\Omega \quad (24)$$

R_{IMON} に式 24 で示されている値よりも小さい値を選択すると、負荷電流の最大値に対して ADC の制限を超えないようにすることができます。使用可能な最も近い標準値を選択します: 16.5kΩ、1%

9.2.3 アプリケーション曲線

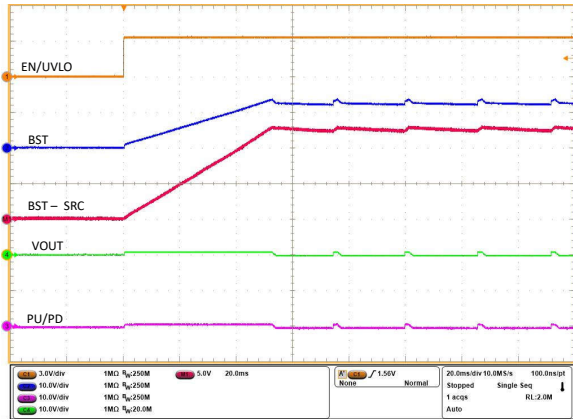


図 9-2. INP = GND、 $C_{BST} = 470\text{nF}$ でのブートストラップ電圧のスタートアッププロファイル

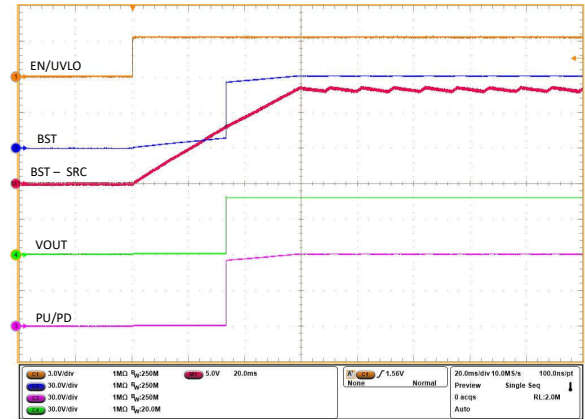


図 9-3. INP = HIGH、 $C_{BST} = 470\text{nF}$ でのブートストラップ電圧のスタートアッププロファイル

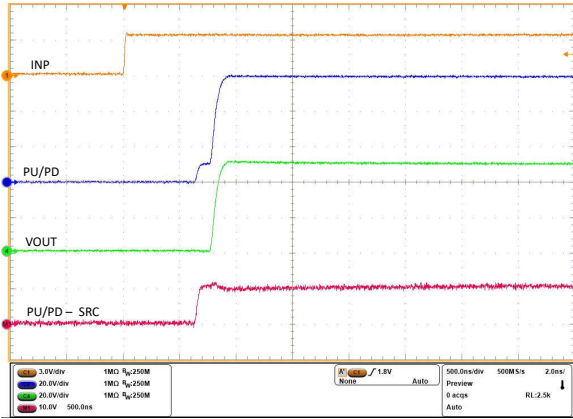


図 9-4. INP → LOW から HIGH、 $C_{BST} = 470\text{nF}$ での TPS48110Q1 のターンオン応答

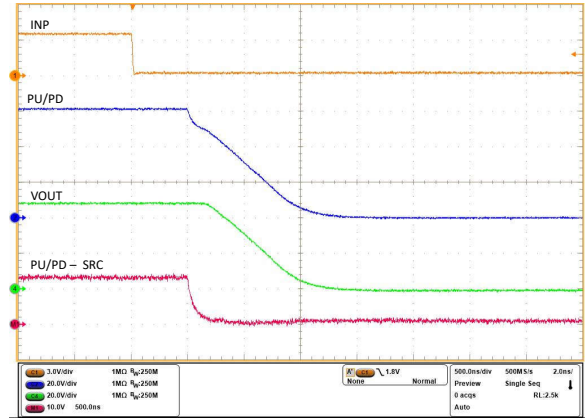


図 9-5. INP → HIGH から LOW、 $C_{BST} = 470\text{nF}$ での TPS48110Q1 のターンオフ応答

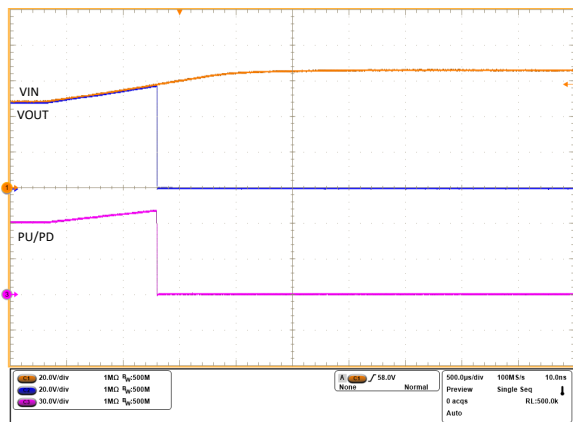


図 9-6. TPS48110Q1 における 58V レベルでの過電圧遮断応答

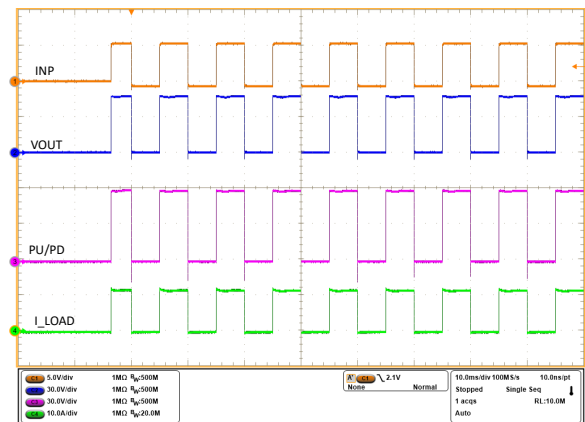


図 9-7. TPS48110Q1 による 100Hz の負荷スイッチング

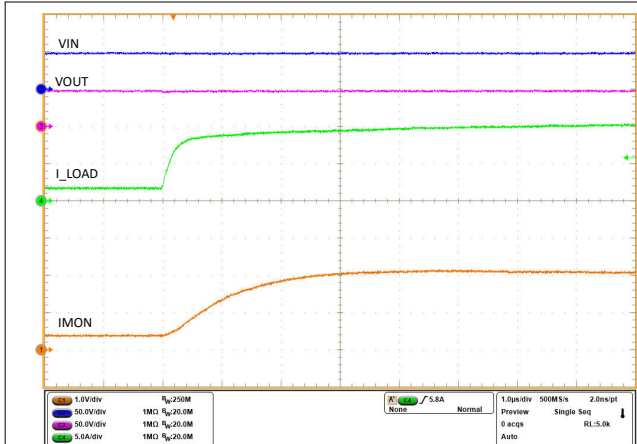


図 9-8. 10A の負荷ステップ時における IMON の応答

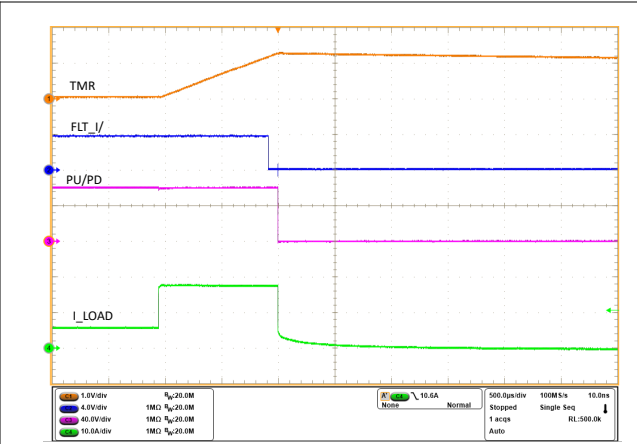


図 9-9. 15A の過電流保護設定で 5A ~ 18A の負荷ステップに対する TPS4811Q1 の過電流応答

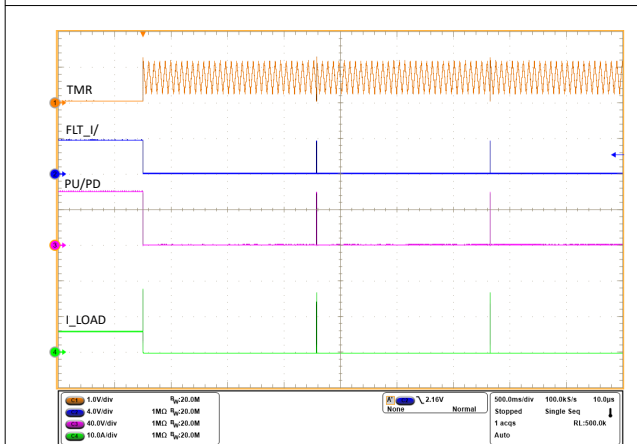


図 9-10. 過電流フォルトにおける TPS4811Q1 の自動リトライ応答

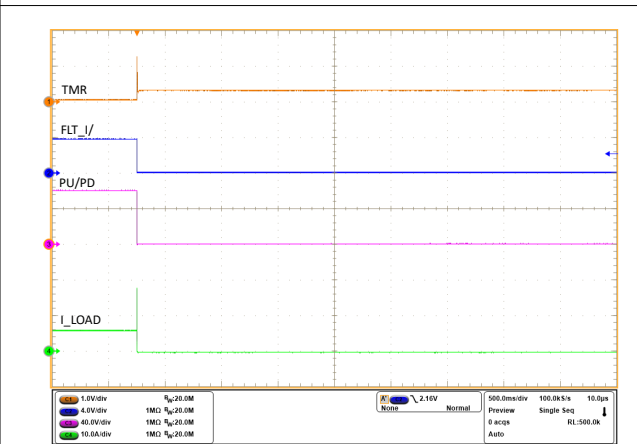


図 9-11. 過電流故障における TPS4811Q1 のラッチオフ応答

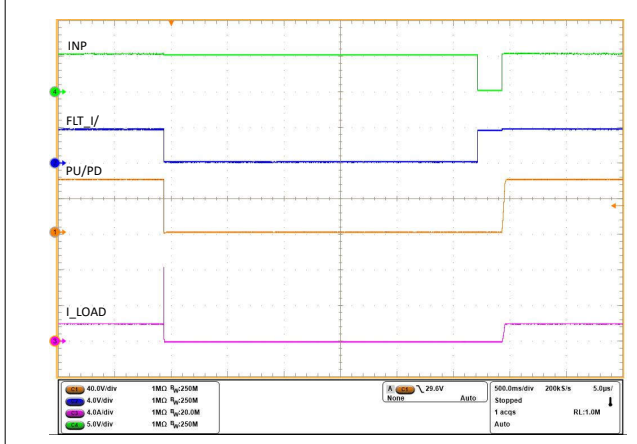


図 9-12. INP リセットを使用して過負荷故障から復帰したときの応答

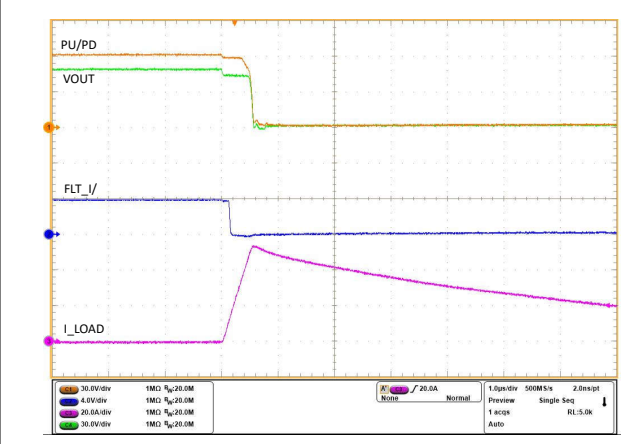


図 9-13. TPS4811Q1 デバイスの出力ホット短絡時の応答

9.3 代表的なアプリケーション：B2B FET の駆動 (出力容量のプリチャージあり)

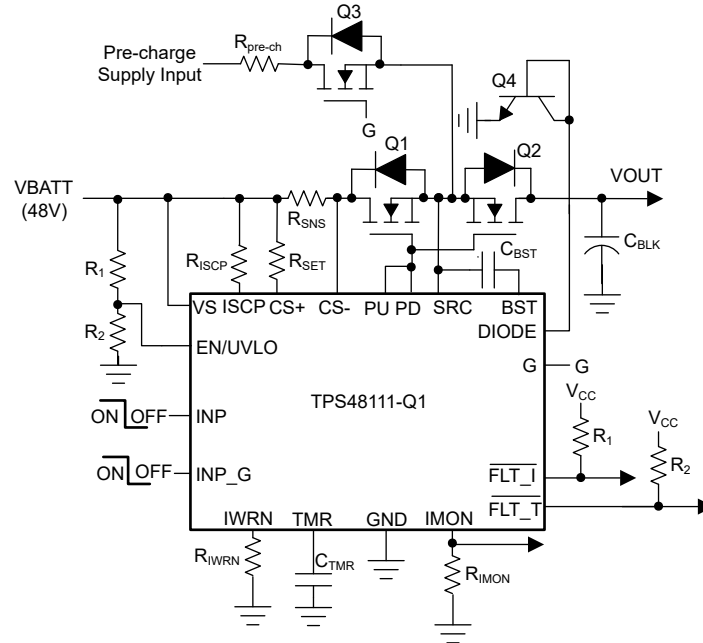


図 9-14. 代表的なアプリケーション回路図：PowerTrain™ モジュールにおける DC/DC コンバータ負荷の駆動

9.3.1 設計要件

このアプリケーション例の設計パラメータを、表 9-2 に示します。

表 9-2. 設計パラメータ

パラメータ	値
標準入力電圧、 V_{IN}	48V
低電圧誤動作防止設定点、 V_{INUVLO}	24V
最大負荷電流、 I_{OUT}	40A
過電流保護スレッショルド、 I_{OC}	50A
短絡保護回路スレッショルド、 I_{SC}	60A
故障タイム期間 (t_{OC})	1ms
故障応答	ラッチオフ
負荷容量 (C_{OUT})	400 μ F
突入電流制限 (I_{inrush})	500mA

9.3.2 外付け部品の選択

詳細設計手順に示されている同様の設計手順に従うことで、外付け部品の値は以下のように算出されます：

- $R_{SNS} = 500\mu\Omega$
- $R_{SET} = 100\Omega$
- $R_{IWRN} = 47k\Omega$ (過電流保護スレッショルドを 50 A に設定するため)
- $R_{ISCP} = 1.46k\Omega$ (短絡保護スレッショルドとして 60A を設定)
- $C_{TMR} = 68nF$ (サーキットブレーカ時間を 1ms に設定)
- V_{IN} の低電圧ロックアウト スレッショルドを 24V に設定するため、 R_1 および R_2 はそれぞれ 470k Ω および 24.9k Ω に選定されています

- フルロード電流 50A 時に $V_{(IMON)}$ の最大電圧を 3.3V に制限するため、 $R_{(IMON)}$ は 15k Ω とします
- 導通損失を低減するために、IAUS300N08S5N012 MOSFET を選択しています。制御用に 2 個の FET を並列接続し、逆電流ブロック用にも別に 2 個の FET を並列接続しています
 - 80V $V_{DS(MAX)}$ および $\pm 20V$ $V_{GS(MAX)}$
 - $R_{DS(ON)}$ は 10V V_{GS} で 1m Ω (標準値)
 - 各 MOSFET の Q_g は 231nC です
- $C_{BST} = (4 \times Q_g)/1V = 1\mu F$

9.3.2.1 プリチャージ抵抗の選択

プリチャージ抵抗の値は、式 25 に従って、突入電流が I_{inrush} に制限されるように選択する必要があります。

$$R_{pre-ch} = \frac{V_{IN}}{I_{inrush}} = 96\Omega \quad (25)$$

プリチャージ抵抗の電力定格は、式 26 で求められる平均消費電力によって決定されます。

$$P_{avg} = \frac{E_{pre-ch}}{T_{pre-ch}} = \frac{0.5 \times C_{OUT} \times V_{IN}^2}{5 \times R_{pre-ch} \times C_{OUT}} = 2.4W \quad (26)$$

プリチャージ抵抗におけるピーク電力損失は、式 27 で求められます。

$$P_{peak} = \frac{V_{IN}^2}{R_{pre-ch}} = 24W \quad (27)$$

平均およびピークの電力損失の両方に対応するため、220 Ω 、1.5W、5% の CRCW2512220RJNEGHP 抵抗を 2 個並列に使用しています。

TI は、プリチャージ抵抗の電力損失プロファイル全体を抵抗メーカーに共有し、その推奨を得ることを設計者に推奨しています。

9.3.3 アプリケーション曲線

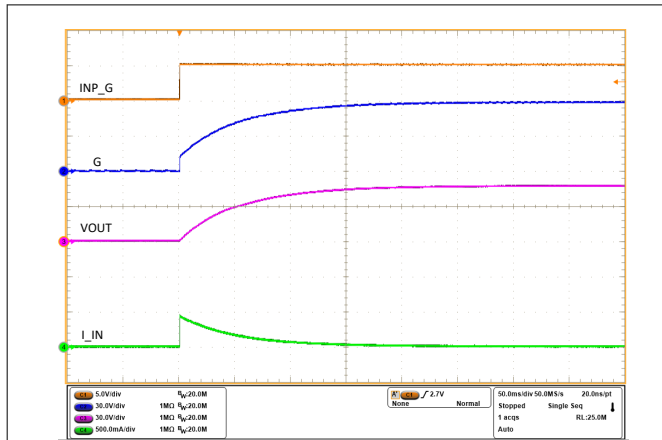


図 9-15. 出力容量のプリチャージプロファイル (VIN = 48V、C_{OUT} = 440μF、無負荷)

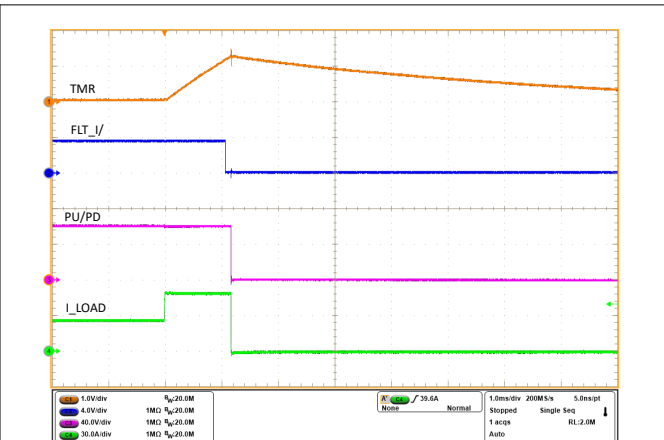


図 9-16. 50A の過電流保護設定で 24A ~ 54A の負荷ステップに対する TPS4811Q1 の過電流応答

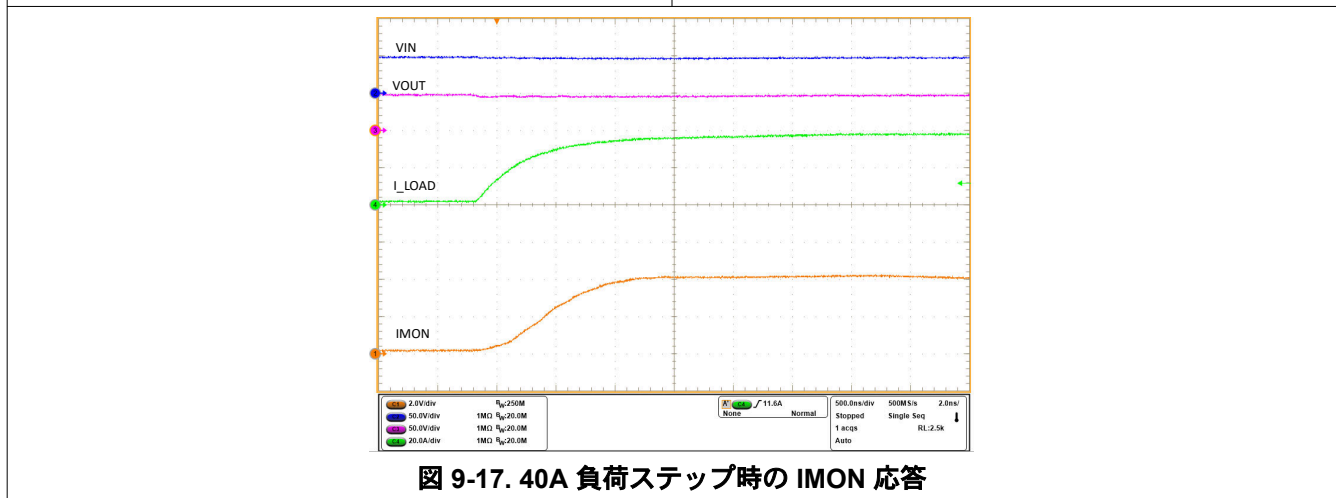


図 9-17. 40A 負荷ステップ時の IMON 応答

9.4 代表的なアプリケーション：EMI 対応の設計

TPS4811Q1 デバイスは、高精度な電流検出アンプを備えています。電流検出ピン (CS+、CS-) に適切な EMI 対策部品を配置することで、デバイスの電流検出機能に影響を与えるノイズ結合を低減できます。

9.4.1 一般的な EMI 部品

差動ピン (CS+ ピンおよび CS- ピンなど) に対しては、X コンデンサおよび Y コンデンサが、電流検出機能に対する EMI ノイズの影響を抑制するうえで最も効果的です。X コンデンサは 2 つのピン間の差動ノイズをフィルタリングし、各ピンに配置された Y コンデンサは同相モード ノイズをフィルタリングします。

IMON、IWRN、DIODE、および ISCP から CS- へのようなピンに配置される一般的なフィルタリング用コンデンサは、多くの場合で有効な設計手法ですが、EMI 対策用途では優先的に実装する必要があります。

最後に、フェライトビーズをセンスピンに直列に挿入することで、特定の低周波数帯域において高インピーダンス経路を提供することもできます。フェライトビーズは一般に 1GHz 未満の周波数範囲での使用に限定されることが多く、RSNS、RSET、および ILOAD の正確な値に依存する電流検出機能への影響を抑えるため、DC 抵抗が低いものを選定する必要があります。

9.4.2 追加された DC 抵抗 (RIWRN) による過電流保護スレッシュホールドの設定

フェライト ビーズを使用するアプリケーションを考えてみましょう。RIWRN の式は、フェライト ビーズによる追加の DC 抵抗の影響を含めるように修正することができます。

$$R_{IWRN}(\Omega) = \frac{11.9 \times (R_{SET} + R_{FB})}{(R_{SNS} \times I_{OC}) + V_{OS,SET} + (R_{FB} + I_{CS-})} \quad (28)$$

ここで、RSET は CS+ と VS の間に接続される抵抗、RSNS は電流検出抵抗、IOC は過電流レベル、V(OS,SET) はコンパレータのオフセット電圧、RFB はフェライト ビーズの DC 抵抗、ICS- は CS- ピンにおけるリーク電流を示します。

9.4.3 追加の DC 抵抗 (RIMON) を用いた電流モニタ抵抗の選定

DC 抵抗を追加すると、RIMON の選択にも影響を与えます。

$$V_{IMON}(V) = [V_{SNS} + V_{OS,SET} + (R_{FB} \times I_{CS-})] \times \frac{0.9 \times R_{IMON}}{R_{SET} + R_{FB}} \quad (29)$$

IMON の精度は、次のように再計算することもできます：

$$\%V_{IMON} = \frac{V_{OS,SET} + (R_{FB} \times I_{CS-})}{V_{SNS}} \times 100 \quad (30)$$

9.4.4 追加の DC 抵抗 (RISCP) による短絡保護スレッシュホールドの設定

最後に、SCP コンパレータは CS ピンの電圧を使用して、ISCP ピンに生成される電圧と比較するため、式 31 を変更します。

$$R_{ISCP}(\Omega) = \frac{(I_{sc} \times R_{SNS}) + (I_{CS-} \times R_{FB})}{15.6\mu A} - 464 \quad (31)$$

9.5 電源および EMI に関する推奨事項

INP 制御、過電圧遮断、過電流保護などの条件により外部 MOSFET がオフになると、電流の流れが遮断され、入力側の寄生配線インダクタンスによって入力に正の電圧スパイクが発生し、出力側の寄生インダクタンスによって出力に負の電圧スパイクが発生します。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何らかの策を講じない場合は、こうした過渡現象によって、デバイスの **絶対最大定格** を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- 入力と GND の間に TVS ダイオードと入力コンデンサ フィルタを組み合わせることで、エネルギーを吸収し、正の過渡電圧を減衰させることができます。
- 出力と GND の間にダイオードまたは TVS ダイオードを配置して、負のスパイクを吸収します。

TPS4811Q1 には、VS ピンから電力が供給されます。適切に動作させるためには、このピンの電圧を $V_{(VS_PORR)}$ レベルよりも高く維持する必要があります。入力電源に過渡現象によってノイズが多い場合は、TI は入力電源ラインと VS ピンの間に $R_{VS} - C_{VS}$ フィルタを配置し、電源ノイズをフィルタして除去することを推奨します。R_{VS} 値を 100Ω 付近に設定することを推奨します。

di/dt が大きい場合、システムおよびレイアウトの寄生インダクタンスにより、ISCP ピンと CS- ピンの間に大きな差動信号電圧が生成される可能性があります。これにより、誤って短絡保護が発生する可能性、およびシステム内で不要なトリップが発生する可能性があります。このようなシナリオを克服するため、ISCP ピンと CS ピンの間に 1nF (C_{SCP}) のフィルタ コンデンサをデバイスに近づけて追加することを TI は推奨します。誤動作トリップはシステムやレイアウトの寄生成分に依存するため、TI は実際のシステムで設計を評価し、必要に応じて調整することを推奨しています。

以下の図に、オプションの保護部品を使用した回路実装を示します。

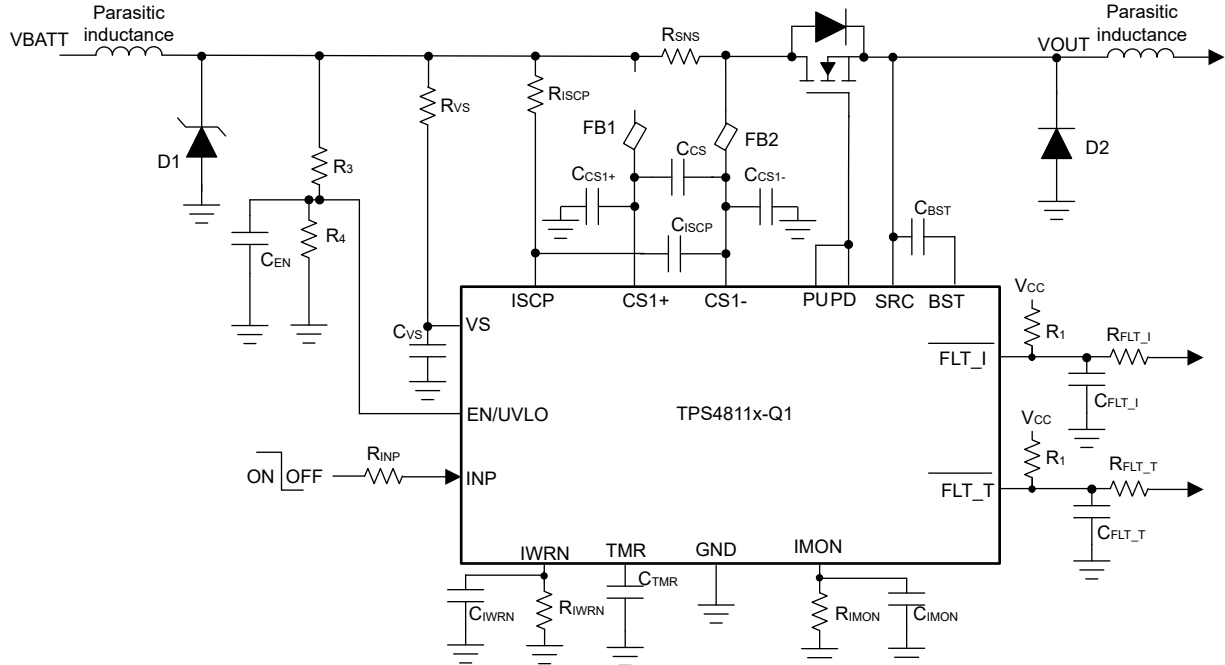


図 9-18. オプションの保護部品を使用した TPS4811Q1 の回路実装

表 9-3. 電源および EMI 対策用部品

部品記号	説明	推奨値
R_{VS} , C_{VS}	TPS4811Q1 は VS ピンから電源供給を受けます。ノイズを伴うライン過渡時に正常動作を確保するため、このピンの電圧は $V_{(VS_PORR)}$ レベル以上に維持する必要があります。	100Ω, 0.1 ~ 10μF
C_{ISCP}	di/dt が大きい場合、システムおよびレイアウトの寄生インダクタンスにより、CS1+ ピンと CS1- ピンの間に大きな差動信号電圧が生成される可能性があります。これにより、誤って短絡保護が発生する可能性、およびシステム内で不要なトリップが発生する可能性があります。こうした問題を克服するため、センス抵抗 (R_{SNS}) の両端に RC フィルタ部品用のブレースホルダを追加し、実際のシステムでのテスト中に値を微調整することが推奨されます。突入期間中または起動時に誤った短絡保護 (SCP) を回避するために、ISCP ピンと DRN ピン間にコンデンサ (C_{ISCP}) を配置することもできます。	0.001-1μF
FB1、FB2、 C_{CS} 、 C_{CS1+} 、 C_{CS1-} 、 C_{IMON} 、 C_{IWRN}	EMI/ EMC 試験時の耐性性能を向上させるため、CS1+ ピンおよび CS1- ピンにフェライトビーズ (FB1、FB2) が必要となる場合があります。IMON の精度に大きな影響を与えないようにするため、CS- ピンにおける DC 抵抗が非常に低くなるようにフェライトビーズを選定する必要があります。耐性試験の種類や周波数帯域に応じて、 C_{CS} 、 C_{CS1+} 、 C_{CS1-} 、 C_{IMON} 、 C_{IWRN} を介した追加のフィルタリングが必要となる場合もあり、これにより高い耐性性能を確保できます。	MMZ1608B102CTA00、 C_{TMP} 、 C_{IOC} には 10pF、その他には 10pF ~ 100nF
R_{GATE_PU} 、 R_{GATE_PD} 、 D_3	GATE ピンに接続された抵抗により、外付け FET の立ち上がり時間および立ち下がり時間を制御できます。並列に接続された個々の外部 FET には、個別の R_{GATE_PU} を使用する必要があります。	任意の値
C_{EN}	EN を入力電源から生成する場合、 C_{EN} を使用して電源ラインの過渡電圧をフィルタ処理し、UVLO トリガの誤検出を防止できます。	1 - 1000nF
R_{INP} 、 R_{FLT_I} 、 R_{FLT_T}	INP、FLT_I、FLT_T、ピンは、特に逆極性故障イベントで保護するために、抵抗を介してマイコンまたはその他の HI/LO ソースに接続する必要があります。	1 - 10kΩ
C_{FLT_I} 、 C_{FLT_T}	FLT_I、FLT_T ピンのコンデンサは、故障のマスキングに使用できます	任意の値

9.6 レイアウト

9.6.1 レイアウトのガイドライン

- センス抵抗 (R_{SNS}) は TPS4811x-Q1 の近くに配置し、ケルビン技法を使用して R_{SNS} を接続する必要があります。ケルビン技法の詳細については、『[適切なセンス抵抗のレイアウトの選択](#)』を参照してください。
- すべてのアプリケーションにおいて、TI は VS 端子と GND の間に 0.1 μ F 以上のセラミック デカップリング コンデンサを配置することを推奨します。電力線の障害に対するデカップリングを改善するために、コントローラの電源ピン (VS) に RC ネットワークを追加することを検討してください。
- ボードの入力から負荷への大電流パスおよび帰路は並列かつ互いに近接して配置し、ループ インダクタンスを最小化する必要があります。
- 外部 MOSFET はコントローラの近くに配置し、MOSFET の GATE が PU/PD ピンの近くになるようにして、ゲートループを短くする必要があります。必要に応じて、高周波発振を抑制するため、各外部 MOSFET のゲートと直列に抵抗のプレースホルダを追加することを検討します。
- TVS ダイオードを入力に配置して、ホットプラグ時および高速ターンオフ時の過渡電圧をクランプします。
- 非常に短いループを形成するために、外部ブートストラップ コンデンサは、BST ピンと SRC ピンの近くに配置する必要があります。
- TPS4811x-Q1 周辺の各コンポーネントのグランド接続は、相互に直接接続し、さらに TPS4811x-Q1 の GND に接続したうえで、1 点でシステム グランドに接続する必要があります。各種部品のグランドは、高電流のグランドライン経由で相互に接続しないでください。
- ダイオード ピンは電流を供給して、温度を測定します。TI は、リモート温度検出用の素子として BJT MMBT3904 の使用を推奨しています。測定精度の劣化を防ぐため、DIODE ピンと MMBT3904 間の寄生抵抗を低く抑えるよう PCB レイアウトに注意が必要です。さらに、測定精度を確保するため、MMBT3904 のエミッタからデバイスの GND へケルビン接続を行うことを TI は推奨しています。さらに、ノイズの影響を低減するため、小型の 1000pF バイパスコンデンサを MMBT3904 と並列に配置する必要があります。

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

PowerTrain™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (April 2024) to Revision E (April 2026)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
保管温度の最小値を以下のように変更: -40°C から -55°C.....	7
ドレイン側入力ピン (VS、CS+、CS-、ISCP) における電圧スルーレートの追加.....	7
I _(CS-) 入力バイアス電流を追加.....	8
図 8-6 を更新.....	20
チャージポンプのリファレンス電圧を変更: 11V から: 12V.....	20
「過負荷および短絡保護」セクションを追加.....	23
式 6 を次から移動: 詳細な設計手順から変更: 過電流および短絡保護.....	23
コンパレータのオフセット電圧を含めるように式 6 を更新.....	23
図 8-9 を追加.....	23
式 11 を以下のように変更: -600 から -464.....	26
機能説明の後にデバイスの機能モード (シャットダウン モード) を移動.....	29
コンパレータのオフセット電圧を含めるように式 16 を更新.....	32
式 17 を以下のように変更: -600 から -464.....	32
R _{ISCP} の計算値を以下のように変更: 1.32kΩ から 1.46kΩ.....	32
代表的なアプリケーションを追加: EMI 対応の設計.....	39
以下のように変更: 電源に関する推奨事項: 電源および EMI に関する推奨事項.....	40

- R_{SET} と R_{ISCP} 接続を含めるように [図 9-19](#) を更新よ.....43

Changes from Revision C (December 2022) to Revision D (April 2024) Page

- 「電気的特性」セクションにおいて、ダイオード センスの TSD 立ち上がりスレッシュヨルド ($T_{(DIODE_TSD_rising)}$) の仕様を
更新 7

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS48110AQDGXRQ1	Active	Production	VSSOP (DGX) 19	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2UZS
TPS48110AQDGXRQ1.A	Active	Production	null (null)	5000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	See TPS48110AQDGXRQ1	2UZS
TPS48111LQDGXRQ1	Active	Production	VSSOP (DGX) 19	5000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2XXS
TPS48111LQDGXRQ1.A	Active	Production	null (null)	5000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	See TPS48111LQDGXRQ1	2XXS

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

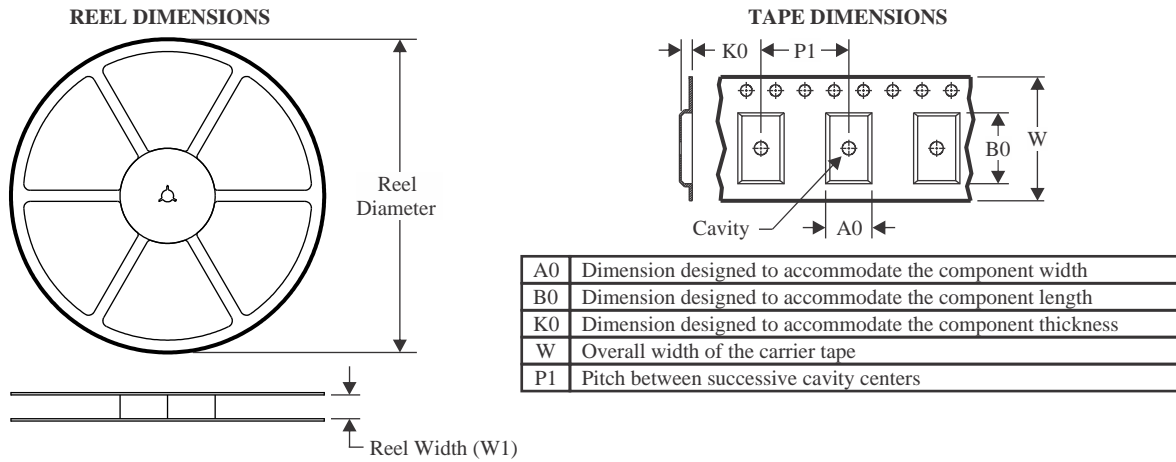
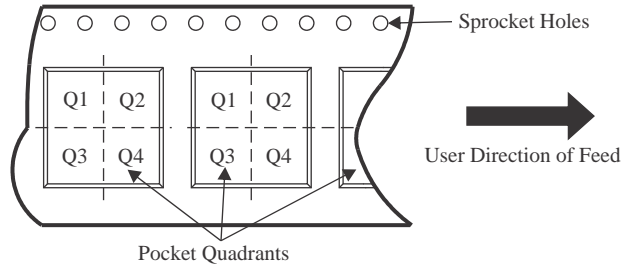
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


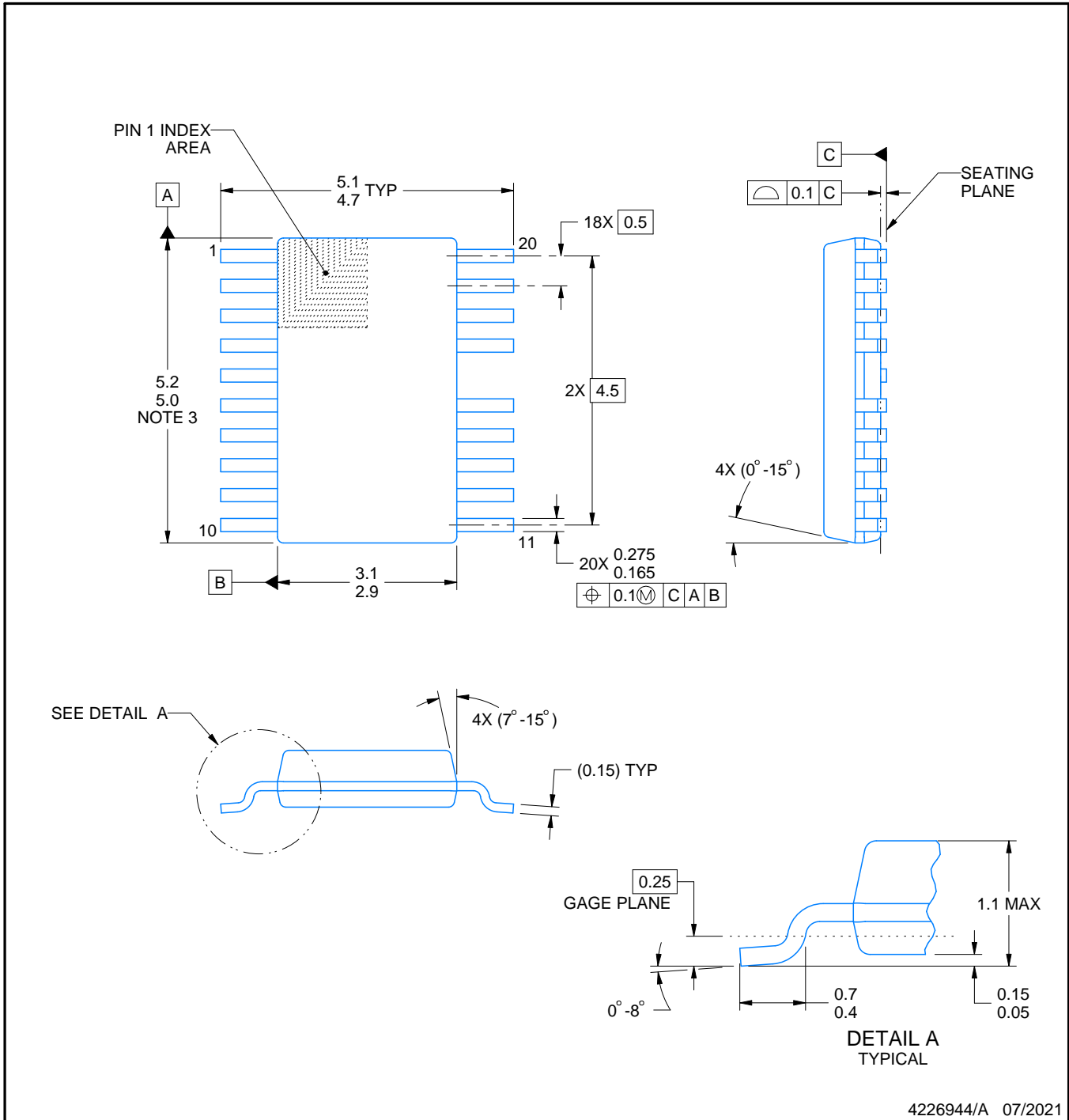
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS48110AQDGXRQ1	VSSOP	DGX	19	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
TPS48111LQDGXRQ1	VSSOP	DGX	19	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS48110AQDGXRQ1	VSSOP	DGX	19	5000	353.0	353.0	32.0
TPS48111LQDGXRQ1	VSSOP	DGX	19	5000	353.0	353.0	32.0



4226944/A 07/2021

NOTES:

PowerPAD is a trademark of Texas Instruments.

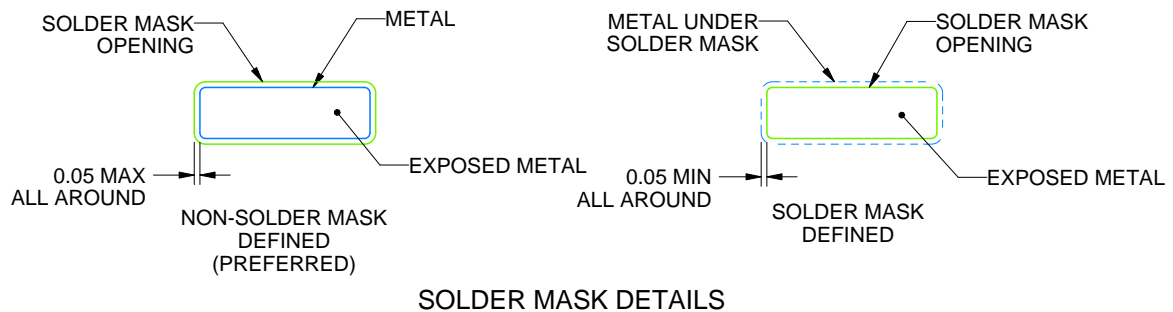
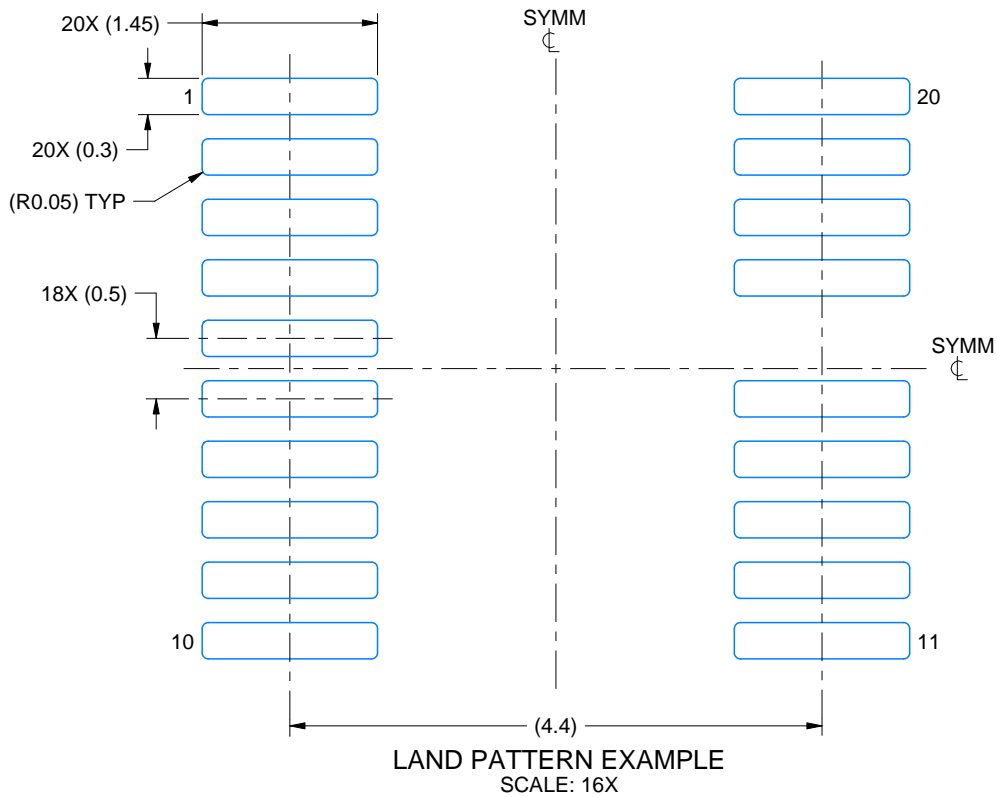
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of July 2021.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGX0019A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226944/A 07/2021

NOTES: (continued)

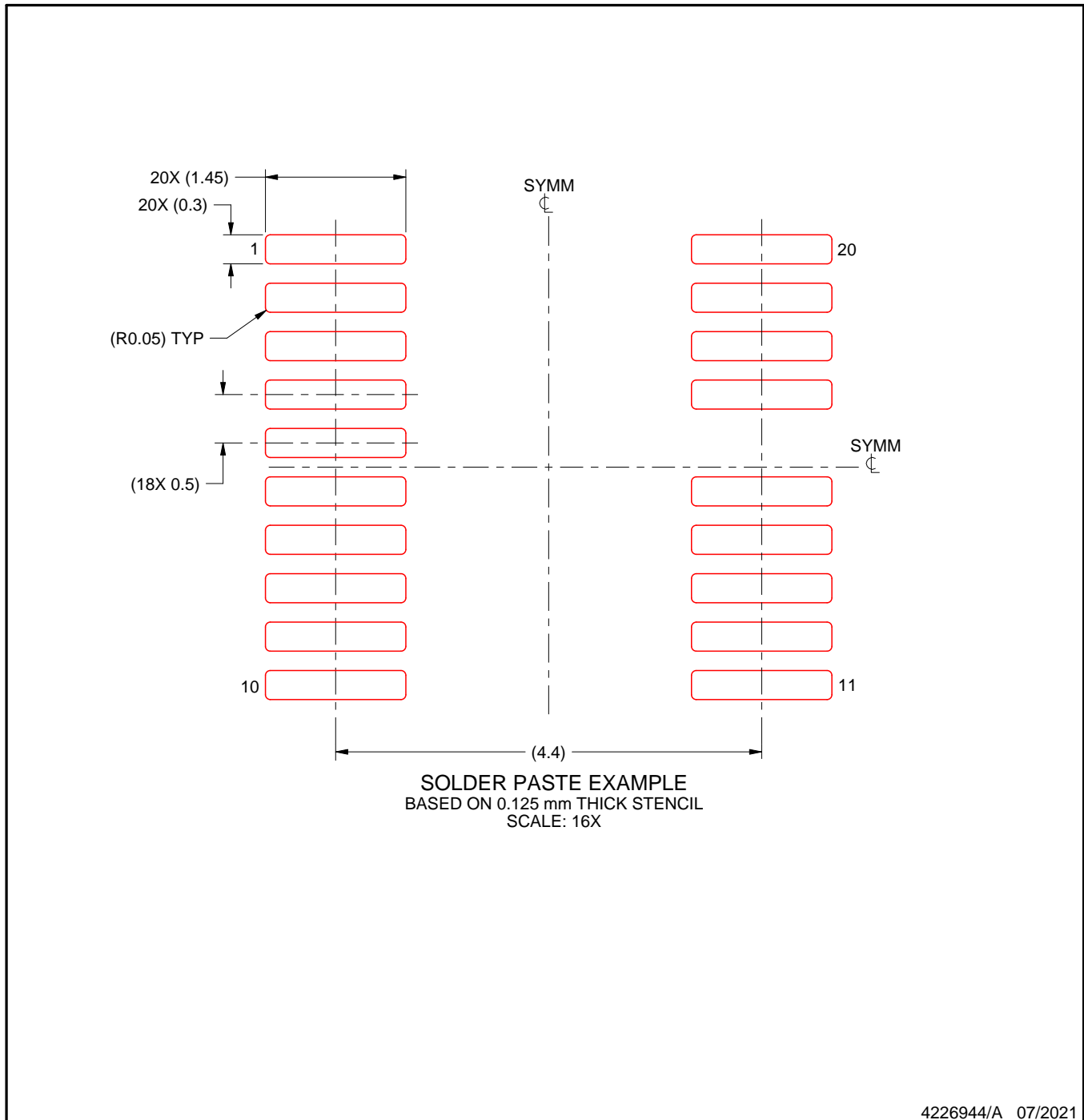
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGX0019A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月