

# DP83TG720S-Q1 SGMII および RGMII 対応 1000BASE-T1 車載用イーサネット PHY

## 1 特長

- IEEE802.3bp 1000BASE-T1 準拠
- Open Alliance TC12 の相互運用性と EMC に適合
  - OA/IEEE 準拠 PHY との相互運用性テスト済み
  - EMC 耐性、クラス IV 準拠 (UTP: シールドなしツイストペア)
- MDI ピンに LPF を内蔵
- MAC インターフェイス: RGMII、SGMII
- 対応する I/O 電圧: 3.3V、2.5V、1.8V
- テキサス・インスツルメンツの 100BASE-T1 PHY とピン互換
  - 必要な BOM を変更することで、100BASE-T1 と 1000BASE-T1 に対応するシングル ボード設計
- パワー セービング機能:
  - スタンバイ、スリープ
  - ローカルおよびリモート ウェークアップ
- 診断ツール キット
  - 高精度の温度モニタ
  - 電圧モニタ
  - ESD イベント モニタ
  - データ スループット カリキュレータ: 内蔵 MAC パケット ジェネレータ、カウンタ、エラー チェッカ
  - リンク品質監視
  - ケーブル開放および短絡フォルト検出
  - ループバック モード
- 25MHz クロック出力源
- VQFN、ウェットアブル フランク パッケージ
- AEC-Q100 認定済み
  - 内蔵 ESD 保護機能: IEC61000-4-2 ESD: ±8kV 接触放電
  - デバイス温度グレード 1: -40°C ~ +125°C の動作時周囲温度

## 2 アプリケーション

- テレマティクス制御ユニット (TCU、TBOX)
- ゲートウェイとボディコントロール モジュール (BCM)
- ADAS: LIDAR、レーダー、フロントカメラ

## 3 説明

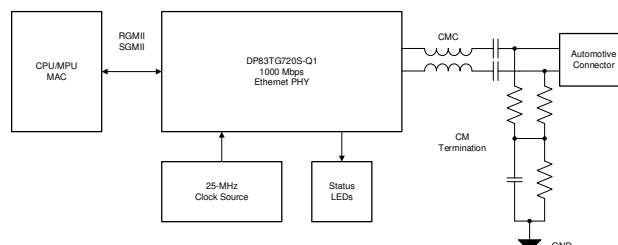
DP83TG720S-Q1 デバイスは、IEEE 802.3bp と Open Alliance に準拠した車載用イーサネット物理層トランシーバです。このデバイスには、シールドなしとシールド付きのシングル ツイストペア ケーブル上でデータを送受信するために必要な、すべての物理層機能が搭載されています。このデバイスは xMII の柔軟性があり、RGMII および SGMII MAC インターフェイスをサポートします。

DP83TG720 は Open Alliance EMC および相互運用性仕様 (シールドなしツイスト ケーブル) に準拠しています。DP83TG720 は テキサス・インスツルメンツの 100BASE-T1 PHY とフットプリント互換であるため、1 枚のボードで両方の速度に対応する、拡張性に優れた設計を実現できます。このデバイスでは、リアルタイム監視ツール、デバッグ ツール、テスト モードを豊富に備えた診断ツール キットを提供しています。ツール キットには、初めて内蔵された静電放電 (ESD) 監視ツールが含まれています。このデバイスは xMII と MDI の両方で ESD イベントをカウントでき、プログラム可能な割り込みを使用してリアルタイム監視も行えます。また、DP83TG720S-Q1 は、カスタマイズ可能な MAC パケットの生成と受信パケットのエラー チェックを行うため、データ ジェネレータおよびチェッカ ツールを内蔵しています。これにより、MAC に依存することなく、システム レベルのデータパスに関するテストや最適化が可能になります。

### パッケージ情報

| 部品番号          | パッケージ (1) | パッケージ サイズ (2)   |
|---------------|-----------|-----------------|
| DP83TG720S-Q1 | VQFN (36) | 6.00mm × 6.00mm |

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



## 目次

|                          |           |                                          |            |
|--------------------------|-----------|------------------------------------------|------------|
| <b>1 特長</b> .....        | <b>1</b>  | <b>6.5 プログラミング</b> .....                 | <b>51</b>  |
| <b>2 アプリケーション</b> .....  | <b>1</b>  | <b>7 レジスタ マップ</b> .....                  | <b>55</b>  |
| <b>3 説明</b> .....        | <b>1</b>  | 7.1 レジスタ アクセスの概要.....                    | 55         |
| <b>4 ピン構成および機能</b> ..... | <b>3</b>  | 7.2 DP83TG720 のレジスタ.....                 | 56         |
| 4.1 ピンの状態.....           | 6         | <b>8 アプリケーションと実装</b> .....               | <b>167</b> |
| 4.2 ピンの電源ドメイン.....       | 9         | 8.1 使用上の注意.....                          | 167        |
| <b>5 仕様</b> .....        | <b>10</b> | 8.2 代表的なアプリケーション.....                    | 167        |
| 5.1 絶対最大定格.....          | 10        | 8.3 電源に関する推奨事項.....                      | 167        |
| 5.2 ESD 定格.....          | 10        | 8.4 テキサス・インスツルメンツの 100BT1 PHY との互換性..... | 170        |
| 5.3 推奨動作条件.....          | 10        | 8.5 レイアウト.....                           | 171        |
| 5.4 熱に関する情報.....         | 11        | <b>9 デバイスおよびドキュメントのサポート</b> .....        | <b>174</b> |
| 5.5 電気的特性.....           | 11        | 9.1 ドキュメントの更新通知を受け取る方法.....              | 174        |
| 5.6 タイミング要件.....         | 15        | 9.2 サポート・リソース.....                       | 174        |
| 5.7 タイミング図.....          | 19        | 9.3 商標.....                              | 174        |
| 5.8 LED の駆動特性.....       | 23        | 9.4 静電気放電に関する注意事項.....                   | 174        |
| <b>6 詳細説明</b> .....      | <b>24</b> | 9.5 用語集.....                             | 174        |
| 6.1 概要.....              | 24        | <b>10 改訂履歴</b> .....                     | <b>174</b> |
| 6.2 機能ブロック図.....         | 25        | <b>11 メカニカル、パッケージ、および注文情報</b> .....      | <b>176</b> |
| 6.3 機能説明.....            | 26        |                                          |            |
| 6.4 デバイスの機能モード.....      | 37        |                                          |            |

## 4 ピン構成および機能

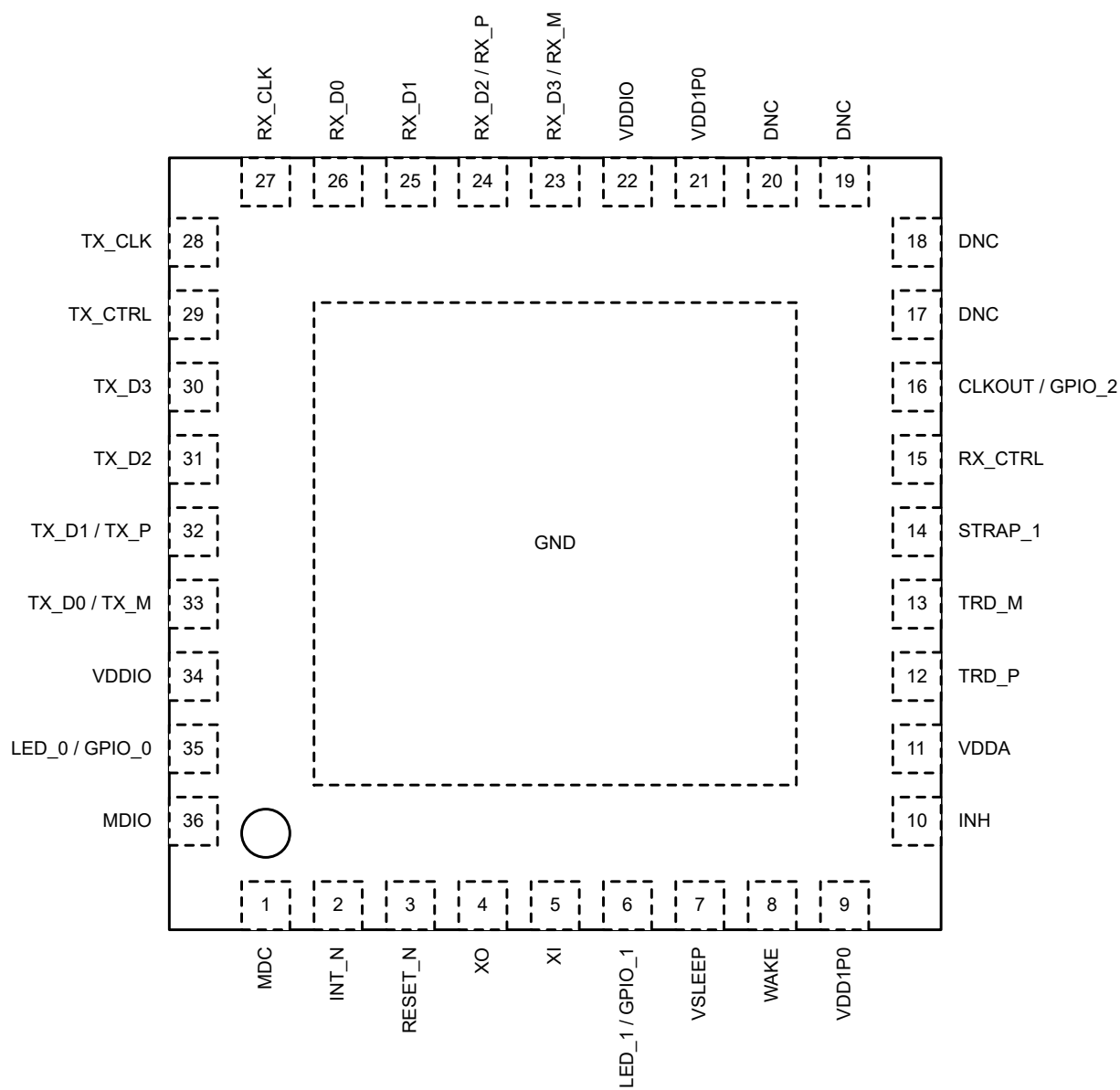


図 4-1. RHA パッケージ  
36 ピン VQFN  
上面図

表 4-1. ピンの機能

| ピン                    |    | 状態 <sup>(1)</sup> | 説明 <sup>(2)</sup>                                                                                                                                                                                                                                                                                                  |
|-----------------------|----|-------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 名称                    | 番号 |                   |                                                                                                                                                                                                                                                                                                                    |
| MAC インターフェイス          |    |                   |                                                                                                                                                                                                                                                                                                                    |
| RX_D3<br>RX_M         | 23 | S、PD、O            | <b>受信データ:</b> ケーブルで受信されたシンボルはデコードされ、RX_CLK の立ち上がりエッジに同期してこれらのピンから送信されます。RX_DV (RX_CTL からデコード) がアサートされている場合、これらには有効なデータが含まれます。RGMII モードではニブル (RX_D[3:0]) が送信されます。<br><b>RX_M/RX_P:</b> 差動 SGMII データ出力。これらのピンは PHY から MAC にデータを送信します。                                                                                |
| RX_D2<br>RX_P         | 24 |                   |                                                                                                                                                                                                                                                                                                                    |
| RX_D1                 | 25 |                   |                                                                                                                                                                                                                                                                                                                    |
| RX_D0                 | 26 |                   |                                                                                                                                                                                                                                                                                                                    |
| RX_CLK                | 27 | O                 | <b>受信クロック:</b> RGMII モードでは、PHY はこの 125MHz クロックを MAC に供給します。<br><b>SGMII モードでは未使用</b>                                                                                                                                                                                                                               |
| RX_CTRL               | 15 | S、PD、O            | <b>RGMII 受信制御:</b> 受信制御は、受信データ有効表示と受信エラー表示を 1 つの信号に統合したものです。RX_DV は RX_CLK の立ち上がりエッジに示され、RX_ER は RX_CLK の立ち下がりエッジに示されます。<br><b>SGMII モードではストラップとしてのみ使用</b>                                                                                                                                                         |
| TX_CLK                | 28 | I                 | <b>送信クロック:</b> RGMII モードでは、MAC はこの 125MHz クロックを PHY に供給します。<br><b>SGMII モードでは未使用</b>                                                                                                                                                                                                                               |
| TX_CTRL               | 29 | I                 | <b>RGMII 送信制御:</b> 送信制御は、送信イネーブルと送信エラー表示を 1 つの信号に統合したものです。TX_EN は TX_CLK の立ち上がりエッジの前に示され、TX_ER は TX_CLK の立ち下がりエッジに示されます。<br><b>SGMII モードでは未使用</b>                                                                                                                                                                  |
| TX_D3                 | 30 | I                 | <b>送信データ:</b> RGMII モードでは、送信データ ニブル (TX_D[3:0]) が MAC から受信されます。<br><b>TX_M/TX_P:</b> 差動 SGMII データ入力。これらのピンは、MAC から PHY に送信されたデータを受信します。                                                                                                                                                                            |
| TX_D2                 | 31 |                   |                                                                                                                                                                                                                                                                                                                    |
| TX_D1<br>TX_P         | 32 |                   |                                                                                                                                                                                                                                                                                                                    |
| TX_D0<br>TX_M         | 33 |                   |                                                                                                                                                                                                                                                                                                                    |
| シリアル マネージメント インターフェイス |    |                   |                                                                                                                                                                                                                                                                                                                    |
| MDC                   | 1  | I                 | <b>管理データ クロック:</b> MDIO シリアル マネージメント入力および出力データに同期したクロック。                                                                                                                                                                                                                                                           |
| MDIO                  | 36 | OD、IO             | <b>管理データ入出力 (Management Data Input/Output):</b> 管理ステーションまたは PHY のいずれかから出力される双方向管理データ信号。このピンには VDDIO への外付けプルアップ抵抗 (推奨値 = 2.2kΩ) が必要です。<br>Open Alliance 準拠に合格するには MDIO/MDC へのアクセスが必要です。 <a href="#">セクション 6.3.2</a> を参照してください。                                                                                      |
| 制御インターフェイス            |    |                   |                                                                                                                                                                                                                                                                                                                    |
| INT                   | 2  | PU、OD、O           | <b>割り込み:</b> アクティブ Low 出力。割り込み条件が発生すると、Low にアサートされます。このピンは弱いプルアップを内蔵しています。各種割り込みトリガを有効化するには、レジスタ アクセスが必要です。割り込みイベントフラグが一度セットされると、このピンの割り込みイベントをクリアするには、レジスタ アクセスが必要です。レジスタ [0x0011] を使うことで、このピンをアクティブ High 出力として構成できます。<br>割り込みソースを確実にキャプチャするため、int_n ピンで割り込みがアサートされた後に、割り込みレジスタ x12、x13、x18 からステータスを読み出すことを推奨します。 |
| RESET                 | 3  | PU、I              | <b>RESET:</b> DP83TG720S-Q1 を初期化または再初期化するアクティブ Low 入力。このピンを 10μs 以上 Low にアサートすると、リセット プロセスが強制的に開始されます。すべての内部レジスタは、「レジスタ マップ」セクションで各ビットに対して指定されたデフォルト状態に再初期化されます。リセットのデアサート時に、すべてのブートストラップ ピンが再サンプリングされます。                                                                                                          |

**表 4-1. ピンの機能 (続き)**

| ピン                |             | 状態 <sup>(1)</sup> | 説明 <sup>(2)</sup>                                                                                                                                                         |
|-------------------|-------------|-------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 名称                | 番号          |                   |                                                                                                                                                                           |
| INH               | 10          | PMOS OD           | <b>INH:</b> アクティブ High の PMOS オープンドレイン出力。PHY がスリープ状態に移行すると、外付けプルダウン抵抗 (推奨値 = 10kΩ) がラインをグランドにプルダウンできるように、PHY は INH ピンを解放します。その他の状態では、INH ピンは VSLEEP レールに High 状態を駆動します。   |
| WAKE              | 8           | PD、I              | <b>WAKE:</b> ウェークアップ ピンのアクティブ High (このピンは VSLEEP ドメインで動作します) パルスにより、PHY はスリープ状態から復帰します。パルス幅については、タイミングのセクションを参照してください。スリープ状態を使わない場合、このピンを VSLEEP レールに直接接続できます。または浮動にできます。 |
| STRP_1            | 14          | I                 | <b>ストラップ 1:</b> このピンは、PHY_AD ビットをストラップするためのものです。                                                                                                                          |
| クロック インターフェイス     |             |                   |                                                                                                                                                                           |
| XI                | 5           | I                 | <b>基準クロック入力:</b> 基準クロックの 25MHz ±100ppm 許容誤差の水晶振動子または発振器入力。本デバイスは、外付け水晶振動子 (ピン XI とピン XO の間に接続) と外付け CMOS レベル発振器 (ピン XI のみに接続、XO は浮動) のどちらにも対応しています。                       |
| XO                | 4           | O                 | <b>基準クロック出力:</b> XO ピンは水晶振動子の場合にのみ使用されます。CMOS レベル発振器を XI に接続する場合、このピンは浮動したままになります。                                                                                        |
| LED/GPIO インターフェイス |             |                   |                                                                                                                                                                           |
| LED_0 / GPIO_0    | 35          | S、PD、IO           | <b>LED_0:</b> リンク ステータス                                                                                                                                                   |
| LED_1 / GPIO_1    | 6           | S、PD、IO           | <b>LED_1:</b> TX/RX 動作のリンク ステータスと点滅                                                                                                                                       |
| CLKOUT/ GPIO_2    | 16          | IO                | <b>クロック出力:</b> デフォルトでは 25MHz の基準クロック (XI のバッファリング済みレプリカ)。使用しない場合、レジスタ 0x0453 = 0x0006 を書き込むことで、クロック出力を無効化できます。                                                            |
| メディア依存インターフェイス    |             |                   |                                                                                                                                                                           |
| TRD_M             | 13          | IO                | <b>差動送信および受信:</b> 1000BASE-T1 動作用に構成された双方向差動信号。IEEE 802.3bp 準拠。                                                                                                           |
| TRD_P             | 12          |                   |                                                                                                                                                                           |
| 電源およびグランド接続       |             |                   |                                                                                                                                                                           |
| VDDA3P3           | 11          | 電源                | <b>コア電源:</b> 3.3V デカップリング ネットワークについては、「電源に関する推奨事項」を参照してください。                                                                                                              |
| VDDIO             | 22、34       | 電源                | <b>IO 電源:</b> 1.8V、2.5V、または 3.3V。デカップリング ネットワークについては、「電源に関する推奨事項」を参照してください。                                                                                               |
| VDD1P0            | 9、21        | 電源                | <b>コア電源:</b> 1.0V デカップリング ネットワークについては、「電源に関する推奨事項」を参照してください。                                                                                                              |
| VSLEEP            | 7           | 電源                | <b>スリープ電源:</b> 3.3V デカップリング ネットワークについては、「電源に関する推奨事項」を参照してください。スリープ機能を使用しない場合、このピンを VDDA3P3 に接続する必要があります。                                                                  |
| グランド              | DAP         | グランド              | <b>グランド</b>                                                                                                                                                               |
| 接続禁止              |             |                   |                                                                                                                                                                           |
| DNC               | 17、18、19、20 | DNC               | <b>DNC:</b> 接続しないでください (テスト構造がこれらのピンに接続されており、PHY の損傷または誤モードへの移行を防止するために浮動状態に保つ必要があります)。                                                                                   |

- (1) 種類: I = 入力  
O = 出力  
IO = 入出力  
OD = オープンドレイン  
PD = 内部プルダウン  
PU = 内部プルアップ  
S = ストラップ: 構成ピン (すべての構成ピンは、弱い内部プルアップまたはプルダウンを備えています)。
- (2) ピンを使用しない場合は、上記の表に示す推奨接続要件に従ってください。終端処理が必要ないピンは浮動させておくことができます。

## 4.1 ピンの状態

表 4-2. ピンの状態 - RGMII

| ピン名           | 起動 / リセット            |        |          | 通常動作 - RGMII         |        |          |
|---------------|----------------------|--------|----------|----------------------|--------|----------|
|               | ピンの状態 <sup>(1)</sup> | プル・タイプ | プル値 (kΩ) | ピンの状態 <sup>(1)</sup> | プル・タイプ | プル値 (kΩ) |
| MDC           | I                    | なし     | -        | I                    | なし     | -        |
| INT_N         | I                    | PU     | 9        | OD                   | PU     | 9        |
| RESET_N       | I                    | PU     | 9        | I                    | PU     | 9        |
| XO            | O                    | なし     | -        | O                    | なし     | -        |
| XI            | I                    | なし     | -        | I                    | なし     | -        |
| LED_1         | I                    | PD     | 9        | O                    | なし     | -        |
| WAKE          | I                    | PD     | 50       | I                    | PD     | 50       |
| STRP_1        | I                    | PD     | 6.3      | I                    | なし     | -        |
| INH           | PMOS、OD、O            | なし     | -        | PMOS、OD、O            | なし     | -        |
| RX_CTRL       | I                    | PD     | 6.3      | O                    | なし     | -        |
| CLKOUT/GPIO_2 | O                    | なし     | -        | O                    | なし     | -        |
| RX_D3         | I                    | PD     | 9        | O                    | なし     | -        |
| RX_D2         | I                    | PD     | 9        | O                    | なし     | -        |
| RX_D1         | I                    | PD     | 9        | O                    | なし     | -        |
| RX_D0         | I                    | PD     | 9        | O                    | なし     | -        |
| RX_CLK        | I                    | PD     | 9        | O                    | なし     | -        |
| TX_CLK        | I                    | なし     | -        | I                    | なし     | -        |
| TX_CTRL       | I                    | なし     | -        | I                    | なし     | -        |
| TX_D3         | I                    | なし     | -        | I                    | なし     | -        |
| TX_D2         | I                    | なし     | -        | I                    | なし     | -        |
| TX_D1         | I                    | なし     | -        | I                    | なし     | -        |
| TX_D0         | I                    | なし     | -        | I                    | なし     | -        |
| LED_0         | I                    | PD     | 9        | O                    | なし     | -        |
| MDIO          | I                    | なし     | -        | IO                   | なし     | -        |

- (1) 種類: I = 入力  
 O = 出力  
 IO = 入出力  
 OD = オープン・ドレイン  
 PD = 内部プルダウン  
 PU = 内部プルアップ

**表 4-3. ピンの状態 - SGMII**

| ピン名           | 起動 / リセット            |        |          | 通常動作 - SGMII         |        |          |
|---------------|----------------------|--------|----------|----------------------|--------|----------|
|               | ピンの状態 <sup>(1)</sup> | プル・タイプ | プル値 (kΩ) | ピンの状態 <sup>(1)</sup> | プル・タイプ | プル値 (kΩ) |
| MDC           | I                    | なし     | -        | I                    | なし     | -        |
| INT_N         | I                    | PU     | 9        | OD                   | PU     | 9        |
| RESET_N       | I                    | PU     | 9        | I                    | PU     | 9        |
| XO            | O                    | なし     | -        | O                    | なし     | -        |
| XI            | I                    | なし     | -        | I                    | なし     | -        |
| LED_1         | I                    | PD     | 9        | O                    | なし     | -        |
| WAKE          | I                    | PD     | 50       | I                    | PD     | 50       |
| STRP_1        | I                    | PD     | 6.3      | I                    | なし     | -        |
| INH           | PMOS、OD、O            | なし     | -        | PMOS、OD、O            | なし     | -        |
| RX_CTRL       | I                    | PD     | 6.3      | I                    | PD     | 6.3      |
| CLKOUT/GPIO_2 | O                    | なし     | -        | O                    | なし     | -        |
| RX_D3         | I                    | PD     | 9        | O                    | なし     | -        |
| RX_D2         | I                    | PD     | 9        | O                    | なし     | -        |
| RX_D1         | I                    | PD     | 9        | Hi-Z                 | PD     | 9        |
| RX_D0         | I                    | PD     | 9        | Hi-Z                 | PD     | 9        |
| RX_CLK        | I                    | PD     | 9        | Hi-Z                 | PD     | 9        |
| TX_CLK        | I                    | なし     | -        | Hi-Z                 | なし     | -        |
| TX_CTRL       | I                    | なし     | -        | Hi-Z                 | なし     | -        |
| TX_D3         | I                    | なし     | -        | Hi-Z                 | なし     | -        |
| TX_D2         | I                    | なし     | -        | Hi-Z                 | なし     | -        |
| TX_D1         | I                    | なし     | -        | I                    | なし     | -        |
| TX_D0         | I                    | なし     | -        | I                    | なし     | -        |
| LED_0         | I                    | PD     | 9        | O                    | なし     | -        |
| MDIO          | I                    | なし     | -        | IO                   | なし     | -        |

- (1) 種類: I = 入力  
O = 出力  
IO = 入出力  
OD = オープン・ドレイン  
PD = 内部プルダウン  
PU = 内部プルアップ  
Hi-Z = 高インピーダンス

表 4-4. ピンの状態 - スリープおよび分離

| ピン名           | MAC 分離               |                        |          | スリープ                 |        |          |
|---------------|----------------------|------------------------|----------|----------------------|--------|----------|
|               | ピンの状態 <sup>(1)</sup> | プル・タイプ                 | プル値 (kΩ) | ピンの状態 <sup>(1)</sup> | プル・タイプ | プル値 (kΩ) |
| MDC           | I                    | なし                     | -        | 浮動                   | なし     | -        |
| INT_N         | O                    | PU                     | 9        | 浮動                   | なし     | -        |
| RESET_N       | I                    | PU                     | 9        | 浮動                   | なし     | -        |
| XO            | O                    | なし                     | -        | 浮動                   | なし     | -        |
| XI            | I                    | なし                     | -        | 浮動                   | なし     | -        |
| LED_1         | O                    | なし                     | -        | 浮動                   | なし     | -        |
| WAKE          | I                    | PD                     | 50       | I                    | なし     | 50       |
| STRP_1        | I                    | なし                     | -        | 浮動                   | なし     | -        |
| INH           | PMOS、OD、O            | なし                     | -        | PMOS、OD、O            | なし     | -        |
| RX_CTRL       | I                    | PD                     | 6.3      | 浮動                   | なし     | -        |
| CLKOUT/GPIO_2 | O                    | なし                     | -        | 浮動                   | なし     | -        |
| RX_D3         | I                    | PD / なし <sup>(2)</sup> | 9        | 浮動                   | なし     | -        |
| RX_D2         | I                    | PD / なし <sup>(2)</sup> | 9        | 浮動                   | なし     | -        |
| RX_D1         | I                    | PD                     | 9        | 浮動                   | なし     | -        |
| RX_D0         | I                    | PD                     | 9        | 浮動                   | なし     | -        |
| RX_CLK        | I                    | PD                     | 9        | 浮動                   | なし     | -        |
| TX_CLK        | I                    | なし                     | -        | 浮動                   | なし     | -        |
| TX_CTRL       | I                    | なし                     | -        | 浮動                   | なし     | -        |
| TX_D3         | I                    | なし                     | -        | 浮動                   | なし     | -        |
| TX_D2         | I                    | なし                     | -        | 浮動                   | なし     | -        |
| TX_D1         | I                    | なし                     | -        | 浮動                   | なし     | -        |
| TX_D0         | I                    | なし                     | -        | 浮動                   | なし     | -        |
| LED_0         | O                    | なし                     | -        | 浮動                   | なし     | -        |
| MDIO          | IO                   | なし                     | -        | 浮動                   | なし     | -        |

(1) 種類:I = 入力

O = 出力

IO = 入出力

OD = オープン・ドレイン

PD = 内部プルダウン

PU = 内部プルアップ

Hi-Z = 高インピーダンス

浮動 = IO に電力が供給されていないため、ピンは PHY によってバイアス印加されていません。

(2) PD は、RGMII の分離モード専用です。

## 注

スリープ・モードに入る場合、VDDA、VDDIO、VDD1P0 はパワーダウンするものとします。詳細については、「スリープ・モードに必要な実装」の図を参照してください。



## 4.2 ピンの電源ドメイン

**表 4-5. ピン電源ドメイン表**

外付けプルアップ抵抗付きの入力ピンは、表に示すドメインにプルする必要があります

以下

| ピン            | RGMII モード | SGMII モード |
|---------------|-----------|-----------|
| MDC           | VDDIO     | VDDIO     |
| INT_N         | VDDIO     | VDDIO     |
| RESET_N       | VDDIO     | VDDIO     |
| XI            | VDDIO     | VDDIO     |
| XO            | VDDIO     | VDDIO     |
| LED_1         | VDDIO     | VDDIO     |
| WAKE          | VSLEEP    | VSLEEP    |
| STRP_1        | VDDIO     | VDDIO     |
| INH           | VSLEEP    | VSLEEP    |
| RX_CTRL       | VDDIO     | VDDIO     |
| CLKOUT/GPIO_2 | VDDIO     | VDDIO     |
| RX_D3         | VDDIO     | VDDA      |
| RX_D2         | VDDIO     | VDDA      |
| RX_D1         | VDDIO     | VDDIO     |
| RX_D0         | VDDIO     | VDDIO     |
| RX_CLK        | VDDIO     | VDDIO     |
| TX_CLK        | VDDIO     | VDDIO     |
| TX_CTRL       | VDDIO     | VDDIO     |
| TX_D3         | VDDIO     | VDDIO     |
| TX_D2         | VDDIO     | VDDIO     |
| TX_D1         | VDDIO     | VDDA      |
| TX_D0         | VDDIO     | VDDA      |
| LED_0         | VDDIO     | VDDIO     |
| MDIO          | VDDIO     | VDDIO     |
| TRD_P         | VDDA      | VDDA      |
| TRD_M         | VDDA      | VDDA      |

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

|                             |                                                                                                       | 最小値  | 標準値 | 最大値                         | 単位 |
|-----------------------------|-------------------------------------------------------------------------------------------------------|------|-----|-----------------------------|----|
| 電源電圧                        | VDDA3P3                                                                                               | -0.5 |     | 4                           | V  |
| 電源電圧                        | VDD1P0                                                                                                | -0.5 |     | 1.4                         | V  |
| 電源電圧                        | VDDIO (3.3V)                                                                                          | -0.5 |     | 4                           | V  |
| 電源電圧                        | VDDIO (2.5V)                                                                                          | -0.5 |     | 2.9                         | V  |
| 電源電圧                        | VDDIO (1.8V)                                                                                          | -0.5 |     | 2.2                         | V  |
| 電源電圧                        | V <sub>SLEEP</sub>                                                                                    | -0.5 |     | 4                           | V  |
| MDI ピン                      | TRD_M, TRD_P                                                                                          | -0.5 |     | 4                           | V  |
| LVC MOS/<br>LV TTL 入力電<br>圧 | MDC, RESET, XI, LED_1, STRP_1, RX_CTRL, CLKOUT,<br>RX_D[3:0], TX_CLK, TX_CTRL, TX_D[3:0], LED_0, MDIO | -0.5 |     | VDDIO + 0.3                 | V  |
| LVC MOS/<br>LV TTL 入力電<br>圧 | WAKE                                                                                                  | -0.5 |     | V <sub>SLEEP</sub> + 0.3    | V  |
| LVC MOS/<br>LV TTL 出力電<br>圧 | INT, LED_1, RX_CTRL, CLKOUT, RX_D[3:0], RX_CLK,<br>LED_0, MDIO                                        | -0.5 |     | VDDIO + 0.3                 | V  |
| LVC MOS/<br>LV TTL 出力電<br>圧 | INH                                                                                                   | -0.5 |     | V <sub>SLEEP</sub> +<br>0.3 | V  |
| T <sub>J</sub>              | 接合部温度                                                                                                 |      |     | 150                         | °C |
| T <sub>stg</sub>            | 保存温度                                                                                                  | -65  |     | 150                         | °C |

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

|                    |      |                                                | 値            | 単位      |
|--------------------|------|------------------------------------------------|--------------|---------|
| V <sub>(ESD)</sub> | 静電放電 | 人体モデル (HBM)、AEC Q100-002<br>に準拠 <sup>(1)</sup> | すべてのピン       | ±2000 V |
| V <sub>(ESD)</sub> | 静電放電 | 人体モデル (HBM)、AEC Q100-002<br>に準拠 <sup>(1)</sup> | TRD_M, TRD_P | ±8000 V |
| V <sub>(ESD)</sub> | 静電放電 | 荷電デバイス モデル (CDM)、AEC<br>Q100-011 準拠            | すべてのピン       | ±500 V  |
| V <sub>(ESD)</sub> | 静電放電 | IEC 61000-4-2 接触放電                             | TRD_M, TRD_P | ±8000 V |

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

|         |                 | 最小値  | 公称値 | 最大値  | 単位 |
|---------|-----------------|------|-----|------|----|
| VDDIO   | IO 電源電圧、1.8V 動作 | 1.62 | 1.8 | 1.98 | V  |
|         | IO 電源電圧、2.5V 動作 | 2.25 | 2.5 | 2.75 |    |
|         | IO 電源電圧、3.3V 動作 | 2.97 | 3.3 | 3.63 |    |
| VDDA3P3 | コア電源電圧、3.3V     | 2.97 | 3.3 | 3.63 | V  |

### 5.3 推奨動作条件 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

|                    |               | 最小値  | 公称値 | 最大値  | 単位 |
|--------------------|---------------|------|-----|------|----|
| VDD1P0             | コア電源電圧、1.0V   | 0.95 | 1   | 1.1  | V  |
| V <sub>SLEEP</sub> | スリープ電源電圧、3.3V | 2.97 | 3.3 | 3.63 | V  |
| T <sub>A</sub>     | 周辺温度          | -40  |     | 125  | °C |

### 5.4 熱に関する情報

| 熱評価基準 <sup>(1)</sup>  |                     | DP83TG720  | 単位   |
|-----------------------|---------------------|------------|------|
|                       |                     | RHA (VQFN) |      |
|                       |                     | 36 ピン      |      |
| R <sub>θJA</sub>      | 接合部から周囲への熱抵抗        | 32.5       | °C/W |
| R <sub>θJC(top)</sub> | 接合部からケース (上面) への熱抵抗 | 22.2       | °C/W |
| R <sub>θJB</sub>      | 接合部から基板への熱抵抗        | 13.3       | °C/W |
| Ψ <sub>JT</sub>       | 接合部から上面への特性パラメータ    | 0.3        | °C/W |
| Ψ <sub>JB</sub>       | 接合部から基板への特性パラメータ    | 13.3       | °C/W |
| R <sub>θJC(bot)</sub> | 接合部からケース (底面) への熱抵抗 | 3.2        | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

### 5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

| パラメータ                     |              | テスト条件                                                   | 最小値     | 標準値     | 最大値     | 単位      |
|---------------------------|--------------|---------------------------------------------------------|---------|---------|---------|---------|
| DC 特性                     |              |                                                         |         |         |         |         |
| XI                        |              |                                                         |         |         |         |         |
| V <sub>IH</sub>           | High レベル入力電圧 |                                                         | 1.3     |         |         | V       |
| V <sub>IL</sub>           | Low レベル入力電圧  |                                                         |         |         | 0.5     | V       |
| WAKE ピン                   | WAKE ピン      | WAKE ピン                                                 | WAKE ピン | WAKE ピン | WAKE ピン | WAKE ピン |
| V <sub>IH</sub>           | High レベル入力電圧 | V <sub>SLEEP</sub> = 3.3V ± 10%                         | 2       |         |         | V       |
| V <sub>IL</sub>           | Low レベル入力電圧  | V <sub>SLEEP</sub> = 3.3V ± 10%                         |         |         | 0.8     | V       |
| INH ピン                    | INH ピン       | INH ピン                                                  | INH ピン  | INH ピン  | INH ピン  | INH ピン  |
| V <sub>OH</sub>           | High レベル出力電圧 | I <sub>OH</sub> = -2mA, V <sub>SLEEP</sub> = 3.3V ± 10% | 2.4     |         |         | V       |
| 3.3V VDDIO <sup>(2)</sup> |              |                                                         |         |         |         |         |
| V <sub>OH</sub>           | High レベル出力電圧 | I <sub>OH</sub> = -2mA, VDDIO = 3.3V ± 10%              | 2.4     |         |         | V       |
| V <sub>OL</sub>           | Low レベル出力電圧  | I <sub>OL</sub> = 2mA, VDDIO = 3.3V ± 10%               |         |         | 0.4     | V       |
| V <sub>IH</sub>           | High レベル入力電圧 | VDDIO = 3.3V ± 10%                                      | 2       |         |         | V       |
| V <sub>IL</sub>           | Low レベル入力電圧  | VDDIO = 3.3V ± 10%                                      |         |         | 0.8     | V       |
| 2.5V VDDIO <sup>(2)</sup> |              |                                                         |         |         |         |         |
| V <sub>OH</sub>           | High レベル出力電圧 | I <sub>OH</sub> = -2mA, VDDIO = 2.5V ± 10%              | 2       |         |         | V       |
| V <sub>OL</sub>           | Low レベル出力電圧  | I <sub>OL</sub> = 2mA, VDDIO = 2.5V ± 10%               |         |         | 0.4     | V       |
| V <sub>IH</sub>           | High レベル入力電圧 | VDDIO = 2.5V ± 10%                                      | 1.7     |         |         | V       |
| V <sub>IL</sub>           | Low レベル入力電圧  | VDDIO = 2.5V ± 10%                                      |         |         | 0.7     | V       |
| 1.8V VDDIO <sup>(2)</sup> |              |                                                         |         |         |         |         |

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

| パラメータ                  |                                         | テスト条件                                      | 最小値          | 標準値 | 最大値         | 単位 |
|------------------------|-----------------------------------------|--------------------------------------------|--------------|-----|-------------|----|
| V <sub>OH</sub>        | High レベル出力電圧                            | I <sub>OH</sub> = -2mA, VDDIO = 1.8V ± 10% | VDDIO - 0.45 |     |             | V  |
| V <sub>OL</sub>        | Low レベル出力電圧                             | I <sub>OL</sub> = 2mA, VDDIO = 1.8V ± 10%  |              |     | 0.45        | V  |
| V <sub>IH</sub>        | High レベル入力電圧                            | VDDIO = 1.8V ± 10%                         | 0.7 * VDDIO  |     |             | V  |
| V <sub>IL</sub>        | Low レベル入力電圧                             | VDDIO = 1.8V ± 10%                         |              |     | 0.3 * VDDIO | V  |
| I <sub>IH</sub>        | 入力 High 電流 (MDIO)                       | VIN = VCC, -40°C ~ 125°C                   | -5           |     | 5           | μA |
| I <sub>IH</sub>        | 入力 High 電流 (RGMII 入力ピン、MDC)             | VIN = VCC, -40°C ~ 125°C                   | -20          |     | 20          | μA |
| I <sub>OZ</sub>        | 入力 High 電流 (MDIO)                       | VIN の掃引範囲は 0V ~ VCC, -40°C ~ 125°C         | -40          |     | 40          | μA |
| I <sub>IL</sub>        | 入力 Low 電流 (RGMII 入力ピン、MDC、MDIO)         | VIN = GND, -40°C ~ 125°C                   | -40          |     | 5           | μA |
| I <sub>OZL</sub>       |                                         | INH                                        |              |     | 6           | μA |
| I <sub>OZ</sub>        | トライステート出力電流 <sup>(5)</sup>              | VIN の掃引範囲は 0V ~ VCC, -40°C ~ 125°C         | -40          |     | 10          | μA |
| I <sub>OZ</sub>        | トライステート出力電流 <sup>(6)</sup>              | VIN の掃引範囲は 0V ~ VCC, -40°C ~ 125°C         | -60          |     | 60          | μA |
| C <sub>IN</sub>        | 入力容量                                    | LVC MOS/LVTTL ピン <sup>(3)</sup>            |              |     | 2           | pF |
| C <sub>IN</sub>        | 入力容量                                    | LVC MOS/LVTTL ピン <sup>(4)</sup>            |              |     | 4           | pF |
|                        |                                         | XI                                         |              |     | 1           | pF |
| C <sub>OUT</sub>       | 出力容量                                    | LVC MOS/LVTTL ピン <sup>(3)</sup>            |              |     | 2           | pF |
| C <sub>OUT</sub>       | 出力容量                                    | LVC MOS/LVTTL ピン <sup>(4)</sup>            |              |     | 4           | pF |
|                        |                                         | XO                                         |              |     | 1           | pF |
| R <sub>pull-up</sub>   | 内蔵プルアップ抵抗値                              | INT, RESET                                 | 6.5          | 9   | 12.5        | kΩ |
| R <sub>pull-down</sub> | 内蔵プルダウン抵抗値                              | STRP_1, RX_CTRL                            | 4.725        | 6.3 | 7.875       | kΩ |
| R <sub>pull-down</sub> | 内蔵プルダウン抵抗値                              | LED_1, RX_D[3:0], RX_CLK, LED_0            | 7.3          | 9   | 13          | kΩ |
|                        |                                         | WAKE                                       | 35           | 50  | 62.5        | kΩ |
| R <sub>pull-down</sub> | 内蔵プルアップ抵抗値 (アクティブ時)                     | INH                                        |              | 106 |             | Ω  |
| R <sub>series</sub>    | 内蔵 MAC 直列終端抵抗値 (デフォルト)                  | RX_D[3:0], RX_CTRL, RX_CLK                 | 24           | 42  | 52          | Ω  |
| R <sub>series</sub>    | 内蔵 MAC 直列終端抵抗値 (レジスタ <0x0456> = 0x0148) | RX_D[3:0], RX_CTRL, RX_CLK                 | 30           | 52  | 65          | Ω  |
| R <sub>series</sub>    | 内蔵 MAC 直列終端抵抗値 (レジスタ <0x0456> = 0x0168) | RX_D[3:0], RX_CTRL, RX_CLK                 | 40           | 70  | 84          | Ω  |
| 消費電流、スリープ モード          |                                         |                                            |              |     |             |    |
| I <sub>SLEEP</sub>     | スリープ時の消費電流                              | V <sub>SLEEP</sub>                         |              | 485 | 840         | μA |
| 消費電流、リセットのアサート時        |                                         |                                            |              |     |             |    |
| I <sub>DDIO</sub>      | IO 電源電流、VDDIO = 1.8V                    | VDDIO                                      |              | 4   | 9           | mA |
| I <sub>DDIO</sub>      | IO 電源電流、VDDIO = 2.5V                    | VDDIO                                      |              | 5   | 12          | mA |
| I <sub>DDIO</sub>      | IO 電源電流、VDDIO = 3.3V                    | VDDIO                                      |              | 6.5 | 15          | mA |
| I <sub>DDA3P3</sub>    | コア消費電流、3.3V                             | VDDA3P3                                    |              | 5   | 8           | mA |
| I <sub>DD1P0</sub>     | コア消費電流、1.0V                             | VDD1P0                                     |              | 30  | 110         | mA |
| 消費電流、スタンバイ             |                                         |                                            |              |     |             |    |
| I <sub>DDIO</sub>      | IO 電源電流、VDDIO = 1.8V                    | VDDIO                                      |              | 4   | 11          | mA |
| I <sub>DDIO</sub>      | IO 電源電流、VDDIO = 2.5V                    | VDDIO                                      |              | 6   | 13          | mA |

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

| パラメータ                                                           |                       | テスト条件                          | 最小値   | 標準値  | 最大値                   | 単位 |
|-----------------------------------------------------------------|-----------------------|--------------------------------|-------|------|-----------------------|----|
| I <sub>DDIO</sub>                                               | IO 電源電流、VDDIO = 3.3V  | VDDIO                          |       | 8    | 15                    | mA |
| I <sub>DDA3P3</sub>                                             | コア消費電流、3.3V           | VDDA3P3                        |       | 16   | 18                    | mA |
| I <sub>DD1P0</sub>                                              | コア消費電流、1.0V           | VDD1P0                         |       | 33   | 112                   | mA |
| 消費電流、アクティブ モード、電圧: ±10%、トラフィック: 100%、パケット サイズ: 1518、コンテンツ: ランダム |                       |                                |       |      |                       |    |
| I <sub>DDIO</sub>                                               | IO 電源電流、VDDIO = 1.8V  | RGMII                          |       | 20   | 25                    | mA |
| I <sub>DDIO</sub>                                               | IO 電源電流、VDDIO = 2.5V  | RGMII                          |       | 26   | 30                    | mA |
| I <sub>DDIO</sub>                                               | IO 電源電流、VDDIO = 3.3V  | RGMII                          |       | 33   | 40                    | mA |
| I <sub>DDIO</sub>                                               | IO 電源電流、VDDIO = 1.8V  | SGMII                          |       | 3.5  | 5                     | mA |
| I <sub>DDIO</sub>                                               | IO 電源電流、VDDIO = 2.5V  | SGMII                          |       | 5    | 7                     | mA |
| I <sub>DDIO</sub>                                               | IO 電源電流、VDDIO = 3.3V  | SGMII                          |       | 6.5  | 8                     | mA |
| I <sub>DDA3P3</sub>                                             | コア消費電流、3.3V           | RGMII                          |       | 85   | 89                    | mA |
| I <sub>DD1P0</sub>                                              | コア消費電流、1.0V           | RGMII                          |       | 177  | 250                   | mA |
| I <sub>DDA3P3</sub>                                             | コア消費電流、3.3V           | SGMII                          |       | 95   | 100                   | mA |
| I <sub>DD1P0</sub>                                              | コア消費電流、1.0V           | SGMII                          |       | 200  | 260                   | mA |
| I <sub>SLEEP</sub>                                              | スリープ時の消費電流            | V <sub>SLEEP</sub> = 3.3V ±10% |       | 1000 | 1500                  | μA |
| MDI の特性                                                         |                       |                                |       |      |                       |    |
| V <sub>OD-MDI</sub>                                             | 出力差動電圧                | R <sub>L(diff)</sub> = 100Ω    |       |      | 1.3                   | V  |
| R <sub>MDI-DIFF</sub>                                           | 内蔵差動 MDI 終端 (アクティブ状態) | TRD_P、TRD_M                    |       | 100  |                       | Ω  |
| R <sub>MDI-DIFF</sub>                                           | 内蔵差動 MDI 終端 (スリープ状態)  | TRD_P、TRD_M                    |       | 100  |                       | Ω  |
| SGMII ドライバの DC 仕様                                               |                       |                                |       |      |                       |    |
| V <sub>OD-SGMII</sub>                                           | 出力差動電圧                | R <sub>L(diff)</sub> = 100Ω    | 150   |      | 400                   | mV |
| R <sub>OUT-DIFF</sub>                                           | 内蔵差動出力終端              | RX_P、RX_M                      | 78    | 100  | 130                   | Ω  |
| SGMII レシーバの DC 仕様                                               |                       |                                |       |      |                       |    |
| V <sub>IDTH</sub>                                               | 入力差動スレッショルド           |                                | 100   |      |                       | mV |
| R <sub>IN-DIFF</sub>                                            | 内蔵差動入力終端              | TX_P、TX_M                      | 82    | 100  | 121                   | Ω  |
| ブートストラップの DC 特性                                                 |                       |                                |       |      |                       |    |
| 2 レベル<br>のストラップ                                                 |                       |                                |       |      |                       |    |
| V <sub>bsl_1v8</sub>                                            | ブートストラップのスレッショルド      | モード 1、VDDIO = 1.8V ± 10%、2 レベル | 0     |      | 0.35*V <sub>DIO</sub> | V  |
| V <sub>bsh_1v8</sub>                                            | ブートストラップのスレッショルド      | モード 2、VDDIO = 1.8V ± 10%、2 レベル | 1.175 |      | VDDIO                 | V  |
| V <sub>bsl_2v5</sub>                                            | ブートストラップのスレッショルド      | モード 1、VDDIO = 2.5V ± 10%、2 レベル | 0     |      | 0.7                   | V  |
| V <sub>bsh_2v5</sub>                                            | ブートストラップのスレッショルド      | モード 2、VDDIO = 2.5V ± 10%、2 レベル | 1.175 |      | VDDIO                 | V  |
| V <sub>bsl_3v3</sub>                                            | ブートストラップのスレッショルド      | モード 1、VDDIO = 3.3V ± 10%、2 レベル | 0     |      | 0.7                   | V  |
| V <sub>bsh_3v3</sub>                                            | ブートストラップのスレッショルド      | モード 2、VDDIO = 3.3V ± 10%、2 レベル | 1.175 |      | VDDIO                 | V  |
| 3 レベル<br>のストラップ                                                 |                       |                                |       |      |                       |    |
| V <sub>bsl_1v8</sub>                                            | ブートストラップのスレッショルド      | モード 1、VDDIO = 1.8V ± 10%、3 レベル | 0     |      | 0.35 * VDDIO          | V  |

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

| パラメータ                | テスト条件                             | 最小値                            | 標準値             | 最大値             | 単位     |
|----------------------|-----------------------------------|--------------------------------|-----------------|-----------------|--------|
| V <sub>bs2_1V8</sub> | ブートストラップのスレッシュホルド                 | モード 2、VDDIO = 1.8V ± 10%、3 レベル | 0.40 *<br>VDDIO | 0.75 *<br>VDDIO | V      |
| V <sub>bs3_1V8</sub> | ブートストラップのスレッシュホルド                 | モード 3、VDDIO = 1.8V ± 10%、3 レベル | 0.84 *<br>VDDIO | VDDIO           | V      |
| V <sub>bs1_2V5</sub> | ブートストラップのスレッシュホルド                 | モード 1、VDDIO = 2.5V ± 10%、3 レベル | 0               | 0.19 *<br>VDDIO | V      |
| V <sub>bs2_2V5</sub> | ブートストラップのスレッシュホルド                 | モード 2、VDDIO = 2.5V ± 10%、3 レベル | 0.27 *<br>VDDIO | 0.41 *<br>VDDIO | V      |
| V <sub>bs3_2V5</sub> | ブートストラップのスレッシュホルド                 | モード 3、VDDIO = 2.5V ± 10%、3 レベル | 0.58 *<br>VDDIO | VDDIO           | V      |
| V <sub>bs1_3V3</sub> | ブートストラップのスレッシュホルド                 | モード 1、VDDIO = 3.3V ± 10%、3 レベル | 0               | 0.18 *<br>VDDIO | V      |
| V <sub>bs2_3V3</sub> | ブートストラップのスレッシュホルド                 | モード 2、VDDIO = 3.3V ± 10%、3 レベル | 0.22 *<br>VDDIO | 0.42 *<br>VDDIO | V      |
| V <sub>bs3_3V3</sub> | ブートストラップのスレッシュホルド                 | モード 3、VDDIO = 3.3V ± 10%、3 レベル | 0.46 *<br>VDDIO | VDDIO           | V      |
| 温度センサ                |                                   |                                |                 |                 |        |
|                      | 温度センサの分解能 (LSB)                   | −40°C ~ 125°C                  | 1.5             |                 | °C     |
|                      | 温度センサの精度 (1 つの部品での電圧と温度による変動)     | −40°C ~ 125°C                  | −7.5            | 7.5             | °C     |
|                      | 温度センサの精度 (電圧と温度による変動、部品間のばらつきを含む) | −40°C ~ 125°C                  | −21.5           | 20              | °C     |
|                      | 温度センサの範囲                          |                                | −40             | 140             | °C     |
| 電圧センサ                |                                   |                                |                 |                 |        |
|                      | VDDA3P3 センサの範囲                    |                                | 2.66            | 3.3             | 3.96 V |
|                      | VDDA3P3 センサの分解能 (LSB)             | −40°C ~ 125°C                  | 8.6             |                 | mV     |
|                      | VDDA3P3 センサの精度 (電圧と温度による変動)       | −40°C ~ 125°C                  | 8.6             |                 | mV     |
|                      | VDDA3P3 センサの精度 (部品間のばらつきを含む)      | −40°C ~ 125°C                  | −68.8           | 68.8            | mV     |
|                      | VDD1P0 センサの範囲                     |                                | 0.8             | 1.2             | V      |
|                      | VDD1P0 センサの分解能 (LSB)              | −40°C ~ 125°C                  | 2.8             |                 | mV     |
|                      | VDD1P0 センサの精度 (電圧と温度による変動)        | −40°C ~ 125°C                  | 2.8             |                 | mV     |
|                      | VDD1P0 センサの精度 (部品間のばらつきを含む)       | −40°C ~ 125°C                  | −22.4           | 22.4            | mV     |
|                      | VDDIO センサの範囲                      |                                | 1.44            | 3.8             | V      |
|                      | VDDIO センサの分解能 (LSB)               | −40°C ~ 125°C                  | 15.4            |                 | mV     |
|                      | VDDIO センサの精度 (電圧と温度による変動)         | −40°C ~ 125°C                  | 15.4            |                 | mV     |
|                      | VDDIO センサの精度 (部品間のばらつきを含む)        | −40°C ~ 125°C                  | −78             | 78              | mV     |

(1) 製造試験、特性評価、設計によって検証済み

(2) 対象ピン: LED\_1, STRP\_1, RX\_CTRL, CLKOUT, RX\_D[3:0], RX\_CLK, LED\_0

(3) 対象ピン: MDC, INT, RESET, LED\_1, STRP\_1, RX\_CTRL, CLKOUT, RX\_D0, RX\_D1, RX\_CLK, TX\_CLK, TX\_CTRL, TX\_D2, TX\_D3, LED\_0, MDIO

(4) 対象ピン: TX\_D0, TX\_D1, RX\_D2, RX\_D3

(5) 対象ピン: LED\_1, RX\_D[3:0], RX\_CLK, LED\_0

(6) 対象ピン: STRP\_1, RX\_CTRL

## 5.6 タイミング要件

(1)

| パラメータ                       |                                                                                | テスト条件                                   | 最小値 | 公称値  | 最大値  | 単位  |
|-----------------------------|--------------------------------------------------------------------------------|-----------------------------------------|-----|------|------|-----|
| <b>電源投入のタイミング</b>           |                                                                                |                                         |     |      |      |     |
| T5.1                        | VDDA3P3 立ち上がり時間 <sup>(2)</sup>                                                 | 0% ~ 100% (+/- 10% VDDA3P3)             | 0.5 |      | 40   | ms  |
| T5.2                        | VDD1P0 立ち上がり時間 <sup>(2)</sup>                                                  | 0% ~ 100% (+/- 10% VDD1P0)              | 0.1 |      | 40   | ms  |
| T5.2                        | VDDIO 立ち上がり時間 <sup>(2)</sup>                                                   | VDDIO = 1.8V                            | 0.1 |      | 40   | ms  |
| T5.2                        | VDDIO 立ち上がり時間 <sup>(2)</sup>                                                   | VDDIO = 2.5V                            | 0.1 |      | 40   | ms  |
| T5.2                        | VDDIO 立ち上がり時間 <sup>(2)</sup>                                                   | VDDIO = 3.3V                            | 0.1 |      | 40   | ms  |
| T5.2                        | V <sub>SLEEP</sub> 立ち上がり時間 <sup>(2)</sup>                                      | 0% ~ 100% (+/- 10% V <sub>SLEEP</sub> ) | 0.1 |      | 40   | ms  |
| T5.3                        | 電源投入後の水晶振動子の安定化時間 (最後の電源レールが 100% まで立ち上がってから)                                  |                                         |     | 1500 |      | μs  |
| T5.4                        | 電源投入後の発振器の安定化時間 (最後の電源レールが 100% まで立ち上がってから) <sup>(3)</sup>                     |                                         |     |      | 20   | ms  |
| T5.5                        | レジスタ アクセスの MDC プリアンブルまでの、電源投入後安定化時間                                            |                                         | 65  |      |      | ms  |
| T5.6                        | ハードウェア構成: 電源投入からストラップ ラッチインまでの時間                                               |                                         |     |      | 60   | ms  |
| T5.7                        | ハードウェア構成: ストラップ ラッチイン完了からピンが機能モードに移行するまでの時間                                    |                                         |     |      | 110  | ns  |
| T5.8                        | 電源投入からの PAM3 アイドル ストリーム (マスタ モード)                                              |                                         |     |      | 60   | ms  |
| <b>リセット タイミング (RESET_N)</b> |                                                                                |                                         |     |      |      |     |
| T6.1                        | リセット パルス幅                                                                      |                                         | 5   |      |      | μs  |
| T6.2                        | レジスタ アクセスの MDC プリアンブルまでの、リセット後安定化時間                                            |                                         | 1   |      |      | ms  |
| T6.3                        | ハードウェア構成: リセットからラッチインまでの時間                                                     |                                         |     |      | 2    | μs  |
| T6.4                        | ハードウェア構成: ストラップ ラッチイン完了からピンが機能モードに移行するまでの時間                                    |                                         |     |      | 1.5  | μs  |
| T6.5                        | リセットからの PAM3 アイドル ストリーム (マスタ モード)                                              |                                         |     |      | 1500 | μs  |
| <b>SMI タイミング</b>            |                                                                                |                                         |     |      |      |     |
| T4.1                        | MDC から MDIO (出力) への遅延時間 (25pF 負荷)                                              |                                         | 0   | 6    | 10   | ns  |
| T4.2                        | MDC に対する MDIO (入力) のセットアップ時間                                                   |                                         | 10  |      |      | ns  |
| T4.3                        | MDC に対する MDIO (入力) のホールド時間                                                     |                                         | 10  |      |      | ns  |
|                             | MDC 周波数 (25pF 負荷)                                                              |                                         |     | 2.5  | 20   | MHz |
| <b>受信レイテンシ タイミング</b>        |                                                                                |                                         |     |      |      |     |
|                             | MDI の SSD シンボルから RGMII の RX_CLK の立ち上がりエッジ (RX_CTRL アサート時) まで                   |                                         |     |      | 8    | μs  |
|                             | MDI の SSD シンボルから RGMII の RX_CLK の立ち上がりエッジ (RX_CTRL アサート時) まで (RS-FEC バイパス モード) |                                         |     |      | 400  | ns  |
|                             | MDI の SSD シンボルから SGMII の最初のシンボルまで                                              |                                         |     |      | 9    | μs  |
|                             | MDI の SSD シンボルから SGMII の最初のシンボルまで (RS-FEC バイパス モード)                            |                                         |     |      | 450  | ns  |
| <b>送信レイテンシ タイミング</b>        |                                                                                |                                         |     |      |      |     |

## 5.6 タイミング要件 (続き)

(1)

| パラメータ                      |                                                                                | テスト条件                         | 最小値   | 公称値   | 最大値   | 単位  |
|----------------------------|--------------------------------------------------------------------------------|-------------------------------|-------|-------|-------|-----|
|                            | RGMII の TX_CLK の立ち上がりエッジ (TX_CTRL アサート時) から MDI の SSD シンボルまで                   |                               |       |       | 0.8   | μs  |
|                            | RGMII の TX_CLK の立ち上がりエッジ (TX_CTRL アサート時) から MDI の SSD シンボルまで (RS-FEC バイパス モード) |                               |       |       | 600   | ns  |
|                            | SGMII の最初のシンボルから MDI の SSD シンボルまで                                              |                               |       |       | 0.9   | μs  |
|                            | SGMII の最初のシンボルから MDI の SSD シンボルまで (RS-FEC バイパス モード)                            |                               |       |       | 700   | ns  |
| <b>25MHz 発振器の要件</b>        |                                                                                |                               |       |       |       |     |
|                            | 周波数 (XI)                                                                       |                               |       | 25    |       | MHz |
|                            | 温度と経時変化に対する周波数の許容誤差と安定性                                                        |                               | -100  |       | 100   | ppm |
|                            | 立ち上がり / 立ち下がり時間 (10% - 90%) <sup>(6)</sup>                                     |                               |       |       | 8     | ns  |
|                            | ジッタ (RMS)                                                                      | 5MHz まで積分                     |       |       | 1     | ps  |
|                            | デューティ サイクル                                                                     |                               | 40    | 50    | 60    | %   |
| <b>RGMII タイミング</b>         |                                                                                |                               |       |       |       |     |
| T <sub>setupR</sub>        | TX_D[3:0], TX_CLK までの TX_CTRL のセットアップ時間                                        | PHY ピン上                       | 1     | 2     |       | ns  |
| T <sub>holdR</sub>         | TX_D[3:0], TX_CLK からの TX_CTRL のホールド時間 <sup>(5)</sup>                           | PHY ピン上                       | 1     | 2     |       | ns  |
| T <sub>skewT</sub>         | RX_D[3:0], RX_CLK からの RX_CTRL の遅延時間 (整列モード有効)                                  | PHY ピン上                       | -500  | 0     | 500   | ps  |
| T <sub>skewT</sub> (Shift) | RX_D[3:0], RX_CLK からの RX_CTRL の遅延時間 (シフト モード有効、デフォルト) <sup>(4)</sup>           | PHY ピン上                       | 2.190 | 2.650 | 2.970 | ns  |
| T <sub>cyc</sub>           | クロック周期                                                                         | RX_CLK                        | 7.2   | 8     | 8.8   | ns  |
| T <sub>cyc</sub>           | クロック周期                                                                         | TX_CLK                        | 7.2   | 8     | 8.8   | ns  |
| Duty_G                     | デューティ サイクル                                                                     | RX_CLK                        | 45    | 50    | 55    | %   |
| Duty_G                     | デューティ サイクル                                                                     | TX_CLK                        | 45    | 50    | 55    | %   |
| Tr                         | 立ち上がり時間 (20% ~ 80%)                                                            | CL=Ctrace=5pF                 |       |       | 0.75  | ns  |
| Tf                         | 立ち下がり時間 (20%~80%)                                                              | C <sub>L</sub> = Ctrace = 5pF |       |       | 0.75  | ns  |
| RGMII RX のシフト モード遅延        | DLL DLL_RX_DELAY_CTRL_SL = 0 <sup>(4)</sup>                                    |                               | 0.330 | 0.650 | 0.970 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 1 <sup>(4)</sup>                                    |                               | 0.580 | 0.900 | 1.220 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 2 <sup>(4)</sup>                                    |                               | 0.830 | 1.150 | 1.470 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 3 <sup>(4)</sup>                                    |                               | 1.000 | 1.400 | 1.720 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 4 <sup>(4)</sup>                                    |                               | 1.230 | 1.650 | 1.970 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 5 <sup>(4)</sup>                                    |                               | 1.490 | 1.990 | 2.220 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 6 <sup>(4)</sup>                                    |                               | 1.690 | 2.150 | 2.470 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 7 <sup>(4)</sup>                                    |                               | 1.960 | 2.400 | 2.730 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 8 <sup>(4)</sup>                                    |                               | 2.180 | 2.650 | 2.970 | ns  |
|                            | DLL DLL_RX_DELAY_CTRL_SL = 9 <sup>(4)</sup>                                    |                               | 2.490 | 2.900 | 3.220 | ns  |
| RGMII シフト TX モード遅延         |                                                                                |                               |       |       |       |     |
|                            | DLL DLL_TX_DELAY_CTRL_SL = 1 <sup>(4) (8)</sup>                                |                               | 0.08  | 0.25  | 0.38  | ns  |
|                            | DLL DLL_TX_DELAY_CTRL_SL = 2 <sup>(4) (8)</sup>                                |                               | 0.27  | 0.49  | 0.67  | ns  |
|                            | DLL DLL_TX_DELAY_CTRL_SL = 3 <sup>(4) (8)</sup>                                |                               | 0.51  | 0.73  | 0.91  | ns  |



## 5.6 タイミング要件 (続き)

(1)

| パラメータ                          |                                                      | テスト条件                                              | 最小値  | 公称値  | 最大値                | 単位  |
|--------------------------------|------------------------------------------------------|----------------------------------------------------|------|------|--------------------|-----|
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 4 <sup>(4) (8)</sup>      |                                                    | 0.75 | 0.97 | 1.15               | ns  |
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 5 <sup>(4) (8)</sup>      |                                                    | 0.94 | 1.21 | 1.44               | ns  |
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 6 <sup>(4) (8)</sup>      |                                                    | 1.18 | 1.45 | 1.68               | ns  |
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 7 <sup>(4) (8)</sup>      |                                                    | 1.37 | 1.69 | 1.98               | ns  |
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 8 <sup>(4) (8)</sup>      |                                                    | 1.61 | 1.93 | 2.22               | ns  |
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 9 <sup>(4) (8)</sup>      |                                                    | 1.85 | 2.17 | 2.46               | ns  |
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 10 <sup>(4) (8)</sup>     |                                                    | 2.04 | 2.42 | 2.75               | ns  |
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 11 <sup>(4) (8)</sup>     |                                                    | 2.28 | 2.65 | 2.99               | ns  |
|                                | DLL_DLL_TX_DELAY_CTRL_SL = 12 <sup>(4) (8)</sup>     |                                                    | 2.52 | 2.9  | 3.23               | ns  |
| <b>SGMII トランスミッタの AC タイミング</b> |                                                      |                                                    |      |      |                    |     |
|                                | 625MHz でのクロック信号のデューティ サイクル                           |                                                    | 48   |      | 52                 | %   |
| T <sub>rise</sub>              | Vod 立ち上がり時間                                          |                                                    | 100  |      | 200                | ps  |
| T <sub>fall</sub>              | Vod 立ち下がり時間                                          |                                                    | 100  |      | 200                | ps  |
| ジッタ                            | 出力ジッタ                                                |                                                    |      | 200  | 320 <sup>(7)</sup> | ps  |
| <b>25MHz 水晶振動子の要件</b>          |                                                      |                                                    |      |      |                    |     |
|                                | 周波数                                                  |                                                    |      | 25   |                    | MHz |
|                                | 温度と経時変化に対する周波数の許容誤差と安定性                              |                                                    | -100 |      | 100                | ppm |
|                                | 等価直列抵抗                                               |                                                    |      |      | 100                | Ω   |
| <b>出力クロック タイミング (CLKOUT)</b>   |                                                      |                                                    |      |      |                    |     |
|                                | 周波数                                                  |                                                    |      | 25   |                    | MHz |
|                                | デューティ サイクル (水晶振動子を接続した場合)                            |                                                    | 45   |      | 55                 | %   |
|                                | 立ち上がり / 立ち下がり時間 (10% - 90%)                          |                                                    |      |      | 2.5                | ns  |
|                                | ジッタ (RMS) (スレーブ モード、MAC インターフェイス:SGMII)              |                                                    |      |      | 5                  | ps  |
|                                | ジッタ (RMS) (マスタ モード、MAC インターフェイス:SGMII)               |                                                    |      |      | 2.4                | ps  |
|                                | ジッタ (RMS) (スレーブ モード、MAC インターフェイス:RGMII)              |                                                    |      |      | 11                 | ps  |
|                                | ジッタ (RMS) (マスタ モード、MAC インターフェイス:RGMII)               |                                                    |      |      | 15                 | ps  |
| <b>スリープへの移行とウェークアップ</b>        |                                                      |                                                    |      |      |                    |     |
|                                | WAKE Low からスリープに入るまで、INH が Low に遷移                   | 通常モード、<br>MDI_Energy =<br>FALSE sleep_en =<br>TRUE |      | 64   | 85                 | us  |
|                                | sleep_en = True からスリープに入るまで、INH が Low に遷移 (マスタ モード)  | 通常モード、WAKE<br>= Low、MDI_Energy<br>= FALSE          |      | 5    | 85                 | us  |
|                                | sleep_en = TRUE からスリープに入るまで、INH が Low に遷移 (スレーブ モード) | 通常モード、WAKE<br>= Low、MDI_Energy<br>= FALSE          |      |      | 5000               | us  |
|                                | MDI のエネルギー喪失からスリープに入るまで、INH が Low に遷移                | 通常モード、WAKE<br>= Low、sleep_en =<br>TRUE             |      |      | 5                  | ms  |
|                                | ローカル ウェークアップ パルス幅 (WAKE ピン)                          | スリープ モード、<br>WAKE ピン                               | 80   |      |                    | μs  |
|                                | MDI からのウェークアップのための Send-S/Send-T パターンの継続時間           | スリープ モード、スレーブ                                      | 1.25 |      |                    | ms  |

## 5.6 タイミング要件 (続き)

(1)

| パラメータ |                                           | テスト条件                                           | 最小値 | 公称値 | 最大値 | 単位       |
|-------|-------------------------------------------|-------------------------------------------------|-----|-----|-----|----------|
|       | ローカル ウェークアップ、INH が High に遷移               | スリープ モード、<br>WAKE ピンの立ち上がりエッジから INH の立ち上がりエッジまで |     |     | 85  | us       |
|       | PHY がスリープ モードにとどまる上で MDI で許容される差動ノイズレベル   | スリープ モード                                        |     |     | 200 | mV pk-pk |
|       | 有効なウェークアップのためのリンク パートナーの VOD (5m ケーブルの場合) | スリープ モード                                        | 840 |     |     | mV pk-pk |

- (1) 製造試験、特性評価、設計によって保証されています。
- (2) 電源レール間の電源シーケンスの制約はありません。
- (3) OSC クロックが遅れた場合、OSC クロックの安定化後に追加のリセットが必要です。
- (4) RX および TX 遅延コードのプログラマビリティについては、レジスタ [0x0430] を参照してください。
- (5) PHY は、最大 2ns のスキューを追加するため、TX\_CLK から TX\_D[3:0] を内部的に遅延させます。プログラマビリティについては、レジスタ [0x0430] を参照してください。
- (6) 40%～55% のデューティサイクルの場合、最大 8ns の立ち上がり / 立ち下がり時間をサポートしています。40%～60% のデューティサイクルの場合、最大 6ns の立ち上がり / 立ち下がり時間をサポートしています。
- (7) この最大値を 300ps に低減するため (必要な場合)、追加のレジスタ設定が利用できます。
- (8) 1.8V VDDIO のデータです。

## 5.7 タイミング図

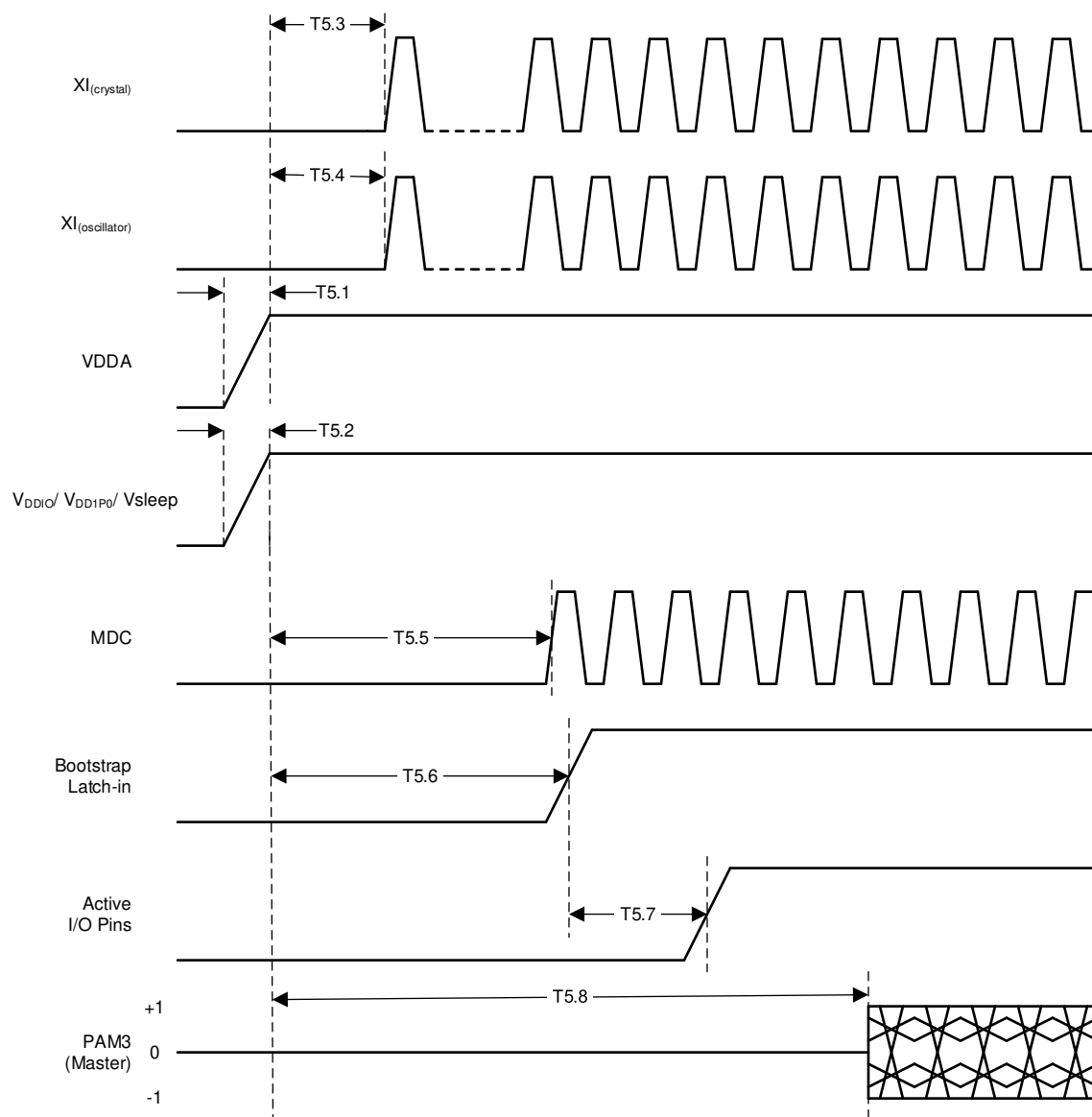


図 5-1. 起動タイミング

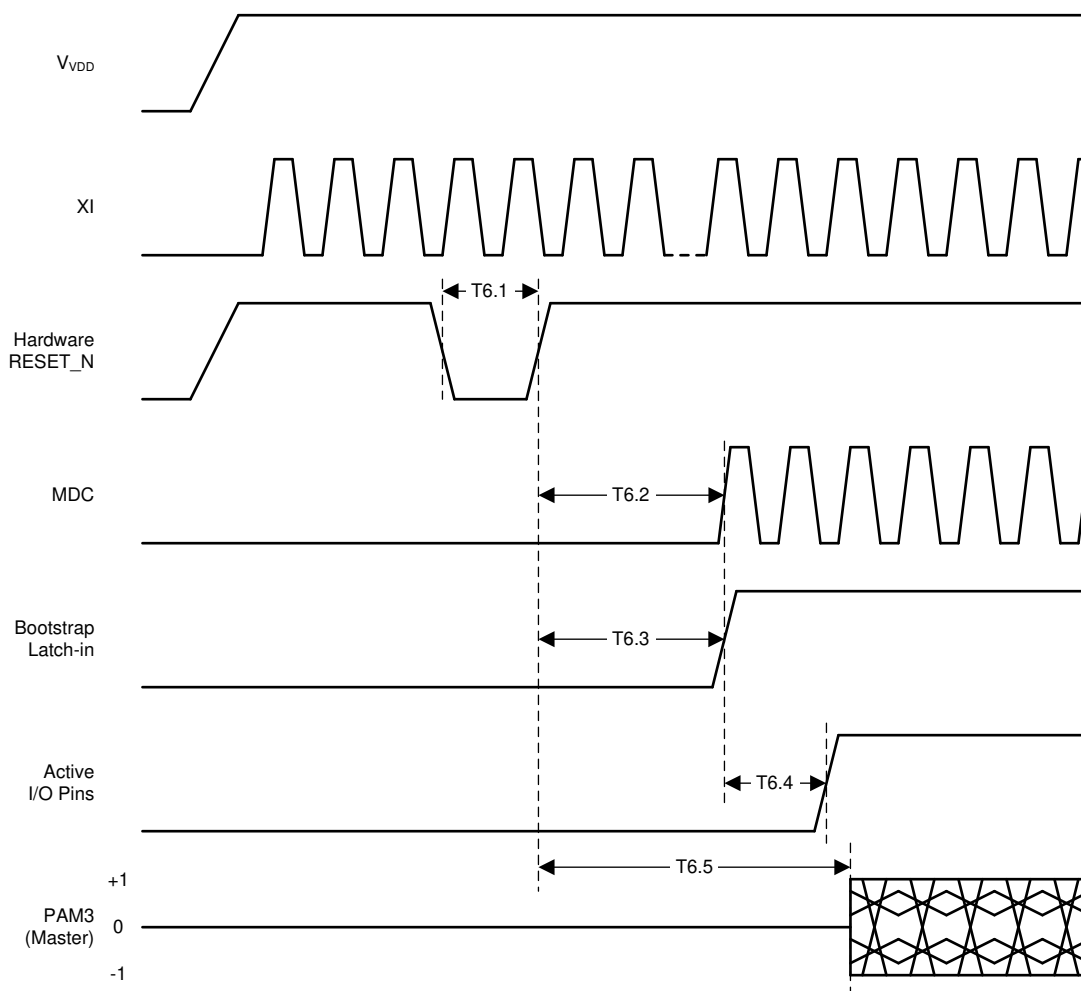


図 5-2. リセット タイミング

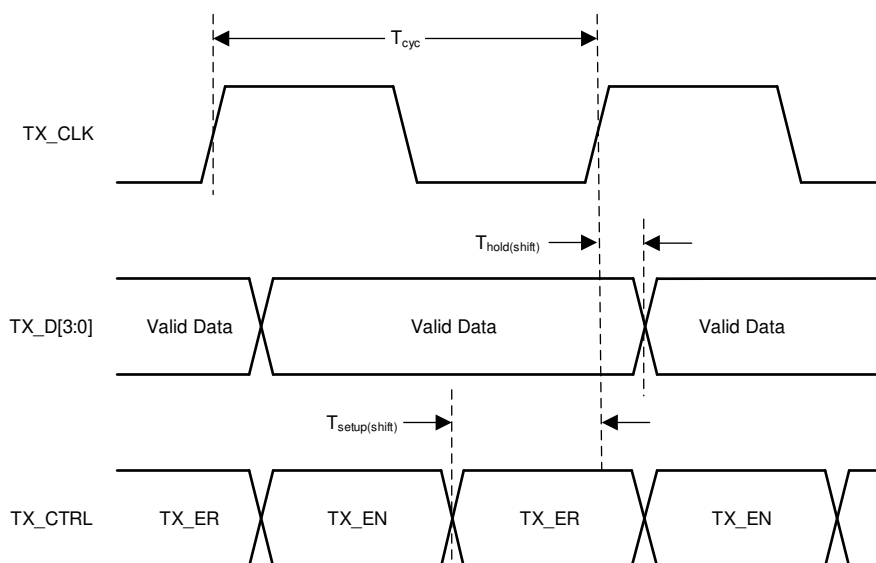


図 5-3. RGMII の送信タイミング (内部遅延有効化)

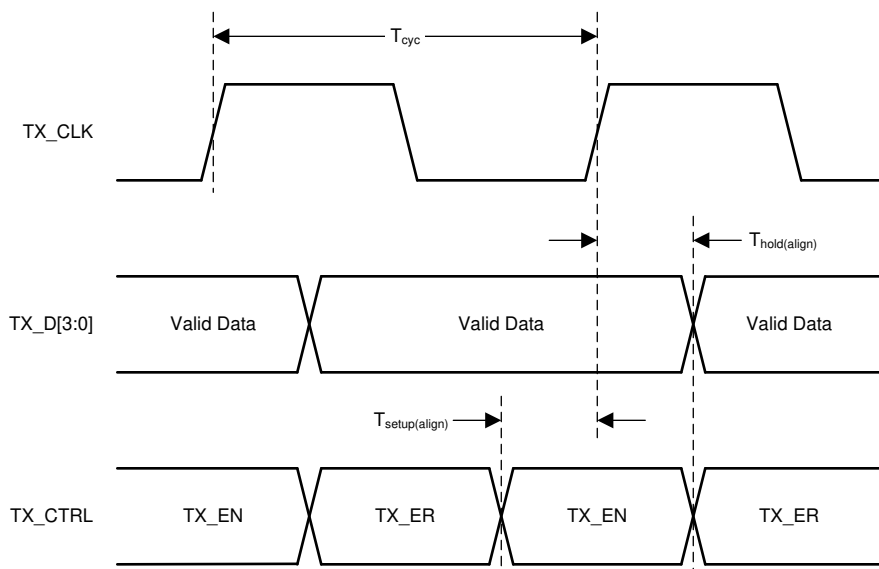


図 5-4. RGMII の送信タイミング (内部遅延無効化)

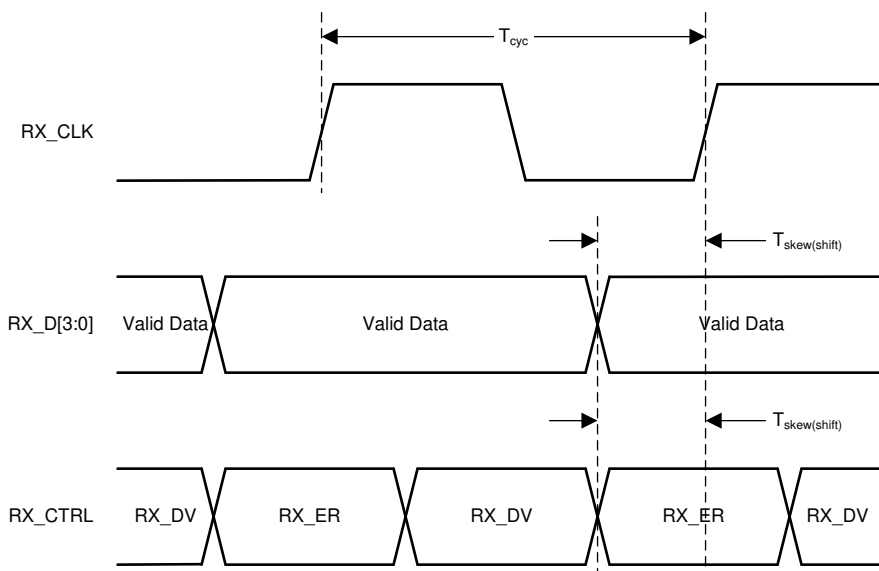


図 5-5. RGMII の受信タイミング (内部遅延有効化)

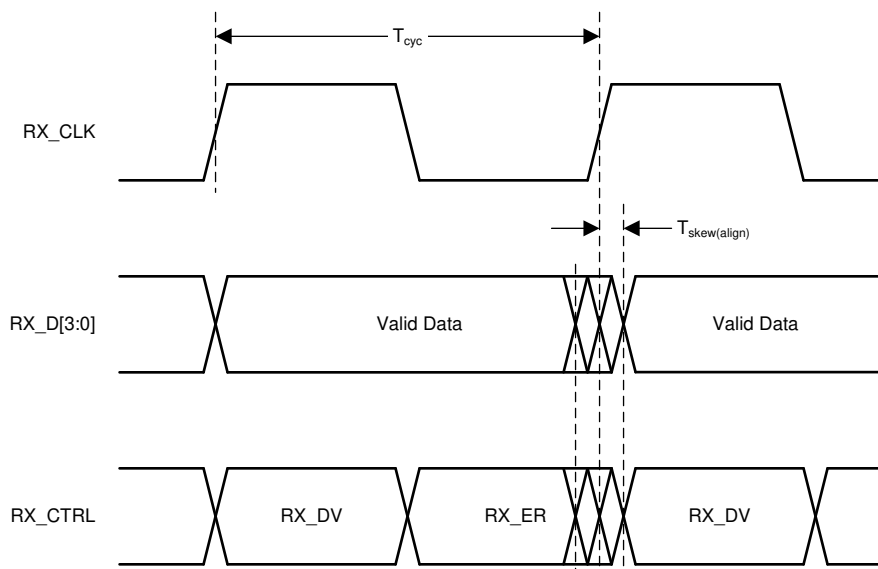


図 5-6. RGMII の受信タイミング (内部遅延無効化)

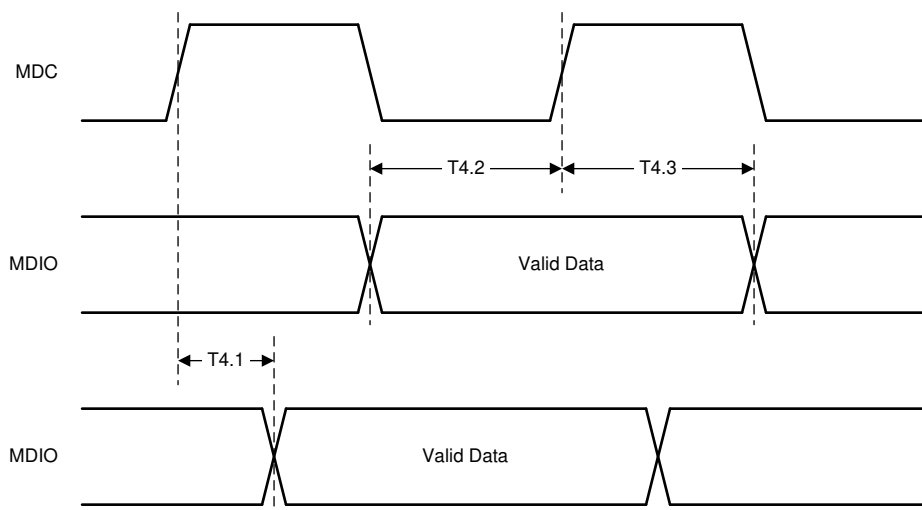


図 5-7. シリアル マネージメントのタイミング

## 5.8 LED の駆動特性

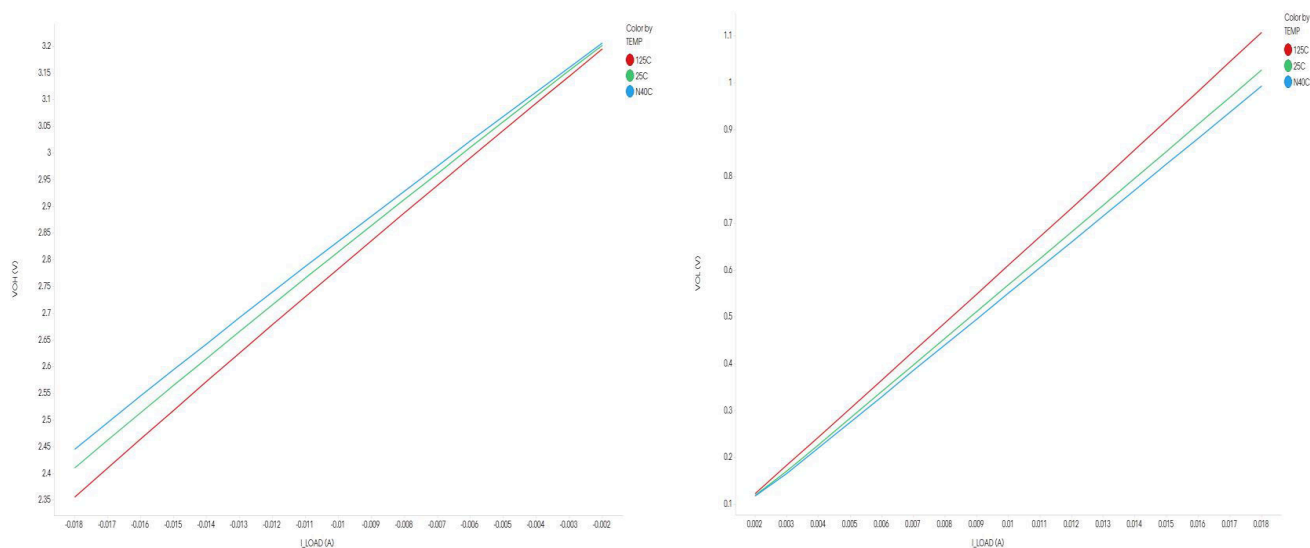


図 5-8. LED の V と I との関係 ( $V_{DDIO} = 3.3V$ )

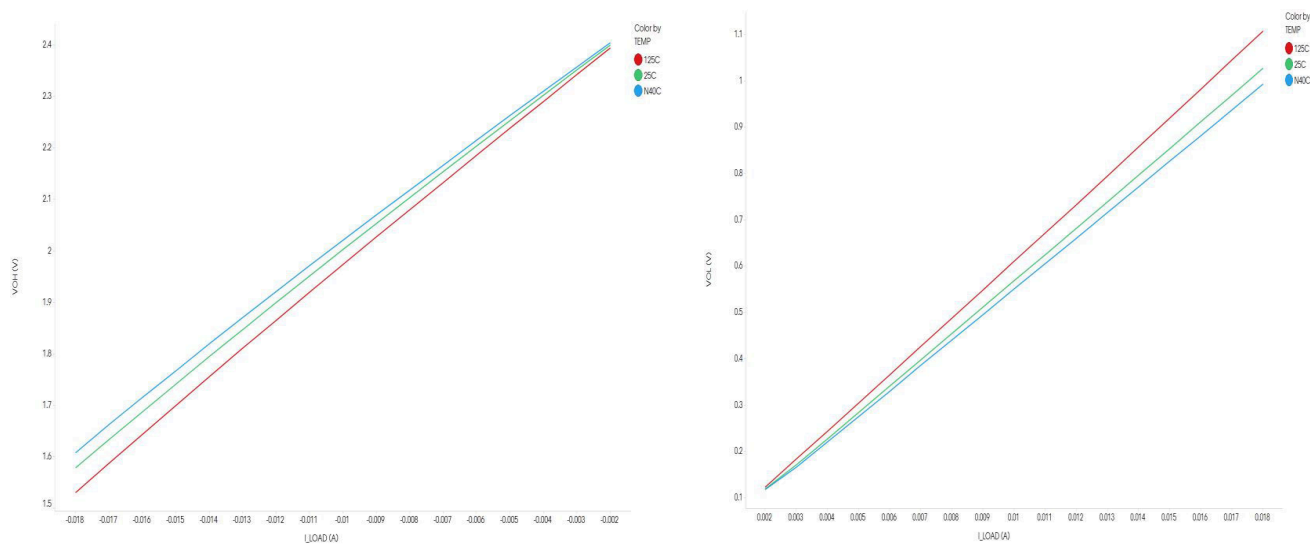


図 5-9. LED の V と I との関係 ( $V_{DDIO} = 2.5V$ )

## 6 詳細説明

### 6.1 概要

DP83TG720S-Q1 は車載用 1000BASE-T1 イーサネット物理層トランシーバです。本デバイスは IEEE 802.3bp に準拠しており、車載アプリケーション向けに AEC-Q100 認定済みです。

このデバイスは、厳格な車載 EMC 要件を満たしながら、1Gbps の速度で動作するように特に設計されています。DP83TG720S-Q1 は、シールドなし / シールド付きの 1 対のツイストペア ケーブルを通して 750MBd で PAM3 3 値シンボルを送信します。36 ピン VQFN ウェットアブル フランク パッケージを採用した本デバイスは、単独で RGMII または SGMII をサポートするように設計されています。



## 6.2 機能ブロック図

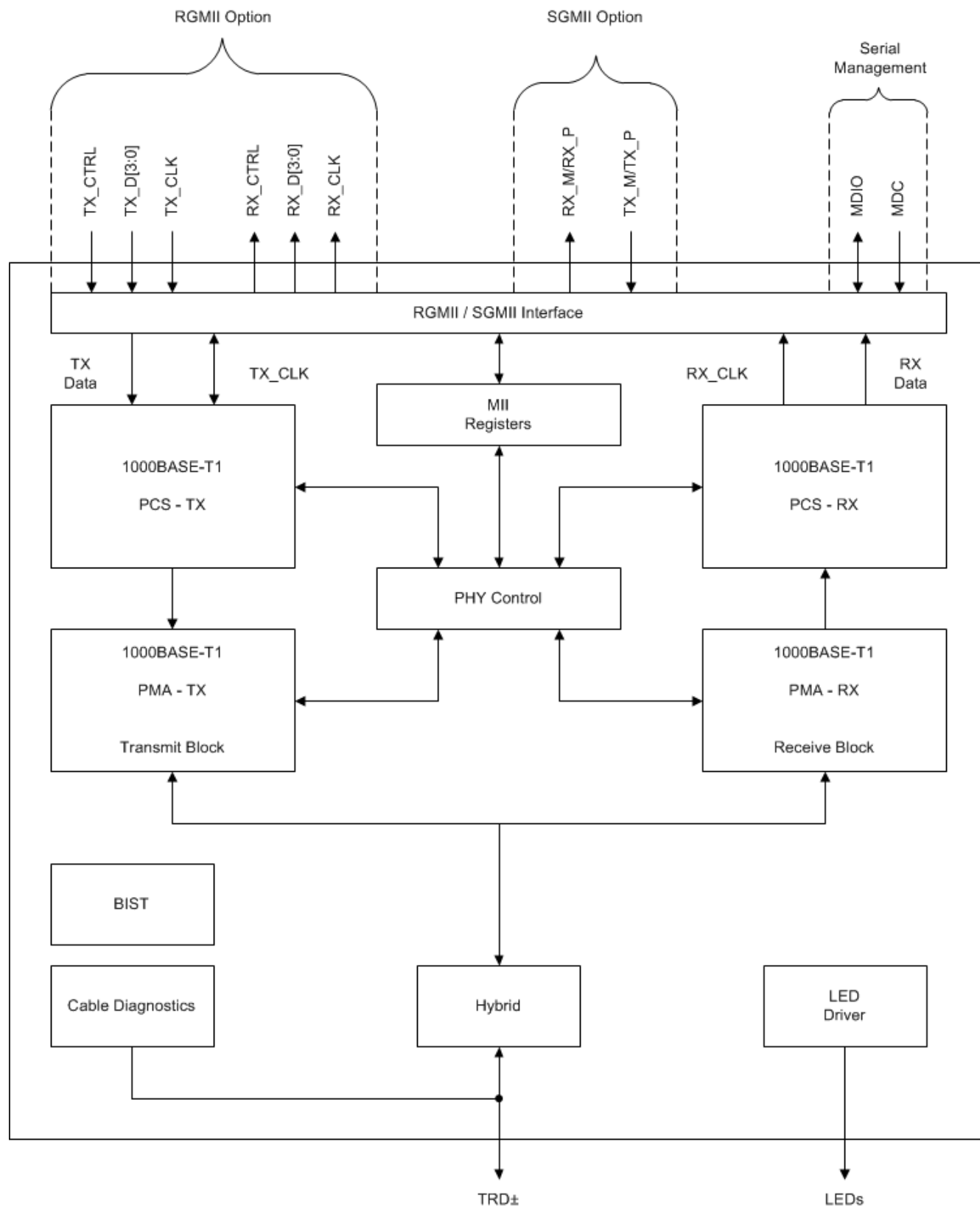


図 6-1. DP83TG720S-Q1 の機能ブロック図

## 6.3 機能説明

### 6.3.1 診断ツール・キット

DP83TG720S-Q1 の診断ツール・キットは、通常動作の監視、デバイス・レベル・デバッグ、システム・レベル・デバッグ、フォルト検出、準拠性テストのための機能を備えています。このツール・キットには、PRBS データによる内蔵セルフ・テスト、各種ループバック・モード、信号品質インジケータ (SQI)、時間領域反射計測 (TDR)、電圧モニタ、温度モニタ、静電気放電モニタ、IEEE 802.3bp テスト・モードが含まれています。

#### 6.3.1.1 信号品質インジケータ

DP83TG720S-Q1 が動作している場合、信号品質インジケータ (SQI) を使用して、本デバイスによる SNR 測定値に基づいてリンクの品質を判定できます。

SQI は、SNR の計算値に基づいて導かれ、8 レベルの指標として示されます。ここで、レベル 5 は  $10^{-10}$  よりも良好な BER を提供します。

#### 注

[DP83TG720:Open Alliance TC12 SQI テストに SQI レジスタを使用する方法の詳細については、『Open Alliance 仕様準拠のための構成』アプリケーション ノートを参照してください。](#)

#### 6.3.1.2 時間領域反射計測

時間領域反射計測は、ケーブル上の開路および短絡フォルトの位置の検出と推定に役立ちます。

TDR は、レジスタ [0x001E] のビット [15] = 'b1' を設定することで起動します。TDR 診断プロセスが正常に完了すると、レジスタ [0x001E] のビット [1:0] が 'b10' になります。このステータス変更後、TDR の結果は次の表のレジスタで読み出すことができます。

**表 6-1. TDR 結果レジスタ : 0x030F**

| レジスタ ビット | 概要                                                                                                                                                                                                                         |
|----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| [1:0]    | <ul style="list-style-type: none"> <li>01 = TDR の起動</li> <li>10 = TDR オン (動作中)</li> <li>00、11 = TDR は使用できない</li> </ul>                                                                                                     |
| [3:2]    | 予約済み                                                                                                                                                                                                                       |
| [7:4]    | <ul style="list-style-type: none"> <li>0011 = ショート</li> <li>0110 = オープン</li> <li>0101 = ノイズ</li> <li>0111 = ケーブル OK</li> <li>1000 = テスト中、TDR オンでの初期値</li> <li>1101 = テスト不可能 (ノイズ、リンク作動中など)</li> <li>その他の値は無効です。</li> </ul> |
| [13:8]   | <ul style="list-style-type: none"> <li>フォルトの距離 = [13:8] の 10 進値</li> <li>'b111111' = 分解能が不可能 / 測定範囲外</li> </ul>                                                                                                            |
| [15:14]  | 予約済み                                                                                                                                                                                                                       |

---

注

リンクがすでに作動している場合、TDR を実行してはいけません。作動中のラインで TDR を実行すると、TDR が失敗する可能性があり、リンクが切れる可能性もあります。

[DP83TG720](#):TDR の実行手順の詳細については、『[Open Alliance 仕様準拠のための構成](#)』アプリケーション ノートを参照してください。

---

### 6.3.1.3 データバス用内蔵セルフ テスト

DP83TG720S-Q1 は、PHY レベルとシステム レベルのデータ パスをチェックするため、データ パスの内蔵セルフ テスト (BIST) を内蔵しています。BIST には以下の内蔵機能が備わっており、MAC や外部データ ジェネレータのハードウェア / ソフトウェアに依存することなく、システム レベルのデータ転送テスト (スループットなど) や診断を行うことが可能です。

1. ループバック モード
2. データ ジェネレータ
  - a. カスタマイズ可能な MAC パケット ジェネレータ
  - b. 送信済みパケット カウンタ
  - c. PRBS ストリーム ジェネレータ
3. データ チェッカ
  - a. 受信済み MAC パケット エラー チェッカ
  - b. 受信済みパケット カウンタ: 受信済みパケットの総数とエラーが含まれる受信済みパケット数をカウントします。
  - c. PRBS ロックおよび PRBS エラー チェッカ

#### 6.3.1.3.1 ループバック モード

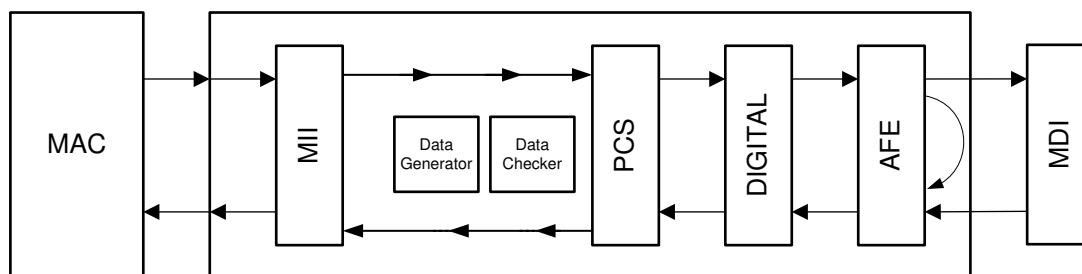


図 6-2. すべてのループバック

DP83TG720S-Q1 には、複数のループバック方法があります。各種ループバック モードを有効化することで、システム検証要件に応じて各種データ パスを有効化 / バイパスできます。以下のデータ生成方法と共に、各種ループバックを有効化できます。

- a. 内蔵データ ジェネレータ
- b. 外部データ ジェネレータ (イーサネット ケーブルまたは MAC 側に接続)

下図に、各種ループバック方法でのデータの流れを示します。

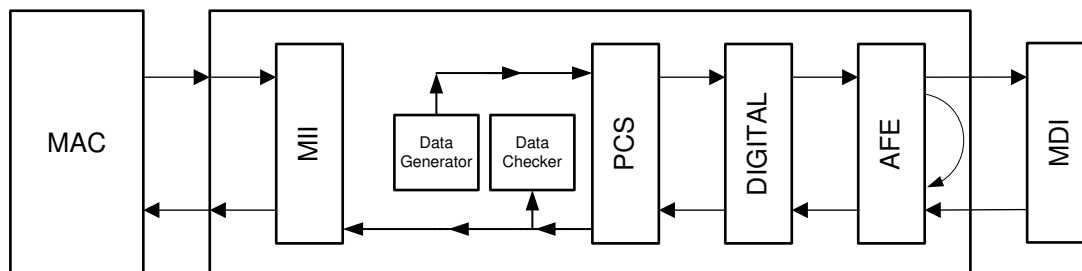


図 6-3. 内蔵データ ジェネレータによるアナログループバック

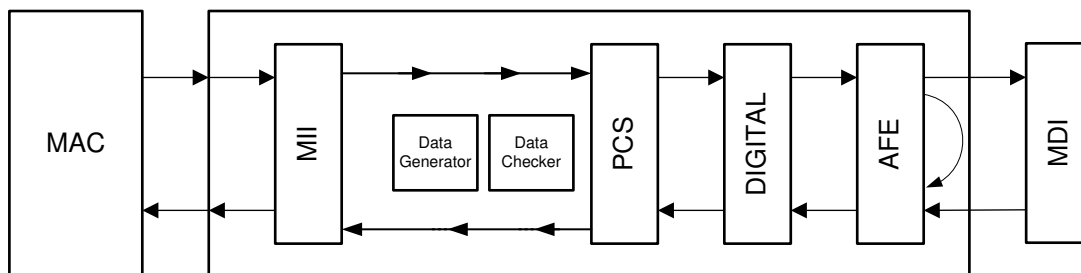


図 6-4. 外部データ ジェネレータによるアナログ ループバック

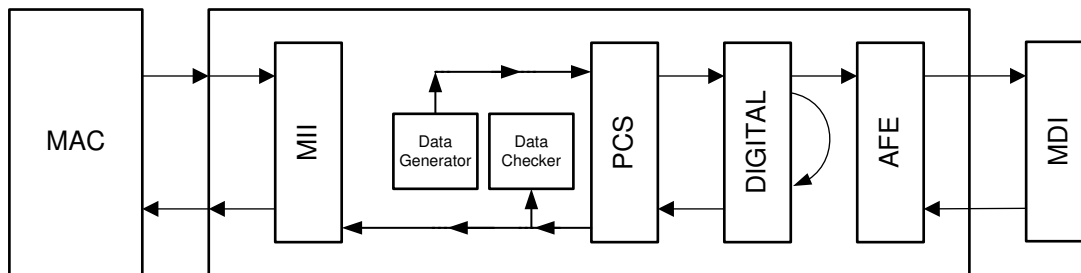


図 6-5. 内蔵データ ジェネレータによるデジタル ループバック

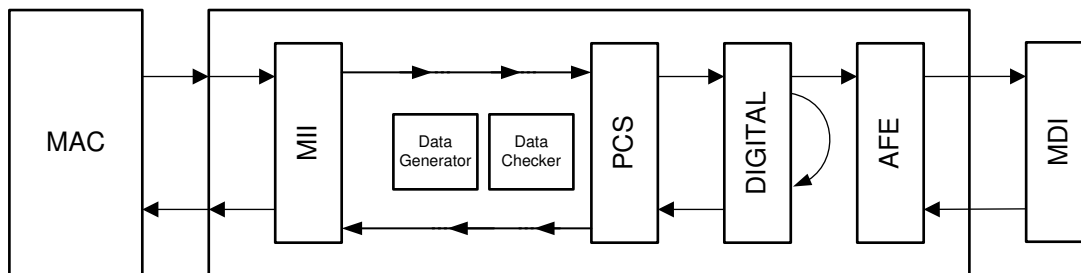


図 6-6. 外部データ ジェネレータによるデジタル ループバック

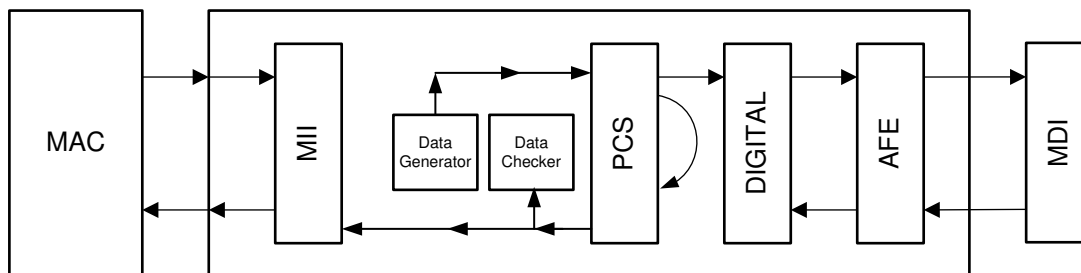


図 6-7. 内蔵データ ジェネレータによる PCS ループバック

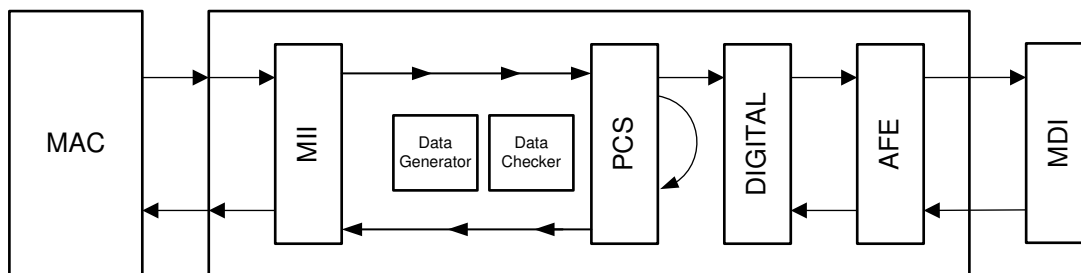


図 6-8. 外部データ ジェネレータによる PCS ループバック

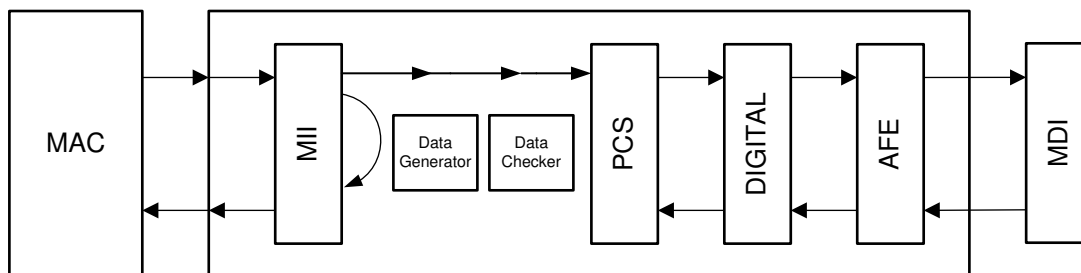


図 6-9. 外部データ ジェネレータによる xMII ループバック

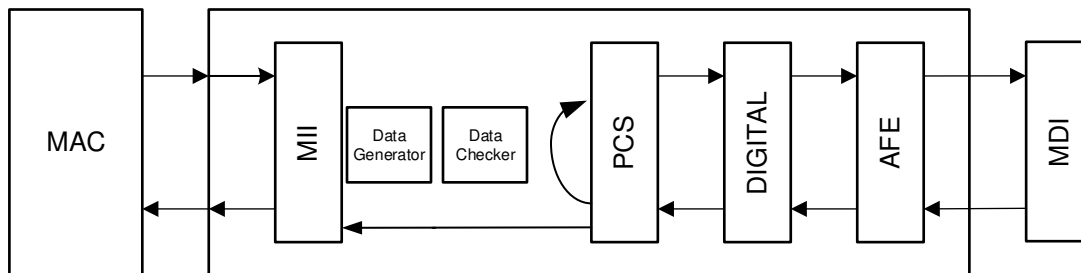


図 6-10. 外部データ ジェネレータによる xMII 逆ループバック

#### 6.3.1.3.2 データ ジェネレータ

データ ジェネレータは、ユーザー定義の MAC パケットと PRBS ストリームのどちらかを生成するようにプログラムできます。

生成される MAC パケットの以下のパラメータを設定できます (必要な構成については、レジスタ <0x061B>、レジスタ <0x061A>、レジスタ <0x0624> を参照)。

- パケット長
- パケット間隔
- 定義済みの送信パケット数または連続送信
- パケットの日付タイプ: インクリメンタル / 固定 / PRBS
- パケットあたりの有効バイト数

#### 6.3.1.3.3 データバスの BIST のプログラミング

以下のレジスタ設定を使用すると、各種のループバック、データ生成、データ チェッカ手順を実行できます。

**表 6-2. データバスの BIST のプログラミング**

|   | ループバック<br>モード | ループバック モードの有効化                                                 | データ ジェネレータおよびチェッカの有効化: MAC パケット                                | 受信 MAC パケットステータスのチェック                                                                                                               | データ ジェネレータおよびチェッカの有効化: PRBS ストリーム                              | 受信 PRBS ステータスのチェック PRBS ストリーム                                                                                                                                            | その他の注意事項                                                                                                                                                    |
|---|---------------|----------------------------------------------------------------|----------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1 | アナログ ループバック   | 書き込み:<br>reg[0x0016] = 0x0108<br>書き込み:<br>reg[0x0405] = 0x2800 | 書き込み:<br>reg[0x0624] = 0x55BF<br>書き込み:<br>reg[0x0619] = 0x1555 | 読み出し:<br>reg[0x063C] = 受信パケットの総数の (15:0)<br>読み出し:<br>reg[0x063D] = 受信パケットの総数の (31:16)<br>読み出し:<br>reg[0x063E] = CRC エラーを含む受信パケット数   | 書き込み:<br>reg[0x0624] = 0x55BF<br>書き込み:<br>reg[0x0619] = 0x0557 | ステップ 1:<br>書き込み:<br>reg[0x0620](1) = 1'b1<br>ステップ 2:<br>読み出し:<br>reg[0x0620](7:0) = 受信されたエラーバイト数。<br>読み出し:<br>reg[0x0620](8) (1 は PRBS データを受信中であり、チェッカがロックされていることを示します。) | ケーブル / リンク パートナーを切り離します。生成されたデータは MAC 側に送られます。MAC 側を無効化するには次の操作を行います。書き込み:<br>reg[0x0000] = 0x0540                                                          |
| 2 | デジタル ループバック   | 書き込み:<br>reg[0x0016] = 0x0104<br>書き込み:<br>reg[0x0800][11] = 1  | 書き込み:<br>reg[0x0624] = 0x55BF<br>書き込み:<br>reg[0x0619] = 0x1555 | 読み出し:<br>reg[0x063C] = 受信パケットの総数の [15:0]。<br>読み出し:<br>reg[0x063D] = 受信パケットの総数の [31:16]。<br>読み出し:<br>reg[0x063E] = CRC エラーを含む受信パケット数 | 書き込み:<br>reg[0x0624] = 0x55BF<br>書き込み:<br>reg[0x0619] = 0x0557 | ステップ 1:<br>書き込み:<br>reg[0x0620][1] = 1'b1<br>ステップ 2:<br>読み出し:<br>reg[0x0620][7:0] = 受信されたエラーバイト数。<br>読み出し:<br>reg[0x0620][8] (1 は PRBS データを受信中であり、チェッカがロックされていることを示します。) | 生成されたデータは Cu ケーブル側に送られます。この送信を無効化するには以下の操作を行います。書き込み:<br>reg[0x041F] = 0x1000<br>生成されたデータは MAC 側に送られます。MAC 側を無効化するには次の操作を行います。書き込み:<br>reg[0x0000] = 0x0540 |
| 3 | PCS ループバック    | 書き込み:<br>reg[0x0016] = 0x0101                                  | 書き込み:<br>reg[0x0624] = 0x55BF<br>書き込み:<br>reg[0x0619] = 0x1555 | 読み出し:<br>reg[0x063C] = 受信パケットの総数の [15:0]。<br>読み出し:<br>reg[0x063D] = 受信パケットの総数の [31:16]。<br>読み出し:<br>reg[0x063E] = CRC エラーを含む受信パケット数 | 書き込み:<br>reg[0x0624] = 0x55BF<br>書き込み:<br>reg[0x0619] = 0x0557 | ステップ 1:<br>書き込み:<br>reg[0x0620][1] = 1'b1<br>ステップ 2:<br>読み出し:<br>reg[0x0620][7:0] = 受信されたエラーバイト数。<br>読み出し:<br>reg[0x0620][8] (1 は PRBS データを受信中であり、チェッカがロックされていることを示します。) | 生成されたデータは Cu ケーブル側に送られます。この送信を無効化するには以下の操作を行います。書き込み:<br>reg[0x041F] = 0x1000<br>生成されたデータは MAC 側に送られます。MAC 側を無効化するには次の操作を行います。書き込み:<br>reg[0x0000] = 0x0540 |

表 6-2. データバスの BIST のプログラミング (続き)

|   | ループバック<br>モード | ループバック モードの有効化                | データ ジェネレータおよびチェッカの有効化: MAC パケット                               | 受信 MAC パケットステータスのチェック                                                                                                                                                                           | データ ジェネレータおよびチェッカの有効化: PRBS ストリーム | 受信 PRBS ステータスのチェック PRBS ストリーム                           | その他の注意事項                                                                          |
|---|---------------|-------------------------------|---------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------|---------------------------------------------------------|-----------------------------------------------------------------------------------|
| 4 | RGMII ループバック  | 書き込み:<br>reg[0x0000] = 0x4140 | データは RGMII TX ピンで外部的に生成されます。<br>書き込み:<br>reg[0x0619] = 0x1004 | データは RGMII RX ピンで検証できます。パケット エラーは、以下の方法でさらに内部的にチェックできます。<br>読み出し:<br>reg[0x063C] = 受信パケットの総数の [15:0]。<br>読み出し:<br>reg[0x063D] = 受信パケットの総数の [31:16]。<br>読み出し:<br>reg[0x063E] = CRC エラーを含む受信パケット数 | データは RGMII TX ピンで外部的に生成されます。      | 外部データであるため該当しません。PRBS ストリーム チェッカは、内部データ ジェネレータでのみ機能します。 | 生成されたデータは Cu ケーブル側に送られます。この送信を無効化するには以下の操作を行います。<br>書き込み:<br>reg[0x041F] = 0x1000 |
| 5 | SGMII ループバック  | 書き込み:<br>reg[0x0000] = 0x4140 | データは SGMII TX ピンで外部的に生成されます。<br>書き込み:<br>reg[0x0619] = 0x1114 | データは SGMII RX ピンで検証できます。パケット エラーは、以下の方法でさらに内部的にチェックできます。<br>読み出し:<br>reg[0x063C] = 受信パケットの総数の [15:0]。<br>読み出し:<br>reg[0x063D] = 受信パケットの総数の [31:16]。<br>読み出し:<br>reg[0x063E] = CRC エラーを含む受信パケット数 | データは SGMII TX ピンで外部的に生成されます。      | 外部データであるため該当しません。PRBS ストリーム チェッカは、内部データ ジェネレータでのみ機能します。 | 生成されたデータは Cu ケーブル側に送られます。この送信を無効化するには以下の操作を行います。<br>書き込み:<br>reg[0x041F] = 0x1000 |



**表 6-2. データバスの BIST のプログラミング (続き)**

|   | ループバック<br>モード     | ループバック モ<br>ードの有効化               | データ ジェネレ<br>ータおよびチェッ<br>カの有効化:<br>MAC パケット                           | 受信 MAC パケット<br>ステータスのチェック                                                                                                                                | データ ジェネレー<br>タおよびチェッカの<br>有効化:PRBS スト<br>リーム                         | 受信 PRBS ステ<br>ータスのチェック<br>PRBS ストリーム                                                                                                                                                              | その他の注意事項                                                                                                 |
|---|-------------------|----------------------------------|----------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------|
| 6 | RGMII 逆ル<br>ープバック | 書き込み:<br>reg[0x0016] =<br>0x0010 | 書き込み:<br>reg[0x0624] =<br>0x55BF<br>書き込み:<br>reg[0x0619] =<br>0x1555 | 読み出し:<br>reg[0x063C] = 受信<br>パケットの総数の<br>[15:0]。<br>読み出し:<br>reg[0x063D] = 受信<br>パケットの総数の<br>[31:16]。<br>読み出し:<br>reg[0x063E] = CRC<br>エラーを含む受信パ<br>ケット数 | 書き込み:<br>reg[0x0624] =<br>0x55BF<br>書き込み:<br>reg[0x0619] =<br>0x0557 | ステップ 1:<br>書き込み:<br>reg[0x0620][1] =<br>1'b1<br>ステップ 2:<br>読み出し:<br>reg[0x0620][7:0] =<br>受信されたエラー<br>バイト数。<br>読み出し:<br>reg[0x0620][8] (1<br>は PRBS データを<br>受信中であり、チェ<br>ッカがロックされてい<br>ることを示します。) | 生成されたデータ<br>は Cu ケーブル側<br>に送られます。この<br>送信を無効化する<br>には以下の操作を<br>行います。<br>書き込み:<br>reg[0x041F] =<br>0x1000 |
| 7 | SGMII 逆ル<br>ープバック | 書き込み:<br>reg[0x042C] =<br>0x0010 | 書き込み:<br>reg[0x0624] =<br>0x55BF<br>書き込み:<br>reg[0x0619] =<br>0x1555 | 読み出し:<br>reg[0x063C] = 受信<br>パケットの総数の<br>[15:0]。<br>読み出し:<br>reg[0x063D] = 受信<br>パケットの総数の<br>[31:16]。<br>読み出し:<br>reg[0x063E] = CRC<br>エラーを含む受信パ<br>ケット数 | 書き込み:<br>reg[0x0624] =<br>0x55BF<br>書き込み:<br>reg[0x0619] =<br>0x0557 | ステップ 1:<br>書き込み:<br>reg[0x0620][1] =<br>1'b1<br>ステップ 2:<br>読み出し:<br>reg[0x0620][7:0] =<br>受信されたエラー<br>バイト数。<br>読み出し:<br>reg[0x0620][8] (1<br>は PRBS データを<br>受信中であり、チェ<br>ッカがロックされてい<br>ることを示します。) | 生成されたデータ<br>は Cu ケーブル側<br>に送られます。この<br>送信を無効化する<br>には以下の操作を<br>行います。<br>書き込み:<br>reg[0x041F] =<br>0x1000 |

**注**

レジスタ [0x061B] とレジスタ [0x0624] を使用して、各種 MAC パケット パラメータをさらに詳細に設定できま  
す。

### 6.3.1.4 温度および電圧センシング

PHY の温度センサは、システムの温度を表示するために使用でき、温度センサの出力レジスタを読み取ることで、簡単に  
測定値を得ることができます。

電圧センサは、すべての電源ピンの電圧 (VDDA, VDDIO, VDD1P0) を検出します。各ピンの作動電圧は、対応する電  
圧センサ出力レジスタを読み出すことで測定できます。

すべてのセンサは常に機能しており、監視用ステート マシンは各センサの値を定期的にポーリングします。  
MONITOR\_CTRL\_3 レジスタを使用することで、監視用ステート マシンをさらに詳細に設定し、あるセンサにその他のセ  
ンサよりも高い優先順位 / サンプルング時間を与えることもできます。

以下のソフトウェア シーケンスを使って、任意のセンサの出力を読み出すことができます。

- Step1: レジスタ [0x0467] = 0x6004 を書き込む (モニタの初期設定)

- ステップ 2: レジスタ [0x046A] = 0x00A6 を書き込み、次にレジスタ [0x046A] = 0x00A3 を更新 (モニタのリフレッシュ)
- ステップ 3: ポーリング対象のセンサを選択するためにレジスタ [0x0468] を書き込み、選択されたセンサの出力コードとしてレジスタ [0x047B] [14:7] を読み出す。
- ステップ 4: 読み出されたセンサの出力コードの値 (10 進数) を以下の式に代入し、そのセンサの出力値 (10 進数) を得る。式で使うために必要な定数値については、[センサ選択表](#)を参照してください。
  - $vdda\_value = 3.3 + (vdda\_output\_code - vdda\_output\_mean\_code) \times slope\_vdda\_sensor$
  - $vdd1p0\_value = 1.0 + (vdd1p0\_output\_code - vdd1p0\_output\_mean\_code) \times slope\_vdd1p0\_sensor$
  - $vddio\_calculated = 3.3 + (vddio\_output\_code - vddio\_output\_mean\_code) \times slope\_vddio\_sensor$
  - $temperature\_calculated = 25 + (temperature\_output\_code - temperature\_output\_mean\_code) \times slope\_temperature\_sensor$

表 6-3. センサ選択表

| レジスタ [0x0468] | 読み出し用に選択されるセンサ |
|---------------|----------------|
| 0x1920        | VDDA 電圧センサ     |
| 0x2920        | VDD1P0 電圧センサ   |
| 0x3920        | VDDIO 電圧センサ    |
| 0x4920        | 温度センサ          |

表 6-4. センサの定数値

| 定数                           | 値 (10 進数)  |
|------------------------------|------------|
| vdda_output_mean_code        | 128        |
| slope_vdda3p3_sensor         | 8.63014e-3 |
| vdd1p0_output_mean_code      | 93         |
| slope_vdd1p0_sensor          | 2.85714e-3 |
| vddio_output_mean_code       | 224        |
| slope_vddio_sensor           | 15.686e-3  |
| temperature_output_mean_code | 161        |
| slope_temperature_sensor     | 1          |

## 注

25°C で「temperature\_output\_code」をサンプリングし、それを「temperature\_output\_mean\_code」として使うことができる場合、温度センサの精度を最大限 (7.5°C) に高めることができます。

### 6.3.1.5 静電気放電 (ESD) 検出

静電気放電は電子回路にとって重要な問題であり、適切に緩和しない場合、短期的な問題 (シグナル・インテグリティ、リンク・ドロップ、パケット喪失) だけでなく、長期的な信頼性に関する不具合を引き起こす可能性があります。DP83TG720S-Q1 は、堅牢な ESD 回路を内蔵しており、ESD 検出アーキテクチャを採用しています。さらなる分析とデバッグのため、ESD イベントを MDI ピンで検出できます。

ESD 検出ツールは試作と最終アプリケーションの両方に役立ちます。また、DP83TG720S-Q1 は割り込みステータス・フラグ (ESD イベントがレジスタ <0x0442> に記録された際に立ちます) を備えています。保証されていないクリア動作を防止するため、ESDS レジスタはハードウェアおよびソフトウェア・リセットを無視します。

**表 6-5. ESD 検出 : 割り込みの設定とカウントの読み出し**

| 機能            | 必要な読み出し / 書き込み                                                                                                           |
|---------------|--------------------------------------------------------------------------------------------------------------------------|
| 割り込みイネーブル     | <ul style="list-style-type: none"> <li>レジスタ &lt;0x0012&gt;[3] = 1 を書き込み</li> </ul>                                       |
| ESD イベント・カウンタ | <ul style="list-style-type: none"> <li>レジスタ &lt;0x0442&gt;[14:9] を読み出し</li> <li>10 進数の値は、起動後の ESD 衝撃の回数を示します。</li> </ul> |

### 6.3.2 準拠性テスト モード

DP83TG720S-Q1 の 6 つのテスト モードは IEEE 802.3bp、97.5.2 項に準拠しています。サポートされているテスト モードを使うと、トランスミッタ波形の電力スペクトル密度 (PSD) マスク、歪み、MDI マスタ ジッタ、MDI スレーブ ジッタ、ドループ、トランスミッタ周波数、周波数許容誤差、BER 監視、リターン ロス、モード変換をテストできます。3 つの GPIO のいずれかを使用して、MDI スレーブのジッタ測定のための TX\_TCLK を出力できます。

#### 6.3.2.1 テスト・モード 1

テスト・モード 1 では、パートナーとリンクしている場合のトランスミッタのクロック・ジッタをテストします。テスト・モード 1 では、DP83TG720S-Q1 PHY は、IEEE 802.3bp のセクション 97.6 で定義されたリンク・セグメントを介して接続されます。TX\_TCLK125 は、TX\_TCLK から得られた 1/6 分周クロックです。

#### 6.3.2.2 テスト モード 2

テスト モード 2 では、トランスミッタの MDI マスタ モードのジッタをテストします。テスト モード 2 では、DP83TG720S-Q1 は 3 つの {+1} シンボルの連続パターン、その後 3 つの {-1} シンボルを送信します。送信されたシンボルは 750MHz の信号ソースと同期しているため、125MHz の信号が得られます。

#### 6.3.2.3 テスト・モード 4

テスト・モード 4 は、トランスミッタの歪みをテストします。テスト・モード 4 では、DP83TG720S-Q1 は式 1 によって生成された一連のシンボルを送信します。

$$g(x) = 1 + x^9 + x^{11} \quad (1)$$

ビット・シーケンス (x0n, x1n) は、以下の式に従ってスクランブラの組み合わせから生成されます。:

$$x0_n = \text{Scr}_n[0] \quad (2)$$

$$x1_n = \text{Scr}_n[1] \wedge \text{Scr}_n[4] \quad (3)$$

$$x2_n = \text{Scr}_n[1] \wedge \text{Scr}_n[5] \quad (4)$$

表 6-6 に、3 ビット・ニブルのストリーム例を示します。

**表 6-6. トランスミッタのテスト・モード 4 のシンボルの割り当て**

| x2n | x1n | x0n | T1n | T0n |
|-----|-----|-----|-----|-----|
| 0   | 0   | 0   | -1  | -1  |

表 6-6. トランスミッタのテスト・モード 4 のシンボルの割り当て (続き)

| x2n | x1n | x0n | T1n | T0n |
|-----|-----|-----|-----|-----|
| 0   | 0   | 1   | 0   | -1  |
| 0   | 1   | 0   | -1  | 0   |
| 0   | 1   | 1   | -1  | +1  |
| 1   | 0   | 0   | +1  | 0   |
| 1   | 0   | 1   | +1  | -1  |
| 1   | 1   | 0   | +1  | +1  |
| 1   | 1   | 1   | 0   | +1  |

#### 6.3.2.4 テスト・モード 5

テスト・モード 5 では、トランスミッタの PSD マスクをテストします。テスト・モード 5 では、DP83TG720S-Q1 は通常のフレーム間アイドル PAM3 シンボルを送信します。

#### 6.3.2.5 テスト モード 6

テスト モード 6 では、トランスミッタドループをテストします。テスト モード 6 では、DP83TG720S -Q1 は 15 の {+1} シンボル、その後に 15 の {-1} シンボルを送信します (シンボルは 750Mhz で送信されます)。この 25MHz のパターンは、テスト モードが無効化されるまで連続的に繰り返されます。

#### 6.3.2.6 テスト・モード 7

テスト・モード 7 では、リンク・セグメントのビット・エラー・レート測定が有効化されます。このモードでは、MDI でゼロ・データ・パターンを使い、ゼロ・データ・パターンの期待値をゼロ以外のすべての受信ビットと比較することで BER をチェックします。エラー・チェックは、FEC と 80B/81B デコードの後に実行されます。

表 6-7. テスト・モードのレジスタ設定

| MMD   | レジスタ   | 値      | テスト・モード                                       |
|-------|--------|--------|-----------------------------------------------|
| MMD1  | 0x0904 | 0x2000 | テスト・モード 1: Tx_Tclk 125MHz は CLKOUT ピンに接続されます。 |
| MMD1  | 0x0904 | 0x4000 | テスト・モード 2                                     |
| MMD1  | 0x0904 | 0x8000 | テスト・モード 4: Tx_Tclk 125MHz は CLKOUT ピンに接続されます。 |
| MMD1F | 0x0453 | 0x0019 |                                               |
| MMD1  | 0x0904 | 0xA000 | テスト・モード 5                                     |
| MMD1  | 0x0904 | 0xC000 | テスト・モード 6                                     |
| MMD1  | 0x0904 | 0xE000 | テスト・モード 7                                     |

## 6.4 デバイスの機能モード

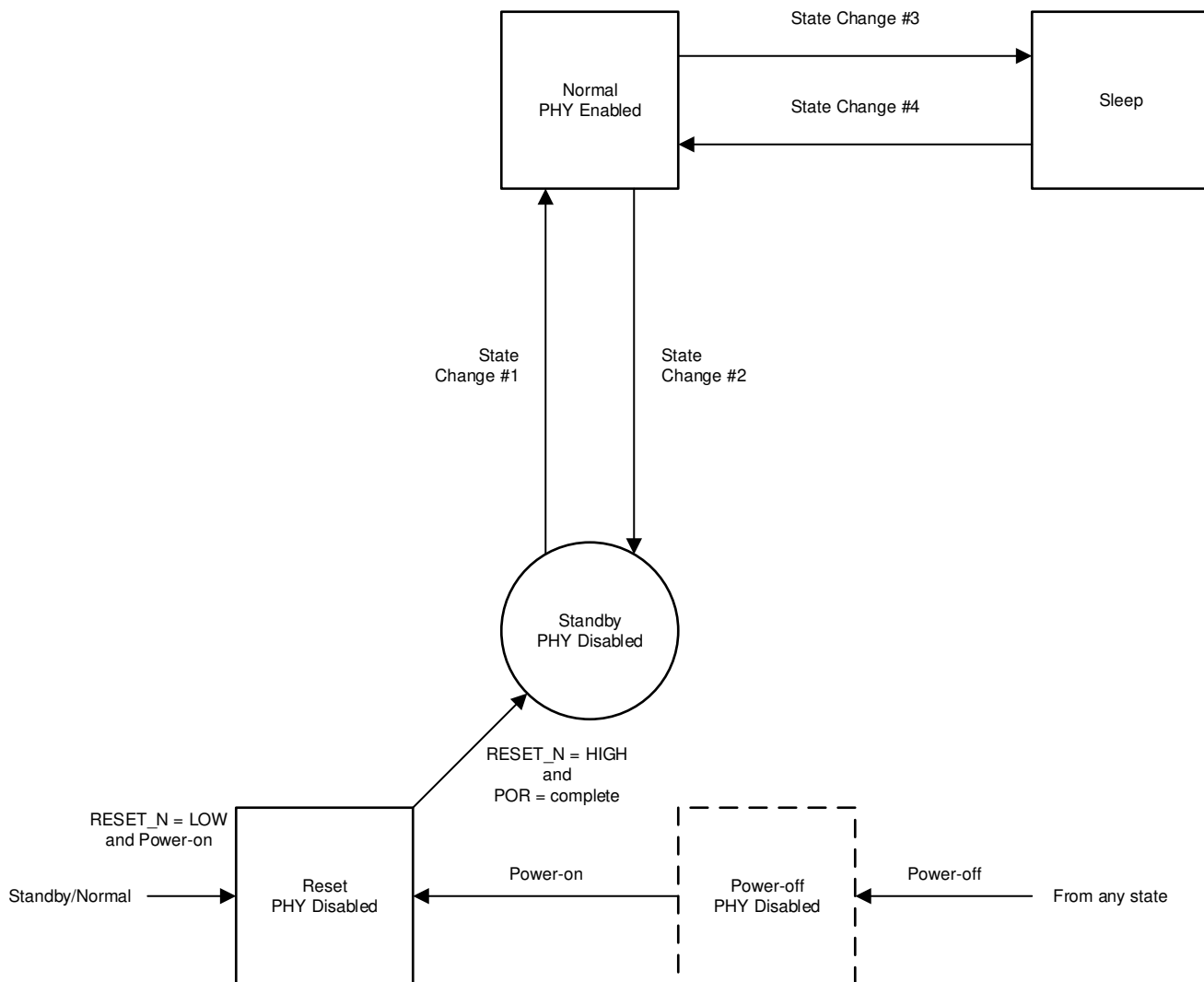


図 6-11. PHY の動作の状態図

### 6.4.1 パワーダウン

VDDA3P3、VDDIO、VDD1P0 が POR スレッシュホールドを下回ると、DP83TG720S-Q1 はパワーダウン状態に入ります。すべてのデジタル IO は高インピーダンス状態に維持され、アナログ・ブロックは無効化されます。パワーダウン時には、PMA 終端は存在しません。

### 6.4.2 リセット

リセットは、電源投入時に RESET\_N が Low に (最小リセット・パルス時間の間) プルされたとき、またはレジスタ [0x001F] のビット [15] をセットすることでハードウェア・リセットが起動されたときに作動します。

- リセットの後、デジタル・ステート・マシンが再起動し、すべてのレジスタ設定がブートアップ状態にクリアされます。
- リセット状態の間も、CLKOUT ピンの 25MHz クロックは作動し続けます。
- リセット状態の間、MDI/PMA は終端されていません。

---

**注**

ストラップはピン・リセットでのみ再ラッチされ、レジスタ (レジスタ [0x001F] = x8000) によるハードウェア・リセットではストラップはラッチされません。

---

### 6.4.3 スタンバイ

本デバイス (MDI マスタ・モードまたは MDI スレーブ・モード) は、本デバイスが管理動作にブートストラップ設定されている限り、電源投入時のリセットの後、自動的にスタンバイに移行します。

スタンバイでは、PCS および PMA ブロックを除くすべての PHY 機能が動作します。スタンバイではリンクの確立は不可能であり、データは送信も受信もできません。SMI 機能は使用可能であり、レジスタ設定は維持されています。

ブートストラップ設定によって本デバイスが自律動作に構成されている場合、電源投入およびリセットが完了した時点で PHY は自動的に通常動作に切り替わります。

### 6.4.4 通常

通常モードには、自律動作と管理動作のどちらからでも入ることができます。自律動作にある場合、電源を投入すると、PHY は自動的に有効なリンク・パートナーとのリンクを確立しようと試みます。

管理動作では、本デバイスがスタンバイを終了するのに SMI アクセスが必要です。SMI によって発行されたコマンドにより、本デバイスはスタンバイを終了し、PCS ブロックと PMA ブロックの両方を有効化できます。通常モードでは、すべてのデバイス機能が利用できます。

レジスタ 0x18B のビット [6] をセットすることで、SMI アクセスにより自律動作を有効化できます。

### 6.4.5 スリープ

一度スリープ モードに入ると、エネルギー検出を除くすべての PHY ブロックは無効化されます。スリープ モードでは、すべてのレジスタ設定は失われます。スリープ モードでは、リンクは確立できず、データは送信も受信もできず、SMI アクセスは利用できません。

PHY のスリープ モードを使うには、次の図の強調された実装を参照してください。

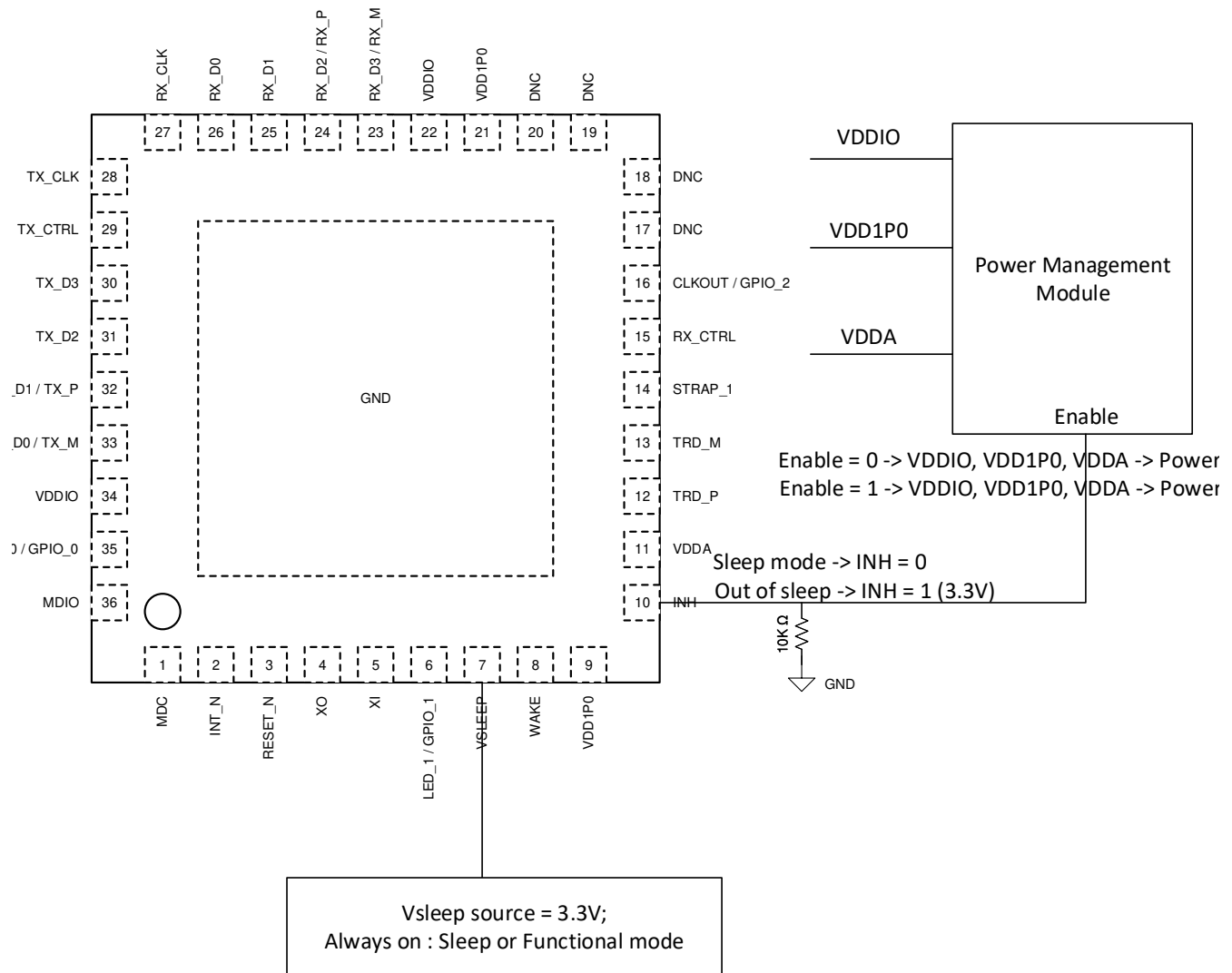


図 6-12. スリープ モードに必要な実装

注

上図のように、電源が無効化されない限り、PHY はスリープ モードに移行しません。

#### 6.4.6 状態遷移

##### 6.4.6.1 状態遷移 #1 - スタンバイから通常動作へ

自律動作: POR が完了すると、PHY は自動的に通常動作状態に移行します。

管理動作: レジスタ <0x018C> = 0x001 を書き込んだ後にのみ、PHY はスタンバイから通常動作状態に遷移します。

##### 6.4.6.2 状態遷移 #2 - 通常動作からスタンバイへ

通常動作状態にある場合、レジスタ <0x018C> = 0x0010 を書き込むと、PHY を強制的にスタンバイに戻すことができます。

##### 6.4.6.3 状態遷移 #3 - 通常動作からスリープへ

スリープ状態には、ローカルに、またはリモートリンク パートナーによって移行することができます。

マスタ モード PHY のスリープへの移行 (ローカル起因):

- ステップ 1:「ビット [7] = レジスタ [0x018B] の 'b1」を書き込む。
- ステップ 2:「レジスタ [0x042F] = 0x0007、レジスタ [0x041E] = 0x0100」を書き込む。
- ステップ 3: WAKE ピンを Low にして保持することで、スリープ モードに入ります。

スリープ モード PHY のスリープへの移行 (ローカル起因):

- ステップ 1:「ビット [8] = レジスタ [0x018B] レジスタの 'b0」を書き込む。
- ステップ 2:「ビット [7] = レジスタ [0x018B] レジスタの 'b1」を書き込む。
- ステップ 3:「レジスタ [0x042F] = 0x0007、レジスタ [0x041E] = 0x0100」を書き込む。
- ステップ 4: WAKE ピンを Low にして保持することで、スリープ モードに入ります。

マスタ モード PHY のスリープへの移行 (リモート起因):

- 本デバイスがリンク パートナーとすでにリンクを確立している場合、以下の手順に従うことで、スリープ PHY はリモートでマスタをスリープ状態に入れることができます。
- ステップ 1:「ビット [8] = レジスタ [0x018B] の 'b1、ビット [7] = レジスタ [0x018B] の 'b1」を書き込む。
- ステップ 2: WAKE ピンを Low にする。
- ステップ 3: PHY はラインの駆動を停止し、スリープ モードに移行する

スリープ モード PHY のスリープへの移行 (リモート起因):

- ステップ 1:「ビット [7] = レジスタ [0x018B] レジスタの 'b1」を書き込む。
- ステップ 2: WAKE ピンを Low にする。
- ステップ 3: PHY はラインの駆動を停止し (マスタはデータも符号も送信しません)、スリープ モードに移行する。これは、リンク パートナーを管理モードに移行させることで実現できます (管理モードでは、デバイスはリンクアップ シーケンスを開始できません)。

#### 注

PHY がスリープ モードに移行するのは、INH 信号を使用して電源が切り離された場合のみです (「スリープ モードに必要な実装」の図を参照)。

#### 6.4.6.4 状態遷移 #4 - スリープから通常動作へ

スリープ状態は、ローカルに、またはリモートリンク パートナーによって終了することができます。

##### ローカル起因のスリープ終了

マスタ モード PHY のスリープの終了 (ローカル起因):

- WAKE ピンを High (3.3V) にする。

スリープ モード PHY のスリープの終了 (ローカル起因):

- WAKE ピンを High (3.3V) にする。

##### リモート起因のスリープ終了

次のいずれかにより、リンク パートナーは本デバイスのスリープ モードを終了させることができます。

1. リンク パートナーからの Send-S シンボルを使用したリモート起因のスリープ終了。
2. リンク パートナーからの Send-T シンボルを使用したリモート起因のスリープ終了

これらの手順の詳細を次の表に示します。



**表 6-8. リモート起因のスリープ終了の手順**

| 方法         | デバイス モード | 手順                                                                                                                                                                                                                                                                                                                   | リンク パートナーに要求される機能                                                                                                                                                                                      |
|------------|----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Send-S の使用 | マスタ      | <p>ステップ 1: IEEE によって定義された、リンク パートナーからの Send-S パターンを開始する (継続時間: 1.25ms 以上)。</p> <p>ステップ 2: リンクアップを開始するため、リンク パートナーを通常モードに移行させる。</p> <p>注: VOD が小さいリンク パートナーは、リモート ウェークアップを行うケーブル長を 5m 以下に制限できます。</p>                                                                                                                  | <p>リンク パートナーは、スリープモード入っていても、要求に応じて Send-S パターンを送信するモードを備えている必要があります。</p> <p>1 つの方法を次に示します。</p> <p>ステップ 1: リンク パートナーを 1.25ms 以上の間マスタ モードに移行させる。</p> <p>ステップ 2: リンクアップを開始するため、リンク パートナーを通常モードに移行させる。</p> |
|            | スリープ     | <p>ステップ 1: IEEE によって定義された、リンク パートナーからの Send-S パターンを開始する (継続時間: 1.25ms 以上)。</p> <p>ステップ 2: リンクアップを開始するため、リンク パートナーを通常モードに移行させる。</p> <p>注: VOD が小さいリンク パートナーは、リモート ウェークアップを行うケーブル長を 5m 以下に制限できます。</p> <p>注: スリープ モードの DP83TG720 をスリープ モードに維持するため、リンク パートナーを管理モードに移行させることができます (管理モードでは、デバイスはリンクアップ シーケンスを開始できません)。</p> | <p>マスタ モードリンク パートナーはリンク アップを開始するために Send-S 信号を送信することになっているため、すべての IEEE 準拠リンク パートナーは機能するはずで</p>                                                                                                         |

表 6-8. リモート起因のスリープ終了の手順 (続き)

| 方法         | デバイス モード | 手順                                                                                                 | リンク パートナーに要求される機能                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |
|------------|----------|----------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Send-T の使用 | マスタ      | ステップ 1: リンク パートナーでの Send-T パターンを 1.25ms 以上の間有効化する。<br>ステップ 2: リンクアップを開始するため、リンク パートナーを通常モードに移行させる。 | リンク パートナーは、要求に応じて Send-T パターンを送信するモードを備えている必要があります。<br>15m のケーブルを介したリモート ウェークアップの場合、リンク パートナーの Send-T モード中のピンでの信号振幅は 0.92V より大きくしなくてはなりません。VOD が小さいリンク パートナーの場合、リモート ウェークアップできるケーブル長が 5m 以下に制限される場合があります。<br>DP83T720 をリンク パートナーとして使用する場合、次の手順で必要な処理を実行できます。<br>ステップ 1: DP83TG720 リンク パートナーでの Send-T パターンを有効化する (「レジスタ [0x0405] = 0x7400、レジスタ [0x0509] = 0x4007、レジスタ [0x0576] = 0x0500」を書き込む)。<br>ステップ 2: 100ms 後、DP83TG720 リンク パートナーでの Send-T パターンを無効化する (「レジスタ [0x0405] = x5800、レジスタ [0x0509] = 0x4005、レジスタ [0x0576] = 0x0000」を書き込む)。 |
|            | スレーブ     | ステップ 1: リンク パートナーでの Send-T パターンを 1.25ms 以上の間有効化する。<br>ステップ 2: リンクアップを開始するため、リンク パートナーを通常モードに移行させる。 | リンク パートナーは、要求に応じて Send-T パターンを送信するモードを備えている必要があります。<br>15m のケーブルを介したリモート ウェークアップの場合、リンク パートナーの Send-T モード中のピンでの信号振幅は 0.92V より大きくしなくてはなりません。VOD が小さいリンク パートナーの場合、リモート ウェークアップできるケーブル長が 5m 以下に制限される場合があります。<br>DP83T720 をリンク パートナーとして使用する場合、次の手順で必要な処理を実行できます。<br>ステップ 1: DP83TG720 リンク パートナーでの Send-T パター                                                                                                                                                                                                                                |

## 6.4.7 MDI (Media Dependent Interface)

### 6.4.7.1 MDI マスタと MDI スレーブの構成

MDI マスタと MDI スレーブは、ハードウェア・ブートストラップを使って、またはレジスタ・アクセスによって構成されます。

LED\_0 は、MDI マスタと MDI スレーブのブートストラップ構成を制御します。LED\_0 ピンに内部プルダウン抵抗があるため、デフォルトでは MDI スレーブ・モードが構成されます。ハードウェア・ブートストラップによる MDI マスタ・モード構成を選択する場合、外部プルアップ抵抗が必要です。

また、PMA\_CTRL2 レジスタのビット [14] は、MDI マスタと MDI スレーブの構成を制御します。このビットをセットすると、MDI マスタ・モードが有効化されます。

### 6.4.7.2 自動極性検出および訂正

リンクトレーニング プロセス中、MDI レシーバとして DP83TG720S-Q1 は極性の反転を検出し、エラーを自動的に訂正できます。マスタとスレーブの両方での検出により、レシーバ極性を必要に応じて訂正できます。

DP83TG720S -Q1 では自動極性訂正を無効化できません

## 6.4.8 MAC インターフェイス

### 6.4.8.1 RGMII (Reduced Gigabit Media Independent Interface)

DP83TG720S-Q1 は、RGMII バージョン 2.0 で規定された RGMII (Reduced Gigabit Media Independent Interface) もサポートしています。RGMII は、MAC と PHY の接続に必要なピン数が少なくなるように設計されています。この目標を達成するため、制御信号が多重化されています。送信パスと受信パスの制御信号ピンをサンプリングするためにクロックの立ち上がりエッジと立ち下がりエッジの両方が使用されます。1Gbps 動作の場合、RX\_CLK と TX\_CLK は 125MHz で動作します。

表 6-9 に、RGMII 信号のまとめを示します。

**表 6-9. RGMII 信号**

| FUNCTION | ピン        |
|----------|-----------|
| データ信号    | TX_D[3:0] |
|          | RX_D[3:0] |
| 制御信号     | TX_CTRL   |
|          | RX_CTRL   |
| クロック信号   | TX_CLK    |
|          | RX_CLK    |

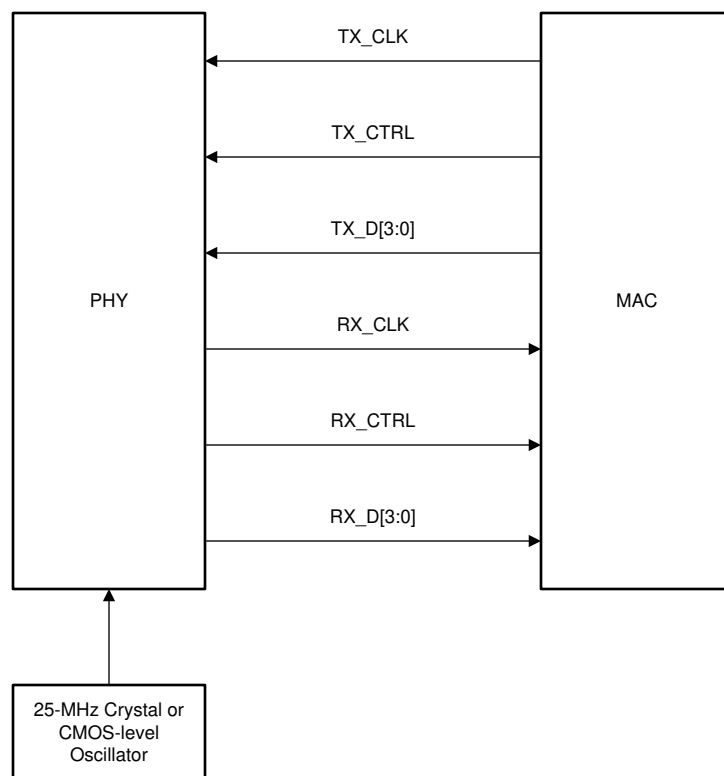


図 6-13. RGMII の接続

**表 6-10. RGMII の送信エンコード**

| TX_CTRL<br>(立ち上がりエッジ) | TX_CTRL<br>(立ち下がりエッジ) | TX_D[3:0] | 説明        |
|-----------------------|-----------------------|-----------|-----------|
| 0                     | 0                     | 0000~1111 | 通常のフレーム間  |
| 0                     | 1                     | 0000~1111 | 予約済み      |
| 1                     | 0                     | 0000~1111 | 送信エラーの伝搬  |
| 1                     | 1                     | 0000~1111 | 通常のデータの送信 |

**表 6-11. RGMII の受信エンコード**

| RX_CTRL<br>(立ち上がりエッジ) | RX_CTRL<br>(立ち下がりエッジ) | RX_D[3:0] | 説明           |
|-----------------------|-----------------------|-----------|--------------|
| 0                     | 0                     | 0000~1111 | 通常のフレーム間     |
| 0                     | 1                     | 0000~1101 | 予約済み         |
| 0                     | 1                     | 1110      | 誤キャリアの表示     |
| 0                     | 1                     | 1111      | 予約済み         |
| 1                     | 0                     | 0000~1111 | エラーを含むデータの受信 |
| 1                     | 1                     | 0000~1111 | 通常のデータの受信    |

DP83TG720S-Q1 は、リンク ステータス検出の簡素化に役立つように、インバンド ステータス表示をサポートしています。  
表 6-12 に、RX\_D[3:0] ピンのインターフレーム信号を示します。

**表 6-12. RGMII インバンド ステータス**

| RX_CTRL                                             | RX_D3                              | RX_D[2:1]                                                               | RX_D0                                                |
|-----------------------------------------------------|------------------------------------|-------------------------------------------------------------------------|------------------------------------------------------|
| 0<br>注:<br>インバンド ステータスは、RX_CTRL<br>が Low のときのみ有効です。 | 二重モードのステータス:<br>0 = 半二重<br>1 = 全二重 | RX_CLK クロック速度:<br>00 = 2.5MHz<br>01 = 25MHz<br>10 = 125MHz<br>11 = 予約済み | リンク ステータス:<br>0 = リンクが確立されていない<br>1 = 有効なリンクが確立されている |

ギガビット イーサネットのための RGMII MAC インターフェイスには、システム レベルの性能を満たすための厳格なタイミング要件があります。これらのタイミング要件を満たし、RGMII 上の各種の MAC で動作させるには、PCB を設計する際には、以下の要件を考慮する必要があります。TI は、DP83TG720 の IBIS モデルを使って、ボードレベルのシグナル インテグリティをチェックすることも推奨しています。

#### RGMII-TX の要件

- RGMII TX 信号は、 $50\Omega \pm 15\%$  に制御されたインピーダンスで配線を行うものとします。
- シグナル インテグリティ性能を向上させるため、最大配線長を 5 インチ (13 cm) に制限します。
- [図 6-14](#) に、TX\* 信号の RGMII インターフェイス要件を示します。MAC RGMII ドライバの出力インピーダンスは  $50\Omega \pm 20\%$  です。
- [図 6-14](#) に示される TP2 でのすべての RGMII TX 信号のスキューは  $\pm 500\text{ps}$  未満にします。
- [図 6-14](#) に示される TP1 と TP2 でのシグナル インテグリティについては、IBIS モデル シミュレーションで検証を行い、以下の要件に準拠していることを確認します。
  - TP2 では、信号は 1ns の立ち上がり / 立ち下がり時間 (信号振幅の 20% と 80% の間) を満たします。
  - 立ち上がり / 立ち下がり時間は、TP2 での VIH/VIL レベル間で単調にします。

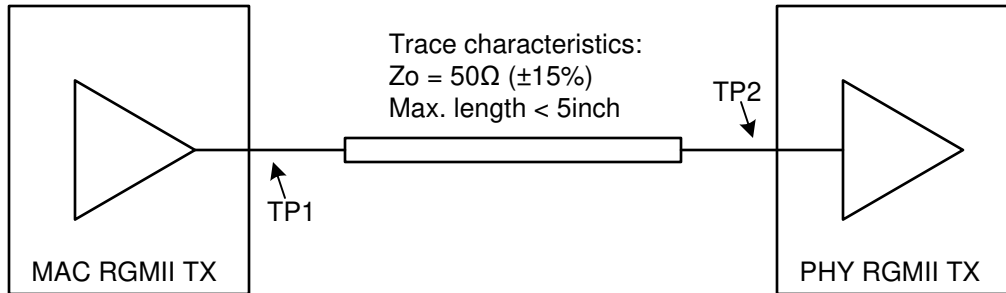


図 6-14. RGMII TX の要件

**RGMII-RX の要件**

- RGMII RX 信号は、 $50\Omega \pm 15\%$  に制御されたインピーダンスで配線を行うものとします。
- シグナル インテグリティ性能を向上させるため、最大配線長を 5 インチ (13 cm) に制限します。
- 図 6-15 に示される TP3/TP4 にダンピング抵抗を追加しないでください。RX 信号のシグナル インテグリティに影響を及ぼすためです。
- 図 6-15 に、RX\* 信号の RGMII インターフェイス要件を示します。MAC RGMII ドライバの出力インピーダンスは  $50\Omega \pm 20\%$  にします。
- 図 6-15 に示される TP3 と TP4 でのシグナル インテグリティについては、IBIS モデル シミュレーションで検証を行い、以下の要件に準拠していることを確認します。
  - TP4 では、信号は 1ns の立ち上がり / 立ち下がり時間 (信号振幅の 20% と 80% の間) を満たします。
  - 立ち上がり / 立ち下がり時間は、TP4 での VIH/VIL レベル間で単調にします。

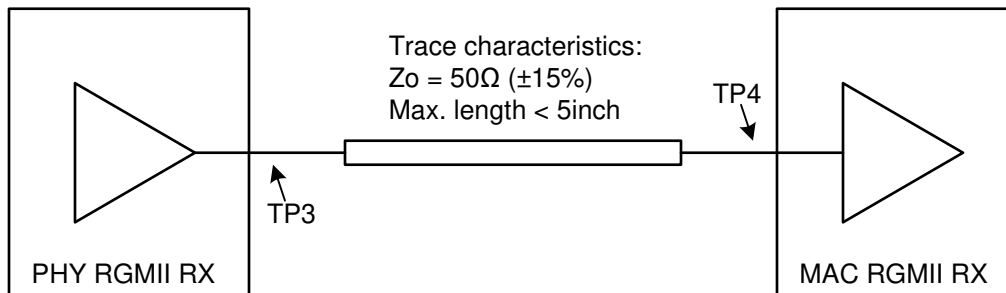


図 6-15. RGMII RX の要件

**注**

1. EMC 放射を最小限に抑えるため、埋め込みパターンで RGMII を配線することを推奨します。
2. 埋め込み配線は、PHY と MAC にできるだけ近付けたビアを使って接続します。

**6.4.8.2 SGMII (Serial Gigabit Media Independent Interface)**

SGMII (Serial Gigabit Media Independent Interface) を使うと、RGMII (12 ピン) に比べて非常に少ない信号ピン数 (4 ピン) で、MAC と PHY の間のデータ転送を行うことができます。SGMII は、放射を低減し、信号品質を向上させるため、LVDS (低電圧差動信号) を使用しています。

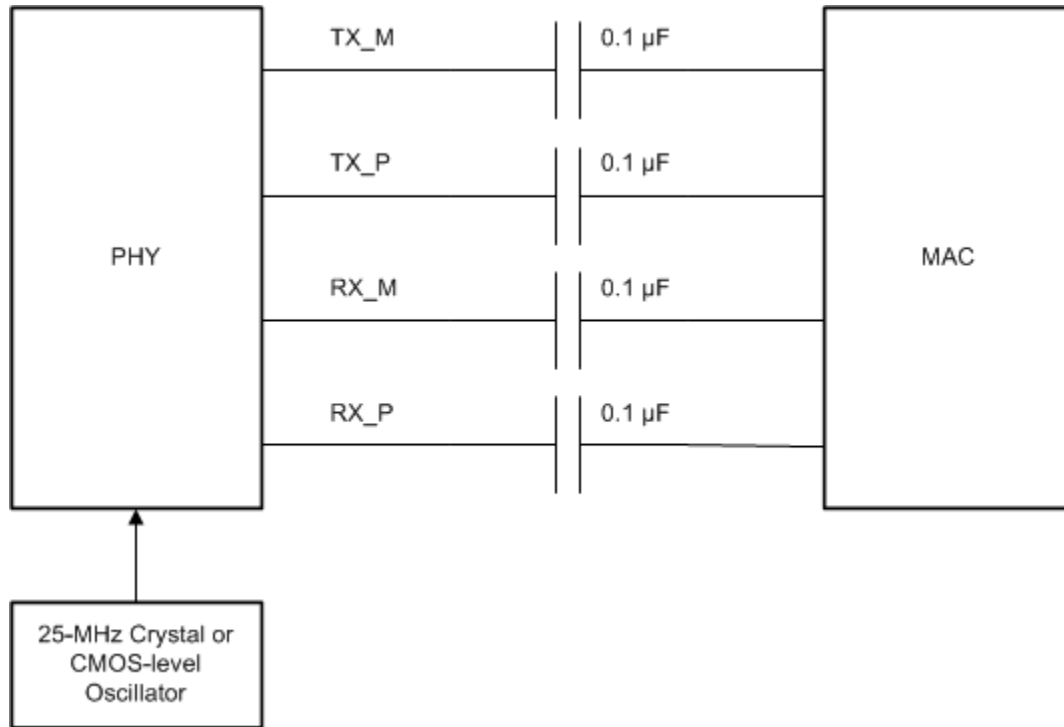
DP83TG720S-Q1 の SGMII は 4 線式モードで動作できます。4 線式動作では、データの送受信に 2 つの差動ペアを使います。クロックおよびデータ再生は、RX 方向の場合 MAC で、TX 方向の場合 PHY で、それぞれ行われます。

SGMII 自動ネゴシエーションは、SGMII 構成レジスタ (SGMIICTL、アドレス 0x608) のビット [0] = 0b0 を設定することで無効化できます。

表 6-13 に、SGMII 信号のまとめを示します。

**表 6-13. SGMII 信号**

| FUNCTION | ピン        |
|----------|-----------|
| データ信号    | TX_M、TX_P |
|          | RX_M、RX_P |



**図 6-16. SGMII の接続**

ギガビット イーサネットのための SGMII MAC インターフェイスには、システム レベルの性能を満たすための厳格なタイミング要件があります。PCB を設計する際は、以下の要件を考慮する必要があります。TI は、DP83TG720 の IBIS モデルを使って、ボード レベルのシグナル インテグリティをチェックすることも推奨しています。

#### SGMII 信号のガイドライン

- 基板上で配線された SGMII の Tx および Rx 信号は、差動インピーダンスが  $100\Omega \pm 5\%$  に制御されています。
- シグナル インテグリティ性能を向上させるため、最大配線長を 5 インチ (13cm) に制限します。
- p と n の配線長のミスマッチは、5mil に制限します。
- RX ラインの AC カップリング コンデンサは、PHY の RX\_P および RX\_M ピンの近くに配置します。
- TX ラインの AC カップリング コンデンサは、MAC の TX\_P および TX\_M ピンの近くに配置します。
- シグナル インテグリティは、高速差動プローブを使用してレシーバ (PHY または MAC) のピンでのみチェックします。
- PHY の TX\_M および TX\_P では、次のアイ マスクを使用します。

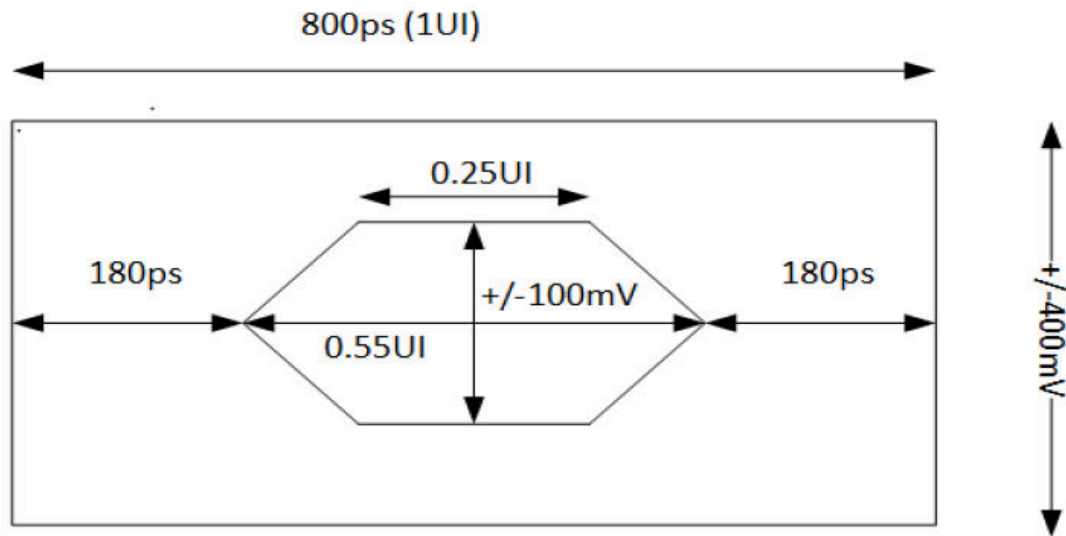


図 6-17. SGMII PHY レシーバのマスキの要件

#### 6.4.9 シリアル マネージメント インターフェイス

シリアル マネージメント インターフェイスを使うことで、ステータス情報と構成のために使われている DP83TG720S-Q1 の内部レジスタ空間にアクセスできます。SMI は IEEE 802.3 の 22 項に適合しています。実装されているレジスタ セットは、IEEE 802.3 に必要なレジスタと、DP83TG720S-Q1 の可視性と制御性を高めるためのその他のレジスタで構成されています。

SMI には、管理クロック (MDC) と、管理入力および出力データ ピン (MDIO) が含まれます。MDC は、ステーション (STA) と呼ばれる外部管理エンティティによって供給されます。MDC は連続的である必要はなく、バスがアイドル状態の場合、外部管理エンティティがオフにすることもできます。

MDIO の信号は外部管理エンティティと PHY から供給されます。MDIO ピンのデータは、MDC の立ち上がりエッジでラッチされます。MDIO ピンには VDDIO に接続するプルアップ抵抗 (2.2kΩ) が必要であり、それによってアイドル時およびターンアラウンド時に MDIO が High にプルされます。

最大 9 つの DP83TG720S-Q1 PHY が共通の SMI バスを共有できます。PHY を区別するため、3 ビット アドレスを使います。電源投入時のリセット中に、DP83TG720S-Q1 はそのアドレスを判断するため PHY\_AD 構成ピンをラッチします。

管理エンティティは、電源投入時のリセットの後の最初のサイクルで SMI トランザクションを開始してはなりません。有効な動作を維持するため、ハード リセットがデアサートされた後、少なくとも 1 MDC サイクルの間、SMI バスは非アクティブのままである必要があります。通常の MDIO トランザクションでは、管理フレームのレジスタ アドレス フィールドからレジスタ アドレスが直接取り込まれるため、32 の 16 ビット レジスタ (IEEE 802.3 で定義されたレジスタとベンダ固有のレジスタを含む) に直接アクセスできます。データ フィールドは、読み出しと書き込みの両方に使用されます。スタート コードは <01> パターンで示されます。このパターンにより、MDIO ラインはデフォルトのアイドル ライン状態から必ず遷移します。ターンアラウンドは、レジスタ アドレス フィールドとデータ フィールドの間に挿入されたアイドル ビット期間として定義されます。読み出しトランザクション中の競合を避けるため、ターンアラウンドの先頭ビットの間、デバイスは MDIO 信号をアクティブに駆動できません。アドレス指定された DP83TG720S-Q1 は、2 番目のビットのターンアラウンドの間 MDIO を 0 で駆動し、その後に必要なデータを送信します。



書き込みトランザクションの場合、ステーション管理エンティティはアドレス指定された DP83TG720S-Q1 にデータを書き込みます。そのため、MDIO ターンアラウンドは不要です。ターンアラウンド期間には、管理エンティティによって <10> が挿入されます。

**表 6-14. SMI プロトコルの構成**

| SMI プロトコル | <アイドル> <スタート> <オペコード> <デバイス アドレス> <レジスタ アドレス> <ターンアラウンド> <データ> <アイドル> |
|-----------|-----------------------------------------------------------------------|
| 読み出し動作    | <アイドル><01><10><AAAA><RRRR><Z0><XXXX XXXX XXXX XXXX><アイドル>             |
| 書き込み動作    | <アイドル><01><01><AAAA><RRRR><10><XXXX XXXX XXXX XXXX><アイドル>             |

#### 6.4.9.1 ダイレクト・レジスタ・アクセス

ダイレクト・レジスタ・アクセスは先頭の 31 のレジスタ (0x0h～0x1Fh) に対して使えます。

#### 6.4.9.2 拡張レジスタ スペース アクセス

DP83TG720S-Q1 の SMI 機能は、レジスタ REGCR (0x000Dh) および ADDAR (0x000Eh) と MMD (MDIO Manageable Device) 間接方式 (IEEE 802.3ah Draft, 22 項「アクセス」、45 項「拡張レジスタセット」で定義) を使った拡張レジスタ セットへの読み出しおよび書き込みアクセスをサポートしています。

#### 注

0x001F を超えるアドレスのレジスタは、間接アクセスを必要とします。間接アクセスの場合、レジスタ書き込みのシーケンスに従う必要があります。MMD 値は、レジスタ セットのデバイス アドレス (DEVAD) を定義します。間接アクセスのためには、DEVAD をレジスタ 0x000D (REGCR) ビット[4:0] に設定する必要があります

DP83TG720S-Q1 は 4 つの MMD デバイス アドレスをサポートしています。4 つの MMD レジスタ空間は次のとおりです。

1. MMD1F (ベンダ固有のレジスタ): DEVAD [4:0] = '11111'
2. MMD1 (IEEE 802.3az 定義レジスタ): DEVAD [4:0] = '00001'
3. MMD3 (IEEE 802.3az 定義レジスタ): DEVAD [4:0] = '00011'
4. MMD3 (IEEE 802.3az 定義レジスタ): DEVAD [4:0] = '00111'

**表 6-15. MMD レジスタ空間の区分**

| MMD レジスタ空間 | レジスタ アドレス範囲   |
|------------|---------------|
| MMD1F      | 0x0000～0x0FFF |
| MMD1       | 0x1000～0x1FFF |
| MMD3       | 0x3000～0x3FFF |
| MMD7       | 0x7000～0x7FFF |

#### 注

MMD1/3/7 の場合、レジスタ アドレスの最上位ニブルは、それぞれの MMD 空間を示すために使用されます。実際のレジスタ アクセス動作中は、このニブルを無視する必要があります。たとえば、レジスタ 0x1904 にアクセスするには、レジスタ アドレスとして 0x0904 を、MMD として x01 を使います。

以下のセクションでは、レジスタ REGCR および ADDAR を使って拡張レジスタ セットを操作する方法について説明します。

#### 6.4.9.2.1 書き込み動作 (ポスト インクリメントなし)

拡張レジスタ セット内のレジスタを書き込むには、次の手順に従います。

| 手順                                                                       | 例:レジスタ 0x0170 = 0C50 に設定する |
|--------------------------------------------------------------------------|----------------------------|
| 1.レジスタ REGCR (0x0D) に値 0x001F (アドレス機能フィールド= 00、DEVAD = 31) を書き込む。        | 値 0x001F にレジスタ 0x0D を書き込む  |
| 2.レジスタ ADDAR (0x0E) に目的のレジスタ アドレスを書き込む。                                  | 値 0x0170 にレジスタ 0x0E を書き込む  |
| 3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。 | 値 0x401F にレジスタ 0x0D を書き込む  |
| 4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を書き込む。                                 | 値 0x0C50 にレジスタ 0x0E を書き込む  |

それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、そのアドレス レジスタの値によって選択されたレジスタが引き続き書き換えられます。

#### 注

アドレス レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

#### 6.4.9.2.2 読み出し動作 (ポスト インクリメントなし)

拡張レジスタ セットのレジスタを読み出すには、次の手順に従います。

| 手順                                                                       | 例:0x0170 を読み出します          |
|--------------------------------------------------------------------------|---------------------------|
| 1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。          | 値 0x001F にレジスタ 0x0D を書き込む |
| 2.レジスタ ADDAR に目的のレジスタ アドレスを書き込む。                                         | 値 0x0170 にレジスタ 0x0E を書き込む |
| 3.レジスタ REGCR に値 0x401F (データ、ポスト インクリメントなし機能フィールド = 01、DEVAD = 31) を書き込む。 | 値 0x401F にレジスタ 0x0D を書き込む |
| 4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を読み出します。                               | レジスタ 0x0E を読み出す           |

それ以降、レジスタ ADDAR (ステップ 4) から読み出すと、アドレス レジスタの値によって選択されたレジスタが引き続き読み出されます。

#### 注

アドレス レジスタが前もって設定されている場合、ステップ (1) および (2) を飛ばすことができます。

#### 6.4.9.2.3 書き込み動作 (ポスト インクリメントあり)

拡張レジスタ セットのレジスタを書き込み、書き込み動作後にアドレス レジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

| 手順                                                                                                                                           | 例:レジスタ 0x0170 = 0C50 かつレジスタ 0x0171 = 0x0011 を設定する |
|----------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------|
| 1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。                                                                              | 値 0x001F にレジスタ 0x0D を書き込む                         |
| 2.レジスタ ADDAR からレジスタ アドレスを書き込む。                                                                                                               | 値 0x0170 にレジスタ 0x0E を書き込む                         |
| 3.値 0x801F (データ、読み取りおよび書き込み機能フィールドのポスト インクリメント = 10、DEVAD = 31) または値 0xC01F (データ、書き込み機能フィールドのポスト インクリメント = 11、DEVAD = 31) をレジスタ REGCR に書き込む。 | 値 0x801F にレジスタ 0x0D を書き込む                         |
| 4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を書き込む。                                                                                                     | 値 0x0C50 にレジスタ 0x0E を書き込む                         |

| 手順                                                                                                                | 例:レジスタ 0x0170 = 0C50 かつレジスタ 0x0171 = 0x0011 を設定しする |
|-------------------------------------------------------------------------------------------------------------------|----------------------------------------------------|
| 5.それ以降、レジスタ ADDAR (ステップ 4) に書き込むと、アドレスレジスタの値によって選択されたすぐ上のアドレスのデータレジスタが引き続き書き込まれます (アドレスレジスタは各アクセスの後にインクリメントされます)。 | 値 0x0011 にレジスタ 0x0E を書き込む                          |

ステップ 4 ではレジスタ 0x0170 を 0x0C50 に書き込み、ポスト インクリメントが有効になっているため、ステップ 5 ではレジスタ 0x0171 を 0x0011 に書き込みます。

#### 6.4.9.2.4 読み出し動作(ポスト インクリメントあり)

拡張レジスタ セットのレジスタを読み出し、読み取り動作後にアドレスレジスタをすぐ上の値に自動的にインクリメントするには、次の手順に従います。

| 手順                                                                                                                | 例:読み取りレジスタ 0x0170 および 0x0171 |
|-------------------------------------------------------------------------------------------------------------------|------------------------------|
| 1.レジスタ REGCR に値 0x001F (機能フィールド= 00 (アドレス)、DEVAD = '31') を書き込む。                                                   | 値 0x001F にレジスタ 0x0D を書き込む    |
| 2.レジスタ ADDAR に目的のレジスタ アドレスを書き込む。                                                                                  | 値 0x0170 にレジスタ 0x0E を書き込む    |
| 3.値 0x801F (データ、読み取りおよび書き込み時の増分後機能フィールド = 10、DEVAD = 31) をレジスタ REGCR に書き込む。                                       | 値 0x801F にレジスタ 0x0D を書き込む    |
| 4.レジスタ ADDAR に目的の拡張レジスタ セットレジスタの内容を読み出す。                                                                          | レジスタ 0x0E を読み出す              |
| 5.それ以降、レジスタ ADDAR (ステップ 4) を読み出すと、アドレスレジスタの値によって選択されたすぐ上のアドレスのデータレジスタが引き続き読み出されます (アドレスレジスタは各アクセスの後にインクリメントされます)。 | レジスタ 0x0E を読み出す              |

ステップ 4 ではレジスタ 0x0170 を読み出し、ポスト インクリメントが有効になっているため、ステップ 5 ではレジスタ 0x0171 を読み出します。

## 6.5 プログラミング

### 6.5.1 ストラップ構成

DP83TG720S-Q1 は、デバイスを特定の動作モードに設定するために、機能ピンをストラップ オプションとして使用しています。これらのピンの値は、電源投入およびハードウェア リセット時に (RESET\_N ピンまたはレジスタ アクセスのどちらかによって) サンプリングされます。ストラップ ピンは 2 レベルと 3 レベルをサポートしており、以下で詳細に説明します。デバイスの構成は、ストラップ設定またはシリアル マネージメント インターフェイスを使用します。

## 注

- リセットがデアサートされた後、ストラップ ピンは機能ピンになるため、VCC にも GND にも直接接続してはいけません。
- 各種ストラップ モードに入るには、プルアップ ストラップ抵抗で十分です。
- プルダウン ストラップ抵抗は、LED ピンのストラップとして使用できます。「LED の構成」セクションを参照してください。

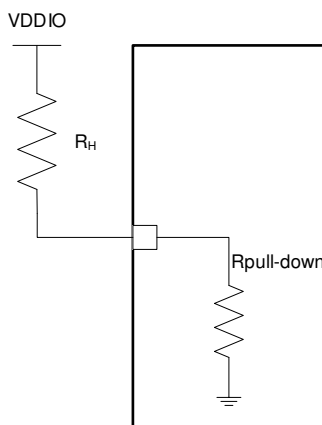


図 6-18. ストラップ回路

表 6-16. 3 レベル ストラップの推奨抵抗比

| モード | 推奨 RH (kΩ) <sup>1</sup><br>VDDIO = 3.3V 用 | 推奨 RH (kΩ) <sup>2</sup><br>VDDIO = 2.5V 用 | 推奨 RH (kΩ) <sup>1</sup><br>VDDIO = 1.8V 用 |
|-----|-------------------------------------------|-------------------------------------------|-------------------------------------------|
| 1   | オープン                                      | オープン                                      | オープン                                      |
| 2   | 13                                        | 12                                        | 4                                         |
| 3   | 4.5                                       | 2                                         | 0.8                                       |

- 抵抗精度 10%
- 抵抗精度 1%

表 6-17. 2 レベル ストラップの推奨抵抗

| モード | 推奨 RH (kΩ) <sup>1,2</sup> |
|-----|---------------------------|
| 1   | オープン                      |
| 2   | 2.49                      |

- 抵抗精度 10%
- 1.8V VDDIO のユーザー アプリケーションでマージンを拡大するには、2.1k ±10% のプルアップ抵抗を使用する方法と、2.49k の抵抗精度を 1% に制限する方法があります。

次の表で、DP83TG720S-Q1 の構成ブートストラップについて説明します。

表 6-18. 2 レベル ブートストラップ

| ピン名   | ピン番号 | ストラップ モード | ストラップ機能    | 説明                                 |
|-------|------|-----------|------------|------------------------------------|
| RX_D0 | 26   | 1 (デフォルト) | MAC[0] = 0 | MAC インターフェイスの選択 [0]。詳細は表 6-19 を参照。 |
|       |      | 2         | MAC[0] = 1 |                                    |
| RX_D1 | 25   | 1 (デフォルト) | MAC[1] = 0 | MAC インターフェイスの選択 [1]。詳細は表 6-19 を参照。 |
|       |      | 2         | MAC[1] = 1 |                                    |

**表 6-18. 2 レベル ブートストラップ (続き)**

| ピン名   | ピン番号 | ストラップ モード | ストラップ機能                      | 説明                                           |
|-------|------|-----------|------------------------------|----------------------------------------------|
| RX_D2 | 24   | 1 (デフォルト) | MAC[2] = 0                   | MAC インターフェイスの選択 [2]。詳細は表 6-19 を参照。           |
|       |      | 2         | MAC[2] = 1                   |                                              |
| LED_0 | 35   | 1 (デフォルト) | MS = 0                       | MDI マスタ スレープ選択。<br>MS = 0 スレープ<br>MS = 1 マスタ |
|       |      | 2         | MS = 1                       |                                              |
| LED_1 | 6    | 1 (デフォルト) | $\overline{\text{AUTO}} = 0$ | 自律の無効化<br>AUTO = 0 自律<br>AUTO = 1 管理         |
|       |      | 2         | AUTO = 1                     |                                              |

**表 6-19. MAC インターフェイス選択ブートストラップ**

| MAC[2] | MAC[1] | MAC[0] | 説明                        |
|--------|--------|--------|---------------------------|
| 0      | 0      | 0      | SGMII (4 線式)              |
| 0      | 0      | 1      | 予約済み                      |
| 0      | 1      | 0      | 予約済み                      |
| 0      | 1      | 1      | 予約済み                      |
| 1      | 0      | 0      | RGMII (整列モード)             |
| 1      | 0      | 1      | RGMII (TX シフト モード)        |
| 1      | 1      | 0      | RGMII (TX および RX シフト モード) |
| 1      | 1      | 1      | RGMII (RX シフト モード)        |

**表 6-20. 3 レベルのブートストラップ : PHY アドレス**

| PHY_AD[3:0] | RX_CTRL<br>ストラップ モード | STRP_1<br>ストラップ モード | 説明                    |
|-------------|----------------------|---------------------|-----------------------|
| 0000        | 1                    | 1                   | PHY アドレス: 0x0000 (0)  |
| 0001        | -                    | -                   | 予約済み                  |
| 0010        | -                    | -                   | 予約済み                  |
| 0011        | -                    | -                   | 予約済み                  |
| 0100        | 2                    | 1                   | PHY アドレス: 0x0004 (4)  |
| 0101        | 3                    | 1                   | PHY アドレス: 0x0005 (5)  |
| 0110        | -                    | -                   | 予約済み                  |
| 0111        | -                    | -                   | 予約済み                  |
| 1000        | 1                    | 2                   | PHY アドレス: 0x0008 (8)  |
| 1001        | -                    | -                   | 予約済み                  |
| 1010        | 1                    | 3                   | PHY アドレス: 0x000A (10) |
| 1011        | -                    | -                   | 予約済み                  |
| 1100        | 2                    | 2                   | PHY アドレス: 0x000C (12) |
| 1101        | 3                    | 2                   | PHY アドレス: 0x000D (13) |
| 1110        | 2                    | 3                   | PHY アドレス: 0x000E (14) |
| 1111        | 3                    | 3                   | PHY アドレス: 0x000F (15) |

## 6.5.2 LED の構成

DP83TG720S-Q1 は、最大 3 つの構成可能な発光ダイオード (LED) ピン (LED\_0、LED\_1、LED\_2 (CLKOUT)) をサポートしています。各種動作モードのために複数の機能を LED に多重化できます。LED の動作は、レジスタ 0x0450 および 0x0451 を使って選択されます。

**注**

CLKOUT には、デフォルトで 25MHz クロックが出力されます。このピンは、必要に応じて、レジスタ 0x0453 を使って LED2 に構成できます。

LED 出力ピンはストラップピンとしても使用されるため、ストラップに必要な外付け部品と、競合を避けるための LED の使い方を考慮する必要があります。特に、LED 出力を使って LED を直接駆動する場合、各出力ドライバのアクティブ状態は、電源投入時またはハードウェアリセット時に、対応する入力によってサンプリングされたロジックレベルで決まります。

図 6-19 に、LED を DP83TG720S-Q1 に直接接続する 2 つの適切な方法を示します。

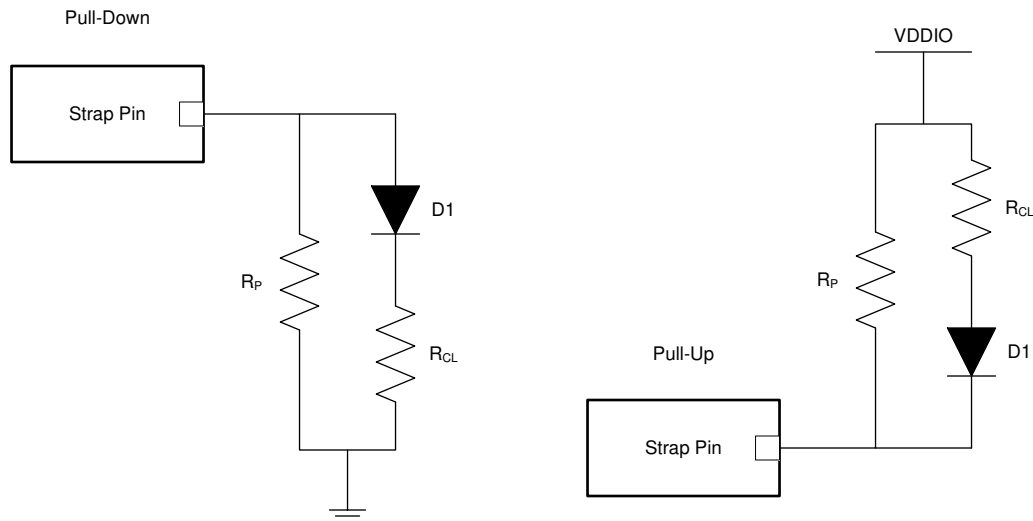


図 6-19. ストラップ接続の例

### 6.5.3 PHY アドレスの設定

DP83TG720S-Q1 は、9 つの可能な PHY アドレスのいずれかに応答するように、ブートストラップ・ピンを使って設定できます。その PHY アドレスは、電源投入時またはハードウェア・リセット時に本デバイスにラッチされます。システム内のシリアル・マネージメント・バス上の各 DP83TG720S-Q1 またはポート共有している PHY は、一意の PHY アドレスを持っている必要があります。DP83TG720S-Q1 は、表 6-20 に示す PHY アドレスをサポートしています。

デフォルトでは、DP83TG720S-Q1 には PHY アドレス 0 ([0000]) がラッチされます。このアドレスは、ブートストラップ・ピン (表 6-18 を参照) にプルアップ抵抗を追加することで変更できます。

## 7 レジスタ マップ

### 7.1 レジスタ アクセスの概要

フィールド内のレジスタにアクセスする方法は 2 つあります。ダイレクト レジスタ アクセス方式は、MMD1F レジスタ空間の最初の 31 のレジスタ (0x0h~0x1Fh) に対してのみ使えます。0x1Fh を超えるレジスタは、[セクション 6.4.9.2](#) で説明されている間接方式 (拡張レジスタ空間) を使用してアクセスする必要があります。

**表 7-1. MMD レジスタ空間の区分**

| MMD レジスタ空間 | レジスタ アドレス範囲   |
|------------|---------------|
| MMD1F      | 0x0000~0x0FFF |
| MMD1       | 0x1000~0x1FFF |
| MMD3       | 0x3000~0x3FFF |
| MMD7       | 0x7000~0x7FFF |

**表 7-2. レジスタ アクセスの概要**

| レジスタ フィールド                    | レジスタ アクセス方式                                                                                                                                                                                                       |
|-------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 0x0h~0x1Fh                    | 直接アクセス                                                                                                                                                                                                            |
|                               | 間接アクセス、MMD1F = '11111'<br>例:MMD1F フィールドのレジスタ 0x17h をポスト インクリメントなしで読み出すには、<br>ステップ 1) レジスタ 0xDh に 0x1Fh を書き込む<br>ステップ 2) レジスタ 0xEh に 0x17h を書き込む<br>ステップ 3) レジスタ 0xDh に 0x401Fh を書き込む<br>ステップ 4) レジスタ 0xEh を読み出す   |
| MMD1F フィールド<br>0x20h~0xFFFFh  | 間接アクセス、MMD1F = '11111'<br>例:MMD1F フィールドのレジスタ 0x462h をポスト インクリメントなしで読み出すには、<br>ステップ 1) レジスタ 0xDh に 0x1Fh を書き込む<br>ステップ 2) レジスタ 0xEh に 0x462h を書き込む<br>ステップ 3) レジスタ 0xDh に 0x401Fh を書き込む<br>ステップ 4) レジスタ 0xEh を読み出す |
| MMD1 フィールド<br>0x0000h~0xFFFFh | 間接アクセス、MMD1 = '00001'<br>例:MMD1 フィールドのレジスタ 0x7h をポスト インクリメントなしで読み出すには、<br>ステップ 1) レジスタ 0xDh に 0x1h を書き込む<br>ステップ 2) レジスタ 0xEh に 0x7h を書き込む<br>ステップ 3) レジスタ 0xDh に 0x4001h を書き込む<br>ステップ 4) レジスタ 0xEh を読み出す        |

## 7.2 DP83TG720 のレジスタ

DP83TG720 レジスタのメモリマップされたレジスタを、表 7-3 に示します。表 7-3 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 7-3. DP83TG720 のレジスタ**

| オフセット | 略称            | レジスタ名 | セクション        |
|-------|---------------|-------|--------------|
| 0h    | BMCR          |       | セクション 7.2.1  |
| 1h    | BMSR          |       | セクション 7.2.2  |
| 2h    | PHYID1        |       | セクション 7.2.3  |
| 3h    | PHYID2        |       | セクション 7.2.4  |
| Dh    | REGCR         |       | セクション 7.2.5  |
| Eh    | ADDAR         |       | セクション 7.2.6  |
| 10h   | MII_REG_10    |       | セクション 7.2.7  |
| 11h   | MII_REG_11    |       | セクション 7.2.8  |
| 12h   | MII_REG_12    |       | セクション 7.2.9  |
| 13h   | MII_REG_13    |       | セクション 7.2.10 |
| 16h   | MII_REG_16    |       | セクション 7.2.11 |
| 18h   | MII_REG_18    |       | セクション 7.2.12 |
| 19h   | MII_REG_19    |       | セクション 7.2.13 |
| 1Eh   | MII_REG_1E    |       | セクション 7.2.14 |
| 1Fh   | MII_REG_1F    |       | セクション 7.2.15 |
| 180h  | LSR           |       | セクション 7.2.16 |
| 18Bh  | LPS_CFG2      |       | セクション 7.2.17 |
| 18Ch  | LPS_CFG3      |       | セクション 7.2.18 |
| 18Eh  | LPS_STATUS    |       | セクション 7.2.19 |
| 30Fh  | TDR_TC12      |       | セクション 7.2.20 |
| 405h  | A2D_REG_05    |       | セクション 7.2.21 |
| 41Eh  | A2D_REG_30    |       | セクション 7.2.22 |
| 428h  | A2D_REG_40    |       | セクション 7.2.23 |
| 429h  | A2D_REG_41    |       | セクション 7.2.24 |
| 42Ch  | A2D_REG_44    |       | セクション 7.2.25 |
| 42Fh  | A2D_REG_47    |       | セクション 7.2.26 |
| 430h  | A2D_REG_48    |       | セクション 7.2.27 |
| 442h  | A2D_REG_66    |       | セクション 7.2.28 |
| 450h  | LEDS_CFG_1    |       | セクション 7.2.29 |
| 451h  | LEDS_CFG_2    |       | セクション 7.2.30 |
| 452h  | IO_MUX_CFG_1  |       | セクション 7.2.31 |
| 453h  | IO_MUX_CFG_2  |       | セクション 7.2.32 |
| 456h  | IO_CONTROL_3  |       | セクション 7.2.33 |
| 45Dh  | SOR_VECTOR_1  |       | セクション 7.2.34 |
| 45Eh  | SOR_VECTOR_2  |       | セクション 7.2.35 |
| 468h  | MONITOR_CTRL2 |       | セクション 7.2.36 |
| 46Ah  | MONITOR_CTRL4 |       | セクション 7.2.37 |
| 47Bh  | MONITOR_STAT1 |       | セクション 7.2.38 |
| 510h  | RS_DECODER    |       | セクション 7.2.39 |



**表 7-3. DP83TG720 のレジスタ (続き)**

| オフセット | 略称                      | レジスタ名 | セクション        |
|-------|-------------------------|-------|--------------|
| 52Bh  | TRAINING_RX_STATUS_7    |       | セクション 7.2.40 |
| 543h  | LINK_QUAL_1             |       | セクション 7.2.41 |
| 544h  | LINK_QUAL_2             |       | セクション 7.2.42 |
| 545h  | LINK_DOWN_LATCH_STAT    |       | セクション 7.2.43 |
| 547h  | LINK_QUAL_3             |       | セクション 7.2.44 |
| 548h  | LINK_QUAL_4             |       | セクション 7.2.45 |
| 552h  | RS_DECODER_FRAME_STAT_2 |       | セクション 7.2.46 |
| 553h  | RS_DECODER_FRAME_STAT_3 |       | セクション 7.2.47 |
| 600h  | RGMI_CTRL               |       | セクション 7.2.48 |
| 601h  | RGMI_FIFO_STATUS        |       | セクション 7.2.49 |
| 602h  | RGMI_DELAY_CTRL         |       | セクション 7.2.50 |
| 608h  | SGMI_CTRL_1             |       | セクション 7.2.51 |
| 60Ah  | SGMI_STATUS             |       | セクション 7.2.52 |
| 60Ch  | SGMI_CTRL_2             |       | セクション 7.2.53 |
| 60Dh  | SGMI_FIFO_STATUS        |       | セクション 7.2.54 |
| 618h  | PRBS_STATUS_1           |       | セクション 7.2.55 |
| 619h  | PRBS_CTRL_1             |       | セクション 7.2.56 |
| 61Ah  | PRBS_CTRL_2             |       | セクション 7.2.57 |
| 61Bh  | PRBS_CTRL_3             |       | セクション 7.2.58 |
| 61Ch  | PRBS_STATUS_2           |       | セクション 7.2.59 |
| 61Dh  | PRBS_STATUS_3           |       | セクション 7.2.60 |
| 61Eh  | PRBS_STATUS_4           |       | セクション 7.2.61 |
| 620h  | PRBS_STATUS_6           |       | セクション 7.2.62 |
| 622h  | PRBS_STATUS_8           |       | セクション 7.2.63 |
| 623h  | PRBS_STATUS_9           |       | セクション 7.2.64 |
| 624h  | PRBS_CTRL_4             |       | セクション 7.2.65 |
| 625h  | PRBS_CTRL_5             |       | セクション 7.2.66 |
| 626h  | PRBS_CTRL_6             |       | セクション 7.2.67 |
| 627h  | PRBS_CTRL_7             |       | セクション 7.2.68 |
| 628h  | PRBS_CTRL_8             |       | セクション 7.2.69 |
| 629h  | PRBS_CTRL_9             |       | セクション 7.2.70 |
| 62Ah  | PRBS_CTRL_10            |       | セクション 7.2.71 |
| 638h  | CRC_STATUS              |       | セクション 7.2.72 |
| 639h  | PKT_STAT_1              |       | セクション 7.2.73 |
| 63Ah  | PKT_STAT_2              |       | セクション 7.2.74 |
| 63Bh  | PKT_STAT_3              |       | セクション 7.2.75 |
| 63Ch  | PKT_STAT_4              |       | セクション 7.2.76 |
| 63Dh  | PKT_STAT_5              |       | セクション 7.2.77 |
| 63Eh  | PKT_STAT_6              |       | セクション 7.2.78 |
| 871h  | SQI_REG_1               |       | セクション 7.2.79 |
| 874h  | DSP_REG_74              |       | セクション 7.2.80 |
| 875h  | DSP_REG_75              |       | セクション 7.2.81 |

表 7-3. DP83TG720 のレジスタ (続き)

| オフセット | 略称                        | レジスタ名 | セクション         |
|-------|---------------------------|-------|---------------|
| 1000h | PMA_PMD_CONTROL_1         |       | セクション 7.2.82  |
| 1007h | PMA_PMD_CONTROL_2         |       | セクション 7.2.83  |
| 1009h | PMA_PMD_TRANSMIT_DISABLE  |       | セクション 7.2.84  |
| 100Bh | PMA_PMD_EXTENDED_ABILITY2 |       | セクション 7.2.85  |
| 1012h | PMA_PMD_EXTENDED_ABILITY  |       | セクション 7.2.86  |
| 1834h | PMA_PMD_CONTROL           |       | セクション 7.2.87  |
| 1900h | PMA_CONTROL               |       | セクション 7.2.88  |
| 1901h | PMA_STATUS                |       | セクション 7.2.89  |
| 1902h | トレーニング                    |       | セクション 7.2.90  |
| 1903h | LP_TRAINING               |       | セクション 7.2.91  |
| 1904h | TEST_MODE_CONTROL         |       | セクション 7.2.92  |
| 3900h | PCS_CONTROL               |       | セクション 7.2.93  |
| 3901h | PCS_STATUS                |       | セクション 7.2.94  |
| 3902h | PCS_STATUS_2              |       | セクション 7.2.95  |
| 3904h | OAM_TRANSMIT              |       | セクション 7.2.96  |
| 3905h | OAM_TX_MESSAGE_1          |       | セクション 7.2.97  |
| 3906h | OAM_TX_MESSAGE_2          |       | セクション 7.2.98  |
| 3907h | OAM_TX_MESSAGE_3          |       | セクション 7.2.99  |
| 3908h | OAM_TX_MESSAGE_4          |       | セクション 7.2.100 |
| 3909h | OAM_RECEIVE               |       | セクション 7.2.101 |
| 390Ah | OAM_RX_MESSAGE_1          |       | セクション 7.2.102 |
| 390Bh | OAM_RX_MESSAGE_2          |       | セクション 7.2.103 |
| 390Ch | OAM_RX_MESSAGE_3          |       | セクション 7.2.104 |
| 390Dh | OAM_RX_MESSAGE_4          |       | セクション 7.2.105 |
| 7200h | AN_CFG                    |       | セクション 7.2.106 |

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-4 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-4. DP83TG720 のアクセス タイプ コード

| アクセス タイプ | コード | 説明                |
|----------|-----|-------------------|
| 読み取りタイプ  |     |                   |
| R        | R   | 読み出し              |
| 書き込みタイプ  |     |                   |
| W        | W   | 書き込み              |
| W0C      | W0C | 書き込み<br>0 でクリア    |
| W0S      | W0S | 0 を書き込むことで<br>セット |
| WMC      | W   | 書き込み              |
| WMC、0    | W   | 書き込み              |
| WMC、1    | W   | 書き込み              |

**表 7-4. DP83TG720 のアクセス タイプ コード (続き)**

| アクセス タイプ      | コード | 説明               |
|---------------|-----|------------------|
| WSC           | W   | 書き込み             |
| WSC、0         | W   | 書き込み             |
| リセットまたはデフォルト値 |     |                  |
| -n            |     | リセット後の値またはデフォルト値 |

## 7.2.1 BMCR レジスタ (オフセット = 0h) [リセット = 0140h]

図 7-1 に、BMCR を示し、表 7-5 に、その説明を示します。

概略表に戻ります。

図 7-1. BMCR レジスタ

| 15        | 14            | 13   | 12   | 11         | 10     | 9    | 8    |
|-----------|---------------|------|------|------------|--------|------|------|
| mii_reset | ループバック        | 予約済み | 予約済み | power_down | 絶縁     | 予約済み | 予約済み |
| R/WMC-0h  | R/W-0h        | R-0h | R-0h | R/W-0h     | R/W-0h | R-0h | R-0h |
| 7         | 6             | 5    | 4    | 3          | 2      | 1    | 0    |
| 予約済み      | speed_sel_msb | 予約済み | 予約済み |            |        |      |      |
| R-0h      | R-1h          | R-0h | R-0h |            |        |      |      |

表 7-5. BMCR レジスタ フィールドの説明

| ビット | フィールド         | タイプ   | リセット | 説明                                                                |
|-----|---------------|-------|------|-------------------------------------------------------------------|
| 15  | mii_reset     | R/WMC | 0h   | 1b = デジタル入力のリセット、全 MII レジスタ (0x0~0xF) をデフォルト値にリセット<br>0b = リセットなし |
| 14  | ループバック        | R/W   | 0h   | 1b = MII ループバック<br>0b = MII ループバックなし                              |
| 13  | 予約済み          | R     | 0h   | 予約済み                                                              |
| 12  | 予約済み          | R     | 0h   | 予約済み                                                              |
| 11  | power_down    | R/W   | 0h   | 1b = レジスタまたはピンによるパワーダウン<br>0b = 正常モード                             |
| 10  | 絶縁            | R/W   | 0h   | 1b = MAC 絶縁モード (PHY から MAC への出力なし)<br>0b = 通常モード                  |
| 9   | 予約済み          | R     | 0h   | 予約済み                                                              |
| 8   | 予約済み          | R     | 0h   | 予約済み                                                              |
| 7   | 予約済み          | R     | 0h   | 予約済み                                                              |
| 6   | speed_sel_msb | R     | 1h   | 0b = 予約済み<br>1b = 1000Mb/s                                        |
| 5   | 予約済み          | R     | 0h   | 予約済み                                                              |
| 4-0 | 予約済み          | R     | 0h   | 予約済み                                                              |

## 7.2.2 BMSR レジスタ (オフセット = 1h) [リセット = 0141h]

図 7-2 に、BMSR を示し、表 7-6 に、その説明を示します。

概略表に戻ります。

**図 7-2. BMSR レジスタ**

| 15                     | 14                   | 13            | 12           | 11           | 10          | 9             | 8                   |
|------------------------|----------------------|---------------|--------------|--------------|-------------|---------------|---------------------|
| 予約済み                   | 予約済み                 | 予約済み          | 予約済み         | 予約済み         | 予約済み        | 予約済み          | extended_status     |
| R-0h                   | R-0h                 | R-0h          | R-0h         | R-0h         | R-0h        | R-0h          | R-1h                |
| 7                      | 6                    | 5             | 4            | 3            | 2           | 1             | 0                   |
| unidirectional_ability | preamble_suppression | aneg_complete | remote_fault | aneg_ability | link_status | jabber_detect | extended_capability |
| R-0h                   | R-1h                 | R-0h          | R/W0C-0h     | R-0h         | R/W0S-0h    | R/W0C-0h      | R-1h                |

**表 7-6. BMSR レジスタ フィールドの説明**

| ビット | フィールド                  | タイプ   | リセット | 説明                                                                        |
|-----|------------------------|-------|------|---------------------------------------------------------------------------|
| 15  | 予約済み                   | R     | 0h   | 予約済み                                                                      |
| 14  | 予約済み                   | R     | 0h   | 予約済み                                                                      |
| 13  | 予約済み                   | R     | 0h   | 予約済み                                                                      |
| 12  | 予約済み                   | R     | 0h   | 予約済み                                                                      |
| 11  | 予約済み                   | R     | 0h   | 予約済み                                                                      |
| 10  | 予約済み                   | R     | 0h   | 予約済み                                                                      |
| 9   | 予約済み                   | R     | 0h   | 予約済み                                                                      |
| 8   | extended_status        | R     | 1h   | 1b = レジスタ 15 の拡張ステータス情報<br>0b = レジスタ 15 に拡張ステータス情報なし                      |
| 7   | unidirectional_ability | R     | 0h   | 予約済み                                                                      |
| 6   | preamble_suppression   | R     | 1h   | 1b = PHY がプリアンブルが抑制された管理フレームを受け入れる<br>0b = PHY はプリアンブルが抑制された管理フレームを受け入れない |
| 5   | aneg_complete          | R     | 0h   | 予約済み                                                                      |
| 4   | remote_fault           | R/W0C | 0h   | 予約済み                                                                      |
| 3   | aneg_ability           | R     | 0h   | 予約済み                                                                      |
| 2   | link_status            | R/W0S | 0h   | 1b = リンクはアップ<br>0b = リンクはダウン                                              |
| 1   | jabber_detect          | R/W0C | 0h   | 予約済み                                                                      |
| 0   | extended_capability    | R     | 1h   | 1b = 拡張レジスタ機能<br>0b = 基本レジスタ セット機能のみ                                      |

### 7.2.3 PHYID1 レジスタ (オフセット = 2h) [リセット = 2000h]

図 7-3 に、PHYID1 を示し、表 7-7 に、その説明を示します。

概略表に戻ります。

図 7-3. PHYID1 レジスタ

|           |    |    |    |    |    |   |   |
|-----------|----|----|----|----|----|---|---|
| 15        | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| oui_21_16 |    |    |    |    |    |   |   |
| R-2000h   |    |    |    |    |    |   |   |
| 7         | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| oui_21_16 |    |    |    |    |    |   |   |
| R-2000h   |    |    |    |    |    |   |   |

表 7-7. PHYID1 レジスタのフィールドの説明

| ビット  | フィールド     | タイプ | リセット  | 説明        |
|------|-----------|-----|-------|-----------|
| 15-0 | oui_21_16 | R   | 2000h | 部品の一意の識別子 |

## 7.2.4 PHYID2 レジスタ (オフセット = 3h) [リセット = A284h]

図 7-4 に、PHYID2 を示し、表 7-8 に、その説明を示します。

概略表に戻ります。

**図 7-4. PHYID2 レジスタ**

|              |    |    |    |            |    |              |   |
|--------------|----|----|----|------------|----|--------------|---|
| 15           | 14 | 13 | 12 | 11         | 10 | 9            | 8 |
| oui_5_0      |    |    |    |            |    | model_number |   |
| R-28h        |    |    |    |            |    | R-28h        |   |
| 7            | 6  | 5  | 4  | 3          | 2  | 1            | 0 |
| model_number |    |    |    | rev_number |    |              |   |
| R-28h        |    |    |    | R-4h       |    |              |   |

**表 7-8. PHYID2 レジスタのフィールドの説明**

| ビット   | フィールド        | タイプ | リセット | 説明        |
|-------|--------------|-----|------|-----------|
| 15-10 | oui_5_0      | R   | 28h  | 部品の一意の識別子 |
| 9-4   | model_number | R   | 28h  | 部品の一意の識別子 |
| 3-0   | rev_number   | R   | 4h   | 部品の一意の識別子 |

## 7.2.5 REGCR レジスタ (オフセット = Dh) [リセット = 0000h]

図 7-5 に、REGCR を示し、表 7-9 に、その説明を示します。

概略表に戻ります。

図 7-5. REGCR レジスタ

|             |    |      |    |        |    |   |   |
|-------------|----|------|----|--------|----|---|---|
| 15          | 14 | 13   | 12 | 11     | 10 | 9 | 8 |
| 拡張レジスタ コマンド |    | 予約済み |    |        |    |   |   |
| R/W-0h      |    |      |    | R-0h   |    |   |   |
| 7           | 6  | 5    | 4  | 3      | 2  | 1 | 0 |
| 予約済み        |    |      |    | DEVAD  |    |   |   |
| R-0h        |    |      |    | R/W-0h |    |   |   |

表 7-9. REGCR レジスタ フィールドの説明

| ビット   | フィールド       | タイプ | リセット | 説明                                                                                                       |
|-------|-------------|-----|------|----------------------------------------------------------------------------------------------------------|
| 15-14 | 拡張レジスタ コマンド | R/W | 0h   | 00b = アドレス<br>01b = データ、ポストインクリメントなし<br>10b = データ、読み出しおよび書き込み時にポストインクリメント<br>11b = データ、書き込み時のみポストインクリメント |
| 13-5  | 予約済み        | R   | 0h   | 予約済み                                                                                                     |
| 4-0   | DEVAD       | R/W | 0h   | 間接レジスタ アクセス用の MMD フィールド                                                                                  |



## 7.2.6 ADDAR レジスタ (オフセット = Eh) [リセット = 0000h]

図 7-6 に、ADDAR を示し、表 7-10 に、その説明を示します。

概略表に戻ります。

**図 7-6. ADDAR レジスタ**

|            |    |    |    |    |    |   |   |
|------------|----|----|----|----|----|---|---|
| 15         | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| アドレス / データ |    |    |    |    |    |   |   |
| R/W-0h     |    |    |    |    |    |   |   |
| 7          | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| アドレス / データ |    |    |    |    |    |   |   |
| R/W-0h     |    |    |    |    |    |   |   |

**表 7-10. ADDAR レジスタ フィールドの説明**

| ビット  | フィールド      | タイプ | リセット | 説明                          |
|------|------------|-----|------|-----------------------------|
| 15-0 | アドレス / データ | R/W | 0h   | 間接レジスタ アクセス用のアドレス データ フィールド |

## 7.2.7 MII\_REG\_10 レジスタ (オフセット = 10h) [リセット = 0004h]

図 7-7 に、MII\_REG\_10 を示し、表 7-11 に、その説明を示します。

概略表に戻ります。

図 7-7. MII\_REG\_10 レジスタ

| 15          | 14   | 13 | 12 | 11           | 10              | 9              | 8               |
|-------------|------|----|----|--------------|-----------------|----------------|-----------------|
| 予約済み        |      |    |    |              | 予約済み            | descr_lock_bit | 予約済み            |
| R-0h        |      |    |    |              | R-0h            | R/W0S-0h       | R-0h            |
| 7           | 6    | 5  | 4  | 3            | 2               | 1              | 0               |
| mii_int_bit | 予約済み |    |    | mii_loopback | duplex_mode_env | 予約済み           | link_status_bit |
| R-0h        | R-0h |    |    | R-0h         | R-1h            | R-0h           | R-0h            |

表 7-11. MII\_REG\_10 レジスタのフィールドの説明

| ビット   | フィールド           | タイプ   | リセット | 説明                                                        |
|-------|-----------------|-------|------|-----------------------------------------------------------|
| 15-11 | 予約済み            | R     | 0h   | 予約済み                                                      |
| 10    | 予約済み            | R     | 0h   | 予約済み                                                      |
| 9     | descr_lock_bit  | R/W0S | 0h   | 1b = デスクランブラはロック<br>0b = デスクランブラは少なくとも 1 回ロック解除           |
| 8     | 予約済み            | R     | 0h   | 予約済み                                                      |
| 7     | mii_int_bit     | R     | 0h   | 1b = 割り込みピンがセットされている<br>0b = 割り込みピンが設定されていない<br>読み出し時にクリア |
| 6-4   | 予約済み            | R     | 0h   | 予約済み                                                      |
| 3     | mii_loopback    | R     | 0h   | 1b = MII ループバック<br>0b = MII ループバックなし                      |
| 2     | duplex_mode_env | R     | 1h   | 1b = 全二重<br>0b = 半二重                                      |
| 1     | 予約済み            | R     | 0h   | 予約済み                                                      |
| 0     | link_status_bit | R     | 0h   | 1b = リンクはアップ<br>0b = リンクはダウン                              |

## 7.2.8 MII\_REG\_11 レジスタ (オフセット = 11h) [リセット = 000Bh]

図 7-8 に、MII\_REG\_11 を示し、表 7-12 に、その説明を示します。

概略表に戻ります。

**図 7-8. MII\_REG\_11 レジスタ**

| 15   | 14   | 13   | 12           | 11              | 10     | 9    | 8    |
|------|------|------|--------------|-----------------|--------|------|------|
| 予約済み | 予約済み | 予約済み | 予約済み         | 予約済み            | 予約済み   | 予約済み | 予約済み |
| R-0h | R-0h | R-0h | R-0h         | R-0h            | R-0h   | R-0h | R-0h |
| 7    | 6    | 5    | 4            | 3               | 2      | 1    | 0    |
| 予約済み | 予約済み | 予約済み | int_polarity | force_interrupt | int_en | 予約済み |      |
| R-0h | R-0h | R-0h | R/W-1h       | R/W-0h          | R/W-1h | R-0h |      |

**表 7-12. MII\_REG\_11 レジスタのフィールドの説明**

| ビット   | フィールド           | タイプ | リセット | 説明                                    |
|-------|-----------------|-----|------|---------------------------------------|
| 15    | 予約済み            | R   | 0h   | 予約済み                                  |
| 14    | 予約済み            | R   | 0h   | 予約済み                                  |
| 13-12 | 予約済み            | R   | 0h   | 予約済み                                  |
| 11    | 予約済み            | R   | 0h   | 予約済み                                  |
| 10    | 予約済み            | R   | 0h   | 予約済み                                  |
| 9     | 予約済み            | R   | 0h   | 予約済み                                  |
| 8     | 予約済み            | R   | 0h   | 予約済み                                  |
| 7     | 予約済み            | R   | 0h   | 予約済み                                  |
| 6     | 予約済み            | R   | 0h   | 予約済み                                  |
| 5-4   | 予約済み            | R   | 0h   | 予約済み                                  |
| 3     | int_polarity    | R/W | 1h   | 1b = アクティブ Low<br>0b = アクティブ High     |
| 2     | force_interrupt | R/W | 0h   | 1b = 割り込みピンを強制する<br>0b = 割り込みピンを強制しない |
| 1     | int_en          | R/W | 1h   | 1b = 割り込み有効<br>0b = 割り込み無効            |
| 0     | 予約済み            | R   | 0h   | 予約済み                                  |

## 7.2.9 MII\_REG\_12 レジスタ (オフセット = 12h) [リセット = 0000h]

図 7-9 に、MII\_REG\_12 を示し、表 7-13 に、その説明を示します。

概略表に戻ります。

図 7-9. MII\_REG\_12 レジスタ

| 15   | 14                | 13          | 12   | 11         | 10                   | 9    | 8    |
|------|-------------------|-------------|------|------------|----------------------|------|------|
| 予約済み | energy_det_int    | link_int    | 予約済み | esd_int    | ms_train_done_int    | 予約済み | 予約済み |
| R-0h | R-0h              | R-0h        | R-0h | R-0h       | R-0h                 | R-0h | R-0h |
| 7    | 6                 | 5           | 4    | 3          | 2                    | 1    | 0    |
| 予約済み | energy_det_int_en | link_int_en | 予約済み | esd_int_en | ms_train_done_int_en | 予約済み | 予約済み |
| R-0h | R/W-0h            | R/W-0h      | R-0h | R/W-0h     | R/W-0h               | R-0h | R-0h |

表 7-13. MII\_REG\_12 レジスタのフィールドの説明

| ビット | フィールド                | タイプ | リセット | 説明                    |
|-----|----------------------|-----|------|-----------------------|
| 15  | 予約済み                 | R   | 0h   | 予約済み                  |
| 14  | energy_det_int       | R   | 0h   | エネルギー検出変化割り込みのステータス   |
| 13  | link_int             | R   | 0h   | リンク ステータス変化割り込みのステータス |
| 12  | 予約済み                 | R   | 0h   | 予約済み                  |
| 11  | esd_int              | R   | 0h   | ESD フォルト検出割り込みのステータス  |
| 10  | ms_train_done_int    | R   | 0h   | トレーニング完了割り込みのステータス    |
| 9   | 予約済み                 | R   | 0h   | 予約済み                  |
| 8   | 予約済み                 | R   | 0h   | 予約済み                  |
| 7   | 予約済み                 | R   | 0h   | 予約済み                  |
| 6   | energy_det_int_en    | R/W | 0h   | エネルギー検出変化割り込みの有効化     |
| 5   | link_int_en          | R/W | 0h   | リンク ステータス変化割り込みの有効化   |
| 4   | 予約済み                 | R   | 0h   | 予約済み                  |
| 3   | esd_int_en           | R/W | 0h   | ESD フォルト検出割り込みの有効化    |
| 2   | ms_train_done_int_en | R/W | 0h   | トレーニング完了割り込みの有効化      |
| 1   | 予約済み                 | R   | 0h   | 予約済み                  |
| 0   | 予約済み                 | R   | 0h   | 予約済み                  |

## 7.2.10 MII\_REG\_13 レジスタ (オフセット = 13h) [リセット = 0000h]

図 7-10 に、MII\_REG\_13 を示し、表 7-14 に、その説明を示します。

概略表に戻ります。

**図 7-10. MII\_REG\_13 レジスタ**

| 15                | 14               | 13   | 12   | 11               | 10   | 9                 | 8    |
|-------------------|------------------|------|------|------------------|------|-------------------|------|
| under_volt_int    | over_volt_int    | 予約済み | 予約済み | over_temp_int    | 予約済み | pol_change_int    | 予約済み |
| R-0h              | R-0h             | R-0h | R-0h | R-0h             | R-0h | R-0h              | R-0h |
| 7                 | 6                | 5    | 4    | 3                | 2    | 1                 | 0    |
| under_volt_int_en | over_volt_int_en | 予約済み | 予約済み | over_temp_int_en | 予約済み | pol_change_int_en | 予約済み |
| R/W-0h            | R/W-0h           | R-0h | R-0h | R/W-0h           | R-0h | R/W-0h            | R-0h |

**表 7-14. MII\_REG\_13 レジスタのフィールドの説明**

| ビット | フィールド             | タイプ | リセット | 説明               |
|-----|-------------------|-----|------|------------------|
| 15  | under_volt_int    | R   | 0h   | 低電圧割り込みのステータス    |
| 14  | over_volt_int     | R   | 0h   | 過電圧割り込みのステータス    |
| 13  | 予約済み              | R   | 0h   | 予約済み             |
| 12  | 予約済み              | R   | 0h   | 予約済み             |
| 11  | over_temp_int     | R   | 0h   | 過熱割り込みのステータス     |
| 10  | 予約済み              | R   | 0h   | 予約済み             |
| 9   | pol_change_int    | R   | 0h   | データ極性変化割り込みステータス |
| 8   | 予約済み              | R   | 0h   | 予約済み             |
| 7   | under_volt_int_en | R/W | 0h   | 低電圧割り込みの有効化      |
| 6   | over_volt_int_en  | R/W | 0h   | 過電圧割り込みの有効化      |
| 5   | 予約済み              | R   | 0h   | 予約済み             |
| 4   | 予約済み              | R   | 0h   | 予約済み             |
| 3   | over_temp_int_en  | R/W | 0h   | 過熱割り込みの有効化       |
| 2   | 予約済み              | R   | 0h   | 予約済み             |
| 1   | pol_change_int_en | R/W | 0h   | データ極性変化割り込み有効    |
| 0   | 予約済み              | R   | 0h   | 予約済み             |

## 7.2.11 MII\_REG\_16 レジスタ (オフセット = 16h) [リセット = 0000h]

図 7-11 に、MII\_REG\_16 を示し、表 7-15 に、その説明を示します。

概略表に戻ります。

図 7-11. MII\_REG\_16 レジスタ

| 15   | 14            | 13 | 12 | 11 | 10   | 9    | 8             |
|------|---------------|----|----|----|------|------|---------------|
| 予約済み |               |    |    |    | 予約済み | 予約済み | core_pwr_mode |
| R-0h |               |    |    |    | R-0h | R-0h | R-0h          |
| 7    | 6             | 5  | 4  | 3  | 2    | 1    | 0             |
| 予約済み | loopback_mode |    |    |    |      |      |               |
| R-0h | R/W-0h        |    |    |    |      |      |               |

表 7-15. MII\_REG\_16 レジスタのフィールドの説明

| ビット   | フィールド         | タイプ | リセット | 説明                                                                                                  |
|-------|---------------|-----|------|-----------------------------------------------------------------------------------------------------|
| 15-11 | 予約済み          | R   | 0h   | 予約済み                                                                                                |
| 10    | 予約済み          | R   | 0h   | 予約済み                                                                                                |
| 9     | 予約済み          | R   | 0h   | 予約済み                                                                                                |
| 8     | core_pwr_mode | R   | 0h   | 1b = コアは通常パワーモード<br>0b = コアはパワーダウンまたはスリープ モード                                                       |
| 7     | 予約済み          | R   | 0h   | 予約済み                                                                                                |
| 6-0   | loopback_mode | R/W | 0h   | 000001b = PCS ループ<br>000010b = RS ループ<br>000100b = デジタル ループ<br>001000B = アナログ ループ<br>010000b = 逆ループ |

## 7.2.12 MII\_REG\_18 レジスタ (オフセット = 18h) [リセット = 0008h]

図 7-12 に、MII\_REG\_18 を示し、表 7-16 に、その説明を示します。

概略表に戻ります。

**図 7-12. MII\_REG\_18 レジスタ**

| 15                  | 14                  | 13   | 12   | 11              | 10   | 9    | 8    |
|---------------------|---------------------|------|------|-----------------|------|------|------|
| ack_received_int    | tx_valid_clr_int    | 予約済み | 予約済み | por_done_int    | 予約済み | 予約済み | 予約済み |
| R-0h                | R-0h                | R-0h | R-0h | R-0h            | R-0h | R-0h | R-0h |
| 7                   | 6                   | 5    | 4    | 3               | 2    | 1    | 0    |
| ack_received_int_en | tx_valid_clr_int_en | 予約済み | 予約済み | por_done_int_en | 予約済み | 予約済み | 予約済み |
| R/W-0h              | R/W-0h              | R-0h | R-0h | R/W-1h          | R-0h | R-0h | R-0h |

**表 7-16. MII\_REG\_18 レジスタのフィールドの説明**

| ビット | フィールド               | タイプ | リセット | 説明                              |
|-----|---------------------|-----|------|---------------------------------|
| 15  | ack_received_int    | R   | 0h   | ACK 受信割り込みのステータス (OAM)          |
| 14  | tx_valid_clr_int    | R   | 0h   | mr_tx_valid クリア割り込みのステータス (OAM) |
| 13  | 予約済み                | R   | 0h   | 予約済み                            |
| 12  | 予約済み                | R   | 0h   | 予約済み                            |
| 11  | por_done_int        | R   | 0h   | POR 完了割り込みのステータス                |
| 10  | 予約済み                | R   | 0h   | 予約済み                            |
| 9   | 予約済み                | R   | 0h   | 予約済み                            |
| 8   | 予約済み                | R   | 0h   | 予約済み                            |
| 7   | ack_received_int_en | R/W | 0h   | ACK 受信割り込みの有効化 (OAM)            |
| 6   | tx_valid_clr_int_en | R/W | 0h   | Mr_tx_valid クリア割り込みの有効化 (OAM)   |
| 5   | 予約済み                | R   | 0h   | 予約済み                            |
| 4   | 予約済み                | R   | 0h   | 予約済み                            |
| 3   | por_done_int_en     | R/W | 1h   | POR 完了割り込みの有効化                  |
| 2   | 予約済み                | R   | 0h   | 予約済み                            |
| 1   | 予約済み                | R   | 0h   | 予約済み                            |
| 0   | 予約済み                | R   | 0h   | 予約済み                            |

### 7.2.13 MII\_REG\_19 レジスタ (オフセット = 19h) [リセット = 00XXh]

図 7-13 に、MII\_REG\_19 を示し、表 7-17 に、その説明を示します。

概略表に戻ります。

図 7-13. MII\_REG\_19 レジスタ

|      |    |    |             |    |      |      |   |
|------|----|----|-------------|----|------|------|---|
| 15   | 14 | 13 | 12          | 11 | 10   | 9    | 8 |
| 予約済み |    |    |             |    | 予約済み | 予約済み |   |
| R-0h |    |    |             |    | R-0h | R-0h |   |
| 7    | 6  | 5  | 4           | 3  | 2    | 1    | 0 |
| 予約済み |    |    | SOR_PHYADDR |    |      |      |   |
| R-0h |    |    | R-Xh        |    |      |      |   |

表 7-17. MII\_REG\_19 レジスタのフィールドの説明

| ビット   | フィールド       | タイプ | リセット | 説明                     |
|-------|-------------|-----|------|------------------------|
| 15-11 | 予約済み        | R   | 0h   | 予約済み                   |
| 10    | 予約済み        | R   | 0h   | 予約済み                   |
| 9-5   | 予約済み        | R   | 0h   | 予約済み                   |
| 4-0   | SOR_PHYADDR | R   | X    | ストラップからラッチされる PHY アドレス |



## 7.2.14 MII\_REG\_1E レジスタ (オフセット = 1Eh) [リセット = 0000h]

図 7-14 に、MII\_REG\_1E を示し、表 7-18 に、その説明を示します。

概略表に戻ります。

**図 7-14. MII\_REG\_1E レジスタ**

| 15        | 14               | 13   | 12 | 11 | 10 | 9        | 8        |
|-----------|------------------|------|----|----|----|----------|----------|
| tdr_start | cfg_tdr_auto_run | 予約済み |    |    |    |          |          |
| R/WMC-0h  | R/W-0h           | R-0h |    |    |    |          |          |
| 7         | 6                | 5    | 4  | 3  | 2  | 1        | 0        |
| 予約済み      |                  |      |    |    |    | tdr_done | tdr_fail |
| R-0h      |                  |      |    |    |    | R-0h     | R-0h     |

**表 7-18. MII\_REG\_1E レジスタのフィールドの説明**

| ビット  | フィールド            | タイプ   | リセット | 説明                                                                                 |
|------|------------------|-------|------|------------------------------------------------------------------------------------|
| 15   | tdr_start        | R/WMC | 0h   | 1b = TDR 開始<br>TDR 実行完了後ビットはクリア                                                    |
| 14   | cfg_tdr_auto_run | R/W   | 0h   | 1b = TDR はリンク ダウン時に自動的に開始<br>0b = TDR は 0x1E[15] を使用して手動で開始                        |
| 13-2 | 予約済み             | R     | 0h   | 予約済み                                                                               |
| 1    | tdr_done         | R     | 0h   | TDR 完了ステータス<br>1b = TDR 完了<br>0b = TDR 進行中または未開始                                   |
| 0    | tdr_fail         | R     | 0h   | tdr_done ステータスが 1 の場合、このビットは TDR が正常に実行されたかどうかを示します<br>1b = TDR 実行失敗 0b = TDR 実行成功 |

## 7.2.15 MII\_REG\_1F レジスタ (オフセット = 1Fh) [リセット = 0000h]

図 7-15 に、MII\_REG\_1F を示し、表 7-19 に、その説明を示します。

概略表に戻ります。

図 7-15. MII\_REG\_1F レジスタ

| 15              | 14            | 13   | 12   | 11 | 10 | 9 | 8 |
|-----------------|---------------|------|------|----|----|---|---|
| sw_global_reset | digital_reset | 予約済み | 予約済み |    |    |   |   |
| R/WMC-0h        | R/WMC-0h      | R-0h | R-0h |    |    |   |   |
| 7               | 6             | 5    | 4    | 3  | 2  | 1 | 0 |
| 予約済み            | 予約済み          | 予約済み | 予約済み |    |    |   |   |
| R-0h            | R-0h          | R-0h | R-0h |    |    |   |   |

表 7-19. MII\_REG\_1F レジスタのフィールドの説明

| ビット  | フィールド           | タイプ   | リセット | 説明                                                     |
|------|-----------------|-------|------|--------------------------------------------------------|
| 15   | sw_global_reset | R/WMC | 0h   | ハードウェアリセット - デジタル + レジスタのファイルのリセット<br>このビットはセルフ クリアします |
| 14   | digital_reset   | R/WMC | 0h   | ソフトリセット - デジタル コアのためのリセット<br>このビットはセルフ クリアします          |
| 13   | 予約済み            | R     | 0h   | 予約済み                                                   |
| 12-8 | 予約済み            | R     | 0h   | 予約済み                                                   |
| 7    | 予約済み            | R     | 0h   | 予約済み                                                   |
| 6    | 予約済み            | R     | 0h   | 予約済み                                                   |
| 5    | 予約済み            | R     | 0h   | 予約済み                                                   |
| 4-0  | 予約済み            | R     | 0h   | 予約済み                                                   |

## 7.2.16 LSR レジスタ (オフセット = 180h) [リセット = 0000h]

図 7-16 に、LSR を示し、表 7-20 に、その説明を示します。

概略表に戻ります。

**図 7-16. LSR レジスタ**

| 15      | 14        | 13                 | 12          | 11         | 10         | 9               | 8               |
|---------|-----------|--------------------|-------------|------------|------------|-----------------|-----------------|
| link_up | link_down | phy_ctrl_send_data | link_status | 予約済み       |            |                 |                 |
| R-0h    | R-0h      | R-0h               | R-0h        | R-0h       |            |                 |                 |
| 7       | 6         | 5                  | 4           | 3          | 2          | 1               | 0               |
| 予約済み    | 予約済み      | 予約済み               | 予約済み        | channel_ok | descr_sync | loc_rcvr_status | rem_rcvr_status |
| R-0h    | R-0h      | R-0h               | R-0h        | R-0h       | R-0h       | R-0h            | R-0h            |

**表 7-20. LSR レジスタ フィールドの説明**

| ビット  | フィールド              | タイプ | リセット | 説明                      |
|------|--------------------|-----|------|-------------------------|
| 15   | link_up            | R   | 0h   | CnS で定義されたリンクアップ        |
| 14   | link_down          | R   | 0h   | CnS で定義されたリンクダウン        |
| 13   | phy_ctrl_send_data | R   | 0h   | データ ステータス送信の PHY 制御     |
| 12   | link_status        | R   | 0h   | IEEE で定義されたライブリンクのステータス |
| 11-8 | 予約済み               | R   | 0h   | 予約済み                    |
| 7    | 予約済み               | R   | 0h   | 予約済み                    |
| 6    | 予約済み               | R   | 0h   | 予約済み                    |
| 5    | 予約済み               | R   | 0h   | 予約済み                    |
| 4    | 予約済み               | R   | 0h   | 予約済み                    |
| 3    | channel_ok         | R   | 0h   | チャンネル OK ステータス          |
| 2    | descr_sync         | R   | 0h   | デスクランブラ ロックのステータス       |
| 1    | loc_rcvr_status    | R   | 0h   | ローカル レシーバのステータス         |
| 0    | rem_rcvr_status    | R   | 0h   | リモート レシーバのステータス         |

## 7.2.17 LPS\_CFG2 レジスタ (オフセット = 18Bh) [リセット = 0000h]

図 7-17 に、LPS\_CFG2 を示し、表 7-21 に、その説明を示します。

概略表に戻ります。

図 7-17. LPS\_CFG2 レジスタ

| 15       | 14                     | 13   | 12   | 11   | 10   | 9    | 8      |
|----------|------------------------|------|------|------|------|------|--------|
| 予約済み     |                        |      |      |      |      |      | ed_en  |
| R-0h     |                        |      |      |      |      |      | R/W-0h |
| 7        | 6                      | 5    | 4    | 3    | 2    | 1    | 0      |
| sleep_en | cfg_auto_mode_en_strap | 予約済み | 予約済み | 予約済み | 予約済み | 予約済み | 予約済み   |
| R/W-0h   | R/WMC,1-0h             | R-0h | R-0h | R-0h | R-0h | R-0h | R-0h   |

表 7-21. LPS\_CFG2 レジスタのフィールドの説明

| ビット  | フィールド                  | タイプ     | リセット | 説明                                                                           |
|------|------------------------|---------|------|------------------------------------------------------------------------------|
| 15-9 | 予約済み                   | R       | 0h   | 予約済み                                                                         |
| 8    | ed_en                  | R/W     | 0h   | 1b = MDI でのエネルギー検出を有効化<br>0b = MDI でのエネルギー検出を無効化                             |
| 7    | sleep_en               | R/W     | 0h   | 1b = PHY がスリープ状態に移行できる<br>0b = PHY がスリープ状態に移行できない                            |
| 6    | cfg_auto_mode_en_strap | R/WMC,1 | 0h   | LPS 自律モード有効化<br>1b = パワーオン時に PHY は通常モードに移行<br>0b = パワーオン時に PHY はスタンバイ モードに移行 |
| 5    | 予約済み                   | R       | 0h   | 予約済み                                                                         |
| 4    | 予約済み                   | R       | 0h   | 予約済み                                                                         |
| 3    | 予約済み                   | R       | 0h   | 予約済み                                                                         |
| 2    | 予約済み                   | R       | 0h   | 予約済み                                                                         |
| 1    | 予約済み                   | R       | 0h   | 予約済み                                                                         |
| 0    | 予約済み                   | R       | 0h   | 予約済み                                                                         |

## 7.2.18 LPS\_CFG3 レジスタ (オフセット = 18Ch) [リセット = 0000h]

図 7-18 に、LPS\_CFG3 を示し、表 7-22 に、その説明を示します。

概略表に戻ります。

**図 7-18. LPS\_CFG3 レジスタ**

|      |      |      |                    |      |      |      |                    |
|------|------|------|--------------------|------|------|------|--------------------|
| 15   | 14   | 13   | 12                 | 11   | 10   | 9    | 8                  |
| 予約済み |      |      |                    |      |      |      |                    |
| R-0h |      |      |                    |      |      |      |                    |
| 7    | 6    | 5    | 4                  | 3    | 2    | 1    | 0                  |
| 予約済み | 予約済み | 予約済み | cfg_lps_pwr_mode_4 | 予約済み | 予約済み | 予約済み | cfg_lps_pwr_mode_0 |
| R-0h | R-0h | R-0h | R/WMC, 0-0h        | R-0h | R-0h | R-0h | R/WMC, 0-0h        |

**表 7-22. LPS\_CFG3 レジスタのフィールドの説明**

| ビット  | フィールド              | タイプ     | リセット | 説明             |
|------|--------------------|---------|------|----------------|
| 15-8 | 予約済み               | R       | 0h   | 予約済み           |
| 7    | 予約済み               | R       | 0h   | 予約済み           |
| 6    | 予約済み               | R       | 0h   | 予約済み           |
| 5    | 予約済み               | R       | 0h   | 予約済み           |
| 4    | cfg_lps_pwr_mode_4 | R/WMC、0 | 0h   | スタンバイ モード移行に設定 |
| 3    | 予約済み               | R       | 0h   | 予約済み           |
| 2    | 予約済み               | R       | 0h   | 予約済み           |
| 1    | 予約済み               | R       | 0h   | 予約済み           |
| 0    | cfg_lps_pwr_mode_0 | R/WMC、0 | 0h   | 通常モード移行に設定     |

## 7.2.19 LPS\_STATUS レジスタ (オフセット = 18Eh) [リセット = 0000h]

LPS\_STATUS を [図 7-19](#) に示し、[表 7-23](#) で説明しています。

[概略表](#)に戻ります。

**図 7-19. LPS\_STATUS レジスタ**

|      |               |    |    |    |    |   |   |
|------|---------------|----|----|----|----|---|---|
| 15   | 14            | 13 | 12 | 11 | 10 | 9 | 8 |
| 予約済み |               |    |    |    |    |   |   |
| R-0h |               |    |    |    |    |   |   |
| 7    | 6             | 5  | 4  | 3  | 2  | 1 | 0 |
| 予約済み | status_lps_st |    |    |    |    |   |   |
| R-0h | R-0h          |    |    |    |    |   |   |

**表 7-23. LPS\_STATUS レジスタ フィールドの説明**

| ビット  | フィールド         | タイプ | リセット | 説明                                           |
|------|---------------|-----|------|----------------------------------------------|
| 15-7 | 予約済み          | R   | 0h   | 予約済み                                         |
| 6-0  | status_lps_st | R   | 0h   | LPS 状態を確認:<br>0x2 = スタンバイ モード<br>0x4 = 通常モード |

## 7.2.20 TDR\_TC12 レジスタ (オフセット = 30Fh) [リセット = 0000h]

図 7-20 に、TDR\_TC12 を示し、表 7-24 に、その説明を示します。

概略表に戻ります。

図 7-20. TDR\_TC12 レジスタ

|           |    |    |           |      |    |                |   |
|-----------|----|----|-----------|------|----|----------------|---|
| 15        | 14 | 13 | 12        | 11   | 10 | 9              | 8 |
| 予約済み      |    |    | fault_loc |      |    |                |   |
| R-0h      |    |    |           | R-0h |    |                |   |
| 7         | 6  | 5  | 4         | 3    | 2  | 1              | 0 |
| tdr_state |    |    |           | 予約済み |    | tdr_activation |   |
| R-0h      |    |    |           | R-0h |    | R-0h           |   |

表 7-24. TDR\_TC12 レジスタのフィールドの説明

| ビット   | フィールド          | タイプ | リセット | 説明              |
|-------|----------------|-----|------|-----------------|
| 15-14 | 予約済み           | R   | 0h   | 予約済み            |
| 13-8  | fault_loc      | R   | 0h   | TC12 を参照してください。 |
| 7-4   | tdr_state      | R   | 0h   | TC12 を参照してください。 |
| 3-2   | 予約済み           | R   | 0h   | 予約済み            |
| 1-0   | tdr_activation | R   | 0h   | TC12 を参照してください。 |

## 7.2.21 A2D\_REG\_05 レジスタ (オフセット = 405h) [リセット = 6400h]

図 7-21 に、A2D\_REG\_05 を示し、表 7-25 に、その説明を示します。

概略表に戻ります。

図 7-21. A2D\_REG\_05 レジスタ

|                 |    |    |    |    |    |      |   |
|-----------------|----|----|----|----|----|------|---|
| 15              | 14 | 13 | 12 | 11 | 10 | 9    | 8 |
| ld_bias_1p0v_sl |    |    |    |    |    | 予約済み |   |
| R/W-19h         |    |    |    |    |    | R-0h |   |
| 7               | 6  | 5  | 4  | 3  | 2  | 1    | 0 |
| 予約済み            |    |    |    |    |    |      |   |
| R-0h            |    |    |    |    |    |      |   |

表 7-25. A2D\_REG\_05 レジスタのフィールドの説明

| ビット   | フィールド           | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                                                                                                                                              |
|-------|-----------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-10 | ld_bias_1p0v_sl | R/W | 19h  | ビットを使用して LD の DAC 電流を制御します。つまり、スイングを制御します。<br>001010b = 400mV<br>001011b = 440mV<br>001100b = 480mV<br>001101b = 520mV<br>001110b = 560mV<br>001111b = 600mV<br>010000b = 640mV<br>010001b = 680mV<br>010010b = 720mV<br>010011b = 760mV<br>010100b = 800mV<br>010101b = 840mV<br>010110b = 880mV<br>010111b = 920mV<br>011000b = 960mV<br>011001b = 1000mV<br>011010b = 1040mV<br>011011b = 1080mV<br>011100b = 1120mV<br>011101b = 1160mV<br>011110b = 1200mV |
| 9-0   | 予約済み            | R   | 0h   | 予約済み                                                                                                                                                                                                                                                                                                                                                                                                                                                            |



## 7.2.22 A2D\_REG\_30 レジスタ (オフセット = 41Eh) [リセット = 0000h]

図 7-22 に、A2D\_REG\_30 を示し、表 7-26 に、その説明を示します。

概略表に戻ります。

**図 7-22. A2D\_REG\_30 レジスタ**

|      |      |      |      |      |    |   |                                |
|------|------|------|------|------|----|---|--------------------------------|
| 15   | 14   | 13   | 12   | 11   | 10 | 9 | 8                              |
| 予約済み |      |      |      |      |    |   | spare_in_2_fromdig_sl_force_en |
| R-0h |      |      |      |      |    |   | R/W-0h                         |
| 7    | 6    | 5    | 4    | 3    | 2  | 1 | 0                              |
| 予約済み | 予約済み | 予約済み | 予約済み | 予約済み |    |   |                                |
| R-0h | R-0h | R-0h | R-0h | R-0h |    |   |                                |

**表 7-26. A2D\_REG\_30 レジスタのフィールドの説明**

| ビット  | フィールド                          | タイプ | リセット | 説明                |
|------|--------------------------------|-----|------|-------------------|
| 15-9 | 予約済み                           | R   | 0h   | 予約済み              |
| 8    | spare_in_2_fromdig_sl_force_en | R/W | 0h   | Reg0x042F 強制制御有効化 |
| 7    | 予約済み                           | R   | 0h   | 予約済み              |
| 6    | 予約済み                           | R   | 0h   | 予約済み              |
| 5    | 予約済み                           | R   | 0h   | 予約済み              |
| 4    | 予約済み                           | R   | 0h   | 予約済み              |
| 3-0  | 予約済み                           | R   | 0h   | 予約済み              |

## 7.2.23 A2D\_REG\_40 レジスタ (オフセット = 428h) [リセット = 6002h]

図 7-23 に、A2D\_REG\_40 を示し、表 7-27 に、その説明を示します。

概略表に戻ります。

図 7-23. A2D\_REG\_40 レジスタ

| 15   | 14             | 13 | 12   | 11                      | 10   | 9    | 8    |
|------|----------------|----|------|-------------------------|------|------|------|
| 予約済み | SGMII_TESTMODE |    | 予約済み | SGMII_SOP_SON_SLEW_CTRL | 予約済み | 予約済み |      |
| R-0h | R/W-3h         |    | R-0h | R/W-0h                  | R-0h | R-0h |      |
| 7    | 6              | 5  | 4    | 3                       | 2    | 1    | 0    |
| 予約済み | 予約済み           |    |      |                         |      |      | 予約済み |
| R-0h | R-0h           |    |      |                         |      |      | R-0h |

表 7-27. A2D\_REG\_40 レジスタのフィールドの説明

| ビット   | フィールド                   | タイプ | リセット | 説明                                                                                                             |
|-------|-------------------------|-----|------|----------------------------------------------------------------------------------------------------------------|
| 15    | 予約済み                    | R   | 0h   | 予約済み                                                                                                           |
| 14-13 | SGMII_TESTMODE          | R/W | 3h   | 00b = 1000mV Sgmii 出力スイング<br>01b = 1260mV Sgmii 出力スイング<br>10b = 900mV Sgmii 出力スイング<br>11b = 720mV Sgmii 出力スイング |
| 12    | 予約済み                    | R   | 0h   | 予約済み                                                                                                           |
| 11    | SGMII_SOP_SON_SLEW_CTRL | R/W | 0h   | 0b = デフォルトの出力立ち上がり / 立ち下がり時間<br>1b = ゆっくりした出力の立ち上がり / 立ち下がり時間                                                  |
| 10    | 予約済み                    | R   | 0h   | 予約済み                                                                                                           |
| 9-8   | 予約済み                    | R   | 0h   | 予約済み                                                                                                           |
| 7     | 予約済み                    | R   | 0h   | 予約済み                                                                                                           |
| 6-1   | 予約済み                    | R   | 0h   | 予約済み                                                                                                           |
| 0     | 予約済み                    | R   | 0h   | 予約済み                                                                                                           |

## 7.2.24 A2D\_REG\_41 レジスタ (オフセット = 429h) [リセット = 0030h]

図 7-24 に、A2D\_REG\_41 を示し、表 7-28 に、その説明を示します。

概略表に戻ります。

**図 7-24. A2D\_REG\_41 レジスタ**

| 15   | 14 | 13 | 12 | 11   | 10 | 9                    | 8    |
|------|----|----|----|------|----|----------------------|------|
| 予約済み |    |    |    | 予約済み |    | 予約済み                 | 予約済み |
| R-0h |    |    |    | R-0h |    | R-0h                 | R-0h |
| 7    | 6  | 5  | 4  | 3    | 2  | 1                    | 0    |
| 予約済み |    |    |    |      |    | SGMII_IO_LOOPBACK_EN | 予約済み |
| R-0h |    |    |    |      |    | R/W-0h               | R-0h |

**表 7-28. A2D\_REG\_41 レジスタのフィールドの説明**

| ビット   | フィールド                | タイプ | リセット | 説明                                                          |
|-------|----------------------|-----|------|-------------------------------------------------------------|
| 15-11 | 予約済み                 | R   | 0h   | 予約済み                                                        |
| 10    | 予約済み                 | R   | 0h   | 予約済み                                                        |
| 9     | 予約済み                 | R   | 0h   | 予約済み                                                        |
| 8     | 予約済み                 | R   | 0h   | 予約済み                                                        |
| 7-2   | 予約済み                 | R   | 0h   | 予約済み                                                        |
| 1     | SGMII_IO_LOOPBACK_EN | R/W | 0h   | 1b = RX 信号と TX 信号を内部的に接続することで、外付け部品なしで内部ループバック オプションを提供します。 |
| 0     | 予約済み                 | R   | 0h   | 予約済み                                                        |

## 7.2.25 A2D\_REG\_44 レジスタ (オフセット = 42Ch) [リセット = 0000h]

図 7-25 に、A2D\_REG\_44 を示し、表 7-29 に、その説明を示します。

概略表に戻ります。

図 7-25. A2D\_REG\_44 レジスタ

| 15   | 14   | 13   | 12                        | 11   | 10   | 9    | 8    |
|------|------|------|---------------------------|------|------|------|------|
| 予約済み | 予約済み | 予約済み | 予約済み                      | 予約済み | 予約済み | 予約済み | 予約済み |
| R-0h | R-0h | R-0h | R-0h                      | R-0h | R-0h | R-0h | R-0h |
| 7    | 6    | 5    | 4                         | 3    | 2    | 1    | 0    |
| 予約済み | 予約済み | 予約済み | SGMII_DIG_LO<br>OPBACK_EN | 予約済み |      |      | 予約済み |
| R-0h | R-0h | R-0h | R/W-0h                    | R-0h |      |      | R-0h |

表 7-29. A2D\_REG\_44 レジスタのフィールドの説明

| ビット | フィールド                 | タイプ | リセット | 説明                             |
|-----|-----------------------|-----|------|--------------------------------|
| 15  | 予約済み                  | R   | 0h   | 予約済み                           |
| 14  | 予約済み                  | R   | 0h   | 予約済み                           |
| 13  | 予約済み                  | R   | 0h   | 予約済み                           |
| 12  | 予約済み                  | R   | 0h   | 予約済み                           |
| 11  | 予約済み                  | R   | 0h   | 予約済み                           |
| 10  | 予約済み                  | R   | 0h   | 予約済み                           |
| 9   | 予約済み                  | R   | 0h   | 予約済み                           |
| 8   | 予約済み                  | R   | 0h   | 予約済み                           |
| 7   | 予約済み                  | R   | 0h   | 予約済み                           |
| 6   | 予約済み                  | R   | 0h   | 予約済み                           |
| 5   | 予約済み                  | R   | 0h   | 予約済み                           |
| 4   | SGMII_DIG_LOOPBACK_EN | R/W | 0h   | 1b = IO の前に TX データを RX にループバック |
| 3-1 | 予約済み                  | R   | 0h   | 予約済み                           |
| 0   | 予約済み                  | R   | 0h   | 予約済み                           |

## 7.2.26 A2D\_REG\_47 レジスタ (オフセット = 42Fh) [リセット = 0000h]

図 7-26 に、A2D\_REG\_47 を示し、表 7-30 に、その説明を示します。

概略表に戻ります。

**図 7-26. A2D\_REG\_47 レジスタ**

|      |    |    |    |      |                             |                             |                             |
|------|----|----|----|------|-----------------------------|-----------------------------|-----------------------------|
| 15   | 14 | 13 | 12 | 11   | 10                          | 9                           | 8                           |
| 予約済み |    |    |    |      |                             |                             |                             |
| R-0h |    |    |    |      |                             |                             |                             |
| 7    | 6  | 5  | 4  | 3    | 2                           | 1                           | 0                           |
| 予約済み |    |    |    | 予約済み | spare_in_2_fro<br>mdig_sl_2 | spare_in_2_fro<br>mdig_sl_1 | spare_in_2_fro<br>mdig_sl_0 |
| R-0h |    |    |    | R-0h | R/W-0h                      | R/W-0h                      | R/W-0h                      |

**表 7-30. A2D\_REG\_47 レジスタのフィールドの説明**

| ビット  | フィールド                   | タイプ | リセット | 説明                                             |
|------|-------------------------|-----|------|------------------------------------------------|
| 15-4 | 予約済み                    | R   | 0h   | 予約済み                                           |
| 3    | 予約済み                    | R   | 0h   | 予約済み                                           |
| 2    | spare_in_2_fromdig_sl_2 | R/W | 0h   | エネルギー損失表示強制制御値                                 |
| 1    | spare_in_2_fromdig_sl_1 | R/W | 0h   | エネルギー損失検出器で強制制御値を有効化                           |
| 0    | spare_in_2_fromdig_sl_0 | R/W | 0h   | [0] - スリープ有効強制制御値<br>強制制御有効化は reg0x041E[8] が制御 |

## 7.2.27 A2D\_REG\_48 レジスタ (オフセット = 430h) [リセット = 0960h]

図 7-27 に、A2D\_REG\_48 を示し、表 7-31 に、その説明を示します。

概略表に戻ります。

図 7-27. A2D\_REG\_48 レジスタ

| 15                   | 14   | 13   | 12   | 11                   | 10 | 9 | 8 |
|----------------------|------|------|------|----------------------|----|---|---|
| 予約済み                 | 予約済み | 予約済み | 予約済み | DLL_TX_DELAY_CTRL_SL |    |   |   |
| R-0h                 | R-0h | R-0h | R-0h | R/W-9h               |    |   |   |
| 7                    | 6    | 5    | 4    | 3                    | 2  | 1 | 0 |
| DLL_RX_DELAY_CTRL_SL |      |      |      | 予約済み                 |    |   |   |
| R/W-6h               |      |      |      | R-0h                 |    |   |   |

表 7-31. A2D\_REG\_48 レジスタのフィールドの説明

| ビット  | フィールド                | タイプ | リセット | 説明                             |
|------|----------------------|-----|------|--------------------------------|
| 15   | 予約済み                 | R   | 0h   | 予約済み                           |
| 14   | 予約済み                 | R   | 0h   | 予約済み                           |
| 13   | 予約済み                 | R   | 0h   | 予約済み                           |
| 12   | 予約済み                 | R   | 0h   | 予約済み                           |
| 11-8 | DLL_TX_DELAY_CTRL_SL | R/W | 9h   | 遅延対コードの情報については、電氣的仕様を参照してください。 |
| 7-4  | DLL_RX_DELAY_CTRL_SL | R/W | 6h   | 遅延対コードの情報については、電氣的仕様を参照してください。 |
| 3-0  | 予約済み                 | R   | 0h   | 予約済み                           |

## 7.2.28 A2D\_REG\_66 レジスタ (オフセット = 442h) [リセット = 0000h]

図 7-28 に、A2D\_REG\_66 を示し、表 7-32 に、その説明を示します。

概略表に戻ります。

図 7-28. A2D\_REG\_66 レジスタ

|      |                 |    |      |      |    |   |      |
|------|-----------------|----|------|------|----|---|------|
| 15   | 14              | 13 | 12   | 11   | 10 | 9 | 8    |
| 予約済み | esd_event_count |    |      |      |    |   | 予約済み |
| R-0h | R-0h            |    |      |      |    |   | R-0h |
| 7    | 6               | 5  | 4    | 3    | 2  | 1 | 0    |
| 予約済み |                 |    | 予約済み | 予約済み |    |   |      |
| R-0h |                 |    | R-0h | R-0h |    |   |      |

表 7-32. A2D\_REG\_66 レジスタのフィールドの説明

| ビット  | フィールド           | タイプ | リセット | 説明                         |
|------|-----------------|-----|------|----------------------------|
| 15   | 予約済み            | R   | 0h   | 予約済み                       |
| 14-9 | esd_event_count | R   | 0h   | 数字はカップパー チャネル上の ESD イベントの数 |
| 8    | 予約済み            | R   | 0h   | 予約済み                       |
| 7-5  | 予約済み            | R   | 0h   | 予約済み                       |
| 4    | 予約済み            | R   | 0h   | 予約済み                       |
| 3-0  | 予約済み            | R   | 0h   | 予約済み                       |

## 7.2.29 LEDS\_CFG\_1 レジスタ (オフセット = 450h) [リセット = 2610h]

図 7-29 に、LEDS\_CFG\_1 を示し、表 7-33 に、その説明を示します。

概略表に戻ります。

図 7-29. LEDS\_CFG\_1 レジスタ

| 15           | 14                         | 13              | 12 | 11           | 10 | 9 | 8 |
|--------------|----------------------------|-----------------|----|--------------|----|---|---|
| 予約済み         | leds_bypass_str<br>etching | leds_blink_rate |    | led_2_option |    |   |   |
| R-0h         | R/W-0h                     | R/W-2h          |    | R/W-6h       |    |   |   |
| 7            | 6                          | 5               | 4  | 3            | 2  | 1 | 0 |
| led_1_option |                            |                 |    | led_0_option |    |   |   |
| R/W-1h       |                            |                 |    | R/W-0h       |    |   |   |

表 7-33. LEDS\_CFG\_1 レジスタのフィールドの説明

| ビット   | フィールド                  | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                                                                             |
|-------|------------------------|-----|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15    | 予約済み                   | R   | 0h   | 予約済み                                                                                                                                                                                                                                                                                                                                                                                           |
| 14    | leds_bypass_stretching | R/W | 0h   | LED 信号ストレッチをバイパス                                                                                                                                                                                                                                                                                                                                                                               |
| 13-12 | leds_blink_rate        | R/W | 2h   | LED の点滅速度 -<br>00b = 20Hz (50ms)<br>01b = 10Hz (100ms) 10b = 5Hz (200ms) 11b = 2Hz (500ms)                                                                                                                                                                                                                                                                                                     |
| 11-8  | led_2_option           | R/W | 6h   | 0000b = リンク OK<br>0001b = リンク OK + TX/RX アクティビティで点滅<br>0010b = リンク OK + TX アクティビティで点滅<br>0011b = リンク OK + RX アクティビティで点滅<br>0100b = リンク OK + 100Base-T1 マスタ<br>0101b = リンク OK + 100Base-T1 スレーブ<br>0110b = TX/RX アクティビティ、延長オプションあり<br>0111b = 予約済み<br>1000b = 予約済み<br>1001b = リンク喪失 (0x1 が読み込まれるまでレジスタ上に残る)<br>1010b = PRBS エラー ラッチ (0x620(1) によってクリアされるまで)<br>1011b = XMMI TX/RX エラー、延長オプションあり |
| 7-4   | led_1_option           | R/W | 1h   | 0000b = リンク OK<br>0001b = リンク OK + TX/RX アクティビティで点滅<br>0010b = リンク OK + TX アクティビティで点滅<br>0011b = リンク OK + RX アクティビティで点滅<br>0100b = リンク OK + 100Base-T1 マスタ<br>0101b = リンク OK + 100Base-T1 スレーブ<br>0110b = TX/RX アクティビティ、延長オプションあり<br>0111b = 予約済み<br>1000b = 予約済み<br>1001b = リンク喪失 (レジスタ 0x1 が読み込まれるまでオンのまま)<br>1010b = PRBS エラー (0x620(1) でクリアされるまでラッチ)<br>1011b = XMMI TX/RX エラー、延長オプションあり   |



表 7-33. LEDS\_CFG\_1 レジスタのフィールドの説明 (続き)

| ビット | フィールド        | タイプ | リセット | 説明                                                                                                                                                                                                                                                                                                                                                                                           |
|-----|--------------|-----|------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 3-0 | led_0_option | R/W | 0h   | 0000b = リンク OK<br>0001b = リンク OK + TX/RX アクティビティで点滅<br>0010b = リンク OK + TX アクティビティで点滅<br>0011b = リンク OK + RX アクティビティで点滅<br>0100b = リンク OK + 100Base-T1 マスタ<br>0101b = リンク OK + 100Base-T1 スレーブ<br>0110b = TX/RX アクティビティ、延長オプションあり<br>0111b = 予約済み<br>1000b = 予約済み<br>1001b = リンク喪失 (レジスタ 0x1 が読み込まれるまでオンのまま)<br>1010b = PRBS エラー (0x620(1) でクリアされるまでラッチ)<br>1011b = XMII TX/RX エラー、延長オプションあり |

## 7.2.30 LEDS\_CFG\_2 レジスタ (オフセット = 451h) [リセット = 0000h]

図 7-30 に、LEDS\_CFG\_2 を示し、表 7-34 に、その説明を示します。

概略表に戻ります。

図 7-30. LEDS\_CFG\_2 レジスタ

| 15   | 14   | 13   | 12   | 11             | 10   | 9    | 8              |
|------|------|------|------|----------------|------|------|----------------|
| 予約済み |      | 予約済み |      |                |      | XXXX | 予約済み           |
| R-0h |      | R-0h |      |                |      | R-0h |                |
| 7    | 6    | 5    | 4    | 3              | 2    | 1    | 0              |
| 予約済み | 予約済み | 予約済み | 予約済み | led_1_polarity | 予約済み | 予約済み | led_0_polarity |
| R-0h | R-0h | R-0h | R-0h | R/W-0h         | R-0h | R-0h | R/W-0h         |

表 7-34. LEDS\_CFG\_2 レジスタのフィールドの説明

| ビット   | フィールド              | タイプ | リセット | 説明                                                                                                                                                                                                                                |
|-------|--------------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-14 | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 13-10 | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 11-9  | cfg_ieee_compl_sel | R/W | 0h   | LED_0_GPIO_CTRL= 'h5 の場合、次のような LED_0_GPIO_0 の IEEE 準拠信号となります-<br>000b = loc_rcvr_status<br>001b = rem_rcvr_status<br>010b = loc_snr_margin<br>011b = rem_phy_ready<br>100b = pma_watchdog_status<br>101b = link_sync_link_control |
| 8     | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 7     | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 6     | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 5     | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 4     | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 3     | led_1_polarity     | R/W | 0h   | LED_1 極性                                                                                                                                                                                                                          |
| 2     | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 1     | 予約済み               | R   | 0h   | 予約済み                                                                                                                                                                                                                              |
| 0     | led_0_polarity     | R/W | 0h   | LED_0 極性                                                                                                                                                                                                                          |

## 7.2.31 IO\_MUX\_CFG\_1 レジスタ (オフセット = 452h) [リセット = 0000h]

図 7-31 に、IO\_MUX\_CFG\_1 を示し、表 7-35 に、その説明を示します。

概略表に戻ります。

図 7-31. IO\_MUX\_CFG\_1 レジスタ

| 15   | 14 | 13   | 12 | 11 | 10              | 9 | 8 |
|------|----|------|----|----|-----------------|---|---|
| 予約済み |    | 予約済み |    |    | led_1_gpio_ctrl |   |   |
| R-0h |    | R-0h |    |    | R/W-0h          |   |   |
| 7    | 6  | 5    | 4  | 3  | 2               | 1 | 0 |
| 予約済み |    | 予約済み |    |    | led_0_gpio_ctrl |   |   |
| R-0h |    | R-0h |    |    | R/W-0h          |   |   |

表 7-35. IO\_MUX\_CFG\_1 レジスタのフィールドの説明

| ビット   | フィールド           | タイプ | リセット | 説明                                                                                                                                                                                                        |
|-------|-----------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-14 | 予約済み            | R   | 0h   | 予約済み                                                                                                                                                                                                      |
| 13-11 | 予約済み            | R   | 0h   | 予約済み                                                                                                                                                                                                      |
| 10-8  | led_1_gpio_ctrl | R/W | 0h   | LED_1 IO の出力制御 -<br>000b = LED_1 (デフォルトリンク OK + TX/RX アクティビティで点滅)<br>001b = 予約済み<br>010b = RGMII データ一致インジケータ<br>011b = 低電圧インジケータ<br>100b = 割り込み<br>101b = IEEE 準拠信号<br>110b = コンスタント 0<br>111b = コンスタント 1 |
| 7-6   | 予約済み            | R   | 0h   | 予約済み                                                                                                                                                                                                      |
| 5-3   | 予約済み            | R   | 0h   | 予約済み                                                                                                                                                                                                      |
| 2-0   | led_0_gpio_ctrl | R/W | 0h   | LED_0 IO の出力を制御します。<br>000b = LED_0 (デフォルト:リンク)<br>001b = 予約済み<br>010b = RGMII データ一致表示<br>011b = 低電圧表示<br>100b = 割り込み<br>101b = IEEE 準拠信号 (0x451[11:9] を参照)<br>110b = 定数 0<br>111b = 定数 1                 |

## 7.2.32 IO\_MUX\_CFG\_2 レジスタ (オフセット = 453h) [リセット = 0001h]

図 7-32 に、IO\_MUX\_CFG\_2 を示し、表 7-36 に、その説明を示します。

概略表に戻ります。

図 7-32. IO\_MUX\_CFG\_2 レジスタ

|      |    |                  |    |    |                 |   |   |
|------|----|------------------|----|----|-----------------|---|---|
| 15   | 14 | 13               | 12 | 11 | 10              | 9 | 8 |
| 予約済み |    |                  |    |    |                 |   |   |
| R-0h |    |                  |    |    |                 |   |   |
| 7    | 6  | 5                | 4  | 3  | 2               | 1 | 0 |
| 予約済み |    | clk_o_clk_source |    |    | clk_o_gpio_ctrl |   |   |
| R-0h |    | R/W-0h           |    |    | R/W-1h          |   |   |

表 7-36. IO\_MUX\_CFG\_2 レジスタのフィールドの説明

| ビット  | フィールド            | タイプ | リセット | 説明                                                                                                                                                                                                                                 |
|------|------------------|-----|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-6 | 予約済み             | R   | 0h   | 予約済み                                                                                                                                                                                                                               |
| 5-3  | clk_o_clk_source | R/W | 0h   | CLK_O ピンで観測できるクロック -<br>000b = XI_OSC_25m_1p0v_DL (アナログからの 25Mhz 水晶振動子出力)<br>001b = 予約済み<br>010b = 予約済み<br>011b = 125Mhz クロック<br>クロック 100b = 125Mhz クロック<br>101b = 予約済み<br>110b = 予約済み<br>111b = 予約済み                              |
| 2-0  | clk_o_gpio_ctrl  | R/W | 1h   | CLK_O IO の出力制御 -<br>000b = LED_2 (デフォルト: 延長オプションあり TX/RX アクティビティ (LED_2_OPTION=0x6)<br>001b = クロックアウト (0x453[5:3] を参照)<br>010b = RGMII データ一致インジケータ<br>011b = 低電圧インジケータ<br>100b = 定数 0<br>101b = 定数 0<br>110b = 定数 0<br>111b = 定数 1 |

## 7.2.33 IO\_CONTROL\_3 レジスタ (オフセット = 456h) [リセット = 0108h]

図 7-33 に、IO\_CONTROL\_3 を示し、表 7-37 に、その説明を示します。

概略表に戻ります。

図 7-33. IO\_CONTROL\_3 レジスタ

|                      |    |    |      |    |    |                      |   |
|----------------------|----|----|------|----|----|----------------------|---|
| 15                   | 14 | 13 | 12   | 11 | 10 | 9                    | 8 |
| 予約済み                 |    |    |      |    |    | cfg_mac_rx_impedance |   |
| R-0h                 |    |    |      |    |    | R/W-8h               |   |
| 7                    | 6  | 5  | 4    | 3  | 2  | 1                    | 0 |
| cfg_mac_rx_impedance |    |    | 予約済み |    |    |                      |   |
| R/W-8h               |    |    | R-0h |    |    |                      |   |

表 7-37. IO\_CONTROL\_3 レジスタのフィールドの説明

| ビット   | フィールド                | タイプ | リセット | 説明                                                                                                                                                                        |
|-------|----------------------|-----|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-10 | 予約済み                 | R   | 0h   | 予約済み                                                                                                                                                                      |
| 9-5   | cfg_mac_rx_impedance | R/W | 8h   | RGMII パッド用スルーレート制御 -<br>01010b = 中速スルー (OA tr/tf 準拠、最大 tr/tf = 1ns)<br>01011b = 最も遅いスルー (低エミッション用、最大 tr/tf = 1.2ns)<br>01000b = デフォルト モード (rgmii tr/tf 準拠、最大 tr/tf=750ps) |
| 4-0   | 予約済み                 | R   | 0h   | 予約済み                                                                                                                                                                      |

## 7.2.34 SOR\_VECTOR\_1 レジスタ (オフセット = 45Dh) [リセット = 0000h]

図 7-34 に、SOR\_VECTOR\_1 を示し、表 7-38 に、その説明を示します。

概略表に戻ります。

ストラップ ステータス レジスタ:

このレジスタには、ストラップに基づいて選択されたモードに関する情報があります。他のレジスタを使用したモードのオーバーライドは、このレジスタには反映されません

図 7-34. SOR\_VECTOR\_1 レジスタ

| 15             | 14             | 13       | 12       | 11   | 10 | 9 | 8        |
|----------------|----------------|----------|----------|------|----|---|----------|
| RGMII_TX_SHIFT | RGMII_RX_SHIFT | SGMII_EN | RGMII_EN | 予約済み |    |   | MAC_MODE |
| R-0h           | R-0h           | R-0h     | R-0h     | R-0h |    |   | R-0h     |
| 7              | 6              | 5        | 4        | 3    | 2  | 1 | 0        |
| MAC_MODE       |                | MAS/SLV  | PHY_AD   |      |    |   |          |
| R-0h           |                | R-0h     | R-0h     |      |    |   |          |

表 7-38. SOR\_VECTOR\_1 レジスタのフィールドの説明

| ビット  | フィールド          | タイプ | リセット | 説明                                                                                                                                                                               |
|------|----------------|-----|------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15   | RGMII_TX_SHIFT | R   | 0h   | 0x0 = TX シフト無効<br>0x1 = TX シフト有効                                                                                                                                                 |
| 14   | RGMII_RX_SHIFT | R   | 0h   | 0x0 = RX シフト無効<br>0x1 = RX シフト有効                                                                                                                                                 |
| 13   | SGMII_EN       | R   | 0h   | 0x0 = SGMII 無効<br>0x1 = SGMII 有効                                                                                                                                                 |
| 12   | RGMII_EN       | R   | 0h   | 0x0 = RGMII 無効<br>0x1 = RGMII 有効                                                                                                                                                 |
| 11-9 | 予約済み           | R   | 0h   | 予約済み                                                                                                                                                                             |
| 8-6  | MAC_MODE       | R   | 0h   | 0x0 = SGMII<br>0x1 = 予約済み<br>0x2 = 予約済み<br>0x3 = 予約済み<br>0x4 = RGMII アライン<br>0x5 = RGMII TX シフト<br>0x6 = RGMII TX および RX シフト<br>0x7 = RGMII RX シフト                               |
| 5    | MAS/SLV        | R   | 0h   | 0x0 = スレーブ<br>0x1 = マスタ                                                                                                                                                          |
| 4-0  | PHY_AD         | R   | 0h   | 0x0 = PHY アドレス 0<br>0x4 = PHY アドレス 4<br>0x5 = PHY アドレス 5<br>0x8 = PHY アドレス 8<br>0xA = PHY アドレス A<br>0xC = PHY アドレス C<br>0xD = PHY アドレス D<br>0xE = PHY アドレス E<br>0xF = PHY アドレス F |

## 7.2.35 SOR\_VECTOR\_2 レジスタ (オフセット = 45Eh) [リセット = 0000h]

図 7-35 に、SOR\_VECTOR\_2 を示し、表 7-39 に、その説明を示します。

概略表に戻ります。

ストラップ ステータス レジスタ:

このレジスタには、ストラップに基づいて選択されたモードに関する情報があります。他のレジスタを使用したモードのオーバーライドは、このレジスタには反映されません

**図 7-35. SOR\_VECTOR\_2 レジスタ**

|      |    |    |    |    |    |   |         |
|------|----|----|----|----|----|---|---------|
| 15   | 14 | 13 | 12 | 11 | 10 | 9 | 8       |
| 予約済み |    |    |    |    |    |   |         |
| R-0h |    |    |    |    |    |   |         |
| 7    | 6  | 5  | 4  | 3  | 2  | 1 | 0       |
| 予約済み |    |    |    |    |    |   | 自動 / 管理 |
| R-0h |    |    |    |    |    |   | R-0h    |

**表 7-39. SOR\_VECTOR\_2 レジスタのフィールドの説明**

| ビット  | フィールド   | タイプ | リセット | 説明                               |
|------|---------|-----|------|----------------------------------|
| 15-1 | 予約済み    | R   | 0h   | 予約済み                             |
| 0    | 自動 / 管理 | R   | 0h   | 0x0 = 自律モード有効化<br>0x1 = 管理モード有効化 |

## 7.2.36 MONITOR\_CTRL2 レジスタ (オフセット = 468h) [リセット = 0920h]

図 7-36 に、MONITOR\_CTRL2 を示し、表 7-40 に、その説明を示します。

概略表に戻ります。

図 7-36. MONITOR\_CTRL2 レジスタ

| 15   | 14          | 13   | 12 | 11   | 10   | 9 | 8    |
|------|-------------|------|----|------|------|---|------|
| 予約済み | cfg_rd_data |      |    | 予約済み | 予約済み |   |      |
| R-0h | R/W-0h      |      |    | R-0h |      |   | R-0h |
| 7    | 6           | 5    | 4  | 3    | 2    | 1 | 0    |
| 予約済み | 予約済み        |      |    | 予約済み |      |   |      |
| R-0h |             | R-0h |    |      | R-0h |   |      |

表 7-40. MONITOR\_CTRL2 レジスタのフィールドの説明

| ビット   | フィールド       | タイプ | リセット | 説明                                                                       |
|-------|-------------|-----|------|--------------------------------------------------------------------------|
| 15    | 予約済み        | R   | 0h   | 予約済み                                                                     |
| 14-12 | cfg_rd_data | R/W | 0h   | 読み出し用センサ選択:<br>001b = VDDA<br>010b = VDD1P0<br>011b = VDDIO<br>100b = 温度 |
| 11-9  | 予約済み        | R   | 0h   | 予約済み                                                                     |
| 8-6   | 予約済み        | R   | 0h   | 予約済み                                                                     |
| 5-3   | 予約済み        | R   | 0h   | 予約済み                                                                     |
| 2-0   | 予約済み        | R   | 0h   | 予約済み                                                                     |



## 7.2.37 MONITOR\_CTRL4 レジスタ (オフセット = 46Ah) [リセット = 0094h]

図 7-37 に、MONITOR\_CTRL4 を示し、表 7-41 に、その説明を示します。

概略表に戻ります。

図 7-37. MONITOR\_CTRL4 レジスタ

|      |      |      |    |      |           |        |          |
|------|------|------|----|------|-----------|--------|----------|
| 15   | 14   | 13   | 12 | 11   | 10        | 9      | 8        |
| 予約済み |      |      |    |      |           |        | 予約済み     |
| R-0h |      |      |    |      |           |        | R-0h     |
| 7    | 6    | 5    | 4  | 3    | 2         | 1      | 0        |
| 予約済み | 予約済み | 予約済み |    | 予約済み | cfg_reset | 定期的    | start    |
| R-0h | R-0h | R-0h |    | R-0h | R/W-1h    | R/W-0h | R/WSC-0h |

表 7-41. MONITOR\_CTRL4 レジスタのフィールドの説明

| ビット  | フィールド     | タイプ   | リセット | 説明                                                                              |
|------|-----------|-------|------|---------------------------------------------------------------------------------|
| 15-9 | 予約済み      | R     | 0h   | 予約済み                                                                            |
| 8    | 予約済み      | R     | 0h   | 予約済み                                                                            |
| 7    | 予約済み      | R     | 0h   | 予約済み                                                                            |
| 6    | 予約済み      | R     | 0h   | 予約済み                                                                            |
| 5-4  | 予約済み      | R     | 0h   | 予約済み                                                                            |
| 3    | 予約済み      | R     | 0h   | 予約済み                                                                            |
| 2    | cfg_reset | R/W   | 1h   | 0b = モニタを有効化<br>1b = モニタは任意の時点でリセット状態に保持<br>信号が 1 に変更されると、モジュールは一瞬で RESET 状態に移行 |
| 1    | 定期的       | R/W   | 0h   | 0b = モニタは START が 1 回反復に設定されているときのみ有効<br>1b = 定期的な反復のためにモニタを有効化                 |
| 0    | start     | R/WSC | 0h   | センサ モニタ FSM の開始表示、セルフ クリア                                                       |

### 7.2.38 MONITOR\_STAT1 レジスタ (オフセット = 47Bh) [リセット = 0000h]

図 7-38 に、MONITOR\_STAT1 を示し、表 7-42 に、その説明を示します。

概略表に戻ります。

図 7-38. MONITOR\_STAT1 レジスタ

|              |    |    |    |    |    |   |   |
|--------------|----|----|----|----|----|---|---|
| 15           | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| stat_rd_data |    |    |    |    |    |   |   |
| R-0h         |    |    |    |    |    |   |   |
| 7            | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| stat_rd_data |    |    |    |    |    |   |   |
| R-0h         |    |    |    |    |    |   |   |

表 7-42. MONITOR\_STAT1 レジスタのフィールドの説明

| ビット  | フィールド        | タイプ | リセット | 説明           |
|------|--------------|-----|------|--------------|
| 15-0 | stat_rd_data | R   | 0h   | センサ データの読み取り |

## 7.2.39 RS\_DECODER レジスタ (オフセット = 510h) [リセット = 2D50h]

RS\_DECODER を [図 7-39](#) に示し、[表 7-43](#) で説明しています。

[概略表](#)に戻ります。

**図 7-39. RS\_DECODER レジスタ**

| 15                    | 14   | 13   | 12 | 11 | 10 | 9 | 8    |
|-----------------------|------|------|----|----|----|---|------|
| cfg_rs_decoder_bypass | 予約済み | 予約済み |    |    |    |   |      |
| R/W-0h                | R-0h | R-0h |    |    |    |   |      |
| 7                     | 6    | 5    | 4  | 3  | 2  | 1 | 0    |
| 予約済み                  |      |      |    |    |    |   | 予約済み |
| R-0h                  |      |      |    |    |    |   | R-0h |

**表 7-43. RS\_DECODER レジスタ フィールドの説明**

| ビット  | フィールド                 | タイプ | リセット | 説明                                                    |
|------|-----------------------|-----|------|-------------------------------------------------------|
| 15   | cfg_rs_decoder_bypass | R/W | 0h   | RS デコーダをバイパス<br>0h = RS デコーダを使用中<br>1h = RS デコーダをバイパス |
| 14   | 予約済み                  | R   | 0h   | 予約済み                                                  |
| 13-8 | 予約済み                  | R   | 0h   | 予約済み                                                  |
| 7-1  | 予約済み                  | R   | 0h   | 予約済み                                                  |
| 0    | 予約済み                  | R   | 0h   | 予約済み                                                  |

## 7.2.40 TRAINING\_RX\_STATUS\_7 レジスタ (オフセット = 52Bh) [リセット = 0000h]

図 7-40 に、TRAINING\_RX\_STATUS\_7 を示し、表 7-44 に、その説明を示します。

概略表に戻ります。

図 7-40. TRAINING\_RX\_STATUS\_7 レジスタ

|      |    |    |             |      |    |   |   |
|------|----|----|-------------|------|----|---|---|
| 15   | 14 | 13 | 12          | 11   | 10 | 9 | 8 |
| 予約済み |    |    | rx_rvrs_pol | 予約済み |    |   |   |
| R-0h |    |    | R-0h        | R-0h |    |   |   |
| 7    | 6  | 5  | 4           | 3    | 2  | 1 | 0 |
| 予約済み |    |    |             | 予約済み |    |   |   |
| R-0h |    |    |             | R-0h |    |   |   |

表 7-44. TRAINING\_RX\_STATUS\_7 レジスタのフィールドの説明

| ビット   | フィールド       | タイプ | リセット | 説明                                                   |
|-------|-------------|-----|------|------------------------------------------------------|
| 15-13 | 予約済み        | R   | 0h   | 予約済み                                                 |
| 12    | rx_rvrs_pol | R   | 0h   | 受信極性<br>0h = 受信した極性を反転しない<br>1h = レシーバからデコードされた極性を反転 |
| 11-8  | 予約済み        | R   | 0h   | 予約済み                                                 |
| 7-4   | 予約済み        | R   | 0h   | 予約済み                                                 |
| 3-0   | 予約済み        | R   | 0h   | 予約済み                                                 |

## 7.2.41 LINK\_QUAL\_1 レジスタ (オフセット = 543h) [リセット = 0000h]

図 7-41 に、LINK\_QUAL\_1 を示し、表 7-45 に、その説明を示します。

概略表に戻ります。

**図 7-41. LINK\_QUAL\_1 レジスタ**

|                    |    |    |    |    |    |   |   |
|--------------------|----|----|----|----|----|---|---|
| 15                 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| 予約済み               |    |    |    |    |    |   |   |
| R-0h               |    |    |    |    |    |   |   |
| 7                  | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| link_training_time |    |    |    |    |    |   |   |
| R-0h               |    |    |    |    |    |   |   |

**表 7-45. LINK\_QUAL\_1 レジスタのフィールドの説明**

| ビット  | フィールド              | タイプ | リセット | 説明                      |
|------|--------------------|-----|------|-------------------------|
| 15-8 | 予約済み               | R   | 0h   | 予約済み                    |
| 7-0  | link_training_time | R   | 0h   | リンクトレーニング時間 (ms) (TC12) |

## 7.2.42 LINK\_QUAL\_2 レジスタ (オフセット = 544h) [リセット = 0000h]

図 7-42 に、LINK\_QUAL\_2 を示し、表 7-46 に、その説明を示します。

概略表に戻ります。

図 7-42. LINK\_QUAL\_2 レジスタ

|                      |    |    |    |    |    |   |   |
|----------------------|----|----|----|----|----|---|---|
| 15                   | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| remote_receiver_time |    |    |    |    |    |   |   |
| R-0h                 |    |    |    |    |    |   |   |
| 7                    | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| local_receiver_time  |    |    |    |    |    |   |   |
| R-0h                 |    |    |    |    |    |   |   |

表 7-46. LINK\_QUAL\_2 レジスタのフィールドの説明

| ビット  | フィールド                | タイプ | リセット | 説明                      |
|------|----------------------|-----|------|-------------------------|
| 15-8 | remote_receiver_time | R   | 0h   | リモート レシーバ時間 (ms) (TC12) |
| 7-0  | local_receiver_time  | R   | 0h   | ローカル レシーバ時間 (ms) (TC12) |

## 7.2.43 LINK\_DOWN\_LATCH\_STAT レジスタ (オフセット = 545h) [リセット = 0000h]

LINK\_DOWN\_LATCH\_STAT を [図 7-43](#) に示し、[表 7-47](#) で説明しています。

[概略表](#)に戻ります。

**図 7-43. LINK\_DOWN\_LATCH\_STAT レジスタ**

|      |               |                      |                  |            |               |                 |          |
|------|---------------|----------------------|------------------|------------|---------------|-----------------|----------|
| 15   | 14            | 13                   | 12               | 11         | 10            | 9               | 8        |
| 予約済み |               |                      |                  |            |               |                 |          |
| R-0h |               |                      |                  |            |               |                 |          |
| 7    | 6             | 5                    | 4                | 3          | 2             | 1               | 0        |
| 予約済み | channel_ok_ll | link_fail_inhibit_lh | send_s_sigdet_lh | hi_rfer_lh | block_lock_ll | pma_watchdog_ll |          |
| R-0h | R/W0C-0h      | R/W0C-0h             | R/W0C-0h         | R/W0C-0h   | R/W0S-0h      | R/W0S-0h        | R/W0S-0h |

**表 7-47. LINK\_DOWN\_LATCH\_STAT レジスタ フィールドの説明**

| ビット  | フィールド                | タイプ   | リセット | 説明                                                                |
|------|----------------------|-------|------|-------------------------------------------------------------------|
| 15-6 | 予約済み                 | R     | 0h   | 予約済み                                                              |
| 5    | channel_ok_ll        | R/W0C | 0h   | 1b = チャンネル OK はデアサートされていない<br>0b = チャンネル OK はデアサートされた             |
| 4    | link_fail_inhibit_lh | R/W0C | 0h   | 1b = リンク障害防止アサートが報告された<br>0b = リンク障害防止アサートは報告されていない               |
| 3    | send_s_sigdet_lh     | R/W0C | 0h   | 1b = 署名アサーションを送信したことが報告されました<br>0b = 署名アサーションを送信したことが報告されませんでした   |
| 2    | hi_rfer_lh           | R/W0C | 0h   | 1b = High ri rfer のアサートが報告された<br>0b = High ri rfer のアサートは報告されていない |
| 1    | block_lock_ll        | R/W0S | 0h   | 1b = ブロック ロックのデアサートは通知されていない<br>0b = ブロック ロックのデアサートは通知されていない      |
| 0    | pma_watchdog_ll      | R/W0S | 0h   | 1b = Low PMA ウォッチ ドッグは通知されていない<br>0b = Low PMA ウォッチドッグが通知された      |

## 7.2.44 LINK\_QUAL\_3 レジスタ (オフセット = 547h) [リセット = 0000h]

図 7-44 に、LINK\_QUAL\_3 を示し、表 7-48 に、その説明を示します。

概略表に戻ります。

図 7-44. LINK\_QUAL\_3 レジスタ

|               |    |    |    |    |    |               |   |
|---------------|----|----|----|----|----|---------------|---|
| 15            | 14 | 13 | 12 | 11 | 10 | 9             | 8 |
| link_loss_cnt |    |    |    |    |    | link_fail_cnt |   |
| R-0h          |    |    |    |    |    | R-0h          |   |
| 7             | 6  | 5  | 4  | 3  | 2  | 1             | 0 |
| link_fail_cnt |    |    |    |    |    |               |   |
| R-0h          |    |    |    |    |    |               |   |

表 7-48. LINK\_QUAL\_3 レジスタのフィールドの説明

| ビット   | フィールド         | タイプ | リセット | 説明                                |
|-------|---------------|-----|------|-----------------------------------|
| 15-10 | link_loss_cnt | R   | 0h   | 最後のパワーサイクル以降のリンク損失カウント (TC12)     |
| 9-0   | link_fail_cnt | R   | 0h   | 最後のパワーサイクル以降のリンク損失のないリンク故障 (TC12) |



## 7.2.45 LINK\_QUAL\_4 レジスタ (オフセット = 548h) [リセット = 0000h]

図 7-45 に、LINK\_QUAL\_4 を示し、表 7-49 に、その説明を示します。

概略表に戻ります。

**図 7-45. LINK\_QUAL\_4 レジスタ**

|      |    |    |    |    |    |   |            |
|------|----|----|----|----|----|---|------------|
| 15   | 14 | 13 | 12 | 11 | 10 | 9 | 8          |
| 予約済み |    |    |    |    |    |   |            |
| R-0h |    |    |    |    |    |   |            |
| 7    | 6  | 5  | 4  | 3  | 2  | 1 | 0          |
| 予約済み |    |    |    |    |    |   | comm_ready |
| R-0h |    |    |    |    |    |   | R-0h       |

**表 7-49. LINK\_QUAL\_4 レジスタのフィールドの説明**

| ビット  | フィールド      | タイプ | リセット | 説明               |
|------|------------|-----|------|------------------|
| 15-1 | 予約済み       | R   | 0h   | 予約済み             |
| 0    | comm_ready | R   | 0h   | 通信準備ステータス (TC12) |

## 7.2.46 RS\_DECODER\_FRAME\_STAT\_2 レジスタ (オフセット = 552h) [リセット = 0000h]

図 7-46 に、RS\_DECODER\_FRAME\_STAT\_2 を示し、表 7-50 に、その説明を示します。

概略表に戻ります。

図 7-46. RS\_DECODER\_FRAME\_STAT\_2 レジスタ

|                         |    |    |    |    |    |   |   |
|-------------------------|----|----|----|----|----|---|---|
| 15                      | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| rs_dec_uncorr_frame_cnt |    |    |    |    |    |   |   |
| R-0h                    |    |    |    |    |    |   |   |
| 7                       | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| rs_dec_uncorr_frame_cnt |    |    |    |    |    |   |   |
| R-0h                    |    |    |    |    |    |   |   |

表 7-50. RS\_DECODER\_FRAME\_STAT\_2 レジスタのフィールドの説明

| ビット  | フィールド                   | タイプ | リセット | 説明                                        |
|------|-------------------------|-----|------|-------------------------------------------|
| 15-0 | rs_dec_uncorr_frame_cnt | R   | 0h   | RS デコーダで受信した訂正不可能な RS フレームの数、読み取り時にクリア、飽和 |

## 7.2.47 RS\_DECODER\_FRAME\_STAT\_3 レジスタ (オフセット = 553h) [リセット = 0000h]

図 7-47 に、RS\_DECODER\_FRAME\_STAT\_3 を示し、表 7-51 に、その説明を示します。

概略表に戻ります。

図 7-47. RS\_DECODER\_FRAME\_STAT\_3 レジスタ

|                      |    |    |    |    |    |   |   |
|----------------------|----|----|----|----|----|---|---|
| 15                   | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| rs_dec_err_frame_cnt |    |    |    |    |    |   |   |
| R-0h                 |    |    |    |    |    |   |   |
| 7                    | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| rs_dec_err_frame_cnt |    |    |    |    |    |   |   |
| R-0h                 |    |    |    |    |    |   |   |

表 7-51. RS\_DECODER\_FRAME\_STAT\_3 レジスタのフィールドの説明

| ビット  | フィールド                | タイプ | リセット | 説明                                        |
|------|----------------------|-----|------|-------------------------------------------|
| 15-0 | rs_dec_err_frame_cnt | R   | 0h   | RS デコーダで受信したエラーのある RS フレームの数、読み取り時にクリア、飽和 |

## 7.2.48 RGMII\_CTRL レジスタ (オフセット = 600h) [リセット = 0120h]

RGMII\_CTRL を [図 7-48](#) に示し、[表 7-52](#) で説明しています。

[概略表](#)に戻ります。

**図 7-48. RGMII\_CTRL レジスタ**

| 15                    | 14                    | 13 | 12 | 11             | 10               | 9                     | 8    |
|-----------------------|-----------------------|----|----|----------------|------------------|-----------------------|------|
| 予約済み                  |                       |    |    |                |                  | rgmii_rx_half_full_th |      |
| R-0h                  |                       |    |    |                |                  | R/W-2h                |      |
| 7                     | 6                     | 5  | 4  | 3              | 2                | 1                     | 0    |
| rgmii_rx_half_full_th | rgmii_tx_half_full_th |    |    | rgmii_tx_if_en | invert_rgmii_txd | invert_rgmii_rxd      | 予約済み |
| R/W-2h                | R/W-2h                |    |    | R/W-0h         | R/W-0h           | R/W-0h                | R-0h |

**表 7-52. RGMII\_CTRL レジスタ フィールドの説明**

| ビット   | フィールド                 | タイプ | リセット | 説明                                                                                         |
|-------|-----------------------|-----|------|--------------------------------------------------------------------------------------------|
| 15-10 | 予約済み                  | R   | 0h   | 予約済み                                                                                       |
| 9-7   | rgmii_rx_half_full_th | R/W | 2h   | RGMII RX 同期 FIFO ハーフ フル スレッシュホールド                                                          |
| 6-4   | rgmii_tx_half_full_th | R/W | 2h   | RGMII TX 同期 FIFO ハーフ フル スレッシュホールド                                                          |
| 3     | rgmii_tx_if_en        | R/W | 0h   | RGMII 有効ビット<br>ストラップからのデフォルト<br>0h = RGMII 無効<br>1h = RGMII 有効                             |
| 2     | invert_rgmii_txd      | R/W | 0h   | RGMII Tx 配線順序を反転 - [3:0] を [0:3] にフルスワップ<br>0h = RGMII Tx 配線順序を維持<br>1h = RGMII Tx 配線順序を反転 |
| 1     | invert_rgmii_rxd      | R/W | 0h   | RGMII Rx 配線順序を反転 - [3:0] を [0:3] にフルスワップ<br>0h = RGMII Rx 配線順序を維持<br>1h = RGMII Rx 配線順序を反転 |
| 0     | 予約済み                  | R   | 0h   | 予約済み                                                                                       |

## 7.2.49 RGMII\_FIFO\_STATUS レジスタ (オフセット = 601h) [リセット = 0000h]

RGMII\_FIFO\_STATUS を 図 7-49 に示し、表 7-53 で説明しています。

概略表に戻ります。

図 7-49. RGMII\_FIFO\_STATUS レジスタ

|      |    |    |    |                      |                       |                      |                       |
|------|----|----|----|----------------------|-----------------------|----------------------|-----------------------|
| 15   | 14 | 13 | 12 | 11                   | 10                    | 9                    | 8                     |
| 予約済み |    |    |    |                      |                       |                      |                       |
| R-0h |    |    |    |                      |                       |                      |                       |
| 7    | 6  | 5  | 4  | 3                    | 2                     | 1                    | 0                     |
| 予約済み |    |    |    | rgmii_rx_af_full_err | rgmii_rx_af_empty_err | rgmii_tx_af_full_err | rgmii_tx_af_empty_err |
| R-0h |    |    |    | R/W0C-0h             | R/W0C-0h              | R/W0C-0h             | R/W0C-0h              |

表 7-53. RGMII\_FIFO\_STATUS レジスタ フィールドの説明

| ビット  | フィールド                 | タイプ   | リセット | 説明                                                                                  |
|------|-----------------------|-------|------|-------------------------------------------------------------------------------------|
| 15-4 | 予約済み                  | R     | 0h   | 予約済み                                                                                |
| 3    | rgmii_rx_af_full_err  | R/W0C | 0h   | RGMII RX FIFO のフル エラー<br>0h = エンプティ FIFO エラーなし<br>1h = RGMII TX のフル エラーが表示された       |
| 2    | rgmii_rx_af_empty_err | R/W0C | 0h   | RGMII RX FIFO のエンプティ エラー<br>0h = エンプティ FIFO エラーなし<br>1h = RGMII RX のエンプティ エラーが表示された |
| 1    | rgmii_tx_af_full_err  | R/W0C | 0h   | RGMII TX FIFO のフル エラー<br>0h = エンプティ FIFO エラーなし<br>1h = RGMII TX のフル エラーが表示された       |
| 0    | rgmii_tx_af_empty_err | R/W0C | 0h   | RGMII TX FIFO のエンプティ エラー<br>0h = エンプティ FIFO エラーなし<br>1h = RGMII TX のエンプティ エラーが表示された |

## 7.2.50 RGMII\_DELAY\_CTRL レジスタ (オフセット = 602h) [リセット = 0000h]

RGMII\_DELAY\_CTRL を [図 7-50](#) に示し、[表 7-54](#) で説明しています。

[概略表](#)に戻ります。

**図 7-50. RGMII\_DELAY\_CTRL レジスタ**

|      |    |    |    |    |    |            |            |
|------|----|----|----|----|----|------------|------------|
| 15   | 14 | 13 | 12 | 11 | 10 | 9          | 8          |
| 予約済み |    |    |    |    |    |            |            |
| R-0h |    |    |    |    |    |            |            |
| 7    | 6  | 5  | 4  | 3  | 2  | 1          | 0          |
| 予約済み |    |    |    |    |    | rx_clk_sel | tx_clk_sel |
| R-0h |    |    |    |    |    | R/W-0h     | R/W-0h     |

**表 7-54. RGMII\_DELAY\_CTRL レジスタ フィールドの説明**

| ビット  | フィールド      | タイプ | リセット | 説明                                                                                                                                                                                             |
|------|------------|-----|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-2 | 予約済み       | R   | 0h   | 予約済み                                                                                                                                                                                           |
| 1    | rx_clk_sel | R/W | 0h   | RGMII モードでは、RXD wrt RX_CLK の内部遅延を有効化または無効化します (RGMII_RX_CLK と RGMII_RXD が整列されている場合にこのモードを使用します)。遅延振幅は、レジスタ 0x430[7:4] のプログラムで設定できます。<br>0h = クロックとデータが整列されている<br>1h = クロックは RGMII_RX データに対して遅延 |
| 0    | tx_clk_sel | R/W | 0h   | RGMII モードでは、TXD wrt TX_CLK の内部遅延を有効化または無効化します (RGMII_TX_CLK と RGMII_TXD が整列されている場合にこのモードを使用します)。遅延振幅は、レジスタ 0x430[11:8] のプログラムで設定できます。<br>0h = クロックとデータが整列されている<br>1h = クロックは内部的に遅延             |

## 7.2.51 SGMII\_CTRL\_1 レジスタ (オフセット = 608h) [リセット = 007Bh]

図 7-51 に、SGMII\_CTRL\_1 を示し、表 7-55 に、その説明を示します。

概略表に戻ります。

SGMII レジスタ:DP83TG720S-Q1 でのみ使用可能

図 7-51. SGMII\_CTRL\_1 レジスタ

| 15                      | 14                  | 13                  | 12   | 11   | 10                  | 9            | 8                       |
|-------------------------|---------------------|---------------------|------|------|---------------------|--------------|-------------------------|
| sgmii_tx_err_dis        | cfg_align_idx_force | cfg_align_idx_value |      |      |                     | cfg_sgmii_en | cfg_sgmii_rx_pol_invert |
| R/W-0h                  | R/W-0h              | R/W-0h              |      |      |                     | R/W-0h       | R/W-0h                  |
| 7                       | 6                   | 5                   | 4    | 3    | 2                   | 1            | 0                       |
| cfg_sgmii_tx_pol_invert | 予約済み                |                     | 予約済み | 予約済み | sgmii_autoneg_timer |              | mr_an_enable            |
| R/W-0h                  | R-0h                |                     | R-0h | R-0h | R/W-1h              |              | R/W-1h                  |

表 7-55. SGMII\_CTRL\_1 レジスタのフィールドの説明

| ビット   | フィールド                   | タイプ | リセット | 説明                                                                                |
|-------|-------------------------|-----|------|-----------------------------------------------------------------------------------|
| 15    | sgmii_tx_err_dis        | R/W | 0h   | 1 = SGMII Tx エラー表示無効<br>0 = SGMII TX エラー表示有効                                      |
| 14    | cfg_align_idx_force     | R/W | 0h   | ワード境界インデックスの選択を強制する                                                               |
| 13-10 | cfg_align_idx_value     | R/W | 0h   | cfg_align_idx_force = 1 の場合<br>この値は iword 境界インデックスを設定します                          |
| 9     | cfg_sgmii_en            | R/W | 0h   | SGMII 有効ビット<br>ストラップからのデフォルト<br>0h = SGMII 無効<br>1h = SGMII 有効                    |
| 8     | cfg_sgmii_rx_pol_invert | R/W | 0h   | SGMII RX バスの反転極性<br>0h = 極性は反転していない<br>1h = SGMII RX バス極性反転                       |
| 7     | cfg_sgmii_tx_pol_invert | R/W | 0h   | SGMII TX バスの反転極性<br>0h = 極性は反転していない<br>1h = SGMII TX バス極性反転                       |
| 6-5   | 予約済み                    | R   | 0h   | 予約済み                                                                              |
| 4     | 予約済み                    | R   | 0h   | 予約済み                                                                              |
| 3     | 予約済み                    | R   | 0h   | 予約済み                                                                              |
| 2-1   | sgmii_autoneg_timer     | R/W | 1h   | SGMII 自動ネゴシエーション タイマの持続時間を選択します。<br>00: 1.6ms<br>01: 2us<br>10: 800us<br>11: 11ms |
| 0     | mr_an_enable            | R/W | 1h   | 1 = SGMII 自動ネゴシエーション有効<br>0 = SGMII 自動ネゴシエーション無効                                  |

## 7.2.52 SGMII\_STATUS レジスタ (オフセット = 60Ah) [リセット = 0000h]

SGMII\_STATUS を [図 7-52](#) に示し、[表 7-56](#) で説明しています。

[概略表](#)に戻ります。

SGMII レジスタ:DP83TG720S-Q1 でのみ使用可能

**図 7-52. SGMII\_STATUS レジスタ**

| 15            | 14 | 13 | 12                  | 11                 | 10             | 9            | 8               |
|---------------|----|----|---------------------|--------------------|----------------|--------------|-----------------|
| 予約済み          |    |    | sgmii_page_received | link_status_1000bx | mr_an_complete | cfg_align_en | cfg_sync_status |
| R-0h          |    |    | R-0h                | R-0h               | R-0h           | R-0h         | R-0h            |
| 7             | 6  | 5  | 4                   | 3                  | 2              | 1            | 0               |
| cfg_align_idx |    |    |                     | cfg_state          |                |              |                 |
| R-0h          |    |    |                     | R-0h               |                |              |                 |

**表 7-56. SGMII\_STATUS レジスタ フィールドの説明**

| ビット   | フィールド               | タイプ | リセット | 説明                                                                                            |
|-------|---------------------|-----|------|-----------------------------------------------------------------------------------------------|
| 15-13 | 予約済み                | R   | 0h   | 予約済み                                                                                          |
| 12    | sgmii_page_received | R   | 0h   | 新しい自動ネゴシエーション ページが受信されたことを示します<br>0h = 新しい自動ネゴシエーション ページを受信していない<br>1h = 新しい自動ネゴシエーション ページを受信 |
| 11    | link_status_1000bx  | R   | 0h   | SGMII リンク ステータス<br>0h = SGMII リンク ダウン<br>1h = SGMII リンク アップ                                   |
| 10    | mr_an_complete      | R   | 0h   | SGMII 自動ネゴシエーション完了を示す<br>0h = SGMII 自動ネゴシエーション未完了<br>1h = SGMII 自動ネゴシエーション完了                  |
| 9     | cfg_align_en        | R   | 0h   | ワード境界 FSM - 整列表示                                                                              |
| 8     | cfg_sync_status     | R   | 0h   | ワード境界 FSM - 同期ステータス表示<br>0h = 同期未完了<br>1h = 同期完了                                              |
| 7-4   | cfg_align_idx       | R   | 0h   | ワード境界インデックスの選択                                                                                |
| 3-0   | cfg_state           | R   | 0h   | ワード境界 FSM 状態                                                                                  |



## 7.2.53 SGMII\_CTRL\_2 レジスタ (オフセット = 60Ch) [リセット = 001Bh]

図 7-53 に、SGMII\_CTRL\_2 を示し、表 7-57 に、その説明を示します。

概略表に戻ります。

SGMII レジスタ: DP83TG720S-Q1 でのみ使用可能

図 7-53. SGMII\_CTRL\_2 レジスタ

|      |               |                 |    |    |                 |   |      |
|------|---------------|-----------------|----|----|-----------------|---|------|
| 15   | 14            | 13              | 12 | 11 | 10              | 9 | 8    |
| 予約済み |               |                 |    |    |                 |   | 予約済み |
| R-0h |               |                 |    |    |                 |   | R-0h |
| 7    | 6             | 5               | 4  | 3  | 2               | 1 | 0    |
| 予約済み | mr_restart_an | tx_half_full_th |    |    | rx_half_full_th |   |      |
| R-0h | R/WSC,0-0h    | R/W-3h          |    |    | R/W-3h          |   |      |

表 7-57. SGMII\_CTRL\_2 レジスタのフィールドの説明

| ビット  | フィールド           | タイプ     | リセット | 説明                              |
|------|-----------------|---------|------|---------------------------------|
| 15-9 | 予約済み            | R       | 0h   | 予約済み                            |
| 8    | 予約済み            | R       | 0h   | 予約済み                            |
| 7    | 予約済み            | R       | 0h   | 予約済み                            |
| 6    | mr_restart_an   | R/WSC、0 | 0h   | SGMII 自動ネゴシエーションを再開             |
| 5-3  | tx_half_full_th | R/W     | 3h   | SGMII TX 同期 FIFO ハーフ フル スレッショルド |
| 2-0  | rx_half_full_th | R/W     | 3h   | SGMII RX 同期 FIFO ハーフ フル スレッショルド |

## 7.2.54 SGMII\_FIFO\_STATUS レジスタ (オフセット = 60Dh) [リセット = 0000h]

SGMII\_FIFO\_STATUS を [図 7-54](#) に示し、[表 7-58](#) で説明しています。

[概略表](#)に戻ります。

SGMII レジスタ:DP83TG720S-Q1 でのみ使用可能

**図 7-54. SGMII\_FIFO\_STATUS レジスタ**

|      |    |    |    |                      |                       |                      |                       |
|------|----|----|----|----------------------|-----------------------|----------------------|-----------------------|
| 15   | 14 | 13 | 12 | 11                   | 10                    | 9                    | 8                     |
| 予約済み |    |    |    |                      |                       |                      |                       |
| R-0h |    |    |    |                      |                       |                      |                       |
| 7    | 6  | 5  | 4  | 3                    | 2                     | 1                    | 0                     |
| 予約済み |    |    |    | sgmii_rx_af_full_err | sgmii_rx_af_empty_err | sgmii_tx_af_full_err | sgmii_tx_af_empty_err |
| R-0h |    |    |    | R/W0C-0h             | R/W0C-0h              | R/W0C-0h             | R/W0C-0h              |

**表 7-58. SGMII\_FIFO\_STATUS レジスタ フィールドの説明**

| ビット  | フィールド                 | タイプ   | リセット | 説明                                                                             |
|------|-----------------------|-------|------|--------------------------------------------------------------------------------|
| 15-4 | 予約済み                  | R     | 0h   | 予約済み                                                                           |
| 3    | sgmii_rx_af_full_err  | R/W0C | 0h   | SGMII RX FIFO のフル エラー<br>0h = エラー表示なし<br>1h = SGMII RX FIFO フル エラーが表示された       |
| 2    | sgmii_rx_af_empty_err | R/W0C | 0h   | SGMII RX FIFO のエンプティ エラー<br>0h = エラー表示なし<br>1h = SGMII RX FIFO エンプティ エラーが表示された |
| 1    | sgmii_tx_af_full_err  | R/W0C | 0h   | SGMII TX FIFO のフル エラー<br>0h = エラー表示なし<br>1h = SGMII TX FIFO フル エラーが表示された       |
| 0    | sgmii_tx_af_empty_err | R/W0C | 0h   | SGMII TX FIFO のエンプティ エラー<br>0h = エラー表示なし<br>1h = SGMII TX FIFO エンプティ エラーが表示された |

## 7.2.55 PRBS\_STATUS\_1 レジスタ (オフセット = 618h) [リセット = 0000h]

図 7-55 に、PRBS\_STATUS\_1 を示し、表 7-59 に、その説明を示します。

概略表に戻ります。

**図 7-55. PRBS\_STATUS\_1 レジスタ**

|                 |    |    |    |    |    |   |   |
|-----------------|----|----|----|----|----|---|---|
| 15              | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| 予約済み            |    |    |    |    |    |   |   |
| R-0h            |    |    |    |    |    |   |   |
| 7               | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| prbs_err_ov_cnt |    |    |    |    |    |   |   |
| R-0h            |    |    |    |    |    |   |   |

**表 7-59. PRBS\_STATUS\_1 レジスタのフィールドの説明**

| ビット  | フィールド           | タイプ | リセット | 説明                                                                                                                                                                                                |
|------|-----------------|-----|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-8 | 予約済み            | R   | 0h   | 予約済み                                                                                                                                                                                              |
| 7-0  | prbs_err_ov_cnt | R   | 0h   | PRBS チェッカが受信したエラー カウンタ オーバーフロー カウンタを保持します。<br>レジスタ prbs_status_6 のビット [0] またはビット [1] に書き込みが行われると、このレジスタの値はロックされます。カウンタは 0xFF で停止します。<br>注記: PRBS カウンタがシングルモードで動作している場合、オーバーフロー カウンタはアクティブではありません。 |

## 7.2.56 PRBS\_CTRL\_1 レジスタ (オフセット = 619h) [リセット = 0574h]

図 7-56 に、PRBS\_CTRL\_1 を示し、表 7-60 に、その説明を示します。

概略表に戻ります。

図 7-56. PRBS\_CTRL\_1 レジスタ

| 15   | 14               | 13         | 12   | 11                | 10                  | 9                | 8          |
|------|------------------|------------|------|-------------------|---------------------|------------------|------------|
| 予約済み | 予約済み             | send_pkt   | 予約済み | cfg_prbs_chk_sel  |                     |                  |            |
| R-0h | R-0h             | R/WMC,0-0h | R-0h | R/W-5h            |                     |                  |            |
| 7    | 6                | 5          | 4    | 3                 | 2                   | 1                | 0          |
| 予約済み | cfg_prbs_gen_sel |            |      | cfg_prbs_cnt_mode | cfg_prbs_chk_enable | cfg_pkt_gen_prbs | pkt_gen_en |
| R-0h | R/W-7h           |            |      | R/W-0h            | R/W-1h              | R/W-0h           | R/W-0h     |

表 7-60. PRBS\_CTRL\_1 レジスタのフィールドの説明

| ビット   | フィールド               | タイプ      | リセット | 説明                                                                                                                                                                                                                                                                           |
|-------|---------------------|----------|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-14 | 予約済み                | R        | 0h   | 予約済み                                                                                                                                                                                                                                                                         |
| 13    | 予約済み                | R        | 0h   | 予約済み                                                                                                                                                                                                                                                                         |
| 12    | send_pkt            | R/WMC, 0 | 0h   | CRC 付きの固定 / 増分データを含む MAC パケットの生成を有効にする (pkt_gen_en を設定し、cfg_pkt_gen_prbs をクリアする必要があります) pkt_done が設定されると自動的にクリアされます<br>0h = MAC パケットを停止<br>1h = CRC 付き MAC パケットを送信                                                                                                           |
| 11    | 予約済み                | R        | 0h   | 予約済み                                                                                                                                                                                                                                                                         |
| 10-8  | cfg_prbs_chk_sel    | R/W      | 5h   | 000: チェッカは RGMII TX から受信<br>001: チェッカが SGMII TX を受信<br>101: チェッカーが Cu RX から受信                                                                                                                                                                                                |
| 7     | 予約済み                | R        | 0h   | 予約済み                                                                                                                                                                                                                                                                         |
| 6-4   | cfg_prbs_gen_sel    | R/W      | 7h   | 000: PRBS が RGMII RX に送信<br>001: PRBS が SGMII RX に送信<br>101: PRBS が Cu TX に送信                                                                                                                                                                                                |
| 3     | cfg_prbs_cnt_mode   | R/W      | 0h   | 1 = 連続モード。PRBS カウンタの 1 つが最大値に達すると、パルスが生成され、カウンタはゼロから再度カウントを開始します<br>0 = シングルモード。PRBS カウンタの 1 つが最大値に達すると、PRBS チェッカはカウントを停止します。                                                                                                                                                |
| 2     | cfg_prbs_chk_enable | R/W      | 1h   | PRBS チェッカ xbar を有効にする (データを受信するため)<br>0x63C、0x63D、0x63E のカウンタを有効にする<br>0h = PRBS チェッカを無効化<br>1h = PRBS チェッカを有効化                                                                                                                                                              |
| 1     | cfg_pkt_gen_prbs    | R/W      | 0h   | 設定されている場合:<br>(1) pkt_gen_en がセットされている場合、PRBS パケットが連続的に生成されます<br>(3) pkt_gen_en がクリアされているときは、次のようにクリアされていれば PRBS RX チェッカは有効のままです。<br>。(1) pkt_gen_en が設定されている場合、非 PRBS パケットが生成されます<br>(3) pkt_gen_en がクリアされると、PRBS RX チェッカも無効になります<br>0h = PRBS パケットを停止<br>1h = PRBS パケットを送信 |
| 0     | pkt_gen_en          | R/W      | 0h   | 1 = パケット / PRBS ジェネレータを有効化<br>0 = パケット / PRBS ジェネレータを無効化                                                                                                                                                                                                                     |

## 7.2.57 PRBS\_CTRL\_2 レジスタ (オフセット = 61Ah) [リセット = 05DCh]

図 7-57 に、PRBS\_CTRL\_2 を示し、表 7-61 に、その説明を示します。

概略表に戻ります。

図 7-57. PRBS\_CTRL\_2 レジスタ

|                  |    |    |    |    |    |   |   |
|------------------|----|----|----|----|----|---|---|
| 15               | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| cfg_pkt_len_prbs |    |    |    |    |    |   |   |
| R/W-5DCh         |    |    |    |    |    |   |   |
| 7                | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| cfg_pkt_len_prbs |    |    |    |    |    |   |   |
| R/W-5DCh         |    |    |    |    |    |   |   |

表 7-61. PRBS\_CTRL\_2 レジスタのフィールドの説明

| ビット  | フィールド            | タイプ | リセット | 説明                                       |
|------|------------------|-----|------|------------------------------------------|
| 15-0 | cfg_pkt_len_prbs | R/W | 5DCh | PRBS パケットと MAC パケット (CRC 付き) の長さ (バイト単位) |

## 7.2.58 PRBS\_CTRL\_3 レジスタ (オフセット = 61Bh) [リセット = 007Dh]

図 7-58 に、PRBS\_CTRL\_3 を示し、表 7-62 に、その説明を示します。

概略表に戻ります。

図 7-58. PRBS\_CTRL\_3 レジスタ

|             |    |    |    |    |    |   |   |
|-------------|----|----|----|----|----|---|---|
| 15          | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| 予約済み        |    |    |    |    |    |   |   |
| R-0h        |    |    |    |    |    |   |   |
| 7           | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| cfg_ipg_len |    |    |    |    |    |   |   |
| R/W-7Dh     |    |    |    |    |    |   |   |

表 7-62. PRBS\_CTRL\_3 レジスタのフィールドの説明

| ビット  | フィールド       | タイプ | リセット | 説明                   |
|------|-------------|-----|------|----------------------|
| 15-8 | 予約済み        | R   | 0h   | 予約済み                 |
| 7-0  | cfg_ipg_len | R/W | 7Dh  | パケット間のパケット間隔 (バイト単位) |

## 7.2.59 PRBS\_STATUS\_2 レジスタ (オフセット = 61Ch) [リセット = 0000h]

図 7-59 に、PRBS\_STATUS\_2 を示し、表 7-63 に、その説明を示します。

概略表に戻ります。

**図 7-59. PRBS\_STATUS\_2 レジスタ**

|               |    |    |    |    |    |   |   |
|---------------|----|----|----|----|----|---|---|
| 15            | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| prbs_byte_cnt |    |    |    |    |    |   |   |
| R-0h          |    |    |    |    |    |   |   |
| 7             | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| prbs_byte_cnt |    |    |    |    |    |   |   |
| R-0h          |    |    |    |    |    |   |   |

**表 7-63. PRBS\_STATUS\_2 レジスタのフィールドの説明**

| ビット  | フィールド         | タイプ | リセット | 説明                                                                                                                                                   |
|------|---------------|-----|------|------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-0 | prbs_byte_cnt | R   | 0h   | PRBS チェッカが受信した全バイトを保持します。<br>レジスタ prbs_status_6 のビット [0] またはビット [1] に書き込みが行われると、このレジスタの値はロックされます。<br>PRBS カウント モードが 0 に設定されている場合、カウントは 0xFFFF で停止します |

## 7.2.60 PRBS\_STATUS\_3 レジスタ (オフセット = 61Dh) [リセット = 0000h]

図 7-60 に、PRBS\_STATUS\_3 を示し、表 7-64 に、その説明を示します。

概略表に戻ります。

図 7-60. PRBS\_STATUS\_3 レジスタ

|                   |    |    |    |    |    |   |   |
|-------------------|----|----|----|----|----|---|---|
| 15                | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| prbs_pkt_cnt_15_0 |    |    |    |    |    |   |   |
| R-0h              |    |    |    |    |    |   |   |
| 7                 | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| prbs_pkt_cnt_15_0 |    |    |    |    |    |   |   |
| R-0h              |    |    |    |    |    |   |   |

表 7-64. PRBS\_STATUS\_3 レジスタのフィールドの説明

| ビット  | フィールド             | タイプ | リセット | 説明                                                                                                                                                                 |
|------|-------------------|-----|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-0 | prbs_pkt_cnt_15_0 | R   | 0h   | PRBS チェッカが受信したパケットの全ビット [15:0]<br>レジスタ prbs_status_6 のビット[0] またはビット[1] に書き込みが行われる<br>と、このレジスタの値はロックされます。<br>PRBS カウント モードが 0 に設定されている場合、カウントは<br>0xFFFFFFFF で停止します |



## 7.2.61 PRBS\_STATUS\_4 レジスタ (オフセット = 61Eh) [リセット = 0000h]

図 7-61 に、PRBS\_STATUS\_4 を示し、表 7-65 に、その説明を示します。

概略表に戻ります。

**図 7-61. PRBS\_STATUS\_4 レジスタ**

|                    |    |    |    |    |    |   |   |
|--------------------|----|----|----|----|----|---|---|
| 15                 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| prbs_pkt_cnt_31_16 |    |    |    |    |    |   |   |
| R-0h               |    |    |    |    |    |   |   |
| 7                  | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| prbs_pkt_cnt_31_16 |    |    |    |    |    |   |   |
| R-0h               |    |    |    |    |    |   |   |

**表 7-65. PRBS\_STATUS\_4 レジスタのフィールドの説明**

| ビット  | フィールド              | タイプ | リセット | 説明                                                                                                                                                                    |
|------|--------------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-0 | prbs_pkt_cnt_31_16 | R   | 0h   | PRBS チェッカが受信した全パケットのビット [31:16]<br>レジスタ prbs_status_6 のビット [0] またはビット [1] に書き込みが行われ<br>ると、このレジスタの値はロックされます。<br>PRBS カウント モードが 0 に設定されている場合、カウントは<br>0xFFFFFFFF で停止します |

## 7.2.62 PRBS\_STATUS\_6 レジスタ (オフセット = 620h) [リセット = 0000h]

図 7-62 に、PRBS\_STATUS\_6 を示し、表 7-66 に、その説明を示します。

概略表に戻ります。

図 7-62. PRBS\_STATUS\_6 レジスタ

|              |    |    |          |              |             |              |           |
|--------------|----|----|----------|--------------|-------------|--------------|-----------|
| 15           | 14 | 13 | 12       | 11           | 10          | 9            | 8         |
| 予約済み         |    |    | pkt_done | pkt_gen_busy | prbs_pkt_ov | prbs_byte_ov | prbs_lock |
| R-0h         |    |    | R-0h     | R-0h         | R-0h        | R-0h         | R-0h      |
| 7            | 6  | 5  | 4        | 3            | 2           | 1            | 0         |
| prbs_err_cnt |    |    |          |              |             |              |           |
| R-0h         |    |    |          |              |             |              |           |

表 7-66. PRBS\_STATUS\_6 レジスタのフィールドの説明

| ビット   | フィールド        | タイプ | リセット | 説明                                                                                                                                                                                                                       |
|-------|--------------|-----|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-13 | 予約済み         | R   | 0h   | 予約済み                                                                                                                                                                                                                     |
| 12    | pkt_done     | R   | 0h   | すべての CRC 付き MAC パケットが送信されるときに設定されます<br>0h = MAC パケットを送信中<br>1h = MAC パケット送信完了                                                                                                                                            |
| 11    | pkt_gen_busy | R   | 0h   | 1 = パケット ジェネレータが動作中<br>0 = パケット ジェネレータは動作していない                                                                                                                                                                           |
| 10    | prbs_pkt_ov  | R   | 0h   | 設定されている場合、パケット カウンタがオーバーフローに達したことを意味します<br>PRBS カウンタがクリアされるとオーバーフローもクリアされます -<br>prbs_status_6 のビット #1 を設定することで実行されます<br>0h = オーバーフローなし<br>1h = パケット カウンタ オーバーフロー                                                        |
| 9     | prbs_byte_ov | R   | 0h   | 設定されている場合、バイト カウンタがオーバーフローに達したことを意味します<br>PRBS カウンタがクリアされるとオーバーフローもクリアされます -<br>prbs_status_6 のビット #1 of 設定することで実行されます<br>0h = オーバーフローなし<br>1h = バイト カウンタ オーバーフロー                                                        |
| 8     | prbs_lock    | R   | 0h   | 1 = 受信したバイト ストリームで PRBS チェッカが同期およびロック<br>0 = PRBS チェッカはロックされていない<br>0h = PRBS チェッカはロックしていない<br>1h = 受信したバイト ストリームで PRBS チェッカがロックおよび同期                                                                                    |
| 7-0   | prbs_err_cnt | R   | 0h   | PRBS チェッカ値によって受信されたエラービット数を保持<br>このレジスタは、ビット[0] またはビット[1] への書き込みが完了するとロックされます<br>PRBS カウント モードが 0 に設定されている場合、カウンタは 0xFF で停止します<br>注: ビット 0 を書き込むと、PRBS カウンタのロック信号が生成されます。<br>ビット 1 を書き込むと、PRBS カウンタのロック信号およびクリア信号が生成されます |

## 7.2.63 PRBS\_STATUS\_8 レジスタ (オフセット = 622h) [リセット = 0000h]

図 7-63 に、PRBS\_STATUS\_8 を示し、表 7-67 に、その説明を示します。

概略表に戻ります。

図 7-63. PRBS\_STATUS\_8 レジスタ

|                  |    |    |    |    |    |   |   |
|------------------|----|----|----|----|----|---|---|
| 15               | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| pkt_err_cnt_15_0 |    |    |    |    |    |   |   |
| R-0h             |    |    |    |    |    |   |   |
| 7                | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| pkt_err_cnt_15_0 |    |    |    |    |    |   |   |
| R-0h             |    |    |    |    |    |   |   |

表 7-67. PRBS\_STATUS\_8 レジスタのフィールドの説明

| ビット  | フィールド            | タイプ | リセット | 説明                                                                                                                                                                |
|------|------------------|-----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-0 | pkt_err_cnt_15_0 | R   | 0h   | PRBS チェッカが受信したエラーのあるパケットの合計数のビット [15:0] レジスタ prbs_status_6 のビット[0] またはビット[1] に書き込みが行われると、このレジスタの値はロックされます。<br>PRBS カウント モードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します |

## 7.2.64 PRBS\_STATUS\_9 レジスタ (オフセット = 623h) [リセット = 0000h]

図 7-64 に、PRBS\_STATUS\_9 を示し、表 7-68 に、その説明を示します。

概略表に戻ります。

図 7-64. PRBS\_STATUS\_9 レジスタ

|                   |    |    |    |    |    |   |   |
|-------------------|----|----|----|----|----|---|---|
| 15                | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| pkt_err_cnt_31_16 |    |    |    |    |    |   |   |
| R-0h              |    |    |    |    |    |   |   |
| 7                 | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| pkt_err_cnt_31_16 |    |    |    |    |    |   |   |
| R-0h              |    |    |    |    |    |   |   |

表 7-68. PRBS\_STATUS\_9 レジスタのフィールドの説明

| ビット  | フィールド             | タイプ | リセット | 説明                                                                                                                                                                  |
|------|-------------------|-----|------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-0 | pkt_err_cnt_31_16 | R   | 0h   | PRBS チェッカーが受信したエラーのあるパケットの合計数のビット [31:16] レジスタ prbs_status_6 のビット[0] またはビット[1] に書き込みが行われると、このレジスタの値はロックされます。<br>PRBS カウント モードが 0 に設定されている場合、カウントは 0xFFFFFFFF で停止します |

## 7.2.65 PRBS\_CTRL\_4 レジスタ (オフセット = 624h) [リセット = 5511h]

図 7-65 に、PRBS\_CTRL\_4 を示し、表 7-69 に、その説明を示します。

概略表に戻ります。

**図 7-65. PRBS\_CTRL\_4 レジスタ**

|              |    |                       |    |    |             |   |   |
|--------------|----|-----------------------|----|----|-------------|---|---|
| 15           | 14 | 13                    | 12 | 11 | 10          | 9 | 8 |
| cfg_pkt_data |    |                       |    |    |             |   |   |
| R/W-55h      |    |                       |    |    |             |   |   |
| 7            | 6  | 5                     | 4  | 3  | 2           | 1 | 0 |
| cfg_pkt_mode |    | cfg_pattern_vld_bytes |    |    | cfg_pkt_cnt |   |   |
| R/W-0h       |    | R/W-2h                |    |    | R/W-1h      |   |   |

**表 7-69. PRBS\_CTRL\_4 レジスタのフィールドの説明**

| ビット  | フィールド                 | タイプ | リセット | 説明                                                                                                                                                        |
|------|-----------------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-8 | cfg_pkt_data          | R/W | 55h  | 修正データモードで送信する固定データ                                                                                                                                        |
| 7-6  | cfg_pkt_mode          | R/W | 0h   | 0h = 増分<br>1h = 固定<br>2h = PRBS<br>3h = PRBS                                                                                                              |
| 5-3  | cfg_pattern_vld_bytes | R/W | 2h   | パケット内の有効なパターンのバイト数 (最大 6)<br>0h = 0 バイト<br>1h = 1 バイト<br>2h = 2 バイト<br>3h = 3 バイト<br>4h = 4 バイト<br>5h = 5 バイト<br>6h = 6 バイト<br>7h = 6 バイト                 |
| 2-0  | cfg_pkt_cnt           | R/W | 1h   | 000b = 1 パケット<br>001b = 10 パケット<br>010b = 100 パケット<br>011b = 1000 パケット<br>100b = 10000 パケット<br>101b = 100000 パケット<br>110b = 1000000 パケット<br>111b = 連続パケット |

## 7.2.66 PRBS\_CTRL\_5 レジスタ (オフセット = 625h) [リセット = 0000h]

図 7-66 に、PRBS\_CTRL\_5 を示し、表 7-70 に、その説明を示します。

概略表に戻ります。

図 7-66. PRBS\_CTRL\_5 レジスタ

|              |    |    |    |    |    |   |   |
|--------------|----|----|----|----|----|---|---|
| 15           | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| pattern_15_0 |    |    |    |    |    |   |   |
| R/W-0h       |    |    |    |    |    |   |   |
| 7            | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| pattern_15_0 |    |    |    |    |    |   |   |
| R/W-0h       |    |    |    |    |    |   |   |

表 7-70. PRBS\_CTRL\_5 レジスタのフィールドの説明

| ビット  | フィールド        | タイプ | リセット | 説明            |
|------|--------------|-----|------|---------------|
| 15-0 | pattern_15_0 | R/W | 0h   | パターンのビット 15:0 |

## 7.2.67 PRBS\_CTRL\_6 レジスタ (オフセット = 626h) [リセット = 0000h]

図 7-67 に、PRBS\_CTRL\_6 を示し、表 7-71 に、その説明を示します。

概略表に戻ります。

図 7-67. PRBS\_CTRL\_6 レジスタ

|               |    |    |    |    |    |   |   |
|---------------|----|----|----|----|----|---|---|
| 15            | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| pattern_31_16 |    |    |    |    |    |   |   |
| R/W-0h        |    |    |    |    |    |   |   |
| 7             | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| pattern_31_16 |    |    |    |    |    |   |   |
| R/W-0h        |    |    |    |    |    |   |   |

表 7-71. PRBS\_CTRL\_6 レジスタのフィールドの説明

| ビット  | フィールド         | タイプ | リセット | 説明             |
|------|---------------|-----|------|----------------|
| 15-0 | pattern_31_16 | R/W | 0h   | パターンのビット 31:16 |

## 7.2.68 PRBS\_CTRL\_7 レジスタ (オフセット = 627h) [リセット = 0000h]

図 7-68 に、PRBS\_CTRL\_7 を示し、表 7-72 に、その説明を示します。

概略表に戻ります。

図 7-68. PRBS\_CTRL\_7 レジスタ

|               |    |    |    |    |    |   |   |
|---------------|----|----|----|----|----|---|---|
| 15            | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| pattern_47_32 |    |    |    |    |    |   |   |
| R/W-0h        |    |    |    |    |    |   |   |
| 7             | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| pattern_47_32 |    |    |    |    |    |   |   |
| R/W-0h        |    |    |    |    |    |   |   |

表 7-72. PRBS\_CTRL\_7 レジスタのフィールドの説明

| ビット  | フィールド         | タイプ | リセット | 説明             |
|------|---------------|-----|------|----------------|
| 15-0 | pattern_47_32 | R/W | 0h   | パターンのビット 47:32 |



## 7.2.69 PRBS\_CTRL\_8 レジスタ (オフセット = 628h) [リセット = 0000h]

図 7-69 に、PRBS\_CTRL\_8 を示し、表 7-73 に、その説明を示します。

概略表に戻ります。

**図 7-69. PRBS\_CTRL\_8 レジスタ**

|                  |    |    |    |    |    |   |   |
|------------------|----|----|----|----|----|---|---|
| 15               | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| pmatch_data_15_0 |    |    |    |    |    |   |   |
| R/W-0h           |    |    |    |    |    |   |   |
| 7                | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| pmatch_data_15_0 |    |    |    |    |    |   |   |
| R/W-0h           |    |    |    |    |    |   |   |

**表 7-73. PRBS\_CTRL\_8 レジスタのフィールドの説明**

| ビット  | フィールド            | タイプ | リセット | 説明                                          |
|------|------------------|-----|------|---------------------------------------------|
| 15-0 | pmatch_data_15_0 | R/W | 0h   | パーフェクトマッチデータのビット 15:0 - DA(宛先アドレス)一致に使用されます |

## 7.2.70 PRBS\_CTRL\_9 レジスタ (オフセット = 629h) [リセット = 0000h]

図 7-70 に、PRBS\_CTRL\_9 を示し、表 7-74 に、その説明を示します。

概略表に戻ります。

図 7-70. PRBS\_CTRL\_9 レジスタ

|                   |    |    |    |    |    |   |   |
|-------------------|----|----|----|----|----|---|---|
| 15                | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| pmatch_data_31_16 |    |    |    |    |    |   |   |
| R/W-0h            |    |    |    |    |    |   |   |
| 7                 | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| pmatch_data_31_16 |    |    |    |    |    |   |   |
| R/W-0h            |    |    |    |    |    |   |   |

表 7-74. PRBS\_CTRL\_9 レジスタのフィールドの説明

| ビット  | フィールド             | タイプ | リセット | 説明                                             |
|------|-------------------|-----|------|------------------------------------------------|
| 15-0 | pmatch_data_31_16 | R/W | 0h   | パーフェクトマッチデータのビット 31:16 - DA (宛先アドレス) 一致に使用されます |

## 7.2.71 PRBS\_CTRL\_10 レジスタ (オフセット = 62Ah) [リセット = 0000h]

図 7-71 に、PRBS\_CTRL\_10 を示し、表 7-75 に、その説明を示します。

概略表に戻ります。

**図 7-71. PRBS\_CTRL\_10 レジスタ**

|                   |    |    |    |    |    |   |   |
|-------------------|----|----|----|----|----|---|---|
| 15                | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| pmatch_data_47_32 |    |    |    |    |    |   |   |
| R/W-0h            |    |    |    |    |    |   |   |
| 7                 | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| pmatch_data_47_32 |    |    |    |    |    |   |   |
| R/W-0h            |    |    |    |    |    |   |   |

**表 7-75. PRBS\_CTRL\_10 レジスタのフィールドの説明**

| ビット  | フィールド             | タイプ | リセット | 説明                                             |
|------|-------------------|-----|------|------------------------------------------------|
| 15-0 | pmatch_data_47_32 | R/W | 0h   | パーフェクトマッチデータのビット 47:32 - DA (宛先アドレス) 一致に使用されます |

## 7.2.72 CRC\_STATUS レジスタ (オフセット = 638h) [リセット = 0000h]

図 7-72 に CRC\_STATUS を示し、表 7-76 に、その説明を示します。

概略表に戻ります。

図 7-72. CRC\_STATUS レジスタ

|      |    |    |    |    |    |            |            |
|------|----|----|----|----|----|------------|------------|
| 15   | 14 | 13 | 12 | 11 | 10 | 9          | 8          |
| 予約済み |    |    |    |    |    |            |            |
| R-0h |    |    |    |    |    |            |            |
| 7    | 6  | 5  | 4  | 3  | 2  | 1          | 0          |
| 予約済み |    |    |    |    |    | rx_bad_crc | tx_bad_crc |
| R-0h |    |    |    |    |    | R-0h       | R-0h       |

表 7-76. CRC\_STATUS レジスタのフィールドの説明

| ビット  | フィールド      | タイプ | リセット | 説明                                                               |
|------|------------|-----|------|------------------------------------------------------------------|
| 15-2 | 予約済み       | R   | 0h   | 予約済み                                                             |
| 1    | rx_bad_crc | R   | 0h   | Cu RX で受信されたパケットの CRC エラー表示<br>0h = CRC エラーなし<br>1h = CRC エラー    |
| 0    | tx_bad_crc | R   | 0h   | Cu TX で送信されたパケットにおける CRC エラー表示<br>0h = CRC エラーなし<br>1h = CRC エラー |

## 7.2.73 PKT\_STAT\_1 レジスタ (オフセット = 639h) [リセット = 0000h]

図 7-73 に、PKT\_STAT\_1 を示し、表 7-77 に、その説明を示します。

概略表に戻ります。

**図 7-73. PKT\_STAT\_1 レジスタ**

|                 |    |    |    |    |    |   |   |
|-----------------|----|----|----|----|----|---|---|
| 15              | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| tx_pkt_cnt_15_0 |    |    |    |    |    |   |   |
| R-0h            |    |    |    |    |    |   |   |
| 7               | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| tx_pkt_cnt_15_0 |    |    |    |    |    |   |   |
| R-0h            |    |    |    |    |    |   |   |

**表 7-77. PKT\_STAT\_1 レジスタのフィールドの説明**

| ビット  | フィールド           | タイプ | リセット | 説明                                                                  |
|------|-----------------|-----|------|---------------------------------------------------------------------|
| 15-0 | tx_pkt_cnt_15_0 | R   | 0h   | Tx パケットカウンタの下位 16 ビット<br>注: 0x639、0x63A、0x63B を順に読み出すと、レジスタはクリアされます |

## 7.2.74 PKT\_STAT\_2 レジスタ (オフセット = 63Ah) [リセット = 0000h]

図 7-74 に、PKT\_STAT\_2 を示し、表 7-78 に、その説明を示します。

概略表に戻ります。

図 7-74. PKT\_STAT\_2 レジスタ

|                  |    |    |    |    |    |   |   |
|------------------|----|----|----|----|----|---|---|
| 15               | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| tx_pkt_cnt_31_16 |    |    |    |    |    |   |   |
| R-0h             |    |    |    |    |    |   |   |
| 7                | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| tx_pkt_cnt_31_16 |    |    |    |    |    |   |   |
| R-0h             |    |    |    |    |    |   |   |

表 7-78. PKT\_STAT\_2 レジスタのフィールドの説明

| ビット  | フィールド            | タイプ | リセット | 説明                                                                   |
|------|------------------|-----|------|----------------------------------------------------------------------|
| 15-0 | tx_pkt_cnt_31_16 | R   | 0h   | Tx パケット カウンタの上位 16 ビット<br>注: 0x639、0x63A、0x63B を順に読み出すと、レジスタはクリアされます |

## 7.2.75 PKT\_STAT\_3 レジスタ (オフセット = 63Bh) [リセット = 0000h]

図 7-75 に、PKT\_STAT\_3 を示し、表 7-79 に、その説明を示します。

概略表に戻ります。

図 7-75. PKT\_STAT\_3 レジスタ

|                |    |    |    |    |    |   |   |
|----------------|----|----|----|----|----|---|---|
| 15             | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| tx_err_pkt_cnt |    |    |    |    |    |   |   |
| R-0h           |    |    |    |    |    |   |   |
| 7              | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| tx_err_pkt_cnt |    |    |    |    |    |   |   |
| R-0h           |    |    |    |    |    |   |   |

表 7-79. PKT\_STAT\_3 レジスタのフィールドの説明

| ビット  | フィールド          | タイプ | リセット | 説明                                                                            |
|------|----------------|-----|------|-------------------------------------------------------------------------------|
| 15-0 | tx_err_pkt_cnt | R   | 0h   | エラーあり Tx パケット (CR C エラー) カウンタ<br>注: 0x639, 0x63A, 0x63B を順に読み出すと、レジスタはクリアされます |

## 7.2.76 PKT\_STAT\_4 レジスタ (オフセット = 63Ch) [リセット = 0000h]

図 7-76 に、PKT\_STAT\_4 を示し、表 7-80 に、その説明を示します。

概略表に戻ります。

図 7-76. PKT\_STAT\_4 レジスタ

|                 |    |    |    |    |    |   |   |
|-----------------|----|----|----|----|----|---|---|
| 15              | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| rx_pkt_cnt_15_0 |    |    |    |    |    |   |   |
| R-0h            |    |    |    |    |    |   |   |
| 7               | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| rx_pkt_cnt_15_0 |    |    |    |    |    |   |   |
| R-0h            |    |    |    |    |    |   |   |

表 7-80. PKT\_STAT\_4 レジスタのフィールドの説明

| ビット  | フィールド           | タイプ | リセット | 説明                                                                   |
|------|-----------------|-----|------|----------------------------------------------------------------------|
| 15-0 | rx_pkt_cnt_15_0 | R   | 0h   | Rx パケット カウンタの下位 16 ビット<br>注: 0x63C、0x63D、0x63E を順に読み出すと、レジスタはクリアされます |



## 7.2.77 PKT\_STAT\_5 レジスタ (オフセット = 63Dh) [リセット = 0000h]

図 7-77 に、PKT\_STAT\_5 を示し、表 7-81 に、その説明を示します。

概略表に戻ります。

**図 7-77. PKT\_STAT\_5 レジスタ**

|                  |    |    |    |    |    |   |   |
|------------------|----|----|----|----|----|---|---|
| 15               | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| rx_pkt_cnt_31_16 |    |    |    |    |    |   |   |
| R-0h             |    |    |    |    |    |   |   |
| 7                | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| rx_pkt_cnt_31_16 |    |    |    |    |    |   |   |
| R-0h             |    |    |    |    |    |   |   |

**表 7-81. PKT\_STAT\_5 レジスタのフィールドの説明**

| ビット  | フィールド            | タイプ | リセット | 説明                                                                   |
|------|------------------|-----|------|----------------------------------------------------------------------|
| 15-0 | rx_pkt_cnt_31_16 | R   | 0h   | Rx パケット カウンタの上位 16 ビット<br>注: 0x63C、0x63D、0x63E を順に読み出すと、レジスタはクリアされます |

## 7.2.78 PKT\_STAT\_6 レジスタ (オフセット = 63Eh) [リセット = 0000h]

図 7-78 に、PKT\_STAT\_6 を示し、表 7-82 に、その説明を示します。

概略表に戻ります。

図 7-78. PKT\_STAT\_6 レジスタ

|                |    |    |    |    |    |   |   |
|----------------|----|----|----|----|----|---|---|
| 15             | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| rx_err_pkt_cnt |    |    |    |    |    |   |   |
| R-0h           |    |    |    |    |    |   |   |
| 7              | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| rx_err_pkt_cnt |    |    |    |    |    |   |   |
| R-0h           |    |    |    |    |    |   |   |

表 7-82. PKT\_STAT\_6 レジスタのフィールドの説明

| ビット  | フィールド          | タイプ | リセット | 説明                                                                         |
|------|----------------|-----|------|----------------------------------------------------------------------------|
| 15-0 | rx_err_pkt_cnt | R   | 0h   | エラーあり Rx パケット (CRC エラー) カウンタ<br>注: 0x63C、0x63D、0x63E を順に読み出すと、レジスタはクリアされます |

## 7.2.79 SQI\_REG\_1 レジスタ (オフセット = 871h) [リセット = 0000h]

図 7-79 に、SQI\_REG\_1 を示し、表 7-83 に、その説明を示します。

概略表に戻ります。

**図 7-79. SQI\_REG\_1 レジスタ**

|               |    |    |      |         |    |   |      |
|---------------|----|----|------|---------|----|---|------|
| 15            | 14 | 13 | 12   | 11      | 10 | 9 | 8    |
| 予約済み          |    |    |      |         |    |   |      |
| R-0h          |    |    |      |         |    |   |      |
| 7             | 6  | 5  | 4    | 3       | 2  | 1 | 0    |
| worst_sqi_out |    |    | 予約済み | sqi_out |    |   | 予約済み |
| R-0h          |    |    | R-0h | R-0h    |    |   | R-0h |

**表 7-83. SQI\_REG\_1 レジスタのフィールドの説明**

| ビット  | フィールド         | タイプ | リセット | 説明                                                                                                                                                                                                                                             |
|------|---------------|-----|------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-8 | 予約済み          | R   | 0h   | 予約済み                                                                                                                                                                                                                                           |
| 7-5  | worst_sqi_out | R   | 0h   | 3 ビット 前回の読み取り以降の Wprst SQI (上記の SQI マッピングを参照)<br>読み出し時にクリア                                                                                                                                                                                     |
| 4    | 予約済み          | R   | 0h   | 予約済み                                                                                                                                                                                                                                           |
| 3-1  | sqi_out       | R   | 0h   | 3 ビット SQI -<br>(この mse は平均二乗誤差 0x875[9:0] のこと)<br>0b000 = MSE > 102<br>0b001 = 81 < MSE ≤ 102<br>0b010 = 65 < MSE ≤ 81<br>0b011 = 51 < MSE ≤ 65<br>0b100 = 41 < MSE ≤ 51<br>0b101 = 32 < MSE ≤ 41<br>0b110 = 25 < MSE ≤ 32<br>0b111 = MSE ≤ 25 |
| 0    | 予約済み          | R   | 0h   | 予約済み                                                                                                                                                                                                                                           |

## 7.2.80 DSP\_REG\_74 レジスタ (オフセット = 874h) [リセット = 0000h]

図 7-80 に、DSP\_REG\_74 を示し、表 7-84 に、その説明を示します。

概略表に戻ります。

図 7-80. DSP\_REG\_74 レジスタ

|                    |    |    |    |    |    |   |   |
|--------------------|----|----|----|----|----|---|---|
| 15                 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| worst_peak_mse_out |    |    |    |    |    |   |   |
| R-0h               |    |    |    |    |    |   |   |
| 7                  | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| peak_mse_out       |    |    |    |    |    |   |   |
| R-0h               |    |    |    |    |    |   |   |

表 7-84. DSP\_REG\_74 レジスタのフィールドの説明

| ビット  | フィールド              | タイプ | リセット | 説明                                                                                                                 |
|------|--------------------|-----|------|--------------------------------------------------------------------------------------------------------------------|
| 15-8 | worst_peak_mse_out | R   | 0h   | TC12 (前述のピーク MSE マッピングを参照) の読み取り時にクリアされた最後の読み取り以降の最大 MSE 出力                                                        |
| 7-0  | peak_mse_out       | R   | 0h   | TC12 に基づくピーク MSE -<br>この値は $0.0625 \times 2$ 乗スライサの平均誤差 (最大値 = 0.015625) です。<br>実際の 2 乗スライサ誤差を得るには、この値を 248 で割ります。 |

## 7.2.81 DSP\_REG\_75 レジスタ (オフセット = 875h) [リセット = 0000h]

図 7-81 に、DSP\_REG\_75 を示し、表 7-85 に、その説明を示します。

概略表に戻ります。

**図 7-81. DSP\_REG\_75 レジスタ**

|          |    |    |    |      |    |          |   |
|----------|----|----|----|------|----|----------|---|
| 15       | 14 | 13 | 12 | 11   | 10 | 9        | 8 |
| 予約済み     |    |    |    | 予約済み |    | mse_lock |   |
| R-0h     |    |    |    | R-0h |    | R-0h     |   |
| 7        | 6  | 5  | 4  | 3    | 2  | 1        | 0 |
| mse_lock |    |    |    |      |    |          |   |
| R-0h     |    |    |    |      |    |          |   |

**表 7-85. DSP\_REG\_75 レジスタのフィールドの説明**

| ビット   | フィールド    | タイプ | リセット | 説明                                             |
|-------|----------|-----|------|------------------------------------------------|
| 15-12 | 予約済み     | R   | 0h   | 予約済み                                           |
| 11-10 | 予約済み     | R   | 0h   | 予約済み                                           |
| 9-0   | mse_lock | R   | 0h   | SQI マッピングに使用される 10 ビット MSE。(MSE = レシーバの平均二乗誤差) |

## 7.2.82 PMA\_PMD\_CONTROL\_1 レジスタ (オフセット = 1000h) [リセット = 0000h]

図 7-82 に、PMA\_PMD\_CONTROL\_1 を示し、表 7-86 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-82. PMA\_PMD\_CONTROL\_1 レジスタ**

|             |      |    |    |      |      |   |   |
|-------------|------|----|----|------|------|---|---|
| 15          | 14   | 13 | 12 | 11   | 10   | 9 | 8 |
| pma_reset_2 | 予約済み |    |    | 予約済み | 予約済み |   |   |
| R-0h        | R-0h |    |    | R-0h | R-0h |   |   |
| 7           | 6    | 5  | 4  | 3    | 2    | 1 | 0 |
| 予約済み        |      |    |    |      |      |   |   |
| R-0h        |      |    |    |      |      |   |   |

**表 7-86. PMA\_PMD\_CONTROL\_1 レジスタのフィールドの説明**

| ビット   | フィールド       | タイプ | リセット | 説明                                               |
|-------|-------------|-----|------|--------------------------------------------------|
| 15    | pma_reset_2 | R   | 0h   | 1 = PMA/PMD リセット<br>0 = 通常動作<br>注-RW ビット、セルフ クリア |
| 14-12 | 予約済み        | R   | 0h   | 予約済み                                             |
| 11    | 予約済み        | R   | 0h   | 予約済み                                             |
| 10-0  | 予約済み        | R   | 0h   | 予約済み                                             |

## 7.2.83 PMA\_PMD\_CONTROL\_2 レジスタ (オフセット = 1007h) [リセット = 003Dh]

図 7-83 に、PMA\_PMD\_CONTROL\_2 を示し、表 7-87 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-83. PMA\_PMD\_CONTROL\_2 レジスタ**

|      |    |                        |    |    |    |   |   |
|------|----|------------------------|----|----|----|---|---|
| 15   | 14 | 13                     | 12 | 11 | 10 | 9 | 8 |
| 予約済み |    |                        |    |    |    |   |   |
| R-0h |    |                        |    |    |    |   |   |
| 7    | 6  | 5                      | 4  | 3  | 2  | 1 | 0 |
| 予約済み |    | cfg_pma_type_selection |    |    |    |   |   |
| R-0h |    | R/W-3Dh                |    |    |    |   |   |

**表 7-87. PMA\_PMD\_CONTROL\_2 レジスタのフィールドの説明**

| ビット  | フィールド                  | タイプ | リセット | 説明                                                 |
|------|------------------------|-----|------|----------------------------------------------------|
| 15-6 | 予約済み                   | R   | 0h   | 予約済み                                               |
| 5-0  | cfg_pma_type_selection | R/W | 3Dh  | デバイスの BASE-T1 タイプの選択<br>3Dh = デバイスの BASE-T1 タイプの選択 |

## 7.2.84 PMA\_PMD\_TRANSMIT\_DISABLE レジスタ (オフセット = 1009h) [リセット = 0000h]

PMA\_PMD\_TRANSMIT\_DISABLE を [図 7-84](#) に示し、[表 7-88](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-84. PMA\_PMD\_TRANSMIT\_DISABLE レジスタ**

|      |    |    |    |    |    |   |                        |
|------|----|----|----|----|----|---|------------------------|
| 15   | 14 | 13 | 12 | 11 | 10 | 9 | 8                      |
| 予約済み |    |    |    |    |    |   |                        |
| R-0h |    |    |    |    |    |   |                        |
| 7    | 6  | 5  | 4  | 3  | 2  | 1 | 0                      |
| 予約済み |    |    |    |    |    |   | cfg_transmit_disable_2 |
| R-0h |    |    |    |    |    |   | R-0h                   |

**表 7-88. PMA\_PMD\_TRANSMIT\_DISABLE レジスタ フィールドの説明**

| ビット  | フィールド                  | タイプ | リセット | 説明                                     |
|------|------------------------|-----|------|----------------------------------------|
| 15-1 | 予約済み                   | R   | 0h   | 予約済み                                   |
| 0    | cfg_transmit_disable_2 | R   | 0h   | 1 = 送信ディセーブル<br>0 = 通常動作<br>注 - RW ビット |



## 7.2.85 PMA\_PMD\_EXTENDED\_ABILITY2 レジスタ (オフセット = 100Bh) [リセット = 0800h]

図 7-85 に、PMA\_PMD\_EXTENDED\_ABILITY2 を示し、表 7-89 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-85. PMA\_PMD\_EXTENDED\_ABILITY2 レジスタ**

|      |    |    |    |                            |      |   |   |
|------|----|----|----|----------------------------|------|---|---|
| 15   | 14 | 13 | 12 | 11                         | 10   | 9 | 8 |
| 予約済み |    |    |    | base_t1_extended_abilities | 予約済み |   |   |
| R-0h |    |    |    | R-1h                       | R-0h |   |   |
| 7    | 6  | 5  | 4  | 3                          | 2    | 1 | 0 |
| 予約済み |    |    |    |                            |      |   |   |
| R-0h |    |    |    |                            |      |   |   |

**表 7-89. PMA\_PMD\_EXTENDED\_ABILITY2 レジスタのフィールドの説明**

| ビット   | フィールド                      | タイプ | リセット | 説明                                                                              |
|-------|----------------------------|-----|------|---------------------------------------------------------------------------------|
| 15-12 | 予約済み                       | R   | 0h   | 予約済み                                                                            |
| 11    | base_t1_extended_abilities | R   | 1h   | 1 = PMA/PMD にレジスタにリストされた BASE-T1 拡張機能あり<br>1.18<br>0 = PMA/PMD に BASE-T1 拡張機能なし |
| 10-0  | 予約済み                       | R   | 0h   | 予約済み                                                                            |

## 7.2.86 PMA\_PMD\_EXTENDED\_ABILITY レジスタ (オフセット = 1012h) [リセット = 0002h]

PMA\_PMD\_EXTENDED\_ABILITY を [図 7-86](#) に示し、[表 7-90](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-86. PMA\_PMD\_EXTENDED\_ABILITY レジスタ**

|      |    |    |    |    |    |                         |                        |
|------|----|----|----|----|----|-------------------------|------------------------|
| 15   | 14 | 13 | 12 | 11 | 10 | 9                       | 8                      |
| 予約済み |    |    |    |    |    |                         |                        |
| R-0h |    |    |    |    |    |                         |                        |
| 7    | 6  | 5  | 4  | 3  | 2  | 1                       | 0                      |
| 予約済み |    |    |    |    |    | mr_1000_base_t1_ability | mr_100_base_t1_ability |
| R-0h |    |    |    |    |    | R-1h                    | R-0h                   |

**表 7-90. PMA\_PMD\_EXTENDED\_ABILITY レジスタ フィールドの説明**

| ビット  | フィールド                   | タイプ | リセット | 説明                                                                |
|------|-------------------------|-----|------|-------------------------------------------------------------------|
| 15-2 | 予約済み                    | R   | 0h   | 予約済み                                                              |
| 1    | mr_1000_base_t1_ability | R   | 1h   | 1 = PMA/PMD は 1000BASE-T1 を実行可<br>0 = PMA/PMD は 1000BASE-T1 を実行不可 |
| 0    | mr_100_base_t1_ability  | R   | 0h   | 1 = PMA/PMD は 100BASE-T1 を実行可<br>0 = PMA/PMD は 100BASE-T1 を実行不可   |

## 7.2.87 PMA\_PMD\_CONTROL レジスタ (オフセット = 1834h) [リセット = 8001h]

PMA\_PMD\_CONTROL を [図 7-87](#) に示し、[表 7-91](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-87. PMA\_PMD\_CONTROL レジスタ**

| 15   | 14                   | 13   | 12 | 11   | 10 | 9 | 8 |
|------|----------------------|------|----|------|----|---|---|
| 予約済み | cfg_master_slave_val | 予約済み |    |      |    |   |   |
| R-0h | R/W-0h               | R-0h |    |      |    |   |   |
| 7    | 6                    | 5    | 4  | 3    | 2  | 1 | 0 |
| 予約済み |                      |      |    | 予約済み |    |   |   |
| R-0h |                      |      |    | R-0h |    |   |   |

**表 7-91. PMA\_PMD\_CONTROL レジスタ フィールドの説明**

| ビット  | フィールド                | タイプ | リセット | 説明                                      |
|------|----------------------|-----|------|-----------------------------------------|
| 15   | 予約済み                 | R   | 0h   | 予約済み                                    |
| 14   | cfg_master_slave_val | R/W | 0h   | 1 = PHY をマスタとして構成<br>0 = PHY をスレーブとして構成 |
| 13-4 | 予約済み                 | R   | 0h   | 予約済み                                    |
| 3-0  | 予約済み                 | R   | 0h   | 予約済み                                    |

## 7.2.88 PMA\_CONTROL レジスタ (オフセット = 1900h) [リセット = 0000h]

PMA\_CONTROL を [図 7-88](#) に示し、[表 7-92](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-88. PMA\_CONTROL レジスタ**

| 15        | 14                   | 13   | 12 | 11   | 10   | 9 | 8 |
|-----------|----------------------|------|----|------|------|---|---|
| pma_reset | cfg_transmit_disable | 予約済み |    | 予約済み | 予約済み |   |   |
| R-0h      | R-0h                 | R-0h |    | R-0h | R-0h |   |   |
| 7         | 6                    | 5    | 4  | 3    | 2    | 1 | 0 |
| 予約済み      |                      |      |    |      |      |   |   |
| R-0h      |                      |      |    |      |      |   |   |

**表 7-92. PMA\_CONTROL レジスタ フィールドの説明**

| ビット   | フィールド                | タイプ | リセット | 説明                                               |
|-------|----------------------|-----|------|--------------------------------------------------|
| 15    | pma_reset            | R   | 0h   | 1 = PMA/PMD リセット<br>0 = 通常動作<br>注-RW ビット、セルフ クリア |
| 14    | cfg_transmit_disable | R   | 0h   | 1 = 送信ディセーブル<br>0 = 通常動作<br>注 - RW ビット           |
| 13-12 | 予約済み                 | R   | 0h   | 予約済み                                             |
| 11    | 予約済み                 | R   | 0h   | 予約済み                                             |
| 10-0  | 予約済み                 | R   | 0h   | 予約済み                                             |

## 7.2.89 PMA\_STATUS レジスタ (オフセット = 1901h) [リセット = 0900h]

PMA\_STATUS を [図 7-89](#) に示し、[表 7-93](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-89. PMA\_STATUS レジスタ**

| 15   | 14 | 13 | 12 | 11          | 10               | 9                     | 8                          |
|------|----|----|----|-------------|------------------|-----------------------|----------------------------|
| 予約済み |    |    |    | oam_ability | eee_ability      | receive_fault_ability | low_power_ability          |
| R-0h |    |    |    | R-1h        | R-0h             | R-0h                  | R-1h                       |
| 7    | 6  | 5  | 4  | 3           | 2                | 1                     | 0                          |
| 予約済み |    |    |    |             | receive_polarity | receive_fault         | pma_receive_link_status_ll |
| R-0h |    |    |    |             | R-0h             | R-0h                  | R/W0S-0h                   |

**表 7-93. PMA\_STATUS レジスタ フィールドの説明**

| ビット   | フィールド                      | タイプ   | リセット | 説明                                                                        |
|-------|----------------------------|-------|------|---------------------------------------------------------------------------|
| 15-12 | 予約済み                       | R     | 0h   | 予約済み                                                                      |
| 11    | oam_ability                | R     | 1h   | 1 = PHY は 1000BASE-T1 OAM 機能を備えている<br>0 = PHY は 1000BASE-T1 OAM 機能を備えていない |
| 10    | eee_ability                | R     | 0h   | 1 = PHY は EEE 機能を備えている<br>0 = PHY は EEE 機能を備えていない                         |
| 9     | receive_fault_ability      | R     | 0h   | 1 = PMA/PMD には受信パスの故障条件を検出する機能あり<br>0 = PMA/PMD は受信パスのフォルト条件を検出する機能なし     |
| 8     | low_power_ability          | R     | 1h   | 1 = PMA/PMD には低消費電力機能あり<br>0 = PMA/PMD には低消費電力機能なし                        |
| 7-3   | 予約済み                       | R     | 0h   | 予約済み                                                                      |
| 2     | receive_polarity           | R     | 0h   | 1 = 受信極性を反転する<br>0 = 受信極性を反転しない                                           |
| 1     | receive_fault              | R     | 0h   | 1 = 故障条件が検出された<br>0 = 故障条件は検出されていない                                       |
| 0     | pma_receive_link_status_ll | R/W0S | 0h   | 1 = PMA/PMD 受信リンクアップ<br>0 = PMA/PMD 受信リンクダウン                              |

## 7.2.90 TRAINING レジスタ (オフセット = 1902h) [リセット = 0002h]

TRAINING を [図 7-90](#) に示し、[表 7-94](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-90. TRAINING レジスタ**

|                       |    |    |    |      |                       |            |            |
|-----------------------|----|----|----|------|-----------------------|------------|------------|
| 15                    | 14 | 13 | 12 | 11   | 10                    | 9          | 8          |
| 予約済み                  |    |    |    |      | cfg_training_user_fld |            |            |
| R-0h                  |    |    |    |      | R/W-0h                |            |            |
| 7                     | 6  | 5  | 4  | 3    | 2                     | 1          | 0          |
| cfg_training_user_fld |    |    |    | 予約済み |                       | cfg_oam_en | cfg_eee_en |
| R/W-0h                |    |    |    | R-0h |                       | R/W-1h     | R/W-0h     |

**表 7-94. TRAINING レジスタ フィールドの説明**

| ビット   | フィールド                 | タイプ | リセット | 説明                                                                                       |
|-------|-----------------------|-----|------|------------------------------------------------------------------------------------------|
| 15-11 | 予約済み                  | R   | 0h   | 予約済み                                                                                     |
| 10-4  | cfg_training_user_fld | R/W | 0h   | リンク パートナーに送信するための 7 ビットのユーザー定義フィールド                                                      |
| 3-2   | 予約済み                  | R   | 0h   | 予約済み                                                                                     |
| 1     | cfg_oam_en            | R/W | 1h   | 1 = 1000BASE-T1 OAM 機能がリンクパートナーにアドバタイズされる<br>0 = 1000BASE-T1 OAM 機能がリンク パートナーにアドバタイズされない |
| 0     | cfg_eee_en            | R/W | 0h   | 1 = EEE 機能がリンクパートナーにアドバタイズされる<br>0 = EEE 機能がリンク パートナーにアドバタイズされない                         |

## 7.2.91 LP\_TRAINING レジスタ (オフセット = 1903h) [リセット = 0000h]

LP\_TRAINING を [図 7-91](#) に示し、[表 7-95](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-91. LP\_TRAINING レジスタ**

| 15                   | 14 | 13 | 12 | 11   | 10                   | 9          | 8          |
|----------------------|----|----|----|------|----------------------|------------|------------|
| 予約済み                 |    |    |    |      | lp_training_user_fld |            |            |
| R-0h                 |    |    |    |      | R-0h                 |            |            |
| 7                    | 6  | 5  | 4  | 3    | 2                    | 1          | 0          |
| lp_training_user_fld |    |    |    | 予約済み |                      | lp_oam_adv | lp_eee_adv |
| R-0h                 |    |    |    | R-0h |                      | R-0h       | R-0h       |

**表 7-95. LP\_TRAINING レジスタ フィールドの説明**

| ビット   | フィールド                | タイプ | リセット | 説明                                                                                  |
|-------|----------------------|-----|------|-------------------------------------------------------------------------------------|
| 15-11 | 予約済み                 | R   | 0h   | 予約済み                                                                                |
| 10-4  | lp_training_user_fld | R   | 0h   | リンク パートナーから受信した 7 ビットのユーザー定義フィールド                                                   |
| 3-2   | 予約済み                 | R   | 0h   | 予約済み                                                                                |
| 1     | lp_oam_adv           | R   | 0h   | 1 = リンク パートナーは 1000BASE-T1 OAM 機能を備えている<br>0 = リンク パートナーは 1000BASE-T1 OAM 機能を備えていない |
| 0     | lp_eee_adv           | R   | 0h   | 1 = リンクパートナーに EEE 機能があり<br>0 = リンク パートナーに EEE 機能なし                                  |

## 7.2.92 TEST\_MODE\_CONTROL レジスタ (オフセット = 1904h) [リセット = 0000h]

TEST\_MODE\_CONTROL を [図 7-92](#) に示し、[表 7-96](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x1) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-92. TEST\_MODE\_CONTROL レジスタ**

|               |    |    |      |      |    |   |   |
|---------------|----|----|------|------|----|---|---|
| 15            | 14 | 13 | 12   | 11   | 10 | 9 | 8 |
| cfg_test_mode |    |    | 予約済み |      |    |   |   |
| R/W-0h        |    |    |      | R-0h |    |   |   |
| 7             | 6  | 5  | 4    | 3    | 2  | 1 | 0 |
| 予約済み          |    |    |      |      |    |   |   |
| R-0h          |    |    |      |      |    |   |   |

**表 7-96. TEST\_MODE\_CONTROL レジスタ フィールドの説明**

| ビット   | フィールド         | タイプ | リセット | 説明                                                                                                                                                 |
|-------|---------------|-----|------|----------------------------------------------------------------------------------------------------------------------------------------------------|
| 15-13 | cfg_test_mode | R/W | 0h   | 111 = テスト モード 7<br>110 = テスト モード 6<br>101 = テスト モード 5<br>100 = テスト モード 4<br>011 = 予約済み<br>010 = テスト モード 2<br>001 = テスト モード 1<br>000 = 通常 (非テスト) 動作 |
| 12-0  | 予約済み          | R   | 0h   | 予約済み                                                                                                                                               |



## 7.2.93 PCS\_CONTROL レジスタ (オフセット = 3900h) [リセット = 0000h]

PCS\_CONTROL を [図 7-93](#) に示し、[表 7-97](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-93. PCS\_CONTROL レジスタ**

|           |      |      |    |    |    |   |   |
|-----------|------|------|----|----|----|---|---|
| 15        | 14   | 13   | 12 | 11 | 10 | 9 | 8 |
| pcs_reset | 予約済み | 予約済み |    |    |    |   |   |
| R-0h      | R-0h | R-0h |    |    |    |   |   |
| 7         | 6    | 5    | 4  | 3  | 2  | 1 | 0 |
| 予約済み      |      |      |    |    |    |   |   |
| R-0h      |      |      |    |    |    |   |   |

**表 7-97. PCS\_CONTROL レジスタ フィールドの説明**

| ビット  | フィールド     | タイプ | リセット | 説明                                                  |
|------|-----------|-----|------|-----------------------------------------------------|
| 15   | pcs_reset | R   | 0h   | 注- RW ビット、セルフ クリア ビット<br>0h = 通常動作<br>1h = PCS リセット |
| 14   | 予約済み      | R   | 0h   | 予約済み                                                |
| 13-0 | 予約済み      | R   | 0h   | 予約済み                                                |

## 7.2.94 PCS\_STATUS レジスタ (オフセット = 3901h) [リセット = 0000h]

PCS\_STATUS を [図 7-94](#) に示し、[表 7-98](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-94. PCS\_STATUS レジスタ**

| 15        | 14   | 13 | 12 | 11   | 10                         | 9    | 8    |
|-----------|------|----|----|------|----------------------------|------|------|
| 予約済み      |      |    |    | 予約済み | 予約済み                       | 予約済み | 予約済み |
| R-0h      |      |    |    | R-0h | R-0h                       | R-0h | R-0h |
| 7         | 6    | 5  | 4  | 3    | 2                          | 1    | 0    |
| pcs_fault | 予約済み |    |    |      | pcs_receive_link_status_ll | 予約済み |      |
| R-0h      | R-0h |    |    |      | R/W0S-0h                   | R-0h |      |

**表 7-98. PCS\_STATUS レジスタ フィールドの説明**

| ビット   | フィールド                      | タイプ   | リセット | 説明                                       |
|-------|----------------------------|-------|------|------------------------------------------|
| 15-12 | 予約済み                       | R     | 0h   | 予約済み                                     |
| 11    | 予約済み                       | R     | 0h   | 予約済み                                     |
| 10    | 予約済み                       | R     | 0h   | 予約済み                                     |
| 9     | 予約済み                       | R     | 0h   | 予約済み                                     |
| 8     | 予約済み                       | R     | 0h   | 予約済み                                     |
| 7     | pcs_fault                  | R     | 0h   | 0h = 故障条件は検出されていない<br>1h = 故障条件が検出された    |
| 6-3   | 予約済み                       | R     | 0h   | 予約済み                                     |
| 2     | pcs_receive_link_status_ll | R/W0S | 0h   | 0h = PCS 受信リンク ダウン<br>1h = PCS 受信リンク アップ |
| 1-0   | 予約済み                       | R     | 0h   | 予約済み                                     |

## 7.2.95 PCS\_STATUS\_2 レジスタ (オフセット = 3902h) [リセット = 0000h]

図 7-95 に、PCS\_STATUS\_2 を示し、表 7-99 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

図 7-95. PCS\_STATUS\_2 レジスタ

| 15         | 14            | 13   | 12 | 11 | 10                      | 9       | 8          |
|------------|---------------|------|----|----|-------------------------|---------|------------|
| 予約済み       |               |      |    |    | pcs_receive_link_status | hi_rfer | block_lock |
| R-0h       |               |      |    |    | R-0h                    | R-0h    | R-0h       |
| 7          | 6             | 5    | 4  | 3  | 2                       | 1       | 0          |
| hi_rfer_lh | block_lock_ll | 予約済み |    |    |                         |         |            |
| R/W0C-0h   | R/W0S-0h      | R-0h |    |    |                         |         |            |

表 7-99. PCS\_STATUS\_2 レジスタのフィールドの説明

| ビット   | フィールド                   | タイプ   | リセット | 説明                                                          |
|-------|-------------------------|-------|------|-------------------------------------------------------------|
| 15-11 | 予約済み                    | R     | 0h   | 予約済み                                                        |
| 10    | pcs_receive_link_status | R     | 0h   | 0h = PCS 受信リンク ダウン<br>1h = PCS 受信リンク アップ                    |
| 9     | hi_rfer                 | R     | 0h   | 0h = PCS は High BER を報告していない<br>1h = PCS が High BER を報告している |
| 8     | block_lock              | R     | 0h   | 0h = PCS は受信ブロックにロックされていない<br>1h = PCS は受信ブロックにロックされている     |
| 7     | hi_rfer_lh              | R/W0C | 0h   | 0h = PCS は High BER を報告していない<br>1h = PCS は High BER を報告している |
| 6     | block_lock_ll           | R/W0S | 0h   | 0h = PCS にブロック ロックなし<br>1h = PCS にブロックロックあり                 |
| 5-0   | 予約済み                    | R     | 0h   | 予約済み                                                        |

## 7.2.96 OAM\_TRANSMIT レジスタ (オフセット = 3904h) [リセット = 0000h]

OAM\_TRANSMIT を [図 7-96](#) に示し、[表 7-100](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-96. OAM\_TRANSMIT レジスタ**

| 15          | 14           | 13             | 12                    | 11                | 10         | 9         | 8 |
|-------------|--------------|----------------|-----------------------|-------------------|------------|-----------|---|
| mr_tx_valid | mr_tx_toggle | mr_tx_received | mr_tx_received_toggle | mr_tx_message_num |            |           |   |
| R/WMC,0-0h  | R-0h         | R-0h           | R-0h                  | R/W-0h            |            |           |   |
| 7           | 6            | 5              | 4                     | 3                 | 2          | 1         | 0 |
| 予約済み        |              |                |                       | mr_rx_ping        | mr_tx_ping | mr_tx_snr |   |
| R-0h        |              |                |                       | R-0h              | R/W-0h     | R-0h      |   |

**表 7-100. OAM\_TRANSMIT レジスタ フィールドの説明**

| ビット  | フィールド                 | タイプ      | リセット | 説明                                                                                                                                                                                                                                     |
|------|-----------------------|----------|------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15   | mr_tx_valid           | R/WMC, 0 | 0h   | このビットは、レジスタ 3.2308.11:8、3.2309、3.2310、3.2311、および 3.2312 のメッセージ データが有効でロード可能であることを示すために使用されます。<br>ステートマシンによってレジスタがロードされると、このビットは自己クリアされます。<br>1 = レジスタのメッセージ データ有効<br>0 = レジスタのメッセージ データ無効                                              |
| 14   | mr_tx_toggle          | R        | 0h   | メッセージとともに送信する値を切り替えます。<br>このビットはステートマシンによって設定されるため、ユーザーがオーバーライドすることはできません。                                                                                                                                                             |
| 13   | mr_tx_received        | R        | 0h   | このビットは読み出すと自動的にクリアされます。<br>1 = リンクパートナーが受信した 1000BASE-T1 OAM メッセージ<br>0 = リンクパートナーが受信していない 1000BASE-T1 OAM メッセージ                                                                                                                       |
| 12   | mr_tx_received_toggle | R        | 0h   | リンク パートナーが受信したメッセージのトグル値                                                                                                                                                                                                               |
| 11-8 | mr_tx_message_num     | R/W      | 0h   | 送信するユーザー定義のメッセージ番号                                                                                                                                                                                                                     |
| 7-4  | 予約済み                  | R        | 0h   | 予約済み                                                                                                                                                                                                                                   |
| 3    | mr_rx_ping            | R        | 0h   | 最新の正常な 1000BASE-T1 OAM フレームから受信した PingTx 値                                                                                                                                                                                             |
| 2    | mr_tx_ping            | R/W      | 0h   | リンクパートナーに送信する Ping 値                                                                                                                                                                                                                   |
| 1-0  | mr_tx_snr             | R        | 0h   | 00 = PHY リンクに故障が発生しているため、現在の 1000BASE-T1 OAM フレームが終了してから 2ms ~ 4ms 以内にリンクをドロップし、再リンクを行う必要があります。<br>01 = LPI のリフレッシュが PHY SNR を維持に不十分。LPI を終了してアイドルを送信するようにリンク パートナーを要求します (EEE が有効の場合のみ使用)。<br>10 = PHY SNR が不十分。<br>11 = PHY SNR は十分。 |

## 7.2.97 OAM\_TX\_MESSAGE\_1 レジスタ (オフセット = 3905h) [リセット = 0000h]

図 7-97 に、OAM\_TX\_MESSAGE\_1 を示し、表 7-101 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-97. OAM\_TX\_MESSAGE\_1 レジスタ**

|                    |    |    |    |    |    |   |   |
|--------------------|----|----|----|----|----|---|---|
| 15                 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| mr_tx_message_15_0 |    |    |    |    |    |   |   |
| R/W-0h             |    |    |    |    |    |   |   |
| 7                  | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| mr_tx_message_15_0 |    |    |    |    |    |   |   |
| R/W-0h             |    |    |    |    |    |   |   |

**表 7-101. OAM\_TX\_MESSAGE\_1 レジスタのフィールドの説明**

| ビット  | フィールド              | タイプ | リセット | 説明                              |
|------|--------------------|-----|------|---------------------------------|
| 15-0 | mr_tx_message_15_0 | R/W | 0h   | メッセージ オクテット 1/0。LSB が最初に送信されます。 |

## 7.2.98 OAM\_TX\_MESSAGE\_2 レジスタ (オフセット = 3906h) [リセット = 0000h]

図 7-98 に、OAM\_TX\_MESSAGE\_2 を示し、表 7-102 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-98. OAM\_TX\_MESSAGE\_2 レジスタ**

|                     |    |    |    |    |    |   |   |
|---------------------|----|----|----|----|----|---|---|
| 15                  | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| mr_tx_message_31_16 |    |    |    |    |    |   |   |
| R/W-0h              |    |    |    |    |    |   |   |
| 7                   | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| mr_tx_message_31_16 |    |    |    |    |    |   |   |
| R/W-0h              |    |    |    |    |    |   |   |

**表 7-102. OAM\_TX\_MESSAGE\_2 レジスタのフィールドの説明**

| ビット  | フィールド               | タイプ | リセット | 説明                              |
|------|---------------------|-----|------|---------------------------------|
| 15-0 | mr_tx_message_31_16 | R/W | 0h   | メッセージ オクテット 3/2。LSB が最初に送信されます。 |

## 7.2.99 OAM\_TX\_MESSAGE\_3 レジスタ (オフセット = 3907h) [リセット = 0000h]

図 7-99 に、OAM\_TX\_MESSAGE\_3 を示し、表 7-103 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-99. OAM\_TX\_MESSAGE\_3 レジスタ**

|                     |    |    |    |    |    |   |   |
|---------------------|----|----|----|----|----|---|---|
| 15                  | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| mr_tx_message_47_32 |    |    |    |    |    |   |   |
| R/W-0h              |    |    |    |    |    |   |   |
| 7                   | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| mr_tx_message_47_32 |    |    |    |    |    |   |   |
| R/W-0h              |    |    |    |    |    |   |   |

**表 7-103. OAM\_TX\_MESSAGE\_3 レジスタのフィールドの説明**

| ビット  | フィールド               | タイプ | リセット | 説明                              |
|------|---------------------|-----|------|---------------------------------|
| 15-0 | mr_tx_message_47_32 | R/W | 0h   | メッセージ オクテット 5/4。LSB が最初に送信されます。 |

### 7.2.100 OAM\_TX\_MESSAGE\_4 レジスタ (オフセット = 3908h) [リセット = 0000h]

図 7-100 に、OAM\_TX\_MESSAGE\_4 を示し、表 7-104 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-100. OAM\_TX\_MESSAGE\_4 レジスタ**

|                     |    |    |    |    |    |   |   |
|---------------------|----|----|----|----|----|---|---|
| 15                  | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| mr_tx_message_63_48 |    |    |    |    |    |   |   |
| R/W-0h              |    |    |    |    |    |   |   |
| 7                   | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| mr_tx_message_63_48 |    |    |    |    |    |   |   |
| R/W-0h              |    |    |    |    |    |   |   |

**表 7-104. OAM\_TX\_MESSAGE\_4 レジスタのフィールドの説明**

| ビット  | フィールド               | タイプ | リセット | 説明                              |
|------|---------------------|-----|------|---------------------------------|
| 15-0 | mr_tx_message_63_48 | R/W | 0h   | メッセージ オクテット 7/6。LSB が最初に送信されます。 |



## 7.2.101 OAM\_RECEIVE レジスタ (オフセット = 3909h) [リセット = 0000h]

OAM\_RECEIVE を [図 7-101](#) に示し、[表 7-105](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-101. OAM\_RECEIVE レジスタ**

| 15             | 14              | 13   | 12 | 11 | 10                   | 9            | 8 |
|----------------|-----------------|------|----|----|----------------------|--------------|---|
| mr_rx_lp_valid | mr_rx_lp_toggle | 予約済み |    |    | mr_rx_lp_message_num |              |   |
| R-0h           | R-0h            | R-0h |    |    | R-0h                 |              |   |
| 7              | 6               | 5    | 4  | 3  | 2                    | 1            | 0 |
| 予約済み           |                 |      |    |    |                      | mr_rx_lp_SNR |   |
| R-0h           |                 |      |    |    |                      | R-0h         |   |

**表 7-105. OAM\_RECEIVE レジスタ フィールドの説明**

| ビット   | フィールド                | タイプ | リセット | 説明                                                                                                                                                                                                                                                                    |
|-------|----------------------|-----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 15    | mr_rx_lp_valid       | R   | 0h   | このビットは、レジスタ 3.2313.11:8、3.2314、3.2315、3.2316、および 3.2317 のメッセージ データが格納され、読み取り準備ができていないことを示すために使用されます。<br>レジスタ 3.2317 を読み出すと、このビットは自動的にクリアされます。<br>0h = レジスタのメッセージデータ無効<br>1h = レジスタのメッセージデータ有効                                                                         |
| 14    | mr_rx_lp_toggle      | R   | 0h   | メッセージとともに受信したトグル値<br>注 - 区別するために [15:12] に 0x3 を追加                                                                                                                                                                                                                    |
| 13-12 | 予約済み                 | R   | 0h   | 予約済み                                                                                                                                                                                                                                                                  |
| 11-8  | mr_rx_lp_message_num | R   | 0h   | リンク パートナーからのメッセージ番号<br>注 - 区別するために [15:12] に 0x3 を追加                                                                                                                                                                                                                  |
| 7-2   | 予約済み                 | R   | 0h   | 予約済み                                                                                                                                                                                                                                                                  |
| 1-0   | mr_rx_lp_SNR         | R   | 0h   | 00 = リンク パートナー リンクに故障が発生しているため、現在の 1000BASE-T1 OAM フレームが終了してから 2ms ~ 4ms 以内にリンクをドロップし、再リンクする必要があります。<br>01 = LPI のリフレッシュがリンク パートナー SNR を維持に不十分。リンク パートナーはローカル デバイスに LPI を終了してアイドルを送信するよう要求します (EEE が有効の場合のみ使用)。<br>10 = リンク パートナー SNR が不十分。<br>11 = リンク パートナー SNR は十分 |

### 7.2.102 OAM\_RX\_MESSAGE\_1 レジスタ (オフセット = 390Ah) [リセット = 0000h]

図 7-102 に、OAM\_RX\_MESSAGE\_1 を示し、表 7-106 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-102. OAM\_RX\_MESSAGE\_1 レジスタ**

|                       |    |    |    |    |    |   |   |
|-----------------------|----|----|----|----|----|---|---|
| 15                    | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| mr_rx_lp_message_15_0 |    |    |    |    |    |   |   |
| R-0h                  |    |    |    |    |    |   |   |
| 7                     | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| mr_rx_lp_message_15_0 |    |    |    |    |    |   |   |
| R-0h                  |    |    |    |    |    |   |   |

**表 7-106. OAM\_RX\_MESSAGE\_1 レジスタのフィールドの説明**

| ビット  | フィールド                 | タイプ | リセット | 説明                              |
|------|-----------------------|-----|------|---------------------------------|
| 15-0 | mr_rx_lp_message_15_0 | R   | 0h   | メッセージ オクテット 1/0。LSB が最初に送信されます。 |

### 7.2.103 OAM\_RX\_MESSAGE\_2 レジスタ (オフセット = 390Bh) [リセット = 0000h]

図 7-103 に、OAM\_RX\_MESSAGE\_2 を示し、表 7-107 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-103. OAM\_RX\_MESSAGE\_2 レジスタ**

|                        |    |    |    |    |    |   |   |
|------------------------|----|----|----|----|----|---|---|
| 15                     | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| mr_rx_lp_message_31_16 |    |    |    |    |    |   |   |
| R-0h                   |    |    |    |    |    |   |   |
| 7                      | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| mr_rx_lp_message_31_16 |    |    |    |    |    |   |   |
| R-0h                   |    |    |    |    |    |   |   |

**表 7-107. OAM\_RX\_MESSAGE\_2 レジスタのフィールドの説明**

| ビット  | フィールド                  | タイプ | リセット | 説明                              |
|------|------------------------|-----|------|---------------------------------|
| 15-0 | mr_rx_lp_message_31_16 | R   | 0h   | メッセージ オクテット 3/2。LSB が最初に送信されます。 |

### 7.2.104 OAM\_RX\_MESSAGE\_3 レジスタ (オフセット = 390Ch) [リセット = 0000h]

図 7-104 に、OAM\_RX\_MESSAGE\_3 を示し、表 7-108 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-104. OAM\_RX\_MESSAGE\_3 レジスタ**

|                        |    |    |    |    |    |   |   |
|------------------------|----|----|----|----|----|---|---|
| 15                     | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| mr_rx_lp_message_47_32 |    |    |    |    |    |   |   |
| R-0h                   |    |    |    |    |    |   |   |
| 7                      | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| mr_rx_lp_message_47_32 |    |    |    |    |    |   |   |
| R-0h                   |    |    |    |    |    |   |   |

**表 7-108. OAM\_RX\_MESSAGE\_3 レジスタのフィールドの説明**

| ビット  | フィールド                  | タイプ | リセット | 説明                              |
|------|------------------------|-----|------|---------------------------------|
| 15-0 | mr_rx_lp_message_47_32 | R   | 0h   | メッセージ オクテット 5/4。LSB が最初に送信されます。 |

## 7.2.105 OAM\_RX\_MESSAGE\_4 レジスタ (オフセット = 390Dh) [リセット = 0000h]

図 7-105 に、OAM\_RX\_MESSAGE\_4 を示し、表 7-109 に、その説明を示します。

概略表に戻ります。

レジスタ アドレスの最初のニブル (0x3) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-105. OAM\_RX\_MESSAGE\_4 レジスタ**

|                        |    |    |    |    |    |   |   |
|------------------------|----|----|----|----|----|---|---|
| 15                     | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| mr_rx_lp_message_63_48 |    |    |    |    |    |   |   |
| R-0h                   |    |    |    |    |    |   |   |
| 7                      | 6  | 5  | 4  | 3  | 2  | 1 | 0 |
| mr_rx_lp_message_63_48 |    |    |    |    |    |   |   |
| R-0h                   |    |    |    |    |    |   |   |

**表 7-109. OAM\_RX\_MESSAGE\_4 レジスタのフィールドの説明**

| ビット  | フィールド                  | タイプ | リセット | 説明                              |
|------|------------------------|-----|------|---------------------------------|
| 15-0 | mr_rx_lp_message_63_48 | R   | 0h   | メッセージ オクテット 7/6。LSB が最初に送信されます。 |

## 7.2.106 AN\_CFG レジスタ (オフセット = 7200h) [リセット = 0000h]

AN\_CFG を [図 7-106](#) に示し、[表 7-110](#) で説明しています。

[概略表](#)に戻ります。

レジスタ アドレスの最初のニブル (0x7) は、MMD レジスタ空間を示します。レジスタにアクセスする場合、最初のニブルを無視します。

**図 7-106. AN\_CFG レジスタ**

|      |    |    |    |    |    |   |               |
|------|----|----|----|----|----|---|---------------|
| 15   | 14 | 13 | 12 | 11 | 10 | 9 | 8             |
| 予約済み |    |    |    |    |    |   |               |
| R-0h |    |    |    |    |    |   |               |
| 7    | 6  | 5  | 4  | 3  | 2  | 1 | 0             |
| 予約済み |    |    |    |    |    |   | mr_main_reset |
| R-0h |    |    |    |    |    |   | R/WSC-0h      |

**表 7-110. AN\_CFG レジスタ フィールドの説明**

| ビット  | フィールド         | タイプ   | リセット | 説明                                       |
|------|---------------|-------|------|------------------------------------------|
| 15-1 | 予約済み          | R     | 0h   | 予約済み                                     |
| 0    | mr_main_reset | R/WSC | 0h   | 1 = リセットリンク同期 / 自動ネゴシエーション<br>注 - RW ビット |

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 使用上の注意

DP83TG720S-Q1 はシングル ポートの 1Gbps 車載イーサネット PHY です。本デバイスは IEEE 802.3bp をサポートしており、RGMII または SGMII を使ってイーサネット MAC に接続できます。イーサネット アプリケーションで本デバイスを使用する場合、通常動作のための一定の要件を満たす必要があります。以下のサブセクションは、適切な部品選択と必要な接続に役立つことを目的としています。

### 8.2 代表的なアプリケーション

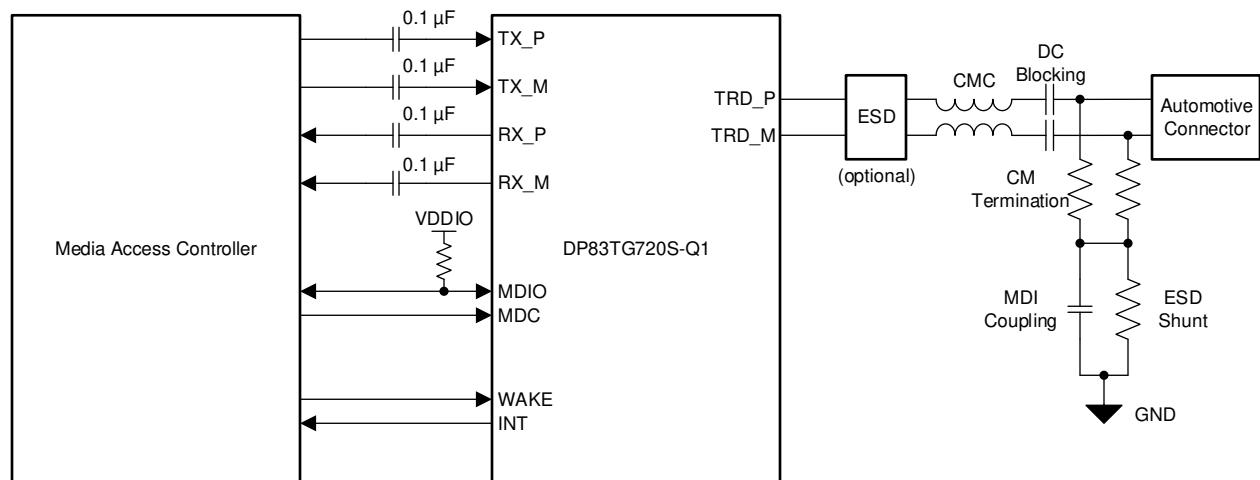


図 8-1. 代表的なアプリケーション (SGMII)

表 8-1. MDI ネットワーク用の推奨部品

| 設計パラメータ                         | 値                      |
|---------------------------------|------------------------|
| DC ブロッキング コンデンサ <sup>(1)</sup>  | 0.1μF                  |
| コモン モード チョーク                    | Murata™: DLW32MH101XT2 |
| コモン モード 終端抵抗 <sup>(1) (2)</sup> | 1kΩ                    |
| MDI カップリング コンデンサ                | 4.7nF                  |
| ESD シャント                        | 100kΩ                  |

(1) リターン ロスとモード変換の仕様に対するマージンを確保するため、許容誤差 1% の部品を推奨します。

(2) CM 終端抵抗のサイズを 0805 より大きくすると、ESD マージンを増やすのに役立ちます。

### 8.3 電源に関する推奨事項

DP83TG720S-Q1 は、広い IO 電源電圧範囲 (3.3V、2.5V、1.8V) で動作できます。電源シーケンス制御は不要です。次の図に、推奨される電源デカップリング ネットワークを示します。

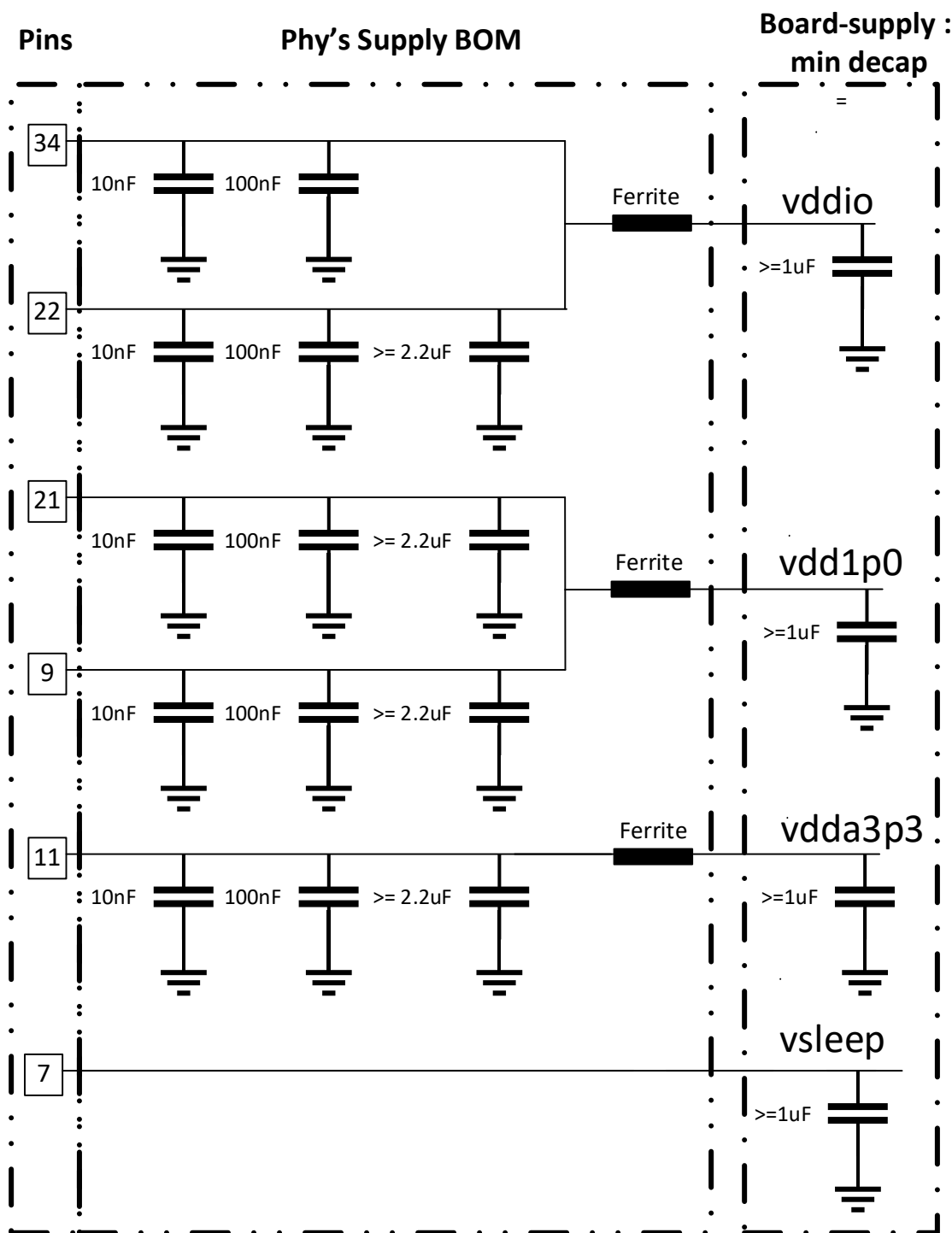


図 8-2. 推奨電源デカップリング ネットワーク (アプリケーションでスリープ モードを使用する場合)



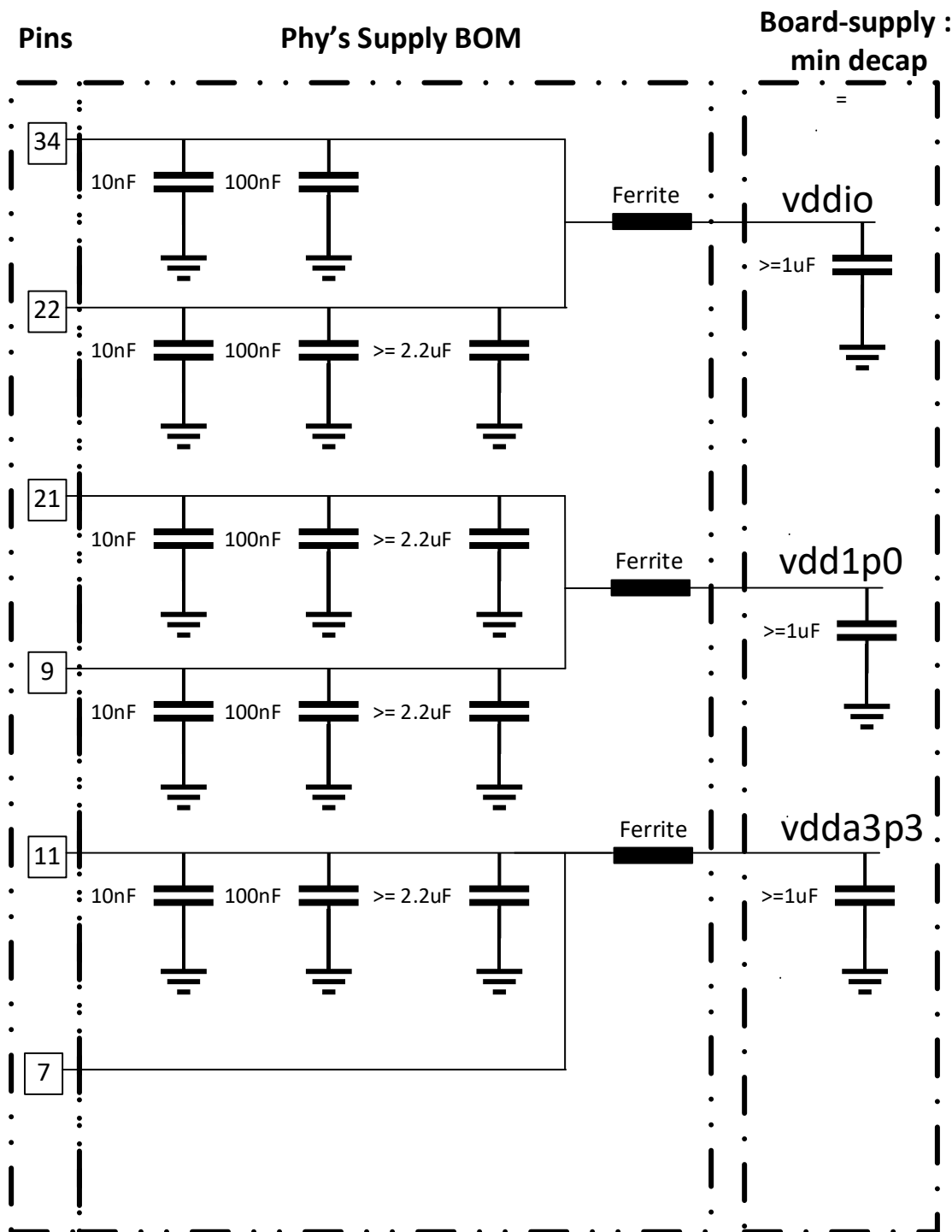


図 8-3. 推奨電源デカップリング ネットワーク (アプリケーションでスリープ モードを使用しない場合)

表 8-2. 電源ネットワークの推奨部品

| 設計パラメータ                                 | 値                  |
|-----------------------------------------|--------------------|
| V <sub>DDIO</sub>                       | 1.8V、2.5V、または 3.3V |
| デカップリング コンデンサ V <sub>DDIO</sub> (ピン 34) | 10nF、100nF         |
| デカップリング コンデンサ V <sub>DDIO</sub> (ピン 22) | 10nF、100nF、2.2uF   |
| VDDIO 用の一体型フェライト ビーズ                    | BLM18HE102SN1      |

表 8-2. 電源ネットワークの推奨部品 (続き)

| 設計パラメータ                                 | 値                |
|-----------------------------------------|------------------|
| V <sub>DDA</sub>                        | 3.3V             |
| デカップリング コンデンサ V <sub>DDA</sub> (ピン 11)  | 10nF、100nF、2.2uF |
| V <sub>DDA</sub> 用フェライト ビーズ             | BLM18KG601SH1    |
| V <sub>DD1P0</sub>                      | 1V               |
| デカップリング コンデンサ V <sub>DD1P0</sub> (ピン 9) | 10nF、100nF、2.2uF |
| デカップリング コンデンサ V <sub>DDA</sub> (ピン 21)  | 10nF、100nF、2.2uF |
| V <sub>DD1P0</sub> 用の一体型フェライト ビーズ       | BLM18KG601SH1    |
| V <sub>sleep</sub>                      | 3.3V             |

## 注

V<sub>DD1P0</sub> および V<sub>sleep</sub> 用 LDO の推奨事項については、『[DP83TC811、DP83TG730 ロールオーバードキュメント](#)』アプリケーション ノートを参照してください。

## 8.4 テキサス・インスツルメンツの 100BT1 PHY との互換性

次の表に、DP83TC811 と DP83TG720 のピン比較を示します。太字で強調されたピンは、100BT1 と 1000BT1 の両方の PHY に対応する共通ボードを設計する際に注意を必要とします。100BT1 と 1000BT1 の PHY の異なる BOM 要件も、共通ボードでは注意を必要とします。

共通ボード設計の詳細と推奨事項については、『[DP83TC811、DP83TG720 ロールオーバードキュメント](#)』アプリケーション・レポートを参照してください。

表 8-3. ピン比較表

| ピン番号 | DP83TC811   | DP83TG720     |
|------|-------------|---------------|
| 1    | MDC         | MDC           |
| 2    | INT_N       | INT_N         |
| 3    | RESET_N     | RESET_N       |
| 4    | XO          | XO            |
| 5    | XI          | XI            |
| 6    | LED_1       | LED_1         |
| 7    | <b>EN</b>   | <b>VSLEEP</b> |
| 8    | <b>WAKE</b> | <b>WAKE</b>   |
| 9    | <b>DNC</b>  | <b>VDD1P0</b> |
| 10   | <b>INH</b>  | <b>INH</b>    |
| 11   | VDDA        | VDDA          |
| 12   | TRD_P       | TRD_P         |
| 13   | TRD_M       | TRD_M         |
| 14   | RX_ER       | STRP1         |
| 15   | RX_DV       | RX_CTRL       |
| 16   | CLKOUT      | CLKOUT        |
| 17   | <b>TCK</b>  | <b>DNC</b>    |
| 18   | <b>TDO</b>  | <b>DNC</b>    |
| 19   | <b>TMS</b>  | <b>DNC</b>    |
| 20   | <b>TCK</b>  | <b>DNC</b>    |
| 21   | <b>DNC</b>  | <b>VDD1P0</b> |
| 22   | VDDIO       | VDDIO         |
| 23   | RX_D3       | RX_D3         |

表 8-3. ピン比較表 (続き)

| ピン番号 | DP83TC811 | DP83TG720 |
|------|-----------|-----------|
| 24   | RX_D2     | RX_D2     |
| 25   | RX_D1     | RX_D1     |
| 26   | RX_D0     | RX_D0     |
| 27   | RX_CLK    | RX_CLK    |
| 28   | TXCLK     | TXCLK     |
| 29   | TX_EN     | TX_CTRL   |
| 30   | TX_D3     | TX_D3     |
| 31   | TX_D2     | TX_D2     |
| 32   | TX_D1     | TX_D1     |
| 33   | TX_D0     | TX_D0     |
| 34   | TX_ER     | VDDIO     |
| 35   | LED_0     | LED_0     |
| 36   | MDIO      | MDIO      |

## 8.5 レイアウト

### 8.5.1 レイアウトのガイドライン

#### 8.5.1.1 信号トレース

PCB トレースは損失が大きいため、長いトレースが信号品質を低下させる可能性があります。トレースはできるだけ短くする必要があります。特に記述のない限り、すべての信号トレースは **50Ω** のシングルエンド インピーダンスでなくてはなりません。差動トレースは、**50Ω** シングルエンドおよび **100Ω** 差動でなくてはなりません。インピーダンスの不連続性は反射を引き起こし、放射とシグナル インテグリティの問題につながります。スタブは、すべての信号トレース (特に差動信号ペア) で回避しなければなりません。

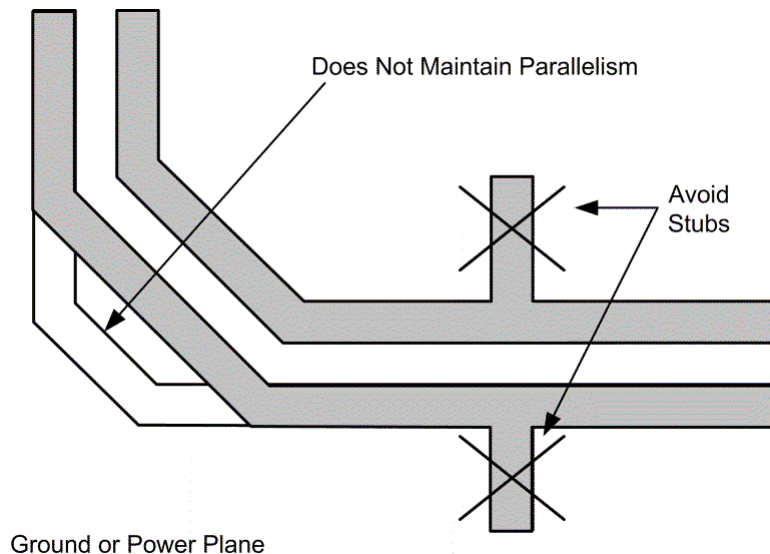


図 8-4. 差動信号トレースの配線

差動ペア内では、トレースを互いに並行させ、長さを一致させる必要があります。長さを一致させることで遅延の差が最小化され、同相ノイズと放射の増加を防止できます。**MAC** インターフェイス接続でも、長さを一致させることは重要です。すべての送信信号トレースは互いに同じ長さ、すべての受信信号トレースは互いに同じ長さでなくてはなりません。

信号パスのトレースでは交差やビアは避けてください。ビアにはインピーダンスの不連続性を生じさせるため、できるだけ少なくします。トレース ペアは同じ層に配線します。異なる層の信号は、それらの間に少なくとも 1 つの復帰パス プレーン

がない限り、互いに交差させてはなりません。差動ペアは、それらの間の結合距離を常に一定に保つ必要があります。利便性と効率性を高めるため、重要な信号 (例:MDI 差動ペア、基準クロック、MAC IF トレース) を最初に配線することを推奨します。

#### 8.5.1.2 復帰パス

一般に最も良い方法は、すべての信号トレースの下にベタの復帰パスを設けることです。この復帰パスは、連続的なグラウンドまたは DC 電源プレーンであってもかまいません。復帰パスの幅を狭くすると、信号トレースのインピーダンスに影響を及ぼす可能性があります。この影響は、復帰パスの幅が信号トレースの幅と同等である場合、より顕著になります。信号トレースの間の復帰パスの断線は、避ける必要があります。分割されたプレーンをまたぐ信号は、予測不可能な復帰パス電流を引き起こし、信号の品質に影響を及ぼし、放射の問題を引き起こします。

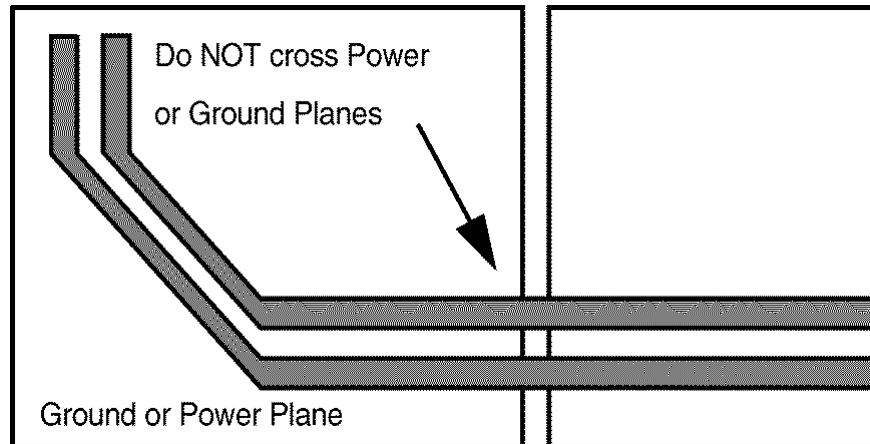


図 8-5. 電源およびグラウンド プレーンの割れ目

#### 8.5.1.3 物理メディアの接続

コモン モード チョークの下には金属を配置できません。CMC はその下にある金属にノイズを注入する可能性があり、システムの放射と耐性の性能に影響を及ぼす可能性があります。DP83TG720S-Q1 は電圧モード ライン ドライバであるため、外部終端抵抗は不要です。グラウンドに対して ESD シャントと MDI カップリング コンデンサを接続する必要があります。差動カップリングを改善するため、許容誤差が 1% 以下の同相モード終端抵抗を選択してください。

#### 8.5.1.4 金属注入

信号でも電源でもないすべての金属注入領域は、グラウンドに接続する必要があります。システム内に浮動の金属が存在していないことと、差動パターン間に金属が存在していないことが必要です。

#### 8.5.1.5 PCB 層スタッキング

シグナル・インテグリティと性能の要件を満たすには、4 層以上の PCB を推奨します。しかし、可能であれば 6 層以上の PCB を使うべきです。

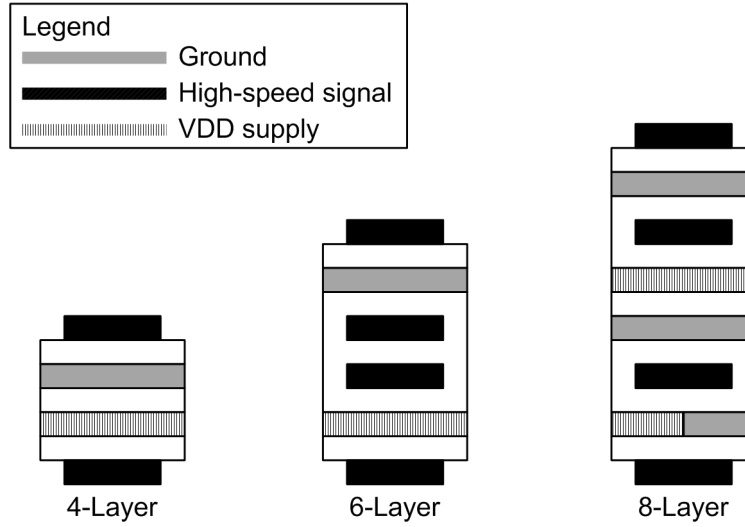


図 8-6. 推奨される PCB 層構成

## 9 デバイスおよびドキュメントのサポート

### 注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語については、特定のテクノロジー分野で期待される言語とは異なる場合があります。

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 商標

Murata™ is a trademark of Murata Manufacturing Co., Ltd.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision F (April 2025) to Revision G (June 2026) | Page |
|----------------------------------------------------------------|------|
| ・ レール プルアップ抵抗の実装数を明確化するためにピン構成および機能を更新.....                    | 3    |
| ・ 「RGMII 送信エンコード」と「RGMII インバンド ステータス」表を更新.....                 | 43   |
| ・ レジスタ空間分割のアドレス範囲を更新.....                                      | 49   |
| ・ レジスタの説明を更新.....                                              | 55   |

| Changes from Revision E (February 2022) to Revision F (April 2025) | Page |
|--------------------------------------------------------------------|------|
| ・ レジスタ 0x619 および 0x624 の書き込み順序を変更.....                             | 30   |
| ・ パラメータ「slope_temperature_sensor」を変更.....                          | 33   |
| ・ DP83TG720-Q1 では自動極性訂正は無効化できないという記述を追加.....                       | 43   |
| ・ 読みやすさを向上するシリアル マネージメント インターフェイスの説明を簡略化.....                      | 48   |

---

|                                          |    |
|------------------------------------------|----|
| • 表 7-18 の LED_0 ピンの番号を 1 から 35 に変更..... | 51 |
| • レジスタマップから未使用のレジスタ フィールドを削除.....        | 55 |

---

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



## PACKAGING INFORMATION

| Orderable part number             | Status<br>(1) | Material type<br>(2) | Package   Pins  | Package qty   Carrier | RoHS<br>(3) | Lead finish/<br>Ball material<br>(4) | MSL rating/<br>Peak reflow<br>(5) | Op temp (°C) | Part marking<br>(6) |
|-----------------------------------|---------------|----------------------|-----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| <a href="#">DP83TG720SWRHARQ1</a> | Active        | Production           | VQFN (RHA)   36 | 2500   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | 720S                |
| DP83TG720SWRHARQ1.A               | Active        | Production           | VQFN (RHA)   36 | 2500   LARGE T&R      | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | 720S                |
| <a href="#">DP83TG720SWRHATQ1</a> | Active        | Production           | VQFN (RHA)   36 | 250   SMALL T&R       | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | 720S                |
| DP83TG720SWRHATQ1.A               | Active        | Production           | VQFN (RHA)   36 | 250   SMALL T&R       | Yes         | NIPDAU                               | Level-3-260C-168 HR               | -40 to 125   | 720S                |

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

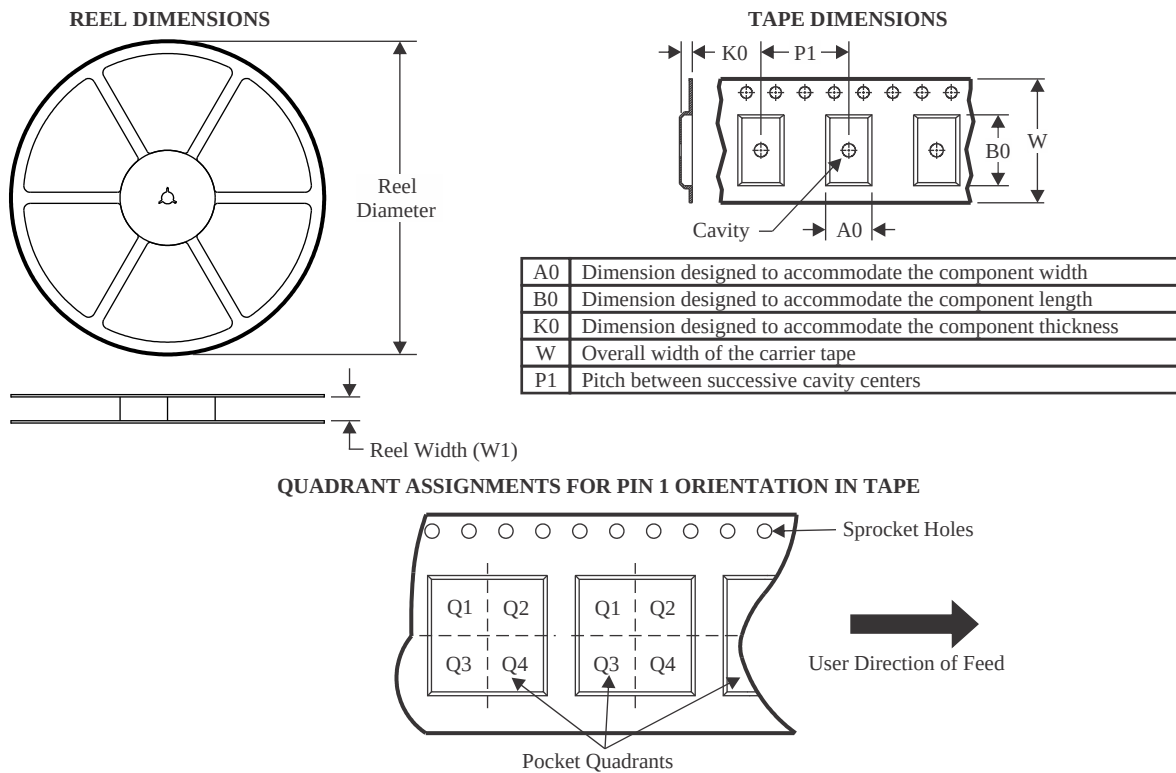
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

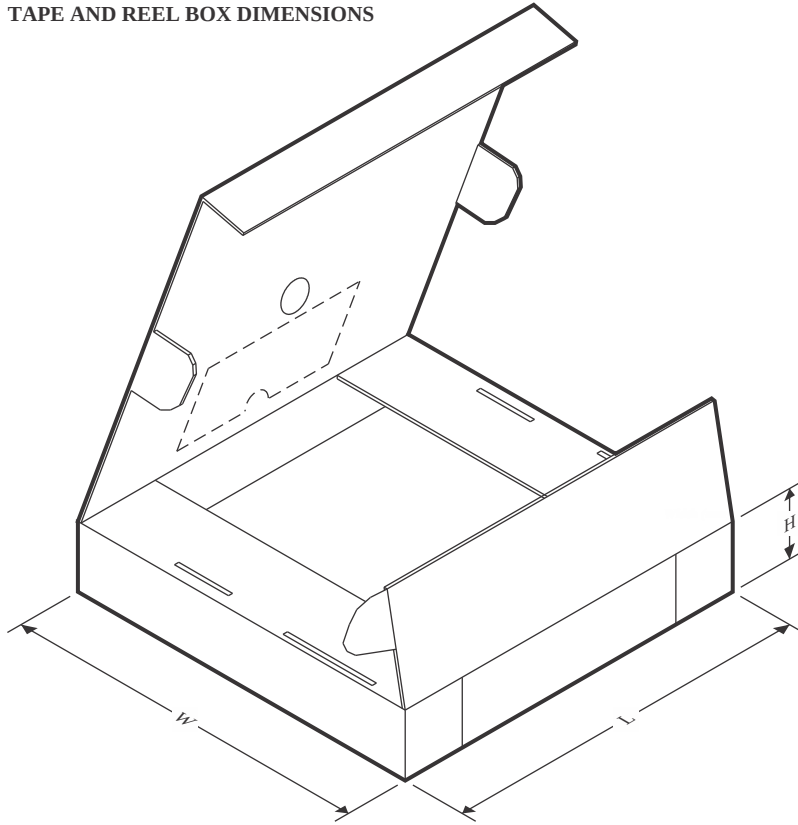
## TAPE AND REEL INFORMATION



\*All dimensions are nominal

| Device            | Package Type | Package Drawing | Pins | SPQ  | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|-------------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| DP83TG720SWRHARQ1 | VQFN         | RHA             | 36   | 2500 | 330.0              | 16.4               | 6.3     | 6.3     | 1.1     | 12.0    | 16.0   | Q2            |
| DP83TG720SWRHATQ1 | VQFN         | RHA             | 36   | 250  | 180.0              | 16.4               | 6.3     | 6.3     | 1.1     | 12.0    | 16.0   | Q2            |

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

| Device            | Package Type | Package Drawing | Pins | SPQ  | Length (mm) | Width (mm) | Height (mm) |
|-------------------|--------------|-----------------|------|------|-------------|------------|-------------|
| DP83TG720SWRHARQ1 | VQFN         | RHA             | 36   | 2500 | 367.0       | 367.0      | 35.0        |
| DP83TG720SWRHATQ1 | VQFN         | RHA             | 36   | 250  | 210.0       | 185.0      | 35.0        |

## GENERIC PACKAGE VIEW

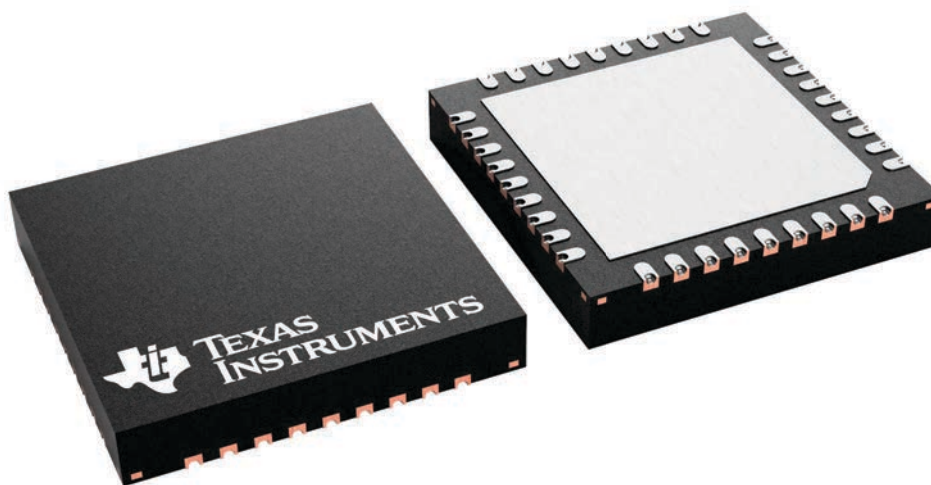
**RHA 36**

**VQFN - 1 mm max height**

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

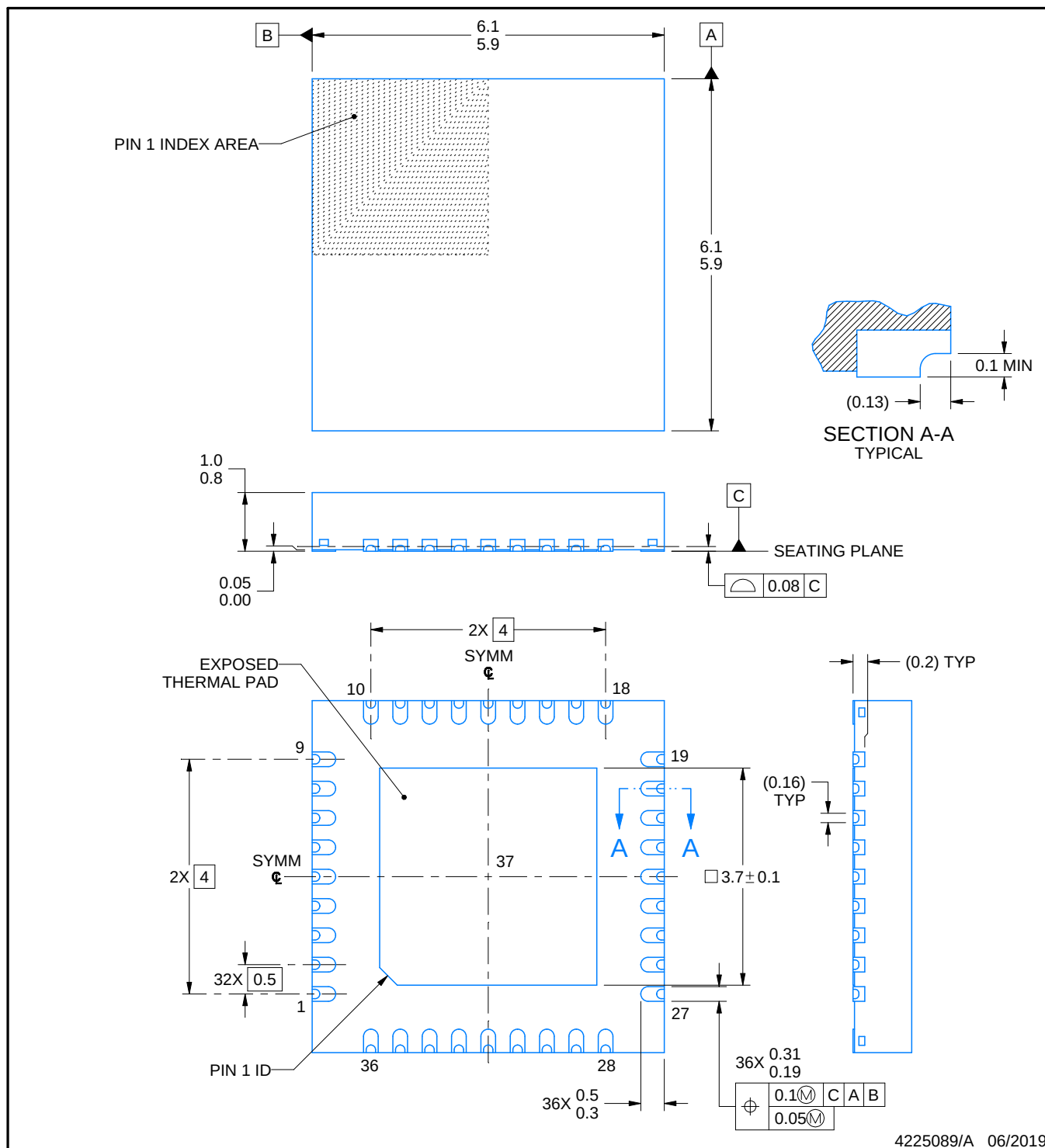


4228438/A



### VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

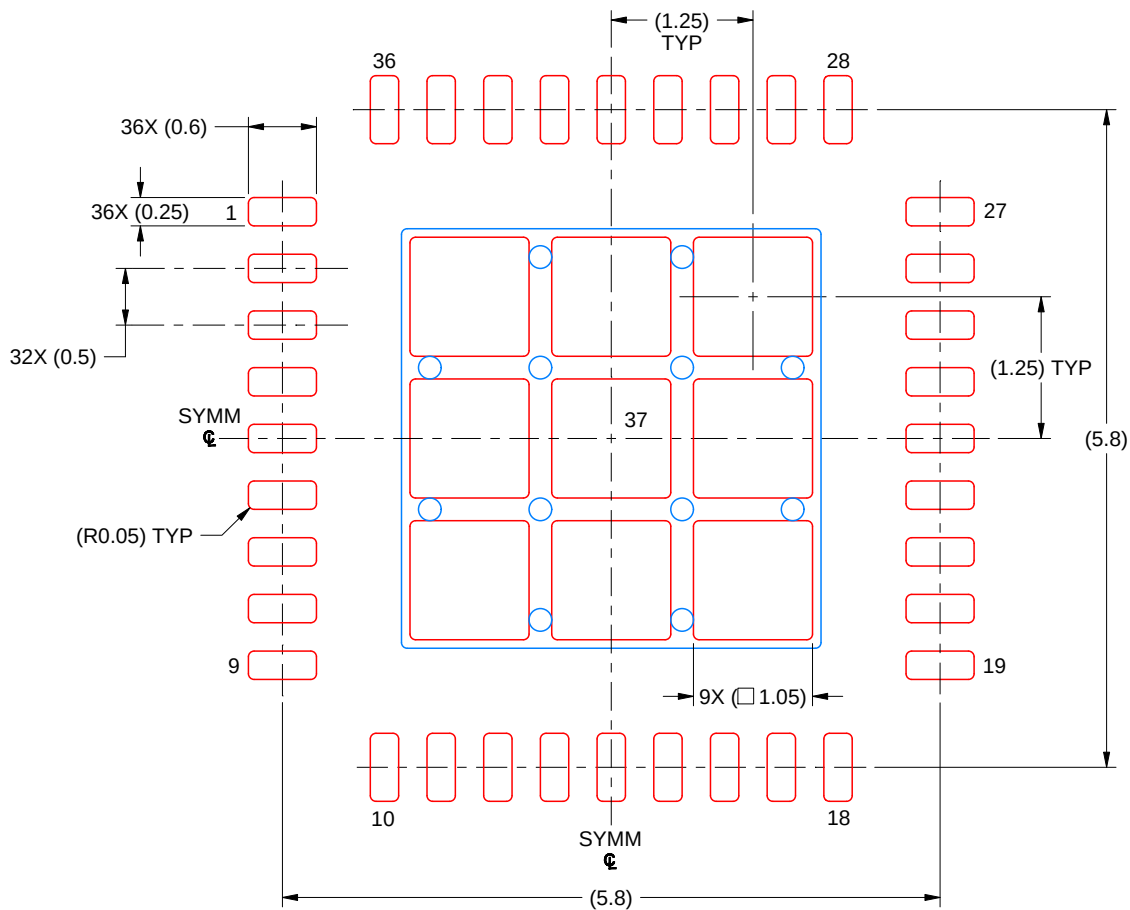


# EXAMPLE STENCIL DESIGN

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 15X

EXPOSED PAD 37  
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月