

## TLV841 小型 nanoPower 電圧監視 IC、WCSP パッケージ

### 1 特長

高性能設計:

- わずかな静止電流: 125nA (標準値)
- 高いスレッシュホールド精度:  $\pm 0.5\%$  (標準値)
- 高精度ヒステリシス ( $V_{HYS}$ ) を内蔵: 5% (標準値)

多様なアプリケーションに適した設計:

- 動作電圧範囲: 0.7V ~ 5.5V
- 調整可能なスレッシュホールド電圧: 0.505V (標準値)
- 固定 ( $V_{IT-}$ ) 電圧: 0.8 V ~ 4.9 V (0.1V 刻み)
- 独立した SENSE ピン (TLV841S)
- アクティブ LOW のマニュアルリセット ( $\overline{MR}$ ) (TLV841M)
- TLV841 のプッシュ ボタン監視 (S/M バリエント)
- リセット遅延時間をプログラム可能 ( $t_D$ ): コンデンサベースのプログラマブル (TLV841C)
  - 最小時間遅延: 40 $\mu$ s (標準値)、コンデンサなしの場合
- リセット遅延時間をプログラム可能 ( $t_D$ ): 固定時間遅延オプション (TLV841M および TLV841S)
  - 40 $\mu$ s, 2ms, 10ms, 30ms, 50ms, 80ms, 100ms, 150ms, 200ms
- 温度範囲: -40°C ~ +125°C

複数の出力ポロジ、パッケージタイプ:

- TLV841xxDL: オープンドレイン、アクティブ Low (RESET)
- TLV841xxPL: プッシュプル、アクティブ Low (RESET)
- TLV841xxDH: オープンドレイン、アクティブ HIGH (RESET)
- TLV841xxPH: プッシュプル、アクティブ High (RESET)
- パッケージ: 0.73mm × 0.73mm DSBGA

### 2 アプリケーション

- ウェアラブルや補聴器などのパーソナル・エレクトロニクス
- ホームシアターおよびエンターテインメント
- POS システム
- グリッド・インフラストラクチャ
- データ・センターおよびエンタープライズ・コンピューティング

### 3 説明

TLV841 は、超小型の DSBGA パッケージで提供される、 $\pm 0.5\%$  のスレッシュホールド精度を備えたナノパワー高精度電圧スーパーバイザです。TLV841 には 3 つのピン配置バリエーション (S、M、C) があり、最小パッケージ サイズで多くの独自オプションを提供します。ヒステリシスに加えてプログラム可能な遅延が内蔵されているので、電圧レールやプッシュ ボタン信号を監視するときに誤リセット信号が発生することを防止できます。VDD ピンと SENSE ピンが別になっているので (TLV841S)、高信頼性システムで求められる冗長性を実現できます。SENSE が VDD から分離されており、VDD 以外のレール電圧を監視することも、プッシュボタン入力として使用することもできます。TLV841M には独立したマニュアルリセット ( $\overline{MR}$ ) ピンがあり、外部信号で強制的にリセット状態にすることも、プッシュ ボタン入力として使用することも可能です。TLV841M は、VDD および  $\overline{MR}$  ピン監視用に設定できるので、シンプルな 2 チャネル監視回路を構築できます。

TLV841 は、高精度、低消費電力、クラス最高の機能を最小のコンパクトなフォームファクタで実現しており、パーソナル製品やコンシューマ製品など、幅広いバッテリー駆動アプリケーションに適しています。SENSE ピンは高インピーダンス入力なので外付け抵抗を使うこともできます。TLV841S は、外付けコンデンサなしで固定リセット遅延タイミング オプションを提供します。TLV841C を使用すると、CT ピンがフローティングのままになっているときの最小遅延を含め、リセット時間遅延をプログラム可能です。TLV841 は、-40°C ~ +125°C ( $T_A$ ) の温度範囲で動作します。

#### パッケージ情報

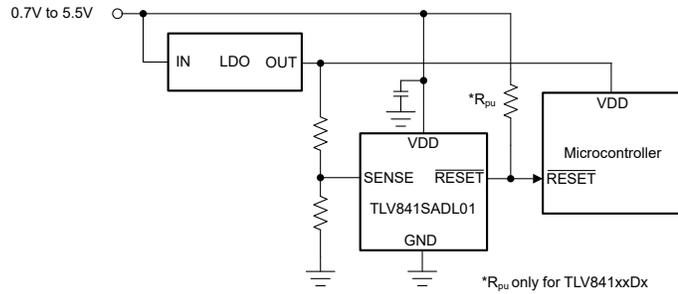
部品番号	パッケージ <sup>(1)</sup>	パッケージサイズ <sup>(2)</sup>
TLV841	YBH (DSBGA, 4)	0.73mm × 0.73mm

- (1) パッケージの詳細については、このデータシートの末尾の外形図を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

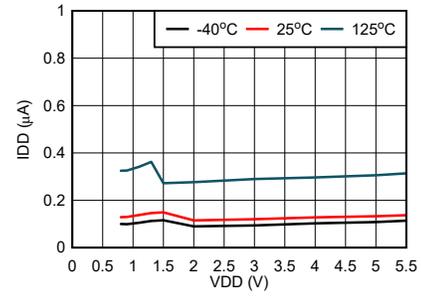


**TLV841**

JAJSKU3E – APRIL 2020 – REVISED FEBRUARY 2026



代表的なアプリケーション回路



標準電源電流

## 目次

<p><b>1 特長</b>..... 1</p> <p><b>2 アプリケーション</b>..... 1</p> <p><b>3 説明</b>..... 1</p> <p><b>4 デバイスの比較</b>..... 4</p> <p><b>5 ピン構成および機能</b>..... 5</p> <p><b>6 仕様</b>..... 7</p> <p>    6.1 絶対最大定格..... 7</p> <p>    6.2 ESD 定格..... 7</p> <p>    6.3 推奨動作条件..... 7</p> <p>    6.4 熱に関する情報..... 8</p> <p>    6.5 電気的特性..... 9</p> <p>    6.6 タイミング要件..... 11</p> <p>    6.7 タイミング図..... 12</p> <p>    6.8 代表的特性..... 14</p> <p><b>7 詳細説明</b>..... 15</p> <p>    7.1 概要..... 15</p> <p>    7.2 機能ブロック図..... 15</p>	<p>    7.3 機能説明..... 15</p> <p>    7.4 デバイスの機能モード..... 20</p> <p><b>8 アプリケーションと実装</b>..... 21</p> <p>    8.1 使用上の注意..... 21</p> <p>    8.2 代表的なアプリケーション..... 21</p> <p>    8.3 電源に関する推奨事項..... 23</p> <p>    8.4 レイアウト..... 23</p> <p><b>9 デバイスおよびドキュメントのサポート</b>..... 25</p> <p>    9.1 デバイスの命名規則..... 25</p> <p>    9.2 ドキュメントのサポート..... 25</p> <p>    9.3 ドキュメントの更新通知を受け取る方法..... 25</p> <p>    9.4 サポート・リソース..... 26</p> <p>    9.5 商標..... 26</p> <p>    9.6 静電気放電に関する注意事項..... 26</p> <p>    9.7 用語集..... 26</p> <p><b>10 改訂履歴</b>..... 26</p> <p><b>11 メカニカル、パッケージ、および注文情報</b>..... 26</p>
--	---

## 4 デバイスの比較

に、さまざまなデバイス バリエーションを比較するためのデバイス命名規則を示します。図 4-1 詳細については、表 9-1 を参照してください。バリエーション オプションの出荷状況については、テキサス インストルメンツにお問い合わせください。

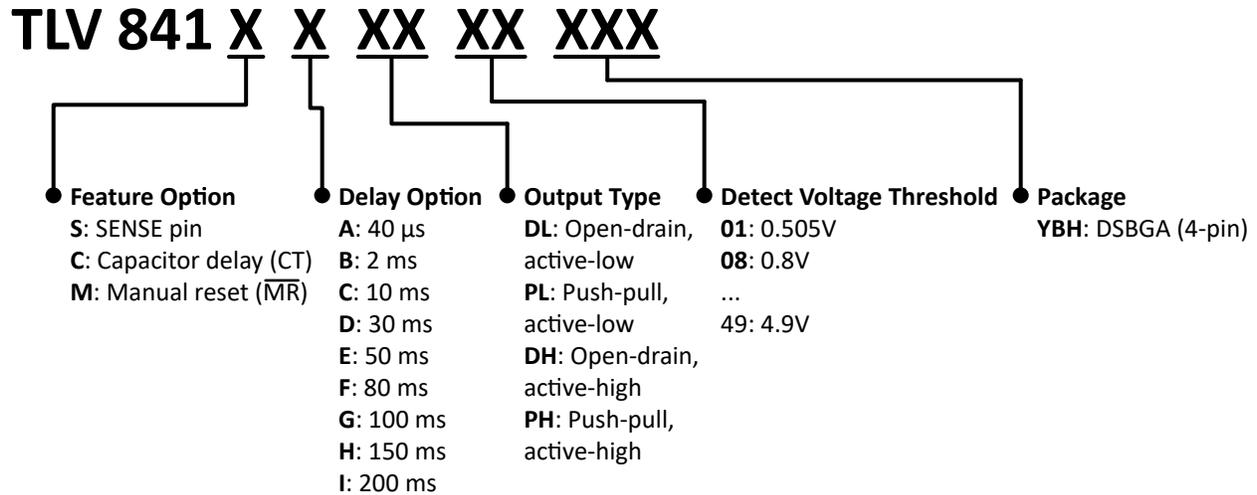


図 4-1. デバイスの命名規則

## 5 ピン構成および機能

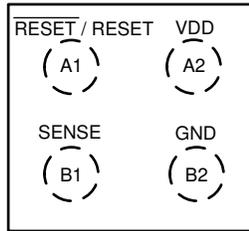


図 5-1. YBH 4 ピン DSBGA パッケージ  
(TLV841S)  
上面図

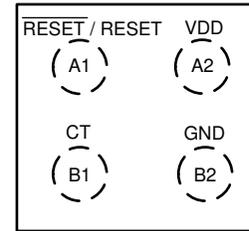


図 5-2. YBH 4 ピン DSBGA パッケージ  
(TLV841C)  
上面図

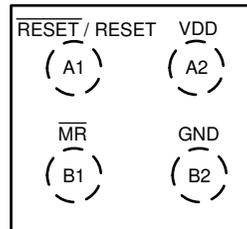


図 5-3. YBH 4 ピン DSBGA パッケージ  
(TLV841M)  
上面図

表 5-1. ピンの機能

ピン番号	ピン			タイプ <sup>(1)</sup>	説明
	TLV841S	TLV841C	TLV841M		
A1	RESET	RESET	RESET	O	TLV841xxxL のアクティブ "Low" 出力リセット信号: このピンは、VDD および SENSE 電圧が負の電圧スレッシュホールド ( $V_{IT-}$ ) を下回るか、MR 電圧がロジック "Low" スレッシュホールドを下回ると、ロジック "Low" に駆動されます。RESET は、MR がロジック "High" スレッシュホールドを上回るまで、もしくは VDD または SENSE 電圧が $V_{IT-} + V_{HYS}$ を超えた後の遅延時間 ( $t_D$ ) の間、ロジック "Low" (アサート状態) のままになります。
A1	リセット	リセット	リセット	O	TLV841xxxH のアクティブ "High" 出力リセット信号: このピンは、VDD または SENSE 電圧が負の電圧スレッシュホールド ( $V_{IT-}$ ) を下回るか、MR 電圧がロジック "Low" スレッシュホールドを下回ると、ロジック "High" に駆動されます。RESET は、MR がロジック "High" スレッシュホールドを上回るまで、もしくは VDD または SENSE 電圧が $V_{IT-} + V_{HYS}$ を超えた後の遅延時間 ( $t_D$ ) の間、ロジック "High" (アサート状態) のままになります。
A2	VDD	VDD	VDD	I	入力電源電圧: VDD ピンは電源に接続され、デバイスに電力を供給します。TLV841C と TLV841M は、VDD 電圧を監視します。TLV841S は、SENSE のみを監視します。適切なアナログ設計手法では、最小 0.1 $\mu$ F のセラミックコンデンサを VDD ピンのできるだけ近くに配置することが推奨されます。
B1	SENSE	-	-	I	SENSE ピン: このピンは、監視対象の電圧に接続されています。SENSE の電圧が負のスレッシュホールド電圧 ( $V_{IT-}$ ) を下回ると、リセットがアサートされます。SENSE の電圧が正のスレッシュホールド電圧 ( $V_{IT-} + V_{HYS}$ ) を上回ると、リセットがデアサートされます。ノイズの多いアプリケーションでは、最適性能を得るために、このピンの近くに 10nF ~ 100nF のセラミックコンデンサを配置する必要がある場合があります。
B1	-	CT	-	I	コンデンサ時間遅延ピン: CT ピンにより、リセットのデアサート遅延時間をプログラムできます。時間遅延を調整するには、このピンに外付けコンデンサを接続してください。使用していないときは、最小の固定時間遅延とするために、ピンをフローティングのままにしてください。

表 5-1. ピンの機能 (続き)

ピン				タイプ <sup>(1)</sup>	説明
ピン番号	TLV841S	TLV841C	TLV841M		
B1	–	–	MR	I	マニュアルリセット: このピンをロジック "Low" にプルすると、RESET 出力ピンのリセット信号がアサートされます (DL および PL オプションの RESET 信号)。MR ピンがフローティングのままになるか、ロジック "High" にプルされると、リセット遅延時間 (t <sub>D</sub> ) が経過した後に、RESET 出力は公称状態にデアサートされます。使用しない場合は、ピンをフローティングのままにするか、VDD に接続できます。
B2	GND	GND	GND	–	グラウンド

(1) I = 入力、O = 出力

## 6 仕様

### 6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
電圧	VDD, SENSE (TLV841S)	-0.3	6	V
電圧	CT (TLV841C), MR (TLV841M), RESET (TLV841xxPx), RESET (TLV841xxPx)	-0.3	V <sub>DD</sub> +0.3 <sup>(3)</sup>	V
	RESET (TLV841xxDx), RESET (TLV841xxDx)	-0.3	6	
電流	RESET, RESET		±20	mA
動作時周囲温度 <sup>(2)</sup>	T <sub>A</sub>	-40	125	°C
保存温度	T <sub>stg</sub>	-65	150	

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本デバイスが正しく動作すること示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) このデバイスの消費電力は低いため、T<sub>J</sub> = T<sub>A</sub> と想定されます。
- (3) 絶対最大定格は、(VDD + 0.3)V または 6V のどちらか小さい方です。

### 6.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 <sup>(2)</sup>	±750

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電圧	VDD (TLV841C, TLV841M)	0.7		5.5	V
	VDD (TLV841S)	0.85		5.5	
	VDD (TLV841xxPH)	1		5.5	
	SENSE	0		5.5	
	MR <sup>(1)</sup> , CT	0		V <sub>DD</sub>	
	RESET (TLV841xxPL), RESET (TLV841xxPH)	0		V <sub>DD</sub>	
	RESET (TLV841xxDL), RESET (TLV841xxDH)	0		5.5	
電流	RESET, RESET	-5		5	mA
T <sub>A</sub>	自由気流での動作温度	-40		125	°C
C <sub>CT</sub>	CT ピンのコンデンサ範囲	0		10	μF

- (1) MR を駆動するロジック信号が V<sub>DD</sub> を下回ると、追加の電流が V<sub>DD</sub> に流入し、MR から流出します。MR ピンの電圧は、V<sub>DD</sub> より大きくしてはなりません。

## 6.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		TLV841	単位
		YBH (WCSP)	
		4ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	180.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	1.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	58.0	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	0.9	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	58.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

## 6.5 電気的特性

$V_{DDMIN} \leq V_{DD} \leq 5.5V$ ,  $CT = \overline{MR} =$  オープン、 $\overline{RESET}/RESET$  の  $V_{DD}$  へのプルアップ抵抗  $R_{pull-up}$  <sup>(3)</sup> = 100k $\Omega$ 、出力リセット負荷  $C_{LOAD} = 10pF$ 、動作周囲温度範囲  $-40^{\circ}C \sim 125^{\circ}C$  (特に記述のない限り)標準値は  $T_A = 25^{\circ}C$ 、の場合。

パラメータ		テスト条件		最小値	標準値	最大値	単位
共通パラメータ							
$V_{ADJ-VIT-}$	TLV841Sxxx01 ADJ バージョンの負方向入力スレッシュホールド				0.505		V
$V_{IT-}$	負方向入力スレッシュホールド範囲 固定スレッシュホールド バージョン <sup>(1)</sup>			0.8		4.9	V
$V_{IT-ACC}$	負方向入力スレッシュホールド精度	$V_{IT-} = 0.505V$ (TLV841Sxx01) または $0.8V \sim 1.7V$ (固定スレッシュホールド)		-2.5	$\pm 0.5$	2.5	%
		$V_{IT-} = 1.8V \sim 4.9V$ (固定スレッシュホールド)		-2	$\pm 0.5$	2	
$V_{HYS}$	$V_{IT-}$ ピンでのヒステリシス	$V_{IT-} = 0.505V$ および $0.8V$		3	5	8	%
		$V_{IT-} = 0.9V \sim 4.9V$		3	5	7	
$V_{POR}$	パワー オンリセット電圧 <sup>(2)</sup>	TLV841xxxLxx	$V_{OL(MAX)} = 300mV$ $I_{RESET(Sink)} = 15\mu A$			700	mV
		TLV841xxxHxx	$V_{OH(MIN)} = 0.8V_{DD}$ $I_{RESET(Source)} = 15\mu A$			900	
$V_{OL}$	Low レベル出力電圧		$V_{DD} = 0.85V$ $I_{RESET(Sink)} = 15\mu A$ $I_{RESET(Sink)} = 15\mu A$			300	mV
			$V_{DD} = 3.3V$ $I_{RESET(Sink)} = 2mA$ $I_{RESET(Sink)} = 2mA$			300	mV
			$V_{DD} = 5.5V$ $I_{RESET(Sink)} = 2mA$ $I_{RESET(Sink)} = 2mA$			300	mV
$V_{OH}$	High レベル出力電圧		$V_{DD} = 1V$ $I_{RESET(Source)} = 15\mu A$ $I_{RESET(Source)} = 15\mu A$	$0.8V_{DD}$			V
			$V_{DD} = 1.8V$ $I_{RESET(Source)} = 500\mu A$ $I_{RESET(Source)} = 500\mu A$	$0.8V_{DD}$			V
			$V_{DD} \geq 3.3V$ $I_{RESET(Source)} = 2mA$ $I_{RESET(Source)} = 2mA$	$0.8V_{DD}$			V
$I_{kg(OD)}$	オープンドレイン出力リーク電流	$V_{DD} = V_{PULLUP} = 5.5V$	$T_A = -40^{\circ}C \sim 85^{\circ}C$		10	100	nA
					10	350	
$I_{DD}$	VDD ピンへの電源電流	VDD ピンへの電源電流	$V_{DD} = 5.5V$ $V_{IT-} = 1.9V \sim 4.9V$		0.125	1	$\mu A$

## 6.5 電気的特性 (続き)

$V_{DDMIN} \leq V_{DD} \leq 5.5V$ 、 $CT = \overline{MR} = \text{オープン}$ 、 $\overline{RESET}/\text{RESET}$  の  $V_{DD}$  へのプルアップ抵抗  $R_{\text{pull-up}}$  <sup>(3)</sup> = 100k $\Omega$ 、出力リセット負荷  $C_{\text{LOAD}} = 10\text{pF}$ 、動作周囲温度範囲  $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$  (特に記述のない限り)標準値は  $T_A = 25^{\circ}\text{C}$ 、の場合。

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>TLV841S</b>						
$I_{\text{SENSE}}$	SENSE ピンへの電流、固定スレッショルドバリエーション	$V_{DD} = V_{\text{SENSE}} = 5.5V$ $V_{\text{IT-}} = 0.8V \sim 4.9V$	0.025		0.1	$\mu\text{A}$
	SENSE ピンへの電流、ADJ バリエーション	$V_{DD} = V_{\text{SENSE}} = 5.5V$ $V_{\text{IT-}} = 0.505V$	0.025		0.05	
<b>TLV841M</b>						
$V_{\text{MR\_L}}$	マニュアルリセット ロジック "Low" 入力				$0.3V_{DD}$	V
$V_{\text{MR\_H}}$	マニュアルリセット ロジック "High" 入力			$0.7V_{DD}$		V
$R_{\text{MR}}$	手動リセットの内部プルアップ抵抗			100		k $\Omega$
<b>TLV841C</b>						
$R_{\text{CT}}$	CT ピンの内部抵抗		410	500	590	k $\Omega$

- $V_{\text{IT-}}$  スレッショルド電圧範囲は 0.8V ~ 4.9V (DL, PL, DH の場合) および 1V ~ 4.9V (PH の場合) で、ステップは 100mV です。リリース済みのバージョンについては「デバイス電圧スレッショルド」表を参照してください。
- $V_{\text{POR}}$  は、制御された出力状態の最小  $V_{DD}$  電圧レベルです。
- オープンドレイン バリエーションに適用可能なプルアップ抵抗

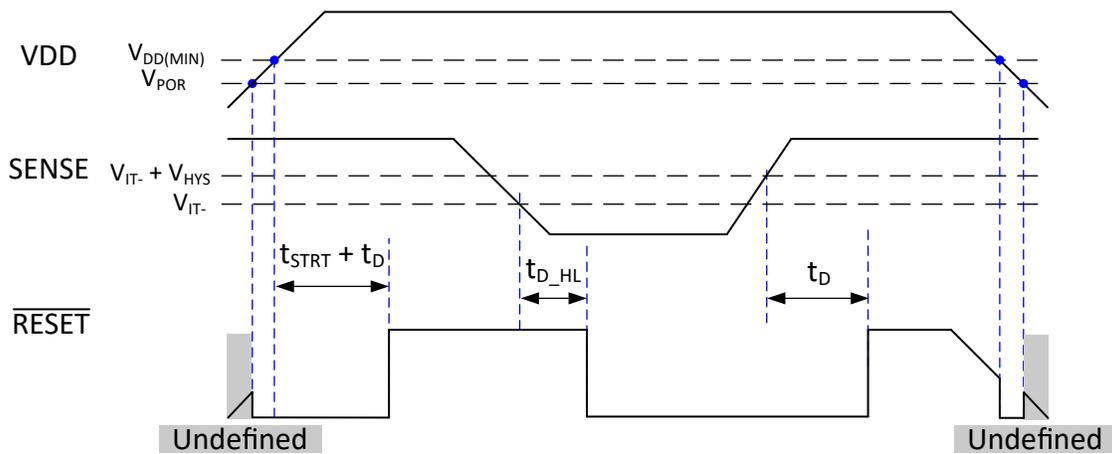
## 6.6 タイミング要件

$V_{DDMIN} \leq V_{DD} \leq 5.5V$  で、 $\overline{CT} = \overline{MR} =$  オープン、 $\overline{RESET}$  の  $V_{DD}$  へのプルアップ抵抗  $R_{pull-up} = 100k\Omega$ 、出力負荷  $C_{LOAD} = 10pF$ 、動作周囲温度範囲内  $-40^{\circ}C \sim 125^{\circ}C$  (特に記述のない限り)。標準値は、 $T_A = 25^{\circ}C$ 、の場合

パラメータ	テスト条件	最小値	標準値	最大値	単位	
$t_{p\_HL}$	$V_{DD}$ が $V_{IT-}$ を下回ったときの伝搬検出遅延	$V_{DD} = (V_{IT+} + 10\%)$ から $(V_{IT-} - 10\%)$ <sup>(1)</sup>		30	50	$\mu s$
$t_D$	リセット時間遅延 (TLV841C バリエント)	CT ピン = オープンまたは NC		40	80	$\mu s$
		CT ピン = 10nF		6.2		ms
		CT ピン = 1 $\mu$ F		619		ms
$t_D$	リセット時間遅延 (TLV841S および TLV841M バリエント) <sup>(4)</sup>	バリエント A <sup>(2)</sup>		40	80	$\mu s$
		バリエント B <sup>(2)</sup>		2		ms
		バリエーション C <sup>(2)</sup>		10		ms
		バリエント D <sup>(2)</sup>		30		ms
		バリエント E <sup>(2)</sup>		50		ms
		バリエント F <sup>(2)</sup>		80		ms
		バリエント G <sup>(2)</sup>		100		ms
		バリエント H <sup>(2)</sup>		150		ms
		バリエント I <sup>(2)</sup>		200		ms
$t_{GL\_VIT-}$	グリッチ耐性 $V_{IT-}$	5% $V_{IT-}$ オーバードライブ <sup>(3)</sup>		10		$\mu s$
$t_{STRT}$	スタートアップ遅延 <sup>(5)</sup>			300		$\mu s$
$t_{MR\_PW}$	グリッチ耐性 $\overline{MR}$ ピン			500		ns
$t_{MR\_RES}$	$\overline{MR}$ が Low になってからリセットされるまでの伝搬遅延	$V_{DD} = 3.3V$ 、 $\overline{MR} < V_{MR\_L}$		1		$\mu s$
$t_{MR\_tD}$	$\overline{MR}$ の解放からリセットのデアサートまでの遅延	$V_{DD} = 3.3V$ 、 $\overline{MR} = V_{MR\_L}$ から $V_{MR\_H}$		3		$\mu s$

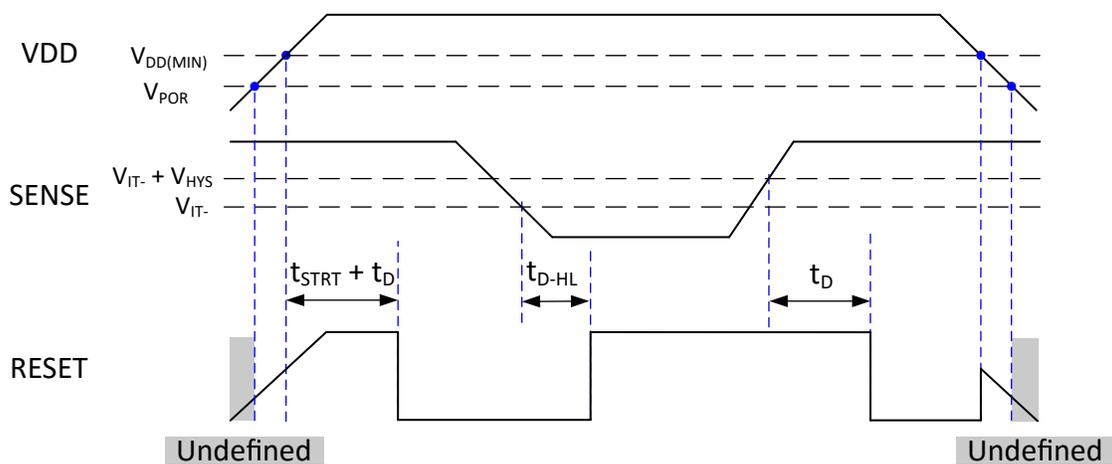
- アクティブ "Low" バリエントでは、スレッショルドトリップポイント ( $V_{IT-}$ ) から  $V_{OL}$  までを、アクティブ "High" バリエントでは、 $V_{OH}$  までを  $t_{p\_HL}$  として測定します。
- バリエントの説明については、デバイスの命名規則表を参照してください。TLV841M および TLV841C の場合、 $V_{DD}$  が  $V_{IT-} - 10\%$  から  $V_{IT+} + 10\%$  に遷移し、TLV841S の場合、 $V_{SENSE}$  が  $V_{IT-} - 10\%$  から  $V_{IT+} + 10\%$  に遷移します。
- TLV841M および TLV841C の場合、オーバードライブ % =  $[(V_{DD}/V_{IT-}) - 1] \times 100\%$ 、TLV841S の場合、オーバードライブ % =  $[(V_{SENSE}/V_{IT-}) - 1] \times 100\%$
- 設計と特性評価により規定されています。
- $V_{DD}$  が指定された最小  $V_{DD}$  よりも低い電圧から開始して  $V_{POR}$  を超えると、スタートアップ遅延 ( $t_{STRT}$ ) 後にリセットが解除されます。TLV841C バリエントの場合、CT ピンのコンデンサにより  $t_D$  遅延が  $t_{STRT}$  に追加されます。

## 6.7 タイミング図



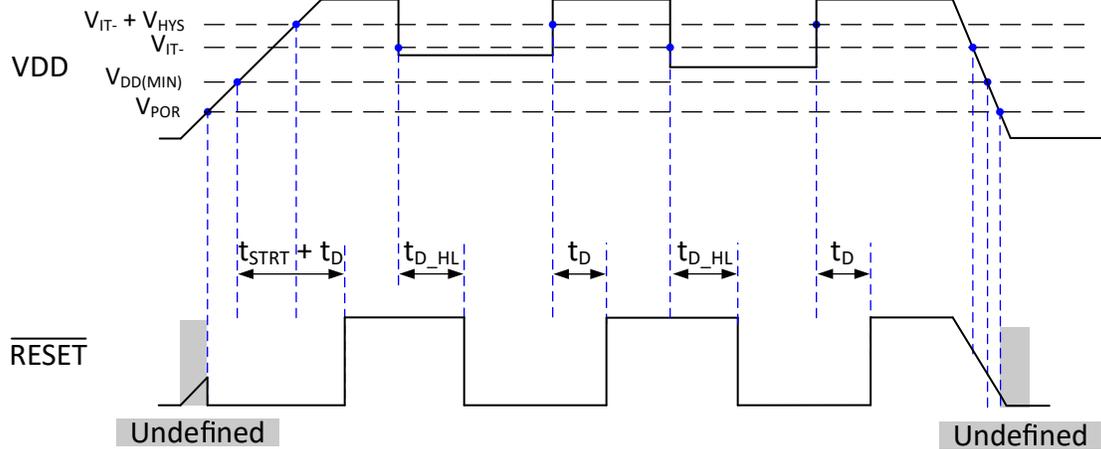
A. オープンドレインのタイミング図では、RESET ピンが外付けのプルアップ抵抗を介して VDD に接続されていることを想定しています。

**図 6-1. TLV841SxxL (SENSE) アクティブ "Low" 出力のタイミング図**  
[オープンドレインおよびプッシュプル出力トポロジ]



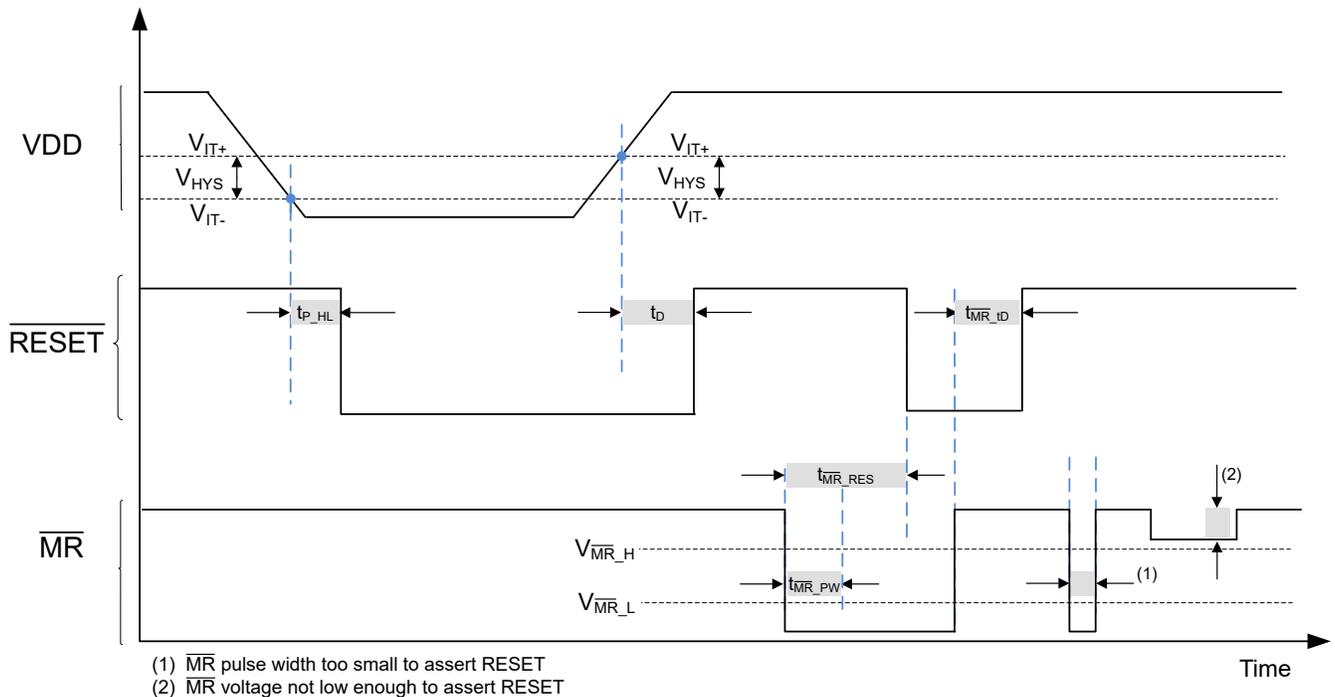
A. オープンドレインのタイミング図では、RESET ピンが外付けのプルアップ抵抗を介して VDD に接続されていることを想定しています。

**図 6-2. TLV841SxxH (SENSE) アクティブ "High" 出力のタイミング図**  
[オープンドレインおよびプッシュプル出力トポロジ]



- A. オープンドレインのタイミング図では、 $\overline{\text{RESET}}$  / RESET ピンが外付けのプルアップ抵抗を介して VDD に接続されていることを想定しています。
- B.  $t_D$  (no cap) は、 $t_{\text{STRT}}$  時間遅延に含まれます。CT ピンに接続された外付けコンデンサによって  $t_D$  遅延がプログラムされると、 $t_D$  にプログラミングされた時間がスタートアップ時間に加算され、VDD スループレート =  $1\text{V}/\mu\text{s}$  になります。
- C. VDD の立ち下がりがスループレートが  $1\text{V}/\mu\text{s}$  を超える場合、 $\overline{\text{RESET}}$  は上の図に示すようになることに注意してください。 $\overline{\text{RESET}}$  の動作は、スループレートが非常に遅い場合、または VDD の減衰時間が伝搬遅延 ( $t_{D\_HL}$ ) よりも長い場合、図 6-1 と同様になります。

図 6-3. TLV841CxL (CT) アクティブ "Low" 出力のタイミング図  
[オープンドレインおよびプッシュプル出カトポロジ]



- A. オープンドレインのタイミング図では、 $\overline{\text{RESET}}$  / RESET ピンが外付けのプルアップ抵抗を介して VDD に接続されていることを想定しています。

図 6-4. TLV841MxxL アクティブ "Low" 出力 (MR) のタイミング図  
[オープンドレインおよびプッシュプル出カトポロジ]

## 6.8 代表的特性

このセクションでは、TLV841 デバイスの代表的特性を示します。テスト条件は、特に記述のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $R_{\text{pull-up}} = 100\text{k}\Omega$ 、 $C_{\text{Load}} = 50\text{pF}$  になります。

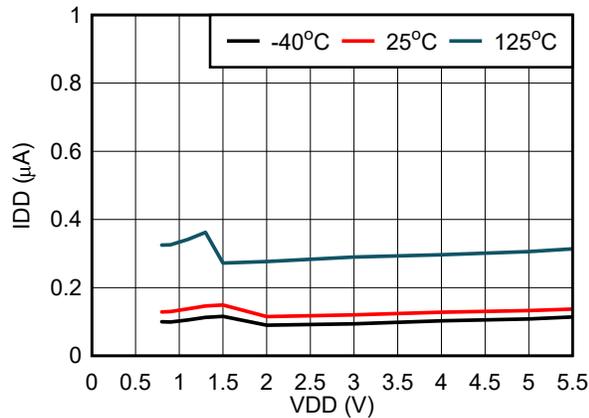


図 6-5. TLV841S の電源電流と電源電圧との関係

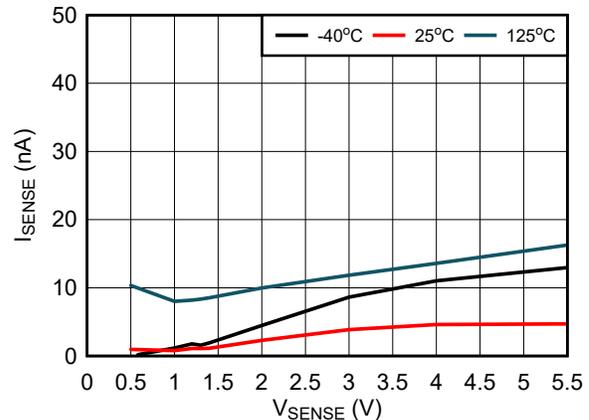


図 6-6. SENSE 電流と  $V_{\text{SENSE}}$  の関係

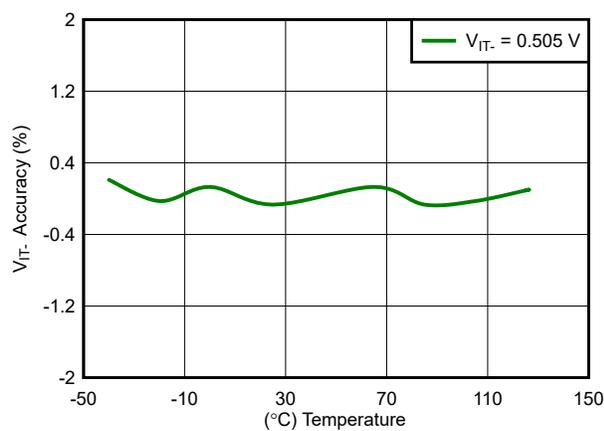


図 6-7.  $V_{\text{IT-}}$  の精度と温度との関係

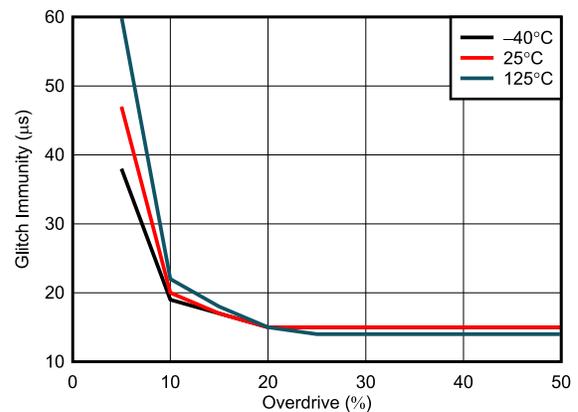


図 6-8. SENSE グリッチ耐性 ( $V_{\text{IT-}}$ ) とオーバードライブとの関係

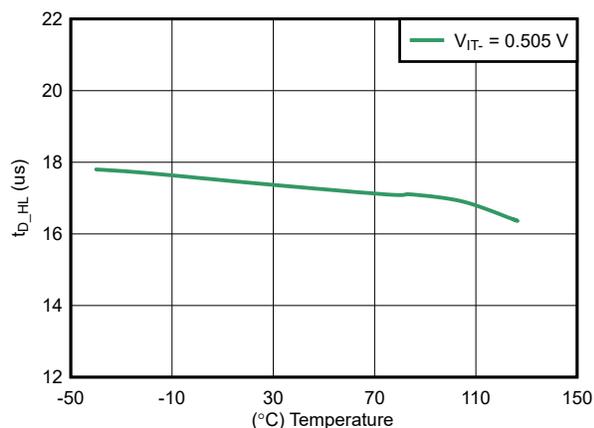


図 6-9. SENSE 遅延 ( $t_{D\_HL}$ ) と温度との関係

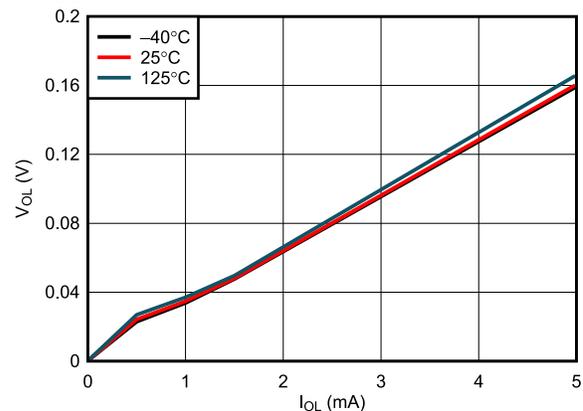


図 6-10.  $V_{\text{OL}}$  と  $I_{\text{OL}}$  の関係

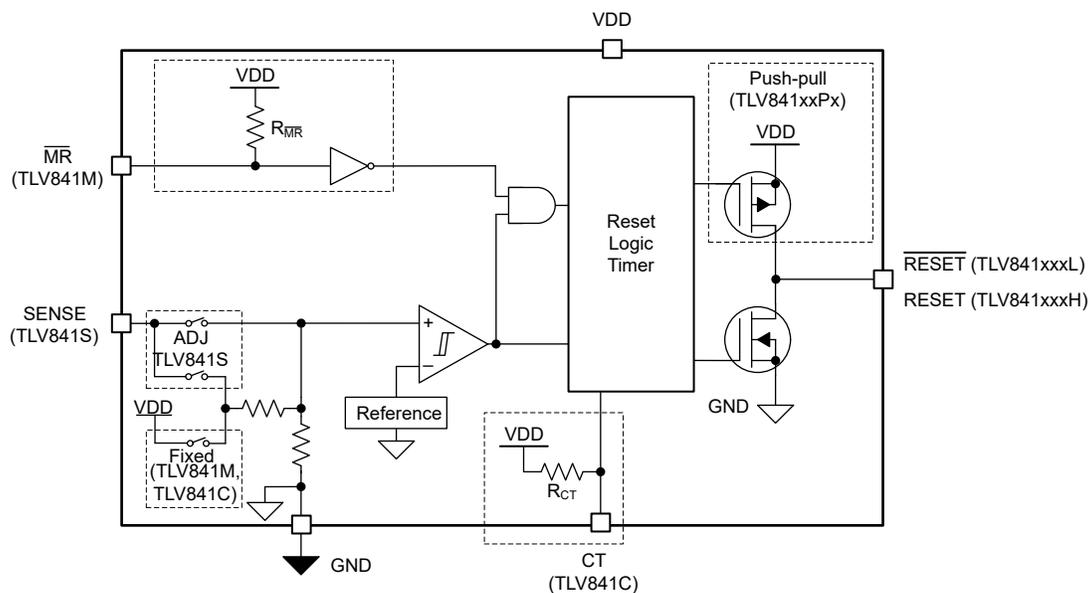
## 7 詳細説明

### 7.1 概要

TLV841 は、固定スレッショルド電圧を備えた超小型、高精度、ナノ静止電流の電圧スーパーバイザのファミリーです。TLV841S は、精度を低下させることなく電圧スレッショルドを調整できる独立した **SENSE** ピンを備えています。TLV841C は外付けコンデンサを使用してリセット時間遅延をプログラム可能で、TLV841M はアクティブ "Low" のマニュアルリセット ( $\overline{\text{MR}}$ ) 機能を備えています。TLV841 ファミリーは、 $\pm 0.5\%$  (標準値) の監視スレッショルド精度を提供し、ヒステリシス、グリッチ耐性を備えています。

TLV841S の可変バリエーションは、0.505V の内部リファレンス電圧を備えており、推奨動作条件内で 0.505V を超える任意の電圧を正確に監視するために使用できます。可変スレッショルド バリエーションに加えて、固定負のスレッショルド電圧 ( $V_{IT}$ ) は、工場出荷時に 0.8V ~ 4.9V の範囲で 100mV 刻みで設定できます。TLV841 は、超小型の 0.73mm × 0.73mm、4 ピン BGA パッケージで提供されます。

### 7.2 機能ブロック図



### 7.3 機能説明

#### 7.3.1 入力電圧 (VDD)

TLV841C および TLV841M では、VDD が固定スレッショルド電圧を下回ったことを示すために、内部コンパレータによって VDD ピンが監視されます。TLV841S では、内蔵コンパレータによって **SENSE** ピンが監視されます。また VDD は、内部バンドギャップ、内部レギュレータ、ステートマシン、バッファ、およびその他の制御ロジックブロックの電源としても機能します。適切な設計手法としては、ノイズの多いアプリケーションの場合、VDD 入力に 0.1 $\mu$ F ~ 1 $\mu$ F のバイパスコンデンサを配置し、デバイスが正常にパワーアップするのに十分な電荷を確保できるようにすることが挙げられます。

### 7.3.1.1 VDD ヒステリシス

内蔵コンパレータにはヒステリシスが組み込まれており、出力リセットが誤って解除されるのを回避します。VDD (TLV841C、TLV841M) ピンの電圧が  $V_{IT-}$  を下回ると、出力リセットがアサートされます。監視対象電圧が  $V_{IT-}$  にヒステリシス ( $V_{HYS}$ ) を加えた値を上回ると、 $t_D$  の遅延後に出力リセットがデアサートされます。

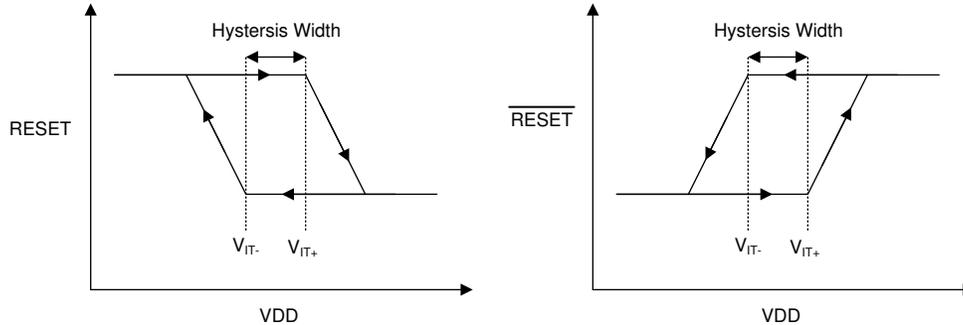


図 7-1. ヒステリシス図

### 7.3.1.2 VDD 過渡耐性

TLV841 は、VDD での急激な電圧過渡や変動への耐性があります。過渡に対する感度は、セクション 6.6 で規定されているパルス持続時間 ( $t_{GI\_VIT-}$ ) とオーバードライブの両方に依存します。オーバードライブは、指定されたスレッシュホールドから VDD がどれだけずれているかによって定義されます。スレッシュホールド オーバードライブは、式 1 に示すように、対象のスレッシュホールドに対するパーセンテージとして計算されます。

$$\text{Overdrive} = \left| \left[ \left( \frac{V_{DD}}{V_{IT-}} \right) - 1 \right] \times 100\% \right| \quad (1)$$

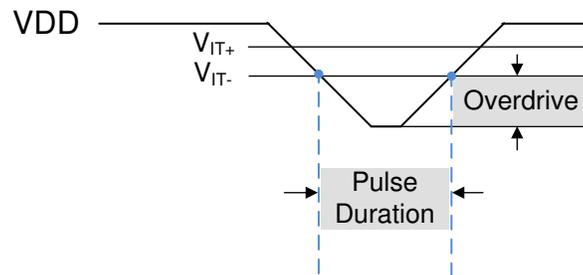


図 7-2. オーバードライブとパルス持続時間との関係

### 7.3.2 SENSE 入力 (TLV841S)

SENSE 入力は、使用するデバイスの電源電圧に関係なく、0V ~ 5.5V まで変動させることができます。重要な電圧レールやプッシュ ボタン入力の監視には、SENSE ピンを使用します。このピンの電圧が  $V_{IT-}$  を下回ると、 $\overline{\text{RESET}}/\text{RESET}$  がアサートされます。SENSE ピンの電圧が正のスレッシュホールド電圧

$V_{IT-} + V_{HYS}$  を上回ると、ユーザー定義の  $\overline{\text{RESET}}/\text{RESET}$  遅延時間後に  $\overline{\text{RESET}}/\text{RESET}$  がデアサートされます。内部コンパレータにはヒステリシスが内蔵されているため、監視対象の電圧レールにわずかな変化があっても、 $\overline{\text{RESET}}/\text{RESET}$  のアサートおよびデアサートが確実に行われるようになっています。

TLV841 デバイスには、SENSE ピンで発生する短い過渡に対して比較的耐性があります。セクション 6.6 で規定されているグリッチ耐性 ( $t_{GI\_VIT-}$ ) は、図 6-8 に示すように、スレッシュホールド オーバードライブに依存します。大半の場合必要ではありませんが、ノイズの多いアプリケーションでは、SENSE 入力に 10nF ~ 100nF のバイパスコンデンサを配置して、監視対象の信号の過渡電圧に対する感度を低減する方法が優れたアナログ設計手法といえます。

### 7.3.2.1 SENSE ヒステリシス

内蔵コンパレータにはヒステリシスが組み込まれており、出力リセットが誤って解除されるのを回避します。SENSE (TLV841S) ピンの電圧が  $V_{IT-}$  を下回ると、出力リセットがアサートされます。監視対象電圧が  $V_{IT-}$  にヒステリシス ( $V_{HYS}$ ) を加えた値を上回ると、 $t_D$  の遅延後に出力リセットがデアサートされます。

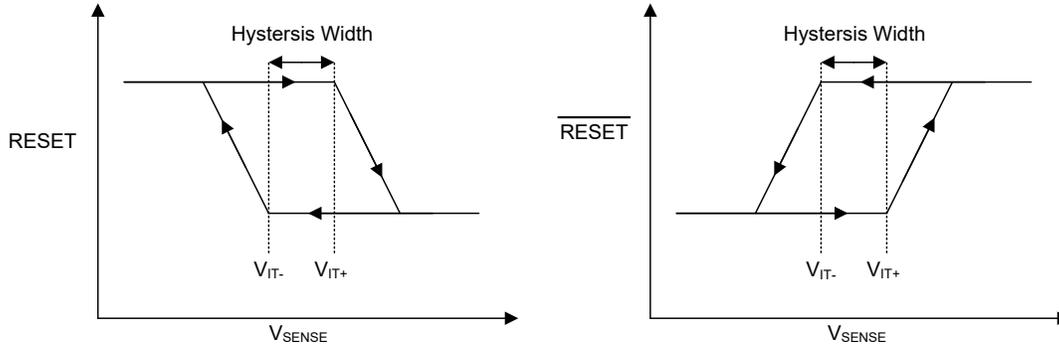


図 7-3. ヒステリシス図

### 7.3.2.2 SENSE ピンに対する過渡電圧耐性

TLV841S は、入力 SENSE ピンで発生する短い電圧過渡スパイクまたは変動に耐性があります。SENSE ピンのノイズ耐性をさらに向上させるため、SENSE ピンと GND の間に 10nF ~ 100nF のコンデンサを配置すると、監視信号上の過渡電圧に対する感度を低減できます。

過渡に対する感度は、過渡電圧の持続時間とオーバードライブ (振幅) の両方に依存します。オーバードライブは、 $V_{SENSE}$  が既定のスレッシュホールドをどれだけ上回るかで定義されます。オーバードライブが小さいほど出力の応答が遅くなるので、この値を把握しておくことは重要です。スレッシュホールド オーバードライブは、式 2 に示すように、対象のスレッシュホールドに対するパーセンテージとして計算されます。

$$\text{Overdrive} = \left| \left[ \left( \frac{V_{SENSE}}{V_{IT-}} \right) - 1 \right] \times 100\% \right| \quad (2)$$

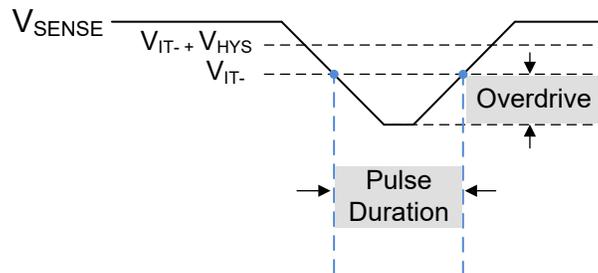


図 7-4. オーバードライブとパルス持続時間との関係

### 7.3.3 ユーザーがプログラム設定可能なリセット時間遅延 (TLV841C のみ)

リセット時間遅延は、CT ピンをフローティングのままにすることで 40 $\mu$ s の標準値に、10 $\mu$ F 遅延コンデンサを接続することで最大値約 6.2 秒に設定できます。リセット時間遅延 ( $t_D$ ) は、CT ピンと GND の間に 10 $\mu$ F 以下のコンデンサを接続することでプログラムできます。

CT ピンにおける外付けコンデンサ ( $C_{CT\_EXT}$  (typ)) ( $\mu$ F) と時間遅延 ( $t_D$  (typ)) (秒) の関係は 式 3 で計算されます。

$$t_D(\text{typ}) = -\ln(0.29) \times R_{CT}(\text{typ}) \times C_{CT\_EXT}(\text{typ}) + t_{D(\text{no cap, typ})} \quad (3)$$

セクション 6.5 と セクション 6.6 に記載されている  $R_{CT}$  (typ) および  $t_{D(\text{no cap, typ})}$  を代入することで、式 3 は 式 4 に簡略化されます。

$$t_D(\text{typ}) = 618937 \times C_{CT\_EXT}(\text{typ}) + 40\mu\text{s} \quad (4)$$

式 5 は、外部コンデンサ値 ( $C_{CT\_EXT}$ ) を  $\mu$ F 単位で算出する式です ( $t_D$  (typ) は秒単位)

$$C_{CT\_EXT} = \frac{[t_D(\text{typ}) - 40\mu\text{s}]}{618937} \quad (5)$$

リセット遅延時間は、外部コンデンサ  $C_{CT\_EXT}$ 、セクション 6.5 で示される CT ピンの内部抵抗  $R_{CT}$ 、そして定数の 3 つの変数に左右されます。定数によるおよび最大の変動は、式 6 で表されます。

$$t_D(\text{max}) = -\ln(0.25) \times R_{CT}(\text{max}) \times C_{CT\_EXT}(\text{max}) + t_{D(\text{no cap, max})} \quad (6)$$

TLV841C の推奨最大遅延コンデンサは 10 $\mu$ F に制限されています。これは、電圧故障が発生した際、コンデンサが完全に放電するのに十分な時間を確保するためです。また、コンデンサの値が大きすぎると、充電速度が非常に遅く (立ち上がり時間)、システム ノイズによって内部回路がスレッシュホールド付近で早めにまたは遅くトリップする可能性があります。これは時間遅延の変動につながり、システム ノイズが存在する場合に遅延の精度が低下する可能性があります。

電圧故障が発生すると、充電されたコンデンサが放電され、遅延コンデンサが完全に放電される前に監視対象の電圧が故障状態から戻ると、遅延時間は想定よりも短くなります。コンデンサの充電はゼロを超える電圧から開始され、時間遅延は想定よりも短くなります。電圧フォルト中にコンデンサが完全に放電するのに十分な時間がある限り、遅延コンデンサをさらに大きくすることもできます。図 7-5 に示すように、VDD 故障時の低電圧が大きくなるほど、リセット遅延時間に対する遅延コンデンサを放電するのに必要な時間が長くなります。下のグラフから、 $C_{CT\_EXT}$  コンデンサが完全に放電されていることを確認するためには、電圧故障の継続時間が、プログラムされたリセット時間遅延の 10% を超えている必要があることがわかります。

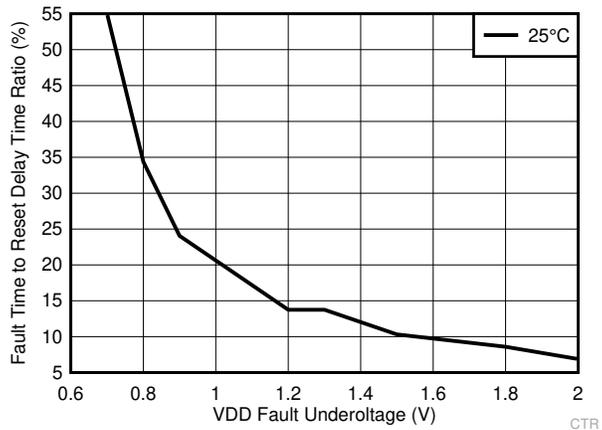


図 7-5. 故障状態における  $C_{CT\_EXT}$  放電時間 ( $C_{CT\_EXT} = 1\mu\text{F}$ )

### 7.3.4 マニュアルリセット ( $\overline{\text{MR}}$ ) 入力 (TLV841M のみ)

マニュアルリセット ( $\overline{\text{MR}}$ ) 入力により、プロセッサ GPIO や他のロジック回路でリセットを開始できます。 $\overline{\text{MR}}$  がロジック "Low" の状態で、そのパルス持続時間が  $t_{\text{MR\_RES}}$  より長くなると、リセット出力がアサートされます。 $\overline{\text{MR}}$  がロジック "High" ( $V_{\text{MR\_H}}$ ) に戻り、VDD が  $V_{\text{IT+}}$  を上回った後、ユーザーがプログラムしたリセット時間遅延 ( $t_{\text{D}}$ ) が経過すると、リセットはデアサートされます。

$\overline{\text{MR}}$  が外部で制御されない場合、 $\overline{\text{MR}}$  は接続解除したままにしておくことができます。 $\overline{\text{MR}}$  を制御するロジック信号が VDD を下回ると、追加の電流が VDD から  $\overline{\text{MR}}$  に内部的に流れます。消費電流を最小限に抑えるには、 $\overline{\text{MR}}$  を VDD または GND に駆動します。 $V_{\text{MR}}$  は VDD 以下にする必要があります。

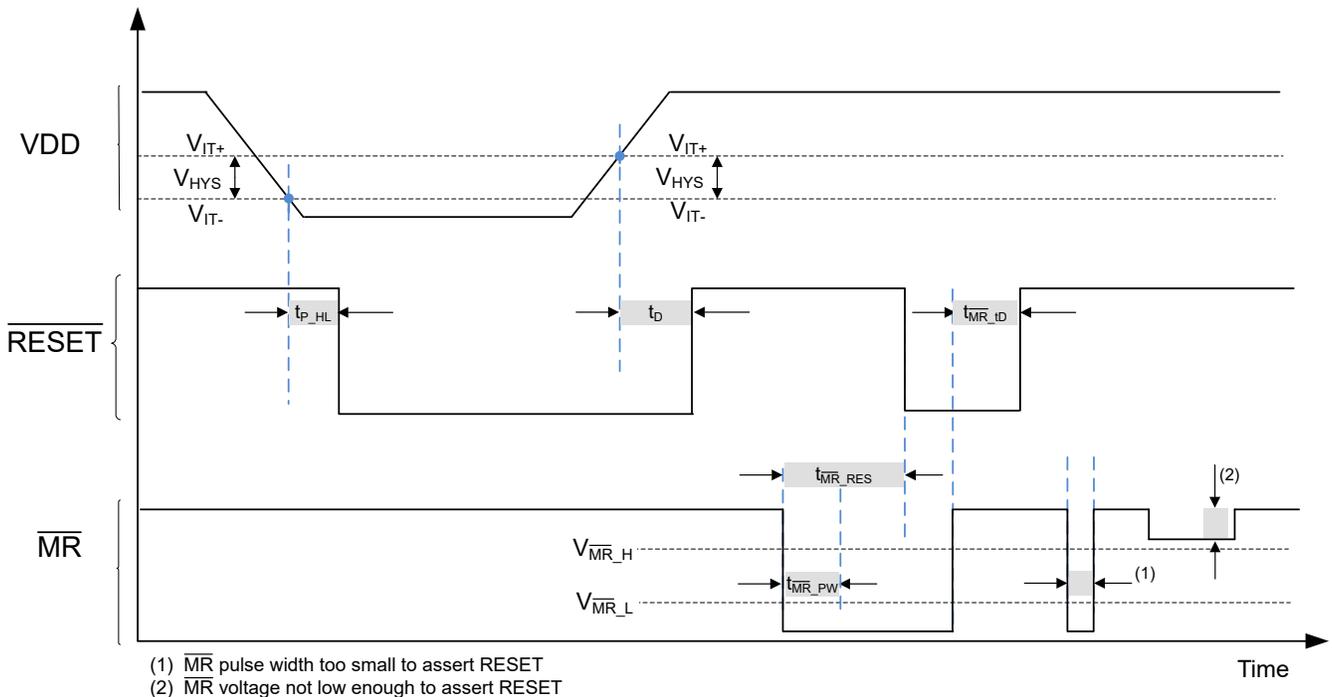


図 7-6.  $\overline{\text{MR}}$  と  $\overline{\text{RESET}}$  のタイミング図 (TLV841M)

### 7.3.5 出力ロジック

#### 7.3.5.1 $\overline{\text{RESET}}$ 出力、アクティブ "Low"

$\overline{\text{RESET}}$  (アクティブ "Low") は TLV841xxDL (オープンドレイン) および TLV841xxPL (プッシュプル) に適用されるため、デバイス名に「L」が付いています。VDD/SENSE が負のスレッシュホールド ( $V_{\text{IT-}}$ ) を上回り、 $\overline{\text{MR}}$  ピンがフローティングまたは  $V_{\text{MR\_H}}$  を上回っている限り、 $\overline{\text{RESET}}$  は High (デアサート) のままです。VDD/SENSE が負のスレッシュホールド ( $V_{\text{IT-}}$ ) を下回るか、 $\overline{\text{MR}}$  が Low に駆動されると、 $\overline{\text{RESET}}$  がアサートされます。

$\overline{\text{MR}}$  が再びロジック "High" またはフローティングになり、VDD/SENSE が  $V_{\text{IT+}}$  ( $V_{\text{IT-}} + V_{\text{HYS}}$ ) を上回ると、遅延回路は、指定されたリセット時間遅延 ( $t_{\text{D}}$ ) の間  $\overline{\text{RESET}}$  を Low に保持します。リセット時間遅延が経過すると、 $\overline{\text{RESET}}$  ピンはロジック "High" 電圧  $V_{\text{OH}}$  に戻ります。

TLV841xx DL (オープンドレイン) バージョン (デバイス名に「D」と表記) では、 $\overline{\text{RESET}}$  ピンを High に保持するために外付けプルアップ抵抗が必要です。外付けのプルアップ抵抗を目的のプルアップ電圧源に接続すると  $\overline{\text{RESET}}$  は VDD 電圧にかかわらず、5.5V まで任意の電圧にプルアップできます。適切な電圧レベルを確保するためには、外付けプルアップ抵抗の値を選択する際にある程度の配慮が必要になります。外付けプルアップ抵抗の値は、実際の  $V_{\text{OL}}$ 、出力容量性負荷、および出力リーク電流 ( $I_{\text{lk}}(\text{OD})$ ) によって決定されます。

プッシュプルバリエーション (TLV841xxPL、デバイス名に「P」と表記) では、外付けプルアップ抵抗は必要ありません

### 7.3.5.2 RESET 出力、アクティブ "High"

RESET (アクティブ "High") はピン ラベルの上にバーがない状態で示され、TLV841xxDH (オープン ドレイン) と TLV841xxPH (プッシュプル) アクティブ "High" バージョンにのみ適用されるため、デバイス名に「H」が付いています。VDD/SENSE がスレッショルド ( $V_{IT-}$ ) を上回り、マニュアルリセット信号 ( $\overline{MR}$ ) がフローティングまたは  $V_{MR-H}$  を上回っている限り、RESET は Low (デアサート) のままです。VDD/SENSE が負のスレッショルド ( $V_{IT-}$ ) を下回るか、 $\overline{MR}$  が Low に駆動されると、RESET がアサートされ、RESET ピンが高電圧  $V_{OH}$  に駆動されます。

$\overline{MR}$  が再びロジック "High" またはフローティングで、VDD/SENSE が  $V_{IT+}$  ( $V_{IT-} + V_{HYS}$ ) を上回っている場合、遅延回路は指定されたリセット時間遅延 ( $t_D$ ) の間 RESET を High に保持します。リセット時間遅延時間が経過すると、RESET ピンは低電圧  $V_{OL}$  に戻ります

TLV841xx DH (オープン ドレイン) バージョン (デバイス名に「D」と表記) では、 $\overline{RESET}$  ピンを High に保持するために外付けプルアップ抵抗が必要です。外付けのプルアップ抵抗を目的のプルアップ電圧源に接続すると  $\overline{RESET}$  は VDD 電圧にかかわらず、5.5V まで任意の電圧にプルアップできます。適切な電圧レベルを確保するためには、外付けプルアップ抵抗の値を選択する際にある程度の配慮が必要になります。外付けプルアップ抵抗の値は、実際の  $V_{OL}$ 、出力容量性負荷、および出力リーク電流 ( $I_{lkg(OD)}$ ) によって決定されます。

プッシュプル バリエーション (TLV841xxPH) (デバイス名に「P」と表記) では、外付けプルアップ抵抗は必要ありません

## 7.4 デバイスの機能モード

表 7-1 と表 7-2 に、デバイスのさまざまな機能モードがまとめられています。ロジック High は「H」で、ロジック Low は「L」で表されます。

表 7-1. TLV841S の真理値表

VDD	SENSE	RESET (アクティブ "High")	RESET (アクティブ "Low")
$VDD < V_{POR}$	—	未定義	未定義
$V_{POR} < VDD < V_{DD(MIN)}$ <sup>(1)</sup>	—	H	L
$VDD \geq V_{DD(MIN)}$	$V_{SENSE} < V_{IT-}$	H	L
$VDD \geq V_{DD(MIN)}$	$V_{SENSE} > V_{IT-} + V_{HYS}$	L	H

(1)  $V_{DD}$  が  $V_{DD(MIN)}$  を下回ると、低電圧誤動作防止 (UVLO) が有効になります。また、 $V_{DD}$  が  $V_{POR}$  を下回るまで、 $\overline{RESET}$  はロジック "Low" に保持され ( $\overline{RESET}$  はロジック "High" に保持され)、下回った時点で  $\overline{RESET}/RESET$  出力は未定義の状態になります。

表 7-2. TLV841M の真理値表

VDD	MR	RESET (アクティブ "High")	RESET (アクティブ "Low")
$VDD < V_{POR}$	—	未定義	未定義
$V_{POR} < VDD < V_{IT-}$	—	H	L
$VDD \geq V_{IT-}$	L	H	L
$VDD \geq V_{IT-}$	H	L	H
$VDD \geq V_{IT-}$	フローティング	L	H

### 7.4.1 通常動作 ( $V_{DD} > V_{POR}$ )

VDD が  $V_{POR}$  より高い場合、リセット信号はトリップ ポイント ( $V_{IT-}$ ) に対する VDD ピンの電圧によって決定されます。

- $\overline{MR}$  high: リセット信号は、スレッショルド電圧を基準とした VDD に対応します。
- $\overline{MR}$  low: このモードでは、スレッショルド電圧に関係なくリセットがアサートされます。

### 7.4.2 パワーオン リセット未済 ( $V_{DD} < V_{POR}$ )

VDD の電圧が  $V_{POR}$  を下回ると、デバイスはアサートされた出力を内部で Low または High にプルするのに十分なバイアス電圧が得られず、リセット電圧レベルは未定義となります。

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 使用上の注意

以下のセクションでは、最終アプリケーションの要件に応じて、このデバイスを適切に使用方法について詳しく説明します。

### 8.2 代表的なアプリケーション

#### 8.2.1 設計 1：プッシュボタン機能を備えた調整可能な電圧スーパーバイザ

TLV841S の代表的なアプリケーションは、プッシュボタン機能付きの電圧レール監視です。この設計アプリケーションでは、TLV841SADL01 を使用して 3.3V 電源レールを監視し、電圧が 2.90V を下回るか、プッシュボタンが押されたときにリセットをトリガします。リセット出力は MCU に接続され、システムのリセットやプッシュボタンの処理に使用されます。

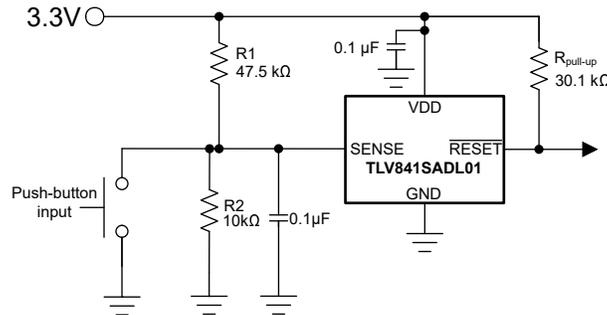


図 8-1. 設計 1 - プッシュボタン機能回路を搭載した、調整可能な電圧スーパーバイザ

#### 8.2.2 設計要件

表 8-1 に記載されているように、この設計の要件では、リセット スレッショルド電圧は 2.90V、リセット遅延は 40μs、出力電流は 150μA 以下と定義されています。

表 8-1. 設計要件

パラメータ	設計要件	設計結果
リセットアサート	リセットは、ボタン押下または $VDD \leq 2.90V$ のリセット状態が発生したときにアサートされる必要があります。	リセットは、ボタン押下または $VDD \leq 2.90V$ のリセット状態が発生したときにアサートされます。
リセットアサートのタイミング	リセット出力は、20μs のリセット条件が満たされるとアサートされる必要があり、リセット条件がなくなってから 40μs 後にデアサートされる必要があります。	リセット出力は、26.4μs のリセット条件が満たされたときにアサートされ、リセット条件がなくなってから 46.8μs 後にデアサートされます。
出力電流	出力電流は 150μA を超えてはいけません。	出力電流はリセット状態では 110μA でした。

### 8.2.3 詳細な設計手順

TLV841SADL01 では、外付けの分圧器を使用することで、0.505V 以上の任意の電圧を監視できます。このデバイスの負方向入力スレッショルド電圧は 0.505V です。ただし、設計上、VDD が 2.90V を下回った際に RESET をアサートする必要があります。抵抗デバイダ ( $R1 = 47.5k\Omega$ ,  $R2 = 10k\Omega$ ) を使用すると、負方向スレッショルド電圧は 2.90V になります。本デバイスの正方向電圧スレッショルドは  $V_{IT+} + V_{HYS}$  です。代表的な  $V_{HYS}$  は 25mV です。これを抵抗デバイダと組み合わせることで、設計上の正方向スレッショルド電圧は 3.05V になります。VDD が 2.90V を下回ると、 $\overline{RESET}$  がアサートされます。VDD が 3.05V を上回ると、 $\overline{RESET}$  はデアサートされます。電圧レベルとリセットのアサート / デアサート条件の詳細なタイミング図については、図 8-2 を参照してください。

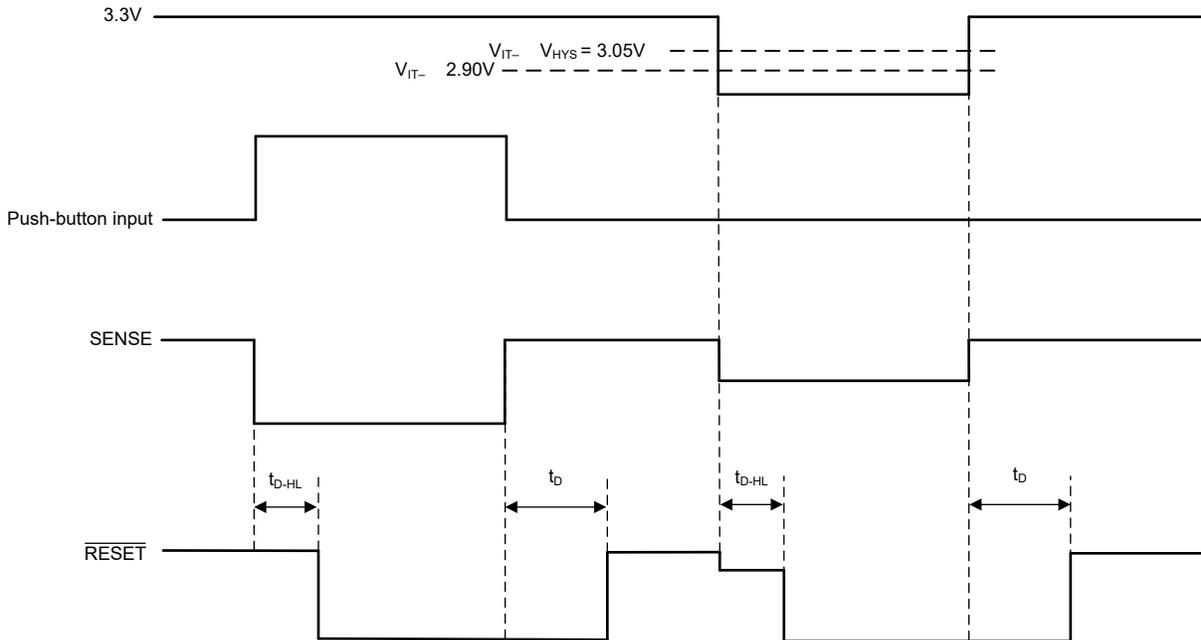


図 8-2. 設計 1 のタイミング図

このデザインでは、「プッシュボタン入力」がアサートされた場合にも、リセット状態に入ります。プッシュボタンはグランドに接続されており、押されると SENSE 電圧が 0V まで低下するため、デバイスはリセットをアサートします。適切なアナログ手法として、0.1 $\mu$ F コンデンサも VDD に配置されています。

望ましいリセット タイミング条件は、25 $\mu$ s の検出伝搬遅延時間  $t_{p\_HL}$  ( $\overline{RESET}$  のアサートに要する時間)、および 40 $\mu$ s のリセット遅延時間 ( $\overline{RESET}$  のデアサートに要する時間) です。図 8-3 および 図 8-4 は、前述のアプリケーションの結果であり、測定された伝搬遅延時間とリセット遅延時間をそれぞれ示しています。

最大出力電流の要件を満たすため、外付けプルアップ抵抗を流れる電流が 150 $\mu$ A を超えないように、外部プルアップ抵抗を選択する必要があります。リセット出力が Low のとき、外部プルアップ抵抗にかかる電圧降下は VDD に等しくなります。オームの法則に基づいて抵抗の最小値を計算します。リセットが LOW にアサートされた状態で 150 $\mu$ A を下回るようにするには、この抵抗を 22k $\Omega$  より大きくする必要があります。これを実現するために、30.1k $\Omega$  の抵抗値を選択しました。

この設計では許容誤差が考慮されていないことに注意してください。

## 8.2.4 アプリケーション曲線 : TLV841EVM

これらのアプリケーション曲線は、TLV841EVM 上の TLV841SADL01 部品を使用して測定されたものです。詳細については、『TLV841 ユーザー ガイド』を参照してください。



図 8-3. TLV841EVM の伝搬遅延時間 ( $t_{D\_HL}$ )

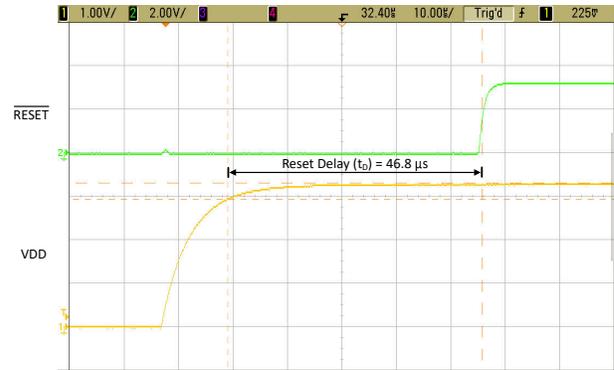


図 8-4. TLV841EVM RESET 時間遅延 ( $t_D$ )

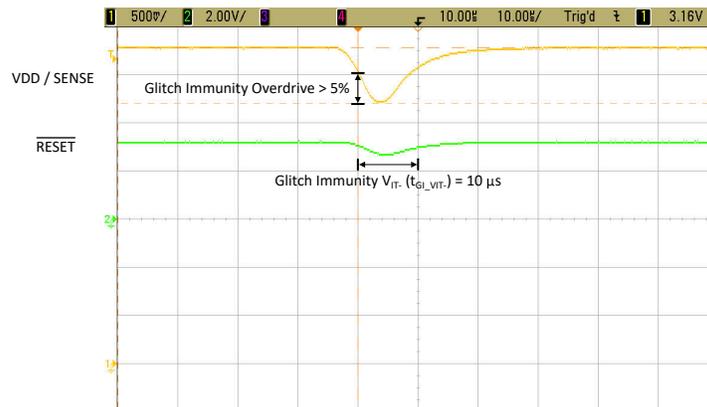


図 8-5. TLV841EVM SENSE ピンのグリッチ耐性 ( $t_{GL\_VIT}$ )

## 8.3 電源に関する推奨事項

これらのデバイスは、0.7V ~ 5.5V の入力電源電圧範囲で動作するように設計されています。テキサス インストルメンツ は、VDD ピンと GND ピンの間に、0.1μF の入力電源コンデンサを配置することを推奨します。デバイスの VDD ピンの絶対最大定格は 6V です。VDD に電力を供給する電源電圧が、6V を超えるような大きな電圧過渡の影響を受けやすい場合は、追加の予防措置を講じる必要があります。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

VDD ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、最小 0.1μF のセラミックコンデンサを VDD ピンのできるだけ近くに配置することが推奨されます。CT ピン (TLV841C) にコンデンサが接続されていない場合、このピンの寄生容量を最小限に抑え、リセット時間遅延に悪影響を及ぼさないようにしてください。

- VDD ピンへの接続が低インピーダンスであることを確認します。適切なアナログ設計手法では、0.1μF 以上のセラミックコンデンサを VDD ピンのできるだけ近くに配置することが推奨されます。
- $C_{CT\_EXT}$  コンデンサを使用する場合 (TLV841C)、CT ピンのできるだけ近くに配置します。CT ピンを未接続のまま使用する場合は、ピンの寄生容量を 5pF 未満に抑えるようにします。

- SENSE コンデンサ ( $C_{\text{SENSE}}$ ) を使用する場合 (TLV841S)、コンデンサを SENSE ピンのできるだけ近くに配置して、SENSE ピンのノイズ耐性をさらに向上させてください。SENSE ピンと GND の間に 10nF ~ 100nF のコンデンサを配置すると、監視対象信号の過渡電圧に対する感度を低減できます。
- RESET ピンのプルアップ抵抗は、ピンのできるだけ近くに配置します。

### 8.4.2 レイアウト例

図 8-6 のレイアウト例は、各デバイス バリエーションに対してプリント基板 (PCB) 上で TLV841S をレイアウトする方法を示しています。

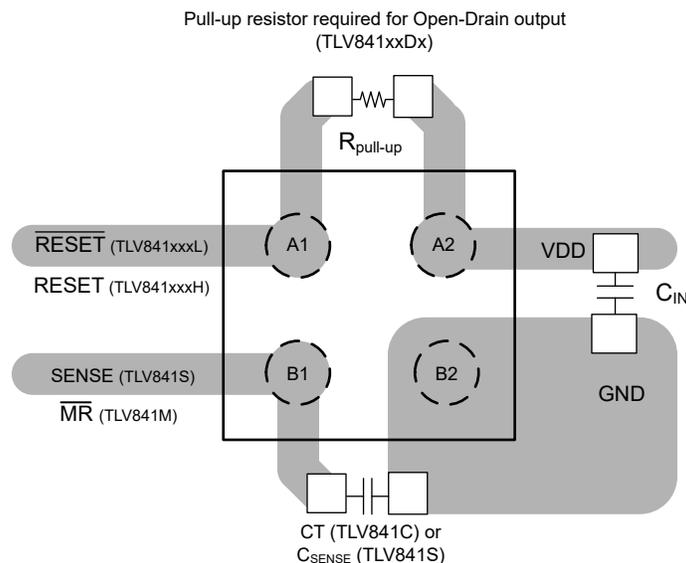


図 8-6. TLV841 の推奨レイアウト

## 9 デバイスおよびドキュメントのサポート

### 9.1 デバイスの命名規則

セクション 4 の図 4-1 および表 9-1 は、型番からデバイスの機能をデコードする方法を示しています。

**表 9-1. デバイスの命名規則**

説明	項目表記	値
ジェネリック型番	TLV841	TLV841
機能オプション	S	SENSE ピンのオプション
	C	外付けコンデンサを使用して遅延をプログラムできる CT ピン
	M	マニュアルリセット (MR) ピン オプション
遅延オプション	A	40µs (内部リセット時間遅延なし)
	B	2ms リセット時間遅延
	C	10ms リセット時間遅延
	D	30ms リセット時間遅延
	E	50ms リセット時間遅延
	F	80ms リセット時間遅延
	G	100ms リセット時間遅延
	H	150ms リセット時間遅延
	I	200ms リセット時間遅延
バリエーションコード (出力ポロジ)	DL	オープンドレイン、アクティブ LOW
	PL	プッシュプル、アクティブ "Low"
	DH	オープンドレイン、アクティブ "High"
	PH	プッシュプル、アクティブ "High"
検出電圧オプション	## (2 文字)	例: 12 は 1.2V スレッショルドを表します
パッケージ	YBH	DSBGA (4)
リール	R	大型リール

### 9.2 ドキュメントのサポート

#### 9.2.1 関連資料

以下に示す関連ドキュメントは、[www.ti.com](http://www.ti.com) からダウンロードできます。

- [C2000 Delfino™ ファミリのマイクロプロセッサ](#)
- テキサス インスツルメンツ、[『TMS320C28x デジタル信号コントローラ入門』、アプリケーション ノート](#)
- テキサス インスツルメンツ、[『コンパレータ入力における分圧抵抗の最適化』アプリケーション ノート](#)
- テキサス インスツルメンツ、[『電源設計における感度分析』アプリケーション ノート](#)
- テキサス インスツルメンツ、[『TLV841EVM-775 評価基板ユーザー ガイド』](#)
- テキサス インスツルメンツ、[『TMS320F2833x、TMS320F2823x リアルタイム マイコン』データシート](#)

#### 9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

## 9.5 商標

Delfino™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (January 2023) to Revision E (February 2026)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「概要」セクションを更新.....	1
$t_{MR\_PW}$ の標準値を次のように更新。10 $\mu$ s から: 500ns.....	11
$t_{MR\_RES}$ の標準値を $t_{p\_HL}$ $\mu$ s から次の数値に更新。1 $\mu$ s.....	11
$t_{MR\_ID}$ の標準値を $t_{dms}$ から次の数値に更新。3 $\mu$ s.....	11

Changes from Revision C (June 2021) to Revision D (January 2023)	Page
表 12-2 を削除.....	25

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TLV841MAPL35YBHR</a>	Active	Production	DSBGA (YBH)   4	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	E
<a href="#">TLV841SADL01YBHR</a>	Active	Production	DSBGA (YBH)   4	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	9
TLV841SADL01YBHR.A	Active	Production	DSBGA (YBH)   4	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	9
<a href="#">TLV841SADL41YBHR</a>	Active	Production	DSBGA (YBH)   4	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	T
TLV841SADL41YBHR.A	Active	Production	DSBGA (YBH)   4	3000   LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	T

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

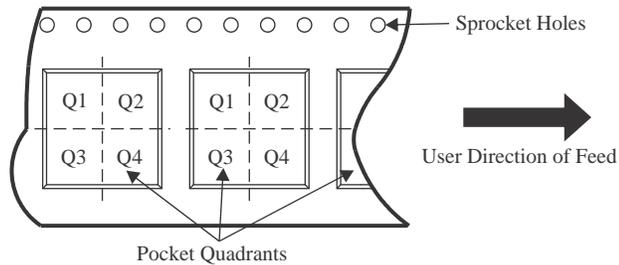
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

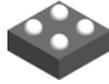
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV841MAPL35YBHR	DSBGA	YBH	4	3000	180.0	8.4	0.84	0.84	0.48	4.0	8.0	Q1
TLV841SADL01YBHR	DSBGA	YBH	4	3000	180.0	8.4	0.84	0.84	0.48	4.0	8.0	Q1
TLV841SADL41YBHR	DSBGA	YBH	4	3000	180.0	8.4	0.84	0.84	0.48	4.0	8.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV841MAPL35YBHR	DSBGA	YBH	4	3000	182.0	182.0	20.0
TLV841SADL01YBHR	DSBGA	YBH	4	3000	182.0	182.0	20.0
TLV841SADL41YBHR	DSBGA	YBH	4	3000	182.0	182.0	20.0

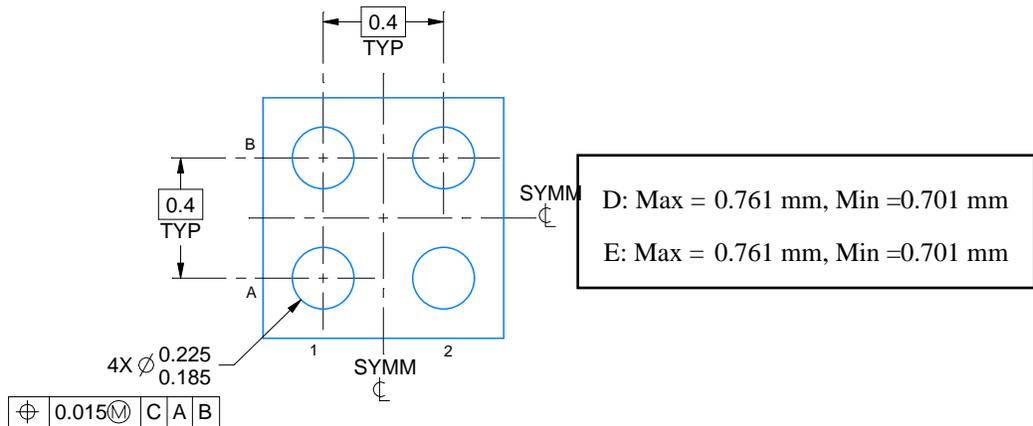
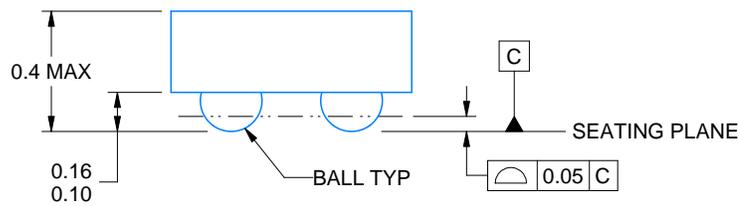
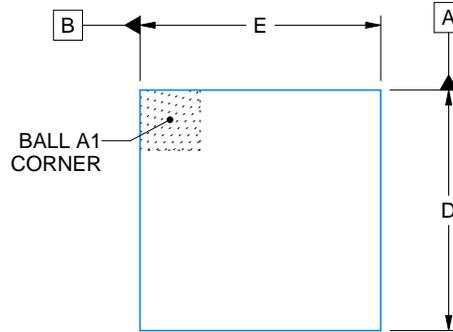
YBH0004



# PACKAGE OUTLINE

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



4224051/A 11/2017

NOTES:

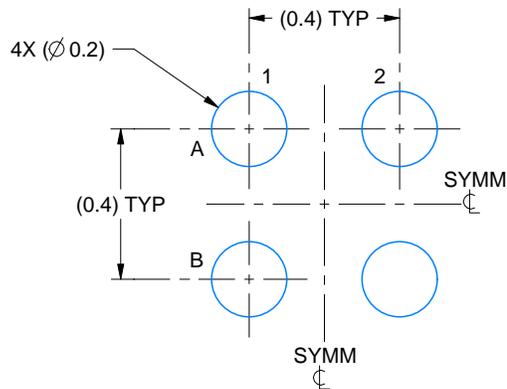
- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- 2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

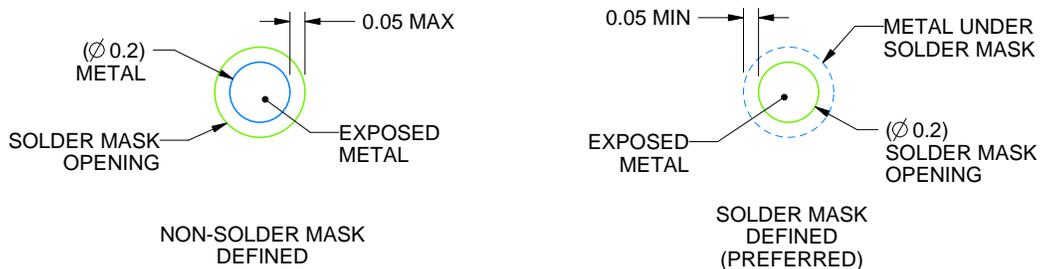
YBH0004

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 50X



SOLDER MASK DETAILS  
NOT TO SCALE

4224051/A 11/2017

NOTES: (continued)

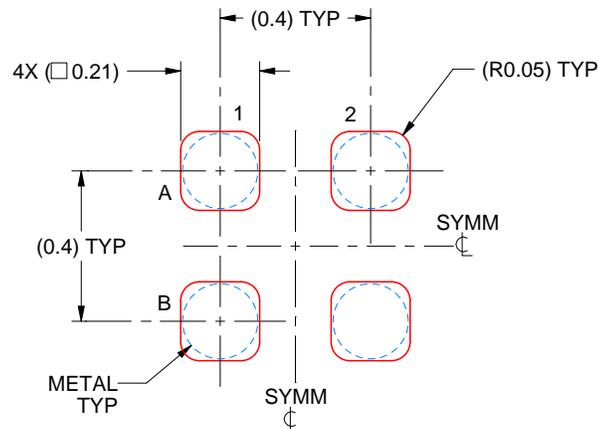
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 ([www.ti.com/lit/snva009](http://www.ti.com/lit/snva009)).

# EXAMPLE STENCIL DESIGN

YBH0004

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
BASED ON 0.075 mm THICK STENCIL  
SCALE: 50X

4224051/A 11/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月