LMH6702QML-SP 1.7GHz、超低歪、広帯域オペアンプ

1 特長

- V_S = ±5V、T_A = 25°C、A_V = +2V/V、R_L = 100Ω、V_{OUT} = $2V_{PP}$、特に記載のない限り標準値
- 放射線耐性ありで供給可能
  - 高線量率 300krad(Si)
  - ELDRS フリー 300krad(Si)
- -3dB 帯域幅 (V_{OUT} = $0.2V_{PP}$) 720MHz
- 低ノイズ:1.83nV/√Hz
- 速いセトリング:0.1% まで 13.4ns
- 速いスルーレート:3100V/µs
- 消費電流:12.5mA
- 出力電流:80mA
- 低相互変調歪み (75MHz):-67dBc
- CLC409 および CLC449 の改良代替製品

2 アプリケーション

- フラッシュ A/D ドライバ
- D/A トランスインピーダンス バッファ
- 広いダイナミック レンジの IF アンプ
- レーダ / 通信用受信機
- ライン ドライバ
- 高解像度ビデオ

3 概要

LMH6702QML-SP は、非常に帯域幅の広い DC 結合モノリシック オペアンプであり、優れた信号忠実度を必要とするダイナミック レンジの広いシステム用に設計されています。テキサス・インスツルメンツの電流帰還型アーキテクチャを活かして、LMH6702QML-SP は、外部での補償の必要なしに非常に高速な動作とユニティ ゲイン安定性を実現します。

720MHz 帯域幅 (A_V = 2V/V、V_O = $2V_{PP}$)、60MHz で 10 ビットの歪みレベル (R_L = 100Ω)、1.83nV/√Hz の入力換算ノイズ、12.5mA の消費電流を実現した LMH6702QML-SP は、高速フラッシュ A/D および D/A コンバータの優れたドライバまたはバッファです。

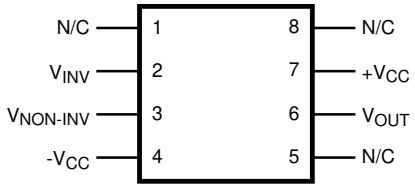
LMH6702QML-SP は、レーダーや通信用受信機など、非常に優れた信号純度を提供する広帯域アンプを必要とする、ダイナミック レンジの広いシステムに適しています。入力換算ノイズが低く、高調波および相互変調歪みが小さいので、このデバイスは高速アプリケーションに最適です。

LMH6702QML-SP は、テキサス・インスツルメンツの VIP10 相補型バイポーラ プロセスと、テキサス・インスツルメンツの実績ある電流帰還アーキテクチャを使用して構築されています。

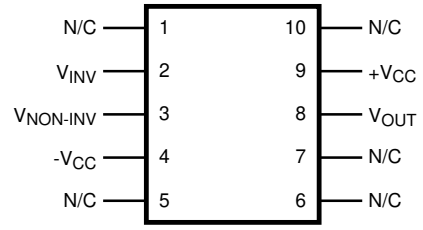
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMH6702QML-SP	NAB (CDIP、8)	10.16mm × 7.87 mm
	NAC (CFP、10)	9.91mm × 6.45 mm

(1) 詳細については、セクション 9 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



NAB パッケージ、8 ピン CDIP (上面図)



NAC パッケージ、10 ピン CLGA (上面図)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 Pin Configuration and Functions.....2
5 Specifications.....3
5.1 Absolute Maximum Ratings.....3
5.2 Recommended Operating Conditions.....4
5.3 Quality Conformance Inspection.....4
5.4 Electrical Characteristics: DC Parameters.....5
5.5 Electrical Characteristics: AC Parameters.....5
5.6 Electrical Characteristics: Drift Values Parameters.....5
5.7 Typical Characteristics.....6
6 Application and Implementation.....9
6.1 Application Information.....9
6.2 Layout.....11
7 Device and Documentation Support.....12
7.1 ドキュメントの更新通知を受け取る方法.....12
7.2 サポート・リソース.....12
7.3 Trademarks.....12
7.4 静電気放電に関する注意事項.....12
7.5 用語集.....12
8 Revision History.....12
9 Mechanical, Packaging, and Orderable Information.....12

4 Pin Configuration and Functions

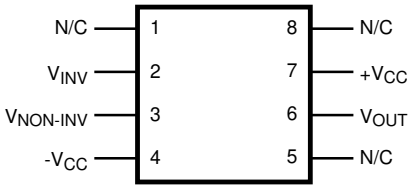


図 4-1. NAB Package, 8-Pin CDIP (Top View)

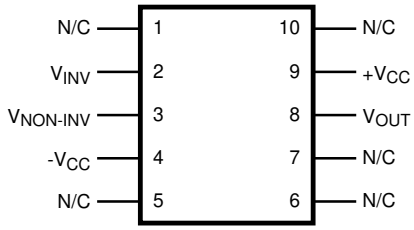


図 4-2. NAC Package, 10-Pin CLGA (Top View)

Copyright © 2024 Texas Instruments Incorporated

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)(1)

	VALUE
Supply voltage (V_{CC})	±6.75V_{DC}
Common-mode input voltage (V_{CM})	V^- to V^+
Power dissipation (P_D) (2)	1W
Junction temperature (T_J)	175°C
Lead temperature (soldering, 10 seconds)	300°C
Storage temperature	–65°C ≤ T_A ≤ +150°C
Thermal resistance	
θ_{JA}	
CDIP (still air)	170°C/W
CDIP (500LF/min air flow)	100°C/W
CLGA (still air)	220°C/W
CLGA (500LF/min air flow)	150°C/W
θ_{JC}	
CDIP	35°C/W
CLGA	37°C/W
Package weight (typical)	
CDIP	1078mg
CLGA	227mg
ESD tolerance (3)	1000V

(1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. *Absolute Maximum Ratings* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If used outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.

(2) The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{Jmax} (maximum junction temperature), θ_{JA} (package junction to ambient thermal resistance), and T_A (ambient temperature). The maximum allowable power dissipation at any temperature is $P_{Dmax} = (T_{Jmax} – T_A) / \theta_{JA}$ or the number given in the *Absolute Maximum Ratings*, whichever is lower.

(3) Human body model, 1.5kΩ in series with 100pF.

Copyright © 2024 Texas Instruments Incorporated

5.2 Recommended Operating Conditions

	VALUE
Supply voltage (V_{CC})	±5V_{DC} to ±6V_{DC}
Gain	±1 to ±10
Ambient operating temperature (T_A)	–55°C to +125°C

5.3 Quality Conformance Inspection

MIL-STD-883, Method 5005, Group A

SUBGROUP	DESCRIPTION	TEMPERATURE (°C)
1	Static tests at	25
2	Static tests at	125
3	Static tests at	–55
4	Dynamic tests at	25
5	Dynamic tests at	125
6	Dynamic tests at	–55
7	Functional tests at	25
8A	Functional tests at	125
8B	Functional tests at	–55
9	Switching tests at	25
10	Switching tests at	125
11	Switching tests at	–55

Copyright © 2024 Texas Instruments Incorporated

5.4 Electrical Characteristics: DC Parameters

The following conditions apply (unless otherwise specified)(1) (2):
R_L = 100Ω, V_{CC} = ±5V_{DC}, A_V = +2 feedback resistor (R_F) = 250Ω, gain resistor (R_G) = 250Ω

PARAMETER		TEST CONDITIONS	NOTES	MIN	MAX	UNIT	SUB-GROUPS
I_{BN}	Input bias current, noninverting			–15	15	µA	1, 2
				–21	21	µA	3
I_{BI}	Input bias current, inverting			–30	30	µA	1, 2
				–34	34	µA	3
V_{IO}	Input offset voltage			–4.5	4.5	mV	1, 3
				–6.0	6.0	mV	2
I_{CC}	Supply current, no load	R_L = ∞			15	mA	1, 2, 3
PSSR	Power supply rejection ratio	$-V_{CC}$ = –4.5V to –5.0V, $+V_{CC}$ = 4.5V to 5.0V		45		dB	1, 2, 3

(1) The algebraic convention, whereby the most negative value is a minimum and most positive is a maximum, is used in this table. Negative current shall be defined as conventional current flow out of a device terminal.
(2) Pre- and post-irradiation limits are identical to those listed under the dc parameter tables. Post-irradiation testing is conducted at room temperature, 25°C, only. Testing is performed as specified in MIL-STD-883 Test Method 1019 Condition A. The ELDRS-Free part is also tested per Test Method 1019 Conditions D.

5.5 Electrical Characteristics: AC Parameters

The following conditions apply (unless otherwise specified)(1) (2):
R_L = 100Ω, V_{CC} = ±5V_{DC}, A_V = +2 feedback resistor (R_F) = 250Ω, gain resistor (R_G) = 250Ω

PARAMETER		TEST CONDITIONS	NOTES	MIN	MAX	UNIT	SUB-GROUPS
HD_3	3rd harmonic distortion	$2V_{PP}$ at 20MHz			–62	dBc	4
GFPL	Gain flatness peaking	0.1MHz to 75MHz, $V_O < 0.5V_{PP}$			0.4	dB	4
GFPH	Gain flatness peaking	> 75MHz, $V_O < 0.5V_{PP}$			2.0	dB	4
GFRH	Gain flatness rolloff	75MHz to 125MHz, $V_O < 0.5V_{PP}$			0.2	dB	4
HD_2	2nd harmonic distortion	$2V_{PP}$ at 20MHz			–52	dBc	4

(1) The algebraic convention, whereby the most negative value is a minimum and most positive is a maximum, is used in this table. Negative current shall be defined as conventional current flow out of a device terminal.
(2) These parameters are not post irradiation tested.

5.6 Electrical Characteristics: Drift Values Parameters

The following conditions apply (unless otherwise specified)(1):
R_L = 100Ω, V_{CC} = ±5V_{DC}, A_V = +2 feedback resistor (R_F) = 250Ω, gain resistor (R_G) = 250Ω
Delta not required on B level product. Delta required for S-level product at Group B5 only, or as specified on the internal processing instruction (IPI).

PARAMETER		TEST CONDITIONS	PACKAGE	MIN	MAX	UNIT	SUB-GROUPS
I_{BN}	Input bias current noninverting		NAB	–0.3	0.3	µA	1
			NAC	–0.75	0.75		
I_{BI}	Input bias current inverting			–3.0	3.0	µA	1
V_{IO}	Input offset voltage		NAB	–0.3	0.3	mV	1
			NAC	–1.0	1.0		

(1) The algebraic convention, whereby the most negative value is a minimum and most positive is a maximum, is used in this table. Negative current shall be defined as conventional current flow out of a device terminal.

Copyright © 2024 Texas Instruments Incorporated

5.7 Typical Characteristics

at T_A = 25°C, V_S = ±5V, R_L = 100Ω, and R_F = 237Ω (unless otherwise noted)

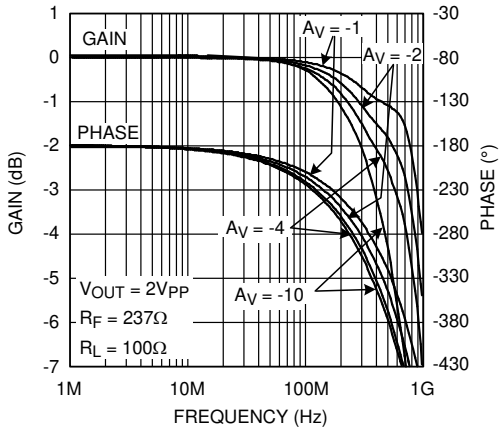


図 5-1. Inverting Frequency Response

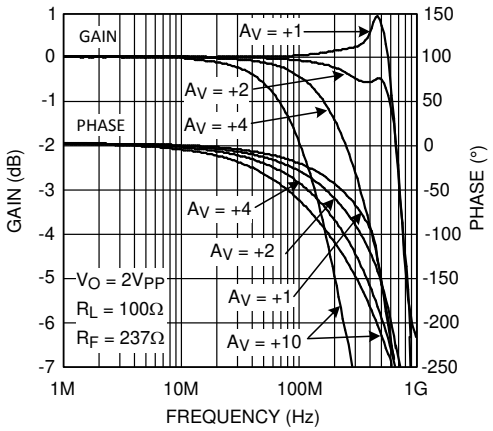


図 5-2. Noninverting Frequency Response

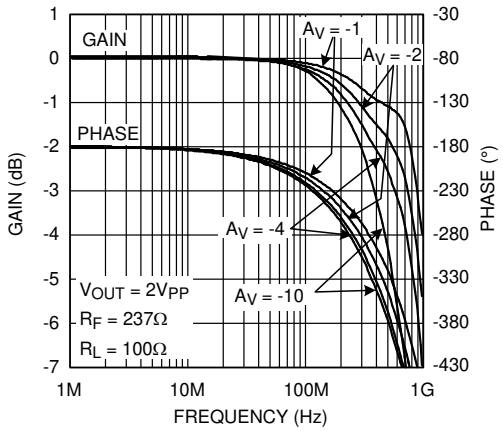


図 5-3. Inverting Frequency Response

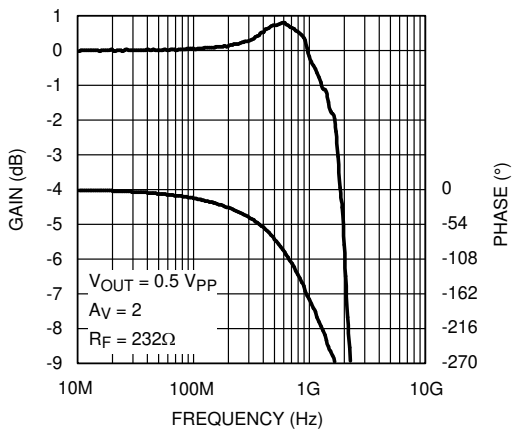


図 5-4. Small-Signal Bandwidth

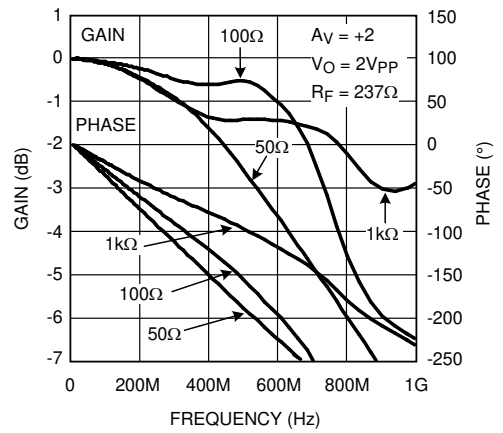


図 5-5. Frequency Response for Various R_L, A_V = +2

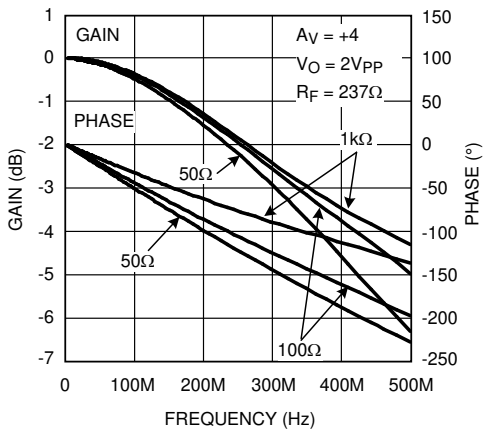


図 5-6. Frequency Response for Various R_L, A_V = +4

Copyright © 2024 Texas Instruments Incorporated

5.7 Typical Characteristics (continued)

at T_A = 25°C, V_S = ±5V, R_L = 100Ω, and R_F = 237Ω (unless otherwise noted)

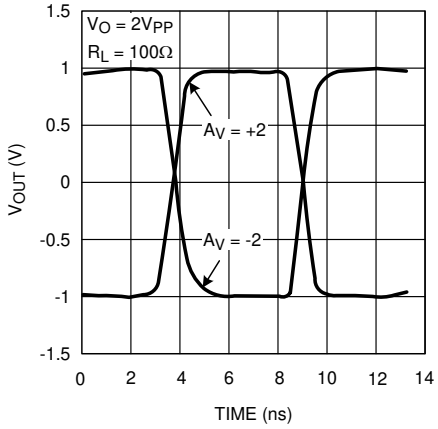


図 5-7. Step Response, $2V_{PP}$

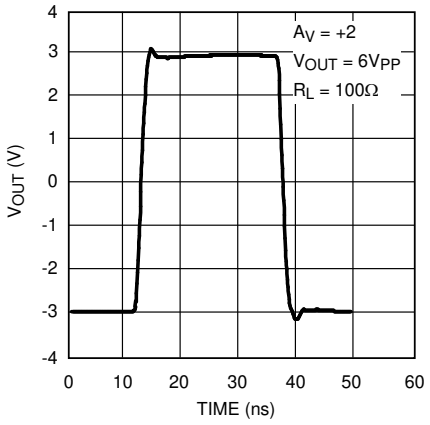


図 5-8. Step Response, $6V_{PP}$

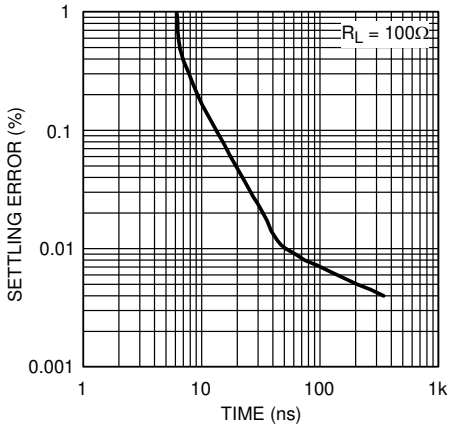


図 5-9. Percent Settling vs Time

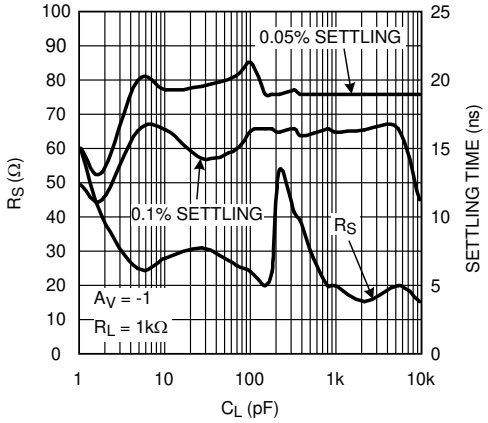


図 5-10. R_S and Settling Time vs C_L

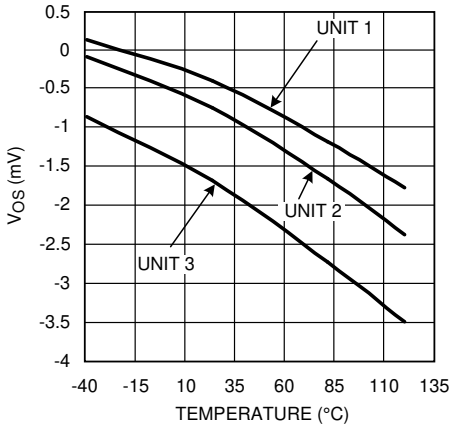


図 5-11. Input Offset for Three Representative Units

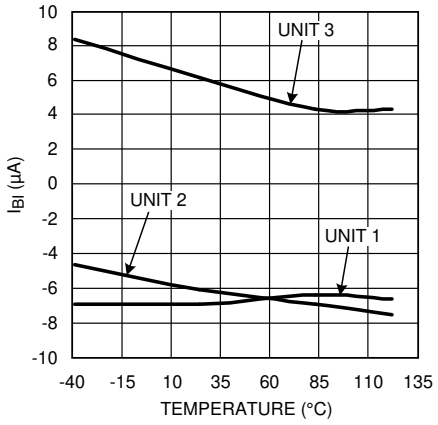


図 5-12. Inverting Input Bias for Three Representative Units

Copyright © 2024 Texas Instruments Incorporated

5.7 Typical Characteristics (continued)

at T_A = 25°C, V_S = ±5V, R_L = 100Ω, and R_F = 237Ω (unless otherwise noted)

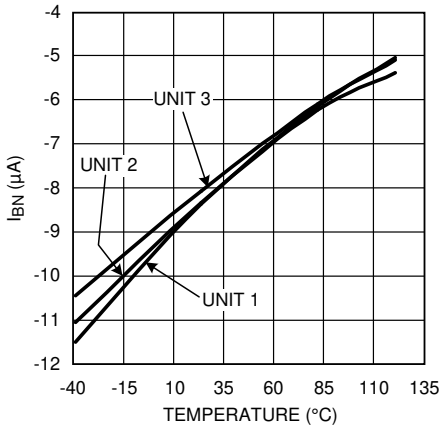


図 5-13. Noninverting Input Bias for Three Representative Units

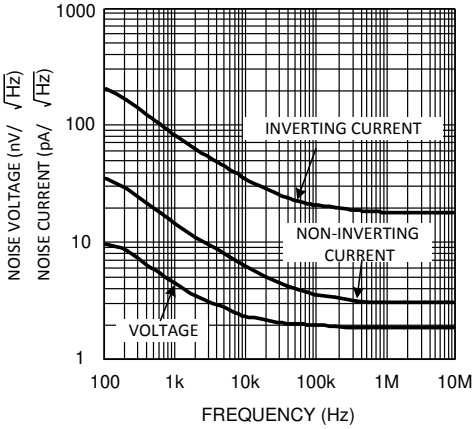


図 5-14. Noise

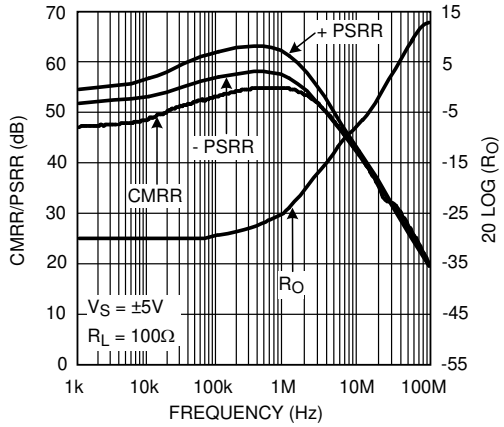


図 5-15. CMRR, PSRR, R_{OUT}

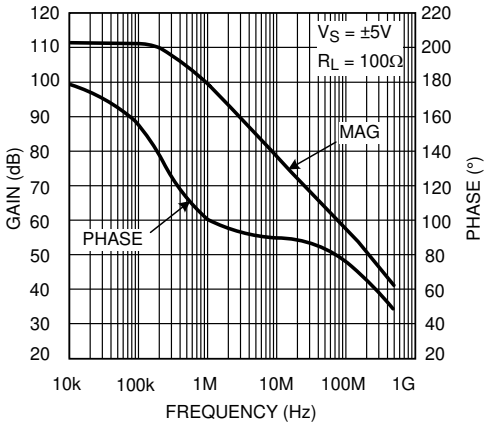


図 5-16. Transimpedance

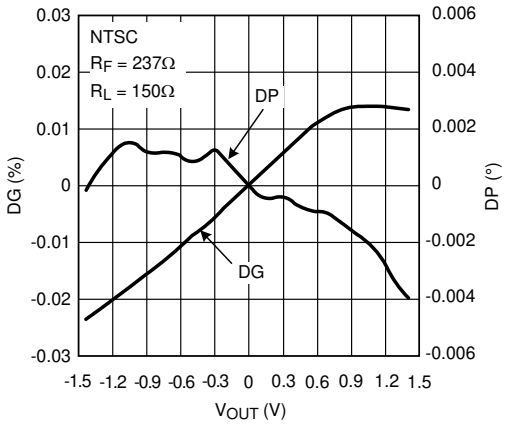


図 5-17. DG/DP (NTSC)

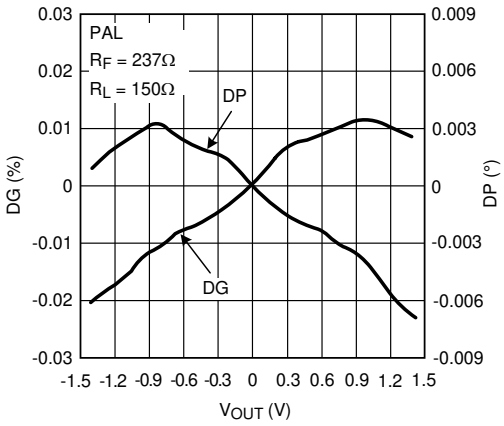


図 5-18. DG/DP (PAL)

Copyright © 2024 Texas Instruments Incorporated

6 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 Application Information

6.1.1 Feedback Resistor

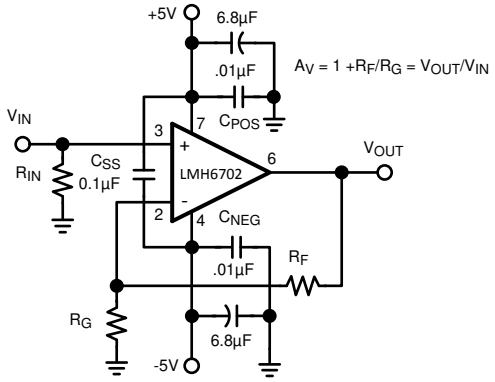


図 6-1. Recommended Noninverting Gain Circuit

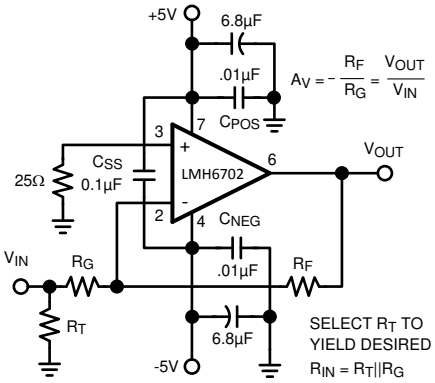


図 6-2. Recommended Inverting Gain Circuit

The LMH6702 achieves excellent pulse and distortion performance by using current feedback topology. The loop gain for a current-feedback op amp, and thus the frequency response, is predominantly set by the feedback-resistor value. The LMH6702 is optimized for use with a 237Ω feedback resistor. Using lower values can lead to excessive ringing in the pulse response while a higher value limits the bandwidth. Application Note OA-13 SNOA366 discusses this configuration in detail along with the occasions where a different R_F can be advantageous.

6.1.2 Harmonic Distortion

The LMH6702 has been optimized for exceptionally low harmonic distortion while driving very demanding resistive or capacitive loads. Generally, when used as the input amplifier to very high-speed flash ADCs, the distortions introduced by the converter dominate over the low LMH6702 distortions. Capacitor C_{SS}, shown across the supplies in 図 6-1 and 図 6-2, is critical to achieving the lowest 2nd harmonic distortion. For absolute

Copyright © 2024 Texas Instruments Incorporated

minimum distortion levels, keep the supply decoupling currents (ground connections to C_{POS}, and C_{NEG} in 図 6-1 and 図 6-2) separate from the ground connections to sensitive input circuitry (such as R_G, R_T, and R_{IN} ground connections). Splitting the ground plane in this manner, and separately routing the high frequency current spikes on the decoupling caps back to the power supply (similar to a *star connection* layout technique) provides minimum coupling back to the input circuitry and results in best harmonic distortion response (especially 2nd-order distortion).

If this layout technique has not been observed on a particular application board, the supply decoupling capacitors can adversely affect HD2 performance by increasing the coupling phenomenon already mentioned. 図 6-3 shows actual HD2 data on a board where the ground plane is shared between the supply decoupling capacitors and the rest of the circuit. After these capacitors are removed, the HD2 distortion levels reduce significantly, especially between 10MHz to 20MHz, as shown in 図 6-3.

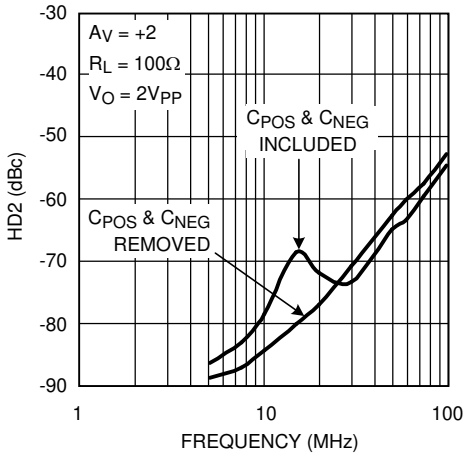


図 6-3. Decoupling Current Adverse Effect on a Board With Shared Ground Plane

At these extremely low distortion levels, the high-frequency behavior of decoupling capacitors themselves can be significant. In general, lower-value decoupling capacitors tend to have higher resonance frequencies, making lower-value decoupling capacitors more effective for higher-frequency regions. A particular application board that has been laid out correctly with ground returns split to minimize coupling benefits the most by having low-value and higher-value capacitors paralleled to take advantage of the effective bandwidth of each, and extend the low-distortion frequency range.

6.1.3 Capacitive Load Drive

図 6-4 shows a typical application using the LMH6702 to drive an ADC.

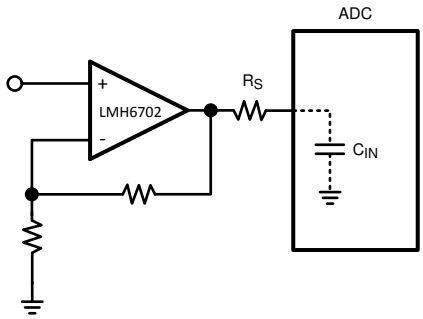


図 6-4. Input Amplifier to ADC

The series resistor, R_S, between the amplifier output and the ADC input is critical to achieving best system performance. This load capacitance, if applied directly to the output pin, can quickly lead to unacceptable levels

Copyright © 2024 Texas Instruments Incorporated

of ringing in the pulse response. The plot of *R_S and Settling Time vs C_L* in the *Typical Characteristics* is an excellent starting point for selecting R_S. The value derived in that plot minimizes the step settling time into a fixed discrete capacitive load with the output driving a very light resistive load (1kΩ). Sensitivity to capacitive loading is greatly reduced after the output is loaded more heavily. Therefore, for cases where the output is heavily loaded, R_S value can be reduced. The exact value can best be determined experimentally for these cases.

In applications where the LMH6702 is replacing the CLC409, take care when the device is lightly loaded and some capacitance is present at the output. As a result of the much higher frequency response of the LMH6702 compared to the CLC409, increased susceptibility to low value output capacitance (parasitic or inherent to the board layout or otherwise being part of the output load) is possible. As previously mentioned, this susceptibility is most noticeable when the LMH6702 resistive load is light. Parasitic capacitance can be minimized by careful layout. Addition of an output snubber R-C network also helps by increasing the high-frequency resistive loading.

Referring back to 図 6-4, consider several additional constraints in driving the capacitive input of an ADC. There is an option to increase R_S, band-limiting at the ADC input for either noise or Nyquist band-limiting purposes. However, increasing R_S too much can induce an unacceptably large input glitch due to switching transients coupling through from the convert signal. Also, C_{IN} is often a voltage-dependent capacitance. This input impedance nonlinearity induces distortion terms that increase as R_S is increased. Therefore, attempt only slight adjustments up or down from the recommended R_S value in optimizing system performance.

6.1.4 DC Accuracy and Noise

Example below shows the output offset computation equation for the noninverting configuration using the typical bias current and offset specifications for A_V = +2:

Output Offset: $V_O = (\pm I_{BN} \times R_{IN} \pm V_{IO}) (1 + R_F/R_G) \pm I_{BI} \times R_F$

Where R_{IN} is the equivalent input impedance on the noninverting input.

Example computation for A_V = +2, R_F = 237Ω, R_{IN} = 25Ω:

$V_O = (\pm 6\mu A \times 25\Omega \pm 1mV) (1 + 237/237) \pm 8\mu A \times 237 = \pm 4.20mV$

A good design, however, includes a worst-case calculation using minimum and maximum numbers in the data sheet tables to provide worst-case operation.

Further improvement in the output offset voltage and drift is possible using composite amplifiers. The two input bias currents are physically unrelated in both magnitude and polarity for the current feedback topology. Therefore, to cancel the effects by matching the source impedance for the two inputs (as is commonly done for matched input bias current devices) is not possible.

The total output noise is computed in a similar fashion to the output offset voltage. Using the input noise voltage and the two input noise currents, the output noise is developed through the same gain equations for each term but combined as the square root of the sum of squared contributing elements. See the *OA-12 Noise Analysis for Comlinear Amplifiers* application report for a full discussion of noise calculations for current-feedback amplifiers.

6.2 Layout

6.2.1 Layout Guidelines

Generally, a good high frequency layout keeps power supply and ground traces away from the inverting input and output pins. Parasitic capacitance on these nodes to ground cause frequency-response peaking and possible circuit oscillations (see the *OA-15 Frequent Faux Pas in Applying Wideband Current Feedback Amplifiers* application report for more information). Texas Instruments suggests the following evaluation boards as a guide for high-frequency layout and as an aid in device testing and characterization:

DEVICE	PACKAGE	EVALUATION BOARD PART NUMBER
LMH6702QMLMF	SOT-23-5	CLC730216
LMH6702QMLMA	Plastic SOIC	CLC730227

Copyright © 2024 Texas Instruments Incorporated

7 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

8 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (March 2013) to Revision F (August 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• Changed input bias current noninverting limits from ±0.3µA to ±0.75µA for NAC package type in *LMH6702 Electrical Characteristics Drift Values Parameters*	5
• Changed input offset voltage limits from ±0.3mA to ±1mV for NAC package type in *LMH6702 Electrical Characteristics Drift Values Parameters*	5

Changes from Revision D (October 2011) to Revision E (March 2013)	Page
• ナショナル セミコンダクターのデータシートのレイアウトをテキサス・インスツルメンツ形式に変更	1

9 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-0254601VPA	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702J-QV 5962-02546 01VPA Q ACO 01VPA Q >T
5962-0254601VZA	Active	Production	CFP (NAC) | 10	54 | JEDEC TRAY (5+1)	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702 WGQMLV Q 5962-02546 01VZA ACO 01VZA >T
5962F0254601VPA	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702JFQV 5962F02546 01VPA Q ACO 01VPA Q >T
5962F0254601VZA	Active	Production	CFP (NAC) | 10	54 | JEDEC TRAY (5+1)	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702 WGFQMLV Q 5962F02546 01VZA ACO 01VZA >T
5962F0254602VPA	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702JFLQV 5962F02546 02VPA Q ACO 02VPA Q >T
LMH6702J-QMLV	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702J-QV 5962-02546 01VPA Q ACO 01VPA Q >T
LMH6702J-QMLV.A	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702J-QV 5962-02546 01VPA Q ACO 01VPA Q >T
LMH6702JFLQMLV	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702JFLQV 5962F02546 02VPA Q ACO 02VPA Q >T

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMH6702JFQMLV	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702JFQV 5962F02546 01VPA Q ACO 01VPA Q >T
LMH6702JFQMLV.A	Active	Production	CDIP (NAB) | 8	40 | TUBE	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702JFQV 5962F02546 01VPA Q ACO 01VPA Q >T
LMH6702WG-QMLV	Active	Production	CFP (NAC) | 10	54 | JEDEC TRAY (5+1)	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702 WGQMLV Q 5962-02546 01VZA ACO 01VZA >T
LMH6702WG-QMLV.A	Active	Production	CFP (NAC) | 10	54 | JEDEC TRAY (5+1)	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702 WGQMLV Q 5962-02546 01VZA ACO 01VZA >T
LMH6702WGFQMLV	Active	Production	CFP (NAC) | 10	54 | JEDEC TRAY (5+1)	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702 WGFQMLV Q 5962F02546 01VZA ACO 01VZA >T
LMH6702WGFQMLV.A	Active	Production	CFP (NAC) | 10	54 | JEDEC TRAY (5+1)	No	SNPB	Level-1-NA-UNLIM	-55 to 125	LMH6702 WGFQMLV Q 5962F02546 01VZA ACO 01VZA >T

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

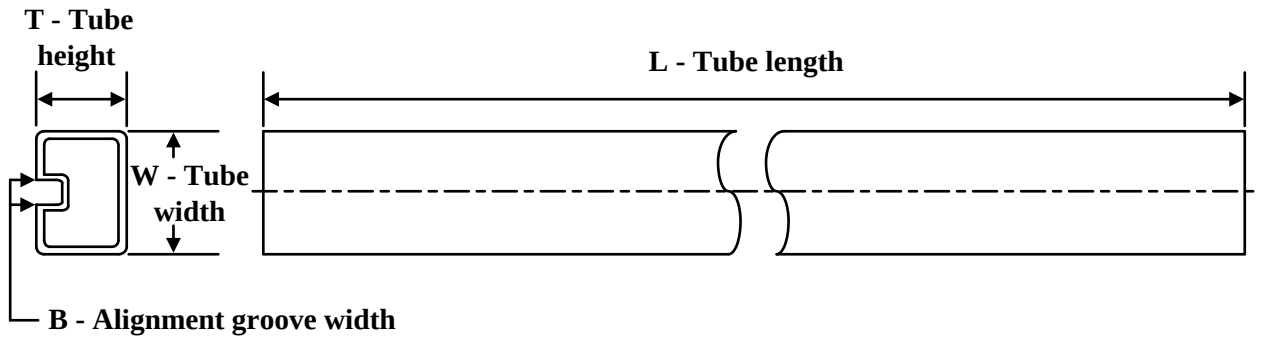
(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

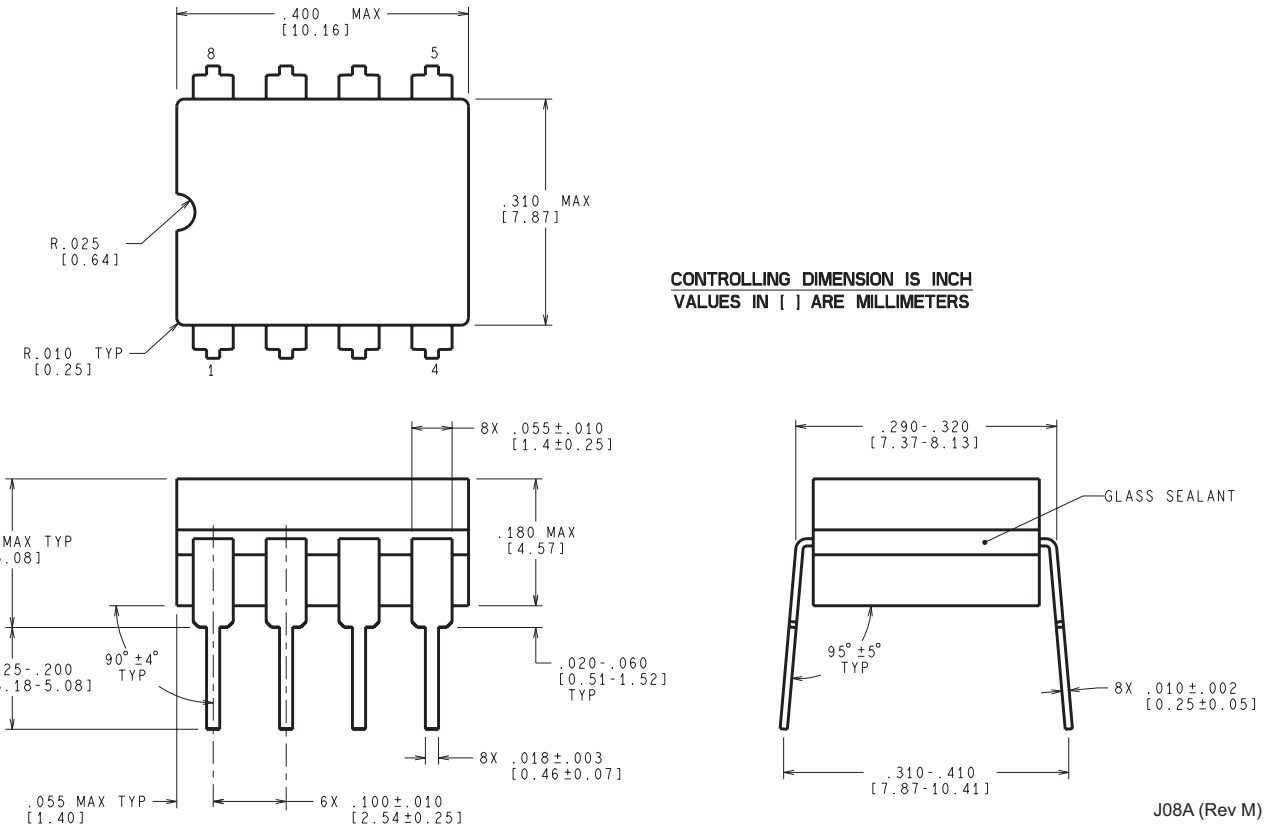
TUBE

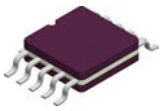


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-0254601VPA	NAB	CDIP	8	40	506.98	15.24	13440	NA
5962F0254601VPA	NAB	CDIP	8	40	506.98	15.24	13440	NA
LMH6702J-QMLV	NAB	CDIP	8	40	506.98	15.24	13440	NA
LMH6702J-QMLV.A	NAB	CDIP	8	40	506.98	15.24	13440	NA
LMH6702JFQMLV	NAB	CDIP	8	40	506.98	15.24	13440	NA
LMH6702JFQMLV.A	NAB	CDIP	8	40	506.98	15.24	13440	NA

NAB0008A


.400 MAX
[10.16]
8
5
.310 MAX
[7.87]
R.025
[0.64]
R.010 TYP
[0.25]
1
4
CONTROLLING DIMENSION IS INCH
VALUES IN [ ] ARE MILLIMETERS
8X .055±.010
[1.4±0.25]
.200 MAX TYP
[5.08]
.180 MAX
[4.57]
8X .125-.200
[3.18-5.08]
90° ±4°
TYP
.020-.060
[0.51-1.52]
TYP
8X .018±.003
[0.46±0.07]
.055 MAX TYP
[1.40]
6X .100±.010
[2.54±0.25]
.290-.320
[7.37-8.13]
GLASS SEALANT
95° ±5°
TYP
8X .010±.002
[0.25±0.05]
.310-.410
[7.87-10.41]
J08A (Rev M)

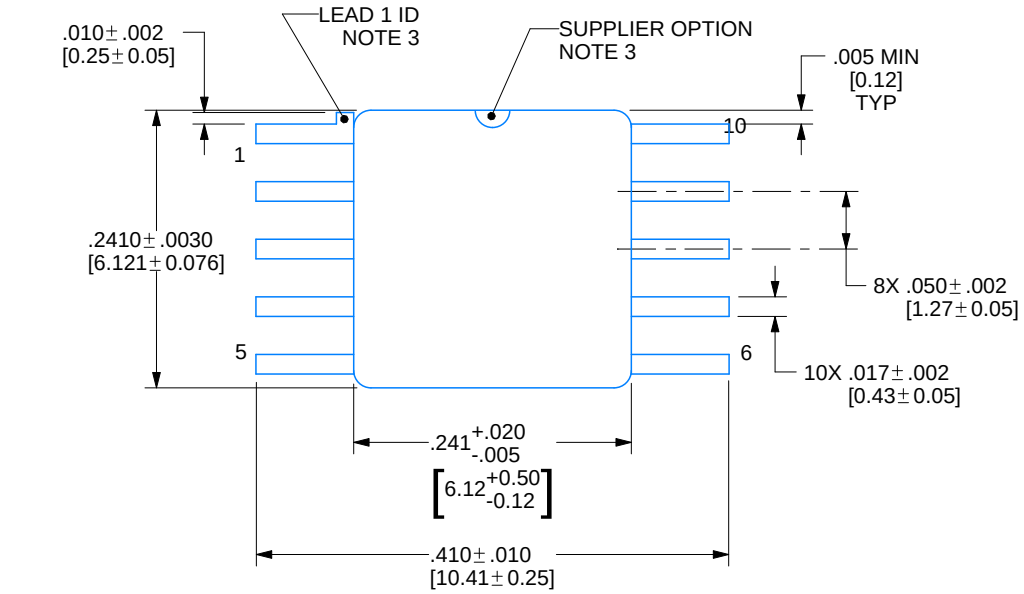


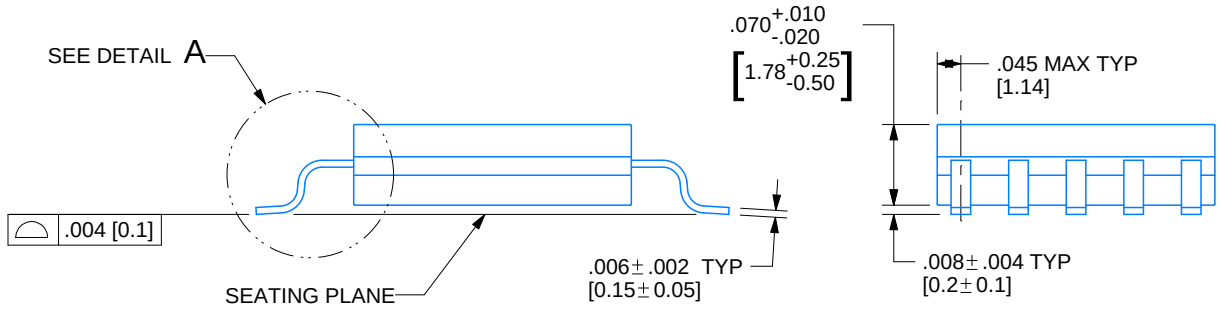
PACKAGE OUTLINE

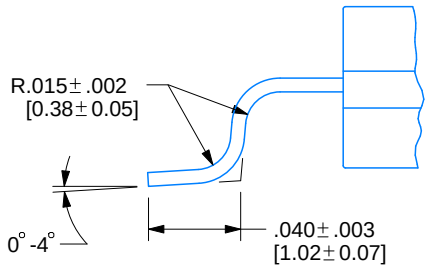
NAC0010A

CFP - 2.33mm max height

CERAMIC FLATPACK







DETAIL A
TYPICAL

4215196/D 08/2022

NOTES:

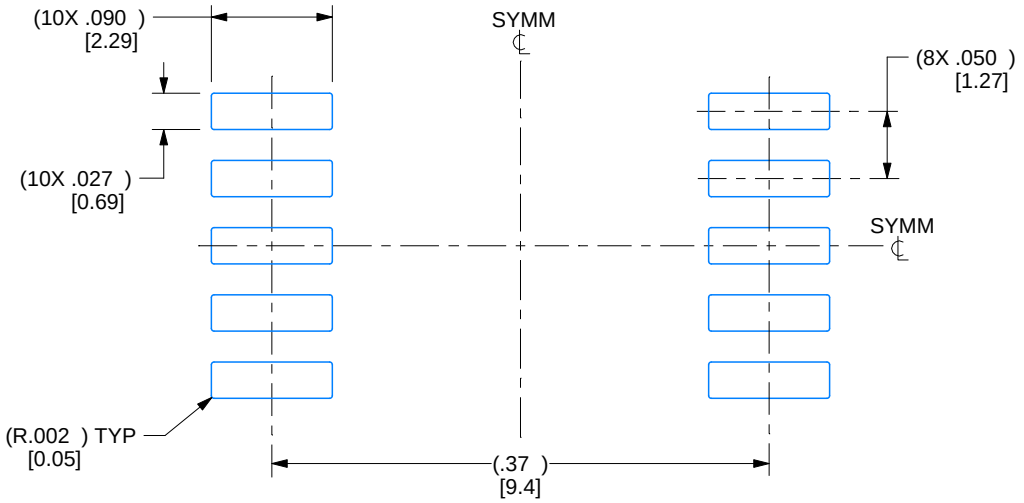
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. For solder thickness and composition, see the "Lead Finish Composition/Thickness" link in the packaging section of the Texas Instruments website
3. Lead 1 identification shall be:
   a) A notch or other mark within this area
   b) A tab on lead 1, either side
4. No JEDEC registration as of December 2021

EXAMPLE BOARD LAYOUT

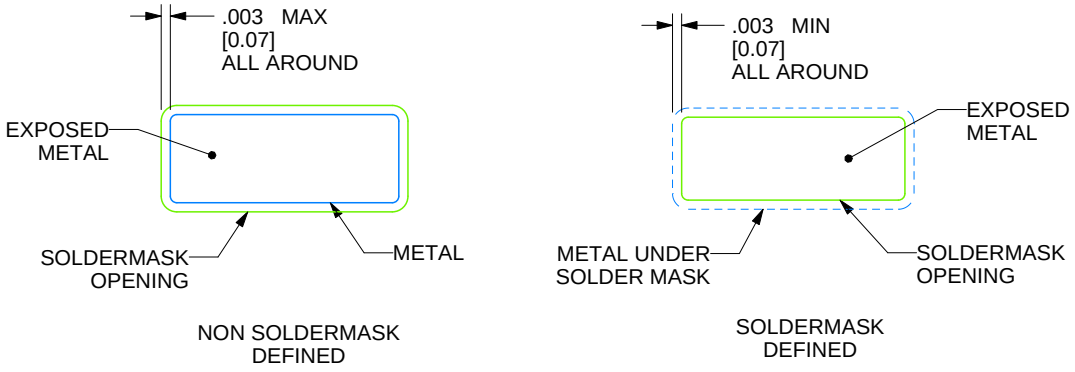
NAC0010A

CFP - 2.33mm max height

CERAMIC FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 7X



4215196/D 08/2022

REVISIONS

REV	DESCRIPTION	E.C.N.	DATE	BY/APP'D
A	RELEASE TO DOCUMENT CONTROL	2197877	12/30/2021	DAVID CHIN / ANIS FAUZI
B	NO CHANGE TO DRAWING; REVISION FOR YODA RELEASE;	2198820	02/14/2022	K. SINCERBOX
C	CHANGE PIN 1 ID LOCATION ON PIN	2198845	02/18/2022	D. CHIN / K. SINCERBOX
D	.2410± .0030 WAS .2700 +.0012/-.0002;	2200915	08/08/2022	D. CHIN / K. SINCERBOX

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月