

Design Guide: TIDM-1011

C2000 マイコン向け、Tamagawa T フォーマット絶対エンコーダの
ホスト インターフェイスのリファレンス デザイン

説明

C2000™ マイコンコントローラ (MCU) の Position Manager テクノロジーは、ほとんどの一般的なデジタルおよびアナログ ポジション センサと接続できる統合ソリューションで、外部の FPGA (Field Programmable Gate Array) または ASIC (Application Specific Integrated Circuit) が必要ありません。Position Manager BoosterPack™ は柔軟でコスト効果の高いプラットフォームで、各種のエンコーダ インターフェイスの評価を目的とし、複数の C2000 MCU LaunchPad™ 開発キットと連携して動作するように設計されています。このリファレンス デザインのソフトウェアは、ポジション エンコーダ用のデジタル双方向インターフェイスである T-フォーマットの実装を特に目的としています。このリファレンス デザインに含まれている、高度に最適化された使いやすいソフトウェアのリファレンス実装とサンプルにより、Position Manager BoosterPack を使用する T-フォーマットのポジション エンコーダの動作が可能になります。

リソース

TIDM-1011	デザインフォルダ
LAUNCHXL-F28P55X、LAUNCHXL-F28P65X	ツール フォルダ
LAUNCHXL-F28379D、LAUNCHXL-F280039C	ツール フォルダ
LAUNCHXL-F280049C、LAUNCHXL-F280025C	ツール フォルダ
SN65HVD78、TLV702、TPS22918-Q1	プロダクトフォルダ
C2000WARE-MOTORCONTROL-SDK	ツール フォルダ



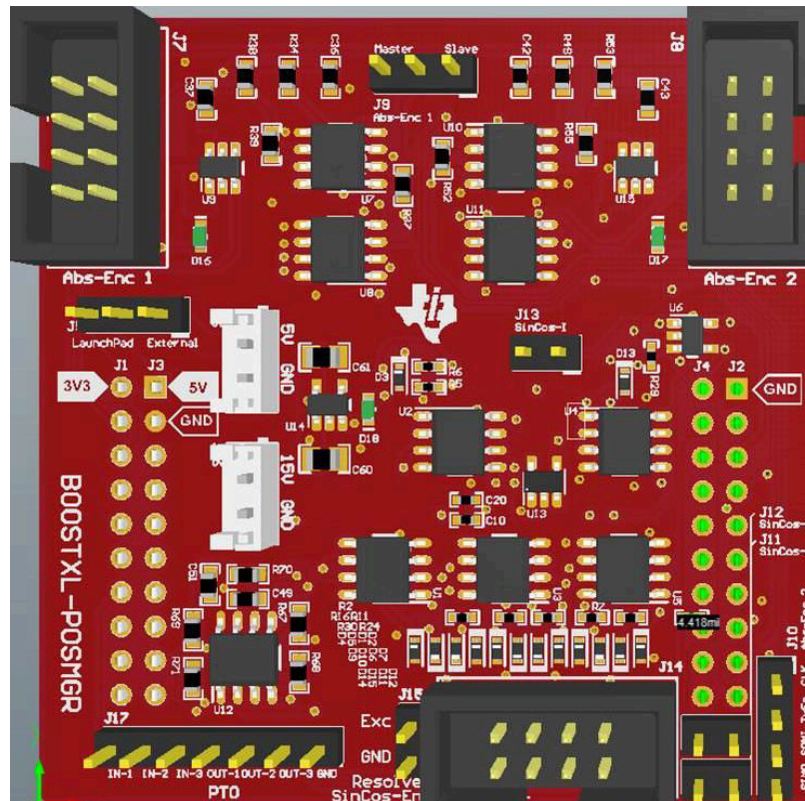
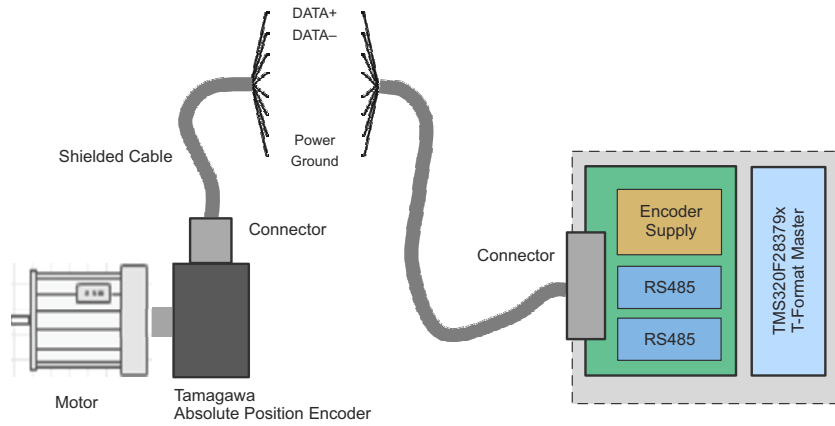
テキサス・インスツルメンツの™ E2E サポート エキスパートにお問い合わせください。

特長

- ポジション・エンコーダ・インターフェイス用の、柔軟で低電圧の BoosterPack 評価プラットフォーム
- 追加の FPGA を必要としない、T-フォーマット・エンコーダ・インターフェイス用の統合 MCU ソリューション
- インターフェイス機能で提供されるドライバ機能およびデータ構造を使用して、T-フォーマット・コマンドと簡単にインターフェイス可能
- 受信したデータのパック解除、および最適化された巡回冗長性検査 (CRC) アルゴリズムをサポート
- 2.5MBPS のクロック周波数をサポートし、100m までの長さのケーブルで動作を検証済み
- T-フォーマットの実装方法を紹介する評価用ソフトウェア・サンプルが付属

アプリケーション

- サーボドライブ位置フィードバック
- ACドライブ位置フィードバック
- ヒューマノイド (ヒト型ロボット) の位置センサ



1 システムの説明

サーボ・ドライブのような産業用ドライブには、高精度、高信頼性、低レイテンシの位置フィードバックが必要です。Tamagawa (多摩川精機) の T フォーマット・プロトコルは、センサとコントローラの間でデジタル・データをシリアル転送するように設計されています。センサとして、エンコーダ (リニア、ロータリー、または角度)、タッチ・プローブ、加速度計を使用できます。それに続く電子機器、つまりコントローラは、数値制御、サーボ・アンプ、プログラマブル・ロジック・コントローラを搭載しています。

TIDM-1011 設計には、C2000 LaunchPad への T フォーマット・エンコーダ・インターフェイスが実装されています。T フォーマットは、RS-485 規格に基づいた、純粋なシリアルデジタル・インターフェイスです。T フォーマットは、位置の値や他の物理量を送信でき、エンコーダの内部メモリを読み書きできます。送信されるデータ・タイプには、絶対位置、回転数、温度、パラメータ、診断があります。インターフェイスからエンコーダに送信されるコマンドによって、応答データの種類が選択されます。

BOOSTXL_POSMGR と F28379D LaunchPad エンコーダ・インターフェイスに接続された T フォーマット・エンコーダを、[図 1-1](#) に示します。

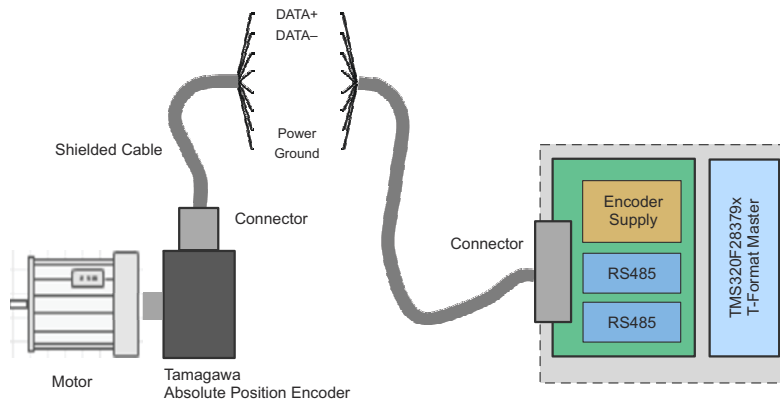


図 1-1. T フォーマット位置エンコーダ・インターフェイスを搭載した産業用サーボ・ドライブ

T フォーマット付き位置エンコーダは、単一の 4 線式シールド・ケーブルで TIDM-1011 デバイスに接続されます。RS-485 は、T フォーマット・エンコーダの物理層として使用されます。次の 4 本のワイヤが使用されます。

- DATA+ および DATA-: 通信データ用の差動信号
- 電源とグラウンド: エンコーダの電源とグラウンド

テキサス・インスツルメンツの C2000 T フォーマット (PM_tformat) エンコーダ・インターフェイスを実装すると、FPGA や CPLD のような外部ハードウェアなしで、T フォーマット・エンコーダと C2000 デバイスを接続できます。このリファレンス実装には、次の特長があります。

- T フォーマットのプロトコルで必要な 2.5MBPS のクロック周波数
- ケーブル伝搬遅延の補償機能を内蔵して可変ケーブル長に対応し、100m まで検証済み
- ソフトウェア・ドライバの機能
 - エンコーダでトランザクションを実行します。要求を送信し、応答を受信します。
 - CRC を計算します。
 - 受信した CRC を、計算された CRC と比較します。
 - データのパックと展開を行います。

このリファレンス実装には、すべてのソース・コードが含まれています。ユーザーは、アプリケーションの必要に応じて、必要な変更を実装に加えることができます。

注

T フォーマット仕様で定義されているコマンド用の、基本インターフェイス・ドライバのみが提供されています。上位レベルのアプリケーション・ソフトウェアはすべて、この実装で提供されている基本インターフェイスを使用して、ユーザーが開発する必要があります。

1.1 主なシステム仕様

表 1-1. 主なシステム仕様

パラメータ	仕様	詳細
入力電圧	5V ⁽¹⁾	セクション 3.3.1
出力電圧 (エンコーダ)	5V	セクション 3.3.1
サポートされているプロトコル	T フォーマット	Tamagawa
周波数 (エンコーダ・インターフェイス)	約 2.5MBPS	Tamagawa
エンコーダのビット数	T フォーマット・プロトコル規格	Tamagawa
CPU のサイクル数	C2000 T フォーマット・エンコーダ・インターフェイスのベンチマーク	セクション 3.3.5

(1) この電源の電流制限は、TIDM-1011 デバイスに接続されているエンコーダの時間によって決まります。電流制限が調整可能な、汎用のベンチトップ型可変電源をお勧めします。

2 システム概要

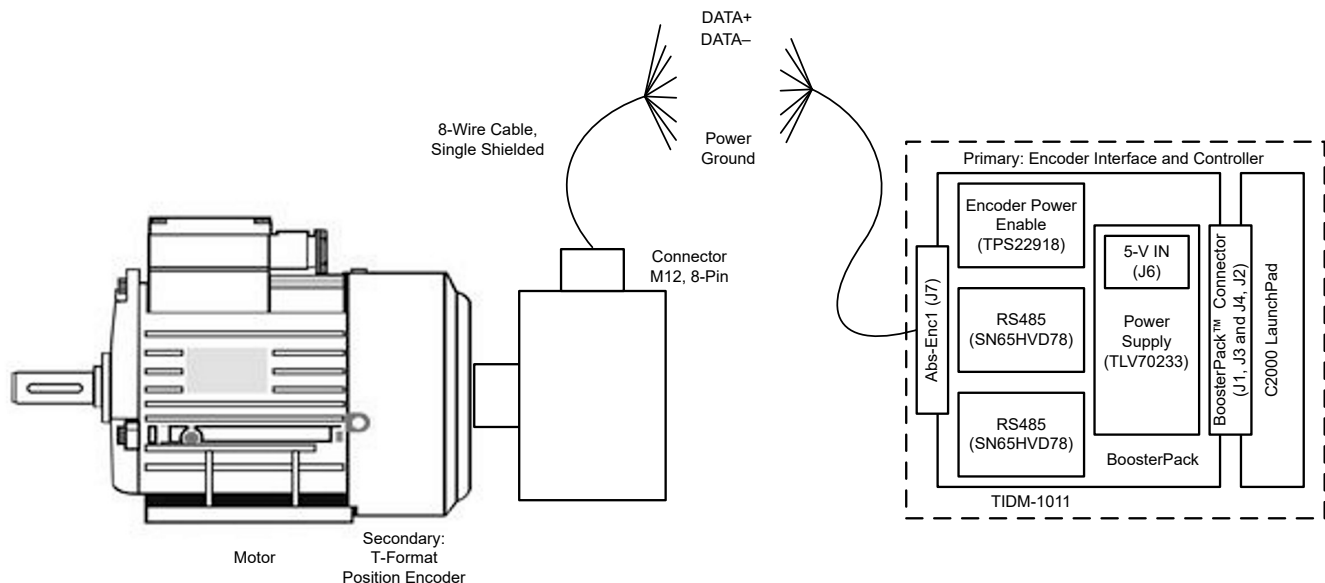
C2000 T フォーマット TIDM-1011 リファレンス・デザインは、ハードウェアとソフトウェアの組み合わせです。コアのハードウェア・コンポーネントは、C2000 リアルタイム・マイクロコントローラ (MCU) と RS-485 トランシーバです。この実装で使用する基板は、C2000 LaunchPad と、RS-485 トランシーバを搭載した TIDM-1011 boosterPack です。C2000 モーター制御 SDK パッケージには、必要なソフトウェアが含まれています。このソフトウェアには、主要な T フォーマット・インターフェイス機能を実装するライブラリと、T フォーマット通信のデモを行うためのシステム・レベルのサンプルが含まれています。

T フォーマットのエンコーダ・インターフェイスは、C2000 CLB (構成可能ロジック・ブロック) と SPI (シリアル・ペリフェラル・インターフェイス) モジュールを活用しています。CLB は SPI クロックを制御し、ケーブルの伝搬遅延を補償します。CLB は、RS-485 トランシーバの送信イネーブルも制御します。SPI モジュールは、RS-485 物理層に対する送受信インターフェイスとして機能します。ファームウェアは C 言語で記述されており、C2000 MCU の C28x 上で動作します。

C2000 LaunchPad は、TIDM-1011 RS-485 トランシーバに電力を供給し、エンコーダに 5V を供給できます。エンコーダの仕様で、LaunchPad が供給できるよりも多くの電流が必要な場合は、別に 5V を供給することもできます。

スタートアップ時に、C28x で動作するアプリケーションによって MCU クロックが初期化され、ピンの多重化が設定されます。MCU の SPI および CLB も、データの送受信の必要に応じて構成されます。

2.1 ブロック図


図 2-1. TIDM-1011 システムのブロック図

2.2 主な使用製品

TIDM-1011 リファレンス・デザインのハードウェアは、C2000 LaunchPad と BOOSTXL-POSMGR BoosterPack で構成されています。このセクションでは、使用されている主なデバイスについて説明します。これらの各デバイスの詳細については、TI.com で各プロダクト・フォルダをご覧ください。

2.2.1 C2000™ リアルタイム マイコン LaunchPad™ 開発キット

TIDM-1011 リファレンス デザインは、複数の LaunchPad キットでサポートされています (表 2-1 を参照)。表 2-1 に示されている C2000 リアルタイム マイコンコントローラは、いずれも構成可能ロジック ブロック (CLB) を備えています。エンコーダ インターフェイスにより、CLB を広範に活用できます。CLB ペリフェラルは C2000 デバイス専用で、ユーザーは外部 FPGA や CLPD を必要とせずにカスタム ロジックを組み込むことができます。CLB は複数のサブモジュールで構成されており、これらを組み合わせてカスタムのデジタル ロジックを実現します。サブモジュールには、有限ステートマシン (FSM)、ルックアップ テーブル (LUT)、カウンタがあります。また、CLB は既存のオンチップ制御ペリフェラルと接続して機能を強化し、設計の選択肢として使用できます。

CLB の詳細については、『C2000 アカデミー』の構成可能ロジック ブロック モジュールをご覧ください。

次のデバイスには CLB が搭載されています。

- **TMS320F28379D** マイコン:
200MHz のデュアル C28x CPU と、200MHz のデュアル リアルタイム制御コプロセッサ (CLA) で、800MIPS の総合システム性能を実現しています。この強力なマイコンは 1MB のオンボード フラッシュを搭載し、16/12 ビットのアナログ/デジタル コンバータ (ADC)、コンパレータ、12 ビットのデジタル/アナログ コンバータ (DAC)、デルタ シグマ同期フィルタ、HRPWM、eCAP、eQEP、CAN など、高度な差別化を可能にするペリフェラルを内蔵しています。デバイスの全機能と仕様については、TMS320F28379D デバイスのプロダクト フォルダを参照してください。
- **TMS320F280039C** マイコン:
120MHz の C28x CPU と 120MHz の CLA の間で 240MIPS を実現しています。このマイコンは、最大 384kB のオンチップ フラッシュ、3 つの 12 ビット ADC、拡張構成可能ロジック ブロック (CLB) などを内蔵しています。デバイスの全機能と仕様については、TMS320F280039C デバイスのプロダクト フォルダを参照してください。
- サポートされている他のデバイス、それぞれのプロダクト フォルダ、LaunchPad 開発キットの一覧を、表 2-1 に示します。

表 2-1. サポート対象デバイスと LaunchPad™ 開発キット

LaunchPad™ 開発キット	マイコン デバイスのプロダクト フォルダ ⁽²⁾
LAUNCHXL-F28379D	TMS320F28379D
LAUNCHXL-F280049C	TMS320F280049C
LAUNCHXL-F280025C	TMS320F280025C
LAUNCHXL-F280039C	TMS320F280039C
なし ⁽¹⁾	TMS320F28388D
LAUNCHXL-F28P65X	TMS320F28P650DK
LAUNCHXL-F28P55X	TMS320F28P550SJ
なし ⁽³⁾	TMS320F28P551SG

- (1) [TMS320F28388D](#) デバイス ファミリには、LaunchPad 開発キットはありません。RS-485 物理インターフェイスへの接続は、別の方法で行う必要があります。(1) 独自ハードウェアを使用する、(2) controlCARD を使用して BOOSTXL_POSMGR に配線する、(3) [TMXIDDK379D](#) を使用する、といった方法を選択できます。
- (2) TIDM-1011 リファレンス デザインを使用するには、構成可能ロジック ブロック (CLB) タイプ 1 またはそれ以降のマイコンを搭載した C2000 LaunchPad が必要です。これらのデバイスは、本リリースの時点でサポートされているものです。他のデバイスも利用可能な場合があります。
- (3) [TMS320F28P551x](#) のバリエーションには、LaunchPad 開発キットはありません。RS-485 物理インターフェイスへの接続は、別の方法で行う必要があります。オプションとしては、(1) 独自のハードウェア、または (2) BOOSTXL_POSMGR にワイヤ接続した controlCARD があります。

2.2.2 SN65HVD78

SN65HVD78 デバイスは差動ドライバと差動レシーバを組み合わせたもので、どちらも 3.3V の単一電源で動作します。ドライバの差動出力とレシーバの差動入力には内部で接続され、半二重 (2 線式バス) 通信に適したバス・ポートを形成しています。これらのデバイスは同相電圧範囲が広いので、長いケーブルを使用するマルチポイント・アプリケーションに適しています。

デバイスの全機能と仕様については、[SN65HVD78](#) のプロダクト・フォルダを参照してください。

2.2.3 TLV702

TLV702 シリーズの低ドロップアウト (LDO) リニア・レギュレータは、静止電流が小さく、ラインおよび負荷過渡性能が非常に優れています。どのバージョンのデバイスも、安全のためにサーマル・シャットダウン機能と電流制限機能を搭載しています。これらのデバイスは、出力負荷なしでも指定の精度へのレギュレーションを行います。

デバイスの全機能と仕様については、[TLV702](#) のプロダクト・フォルダを参照してください。

2.2.4 TPS22918-Q1

TPS22918-Q1 は、シングル・チャンネル負荷スイッチで、立ち上がり時間とクイック出力放電機能の両方を構成可能です。このデバイスには、2A の最大連続電流をサポートできる N チャンネル MOSFET が内蔵されています。スイッチはオン / オフ入力で制御され、低電圧の制御信号と直接接続できます。

デバイスの全機能と仕様については、[TPS22918-Q1](#) のプロダクト・フォルダを参照してください。

2.3 設計上の考慮事項

このセクションでは、次の説明を行います。

1. Tamagawa (多摩川精機) T フォーマット・プロトコルの概要。
2. C2000 T フォーマット・エンコーダ・インターフェイスの概要。
3. TIDM-1011 ハードウェア ([BOOSTXL-POSMPGR BoosterPack](#)) の実装。
4. 必要な入出力、CRC の計算、CLB の設計を含めた、C2000 MCU の実装。
5. C2000 T フォーマット・エンコーダ・インターフェイス・ソフトウェア・ライブラリの概要。

注

このセクションで説明するのは、実装の詳細のみです。次のような関連情報については、記載の資料を参照してください。

- ハードウェア要件、セットアップ、テスト: [セクション 3](#) を参照してください。
- ソフトウェア: ソフトウェアのインストールと実行: 『[C2000 T フォーマット・エンコーダ・インターフェイスのソフトウェア・ガイド](#)』 ([html](#), [pdf](#))。ソフトウェア・ガイドには、次の資料が含まれています。
 - 通信のデモ
 - T フォーマット・アプリケーション・プログラマ・インターフェイス (API)
 - 独自のソリューションにライブラリを組み込む
 - 以前のバージョンからの移行

2.3.1 Tamagawa T フォーマットのプロトコル

Tamagawa (多摩川精機) は、工作機械、ロボット、モータードライブなどの高精度位置情報取得に使用されるエンコーダ技術のメーカーです。Tamagawa 製のロータリー エンコーダには、多く分けて増分エンコーダと絶対エンコーダの 2 種類があります。増分エンコーダは一連のパルスを送信し、絶対エンコーダは絶対デジタル値を送信します。絶対エンコーダには、シングル ターンとマルチ ターンの両方のタイプがあります。

TIDM-1011 リファレンス デザインでは、RS-485 のラインドライバ経由でデジタル出力を供給する絶対エンコーダについて扱います。TIDM-1011 でサポートされているトランザクションのプロトコル形式を、T フォーマットと呼びます。

注

このセクションでは、T フォーマットのプロトコルの概要を紹介します。具体的な情報については、[Tamagawa \(多摩川精機\)](#) から入手可能な T フォーマットの仕様を参照してください。

注

Tamagawa 製のすべてのエンコーダが T フォーマットのプロトコルを使用しているわけではありません。エンコーダの仕様を確認してください。

C2000 T フォーマット エンコーダ インターフェイスは、コントローラがエンコーダと通信するために必要な物理層を提供します。このエンコーダ インターフェイスには、エンコーダとのデジタル情報の送受信を行うための RS-485 ドライブ制御機能があります。ここでの T フォーマットのトランザクションとは、コントローラからの要求の送信と、エンコーダからの応答を合わせたものです。エンコーダ インターフェイスの観点から、トランザクションは図 2-2 に示す FRAME_STATES に分割できます。

1. IDLE:RS-485 アクティビティなし
2. TRANSMIT_DATA:コントローラはエンコーダに要求を送信する
3. WAIT_FOR_START:エンコーダの応答を待つ
4. RECEIVE_DATA:コントローラはエンコーダの応答を受信する
5. IDLE に戻る

このパターンは、エンコーダとのトランザクションごとに繰り返されます。

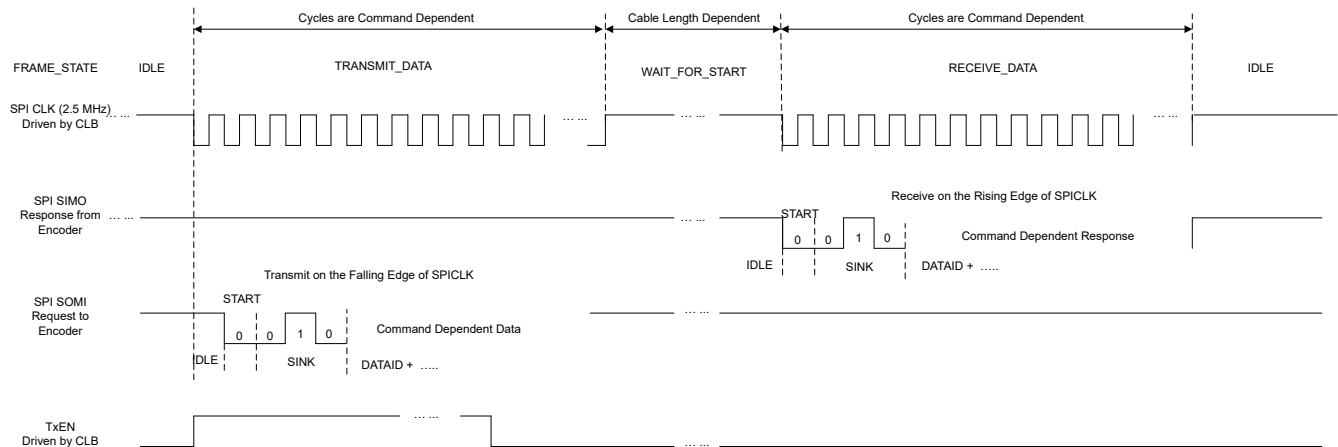


図 2-2. T フォーマットのフレーム

注

図 2-2 には、C2000 エンコーダ インターフェイスの実装に関連する情報が含まれています。たとえば、CLB は SPI CLOCK と TxEN 信号を駆動します。

T フォーマットの通信プロトコルは、データの読み出し、リセット、EEPROM へのアクセスという 3 種類のトランザクションに大きく分けられます。各トランザクションには、プロトコルによって定義された一意のデータ ID があります。データ ID は、エンコーダ インターフェイス経由でコントローラが行う特定の要求を識別するために使用されます。

表 2-2. T フォーマットのトランザクション

トランザクションのタイプ	データ ID	トランザクション
読み出し	ID 0	1 回転の絶対データを読み出し
	ID 1	マルチ ターンのデータ
	ID 2	エンコーダ ID
	ID 3	上記のすべてとエンコーダのエラー ステータス

表 2-2. T フォーマットのトランザクション (続き)

トランザクションのタイプ	データ ID	トランザクション
リセット	ID 7	1 回転の絶対データをリセット
	ID 8	マルチ ターン データのリセット
	ID C	エラーのリセット
EEPROM	ID D	エンコーダの EEPROM の読み取り
	ID 6	エンコーダの EEPROM への書き込み

各トランザクションは 10 ビットのフィールドで構成されます。各フィールドは、表 2-3 に示すような形式です。最初のビットはスタートビット (常に 0)、最後のビットは区切りビット (常に 1) です。スタートビットと区切りの間にある 8 ビット データの内容は、フィールドのタイプによって異なります。

表 2-3. T フォーマットのフィールド形式

	ビット 1	ビット 2	ビット 3	ビット 4	ビット 5	ビット 6	ビット 7	ビット 8	ビット 9	ビット 10
コンテンツ	スタートビットは常に 0	8 データビット:LSB が先頭にある この内容はフィールドによって異なります。これら 8 ビットのデータは CRC の計算に含まれます。								区切りビットは常に 1

T フォーマットのプロトコルで定義されるフィールドは次のとおりです。

ControlField (CF) すべての要求とすべての応答で最初にあるフィールド。ControlField には、トランザクションの一意のデータ ID が含まれます。

StatusField (SF) エンコーダからのステータス情報。

DataFields (DFx) エンコーダから取得した情報。DataFields の内容と数は、トランザクションによって異なります。DataFields の例には、エンコーダの ID、位置情報、エラーコードなどがあります。DataFields の数は最大 8 つです。

CRCField データの 8 ビット CRC (巡回冗長性検査) 値。CRCField は、EEPROM の読み取りまたは書き込み要求の最後のフィールドです。CRCField は常に、エンコーダの応答の最後のフィールドです。

EEPROM AddressField (ADF) EEPROM トランザクションで読み書きされるアドレス。

EEPROM DataField (EDF) EEPROM トランザクションで読み取られたデータ、または書き込まれるデータが含まれます。

注

各フィールドの具体的な内容については、Tamagawa から入手できる T フォーマットの仕様を参照してください。

要求で使用されるフィールドを、表 2-4 に示します。トランザクションを開始するため、コントローラはエンコーダ インターフェイス経由で要求を送信します。要求は、Data ID を含む ControlField で開始されます。エンコーダは、データ ID を使用して、要求されたトランザクションを正確に識別します。読み出し要求またはリセット要求に必要なのは、ControlField のみです。EEPROM の読み取りまたは書き込みの場合、コントローラは EEPROM AddressField と EEPROM DataField (書き込み用) に続いて、CRCField も送信します。

表 2-4. T フォーマットの要求フィールド

要求タイプ	送信されるフィールド			
読み出し	ControlField			
リセット	ControlField			
EEPROM 書き込み	ControlField	EEPROM AddressField	EEPROM DataField	CRCField ⁽¹⁾

表 2-4. T フォーマットの要求フィールド (続き)

要求タイプ	送信されるフィールド			
EEPROM 読み出し	ControlField	EEPROM AddressField	CRCField	

- (1) CRC の計算には、制御、EEPROM アドレス、EEPROM データの各フィールドの 8 ビット データが含まれます。スタートビットと区切りビットは除外されます。

エンコーダの応答で使用されるフィールドは、要求によって異なります。読み出しおよびリセットのトランザクション (表 2-5) では、エンコーダが ControlField のエコーで応答し、その後に StatusField と 1 つ以上の DataField が続きます。最後に、エンコーダは常に CRCField を送信します。CRCField は、受信データの整合性チェックとして使用できます。

表 2-5. 読み出しおよびリセット用の T フォーマット応答フィールド

データ ID	タイプ	制御フィールド (1)	ステータスフィールド	DataFields (DF0:DF1:...DF7) + CRC (2) (3)									
ID 0	読み出し	CF	SF	ABS0(4)	ABS1	ABS2	CRC						
ID 1	読み出し	CF	SF	ABM0(5)	ABM1	ABM2	CRC						
ID 2	読み出し	CF	SF	ENID(6)	CRC								
ID 3	読み出し	CF	SF	ABS0	ABS1	ABS2	ENID	ABM0	ABM1	ABM2	ALMC(7)	CRC	
ID 7	リセット	CF	SF	ABS0	ABS1	ABS2	CRC						
ID 8	リセット	CF	SF	ABS0	ABS1	ABS2	CRC						
ID C	リセット	CF	SF	ABS0	ABS1	ABS2	CRC						

- (1) CF: ControlField。要求で送信された ControlField と一致します。
 (2) DF: DataField。トランザクションに応じて最大 8 つのフィールド。
 (3) CRCField は常に、最後に使用された DataField の直後に送信されます。CRC には、使用される CF + SF + DataField の 8 ビットのデータが含まれます。各フィールドの開始ビットと区切りは除外されます。
 (4) ABS: 1 回転内の絶対データ。3 つのフィールドを使用します。
 (5) ABM: マルチ ターンのデータ。3 つのフィールドを使用します。
 (6) ENID: エンコーダ ID。1 つのフィールド。
 (7) ALMC: エンコーダの誤差。1 つのフィールド

次のデータ読み出しの例では、コントローラがマルチ ターンのデータ (データ ID 1) を要求します。表 2-5 を参照すると、応答の DataField はマルチ ターンのデータ (ABM0:ABM1:ABM2) に対応しています。

表 2-6. データ読み出しの例

要求。	データ ID 1 の ControlField					
応答	データ ID 1 の ControlField	StatusField	DataField0	DataField1	DataField2	CRC

EEPROM トランザクションの場合、表 2-7 に示すように、エンコーダは ControlField + EEPROM AddressField + EEPROM DataField + CRCField で応答します。

表 2-7. EEPROM 読み取り/書き込み応答フィールド

データ ID	要求	フィールド 0	フィールド 1	フィールド 2	フィールド 3
ID 6	書き込み	ControlField	EEPROM AddressField	EEPROM DataField (1)	CRCField(3)
ID D	読み出し	ControlField	EEPROM AddressField	EEPROM DataField (2)	CRCField

- (1) エンコーダの EEPROM に書き込まれたデータ。これは、要求の DataField のエコーです。
 (2) エンコーダの EEPROM から読み取られたデータ。
 (3) CRC の計算には、制御、EEPROM アドレス、EEPROM データの各フィールドの 8 ビット データが含まれます。各フィールドの開始ビットと区切りは除外されます。

2.3.2 C2000 T フォーマット・エンコーダ・インターフェイスの概要

T フォーマット・エンコーダ・インターフェイス上の通信は、主に次のコンポーネントによって行われます。

- CPU (C28x)
 - デバイス、CLB、SPI を構成する
 - データをバックおよび展開する
 - EEPROM コマンドについて、送信の CRC を計算する
 - F2837xD のみ: 受信データの CRC を計算する
 - 計算された CRC を受信した CRC と比較する
- 構成可能ロジック・ブロック (CLB)
 - SPI クロックを制御する
 - RS-485 トランシーバへの送信イネーブル信号を制御する
 - インターフェイスの要求に応じて、ケーブル伝搬遅延を測定および補償する
 - 受信データの CRC を計算する (この機能は F2837xD では利用不能)
- シリアル・ペリフェラル・インターフェイス (SPI)
 - エンコーダ・データの送受信を実行する
- デバイスの相互接続 (XBAR または CLB XBAR)
 - CLB とデバイス間で信号をルーティングする
- 外部インターフェイス・ブロック
 - RS-485 差動ライン・ドライバを搭載した TIDM-1011 基板

注

CRC の計算には、デバイスの機能に応じて、さまざまな方法が使用されます。詳細については、[セクション 2.3.5](#) を参照してください。

T フォーマット・エンコーダ・インターフェイスの接続を、[図 2-3](#) に示します。

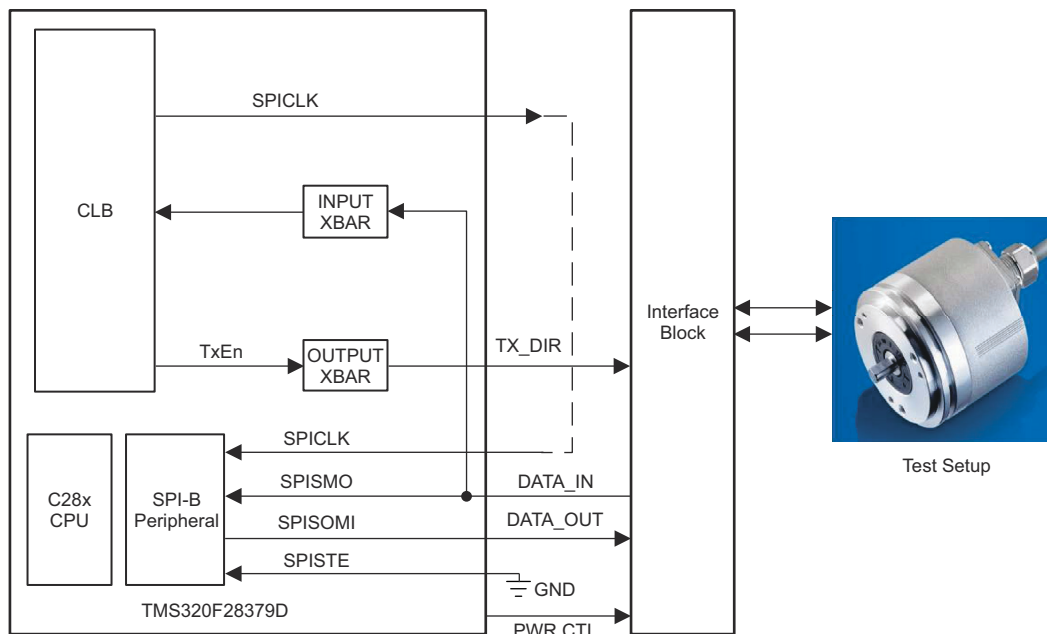


図 2-3. TMS320F28379D 内部の T フォーマットの実装図

このセクションの残りの部分では、この設計の以下の側面について説明します。

- TIDM-1011 ハードウェア ([BOOSTXL-POSMGR](#))
- CLB 設計を含む C2000 MCU のリソース
- エンコーダ・インターフェイスで使用される C2000 ソフトウェア

2.3.3 TIDM-1011 の基板実装

TIDM-1011 ボードには次の機能があります。

- C2000 MCU とエンコーダの間で RS-485 通信を行うための差動ライン・ドライバおよびレシーバ。
- MCU から RS-485 ドライバ/レシーバの方向制御に送信される TxEN 信号。
- SPICLK 信号は GPIO に送られ、CLB ペリフェラルから制御できます。この接続は、F2837x ファミリーを除く、サポートされているすべてのデバイスで使用できるオプションです。

注

TIDM-1011 ドーター・カードは Position Manager BoosterPack プラグイン・モジュール (BOOSTXL-POSMGR) と同じなので、TIDM-1011 は複数の種類のポジション・エンコーダと接続できます。この基板はデフォルトで完全に実装されています。このリファレンス・デザインは、T フォーマットの絶対エンコーダのプロトコルに特化しており、使用されないハードウェア・ブロックは無視できます。

TIDM-1011 の T フォーマット実装で使用されるコネクタとその機能を、表 2-8 に示します。

表 2-8. TIDM-1011 基板と BOOSTXL-POSMGR コネクタ

コネクタ	説明	TIDM-1011 で使用
ABS-Enc-1 (J7)	T フォーマットや他の絶対エンコーダに対応	はい、LaunchPad サイト 2
Abs-Enc-2 (J8)	T フォーマットや他の絶対エンコーダに対応	いいえ
Abs-Enc-2 Breakout (J10)	ジャンパを使用して、サイト 2 に 2 個の絶対エンコーダを配置	いいえ
SinCos (J14)	SinCos エンコーダ	いいえ
リゾルバ (J14 と J15)	15V 励起回路を搭載したリゾルバ・インターフェイス	いいえ
PTO (J17)	パルス・トレイン出力	いいえ
J1、J3 と J4、J2	BoosterPack コネクタ	はい
J6	5V DC 電源入力	はい
J16	15V DC リゾルバ励起入力	いいえ

LaunchPad の各サイトでのエンコーダ・サポートを、図 2-4 に示します。

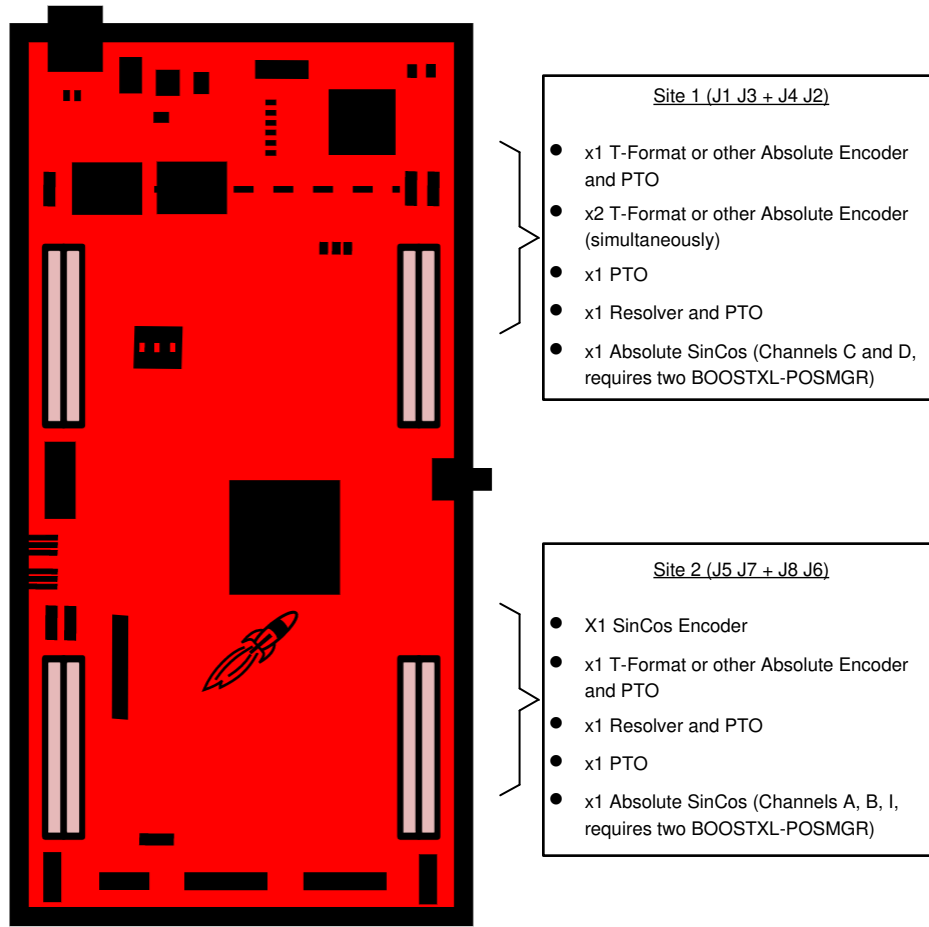


図 2-4. TIDM-1011 基板と BOOSTXL-POSMGR エンコーダのサポート

提供されているように、TIDM-1011 は LaunchPad サイト 2 と **BOOSTXL-POSMGR** のエンコーダ 1 接続を使用します。接続を、[図 2-5](#) に示します。TIDM-1011 BoosterPack の完全な回路図は、[BOOSTXL-POSMGR](#) プロダクト・ページからダウンロードできます。

注

F2837xD デバイスでは、CLB で生成されるクロック (CLB_SPI_CLK) と SPICLK ピンとの間を外部で接続する必要があります。他のすべてのデバイスでは、CLB が SPICLK を直接駆動できるため、外部接続は不要です。

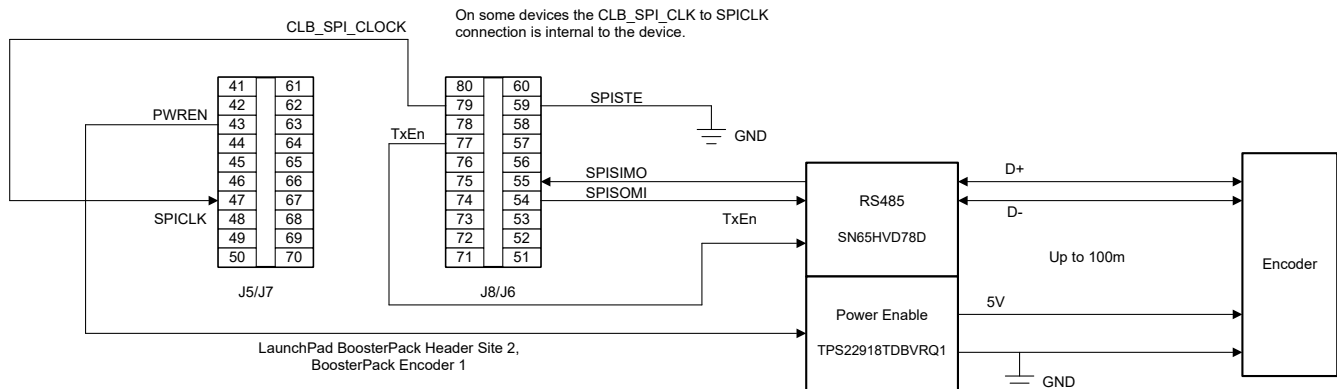


図 2-5. BOOSTXL-POSMGR エンコーダ 1 を持つ LaunchPad Site2 のピン配置

2.3.4 MCU のリソース要件

TIDM-1011 リファレンス・デザインで使用される C2000 リアルタイム MCU のリソースを、表 2-9 に示します。各デバイスの仕様については、セクション 2.3.5 を参照してください。

表 2-9. TIDM-1011 のリソースの使用

リソース名と数量	タイプ	目的
CLB × 2	1 タイル	SPI クロック、遅延補償、TxEn 制御を行います。タイルを変更した場合、CLB の入出力配線も更新する必要があります。
	1 タイル (オプション)	メッセージが受信されるとき、応答 CRC を計算します。このオプションは、CLB タイプ 2 またはそれ以降のデバイスでのみ使用できます。
GPIO × 2	I/O	<ul style="list-style-type: none"> CLB 出力、RS-485 方向制御 (TxEN) CPU エンコーダの電源制御 (PwrCtl)
GPIO × 1	I/O (F2837xD のみ)	<ul style="list-style-type: none"> CLB_SPI_CLK の CLB 出力 CLB タイプ 1: このピンは SPICLK 入力の外部に配線します。 CLB タイプ 2 またはそれ以降: CLB から SPI モジュールに直接クロックを供給します。外部接続は必須ではありませんが、テストやデバッグに役立ちます。
INPUTXBAR または CLB_INPUTXBAR × 1	モジュール、I/O	SPI SIMO ピンを CLB に接続します。
OUTPUTXBAR または CLB_OUTPUTXBAR × 1	モジュール、I/O	CLB を TxEN (方向制御) に接続します。
SPI × 1	モジュールと I/O	RS-485 の物理層で送受信を行う 1 つの SPI インスタンス。SPI クロックは CLB によって制御されます。
CPU とメモリ	モジュール	CPU とメモリは各種の機能に使用されます。

2.3.5 デバイス固有のリソース使用

TIDM-1011 で使用されるデバイス固有のリソースには次のものがあります。

- CRC 計算を実行するためのリソース。
- 入力信号と出力信号、および使用される特定の CLB タイル・インスタンス。

2.3.5.1 CRC の計算

巡回冗長性検査 (CRC) は、通信ネットワークやデータストレージで使用されるエラー検出メカニズムです。C2000 MCU で CRC を計算するために利用できるデバイス・リソースは次第に増えてきました。TIDM-1011 は、デバイスの機能と、データを送信するか受信するかに応じて、さまざまなリソースを使用します。リソースの使用状況の要約を、表 2-10 に示します。

表 2-10. CRC の計算に使用されるリソース

デバイス	受信データ CRC	送信データ CRC
F2837xD	C28x plus のルックアップ・テーブル	C28x plus のルックアップ・テーブル
F28004x	構成可能なロジック・ブロック	C28x のルックアップ・テーブル
その他すべて	構成可能なロジック・ブロック	C28x への VCRC 拡張機能

- C28x ルックアップ・テーブル** は、すべての C28x デバイスで利用できます。ただし、この方法は最も低速で、ルックアップ・テーブルを格納するための RAM メモリが必要です。TIDM-1011 は、他の機能がないデバイスでのみルックアップ・テーブルを使用します。
- 構成可能ロジック・ブロック (CRC)** は、CLB タイプ 2、またはそれ以降のデバイスで利用できます。CLB は、リニア・フィードバック・シフト・レジスタ (LFSR) として構成されたカウンタを使用して CRC を計算します。この方法は、データ受信時のエンコーダ応答の CRC を計算するために使用されてきました。これにより、追加の計算が不要になるため、C28x の帯域幅が解放されます。C28x は、カウンタ・レジスタから CRC 結果を直接読み取ります。この方法のコスト

は、CLB タイル・リソースと、タイルを構成するためのコードです。CLB CRC の実装については、[セクション 2.3.7](#) に記載されています。

- **VCRC** は、特に CRC 計算用に C28x 命令セットを拡張したものです。この実装は、長いメッセージの場合、C28x ルックアップ・テーブルよりも高速です。さらに、VCRC にはルックアップ・テーブルを格納するための RAM 領域は必要ありません。VCRC モジュール付きのデバイスでは、EEPROM の読み取り / 書き込みトランザクションで使用される送信データの CRC を計算するため、この方法が使用されてきました。

注

CRC 方式は、T フォーマット・ライブラリのヘッダー・ファイルで選択できます。

2.3.5.2 入力、出力信号、CLB タイル

このセクションでは、各デバイスで使用される入出力および CLB タイル接続について説明します。

注

入出力図で、色付きの丸で囲まれた文字は、ページ外の接続を示します。

- 通信タイル: コネクタ A、B、C、G を、[セクション 2.3.6](#) に示す
- CRC タイル: コネクタ B、F、E、A を、[セクション 2.3.7](#) に示す

使用する GPIO ピンと SPI モジュールは、デバイス固有の LaunchPad と BOOSTXL-POSMGR BoosterPack のピン配置によって異なります。CLB との間の接続は、デバイスの機能によって異なります。使用されるタイルのインスタンスは、タイルが SPICLK など他の信号をオーバーライドできるかどうかによって異なります。各デバイス ファミリーで使用される入出力リソースの要約を、[表 2-11](#) に示します。各デバイスの I/O 図には、使用された GPIO と CLB タイルの詳細が示されています。

表 2-11. デバイスごとの入出力およびタイルの概要

デバイス	I/O 図	CLB RX CRC タイル (3)	SPI モジュール	CLB から SPICLK へ	他の I/O
F2837xD	図 2-6	なし	SPI-B	外部で接続	EPWM4B のタイル 4 オーバーライド。(1) デバイスの INPUTXBAR と OUTPUTXBAR
F28004x	図 2-7	あり	SPI-B	CLB により直接駆動される	デバイスの INPUTXBAR と OUTPUTXBAR
F28003x F28002x	図 2-8	あり	SPI-B	CLB により直接駆動される	CLB_INPUTXBAR と CLB_OUTPUTXBAR
F2838x	図 2-9 (2)	あり	SPI-B	CLB により直接駆動される	CLB_INPUTXBAR と CLB_OUTPUTXBAR
F28P65x	図 2-10	あり	SPI-D	CLB により直接駆動される	CLB_INPUTXBAR と CLB_OUTPUTXBAR
F28P55x F28P551x	図 2-11 (4)	あり	SPI-B	CLB により直接駆動される	CLB_INPUTXBAR と CLB_OUTPUTXBAR

- (1) CLB タイル 4 は、EPWM4B 出力信号をオーバーライドして、GPIO7 を制御します。他の ePWM 機能は使用されません。
- (2) F2838x ファミリーは、LaunchPad 開発プラットフォームではサポートされていません。TMDXIDDKF273XD ハードウェア プラットフォームで使用されるピンを、I/O 図に示します。
- (3) CRC タイルがあるデバイスの場合、通信タイルと CRC タイルとの間の接続は、I/O 図に示されています。
- (4) F28P551x ファミリーは、LaunchPad 開発プラットフォームではサポートされていません。使用するピンは、F28P55x LaunchPad + BoosterPack デモコードと同じ使用方法に対応しています。F28P551x デモは、BOOSTXL_POSMGR を ControlCard + ドックにワイヤ接続することでテストできます。

注

このドキュメントの発行時点では、F2837xD と F28004x は、TMDXIDDKF273XD 開発キットプロジェクトによってサポートされています。使いやすさを考えて、BOOSTXL_POSMGR と TMDXIDDKF273XD プラットフォームの両方の GPIO を、I/O 図として提供しています。

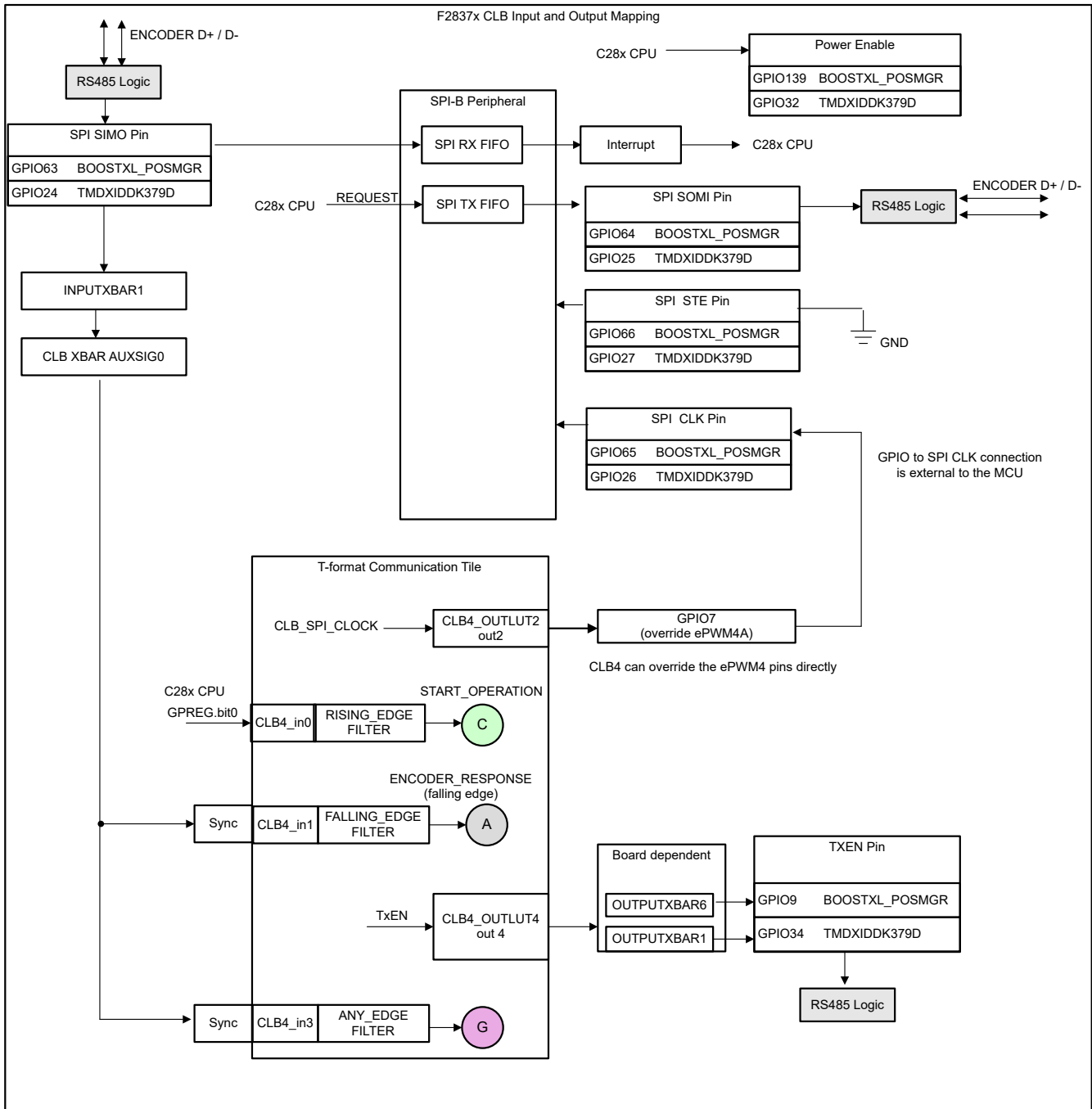


図 2-6. BOOSTXL_POSMGR と TMDXIDDKF273XD での F2837xD の入力、出力、CLB の使用法

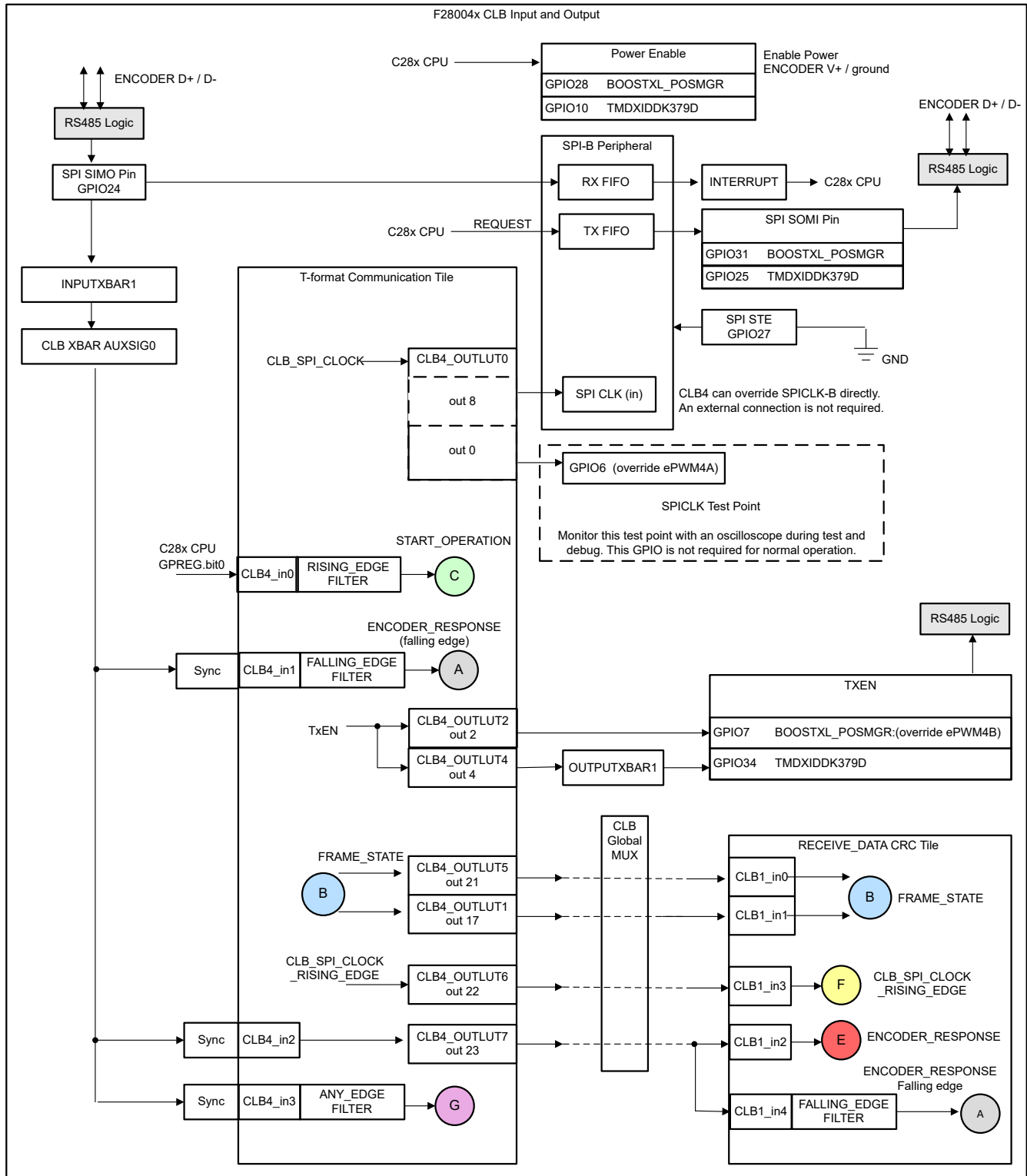


図 2-7. BOOSTXL_POSMGR と TMDXIDDKF273XD での F28004x の入力、出力、CLB の使用法

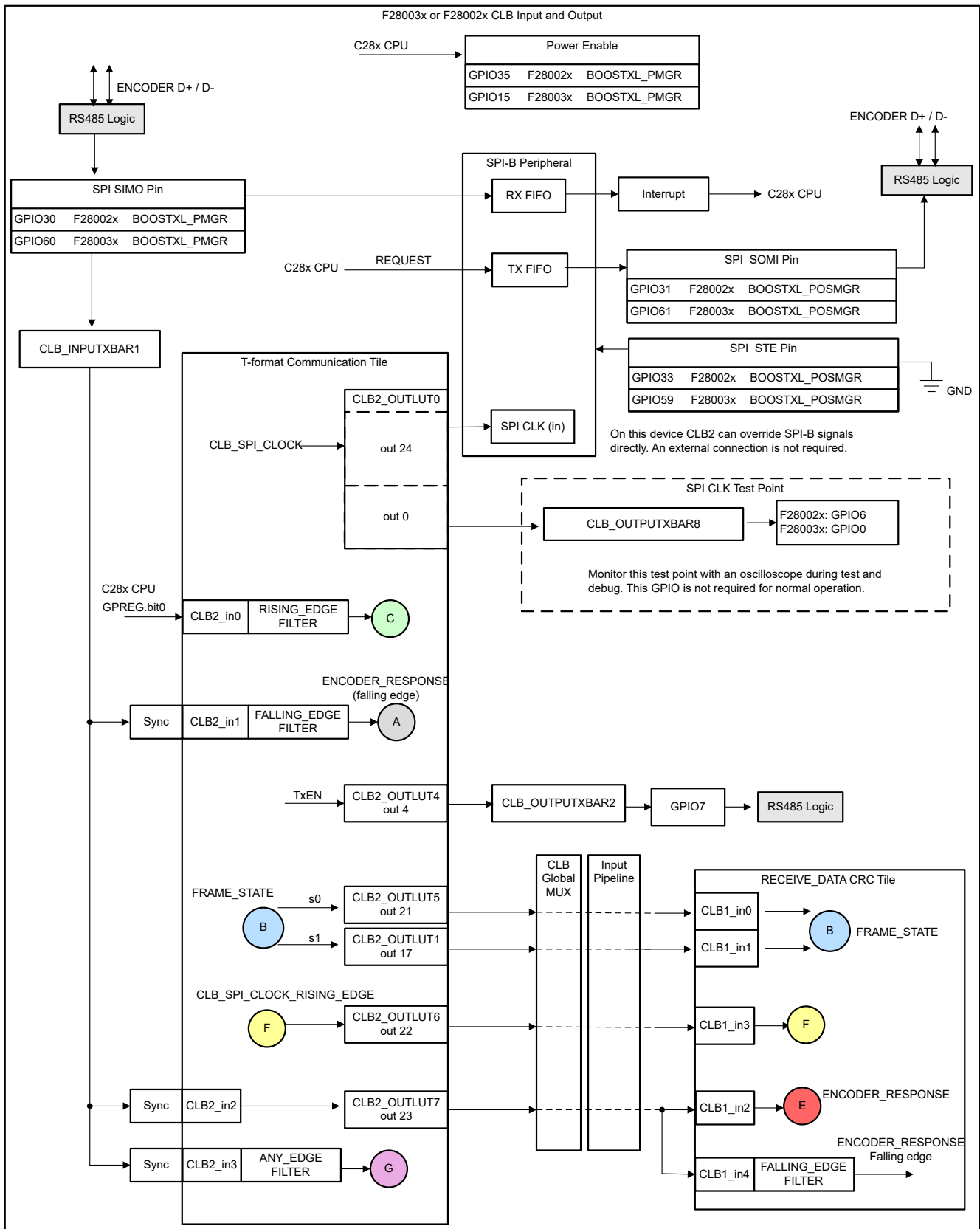


図 2-8. BOOSTXL_POSMGR での F28002x および F28003x の入力、出力、CLB の使用法

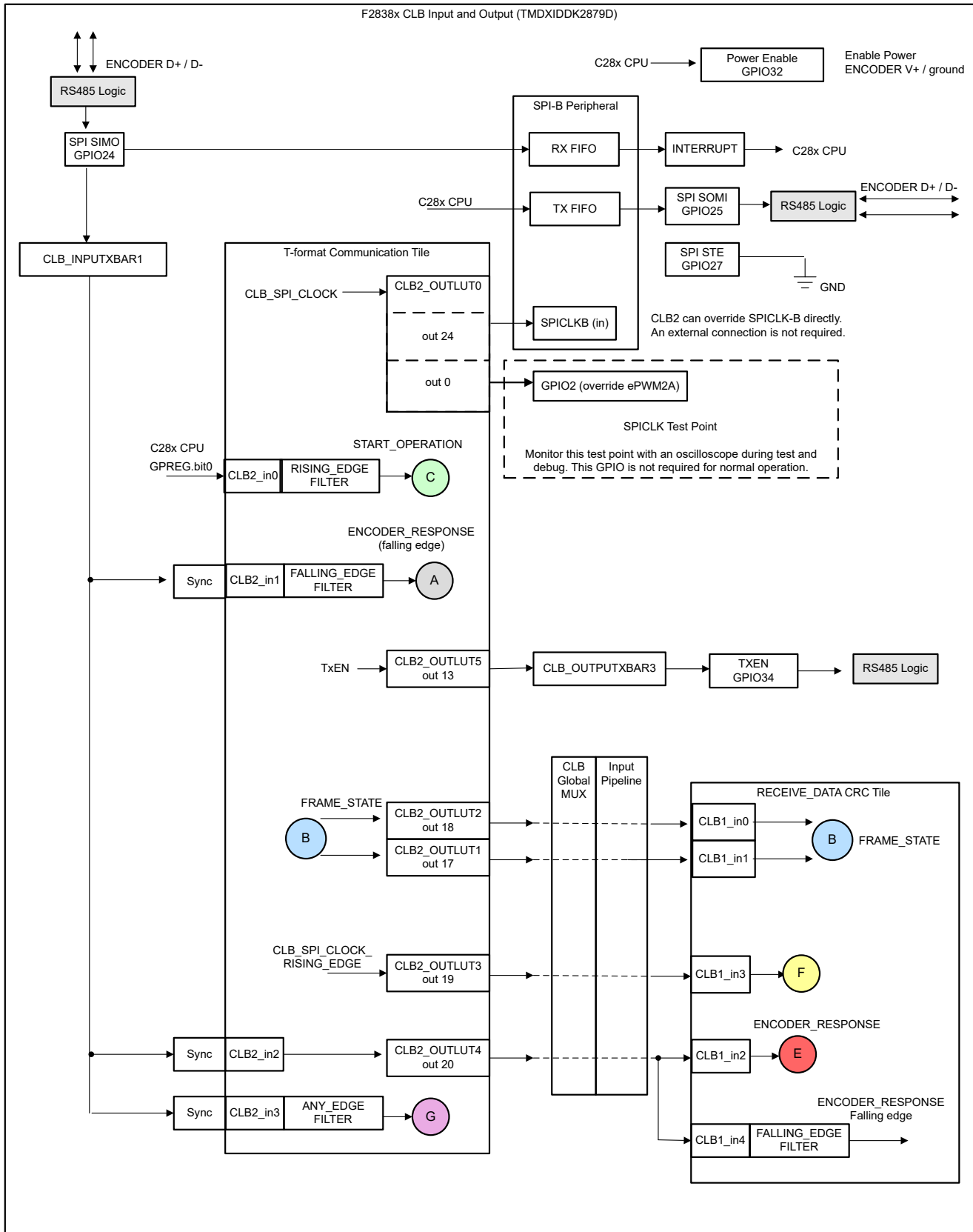


図 2-9. TMDXIDK2879D の F2838x 入出力

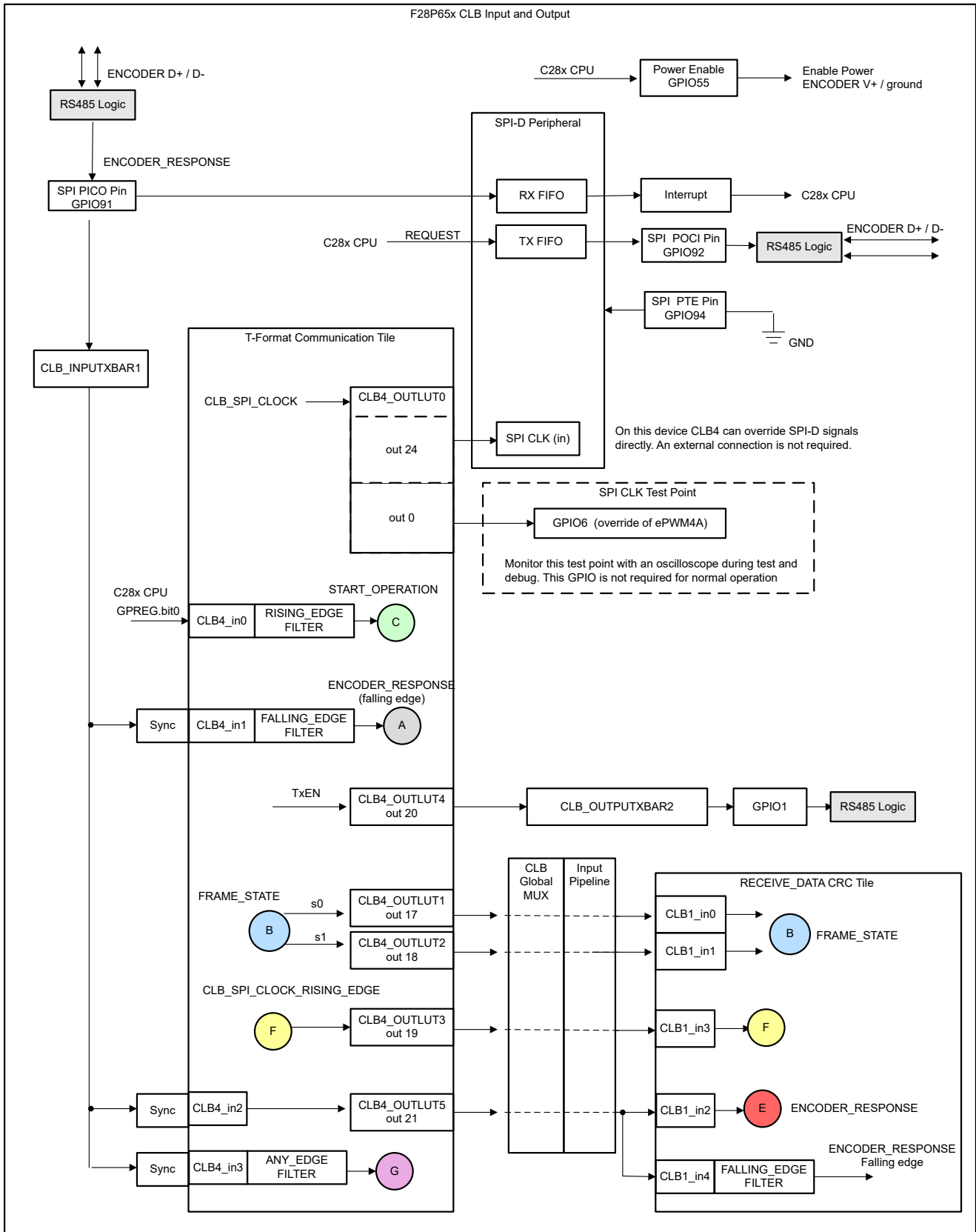


図 2-10. BOOSTXL_POSMGR での F28P65x の入力、出力、CLB の使用法

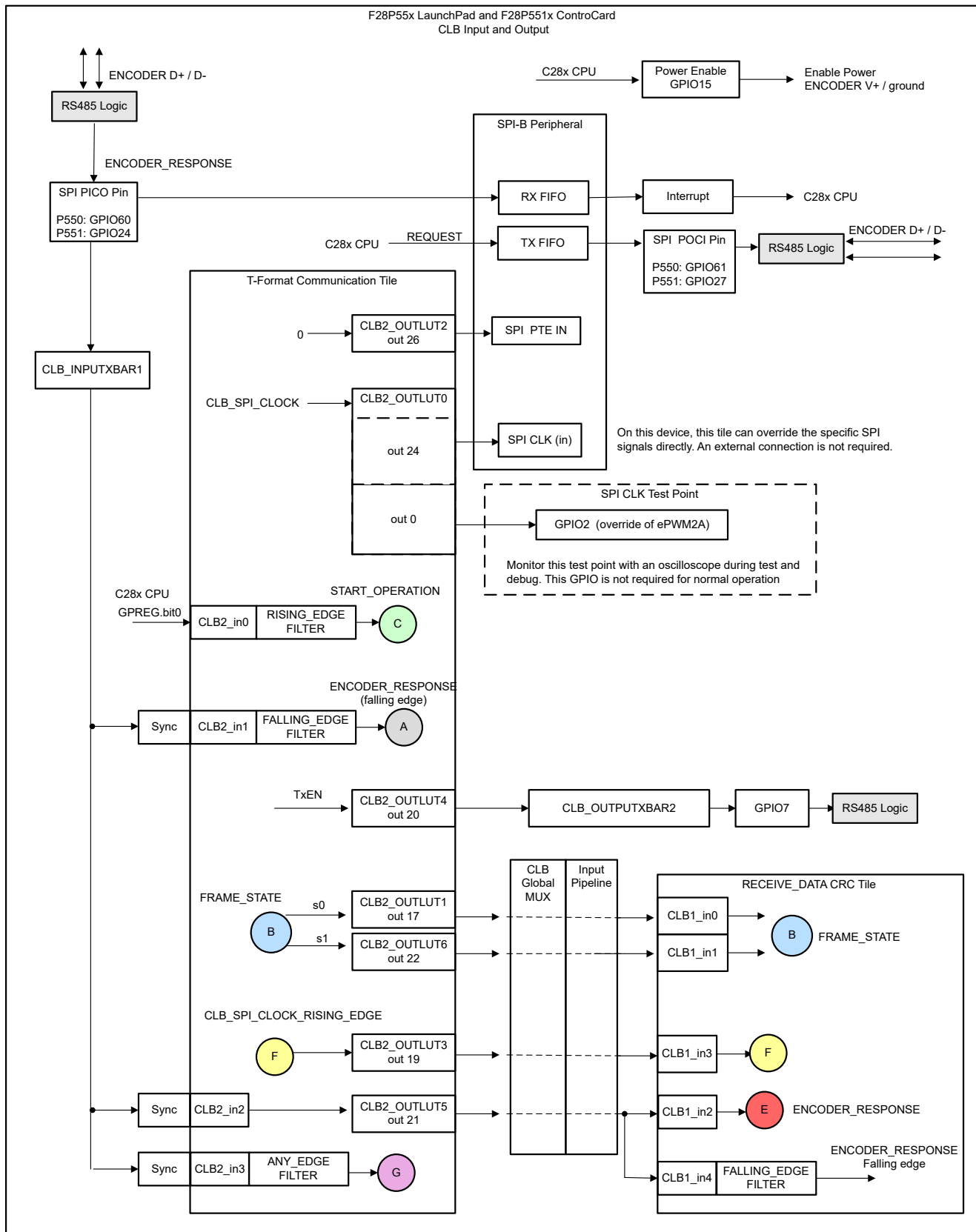


図 2-11. BOOSTXL_POSMGR での F28P55x および F28P551x の入力、出力、CLB の使用法

2.3.6 CLB T フォーマットの実装の詳細

CLB 通信タイルは、次の処理を行います。

- SPI にクロックを供給して要求を送信する。
- SPI SIMO ピンでエンコーダからの応答を監視する。
- SPICLK を受信応答に同期する。
- SPI にクロックを供給して応答を受信する。

このセクションでは、次の 3 つの異なる手法による通信タイルの設計について説明します。

1. 波形を使用して、トランザクションの各フェーズにおける CLB の動作を視覚化する。
2. サブモジュールの相互接続を含む CLB タイルの設計。
3. ロジック回路図レンズを使用する。

2.3.6.1 トランザクションの波形

CLB 設計を実装するときは、最初に波形を使用して必要な CLB の動作を視覚化すると便利です。これを行うには、まずトランザクションの例を考えます。T フォーマットのトランザクションは、要求の送信とエンコーダの応答で構成されることを思い出します。送信は、[図 2-12](#) に示すように、いくつかの FRAME_STATE に分割できます。最初の手順は、トランザクションの各要素を CLB サブモジュールにマッピングすることです。[表 2-12](#) にマッピングの例を示します。

表 2-12. T フォーマットのトランザクションから CLB へのマッピング

トランザクションの動作	CLB へのマッピング
FRAME_STATE の追跡	有限ステート・マシン (FSM): 以前の状態と現在の入力を与えられたとき、新しい状態に遷移します。
生成されたクロック数のカウント	COUNTER: TRANSMIT_DATA および RECEIVE_DATA 状態のとき、クロックのエッジでインクリメントするように構成されています。mode0 入力 は、カウンタがいつアクティブになるか、いつ停止するかを制御します。COUNTER と一致する値を利用して状態遷移を実行します (TRANSMIT_DATA から WAIT_FOR_START へ、および RECEIVE_DATA から IDLE へ)。
特定の幅のクロック信号を生成	この要件は、2 番目の COUNTER にマップされます。一致する値を利用して、立ち上がり / 立ち下がりエッジのタイミングを生成します。その後、LUT (ルックアップ・テーブル) が、このタイミングに基づいて実際のエッジを生成します。
クロックをエンコーダの応答に揃える	クロックを生成する COUNTER は、エッジ遷移がエンコーダの応答と適切に揃うように構成できます。
送信および受信のみ、SPI にクロックを供給する	LUT は、不要なときにクロックをブロックします。
TXEN の制御	LUT は、現在の FRAME_STATE を利用して信号を制御します。
CLB にトランザクションの開始を指示	C28x は、トランザクションの COUNTER と SPI を構成します。CLB GPREG により、C28x CPU は CLB 入力を直接変更してトランザクションを開始できます。

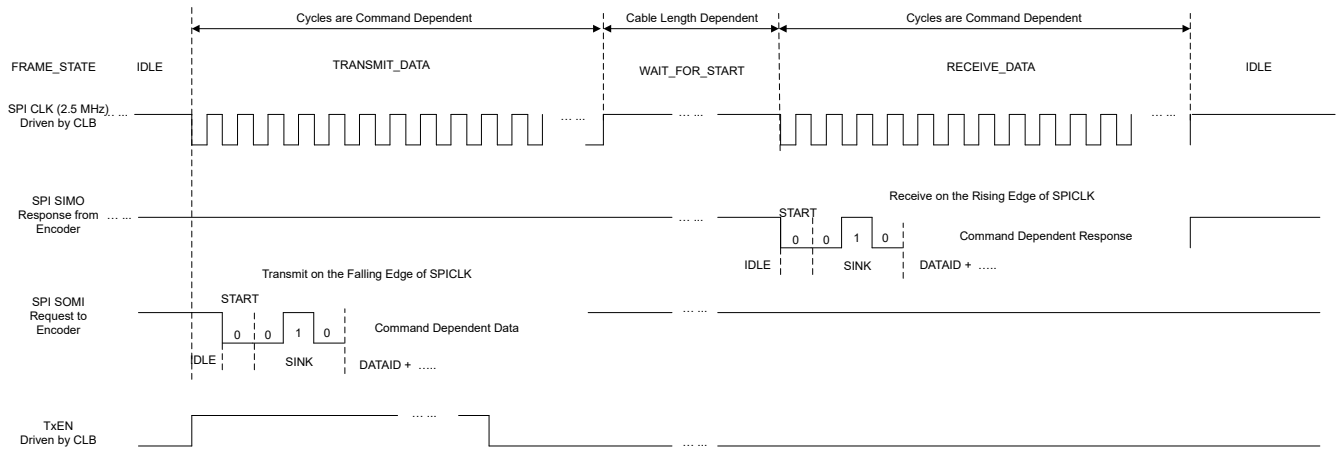


図 2-12. T フォーマットのトランザクションの例

次の手順は、特定のサブモジュールの動作を視覚化することです。最初は簡単なスケッチを作成します。その後設計の進展に合わせて詳細を追加します。図 2-13 に波形の例を示します。

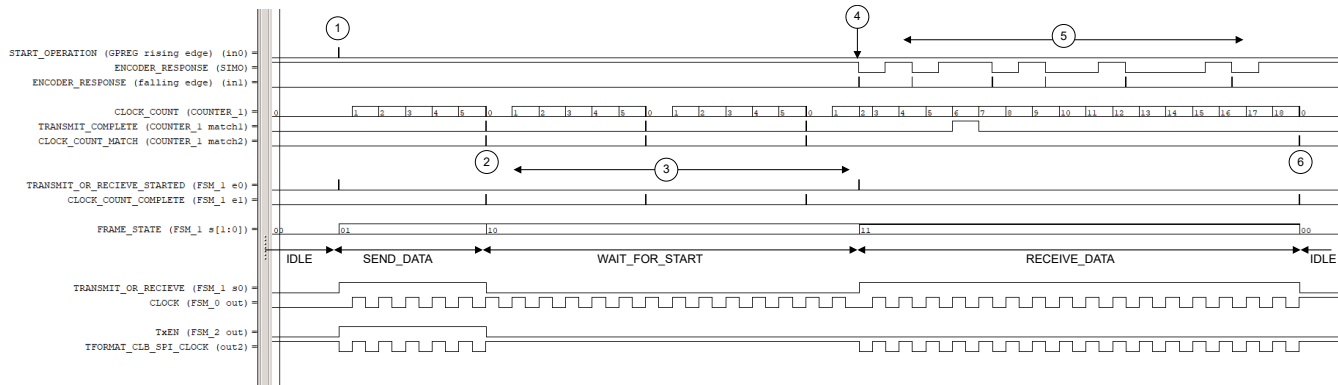


図 2-13. CLB 通信の波形

注

図 2-13 は、CLB SystemC シミュレーション・モデルを使用し、エンコーダの応答としてカスタム入力を使用して生成されたものです。送信された要求は、図 2-13 に具体的には示されていません。SPI モジュールは、TRANSMIT_DATA (または SEND_DATA) フェーズ中に、CLB_SPI_CLK に基づいて要求を送信します。

以下のセクションでは、図 2-13 のマーカー 1~6 を使用して、そのマーカーにおける設計の具体的な動作を説明します。マーカーには次のものがあります。

1. IDLE から TRANSMIT_DATA (または SEND_DATA) への遷移
2. WAIT_FOR_START への遷移
3. WAIT_FOR_START の間
4. RECEIVE_DATA への遷移
5. RECEIVE_DATA の間
6. IDLE に再度遷移

各 FRAME_STATE について説明した後で、セクション 2.3.6.2、ではタイルの設計全体を提示します。各状態の説明を読むときは、セクション 2.3.6.2 と図 2-13 も参照してください。

2.3.6.1.1 IDLE 状態

IDLE 時には、インターフェイス上でアクティビティはありません。C28x は最初に要求を設定する必要があります。T フォーマット API には、要求の各タイプを設定するための関数が用意されています。

- PM_tformat_setupCommandReadEEPROM()
- PM_tformat_setupCommandWriteEEPROM()
- PM_tformat_setupCommandReadoutOrReset()

_setupCommand 関数は、要求データ・パケットを作成し、データを SPI TX FIFO にロードして、CLB を構成し、要求の送信と応答の受信に必要な SPI クロックの数を生成します。セットアップが完了すると、C28x は PM_startOperation() 関数を呼び出してトランザクションを開始します。

図 2-2、マーカー (1) を参照してください。

トランザクションが開始されると、START_OPERATION 信号は GPREG によって High になります。GPREG は CLB の汎用レジスタで、C28x はこのレジスタを使用してタイルの入力を直接制御できます。CLB の立ち上がりエッジ・フィルタが入力に対してイネーブルなので、START_OPERATION は 1 CLB クロックの間 High に維持されます。この時点で、メイン・ステート・マシン (FSM_1) は、FRAME_STATE を IDLE から TRANSMIT_DATA 状態に移動して応答します。

2.3.6.1.2 TRANSMIT_DATA 状態

TRANSMIT_DATA (または SEND_DATA) 状態のとき、エンコーダ・インターフェイスは要求をエンコーダに送信します。この要求は、SPICLK の立ち下がりエッジで SPI TX FIFO から送信されます。TRANSMIT_DATA のとき、CLB は次の動作を行います。

- TxEN 信号を High にして、RS-485 ドライバ経由の送信を有効にする。
- CLOCK 信号の生成を開始する。CLOCK は CLB_SPI_CLOCK になる。
- CLB_SPI_CLOCK は、SPI モジュールのクロックを駆動する。
- CLOCK_COUNT (COUNTER_1) は、生成された CLB_SPI_CLOCK の数を追跡する。

送信に必要な CLB_SPI_CLOCKS の数は、コマンドのセットアップ時に C28x によって CLOCK_COUNT の match1 と match2 の両方にロードされます。

図 2-2、マーカー (2) を参照してください。

必要なクロック数に達すると、CLOCK_COUNT_COMPLETE (match2) および TRANSMIT_COMPLETE (match1) 信号が High になります。これにより、次の変化が発生します。

- メイン・ステート・マシンが WAIT_FOR_START に遷移する。
- CLOCK 信号が CLB_SPI_CLOCK から切断される。
- TxEN は Low に駆動され、RS-485 を経由してセンサまたはエンコーダの制御が可能になる。

2.3.6.1.3 WAIT_FOR_START 状態

図 2-2、マーカー (3) を参照してください。

WAIT_FOR_START 状態のとき、CLB は ENCODER_RESPONSE の立ち下がりエッジを監視します。立ち下がりエッジは、エンコーダからの応答の最初の開始ビットに対応します。必要な時間は複数のクロック・サイクルになる可能性もあり、エンコーダの状態やケーブル長に依存します。

WAIT_FOR_START 中、CLOCK_COUNT 一致および CLOCK_COUNT_COMPLETE 信号は無視され、生成された CLOCK は CLB_SPI_CLOCK から切断されます。

2.3.6.1.4 RECEIVE_DATA の状態

図 2-2、マーカー (4) を参照してください。

ENCODER_RESPONSE の立ち下がりエッジで、FRAME_STATE は WAIT_FOR_START から RECEIVE_DATA に遷移します。

図 2-2、マーカー (5) を参照してください。

RECEIVE_DATA のとき、SPI はエンコーダから応答を受信します。応答のサイズ (クロック数) は、TRANSMIT_DATA のときに送信される要求によって異なります。必要なクロック数は、コマンドのセットアップ時に C28x によって設定されます。応答には次の方法で受信します。

- CLB は CLB_SPI_CLK を応答に同期します。応答は、クロックの立ち上がりエッジでサンプリングされます。クロック・エッジの配置を制御するカウンタをリセットすることにより、応答の各エッジで同期処理が繰り返されます。
- クロック信号は CLB_SPI_CLK に再接続されます。
- クロック数 (COUNTER_1) match2 は HLC によって調整されます。現在のカウントが読み取られ、応答を受信するために必要なクロック数だけ増やして描き戻されます。
- RX FIFO が一杯になると、SPI は C28x に割り込み、応答を受信されたことを示します。C28x は特定の receiveData 関数を呼び出して、データを展開します。

図 2-2、マーカー (6) を参照してください。

応答を受信するために必要なクロック数に達すると、CLOCK_COUNT_COMPLETE 信号が High になります。CLB は FRAME_STATE を IDLE に戻します。

このパターンは、エンコーダとのトランザクションごとに繰り返されます。

2.3.6.2 通信タイルの設計

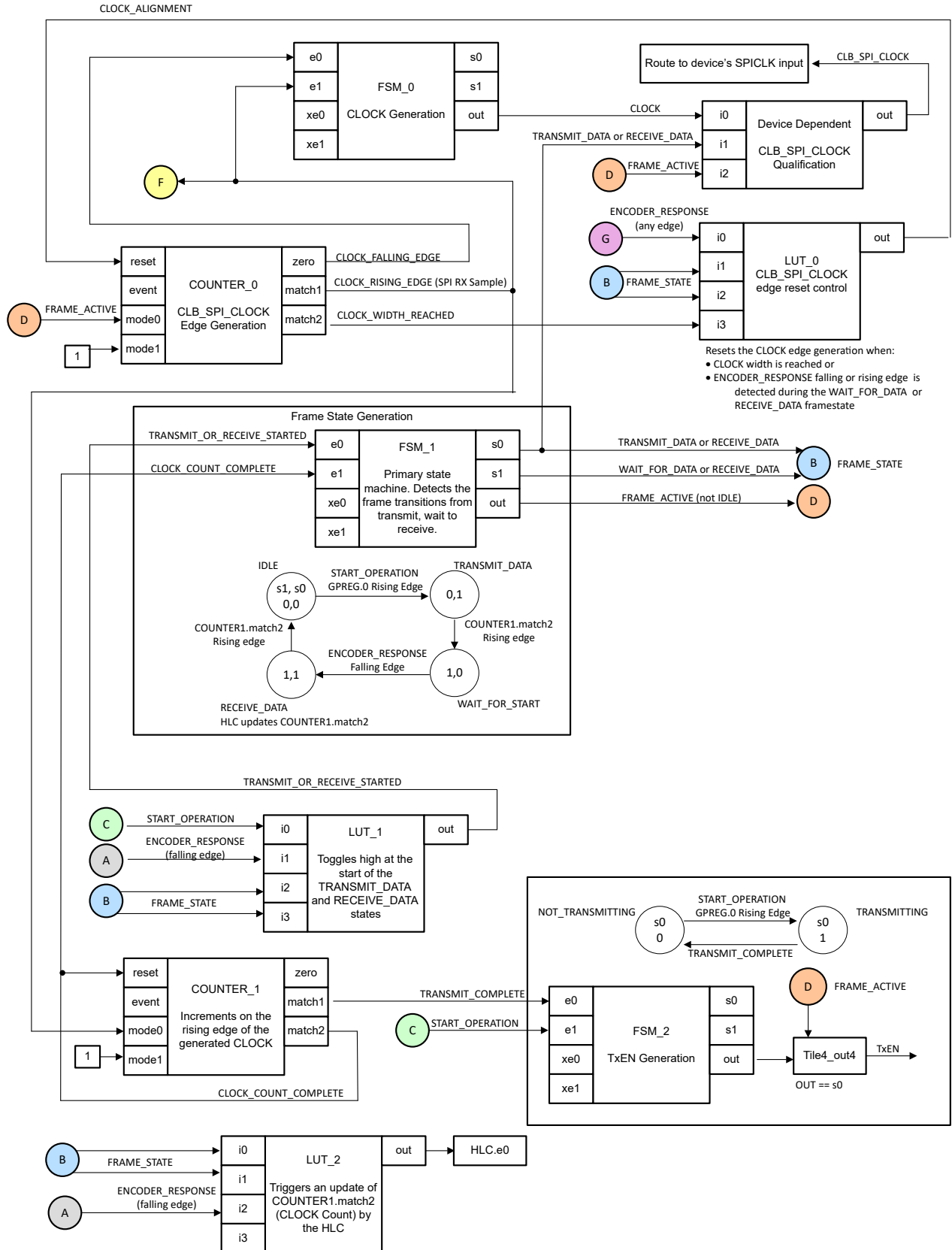


図 2-14. T フォーマット通信タイル

通信タイルの設計を、[図 2-14](#) に示します。このセクションでは、この設計の 3 つの主要なコンポーネントについて詳しく説明します。

1. FRAME_STATE の生成 (FSM_1)
2. ENCODER_RESPONSE の検出 (LUT_1)
3. SPI CLK のアライメント (LUT_0)

注

[図 2-14](#) で、色付きの丸で囲まれた文字は、入出力図 ([セクション 2.3.5.2](#)) に記載されているページ外との接続を示しています。

他のサブモジュールの式は、CLB ツールでタイルの構成を調べることで確認できます。[セクション 2.3.6.3](#) では、追加の情報が各ブロックの回路図として記されています。

FRAME_STATE (FSM_1 s1, s0) の遷移を[図 2-14](#) に示します。対応する方程式を導くためにカルノー写像が使用されます ([表 2-13](#) と [表 2-14](#))。得られた式は OR 演算子で結合され、CLB ツールに入力されます。式を最も簡単な形まで簡略化する必要はありません。

表 2-13. FRAME_STATE FSM_1 カルノー・マップ、状態 s0

		電流入力 (e1, e0) CLOCK_COMPLETE、TX_OR_RX			
		0,0	0,1	1,1	1,0
以前の統計 s1, s0	0,0 IDLE	0 IDLE	1 ⁽¹⁾ TX	1 ⁽¹⁾ TX	0 IDLE
	0,1 TX	1 ⁽²⁾ TX	1 ⁽²⁾ TX	0 WAIT	0 WAIT
	1,1 RX	1 ⁽³⁾ RX	1 ⁽³⁾ RX	0 IDLE	0 IDLE
	1,0 WAIT	0 WAIT	1 ⁽⁴⁾ RX	1 ⁽⁴⁾ RX	0 WAIT

(1) $s0 = (!s1 \& !s0 \& e0)$

(2) $s0 = (!s1 \& s0 \& !e1)$

(3) $s0 = (s1 \& s0 \& !e1)$

(4) $s0 = (s1 \& !s0 \& e0)$

表 2-14. FRAME_STATE FSM_1 カルノー・マップ、状態 s1

		電流入力 (e1, e0) CLOCK_COMPLETE、TX_OR_RX			
		0,0	0,1	1,1	1,0
以前の統計 s1, s0	0,0 IDLE	0 IDLE	0 TX	0 TX	0 IDLE
	0,1 TX	0 TX	0 TX	1 ⁽¹⁾ WAIT	1 ⁽¹⁾ WAIT
	1,1 RX	1 ⁽²⁾ RX	1 ⁽²⁾ RX	0 IDLE	0 IDLE
	1,0 WAIT	1 ⁽³⁾ WAIT	1 ⁽³⁾ RX	1 ⁽³⁾ RX	1 ⁽³⁾ WAIT

(1) $s1 = (!s1 \& s0 \& e1)$

(2) $s1 = (s1 \& s0 \& !e1)$

(3) $s1 = (s1 \& !s0)$

FSM_1 からの OUT 信号は、単純に現在の状態の論理和、すなわち $s1 | s2$ です。これは、フレームのアクティブな部分 (IDLE 以外) に対応しています。

エンコーダの応答を検出することも、設計のもう 1 つの重要な要素です。LUT_1 は、トランザクションの開始と、エンコーダの応答の開始を検出します。設計を簡素化するため、次の前提を行います。

- ENCODER_RESPONSE の立ち下がりエッジは、START_OPERATION の立ち上がりエッジと同時に発生しない。
- START_OPERATION の立ち上がりエッジは、IDLE 状態のときのみ発生する。

エンコーダが C28x から開始された送信にのみ応答し、C28x が START_OPERATION を制御する場合、これらの想定は妥当なものです。これらの前提条件から、式 $out = (i3 \& i2) \& i1 \mid i0$ が得られます。

- FRAME_STATE == WAIT_FOR_START (i3 & i2) で、ENCODER_RESPONSE の立ち下がりエッジ (i1) なら、出力が High になる。
- START_OPERATION の立ち上がりエッジ (i0) なら出力が High になる
- それ以外の場合、出力は Low になる。

エンコーダの応答は、ケーブル遅延の関係で、どの時点でも到着する可能性があります。応答を正しく読み出すには、CLB_SPI_CLK を正しく揃える必要があります。LUT_0 は、クロック・アライメントとクロック幅の両方を操作します。アライメントとクロックはどちらも、LUT_0 が適切なタイミングで COUNTER_0 をリセットすることで操作されます。COUNTER_0 と一致する値は、CLB_SPI_CLOCK のエッジのタイミングを制御します。

- クロック幅: CLOCK_WIDTH_REACHED (i3) が High のとき、COUNTER_0 をリセットする。
- クロック揃え: FRAME_STATE が WAIT_FOR_START (i2 & !i1) または RECEIVE_DATA (i2 & i1) なら、ENCODER_RESPONSE の任意のエッジ (i0) で COUNTER_0 をリセットする。

これにより、式 $LUT_0\ out = i3 \mid (((i2 \& !i1) \mid (i2 \& i1)) \& i0)$ が得られます。

他のサブモジュールの式は、CLB ツールでタイルの構成を調べることで確認できます。セクション 2.3.6.3 では、追加の情報が各ブロックの回路図として記されています。

2.3.6.3 ロジック・ビュー

以下の図には、セクション 2.3.6.2 と同じ情報が、ロジック回路図レンズを通して示されています。具体的には次のとおりです。

- 図 2-15 と図 2-16 は、論理ゲートを使用する CLB ブロックの内容を示す。
- 図 2-17 は、このロジックを使用して、メイン・ステート・マシンが他のブロックを制御する方法を示す。
- 図 2-18 は、単純な CLB 出力信号を、入力から、いくつかの関連ロジックを通してトレースする。
- 図 2-19 は、クロックから SPI への出力を、Input1 から始まって、LUT_0、FSM_0、Counter_0 を通過して Output_LUT_0 まで、FSM_1 の 3 つの出力により制御されるものとしてトレースする。
- 図 2-20 は、送信イネーブル出力を、Input0 と Input1 から始まって、LUT_0、Counter_0、Counter1、FSM_2 を通過し、FSM_1 の 3 つの出力で制御されるものとしてトレースする。

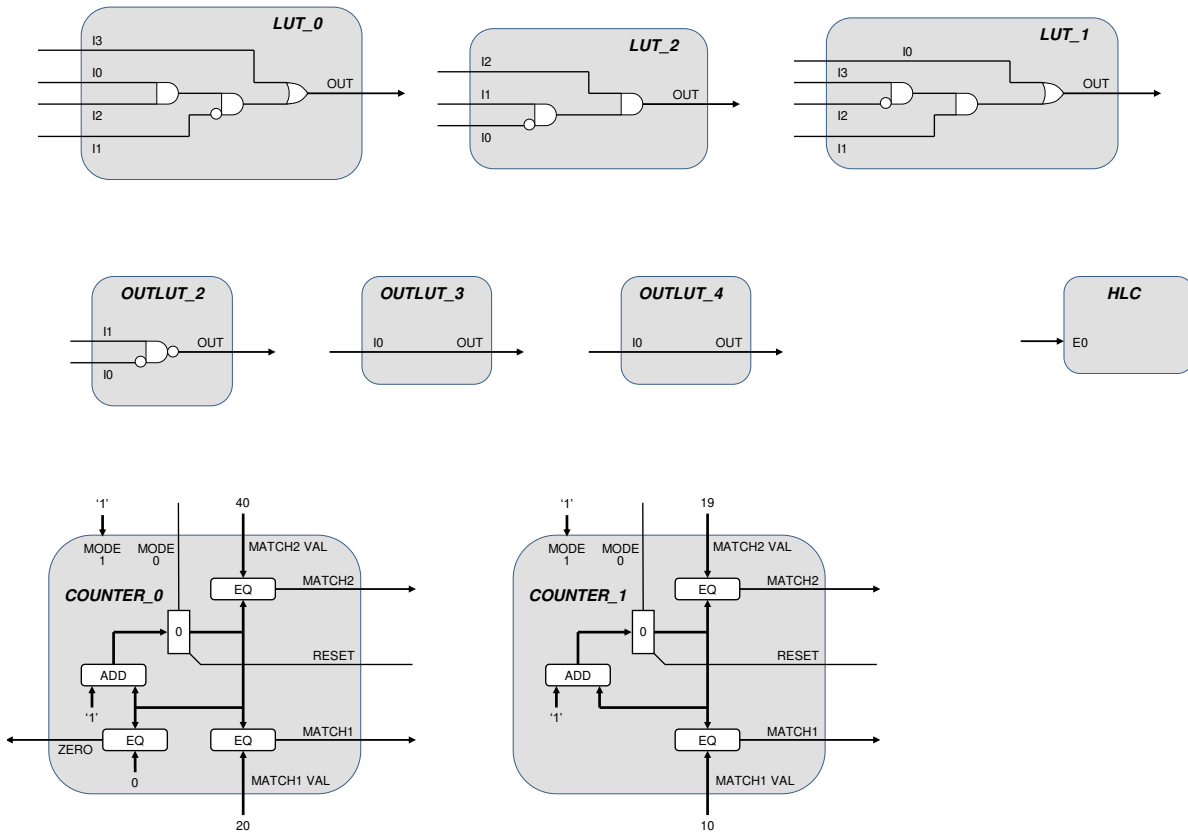


図 2-15. LUT、OUTLUT、カウンタ

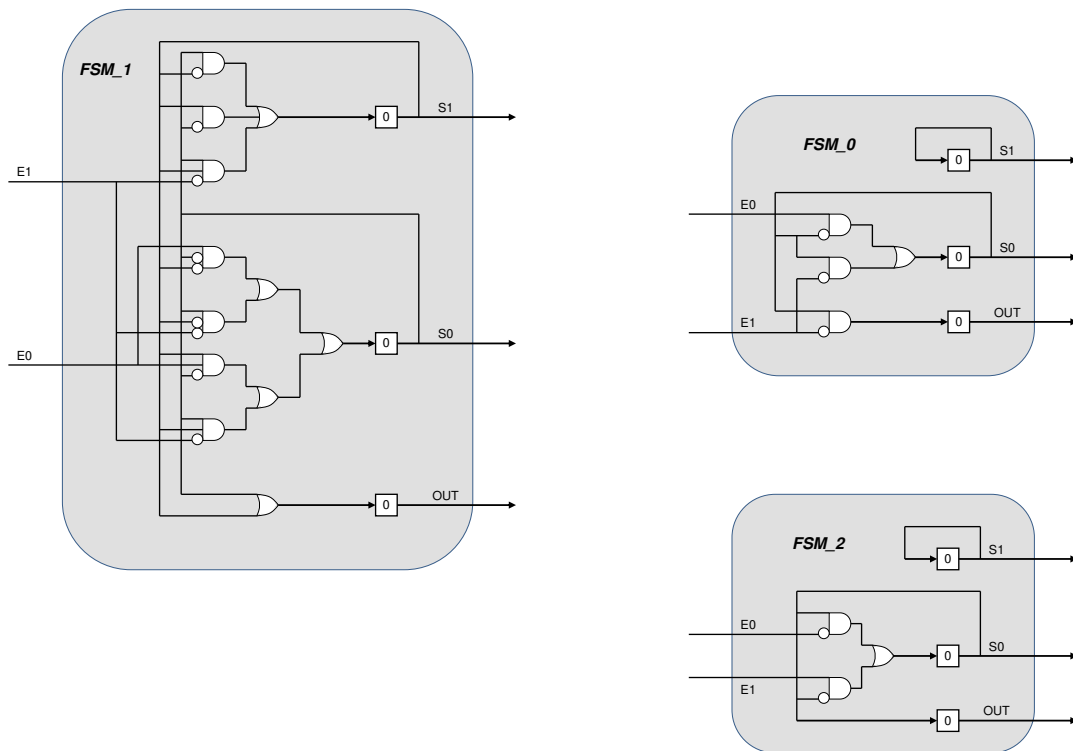


図 2-16. 有限ステートマシン

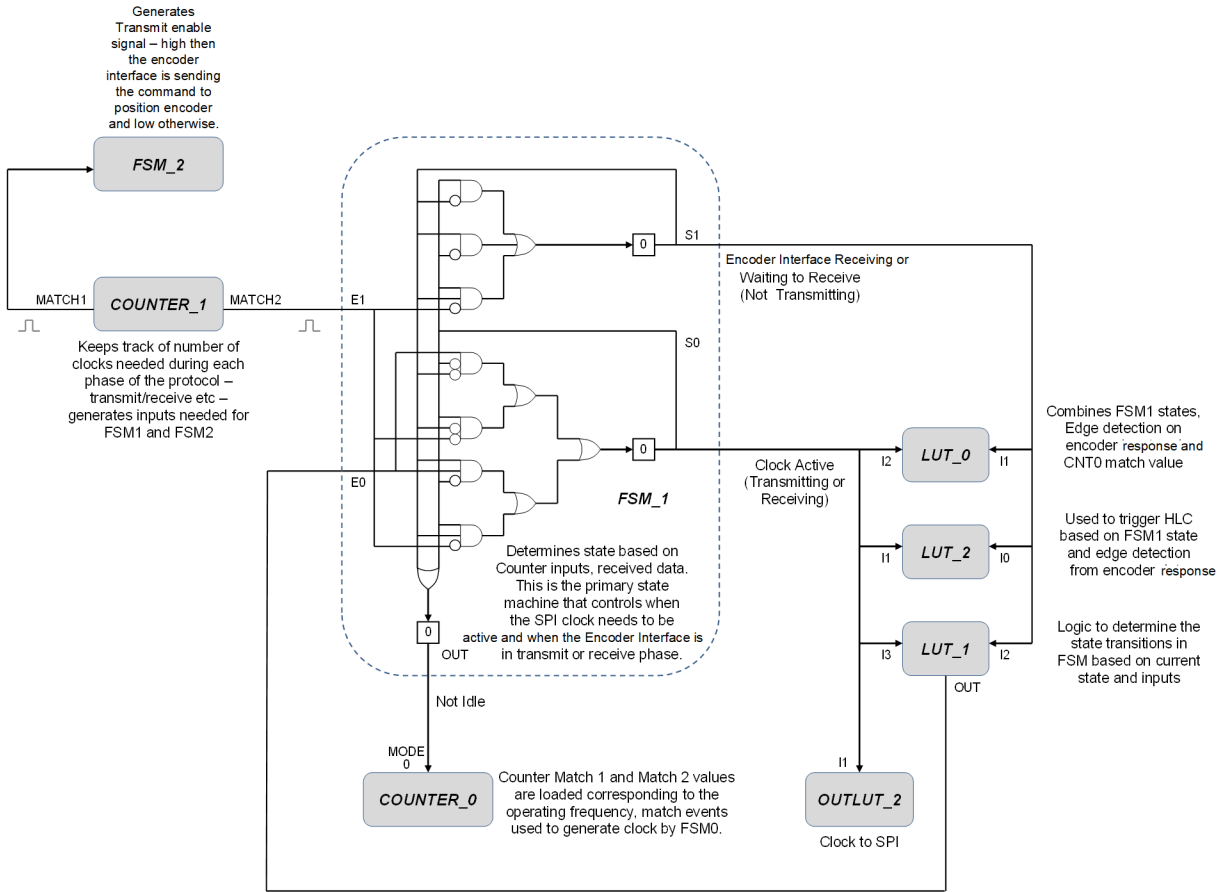


図 2-17. メイン・ステート・マシン

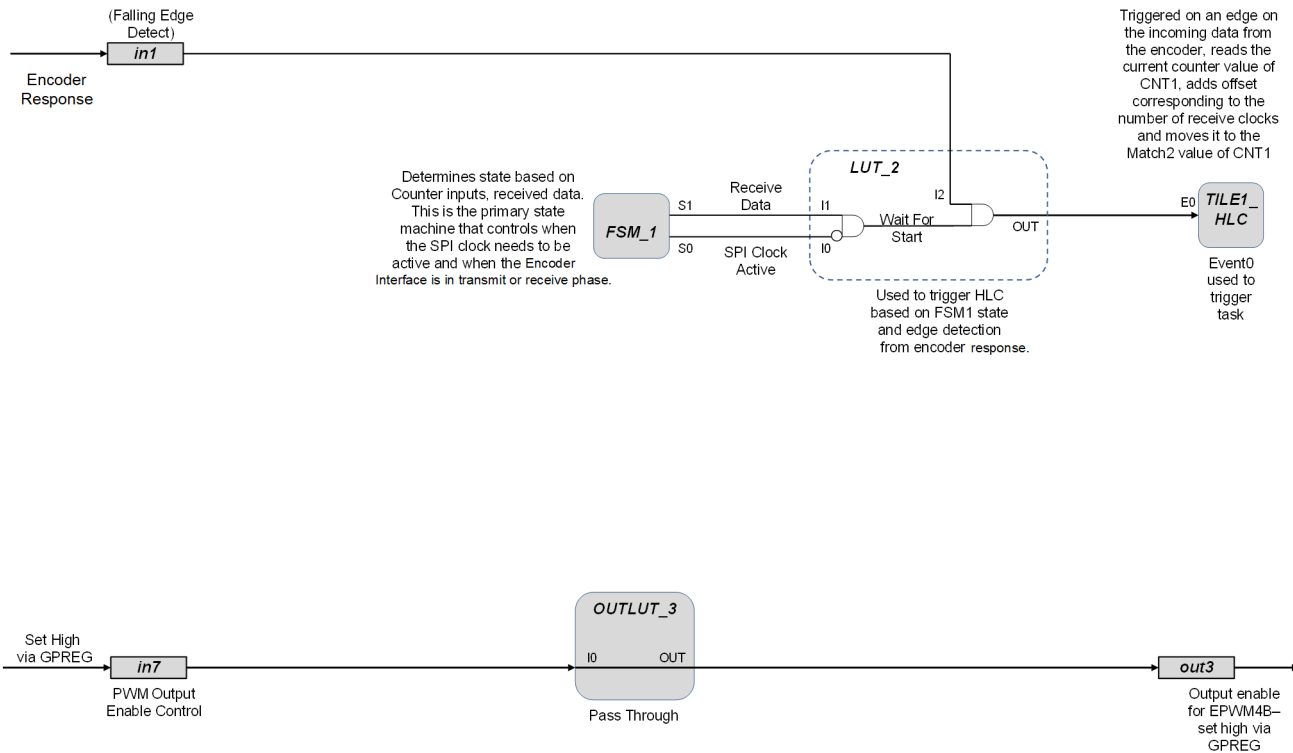


図 2-18. CLB 出力 - HLC Event0 および EPWM 出力イネーブル

注

EPWM 出力をオーバーライドするのは、F2837xD の設計のみです。

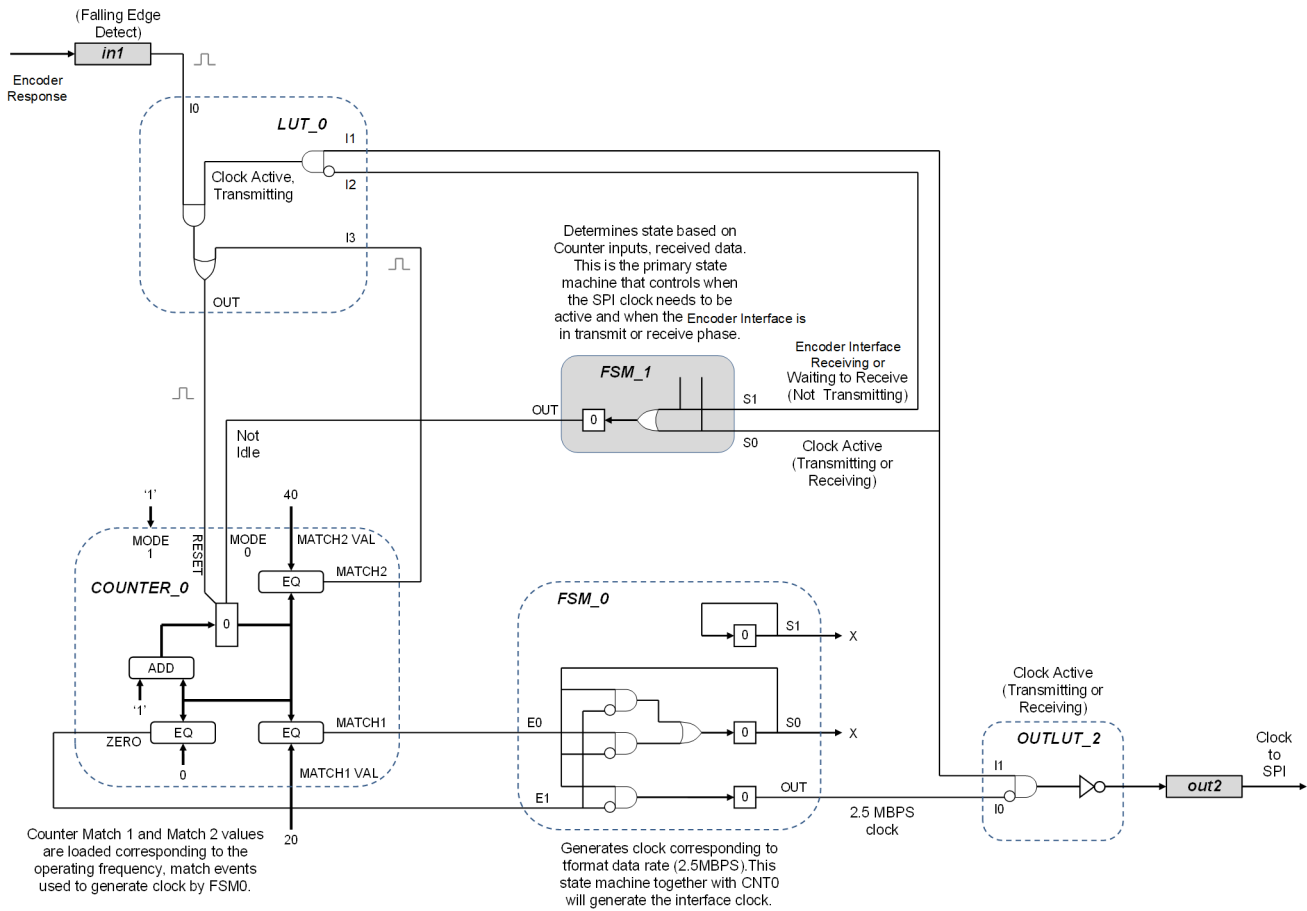


図 2-19. CLB 出力 - クロックから SPI へ

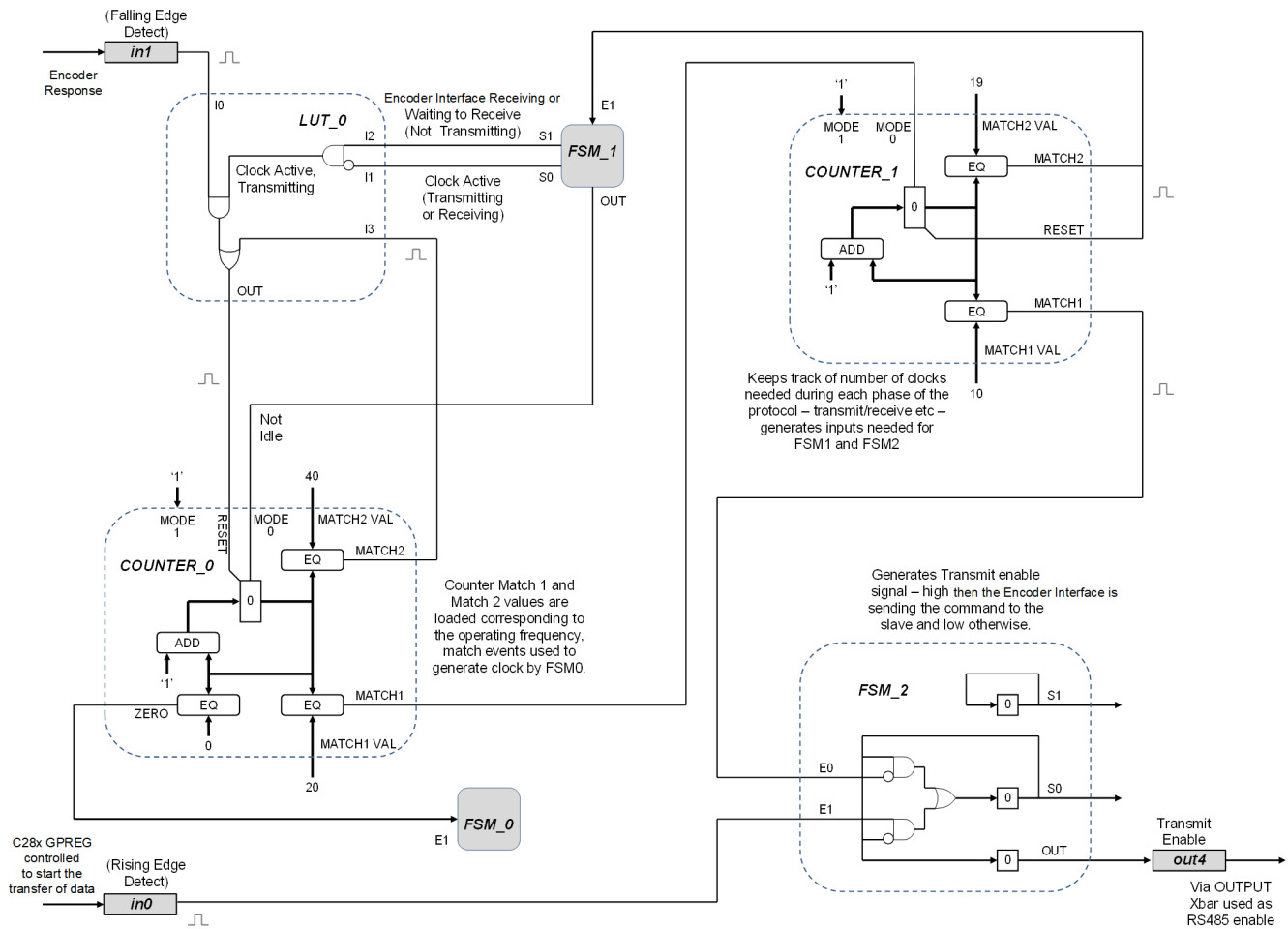


図 2-20. CLB 出力 - RS485 イネーブル

2.3.7 CLB 受信データCRCの実装

セクション 2.3.5.1 で説明しているように、CLB タイプ 2 またはそれ以降では、応答の受信時、または随時応答データの CRC を計算できます。この場合、CRC 計算を実行するため、必要な信号を 2 番目のタイルに接続します。タイル間の接続については、セクション 2.3.5.2 を参照してください。

CRC を生成するには、カウンタをリニア・フィードバック・シフト・レジスタ (LFSR) として構成します。受信したデータは、LFSR のイベント入力に送られます。データが有効な場合、LFSR のイベント入力によってシフトが適用されます。この設計では、シフトを的確に適用できるように、データがいつ有効になるかを知る必要があります。セクション 2.3.1 で示したプロトコルの概要を考慮すると、有効なデータの基準は次のとおりです。

- FRAME_STATE は RECEIVE_DATA
- 現在のビットは、フィールド内の 8 ビット・データの 1 つ。すなわち、開始と区切り文字はスキップされます。図に示すと、図 2-22 のようになります。
- フィールドは CRCField ではありません。CRC は常に、エンコーダの応答で最後のフィールドです。

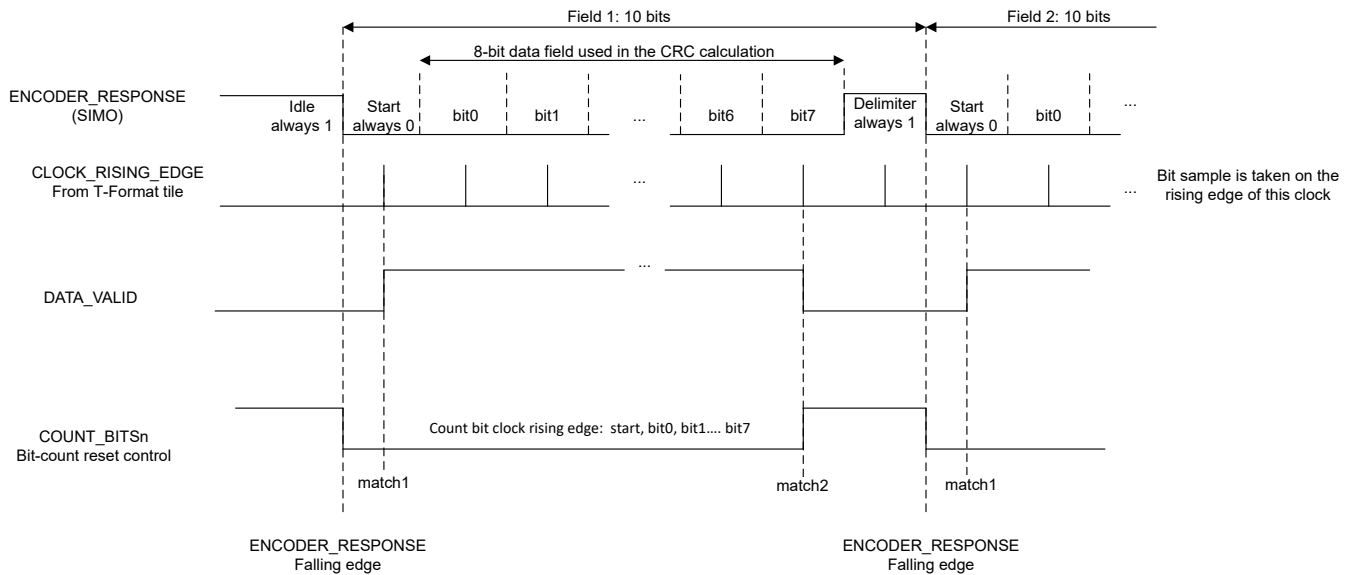


図 2-21. CRC フィールドのデータ有効

この具体的な要件は、表 2-15 に示すように CLB 機能にマップされます。

表 2-15. CRC 生成から CLB へのマッピング

CRC 機能	CLB へのマッピング
8 ビットのデータのみを含める (スタートと区切り記号はスキップする)	COUNTER モジュールで、T フォーマット・フィールド内のビットをカウントします。図 2-21 に示すように、一致する値は最初の有効なビットと最後の有効なビットを示します。次に、FSM はカウンター一致出力に基づいて、シフトが LFSR に適用されるかどうかを決定します。
有効なフィールドのみを含める (CRC をスキップ)	COUNTER モジュールで、RECEIVE_DATA 状態のとき、各フィールドの開始時にインクリメントします。CRCField に達すると、一致出力がアサートされます。
LFSR のシフト (mode0) の制御	LUT を使用して、ビット数とフィールド数に基づいて、データが有効かどうかを判断します。有効なら、LUT は LFSR にシフト・パルスを適用します。

データ ID3 CRC 生成の波形の例を、図 2-22 に示します。CRC タイルの実装を、図 2-23 に示します。サブモジュールの式は、CLB ツールで表示できます。

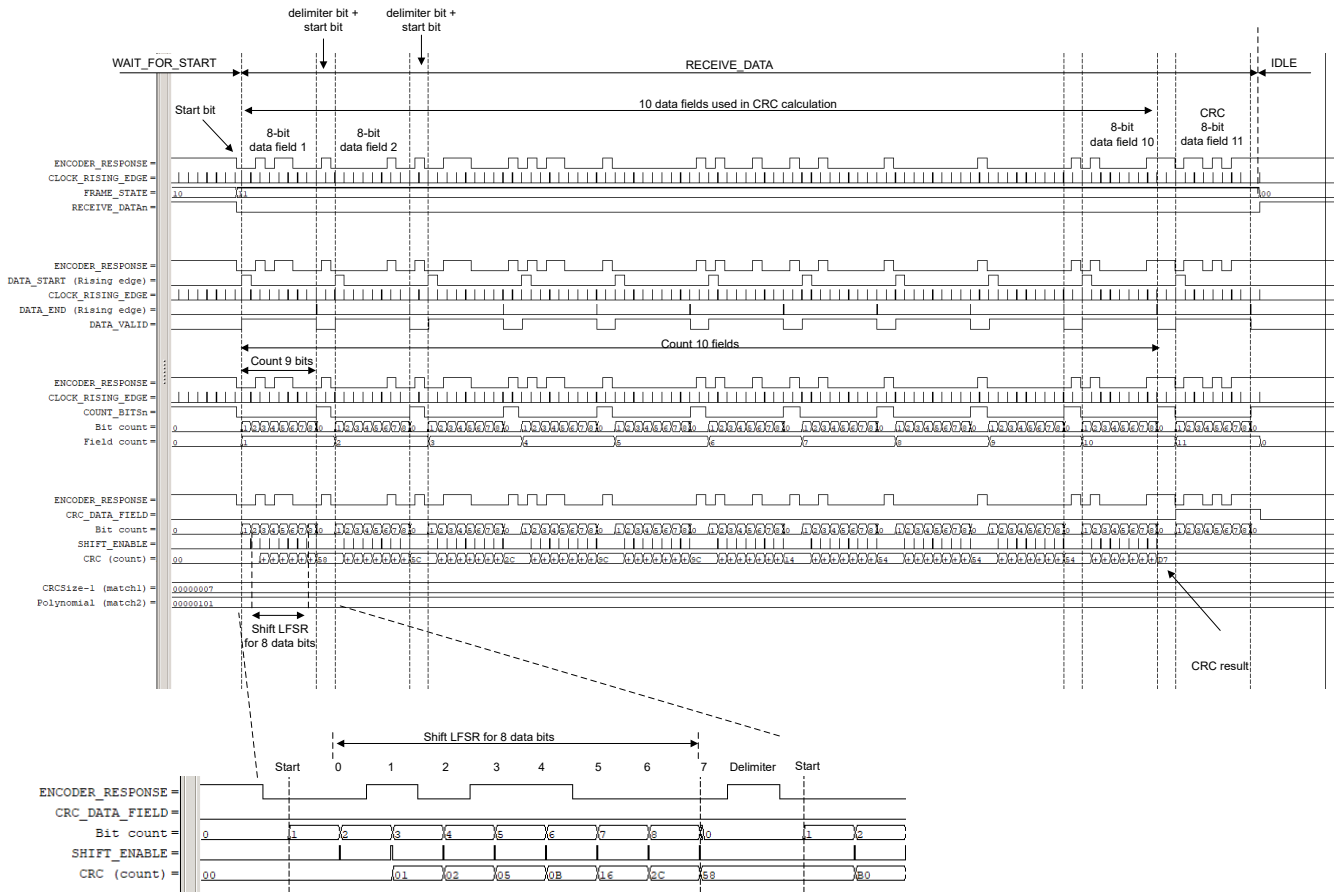


図 2-22. CRC 波形データ ID3

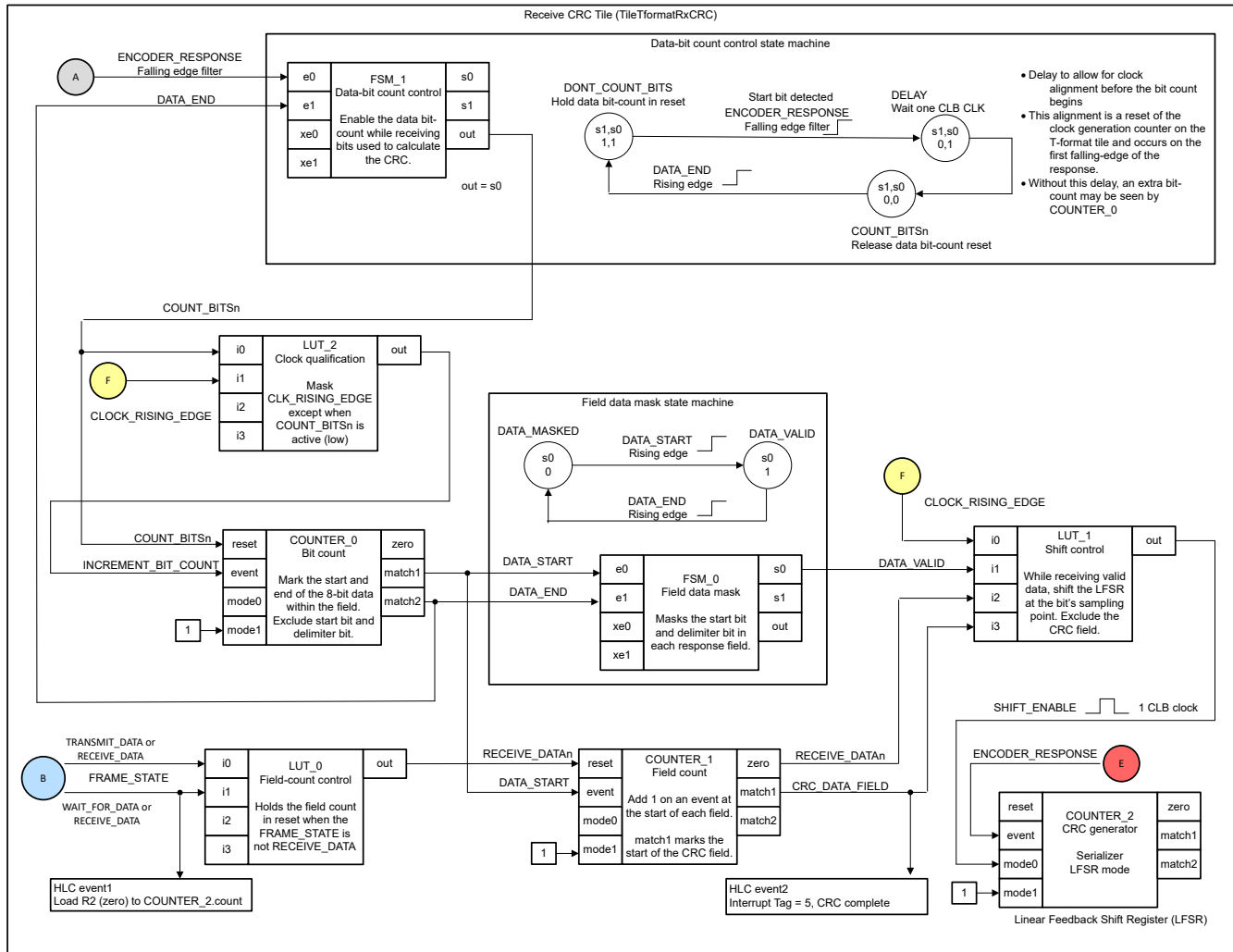


図 2-23. CLB 受信データの CRC 生成タイル

2.3.8 PM T フォーマット・エンコーダ・インターフェイス・ライブラリ

PM T フォーマット・エンコーダ・インターフェイス・ライブラリには、次のものが含まれています。

- セクション 2.3.6 とセクション 2.3.7 で説明されている CLB ロジックの実装。
- 適切に定義されたアプリケーション・プログラミング・インターフェイス (API) により、C2000 デバイスが T フォーマット位置エンコーダと通信可能。

このセクションでは、API が提供する関数の概要について説明します。

2.3.8.1 PM T フォーマットのリファレンス実装コマンド

セクション 2.3.1 で説明されているコマンドは、T フォーマットのリファレンス実装でサポートされています。この例では、いくつかのエラーチェックを行います。機能の追加はシステム開発者に任されています。T フォーマットのプロトコルの詳細は、Tamagawa (多摩川精機) から入手できます。

2.3.8.2 PM T フォーマットのリファレンス実装でサポートされる機能

PM T フォーマット API (アプリケーション・プログラミング・インターフェイス) を使用すると、C28x が T フォーマット・エンコーダと通信できます。API の詳細な説明については、『C2000 T フォーマット・エンコーダ・インターフェイスのソフトウェア・ガイド』(html, pdf) を参照してください。

このソフトウェア・ガイドには、次の資料が含まれています。

- 通信デモ用のプロジェクト
- T フォーマット・アプリケーション・プログラマ・インターフェイス (API)
- 独自のソリューションにライブラリを組み込む
- 以前のバージョンからの移行

API の高レベルの概要を、表 2-16 に示します。

表 2-16. T フォーマットのリファレンス実装の関数

API 関数タイプ	説明
ランタイム関数	
コマンドの設定	特定の要求が送信され、応答が受信されるように、SPI と CLB を設定します。すべての T フォーマット・コマンド (読み出し、リセット、EEPROM コマンド) をサポートしています
動作の開始	この関数は、CLB ステート・マシンの TRANSMIT_DATA への遷移を開始します。これにより、要求の転送が開始されます。
データの受信	エンコーダから受信したデータを T フォーマットのデータ構造体に展開して入力するための、要求固有の関数。
エンコーダ・パラメータの更新	エンコーダから受信したデータに基づいて、位置、回転、エンコーダ ID を更新する関数。
初期化関数	
ペリフェラルの設定	T フォーマット用の SPI、CLB、その他の相互接続 XBAR の設定は、システムの初期化時にこの関数を使用して実行されます。この関数は、システム・リセットのたびに呼び出す必要があります。ペリフェラルの設定関数が呼び出されるまで、T フォーマットのトランザクションは実行されません。
CRC テーブルの生成	C28x がルックアップ・テーブルを使用して CRC を計算する場合にのみ必要です。特定の CRC 多項式 (多項式) に対して、指定されたビット数 (nBits) を持つ 256 個のエントリからなるテーブルを生成します。
周波数の設定	T フォーマット周波数に一致するよう、CLB_SPI_CLK をスケールリングします。スケールリングは CLB クロックに依存します。

3 ハードウェア、ソフトウェア、テスト要件、テスト結果

3.1 ハードウェア

TIDM-1011 で実験を行うには、次のハードウェア・コンポーネントが必要です。

- TIDM-1011 BoosterPack (BOOSTXL-POSMGR とも呼ばれます)
- 外部の 5V DC 電源 (表 1-1 を参照)
- 構成可能ロジック・ブロック (CLB) を持つ C28x デバイスを搭載した、サポート対象の LaunchPad。リストについては、表 2-1 を参照。
- USB-B から A へのケーブル
- Tamagawa 製の T フォーマット絶対エンコーダ、例: TS5700N8501。
- Tamagawa 製の 4 ピン・ケーブル - アプリケーションに必要な長さ (最大 100m)
- Tamagawa 製の 4 ポジション、メス型終端ケーブルをワイヤ・リード・アダプタに接続するためのカスタム・アダプタ
- CCS (Code Composer Studio) v12.0.0 またはそれ以降がインストールされた PC

注

すべての Tamagawa 製絶対エンコーダが、通信に T フォーマットを使用しているわけではありません。提供されるソフトウェアをそのまま使用するには、フォーマットを T フォーマットにする必要があります。

3.1.1 TIDM-1011 のジャンパ構成

Position Manager BoosterPack は、[図 3-4](#) に示すように、LaunchPad サイト 2 に取り付けることを想定しています。TIDM-1011 基板のジャンパ構成を、[図 3-1](#) に示します。

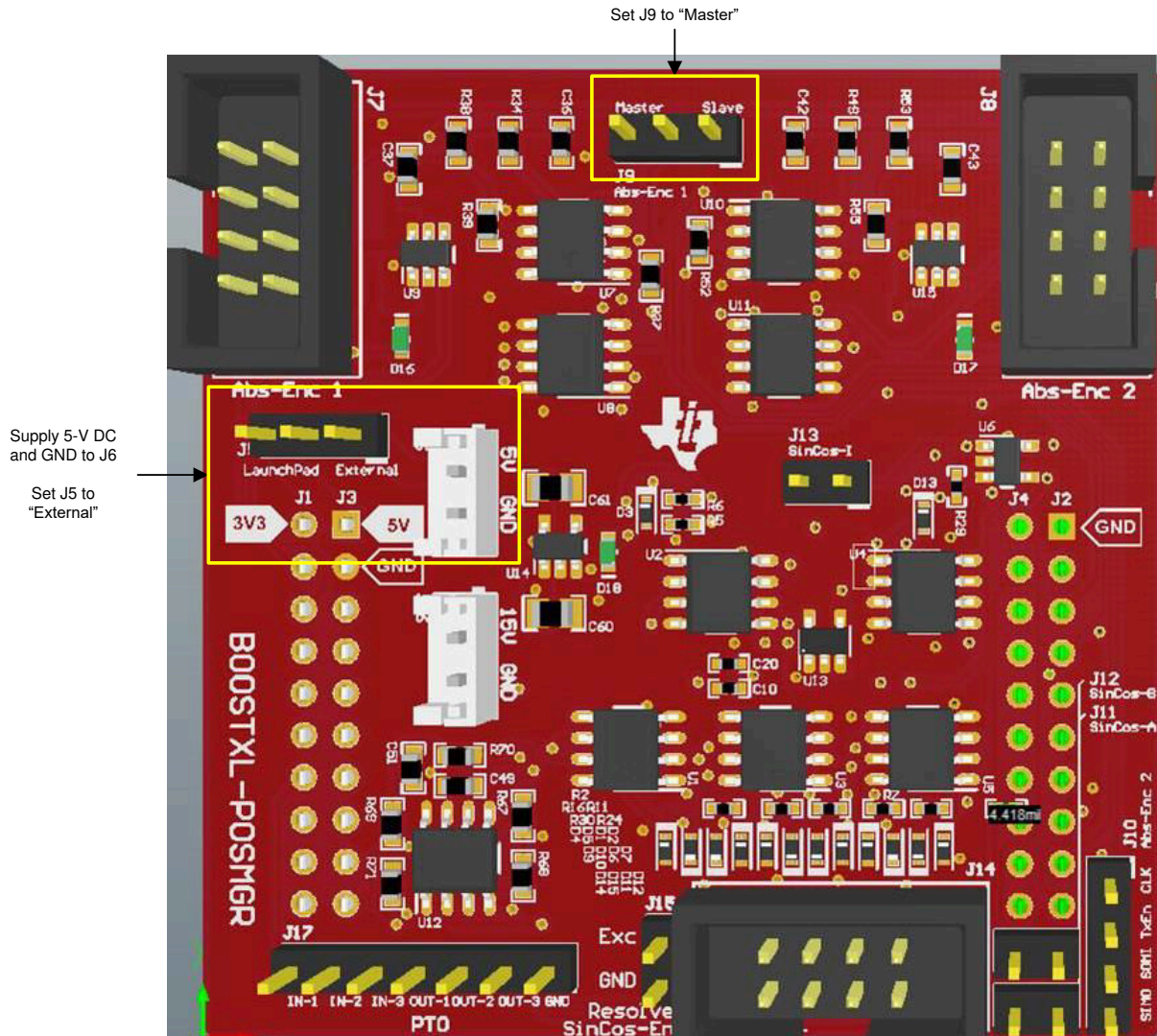


図 3-1. TIDM-1011/Position Manager BoosterPack のジャンパ構成

TIDM-1011 基板のジャンパ構成を、表 3-1 に示します。

表 3-1. TIDM-1011 基板のジャンパの詳細

ジャンパ	機能	位置
J5	TIDM-1011、5V、電源プレーン・ソースの選択	外部 (1)
J9	Abs-Enc-1、マスタ / スレーブ・モードの選択	マスタ (2)
J11	サイン - コサイン、エンコーダ - A 信号イネーブル	オープン
J12	サイン - コサイン、エンコーダ - B 信号のイネーブル	オープン
J13	サイン - コサイン、エンコーダ - インデックス信号のイネーブル	オープン

- (1) この構成では、図 3-1 に示すように、J6 に外部電源を供給する必要があります。
(2) スレーブ・モード・オプションは使用しないでください。このモードの **BootsterPack** ロジックにはエラーがあります。

3.2 ソフトウェア

このセクションでは、TIDM-1011 で使用されるソフトウェアの概要について説明します。包括的なドキュメントについては、『C2000 T フォーマット・エンコーダ・インターフェイスのソフトウェア・ガイド』(HTML、PDF) を参照してください。

このソフトウェア・ガイドには、次の資料が含まれています。

- システム・デモ・コードの資料
- T フォーマット・アプリケーション・プログラマ・インターフェイス (API) の資料
- 独自のソリューションにライブラリを組み込む
- ソリューションを C28x CPU2 に移植するためのガイド
- 変更履歴
- 以前のバージョンのライブラリから移行する方法

このリファレンス・デザインに実装されているソフトウェア・アーキテクチャを、図 3-2 に示します。このソフトウェアは、モジュール形式やポータブルな形式で実装されています。主なコンポーネントには、C2000 ドライバ・ライブラリ、T フォーマット・エンコーダ・インターフェイス・ライブラリ、SysConfig GUI デバイス構成ツール、CLB ツールが含まれています。

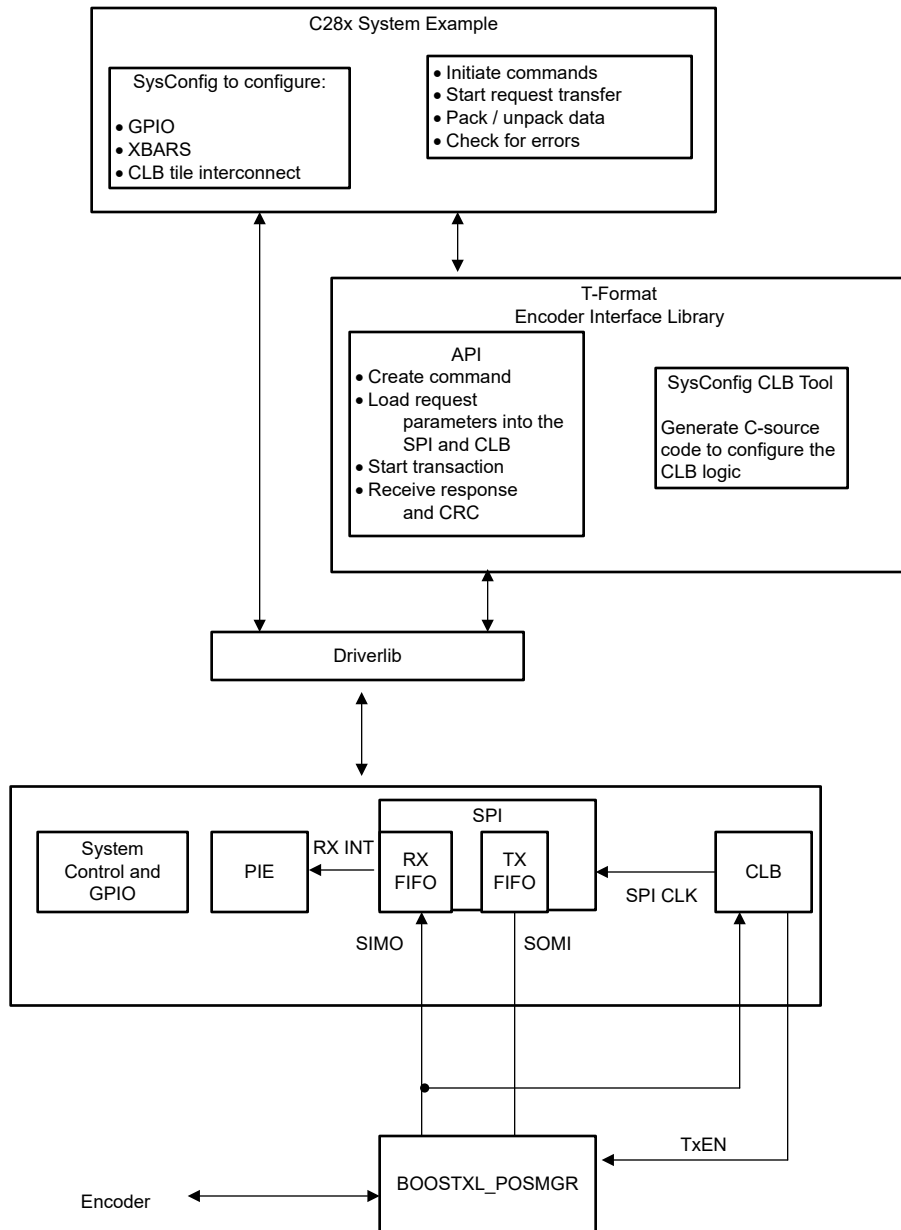
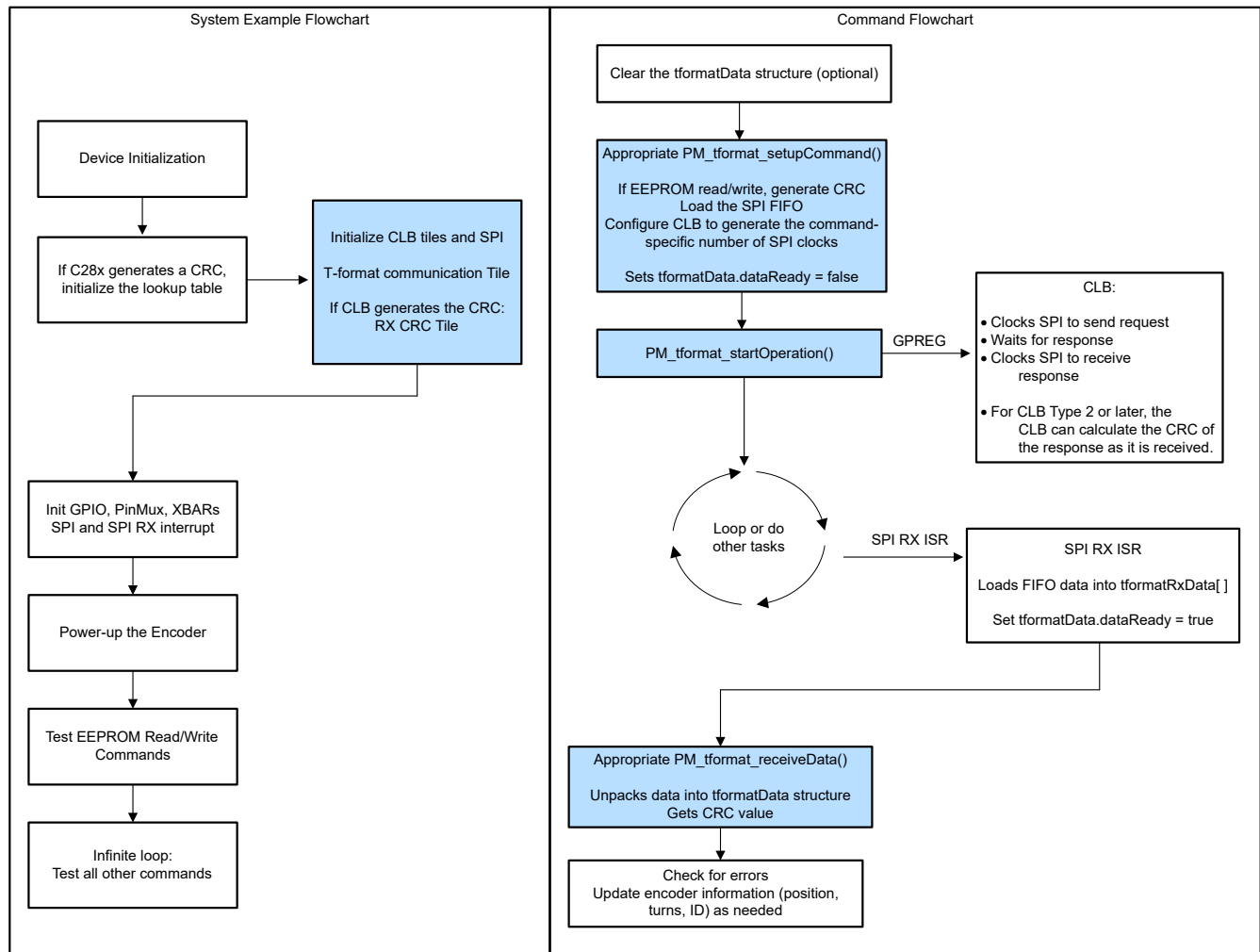


図 3-2. T フォーマットのリファレンス・ソフトウェア・アーキテクチャ

C2000 T フォーマット通信デモのフローチャートを、図 3-3 に示します。サンプル・アプリケーションは、C2000 デバイスの構成、コマンド要求データ・パケットの作成、コマンドの開始、応答の展開、CRC のチェックを行います。



Blue boxes are library functions

図 3-3. T フォーマットのリファレンス・ソフトウェアのフロー図

3.2.1 C2000 ドライバ・ライブラリ (DriverLib)

C2000 ドライバ・ライブラリ (Driverlib) は、C2000 デバイス・ファミリー用の一連の低レベル API です。Driverlib には、メモリ・マップされたペリフェラル・レジスタを構成するための、使いやすい関数呼び出しが用意されています。Driverlib の完全なソースは、C2000Ware および C2000Ware モーター制御 SDK に含まれています。詳細については、『C2000 ソフトウェア・ガイド』の DriverLib のセクションを参照してください。

3.2.2 C2000 SysConfig

C2000 SysConfig は、C2000 リアルタイム制御 MCU を構成するためのグラフィカル・ユーザー・インターフェイス・ツールです。SysConfig は、DriverLib に接続する組込みソフトウェアを自動生成します。このリファレンス・デザインは、SysConfig ツールを使用して、SPI、GPIO、INPUTXBAR/OUTPUTXBAR、CLB MUX を構成するコードを生成します。詳細については、『C2000 アカデミー: SysConfig モジュール』をご覧ください。

3.2.3 C2000 構成可能ロジック・ブロック・ツール

C2000 CLB ツールを使用すると、グラフィカル・インターフェイスを使用して CLB ロジックを構成できます。CLB ツールは、Code Composer Studio に組み込まれている使いやすい GUI で、C2000 SysConfig プラグインを使用します。このリファレンス・デザインでは、設計の説明に記載されているように、CLB ツールを使用して、T フォーマット・エンコーダ・イ

インターフェイスのタイトルを構成します。詳細については、『[C2000 アカデミー:構成可能ロジック・ブロック・モジュール](#)』を参照してください。

3.2.4 Code Composer Studio™ と C2000WARE-MOTORCONTROL-SDK のインストール

1. [CCS v12.0.0](#) またはそれ以降が PC にインストールされていなければ、インストールする。
2. [C2000WARE-MOTORCONTROL-SDK v4.01.00.00](#) またはそれ以降が PC にインストールされていなければ、インストールする。
3. インストール後の手順については、『[C2000 T フォーマット・エンコーダ・インターフェイスのソフトウェア・ガイド](#)』 ([html](#)、[pdf](#)) を参照する。

注

サンプルをビルドするため必要なのは、上記のソフトウェアのみです。CLB ベースのライブラリを再ビルドするには、CLB ツールも必要です。このツールは、Code Composer Studio (sysconfig) と、SDK の C2000Ware サブコンポーネント (サポート・ユーティリティ) に含まれています。CLB ベースのシミュレーションを実行するには、『[CLB ツール・ユーザー・ガイド](#)』に記載されている追加ツールをインストールする必要があります。

3.2.5 リファレンス・ソフトウェアの場所

このリファレンス・デザインに含まれるソフトウェアは、次の 2 つの部分に分けられます。

- T フォーマット・エンコーダ・インターフェイスの使用法を示すサンプル・システム。サンプル・プロジェクトのソース・ファイルの場所を、[表 3-2](#) に示します。
- T フォーマット・エンコーダ・インターフェイス・ライブラリ。ライブラリのソース・ファイルの場所を、[表 3-3](#) に示します。

包括的なドキュメントについては、『[C2000 T フォーマット・エンコーダ・インターフェイスのソフトウェア・ガイド](#)』 ([html](#)、[pdf](#)) を参照してください。

表 3-2. サンプル・システムの場所

C:\ti\c2000\C2000Ware_MotorControl_SDK_[version]\	SDK のデフォルトのインストール場所。 ([SDK])
[SDK]\solutions\boostxl_posmgr\	デバイス固有の基本インストール・ディレクトリ ([pm_base])
[pm_base]\[device]\ccs\format	Code Composer Studio (CCS) の projectspec ファイル。プロジェクトを CCS ワークスペースにインポートするために使用します。

表 3-3. T フォーマット・エンコーダ・インターフェイス・ライブラリの場所

C:\ti\c2000\C2000Ware_MotorControl_SDK_[version]	SDK のデフォルトのインストール場所。 ([SDK])
[SDK]\libraries\position_sensing\format	ライブラリの基本インストール・ディレクトリ ([lib_base])
[lib_base]\ccs\[device]	リファレンス・ライブラリ用の Code Composer の projectspec ファイル。これらのプロジェクトを使用して、各デバイスのライブラリを再ビルドします。

3.3 テストと結果

このセクションでは、テスト手順、結果、ベンチマークについて詳しく説明します。トラブルシューティングのガイドも紹介します。

3.3.1 ハードウェアの構成

1. TIDM-1011 ボードのジャンパ構成が [表 3-1](#) の記述と一致していることを確認する。
2. デバイスが LaunchPad でサポートされている場合は、BoosterPack (ブースタパック) を **LaunchPad サイト 2** に接続します。
 - TIDM-1011 ボードを LaunchPad の正しいサイトに接続します。 [図 3-4](#) に、サイト 2 に接続された BoosterPack の例を示します。
3. 対象デバイスが controlCARD のみ対応の場合、TIDM-1011 は配線により **TMDSHSECDOCK** に接続可能です。

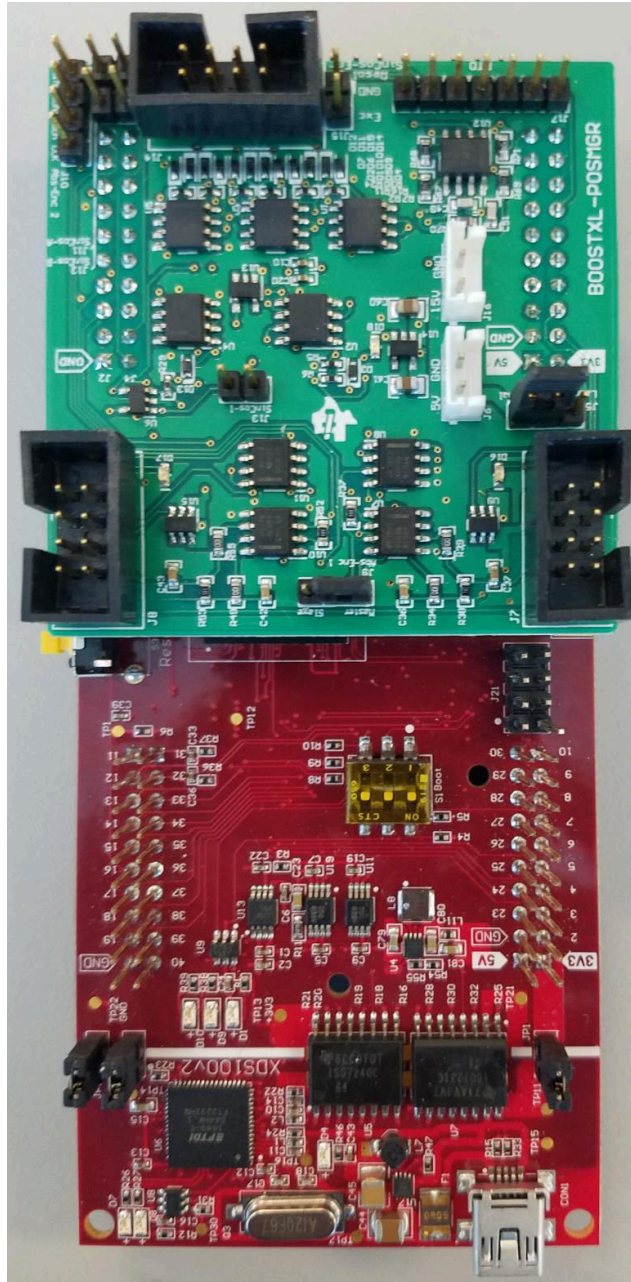


図 3-4. Position Manager BoosterPack™ は LaunchPad™ のサイト 2 に接続される

表 3-4. TMDSHSECDOCK の接続

controlCARD	信号	GPIO	TMDSHSECDOC ピン
F28P551x	SPI PICO	GPIO 24	ピン 75
	SPI POCI	GPIO 25	ピン 77
	パワー イネーブル	GPIO 15	ピン 64
	TxEN	GPIO 7	ピン 56
	CLB_SPI_CLOCK テスト ポイント	GPIO 2 (PWM2A をオーバーライド)	ピン 53

4. USB ケーブルを LaunchPad 開発キットに接続します。
5. エンコーダへの接続を設定する。
 - a. 8 ポジションのメス型コネクタを使用して、Tamagawa ケーブルを T フォーマット インターフェイスに接続するアダプタを用意し、リード アダプタを配線する (エンコーダのコネクタ J7 に使用するヘッダーについては、BOM を参照)。
 - b. 前の手順で作成したアダプタのヘッダーを挿入して、Abs-Enc-1 (J7) に接続する。Tamagawa ケーブルのメス側はエンコーダに接続される。J7 のピン配置を、図 3-5 に示す。

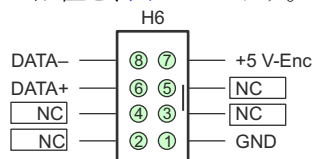


図 3-5. TIDM-1011 基板の Abs-Enc-1 (J7) ピン配置

6. 図 3-1 に示すように、J6 に 5V DC と GND を供給する。基板および接続は 図 3-6 のような状態になります。LED D18 が点灯していることを確認します。これにより、ボードに電源が供給されていることが示されます。

注

一部のエンコーダでは、電源投入時に BoosterPack から十分な電流が得られない場合があります。エンコーダが応答しない場合は、BoosterPack の外部電源をエンコーダに接続してみてください。これを行う場合、共通のグラウンドを BoosterPack に接続します。

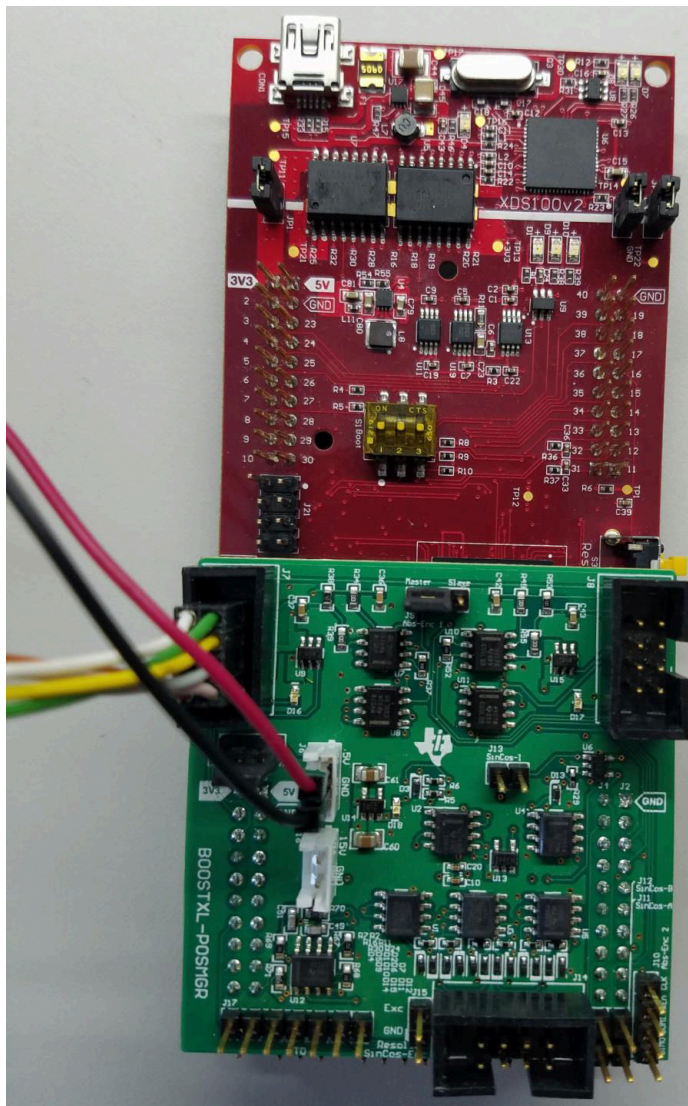


図 3-6. Position Manager BoosterPack の電源がオンで Tamagawa エンコーダに接続されている

3.3.2 プロジェクトのビルドおよびロード

『C2000 T フォーマット・エンコーダ・インターフェイスのソフトウェア・ガイド』(html、pdf) の指示に従い、システム・ソリューションをロードして実行します。ソフトウェア・ガイドの「T フォーマット・システム・ソリューション」セクションを参照してください。

このセクションには、次の手順が記載されています。

- プロジェクトをデバイスの CCS (Code Composer Studio) にインポートする
- ライブラリとサンプル・システムを構成する
- ビルド構成を選択する
- ウォッチ・ウィンドウに値を入力する
- コードを実行する

3.3.3 コードの実行

T フォーマット・システム・ソリューションは、通信専用のデモです。デモはコマンドを送信し、応答を受信して、エラーをチェックします。このパターンは、T フォーマットのコマンドごとに繰り返されます。デモの実行中に、ロジック・アナライザまたはスコープを使用して、MCU の出力信号を監視できます。データ ID 2 とデータ ID D のトランザクション例を、[図 3-7](#) と [図 3-8](#) に示します。

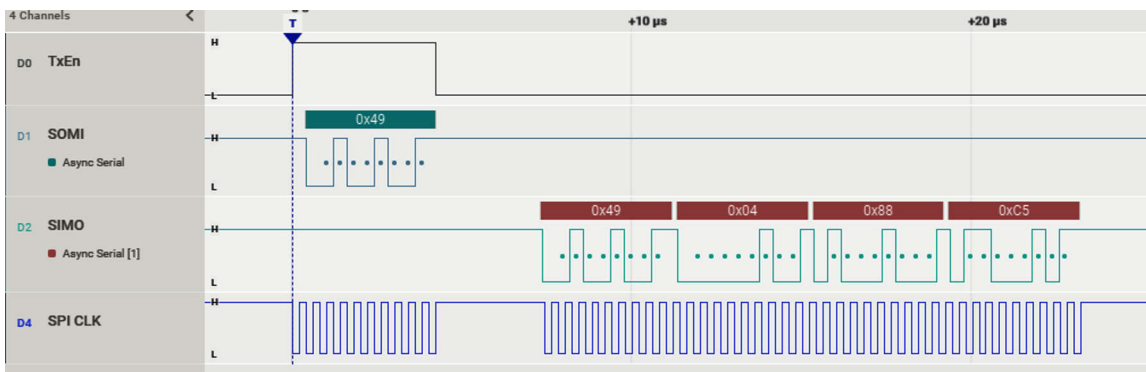


図 3-7. データ ID 2 の波形

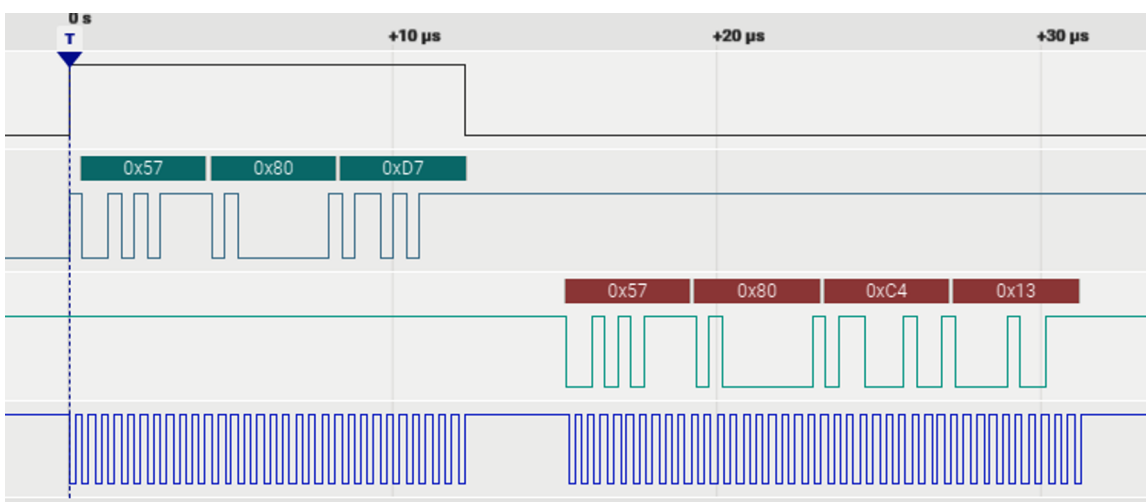


図 3-8. データ ID D の波形

注

F2837xD のみが、CLB で生成される SPI クロックと SPICLK ピンとの間に外部接続を必要とします。その他のデバイスには、CLB と SPICLK の間に内部接続があります。内部接続があるデバイスでは、SPICLK をピンから外に取り出して監視に使用することもできます。SPI CLK のテスト接続を、[セクション 2.3.5.2](#) のデバイス入出力図に示します。

波形を確認します。

1. SPI CLK の周波数は、T フォーマット仕様で必要になる 2.5MHz です。
2. 要求の ControlField は、応答の ControlField と一致します。たとえば、Data ID2 では、ControlField は 0x49 です。サンプル・ソフトウェアはこの一致をチェックし、エラーが発生すると停止します。
3. 要求に基づいて、応答のフィールド数が予測されます。
4. 応答の CRCField (最後のフィールド) は、受信したデータに対して正しいものです。サンプル・ソフトウェアはこれをチェックし、エラーが発生すると停止します。
5. エンコーダの仕様に基づいてエンコーダ ID を確認します。
6. 最大 100m の長さの異なるケーブルを試し、波形の変化を観察します。要求と応答の間の時間のみが変化するの
が、期待される結果です。

モーターまたはエンコーダのシャフトを手動で回します。

1. シャフトを一方方向に回します。ウォッチ・ウィンドウ内の位置と回転数が変化することに注目してください。
2. シャフトを反対方向に回します。反対方向の位置と回転数の変化を観察してください。

3.3.4 ケーブル長の検証

各種エンコーダを使用するテストを、[表 3-5](#) に示します。ケーブル長のテストが行われます。テストには、基本的なコマンド・セットの実行と読み取り位置の値が含まれ、該当する場合は追加のデータも含まれます。

表 3-5. ケーブル長テストレポート

エンコーダ名	タイプ	分解能 (ビット数)	ケーブル長 ⁽¹⁾ (m)	最大 T フォーマット・クロック	テスト結果
TS5702N40	ロータリー	17 ビット	70m	2.5Mbps	合格
TS5700N8501	ロータリー	24 ビット	70m	2.5Mbps	合格

(1) 一部のエンコーダでは、最大 100m のケーブル長もテストされています。

3.3.5 ベンチマーク

T フォーマットのライブラリ関数を RAM から実行するために必要な C28x CPU サイクル数を、[表 3-6](#) に示します。このデータの収集には、次のツールと設定を使用しています。

- C2000 Codegen ツール V22.6.0.LTS
- float_support: fpu32
- tmu_support: tmu0
- fp_mode: relaxed
- abi: eabi

表 3-6. サイクル数ベンチマーク

機能	CRC 計算 ⁽¹⁾	サイクル数: -O2 -mf2	
		VCRC による TX CRC ⁽²⁾ CLB による RX CRC ⁽³⁾	C28x ルックアップ・テーブルによる TX と RX の CRC ⁽⁴⁾
setupCommandReadEEPROM	送信	266	264
setupCommandWriteEEPROM	送信	280	291
setupCommandReadoutOrReset	該当なし	231	222
spiRxlSR	該当なし	418	418
startOperation	該当なし	19	14
receiveDataID0_1_7_8_C	受信	41	118

表 3-6. サイクル数ベンチマーク (続き)

機能	CRC 計算 ⁽¹⁾	サイクル数:-O2 -mf2	
		VCRC による TX CRC ⁽²⁾ CLB による RX CRC ⁽³⁾	C28x ルックアップ・テーブルによる TX と RX の CRC ⁽⁴⁾
receiveDataID2	受信	35	81
receiveDataID3	受信	64	218
receiveDataID6	受信	57	101
receiveDataIDC	受信	53	97
updateEncoderID	該当なし	1	1
updatePositionsOrTurns	該当なし	18	18

- (1) 示されている関数は、送信または受信データの CRC を計算します。「該当なし」は、この関数が CRC 計算を必要としないことを示します。
(2) C28x CPU の VCRC 拡張機能により、送信データの CRC が計算されます。
(3) 応答が受信されると、CLB は受信データの CRC を計算します。この方法は、追加の CLB タイルを使用し、CLB タイプ 2 以降が必要です。
(4) 送信と受信のどちらの CRC も、ルックアップ・テーブルを使用して C28x により計算されます。

各ライブラリ・ソース・ファイルに対応するコード・サイズを、16 ビット・ワード単位で表 3-7 に示します。C28x ルックアップ・テーブルは 256 ワードの RAM またはフラッシュを必要としますが、このテーブルには反映されていません。

表 3-7. 16 ビット・ワード単位のコード・サイズ

ソース・ファイル	コード・サイズ:-O2 -mf2	
	TX CRC: VCRC RX CRC: CLB	TX と RX の CRC: C28x ルックアップ・テーブル
pm_tformat_source	936	923
clb_config	480	246
pm_tformat_crc	26	148
pm_tformat_crc_vcrc	14	該当なし

3.3.6 トラブルシューティング

次の波形を調べると、トラブルシューティングに役立つことがあります。設計の説明に記載されている I/O 図を参照してください。

- CLB で生成される SPI クロック。
 - SPI からの出力データ。これはエンコーダへの要求です。
 - SPI への入力データ。これは応答です。
 - TxEN 信号。要求の送信中は、この信号が High になっている必要があります。
 - RS485 ライン・ドライバとエンコーダの間のエンコーダ・データ信号 (D+/D-)。注: このデータは差動信号です。したがって、観察には特別なプローブが必要です。
1. SPI が要求を送信しない場合:
 - SPICLK と CLB の間の接続を確認します。CLB は SPI CLK を駆動します。この接続は、F2837xD を除くすべてのデバイスにおいて、MCU の内部で実行できます。F2837xD では、外部で接続する必要があります。
 - コマンドのセットアップ後と、動作の開始後に、SPI レジスタを観測します。SPI がクロックを受信すると、RX FIFO レベルが上昇する一方で、TX FIFO レベルは低下します。
 2. エンコーダが応答しない場合:
 - 要求の送信中、TxEN が High であることを確認します。
 - SPI クロック周波数を確認します。エンコーダが応答するには、クロック周波数が 2.5MHz になっている必要があります。クロックが 2.5MHz ではない場合、サンプル・システムのヘッダー・ファイルで周波数構成 (TFORMAT_FREQ_DIVIDER) を確認します。
 - エンコーダに正しく電源が供給されていることを確認します。場合によっては、LaunchPad がエンコーダに必要な電流を供給できないことがあります。全てのグラウンドが互いに接続されていることを確認してから、エンコーダに別々に電源の供給を試みてください。
 3. 送信時に SPI CLK が観測されるが、応答時に観測されない。
 - エンコーダがテスト用ハードウェアに接続されていることを確認します。

- 設計を変更した場合:
 - 応答ピンが正しい **CLB** タイルと、そのタイルの正しい入力に配線されていることを確認します。**CLB** はエンコーダの応答を検出する必要があります。その後でのみ、**CLB** は **CLB_SPI_CLK** を生成します。
 - **CLB** が **SPI CLK** を内部で駆動している場合、タイルおよびタイル出力イネーブルが正しいことを確認します。特定の **SPI** モジュールにアクセスできるのは、特定のタイルのみです。これはデバイスによって変化することがあります。

4 設計ファイル

設計ファイルをダウンロードするには、[TIDM-1011](#) のプロダクト・ページを参照してください。

5 関連資料

設計開始の手引き

1. テキサス・インスツルメンツ、『[C2000 T フォーマット・エンコーダ・インターフェイスのソフトウェア・ガイド](#)』([html](#)、[pdf](#))。
2. テキサス・インスツルメンツ、『[C2000 アカデミー](#)』、C2000 デバイスに関する広範なトピックを取り扱った、使いやすいトレーニング モジュールがあります。
3. テキサス・インスツルメンツ、『[C2000 アカデミー:CLB モジュール](#)』
4. テキサス・インスツルメンツ、『[C2000 ソフトウェア・ガイド](#)』には、C2000 ソフトウェア、ソフトウェア開発キット、開発ツールの概要が記載されています。
5. テキサス・インスツルメンツ、『[C2000 リアルタイム制御 MCU ペリフェラル・リファレンス・ガイド](#)』 CLB タイプは、特定の実装で使用されている機能セットを示します。特定の C2000 MCU の CLB タイプの情報は、デバイスのデータシートと、このリファレンス・ガイドに記載されています。
6. テキサス・インスツルメンツ、『[C2000 デバイスの CRC エンジン](#)』

リファレンス・デザイン

1. テキサス・インスツルメンツ、『[DesignDRIVE 開発キット IDDK v2.2.1 - ユーザー・ガイド](#)』
2. テキサス・インスツルメンツ、『[DesignDRIVE 開発キット IDDK v2.2.1 - ハードウェア・リファレンス・ガイド](#)』
3. テキサス・インスツルメンツ、『[C2000 DesignDRIVE](#)』、産業用ドライブとモーター制御用のソフトウェア
4. テキサス・インスツルメンツ、『[C2000 Position Manager SINCOS ライブラリ](#)』、ユーザー・ガイド

5.1 商標

C2000™, BoosterPack™, LaunchPad™, and テキサス・インスツルメンツの™ are trademarks of Texas Instruments. すべての商標は、それぞれの所有者に帰属します。

6 用語

ABSx	T フォーマットの仕様から。ABS0:ABS1:ABS2 は 1 回転の絶対位置データです。
ABMx	T フォーマットの仕様から。ABM0:ABM1:ABM2 は複数ターンのデータです。
ADF	T フォーマットの仕様から。EEPROM の読み取り / 書き込みに使用されるアドレス・データ・フィールド。
ALMC	T フォーマットの仕様から。エンコーダ誤差フィールド。
BOOSTXL-POSMGR	Position Manager BoosterPack を参照
C28x	C28x CPU コアを搭載したデバイスを指します。
CF	T フォーマットの仕様から。ControlField。すべての要求と応答で最初のフィールドになります。
CLB	構成可能ロジック・ブロック
コマンド (または要求)	エンコーダ・インターフェイスからエンコーダに送信されます。このコマンドは、エンコーダから返される情報を決定します。
CPLD	複雑なプログラマブル・ロジック・デバイス
CRC	巡回冗長性検査。T フォーマットは多項式 $X^8 + 1$ を使用します。
データ ID コード	T フォーマットの仕様から。特定の T フォーマット要求を識別する 4 ビットのコード + パリティ。
区切り文字	T フォーマットの仕様から。各フィールドの最後に 1 ビットで、常に 1。
DFx	T フォーマットの仕様から。応答内の DataField。使用されるフィールドとその内容は、要求によって異なります。
EDF	T フォーマットの仕様から。EEPROM データ・フィールド。EEPROM の読み取り / 書き込みに使用されます。

エンコーダのインターフェイス	C2000 リアルタイム MCU のようなコントローラで、絶対エンコーダの通信プロトコルへのインターフェイスを実現するロジック。
ENID	T フォーマットの仕様から。エンコーダ ID。
フィールド	T フォーマットの仕様から。要求または応答は、1 つまたは複数の 10 ビット・フィールドで構成されます。
FPGA	フィールド・プログラマブル・ゲート・アレイ
PM_tformat	すべてのエンコーダ・インターフェイスのリファレンス実装関数に使用される接頭辞。PM は Position Manager の略です。
Position Manager BoosterPack (BOOSTXL-POSMGR)	TIDM-1011 基板は C2000 Position Manager BoosterPack プラグイン・モジュールと同じです (セクション 2.3.3 を参照)。
要求	コマンドを参照
シンク・コード	T フォーマットの仕様から。ControlField (CF) の開始ビットの直後にある 0、1、0 の固定パターン
SF	T フォーマットの仕様から。StatusField。
SPI	シリアル・ペリフェラル・インターフェイス。
スタート・ビット	T フォーマットの仕様から。すべての T フォーマット・フィールドの先頭にある 1 ビットで、常に 0。
以後の電子機器	T フォーマット・エンコーダ・インターフェイス + コントローラの実装
T フォーマット	Tamagawa (多摩川精機) 製の絶対エンコーダで使用される通信プロトコル仕様

7 著者について

Lori Heustess は、長年にわたって C2000 チームのメンバーを務めてきました。氏の関心分野は、CPU とペリフェラルの検証、ソフトウェア開発、産業用アプリケーションです。氏は現在、C2000 産業用アプリケーション・チームで仕事をしています。

Subrahmanya Bharathi Akondy は、いくつかの C2000 MCU 製品と制御ペリフェラルのアーキテクチャ定義と設計に取り組んできました。氏の関心分野は、MCU のアーキテクチャ、アプリケーション、設計の側面です。

Sheena Patel は、C2000 MCU グループの産業用ドライブ・チームで、プロダクト・マーケティング・エンジニアとして従事しています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (July 2023) to Revision F (March 2026)	Page
• TMS320F28P55x 用の LaunchPad を追加.....	1
• 「アプリケーション」セクションのテキストおよびリンクを更新。.....	1
• 「サポートされるデバイスと LaunchPad」表に TMS320F28P55x および TMS320F28P551x のサポートを追加。...	5
• 「デバイスごとの入出力とタイルの概要」表を更新し、F28P55x および F28P551x を追加	14
• BOOSTXL_POSMGR での F28P55x および F28P551x の入力、出力、CLB の使用法を追加	14
• 「TMDSHSECDOCK 接続」表を追加	42
• どの LaunchPad サイトを使用するかを明確にするため、表現を変更.....	42

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月