

Design Guide: TIDA-010133

ハイインピーダンス、500MHz 帯域幅オシロスコープのアナログ フロント エンドのリファレンス デザイン



説明

デジタル ストレージ オシロスコープ (DSO) などの高帯域幅データ アクイジション システムでは、アナログ フロント エンド (AFE) 信号チェーンが、広い範囲の信号を測定するための広い (-3dB) 帯域幅、測定された信号の負荷を防止するオプションの高い入力インピーダンス、信号対雑音比 (SNR) の劣化を防止するための優れた歪み性能を備えている必要があります。AFE の一般的な実装には通常、複雑なディスクリート設計、またはカスタム フロント エンド ASIC の開発が必要です。このリファレンス デザインにより、性能を犠牲にせずに、よりシンプルでコスト効率の優れた AFE を実現します。

リソース

TIDA-010133

デザイン フォルダ

BUF802、LMH6518

プロダクト フォルダ

OPA2140、LMH6552

プロダクト フォルダ

DAC80508、TPL0102

プロダクト フォルダ

TLV3605

プロダクト フォルダ

特長

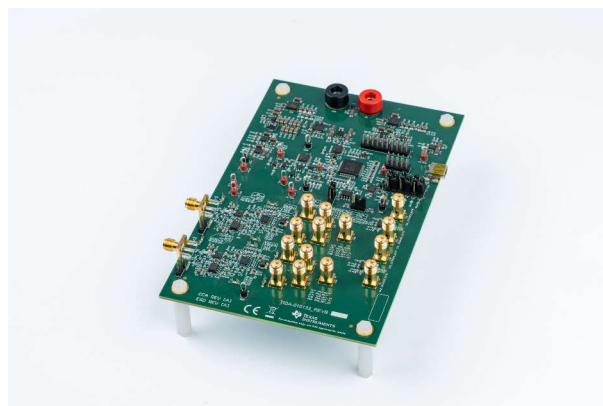
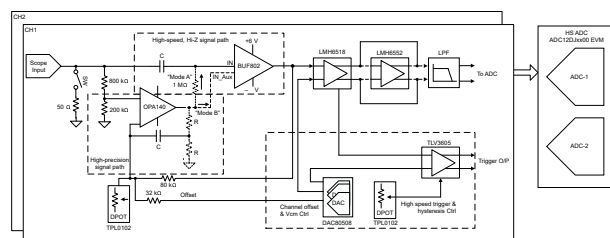
- 500MHz の入力帯域幅
- インピーダンス (50Ω または 1MΩ) を選択可能
- DC/AC 結合をサポート
- 40dB プログラマブル ゲインの広いダイナミック レンジ
- トリガ機能をサポート
- オフセット制御と同相モード制御向けの高精度 DAC
- TI の高速 ADC 評価基板をサポートする SMA コネクタ

アプリケーション

- オシロスコープ (DSO) - 卓上型
- デジタイザ (50MSPS 以上)
- 高精度マルチファンクション入出力 DAQ



テキサス・インスツルメンツの™ E2E サポート エキスパートにお問い合わせください。



1 システムの説明

このリファレンス デザインでは、デジタル ストレージ オシロスコープ (DSO) やデジタイザなどの最終製品向けに、接合部ゲート電界効果 (JFET) 入力段を備えた開ループ ユニティ ゲイン バッファである BUF802 を活用した AFE 信号路の実装方法を示します。このガイドの設計における仕様には、DC 500MHz の帯域幅、選択可能な入力インピーダンス (1M Ω または 50 Ω)、入力および出力での AC および DC 結合のサポートが含まれていますが、これらに限定されません。

このリファレンス デザインで使用している他の主要なデバイスはいくつかあります。LMH6518 はデジタル制御可変ゲイン アンプ (DVGA) であり、40dB のダイナミック レンジに加え、補助出力や過電圧クランプなどの追加機能を搭載しています。DAC80508 は、16 ビット、8 チャンネル、バッファ付き電圧出力の D/A コンバータ (DAC) であり、オフセット、トリガ リファレンス、キャリブレーション、同相電圧制御に使用されています。

1.1 主なシステム仕様

表 1-1. 主なシステム仕様

パラメータ	仕様
入力チャンネル	2
入力タイプ	シングル エンド
入力インピーダンス	1M Ω または 50 Ω
出力タイプ	AC または DC カプリング
アナログ帯域幅	DC - 500MHz
最大入力電圧	1Vpp
最大システム ゲイン	40dB
ダイナミック レンジ	40dB
システム SNR	66dB
システム ENOB	10.6
動作温度	25°C
トリガの伝搬遅延	800pS
トリガの立ち上がり / 立ち下がり時間	350pS

2 システム概要

2.1 ブロック図

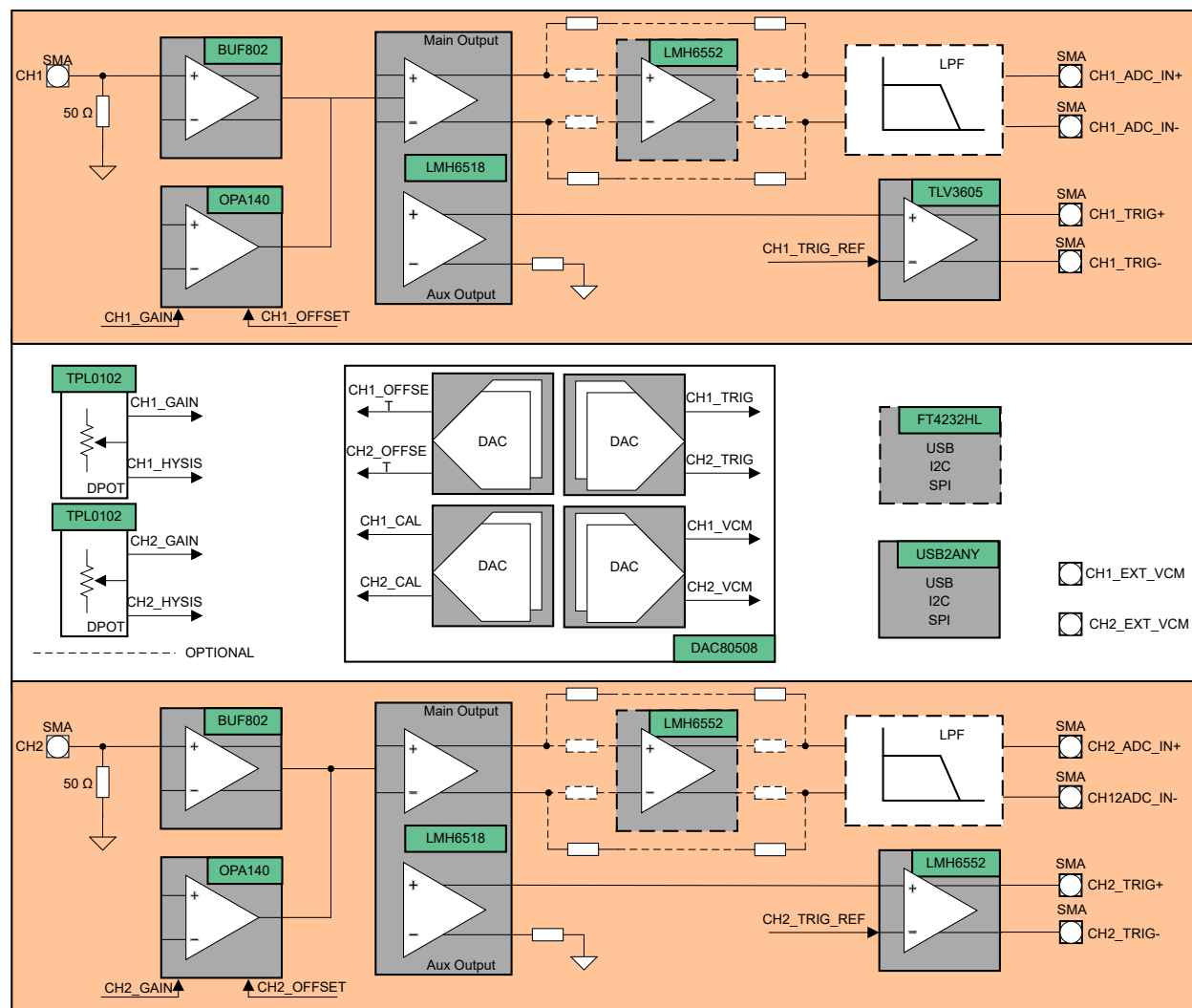


図 2-1. ブロック図

2.2 設計上の考慮事項

サブシステム ブロック図を 図 2-1 に示します。

マルチチャネルのデジタル ストレージ オシロスコープには、広帯域 AFE、広いダイナミックレンジ (SFDR)、高 SNR、低いチャネル間スキューを特長とする信号チェーンが必要です。ほとんどの高速オシロスコープは、波形の可視化のために 8 ビットの垂直分解能を使用しますが、技術的な進歩により、新世代のオシロスコープでは 12 ビット以上の分解能が必要になります。200MHz ~ 5GHz の範囲のアナログ帯域幅には、5 ~ 数百 GSPS のサンプリングレートが必要です。

通常、オシロスコープには、幅広い組込みディスプレイと高度なトリガ機能が搭載されており、高速デジタル システム、高速シリアル プロトコル、レーダー / 広帯域通信システムのデバッグに必要なプローブ機能も搭載されています。

デジタル オシロスコープとは対照的に、高速広帯域デジタイザはより高い分解能と広いダイナミックレンジを必要とします。通常、これらのシステムは最小レベルのフロント エンド減衰を搭載しており、最大入力範囲も制限されます。キャプチャされたデータは、高速マルチレーン PCIe バスまたは高速 SERDES インターフェイス経由でコントローラに転送されま

す。後処理後、結果は周波数ドメインに表示されます。ほとんどの解析はアプリケーション ソフトウェアで実行され、コントローラで表示されるため、オシロスコープで使用する組み込みディスプレイは必要ありません。デジタイザは、ATE アプリケーションや高密度マルチチャネル システムに役立ちます。高度なトリガとユーザー プログラマビリティが追加されたため、デジタイザを広帯域オシロスコープとして使用し、その逆も行えます。

2.3 システム設計理論

2.3.1 アナログ フロントエンド

DSO の AFE は、測定された数量を乱さずに電圧信号を測定します。高周波信号と高速過渡パルスを実際にキャプチャするために、AFE には広い帯域幅を持ち、 50Ω と高入力インピーダンスの両方をサポートし、優れた SNR および歪み性能を実現する高性能信号チェーンが必要です。

高入力インピーダンス モードを必要とするシステムでは、通常、カスタム フロントエンド ASIC またはディスクリート JFET 実装の 2 つの方法のいずれかに従います。どちらのアプローチでも、カスタム ASIC の開発と製造にコストがかかり、あるいは複雑なディスクリート回路に対しても、設計上の一連の課題が発生します。BUF802 は、性能を犠牲にすることなくシンプルでコスト効率の優れた設計を実現するオールインワン設計を採用しており、ASIC ベースと FET ベースの両方の実装に代わるシングル チップの選択肢を提供します。

2.3.1.1 入力バッファ アンプ

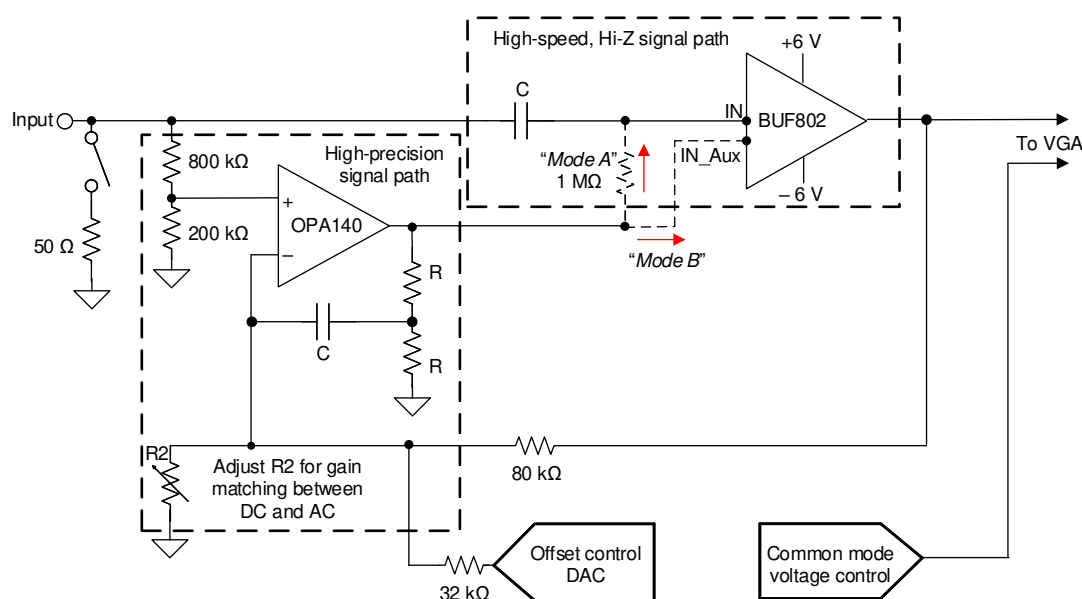


図 2-2. BUF802 コンポジット ループ

ディスクリート JFET 実装の設計上の課題を克服するために、設計者は低周波数と高周波の信号チェーンをインターリーブし、DC 精度と広い大信号帯域幅を実現する複合ループ ベースのアプローチを検討します。

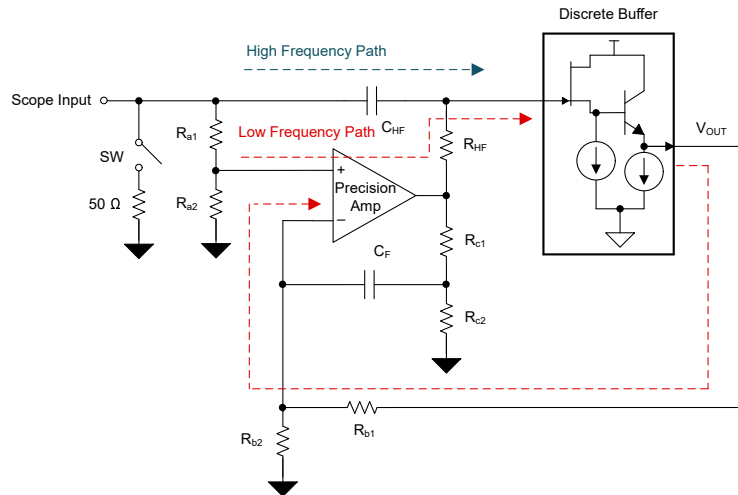


図 2-3. ディスクリート JFET アーキテクチャ

代表的なディスクリート実装 図 2-3 では、高精度アンプと、複合ループで構成されたディスクリート JFET を使用します。低周波数パスを使用するとネット伝達関数は良好な DC 精度を得られますが、JFET ソース フォロワをベースとする高周波パスを使用すると、ネット伝達関数は広い信号帯域幅、かつ低ノイズと歪みを実現できます。

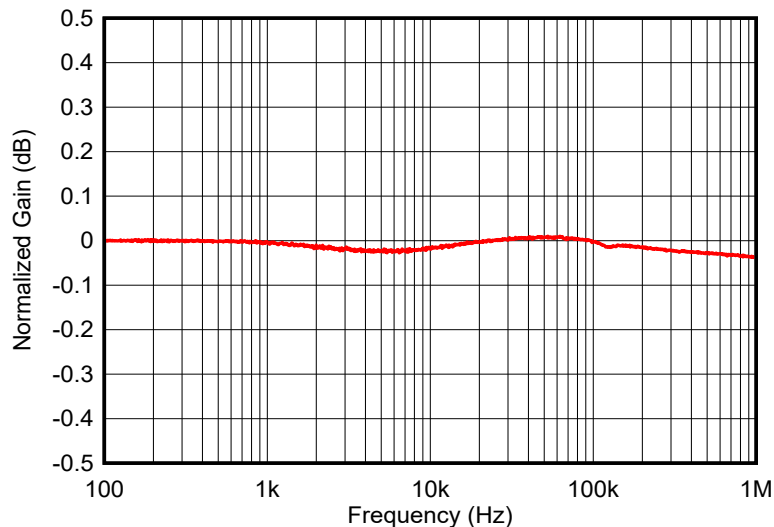


図 2-4. クロスオーバー領域の周波数応答平坦性

このリファレンス デザインでは、クロスオーバー領域に対して平坦な帯域応答を実現するために、複合ループ アーキテクチャのすべての部品値を注意深く選択し、これらを推奨します (図 2-4 を参照)。複合ループの値を適切に実装する方法に関する詳細な設計の概要については、BUF802 のデータシートのセクション 9.2.1.2「詳細な設計手順」を参照してください。複合ループ アーキテクチャの詳細については、TI のブログ記事「[ハイ インピーダンス バッファにより高い DC 精度と広い大信号帯域幅を実現する](#)」をご覧ください。

入力インピーダンス

データ アクイジション システムには通常、選択可能な 50 Ω 入力と 1 MΩ 入力終端オプションの両方があります。BUF802 は、1 MΩ と 50 Ω の両方の終端システムで使用できる柔軟性を備えています。このリファレンス デザインでは、デフォルトで 50 Ω の入力インピーダンスで構成されていますが、ユーザーは各チャンネルで並列 50 Ω の抵抗を取り外しまたは取り付けすることにより、リファレンス デザインの入力インピーダンスをハイ インピーダンスまたは 50 Ω に設定できます。

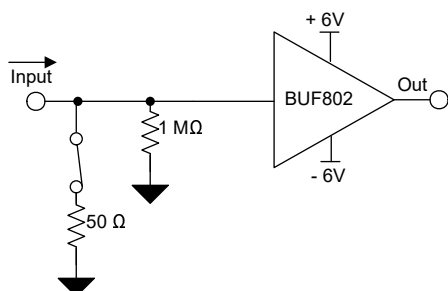
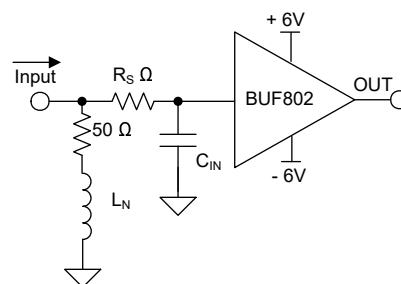


図 2-5. BUF802、オプションの 1MΩ/50Ω 終端付き

図 2-6. R_S および L_N による実効入力インピーダンス

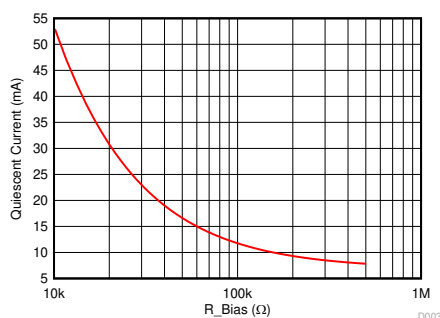
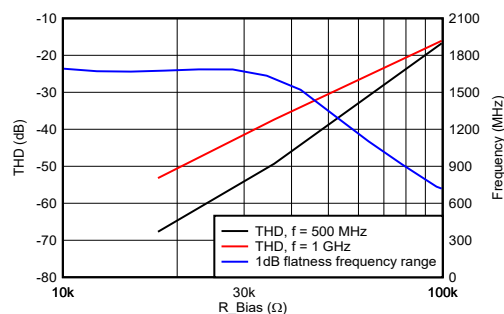
	抵抗	入力インピーダンス
チャンネル 1	R3 取り付け	50 Ω
チャンネル 1	R3 DNI	1MΩ
チャンネル 2	R4 取り付け	50 Ω
チャンネル 2	R4 DNI	1MΩ

フロントエンド コンポジット ループ回路の入力で抵抗値を得るために正確な 50Ω 抵抗を実装することは可能ですが、BUF802 (C_{IN}) の寄生容量はこの 50Ω 抵抗と並列になるため、周波数全体にわたって理想的でない終端となります。最適化された S11 および S21 パラメータの値を適切に実装する方法に関する詳細な設計の概要については、BUF802 データシートのセクション 9.2.1.2「[詳細な設計手順](#)」を参照してください。

調整可能な静止電流

BUF802 は、調整可能な静止電流機能を備えているため、システム設計者は消費電流と得られる歪み性能とのトレードオフを調整できます。 R_{Bias} ピンと V_S の間の抵抗値を大きくすると、静止電流は減少しますが、BUF802 の THD と帯域幅は増加します。

この設計では、 R_{Bias} の抵抗の値として、データシートの推奨値に応じて 17.8K を選択しています。ただし、 R_{Bias} 抵抗は、さまざまなシステム要件のニーズに合わせて更新できます。 R_{Bias} の値が大きいと、消費電力が減少しますが、性能が低下します。(図 2-7 および 図 2-8 を参照)

図 2-7. 静止電流と R_{Bias} との関係図 2-8. THD および帯域幅と R_{Bias} との関係

DC のオフセット

このリファレンス デザインには、ユーザーが調整可能な DC アナログ オフセットも含まれています。DC オフセットは、測定対象の信号の DC 電圧レベルをユーザーが調整するときに、データ アクイジション システムで使用されます。DSO アプリケーションでは、これは DSO の画面に表示される信号の垂直基準レベルを調整することに相当します。つまり、DSO の水平基準線を上下に移動します。

DC オフセット信号は、8 チャンネル、16 ビットの高精度 DAC である DAC80508 から供給されます。ただし、DAC 出力はユニポーラのみで、正のオフセット補正のみが可能です。正と負の両方の調整でオフセット制御を行うには、図 2-9 に示されているように、OPA2140 高精度アンプ回路を使用してユニポーラからバイポーラへの変換を行います。

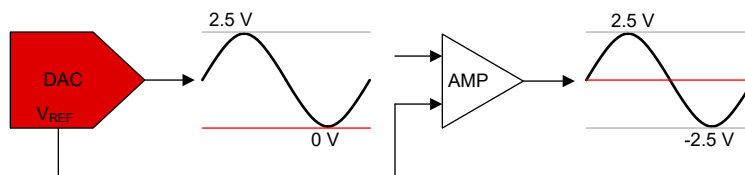


図 2-9. ユニポーラからバイポーラ

LMH6518 差動入力の絶対最大定格は $\pm 1\text{V}$ であるため、オフセット電圧は絶対最大定格を超えないように、入力ソース信号によって制限する必要があります。

PCB レイアウト

システムの周波数帯域幅全体にわたって最適な性能を維持するために、BUF802 データシートのセクション 9.2.1.2「[詳細な設計手順](#)」に示すように、入力インピーダンス回路を最適化が必要であるのと同様に、PCB レイアウトに関する設計上の考慮事項もあります。信号路のトレースは、 50Ω のインピーダンス特性となるように設計する必要があります。

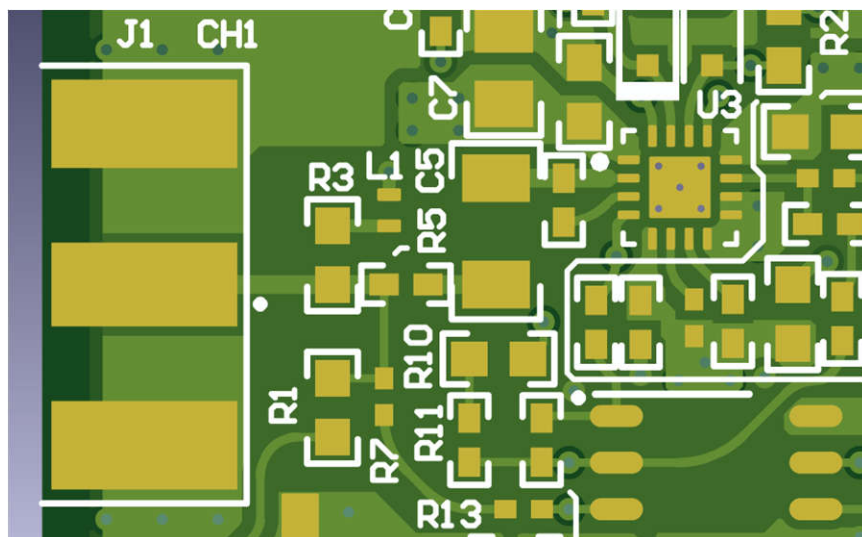


図 2-10. TIDA-010133 の入力レイアウト

これらの設計上の考慮事項を考慮していない場合、信号トレースが周波数帯域幅全体にわたって 50Ω の特性を維持できず、反射が発生してシステムの性能が低下する可能性があります。

2.3.1.2 可変ゲイン アンプ

LMH6518 DVGA は、高精度の信号収集を可能にするカスタマイズ可能な機能により優れたゲイン制御および歪み性能を提供します。また、補助出力や過電圧クランプなどの追加機能を備え、リアルタイムの信号測定に不可欠な優れたタイミング性能を実現します。

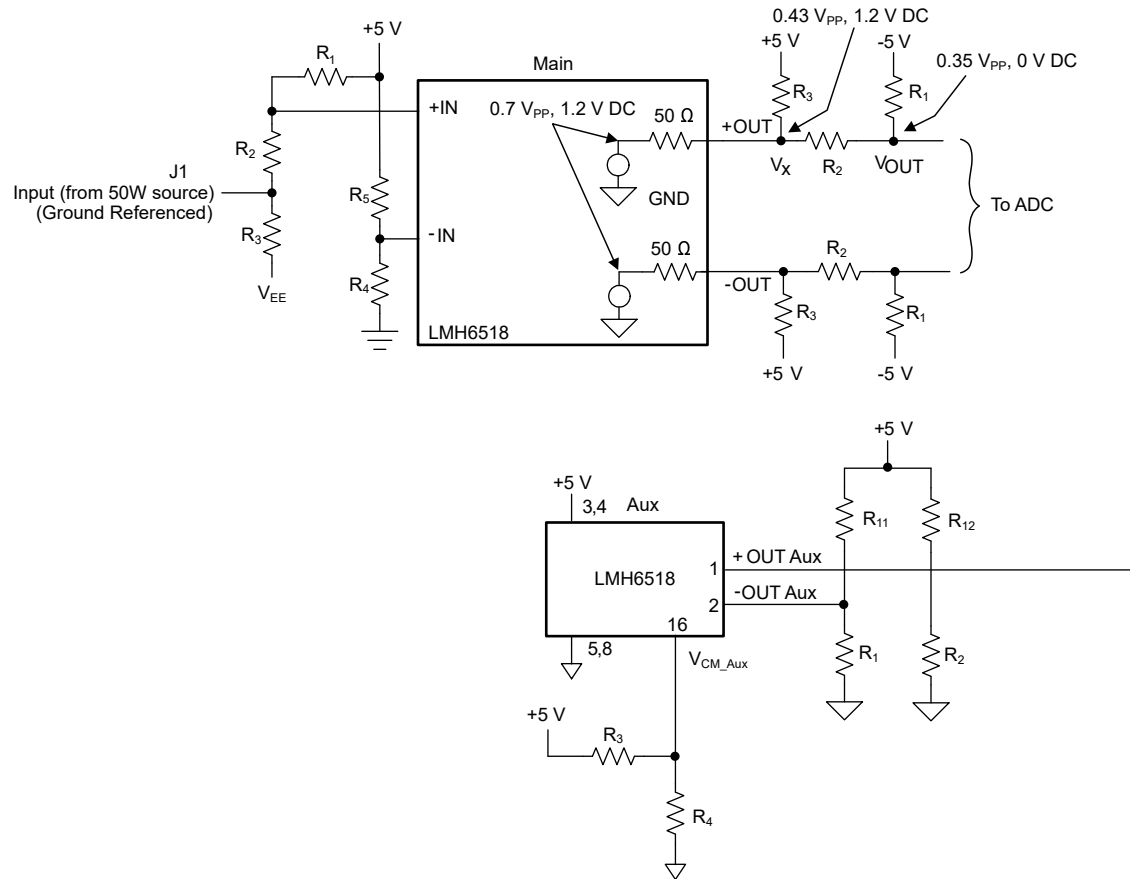


図 2-11. LMH6518 の機能ブロック図

シングルエンドから差動への変換 (入力段)

差動 ADC を駆動するための、アナログ信号路には変換段が含まれており、入力信号をシングルエンドから差動に変換します。LMH6518 には完全差動プリアンプが搭載されており、すべてのゲイン設定にわたって 150k Ω インピーダンスが一貫しているため、シングルエンドの信号源で駆動することもできます。

表 2-1. LMH6518 の理想的な入力および出力条件

各入力からグランドへのインピーダンス (Ω)	同相モード入力 (V)	差動入力 (V_{pp})	負荷インピーダンス (Ω)	差動出力 (V)	同相モード出力 (V)
≤ 50	1.5~3.1	<0.8	100 (差動) および 50 (シングルエンド)	<0.77	0.95~1.45

LMH6518 の差動入力は、表 2-1 の条件が満たされ、DC からの駆動入力と非駆動入力の間で、目的の最高周波数との間で良好なマッチングが得られている場合に限りシングルエンドを駆動できます。そうでない場合は、セトリング タイムへの影響をはじめ、他の性能低下があります。

図 2-11 では、LMH6518 の入力は、抵抗 R_2/R_3 および R_4/R_5 で構成される分圧器でバイアスされます。LMH6518 入力 (BUF802 出力) の同相電圧を変更するには、 R_{43} と R_{42} の抵抗値 (チャンネル 2 では R_{44} と R_{45}) のみを目的の値に更新する必要があります。同相電圧は、LMH6518 の動作範囲内にする必要があります。この設計では、2.5V に設定しています。

$$V_{CM} = V_{5va} \times (R_2 / (R_1 + R_2)) \quad (1)$$

ここで、 V_{5va} は 5V アナログレール、 R_1 と R_2 はチャンネル 1 (R_{43} と R_{42}) および 2 (R_{45} と R_{44}) 抵抗に対応します。

このリファレンス デザインでは、目的の V_{CM} にバイアスされている LMH6518 の非駆動入力も、システムのオフセット電圧機能用の加算器回路に使用されます。

このリファレンス デザインでは、外部 ADC を駆動するように LMH6518 を構成します。ただし、LMH6518 は、別のバイアス回路を使用してアンプ段を追加しなくても同相電圧をシフトできる限定的な能力も提供します。

図 2-11 に、LMH6518 データシートで推奨されている同相シフト回路を示します。+5V と -5V の各レールを活用すると、同相電圧要件が 0V の ADC をサポートする必要がある場合は、CM を 0V にシフトすることができます。

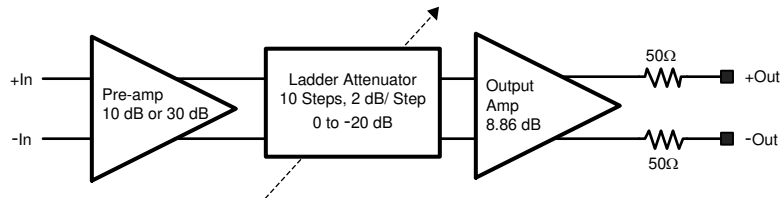


図 2-12. LMH6518 内部ゲイン ブロック

LMH6518 は、デジタル制御のゲイン、電圧クランプ、帯域幅を備えています。使用しない場合、このブロックは補助アンプを無効にすることもできます。プログラミングは、2 つの単方向データラインの代わりに、双方向データラインを使用する SPI-1 互換バス (3 線式 SPI) インターフェイスを使用して実施されます。

以下の LMH6518 機能は、SPI を使用して制御します。

- フィルタ (20、100、200、350、650、750MHz または全帯域幅)
- 電力モード (最大出力または補助ハイ インピーダンス、ハイ インピーダンス)
- プリアンプ (HG または LG)
- 減衰ラダー (0dB ~ 20dB、10 の状態)
- LMH6518 状態の書き込みまたは読み戻し

SPI-1 バスは 3.3V ロジックを使用します。SDIO は、LMH6518 に対して読み取りと書き込みを行うシリアル デジタル入出力です。SCLK はバス クロックで、チップ セレクト機能は CS によって制御されます。

LMH6518 には、プログラミングに必要なレジスタが 1 つのみあり、表 2-2 に可変フィールドを示します。

表 2-2. データ フィールド

							フィルタ				プリアンプ	ラダー減衰			
D15 (MSB)	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)
X	0	0	0	0	0 = 最大出力 1 = 補助ハイ インピーダンス	0	LMH6518 データシートの表 6-3 を参照してください			0	0 = LG 1 = HG	LMH6518 データシートの表 6-4 を参照してください			

注

ビット D5、D9、D11 ~ D14 は 0 である必要があります。それ以外の場合、デバイスの動作は未定義であり、仕様は維持されません。

内部ゲイン ブロックは、プリアンプ、ラダー減衰、お出力アンプの 3 つの段で構成されます。メイン信号路は 3 つのゲイン ブロックすべてを通過します。このブロックでは、補助信号路にはメイン出力パスと同じ特性を持つ個別の補助出力アンプがあります。

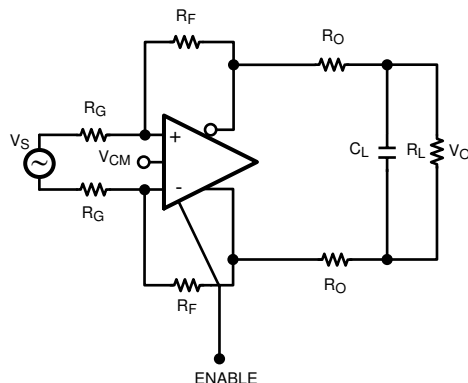
LMH6518 の最も重要なユーザー調整可能な設定は、フィルタとゲインの設定です。LMH6518 は最大 900MHz の帯域幅で動作できますが、フィルタ設定を選択できるため、さまざまなシステム要件を満たすためにデバイスの帯域幅を制限できます。すべてのフィルタはローパス、単極ロールオフであり、メイン出力と補助出力の両方で動作します。これらのフィルタにより、信号路の帯域幅とノイズが制限されます。

表 2-3. LMH6518 利用可能なゲイン ステップ

プリアンプ		ラダー減衰	出力アンプ	総ゲイン (dB)
LG	HG			
10	該当なし	-20	8.86	-1.16
10	該当なし	-18	8.86	0.8
10	該当なし	-16	8.86	2.8
10	該当なし	-14	8.86	4.8
10	該当なし	-12	8.86	6.8
10	該当なし	-10	8.86	8.8
10	該当なし	-8	8.86	10.8
10	該当なし	-6	8.86	12.8
10	該当なし	-4	8.86	14.8
10	該当なし	-2	8.86	16.8
10	該当なし	0	8.86	18.8
該当なし	30	-20	8.86	18.8
該当なし	30	-18	8.86	20.8
該当なし	30	-16	8.86	22.8
該当なし	30	-14	8.86	24.8
該当なし	30	-12	8.86	26.8
該当なし	30	-10	8.86	28.8
該当なし	30	-8	8.86	30.8
該当なし	30	-6	8.86	32.8
該当なし	30	-4	8.86	34.8
該当なし	30	-2	8.86	36.8
該当なし	30	0	8.86	38.8

2.3.1.3 LMH6552 搭載 ADC ドライバ

LMH6552 は、完全差動アンプで、信号路における追加オプションの同相電圧シフト段として、この設計に含められています。LMH6552 は、TIDA-010133 ハードウェアが、LMH6518 からのデフォルトの 1.2V VCM 出力をサポートしていない ADC と結合した場合に使用します。LMH6552 には、VCM ピンを介して同相電圧を簡単に制御できる出力同相モード制御が内蔵されています。さらに、LMH6552 を使用して、システムでゲインを追加できます。ただし、ゲインは固定されており、外付け抵抗を使用することで設定できます。



Copyright © 2016, Texas Instruments Incorporated

図 2-13. LMH6552 の代表的な完全差動アプリケーション

上記の構成では、最適な性能を得るために、抵抗の許容誤差は 0.1% 以下を推奨します。このアンプは補償回路を内蔵し、パッケージ選択、PCB レイアウト、負荷抵抗に依存しますが、 R_F の値が 270 Ω と 390 Ω の間で最適なゲインフラットネスが得られます。以下の表に、 R_F と R_G の値と、それぞれのゲインを示します。

表 2-4. 指定した抵抗値による LMH6552 のゲイン

ゲイン	R_F	R_G
0dB	275Ω	255Ω
6dB	275Ω	127Ω
12dB	275Ω	54.9Ω

2.3.1.4 アナログ PI フィルタ

リファレンス デザインの最終段は、パッシブ 3 次 LC PI ローパス フィルタです。このフィルタは ADC の前に配置し、高周波ノイズと ADC の入力からの干渉を除去することで、望ましくないノイズが入力に結合することを防止します。

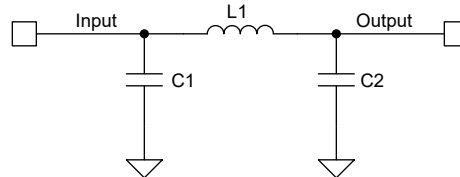


図 2-14. PI フィルタ

このフィルタ設計は、2 つのコンデンサと 1 つのインダクタで構成され、各部品の値によってフィルタのカットオフ周波数が決まります。この設計では複数のコンデンサをシャント素子として使用する方法で、このフィルタはローパス フィルタとして動作します。フィルタのカットオフ周波数は、次の式で定義します。

$$f_c = 1/(2 * \pi * \sqrt{(L * C)}) \quad (2)$$

2.3.1.5 デジタル ポテンショメータ

このリファレンス デザインは、2 つの異なる目的のために各チャネルにデジタル ポテンショメータ TPL0102 を使用しています。複合ループ回路で BUF802 トリミングを行うために可変抵抗があり、高速コンパレータ TLV3605 にヒステリシス制御を行います。TPL0102 には 100kΩ のエンド ツー エンド抵抗と、内部ワイパー設定を保存する不揮発性メモリが搭載されています。

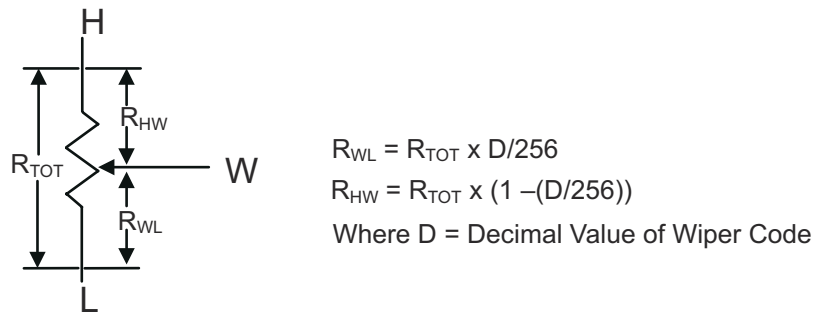


図 2-15. TPL0102 等価回路

デザインで使用する構成では、W (ワイパー) ピンと L (Low) ピンが短絡するため、実効抵抗は R_{HW} と等しくなります。図 2-15 に、実効抵抗の計算方法を示します。複合ループ回路で使用する場合、デジタル ポテンショメータの推奨値は、BUF802 および抵抗の変動を考慮して約 6.7kΩ とします。ヒステリシスの場合、60mV のヒステリシス電圧をコンパレータの入力に提供するための推奨値は 56kΩ です。どちらの値も、データシートの推奨値に基づいて選択されていますが、あらゆるシステム要件に合わせて、I2C 経由で簡単に調整できます。

表 2-5. BUF802 および TLV3605 用の TPL0102 の設定

機能	抵抗 (kΩ)	16 進	2 進
BUF802 コンポジット ループ	6.64	0xEFh	1110 1111
TLV3605 ヒステリシス制御	60.16	0x66h	0110 0110

2.3.2 システム ダイナミックレンジ

フル スケール入力

一般的な DSO フロント エンドやその他のデータ アクイジション システムでは、AFE の入力の前に減衰が存在します。減衰は、1:1、2:1、5:1 などの減衰をリレーで選択できるため、減衰のシステム制御が可能です。減衰は、入力信号を AFE 経由で送信される前に弱めます。AFE をオーバードライブすると、信号チェーン デバイスが損傷したり、ADC 入力が増幅して測定値が役に立たない可能性があります。したがって、減衰は入力測定値を、測定に適した電圧まで下げることができます。

このリファレンス デザインでは、入力に減衰がないため、ユーザーは仕様に合わせて独自の減衰を実装できます。このリファレンス デザインの入力は、大信号を使用するように設計されていないため、入力の制限因子は LMH6518 です。LMH6518 の絶対最大差動入力は $\pm 1V$ です。

ダイナミックレンジ

システム全体のダイナミックレンジは、最大ゲインを合計することで計算できます。

このリファレンス デザインには、1 つのゲイン段として LMH6518 があります。

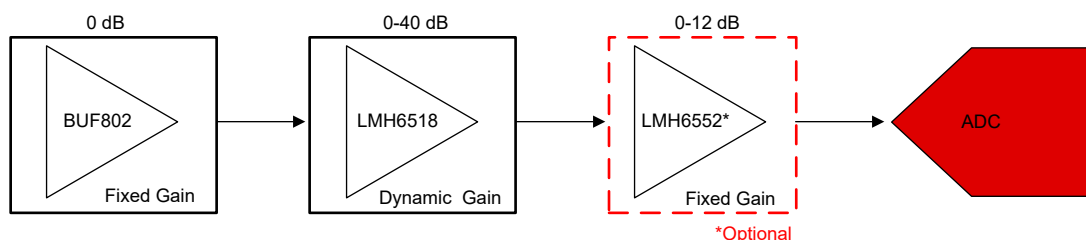


図 2-16. TIDA-010133 ゲイン ブロック

LMH6518 はデジタル プログラマブル VGA で、プリアンプ、ラダー減衰、出力アンプを内蔵しています。ユーザーは、プリアンプ段とラダー減衰段を構成し、2dB 刻みで 40dB のレンジで -1.16dB ~ 38.8dB の総合ゲインを実現できます。「デジタル プログラマブル ゲイン」セクションの表を参照すると、ユーザーは 10dB または 30dB のゲインの間でプリアンプを構成できます。また、ラダー減衰は、0 ~ -20dB の範囲で 2dB 刻みに構成できます。

LMH6552 を取り付ける場合、システムの合計ゲインは、LMH6518 と LMH6552 を取り付けたときのゲインに等しくなります。

ダイナミックレンジシステム = LMH6518 ダイナミックレンジ + LMH6552 ダイナミックレンジ

$$\text{Max_Gain} = 50.8\text{dB} = 38.8\text{dB (LMH6518)} + 12\text{dB (LMH6552)} \quad (3)$$

$$\text{Min_Gain} = -1.16\text{dB} = -1.16\text{dB (LMH6518)} + 0\text{dB (LMH6552)} \quad (4)$$

表 2-6. システム ゲイン

システムの最大ゲイン	システムの最小ゲイン	LMH6518 の最大ゲイン	LMH6518 のダイナミックゲイン	LMH6552 の最大ゲイン	LMH6552 の固定ゲイン
50.8dB	-1.16dB	40dB	-1.16 ~ 38.8dB	12dB	0 ~ 12dB

2.4 主な使用製品

2.4.1 BUF802

BUF802 デバイスは、低ノイズ、高インピーダンスの段を提供する開ループのユニティゲイン バッファ JFET 入力段です。デバイスは DC ~ 3.1GHz の帯域幅をサポートし、この周波数範囲全体にわたって非常に優れた歪みおよびノイズ性能を実現します。

BUF802 は、DC 精度と広い大信号帯域幅を実現するために、スタンドアロン バッファとしてのバッファ モード (BF モード) で、または高精度アンプを備えたコンポジット ループ内のコンポジット ループ モード (CL モード) で使用されます。低

出力インピーダンスおよび大出力電流の駆動能力により、BUF802 は最大 50Ω の負荷を駆動できます。BUF802 には、システム レベルの電力と性能を最適化するために、調整可能な静止電流が生じます。

2.4.2 LMH6518

LMH6518 デバイスは、40dB のダイナミック ゲインと 900MHz の帯域幅を備えたデジタル制御可変ゲイン アンプです。補助出力 (+OUT AUX、-OUT AUX) はメイン出力に追従します。補助出力は、オシロスコープのトリガ機能回路で使うことを想定していますが、その他の用途にも使用できます。LMH6518 のゲインは、SPI-1 互換シリアル バスを介して設定できます。

LMH6518 は、シングルエンドと差動の両方のアプリケーションで動作できます。入力と出力は DC 結合されています。出力は差動であり、個別の同相モード (CM) 電圧制御機能 (メインおよび補助出力用) を備えています。また、20、100、200、350、650、750MHz、全帯域幅の選択可能な帯域幅制限回路 (メイン出力と補助出力の両方に共通) を備えています。

2.4.3 DAC80508

DAC80508 は、16、14、12 ビット分解能の低消費電力、8 チャンネル、バッファ付き電圧出力の D/A コンバータ (DAC) のピン互換ファミリです。DACx0508 は、2.5V の内部リファレンスを内蔵し、選択可能なゲイン構成機能を搭載しているため、フルスケール出力電圧として、1.25V (ゲイン = 1/2)、2.5V (ゲイン = 1)、5V (ゲイン = 2) のいずれかを選択できます。このデバイスは、2.7V ~ 5.5V の単一電源電圧で動作し、単調性を指定済みであるほか、±1 LSB INL という高直線性を実現しています。

2.4.4 TLV3605

TLV3605 は、LVDS 出力とレール ツー レール入力を備えた 800ps の高速コンパレータです。これらの特長と、2.4V ~ 5.5V の動作電圧範囲、3Gbps の高いトグル周波数により、TLV3605 は LIDAR、クロック / データの回復アプリケーション、試験および測定システムに最適です。

TLV3605 の低電圧差動信号 (LVDS) 出力は、データ スループットの向上と消費電力の最適化にも役立ちます。相補出力で各出力の同相ノイズを抑制することにより、EMI が低減されます。LVDS 出力は、高速 FPGA や CPU など、標準 LVDS 入力を受け入れる下流デバイスの直接駆動およびインターフェイスを可能にします。

高速コンパレータ用の他のオプションも利用可能です。表 2-7 に、比較可能なオプションの一部を示します。

表 2-7. 高速コンパレータ オプション

	TLV3604	TLV3605	TLV3801	LMH722 0	LMH732 4	LMH732 2	TLV3603	TLV3601	TLV3502	TLV3501
チャンネル数 (#)	1	1	1	1	4	2	1	1	2	1
出力方式	LVDS	LVDS	LVDS	LVDS	RSPECL	RSPECL	プッシュ プル	プッシュ プル	プッシュ プル	プッシュ プル
伝搬遅延時間 (ns)	0.8	0.	0.225	2.9	0.7	0.7	2.5	2.5	4.5	4.5
Vs (最大) (V)	5.5	5.5	4.2	12	12	12	5.5	5.5	5.5	5.5
Vs (最小) (V)	2.4	2.4	2.7	2.7	5	2.7	2.4		2.7	2.7
レール ツー レール	入力	入力	なし	なし	なし	なし	In-Out	In-Out	In-Out	In-Out

2.4.5 TPL0102

TPL0102 は、256 のワイパー位置対応の 2 つのリニアテーパー デジタル ポテンショメータ (DPOT) を備えています。各ポテンショメータは、3 端子ポテンショメータとして、または 2 端子レオスタットとして使用できます。TPL0102-100 のエンド ツー エンド抵抗は 100kΩ です。

TPL0102 には不揮発性メモリ (EEPROM) が搭載されており、ワイパー位置を保存するために使用できます。これは、ワイパー位置が電源オフ時でも保存され、電源オン後に自動的に元に戻るため、有益です。TPL0102 の内部レジスタには、I2C インターフェイスを使用してアクセスできます。

デジタル ポテンショメータでは他のオプションも使用できます。表 2-8 に、比較可能なオプションの一部を示します。

表 2-8. デジタル ポテンショメータ オプション

	TPL0102-100	TPL0401A-10	TPL0401B-10	TPL0501-100	TPL0202-10
ステップ数	256	128	128	256	256
チャンネル数	2	1	1	1	2
エンド ツー エンドの抵抗値 (k Ω)	100	10	10	100	10
抵抗テーパー	リニア	リニア	リニア	リニア	リニア
インターフェイスのタイプ	I2C	I2C	I2C	SPI	SPI
メモリ	不揮発性	揮発性	揮発性	揮発性	不揮発性

3 ハードウェア、ソフトウェアのテスト要件、およびテスト結果

3.1 ハードウェア要件

このリファレンス デザインは、SMA コネクタを通じて外部 ADC 評価基板と統合できる接続を備えたアナログ フロント エンド (AFE) です。ADC12J5200RFEVM での完全セットアップの例を下に示します。これらのリファレンス デザイン レベルの範囲内の他の ADC 評価基板も使用できます。

この AFE リファレンス デザインは、セクション [セクション 3.2.2](#) で説明されているように、USB2ANY コントローラを使用して単独で評価できます

3.2 テスト設定

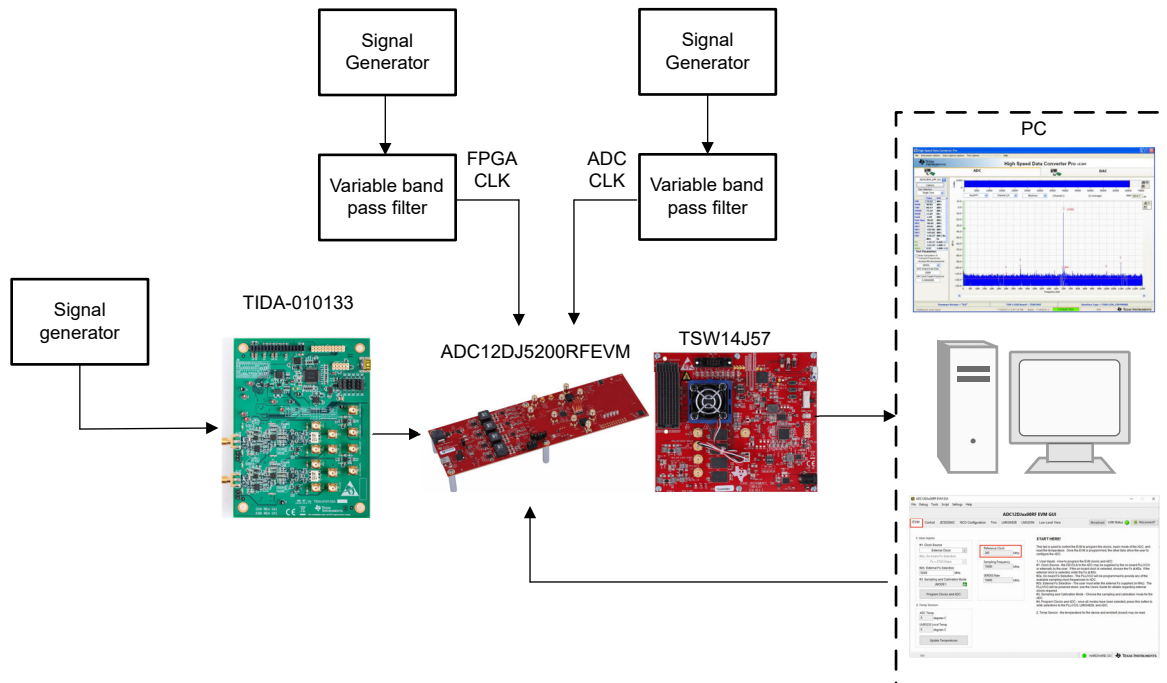


図 3-1. EVM テスト設定

3.2.1 ADC の構成

ADC ハードウェアの設定

1. 高速データ コンバータ (HSDC) Pro ソフトウェアのインストール
 - a. 最新バージョンの HSDC Pro ソフトウェアを www.ti.com/tool/dataconverterpro-sw からダウンロードしてください。インストール手順に従って、ソフトウェアをインストールします。
2. 構成 GUI ソフトウェアのインストール手
 - a. [ADC12DJ5200RF GUI](#) の評価基板ツール フォルダから構成 GUI ソフトウェアをダウンロードしてください。
 - b. .zip ファイルを展開します。
 - c. 実行可能ファイル (setup.exe) を実行し、指示に従います。
3. 評価基板と TSW14J57EVM を接続する
 - a. 電源をオフにした状態で、FMC コネクタを介して ADCxxDJxx00RFEVM を TSW14J57EVM に接続します。スタンドオフがしっかりとしたコネクタ接続のために適切な高さを確保していることを確認してください。
4. 電源をボードに接続する (電源オフ)

- a. TSW14J57EVM の電源スイッチが オフ位置にあることを確認してください。12V DC (最小 3A) の電源装置に電源ケーブルを接続します。バレル コネクタの外側が GND、内側が 12V であることを確認し、電源の極性が正しいことを必ず確認してください。その後、電源ケーブルを評価基板の電源コネクタに接続してください。
 - b. ADC12DJ5200EVM の電源用のパワー スイッチがオフ位置にあることを確認します。12V DC (最小 2A) の電源装置に電源ケーブルを接続します。バレル コネクタの外側が GND、内側が 12V であることを確認し、電源の極性が正しいことを必ず確認してください。その後、電源ケーブルを評価基板の電源コネクタに接続してください。
5. **TIDA-010133 ハードウェアを評価基板に接続する (指示があるまで RF 出力は無効化)**
- a. 短い SMA ケーブルを使用して、TIDA-010133 ハードウェアの出力を ADC12DJ5200RFEVM の VIN 入力に接続します。AC/DC 結合入力が機能し、両方のハードウェア ボードが同じ構成であることを確認します。
6. **TSW14J57EVM の電源を入れ、PC に接続**
- a. TSW14J57EVM の電源スイッチをオンにします。
 - b. mini-USB ケーブルを PC から TSW14J57EVM に接続します。
 - c. TSW14J57EVM を PC に初めて接続する場合は、画面の指示に従ってデバイスドライバを自動的にインストールしてください。具体的な指示については、『[TSW14J57EVM ユーザー ガイド](#)』を参照してください
7. **ADC12DJ5200RFEVM の電源を入れ、PC に接続**
- a. 12V 電源をオンにして評価基板に電源を投入します。
 - b. mini-USB ケーブルを使用して、評価基板を PC に接続します。
8. **信号発生器の RF 出力をオンにします**
- a. TIDA-10133 ハードウェアに接続された信号発生器の RF 信号出力をオンにしてください。外部クロックを使用する場合は、DEVCLK とリファレンス クロックに接続された RF 信号出力をオンにします。
9. **ADC12DJ5200RFEVM GUI を開き ADC とクロックをプログラムする**
- デバイス構成 GUI は、HSDC Pro のインストールとは別にインストールされるスタンドアローン GUI です。

外部クロックを使用する場合

1. 信号発生器をバンドパス フィルタ経由で評価基板の DEVCLK 入力に接続します。この信号発生器は低ノイズの信号発生器である必要があります。発生器からの信号をフィルタ処理するために、Trilithic 調節可能バンドパス フィルタを推奨します。信号発生器を 0.8 ~ 5.2GHz の範囲で希望するクロック周波数に構成します。高周波信号発生器を使用する場合、CLK SMA コネクタへの入力電力は 10dBm (50Ω に対して 2.0Vpp) である必要があります。信号発生器は、バンドパス フィルタの挿入損失など、クロック信号路での追加の減衰に等しい量だけ、10dBm を超える値を増加させる必要があります。たとえば、フィルタ挿入損失が 2dB の場合、信号発生器は 10dBm + 2dB = 12dBm に設定する必要があります。
2. 信号発生器を評価基板のリファレンス信号入力 REF CLK(J17) に接続します。信号発生器を 260MHz の希望周波数に設定します。出力電力を 約 6~9dBm に設定します。

注

- a. リファレンス クロック周波数は、ADC12DJ5200RFEVM GUI から取得できます。ADC12DJ5200EVM GUI を希望する JMODE モードおよびクロック レートに設定した後、実行します。評価基板に必要なリファレンス クロック周波数は、GUI の最初のページに表示されています。
- b. 機能を正しく動作させるために、DEVCLK とリファレンス クロックの信号源が、共通の 10MHz リファレンスを使用して周波数ロックされていることを確認してください。入力信号発生器から他の発生器への周波数ロックは、コヒーレント サンプリングが必要な場合にも行うことができます。
- c. この時点では、いずれの信号発生器の RF 出力もオンにしないでください。
- d. ADC をシングル入力モードで使用する場合、デバイスは DEVCLK の両方のエッジをサンプリングに使用します。

ADC ソフトウェア設定

デバイス構成 GUI は、HSDC Pro のインストールとは別にインストールされるスタンドアローン GUI です。

注

ADC12DJ4000RF がサポートしている最大クロック レートは 4000MHz であり、ADC08DJ5200RF は 8 ビット モードのみをサポートしています。ADC08DJ5200RF では、12 ビットおよび 15 ビット モードがすべて無効になります。

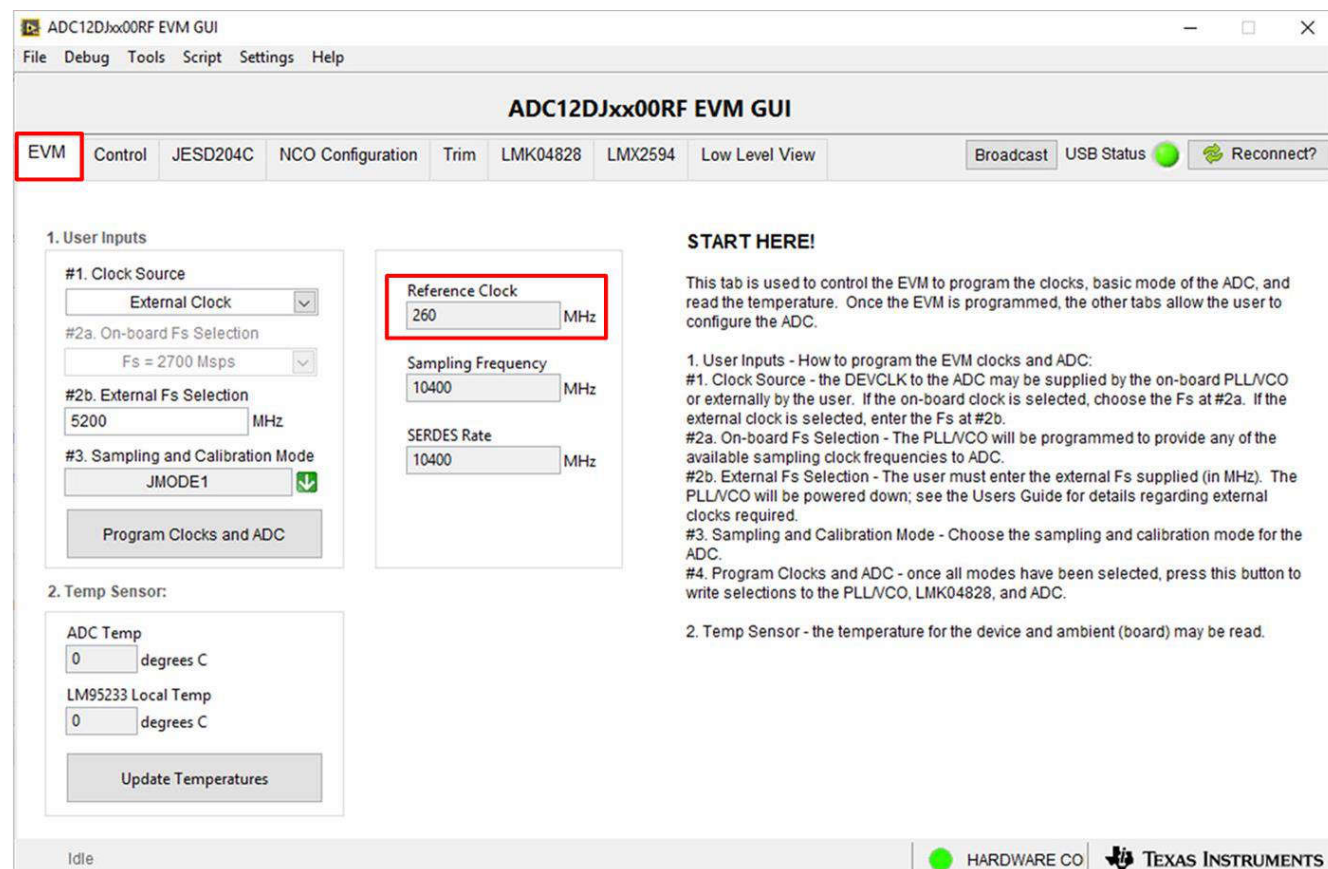


図 3-2. 構成 GUI の EVM タブ

図 3-2 に、それぞれ「EVM」タブと「Control」(制御) タブを開いた GUI を示します。パネル上部のタブは、構成をデバイスおよび評価基板の機能ごとに整理しており、使いやすい操作が可能です。また、レジスタを直接構成するための低レベルのタブも用意されています。この評価基板には、ADC12DJ5200RF、LMK04828、LMK61E2、LMX2594 の 4 つの構成可能なデバイスがあります。

1. ADC12DJ5200RFEVM GUI を起動します。
2. クロック ソースとして外部クロックを選択します。
3. 外部 F_s の選択として「 $F_s = 5200\text{MHz MSPS}$ 」を入力します。
4. サンプリングおよびキャリブレーション モードに JMODE1 を選択します。
5. 「Program Clocks and ADC」(プログラム クロックと ADC) をクリックします (注:この操作により、以前のデバイス レジスタ設定はすべて上書きされます)。
6. 評価基板で必要な基準周波数は、インジケータ「Reference Clock」(リファレンス クロック) の下に示されています。

評価基板上で ADC デバイスのキャリブレーションを行う

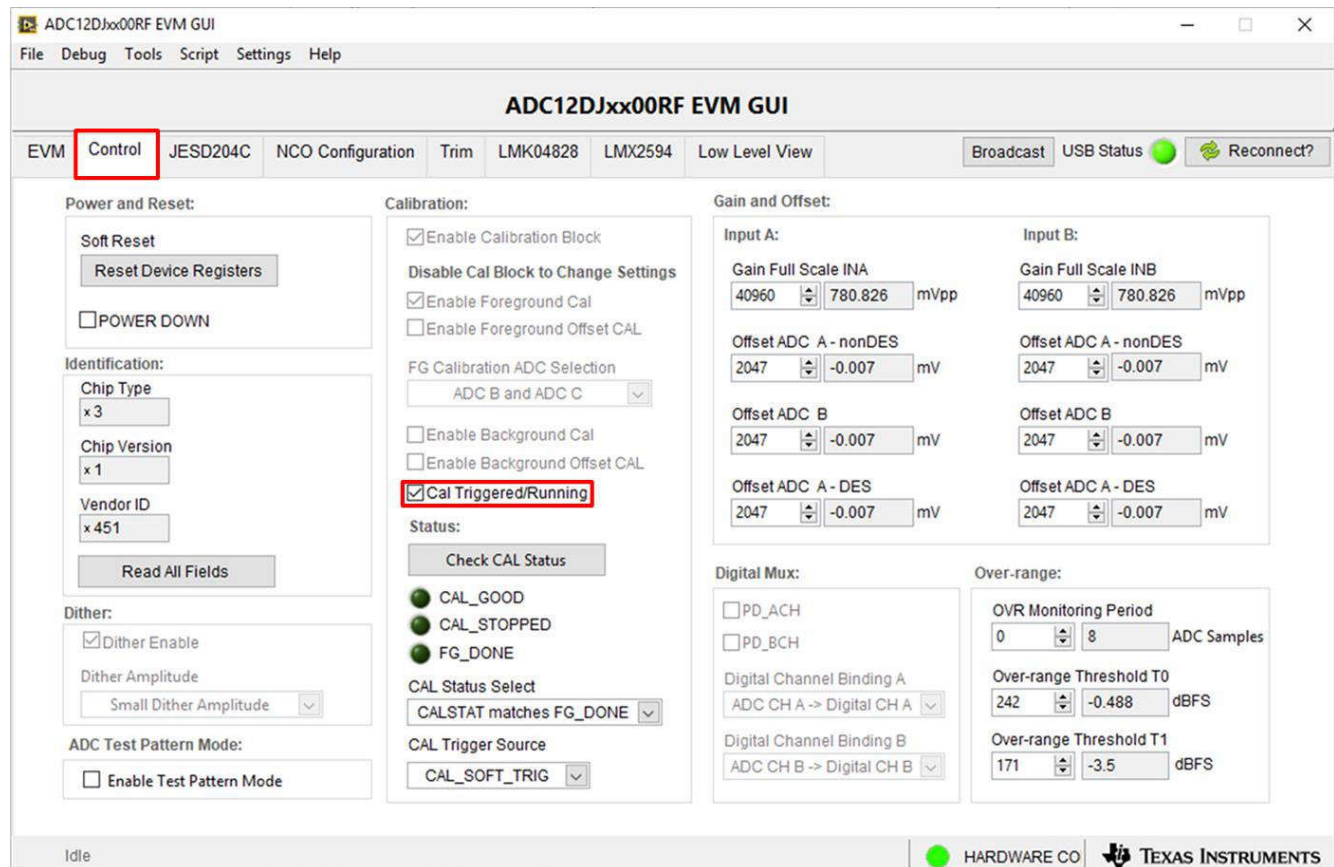


図 3-3. 構成 GUI の ADC 制御

1. PC の評価基板 GUI を開いた状態で、「Control」(制御) タブに移動します。
2. ADC をキャリブレーションするには、「Cal Triggered/Running」(トリガ済み / 実行中をキャリブレーション) を 1 回クリックし、さらにもう 1 回クリックします。これにより、キャリブレーション エンジンが停止して再起動します。
3. バックグラウンド キャリブレーションを有効にするには、次の手順を使用します。
 - 「JESD204C」タブに移動し、「JESD Block Enable」(JESD ブロック有効) をクリックして、JESD204C ブロックを停止します。
 - 「Control」(制御) タブに戻り、「Enable Calibration Block」(キャリブレーション ブロックを有効にする) をクリックして、キャリブレーションを無効にし、設定の変更を許可します。

- 「Enable Background Cal」(バックグラウンド キャリブレーションを有効にする) をクリックします。バックグラウンド オフセット キャリブレーションも必要な場合は、「Enable Background Offset Cal」(バックグラウンド オフセット キャリブレーションを有効にする) をクリックします。
 - 「Enable Calibration Block」(キャリブレーション ブロックを有効にする) をクリックしキャリブレーション サブシステムを再度有効にします。「JESD204C」タブに移動し、「JESD Block Enable」(JESD ブロック有効) をクリックして JESD204C ブロックを再起動します。
 - 「Control」(制御) タブに戻り、「Cal Triggered/Running」(トリガ済み / 実行中をキャリブレーション) ボタンを 1 回クリックしてから、さらにもう 1 回クリックします。これにより、キャリブレーション エンジンが再起動します。
4. バックグラウンド キャリブレーションを無効化するには、次の手順を使用します。
- 「JESD204C」タブに移動し、「JESD Block Enable」(JESD ブロック有効) をクリックして、JESD204C ブロックを停止します。
 - 「Control」(制御) タブに戻り、「Enable Calibration Block」(キャリブレーション ブロックを有効にする) をクリックして、キャリブレーションを無効にし、設定の変更を許可します。
 - バックグラウンド オフセット キャリブレーションが有効になっている場合は、「Enable Background Offset Cal」(バックグラウンド オフセット キャリブレーションを有効にする) をクリックして、この機能を無効にします。
 - 「Enable Background Cal」(バックグラウンド キャリブレーションを有効にする) をクリックして、機能を無効にします。
 - 「Enable Calibration Block」(キャリブレーション ブロックを有効にする) をクリックして、キャリブレーション サブシステムを再度有効にします。
 - 「JESD204C」タブに移動し、「JESD Block Enable」(JESD ブロック有効) をクリックして、JESD204C ブロックを再起動します。
 - 「Control」(制御) タブに戻り、「Cal Triggered/Running」(トリガ済み / 実行中をキャリブレーション) ボタンを 1 回クリックしてから、さらにもう 1 回クリックします。これにより、キャリブレーション エンジンが再起動します。

HSDC Pro ソフトウェアを使用してデータをキャプチャする

HSDC Pro ソフトウェアを開き FPGA イメージを TSW14J57EVM にロードする

1. HSDC Pro ソフトウェアを開きます。
2. 「OK」をクリックして、TSW14J57EVM デバイスのシリアル番号を確認します。複数の TSWxxxxx ボードが接続されている場合は、ADC12DJ5200RFEVM に接続されているボードのモデルとシリアル番号を選択します。
3. 画面左上の ADC 選択ドロップダウンから ADC12DJxx00RF_JMODE1 デバイスを選択します。
4. プロンプトが表示されたら、「Yes」(はい) をクリックしてファームウェアをアップデートします。
5. ADC の出力データレート (f_{SAMPLE}) に「10400M」、または目的の出力サンプル レートを入力します。この値はデバイスの実際のサンプリング レートと等しい必要があり、サンプリング レートが変化する場合は更新する必要があります。

以下の手順は、HSDC Pro ソフトウェアを使用してデータをキャプチャする方法を示しています。

1. 実行するテストを選択します。
2. データ ビューを選択します。
3. 表示するチャンネルを選択します。
4. 新しいデータをキャプチャするには、キャプチャ ボタンをクリックします。

その他のヒント:

- 「Test Options」(テスト オプション) ファイル メニューの「Notch Frequency Bins」(ノッチ周波数ビン) を使用して、DC (DC ノイズとオフセットを除去) または基本波 (信号発生器から位相ノイズを除去) 関連のビンを削除します。
- 「Data Capture Option」(データ キャプチャ オプション) ファイル メニューから「Capture Option」(キャプチャ オプション) ダイアログを開き、キャプチャ深度を変更したり、連続キャプチャまたは FFT 平均化を有効にしたりします。
- スペクトルの一部のみを分析する場合は、「Test Options」(テスト オプション) ファイル メニューの「Bandwidth Integration Markers」(帯域幅統合マーカー) と、「Single Tone」(シングル トーン) テストを使用します。「Channel Power」(チャンネル電力) テストも便利です。

- キャプチャしたデータのサブセットのみを分析するには、「Analysis Window (samples)」(分析ウィンドウ (サンプル)) 設定をキャプチャしたサンプルの総数より小さい値に設定し、画面上部の小さな一時データ ウィンドウで緑または赤のマーカーを移動して、対象のデータ サブセットを選択します。

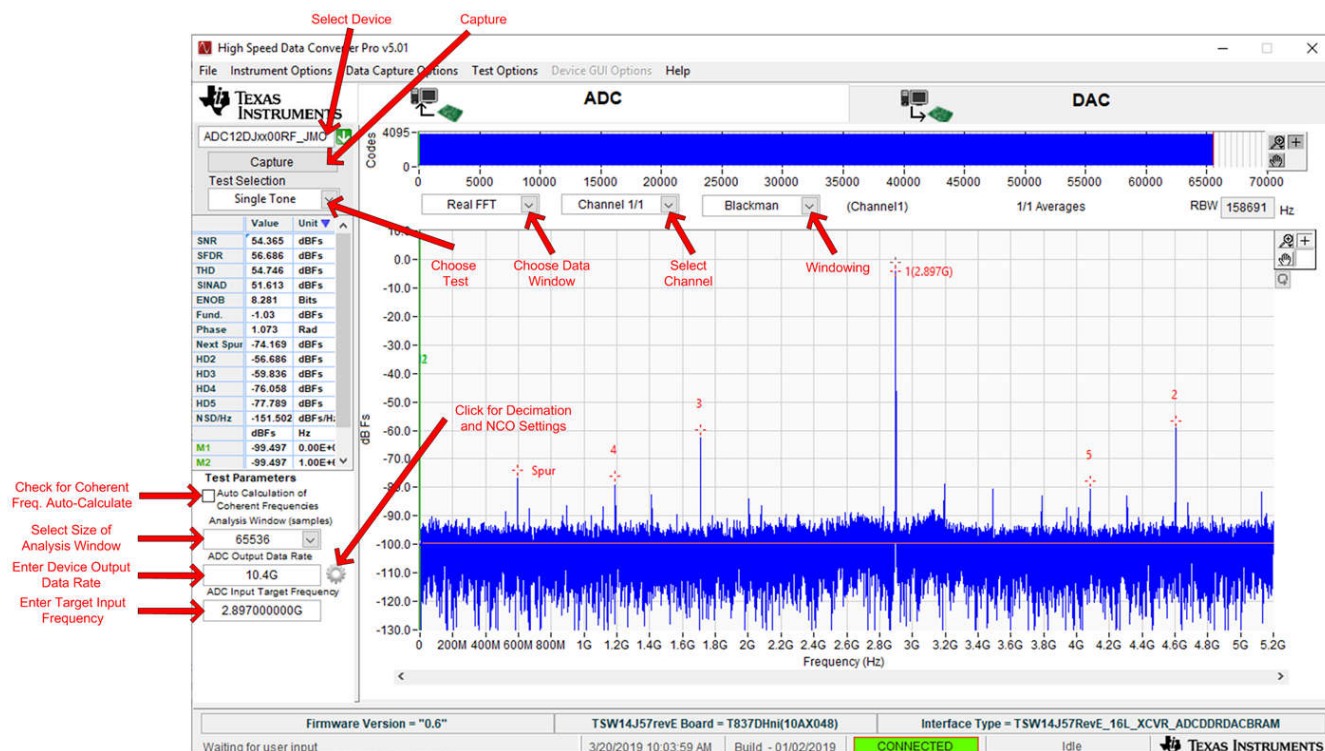


図 3-4. 高速データ コンバータ Pro (HSDC) GUI

デシメーションおよび NCO 機能を使用する場合は、ギア シンボルをクリックして「Additional Device Parameters」(追加デバイス パラメータ) ダイアログ ボックスにアクセスし、次の詳細を入力します。

1. ADC サンプリング レート
2. ADC 入力信号周波数
3. NCO 周波数
4. デシメーション係数

HSDC Pro GUI は、これらの入力に基づいて ADC 出力データ レートを計算します。基本周波数と高調波周波数の位置も計算して、FFT 表示で識別します。

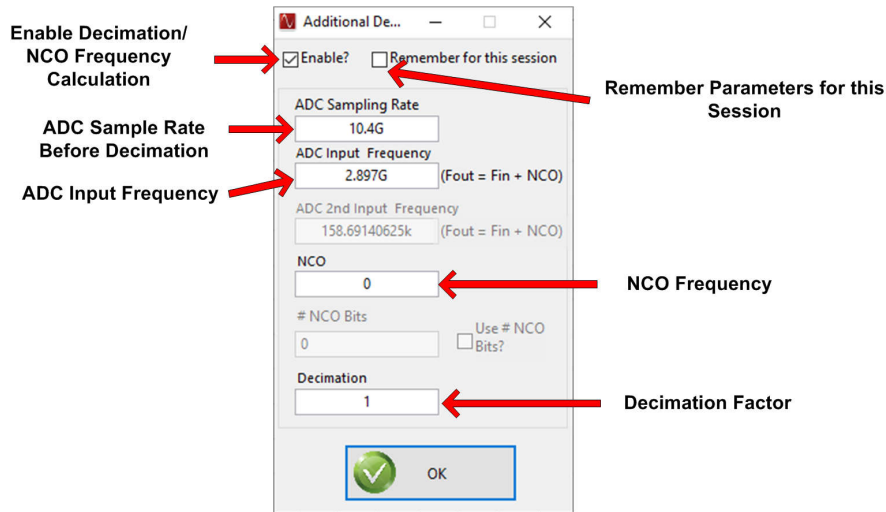


図 3-5. 「Additional Device Parameters」(追加デバイス パラメータ) ダイアログボックス

3.2.2 AFE ハードウェアのセットアップと構成

TIDA-010133 リファレンス デザイン ハードウェアには、複数のジャンパ ヘッダーを使用して、ユーザーが選択可能なハードウェア構成をいくつか用意しています。ジャンパは主にハードウェアのプログラマビリティを構成します。これには、オンボードの FTDI デバイス、または USB2ANY モジュールを使用した SPI/I2C 経由でハードウェアと通信するオプションが含まれます。次の表に、オンボード デバイスと、各デバイスとの通信に使用する通信インターフェイスを示します。

表 3-1. デバイス インターフェイス

デバイス	通信インターフェイス
LMH6518	SPI
DAC80508	SPI
TPL0102	I2C

7 個のジャンパ ヘッダがあります。LMH6518 に 3 個、DAC80508 に 2 個、I2C TMUX121 インターフェイスに 2 個です。

LMH6518 は、ジャンパ J18、J19、J24 を使用して構成します。J18 は、USB2ANY を使用するとき通信するチャネルデバイス (1 または 2) を選択するために使用されます。J19 は、FTDI と USB2ANY の間のインターフェイスの切り替えに使用されます。J24 は、FTDI と USB2ANY の間の切り替えに使用するマルチプレクサの有効化 / 無効化に使用します。マルチプレクサのイネーブル ピンはアクティブ Low です。

表 3-2. LMH6518 構成

J18	J19	J24	プログラミング
x	0	0	FTDI
0	1	0	チャネル 1 (USB2ANY)
1	1	0	チャネル 2 (USB2ANY)
X	X	1	無効

DAC80508 は、構成に J25 と J27 を使用します。J25 は、FTDI と USB2ANY 通信インターフェイスを切り替えるためにあります。J27 は、DAC の 2 番目のマルチプレクサを有効化または無効化するために使用されます。

表 3-3. DAC80508 構成

J25	J27	プログラミング
0	0	FTDI
1	0	USB2ANY
X	1	無効

J31 は FTDI または USB2ANY からの I2C インターフェイス選択に使用され、J32 はマルチプレクサの有効化 / 無効化に使用されます。

表 3-4. I2C ソース選択

J31	J32	プログラミング
0	0	FTDI
1	0	USB2ANY
X	1	無効

J17 は、FTDI デバイスに 3.3V 入力进行供給するために使用します。2 つの利用可能なオプションは、オンボードの 3.3V 電源レールまたは USB V_{BUS} のどちらかです。

表 3-5. FTDI 3P3V 電源

J17	VREGIN ソース
1-2	+3P3VD 電源レール
2-3	接続された USB からの V _{BUS}

ボードに電力を供給するには、J5 に 12V の 500mA 電源を接続し、J30 にグラウンドを接続する必要があります。USB2ANY リボン ケーブルは、J16 ヘッダに接続し、ピン 1 (赤いストリップ) は左下に向けて接続します。電源が供給されると、次の図に示すように緑色の LED が点灯します。

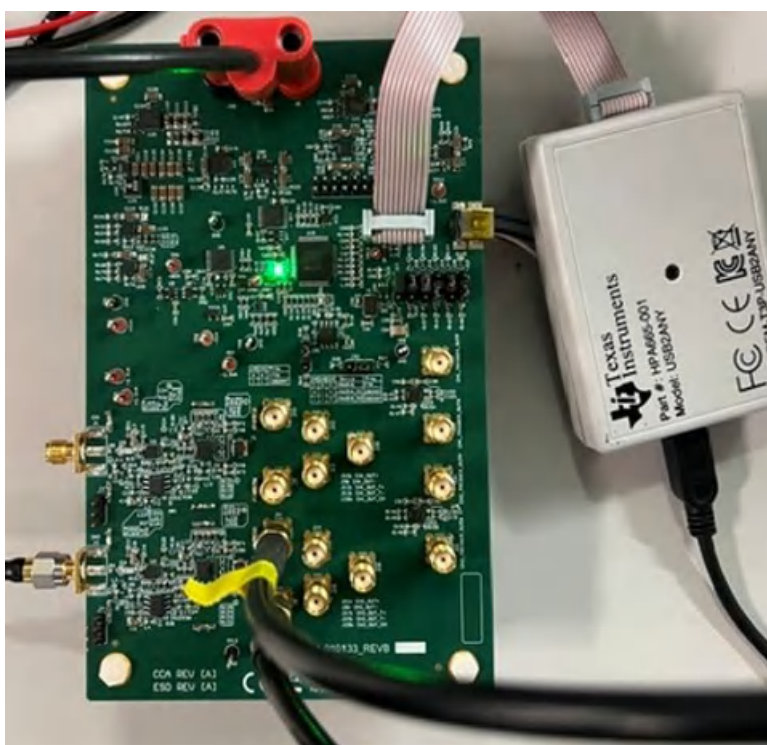


図 3-6. AFE ボードのセットアップ

3.2.2.1 デバイスのプログラミング

USB2ANY モジュールは、基板上の制御可能なデバイスをプログラムするための推奨方法です。USB2ANY モジュールを接続するための専用コネクタ J16 があります。これに加えて FTDI IC FT4232 がありユーザーはこのマイコンを使用してボードをプログラムすることもできます。



図 3-7. USB2ANY

LMH6518 と DAC80508 には、どちらも GUI / ソフトウェア パッケージが用意されており、ユーザー プログラマビリティを可能にします。次の手順では、各ソフトウェアをからダウンロードできる場所からのリンクを示します。

1. **LMH6518 GUI をインストールする**

- a. 最新バージョンの LMH6518 GUI を <https://www.ti.com/product/LMH6518> からダウンロードしてください。
- b. インストール手順に従って、GUI をインストールします。
- c. GUI 経由で LMH6518 をプログラムする方法の詳細については、ユーザー ガイドをご覧ください。

2. **DAC80505 GUI をインストールする**

- a. 最新バージョンの DAC80508 ソフトウェア パッケージを <https://www.ti.com/tool/DAC80508EVM> からダウンロードしてください。
- b. インストール手順に従って、ソフトウェアをインストールします。

3. **USB2ANY をインストールする**

- a. 最新バージョンの USB2ANY Explorer ソフトウェア パッケージを <https://www.ti.com/tool/USB2ANY> からダウンロードしてください。
- b. インストール手順に従って、ソフトウェアをインストールします。
- c. USB2ANY モジュールを使用してデバイスをプログラムする方法の詳細については、ユーザー ガイドをご覧ください。

USB2ANY Explorer をインストールしたら、次のようにインターフェイスを開いて構成します。

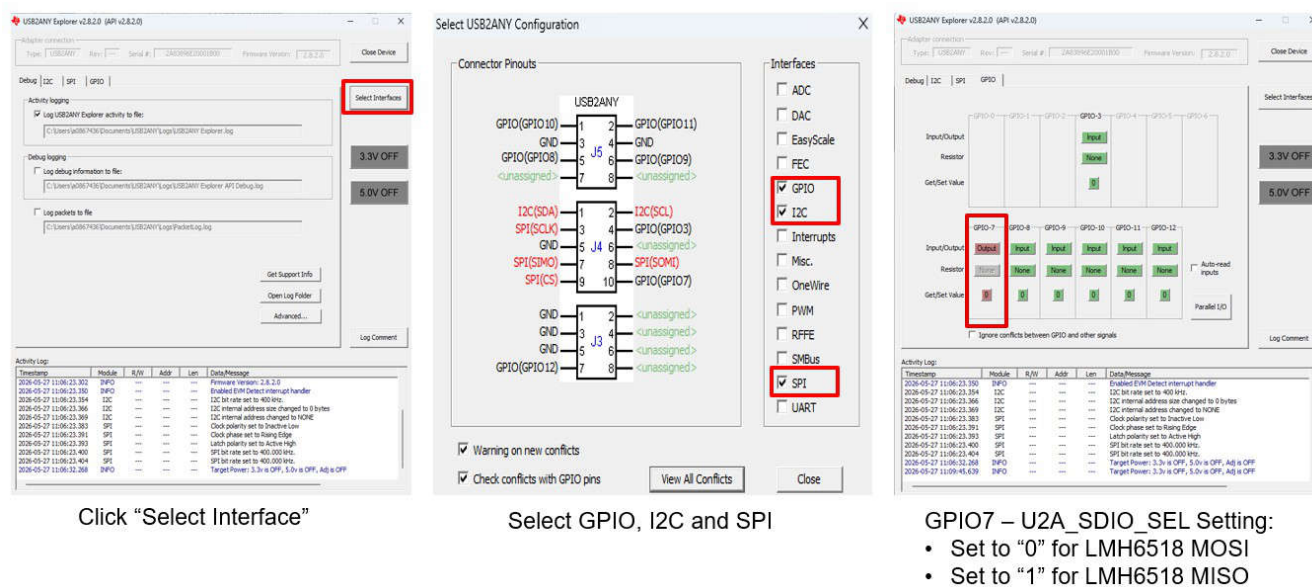


図 3-8. USB2ANY インターフェイス設定

I2C インターフェイスを使用して Chx_ACDC_GAINADJ 用に TPL0102 DPOT を構成する場合、以下に、USB2ANY Explorer GUI を使用した I2C トランザクションの例を示します。

2 つの異なるチャンネルがあるため、I2C アドレスのエントリにそれに応じて I2C アドレスを入力します。示されているように、チャンネル 1 のアドレスは 0x50、チャンネル 2 のアドレスは 0x51 です。

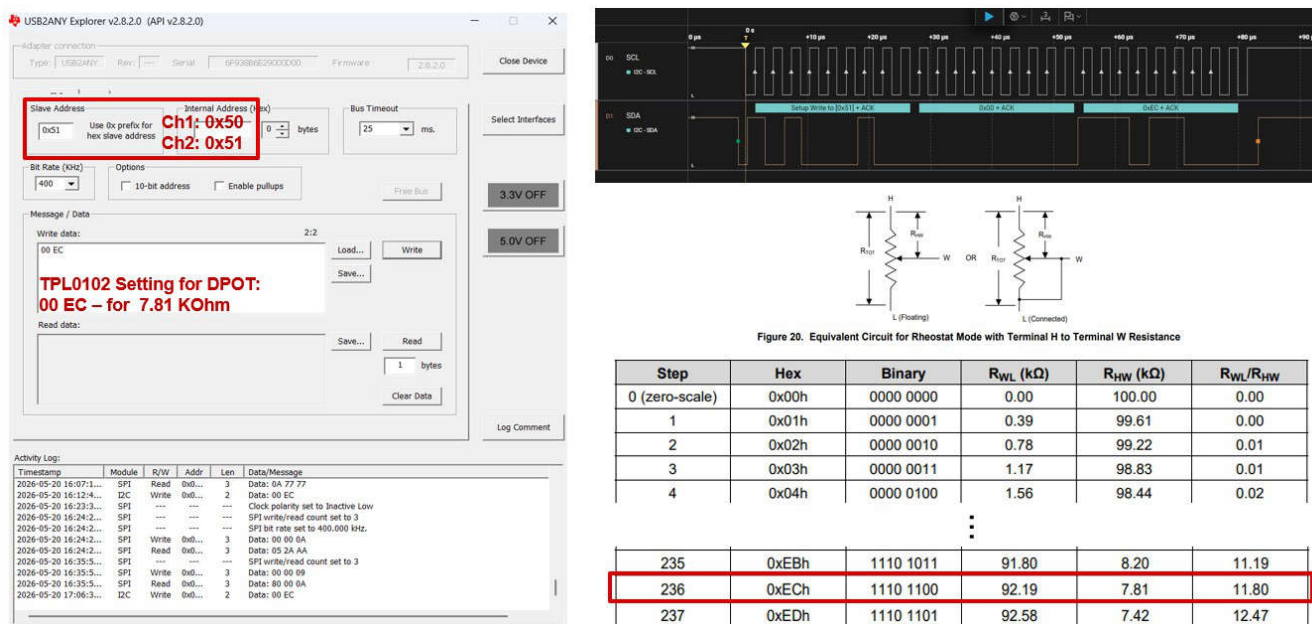


図 3-9. TPL0102 I2C トランザクションの例

SPI インターフェイスを使用して DAC80508 の CHx オフセットを設定するための例に、インターフェイスの設定を示します。これらのオフセットは、チャンネル 1 が DAC チャンネル 0 (DAC0-DATA)、チャンネル 2 が DAC チャンネル 2 (DAC2-DATA) によって提供されるため、DAC80508 の表 8 に従って SPI アドレスビットが設定されます。データシートのレジスタマップ。DAC1-DATA と DAC3-DATA はチャンネルのキャリブレーションパス用です。DAC 変換のコードは、データシートの式 4 に記載されており、以下の例にも示されています。

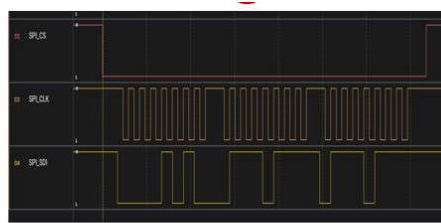
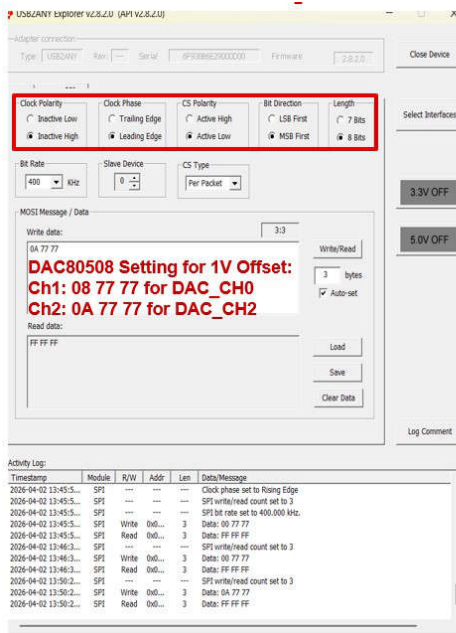
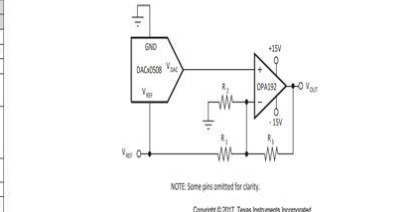
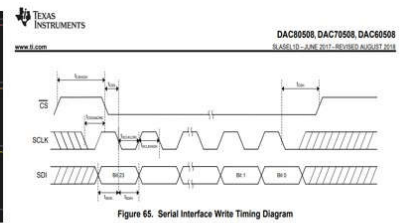


Table 8. Register Map

REGISTER	TYPE	RESET	ADDRESS BITS	DATA BITS
NCIP	R/W	0	A3 A2 A1 A0	D15 D14 D13 D12 D11 D10 D9 D8 D7 D6 D5 D4 D3 D2 D1 D0
DEVICE ID	R	0	0 0 0 0 0 0 0 0	RESERVED
SYNC	R/W	FF FF	0 0 0 0 0 0 0 0	DAC0-SYNC EN
CONFIG	R/W	0000 0000	0 0 0 0 0 0 0 0	RESERVED
GAIN	R/W	0000 0000	0 0 0 0 0 0 0 0	RESERVED
TRIGGER	R/W	0000 0000	0 0 0 0 0 0 0 0	RESERVED
BROADCAST	R/W	0000 0000	0 0 0 0 0 0 0 0	BROADCAST DATA[15:0]
STATUS	R/W	0000 0000	0 0 0 0 0 0 0 0	RESERVED
DAC0	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC0-DATA[15:0]
DAC1	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC1-DATA[15:0]
DAC2	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC2-DATA[15:0]
DAC3	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC3-DATA[15:0]
DAC4	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC4-DATA[15:0]
DAC5	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC5-DATA[15:0]
DAC6	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC6-DATA[15:0]
DAC7	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC7-DATA[15:0]
DAC7	R/W	0000 0000	0 0 0 0 0 0 0 0	DAC7-DATA[15:0]
AI Others	—	—	—	RESERVED

(1) DAC0508C only. Reserved bits in DAC0508.



9.2.1 Design Requirements
The circuit shown in Figure 78 gives a bipolar output voltage at V_{OUT} . When $GAIN = 1$, V_{OUT} can be calculated using Equation 4:

$$V_{OUT} (CODE) = \left(V_{REF} \times \frac{CODE}{2^N} \right) \times \left(1 + \frac{R_2}{R_1} \right) \times \left(\frac{R_2}{R_1} \times \frac{R_3}{R_4} \right) \quad (4)$$

図 3-10. DAC80508 SPI インターフェイス

LMH6518 VGA デバイスは、SPI インターフェイスを使用して構成できます。ゲインの設定例を以下に示します。データのフィールドは、データシートの 図 3-11 に記載されています。

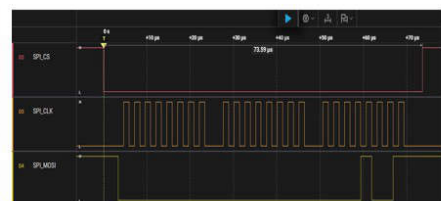
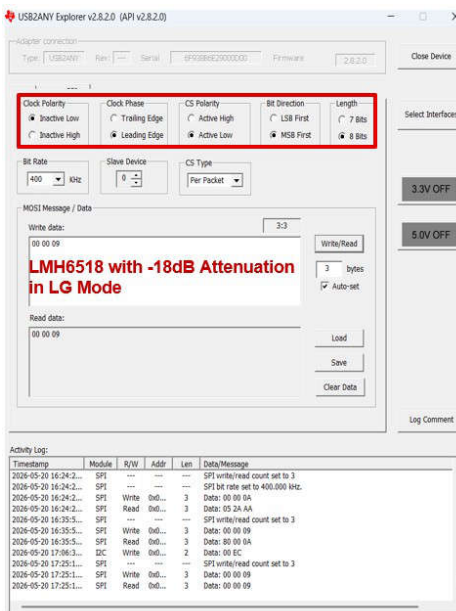


Table 6-3. Filter Selection Data Field

D8	D7	D6	BANDWIDTH (MHz)
0	0	0	Full
0	0	1	20
0	1	0	100
0	1	1	200
1	0	0	350
1	0	1	650
1	1	0	750
1	1	1	Unallowed

1 Filter Bandwidth Setting

Table 6-4. Ladder Attenuation Data Field

D3	D2	D1	D0	BANDWIDTH (dB)
0	0	0	0	0
0	0	0	1	-2
0	0	1	0	-4
0	0	1	1	-6
0	1	0	0	-8
0	1	0	1	-10
0	1	1	0	-12
0	1	1	1	-14
1	0	0	0	-16
1	0	0	1	-18
1	0	1	0	-20
1	0	1	1	Unallowed
1	1	0	0	Unallowed
1	1	0	1	Unallowed
1	1	1	0	Unallowed
1	1	1	1	Unallowed

Attenuation Setting

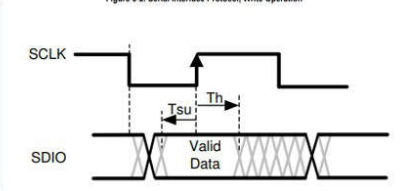
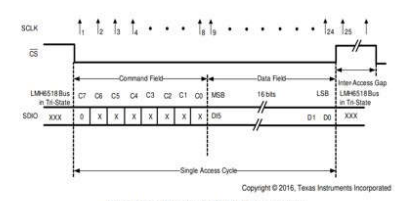


Table 6-1. Data Field

D15 (MSB)	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0 (LSB)
X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

図 3-11. LMH6518 SPI インターフェイス

3.3 テスト結果

このリファレンス デザイン ボードを使用したテスト結果をここに示します。これらの信号は、 50Ω の入力終端で AC 結合と DC 結合を使用して測定されています。

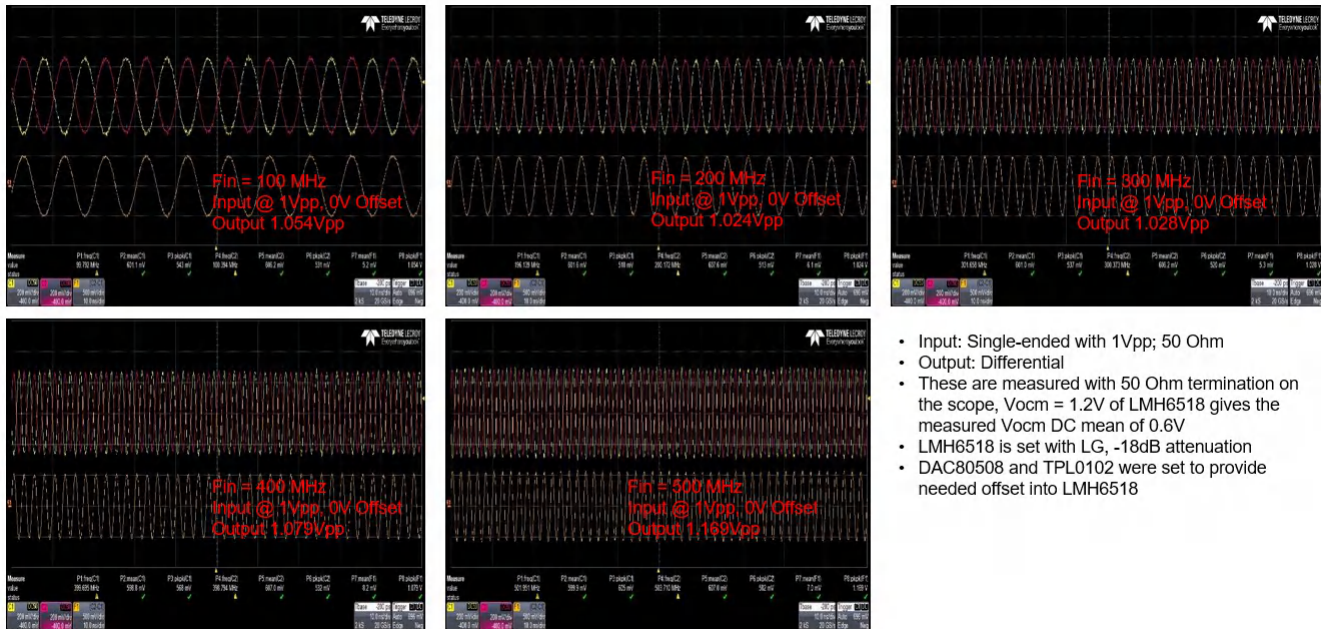


図 3-12. 周波数範囲全体にわたる 1Vpp 入力で AC 結合

DC 結合では、入力に DC 入力 that 供給され、差動出力の結果はそれぞれの DC 出力になります。正と負の DC 入力をテストしてあり、出力の極性はそれぞれの入力を示しています。

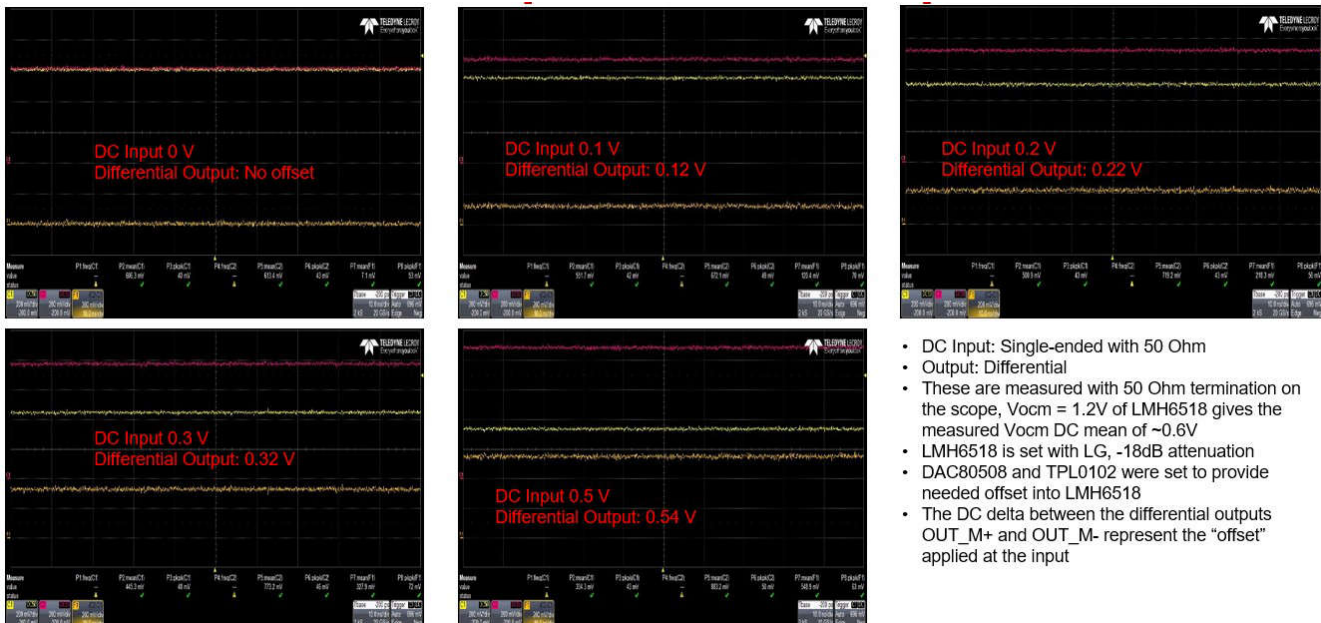


図 3-13. 正の DC 結合入力ケース

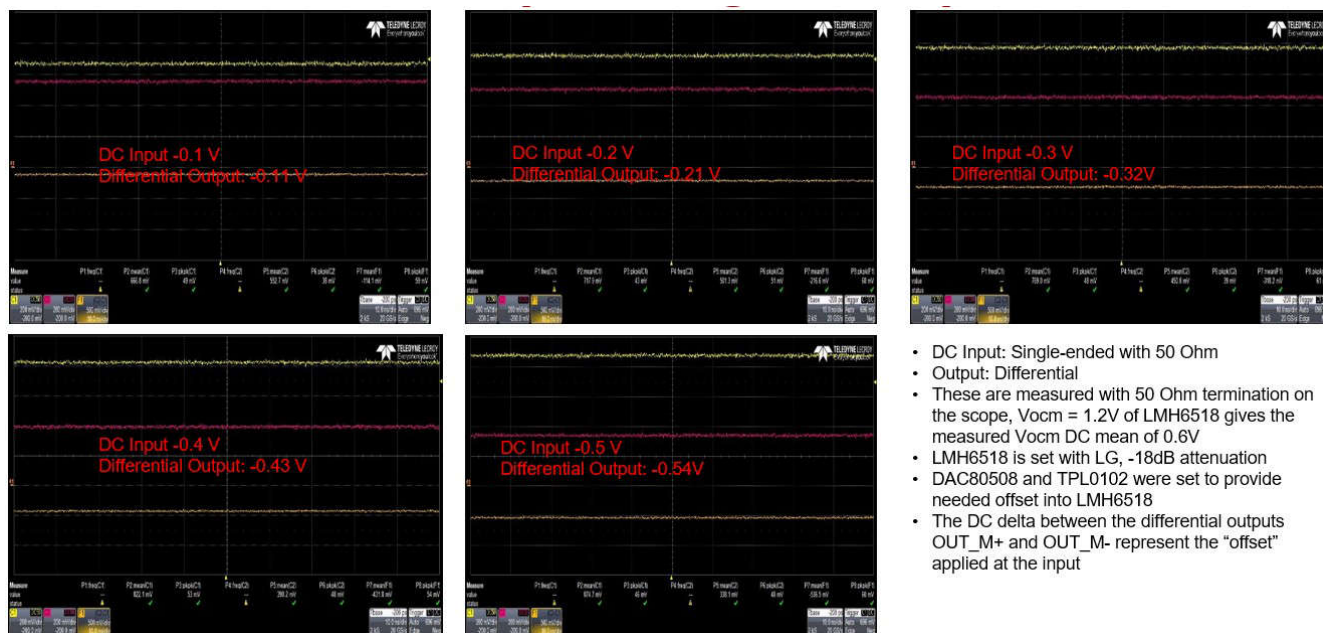
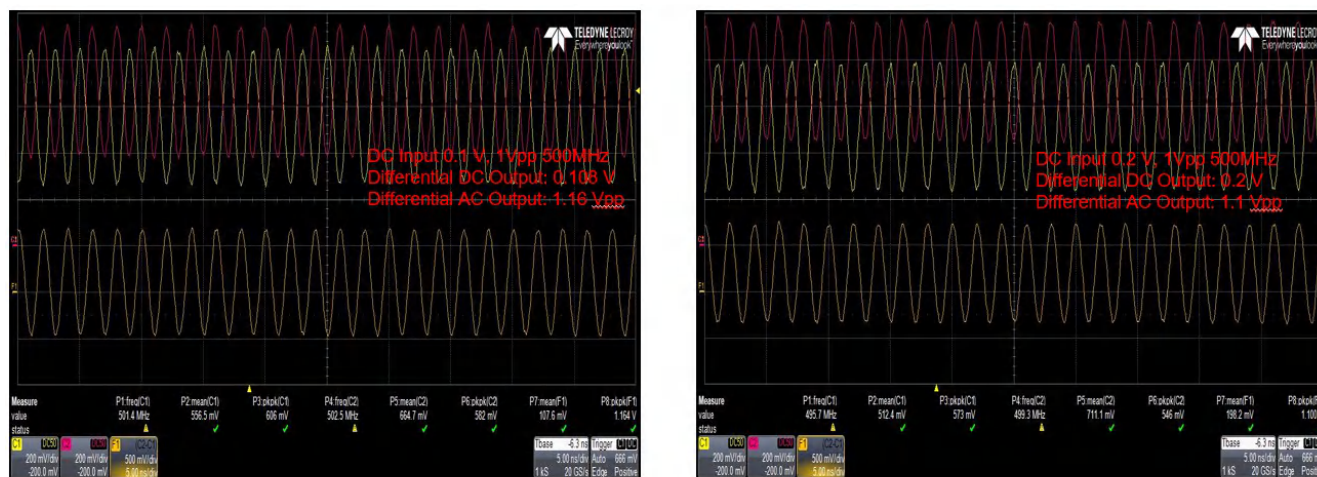


図 3-14. 負の DC 結合入力ケース

AC 信号により DC 入力オフセットを注入する場合、ユーザーはそれらのレベルが LMH6518 の出力スイング範囲内に収まることを確認する必要があります。入力 DC オフセットは、LMH6518 の入力同相電圧に合わせるために必要な DAC80508 チャンネル オフセットによって決定できます。DAC80508 のオフセットからのこのレベルは、後処理ブロックで入力オフセットを表示するために使用できます。DC オフセットを含む AC 信号の入力例を以下に示します。



- DC Input: Single-ended with 50 Ohm, 1Vpp 500MHz Signal
- Output: Differential
- These are measured with 50 Ohm termination on the scope, Vocm = 1.2V of LMH6518 gives the measured Vocm DC mean of ~0.6V
- LMH6518 is set with LG, -18dB attenuation
- DAC80508 and TPL0102 were set to provide needed offset into LMH6518
- The DC delta between the differential outputs OUT_M+ and OUT_M- represent the "offset" applied at the input

図 3-15. DC オフセットを含む AC 信号の入力ケース

このリファレンス デザインの周波数スweep性能を下に示します。これは、LMH6518 の帯域幅である DC から 900MHz 周辺までが平坦な応答を示しています。これは 1Vpp のシングルエンド入力を使用しています。

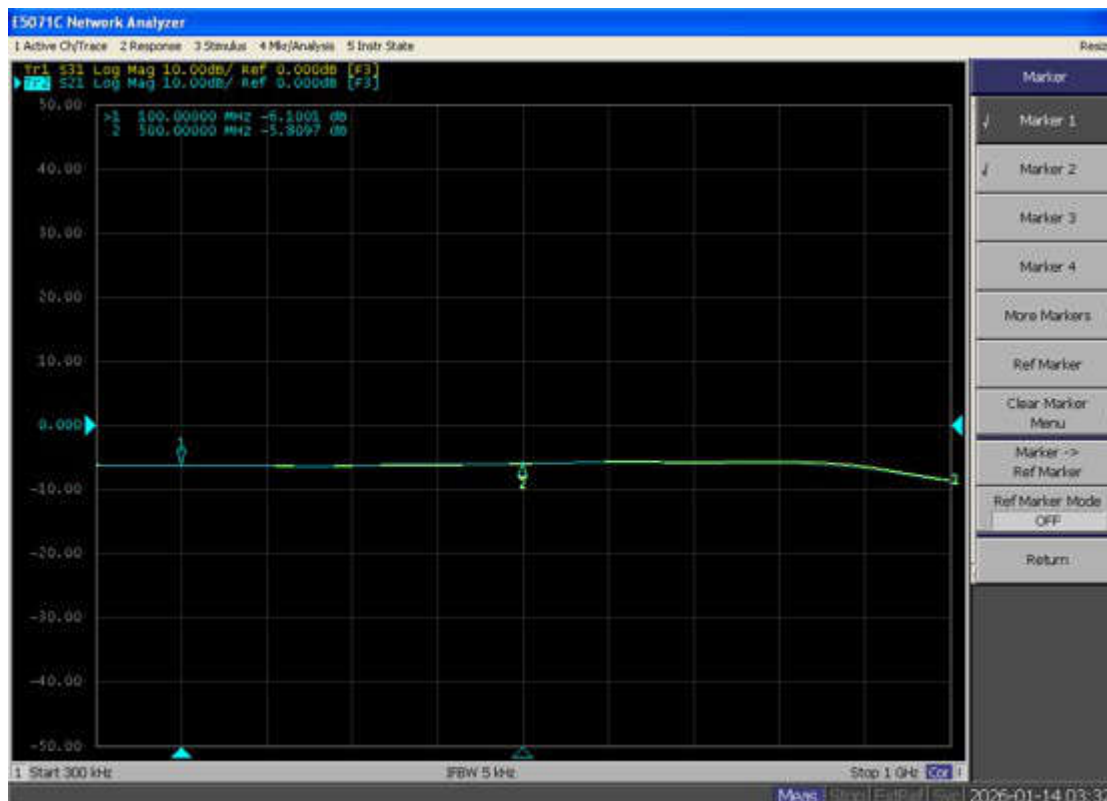


図 3-16. 周波数スイープ

SNR の測定は、1Vpp レベルの 500MHz 信号と、リファレンス デザインのノイズ電力から、入力が 500MHz スパン全体で 50Ω で終端されたときに行われます。スペクトルを以下に示し、その結果を理論データと比較しています。

以下の信号とノイズの測定値に基づき、SNR は以下のように計算されます。

$$\text{SE SNR} = -2.42\text{dBm} - (-149.23\text{dBm/Hz} + 10\text{Log}_{10} 5 \times 10^8\text{Hz}) = 59.82\text{dBm} \quad (5)$$

$$\text{Diff SNR} = 59.82\text{dBm} + 6\text{dBm} = 65.82\text{dBm} \quad (6)$$

0.5Vpp (0.177Vrms) の信号と、BUF802 (2.3nV/√Hz) および LMH6518 (1nV/√Hz) デバイスによるノイズ電力、フィルタ補正係数 $\pi/2$ に基づく理論的計算では、SNR は次のように計算されます。

$$N_{\text{TOTAL}} = \sqrt{(2.3)^2 + (1)^2} * \sqrt{500 \text{ MHz} * (\pi/2)} = 70\mu\text{V} \quad (7)$$

$$\text{SNR} = 20\text{Log}_{10}(0.177\text{V}/70\mu\text{V}) = 68\text{dB} \quad (8)$$

これは、測定結果とほぼ一致していることを示しています。

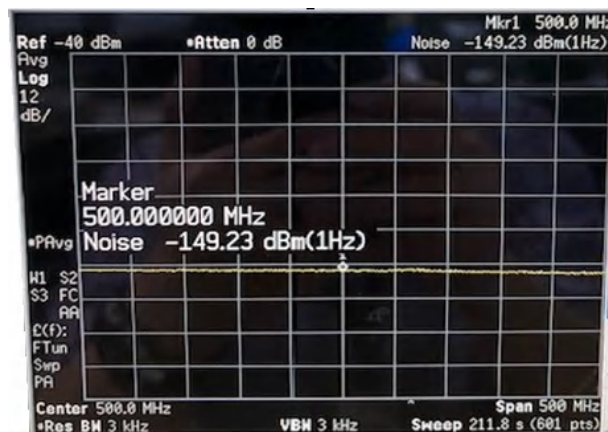


図 3-17. 信号とノイズの電力測定値 (1)

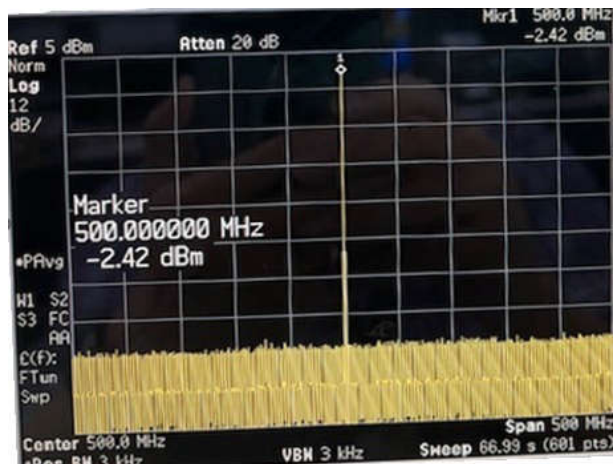


図 3-18. 信号とノイズの電力測定値 (2)

このリファレンス デザインの伝搬遅延は、2 つの異なるレベルにわたって高速立ち上がり時間の矩形波入力を使用して測定した結果を以下に示します。

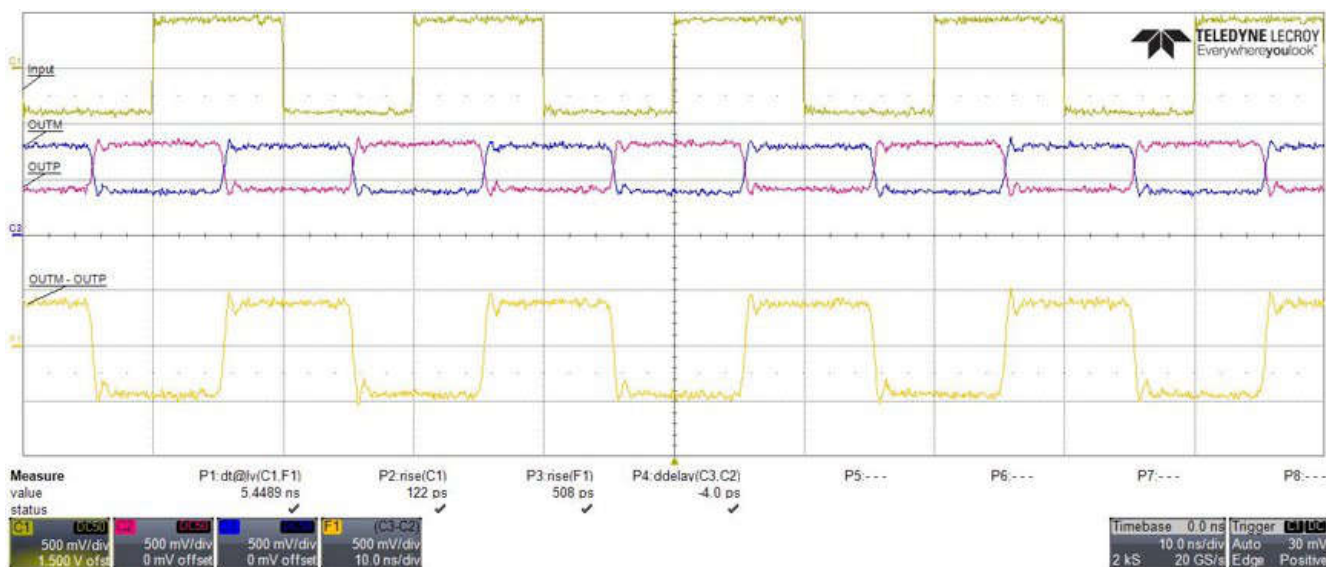


図 3-19. 0.9Vpp 入力での遅延測定

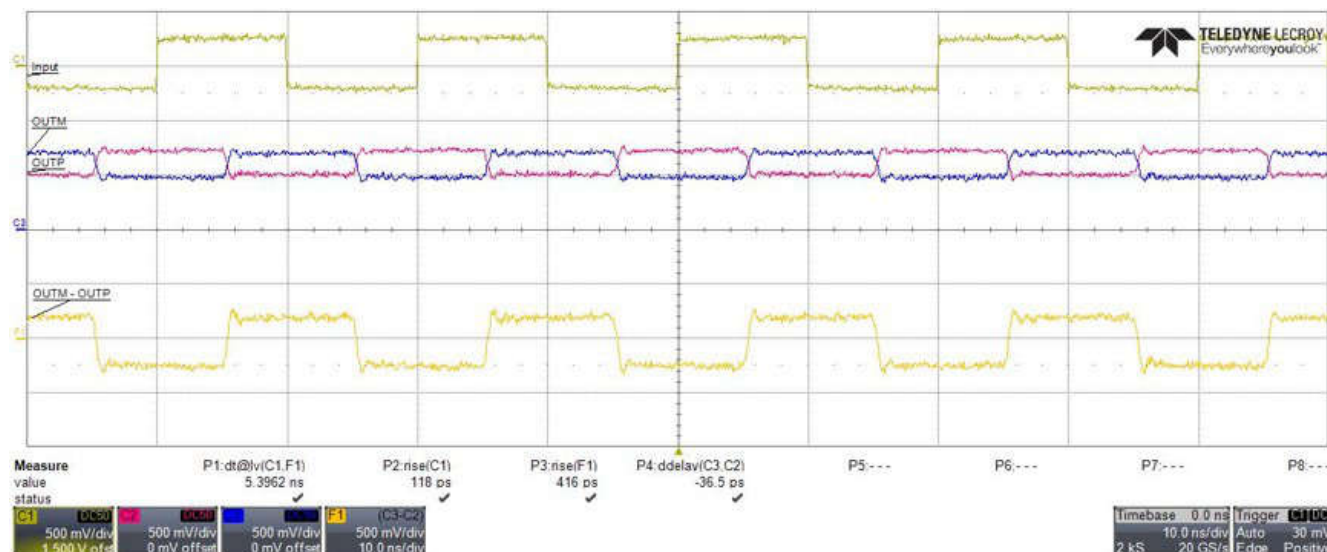


図 3-20. 0.5Vpp 入力での遅延測定

遅延は約 5.4ns と測定され、測定された立ち上がり時間に基づいて、帯域幅は 500MHz を超えます。

4 設計とドキュメントのサポート

4.1 デザイン ファイル

4.1.1 回路図

回路図をダウンロードするには、[TIDA-010133](#) のデザイン ファイルを参照してください。

4.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-010133](#) のデザイン ファイルを参照してください。

4.2 ツールとソフトウェア

ツール

[USB2ANY](#)

USB2ANY インターフェイス アダプタ

[ADC12DJ5200RFEVM](#)

ADC 評価基板

ソフトウェア

[SLVC695](#)

USB2ANY Explorer ソフトウェア

[ADC12DJ5200RFEVM](#)

評価基板の GUI

4.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

4.4 商標

テキサス・インスツルメンツの™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

5 著者について

Peter Djuandi は、テキサス インスツルメンツのシステム エンジニアであり、テストおよび測定アプリケーションのリファレンス デザイン開発を担当しています。彼は米国ユタ州ソルトレイク シティにあるユタ大学で電気工学の学士号と修士号を取得しました。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月