

EVM User's Guide: AUDIO-AM62D-EVM

AM62D オーディオの評価基板



説明

AUDIO-AM62D 評価基板は、車載プレミアム アンプなどのマルチチャンネル オーディオ アプリケーションの試作に適した、低コストで拡張性の高いプラットフォームです。AM62D SoC を中心として、TI のベクトル ベース C7x DSP と行列乗算アクセラレータ、1.25MB L2 メモリ、クワッドコア Arm® Cortex-A53、デュアルコア Cortex-R5F、LPDDR4 32 ビットコントローラを搭載しています。この評価基板には、ギガビットイーサネット™、USB Type-C®、CAN-FD、および温度センサを搭載しており、高性能なシームレスなオーディオ開発に適したセキュアな環境が含まれます。

設計を開始

1. [AUDIO-AM62D-EVM](#) で EVM を注文します。
2. EVM の[設計ファイル](#)をダウンロードします。
3. [AUDIO-AM62D-EVM](#) からソフトウェアをダウンロードします。
4. 『EVM ユーザー ガイド』を読みます。

特長

- 4 つの 3.5mm TRS オーディオ ジャック ライン入力、TRS オーディオ ジャック ライン出力
- オーディオ拡張コネクタ x 2
- ギガビットイーサネット拡張コネクタ x 2
- 4GB LPDDR4 メモリ
- 512MB OSPI フラッシュ メモリ
- 32GB eMMC フラッシュ メモリ
- microSD カード スロット
- USB2.0 Type-C、Type-A



目次

説明.....	1
設計を開始.....	1
特長.....	1
1 評価基板の概要.....	4
1.1 はじめに.....	4
1.2 キットの内容.....	4
1.3 仕様.....	4
1.4 製品情報.....	5
1.5 評価基板のリビジョンおよびアセンブリ バリエーション.....	5
2 ハードウェア.....	7
2.1 補足画像.....	7
2.2 主な特長.....	8
2.3 電源要件.....	9
2.4 設定および構成.....	11
2.5 電源オン / オフの手順.....	15
2.6 インターフェイス.....	16
2.7 電源.....	34
2.8 クロック処理.....	38
2.9 リセット.....	40
2.10 CPLD へのマッピング.....	41
2.11 オーディオ拡張コネクタ (ヘッダー).....	45
2.12 割り込み.....	50
2.13 I2C アドレス マッピング.....	50
3 ハードウェア設計ファイル.....	53
4 準拠に関する情報.....	54
4.1 準拠および認証.....	54
5 追加情報.....	55
5.1 ハードウェアまたはソフトウェアに関する既知の問題.....	55
5.2 商標.....	56
6 関連資料.....	57
7 参考資料.....	57
8 改訂履歴.....	57

図の一覧

図 1-1. AM62D オーディオ EVM の機能ブロック図.....	5
図 2-1. AM62D オーディオ EVM の上面.....	7
図 2-2. AM62D オーディオ EVM の底面.....	8
図 2-3. USB 生成.....	10
図 2-4. ブートモードスイッチ (MMCSD ブート).....	11
図 2-5. ブートモードの例 (MMCSD ブート).....	15
図 2-6. オーディオ ステレオ ライン出力のブロック図.....	17
図 2-7. オーディオ マイク / ライン入力 of ブロック図.....	18
図 2-8. JTAG インターフェイスのブロック図.....	19
図 2-9. UART インターフェイスのブロック図.....	21
図 2-10. USB2.0 Type-A インターフェイスのブロック図.....	22
図 2-11. USB2.0 Type-C インターフェイスのブロック図.....	23
図 2-12. MCAN のブロック図.....	24
図 2-13. LPDDR4 インターフェイスの ブロック図.....	25
図 2-14. OSPI のブロック図.....	26
図 2-15. eMMC インターフェイスのブロック図.....	27
図 2-16. microSD インターフェイスのブロック図.....	28
図 2-17. 基板 ID EEPROM インターフェイスのブロック図.....	29
図 2-18. イーサネット インターフェイスのブロック図.....	30
図 2-19. 電源入力のブロック図.....	35
図 2-20. 電力アーキテクチャ.....	36
図 2-21. 電源シーケンス.....	37

図 2-22. クロック アーキテクチャ.....	39
図 2-23. SOC WKUP ドメイン クロック.....	40
図 2-24. リセットの ブロック図.....	41
図 2-25. CPLD1 のブロック図.....	42
図 2-26. CPLD2 のブロック図.....	43
図 2-27. CPLD1 のデフォルト構成.....	44
図 2-28. CPLD1 の内部ブロック図.....	44
図 2-29. CPLD2 のデフォルト構成.....	45
図 2-30. CPLD2 の内部ブロック図.....	45
図 2-31. I2C インターフェイス ツリー.....	51
図 5-1. 産業用 PHY カード上の抵抗の位置.....	56

表の一覧

表 1-1. EVM の PCB 設計リビジョンおよびアセンブリ バリエーション.....	6
表 1-2. CPLD 改訂履歴.....	6
表 2-1. Type-C ポートの電源ロール.....	9
表 2-2. 推奨外部電源.....	9
表 2-3. BOOTMODE ピンのマッピング.....	11
表 2-4. PLL リファレンス クロックの選択 BOOTMODE [2:0].....	12
表 2-5. ブート デバイス選択 BOOTMODE [6:3].....	12
表 2-6. プライマリ ブート モードの構成 [9:7].....	13
表 2-7. バックアップ ブート モードの選択 BOOTMODE [12:10].....	14
表 2-8. バックアップ ブート モードの構成 BOOTMODE [13].....	14
表 2-9. ユーザー テスト LED.....	14
表 2-10. 電力テスト ポイント.....	15
表 2-11. 電源インジケータ LED.....	16
表 2-12. インターフェイス マッピング.....	16
表 2-13. JTAG コネクタ (J14) のピン配置.....	19
表 2-14. UART ポート インターフェイス.....	20
表 2-15. CPSW イーサネット 1 および CPSW イーサネット 2 の拡張コネクタのピン配置.....	31
表 2-16. I/O エクスパンダの信号詳細.....	31
表 2-17. AM62D ローパワー SK 評価基板ペリフェラルを搭載した AM62D ローパワー SoC のマッピング.....	32
表 2-18. オンボード ディスクリットレギュレータおよび LDO.....	37
表 2-19. SoC 電源.....	38
表 2-20. INA I2C デバイス アドレス.....	38
表 2-21. クロック表.....	40
表 2-22. I2C アドレス マップ:.....	41
表 2-23. オーディオ拡張コネクタ 1 のピン配置.....	46
表 2-24. オーディオ拡張コネクタ 2 のピン配置.....	48
表 2-25. 評価基板割り込みボタン.....	50
表 2-26. I2C マッピング表.....	51
表 5-1. ハードウェアまたはソフトウェアに関する既知の問題.....	55

1 評価基板の概要

1.1 はじめに

本テクニカル ユーザー ガイドでは、AM62D システム オン チップ (SoC) を実装した低コストの EVM である、AM62D オーディオ EVM のハードウェア アーキテクチャについて説明します。AM62D プロセッサは、行列乗算アクセラレータを搭載したシングルコア C7x DSP、クワッドコア Arm Cortex-A53 マイクロプロセッサ、デュアルコア Arm Cortex-R5F MCU で構成されています。4 つの TRS オーディオ ジャック ライン入力、4 つの TRS オーディオ ジャック ライン出力に加え、2 つのオーディオ拡張コネクタと 2 つのイーサネット拡張コネクタが搭載されたこの EVM は、高性能 DSP を使用したマルチチャネル オーディオ アプリケーションの評価やプロトタイプ製作に最適です。テキサス・インスツルメンツの Code Composer Studio™ IDE などの標準的な開発ツールを使用し、EVM の組込み済みエミュレーション ロジックを通じてエミュレーションとデバッグを実施することができます。

1.2 キットの内容

パッケージには以下が含まれます。

- 「AUDIO-AM62D-EVM」EVM (評価基板)
- 『EVM ユーザー ガイド』冊子
- EVM の免責事項と標準約款

1.3 仕様

図 1-1 に、AM62D オーディオ EVM の機能ブロック図を示します。

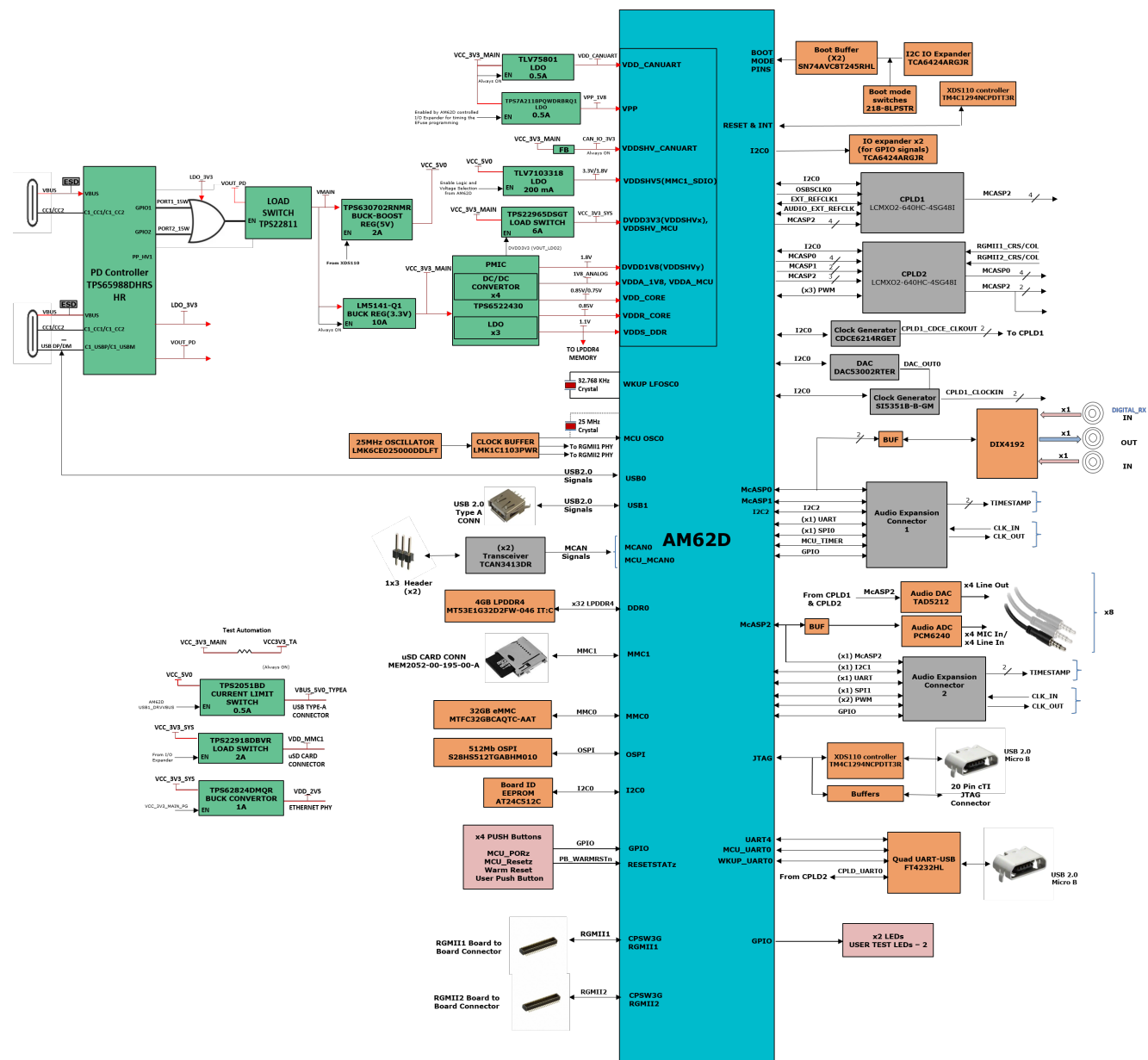


図 1-1. AM62D オーディオ EVM の機能ブロック図

1.4 製品情報

AUDIO-AM62D-EVM は、豊富な機能を備えたソフトウェア開発キット (SDK) を使用して FreeRTOS の開発をサポートしています。オンチップ エミュレーション ロジックを搭載しているため、テキサス・インスツルメンツの Code Composer Studio IDE などの標準的な開発ツールを使用したエミュレーションやデバッグが可能です。また、すぐに使用できる直観的なユーザー ガイドにより迅速に設計評価を開始できます。

1.5 評価基板のリビジョンおよびアセンブリ バリエーション

表 1-1 に、AM62D オーディオ EVM の PCB 設計リビジョンとアセンブリ バリエーションを示します。各 PCB リビジョンは、PCB 上にシルクスクリーンで示されています。各アセンブリ バリエーションは、追加のステッカー ラベルに示されています。

表 1-1. EVM の PCB 設計リビジョンおよびアセンブリ バリエーション

OPN	PCB リビジョン	アセンブリ バリエーション	リビジョンとアセンブリ バリエーションの説明
AUDIO-AM62D-EVM	PROC180E1	該当なし (単一バリエーションのみ)	AM62D オーディオ EVM の最初のプロトタイプ、初期リリースリビジョン。
AUDIO-AM62D-EVM	PROC180E2	該当なし	AM62D オーディオ EVM の 2 番目のプロトタイプ、初期リリースリビジョン。多数の変更とバグ修正が実施されています。

表 1-2. CPLD 改訂履歴

バージョン番号	CPLD	変更ログ
C4	CPLD 1 および 2	I2C アクノリッジの問題を解決するため、I2C モジュールを更新:I2C スイッチ (CPLD1 は 0x70、CPLD2 は 0x72) は、8 ビットのコントロール レジスタ値に関係なく、I2C アドレスに対してアクノリッジ (ACK) を返すようになりました。従来は、制御レジスタ ≠ 0 の場合のみ ACK が発行されていました。
C3	CPLD 1 および 2	初版。CPLD のプログラミング用として I2C 構成 (CPLD1 は 0x74、CPLD2 は 0x64) を備え、SoC から I2C インターフェイスを介して CPLD をプライマリおよびセカンダリとして動作させるための I2C ペリフェラル実装 (CPLD1 は 0x70、0x71、CPLD2 は 0x72、0x73) を備えています。
C2	CPLD 1 および 2	バイナリをテストします。バージョン名が {C2xx、C3xx、...} に更新されました。I2C 構成を使用したプログラミングが正常に完了したことを確認するため、第 2 のバイナリとして内部発振器を使用するトグル ロジックを備えています。

2 ハードウェア

2.1 補足画像

このセクションでは、AM62D オーディオ EVM の画像および基板上のさまざまなブロックの位置を示します。

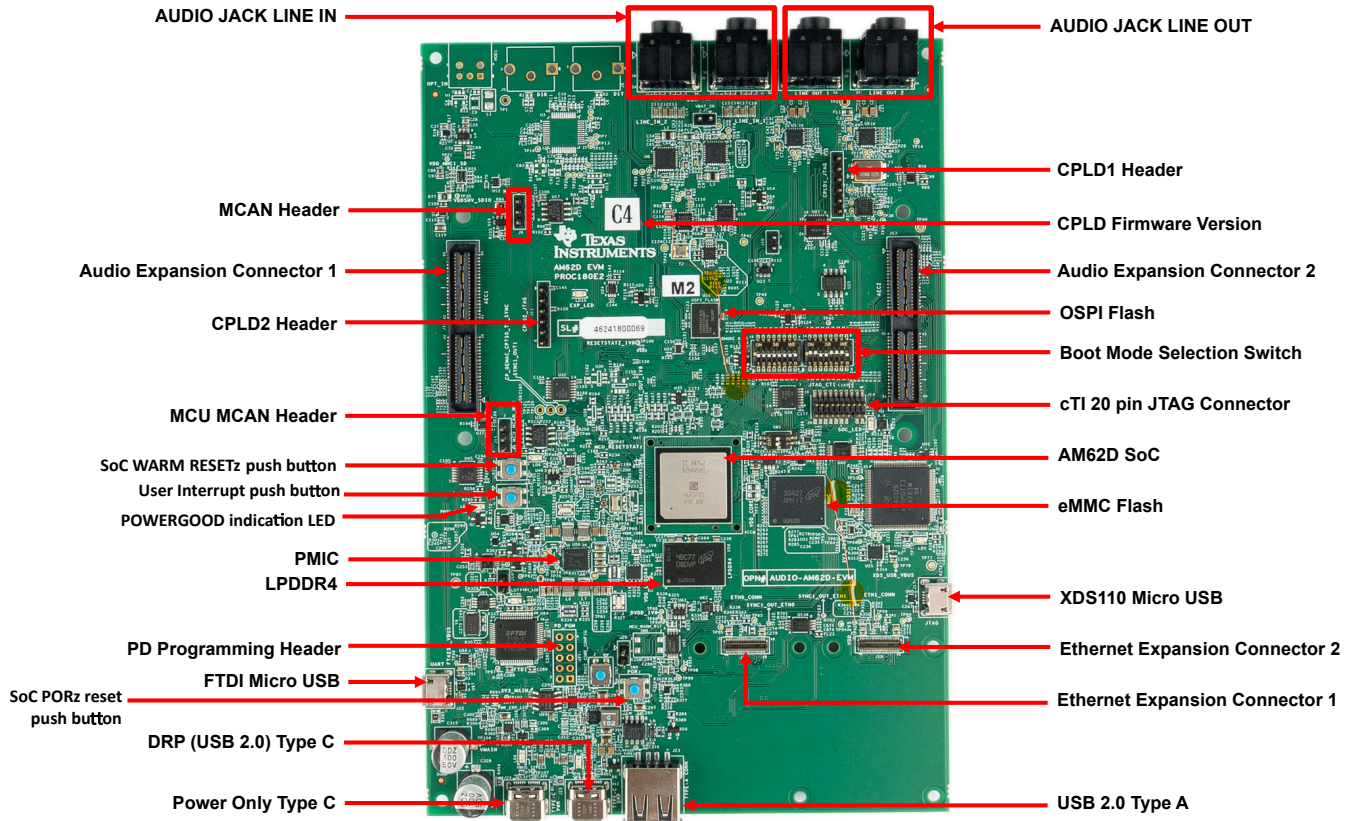


図 2-1. AM62D オーディオ EVM の上面

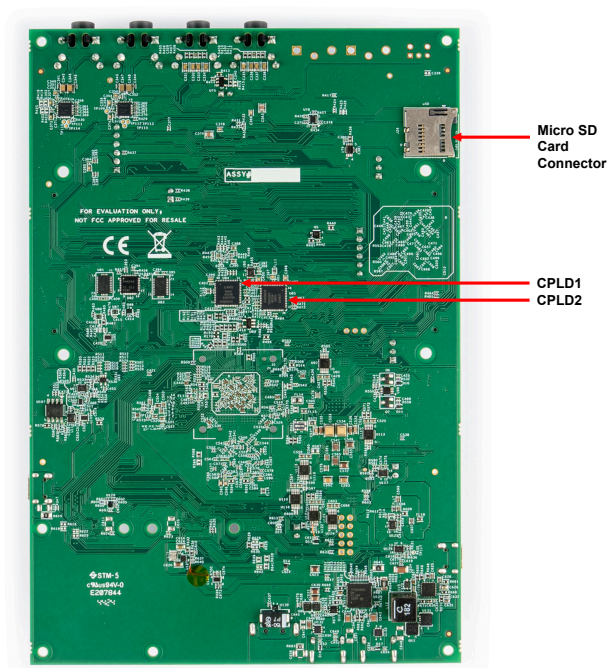


図 2-2. AM62D オーディオ EVM の底面

2.2 主な特長

AM62D オーディオ EVM は、高性能のスタンドアロン開発プラットフォームです。ユーザーは、テキサス・インスツルメンツの AM62D システム オン チップ (SoC) 用のオーディオ アプリケーションの評価と開発を行うことができます。

以下のセクションでは、AM62D オーディオ EVM の主な特長について説明します。

2.2.1 プロセッサ

- AM62D SoC、18mm x 18mm、0.8mm ピッチ、484 ピン fcBGA

2.2.2 電源

- USB2.0 Type-C ポート (入力範囲 5V~15V) x 2
- プロセッサとペリフェラル用の PMIC、ディスクリットレギュレータ、LDO を使用して電源設計を最適化

2.2.3 メモリ

- 最大 3733MT/s のデータレートに対応するした 4GB LPDDR4
- UHS-1 対応の microSD® カード スロット
- 512Mbit オクタル SPI NOR フラッシュ メモリ
- 512Kbit I2C (Inter-Integrated Circuit) 基板 ID EEPROM
- 32GB eMMC フラッシュ

2.2.4 JTAG / エミュレータ

- XDS110 オンボード エミュレータ
- 外付けエミュレータからの 20 ピン JTAG 接続に対応

2.2.5 サポートされるインターフェイスおよびペリフェラル

- USB2.0 Type-C インターフェイス x 1、DFP および UFP モード (データ) と DRP モード (電源) をサポート
- USB2.0 ホスト インターフェイス x 1、Type-A

- アナログ オーディオ インターフェイスは、4x ステレオ オーディオ ジャック マイク/ライン入力と、4x ステレオ オーディオ ジャック ライン出力で構成されています
- デジタル オーディオ インターフェイスは、同軸入力 x 1、光入力 x 1、同軸出力 x 1 で構成されています。
- 10/100/1000Mbps データをサポートするギガビット イーサネット信号 x 2 は、拡張コネクタで終端されています。
- micro-B USB コネクタ経由のクワッド ポート UART-to-USB 回路
- ユーザーテスト LED
- 電流監視用 INA デバイス
- SoC と LPDDR4 付近に温度監視用温度センサ x 2

2.2.6 アプリケーション固有のアドオン基板をサポートするための拡張コネクタ/ヘッダー

- ギガビット イーサネット拡張コネクタ x 2
- オーディオ拡張コネクタ x 2
- MCAN ヘッダ x 2

2.3 電源要件

AM62D オーディオ EVM は、2 つの USB2.0 Type-C コネクタのいずれかを通じて電力を供給できます。

- コネクタ 1 (J24) - 電源ロール – SINK、データ ロールなし
- コネクタ 2 (J25) - 電源ロール – DRP、データ ロール – USB2.0 DFP または UFP

AM62D オーディオ EVM は、5V ~ 15V の電圧入力範囲と、3A の電流に対応しています。USB PD コントローラ (メーカー型番: TPS65988DHRSHR) は、ケーブル検出時の PD ネゴシエーションに使用され、基板に必要な電力を取得します。コネクタ 1 は UFP ポートとして構成され、データ ロールはありません。コネクタ 2 は DRP ポートとして構成されているため、コネクタ 1 からボードに電力が供給されている場合にのみ、DFP として動作できます。両方のコネクタが外部電源に接続されている場合、PD の電力供給能力が最も高いポートが基板に電源を供給します。

表 2-1. Type-C ポートの電源ロール

J24 (UFP)	J25 (DRP)	基板電源	注記
接続済み	NC	ON - J24	J24 は UFP で、電力のシンクのみを行います。 ペリフェラルが接続されている場合に J25 は DFP として動作します
NC	接続済み	ON - J25	J25 は UFP で、電力のシンクのみを行います
接続済み	接続済み	ON - J24 または J25	PD 電力供給能力が最も高いポートが基板に電力を供給します

PD IC は、パワーアップ時に SPI EEPROM を使用して必要な構成を読み込み、互換性のあるパワー ソースと電力供給能力をネゴシエートします。

構成ファイルは、ヘッダー J21 を使用して EEPROM にロードされます。EEPROM がプログラムされると、PD は SPI 通信を使用して構成ファイルを取得します。構成ファイルがロードされると、PD は必要な電源要件を満たすために電源とネゴシエートします。

注

EEPROM には、PD コントローラの動作に必要な構成ファイルがあらかじめプログラムされています

EVM 基板に電力を供給しているコネクタを識別するために、両方の Type-C コネクタには電源表示 LED が搭載されています。外部電源 (Type-C 出力) は EVM の電源として使用可能ですが、EVM キットには含まれていません。

表 2-2 は外部電源の要件 (Type-C) を一覧表示します。

表 2-2. 推奨外部電源

DigiKey 型番	メーカー	メーカー型番
1939-1794-ND	GlobTek™, Inc.	TR9CZ3000USBCG2R6BF2
Q1251-ND	Qualtek™	QADC-65-20-08CB

注

最小電圧: 5VDC、推奨最小電流: 3000mA

最大電圧: 15VDC、最大電流: 5000mA。

AM62D は電源用に USB PD を実装しているため、デバイスと電源アダプタの両方がサポートする最大電圧 / 電流の組み合わせにネゴシエートすることができます。そのため、電源アダプタが USB-C PD 仕様に準拠している限り、電源が上記の最大電圧と電流の要件を超えても許容されます。

注意

Raspberry Pi USB Type-C® AC アダプタ (モデル: KSA-15E-051300HU、出力: 5.1V DC 3.0A) では、AUDIO-AM62D-EVM に正しく電力が供給されないことが確認されています。このアダプタはパッシブ USB Type-C ケーブルを使用しますが、USB パワー デリバリ (USB-PD) ネゴシエーションを実装していません。そのため、評価基板のブートに失敗したり、このアダプタから電源を供給したときに予期しない動作をしたりする可能性があります。

AUDIO-AM62D-EVM と互換性のある電源設計:

- USB-C® レセプタクル付き電力供給対応電源アダプタ
- キャプティブ USB-C ケーブル付き電力供給対応電源アダプタ
- 電力供給に対応した PC USB Type-C ポート
 - Thunderbolt
 - USB ロゴの後ろのバッテリー

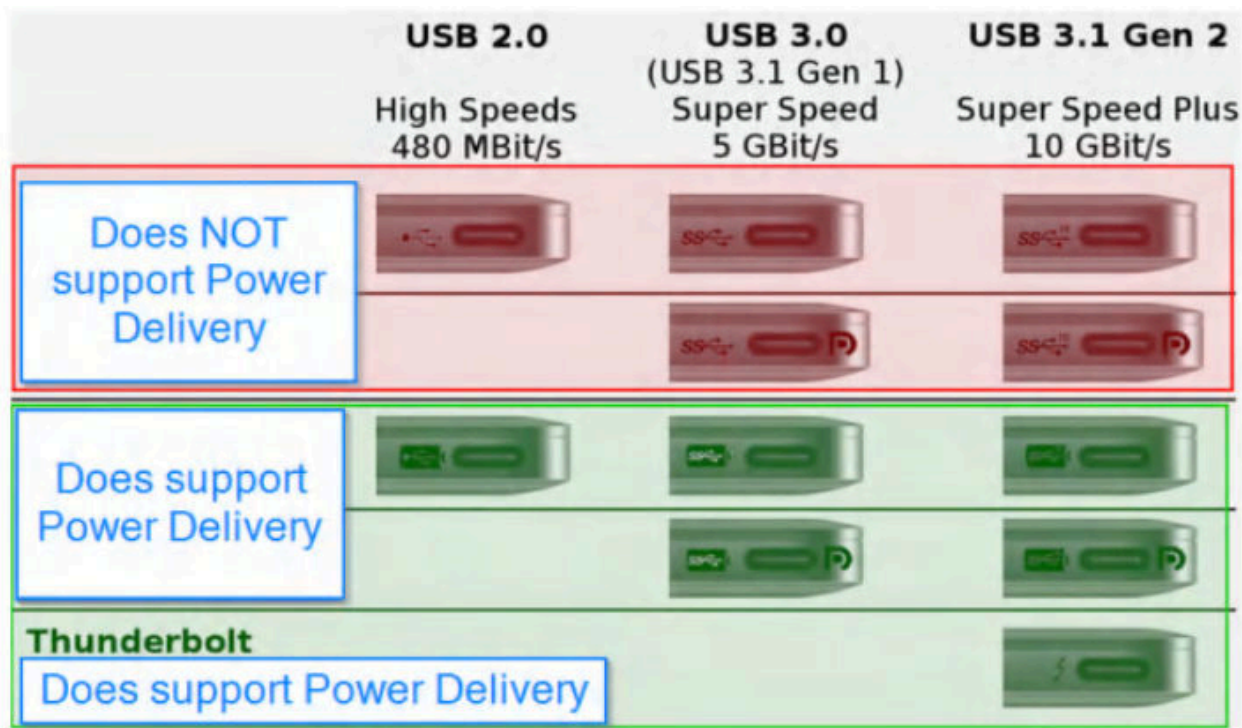


図 2-3. USB 生成

AUDIO-AM62D-EVM と互換性のない電源設計:

- 次のような任意の USB アダプタ ケーブル:
 - Type-A - Type-C
 - micro-B - Type-C
 - DC バレル ジャック - Type-C
- USB-C キャプティブ ケーブルまたはレセプタクルを使用する、5V、1.5A 電源アダプタ

- PC USB Type-C ポートには 3A は使用不可

2.4 設定および構成

2.4.1 EVM DIP スイッチ

AM62D オーディオ EVM には、目的の SoC ブート モードを設定するための 8 ポジション DIP スイッチが 2 つ搭載されています。

2.4.2 ブート モード

EVM 基板のブート モードは、スイッチ SW1 と SW2 の 2 つのバンクによって定義されます。これにより、AM62D SoC のブートモードは、ユーザー (DIP スイッチ制御) によって制御できます。

スイッチ (SW1 と SW2) のすべてのビットには、弱いプルダウン抵抗と強いプルアップ抵抗があります (図 2-4 を参照)。オフ設定のときは Low ロジック レベル ('0') が、オン設定のときは High ロジック レベル ('1') が提供されます。

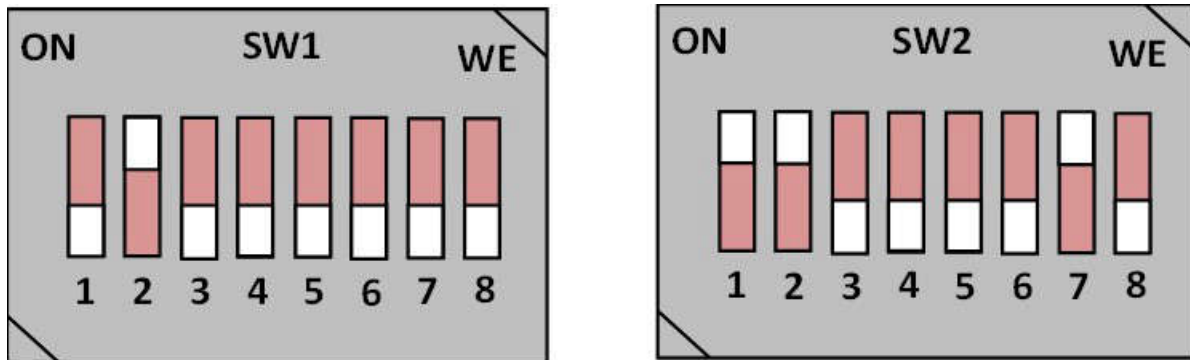


図 2-4. ブート モード スイッチ (MMCSD ブート)

SoC のブート モード ピンは、通常動作時には代替機能が関連付けられています。このため、代替ピン機能に対応するために、バッファ IC を使用して分離が可能です。バッファの出力は AM62D SoC のブート モード ピンに接続され、リセット サイクル中にブート モードが必要な場合にのみ出力が有効になります。

バッファへの入力、DIP スイッチ回路と、テスト オートメーション回路によって設定された I2C I/O エクスパンダの出力に接続されています。テスト自動化回路でブート モードを制御する場合は、すべてのスイッチを手動で OFF の位置に設定します。ブート モード バッファは、SoC の電源がオフになり再度オンにされてもブート モードが維持されるように、常時オンの電源から電源供給されます。

スイッチ SW1 と SW2 の各ビット [15:0] は、SoC ブート モードの設定に使用されます。

このブート モード機能へのスイッチ マッピングを以下の表に示します。

表 2-3. BOOTMODE ピンのマッピング

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
予約済み	予約済み	バックアップ ブート モードの 構成	バックアップ ブート モード			プライマリ ブート モードの構成			プライマリ ブート モード			PLL の構成			

- BOOTMODE [2:0] – PLL の構成のシステム クロック周波数を示します。
 - 表 2-4 に、PLL リファレンス クロック選択の詳細を示します。
- BOOTMODE [6:3] – POR 後に要求されるブート モードを選択するためのプライマリ ブート モードの構成が提供されます。つまり、プライマリ ブート デバイスからブートするペリフェラル / メモリの選択に関する詳細です。
 - 表 2-5 に、プライマリ ブート モードの構成の詳細を示します。
- BOOTMODE [9:7] – これらのピンはオプション設定を提供し、選択されたプライマリ ブート デバイスと組み合わせて使用されます。
 - 表 2-6 に、プライマリ ブート メディアの構成の詳細を示します。

- **BOOTMODE [12:10]** – プライマリ ブート デバイスの障害が発生した場合に、バックアップ ブート モード、つまりブート元となるペリフェラル / メモリを選択します。
– 表 2-7 に、バックアップ ブート モードの選択の詳細を示します。
- **BOOTMODE [13]** – これらのピンはオプション設定を提供し、バックアップ ブート デバイスと組み合わせて使用されます。スイッチ SW1.6 をオンにすると 1 が設定され、オフにすると 0 が設定されます。各デバイスの TRM を参照してください。
- **BOOTMODE [15:14]** – 予約済み。バックアップ ブート メディアの構成オプションを提供します。

表 2-4. PLL リファレンス クロックの選択 BOOTMODE [2:0]

SW2.3 (B2)	SW2.2 (B1)	SW2.1 (B0)	PLL REF CLK (MHz)
OFF	OFF	OFF	19.2
OFF	OFF	ON	20
OFF	ON	OFF	24
OFF	ON	ON	25
ON	OFF	OFF	26
ON	OFF	ON	27
ON	ON	OFF	RSVD
ON	ON	ON	RSVD

表 2-5. ブート デバイス選択 BOOTMODE [6:3]

SW2.7 (B6)	SW2.6 (B5)	SW2.5 (B4)	SW2.4 (B3)	プライマリ ブート デバイスの 選択
OFF	OFF	OFF	OFF	シリアル NAND
OFF	OFF	OFF	ON	OSPI
OFF	OFF	ON	OFF	QSPI
OFF	OFF	ON	ON	SPI
OFF	ON	OFF	OFF	イーサネット RGMII
OFF	ON	OFF	ON	イーサネット RMII
OFF	ON	ON	OFF	I2C
OFF	ON	ON	ON	UART
ON	OFF	OFF	OFF	MMC/SD カード
ON	OFF	OFF	ON	eMMC
ON	OFF	ON	OFF	USB0
ON	OFF	ON	ON	GPMC NAND
ON	ON	OFF	OFF	GPMC NOR
ON	ON	OFF	ON	RSVD
ON	ON	ON	OFF	xSPI
ON	ON	ON	ON	ブートなし / デバイス ブート

表 2-6. プライマリ ブート モードの構成 [9:7]

SW1.2 (B9)		SW1.1 (B8)		SW2.8 (B7)		プライマリ ブート モード
RVSD		読み出し Mode2	0:RSVD (読み取り モードは読み取り モード 1 から取得)	読み出し Mode1	0:OSPI/1-1-8 モード (読み取りモード 2 が 0 の場合のみ有効)	シリアル NAND
			1:SPI/1-1-1 モード (読み取りモードは読み取りモード 2 から取得され、読み取りモード 1 は無視されます)		1:QSPI/1-1-4 モード (読み取りモード 2 が 0 の場合のみ有効)	
RVSD		RSVD		チップ選択	0:ブートフラッシュは CS 0 に搭載	OSPI
					1:ブートフラッシュは CS 1 に搭載	
RVSD		RSVD		チップ選択	0:ブートフラッシュは CS 0 に搭載	QSPI
					1:ブートフラッシュは CS 1 に搭載	
RVSD		モード	0:SPI モード 0	チップ選択	0:ブートフラッシュは CS 0 に搭載	SPI
			1:SPI モード 3		1:ブートフラッシュは CS 1 に搭載	
0		0		リンク ステータス	0:速度/二重モードの設定のための Phy スキャン	RGMII1
					1:速度 / 二重モードの設定のための RGMII ステータスレジスタ	
CLKOUT	0:50MHz クロックは CLKOUT0 で生成されません	CLK SRC	0:外部クロックソース	0		RMII1
	1:CLKOUT0 で生成される 50MHz クロック		1:内部クロックソース			
バスリセット	0:1ms 後にハングバスリセットを試行	RSVD		アドレス	0:0x50	I2C0
	1:ハングバスリセットの試行なし				1:0x51	
RSVD		RSVD		RSVD		UART0
1		RSVD		Fs/Raw	0:ファイルシステムモード	MMC/SD カード
					1:Raw モード	
RSVD		RSVD		RSVD		eMMC
コア電圧	0:0.85V コア電圧	モード	0:DFU(デバイス)	レーン スワップ	0:DP/DM のスワップなし	USB
	1:0.75V コア電圧		1:MSC (ホスト)		1:DP/DM のスワップあり	
RSVD		RSVD		RSVD		GPMC NAND

表 2-6. プライマリ ブート モードの構成 [9:7] (続き)

SW1.2 (B9)		SW1.1 (B8)		SW2.8 (B7)		プライマリ ブート モード
RSVD		RSVD		RSVD		GPMC NOR
RSVD		RSVD		RSVD		RSVD
SFDP	0:SFDP はディセーブル	読み取りコマンド	0:0x0B 読み取りコマンド	モード	0:1S-1S-1S モード (50MHz)	xSPI
	1:SFDP はイネーブル		1:0xEE 読み取りコマンド		25MHz での 1:8D-8D-8D モード	
RSVD		ARM/Thumb	0:ARM モード	なし / デバイス	0:開発ブート	ブートなし/開発ブート
			1:サム モード		1:ブートなし	

表 2-7. バックアップ ブート モードの選択 BOOTMODE [12:10]

SW1.5 (B12)	SW1.4 (B11)	SW1.3 (B10)	バックアップ ブート デバイスの選択
OFF	OFF	OFF	なし (バックアップ モードなし)
OFF	OFF	ON	USB
OFF	ON	OFF	予約済み
OFF	ON	ON	UART
ON	OFF	OFF	イーサネット
ON	OFF	ON	MMC/SD
ON	ON	OFF	SPI
ON	ON	ON	I2C

表 2-8. バックアップ ブート モードの構成 BOOTMODE [13]

SW1.6 (B13)		バックアップ ブート モード	バックアップ ブート モードのデフォルト値
RSVD		なし	
モード	0:DFU (デバイス)	USB	コア電圧ビット = 0 レーン スワップ ビット = 0
	1:MSC (ホスト)		
RSVD		RSVD	
RSVD		UART	
インターフェイス	0:内部遅延付き RGMII	イーサネット	リンク ステータス ビット = 0 (RGMII の場合) ClkOut ビット = 0 および Clksrc ビット = 1 (RMII の場合)
	1:外部クロック ソース使用の RGMII		
1		MMC	モード ビット = 0
RSVD		SPI	Csel ビット = 0 モード = 0
RSVD		I2C	Addr = 0 バス レスト = 0

2.4.3 ユーザー テスト LED

AM62D オーディオ EVM 基板には、ユーザー定義による機能用に 2 つの LED が搭載されています。

表 2-9 に、ユーザー テスト LED と、LED の制御に使用される関連 GPIO を示します。

表 2-9. ユーザー テスト LED

SI 番号	LED	使用した GPIO	SCH ネット名
1	LD1	GPIO1_49	SOC_GPIO1_49
2	LD10	U21.24(P27)	IO_EXP_TEST_LED

2.5 電源オン / オフの手順

EVM への電力供給は、2 つの USB Type-C ポートのいずれかによって、PD 機能を備えた外部電源から行われます。

注

テキサス・インスツルメンツでは、I/O ケーブルの最大長が 3m を超えないことを推奨します。

2.5.1 電源オンの手順

1. EVM ブートスイッチ セレクタ (SW1、SW2) を選択したブート モードに設定します。図 2-5 に、SD カードのブート モードの例を示します。
2. ブートメディアを接続します (該当する場合)。
3. PD 対応の USB Type-C® ケーブルを、EVM Type-C (J24 または J25) コネクタに取り付けます。
4. Type-C ケーブルのもう一方の端を AC 電源アダプタまたは Type-C ソース デバイス (ノート PC / コンピュータなど) に接続します。
5. LD8 または LD9 の LED が点灯していることを目視で確認します。
6. XDS110 JTAG と UART のデバッグ コンソール出力は、それぞれ micro-USB ポート J17 と J22 に接続されています。

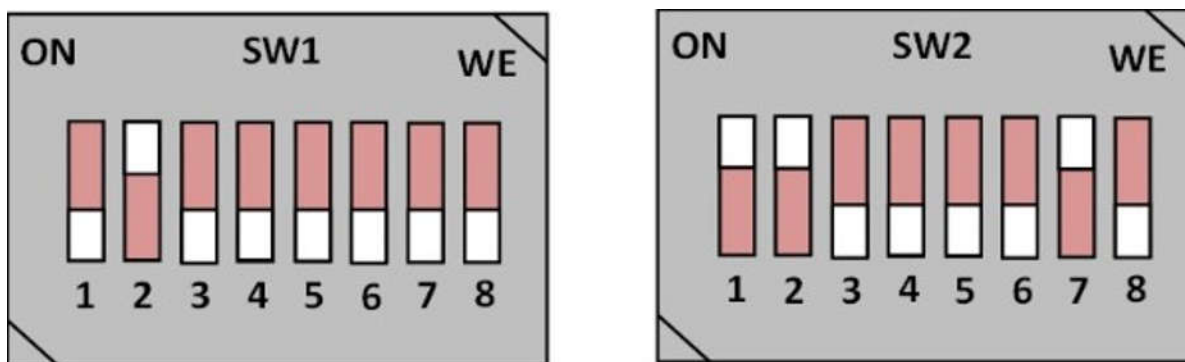


図 2-5. ブートモードの例 (MMCSD ブート)

2.5.2 電源オフの手順

1. AC/DC コンバータから AC 電源を切り離します。
2. EVM から USB Type-C ケーブルを取り外します。

2.5.3 電力テストポイント

基板上的各電力出力のテストポイントを、表 2-10 に示します。

表 2-10. 電力テストポイント

SI 番号	電源	テストポイント	電圧
1	VMAIN	TP104	12V
2	VCC_3V3_MAIN	TP102	3.3V
3	VCC_3V3_SYS	TP48	3.3V
4	VDD_CORE	TP53	0.85V
5	VDDR_CORE	TP60	0.85V
6	VCC1V8_SYS	TP86	1.8V
7	VDDA_1V8	TP79	1.8V
8	VDD_LPDDR4	TP81	1.1V
9	VDD_MMC1_SD	TP21	3.3V
10	VCC_5V0	TP103	5V

表 2-10. 電力テスト ポイント (続き)

SI 番号	電源	テスト ポイント	電圧
11	VDD_CANUART	TP52	0.85V
12	VDDSHV_SDIO	TP35	3.3V
13	VPP_1V8	TP69	1.8V
14	VDD_2V5	TP92	2.5V
15	VBUS_TYPEC1	TP107	5V
16	VBUS_TYPEC2	TP108	5V
17	VBUS_5V0_TYPEA	TP105	5V
18	VCC3V3_XDS	TP68	3.3V
19	XDS_USB_VBUS	TP78	5V
20	FT4232_USB_VBUS	TP96	5V
21	VCC_3V3_FT4232	C285.1	3.3V

2.5.4 電源インジケータ LED

表 2-11. 電源インジケータ LED

SI 番号	電源インジケータ	LED	色
1	電源エラー表示 LED (誤った電源装置が接続されている)	LD14	赤色
2	電源インジケータ LED:VBUS_TYPEC1	LD8	緑色
3	電源インジケータ LED:VBUS_TYPEC2	LD9	緑色
4	PMIC パワー グッド インジケータ LED	LD2	緑色
5	電源インジケータ LED:VCC_3V3_SYS	LD6	緑色
6	FT4232 USB から UART へのブリッジ パワー イネーブル	LD7	緑色

2.6 インターフェイス

以下のセクションでは、AM62D オーディオ EVM のさまざまなインターフェイスと回路の概要について説明します。表 2-12 に、AM62D オーディオ EVM のインターフェイス マッピングを示します。

2.6.1 AM62D オーディオ EVM のインターフェイス マッピング

表 2-12. インターフェイス マッピング

インターフェイス名	SoC 上のポート	デバイス部品番号
メモリ – LPDDR4	DDR0	MT53E1G32D2FW-046 IT:C
メモリ – OSPI	OSPI0	S28HS512TGABHM010
メモリ – microSD ソケット	MMC1	MEM2052-00-195-00-A
メモリ – eMMC	MMC0	MTFC32GBCAQTC
メモリ – 基板 ID EEPROM	SoC_I2C0	AT24C512C-MAHM-T
イーサネット拡張コネクタ CPSW 1	SoC_RGMII1	DF40GB-48DP-0.4V
イーサネット拡張コネクタ CPSW 2	SoC_RGMII2	DF40GB-48DP-0.4V
GPIO ポート エクスパンダ 1	SoC_I2C0	TCA6424ARGJR
オーディオ拡張コネクタ 1	SPI0、SPI2、UART5、SoC_I2C2、McASP1、McASP0、GPIO	QSE-040-01-L-D-A-K
オーディオ拡張コネクタ 2	SPI0、SPI1、UART6、SOC_I2C1、McASP2、GPIO	QSE-040-01-L-D-A-K
USB2.0 Type-C	USB0	2012670005
USB2.0 Type-A	USB1	629104151021
オンボード オーディオ マイク/ライン入力	McASP2_ACLKR、McASP2_AFSR、and SoC_I2C	PCM6240QRTVRQ1、STX-4235
オンボード オーディオ ステレオ ライン出力	McASP2_ACLKX、McASP2_AFSX、SoC_I2C0	TAD5212IRGER、STX-4235

表 2-12. インターフェイス マッピング (続き)

インターフェイス名	SoC 上のポート	デバイス部品番号
GPIO ポート エクスパンダ 2	SoC_I2C0	TCA6416ARTWR
MCAN ヘッダー - 1x3 HDR	MCU_MCAN0, MCAN0	
UART 端子 (UART-to-USB)	SoC_UAR SoC_UART4, WKUP_UART0, CPLD_UART0, MCU_UART0	FT4232HL および 629105150521
温度センサ	SoC_I2C0	TMP100NA/3K
電流モニタ	SoC_I2C0	INA228AIDGSR

2.6.2 オーディオ インターフェイス

2.6.2.1 オーディオ ステレオ ライン出力

AM62D オーディオ EVM は、信号グループ McASP2 にインターフェイスされた、テキサス・インスツルメンツの TAD5212IRGER ステレオ DAC に対応しています。EVM には、4 つのステレオ D/A コンバータ (DAC) を搭載する必要があります。

本デバイスには、3.3V のアナログ電源と 1.8V のデジタル コア電源が供給されます。TAD5212 の構成は、I2C インターフェイスによってサポートされています。(SOC_I2C0) TAD5212 デバイスの I2C アドレスは 0x50、0x51、0x52、0x53 です。各 TAD5212 デバイスは、MCASP2 信号のバッファとして機能する CPLD から、デジタル入力データ、クロック信号、フレーム同期信号を受信します。

DAC IC は、4 つのステレオ オーディオ ジャック ライン出力用として、2 つのスタック型 3.5mm TRS オーディオ ジャックコネクタ J3 と J4 (メーカー型番 STX-4235) に接続されています。

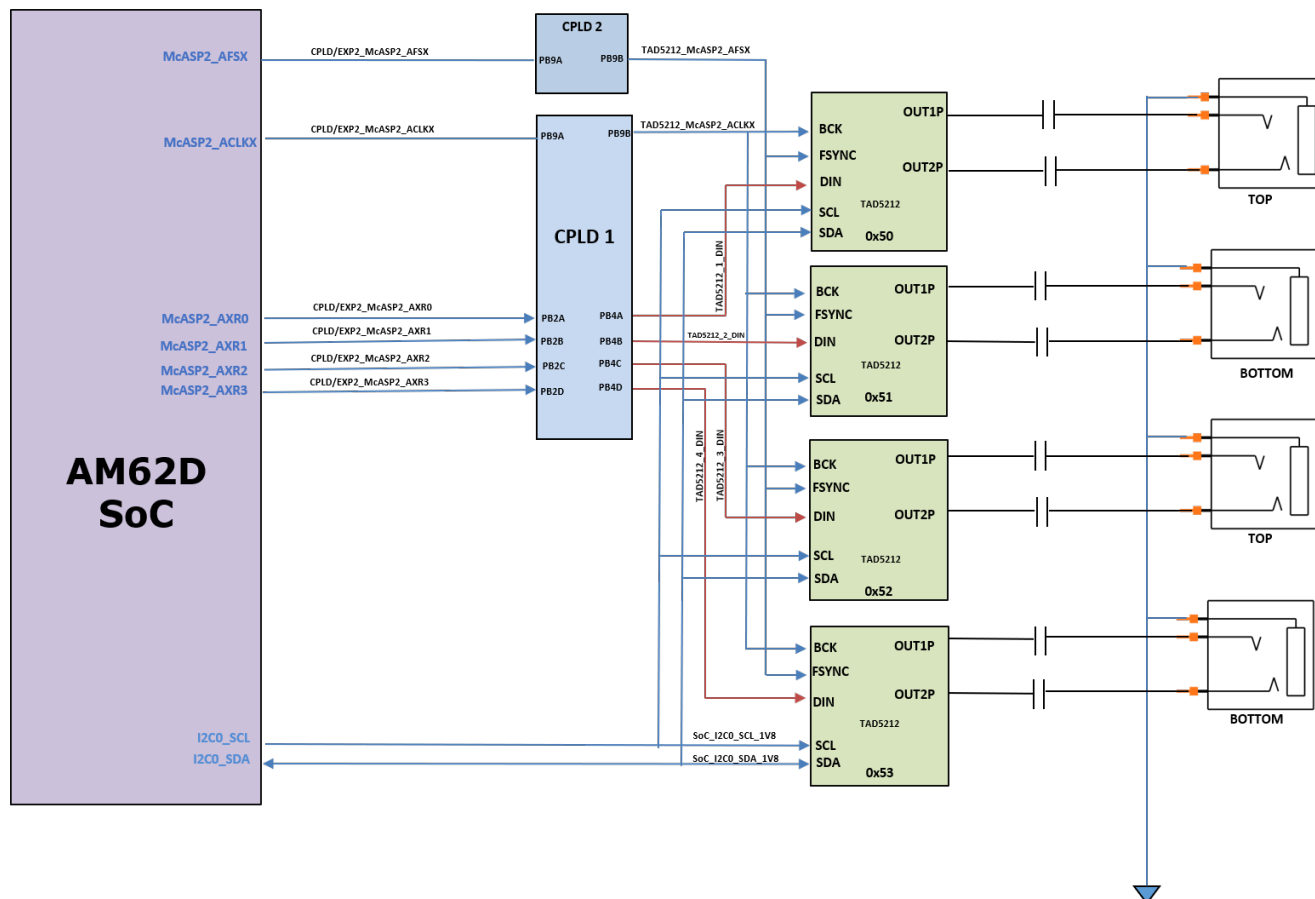


図 2-6. オーディオ ステレオ ライン出力のブロック図

2.6.2.2 オーディオ マイクおよびライン入力

AM62D オーディオ EVM には、オーディオ A/D コンバータ (ADC) (メーカー型番:PCM6240QRTVRQ1) が備えられており、SoC の McASP2 とのインターフェイスを実現します。PCM6240 のアナログ電源電圧は 3.3V、デジタル電源電圧は 1.8V です。VBAT_IN は、入力故障診断を有効にするために使用されます。

PCM6240QRTVRQ1 の構成制御は、SOC_I2C0 インスタンスによってサポートされています。PCM6240QRTVRQ1 では、I2C ターゲットアドレスは、ADDR1_MISO ピンと ADDR0_SCLK ピンを使用して設定されます。オーディオ デバイス (PCM6240) の I2C アドレスは 0x48 と 0x49 です。CPLD1 は、シリアル データ出力用バッファのイネーブルを制御する SN74LVC1G126DBVR を制御します。

ADC は、4 つのステレオ オーディオ ジャックによるマイク入力およびライン入力用に、STX-4235 を使用した 2 つのスタック型 3.5mm TRS オーディオ ジャック コネクタに接続されています。

リセット:PCM6240 のリセットは、AM62D SoC の RESETSTATz 信号と I/O エクスパンダの GPIO_PCM_RST 信号を論理積する回路に接続されています。デフォルトのアクティブ状態に設定するために、PCM_RSTn にはプルアップ抵抗が搭載されています。

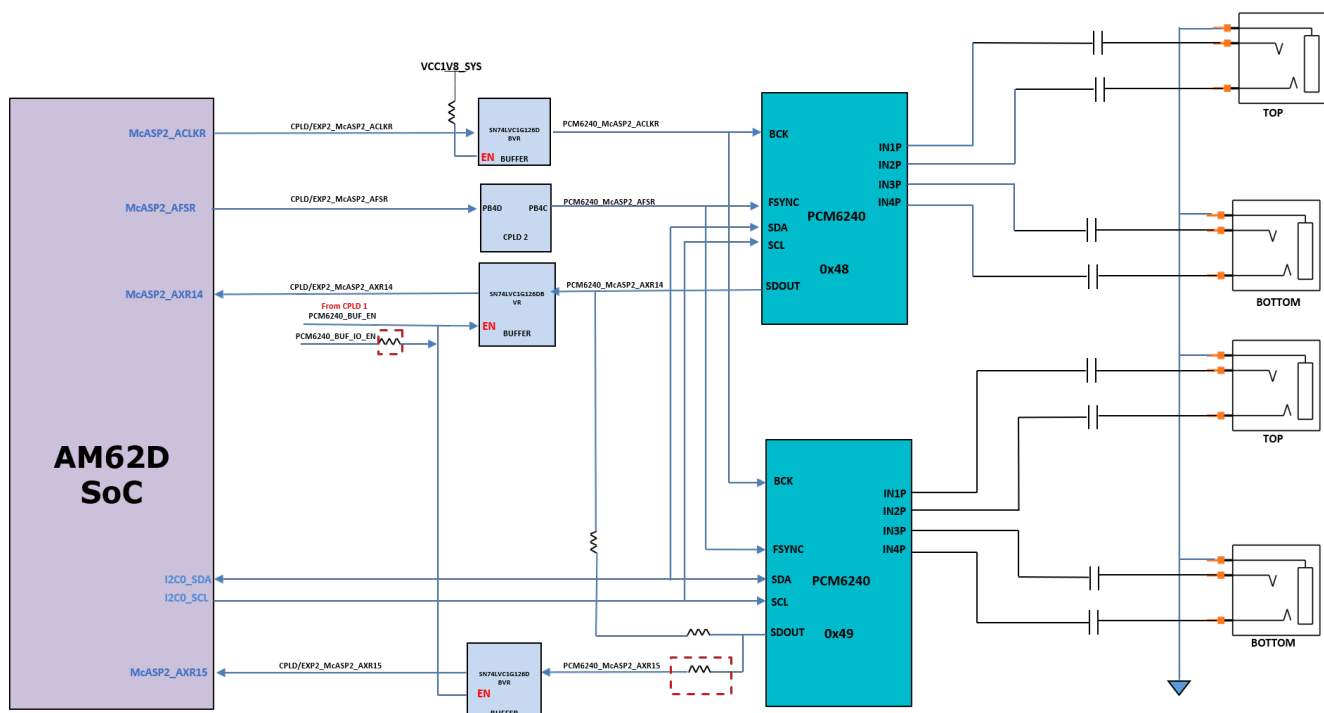


図 2-7. オーディオ マイク / ライン入力のブロック図

2.6.3 JTAG インターフェイス

AM62D オーディオ EVM 基板には、XDS110 クラスのオンボード エミュレーション機能が搭載されています。このエミュレータの接続には USB 2.0 micro-B コネクタが使用され、回路はバス電源供給方式の USB デバイスとして機能します。コネクタからの VBUS 電源はエミュレーション回路に電源として使用されているため、EVM 電源が切り離されてもエミュレータへの接続が失われることはありません。電圧変換バッファは、XDS110 回路を EVM の他の部分から分離するために使用されます。

オプションとして、AM62D オーディオ EVM の JTAG インターフェイスは、20 ピンの標準 JTAG cTI ヘッダー J19 を通じても提供されます。これにより、外部 JTAG エミュレータ ケーブルを接続することができます。電圧変換バッファは、cTI ヘッダの JTAG 信号を EVM の他の部分から分離するために使用されます。XDS110 セクションと cTI ヘッダー セクションの電圧トランスレータの出力はマルチプレクサによって切り替えられ、AM62D の JTAG インターフェイスに接続されています。自動存在検出回路を使用して cTI 20 ピン JTAG コネクタへの接続が検出されると、マルチプレクサはオンボードのエミュレーション回路の代わりに cTI コネクタからの 20 ピン信号を AM62D SoC にルーティングします。

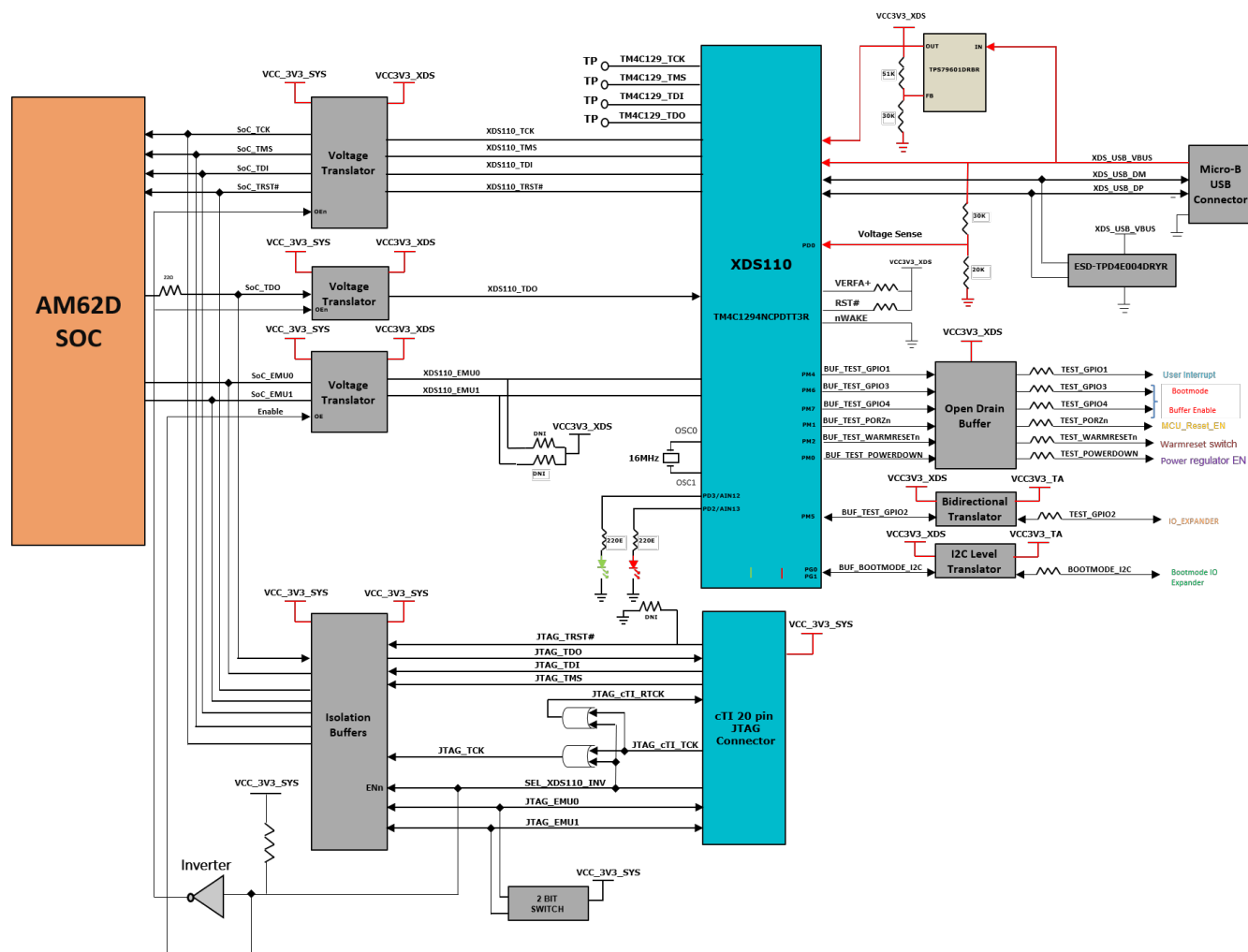


図 2-8. JTAG インターフェイスのブロック図

表 2-13 に、cTI 20 ピン JTAG コネクタのピン配列を示します。USB 信号には、ESD 電流パルスを VCC または GND に誘導する ESD 保護デバイス (部品番号 TPD4E004) が搭載されています。TPD4E004 は、IEC 61000-4-2 で規定されている最大 $\pm 15\text{kV}$ の人体モデル (HBM) の ESD パルスから保護し、 $\pm 8\text{kV}$ の接触放電と $\pm 12\text{kV}$ のエアギャップ放電を提供します。

表 2-13. JTAG コネクタ (J14) のピン配置

ピン番号	信号
1	JTAG_TMS
2	JTAG_TRST#
3	JTAG_TDI
4	JTAG_TDIS
5	VCC_3V3_SYS
6	NC
7	JTAG_TDO
8	SEL_XDS110_INV
9	JTAG_cTI_RTCK
10	DGND
11	JTAG_cTI_TCK
12	DGND
13	JTAG_EMU0

表 2-13. JTAG コネクタ (J14) のピン配置 (続き)

ピン番号	信号
14	JTAG_EMU1
15	JTAG_EMU_RSTn
16	DGND
17	NC
18	NC
19	NC
20	DGND

2.6.4 UART インターフェイス

SoC の 4 つの UART ポート (MCU UART0、WKUP UART0、SoC UART4、CPLD UART0) は、USB-to-UART 機能を実現するために FTDI ブリッジ FT4232HL とインターフェースされ、基板上の micro-B USB コネクタ (J22) で終端されています。USB ケーブルを使用して AM62D オーディオ EVM をホストに接続すると、コンピュータは仮想 COM ポートを確立でき、任意の端末エミュレーション アプリケーションで使用できます。FT4232HL デバイスはバス電源供給方式です。

この回路は USB BUS から電源供給されているため、EVM の電源が切り離されても COM ポートへの接続が失われることはありません。

表 2-14. UART ポート インターフェイス

UART ポート	USB-to-UART ブリッジ	USB コネクタ	COM ポート
SoC_UART4	FT4232HL	J22	COM1
CPLD_UART0			COM2
WKUP_UART0			COM3
MCU_UART0			COM4

FT4232 チップは、チップに接続された外部 SPI EEPROM からの構成ファイルを使用して、「シングル チップ USB から 4 チャンネル UART」モードで動作するよう構成されています。EEPROM (93LC46B) は、1Mbit/s のクロックレートに対応しています。EEPROM は、FTDI の Web サイトから入手できる FT_PROG というユーティリティプログラムを使用して、USB 経由で回路内でプログラム可能です。FT_PROG は、1 つまたは複数の基板がコンピュータに接続されているときに、ユーザーが基板のシリアル番号を使用して接続されている COM ポートを識別できるように、基板のシリアル番号をプログラムするためにも使用されます。

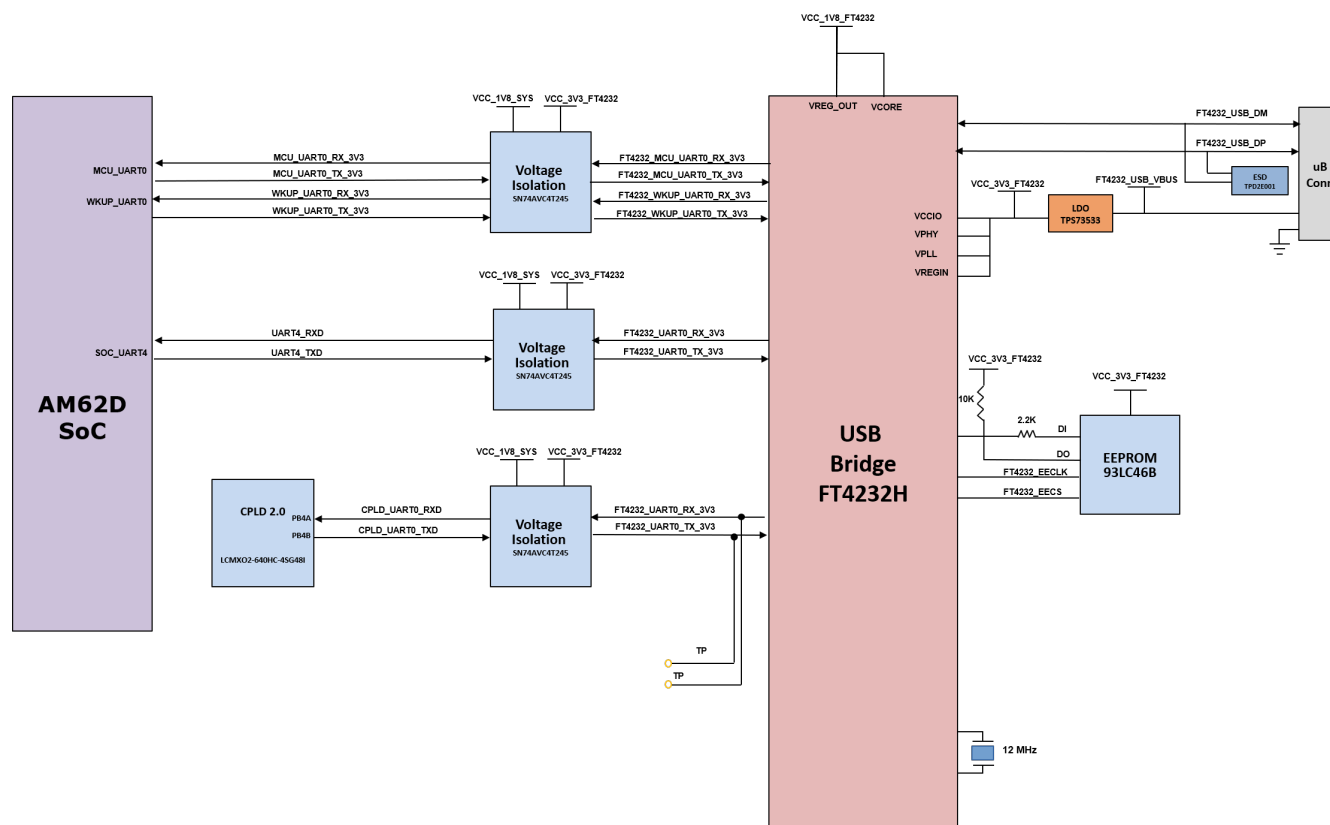


図 2-9. UART インターフェイスのブロック図

2.6.5 USB インターフェイス

2.6.5.1 USB2.0 Type-A インターフェイス

Type-A コネクタ J23 からの USB2.0 データラインの DP と DM は、AM62D SoC の USB1 インターフェイスに接続されており、USB ハイスピード / フルスピード通信を実現しています。SoC への USB1_VBUS は、(5V~30V) の VBUS 動作に対応する抵抗分圧回路を介して供給されます。SoC の USB1_DRVVBUS は、500mA 電流制限付きロードスイッチ (メーカー型番 TPS2051BD) のイネーブルピンに接続されており、オンボードの 5V 電源で VBUS に電力を供給できるようになっています。このロードスイッチには過電流表示ピンがあり、EVM 上の I2C ベースの GPIO エクスパンダに接続されています。

EMI/EMC 低減のため、USB データラインにコモン モード チョーク (メーカー型番 DLW21SZ900HQ2B) が配置されています。ESD 保護 IC (メーカー型番 TPD4S012DRYR) とともに、あらゆる過渡電圧を抑制します。

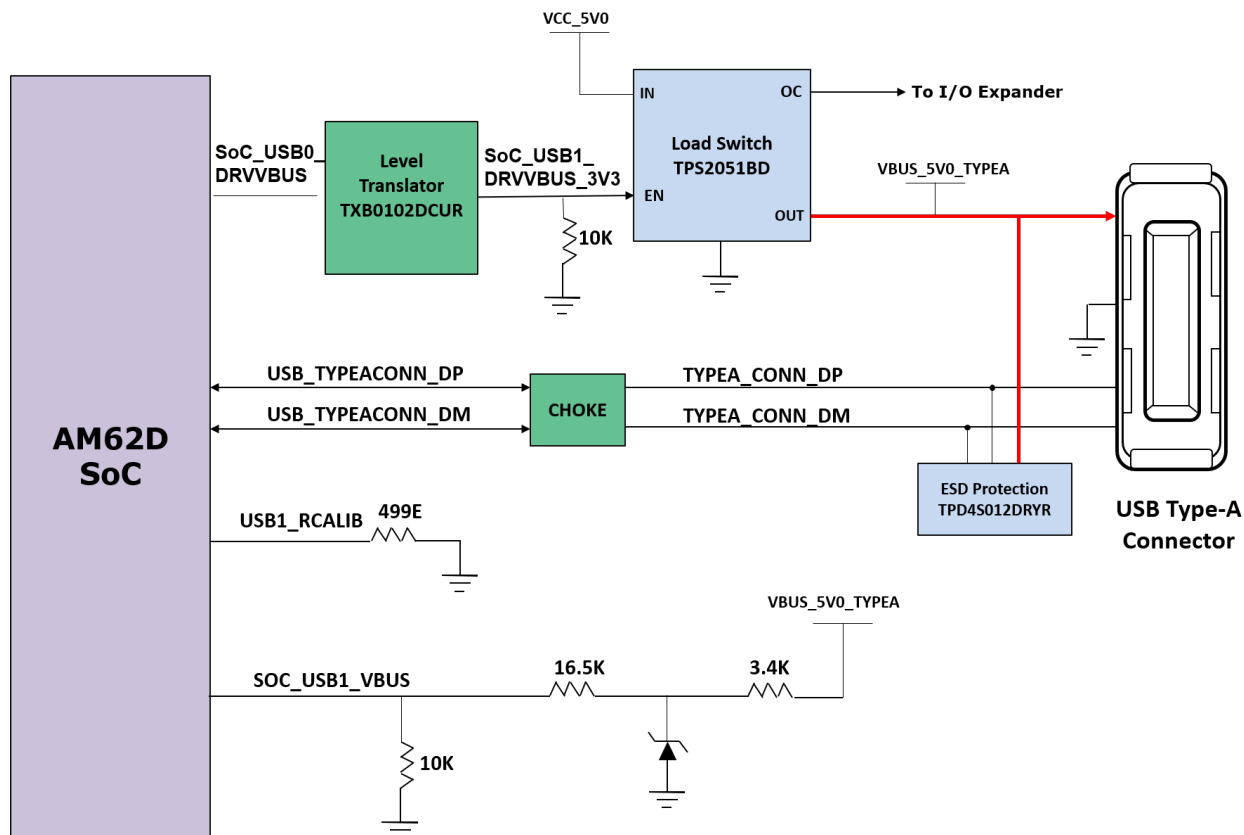


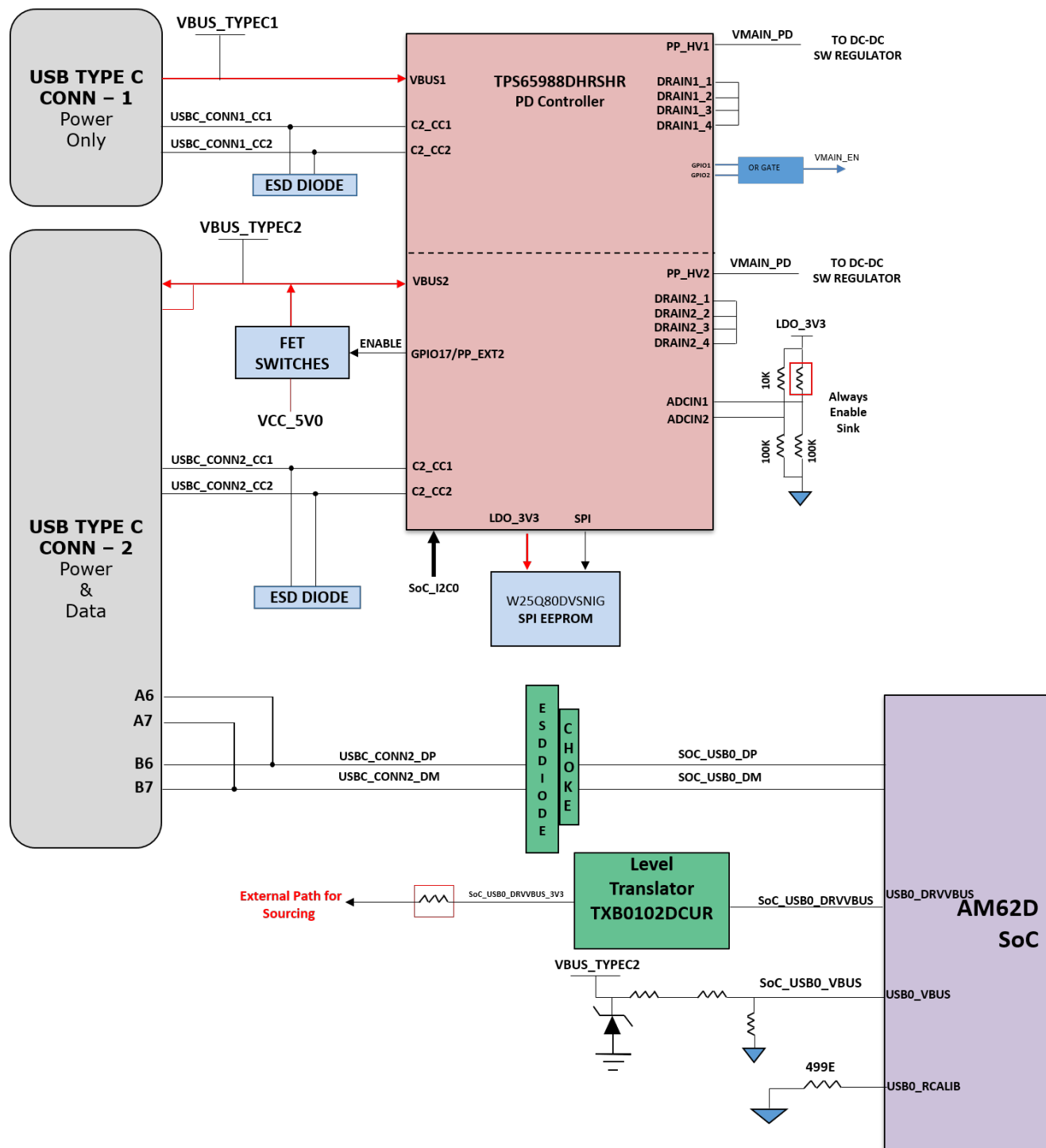
図 2-10. USB2.0 Type-A インターフェイスのブロック図

2.6.5.2 USB 2.0 Type-C インターフェイス

AM62D オーディオ EVM では、USB Type-C コネクタ J25 (メーカー型番 2012670005) によって USB2.0 インターフェイスが提供され、最大 480Mbps のデータレートに対応しています。J25 はデータ通信や、EVM への電源コネクタとして使用することもできます。J25 は、PD コントローラ TPS65988DHRSHR IC を使用して、DRP ポートとして構成されています。そのため、デバイスはホストとしてもデバイスとしても機能します。ポートの役割は、コネクタに接続されるデバイスのタイプと、そのデバイスがシンクまたはソースのどちらであるかによって決まります。ポートが DFP として機能している場合、500mA で最大 5V を供給できます。

J25 からの USB2.0 データラインの DP と DM には、チョークと ESD 保護デバイスがあります。SoC への USB0_VBUS は、(5V~30V) の VBUS 動作に対応する抵抗分圧回路を介して供給されます。

EMI/EMC 低減のため、USB データラインにコモン モード チョーク (メーカー型番 DLW21SZ900HQ2B) が配置されています。USB2.0 DP/DM 信号の ESD 衝撃を放散させるため、ESD 保護デバイス (部品番号 ESD122DMXR) が搭載されています。CC 信号には ESD 保護デバイス (部品番号 TPD1E01B04DPLT) が搭載されており、ESD 衝撃を放散させるため、Type-C コネクタ J25 の VBUS レールには TVS2200DRVR IC が組み込まれています。



2.6.6 MCAN インターフェイス

23

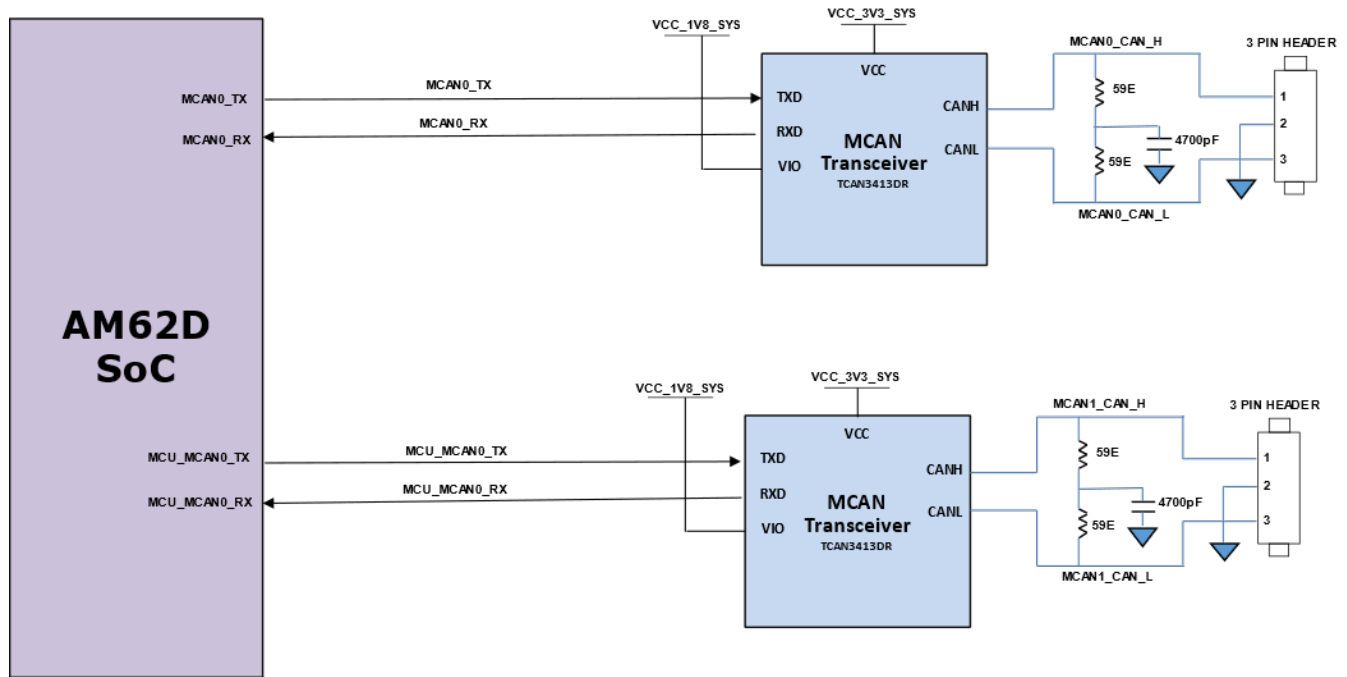


図 2-12. MCAN のブロック図

EMI 性能を向上させるために、本システムでは CANH 信号と CANL 信号には 120Ω の分割終端を施しています。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

Low レベルと High レベルの CAN バス入出力ラインは、3 ピンのヘッダーで終端されています。

2.6.7 メモリ インターフェイス

2.6.7.1 LPDDR4 インターフェイス

AM62D オーディオ EVM には、最大 3733MT/s のデータレートに対応する Micron のデュアルランク、デュアルダイ、4GB、32 ビット幅 LPDDR4 メモリ (MT53E1G32D2FW-046 IT:C) が搭載されています。LPDDR4 メモリは最適な位置に配置され、SoC の DDR0 グループに接続されて、ポイントツーポイント通信をサポートしています。

LPDDR4 メモリはコア電源に 1.8V が必要であるため、電力需要が抑えられます。I/O には、PMIC の 1.1V 電源出力から電力が供給されます。デフォルトのアクティブ状態を設定するため、AM62D SoC によって制御される LPDDR4 リセット (アクティブ Low) はプルダウンされています。また、プルアップ抵抗の実装も可能です。

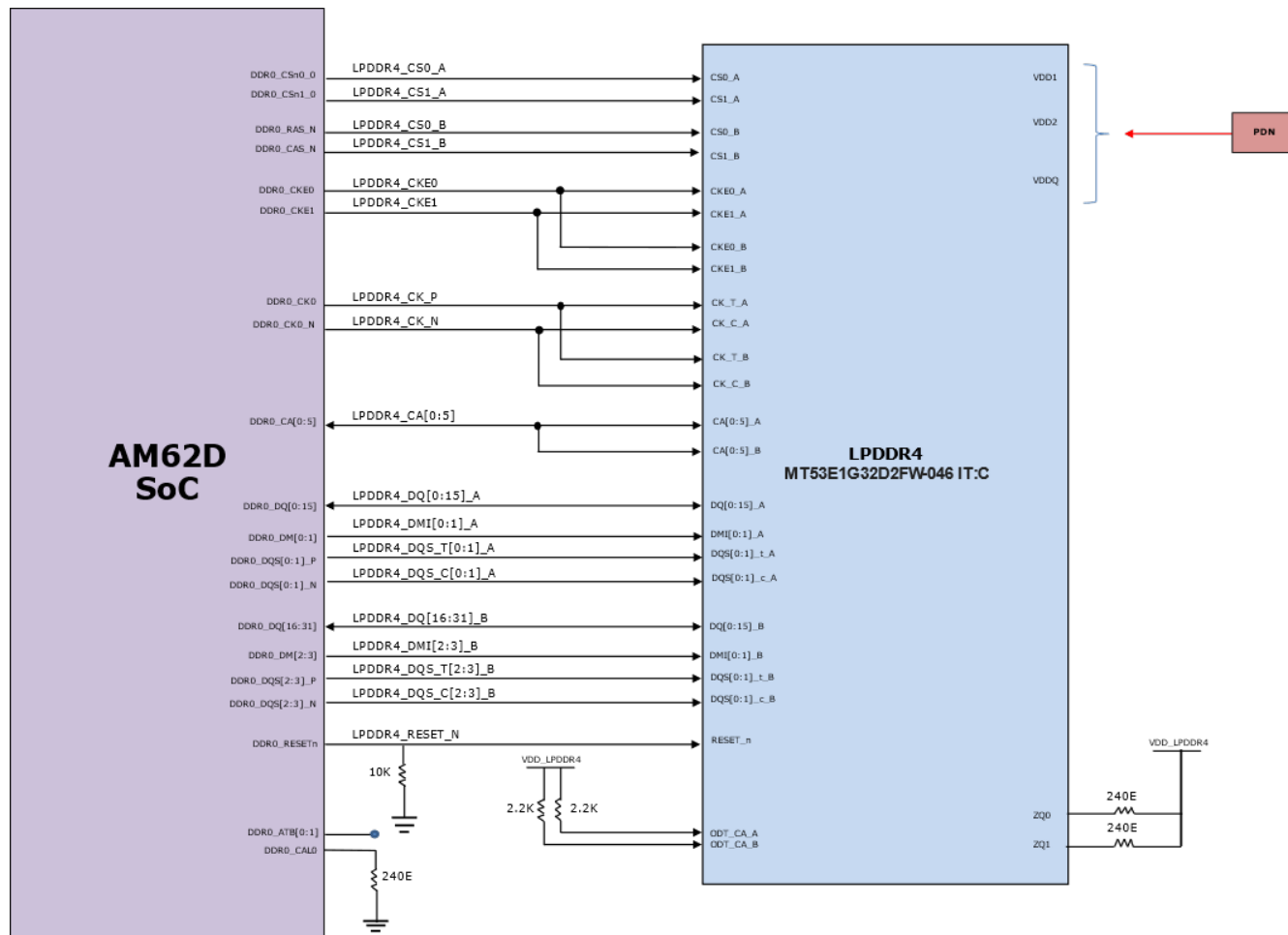


図 2-13. LPDDR4 インターフェイスのブロック図

2.6.7.2 オクタル シリアル ペリフェラル インターフェイス (OSPI)

AM62D オーディオ EVM 基板は、AM62D SoC の OSPI0 に接続された 512MB OSPI メモリ デバイス (Cypress 型番 S28HS512TGABHM010) を搭載しています。OSPI は、最高 200Mbps SDR および 400Mbps DDR (クロック速度 200MHz) のシングル データ レートおよびダブル データ レートに対応しています。

OSPI および QSPI の実装: DATA[7:0], DQS, INT#, CLK の各信号には 0Ω の抵抗が搭載されています。また、バスのフローティング状態を防ぐため、DATA[7:0] には外付けプルアップ抵抗が配置されています。OSPI メモリのフットプリントでは、QSPI メモリまたは OSPI メモリのいずれかを取り付けることもできます。QSPI フラッシュを実装する場合は、OSPI_DATA[4:7] ピンに配置された 0Ω の直列抵抗は取り外すことができます。

リセット: OSPI フラッシュのリセットは、AM62D SoC の RESETSTATz 信号と GPIO_OSPI_RSTn 信号を論理積する回路に接続されています。デフォルトのアクティブ状態を設定するために、GPIO_OSPI_RSTn にはプルアップ抵抗が配置されています。

電源: OSPI フラッシュメモリの VCC ピンと VCCQ ピンは両方とも、オンボードの 1.8V システム電源から供給されます。OSPI I/O グループは、SoC の VDDSHV1 ドメインから電力を供給され、1.8V システム電源にも接続されています。

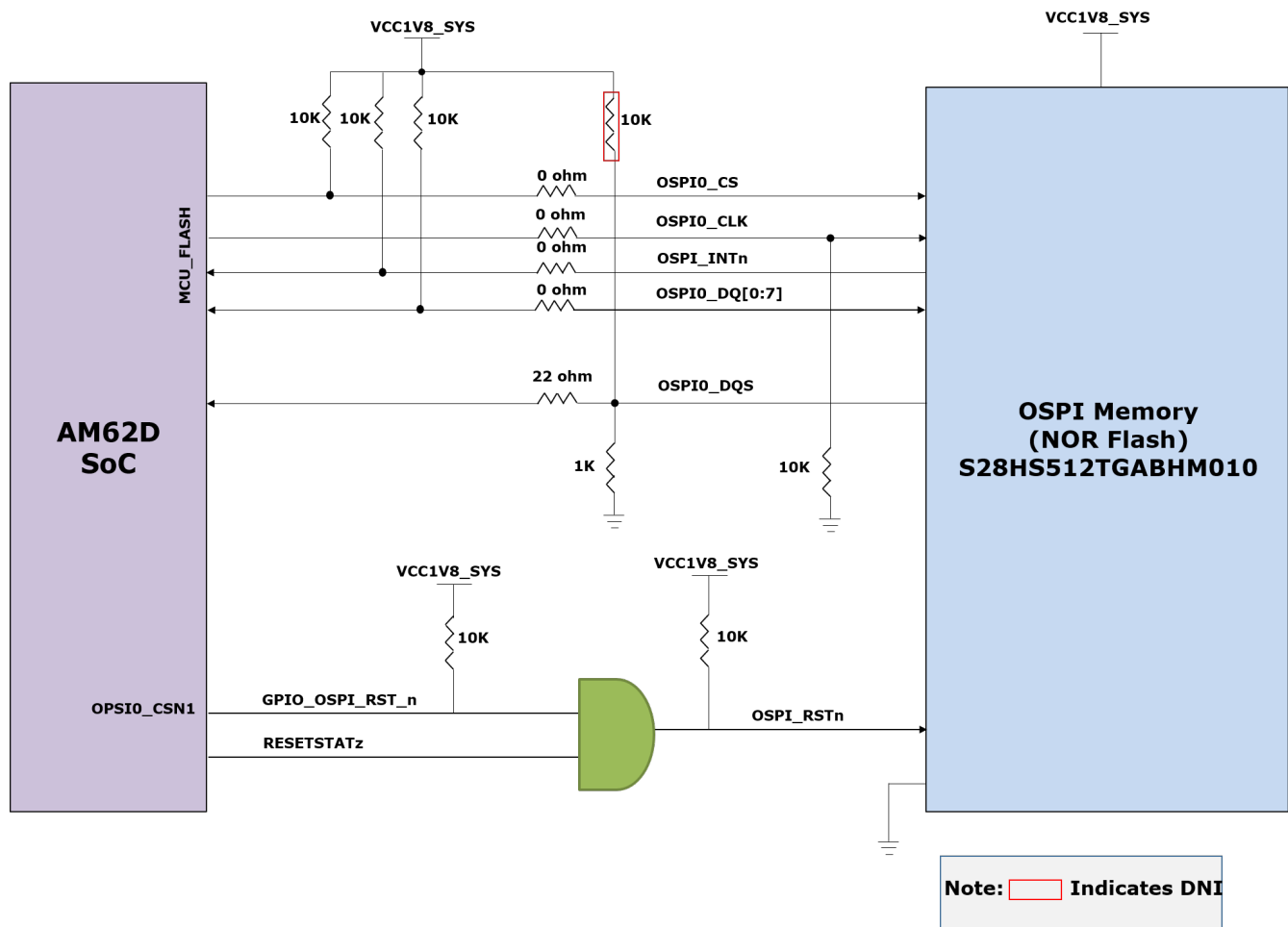


図 2-14. OSPI のブロック図

2.6.7.3 MMC インターフェイス

AM62D SoC には、3 つの MMC ポート (MMC0、MMC1、MMC2) があります。MMC0 は eMMC に、MMC1 は microSD カード コネクタに、MMC2 は McASP1 インターフェイス用オーディオ拡張コネクタ 1 に接続されています。

2.6.7.3.1 MMC0 - eMMC インターフェイス

この評価基板には、AM62D SoC の MMC0 ポートに接続された 32GB の eMMC フラッシュ メモリ (Micron 型番: MTFC32GBCAQTC) が搭載されています。

フラッシュ メモリからのデータ バスは、最大 200MHz の HS400 ダブル データ レートをサポートする MMC0 インターフェイスの 8 ビットに接続されています。Micron の eMMC は、マルチメディア カード (MMC) インターフェイスと NAND フラッシュ コンポーネントを搭載している通信および大容量データ ストレージ デバイスです。DAT[7:1] にはバスのフローティング状態を防ぐため、外付けプルアップ抵抗を取り付けるオプションがあり、CLK 信号には PCB の特性インピーダンスに合わせるため、SoC パッドの近くに直列抵抗が配置されています。

eMMC デバイスには、NAND メモリ用の 3.3V、eMMC インターフェイス用の 1.8V の 2 つの電源が必要です。VDDSHV4 電源ドメインは SoC の MMC0 インターフェイス I/O に電力を供給し、1.8V I/O 電源に接続されています。

eMMC デバイスには、ホストからのアクティブ Low リセットが必要です。デフォルトでは、RST_n 信号はデバイスで一時的に無効になっています。この機能を使用する前に、ホストは ECSD レジスタのバイト 162 のビット [1:0] を 0x1 に設定して、この機能を有効にする必要があります。外部リセットは、SoC の RESETSTATz と I/O エクスパンダの GPIO を論理積することで生成されます。デフォルトのアクティブ状態を設定するため、GPIO ピンにプルアップが提供されています。

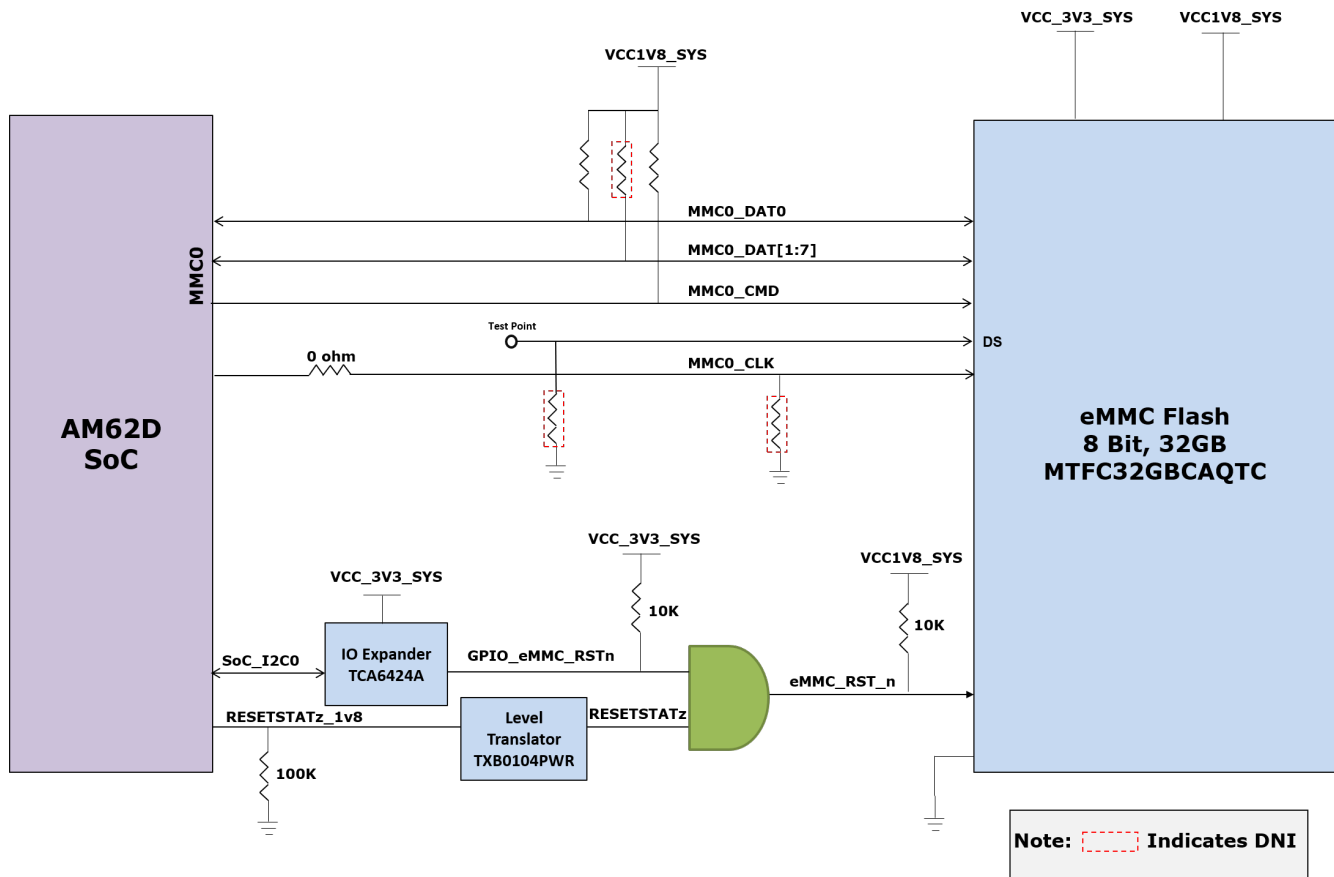


図 2-15. eMMC インターフェイスのブロック図

2.6.7.3.2 MMC1 - microSD インターフェイス

この EVM 基板では、microSD カード ソケット (メーカー型番 MEM2052-00-195-00-A) が AM62D SoC の MMC1 ポートに接続されています。これにより、1.8V と 3.3V の両方での I/O 動作を含む UHS1 動作がサポートされます。microSD カード インターフェイスは、デフォルトで SD モードで動作するように設定されています。高速カードの場合、SOC の ROM コードはカードとコントローラがサポートできる最速の速度を検出しようと試み、その後で SoC からの VSEL_SD_SoC 信号を通して 1.8V への移行を試みます。

microSD カード コネクタの電源は、ロード スイッチ (メーカー型番 TPS22918DBVR) を使用して供給され、RESETSTATz、PORz_OUT、I/O エクスパンダの GPIO 出力の論理積によって制御されます。

データ信号、クロック信号、コマンド信号用に、ESD 保護デバイス (部品番号 TPD6E001RSE) が搭載されています。TPD6E001RSE は TVS ダイオードを内蔵したライン終端デバイスで、IEC 61000-4-2 に準拠したシステムレベルの ESD 保護、±8kV の接触放電、±15kV のエアギャップ放電を提供します。

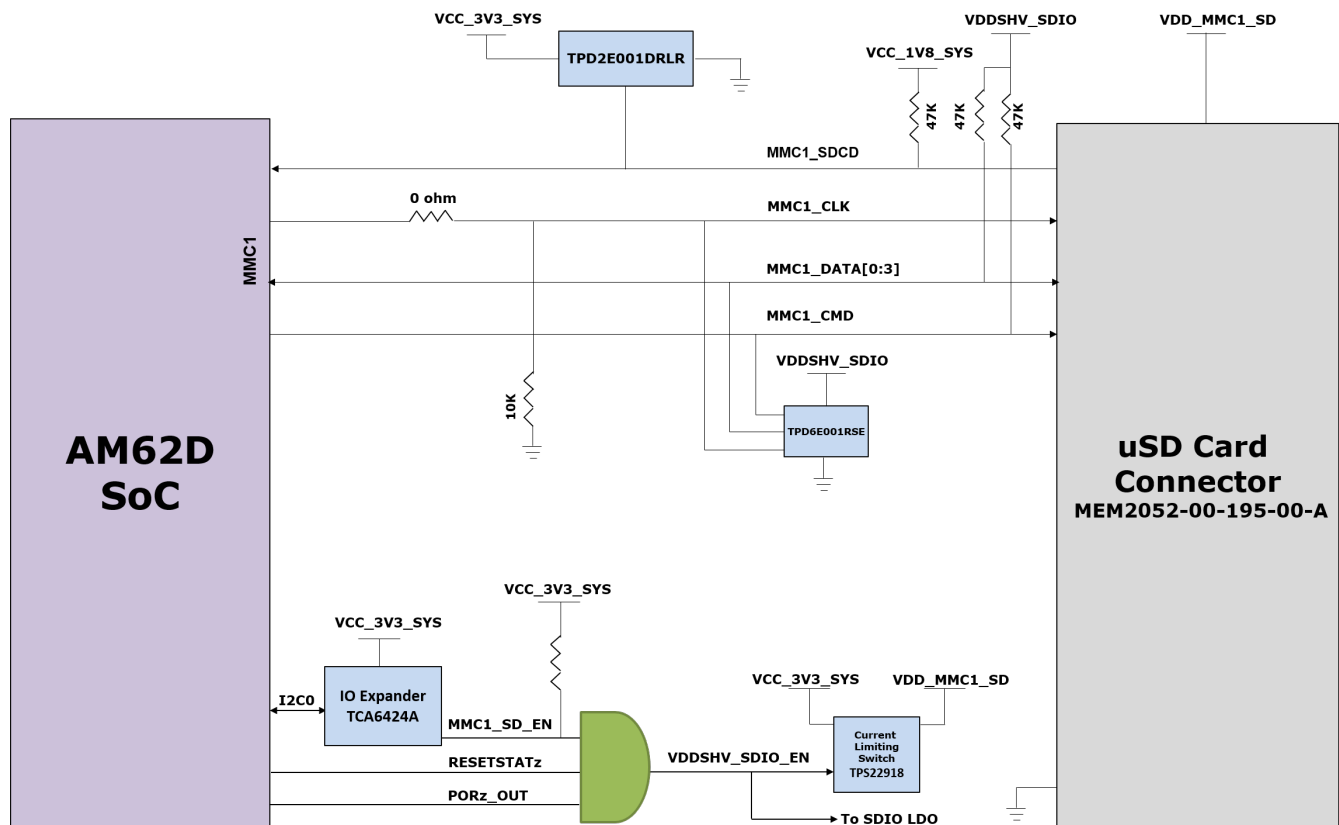


図 2-16. microSD インターフェイスのブロック図

2.6.7.4 基板 ID EEPROM

AM62D オーディオ EVM の基板は、オンボード EEPROM に保存されているバージョンとシリアル番号のデータからリモートで識別可能です。

Microchip の基板 ID メモリ AT24C512C-MAHM-T は、SoC の I2C0 ポートに接続されており、ヘッダー記述でプログラムされたアドレス **0x54** に応答するように構成されています。EEPROM の I2C アドレスは、**A2** ピンを **High** に駆動し、**A1** ピン、**A0** ピンを **Low** に駆動することで変更できます。メモリの最初の **259** バイトは、各基板の識別情報であらかじめプログラムされています。残りの **65277** バイトは、データまたはコードの保存用にユーザーが使用できます。

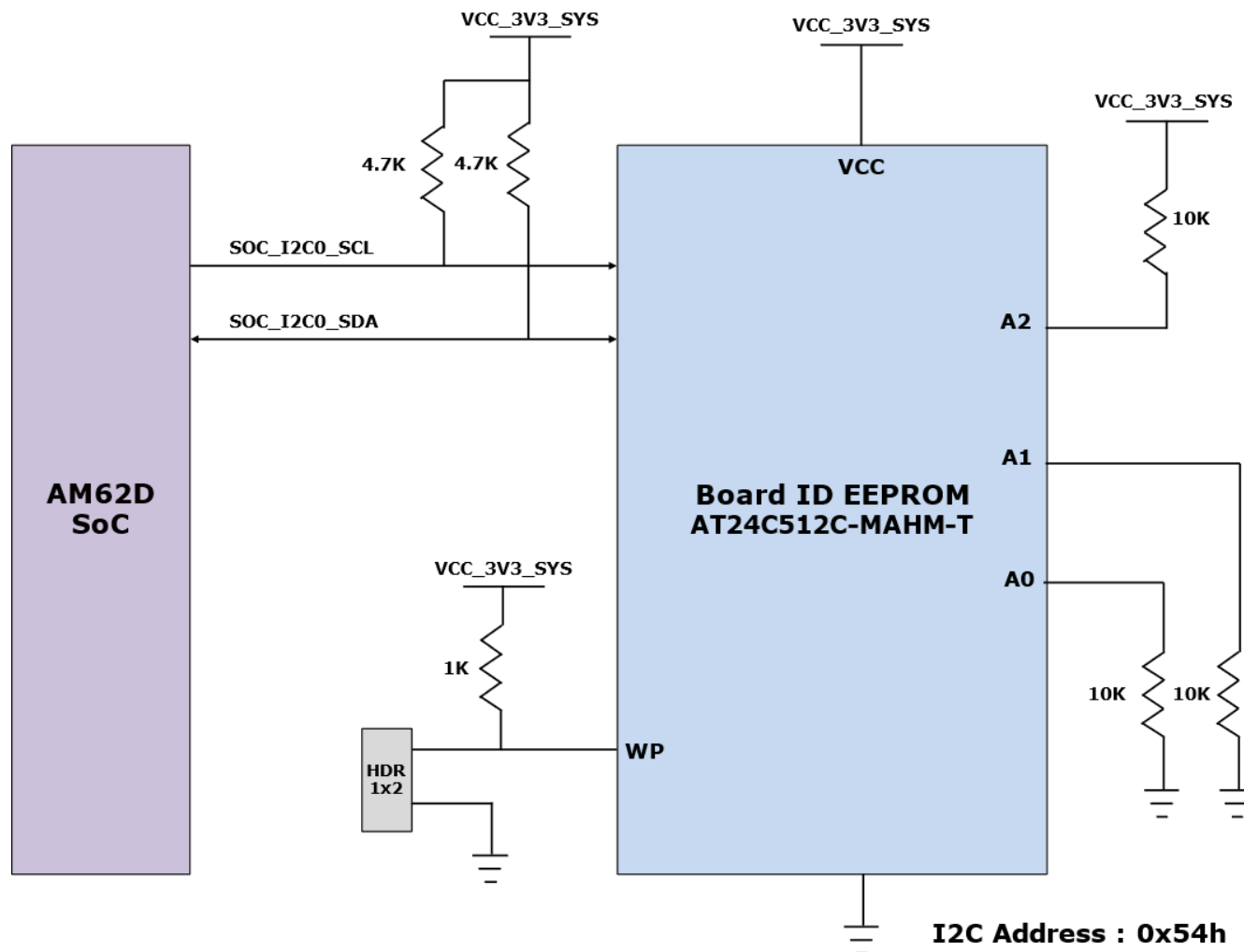


図 2-17. 基板 ID EEPROM インターフェイスのブロック図

2.6.8 イーサネット インターフェイス

AM62D EVM には、外部通信向けに、1 ギガビット速度のイーサネット ポートが 2 つあります。AM62D SoC の RGMII ギガビット イーサネット CPSW ポートの 2 つのチャネルは、個別のイーサネット拡張コネクタ (メーカー型番 DF40C-50DP-0.4V) に接続されています。

この拡張コネクタは、産業用イーサネットドーター カードまたは車載用イーサネットドーター カードのいずれにも柔軟なインターフェイスを提供します。産業用 PHY の MDI ラインは RJ45 ジャックに終端され、車載用 PHY の MDI ラインは車載用 グレードの MATEnet™ コネクタに終端されています。

CPSW_RGMII1 ポートと CPSW_RGMII2 ポートは、外部 PHY トランシーバと通信するために、共通の MDIO バスを使用しています。

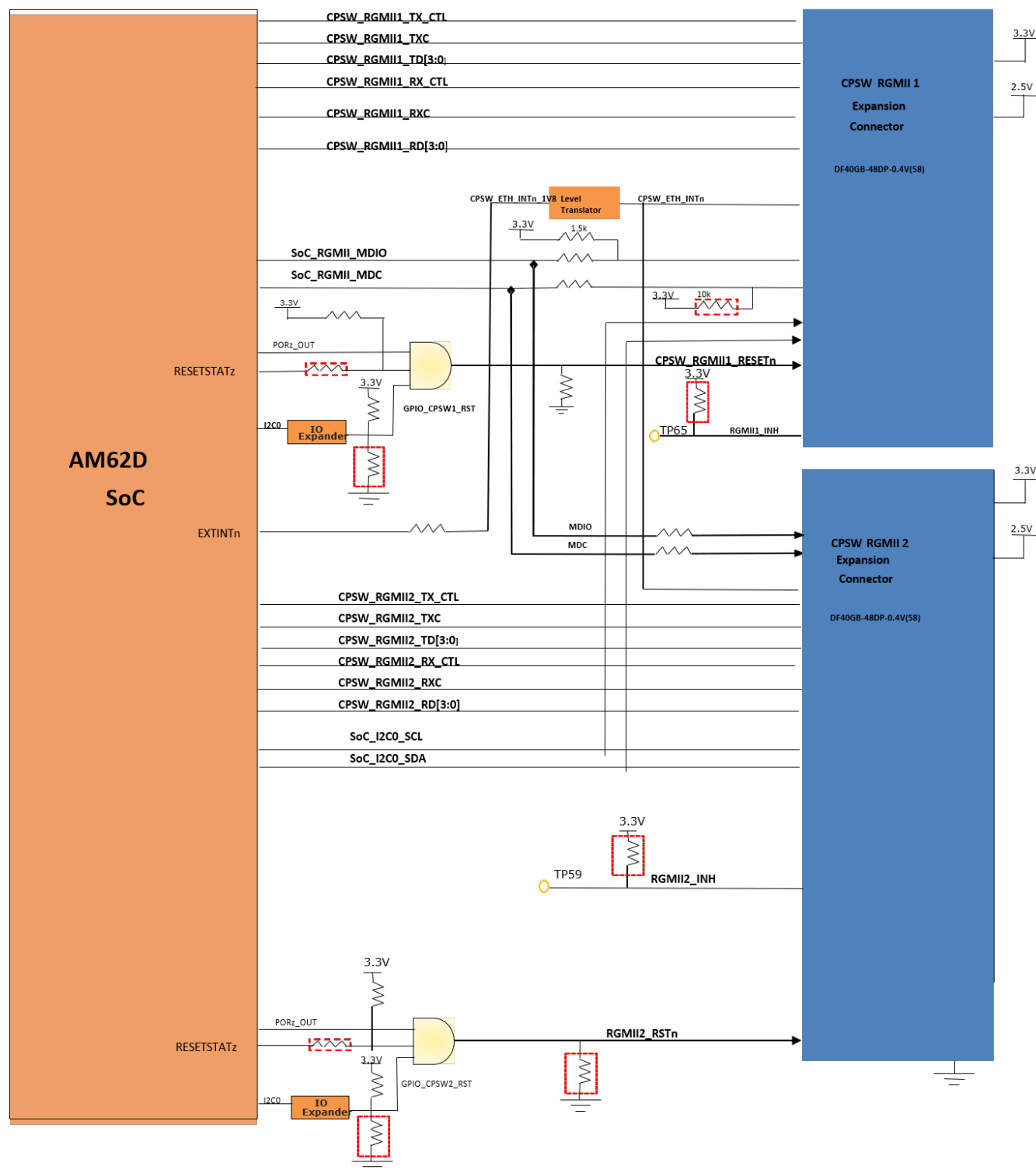


図 2-18. イーサネット インターフェイスのブロック図

2.6.9 CPSW イーサネット 1 および CPSW イーサネット 2

AM62D SoC の CPSW_RGMII1 ポートと CPSW_RGMII2 ポートは、拡張コネクタ (メーカー型番 DF40C-50DP-0.4V) で終端されています。これにより、産業用グレードのイーサネットドーターカードまたは車載用グレードのイーサネットドーターカードを簡単にプラグインすることができます。各詳細は、それぞれのカードの設計資料に記載されています。

表 2-15 に、イーサネット拡張コネクタのピン配置を示します。

表 2-15. CPSW イーサネット 1 および CPSW イーサネット 2 の拡張コネクタのピン配置

ピン番号	信号	I/O 方向	ピン番号	信号	I/O 方向
1	DGND	電源	25	CPSW_RGMII_RD1	出力
2	EXT_VMON	電源	26	RGMII_INH	TP
3	CPSW_RGMII_TXC	入力	27	CPSW_RGMII_RD2	出力
4	VDD_2V5	電源	28	CPSW_RGMII_ETH_CLK	入力
5	DGND	電源	29	CPSW_RGMII_RD3	出力
6	VDD_2V5	電源	30	CPLD_CPSW_RGMII_CRS	出力
7	CPSW_RGMII_TD0	入力	31	DGND	電源
8	DGND	電源	32	DGND	電源
9	CPSW_RGMII_TD1	入力	33	DGND	電源
10	CPSW_RGMII_INTn	出力	34	DGND	電源
11	CPSW_RGMII_TD2	入力	35	CPSW_RGMII_TX_EN	入力
12	RGMII_RSTn	入力	36	CPSW_RGMII_BRD_CONN_DET	出力
13	CPSW_RGMII_TD3	入力	37	I2C_ADDR0_A2	入力
14	CPLD_CPSW_RGMII_COL	出力	38	SYNC1_OUT_ETH1	電源
15	DGND	電源	39	RGMII_RX_ER	出力
16	DGND	電源	40	SoC_I2C0_SCL	入力
17	DGND	電源	41	DGND	電源
18	DGND	電源	42	SoC_I2C0_SDA	BIDIRECTIONAL
19	CPSW_RGMII_RXC	出力	43	RGMII_RX_LINK	出力
20	SoC_RGMII_MDC	入力	44	VCC_3V3_SYS	電源
21	DGND	電源	45	CPSW_RGMII_RX_DV	出力
22	SoC_RGMII_MDIO	BIDIRECTIONAL	46	VCC_3V3_SYS	電源
23	CPSW_RGMII_RD0	出力	47	I2C_ADDR0_A0	入力
24	DGND	電源	48	CPLD_CPSW_RGMII_BCLK	出力

2.6.10 GPIO ポート エクスパンダ

表 2-16. I/O エクスパンダの信号詳細

I/O エクスパンダ - 01			
ピン番号	信号	方向	目的
P00	GPIO_CPSW2_RST	出力	CPSW イーサネット PHY-2 リセット制御 GPIO
P01	GPIO_CPSW1_RST	出力	CPSW イーサネット PHY-1 リセット制御 GPIO
P02	NC	-	
P03	MMC1_SD_EN	出力	SD カード ロード スイッチの有効化
P04	VPP_EN	出力	SOC eFuse 電圧 (VPP = 1.8V) レギュレータの有効化
P05	GPIO_DIX_RST	出力	DIX4192 リセット制御 GPIO
P06	IO_EXP_OPT_EN	出力	光バッファの有効化
P07	DIX_INT	入力	DIX4192 割り込み信号
P10	GPIO_eMMC_RSTn	出力	eMMC リセット制御 GPIO
P11	CPLD2_DONE	入力	CPLD2 プログラミング表示
P12	CPLD2_INTN	入力	CPLD 2 割り込み信号
P13	CPLD1_DONE	入力	CPLD1 プログラミング表示
P14	CPLD1_INTN	入力	CPLD 1 割り込み信号
P15	USB_TYPEA_OC_INDICATION	入力	タイプ A 過電流表示
P16	PCM1_INT	入力	PCM6240 オーディオ デバイス 1 割り込み信号

表 2-16. I/O エクスパンダの信号詳細 (続き)

I/O エクスパンダ - 01			
ピン番号	信号	方向	目的
P17	PCM2_INT	入力	PCM6240 オーディオ デバイス 2 割り込み信号
P20	GPIO_PCM1_RST	出力	PCM6240 オーディオ デバイス 1 リセット制御 GPIO
P21	TEST_GPIO2	入力	割り込みスイッチからの TEST GPIO2
P22	GPIO_PCM2_RST	出力	PCM6240 オーディオ デバイス 2 リセット制御 GPIO
P23	NC	-	
P24	IO_MCAN0_STB	出力	MCAN 0 STB 制御
P25	IO_MCAN1_STB	出力	MCAN 1 STB 制御
P26	PD_I2C_IRQ	入力	PD コントローラからの割り込み要求
P27	IO_EXP_TEST_LED	出力	ユーザー テスト_LED_有効化
ピン番号	信号	方向	デバイス
P00	PCM6240_BUF_IO_EN	出力	PCM6240 バッファの有効化
P01			
P02	CPLD1_JTAGENB	出力	CPLD 1 JTAG の有効化
P03	CPLD1_PROGRAMN	出力	CPLD 1 プログラムの有効化
P04	CPLD2_JTAGENB	出力	CPLD 2 JTAG の有効化
P05	CPLD2_PROGRAMN	出力	CPLD 2 プログラムの有効化
P06	NC		
P07	NC		
P10	CPLD1 TCK	出力	CPLD1_JTAG
P11	CPLD1 TMS	出力	
P12	CPLD1 TDI	出力	
P13	CPLD1 TDO	入力	CPLD2_JTAG
P14	CPLD2 TCK	出力	
P15	CPLD2 TMS	出力	
P16	CPLD2 TDI	出力	
P17	CPLD2 TDO	入力	

2.6.11 GPIO へのマッピング

表 2-17 に、AM62D オーディオ EVM ペリフェラルを搭載した AM62D ローパワー SoC の GPIO へのマッピングの詳細を示します。

表 2-17. AM62D ローパワー SK 評価基板ペリフェラルを搭載した AM62D ローパワー SoC のマッピング

SL 番号	GPIO 名称	GPIO ネット名	機能	使用した GPIO	パッケージ信号名	制御の方向	デフォルト状態	アクティブ状態	SoC 側の電圧ドメイン	SKEVM に接続されている電圧レール
1	オーディオ拡張コネクタ 1	EXP1_GPIO0_1	GPIO	GPIO0_1	OSPI0_LBCLKO	該当なし	該当なし	該当なし	VDDSHV1	SoC_DVDD1V8
2	OSPI 割り込み	GPIO_OSPI_RSTn	リセット	GPIO0_12	OSPI0_CSN1	入力	High	Low	VDDSHV1	SoC_DVDD1V8
3	オーディオ拡張コネクタ 1	EXP1_GPIO0_13	GPIO	GPIO0_13	OSPI0_CSN2	該当なし	該当なし	該当なし	VDDSHV1	SoC_DVDD1V8
4	オーディオ拡張コネクタ 1	EXP1_GPIO0_14	GPIO	GPIO0_14	OSPI0_CSN3	該当なし	該当なし	該当なし	VDDSHV1	SoC_DVDD1V8
5	オーディオ拡張コネクタ 1	EXP1_GPIO0_31	GPIO	GPIO0_31	GPMC0_CLK	該当なし	該当なし	該当なし	VDDSHV1	SoC_DVDD1V8
6	オーディオ拡張コネクタ 1	EXP1_GPIO0_32	GPIO	GPIO0_32	GPMC0_ADV_NALE	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
7	MCASP ヘッダー	EXP1_GPIO0_33	GPIO	GPIO0_33	GPMC0_OEN_REN	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
8	オーディオ拡張コネクタ 1	EXP1_GPIO0_34	GPIO	GPIO0_34	GPMC0_WEN	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
9	MCASP ヘッダー									
10	オーディオ拡張コネクタ 1									

表 2-17. AM62D ローパワー SK 評価基板ペリフェラルを搭載した AM62D ローパワー SoC のマッピング (続き)

SL 番号	GPIO 名称	GPIO ネット名	機能	使用した GPIO	パッケージ信号名	制御の方向	デフォルト状態	アクティブ状態	SoC 側の電圧ドメイン	SKEVM に接続されている電圧レール
11	オーディオ拡張コネクタ 1	EXP1_GPIO0_35	GPIO	GPIO0_35	GPMC0_BEON_CLE	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
12	オーディオ拡張コネクタ 1	EXP1_GPIO0_37	GPIO	GPIO0_37	GPMC0_WAIT0	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
13	オーディオ拡張コネクタ 2	EXP1_GPIO0_45	GPIO	GPIO0_45	GPIO0_45	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
14	オーディオ拡張コネクタ 2	EXP1_GPIO0_46	GPIO	GPIO0_46	GPIO0_46	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
15	オーディオ拡張コネクタ 2	EXP1_GPIO0_47	GPIO	GPIO0_47	GPIO0_47	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
16	オーディオ拡張コネクタ 2	EXP1_GPIO0_48	GPIO	GPIO0_48	GPIO0_48	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
17	オーディオ拡張コネクタ 2	EXP1_GPIO0_55	GPIO	GPIO0_55	GPIO0_55	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
18	オーディオ拡張コネクタ 2	EXP1_GPIO0_56	GPIO	GPIO0_56	GPIO0_56	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
19	オーディオ拡張コネクタ 2	EXP1_GPIO0_57	GPIO	GPIO0_57	GPIO0_57	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
20	オーディオ拡張コネクタ 2	EXP1_GPIO0_58	GPIO	GPIO0_58	GPIO0_58	該当なし	該当なし	該当なし	VDDSHV3	SoC_DVDD1V8
21	ユーザー テスト LED 制御信号	SOC_GPIO1_49	イネーブル	GPIO0_49	MMC1_SDWP	入力	Low	High	VDDSHV5	SoC_DVDD1V8
22	SD カード I/O 電圧の選択	VSEL_SD_SOC	選択	GPIO0_59	GPIO0_59	出力	該当なし	該当なし	VDDSHV2	SoC_DVDD3V3
23	ロー パワー モード イネーブル	PMIC_LPM_EN0	イネーブル	MCU_GPIO0_22	PMIC_LPM_EN0	出力	High	Low	VDDSHV_CANUART	CAN_IO_3V3
24	PMIC 割り込み	PMIC_INTn	割り込み	GPIO1_31	EXTINTn	入力	High	Low	VDDSHV0	SoC_DVDD3V3
25	MCU 割り込み	MCU_INTn	割り込み	MCU_GPIO0_23	WKUP_CLKOUT0	入力	High	Low	WKUP_MCU	SoC_DVDD3V3
IO エクスパンダ - 01										
1	GPIO_CPSW2_RST	RGMII2_RST	イネーブル	IO EXPANDER-P00		出力	High	Low		VCC_3V3_SYS
2	GPIO_CPSW1_RST	RGMII1_RST	イネーブル	IO EXPANDER-P01		出力	High	Low		VCC_3V3_SYS
3	PCM/EXP2_SEL	PCM/EXP2_FET_SEL	方向制御	IO EXPANDER-P02		出力	High	-		VCC_3V3_SYS
4	MMC1_SD_EN	MMC1_SD_EN	イネーブル	IO EXPANDER-P03		出力	High	High		VCC_3V3_SYS
5	VPP_EN	VPP_EN	イネーブル	IO EXPANDER-P04		出力	該当なし	High		VCC_3V3_SYS
6	GPIO_DIX_RST	DIX4192_RST	イネーブル	IO EXPANDER-P05		出力	High	Low		VCC_3V3_SYS
7	IO_EXP_OPT_EN	OPT_BUF_EN	イネーブル	IO EXPANDER-P06		出力	High	Low		VCC_3V3_SYS
8	DIX_INT	DIX4192_INT	割り込み	IO EXPANDER-P07		入力	High	Low		VCC_3V3_SYS
9	GPIO_eMMC_RSTn	eMMC_RST	イネーブル	IO EXPANDER-P10		出力	High	Low		VCC_3V3_SYS
10	CPLD2_DONE	CPLD2_DONE	イネーブル	IO EXPANDER-P11		入力	High	Low		VCC_3V3_SYS
11	CPLD2_INTN	CPLD2_INT	割り込み	IO EXPANDER-P12		入力	High	Low		VCC_3V3_SYS
12	CPLD1_DONE	CPLD1_DONE	イネーブル	IO EXPANDER-P13		入力	High	Low		VCC_3V3_SYS
13	CPLD1_INTN	CPLD1_INT	割り込み	IO EXPANDER-P14		入力	High	Low		VCC_3V3_SYS
14	USB Type-A 過電流インジケータ	USB_TYPEA_OC_INDICATION	割り込み	IO EXPANDER-P14		入力	High	Low		VCC_3V3_SYS
15	PCM1_INT	PCM6240_INT	割り込み	IO EXPANDER-P16		入力	該当なし	該当なし		VCC_3V3_SYS
16	PCM2_INT	PCM6240_INT	割り込み	IO EXPANDER-P17		入力	High	Low		VCC_3V3_SYS
17	GPIO_PCM1_RST	HDMI_INTn	割り込み	IO EXPANDER-P20		入力	High	Low		VCC_3V3_SYS
18	テスト オートメーション コネクタからの GPIO2 のテスト	TEST_GPIO2	GPIO	IO EXPANDER-P21		該当なし	High	該当なし		VCC_3V3_SYS

表 2-17. AM62D ローパワー SK 評価基板ペリフェラルを搭載した AM62D ローパワー SoC のマッピング (続き)

SL 番号	GPIO 名称	GPIO ネット名	機能	使用した GPIO	パッケージ信号名	制御の方向	デフォルト状態	アクティブ状態	SoC 側の電圧ドメイン	SKEVM に接続されている電圧レール
19	GPIO_PCM2_RST	PCM6240_RST	イネーブル	IO EXPANDER-P22		出力	High	Low		VCC_3V3_SYS
20	CPLD/EXP2_SEL	CPLD/EXP2_FET_SEL	方向制御	IO EXPANDER-P23		出力	High	-		VCC_3V3_SYS
21	IO_MCAN0_STB	MCAN_STB	イネーブル	IO EXPANDER-P24		出力	High	Low		VCC_3V3_SYS
22	IO_MCAN1_STB	MCAN_STB	イネーブル	IO EXPANDER-P25		出力	High	Low		VCC_3V3_SYS
23	パワー デリバリ I2C 割り込み要求	PD_I2C_IRQ	イネーブル	IO EXPANDER-P26		出力	High	Low		VCC_3V3_SYS
24	ユーザー テスト LED 2	IO_EXP_TEST_LED	GPIO	IO EXPANDER-P27		出力	Low	High		VCC_3V3_SYS
IO エクスパンダ - 02										
1	PCM6240_BUF_IO_EN	PCM6240_Buffer_EN	イネーブル	IO EXPANDER-P00		出力	High	-		VCC_3V3_SYS
2	NC	NC	NC	IO EXPANDER-P01		NC	NC			NC
3	CPLD1_JTAGENB	CPLD1_JTAGENB	イネーブル	IO EXPANDER-P02		出力	Low	-		VCC_3V3_SYS
4	CPLD1_PROGRAMN	CPLD1_PROGRAMN	割り込み	IO EXPANDER-P03		出力	High	-		VCC_3V3_SYS
5	CPLD2_JTAGENB	CPLD2_JTAGENB	イネーブル	IO EXPANDER-P04		出力	Low	-		VCC_3V3_SYS
6	CPLD2_PROGRAMN	CPLD2_PROGRAMN	割り込み	IO EXPANDER-P05		出力	High	-		VCC_3V3_SYS
7	NC	NC	NC	IO EXPANDER-P06		NC	NC			NC
8	NC	NC	NC	IO EXPANDER-P07		NC	NC			NC
9	CPLD1_TCK	CPLD1_TCK	CPLD1_JTAG	IO EXPANDER-P10		出力	該当なし	-		VCC_3V3_SYS
10	CPLD1_TMS	CPLD1_TMS	CPLD1_JTAG	IO EXPANDER-P11		出力	High	-		VCC_3V3_SYS
11	CPLD1_TDI	CPLD1_TDI	CPLD1_JTAG	IO EXPANDER-P12		出力	該当なし	-		VCC_3V3_SYS
12	CPLD1_TDO	CPLD1_TDO	CPLD1_JTAG	IO EXPANDER-P13		入力	該当なし	-		VCC_3V3_SYS
13	CPLD2_TCK	CPLD2_TCK	CPLD2_JTAG	IO EXPANDER-P14		出力	該当なし	-		VCC_3V3_SYS
14	CPLD2_TMS	CPLD2_TMS	CPLD2_JTAG	IO EXPANDER-P14		出力	High	-		VCC_3V3_SYS
15	CPLD2_TDI	CPLD2_TDI	CPLD2_JTAG	IO EXPANDER-P16		出力	該当なし	-		VCC_3V3_SYS
16	CPLD2_TDO	CPLD2_TDO	CPLD2_JTAG	IO EXPANDER-P17		入力	該当なし	-		VCC_3V3_SYS

2.7 電源

2.7.1 電源入力

Type-C コネクタ (VBUS ラインと CC ライン) はどちらも、デュアル PD コントローラ (メーカー型番 TPS65988) に接続されています。TPS65988 は、スタンドアロンの USB Type-C およびパワー デリバリ (PD) コントローラであり、2 つの USB Type-C コネクタのケーブルのプラグと向きを検出します。ケーブルを検出すると、TPS65988 は USB PD プロトコルを使用して CC ワイヤで通信を行います。ケーブルの検出と USB PD ネゴシエーションが完了すると、TPS65988 は適切な電力パスを有効にします。TPS65988 の 2 つの内部電力パスは、2 つの Type-C ポートのシンク パスとして構成され、DFP として動作する場合には Type-C CONN 2 から 5V を供給するための外部 FET パスが提供されています。外部 FET パスは、PD コントローラの GPIO17/PP_EXT2 によって制御され、AM62D SoC の USB0 DRVVBUS の使用も可能にする抵抗オプションも備えています。TPS65988 PD コントローラは、CC ネゴシエーションにより、3A (最大 15V) の出力を供給できます。両方の Type-C コネクタからの VBUS ピンは、PD コントローラの VBUS ピンに接続されています。電力が $\geq 15W$ の場合、PD の GPIO1 と GPIO2 の出力がネゴシエーションに使用されます。このロジックにより、VMAIN

電源用のロードスイッチ **TPS22810** が有効になります。この **VMAIN** は、オンボードの昇降圧レギュレータと降圧レギュレータに供給され、EVM 基板用の **5V** と **3.3V** の固定電源を生成します。

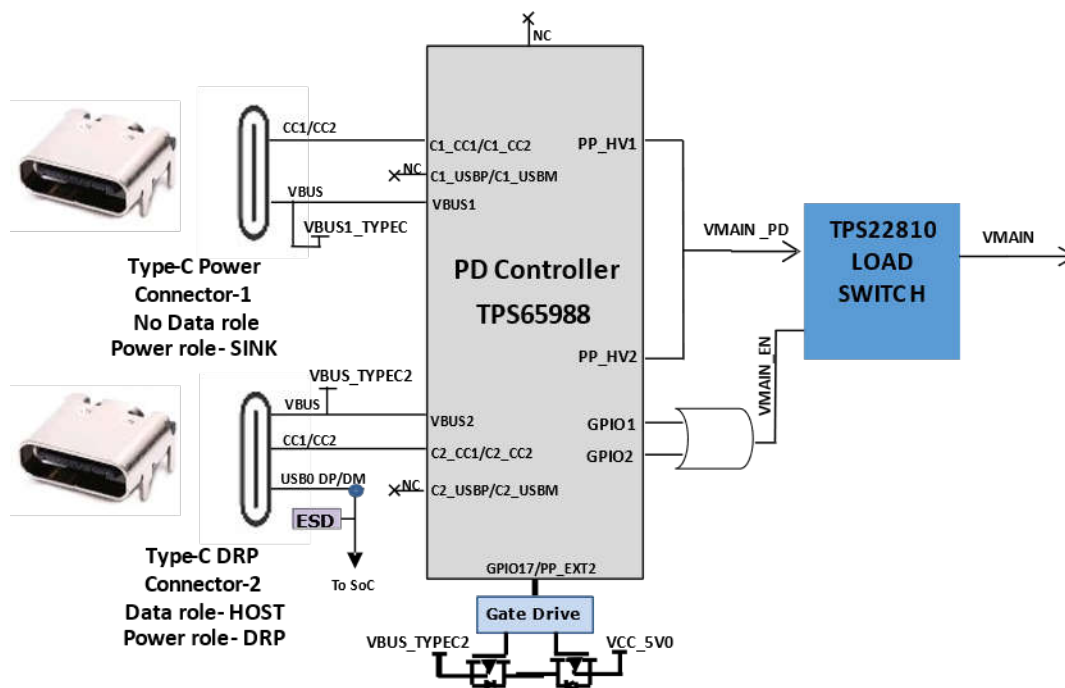


図 2-19. 電源入力のブロック図

2.7.2 電源

AM62D オーディオ EVM は、DC/DC コンバータのアレイを使用して、ボード上のさまざまなメモリ、クロック、SoC、その他のコンポーネントに必要な電圧と電力を供給します。

図 2-20 に、電源レールの生成に使用される各種のディスクリートレギュレータ、PMIC、LDO と、AM62D オーディオ EVM 基板上の各ペリフェラルの消費電流を示します。

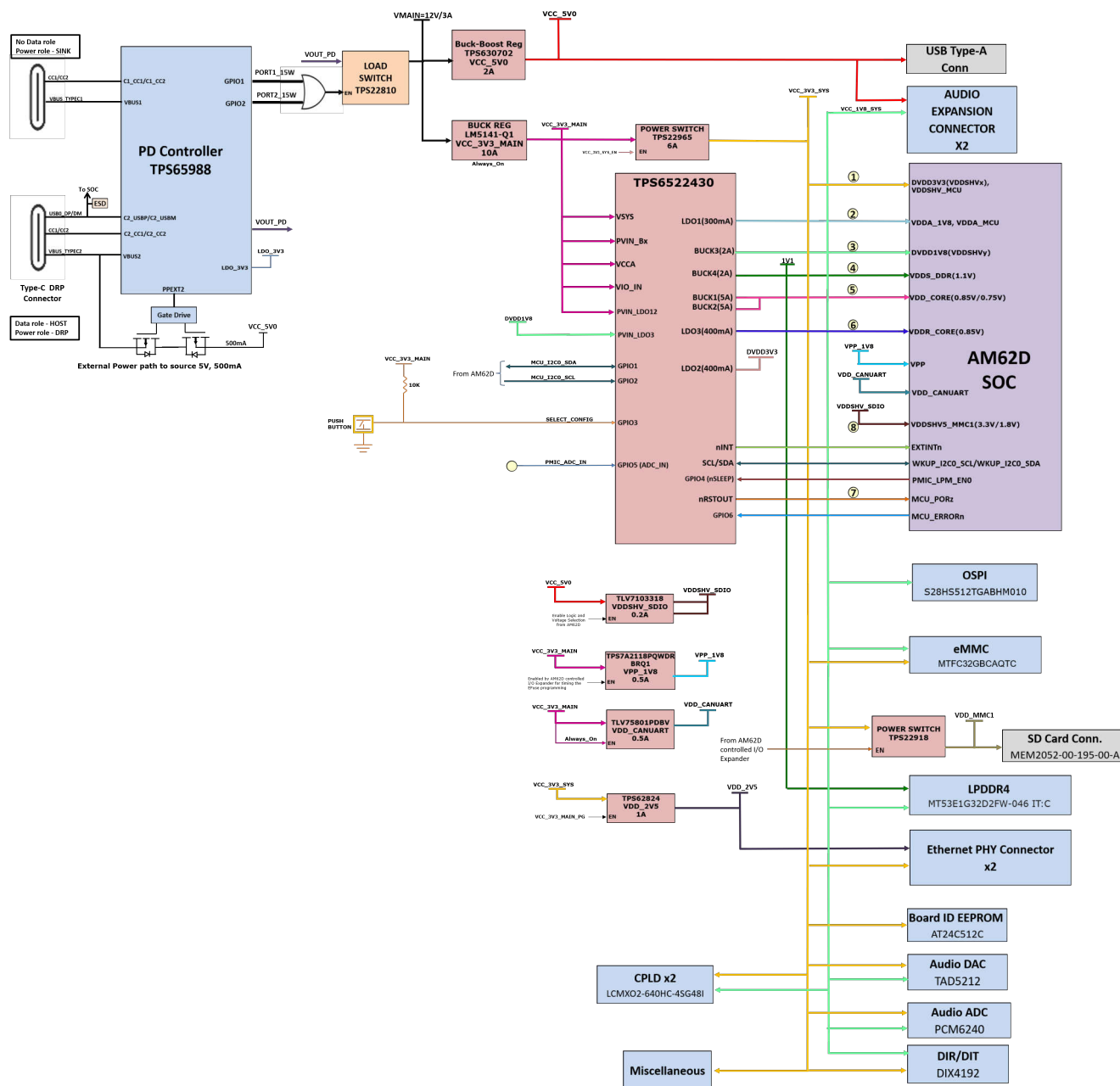


図 2-20. 電力アーキテクチャ

以下のセクションでは、EVM ボード、サポートコンポーネント、リファレンス電圧に電力を供給する電源分配ネットワークのトポロジについて説明します。

AM62D オーディオ EVM の基板には、ディスクリート電源コンポーネントに基づく電源ソリューションが搭載されています。電源供給の初期段は、二つの USB Type-C™ コネクタ J24 と J25 のいずれかからの VBUS 電圧になります。システムに必要な電力のネゴシエーションには、USB Type-C デュアル PD コントローラ (メーカー型番 TPS65988DHRSHR) が使用されます。電力が $\geq 15W$ の場合、PD の GPIO1 と GPIO2 はネゴシエーションに使用されます。このロジックにより、VMAIN 電源のロード スイッチが有効になります。

昇降圧コントローラ TPS630702RNMR と降圧コンバータ LM5141-Q1 は、それぞれ 5V と 3.3V の生成に使用され、レギュレータへの入力 は PD 出力です。これらの 3.3V と 5V は、AM62D オーディオ EVM 基板の電源リソースの主要な電圧です。降圧レギュレータ LM5141-Q1 から生成された 3.3V 電源は、PMIC、各種 SoC レギュレータ、LDO への入力

電源です。昇圧レギュレータ TPS630702RNMR から生成された 5V 電源は、オンボードのペリフェラルの電源に使用されます。基板上で使用されるディスクリートレギュレータと LDO は次のとおりです。

表 2-18. オンボード ディスクリートレギュレータおよび LDO

部品番号	説明
TPS62824DMQR	PHY および DDR ペリフェラル用に VDD_2V5 レールを生成
PTPS6522430RAHRQ1 (PMIC)	各種 SoC およびペリフェラルの電源を生成
TLV75801PDBVT LDO	SoC の VDD_CANUART 電源
TPS7A2118PQWDRBRQ1	SoC 用の VPP_1V8 を生成
TPS79601 LDO	XDS110 オンボード エミュレータ用
TPS73533 LDO	FT4232 USB-to-UART ブリッジ

2.7.3 電源シーケンス

図 2-21 に、AM62D SoC 電源のパワーアップおよびパワーダウンのシーケンスを示します。

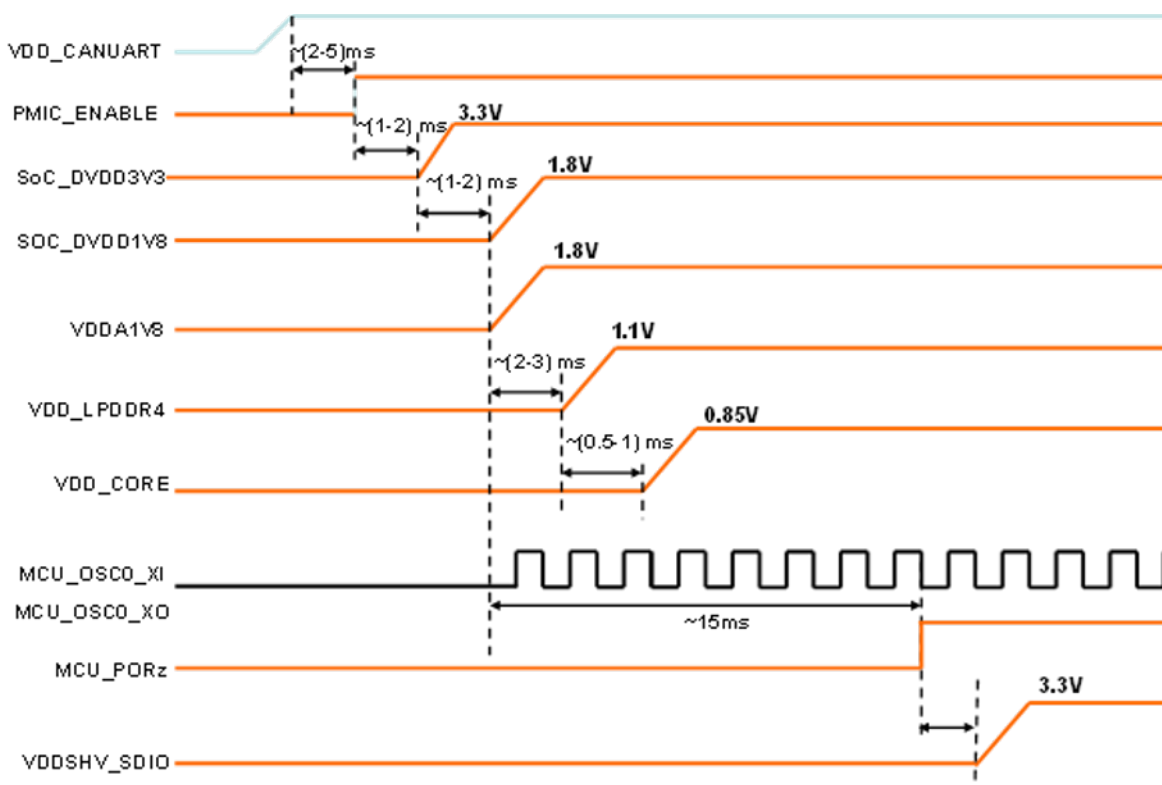


図 2-21. 電源シーケンス

2.7.4 AM62D SOC 電源

AM62D SoC のコア電圧は、PMIC 構成と電力最適化要件に基づいて、0.75V または 0.85V に設定できます。デフォルトでは、PMIC は VDD_CORE に 0.75V を供給しますが、PMIC の構成レジスタを変更することで、電圧を 0.85V に変更できます。SoC のすべての電源レールには電流モニタが搭載されています。

SoC には異なる I/O グループがあります。表 2-19 に、各 I/O グループに電力を供給する特定の電源装置を示します。

表 2-19. SoC 電源

SL 番号	電源	SoC 電源レール	I/O 電源グループ	電圧
1	VDD_CORE	VDDA_CORE_USB	USB	0.75/0.85
		VDDA_CORE_CSI	CSI	
		VDD_CANUART	CANUART	
		VDD_CORE	CORE	
2	VDDR_CORE	VDDR_CORE	CORE	0.75
3	VDDA_1V8	VDDA_1V8_CSIRX	CSI	1.8
		VDDA_1V8_USB	USB	
		VDDA_1V8_MCU	MCU GENERAL	
		VDDA_1V8_OSCO	OSCO	
		VDDA_PLL[0:4]		
4	VDD_LPDDR4	VDDS_DDR	DDR0	1.1
		VDDS_DDR_C		
5	CAN_IO_3V3	VDDSHV_CANUART	CANUART	3.3
6	VPP_1V8	VPP_1V8		1.8
7	SoC_VDDSHV5_SDIO	VDDSHV5	MMC1	3.3/1.8
8	SOC_DVDD1V8	VDDSHV1	OSPI	1.8
		VDDSHV4	MMC0	
		VDDSHV6	MMC2	
		VMON_1P8_SOC		
9	SOC_DVDD3V3	VDDSHV0	一般	1.8
		VDDSHV3	GPMC	
		VDDSHV2	RGMII	3.3
		VDDSHV_MCU	MCU GENERAL	
		VMON_3P3_SOC		
		VDDA_3P3_USB	USB	

2.7.5 電流監視

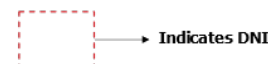
INA228 電流監視デバイスは、AM62D プロセッサの各種電源レールの電流と電圧を監視するために使用されます。INA228 は、I2C インターフェイス (SOC_I2C0) で AM62D と接続されています。負荷電流測定用に、4 端子の高精度シャント抵抗が実装されています。

表 2-20. INA I2C デバイス アドレス

ソース	電源ネット	デバイス アドレス	電源レールに接続されているシャントの値	センス抵抗
VCC_CORE	VDD_CORE	0x40	1mΩ± 1%	R256
VCC_0V85	VDDR_CORE	0x41	10mΩ± 1%	R581
VCC_3V3_SYS	SoC_DVDD3V3	0x4C	10mΩ± 1%	R251
VCC1V8_SYS	SoC_DVDD1V8	0x45	10mΩ± 1%	R334
VDDA1V8	VDDA_1V8	0x4D	10mΩ± 1%	R316
VCC1V1	VDD_LPDDR4	E1 リビジョン: 0x47 E2 リビジョン: 0x44	1mΩ± 1%	R327

2.8 クロック処理

AM62D オーディオ EVM のクロック アーキテクチャを、[図 2-22](#) に示します。



クロック ジェネレータ (型番 LMK1C1103PWR) は、SoC と 2 つのイーサネット PHY に 25MHz クロックを供給するために使用されます。LMK1C1103PWR は 1:3 の LVCMOS クロック バッファで、25MHz 水晶振動子 / LVCMOS リファレンス入力を取り込み、3 つの 25MHz LVCMOS クロックを出力します。クロック バッファのソースは、SoC からの CLKOUT0 ピンまたは 25MHz 発振器のいずれかであり、抵抗セットを使用して選択します。デフォルトでは、AM62D オーディオ EVM のクロック バッファへの入力として発振器が使用されます。クロック バッファの出力 Y1 と Y2 は、2 つのギガビット イーサネット PHY のリファレンス クロック入力として使用されます。

39

SOC WKUP DOMAIN

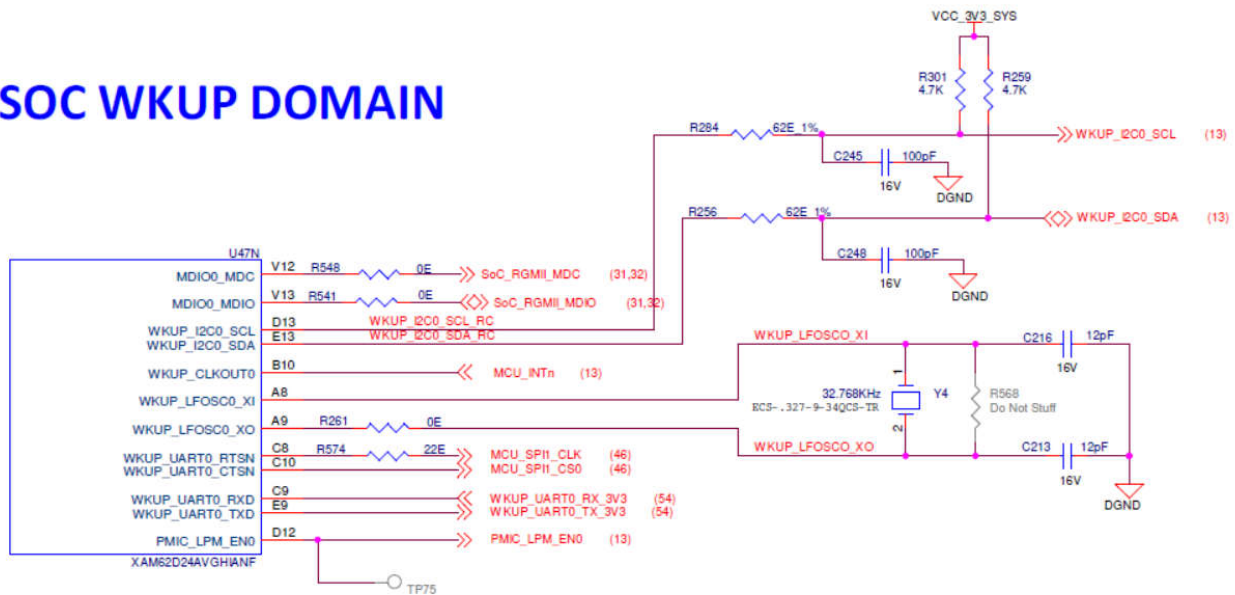


図 2-23. SOC WKUP ドメイン クロック

2.8.1 ペリフェラル リファレンス クロック

XDS110、FT4232、CDCE クロック ジェネレータ、SI5351B-B-GM などのペリフェラルに必要なクロック入力は、個別の水晶振動子または発振器を使用してローカルで生成されます。EVM ペリフェラルにリファレンス クロックを提供するために使用される水晶振動子または発振器を、表 2-21 に示します。

表 2-21. クロック表

ペリフェラル	メーカー型番	説明	周波数
XDS110 エミュレータ (Y5)	XRCGB16M000FXN01R0	CRY 16.000MHz 8pF SMD	16.000MHz
FT4232 ブリッジ (Y6)	445I23D12M00000	CRY12.000MHz 18pF SMD	12.000MHz
CDCE クロック ジェネレータ (Y1)	ABMM-24.576MHZ-B2-T	CRY 24.576MHz 18pF SMD	24.576MHz
SI5351B-B-GM (Y2)	ABM8-27.000MHZ-10-1-U-T	CRY 27.000MHz SMD	27MHz

2.9 リセット

AM62D オーディオ EVM のリセット アーキテクチャを、図 2-24 に示します。SoC には次のリセット機能があります。

- RESETSTATz は、MAIN ドメインのウォーム リセット ステータス出力です。
- PORz_OUT は、MAIN ドメインのパワーオン リセット ステータス出力です。
- RESET_REQz は、MAIN ドメインのウォーム リセット入力です。
- MCU_PORz は、MCU ドメインのパワーオン / コールドリセット入力です。
- MCU_RESETSTATz は、MCU ドメインのウォーム リセット ステータス出力です。

パワーオン リセット時に、MAIN ドメインに接続されているすべてのペリフェラル デバイスは RESETSTATz によってリセットされます。

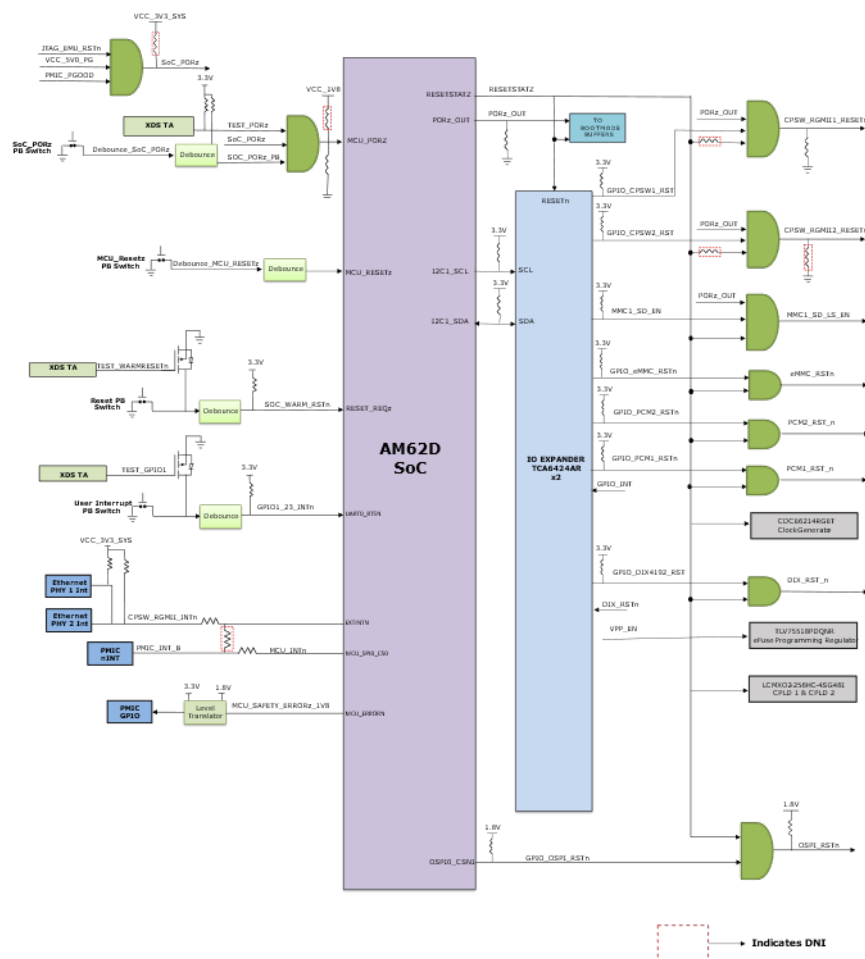


図 2-24. リセットのブロック図

2.10 CPLD へのマッピング

AM62D オーディオ EVM は、低周波オーディオ クロック (< 30MHz) のマルチプレクサ / デマルチプレクサ用に 2 つの CPLD (メーカー型番 LCMXO2-640HC-4SG48I) をサポートしています。これらの CPLD は、SoC からオンボードのオーディオ パリフェラル デバイスに送信されるオーディオ信号用に、バッファ ロジックでプログラムされています。

CPLD には、コア (VCC) および VCCIO0 用に 3.3V、その他の I/O (VCCIO1、VCCIO2、VCCIO3) 用に 1.8V が必要です。JTAG プログラミング用に、2 つの 1x6 HDR (メーカー型番 61300611121) が搭載されています。

注

使用される CPLD デバイス:

- **PROC180E1**: LCMXO2-256HC-4SG48I
- **PROC180E2**: LCMXO2-640HC-4SG48I

表 2-22. I2C アドレス マップ:

CPLD	設定アドレス	プライマリ (パリフェラル)	セカンダリ (パリフェラル)
CPLD 1	0x74	0x70	0x71
CPLD 2	0x64	0x72	0x73

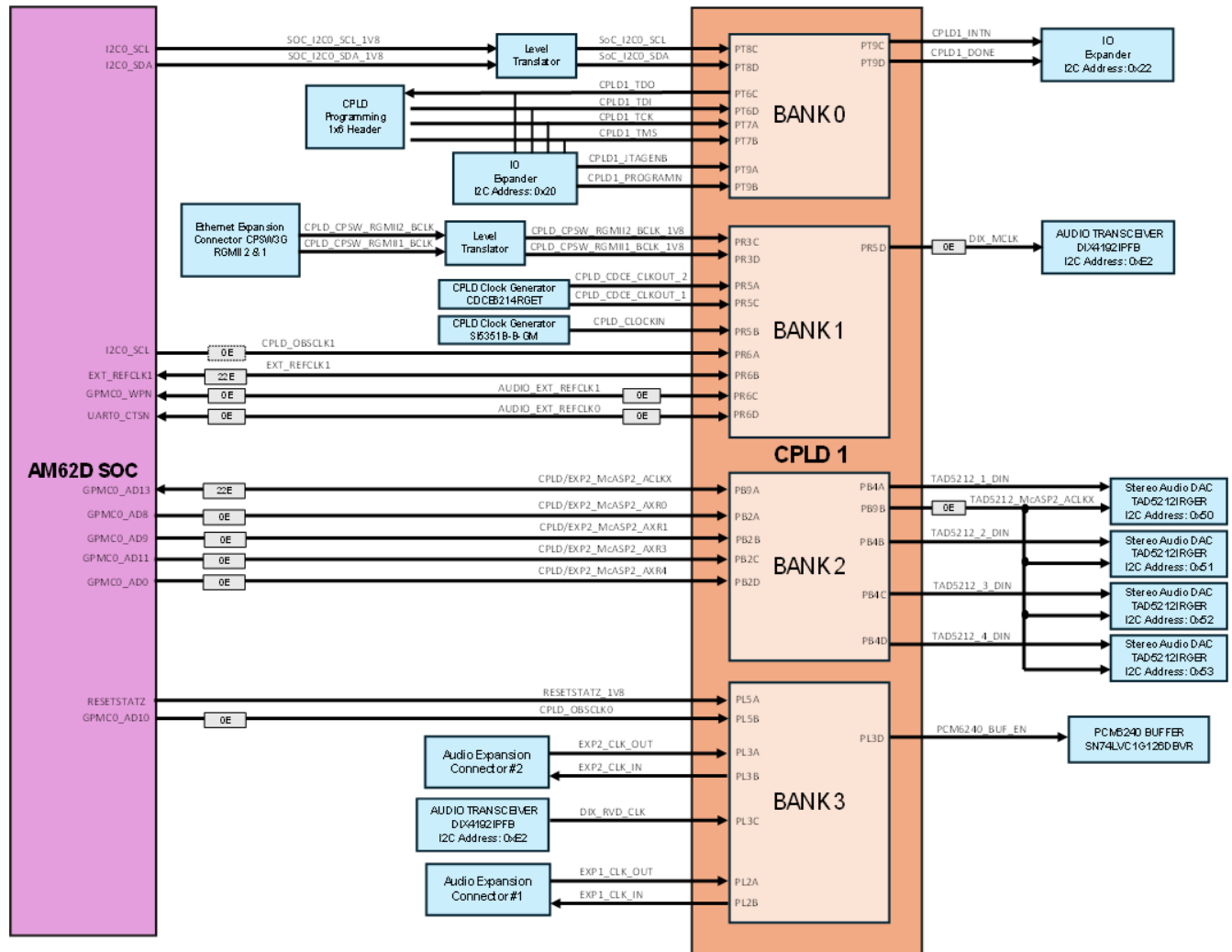


図 2-25. CPLD1 のブロック図

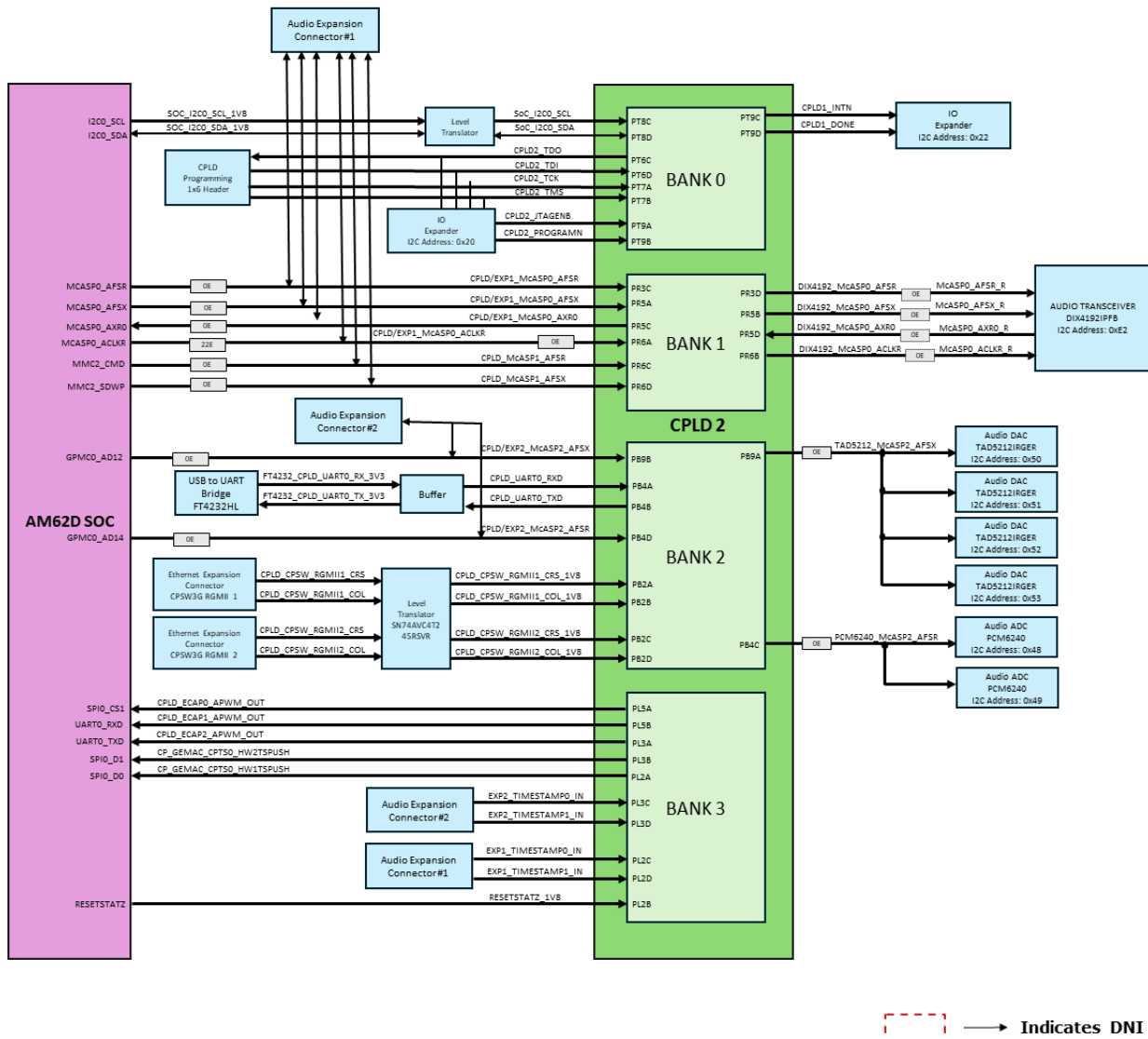


図 2-26. CPLD2 のブロック図

現在の AM62D オーディオ EVM には、以下のような CPLD マッピングが構成されています。

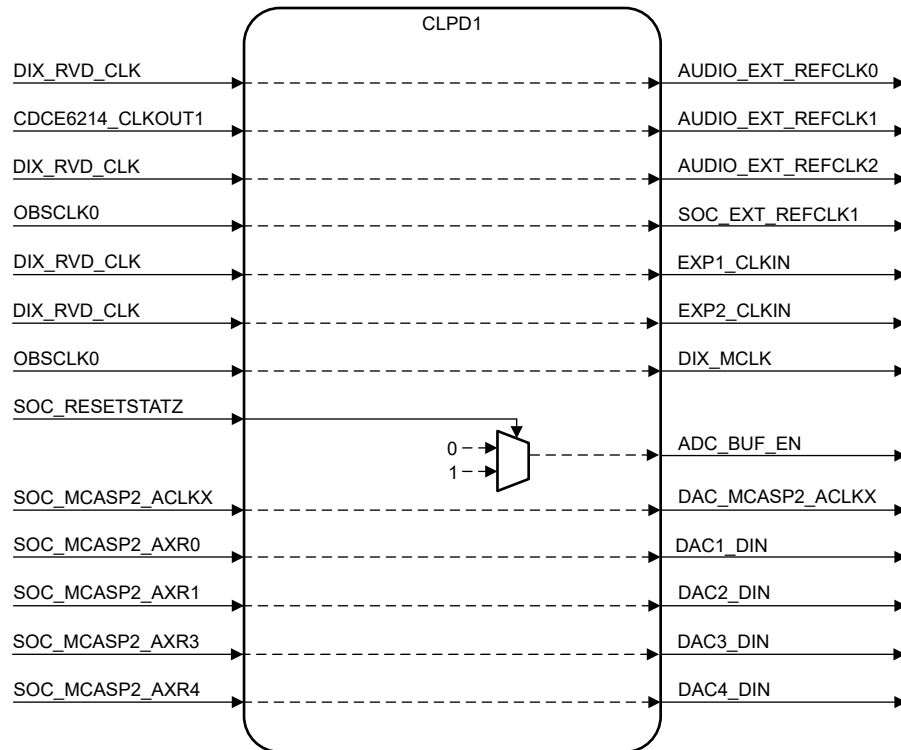


図 2-27. CPLD1 のデフォルト構成

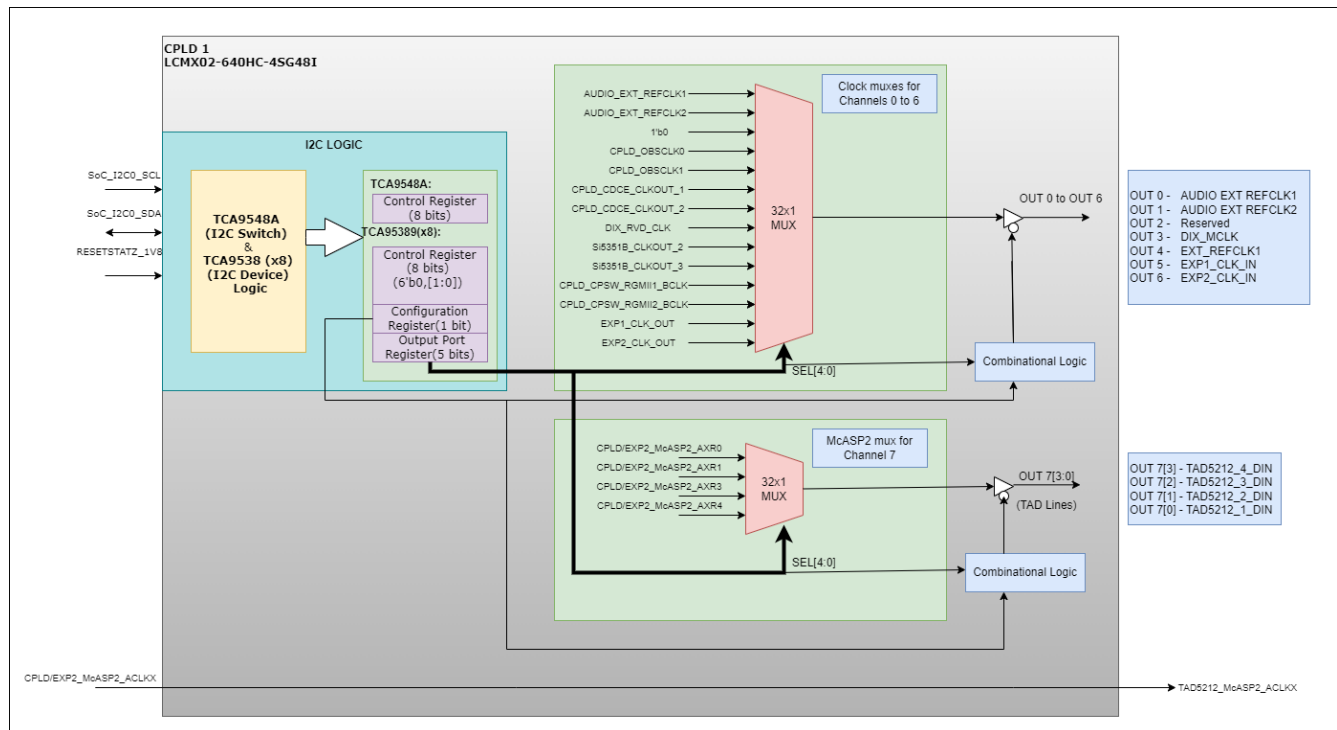


図 2-28. CPLD1 の内部ブロック図

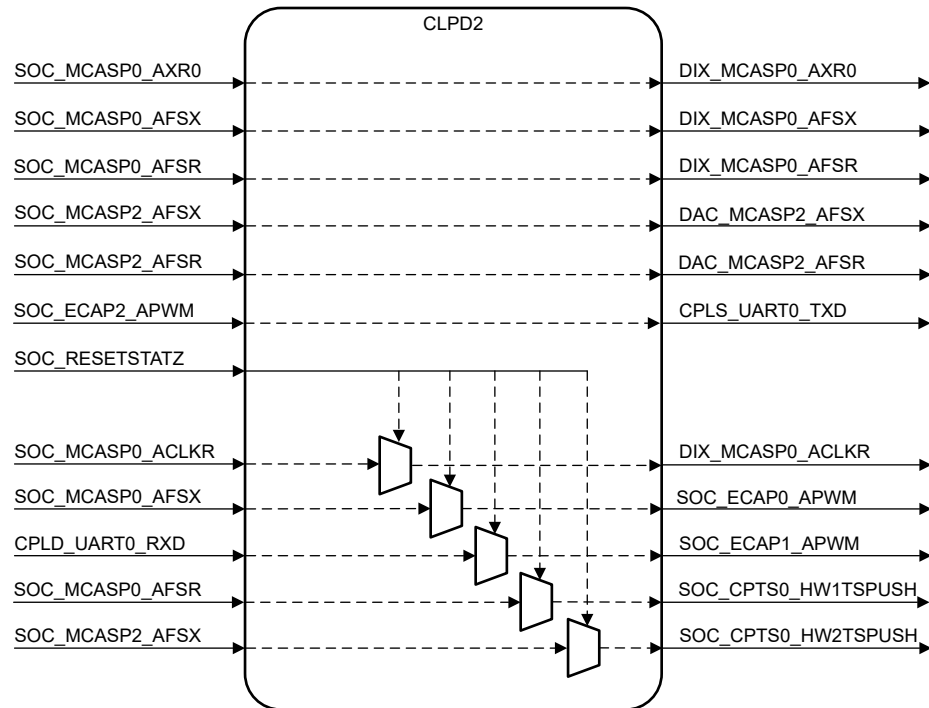


図 2-29. CPLD2 のデフォルト構成

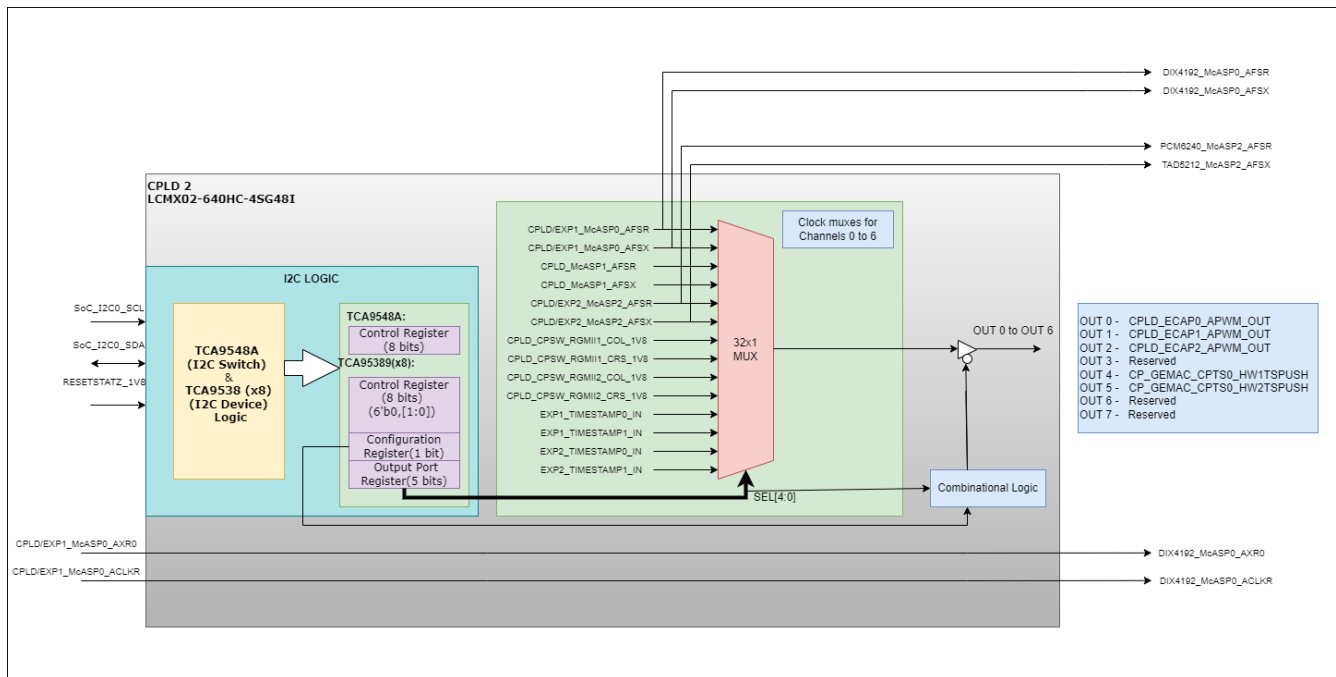


図 2-30. CPLD2 の内部ブロック図

2.11 オーディオ拡張コネクタ (ヘッダー)

AM62D オーディオ EVM には 2 つのオーディオ拡張コネクタがあり、各コネクタは 80 ピンで構成されています。

2.11.1 オーディオ拡張コネクタ 1

AM62D オーディオ EVM は、2 つのシールド付きオーディオ拡張コネクタ (メーカー型番 QSE-040-01-L-D-A) で構成されています。これら 2 つの対称コネクタは、評価基板の左右の指定された位置に一定の間隔で配置されています。

オーディオ拡張コネクタ 1 には、次のインターフェイスと IO が含まれています。

- 1 つの SPI:1 CS 付き SPI0
- 1 つの I2C:SoC_I2C2
- 1 つの UART:UART5
- 2 つの PWM:EHRPWM0_A、EHRPWM1_B
- 1 つの CLK:CLKOUT0
- 2 つの Timer_IO
- 1 つの CLK:CPLD からの CLK_IN
- 2× ドーターカードのリファレンス タイムスタンプ信号。
- 2 つの McASP:McASP0 と McASP 1
- 10 個の GPIO:MAIN ドメインからの GPIO
- 5V および 1.8V 電源 (電流制限:150mA と 250mA)

オーディオ拡張コネクタ 1 に接続される信号を、表 2-23 に示します。

表 2-23. オーディオ拡張コネクタ 1 のピン配置

ピン	SOC ボール	ネット名
1	F18	PORz_OUT_1V8
2	-	VCC_5V0
3	C11	MCU_TIMER_IO1_1V8
4	-	VCC_5V0
5	D7	MCU_TIMER_IO2_1V8
6	-	VCC_5V0
7	-	GND
8	-	GND
9	-	EXP1_TIMESTAMP0_IN
10	-	VCC1V8_SYS
11	-	EXP1_TIMESTAMP1_IN
12	-	VCC1V8_SYS
13	-	NC
14	-	NC
15	-	GND
16	-	GND
17	B13	MCU_SPI0_CLK_1V8
18	M22	EXP1_I2C2_SCL
19	A15	MCU_SPI0_D0_1V8
20	M20	EXP1_I2C2_SDA
21	B12	MCU_SPI0_D1_1V8
22	-	GND
23	E11	MCU_SPI0_CS0_1V8
24	K22	EXP1_GPIO0_1
25	-	GND
26	-	GND
27	E20	EXP1_McASP1_AXR0
28	F20	EXP1_McASP1_AXR2
29	F21	EXP1_McASP1_AXR1
30	G21	EXP1_McASP1_AXR3
31	-	GND
32	K20	EXP1_GPIO0_13
33	CPLD	EXP1_CLK_IN

表 2-23. オーディオ拡張コネクタ 1 のピン配置 (続き)

ピン	SOC ボール	ネット名
34	G20	EXP1_GPIO0_14
35	-	GND
36	-	GND
37	F22	EXP1_McASP1_ACLKX
38	N22	EXP1_GPIO0_31
39	E21	CPLD_McASP1_AFSX
40	L18	EXP1_GPIO0_32
41	G22	CPLD_McASP1_AFSR
42	L17	EXP1_GPIO0_33
43	H22	EXP1_McASP1_ACLKR
44	K19	EXP1_GPIO0_34
45	-	GND
46	-	GND
47	-	EXP1_CLK_OUT
48	-	NC
49	-	GND
50	-	GND
51	R18	EXP1_GPIO0_37
52	L19	EXP1_GPIO0_35
53	R17	EXP1_GPIO0_38
54	-	NC
55	-	NC
56	-	NC
57	-	GND
58	-	GND
59	-	NC
60	V21	UART5_TXD
61	-	NC
62	V22	UART5_RXD
63	-	NC
64	-	NC
65	-	GND
66	-	GND
67	-	CPLD/EXP1_McASP0_AXR0
68	-	NC
69	B18	EXP1_McASP0_AXR1
70	-	NC
71	B19	EXP1_McASP0_AXR2
72	-	NC
73	C19	EXP1_McASP0_AXR3
74	-	NC
75	-	GND
76	-	GND
77	A19	EXP1_McASP0_ACLKX
78	A21	CPLD/EXP1_McASP0_ACLKR
79	A20	CPLD/EXP1_McASP0_AFSX

表 2-23. オーディオ拡張コネクタ 1 のピン配置 (続き)

ピン	SOC ボール	ネット名
80	B21	CPLD/EXP1_McASP0_AFSR

2.11.2 オーディオ拡張コネクタ 2

オーディオ拡張コネクタ 2 には、次のインターフェイスと IO が含まれています。

- 1x SPI:2 CS 付き SPI1
- 1x I2C:SoC_I2C1
- 1 × UART:UART6
- 2x PWM:EHRPWM0_A、EHRPWM1_A
- 1 × CLK:CLKOUT0
- 1 × CLK:CPLD からの CLK_IN
- 1xTimer_IO
- 2 × ドーターカードのリファレンス タイムスタンプ信号
- 1 × McASP:McASP2_AFSR、AFSX、ACLKR、ACLKX と 15 個のシリアルライザ
- 8x GPIO:MAIN ドメインからの GPIO
- 5V および 1.8V 電源 (電流制限:150mA と 25mA)

オーディオ拡張コネクタ 2 に接続される信号を、表 2-24 に示します。

表 2-24. オーディオ拡張コネクタ 2 のピン配置

ピン	SOC ボール	ネット名
1	F18	PORz_OUT_1V8
2	-	VCC_5V0
3	D16	EXP2_EHRPWM0_A
4	-	VCC_5V0
5	A17	EXP2_EHRPWM1_A
6	-	VCC_5V0
7	-	GND
8	-	GND
9	-	EXP2_TIMESTAMP0_IN
10	-	VCC1V8_SYS
11	-	EXP2_TIMESTAMP1_IN
12	-	VCC1V8_SYS
13	-	NC
14	-	NC
15	-	GND
16	-	GND
17	C8	MCU_SPI1_CLK_1V8
18	C17	SoC_I2C1_SCL
19	B11	MCU_SPI1_D0_1V8
20	E17	SoC_I2C1_SDA
21	D10	MCU_SPI1_D1_1V8
22	-	GND
23	C10	MCU_SPI1_CS0_1V8
24	B9	EXP2_MCU_SPI1_CS2_1V8
25	-	GND
26	-	GND
27	P22	CPLD/EXP2_McASP2_AXR0
28	R22	CPLD/EXP2_McASP2_AXR3

表 2-24. オーディオ拡張コネクタ 2 のピン配置 (続き)

ピン	SOC ボール	ネット名
29	R19	CPLD/EXP2_McASP2_AXR1
30	N21	CPLD/EXP2_McASP2_AXR4
31	-	GND
32	N20	EXP2_McASP2_AXR5
33	CPLD	EXP2_CLK_IN
34	N19	EXP2_McASP2_AXR6
35	-	GND
36	-	GND
37	R21	CPLD/EXP2_McASP2_ACLKX
38	N18	EXP2_McASP2_AXR7
39	T22	CPLD/EXP2_McASP2_AFSX
40	N17	EXP2_McASP2_AXR8
41	T20	CPLD/EXP2_McASP2_AFSR
42	U22	EXP2_GPIO0_45
43	T21	CPLD/EXP2_McASP2_ACLKR
44	U21	EXP2_GPIO0_46
45	-	GND
46	-	GND
47	-	EXP2_CLK_OUT
48	-	NC
49	-	GND
50	-	GND
51	U20	EXP2_GPIO0_47
52	C15	TIMER_IO7
53	U19	EXP2_GPIO0_48
54	-	NC
55	-	NC
56	-	NC
57	-	GND
58	-	GND
59	-	NC
60	V18	UART6_TXD
61	-	NC
62	V19	UART6_RXD
63	-	NC
64	-	NC
65	-	GND
66	-	GND
67	P18	EXP2_McASP2_AXR9
68	K18	EXP2_McASP2_AXR13
69	P19	EXP2_McASP2_AXR10
70	M19	CPLD/EXP2_McASP2_AXR14
71	P21	EXP2_McASP2_AXR11
72	M21	CPLD/EXP2_McASP2_AXR15
73	M18	EXP2_McASP2_AXR12
74	-	NC

表 2-24. オーディオ拡張コネクタ 2 のピン配置 (続き)

ピン	SOC ボール	ネット名
75	-	GND
76	-	GND
77	W22	EXP2_GPIO0_55
78	W20	EXP2_GPIO0_57
79	W21	EXP2_GPIO0_56
80	W19	EXP2_GPIO0_58

2.12 割り込み

AM62D オーディオ EVM は、プロセッサにリセット入力とユーザー割り込みを提供する 2 つの割り込みをサポートしています。割り込みは基板上面にあるプッシュ ボタンで、表 2-25 に示します。

表 2-25. 評価基板割り込みボタン

SI 番号	プッシュ ボタン	信号	機能
1	SW4	SoC_WARM_RESETZ	MAIN ドメイン ウォームリセット入力
2	SW5	GPIO_MCU	GPIO1_23 (UART0_RTSn) に割り込みを生成

2.13 I2C アドレス マッピング

EVM 基板では、以下の 4 つの I2C インターフェイスを使用しています。

- SoC_I2C0 インターフェイス: SoC I2C[0] は、基板 ID EEPROM、USB PD コントローラ、PCM6240 (x2)、TAD5212 (x4)、CDCE621、DIX4192、SIL5351B、DAC53002、電流モニタ (x6)、温度センサ (x2)、CPLD (x2)、CPSW 拡張コネクタ (x2)、GPIO ポート エクスパンダ (x2) に接続されています。
- SoC I2C1 インターフェイス: SoC I2C[1] は、オーディオ拡張コネクタ 2 (AEC 2) に接続されています。
- SoC I2C2 インターフェイス: SoC I2C[2] は、オーディオ拡張コネクタ 1 (AEC 1) に接続されています。
- マイコン I2C0 および WKUP_I2C0 インターフェイス: MCU I2C[0] と WKUP_I2C[0] は PMIC に接続されています。

図 2-31 に I2C ツリーを示し、表 2-26 に AM62D オーディオ EVM のすべての I2C アドレス マッピングの詳細を示します。

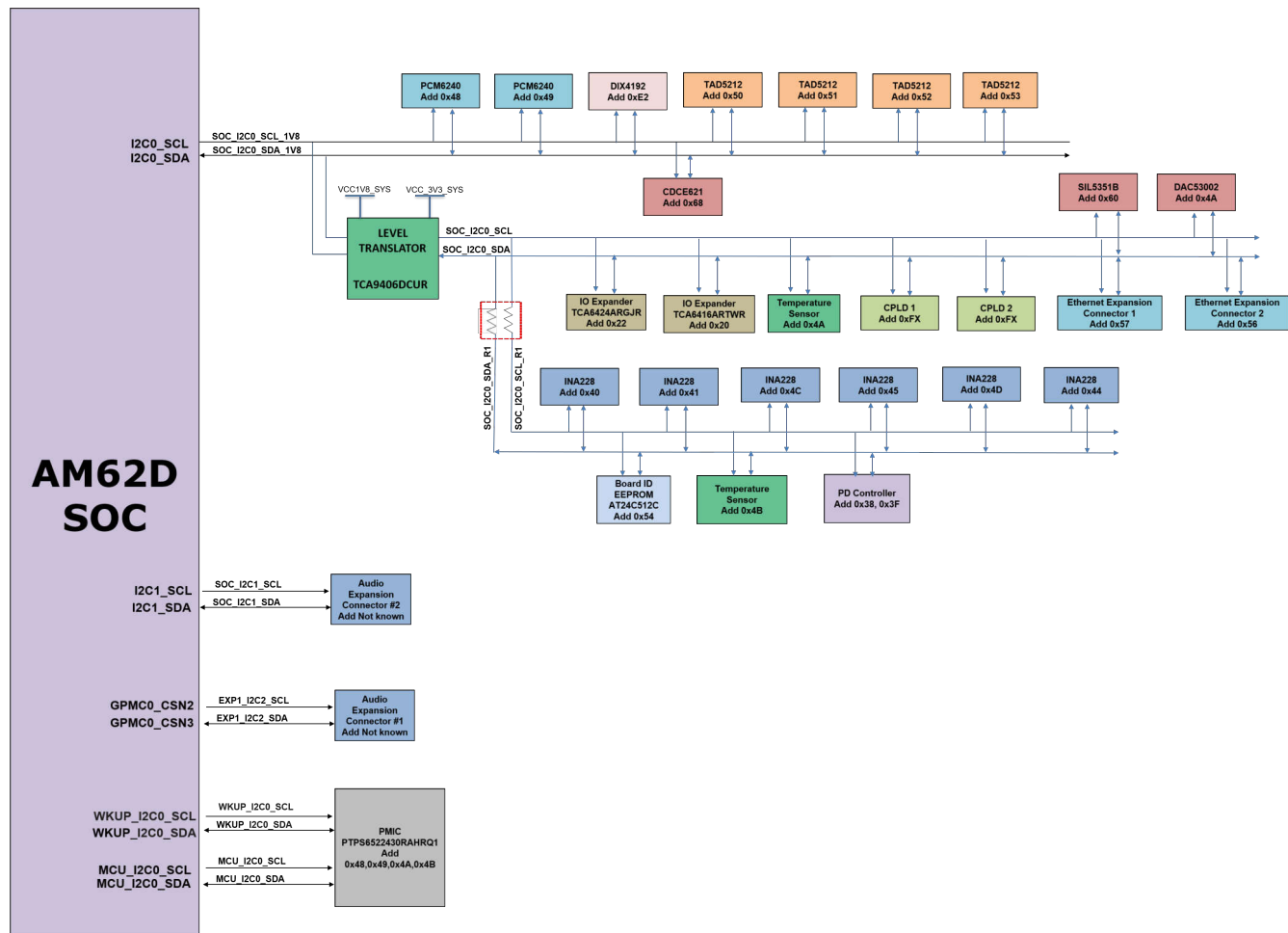


図 2-31. I2C インターフェイス ツリー

表 2-26. I2C マッピング表

I2C ポート	デバイスと機能	部品番号	I2C アドレス
SoC_I2C0	基板 ID EEPROM	AT24C512C-MAHM-T	0x54
SoC_I2C0	イーサネット拡張コネクタ 1	<コネクタ インターフェイス>	
SoC_I2C0	イーサネット拡張コネクタ 2	<コネクタ インターフェイス>	
SoC_I2C0	USB PD コントローラ	TPS65988DHRSHR	0x38, 0x3F
SoC_I2C0	オーディオ マイクライン入力	PCM6240QRTVRQ1	0x48, 0x49
SoC_I2C0	オーディオ ステレオ ライン出力	TAD5212IRGER	0x50, 0x51, 0x52, 0x53
SoC_I2C0	オーディオ デジタル入出力 光学式 IN	DIX4192IPFB	0xE2
SoC_I2C0	クロック ジェネレータ 1	CDCE6214RGET	0x68
SoC_I2C0	DAC	DAC53002	0x4A, 0x47
SoC_I2C0	クロック ジェネレータ 2	SI5351B-B-GM	0x60
SoC_I2C0	電流モニタ	INA228AIDGSR	0x40, 0x41, 0x4C, 0x45, 0x4D, 0x44
SoC_I2C0	温度センサ	TMP100NA/3K	0x4A, 0x4B
SoC_I2C0	GPIO ポート エクスパンダ 1	TCA6424ARGJR	0x22
SoC_I2C0	GPIO ポート エクスパンダ 2	TCA6416ARTWR	0x20
SoC_I2C0	CPLD	LCMXO2-640HC-4SG48I	0x64, 0x70, 0x71, 0x72, 0x73
SoC_I2C1	オーディオ拡張コネクタ 2	<コネクタ インターフェイス>	

表 2-26. I2C マッピング表 (続き)

I2C ポート	デバイスと機能	部品番号	I2C アドレス
SoC_I2C2	オーディオ拡張コネクタ 1	<コネクタ インターフェイス>	
MCU_I2C0	PMIC	TPS6522430RAHRQ1	0x48、0x49、0x4A、0x4B
WKUP_I2C0			
その他			
BOOTMODE_I2C	I2C ブートモード バッファ	TCA6424ARGJR	0x22

3 ハードウェア設計ファイル

回路図、BOM、PCB レイアウト、アセンブリ ファイル、ガーバー ファイルなどのハードウェア設計ファイルは、以下のリンクから入手できます。

[設計ファイル](#)

4 準拠に関する情報

4.1 準拠および認証

EMC、EMI、ESD への準拠

本製品に取り付けられているコンポーネントは、静電気放電 (ESD) の影響を受けやすくなっています。テキサス・インスツルメンツでは、本製品は ESD が制御された環境において使用されることを推奨しています。これには、ESD の蓄積を抑えるために温度や湿度が制御された環境も含まれます。また、本製品との接続時には、リストストラップや ESD マットなどの ESD 保護具の使用が推奨されます。

本製品は実験室に類似した基本的な電磁環境で使用され、EN IEC 61326-1:2021 に準拠した規格が適用されます。

5 追加情報

5.1 ハードウェアまたはソフトウェアに関する既知の問題

このセクションでは、各評価基板リビジョンにおける現時点での既知の問題と、それに対する適用可能な回避方法について説明します。パッチが適用された問題には、評価基板アセンブリに変更ラベルが付けられています。

表 5-1. ハードウェアまたはソフトウェアに関する既知の問題

問題の番号	問題のタイトル	問題の説明	影響を受けるバリエーション
セクション 5.1.1	CPLD C4 バージョンが利用不可	一部の E2 リビジョン ボードでは、CPLD ファームウェア バージョン C4 は利用できません。	E2
セクション 5.1.2	RGMII ブート障害	DP83867-EVM-AM Industrial PHY の使用時に RGMII のブートが失敗します。	E2

5.1.1 問題 1 - CPLD C4 バージョンが利用不可

該当する評価基板のリビジョン: E2

問題の説明:一部の E2 リビジョン ボードでは、CPLD ファームウェア バージョン C4 は利用できません。C4 が書き込み済みのボードは C4 ステッカで識別できますが、それ以外のボードには旧バージョンの C2/C3 が搭載されている場合があります。

回避方法:CPLD ファームウェアをバージョン C4 にアップグレードするには、以下の手順に従ってください:

- CPLD プログラミング ツールをダウンロードします:[AUDIO-AM62D-EVM-CPLD-PROGRAMMING-TOOL](#)
- 詳細な手順については、Docs フォルダにあるプログラミング ガイド [AUDIO-AM62D-EVM_CPLD_Firmware_Programr_UG.pdf](#) を参照してください

5.1.2 問題 2 - RGMII 起動エラー

該当する評価基板のリビジョン: E2

問題の説明:AUDIO-AM62D-EVM ボードで DP83867-EVM-AM 産業用 PHY Rev A カードを使用すると、RGMII ブートの起動が失敗します。

注

この問題は、RGMII 起動プロセス中にのみ発生します。アプリケーションの実行中、ソフトウェアは MDIO 経由で PHY にアクセスし、正しい TX クロック スキューをプログラムで設定することで、二重スキューの問題を回避します。また、このタイミングの問題は 1000Mbps (ギガビット) のリンク速度動作に固有のもので、リンク速度が低い場合 (10Mbps および 100Mbps)、RGMII TX クロックのタイミング マージンは、累積する二重クロック スキューを許容するのに十分であり、ハードウェアを変更することなく、起動に成功します。

根本原因:DP83867-EVM-AM 産業用 PHY Rev A カードは、ハードウェア ストラップを使用して、PHY 側に 2ns の TX クロック スキューを印加するように構成されています。ただし、AM62D MAC インターフェイスは、デフォルトですでに TX クロック スキューを追加しています。その結果、RGMII TX クロック ラインに累積的な二重クロック スキューが発生し、タイミング違反や起動エラーが発生します。

回避方法:MAC 側が TX クロック スキューを内部的に補償しているため、この問題を回避するには、PHY カード ストラップの TX クロック スキューの設定を 2ns から 0ns に変更する必要があります。以下の手順に従います。

1. DP83867-EVM-AM Industrial PHY Rev A カードの **R23** に実装されている抵抗を**取り外し**、産業用 PHY カードの **R23** に 10KΩ の抵抗を実装します。
2. DP83867-EVM-AM Industrial PHY Rev A カードの **R24** に実装されている抵抗を**取り外し**、産業用 PHY カードの **R24** に 2.49KΩ の抵抗を実装します。

図 5-1 は、産業用 PHY カード上の抵抗の位置を示しています。

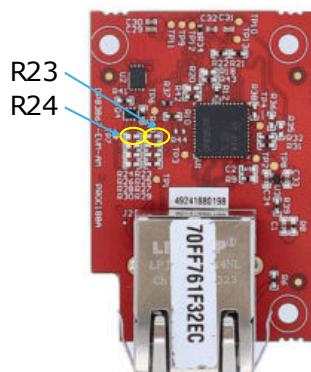


図 5-1. 産業用 PHY カード上の抵抗の位置

5.2 商標

イーサネット™ is a trademark of ODVA Inc..

Code Composer Studio™ is a trademark of Texas Instruments.

GlobTek™ and Qualtek™ are trademarks of Microsoft Corporation.

MATEnet™ is a trademark of TE Connectivity.

USB Type-C™ is a trademark of USB Implementers Forum.

Arm® and ® are registered trademarks of Arm Limited (or its subsidiaries or affiliates) in the US and/or elsewhere.

USB Type-C® and USB-C® are registered trademarks of USB Implementers Forum.

SD® is a registered trademark of SD Card Association.

すべての商標は、それぞれの所有者に帰属します。

6 関連資料

- テキサス インストルメンツ、『[AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1、AM62D-Q1 プロセッサ ファミリを使用するカスタムボード設計に関するハードウェア設計の検討事項](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[AM62Ax、AM62Px、AM62Dx LPDDR4 ボード設計およびレイアウト ガイドライン](#)』、アプリケーション ノート
- テキサス インストルメンツ、『[プロセッサ高速パラレル インターフェイス向けカスタム ボード設計およびシミュレーション ガイドライン](#)』、アプリケーション ノート
- テキサス インストルメンツ、『[高速インターフェイスのレイアウト ガイドライン](#)』アプリケーション ノート
- テキサス インストルメンツ、『[AM62A3、AM62A7-Q1、AM62A1-Q1、AM62D-Q1 プロセッサ ファミリ 回路設計ガイドラインおよびレビュー チェックリスト](#)』、ユーザーズ ガイド
- テキサス インストルメンツ、『[AM62x、AM62Ax、AM62D-Q1、AM62Px プロセッサ ファミリ 回路設計ガイドラインおよびレビュー チェックリスト](#)』

7 参考資料

- テキサス インストルメンツ、『[FAQ AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1](#) — カスタム基板設計、セルフレビュー、起動のさまざまな段階での参照用資料フォーラム投稿
- テキサス インストルメンツ、『[FAQ AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L/AM64x/AM243x \(ALV\)/AM335x 設計上の推奨事項/カスタム基板ハードウェア設計 — 回路図レビュー チェックリスト](#)フォーラム投稿
- テキサス インストルメンツ、『[FAQ AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1](#) 設計上の推奨事項/カスタム ボード ハードウェア設計 — カスタム ボード回路図セルフ レビューフォーラム投稿
- テキサス インストルメンツ、『[FAQ AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L](#) 設計上の推奨事項/カスタム ボード ハードウェア設計時に一般的に観測されるエラー — 設計の更新に関するノートのための SK 回路図の更新フォーラム投稿
- テキサス インストルメンツ、『[FAQ AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x](#) 設計上の推奨事項/カスタム基板ハードウェア設計 — お客様の回路図レビュー中に発生したエラーのリストフォーラム投稿
- テキサス インストルメンツ、『[FAQ AM625/AM623/AM620-Q1/AM62L/AM62A/AM62P/AM62D-Q1/AM64x/AM243x](#) 設計に関する推奨事項/カスタム基板ハードウェア設計 — SOC データシートのピン属性に関連する問い合わせ Excel 形式フォーラム投稿
- テキサス インストルメンツ、『[FAQ AM62x、AM62Ax、AM62D-Q1、AM62L、AM62Px、AM64x、AM243x、カスタムボード ハードウェア設計 — 使用済み/未使用のピン/ペリフェラルの取り扱い方法と、プルアップまたはプルダウンを追加する方法 \(例: GPIO、SERDES、USB、CSI、MMC \(eMMC、SD カード\)、CSI、OLDI、DSI、CAP_VDDsx、.....\)](#)
- テキサス インストルメンツ、『[FAQ AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1](#) — カスタムボードハードウェアの設計 — SK-AM62A-LP 回路図の再利用に関する設計とレビューの注釈フォーラム投稿
- テキサス インストルメンツ、『[FAQ カスタム ボード ハードウェア設計 — すべての Sitara プロセッサ \(AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x\) ファミリに関する FAQ \(よくある質問\) のマスタ \(完全\) リスト](#)フォーラム投稿
- テキサス インストルメンツ、『[FAQ AM62A7/AM62A7-Q1/AM62A3/AM62A3-Q1/AM62A1-Q1/AM62D-Q1](#) カスタムボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータ キットに関する FAQ (よくある質問) フォーラム投稿
- テキサス インストルメンツ、『[FAQ AM62D-Q1](#) カスタムボードハードウェア設計 — AUDIO-AM62D-EVM オーディオ機能の実装関連クエリおよび設計ノートフォーラム投稿

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from December 1, 2024 to September 4, 2026 (from Revision * (December 2024) to Revision A (September 2026))

	Page
• 「概要」を更新.....	1

• 「設計ファイル」のリンクを更新。	1
• 「特長」を更新	1
• 画像を更新	1
• 表を追加:CPLD 改訂履歴	5
• 「評価基板 PCB 設計リビジョンおよびアセンブリ バリエーション」表を次のページに移動	5
• 画像を更新	7
• アナログ オーディオ インターフェイスの記載を「4x ステレオ オーディオ ジャック ライン出力」に更新。	8
• 互換性の注と情報を追加、USB 世代の図を追加、「SK-AM62A-LP 評価基板」を「AUDIO-AM62D-EVM」に変更	9
• 「SK-AM62A-LP 評価基板」を「AUDIO-AM62D-EVM」に変更	9
• 詳細を「プライマリ ブート モード構成 [9:7]」表に追加	11
• 表を追加: バックアップ ブート モードの構成 BOOTMODE を追加	11
• すべての表のヘッダ行を更新	11
• 表からリンクを削除: ブート デバイス選択 BOOTMODE [6:3]	11
• 表を追加: 電源インジケータ LED	15
• 表「パワー表示 LED」を新しいセクション「電力表示 LED」に移動	15
• 「電源インジケータ LED」セクションを追加	16
• 部品番号 MMC0 を更新	16
• ピン 26 の I/O 方向を更新	30
• 一部のパッケージ信号名を変更	32
• 「INA I2C デバイス アドレス」表に「検出抵抗」列を追加	38
• LVCMOS クロック出力を 4 つから 3 つに更新	38
• CPLD のメーカー型番を更新	41
• CPLD1 デフォルト構成と CPLD2 デフォルト構成の図を更新。図のタイトルを更新	41
• 使用されている CPLD デバイスに関する注を追加、表: I2C アドレス マップを追加	41
• 「I2C アドレス マップ:」表を追加	41
• 表のタイトルを「評価基板プッシュボタン」から「評価基板割り込みボタン」に更新	50
• DAC および電流モニタの I2C アドレスを更新	50
• 「LCMX02-256HC-4SG48I」を「LCMX02-640HC-4SG48I」に変更	50
• 「プログラム可能」を「0x64、0x70、0x71、0x72、0x73」に変更	50
• 「PTPS6522430RAHRQ1」を「TPS6522430RAHRQ1」に変更	50
• 「設計ファイル」のリンクを更新	53
• 「ハードウェアまたはソフトウェアに関する既知の問題」表を追加	55
• 「問題 1 - CPLD C4 バージョン利用不可」セクションを追加	55
• 問題の説明と回避方法を更新。リンクを更新	55
• 「問題 2 - RGMII 起動エラー」セクションを追加	55
• リンクされた参照を追加	57

STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an "EVM" or "EVMs") to the User ("User") in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.
 - 1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM ("Software") shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software
 - 1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.
2. *Limited Warranty and Related Remedies/Disclaimers:*
 - 2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.
 - 2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.
 - 2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

WARNING

Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.

User shall operate the Evaluation Kit within TI's recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI's recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI's instructions for electrical ratings of interface circuits such as input, output and electrical loads.

NOTE:

EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGRADATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.

3 Regulatory Notices:

3.1 United States

3.1.1 Notice applicable to EVMs not FCC-Approved:

FCC NOTICE: This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

3.1.2 For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:

CAUTION

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

FCC Interference Statement for Class A EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.

FCC Interference Statement for Class B EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:

- Reorient or relocate the receiving antenna.
- Increase the separation between the equipment and receiver.
- Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.
- Consult the dealer or an experienced radio/TV technician for help.

3.2 Canada

3.2.1 For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247

Concerning EVMs Including Radio Transmitters:

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

Concernant les EVMs avec appareils radio:

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

Concerning EVMs Including Detachable Antennas:

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur.

3.3 Japan

3.3.1 *Notice for EVMs delivered in Japan:* Please see http://www.tij.co.jp/sds/ti_ja/general/eStore/notice_01.page 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html>

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。技術適合証明を受けていないもののご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。 日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿 6 丁目 2 4 番 1 号
西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see http://www.tij.co.jp/sds/ti_ja/general/eStore/notice_02.page

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html>

3.4 European Union

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive):*

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

4 EVM Use Restrictions and Warnings:

4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.

4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.

4.3 Safety-Related Warnings and Restrictions:

4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.

4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.

4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.

5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.

6. Disclaimers:

6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.

6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.

7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.

8. *Limitations on Damages and Liability:*

8.1 *General Limitations.* IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMNITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.
10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月