

## Design Guide: TIDA-010289

# 大出力アンプ向けバイアスコントローラー機能のリファレンスデザイン



### 説明

大電力アンプ (HPA) は通常、フロントエンドの電力効率要件を満たすために、RF フロントエンドトランスミッタの電源コントローラから適切なバイアスを印加する必要があります。このリファレンス デザインは、TI の HPA バイアスコントローラと TI の GaN ハーフブリッジ出力段を組み合わせ、GaN HPA のゲートまたはドレインのパルス生成と組み合わせ、可変 GaN HPA ゲート バイアス制御を実証します。

### リソース


<a href="#">TIDA-010289</a>	デザインフォルダ
<a href="#">LMG2100R026</a>	プロダクトフォルダ
<a href="#">AFE20408</a>	プロダクトフォルダ
<a href="#">TLV709A01</a>	プロダクトフォルダ
<a href="#">TPS7A3001</a>	プロダクトフォルダ
<a href="#">LP5907</a>	プロダクトフォルダ

### 特長

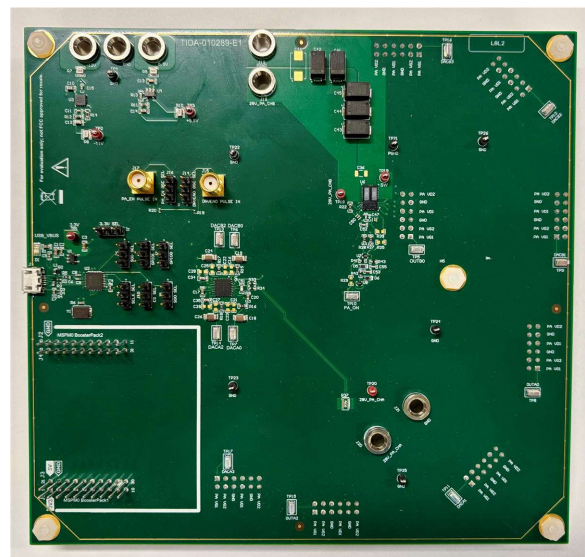
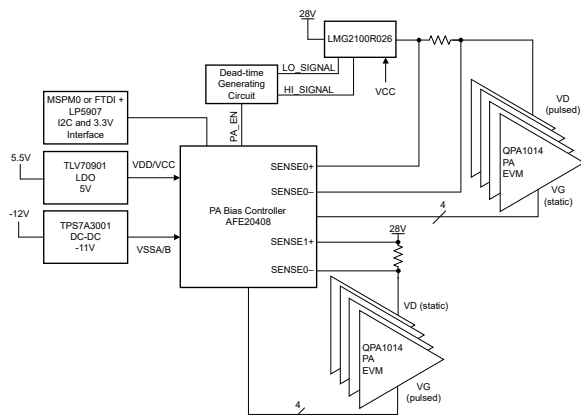
- HPA 構成のパルスドレインまたはゲート
  - ドレイン立ち上がり時間: 70ns、ゲート立ち上がり時間: 88ns
- HPA ドレインに最大 28V の電源を供給
- MSPM0 BoosterPack™ プラグイン モジュールとのオプションの SPI または I<sup>2</sup>C インターフェイス
- 電流と HPA のドレイン監視機能を内蔵
- 電源シーケンス機能により、パワーアンプ (PA) に適切なバイアスを供給

### アプリケーション

- レーダー
- 電子戦
- 追尾フロント エンド
- ソフトウェア無線



テキサス インストルメンツの E2E™ サポート エキスパート にお問い合わせください

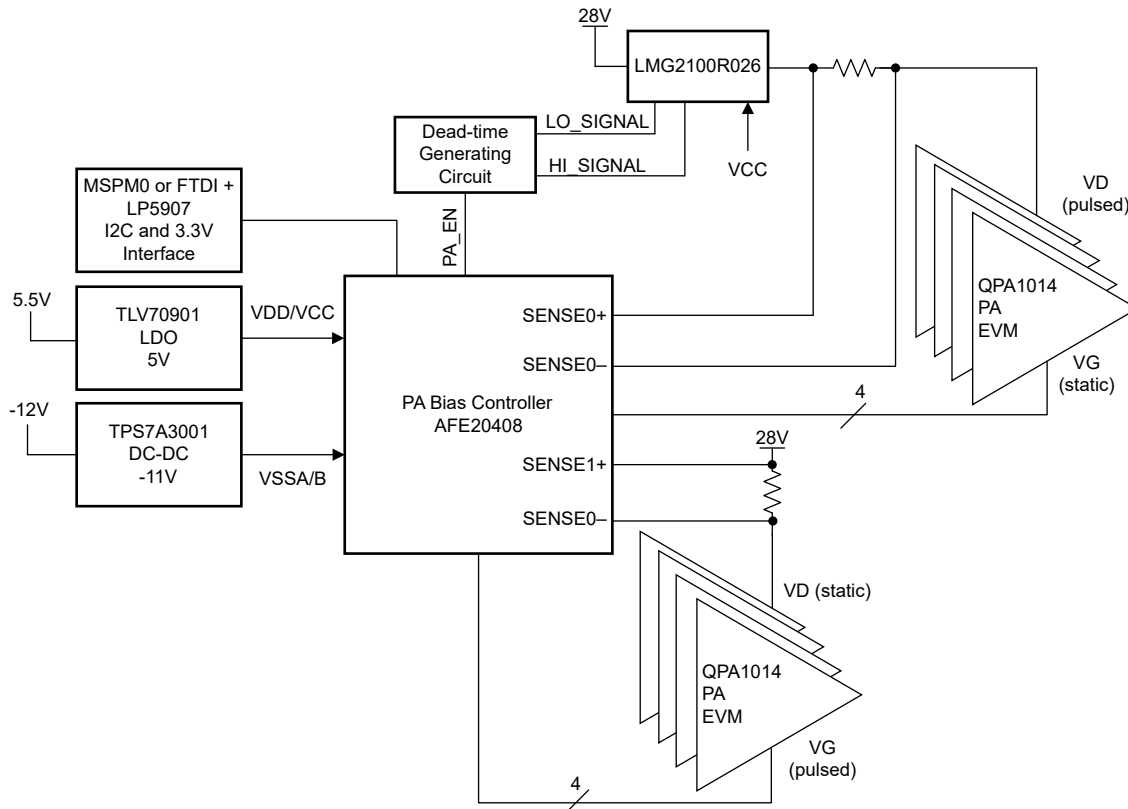


## 1 システムの説明

レーダー、電子戦、追尾フロントエンドなどの防衛機器は、大電力アンプを活用して RF 信号を送信し、多くの場合競合する RF 環境でチャネル損失を克服できる十分な電力で信号を増幅します。特に関心の高いのは、GaN HPA です。この製品は、従来の横方向拡散型金属酸化膜半導体 (LDMOS) HPA に比べて、電力密度が高く、特定の電力レベルで直線性が優れているほか、効率が優れています。HPA は、トランスミッタ フロントエンドの直線性と効率の性能を支配します。また、HPA は消費電力という点でコストがかかります。HPA バイアス ポイントを適切にバイアスおよび監視することで、効率が向上し、運用コストが削減されます。ドレイン電流は、温度、ドレイン電圧、ゲート電圧などの要因に基づいて変化します。出力効率を最大化するには、動作時間の経過に伴って HPA が変化するとき、ドレインまたはゲートのバイアス電圧を変化させる必要があります。オペレータは、HPA ドレイン電流と温度を監視して信頼性を向上させます。この監視により、ドレインまたはゲート電圧レベルを調整できます。調整により、HPA ドレイン電流レベルの変化を補償します。従来、PA のバイアス回路は、単一出力のみで 125mm<sup>2</sup> 超になるいくつかの GaN バイアス モジュールを使用してディスクリート設計されていました。このリファレンス デザインの中心にあるのは、TI の AFE20408 シングル チップであり、バイアス回路を 80% サイズ縮小し、最大 8 個の HPA の監視とバイアスを実施することができます。AFE20408 には、スタンドアロンのゲートバイアス設計があり、オンとオフを切り替えることができます。これをハーフブリッジ出力段と組み合わせて使用し、2 チップのドレイン パルス供給と複数 HPA 用の監視システムを提供できます。

## 2 システム概要

### 2.1 ブロック図



## 2.2 設計上の考慮事項

HPA 制御および監視システムでは、HPA の目的の効率を達成し、一貫した HPA ドレイン電流を維持するために、ゲートまたはドレインのバイアスポイントを変更します。パルスレーダーなどのアプリケーションでは、HPA のゲートまたはドレインのバイアスポイントが変化しているだけでなく、ピンチオフ電圧とバイアスオン電圧の間でゲートまたはドレインがパルスされます。さらに、適切なバイアスポイントを設定するために、HPA の温度とドレイン電流を監視してコントローラにフィードバックすることで、HPA の動作時にドレイン電流を一定に維持し、HPA の効率的な動作を維持し、HPA による損傷を防止するための適切な HPA バイアスポイントを決定できます。設計者は、HPA バイアス制御およびモニタリングシステムを構築する際に重要な設計要素を評価します。このセクションで説明する主な考慮事項は次のとおりです。

- ドライバとスルーレート制御により、安全なドレインパルス印加を実現
- ドレインパルス時の FET 内の消費電力
- HPA ドレイン上のストレージコンデンサバンクの設計

### 2.2.1 ハーフブリッジトポロジ

HPA のドレインに接続されたハーフブリッジ電力段は、パルスの立ち上がり時間と立ち下がり時間、デューティサイクル、パルス幅を制御します。HPA ドレインのハーフブリッジ電力段トポロジにより、パルスの立ち上がり/立ち下がり時間を、28V レールまたは FET のハイサイド FET またはローサイドゲートが駆動されるかどうかに関連する 0V レールのいずれかに駆動できます。立ち上がり時間と立ち下がり時間の速度は、それぞれハイサイド GaN FET のソースピンとハーフブリッジの VCC ピンの抵抗値によって決定できます。抵抗の値を大きくすると、スルーレートが下がる代わりに、オーバーシュートとリンギングが低減できます。

ハーフブリッジ電力段のドライバへの PWM 入力によって、パルスシーケンスのパルス幅とデューティサイクルが決まります。このリファレンスデザインでは、PA バイアスコントローラからの PA\_ON 信号をデッドタイム生成回路に渡し、デッドタイムバンドで相補型 PWM 信号を供給して、両方の FET が同時に high に駆動されることを防止し、ハーフブリッジの損傷を防止します。概念的には、デッドタイム生成回路は 2 つのインバータパスで構成され、それぞれに RC 回路があり、ハーフブリッジ電力段のドライバの入力にデッドタイムバンドを持つ相補型 PWM 信号を生成します。各インバータパスに抵抗を増やすと、デッドタイム帯域が増加し、両方の FET を同時にオンにするリスクが最小限に抑えられます。このリファレンスデザインには、MSPM0 BoosterPack をボードに接続する機能があり、MSPM0 の 2 つの PWM ピンから、ハーフブリッジ電力段ドライバのハイ入力とロー入力にワイヤを接続できます (ハーフブリッジ電力段のハイ入力とロー入力に接続されている抵抗を必ず取り外してください)。MSPM0 BoosterPack をこのように使用すると、デッドタイム生成回路をバイパスしながら、ドレインパルスを制御できます。

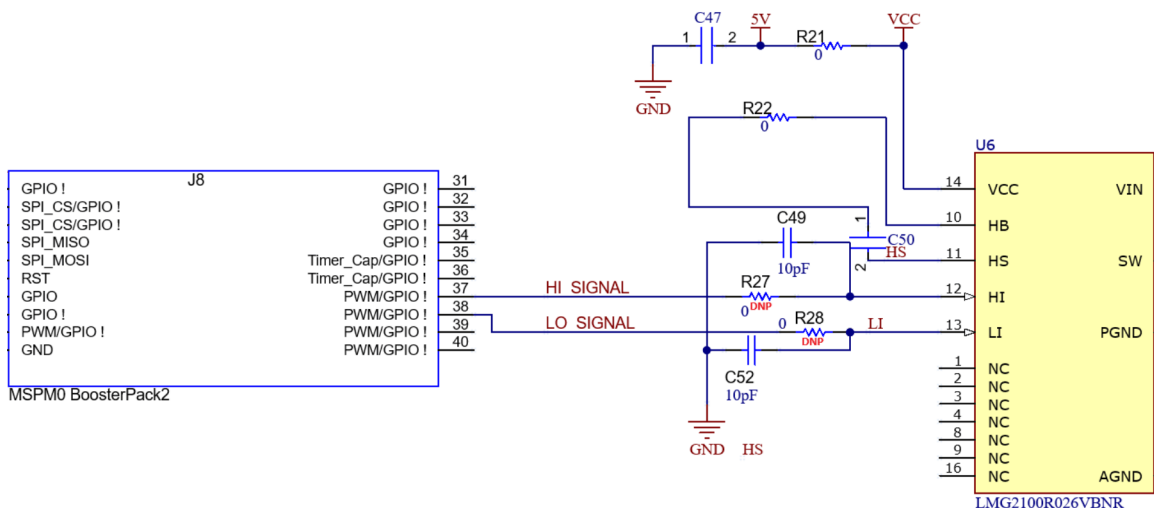


図 2-1. MSPM0 の配線図

### 2.2.2 消費電力設計の検討事項

FET を流れる消費電力を考慮し、ドレイン パルスを生成するためのハード スイッチングのためのハーフブリッジの実装を実装する場合、システムで放熱が許容されることを示す必要があります。以下の式とシステム パラメータは、ハーフブリッジ FET を通過する電力損失を計算し、システムの各種ハーフブリッジ アーキテクチャ間を比較する際に役立ちます。

$$\text{Conduction loss formula: } I^2 \times R_{DS(on)} \times D \quad (1)$$

$$\text{Gate charge loss formula: } V_{IN} \times Q_{OSS} \times f_{SW} \quad (2)$$

$$\text{Output capacitance losses formula: } V_{IN}^2 \times C_{LOAD} \times f_{SW} \quad (3)$$

ここで、

- $D$  はデューティ サイクル (パーセンテージ) です
- $f_{SW}$  はスイッチング周波数です
- $C_{LOAD}$  は、負荷容量です
- $I$  は出力電流です
- $V_{IN}$  は入力電圧
- $R_{DS(on)}$  と  $Q_{OSS}$  は、ハーフブリッジ電力段または MOSFET のデータシートで定義されます

上記の損失は、ハーフブリッジ電力段または MOSFET のデータシートの熱情報に記載されている接合部から基板への熱抵抗を乗算して、エンドユーザー基板の温度上昇を計算できます。

### 2.2.3 HPA ドレイン コンデンサ バンクの設計

設計者は、HPA アプリケーションでのオン/オフスイッチング動作中の高速スルーレート負荷に対応できるコンデンサ バンクを選択する必要があります。この設計では、予測される最大電流、予測される最大パルス幅、パルス中の電圧ドロップ 許容値に基づいて、適切な容量値を求める必要があります。コンデンサを選択するときは、インピーダンスと等価直列抵抗 (ESR) も評価して、スイッチング周波数が設計の帯域幅によって制限されないことを示す必要があります。負荷過渡に 対処するために必要な容量の量と最大インピーダンスの求めに使用する式は、次のとおりです。

$$I = C (dV/dt) \quad (4)$$

$$Z_{TARGET} = \Delta V_{OUT} / I_{Step} \quad (5)$$

ここで、

- $I$  は最大許容電流です
- $C$  は端子間総容量です
- $dV$  は電圧ドロップです
- $dt$  は最大パルス幅です
- $Z_{TARGET}$  は目標インピーダンスです
- $\Delta V_{OUT}$  は、過渡時に  $V_{OUT}$  で許容される  $\pm$  スイングです
- $I_{Step}$  は負荷過渡ステップ サイズです

このリファレンス デザインの場合、最大許容電流は、HPA データシートのドレイン電流 (駆動中) の推奨動作条件に基づいて 3.7A で駆動されます。想定されている最大パルス幅は、100 $\mu$ s、28V HPA ドレイン レールの電圧ドロップは 7.5% です。これにより、HPA ドレインを駆動するハーフブリッジ電力段デバイスの入力側の容量が得られます。電流と電圧ドロップを 2 番目の式に  $I_{Step}$  および  $\Delta V_{OUT}$  として差し込むと、ターゲット インピーダンスを生成できます。目標のインピーダンスと容量を使用することで、コンデンサ バンクのコンデンサ選択ツールを利用して、目的の帯域幅でインピーダンスと ESR を満たすコンデンサの選択を決定できます。



### 2.2.4 ゲートドレインのパルスに関する考慮事項

AFE20408 には最大 8 つの出力があり、8 つの HPA のゲートバイアスを設定するために使用でき、各出力は目的のバイアス点とピンチオフ電圧の間でパルスを生成することができます。OUT ピンは、高電圧レベルの DAC 設定と対応する OUT との間の容量の差によって決定される、高速な立ち上がり時間と立ち下がり時間で迅速にパルスを発生できます (たとえば、DACA0 は OUTA0 に対応し、DACA2 は OUTA2 に対応しますなど)。ただし、DACA1、DACB1、DACA3、DACB3 ピンは立ち上がり時間が遅くなりますが、これらの出力のインピーダンスが高いため、パルスが発生した場合は高速な立ち下がり時間が維持されます。8 つの HPA を短時間でパルス送信するための代替設計上の考慮事項は、ハーフブリッジを HPA のドレインに向かってパルスを印加し、AFE20408 の 8 つの出力を使用して、システムの動作中に電圧を段階的にバイアスすることです。

### 2.2.5 追加の検討事項

このリファレンス デザインは、推奨動作ドレイン電圧 28V で、J22 ~ J29 ヘッダ経由で Qorvo GaN HPA QPA1014 EVM との組み合わせを行います。

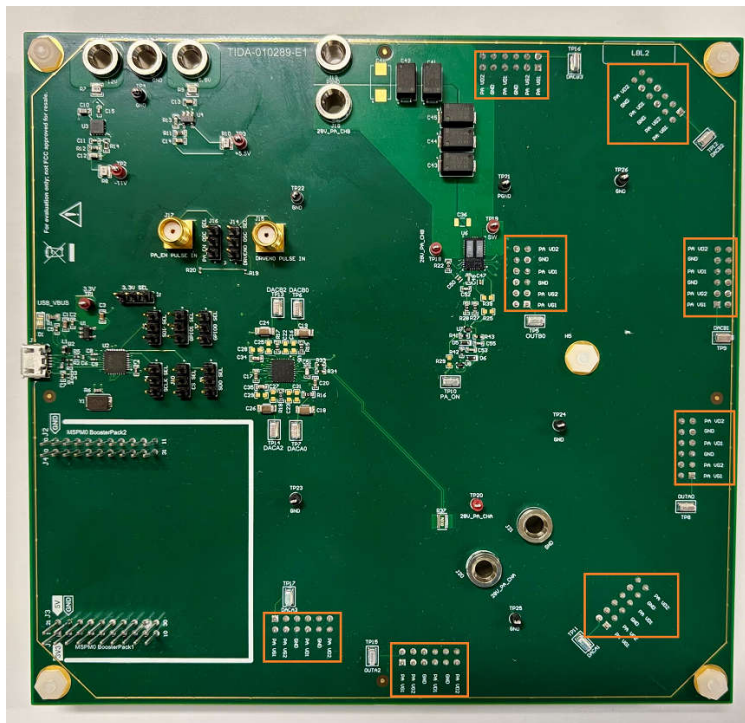


図 2-2. TIDA-010289 ボード: J22 から J29 が強調表示されています

一般に、GaN HPA は最大 50V のこの電圧を超える可能性があり、HPA EVM への電源レールピンマッピングは EVM によって異なります。このリファレンス デザインを他の HPA と互換性を持つように、J22 から J29 のピンマッピングを、目的の EVM で評価し、相違点を確認し、必要な調整を行う必要があります。また、設計者は、コンデンサバンクを適切な電力デレーティングを持つコンデンサに置き換える必要があります。この設計ガイドの「[HPA ドレイン コンデンサバンクの設計](#)」セクションを参照して、コンデンサバンクの容量、インピーダンス、ESR が、より大きな電力過渡に対応できることを確認します。LMG2100R026 が選択したのは、93V 連続、100V パルス、53A のハーフブリッジ電力段で、ドレイン電圧を供給することで、より高い電力レベルであっても GaN HPA をサポートできます。

QPA1014 EVM のゲート電圧範囲の上限は 0V です。AFE20408 のゲート電圧範囲は、VSS ピンと VCC ピンに基づいて選択され、それぞれ下側電圧制限と上限電圧制限に対応しています。VCC ピンを 10V レールに接続することで、最大 10V の高い電圧制限を選択できますが、そのためにリファレンス デザインを変更する必要があります。

## 2.3 主な使用製品

### 2.3.1 AFE20408

AFE20408 PA バイアスコントローラは、2 つの独立した A および B チャンネル グループを持つ 8 本の出力ピン (すなわち、4 つの OUT ピン、DACA1、DACB1、DACA3、DACB3 ピン) を使用して、HPA インターフェイスのゲート電圧を駆動します。AFE20408 の出力電圧は、2 つのチャンネル グループのいずれかについて、VCC および VSS 入力で設定された電圧範囲内の任意の電圧に切り替えることができます。8 つの出力は、DRIVEN0 ピンまたは内部レジスタによって AFE20408 の電圧範囲内の high 電圧と low 電圧の間でパルスを生成できます。AFE20408 には電流センスピンと電圧センスピンが 2 組あり、HPA のドレイン電流と電圧を監視します。

### 2.3.2 LMG2100R026

LMG2100R026 は、HPA のドレイン電源のオンとオフをパルス駆動するために使用されるハーフブリッジ GaN 電力段です。LMG2100R026 は、PA\_EN GPIO 信号からソースされて 28V ~ 0V の範囲で HPA を駆動する基板上のデッドタイム生成回路からの high 信号と low 信号を入力します。代替オプションとして、MSPM0 を基板に取り付け、プログラム可能なデッドタイム生成機能を持つ 2 つの相補型 PWM 信号で構成できます。また、LMG2100R026 は、HPA のドレインを、GaN HPA の中で一般的な 50V などの高電圧に駆動できます。代替の TI のハーフブリッジ GaN 電力段としては、LMG2100R044 と LMG5200 があり、HPA ドレインのスイッチングを決定する際には検討できます。また、『[高周波動作時の LMG1205 高度な GaN FET ドライバの設計上の考慮事項](#)』アプリケーション ノートに示すように、TI のハーフブリッジドライバ LMG1210 および LMG1205 とともに外付け FET を使用することもできます。

### 3 ハードウェア、ソフトウェア、テスト要件、テスト結果

#### 3.1 ハードウェア要件

このリファレンス デザインを評価するには、以下のハードウェアが必要です。

- TIDA-010289 リファレンス デザイン ボード
- ゲート パルス用の信号ジェネレータ (任意)
- QPA1014 HPA または等価 -10V ~ 0V ゲート入力、および 28V ドレイン入力 HPA
- 電源 (12V および 5.5V、10mA および 28V、4.5A)
- USB A から USB micro-B へのケーブル
- MSPM0L1306 BoosterPack または SPI 付きの同等デバイス (オプション)
- Tektronix 3 シリーズ オシロスコープまたは同等品

#### 3.2 ソフトウェア要件

このリファレンス デザインを評価するには、以下のソフトウェアが必要です。

- [TIDA-010289\\_GUI\\_v1p0](#) (またはそれ以降)

#### 3.3 テスト設定

このセクションでは、リファレンス デザインの設定およびテスト方法を示します。図 3-1 に、このリファレンス デザインのテストセットアップを示します。

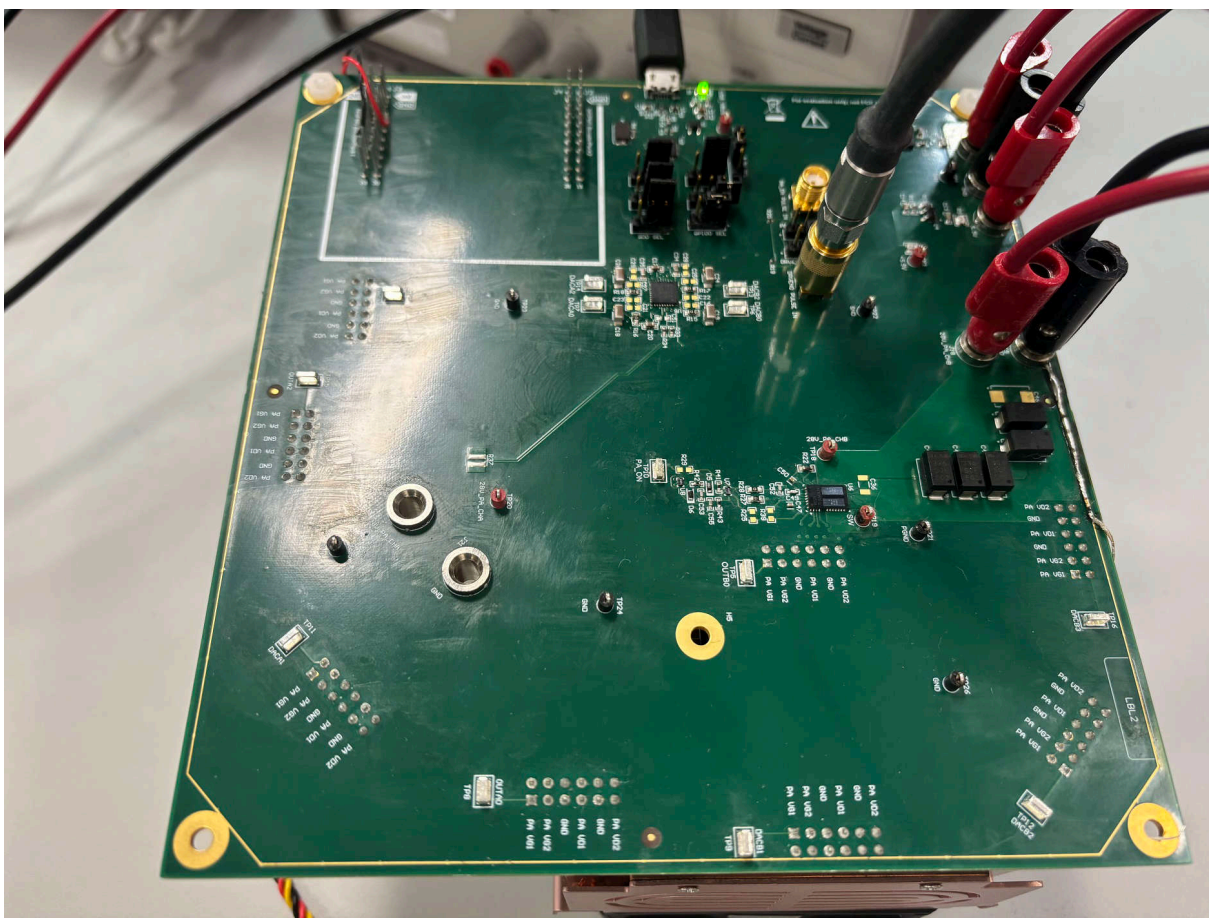


図 3-1. TIDA-010289 のテストの構成

### 3.3.1 ハードウェアの初期設定

- **電源入力** — 両方のグラウンド基準として J13 を使用し、-12V 入力を J11 に、+5.5V 入力を J12 に接続します。電源の電流制限を 10mA に設定します。-12V および 5.5V 電源を接続します。
- **ジャンパをイネーブルにする** — 以下の 6 個のヘッダのうちピン 1 とピン 2 の間にジャンパを配置します。(J1、J4、J5、J6、J7、J10) があります。MSPM0 ブースタ パックをリファレンス デザインと組み合わせて使用して 3.3V、SPI、GPIO0 信号を駆動する場合は、前述のヘッダではなく 2 ~ 3 の間にジャンパを配置します。
- **USB ケーブルを接続** — USB micro-B を接続したケーブルをオンボードのレセプタクル (J3) に接続し、ケーブルのもう一方の端をコンピュータに接続します。

### 3.3.2 HPA をインストールします

AFE20408 PA バイアス コントローラと組み合わせて、LMG2100R026 のドレイン パルス幅を評価するには:

- HPA EVM を以下のいずれかのヘッダに接続します。J23、J25、J27、または J29。
- 28V 入力を J18 および J19 (GND) に接続し、HPA ドレイン電流制限に基づいて電流制限を設定します。
- 28V 電源を投入します。

ドレイン パルスの供給なしで AFE20408 PA バイアス コントローラを評価するには、以下の手順を実行します。

- HPA EVM を以下のいずれかのヘッダに接続します。J22、J24、J26、および J28。
- 28V 入力を J20 および J21 (GND) に接続し、HPA ドレイン電流制限に基づいて電流制限を設定します。
- 関連するピンチオフ ゲート電圧が流れるまでは、28V 電源を投入しないでください (「HPA の上下のバイアス」を参照)。

## 3.4 テスト結果

このセクションに示すテスト結果は、以下のテスト条件を使用しました。


- HPA EVM を J29 に接続 (特に記述のない限り)
- 28V HPA のドレイン電圧
- Qorvo QPA1014 HPA EVM セットアップ
  - ゲート電圧源: J29 からの OUTB0
  - ドレイン電圧源: LMG2100R026 の出力 (すなわち PAVDD1)
  - ゲート電圧の低速立ち上がり時間を回避するために、10 $\mu$ F バルク コンデンサ (C1) を QPA1014 EVM から取り外しています (データシートの 12 ページを参照)。

### 3.4.1 HPA を上下にバイアスする

ヘッダ J22 の QPA1014 HPA をバイアスするには、次の手順に従います。

- TIDA-010289 GUI を起動します
- GUI の **手動操作** タブに移動します
- DACA2 フィールドで設定された値を -10V から -6V に変更します
- GUI で DRVEN0 Low ボタンをクリックして電圧変更をトリガします。これで、ボタンが DRVEN0 High と表示されます。
- 28V 電源をオンにすることで、手動で 28V を印加できます。
- 電源の電流が 450mA を読み取るまで、または SENSE0 フィールドを使用して測定するまで、DACB0 フィールドを -6V から約 -2.7V に変更します。HPA の損傷を避けるため、ゆっくりと上昇するように注意してください。

HPA をバイアス ダウンするには、逆のバイアス ダウン手順を実行します。DACA3、DACA1、DACA0 をそれぞれ変更することで、J24、J26、J28 についても同じ手順に従うことができます。

 **3-2** に、電源経由でドレイン電圧を手動で設定した HPA のバイアス アップおよびバイアス ダウン手順の結果を示します。



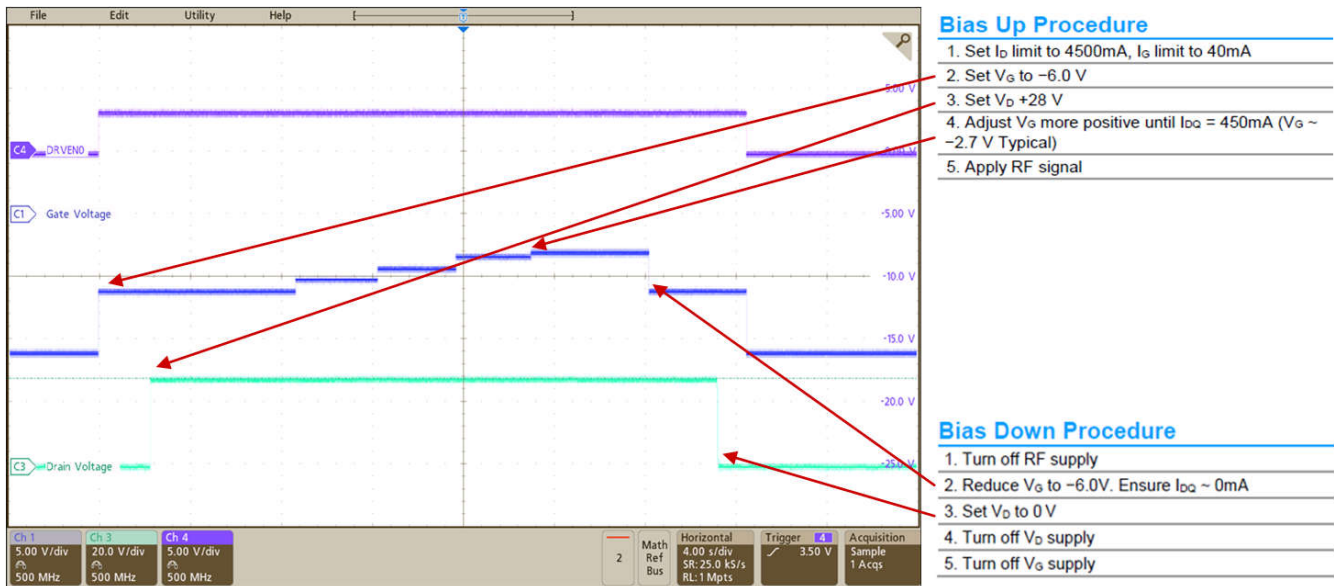


図 3-2. HPA を上下にバイアスする

ヘッダ J29 を使用してバイアスシーケンスを実行するには、J4 ~ J6 と J10 の位置 2 をオンボード FT4222 SPI ではなく、MSPM0 または FT4232 SPI に接続し、次の手順を実行します。

- TIDA-010289 GUI を起動します
- J11 の電源電圧をデバイスのピンチオフ電圧 (例: QPA1014 の場合は  $-6$ V) に設定します。
- GUI で、HPA バイアス操作タブに移動します
- 最終電圧は約  $-2.7$ V にするよう選択します
- 駆動長フィールド (単位は  $\mu$ s 単位) を 1200 まで設定します
- シーケンス開始ボタンをクリックします

DACB2、DACB3、DACB1 をそれぞれ変更することで、J23、J25、J27 についても同じ手順に従うことができます。

図 3-3 に、LMG2100R026 を活用して 1.2ms の駆動パルスを使用して HPA を昇圧または降圧する HPA のバイアスアップおよびバイアスダウン手順の結果を示します。

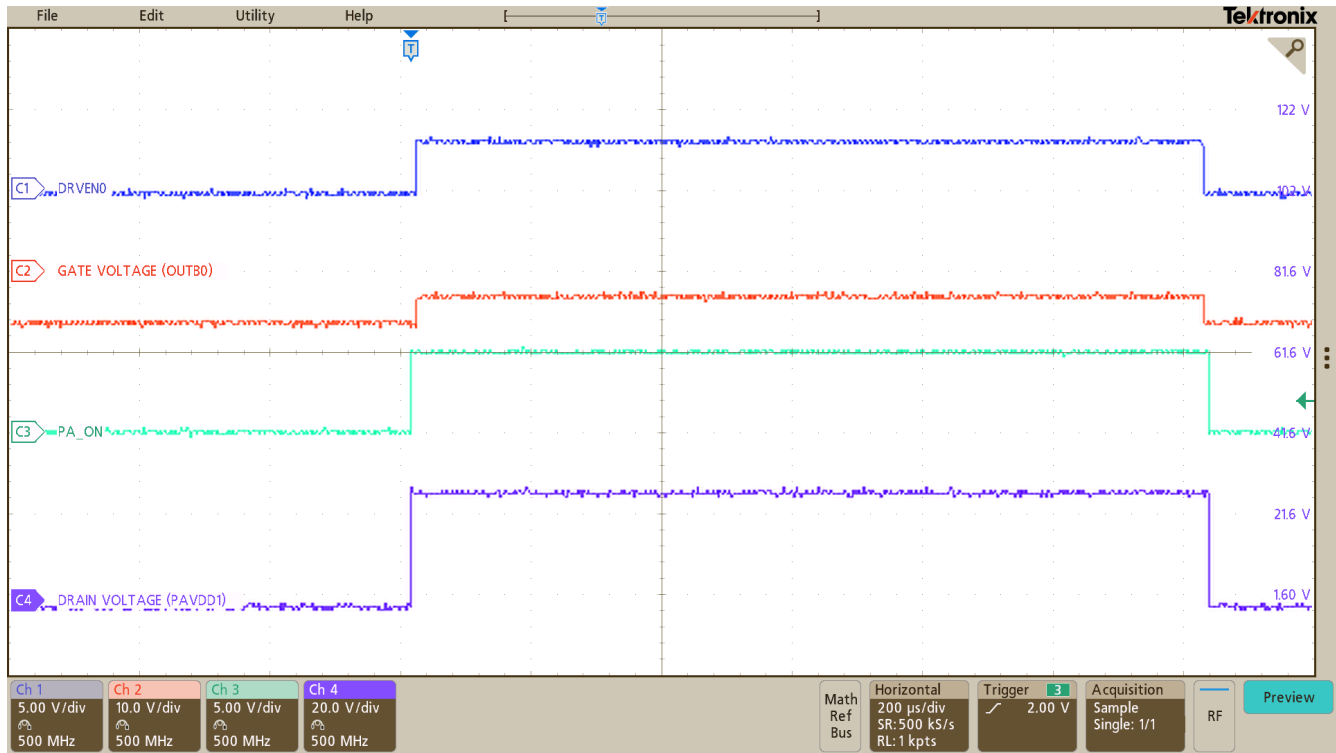


図 3-3. バイアス アップおよびバイアス ダウン HPA シーケンス

### 3.4.2 HPA ドレイン変調

PA ドレイン変調を実行するには、TIDA-010289 GUI のミリ秒オンおよびミリ秒オフフィールドに必要な値を入力し、PAON Pulse というラベルの付いた左のボタンをクリックします。図 3-4 図 3-7 に、AFE20408 からの PA\_ON 信号にパルスを印加して生成された PWM 信号から LMG2100R026 を使用して HPA をパルス印加した結果を示します。立ち上がり時間は約 6ns で、立ち上がりとセトリングまでの時間は約 1.5V で、ベースラインからトップラインまでのオーバーシュートは 70ns 未満です。

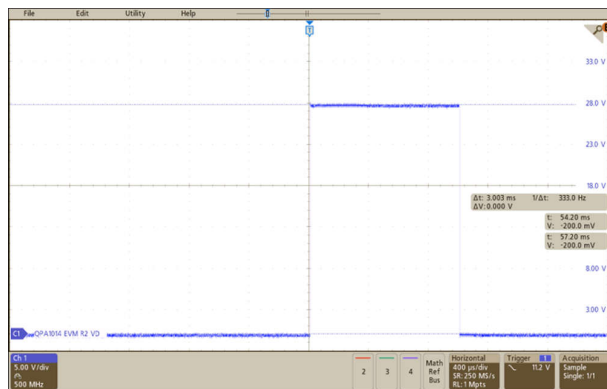


図 3-4. HPA ドレイン変調 — ドレイン パルス

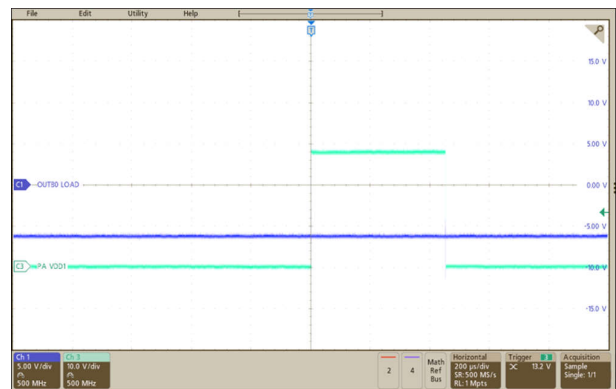


図 3-5. HPA ドレイン変調 — ゲート バイアス付きのドレイン パルス

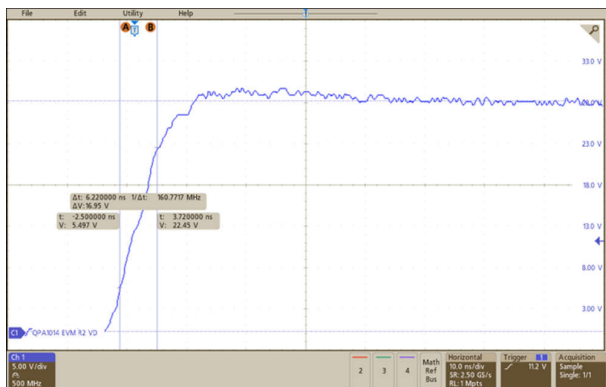


図 3-6. HPA ドレイン変調 — 立ち上がり時間 (20% ~ 80%)

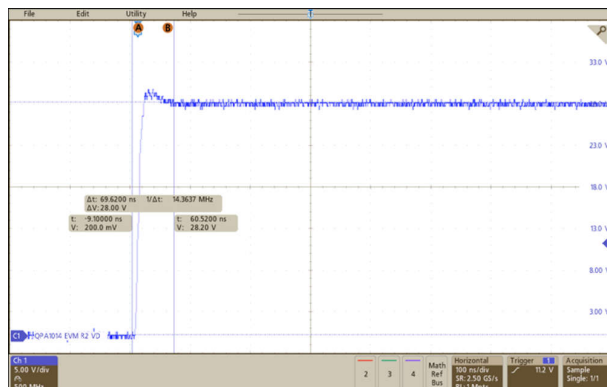


図 3-7. HPA ドレイン変調 — トップからベースラインまでの立ち上がり時間

### 3.4.3 HPA ゲート変調

HPA ゲート変調を実行するには、ファンクション ジェネレータをボード上の J15 SMA メス型コネクタに接続します。ヘッダー J14 のピン 2 ~ 3 にシャントを取り付けます。目的のパルス幅とパルス間隔を設定します。図 3-8 および 図 3-9 に、周波数 100kHz で HPA ゲートにパルスを印加し、10% のデューティサイクルで 1 $\mu$ s のパルス幅、300kHz の周波数、60% のデューティサイクルで 2 $\mu$ s のパルス幅を印加した結果を示します。図 3-10 および 図 3-11 に、ゲートベースからトップラインまでの立ち上がり時間の約 88ns と DRVEN0 から HPA へのゲート電圧入力 94ns の遅延時間を示します。

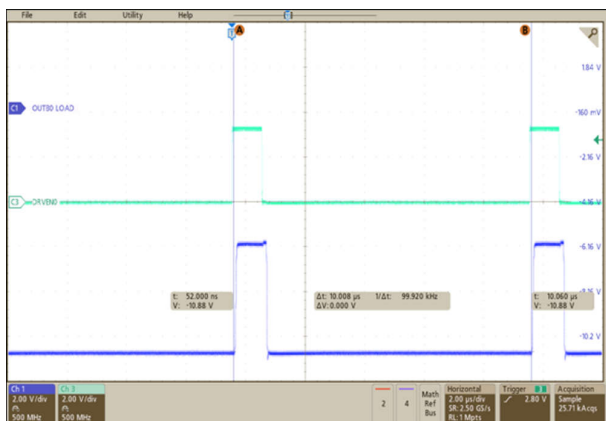


図 3-8. HPA ゲート変調 — パルス幅:10% デューティサイクルで 1 $\mu$ s

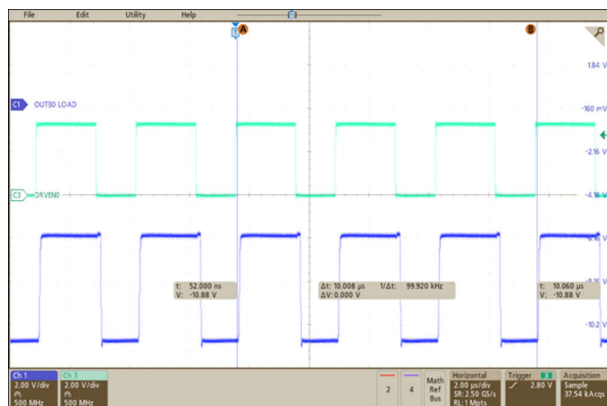


図 3-9. HPA ゲート変調 — パルス幅:60% デューティサイクルで 2 $\mu$ s

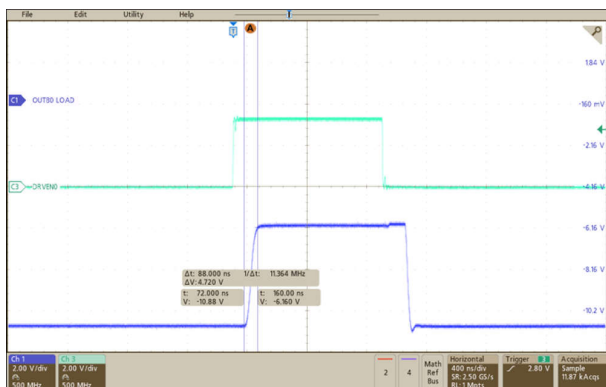


図 3-10. HPA ゲート変調 — ベースラインからトップラインまでの立ち上がり時間

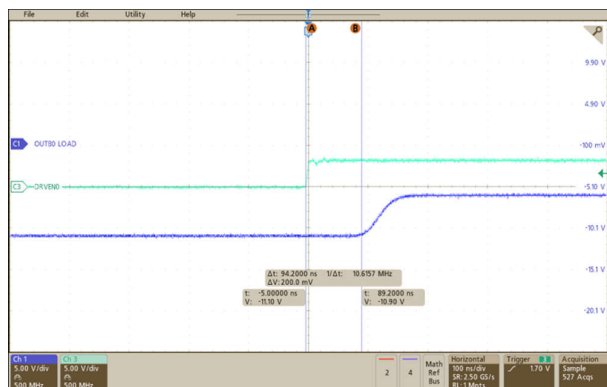


図 3-11. HPA ゲート変調 — DRVEN0 から HPA のゲート電圧遅延時間

## 4 設計とドキュメントのサポート

### 4.1 デザイン ファイル

#### 4.1.1 回路図

回路図をダウンロードするには、[TIDA-010289](#) のデザイン ファイルを参照してください。

#### 4.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-010289](#) のデザイン ファイルを参照してください。

### 4.2 ツールとソフトウェア

#### ソフトウェア

[ソフトウェア](#)

TIDA-010289 GUI

### 4.3 ドキュメントのサポート

1. テキサス インスツルメンツ、『[LMG2100R026 100V, 53A GaN](#) ハーフブリッジ電力段』データ シート
2. テキサス インスツルメンツ、『[AFE20408 8](#) チャネル パワー アンプ モニタおよびコントローラ』データ シート
3. テキサス インスツルメンツ、『[TLV709 150mA, 30V, 3.2μA](#) 静止電流、低ドロップアウトのリニアレギュレータ』データ シート
4. テキサス インスツルメンツ、『[TPS7A30 -35V, -200mA](#), 超低ノイズ、負電圧リニアレギュレータ データシート
5. テキサス インスツルメンツ、『[LP5907 250mA](#), 低ノイズ、低 $Q$  LDO データシート

### 4.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 4.5 商標

テキサス インスツルメンツの E2E™, BoosterPack™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。



## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月