

User's Guide

AM572x 産業用開発キット (IDK)

評価基板 (EVM) ハードウェア



1 はじめにお読みください

1.1 このマニュアルについて

この文書では、テキサス インストルメンツの Sitara™ ARM® Cortex®-A15 AM572x プロセッサ ファミリをサポートする、AM572x 産業用開発キット (IDK) 評価基板 (EVM) (部品番号: TMDXIDK572x) のハードウェア アーキテクチャについて説明しています。

1.2 テキサス・インストルメンツの関連資料

製品情報については、テキサス インストルメンツの Web サイト <http://www.ti.com> をご覧ください。

[SPRABY8 AM572x GP EVM の電力シミュレーション アプリケーションレポート](#)

[SPRS953 AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル](#)

[SPRZ429 AM572x Sitara プロセッサ シリコン エラッタ](#)。このデバイスの機能仕様に関する既知の例外が記載されています。

[SPRUHZ6 AM572x Sitara プロセッサ テクニカル リファレンス マニュアル](#)。デバイスに含まれる各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。



このリファレンスデザインは HDMI® 技術を採用しています。

1 はじめにお読みください	2
1.1 このマニュアルについて.....	2
1.2 テキサス・インスツルメンツの関連資料.....	2
2 AM5724x 産業用開発キット (IDK) 評価基板 (EVM) ハードウェア	5
2.1 はじめに.....	5
2.2 機能説明.....	10
2.3 電源.....	12
2.4 構成 / セットアップ.....	14
2.5 サポートされているメモリ.....	16
2.6 イーサネット ポート.....	17
2.7 USB ポート.....	18
2.8 PCIe.....	18
2.9 ビデオ入出力.....	19
2.10 産業用インターフェイス.....	19
2.11 ユーザー インターフェイス.....	20
2.12 ピンの使用説明.....	20
2.13 ボード コネクタ.....	22
2.14 EVM の重要なお知らせ.....	34
3 AM5724x IDK EVM の既知の欠陥	35
3.1 PCIe プラグイン カード全体に準拠するには電源ソリューションが不十分.....	35
3.2 初期版の AM572x IDK EVM には、完全な産業用温度範囲に対応した SOC デバイスが搭載されていません.....	35
3.3 AM572x IDK EVM は、eMMC HS200 モードをサポートしていません.....	35
3.4 起動時に PCIe PERSTn ラインが正常な状態ではありません.....	35
3.5 EDIO コネクタ J4 および J7 は、PRU1 と PRU2 の両方についてリアルタイム デバッグをサポートしている必要があります.....	35
3.6 HDQ の実装が正しくありません.....	35
3.7 電源が通電した状態で電源プラグを抜き差しすると、損傷を引き起こすおそれがあります.....	35
3.8 PMIC のソフトウェア シャットダウンが動作しません.....	35
3.9 PMIC 実装は、必要な SOC シャットダウン シーケンスをサポートしていません.....	35
3.10 USB ポートは UART コンソールおよび XDS100 エミュレーションを提供しますが、EVM ボードの電源とは絶縁されていません.....	36
3.11 カメラ ヘッドに 47µf のコンデンサが必要です.....	36
3.12 デカップリング コンデンサに AM572x PDN の推奨事項が反映されていません.....	36
3.13 CCS システムのリセットに失敗.....	36
3.14 AM572x IDK EVM の設計には、不要となる可能性がある 2 つのクランプ回路が含まれています.....	37
3.15 osc0 に接続される水晶振動子は、長期精度が 50ppm 以内である必要があります.....	37
3.16 ソフトウェアは CDCE913 を 0pf の負荷容量にプログラムする必要があります.....	37
3.17 保護ダイオード D2 の定格は 5V とする必要があります.....	37
3.18 U9 および U15 の PHY アドレス LSB が誤ってラッチされる可能性があります.....	37
3.19 3.3V クランプ回路には、より大きなマージンが必要です.....	37
3.20 電流の PMIC は、必須のパワーダウン シーケンスを提供しません.....	38
3.21 PMIC OSC16MCAP ピンを誤って接地.....	38
4 改訂履歴	39

図の一覧

図 2-1. AM572x IDK EVM - 上面図.....	6
図 2-2. AM572x IDK EVM - 底面図.....	7
図 2-3. AM572x IDK EVM (LCD ディスプレイ アセンブリ付き) - 上面図.....	8
図 2-4. AM572x IDK EVM (LCD ディスプレイ アセンブリ付き) - 底面図.....	9
図 2-5. AM572x IDK EVM のブロック図.....	10
図 2-6. TPS6590377 PMIC から AM572x プロセッサへの接続.....	13

表の一覧

表 2-1. I2C1/IND_I2C.....	14
表 2-2. I2C2/AM572X_HDMI_DDC.....	14
表 2-3. SEEPROM ヘッド.....	15

表 2-4. PRU-ICSS イーサネット ポート.....	17
表 2-5. GPIO ピンマッピング.....	21
表 2-6. 拡張コネクタ - J21.....	22
表 2-7. I/O 拡張ヘッダ コネクタ - J37.....	23
表 2-8. MicroSD コネクタ - J15.....	24
表 2-9. 電源ジャック コネクタ - J1.....	24
表 2-10. 電源端子ブロック コネクタ - J2.....	24
表 2-11. PRU1ETH0/ RJ45 コネクタ - J3.....	24
表 2-12. PRU1ETH1/ RJ45 コネクタ - J5.....	25
表 2-13. PRU2ETH0/ RJ45 コネクタ - J6.....	25
表 2-14. PRU2ETH1/ RJ45 コネクタ - J8.....	26
表 2-15. PRU2ETH0 テスト ヘッダ コネクタ - J7.....	26
表 2-16. PRU2ETH1 テスト ヘッダ コネクタ - J4.....	26
表 2-17. カメラ コネクタ - J9.....	26
表 2-18. GigE RJ45 コネクタ - J10.....	27
表 2-19. GigE RJ45 コネクタ - J12.....	28
表 2-20. LCD モジュール FFC コネクタ - J16.....	29
表 2-21. タッチスクリーン コントローラ FFC コネクタ - J17.....	29
表 2-22. HDMI 標準 A タイプ コネクタ - J24.....	30
表 2-23. MIPI-60 JTAG コネクタ - J18.....	30
表 2-24. JTAG USB Micro-AB コネクタ - J19.....	32
表 2-25. USB ポート 1 USB3.0 標準 A タイプ コネクタ - J23.....	32
表 2-26. USB ポート 2 USB2.1 Micro-AB コネクタ - J45.....	32
表 2-27. CAN ヘッダ コネクタ - J38.....	32
表 2-28. Profibus DB9F コネクタ - J14.....	33
表 2-29. RS-485 ヘッダ コネクタ - J39.....	33
表 2-30. PCIe コネクタ - J22.....	33

商標

Sitara™, Code Composer Studio™, and SmartReflex™ are trademarks of Texas Instruments.
 is a trademark of TI.

ARM® and Cortex® are registered trademarks of ARM Limited.

Windows® is a registered trademark of Microsoft Corporation.

すべての商標は、それぞれの所有者に帰属します。

HDMI、HDMI High-Definition Multimedia Interface、HDMI トレードドレス、および HDMI ロゴは、HDMI Licensing Administrator Inc. の商標または登録商標です。

2 AM5724x 産業用開発キット (IDK) 評価基板 (EVM) ハードウェア

2.1 はじめに

この文書では、テキサス インストルメンツの Sitara™ ARM® Cortex®-A15 AM572x プロセッサ ファミリをサポートする、AM572x 産業用開発キット (IDK) 評価基板 (EVM) (部品番号: TMDXIDK572x) のハードウェア アーキテクチャについて説明しています。

2.1.1 説明

AM572x IDK は、産業用制御および産業用通信アプリケーション向けのソフトウェア開発やハードウェア開発を行うための、スタンドアロン型テスト、開発、評価基板です。TI AM5728 プロセッサを搭載しており、定義済みの機能セットにより、さまざまなシリアルまたはイーサネットベースのインターフェイスを使用した産業用通信の体験が可能になります。標準インターフェイスを使用することで、AM572x IDK は他のプロセッサやシステムと接続し、通信ゲートウェイまたはコントローラとして機能させることができます。さらに、産業用通信ネットワークに接続された標準的なリモート I/O システムやセンサとして直接動作させることもできます。

AM572x IDK には、開発者がすぐに IDK の使用を開始できるようにするための組み込みエミュレーション回路が搭載されています。USB ケーブルを Windows® ベースのコンピュータに接続するだけで、テキサス インストルメンツの Code Composer Studio™ 統合開発環境 (IDE) などの標準的な開発ツールを使用したエミュレーションおよびデバッグが可能です。

AM572x IDK EVM の標準構成は、以下のイーサネット接続を実現できます：

- PHY/RGMII 経由でオンチップ イーサネット スイッチに接続された 2 つのギガビット (1000Mb) 金属ポート
- PHY/MII 経由で PRU-ICSS サブシステムに接続された 2 つの 100Mbps 金属ポート

抵抗器の取り外しと取り付けによる再構成は、次のような代替イーサネット接続を提供します：

- PHY/MII 経由で PRU-ICSS サブシステムに接続された 4 個の 100Mbps 金属ポート

AM572x IDK EVM に対するソフトウェア サポートは、プロセッサ ソフトウェア開発キット (SDK) パッケージ内で提供されています。この機能には、Linux と RTOS の両方をサポートしています。

2.1.2 システム図

AM572x IDK EVM のシステムビューは、メインボードとカメラボードで構成されています。また、オプションの LCD パネルとタッチスクリーンアセンブリも利用でき、AM572x IDK EVM に接続することができます。

AM572x IDK EVM の上面図と底面図を、それぞれ図 2-2 と図 2-1 に示します。

AM572x IDK EVM の上面画像と底面画像 (オプションの LCD ディスプレイアセンブリを取り付けた状態) を、それぞれ図 2-4 と図 2-3 に示します。

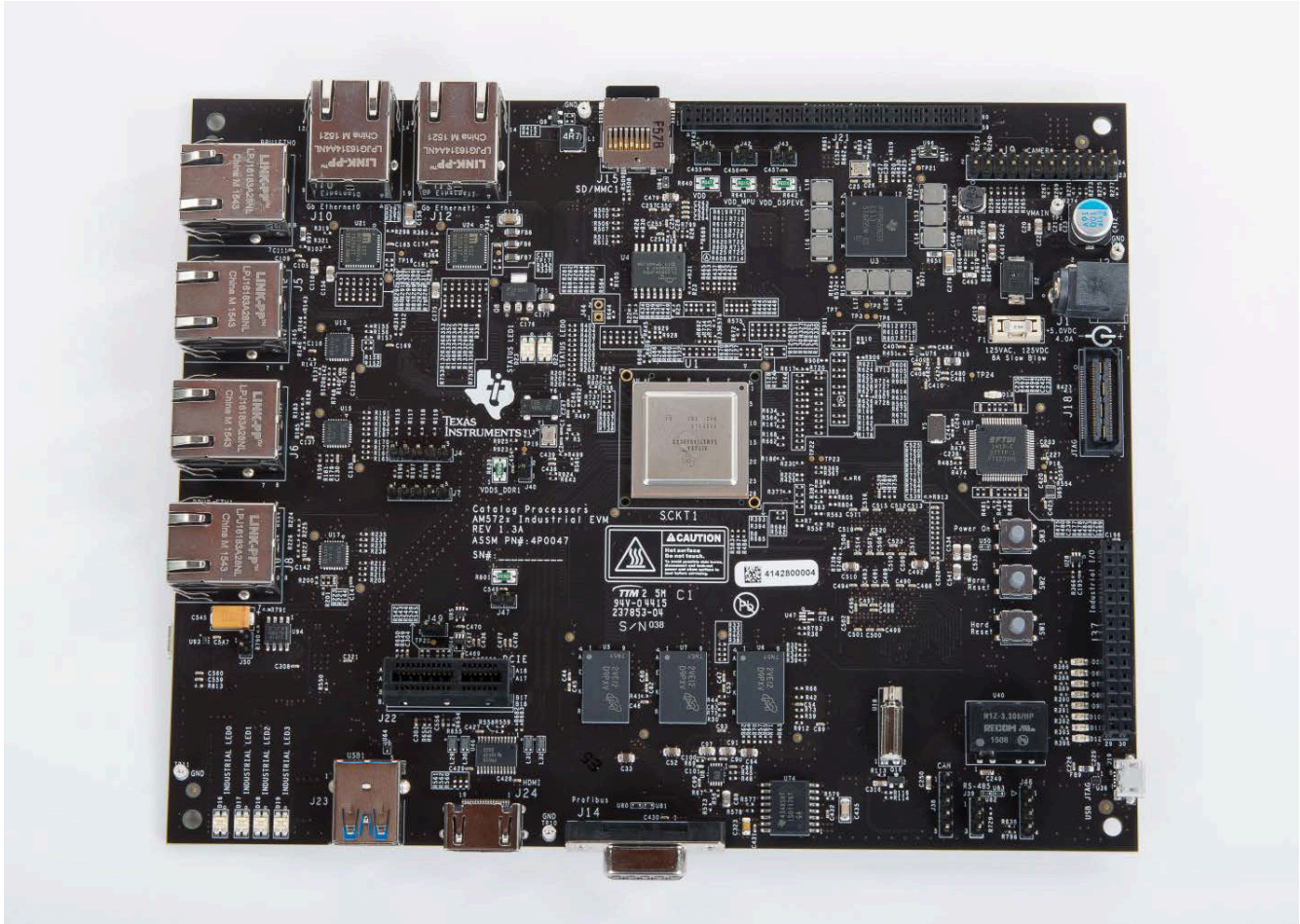


図 2-1. AM572x IDK EVM - 上面図

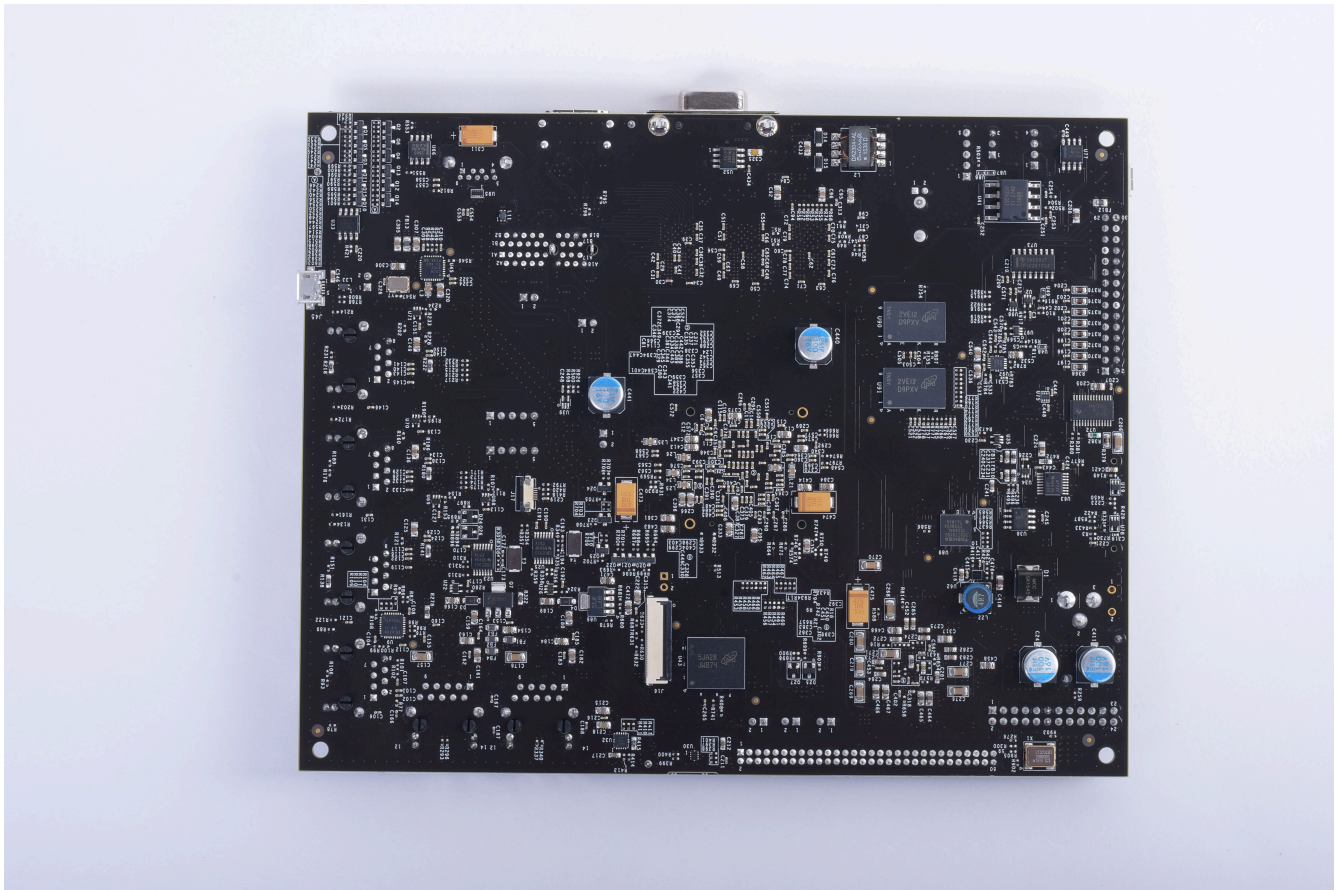


図 2-2. AM572x IDK EVM - 底面図



図 2-3. AM572x IDK EVM (LCD ディスプレイ アセンブリ付き) - 上面図



図 2-4. AM572x IDK EVM (LCD ディスプレイ アセンブリ付き) - 底面図

2.2 機能説明

AM572x IDK EVM は、インターフェイス回路、メモリ IC、および AM5728 プロセッサの周辺にあるコネクタを搭載した 1 つの基板上に実装されています。また、このボードは +5V 単一入力から必要な電源電圧を効率的に生成するための電力変換回路も搭載しています。すでに説明したようにこの EVM はメイン ボードに接続する個別のカメラ モジュールを搭載しています。オプションの LCD パネルおよびタッチスクリーン アセンブリを別々に購入し、メイン ボードに取り付けることができます。

図 2-5 は、AM572x IDK EVM の機能ブロック図を示しています。

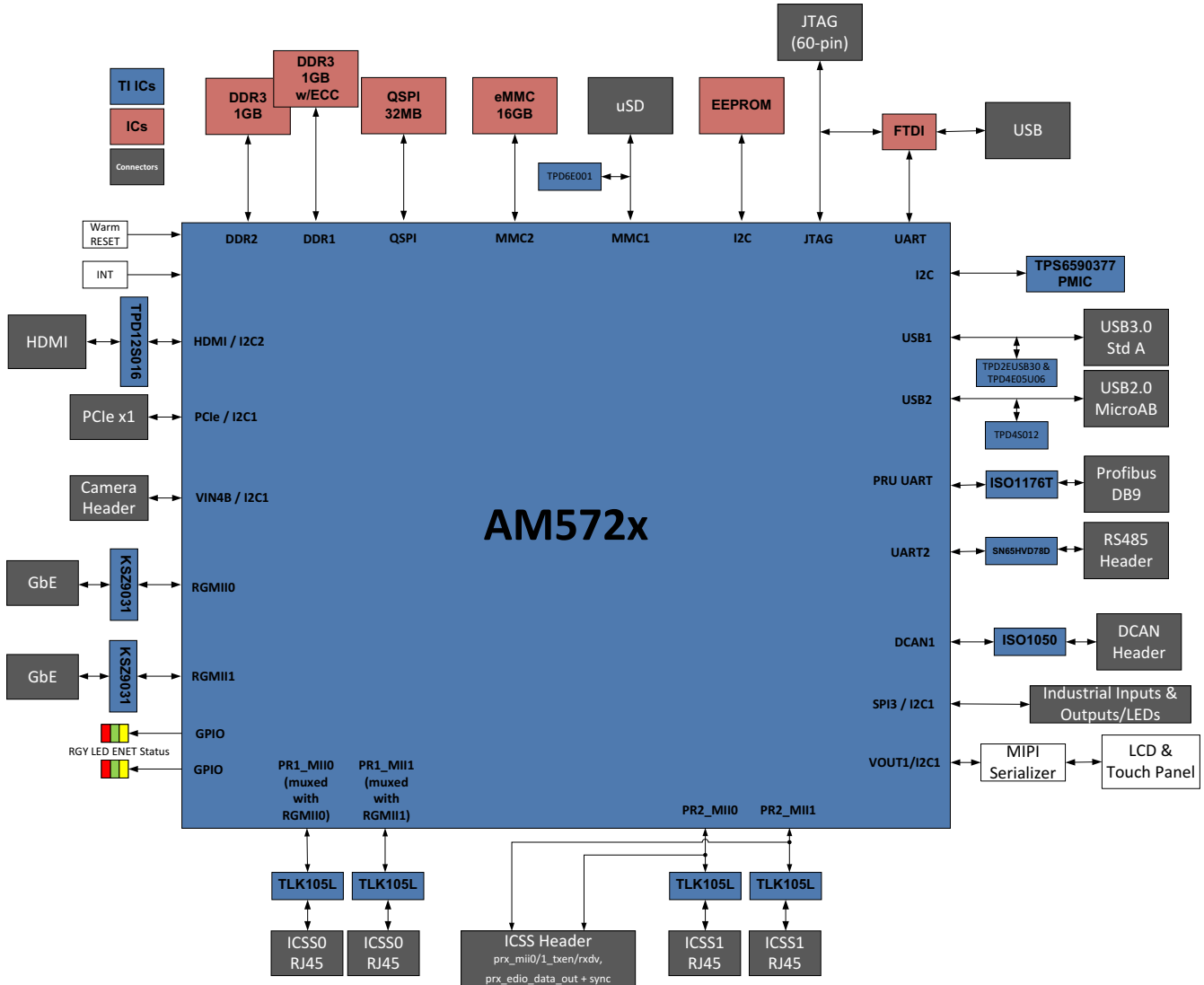


図 2-5. AM572x IDK EVM のブロック図

2.2.1 プロセッサ

AM5728 プロセッサは、この IDK EVM の中央演算装置です。AM5728 プロセッサを中心にボード上に実装されたインターフェイス回路、メモリ IC、およびコネクタは、このプラットフォームで利用可能な多くの産業用通信インターフェイスの開発サポートを提供します。プロセッサの詳細については、[AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル \(SPRS982\)](#) および [AM572x Sitara プロセッサ テクニカル リファレンス マニュアル \(SPRUHZ6\)](#) を参照してください。

AM572x IDK EVM には、ブート モード制御入力 SYSBOOT[15_0] のシステム構成が含まれています。これらは複数の抵抗を使用してストラップすることができます。デフォルトの設定は、ほとんどの開発者のニーズを満たします。抵抗の再構成がサポートされているため、AM572x プロセッサの他のブート構成を検討できます。詳細については、[セクション 2.4](#) を参照してください。

2.2.2 クロック

プロセッサのメイン クロックは、20MHz 水晶振動子から生成されます。AM572x プロセッサのオンボード発振器は、AM572x プロセッサ内で必要に応じて、ベース クロックとそれに続くモジュール クロックを生成します。この基板デザインは RTC ブロックに水晶振動子を接続していますが、このデバイスでは RTC 専用モードがサポートされていないため、これは必要ありません。

2.2.3 リセット信号

AM572x プロセッサには、3 つのリセット入力と、リセットが進行中であることを示す出力があります。リセット ピンは次のとおりです：

- **PORz**: PORz はハードリセット信号であり、エミュレーション ロジックを含むすべてをリセットします。また、ほとんどの出力がトライ ステートになります。
- **RESETn**: RESETn は、制御ロジックまたはエミュレーションによって駆動される一般的なデバイスリセット信号です。
- **RTC_PORz**: PORz と同時に駆動する必要のある RTC モジュール用に、PORz を個別に駆動します。(PORz と RTC_PORz は、VDDSHV3 および VDDSHV5 が同一電圧で駆動されている場合にのみ、直接接続できます。)
- **RSTOUTn**: デバイスがリセットに移行したことを示す SOC からの出力信号。これは、プロセッサと同時にリセットする必要がある他の回路をリセットするために使用されます。

AM572x プロセッサ内のこれらのリセット ピンの動作に関する詳細は、[AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル \(SPRS982\)](#) および [IDK](#) に記載されています。IDK には、RESETn または PORz 入力のいずれかを開始できるプッシュ ボタンがあります。SW1 は PORz アクティブ (low) を駆動し、SW2 は RESETn アクティブ (low) を駆動できます。

AM572x デバイスのすべてに、PORz から独立した RESETn の使用を防止するデバイス正誤表があります。内部インシエータによるものであっても、デバイスリセットが発生するたびに PORz を生成するようにすることが回避策です。これは、IDK EVM 上の AM572x デバイスと組み合わせた PMIC との連携により実現されています。AM572x デバイスからの RSTOUTn 出力は、PMIC の NRESWARM 入力に接続されます。これにより、RESET_OUT を Low に駆動してリスタートが開始され、すべての電圧が初期値にリセットされます。PMIC の RESET_OUT は AM572x デバイスでは PORz に接続されるため、エラー回避方法の要件を満たす SOC にハードリセットが強制的に印加されます。

AM572x IDK EVM は、スタートアップ プッシュ ボタン SW3 を押して起動します。POWERHOLD 入力を VRTC_OUT に接続すると、メイン電源が安定した時点でボードが自動的に電源オンするように設計できます。

NRESWARM 入力から RESET_OUT を提供する PMIC の構成により、常時オンの実装が作成されます。この常時オンの動作モードにより、IDK のソフトウェア シャットダウンを防止します。お客様の設計では、PMIC RESET_IN に接続されている PMIC にメイン電源に TPS3808 などのパワーグッド監視回路を接続する必要があります。TPS3808 は、メイン電源電圧の低下を検出し、PMIC に制御されたシャットダウンを実行させます。このシャットダウン動作は、[AM572x プロセッサ シリコン リビジョン 2.0 データ マニュアル \(SPRS982\)](#) に記載された要件を満たします。

2.3 電源

このセクションでは、設計に必要な電源がどのように生成されるかについて説明します。

2.3.1 電力ソース

AM572x IDK EVM は、外部 5V 電源を使用します。5V 電源入力はさまざまな電圧レベルに変換され、AM572x プロセッサおよびその他の回路に電源入力を供給します。

AM572x IDK EVM の初期バージョンは、GlobTek, Inc. 外部電源 (型番 TR9CA6500LCP-N、モデル番号 GT 43008-3306-1.0-T3) が付属して出荷されています。この外部電源の定格は +5VDC、出力電流は最大 6.5A です。この外部電源は、世界のほとんどの地域で適用される製品規制および安全認証要件を満たしています。この電源を使用できない場合は、お住まいの地域で承認されている同等の定格を持つ電源を入手する必要があります。

最近販売された IDK EVM には、国際的な懸念により電源が同梱されていません。また、上記の電源の製造は終了しています。製造元は、直接差し替え可能な代替品を提供しています。これは、Digikey などの販売代理店からすぐに入手できる TR9CA8000LCPIM(R6B) です。

AM572x IDK EVM には、直角に取り付けられた電源コネクタが含まれており、センター ピンに +5VDC 電源入力を、外側シェルを共通リターンとして受け入れます。電源コネクタには、ID 2.5mm、OD 5.5mm の嵌合プラグが装着されています。

電源に電源が投入されている間に電源プラグを取り外して再度挿入すると、AM572x IDK EVM や、グラウンドへの代替パスを提供するエミュレータなど、基板に接続されているその他のデバイスが損傷する可能性があります。必要に応じて、外部電源装置から AC 電源を取り外す方が安全です。

外部電源は、アースに接続された共通リターンを使用することをお勧めします。これが不可能な場合は、基板のグラウンドとアースグラウンドの間に個別の接続を確立する必要があります。

2.3.2 TPS6590377 PMIC

プロセッサの電力要件は、TPS6590377 パワー マネージメント IC (PMIC) により満たしています。AM572x プロセッサの電源シーケンス要件も、TPS6590377 PMIC によって処理されます。図 2-6 に、TPS6590377 PMIC から AM572 x プロセッサへの電源接続を示します。

必要な電源電圧と電源シーケンスの詳細については、AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル (SPRS982) を参照してください。その動作の詳細については、TPS659037 プロセッサ データ マニュアル用パワー マネージメント ユニット (PMU) (SLIS165) および TPS659037 AM572x および AM571x 電源ユーザ ガイド (SLIU011) も参照してください。

AM572x IDK EVM の量産バージョンでは、AM5728 プロセッサの最新シリコン バージョンで必要な電圧を供給する TPS6590377 PMIC を使用していることに注意してください。ベータ プロトタイプ IDK EVM ユニットの TPS6590375 PMIC とアルファ プロトタイプ IDK EVM ユニットの TPS6590372 PMIC を使用しました。

2.3.3 AVS 制御

AM572x プロセッサは、コア ロジック内で消費電力の大部分を消費します。そのため、このコア ロジックに供給される電圧を最小限に抑えることで、消費電力を最小限に抑えることができます。SmartReflex™ テクノロジーを使用して、この最適化されたソリューションを提供します。

このコア ロジックは複数のセグメントに分かれており、それぞれを個別に制御できます。このようにして、一部の処理ブロックでより高い性能を必要とするアプリケーションは、電源電圧を上げることでより高い性能レベルで動作させることができます。一方、同じレベルの性能を必要としない他の処理ブロックは、より低い電圧で動作することができるため、システムの消費電力がさらに最適化されます。

TPS6590377 PMIC は、AM5728 プロセッサの I2C1 に接続されています。これにより、アプリケーション ソフトウェアで AVS 電源出力を個別に制御できます。また、アプリケーションは、LDO1 によって生成される電圧を制御できます。これは、動作モードに応じて 1.8V または 3.3V で動作する SDIO インターフェイスに使用されます。

2.3.4 その他の電源

AM572x IDK EVM には、インターフェイスおよびメモリ回路をサポートするその他の 8 つの電力変換デバイスが搭載されています:

- **TPS63010** 昇降圧コンバータ:このコンバータは、メイン電源入力から 5.0V を生成します。この電圧は、産業用インターフェイス回路、HDMI インターフェイス、USB マスタポートに供給されます。
- **TPS61085** 昇圧コンバータ:このコンバータは、メイン電源入力から 12.0V を生成します。この回路は、産業用インターフェイス回路と PCIe カードコネクタに電圧を供給します。
- **TPS51200** DDR 終端電圧 LDO (それぞれ 2 つ):この LDO は、DDR3 メモリ インターフェイスに必要なプッシュ/プル終端電流を供給します。DDR3 EMIF ごとに 1 つの実装があります。
- **LP38693ADJ** 低ドロップアウトレギュレータ:この LDO は、3.7V LCD バイアス電圧を生成します。
- **TPS61081DRC** LCD バックライトジェネレータ:この昇圧コンバータは、LCD バックライト電源を生成します。
- **TPS71712** 低ドロップアウトレギュレータ:この LDO は、LCD ドライバロジックに必要な 1.2V 電源を生成します。
- **TPS76650** 低ドロップアウトレギュレータ:この LDO は、Profibus インターフェイスに必要な 5.0V 電源を生成します。
- **R1Z-3.305HP** 絶縁型 DC-DC 電源:このコンバータは、DCAN インターフェイス用にボード上の 1 次側 3.3V DC 電源から 5.0V 絶縁された電圧を生成します。

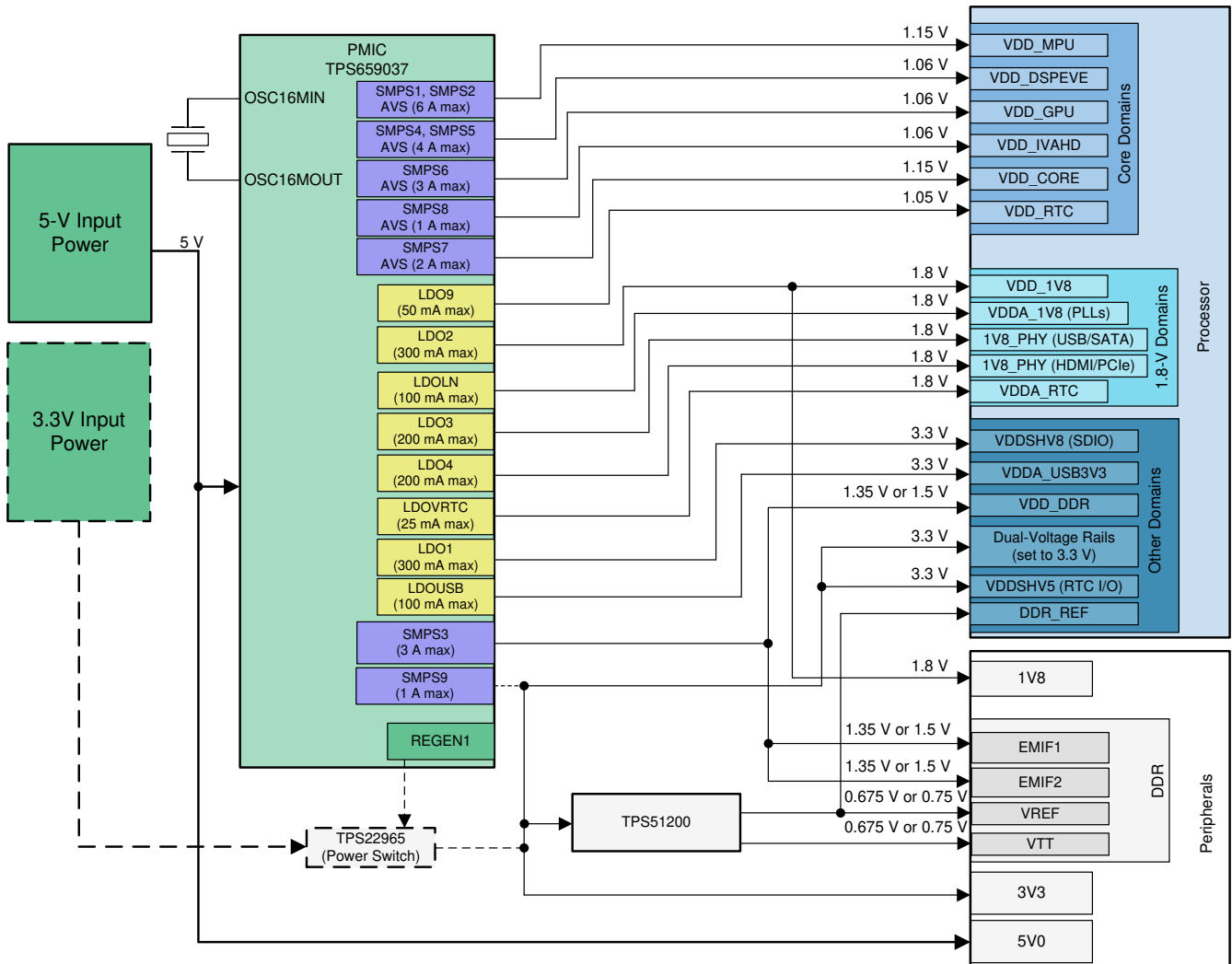


図 2-6. TPS6590377 PMIC から AM572x プロセッサへの接続

2.4 構成 / セットアップ

このセクションでは、基板の構成について説明します。

2.4.1 ブート構成

SYSBOOT[15_0] ピンで提供されるプルアップ / プルダウン抵抗の組み合わせを使用して、さまざまなブート構成を設定できます。ブート構成ピンは、PORz ピンのデアサート時にラッチされます。詳細については、[AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル \(SPRS982\)](#) を参照してください。AM572x IDK EVM は、SDCARD から UBOOT/Linux ブートをイネーブルにするために、デフォルトで 0x8106 に設定されています。このブートモードで選択されるセカンダリ ブート デバイスは QSPI1 です。

2.4.2 I2C アドレス割り当て

AM572x IDK EVM には、プロセッサ上のマスタポートに接続された複数の I2C バスが搭載されています。各バスには、競合を防止するために固有のアドレスを持つ必要がある 1 つ以上の I2C スレーブ デバイスが含まれています。表 2-1 および表 2-2 に、それぞれバス I2C1 および I2C2 に接続された I2C スレーブ デバイスのアドレスを示します。

表 2-1. I2C1/IND_I2C

I2C スレーブ デバイス	アドレス
TPS590377 PMIC, U3 カメラ ヘッド, J9	0x58, 0x59, 0x5A, 0x5B, 0x12 未定義
CDCE913 イーサネット クロック ジェネレータ A, U23	0x65
TPIC2810 産業用出力ドライバ, U89	0x60
LCD パネルドライバ TC358778, U73	0x0E
タッチスクリーン FPC コネクタ, J17	—
ID メモリ SEEPROM, U33	0x50
PCIe カード コネクタ, J22	未定義
拡張コネクタ, J21	未定義

表 2-2. I2C2/AM572X_HDMI_DDC

I2C スレーブ デバイス	アドレス
HDMI ブリッジ, U46	—
CDCE913 イーサネット クロック ジェネレータ B, U25	0x65

注

SCL/SDA 名は、AM57xx デバイスの HDMI DDC ポートと I2C2 ポートの間に入れ替えられます。U25 への I2C2 回路図接続を反転する必要があります。

2.4.3 SEEPROM ヘッダ

AM572x IDK EVM には、それぞれに固有のシリアル番号があります。このシリアル番号は、IDK に取り付けられたステッカーに印刷され、I2C バス経由で AM5728 プロセッサに接続された SEEPROM メモリ デバイスにプログラムされます。SEEPROM には、基板のタイプ、バージョン、構成などの基板の詳細も含まれています。この情報は、SEEPROM の先頭にある構造体に、アプリケーション ソフトウェアで読み取ることができる既知の形式で保存されます。これらの値はすべて、各フィールドの最も低いアドレス指定可能な位置に格納された最初の文字または MSB で格納されます。表 2-3 このヘッダ定義のすべてのフィールドをリストします。

表 2-3. SEEPROM ヘッダ

名称	サイズ (バイト)	コンテンツ
ヘッダー	4	MSB 0xEE3355AA LSB
ボード名	8	ASCII「AM572」のボード名 = AM572x 産業用開発キット EVM。
バージョン	4	ASCII「1.3A」= リビジョン 01.3A のボード用ハードウェア バージョン コード
シリアル番号	12	基板のシリアル番号。これは、次の 12 文字の文字列です: WWYY4P47nnnn。WW = 製造年の 2 桁の週、YY = 製造年の 2 桁、nnnn = 基板番号の増加。
構成オプション	32	コードに、このボードの構成の設定を示します。予約済み。
イーサネット MAC アドレス #0	6	AM572x IDK EVM に割り当てられたイーサネット MAC アドレス #0。これは、産業用インターフェイスポートで使用可能なアドレスブロックの最初のものです。
イーサネット MAC アドレス #5	6	AM572x IDK EVM に割り当てられたイーサネット MAC アドレス #5。これは、産業用インターフェイスポートで使用できる 6 つの連続したアドレスのブロックの最後のブロックです。
使用可能	32696	他の不揮発性コード / データ用の利用可能なユーザ スペース。

2.4.4 JTAG エミュレーション

AM572x IDK EVM は、USB Micro-AB コネクタ、J19、FTDI コントローラを通じて、組込み XDS100V2 USB エミュレーションをサポートします。このコントローラには USB から電力が供給されていないため、IDK の電源が再投入されるとエミュレーションはリセットされます。

AM572x IDK EVM は、高性能外部エミュレータと、オプションでエミュレーション パターンをサポートするための 60 ピン MIPI コネクタも実装しています。このエミュレーショントレース機能は、デフォルトでは有効になっていません。

2.5 サポートされているメモリ

AM572x IDK EVM は、DDR3L SDRAM、SPI NOR フラッシュ、eMMC NAND フラッシュ、I2C EEPROM などのオンボードメモリをサポートしています。また、メモリストレージを追加できる MicroSD カードソケットもサポートしています。

2.5.1 DDR3L SDRAM

AM572x IDK EVM 設計は、2 つの DDR3L SDRAM バンクをサポートしており、それぞれが AM5728 プロセッサ上の個別の EMIF に接続されています。各 EMIF は、最大 1066MT/s の速度で最大 2GB をサポートできます。IDK EVM の各 EMIF には、2 つの 4Gbit (256M×16) SDRAM が含まれており、各 EMIF の合計 1GB の DDR3L SDRAM メモリが含まれています。使用される DDR3L SDRAM メモリーの部品番号は MT41K256M16HA-125 で、1600MT/s 動作のタイミングが含まれています。使用されるパッケージは、96 ボールの TFBGA パッケージです。このメモリ位置については、[AM572x Sitara プロセッサテクニカルリファレンスマニュアル \(SPRUHZ6\)](#) を参照してください。

最初の EMIF には、ECC バイトレーンに接続された SDRAM も含まれています。DDR3L インターフェイスでの ECC の使用は現在、AM572x デバイスでの制限により大きく制限されています。詳細については、[AM574x Sitara プロセッサシリコン エラッタ \(SPRZ447\)](#) を参照してください。

2.5.2 SPI NOR フラッシュ

AM572x IDK EVM は、16 ピン SOIC パッケージに封止された 256Mbit (32MB) SPI フラッシュメモリ (S25FL256S) をサポートしています。これは AM5728 デバイスの QSPI ポートに接続されています。

2.5.3 ボード ID メモリ

AM572x IDK EVM ボードには、ボード固有のデータが含まれる 256Kb (32KB) のシリアル EEPROM が搭載されています。このデータを使用すると、アプリケーションソフトウェアは、動作しているボードのタイプを自動的に検出し、そのバージョンを判定することや、場合によってはオプション機能も判定することができます。このメモリデバイスには、ハードウェア固有の他のデータも保存できます。メモリデバイスの部品番号は、SOIC-8 パッケージの CAT24C256WI-G です。このメモリに保存されているデータの詳細については、[セクション 2.4](#) を参照してください。

2.5.4 SD/MMC

AM572x IDK EVM の SD/MMC コネクタは、MicroSD コネクタ (型番 SCHA5B0200) です。標準の SD/MMC カードタイプのコネクタです。この使用に最適化された AM572x プロセッサの MMC1 ポートに接続されています。サポートされているカードの種類および容量については、[AM572x Sitara プロセッサシリコンリビジョン 2.0 データマニュアル \(SPRS982\)](#)、[AM572x Sitara プロセッサテクニカルリファレンスマニュアル \(SPRUHZ6\)](#)、および [参照してください](#)。

MMC1 ポートへの SDWP 入力ピンは、2 ピン ヘッダ J44 に接続されています。デフォルト状態では、ピンは High にプルされています。ヘッダを短絡すると、ピンが low になります。この入力の極性はプログラム可能です。したがって、high レベルと low レベルのどちらが書き込みプロテストがアクティブかをハードウェアが定義しません。

SDCARD コネクタに実装されている過渡保護は TPD6E001 です。

2.5.5 eMMC NAND フラッシュ

AM572x プロセッサの MMC2 ポートは、8 つのデータラインを備えているため、eMMC メモリデバイスをサポートしています。eMMC のフットプリントは、JEDEC/MMC 規格に準拠しています。ボードは、Kingston EMMC16G-S100 および Micron MTFC16GAKECN-2M WT で組み立てられ、テストに成功しました。これらは、標準バージョン 5.0 に準拠した 16GB eMMC NAND フラッシュメモリです。

2.6 イーサネット ポート

AM572x IDK EVM は、PRU-ICSS サブシステムに接続されている最大 4 個の 100Mbps 産業用イーサネット ポートと、統合型イーサネット スイッチに接続されている最大 2 個のギガビット (1000Mb) イーサネット ポートをサポートします。使用可能なポートの最終数は、設定オプションによって異なります。デフォルト設定では、2 つの 100Mb 産業用イーサネット ポートと 2 つのギガビット (1000Mb) イーサネット ポートが提供されます。

2.6.1 PRU-ICSS の 100Mb イーサネット ポート

AM572x IDK EVM には 4 つの 100Mb Ethernet ポートが搭載されており、それぞれが産業用 PHY/トランシーバ (TLK105L) に接続されています。これらはさらに、磁気結合素子を内蔵した RJ45 金属コネクタ J3、J5、J6、J8 に接続されています。これらのイーサネット トランシーバは、AM5728 プロセッサ内の PRU1 および PRU2 サブシステムに接続されています。表 2-4 は、PRU-ICSS ポートから RJ45 コネクタへのマッピングを示します。

MII インターフェイスの COL 機能は使用しません。TLK105L には、COL ピンの高速リンク ステータスを提供するソフトウェアを介してイネーブルにする必要のある機能が含まれています。このため、このピンは PRU-ICSS ポートに RXLINK 入力に接続されています。

リアルタイム コード開発をサポートするため、テスト用ヘッダ J4 および J7 が利用できます。含まれている信号は、簡単なプローブに使用できます。

トランシーバのリセットは、AM5728 プロセッサへの PORz リセットと同時に **ow** に駆動されます。各トランシーバのリセットは、プロセッサからの個別の GPIO 信号によって個別に **low** に駆動することもできます。TLK105L の各産業用トランシーバに 25MHz のクロックが供給されます。

表 2-4. PRU-ICSS イーサネット ポート

コネクタ	PRU-ICSS ポート	MDIO アドレス	注
J3	PRU1ETH0	PRU1 に 0x0	デフォルト構成では使用できません。MII ピンを RGMII0 と多重化。
J5	PRU1ETH1	PRU1 に 0x1	デフォルト構成では使用できません。MII ピンを RGMII1 と多重化。
J6	PRU2ETH0	PRU2 に 0x0	
J8	PRU2ETH1	PRU2 に 0x1	

2.6.2 ギガビット (1000Mb) イーサネット ポート

AM572x IDK EVM は、コネクタ J10 (RGMII0) および J12 (RGMII1) と接続された 2 個のギガビット (1000Mb) イーサネット PHY / トランシーバ (KSZ9031RN) を搭載しています。これらのギガビット イーサネット トランシーバは、RGMII0 および RGMII1 を介して AM5728 プロセッサ内のイーサネット スイッチ ブロックに接続されています。

トランシーバのリセットは、AM5728 プロセッサへの PORz リセットと同時に **low** に駆動されます。KSZ9031RN ギガビット トランシーバのそれぞれに 25MHz のクロックが供給されます。

2.7 USB ポート

AM572x IDK EVM には、3 個の USB ポートが搭載されています。2 つのポートが AM572x プロセッサの USB ペリフェラル USB1 および USB2 に接続されています。3 番目のポートは、USB 経由で XDS100V2 JTAG エミュレーションと UART コンソールの両方を提供します。このポートは、Windows® ベースのコンピュータなど、この機能をサポートするコンピュータを使用するプログラムの開発環境を簡素化します。

2.7.1 プロセッサ USB ポート 1

プロセッサ ポート USB1 は、USB ホスト (マスタ) としてのみ実装されています。USB2.1 (ハイ スピード) と USB3.0 (スーパー スピード) の両方のデータレートをサポートしています。基板上的コネクタ J23 は、USB3.0 標準 A タイプ コネクタです。この USB ポートに実装されている ESD デバイスは、DP および DM ライン用の TPD2EUSB30、スーパー スピード ペア用の TPD4E05U06 です。

プロセッサの USB ポート 1 はホスト モードをサポートしているため、VBUS ピンで 5.0V の電力を駆動する機能を備えています。TPS2065D 負荷スイッチはこの目的のために、USB1_DRVVBUS ピンによって制御されます。

2.7.2 プロセッサ USB ポート 2

プロセッサ ポート USB2 は、USB ホスト (マスタ) または USB デバイス (スレーブ) のどちらかとして実装されています。USB2.1 (高速と低速) のデータレートのみをサポートしています。基板上的コネクタ J45 は、USB2.1 Micro-AB コネクタです。この USB ポートに実装されている ESD デバイスは TPD4S012 です。

プロセッサの USB ポート 2 はホスト モードをサポートしているため、VBUS ピンで 5.0V の電力を駆動する機能を備えています。TPS2051 負荷スイッチはこの目的のために、USB2_DRVVBUS ピンによって制御されます。

USB2.1 規格では、VBUS ピンの容量の範囲は、ホストとデバイスのどちらであるかに応じてさまざまに定義されています。このポートはどちらにも対応できるため、AM572x IDK EVM には、両方の要件を満たす機能があります。このコネクタからの VBUS ピンには、デバイス モード動作に適した 4.7 μ F コンデンサが含まれています。ホスト モードで動作している場合、2 ピンのヘッダ J50 を短絡して、VBUS ピンに容量の 150 μ F を追加できます。このヘッダのシャントは M2 として回路図に示されています。このポートは主にデバイス モードで使用されることを想定しているため、出荷時に装置にはインストールされません。

2.7.3 FTDI USB ポート

FTDI ブリッジ デバイスは、USB 経由で XDS100V2 JTAG エミュレーションと UART コンソールの両方を提供します。USB コネクタは J19 であり、USB Micro-AB コネクタでもあるが、FTDI ブリッジ デバイスのデバイス (スレーブ) モードでのみ動作します。この USB ポートに FTDI ブリッジに実装されている ESD デバイスは TPD2E001 です。この機能の詳細については、[セクション 2.4.4](#) を参照してください。

2.8 PCIe

AM572x プロセッサには、2 レーンのペリフェラル コンポーネント インターコネクトエクスプレス (PCIe) インターフェイスが搭載されています。これらは、1 つのデュアル レーン ポートとして、または 2 つのシングル レーン ポートとして実装できます。PCIe ペリフェラルは、ルート コМПレックス (マスタ) またはエンド ポイント (スレーブ) のいずれかに構成できます。AM572x IDK EVM は、ルート コМПレックスとして 1 つのシングル レーン ポートのみを実装しています。IDK EVM は、標準的な PCIe エンドポイント カードを受け入れ、シングル レーンの PCIe メス型コネクタでこのレーンを終端します。

2 ピンヘッダ J49 を使用すると、プライマリ 3V3 電源とは別の 3V3_AUX 電力を供給できます。これは、一部のカードや PCIe ドライバ構成で必要になります。ほとんどの場合、3V3_AUX は必要であるため、回路図に M1 として示されているシャントを取り付ける必要があります。取り付けているカードのマニュアルを参照して、このシャントを取り付けたままにするかどうかを確認します。

コネクタの PERSTn リセットは、AM5728 プロセッサへの PORz リセットと一致して low に駆動されます。コネクタへの PERSTn リセットは、プロセッサからの GPIO 信号によって low に駆動することもできます。このリセットは、プロセッサからの GPIO 信号によってブロックすることもできます。

PCIe ペリフェラルと PCIe コネクタの両方に、100MHz のクロックが別に提供されます。これらのクロックは、同じ低ジッタの信号源からのバッファ付き出力です。

AM572x IDK EVM は、標準的な PCIe プラグインカードとの互換性がありますが、PCIe CEM 規格には完全には準拠していません。ホットプラグをサポートしておらず、すべてのプラグインカードに対して 3.3V および 12V ピンに十分な電流を供給していません。現在、各電源で約 0.5A に制限されています。

2.9 ビデオ入出力

AM572x プロセッサ ファミリーは、産業用通信機能に加えて、産業用ビデオ キャプチャとディスプレイをサポートしています。AM572x IDK EVM は、カメラ センサを搭載したモジュールを接続するためのカメラ ヘッドを搭載しているほか、LCD パネル ディスプレイと HDMI ビデオ出力もサポートしています。

2.9.1 カメラ

AM572x IDK EVM は、24 ピン (2×24) ヘッド J9 に接続するカメラドーターボードをサポートしています。TI が AM437x IDK EVM 向けに設計したカスタム カメラ モジュールを、このヘッダーに取り付けることができます。このヘッダーは AM5728 プロセッサの VIN4B に接続されています。

2Mp のカメラ ボードには、Darling Industrial 製のカメラ モジュール(部品番号 DC-OVBD420AH) が搭載されています。カメラ モジュールには、OmniVision OV2659 カメラ センサが搭載されています。このセンサの最新のマニュアルについては、Omnivision にお問い合わせください。

2.9.2 HDMI

AM572x IDK EVM は、AM5728 プロセッサの HDMI ポートから駆動される HDMI コネクタをサポートしています。基板上のコネクタ J24 は HDMI 標準 A タイプ コネクタです。TPD12S016 HDMI コンパニオン チップを使用して実装されています。このコンパニオン チップは、I2C レベル シフト バッファ、5V ロード スイッチ、およびマルチチャネル ESD 保護を実現します。

2.9.3 LCD

AM572x IDK EVM は、オプションの LCD パネルで利用でき、静電容量式タッチ オーバーレイも採用されています。AM5728 プロセッサから LCD パネルで駆動されるビデオ出力は VOUT1 にあります。東芝製の MIPI ブリッジ デバイス TC358778 が実装されており、VOUT1 ピンで提供される 24 ビット RGB からシリアル MIPI RGB ストリームに変換されます。LCD パネルには FPC ケーブルが付属しており、MIPI ビデオとして J16、タッチスクリーン コントローラとして J17 に接続できます。MIPI ブリッジ デバイスとタッチスクリーン コントローラの両方が、プロセッサ ポート I2C1 から IND_I2C チェーンに接続されています。

2.10 産業用インターフェイス

AM572x IDK EVM には、AM57xx プロセッサ ラインの柔軟性を示すために、追加の産業用インターフェイスが実装されています。

2.10.1 Profibus

適合する Profibus インターフェイスは、ISO1176T 絶縁デバイス、トランス、および TPS76650 LDO レギュレータを使用して実装されています。この回路は DB9F コネクタ J14 に接続されています。この Profibus インターフェイスは、最初の PRU-ICSS ブロック PR1 の UART0 によって駆動されます。

2.10.2 DCAN

AM5728 プロセッサには、2 つのコントローラ エリア ネットワーク (DCAN) インターフェイスが搭載されています。DCAN ポート 1 は ISO1050 絶縁デバイス、次に 5 ピン ヘッド J38 に配線されています。R1Z-3.305HP 絶縁型 DC-DC 電源は、この DCAN インターフェイスに絶縁された 3.3V 電源を供給します。

2.10.3 RS-485

AM572x IDK EVM は、3 ピン ヘッド J39 に搭載された RS-485 インターフェイスを搭載しています。これは、SN65HVD78D ハーフ デュプレックス RS-485 トランシーバによって実現されています。このトランシーバはハーフデュプレックス通信を制御するとともに、高電圧過渡保護も提供します。このインターフェイスは、RX および TX データ用に SOC レベルの UART2 ポートに接続されています。UART TX データラインは PR2_PRU1 によって監視されるため、PRU コードは TX 動作を監視してから、トランシーバへの DE ラインと REn ラインを制御できます。

2.11 ユーザー インターフェイス

AM572x IDK の EVM は、開発をサポートするために産業用入出力を実装する GPIO エクスパンダを搭載しています。出力部には、即時フィードバックを得るための LED が搭載されています。また、開発をサポートするために、GPIO に接続された 3 色 LED もあります。

2.11.1 3 色 LED

開発用途を支援するために、SOC の GPIO ピンに接続された 6 個の 3 色 LED が搭載されています。赤、緑、黄色の各色に個別の GPIO が割り当てられています。一度に複数の GPIO をオンにすることで色を混合すると、LED 合成の物理的性質により個別の色の強度が異なるため、予期される結果は得られません。3 色 LED (D16、D17、D18、D19) は産業用 LED です。3 色の LED D22 と D23 はステータス LED に指定されています。

2.11.2 産業用入力

産業用 24V デジタル入力の場合、産業用デジタル入力用の SN65HVS882 デジタル入力シリアライザを使用して、30 ピン (15×2) I/O 拡張ヘッダ J37 からの標準信号を受け付けます。入力値は、AM5728 プロセッサの SPI3 ポートにクロック入力されます。

2.11.3 産業用出力 / LED

8 ビット LED ドライバ TPIC2810 (I2C 接続) は、産業用出力 LED (D5～D12) の駆動に使用されます。I2C インターフェイスは、AM5728 プロセッサの I2C1 ポートと、IND_I2C バス上の他のデバイスに接続されています。8 つの LED ドライバ出力は、I/O 拡張ヘッダ J37 にも駆動されます。すべての LED は緑色です。

2.12 ピンの使用説明

2.12.1 機能インターフェイス マッピング

AM5728 デバイスの一部の信号は、EVM 上の固定デバイスに接続されており、変更できません。ただし、AM5728 デバイスの一部の信号は、プロファイル設定に基づいて AM572x IDK EVM 上のデバイスに接続されています。

2.12.2 GPIO ピンマッピング

開発者は、GPIO ピンを必要に応じて出力、入力、またはその両方として個別に有効にできます。現在、他のペリフェラルの使用に割り当てられていない LVCMOS ピンのほとんどは、GPIO ピンとして定義できます。表 2-5 は、回路図と pinmux ツールで推奨設定を補完するものです。定義された各 GPIO ピン、および関連するピン名、ボール番号、モードがリストされています。最後の列には、利用可能な物理的プルアップ (PU) またはプルダウン (PD) 抵抗、または AM572x IDK EVM に提供される pinmux ファイルに定義されている推奨内部プルアップまたはプルダウン抵抗が接続されています。

表 2-5. GPIO ピンマッピング

ピン名	GPIO #	ピン番号	IDK ネット名 / 機能	方向	プルアップ/ プルダウン
MCASP2_AXR4	GPIO1_4	D15	AM57XX_INDEETHER_LED0_YEL	出力	EXT PD
MCASP2_AXR7	GPIO1_5	A17	AM57XX_INDEETHER_LED1_YEL	出力	EXT PD
MCASP2_AXR6	GPIO2_29	B17	AM57XX_INDEETHER_LED1_GRN	出力	EXT PD
VIN1A_D6	GPIO3_10	AG6	AM57XX_STATUSLED1_RED	出力	EXT PD
VIN1A_D7	GPIO3_11	AH4	AM57XX_STATUSLED0_GRN	出力	EXT PD
VIN1A_D8	GPIO3_12	AG4	AM57XX_STATUSLED0_YEL	出力	EXT PD
VIN1A_D10	GPIO3_14	AG3	TOUCH_INT	入力	INT PU
VIN1A_D12	GPIO3_16	AF2	GPIO_AM572X_USB2_ID	入力 / 出力	EXT PU
VIN1A_D13	GPIO3_17	AF6	AM57XX_INDEETHER_LED3_GRN	出力	EXT PD
VIN1A_D14	GPIO3_18	AF3	AM57XX_INDEETHER_LED3_YEL	出力	EXT PD
VIN1A_D15	GPIO3_19	AF4	AM57XX_GPIO_IND_LDn	出力	EXT PU
VIN1A_D17	GPIO3_21	AE3	GPIO_VPP_PWR_EN	出力	EXT PD
VIN1A_D18	GPIO3_22	AE5	GPIO_PCIE_RSTDRVn	出力	INT PD
VIN1A_D19	GPIO3_23	AE1	GPIO_PCIE_SWRSTn	出力	INT PU
VIN1A_D22	GPIO3_26	AD2	GPIO_USB2_VBUS_DET	入力	EXT PU
VIN2A_CLK0	GPIO3_28	E1	PRU1ETH0_INTn	入力	INT PU
VIN2A_DE0	GPIO3_29	G2	PRU1ETH1_INTn	入力	INT PU
VIN2A_FLD0	GPIO3_30	H7	PRU2ETH0_INTn	入力	INT PU
VIN2A_HSYNC0	GPIO3_31	G1	PRU2ETH1_INTn	入力	INT PU
VIN1A_D5	GPIO3_9	AH5	AM57XX_INDEETHER_LED0_GRN	出力	EXT PD
VIN2A_VSYNC0	GPIO4_0	G6	AM57XX_STATUSLED0_RED	出力	EXT PD
VOUT1_FLD	GPIO4_21	B11	eMMC_RSTn	出力	EXT PU
MCASP1_ACLKR	GPIO5_0	B14	GB_ETH0_INTn	入力	EXT PU
MCASP1_FSR	GPIO5_1	J14	GB_ETH1_INTn	入力	EXT PU
MCASP1_AXR2	GPIO5_4	G13	PCIE_CRDPRESENT	入力	EXT PU
MCASP1_AXR3	GPIO5_5	J11	PCIE_WAKEn	入力	EXT PU
MCASP1_AXR4	GPIO5_6	E12	GPIO_PRU1_ETH0_RESETh	出力	EXT PU
MCASP1_AXR5	GPIO5_7	F13	GPIO_PRU1_ETH1_RESETh	出力	EXT PU
MCASP1_AXR6	GPIO5_8	C12	GPIO_PRU2_ETH0_RESETh	出力	EXT PU
MCASP1_AXR7	GPIO5_9	D12	GPIO_PRU2_ETH1_RESETh	出力	EXT PU
GPIO6_14	GPIO6_14	E21	CAM_ENn	出力	カメラ ボードに PU/PD を搭載
GPIO6_15	GPIO6_15	F20	GPIO_TOUCH_RESETh	出力	EXT PU
GPIO6_16	GPIO6_16	F21	PMIC_INT	入力	INT PU
XREF_CLK2	GPIO6_19	B26	AM57XX_INDEETHER_LED0_RED	出力	EXT PD
MCASP2_AXR5	GPIO6_7	B16	AM57XX_INDEETHER_LED1_RED	出力	EXT PD
SPI1_CS0	GPIO7_10	A24	AM57XX_INDEETHER_LED2_YEL	出力	EXT PD
SPI1_CS1	GPIO7_11	A22	AM57XX_INDEETHER_LED3_RED	出力	EXT PD
UART1_RXD	GPIO7_22	B27	AM57XX_STATUSLED1_YEL	出力	EXT PD
UART1_TXD	GPIO7_23	C26	AM57XX_STATUSLED1_GRN	出力	EXT PD
SPI1_SCLK	GPIO7_7	A25	AM572X_HAPTICS_TRIG	出力	EXT PD
SPI1_D1	GPIO7_8	F16	AM57XX_INDEETHER_LED2_GRN	出力	EXT PD
SPI1_D0	GPIO7_9	B25	AM57XX_INDEETHER_LED2_RED	出力	EXT PD

2.13 ボード コネクタ

このセクションでは、AM572×IDK EVM のコネクタのピン配置を示します。

表 2-6. 拡張コネクタ - J21

ピン	信号名	2 次信号名
1	V3_3D	—
2	V5_0D	—
3	PR1_EDC_LATCH0	—
4	GPMC_CS0	—
5	PR1_EDC_SYNC0	—
6	GPMC_CS3	—
7	接続なし	—
8	GPMC_ADV_N_ALE	—
9	接続なし	AM57XX_PRU1ETH1_TXCLK
10	GPMC_OEN_REN	—
11	接続なし	AM57XX_PRU1ETH1_TXD3
12	GPMC_WEN	—
13	PR2_EDC_LATCH0	AM57XX_PRU1ETH_MDCLK
14	GPMC_BEN0	—
15	PR2_EDC_LATCH1	PRU1ETH1_TXD1
16	GPMC_BEN1	—
17	PR2_EDC_SYNC0	PRU1ETH1_RXCLK
18	接続なし	—
19	PR2_EDC_SYNC1	PRU1ETH1_RXD3
20	接続なし	—
21	接続なし	PRU1ETH1_RXD1
22	DGND	—
23	接続なし	PRU1ETH1_RXERR
24	SPI2_SCLK	—
25	SYS_RESETE _n	—
26	SPI2_DIN	—
27	IND_I2C_SCL	—
28	SPI2_DOUT	—
29	IND_I2C_SDA	—
30	SPI2_CS0 _n	—
31	AM57XX_GPMC_AD0	—
32	AM57XX_GPMC_AD8	—
33	AM57XX_GPMC_AD1	—
34	AM57XX_GPMC_AD9	—
35	AM57XX_GPMC_AD2	—
36	AM57XX_GPMC_AD10	—
37	AM57XX_GPMC_AD3	—
38	AM57XX_GPMC_AD11	—
39	DGND	—
40	DGND	—
41	CAN1_RXDF	—
42	AM57XX_GPMC_AD12	—
43	CAN1_TXDF	—
44	AM57XX_GPMC_AD13	—
45	AM57XX_PR1_UART0_TXD	—

表 2-6. 拡張コネクタ - J21 (続き)

ピン	信号名	2 次信号名
46	AM57XX_GPMC_AD14	—
47	AM57XX_PR1_UART0_RXD	—
48	AM57XX_GPMC_AD15	—
49	AM57XX_PR2_PROFI_TXEN	—
50	HDQ	—
51	AM57XX_GPMC_AD4	—
52	GPMC_WAIT0	—
53	AM57XX_GPMC_AD5	—
54	PR2_UART0_RXD	—
55	AM57XX_GPMC_AD6	—
56	PR2_UART0_TXD	—
57	AM57XX_GPMC_AD7	—
58	GPMC_CLK	—
59	DGND	—
60	DGND	—

表 2-7. I/O 拡張ヘッダ コネクタ - J37

ピン	信号名
1	INDUS_INPUT0
2	V12_0D
3	INDUS_INPUT1
4	V12_0D
5	INDUS_INPUT2
6	V12_0D
7	INDUS_INPUT3
8	V12_0D
9	INDUS_INPUT4
10	V12_0D
11	INDUS_INPUT5
12	V12_0D
13	INDUS_INPUT6
14	V12_0D
15	INDUS_INPUT7
16	V12_0D
17	DGND
18	接続なし
19	DRAIN0
20	DRAIN1
21	DRAIN2
22	DRAIN3
23	DRAIN4
24	DRAIN5
25	DRAIN6
26	DRAIN7
27	V5_0D
28	V5_0D
29	DGND

表 2-7. I/O 拡張ヘッダ コネクタ - J37 (続き)

ピン	信号名
30	DGND

表 2-8. MicroSD コネクタ - J15

ピン	ピン名	信号名
1	DAT2	MMC_D2
2	DAT3	MMC_D3
3	CMD	MMC_CMD
4	VDD	V3_3D
5	クロック	MMC_CLK
6	DGND	VSS
7	DAT0	MMC_D0
8	DAT1	MMC_D1
9	GND	DGND
10	CD	MMC1_SDCD
11	GND3	DGND
12	GND4	DGND
13	GND5	DGND
14	GND6	DGND
15	GND7	DGND
16	GND8	DGND

表 2-9. 電源ジャック コネクタ - J1

ピン	信号名
1	VPWRIN_JCK
2	DGND
3	DGND

表 2-10. 電源端子ブロック コネクタ - J2

ピン	信号名
1	VPWRIN_JCK
2	DGND

表 2-11. PRU1ETH0/ RJ45 コネクタ - J3

ピン	ピン名	信号名
1	RD+	PRU1ETHER0_RDP
2	RD-	PRU1ETHER0_RDN
3	RCT	V3_3D
4	TCT	V3_3D
5	TD+	PRU1ETHER0_TDP

表 2-11. PRU1ETH0/ RJ45 コネクタ - J3 (続き)

ピン	ピン名	信号名
6	TD-	PRU1ETHER0_TDN
7	N/C	接続なし
8	AC GND	DGND
9	YEL LED アノード	V3_3D
10	YEL LED カソード	RXLINK
11	GRN LED アノード	V3_3D
12	GRN LED カソード	PRU1ETH0_LINKLED
SHLD1	シールド	AGNDFRAME_PRU1ETH0
SHLD2	シールド	AGNDFRAME_PRU1ETH0

表 2-12. PRU1ETH1/ RJ45 コネクタ - J5

ピン	ピン名	信号名
1	RD+	PRU1ETHER1_RDP
2	RD-	PRU1ETHER1_RDN
3	RCT	V3_3D
4	TCT	V3_3D
5	TD+	PRU1ETHER1_TDP
6	TD-	PRU1ETHER1_TDN
7	N/C	接続なし
8	AC GND	DGND
9	YEL LED アノード	V3_3D
10	YEL LED カソード	RXLINK
11	GRN LED アノード	V3_3D
12	GRN LED カソード	PRU1ETH1_LINKLED
SHLD1	シールド	AGNDFRAME_PRU1ETH1
SHLD2	シールド	AGNDFRAME_PRU1ETH1

表 2-13. PRU2ETH0/ RJ45 コネクタ - J6

ピン	ピン名	信号名
1	RD+	PRU2ETHER0_RDP
2	RD-	PRU2ETHER0_RDN
3	RCT	V3_3D
4	TCT	V3_3D
5	TD+	PRU2ETHER0_TDP
6	TD-	PRU2ETHER0_TDN
7	N/C	接続なし
8	AC GND	DGND
9	YEL LED アノード	V3_3D
10	YEL LED カソード	RXLINK
11	GRN LED アノード	V3_3D
12	GRN LED カソード	PRU2ETH0_LINKLED
SHLD1	シールド	AGNDFRAME_PRU2ETH0

表 2-13. PRU2ETH0/ RJ45 コネクタ - J6 (続き)

ピン	ピン名	信号名
SHLD2	シールド	AGNDFRAME_PRU2ETH0

表 2-14. PRU2ETH1/ RJ45 コネクタ - J8

ピン	ピン名	信号名
1	RD+	PRU2ETHER1_RDP
2	RD-	PRU2ETHER1_RDN
3	RCT	V3_3D
4	TCT	V3_3D
5	TD+	PRU2ETHER1_TDP
6	TD-	PRU2ETHER1_TDN
7	N/C	接続なし
8	AC GND	DGND
9	YEL LED アノード	V3_3D
10	YEL LED カソード	RXLINK
11	GRN LED アノード	V3_3D
12	GRN LED カソード	PRU2ETH1_LINKLED
SHLD1	シールド	AGNDFRAME_PRU2ETH1
SHLD2	シールド	AGNDFRAME_PRU2ETH1

表 2-15. PRU2ETH0 テスト ヘッダ コネクタ - J7

ピン	信号名	ネット名
1	RT2_MII0_TXEN	AM57XX_PRU2ETH0_TXEN
2	RT2_MII0_RXDV	AM57XX_PRU2ETH0_RXDV
3	RT2_MII0_EDIO_DATA0	AM57XX_VIN2A_VSYNC0
4	RT2_MII0_EDIO_DATA1	AM57XX_PR1_UART0_TXD
5	DGND	—

表 2-16. PRU2ETH1 テスト ヘッダ コネクタ - J4

ピン	信号名	ネット名
1	RT2_MII1_TXEN	PRU2ETH1_TXEN
2	RT2_MII1_RXDV	PRU2ETH1_RXDV
3	RT2_MII1_EDIO_DATA0	AM57XX_VIN2A_HSYNC0
4	RT2_MII1_EDIO_DATA1	AM57XX_VIN2A_DE0
5	DGND	DGND

表 2-17. カメラ コネクタ - J9

ピン	ピン名	信号名
1	電源	VMAIN

表 2-17. カメラ コネクタ - J9 (続き)

ピン	ピン名	信号名
2	CAM1_VSYNC	DGND
3	CAM1_DATA0	AM572X_VIN4B_DATA0
4	CAM1_HSYNC	AM572X_VIN4B_HSYNC
5	CAM1_DATA1	AM572X_VIN4B_DATA1
6	CAM1_DATA6	AM572X_VIN4B_DATA6
7	CAM1_DATA2	AM572X_VIN4B_DATA2
8	CAM1_DATA7	AM572X_VIN4B_DATA7
9	CAM1_PCLK	AM572X_VIN4B_PCLK
10	接続なし	—
11	GND	DGND
12	GND	DGND
13	CAM1_DATA3	AM572X_VIN4B_DATA3
14	接続なし	—
15	CAM1_DATA4	AM572X_VIN4B_DATA4
16	CAM1_GIO0	PU から V3_3D へ
17	CAM1_WEN	AM572X_VIN4B_DATA5
18	CAM1_GIO1	CAM_ENn
19	CAM1_DATA5	AM572X_VIN4B_DE
20	CAM1_FIELD	AM572X_VIN4B_FLD
21	GND	DGND
22	I2C_SCL	IND_I2C_SCL
23	クロック	20.000MHz Osc Out
24	I2C_SDA	IND_I2C_SDA

表 2-18. GigE RJ45 コネクタ - J10

ピン	ピン名	信号名
1	CH-GND	DGND
2	VCC	接続なし
3	MX3+	ETHER0_D3P
4	MX3-	ETHER0_D3N
5	MX2+	ETHER0_D2P
6	MX2-	ETHER0_D2N
7	MX1+	ETHER0_D1P
8	MX1-	ETHER0_D1N
9	MX0+	ETHER0_D0P
10	MX0-	ETHER0_D0N
11	RT GRN アノード	PU から PHY0_LED_ACTn へ
12	RT YEL アノード	DGND
13	LEFT GRN アノード	DGND
14	LEFT YEL アノード	PU から PHY0_LED_LINKn へ
SHLD1	シールド	AGND_GBETH0
SHLD2	シールド	AGND_GBETH0

表 2-19. GigE RJ45 コネクタ - J12

ピン	ピン名	信号名
1	CH-GND	DGND
2	VCC	接続なし
3	MX3+	ETHER1_D3P
4	MX3-	ETHER1_D3N
5	MX2+	ETHER1_D2P
6	MX2-	ETHER1_D2N
7	MX1+	ETHER1_D1P
8	MX1-	ETHER1_D1N
9	MX0+	ETHER1_D0P
10	MX0-	ETHER1_D0N
11	RT GRN アノード	PU から PHY1_LED_ACTn へ
12	RT YEL アノード	DGND
13	LEFT GRN アノード	DGND
14	LEFT YEL アノード	PU から PHY1_LED_LINKn へ
SHLD1	シールド	AGND_GBETH1
SHLD2	シールド	AGND_GBETH1

表 2-20. LCD モジュール FFC コネクタ - J16

ピン	ピン名	信号名
1	—	接続なし
2	—	接続なし
3	VCC	V3_7LCD
4	VCC	V3_7LCD
5	VCC	V3_7LCD
6	—	接続なし
7	GND	DGND
8	MIPI_LN3_N	LCD_MIPI3N
9	MIPI_LN3_P	LCD_MIPI3P
10	GND	DGND
11	MIPI_LN2_N	LCD_MIPI2N
12	MIPI_LN2_P	LCD_MIPI2P
13	GND	DGND
14	MIPI_LN1_N	LCD_MIPI1N
15	MIPI_LN1_P	LCD_MIPI1P
16	GND	DGND
17	MIPI_LN0_N	LCD_MIPI0N
18	MIPI_LN0_P	LCD_MIPI0P
19	GND	DGND
20	MIPI_CLK_N	LCD_CLKN
21	MIPI_CLK_P	LCD_CLKP
22	GND	DGND
23	LED_CATHODE	VLED-
24	LED_CATHODE	VLED-
25	LED_CATHODE	VLED-
26	LED_CATHODE	VLED-
27	LED_CATHODE	VLED-
28	LED_CATHODE	VLED-
29	LED アノード電源	VLED+
30	LED アノード電源	VLED+
31	—	接続なし
32	—	接続なし

表 2-21. タッチスクリーン コントローラ FFC コネクタ - J17

ピン	ピン名	信号名
1	SDA	IND_I2C_SDA
2	SCL	IND_I2C_SCL
3	TSC_RESETn	GPIO_TOUCH_RESETn
4	TSC_INT	TOUCH_INT
5	V+	V3_3D
6	GND	DGND

表 2-22. HDMI 標準 A タイプ コネクタ - J24

ピン	ピン名	信号名
1	DAT2+	HDMI_TX2+
2	DAT2_S	DGND
3	DAT2-	HDMI_TX2-
4	DAT1+	HDMI_TX1+
5	DAT1_S	DGND
6	DAT1-	HDMI_TX1-
7	DAT0+	HDMI_TX0+
8	DAT0_S	DGND
9	DAT0-	HDMI_TX0-
10	CLK+	HDMI_CLK+
11	CLK_S	DGND
12	CLK-	HDMI_CLK-
13	CEC	HDMICONN_CEC
14	NC	接続なし
15	SCL	HDMICONN_I2CSCL
16	SDA	HDMICONN_I2CSDA
17	DDC/CEC GND	DGND
18	+5V	V5_0HDMICONN
19	HPLG	HDMICONN_HPLG
MTG1	シールド	DGND
MTG2	シールド	DGND
MTG3	シールド	DGND
MTG4	シールド	DGND

表 2-23. MIPI-60 JTAG コネクタ - J18

ピン	ピン名	信号名
1	VREF_DBG	PU から V3_3D へ
2	TMS	JTAG_TMS
3	TCK	JTAG_TCK
4	TDO	JTAG_TDO
5	TDI	JTAG_TDI
6	RESETn	EMU_RSTn
7	RTCK	AM57XX_RTCK
8	TRSTPD	JTAG_TRSTn
9	TRSTn	接続なし
10	EXTE	接続なし
11	EXTF	接続なし
12	VREF_TR	PU から V3_3D へ
13	TR_CLK0	EMU2
14	TR_CLK1	接続なし
15	TGT_DETECT	DGND
16	GND	DGND
17	TRD0.0	EMU3
18	TRD1.0	接続なし
19	TRD0.1	JTAG_EMU0

表 2-23. MIPI-60 JTAG コネクタ - J18 (続き)

ピン	ピン名	信号名
20	TRD1.1	接続なし
21	TRD0.2	JTAG_EMU1
22	TRD1.2	接続なし
23	TRD0.3	EMU4
24	TRD1.3	接続なし
25	TRD0.4	EMU5
26	TRD1.4	接続なし
27	TRD0.5	EMU6
28	TRD1.5	接続なし
29	TRD0.6	EMU7
30	TRD1.6	接続なし
31	TRD0.7	EMU8
32	TRD1.7	接続なし
33	TRD0.8	EMU9
34	TRD1.8	接続なし
35	TRD0.9	EMU10
36	TRD1.9	接続なし
37	TRD3.0	EMU11
38	TRD2.0	接続なし
39	TRD3.1	EMU12
40	TRD2.1	接続なし
41	TRD3.2	EMU13
42	TRD2.2	接続なし
43	TRD3.3	EMU14
44	TRD2.3	接続なし
45	TRD3.4	EMU15
46	TRD2.4	接続なし
47	TRD3.5	EMU16
48	TRD2.5	接続なし
49	TRD3.6	EMU17
50	TRD2.6	接続なし
51	TRD3.7	EMU18
52	TRD2.7	接続なし
53	TRD3.8	EMU19
54	TRD2.8	接続なし
55	TRD3.9	接続なし
56	TRD2.9	接続なし
57	GND	DGND
58	GND	DGND
59	TR_CLK3	接続なし
60	TR_CLK2	接続なし
61	GND	DGND
62	GND	DGND
63	GND	DGND
64	GND	DGND

表 2-24. JTAG USB Micro-AB コネクタ - J19

ピン	ピン名	信号名
1	VBUS	VUSB_JTAG
2	DM	EMU_USB_DM
3	DP	EMU_USB_DP
4	ID	接続なし
5	GND	DGND
S1	S1	GNDUSBJ
S2	S2	GNDUSBJ
S3	S3	GNDUSBJ
S4	S4	GNDUSBJ

表 2-25. USB ポート 1 USB3.0 標準 A タイプ コネクタ - J23

ピン	ピン名	信号名
1	VBUS	VUSB_VBUS1
2	DM	USB1_CONN_DM
3	DP	USB1_CONN_DP
4	GND	DGND
5	STDA_SSRX-	USB1_3_0_STDA_SSRX-
6	STDA_SSRX+	USB1_3_0_STDA_SSRX+
7	GND_DRAIN	DGND
8	STDA_SSTX-	USB1_3_0_STDA_SSTX-
9	STDA_SSTX+	USB1_3_0_STDA_SSTX+
S1	S1	GNDUSB1
S2	S2	GNDUSB1

表 2-26. USB ポート 2 USB2.1 Micro-AB コネクタ - J45

ピン	ピン名	信号名
1	VBUS	VUSB_VBUS2
2	DM	USB2_CONN_DM
3	DP	USB2_CONN_DP
4	ID	USB2_ID
5	GND	DGND
S1	S1	GNDUSB2
S2	S2	GNDUSB2
S3	S3	GNDUSB2
S4	S4	GNDUSB2

表 2-27. CAN ヘッド コネクタ - J38

ピン	信号名
1	VCAN1
2	CAN1_H
3	CAN1_L

表 2-27. CAN ヘッダ コネクタ - J38 (続き)

ピン	信号名
4	GND_CAN1
5	接続なし

表 2-28. Profibus DB9F コネクタ - J14

ピン	信号名
1	接続なし
2	接続なし
3	PROFIBUS_A
4	接続なし
5	GND_PROFI
6	VPROFI
7	接続なし
8	PROFIBUS_B
9	接続なし

表 2-29. RS-485 ヘッダ コネクタ - J39

ピン	信号名
1	RS485_A
2	RS485_B
3	DGND

表 2-30. PCIe コネクタ - J22

ピン	ピン名	信号名
B1	+12V	V12_0D
B2	+12V	V12_0D
B3	+12V	V12_0D
B4	グラウンド	DGND
B5	SMCLK	PCIE_SMB_CLK
B6	SMDAT	PCIE_SMB_DATA
B7	グラウンド	DGND
B8	+3.3V	V3_3D
B9	TRST#	PCIE_TRSTn
B10	+3.3V AUX	V3_3AUX_PCIE
B11	WAKE#	PCIE_WAKEn
B12	CLKREQ#	接続なし
B13	グラウンド	DGND
B14	HSOp(0)	PCIECONN_PETp0
B15	HSOn(0)	PCIECONN_PETn0
B16	グラウンド	DGND
B17	PRSNT2#	DGND
B18	グラウンド	DGND

表 2-30. PCIe コネクタ – J22 (続き)

ピン	ピン名	信号名
A1	PRSNT1#	PCIE_CRDPRESENT
A2	+12V	V12_0D
A3	+12V	V12_0D
A4	グラウンド	DGND
A5	TCK	PD から DGND
A6	TDI	PU から V3_3D へ
A7	TDO	TP20
A8	TMS	PU から V3_3D へ
A9	+3.3V	V3_3D
A10	+3.3V	V3_3D
A11	PERST#	PCIE_PERSTn
A12	グラウンド	DGND
A13	REFCLK+	PCIE_REFCLKP
A14	REFCLK-	PCIE_REFCLKN
A15	グラウンド	DGND
A16	HSIp(0)	PCIE_PERp0
A17	HSIn(0)	PCIE_PERn0
A18	グラウンド	DGND

2.14 EVM の重要なお知らせ

評価基板の標準約款 ([SSZZ027](#)) をご覧ください。

3 AM5724x IDK EVM の既知の欠陥

3.1 PCIe プラグイン カード全体に準拠するには電源ソリューションが不十分

AM572x IDK EVM は、PCIe x1 プラグイン カードとの互換性をサポートしています。PCIe Card Electro-Mechanical (CEM) 仕様には準拠していません。特に、基板は CEM に従って推奨される電力を供給していません。3.3V/3.3V_AUX 入力ピンに最大 0.5A の電流、12V 入力ピンに最大 0.5A の電流を供給できます。また、実装されたルート コンプレックス 設計は、カードのホット プラグインをサポートしていません。

3.2 初期版の AM572x IDK EVM には、完全な産業用温度範囲に対応した SOC デバイスが搭載されていません

3.3 AM572x IDK EVM は、eMMC HS200 モードをサポートしていません

eMMC のインターフェイス電圧は、すべての動作モードで 3.3V に固定されています。これにより、1.8V への移行が必要な HS200 のサポートを防ぐことができます。AM572x IDK EVM は、MMC1 ポートに接続された SDCARD 用に、この電圧シフトをサポートしています。MMC1 ポートは、高速モードでのこの電圧シフトをサポートする LDO1 PMIC 出力に接続された VDDSHV8 電源にあります。eMMC は、3.3V に固定された VDDSHV11 電源に接続されています。eMMC の HS200 サポートを必要とするボード設計には、ソフトウェア制御の下で 3.3V から 1.8V に移行するソリューションが必要です。

3.4 起動時に PCIe PERSTn ラインが正常な状態ではありません

このラインを起動時にプルアップできるようにするためのプルアップ抵抗やプルダウン抵抗は、ボード上に実装されていません。これにより、PCIe リンクトレーニングが失敗する可能性があります。今後のソフトウェア リリースでは、起動時にこれを正しく有効化できるよう、GPIO 出力ピンを適切に制御する必要があります。

3.5 EDIO コネクタ J4 および J7 は、PRU1 と PRU2 の両方についてリアルタイム デバッグをサポートしている必要があります

選択されたピンは、PRU2 の MII0 および MII1 ポート、ならびに PRU1 の EDIO ポートへのアクセスを可能にします。

3.6 HDQ の実装が正しくありません

HDQ は拡張コネクタに取り付けることを意図していました。このピンはカメラ コネクタで使用される XREF_CLK3 / CLKOUT3 と多重化されているため、カメラ コネクタに実装されているクロック オプションの影響で、配線を追加しない限り HDQ を使用できません。R905 と R300 のオープン パッドの間にワイヤを追加することで有効にできます。

3.7 電源が通電した状態で電源プラグを抜き差しすると、損傷を引き起こすおそれがあります

電源に電源が投入されている間に電源プラグを取り外して再度挿入すると、AM572x IDK EVM や、グラウンドへの代替パスを提供するエミュレータなど、基板に接続されているその他のデバイスが損傷する可能性があります。必要に応じて、外部電源装置から AC 電源を取り外す方が安全です。また、外部電源にはアースに接続された共通リターンを使用することも推奨されます。これが不可能な場合は、基板のグラウンドとアース グラウンドの間に個別の接続を確立する必要があります。主電源のオンとオフを繰り返し行うテスト装置は、このテスト中に基板のグラウンドを常にアースに接続する必要があります。

3.8 PMIC のソフトウェア シャットダウンが動作しません

AM5728 SOC 内でリセットが開始されるたびに PORz 生成をサポートするために PMIC が実装されています。これは、PMIC BOOT1 を VRTC にプルすることでイネーブルになります。これには、PMIC GPIO7/POWERHOLD も High にプルすることが必要とされる副作用があります。その結果、ソフトウェアでシャットオフできない「常時オン」の設計が実現します。この機能を有効化するには、X15 GP EVM に実装されているような外部 PORz パルス ジェネレータを使用する必要があります。詳細については、エラー文書の項目 i862 を参照してください。

3.9 PMIC 実装は、必要な SOC シャットダウン シーケンスをサポートしていません

AM5728 SOC では、AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル (SPRS982) に記載されている信頼性を維持するため、電源が正しいシーケンスでオン / オフされている必要があります。PMIC へのメイン電源が低下する少なくとも 1.1ms 前に PMIC RESET_IN が low に駆動された場合、PMIC はこの起動を強制的に実行でき、またシ

ヤットダウンシーケンスも実行できます。ただし、AM572x IDK EVM の設計には、このための回路はありません。必要な回路の例については、AM571 IDK EVM 設計 (v1.3 以降) を参照してください。

3.10 USB ポートは UART コンソールおよび XDS100 エミュレーションを提供しますが、EVM ボードの電源とは絶縁されていません

EVM の電源をオフにすると、UART コンソールと XDS100 エミュレーションをサポートする USB 接続もドロップします。このポートは、電源が復元された後に列挙に時間がかかるため、コンソールの初期出力が失われる可能性があります。また、この結果、電力が供給されていないとき、USB VBUS から EVM への電力リークが発生します。これらの悪影響を防止するため、USB ブリッジに適切に電力が供給された状態を維持し、EVM からの絶縁を行う必要な回路の例については、AM571 IDK EVM 設計 (v1.3 以降) を参照してください。

3.11 カメラ ヘッドに 47µF のコンデンサが必要です

一部のカメラ映像入力が不安定になっています。この問題のソリューションは、カメラ ヘッドの電源ピンに 47µF コンデンサを 1 個追加することです。このソリューションは AM571x IDK EVM v1.3 およびそれ以降に実装されています。

3.12 デカップリング コンデンサに AM572x PDN の推奨事項が反映されていません

デカップリング コンデンサの構成は、AM572x GP EVM 電力シミュレーション アプリケーション レポート (SPRABY8) および

これらは AM571x IDK EVM の最新バージョンで修正されています。必要な回路の例については、AM571 IDK EVM 設計 (v1.3 以降) を参照してください。

3.13 CCS システムのリセットに失敗

ウォーム リセット用に設定されたウォーム リセットおよびエミュレーション リセット イベントにより、テキサス インストルメンツ Code Composer Studio™ (CCS) 統合開発環境 (IDE) がエラー メッセージを発行します。これは、PORz low イベントをトリガするためにすべてのリセットが必要なリセット エラッタによるものです。CCS でウォーム リセットを開始したとき、これは想定されないため、コンテキストを失い、エラーを発行します。新しいバージョンの CCS では、このイベントはより適切に処理されますが、エラー メッセージは常に生成されます。

3.14 AM572x IDK EVM の設計には、不要となる可能性がある 2 つのクランプ回路が含まれています

電源シャットダウンシーケンスの早期調査中、デュアル電圧 I/O セル電源 (VDDSHVx) への 3.3V 電源ごとにクランプが必要であることが判明しました。この設定により、[AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル \(SPRS982\)](#) および (SPRS982) の図 5-3 に示されている要件、すなわち「3.3V 電源入力、立ち上がりおよび立ち下がり時を含め、VDD18V 電源より 2.0V 以上高くなってはならない」という条件が満たされます。AM572x IDK EVM 設計には、ほぼすべての VDDSHVx 電源に電力を供給する V3_3D と、MMC1 の SDCARD で使用される VDDSHV8 に電力を供給する VSDMMC の両方に、これらのクランプ回路が含まれています。その後、デバイスの信頼性を維持する唯一の方法は、[AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル \(SPRS982\)](#) およびの図 5-1 および図 5-2 に示されている電源シーケンス要件を完全に遵守することであると判明しました。コンパニオン PMIC である TPS6590377 が強化されており、短時間のシャットダウンシーケンスを実行して、PMIC 入力が電源を保持できる期間 (約 1ms) 内に DM 要件を強制します。PMIC は、電源がオフになったときに電源を迅速にプルダウンするための電源放電抵抗も備えています。コンパニオン PMIC に備わっているこれら 2 つの機能により、クランプ回路は不要になります。ただし、電源スイッチ経由で VDDSHVx 電源に電力を供給するために REGEN1 を使用する設計には、クランプ回路が必要です。使用可能な電源スイッチは、電源を十分に速く放電しないでください。

3.15 osc0 に接続される水晶振動子は、長期精度が 50ppm 以内である必要があります

osc0 に接続された水晶振動子は、イーサネット インターフェイスに使用されるクロックを生成するため、50ppm 以上の長期精度を必要とします。電流水晶振動子の精度は 30ppm、温度変動は 50ppm で、合計許容誤差は 80ppm です。また、年間 2ppm の老化を示しています。

3.16 ソフトウェアは CDCE913 を 0pf の負荷容量にプログラムする必要があります

水晶振動子が目標周波数で動作できるように、CDCE913 の負荷容量を 0pf にプログラムする必要があります。水晶振動子負荷コンデンサを発振器回路に追加して、必要な公称周波数で生成されたクロックを出力できるようにすることで、このプログラミングは不要になります。CDCE913 内のデフォルトの容量は 10pF であるため、コンデンサ C172、C173、C193、C194 は 8pF にする必要があります。詳細については、[CDCE \(L\) 913:EMI 低減のための SSC 対応フレキシブル低消費電力 LVCMOS クロック ジェネレータ データ マニュアル \(SCAS849\)](#) を参照してください。また、これらのクロック ジェネレータはイーサネット回路の駆動に使用されるため、[セクション 3.15](#) と同じ水晶振動子の精度要件もこれらの水晶振動子に適用されます。

3.17 保護ダイオード D2 の定格は 5V とする必要があります

保護ダイオード D2 には誤った値があります。IDK に過大な電圧が印加された場合に電流を流すよう設計されています。IC が損傷する前に、この電流サージによってヒューズが溶断する必要があります。現在の部品の SMCJ26CA の定格は 26V です。5V 入力電源回路を保護する定格の SMCJ5.0A に置き換える必要があります。

3.18 U9 および U15 の PHY アドレス LSB が誤ってラッチされる可能性があります

U9 および U15 の PHY アドレス LSB は、リセット解除時の PHY の COL ピンの信号レベルによって決定されます。PHY には、このピンに接続されたプルダウン抵抗があり、値 0 をラッチできるようにします。残念ながら、このピンは RJ-45 コネクタの LED の 1 つにも接続されており、リセット中に信号を約 1.4V の未定義の電圧にプルしてしまいます。したがって、PHY アドレスが誤って値 1 をラッチする可能性があります。LED 回路は、アクティブ High を表示するように構成し、カソードをグランドに接続するので、逆に LED への接続を行う必要があります。これにより、アドレスの LSB を適切にラッチできます。詳細については、[TLK1XX 設計およびレイアウトガイド アプリケーションレポート \(SLVA531\)](#) のセクション 6 を参照してください。現在のソフトウェア回避方法は、プルダウン抵抗を使用して RXLINK ピンをプログラムし、次に GPIO から PHY リセットをパルスすることで、PHY アドレスが正しくラッチされるようにします。

3.19 3.3V クランプ回路には、より大きなマージンが必要です

3.3V クランプ回路の設定が近すぎるため、1.8V 電源が 5% 低く、かつ 3.3V 電源が 5% 高い場合、クランプが動作を開始してしまいます。R897 を 24.3KxΩ の抵抗に置き換えることで適切な許容範囲が得られ、回路の動作開始電圧差は現在の 1.5V ではなく 1.75V になります。

3.20 電流の PMIC は、必須のパワーダウン シーケンスを提供しません

現在の PMIC は、[AM572x Sitara プロセッサ シリコン リビジョン 2.0 データ マニュアル \(SPRS982\)](#) に示されているような必須のパワーダウン シーケンスを供給しません。量産 IDK EVM には TPS6590377 PMIC が搭載されており、誤ったタイミングで DDR 電源をオフにします。TPS6590379 PMIC で、デフォルトのプログラミングを訂正済みです。この部品は今後のビルドに使用されます。

3.21 PMIC OSC16MCAP ピンを誤って接地

TPS659037x PMIC の OSC16MCAP ピンを 2.2 μ F コンデンサにグラウンドに接続する必要があります。残念ながら、この IDK EVM のすべてのバージョンでは、このピンをグラウンドに直接接続しています。多くの IDK EVM を使用していますが、OSC16MCAP ピンを直接グラウンドに接続すると、TPS659037x PMIC が損傷する可能性があります。操作が不安定になるか、完全に失敗する可能性があります。この設計ミスのコピーした設計は修正する必要があります。

4 改訂履歴

Changes from Revision E (September 2019) to Revision F (October 2025)

Page

- HDMI 商標情報を追加しました.....2

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月