

## EVM User's Guide: LP-AM261

## AM261x LaunchPad ユーザーガイド



## 説明

AM261x LaunchPad™ 開発キットは、テキサス インストルメンツ™の Sitara™ AM261x シリーズのマイコン (MCU) 向けのシンプルで低コストのハードウェア評価基板 (EVM) です。この評価基盤には、プログラミングおよびデバッグ用のオンボード エミュレーションが搭載され、ユーザーが制御可能なボタンや LED を備えたシンプルなユーザー インターフェイスを利用できるため、AM261x MCU での開発を簡単に始めることができます。

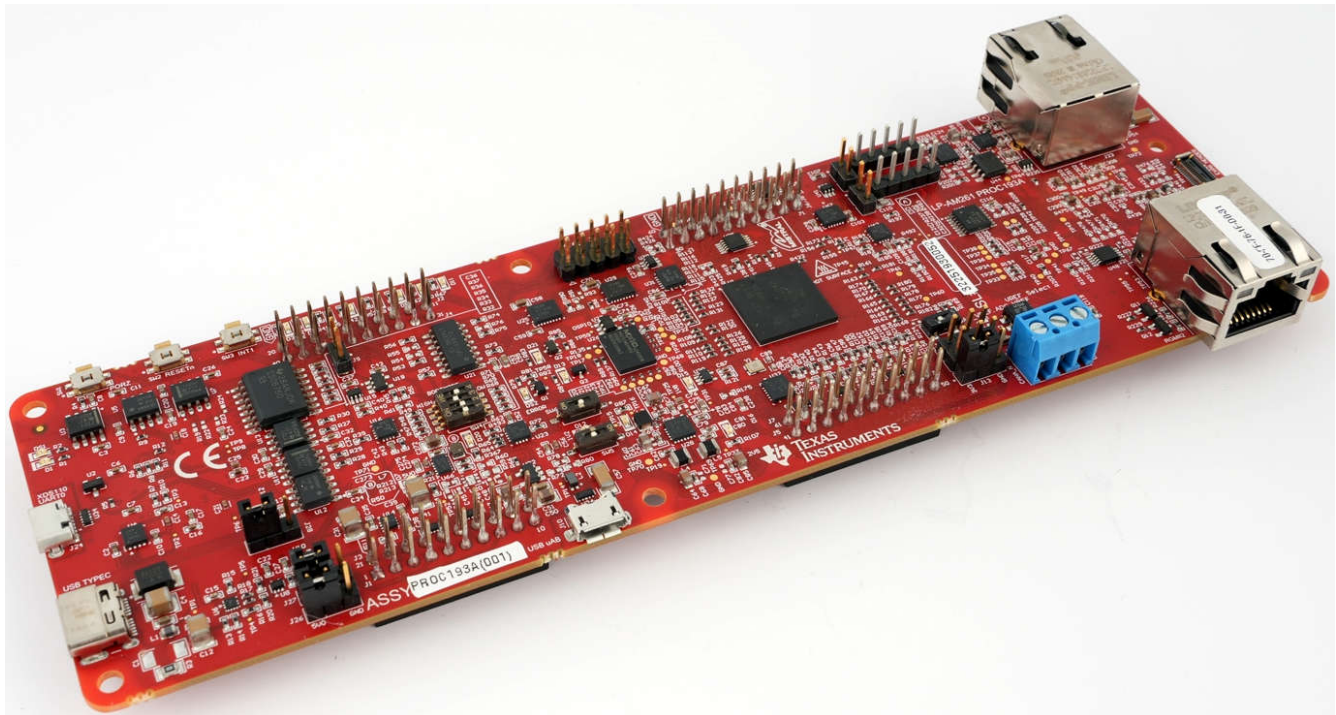
## 設計を開始

1. AM261x LaunchPad 評価基板 (EVM) を注文します
2. 最新の [Code Composer Studio™ 統合開発環境 \(IDE\)](#) と [AM261x MCU PLUS ソフトウェア開発キット](#) をダウンロードします

## 特長

AM261x LaunchPad の特長:

- AM2612 デュアル コア ARM® Cortex®-R5F MCU
- 2 個の個別のブースタパック XL コネクタ サイト (合計 80 ピン) により、迅速なプロトタイプ製作が可能で、サポートされている TI ブースタパック ハードウェアと組み合わせ使用可能
- PRU (プログラマブルリアルタイム ユニット)、MCAN (モジュラー コントローラ エリア ネットワーク)、ローカル 相互接続ネットワーク (LIN)、RGMII および MII の各インターフェイスを通じて、産業用と車載の複数のネットワーク プロトコルをサポート
- オンボードの XDS110 デバッグ プロンプト
- オンボードの 64Mb Macronix OSPI フラッシュ および 128MB AP メモリ OSPI PSRAM



## 1 評価基板の概要

### 1.1 はじめに

LP-AM261 LaunchPad 評価基板は、AM261x マイコンの性能を評価するために使用できるシングルボード開発プラットフォームです。LaunchPad アーキテクチャには、AM261x デバイスを動作させるために必要なすべての電源、リセット、クロック ロジックが搭載されています。

80 ピン AM261x LaunchPad は、ほとんどの環境で動作できる、適切にフィルタリングされた堅牢な設計を実現することを意図しています。この文書では、AM261x LaunchPad のハードウェアの詳細を掲載し、オンボード ペリフェラルの機能、ジャンパとコネクタの位置、PCB 上に搭載されているスイッチとマルチプレクサの構成について説明します。

#### 1.1.1 序文: はじめにお読みください

##### 1.1.1.1 Sitara MCU+ Academy

テキサス インストルメンツ は、サポート対象デバイスの MCU+ ソフトウェアとツールを使用した設計を行うためのリソースとして、[MCU+ Academy](#) を提供しています。MCU+ Academy は、開発開始の基礎から高度な開発トピックに至るまで、使いやすいトレーニング モジュールを取り揃えています。

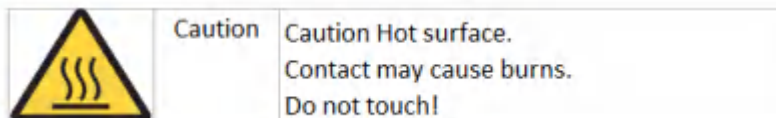
##### 1.1.1.2 重要な使用上の注意

#### 注

AM261x LaunchPad を機能させるには 5V、3A の電源が必要です。5V、3A の電源はキットに含まれておらず、別途注文する必要があります。[Belkin USB-C ウォール チャージャ](#)は、LaunchPad と付属の Type-C ケーブルで動作することが知られています。電源要件の詳細については、[セクション 2.2](#) を参照してください。

#### 注

LaunchPad 上の AM261x SoC (U1) は、内部テストに基づく高消費電力の使用事例で、55°C の温度に達し、それを上回ることができます。このユーザー ガイドの記述は、この温度条件についてユーザーに警告するためのものです。



#### 注

外部電源または電源アクセサリの要件:

- 公称出力電圧: 5VDC
- 最大出力電流: 3000mA
- パワー デリバリ

#### 注

TI は、UL、CSA、VDE、CCC、PSE など、該当する地域の安全規格に準拠した外部電源またはアクセサリの使用を推奨しています。

### 1.2 キットの内容

Sitara AM261x LaunchPad 開発キットには、以下のものが含まれています。

- LP-AM261 開発ボード
- USB micro-B ケーブル
- USB Type-C ケーブル

キットには以下のものは含まれていません。

- USB Type-C 5V/3A AC/DC 電源

- DP83826-EVM-AM2 イーサネット アドオン ボード

### 1.3 製品情報

#### 1.3.1 システム アーキテクチャの概要

次の図に、AM261x LaunchPad の全体的な最上位アーキテクチャを示します。

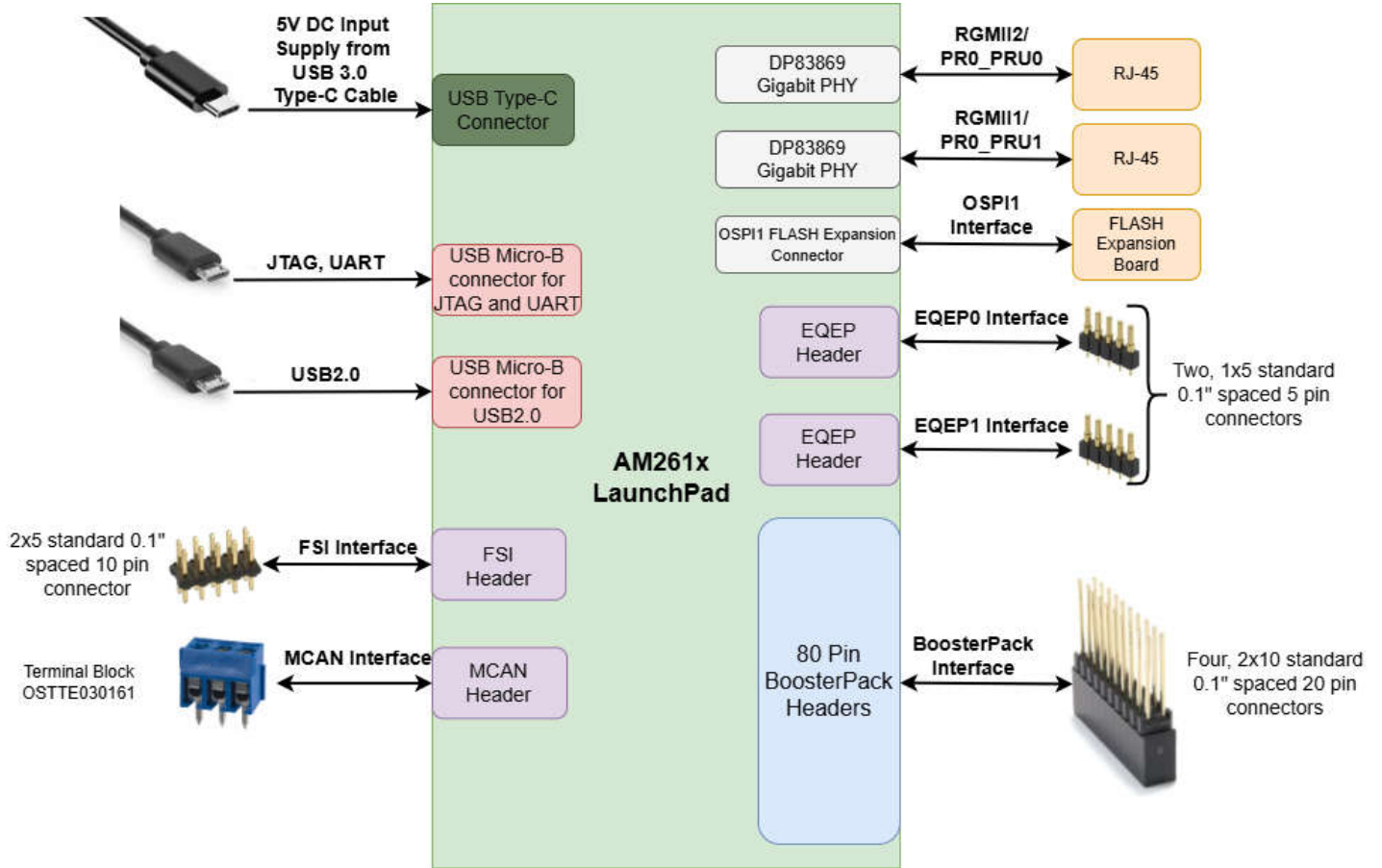


図 1-1. システム アーキテクチャ

### 1.3.2 部品の識別

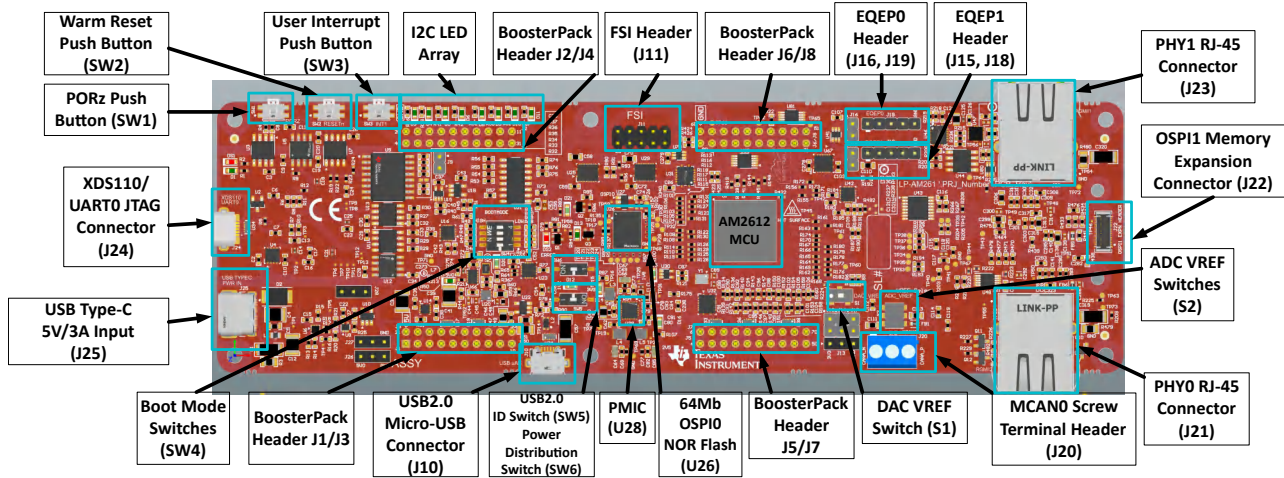


図 1-2. AM261x LaunchPad の主要部品の識別

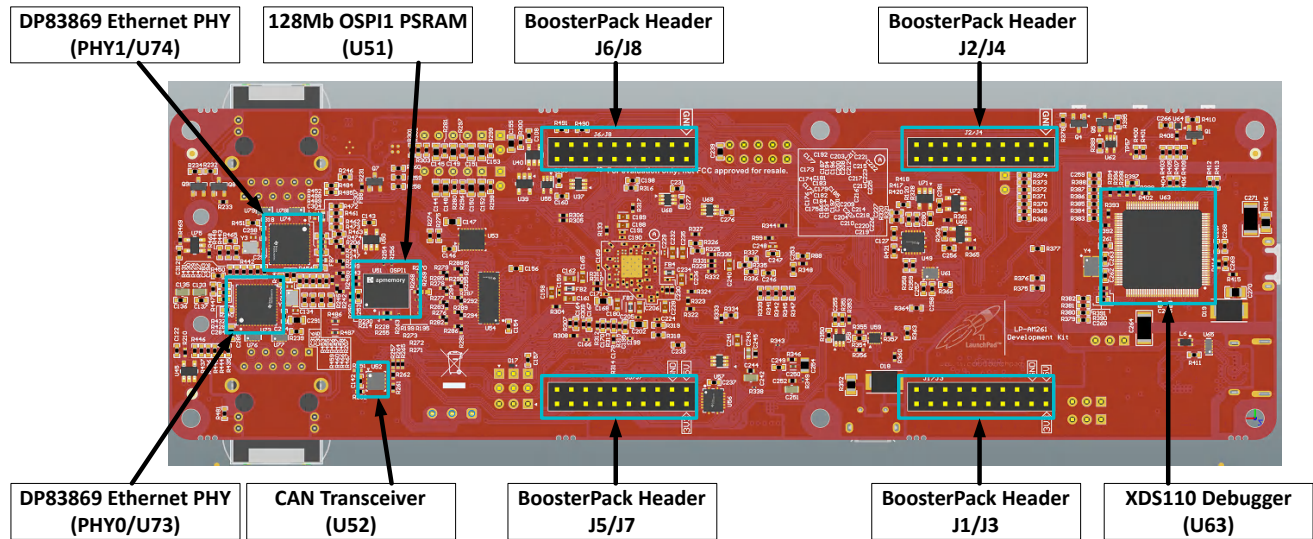


図 1-3. AM261x LaunchPad の底面部品の識別

### 1.3.3 機能ブロック図

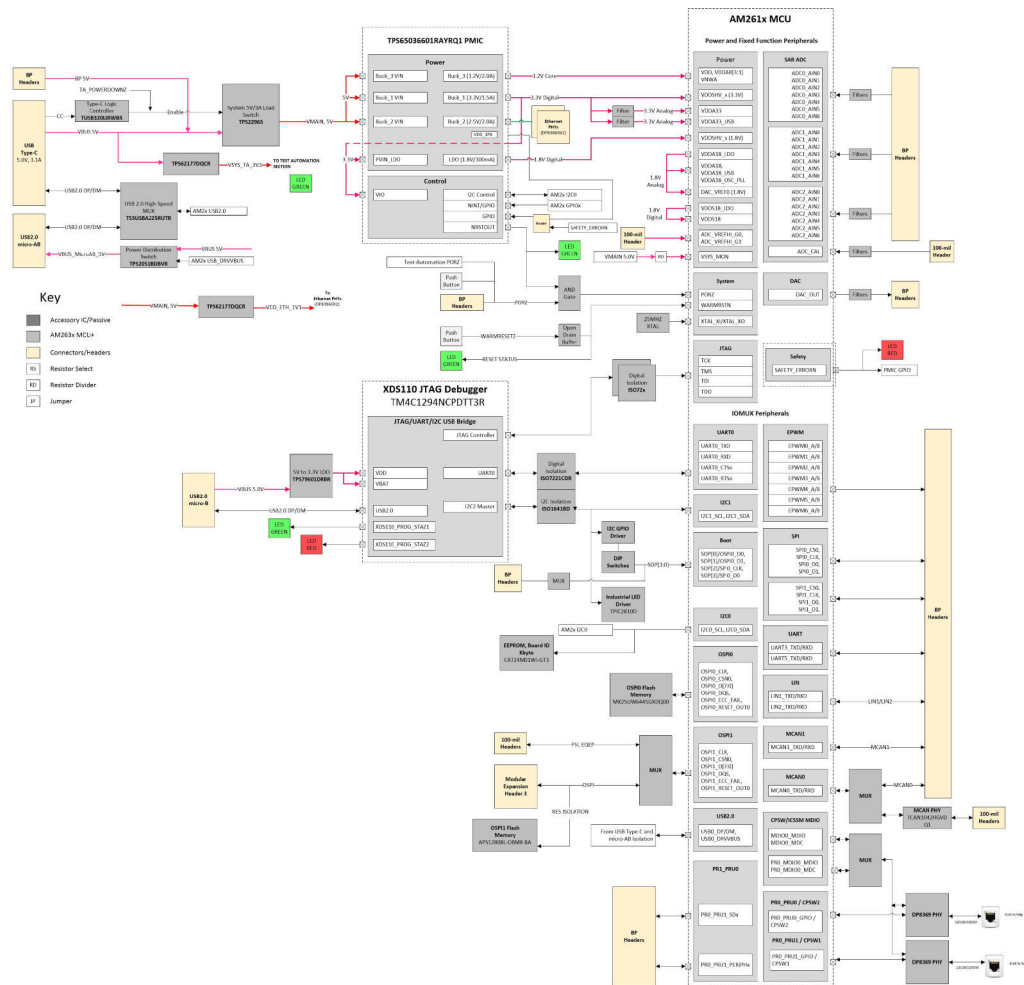


図 1-4. AM261x LaunchPad の機能ブロック図

### 1.3.4 ブースタパック:

AM261x LaunchPad 開発キットを使用すると、AM261x シリーズのマイコンを使用してアプリケーションを簡単かつ低コストで開発できます。ブースタパックは、テキサス インストルメンツが作成したピン配置標準に準拠したアドオン ボードです。TI とサードパーティーのブースタパック エコシステムにより、AM261x LaunchPad で簡単に確認できるペリフェラルと潜在的なアプリケーションが大幅に拡張されています。AM261x LaunchPad ブースタパックのヘッダーのピン配置の詳細については、[セクション 2.12](#) を参照してください。

TI のウェブサイトの設計ガイドラインに従って、独自のブースタパックを構築することもできます。テキサス インストルメンツは、ブースタパックをコミュニティの他のメンバーにプロモーションすることも可能にしています。TI は、お客様が貴社のソリューションを使用して潜在的なお客様に連絡できるように、さまざまな手段を提供しています。

### 1.3.5 製品情報

AM261x Sitara Arm® マイコンは、Sitara AM26x リアルタイム MCU ファミリの製品で、次世代の産業用および車載用組み込み製品の複雑なリアルタイム処理ニーズを満たすように開発されています。AM261x デバイスは、スケーラブルな Arm® Cortex® R5F 性能と包括的なペリフェラル セットを備えており、広範なアプリケーション向けに設計されているほか、安全機能とリアルタイム制御向けに最適化されたペリフェラルを提供します。

主な機能と特長:

- ギガビットイーサネット、USB、OSPI/QSPI、CAN、UART、SPI、GPIO など、システムレベルのコネクティビティをサポートするペリフェラル。

- ハードウェア セキュリティ マネージャ (HSM) が管理する粒度の細かいファイアウォールにより、開発者はセキュリティ重視のシステム設計要件を厳格に実装できます。
- 最大 2 つの R5F コアがクラスタに配置され、コアごとに 256KB の共有密結合メモリ (TCM) と 1.5MB の共有 SRAM を備えているため、外部メモリの必要性が非常に低くなっています。

### 1.3.5.1 セキュリティ

AM261x LaunchPad は、HS-FS (High Security, Field Securable: 高度セキュリティ対応、フィールドでのセキュア化可能) デバイスを搭載しています。HS-FS デバイスは、1 回のプログラミングを使用して、デバイスを HS-FS デバイスから HS-SE (High Security, Security Enforced: 高度セキュリティ対応、セキュリティ強化) デバイスに変換できます。

AM261x デバイスは、顧客キーがプログラムされていない HS-FS 状態の TI 工場出荷時に以下の属性を備えています。

- セキュア ブート プロセスを強制的に実行しない
- M4 JTAG ポートは閉じている
- R5 JTAG ポートはオープン
- セキュリティ サブシステム ファイアウォールは閉じている
- SoC ファイアウォールはオープン
- ROM ブートには TI の署名付きバイナリが想定されている (暗号化はオプション)
- TIFS-MCU バイナリは、TI の秘密鍵によって署名されている

ワンタイム プログラマブル (OTP) Keywriter は、セキュア デバイスを HS-FS から HS-SE に変換します。OTP Keywriter は、顧客キーをデバイスの efuse にプログラムして、セキュア ブートを強制し、信頼できるルートを確立します。セキュア ブートを使用するには、1 枚のイメージを暗号化 (オプション) し、顧客キーを使用して署名する必要があります。これらのイメージは、SoC によって検証されます。HS-SE 状態のセキュア デバイスには、次の属性があります。

- M4、R5 JTAG ポートの両方が閉じている
- セキュリティ サブシステムと SoC ファイアウォールの両方が閉じている
- TIFS-MCU と SBL は、アクティブな顧客キーを使用して署名する必要がある

## 2 ハードウェア

### 2.1 構成

**注**

LaunchPad を高電圧設定で使用する場合、ユーザーには、基板への電源投入やシミュレーション実行の前に、電圧要件および絶縁要件を確認し理解する責任があります。電力が供給されているときは、LaunchPad や LaunchPad に接続されている部品に触れないでください。

#### 2.1.1 スタンドアロン構成

**注**

このスタンドアロン構成は、外部ブースタックの使用を必要としない、ほとんどのソフトウェア開発使用事例で使用されます。ブースタックの設定は、必要なハードウェアによって異なります。

この構成では、Code Composer Studio™ を JTAG 経由で LaunchPad に接続し、ソフトウェア開発を実施できます。オンボードの XDS110 デバッグプローブは、UART で AM261x MCU との通信用の仮想 COM ポート (VCP) を列挙します。

AM261x LaunchPad をデフォルト構成に設定するには、次の手順に従います。

1. 必要な機器を回収します
  - a. AM261x LaunchPad (LP-AM261)
  - b. 5V/3A USB Type-C 電源
  - c. micro USB ケーブル
2. LaunchPad のスイッチ設定が正しいことを確認します
  - a. SW4 を使用して、目的のブートモードを選択します (ブートモードの選択)
  - b. S1 と S2 を使用して、必要な ADC 電圧リファレンスモード (アプリケーションに該当する場合) (ADC と DAC) を選択します
3. 5V/3A USB Type-C 電源を LaunchPad のコネクタ J25 に接続します
4. micro-USB ケーブルを LaunchPad のコネクタ J24 に接続します
5. LaunchPad の電源ステータス LED (D7、D12、D14、D15、D16) が点灯していることを確認します
6. LaunchPad を使用するための準備が完了しました。「ソフトウェア」の手順に従って、ソフトウェアの開発を開始します

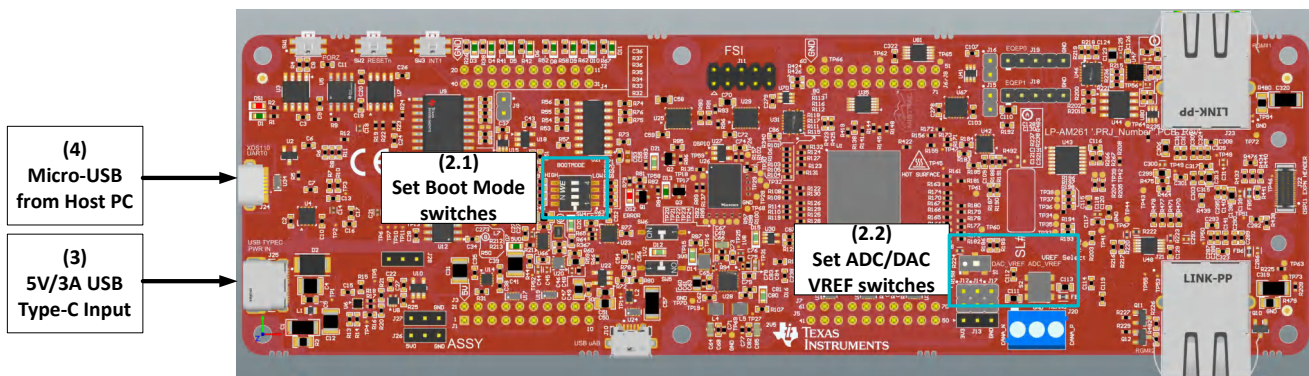


図 2-1. LP-AM261 スタンドアロン構成

### 2.2 電源要件

AM261x LaunchPad には、5V、3A USB Type-C 入力から電力が供給されます。以下のセクションでは、AM261x LaunchPad、サポートコンポーネント、リファレンス電圧に電力を供給する電源分配ネットワークのトポロジについて説明します。

AM261x LaunchPad と互換性のある電源ソリューション:

- USB Type-C 入力を使用する場合:
  - USB-C レセプタクル対応の 5V、3A 電源アダプタ
  - キャプティブ USB-C ケーブル搭載、5V、3A 電源アダプタ
  - 電力供給分類を持つ PC の USB Type-C ポート
    - Thunderbolt
    - USB ロゴの後ろのバッテリー












	USB 2.0 High Speeds 480 MBit/s	USB 3.0 (USB 3.1 Gen 1) Super Speed 5 GBit/s	USB 3.1 Gen 2 Super Speed Plus 10 GBit/s
Does NOT support Power Delivery			
			
Does support Power Delivery			
			
<b>Thunderbolt</b> Does support Power Delivery			

図 2-2. USB Type-C 電力供給分類

AM261x LaunchPad と互換性のない電源ソリューション:

- USB Type-C 入力を使用する場合:
  - 次のような任意の USB アダプタ ケーブル:
    - Type-A - Type-C
    - micro-B - Type-C
    - DC バレル ジャック - Type-C
  - USB-C キャプティブ ケーブルまたはレセプタクルを使用する、5V、1.5A 電源アダプタ
  - PC USB Type-C ポートは 3A を使用できません

### 2.2.1 USB Type-C コネクタを使用した電源入力

AM261x LaunchPad には、USB Type-C 接続から電力が供給されます。USB Type-C ソースは 5V で 3A を供給できる必要があり、電流ソース能力を CC1 および CC2 信号経由でアダプタイズします。AM261x LaunchPad では、USB Type-C コネクタからの CC1 および CC2 のネットが、ポートコントローラ IC (TUSB320) に接続されています。このデバイスは、CC ピンを使用してポートの接続 / 未接続、ケーブルの方向、役割の検出、Type-C 電流モードのポート制御を判断します。CC ロジックは、Type-C 電流モードをデフォルト、中、または高のいずれかとして検出します。

ポートピンは、抵抗を使用してグラウンドにプルダウンされ、上向きポート (UFP) モードとして構成されます。UFP モードでの正しい接続を判定するため、VBUS 検出が実装されています。OUT1 および OUT2 ピンは NOR ゲートに接続されています。OUT1 ピンと OUT2 ピンの両方のアクティブ "Low" は、接続された状態の大電流 (3A) をアダプタイズします。これにより、VUSB\_5V0 パワー スイッチが VSYS\_5V0 電源を供給し、PMIC および LDO に電力を供給できるようになります。

UFP モードでは、ポートコントローラ IC は常に両方の CC ピンにプルダウン抵抗を提示します。ポートコントローラ IC は、接続されている DFP からの Type-C モード電流アダプタイズメントに対応する電圧レベルを検出するため、CC ピンを監視します。ポートコントローラ IC は CC ピンをデバウンスし、VBUS が検出されるまで待機してから、接続を成功させます。UFP として構成されているポートコントローラ デバイスは、OUT1 および OUT2 GPIO を使用して、DFP のアダプタイズされた電流レベルを検出してシステムに通信します。

AM261x LaunchPad の電力要件は、5V、3A です。ソースが必要な電力を供給できない場合、NOR ゲートの出力は "Low" になり、VUSB\_5V0 パワー スイッチを無効化します。したがって、電源要件が満たされていない場合、VCC3V3\_TA を除くすべての電源はオフの状態のままです。このボードは、ソースが 5V、3A を供給できる場合のみ完全にオンになります。

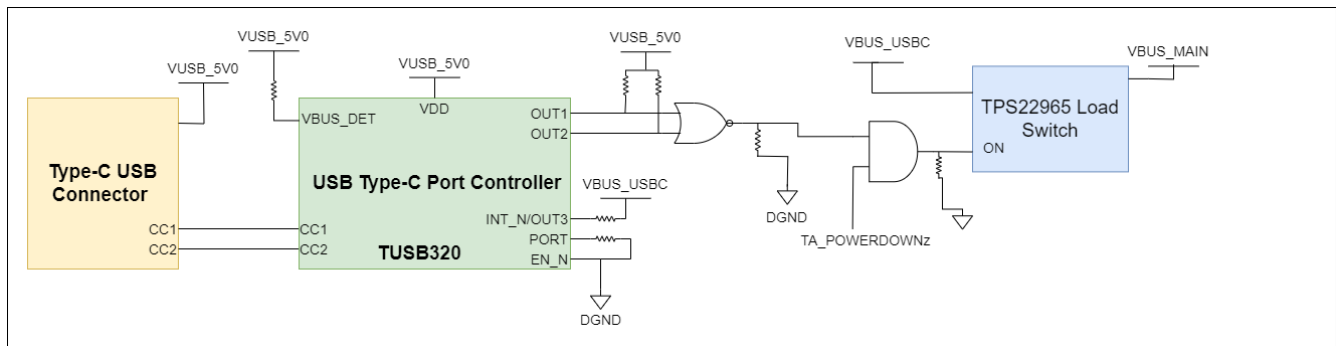


図 2-3. Type-C CC の構成

表 2-1. USB Type-C ケーブルの電流ソース能力と状態

OUT1	OUT2	広告
H	H	非接続状態でのデフォルト電流
H	L	接続状態でのデフォルト電流
L	H	接続状態での中電流 (1.5A)
L	L	接続状態での高電流 (3.0A)

AM261x LaunchPad システムの電源ソリューションは、PMIC ベースです。オンボードの PMIC は、各電源レールに対して 3 個の降圧コンバータと 1 個の LDO レギュレータの出力を供給します。PMIC は、AM261x マイコンと他のすべての評価基板のペリフェラルに必要な電源を生成します。電源の初期段では、Type-C USB コネクタから 5V 電源が供給され、LaunchPad が必要とするすべての電圧が生成されます。

表 2-2. 電圧レールの生成

部品	参照記号	機能	入力電圧	出力電圧
TPS650360	U28	<ul style="list-style-type: none"> <li>コア デジタル 1.25V</li> <li>システム 3.3V</li> <li>システム 1.8V</li> <li>イーサネット ポート 2.5V</li> </ul>	<ul style="list-style-type: none"> <li>Buck_1 VIN - 5.0V</li> <li>Buck_2 VIN - 5.0V</li> <li>LDO VIN - 3.3V</li> <li>Buck_3 VIN - 5.0V</li> </ul>	<ul style="list-style-type: none"> <li>Buck_1 VOUT - 3.3V</li> <li>Buck_2 VOUT - 2.5V</li> <li>LDO VOUT - 1.8V</li> <li>Buck_3 VOUT - 1.25V</li> </ul>

## 2.2.2 電源ツリー

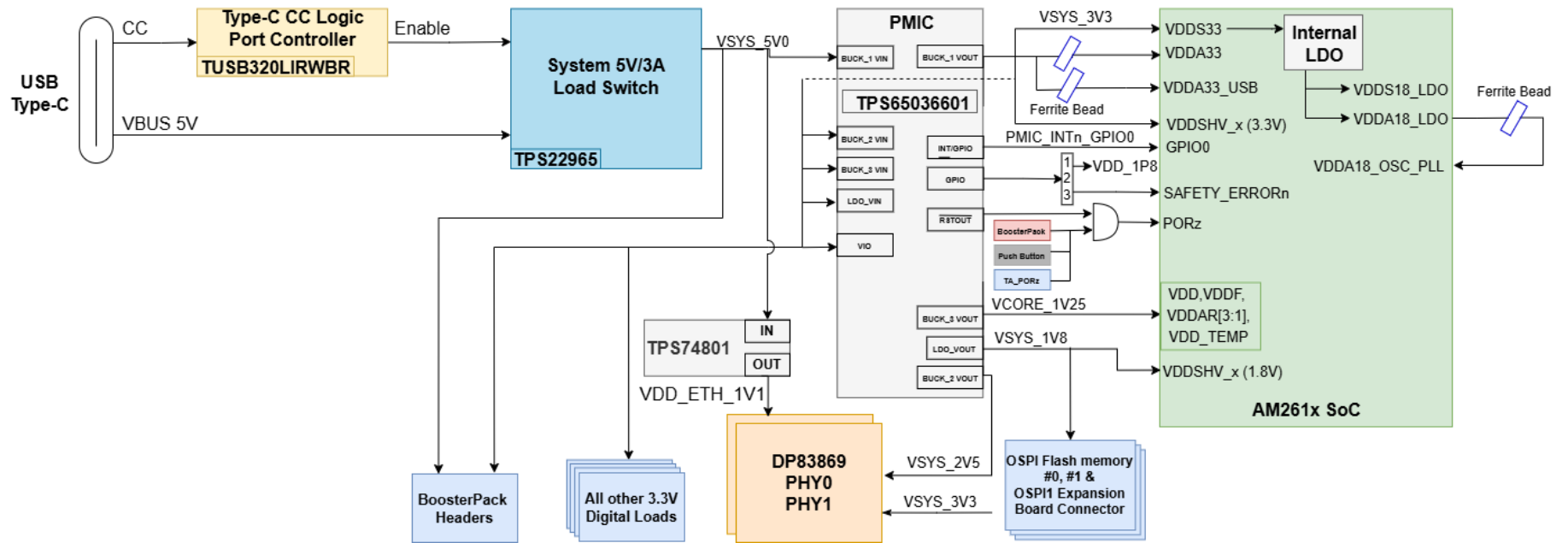


図 2-4. AM261x LaunchPad の電源ツリー図

### 2.2.3 電源ステータス LED

複数の電源表示 LED をオンボード実装しており、主要電源の出力ステータスをユーザーに通知できます。LED は、さまざまなドメインで電力を示します。

表 2-3. 電源ステータス LED

名称	デフォルトのステータス	動作	機能
D7	オン	VSYS_5V0	5V 電源電圧の電源インジケータ
D14	オン	VSYS_3V3	生成された 3.3V 電圧の電源インジケータ
D16	オン	VSYS_2V5	生成された 2.5V 電圧の電源インジケータ
D12	オン	VDD_1V25	生成された 1.25V のパワーグッド電圧に対応する電源インジケータ
D15	オン	VSYS_1V8	生成された 1.8V 電圧の電源インジケータ
D13	OFF	WARMRSTN	WARMRSTN の電源表示
DS2	OFF	SAFETY_ERROR	SAFETY_ERROR に対応する電源エラー表示
D1	OFF	XDS_PROGSTAZ1	micro-B 接続が確立されると LED が点灯します
DS1	OFF	XDS_PROGSTAZ2	LED が点灯し、JTAG 経由の通信が表示されます

#### 注

SAFETY\_ERROR に対応する DS2 LED は常に点灯します。

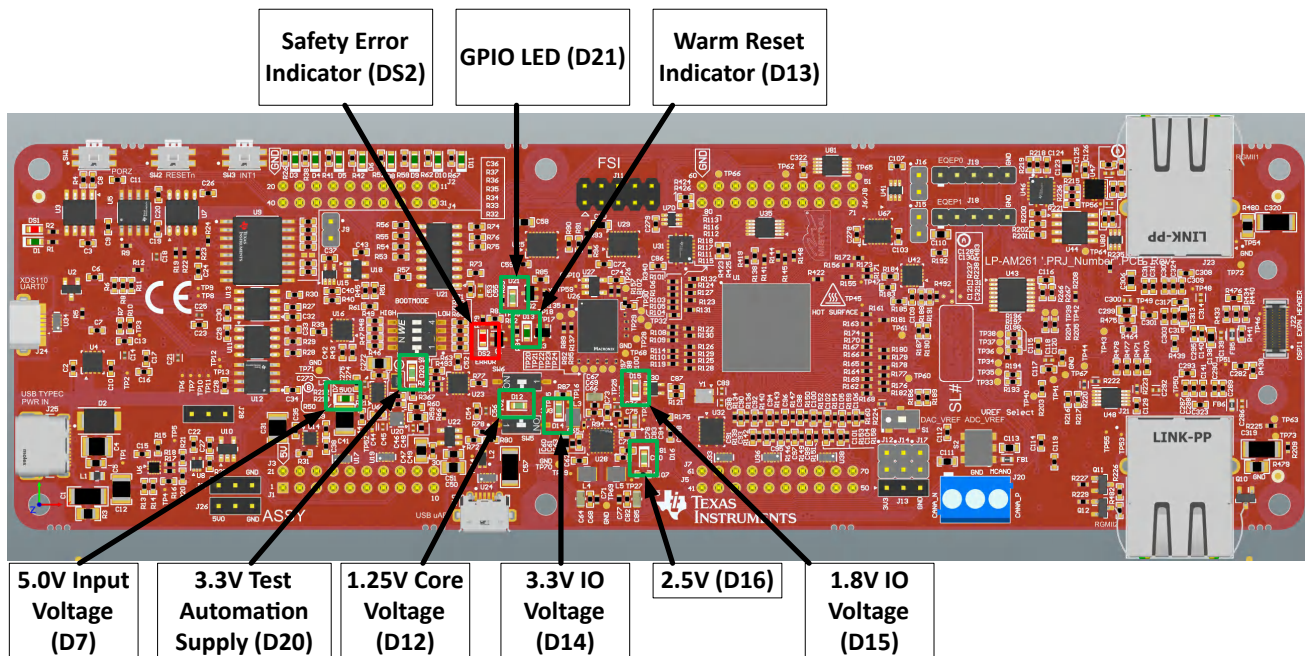


図 2-5. 電源ステータス LED

## 2.3 ヘッダ情報

AM261x LaunchPad は、各種オンボード ヘッダーを介して外部ハードウェアとの接続を行うことができます。これらのヘッダーを使用すると、AM261x デバイスの多数のピンや LP-AM261 ボード上にある他の信号にアクセスできます。

### 2.3.1 OSPI 拡張コネクタ

LP-AM261 には、AM261x MCU 上の OSPI1 ペリフェラルとのインターフェイスとして外部 OSPI メモリを接続するための 30 ピンの高密度コネクタが搭載されています。以下の表 2-4 に、ピン配置の詳細を示します。

表 2-4. OSPI 拡張コネクタ (J22)

EVM 接続	ピン	ピン	EVM 接続
GND	1	2	VSYS_1V8
VSYS_1V8	3	4	GND
OSPI1_RESET_OUT0	5	6	OSPI1_ECC_FAIL
OSPI1_CSn0	7	8	OSPI1_CSn1
GND	9	10	OSPI1_CLK
GND	11	12	OSPI1_DQS
GND	13	14	OSPI1_D0
OSPI1_D1	15	16	OSPI1_D2
OSPI1_D3	17	18	GND
OSPI1_D4	19	20	OSPI1_D5
OSPI1_D6	21	22	OSPI1_D7
GND	23	24	-
-	25	26	-
-	27	28	-
-	29	30	-

詳細については、[セクション 2.10.1.1](#) を参照してください。

### 2.3.2 ADC/DAC 外部 VREF ヘッダー

AM261x LaunchPad には、外部電圧リファレンスを ADC と DAC ペリフェラルに接続するための複数のヘッダーがあります。ヘッダーのピン配置の詳細については、以下の表を参照してください。

表 2-5. DAC 外部 VREF ヘッダー (J12)

ピン	EVM 接続
1	DAC_EXT_VREF
2	GND

表 2-6. ADC 外部 VREF ヘッダー (J17)

ピン	EVM 接続
1	ADC_EXT_VREF
2	GND

表 2-7. ADC 較正ヘッダー (J14)

ピン	EVM 接続
1	ADC_CAL0

表 2-7. ADC 較正ヘッダー (J14) (続き)

ピン	EVM 接続
2	GND

詳細については、[セクション 2.10.12](#) を参照してください。

### 2.3.3 FSI ヘッダー

LP-AM261 は、AM261x FSI ペリフェラルとの接続のための 10 ピン高速シリアル インターフェイス (FSI) ヘッダーを搭載しています。以下の [表 2-8](#) にピン配置を示します。

表 2-8. FSI ヘッダー (J11) のピン配置

EVM 接続	ピン	ピン	EVM 接続
FSIRX0_CLK	1		2 FSITX0_CLK
GND	3		4 GND
FSIRX0_D0	5		6 FSITX0_D0
FSIRX0_D1	7		8 FSITX0_D1
GND	9		10 VSYS_3V3

FSI 構成の詳細については、[セクション 2.10.8](#) を参照してください。

### 2.3.4 EQEP ヘッダー

LP-AM261 は、EQEP0 および EQEP1 ペリフェラル信号を、外部エンコーダ ハードウェアと組み合わせて使用する一連のブレイクアウト ヘッダーに終端します。

表 2-9. EQEP0 ヘッダー - J19 および J16

ピン	EVM 接続
J19.1	EQEP0_A
J19.2	EQEP0_B
J19.3	EQEP0_INDEX
J19.4	VSYS_5V0
J19.5	GND
J16.1	EQEP0_STROBE
J16.2	GND

表 2-10. EQEP1 ヘッダー - J18 および J15

ピン	EVM 接続
J18.1	EQEP1_A
J18.2	EQEP1_B
J18.3	EQEP1_INDEX
J18.4	VSYS_5V0
J18.5	GND
J15.1	EQEP1_STROBE
J15.2	GND

EQEP の詳細については、[セクション 2.10.13](#) を参照してください。

## 2.4 プッシュ ボタン

LaunchPad は、AM261x SoC にリセット入力とユーザー割り込みを提供する、複数のユーザー プッシュ ボタンが用意されています。

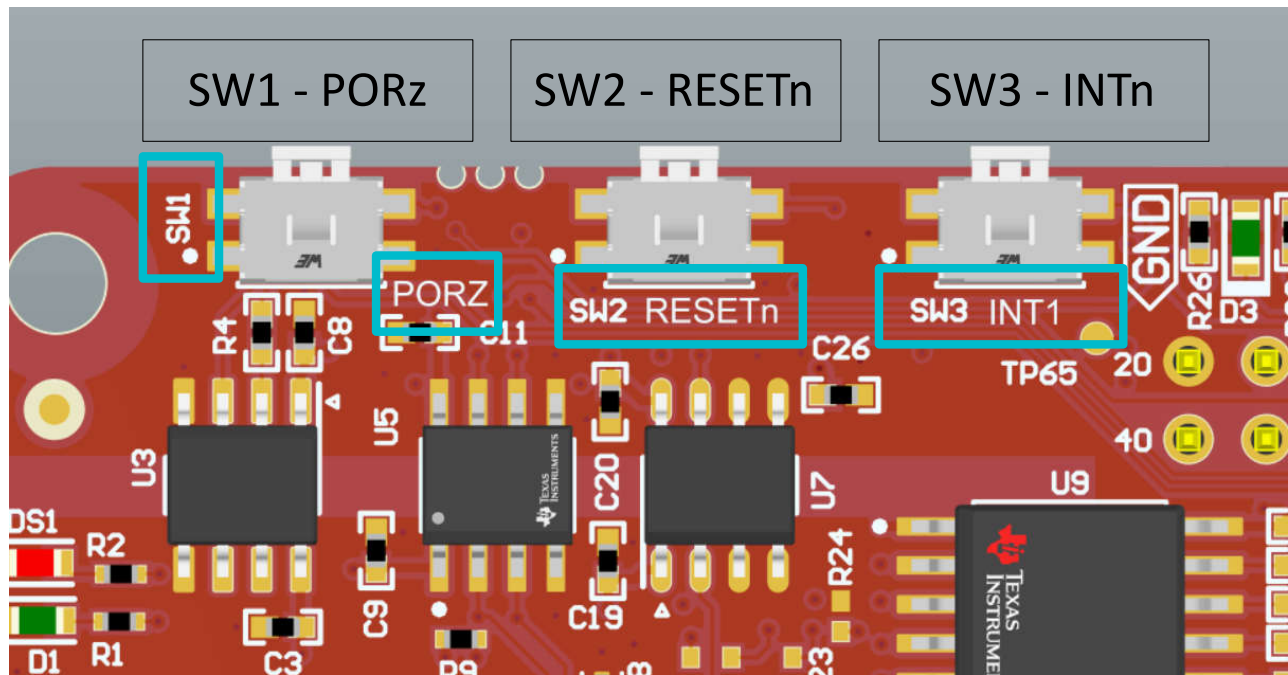


図 2-6. プッシュ ボタン

AM261x LaunchPad の上面に配置されているプッシュ ボタンの一覧を [表 2-11](#) に示します。

**表 2-11. LaunchPad プッシュ ボタン**

プッシュ ボタン	信号	機能
SW1	PORz	SoC PORz リセット入力
SW2	RESETr	SoC ウォームリセット入力
SW3	INT1	ユーザー割り込み信号

## 2.5 リセット

図 2-7 に、AM261x LaunchPad のリセットアーキテクチャを示します

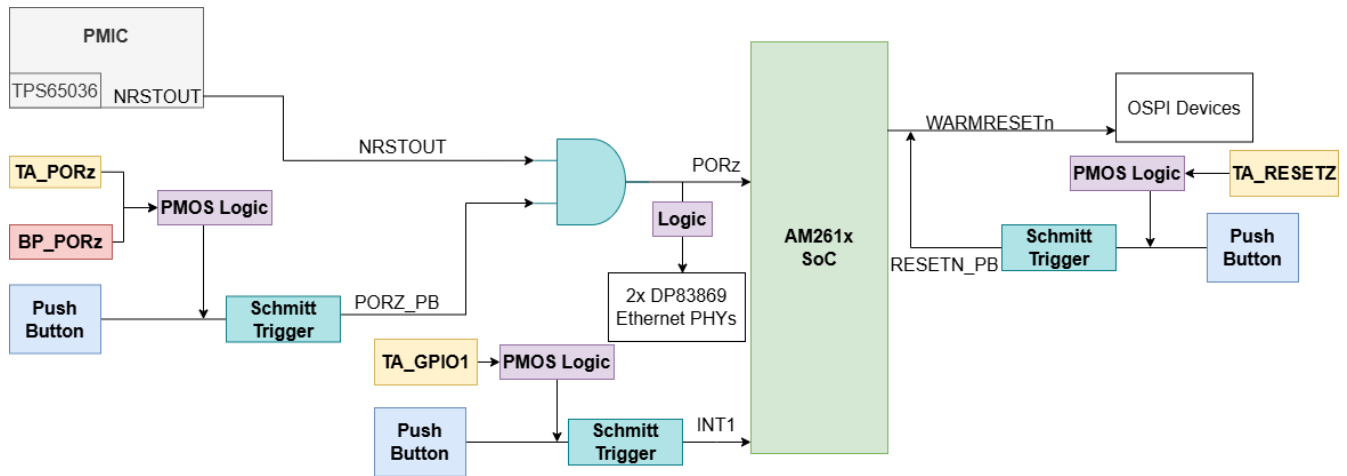


図 2-7. リセット アーキテクチャ

AM261x LaunchPad には次のリセット機能があります。

- PORz (パワーオンリセット)
- WARMRESETn (ウォームリセット)

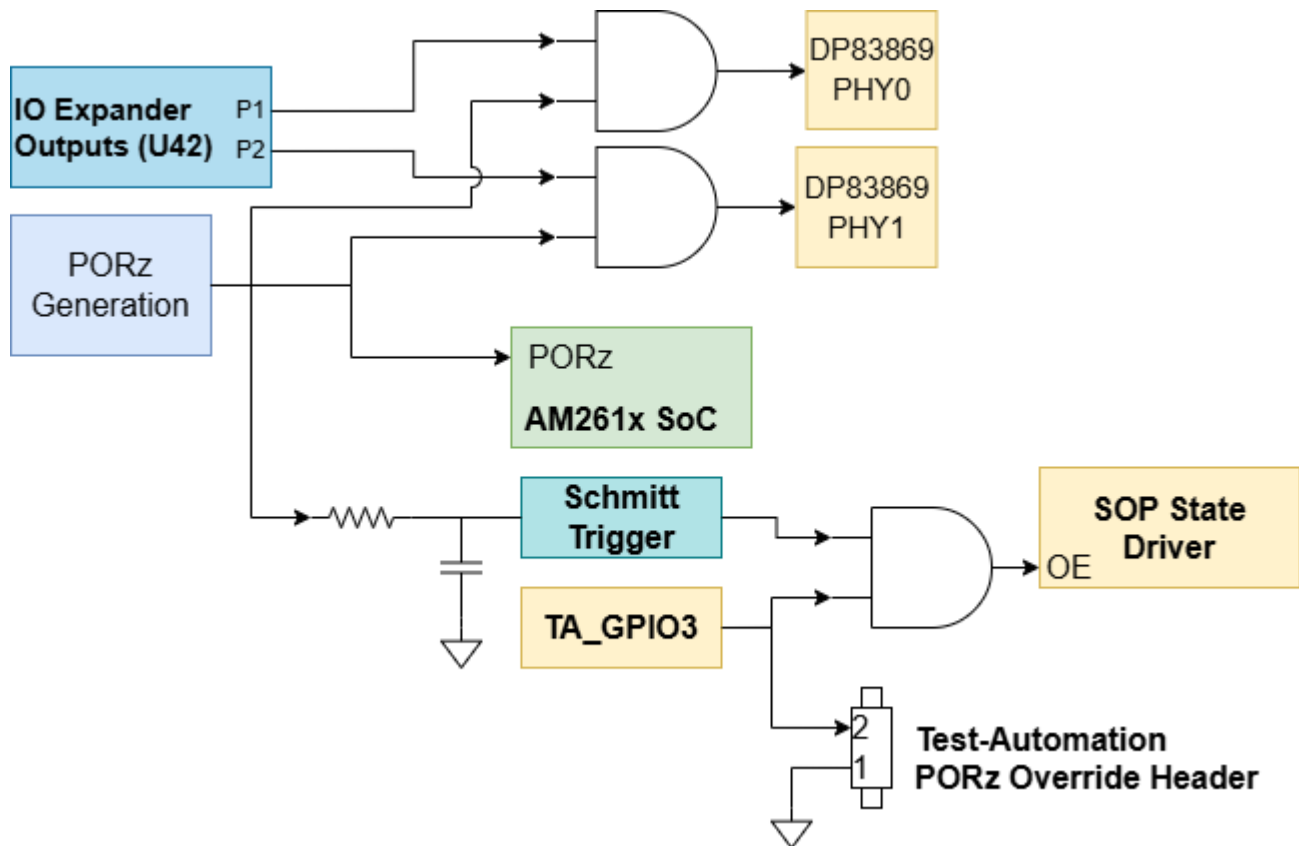


図 2-8. PORz リセット信号ツリー

## PORz

PORz 信号は、以下の場合にメインドメインのパワーオンリセットを生成する 2 入力 AND ゲートによって駆動されます。

- PMIC (TPS650360) NRSTOUT が "Low" に駆動されている
- ユーザー プッシュ ボタン (SW1) が押された。
- P チャネル MOSFET ゲートの信号がロジック LOW であるため、PMOS の  $V_{GS}$  がゼロ未満になる。PORz 信号が PMOS ドレインに接続され、グランドに直接接続されている。PMOS ゲートへのロジック LOW 入力を生成できる信号は次のとおりです。
  - テスト オートメーション ヘッダーからの TA\_PORz 出力
  - いずれかのブースタパック サイトからの BP\_PORz 出力。

PORz 信号は以下のように接続されます。

- AM261x SoC PORz 入力
- 両方のイーサネット アドオン ボード コネクタリセット ロジック
- ブート モードの状態ドライバ (U61) の出力イネーブル入力
  - GND から 3.0V までの 1ms の遅延を生成するための RC フィルタがあり、SOP 状態ドライバの出力イネーブル入力が PORz デアサートに続いて必要な SOP ホールド時間よりも長くなります。

## WARMRESETn

WARMRESETn 信号は、以下の場合、メインドメインへのウォームリセットを生成します。

- ユーザー プッシュ ボタン (SW2) が押されました。

WARMRESETn 信号は次のように接続されます。

- AM261x SoC WARMRESETN 出力
- プッシュ ボタン + PMOS ロジックから生成される RESETN\_PB 信号
- OSPI0 および OSPI1 デバイスのリセット ロジック

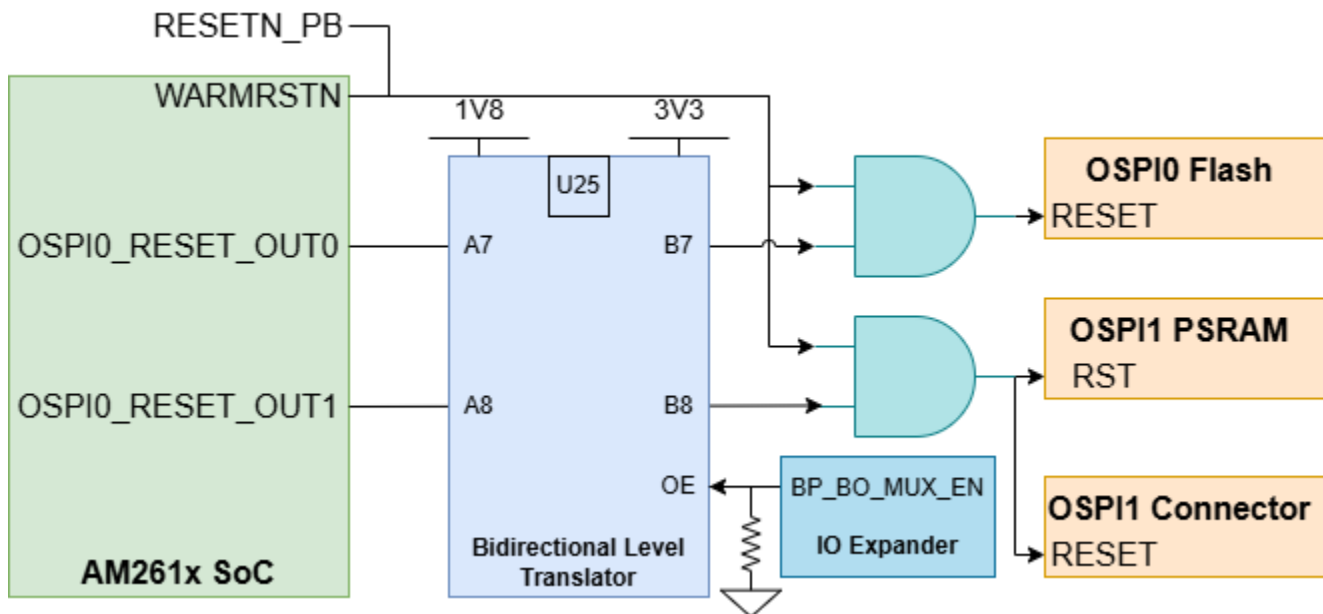


図 2-9. WARMRESETn リセット信号ツリー

**注**

OSPI0\_RESET\_OUT0 は、AM261x ブート ROM に関連する既知の問題がある GPIO61 とピン多重化されています。ブート時、ROM コードは GPIO61 を OSPI0\_RESET\_OUT0 に設定し、外部フラッシュ デバイスをリセットするためにピンを "Low" に駆動します。しかし、OSPI コントローラ設定は、フラッシュ デバイスのリセット完了後にピンを High に駆動しないため、フラッシュ デバイスがリセット状態のままとなり、正常なブートが妨げられます。双方向レベルトランスレータ (U25) は、出力イネーブルピンに接続されたプル抵抗を介してデフォルトで無効化されています。これにより、デバイスが OSPI0 フラッシュから起動する前に、(GPIO61 の) OSPI0\_RESET\_OUT0 が AND ゲートへの入力を "Low" にプルするのを防止します。OSPI0\_RESET\_OUT0 ネットは AND ゲートで High にプルアップされます。デバイスがブートすると、OSPI0\_RESET\_OUT0 はソフトウェアで OSPI リセットとして構成でき、I2C 制御 IO エクспанダ (U23) からレベルトランスレータ (U25) をイネーブルにすることができます。このブート ROM の問題の詳細については、[AM261x エラッタ文書](#)を参照してください。

**INTn**

AM261x LaunchPad には SoC への外部割り込み INT1 もあり、以下の場合に発生します。

- ユーザー プッシュ ボタン (SW3) が押された

## 2.6 クロック

AM261x SoC では、XTAL\_XI 用の 25MHz クロック入力が必要です。AM261x LaunchPad は、SoC クロックソースに 25MHz 水晶振動子を使用します。この LaunchPad はイーサネット PHY クロック供給用に 2 個の 25MHz 水晶振動子もオンボード実装しており、イーサネット アドオン ボードを使用してボード上のイーサネット ポート コネクタに接続することができます。SoC クロック信号出力 CLKOUT1 は、接続されているイーサネット アドオン ボード上のイーサネット PHY のクロックソースとして使用できます。25MHz 水晶振動子とイーサネット コネクタ 0 およびイーサネット コネクタ 1 を接続するトレースから抵抗 (R211 および R214) を取り外す必要があります。CLKOUT1 に対応する適切な抵抗 (R212 と R213) を両方のイーサネット アドオン ボード コネクタに配線し、CLKOUT1 ネットをアドオン ボードのイーサネット PHY の XI ピンに接続するようにします。

この LaunchPad には、UART-USB JTAG をサポートする XDS110 のクロックソースとして、周波数 16MHz のオンボード水晶振動子 (Y4) も搭載されています。

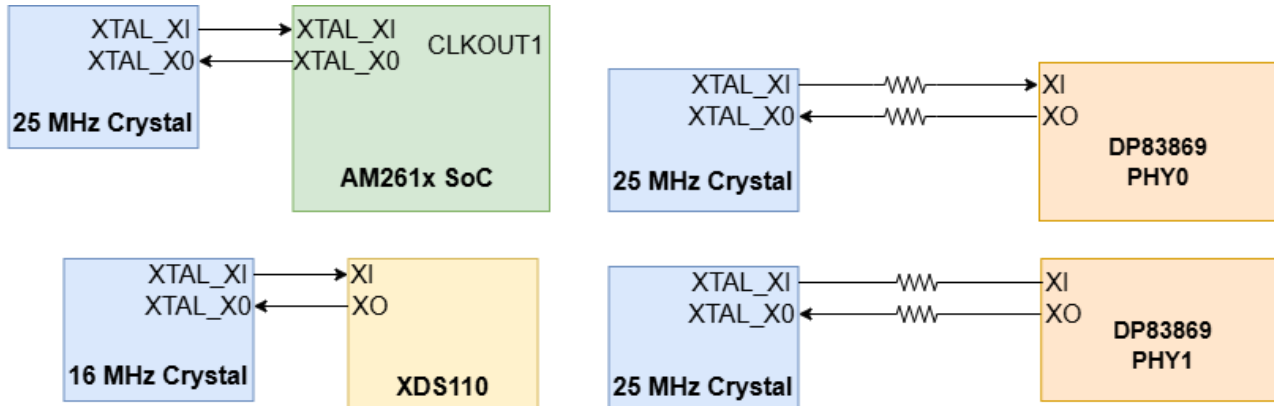


図 2-10. AM261x LaunchPad クロック ツリー

## 2.7 ブートモードの選択

AM261x のブートモードは、DIP (デュアル インライン パッケージ) スイッチ (SW4) またはテスト オートメーション ヘッダーによって選択されます。PORz がトリグされたとき、テスト オートメーション ヘッダーは、I2C 拡張バッファを使用してブートモードを駆動します。サポートされているブートモードを [表 2-12](#) に示します。各ブートモードの DIP スイッチ構成を [表 2-13](#) に示します。

**表 2-12. サポートされているブートモード**

ブートモードまたはペリフェラル	ブートメディアまたはホスト	ROM のアクティビティ/メモ
OSPI-OSPI (4S)、50MHz、SDR、0x6B	フラッシュ メモリ	ROM は OSPI コントローラを OSPI 4S モードで構成し、外部フラッシュからイメージをダウンロードし、障害が発生した場合に UART フォールバックブートモードをサポートします
UART、XMODEM、115200bps	外部ホスト	ROM は UART0 を 115200bps のボーレートで設定し、x モデム プロトコルを使用して外部 PC 端末からイメージをダウンロードします
OSPI-OSPI (1S)、50MHz、SDR、0x0B	フラッシュ メモリ	ROM は OSPI コントローラを OSPI 1S モードで構成し、外部フラッシュからイメージをダウンロードし、障害が発生した場合に UART フォールバックブートモードをサポートします
OSPI (8S)、SDR、33MHz、0x8B	フラッシュ メモリ	ROM は OSPI コントローラを 8S モードに構成し、外部フラッシュからイメージをダウンロードし、障害が発生した場合に UART フォールバックブートモードをサポートします
DevBoot	該当なし	SBL の開発をサポートするために、R5- は ROM が消去され、PLL を初期化し、L2、TCMA、TCMB PBIST は実行されず、L2 と TCM の memInit も実行されません。FS デバイスでのみサポート
xSPI (1S->8D)、20MHz、SFDP	フラッシュ メモリ、外部ホスト	ROM は OSPI コントローラを xSPI 8D モードで構成し、読み取りコマンドのために SFDP 表を読み取り、外部フラッシュからイメージをダウンロードします。SFDP によるフラッシュは JEDEC 標準リビジョン D のみサポートされています。この障害が発生した場合、UART ブートモードに戻ります
USB DFU	外部ホスト	ROM は、USB コントローラがデバイス モードで動作するように構成し、イメージを L2 メモリにダウンロードして処理するように構成します。この障害が発生した場合、UART ブートモードに戻ります。High-Speed (HS、480Mbps) で USB 2.0 デバイス モードをサポート

**表 2-13. ブートモードの選択**

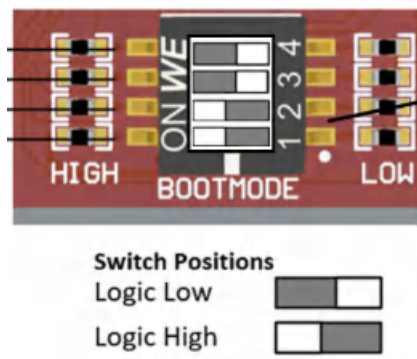
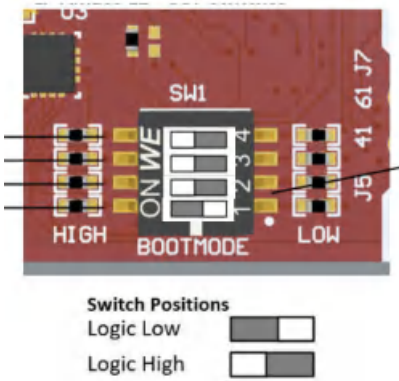
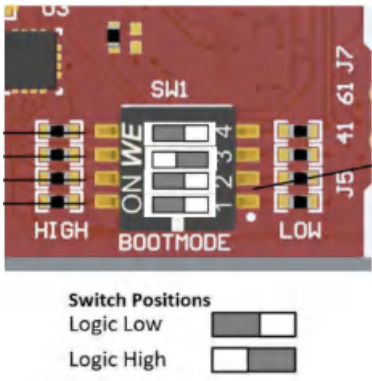
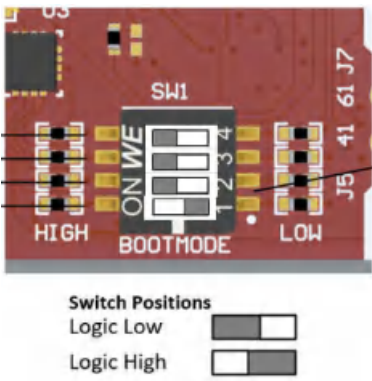
ブートモード	SW4.4	SW4.3	SW4.2	SW4.1	画像 / 例
OSPI-OSPI (4S)、50MHz、SDR、0x6B	1	1	1	1	

表 2-13. ブートモードの選択 (続き)

ブートモード	SW4.4	SW4.3	SW4.2	SW4.1	画像 / 例
UART、XMODEM、115200bps	1	1	1	0	
OSPI-OSPI (1S)、50MHz、SDR、0x0B	1	1	0	1	
OSPI (8S)、SDR、33MHz、0x8B	1	1	0	0	
DevBoot	0	1	0	0	
xSPI (1S->8D)、20MHz、SFDP	0	0	1	1	
USB DFU	0	0	0	1	

## 2.8 GPIO へのマッピング

表 2-14. GPIO マッピング表

GPIO 名称	GPIO	機能	ネット名	アクティブステータス
GPIO LED	GPIO084	GPIO	AM261_LED_GPIO084	Low
SoC への割り込み	GPIO124	割り込み	AM261_INT_PB_GPIO124	Low

## 2.9 IO エクスパンダ

AM261x LaunchPad は、I2C 通信を使用したプロセッサの汎用 I/O 拡張と双方向電圧変換を実現する 2 個の TCA6408ARGTR IO エクスパンダを搭載しています。

TCA6408A は、構成 (入力 / 出力選択)、入力、出力、極性反転 (アクティブ HIGH) 用の 8 ビットレジスタをそれぞれ 1 個ずつ搭載しています。電源オン時に、I/O は入力として構成されます。システムコントローラは、I/O 構成ビットに書き込むことで、I/O を入力にするか出力にするかを設定できます。それぞれの入力または出力のデータは、対応する入力または出力レジスタに保持されています。入力ポートレジスタの極性は、極性反転レジスタで反転できます。すべてのレジスタは、システムコントローラで読み出すことができます。AM261x MCU は、I2C0 バス経由で IO エクスパンダと通信します。IO エクスパンダから出力される信号を [図 2-11](#) に示します。TCA6408ARGTR のプログラミングガイドについては、「[TCA6408ARGTR データシート](#)」を参照してください。

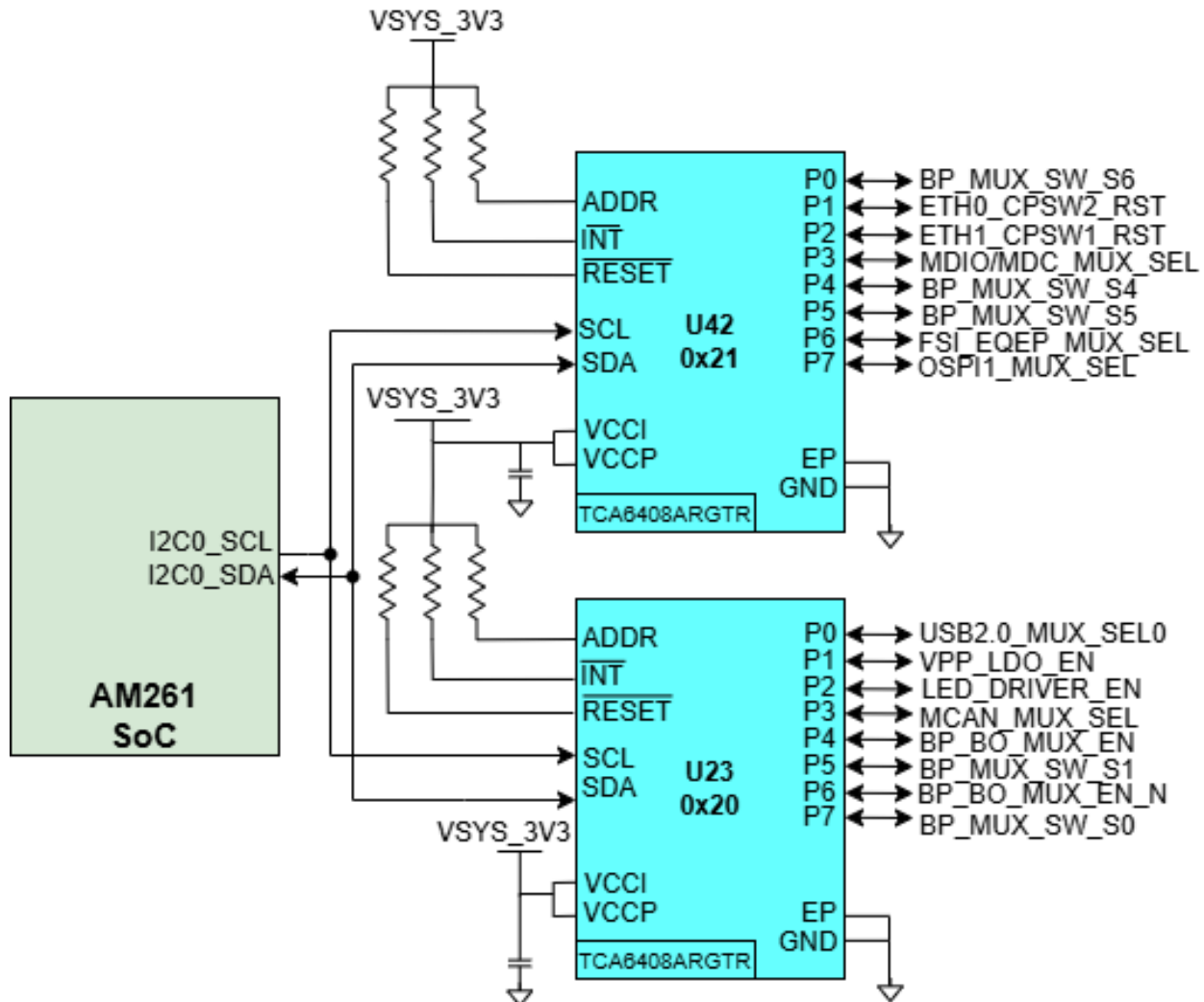


図 2-11. IO エクスパンダ

**表 2-15. IO エクспанダ 1 GPIO マッピング (U42)**

IO#	ネット名	GPIO 名称	アクティブ ステータス
P0	BP_MUX_SW_S6	代替ブースタパック機能マルチプレクサ U81 の選択	優先順位が高い
P1	ETH0_CPSW2_RST	DP83869 PHY (U73) リセット	Low
P2	ETH1_CPSW1_RST	DP83869 PHY (U74) リセット	Low
P3	MDIO/MDC_MUX_SEL	MDIO/MDC マルチプレクサの選択	優先順位が高い
P4	BP_MUX_SW_S4	代替ブースタパック機能マルチプレクサ U46 の選択	優先順位が高い
P5	BP_MUX_SW_S5	代替ブースタパック機能マルチプレクサ U80 の選択	優先順位が高い
P6	FSI_EQEP_MUX_SEL	FSI/EQEP マルチプレクサの選択	優先順位が高い
P7	OSPI1_MUX_SEL	OSPI1 マルチプレクサの選択	優先順位が高い

**表 2-16. IO エクспанダ 2 GPIO マッピング (U23)**

IO#	ネット名	GPIO 名称	アクティブ ステータス
P0	USB2.0_MUX_SEL0	USB マルチプレクサの選択	優先順位が高い
P1	VPP_LDO_EN	1.7V LDO イネーブル	High
P2	LED_DRIVER_EN	LED ドライバ イネーブル	Low
P3	MCAN_MUX_SEL	MCAN マルチプレクサの選択	優先順位が高い
P4	BP_BO_MUX_EN	EPWM 双方向レベルトランスレータ イネーブル	High
P5	BP_MUX_SW_S1	代替ブースタパック機能マルチプレクサを制御する XOR ゲートへの入力 1	優先順位が高い
P6	BP_BO_MUX_EN_N	代替ブースタパック機能マルチプレクサの出力イネーブル	Low
P7	BP_MUX_SW_S0	代替ブースタパック機能マルチプレクサを制御する XOR ゲートへの入力 0	優先順位が高い

## 2.10 インターフェイス

### 2.10.1 メモリ インターフェイス

#### 2.10.1.1 OSPI

##### OSPI フラッシュ

LP-AM261 は、AM261x MCU の OSPI0 インターフェイスに接続された 64Mb、1.8V OSPI フラッシュ メモリ デバイス (MX25UW6445GXDQ00) を搭載しています。OSPI フラッシュ デバイスには、PMIC の 1.8V LDO 出力から電源が供給されます。AM261x は、OSPI0 に接続されたこのメモリ デバイスにフラッシュ書き込みされたバイナリ イメージからブートできます。

##### 注

OSPI0 フラッシュ リセットには既知の制限があり、LP-AM261 には回避策が実装されています。詳細については、[セクション 6.2.2](#) を参照してください。

##### OSPI PSRAM

LP-AM261 は、AM261x MCU の OSPI1 インターフェイスに接続された 128Mb 1.8V PSRAM メモリ デバイス (APS12808L-OBMX-BA) を搭載しています。OSPI PSRAM には、PMIC の 1.8V LDO 出力から電力が供給されます。AM261x は、このインターフェイスを外部メモリに利用できます。

##### 注

AM261x は、OSPI1 に接続されている PSRAM デバイスからブートできません。

##### OSPI 拡張コネクタ

AM261x OSPI1 の信号トレースには、互換性のある OSPI メモリ アドオン ボードを接続するための、30 ピンの高密度コネクタに配線するオプションがあります。[表 2-17](#) に、拡張コネクタへの OSPI1 配線パスを有効にするために必要な抵抗の変更を示します。

**表 2-17. OSPI 拡張コネクタ抵抗モジュール**

LP-AM261 ネット	DNI 抵抗	抵抗を実装する
EX_OSPI1_CLK	R242	R245
EX_OSPI1_D0	R291	R286
EX_OSPI1_D1	R282	R276
EX_OSPI1_D2	R294	R289
EX_OSPI1_D3	R283	R277
EX_OSPI1_D4	R292	R287
EX_OSPI1_D5	R284	R278
EX_OSPI1_D6	R295	R290
EX_OSPI1_D7	R285	R279
EX_OSPI1_DQS	R293	R288
EX_OSPI1_CS <sub>n</sub> 0	R248	R243
EX_OSPI1_ECC_FAIL	R249	R244
EX_OSPI1_RST <sub>n</sub>	R247	R241

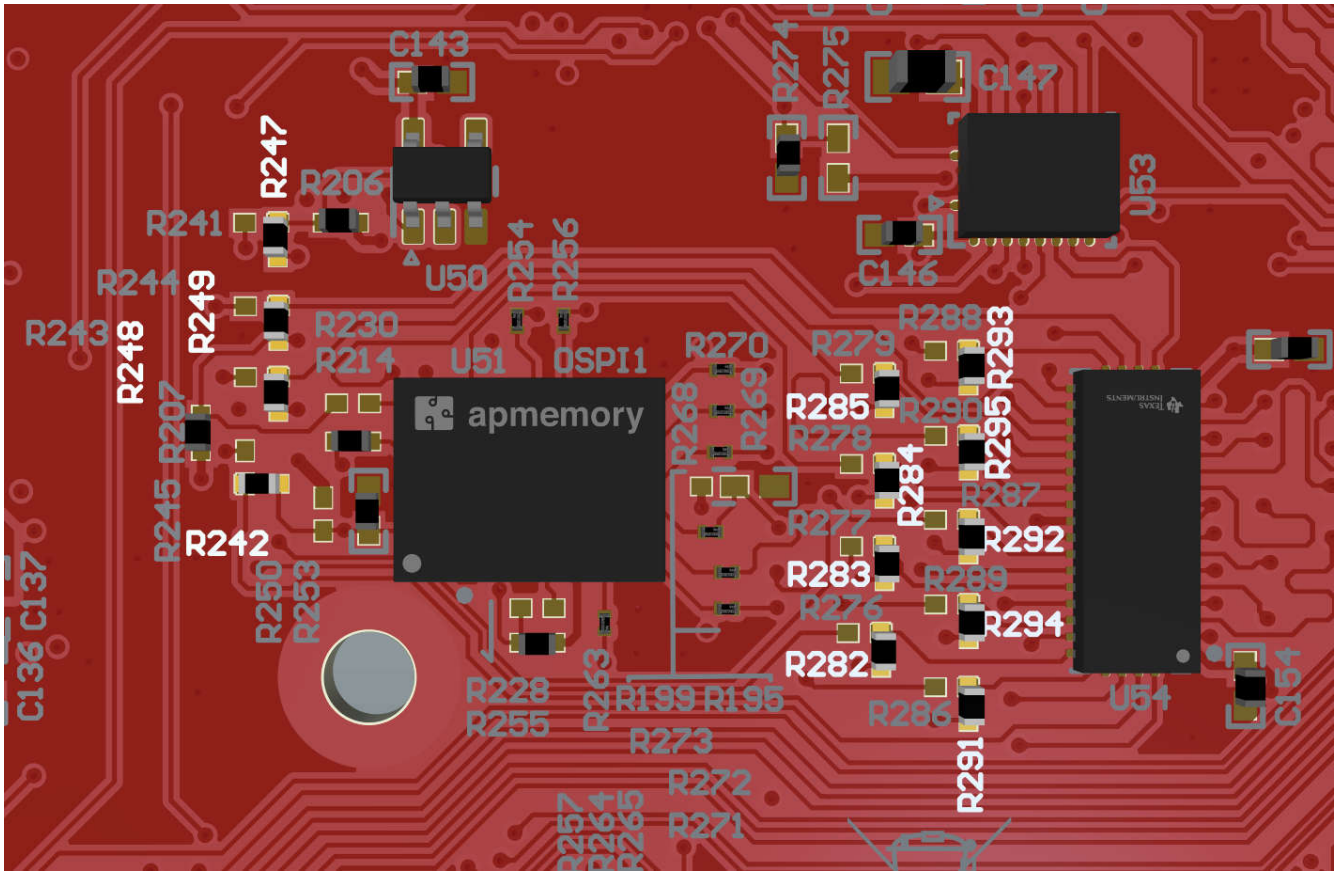


図 2-12. OSPI1 拡張コネクタ - 抵抗を取り外す

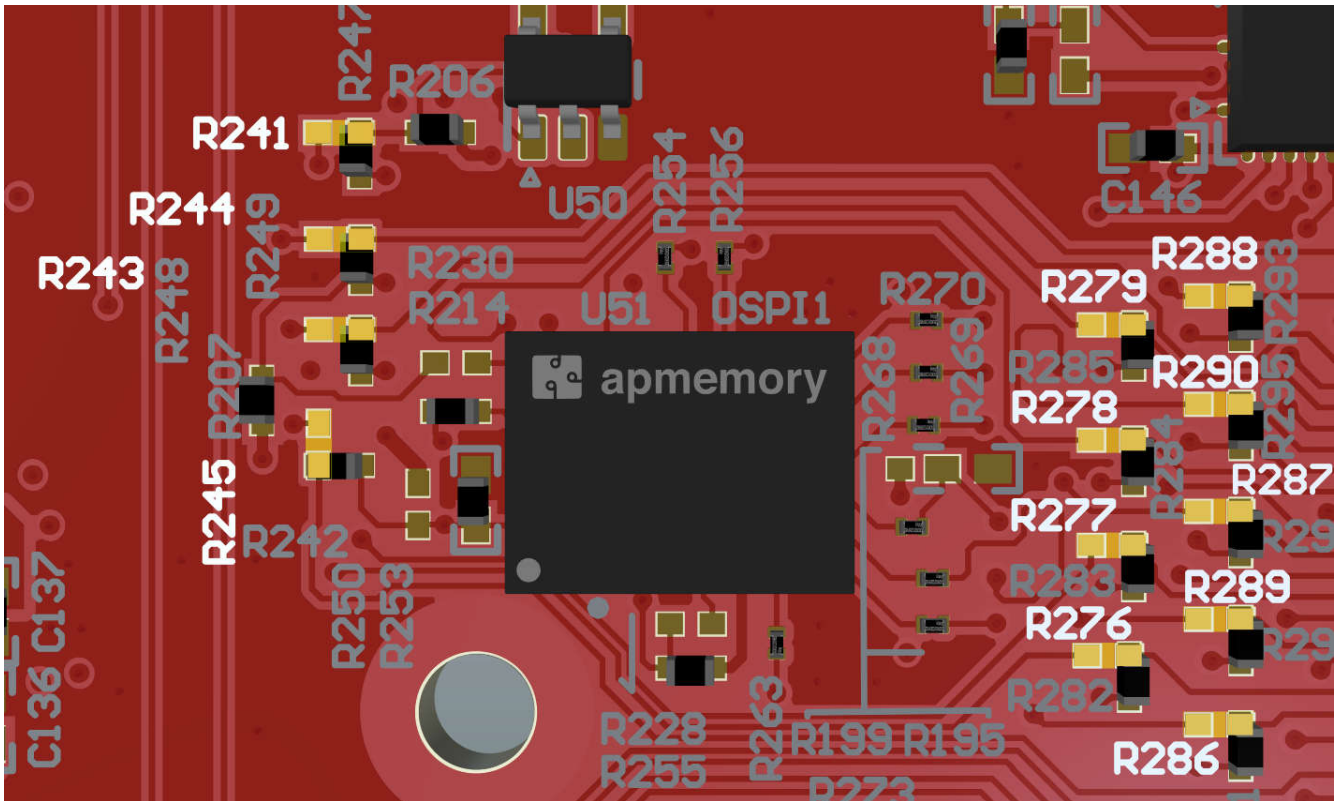


図 2-13. OSPI1 拡張コネクタ - 抵抗を実装する

OSPI 拡張コネクタのピン配置については、[セクション 2.3.1](#)、「OSPI 拡張コネクタ」を参照してください。

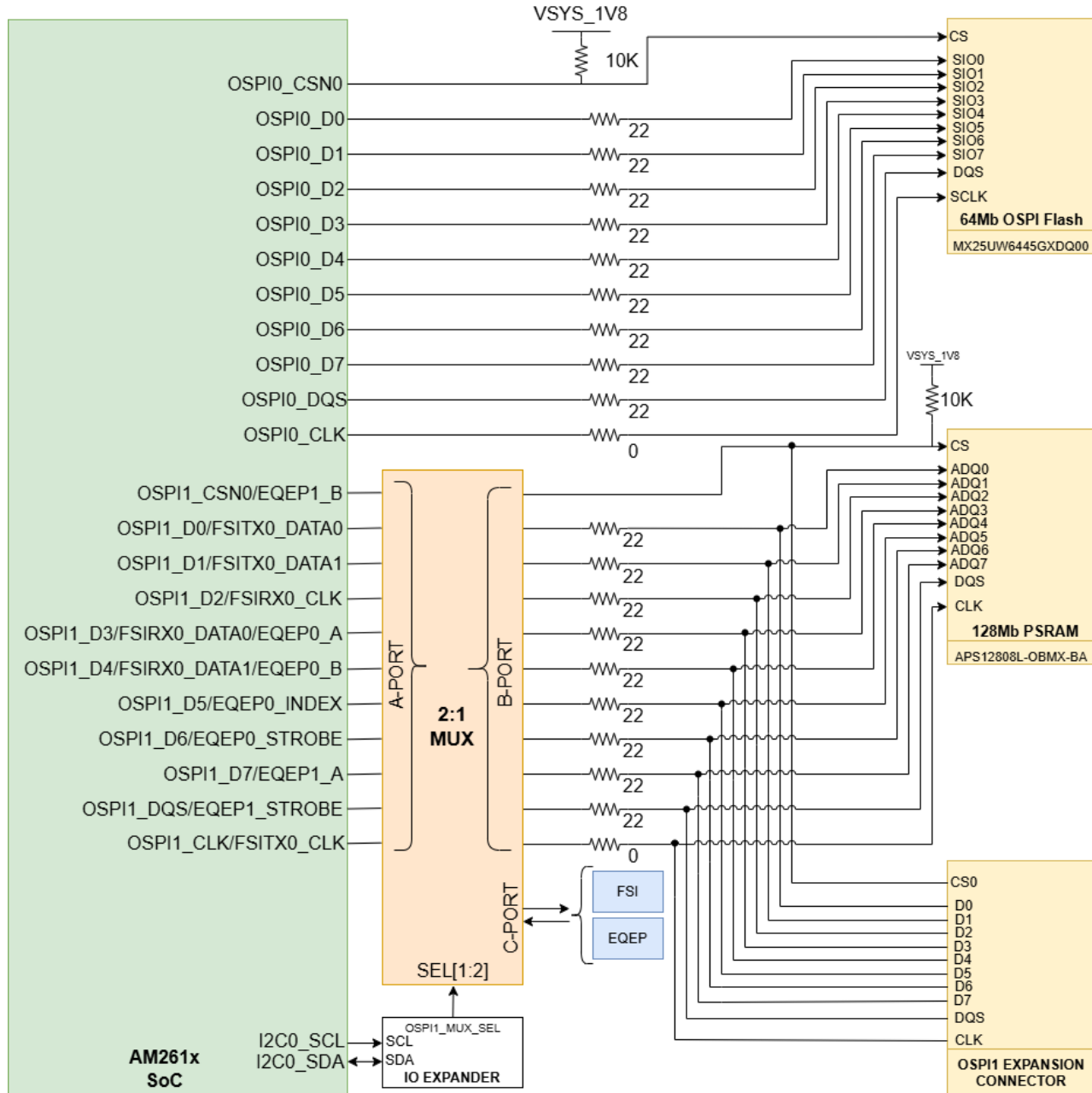


図 2-14. LP-AM261 OSPI インターフェイス

### 2.10.1.2 基板 ID EEPROM

AM261x LaunchPad には、I2C ベースの 1Mbit EEPROM (CAT24M01WI-GT3) が搭載されており、ボード構成の詳細が保存されます。基板 ID EEPROM は、AM261x MCU の I2C1 インターフェイスに接続されています。EEPROM のデフォルトの I2C アドレスは、アドレスピン A0 を 3.3V にプルアップし、アドレスピン A1 と A2 をグラウンドにプルダウンすることで 0x51 に設定されます。EEPROM の書き込み保護ピンは、デフォルトでグラウンドにプルされます。このため、書き込み保護は無効になります。

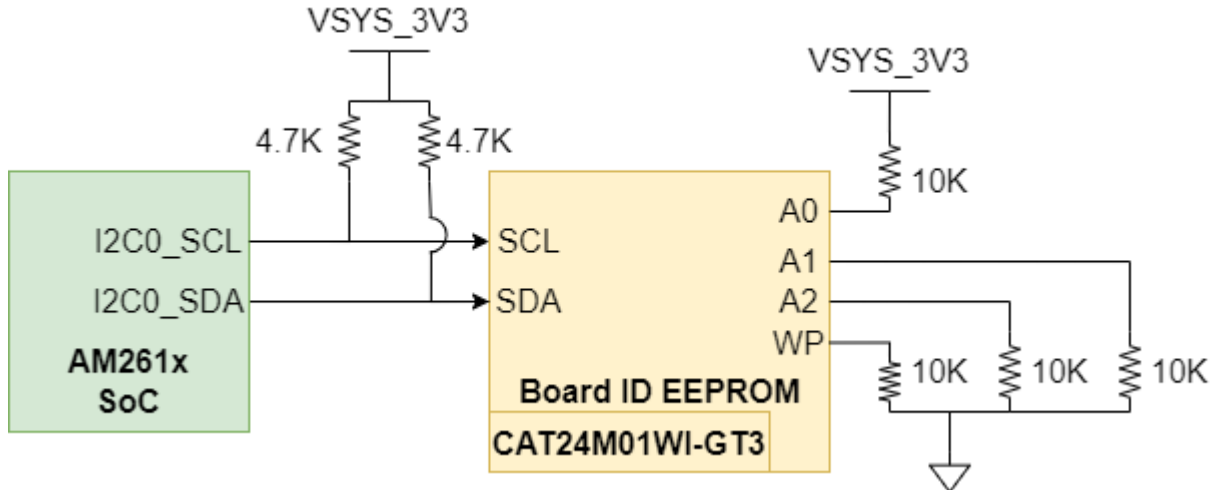


図 2-15. 基板 ID EEPROM

### 2.10.2 イーサネット インターフェイス

LP-AM261 は、RGMII または MII イーサネットの評価と開発を行うための RJ-45 コネクタを備えた 2 個の DP83869 ギガビット イーサネット PHY を搭載しています。イーサネット パリフェラルと PHY の接続の詳細を、以下の表に示します。

表 2-18. イーサネット パリフェラルと P PHY の接続

イーサネット信号	PHY 0 (U73)	PHY 1 (U74)
RGMII1		✓
RGMII2	✓	
CPSW MDIO	✓ (マルチプレクサ経由)	✓ (マルチプレクサ経由)
PR0_PRU0	✓	
PR0_PRU1		✓
PRU MDIO	✓ (マルチプレクサ経由)	✓ (マルチプレクサ経由)

#### 2.10.2.1 イーサネット PHY 0 - RGMII2 / PR0\_PRU0

AM261x LaunchPad では、RGMII2 に接続された 48 ピン イーサネット PHY (DP83869HMRGZT)、またはオンダイブログラマブル リアルタイム ユニットおよび産業用通信サブシステム (PRU-ICSS) の PR0\_PRU0 インスタンスを使用しています。RGMII2 信号と PR0\_PRU0 信号は、AM261x MCU 上で内部的にピン多重化されており、アプリケーションに応じてソフトウェア制御できます。

PHY は、1Gb 動作をアドバタイズするように設定されています。PHY のイーサネット データ信号は、RJ45 コネクタで終端されています。RJ45 コネクタは、複数の磁気素子と複数の LED を内蔵したイーサネット 10/100/1000Mbps コネクティブティに対応し、リンクとアクティビティを表示するためにこのボード上で使用されます。

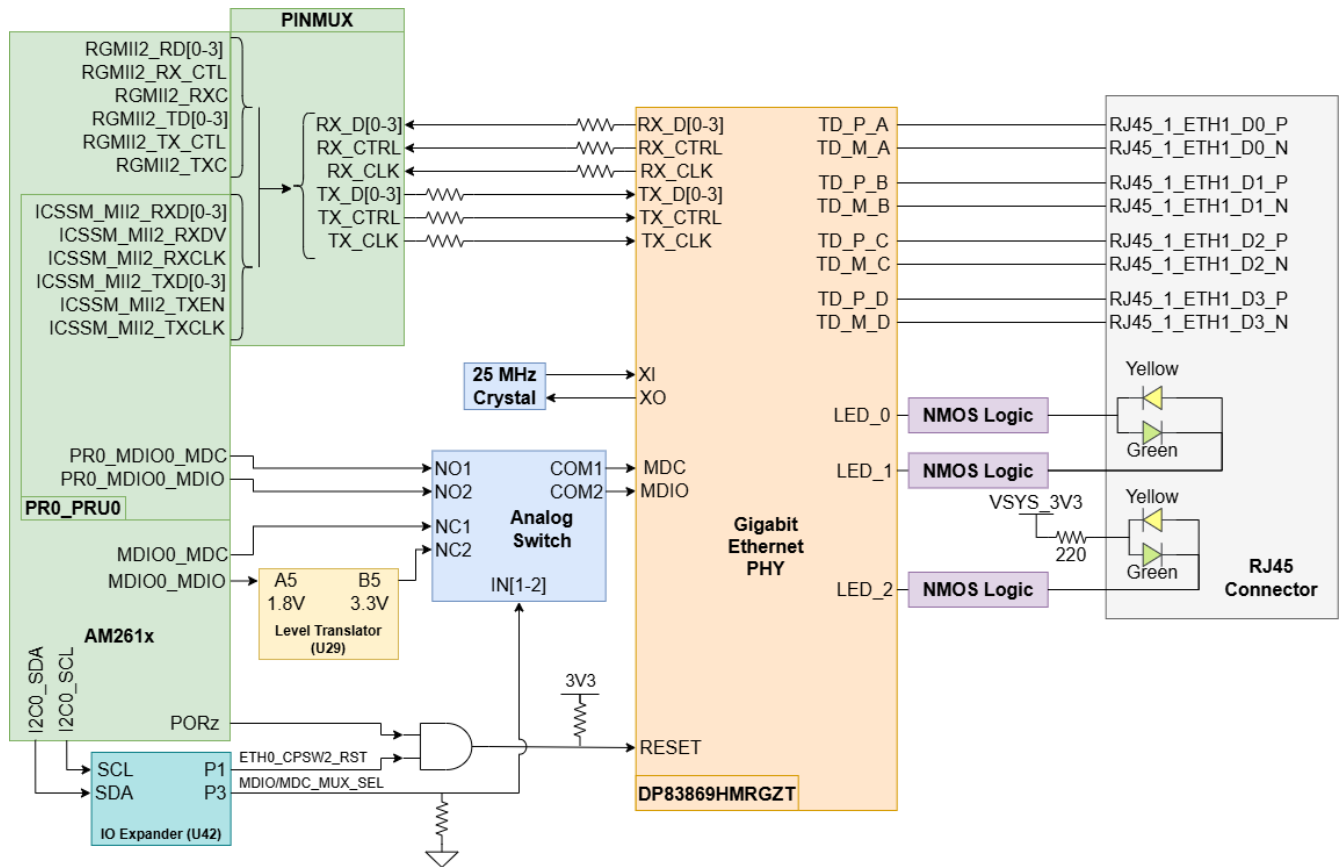


図 2-16. イーサネット PHY 0

イーサネット PHY には、個別の電源が 3 つ必要です。VDDIO は、システムが生成する 3.3V 電源です。イーサネット PHY 用の 1.1V および 2.5V 電源専用 LDO があります。

SoC 付近には、送信クロックおよびデータ信号に直列終端抵抗があります。イーサネット PHY の近くには、受信クロック信号とデータ信号に直列終端抵抗が接続されています。

DP83869 PHY との互換性を確保するため、AM261x MCU から PHY への CPSW MDIO データ信号は、双方向レベルトランスレータを介して IO レベルを 1.8V から 3.3V にシフトします。CPSW MDIO クロック信号は、AM261x MCU の 3.3V IO ピンから供給されるため、レベルシフトは必要ありません。CPSW イーサネットと PRU イーサネットには独立した MDIO 信号があるため、アナログスイッチ (TS5A23159DGSR/U48) は CPSW MDIO/MDC 信号と PRU MDIO/MDC 信号のいずれかを選択し、イーサネット PHY に配線されます。アナログスイッチは、I2C 制御 IO エクスパンダ (U42) からの GPIO 信号によって制御されます。

**表 2-19. CPSW/PRU-ICSS MDIO スイッチ (U48)**

MDIO/MDC_MUX_SEL	条件	スイッチ機能
LOW (デフォルト)	CPSW MDIO	NC から COM、COM から NC
High	PRU MDIO	NO から COM、COM から NO

イーサネット PHY のリセット入力、I2C 制御の IO エクスパンダ (U42)、ETH0\_CPSW2\_RST からの出力で AND 接続された PORz AM261x MCU 出力信号によって制御されます。

イーサネット PHY は、デバイスを特定の動作モードに設定するために、多くの機能ピンをストラップ オプションとして使用します。

**表 2-20. イーサネット PHY 0 ストラッピング抵抗**

機能ピン	デフォルト モード	LaunchPad のモード	機能
RX_D0	0	3	PHY アドレス:0011
RX_D1	0	0	
JTAG_TDO/GPIO_1	0	0	RGMII to Copper
RX_D3	0	0	
RX_D2	0	0	
LED_0	0	0	自動ネゴシエーション、10/100/1000 アドバタイズ、自動 MDI-X
RX_ER	0	0	
LED_2	0	0	
RX_DV	0	0	ポートミラーリングが無効

**注**

各ストラップ ピンの内部プルダウン抵抗は、約 2.49kΩ です

**注**

RX\_D0 および RX\_D1 は 4 レベル ストラップ抵抗モード方式で使用されます。その他の信号はすべて 2 レベルのストラップ抵抗モードです。

### 2.10.2.2 イーサネット PHY 1 — RGMII1 / PR0\_PRU1

AM261x LaunchPad では、RGMII1 に接続された 48 ピン イーサネット PHY (DP83869HMRGZT)、またはオンダイブ プログラマブルリアルタイム ユニットおよび産業用通信サブシステム (PRU-ICSS) の PR0\_PRU1 インスタンスを使用しています。RGMII1 信号と PR0\_PRU1 信号は、AM261x MCU 上で内部的にピン多重化されており、アプリケーションに応じてソフトウェア制御できます。

PHY は、1Gb 動作をアダプタイズするように設定されています。PHY のイーサネット データ信号は、RJ45 コネクタで終端されています。RJ45 コネクタは、複数の磁気素子と複数の LED を内蔵したイーサネット 10/100/1000Mbps コネクティブティに対応し、リンクとアクティビティを表示するためにこのボード上で使用されます。

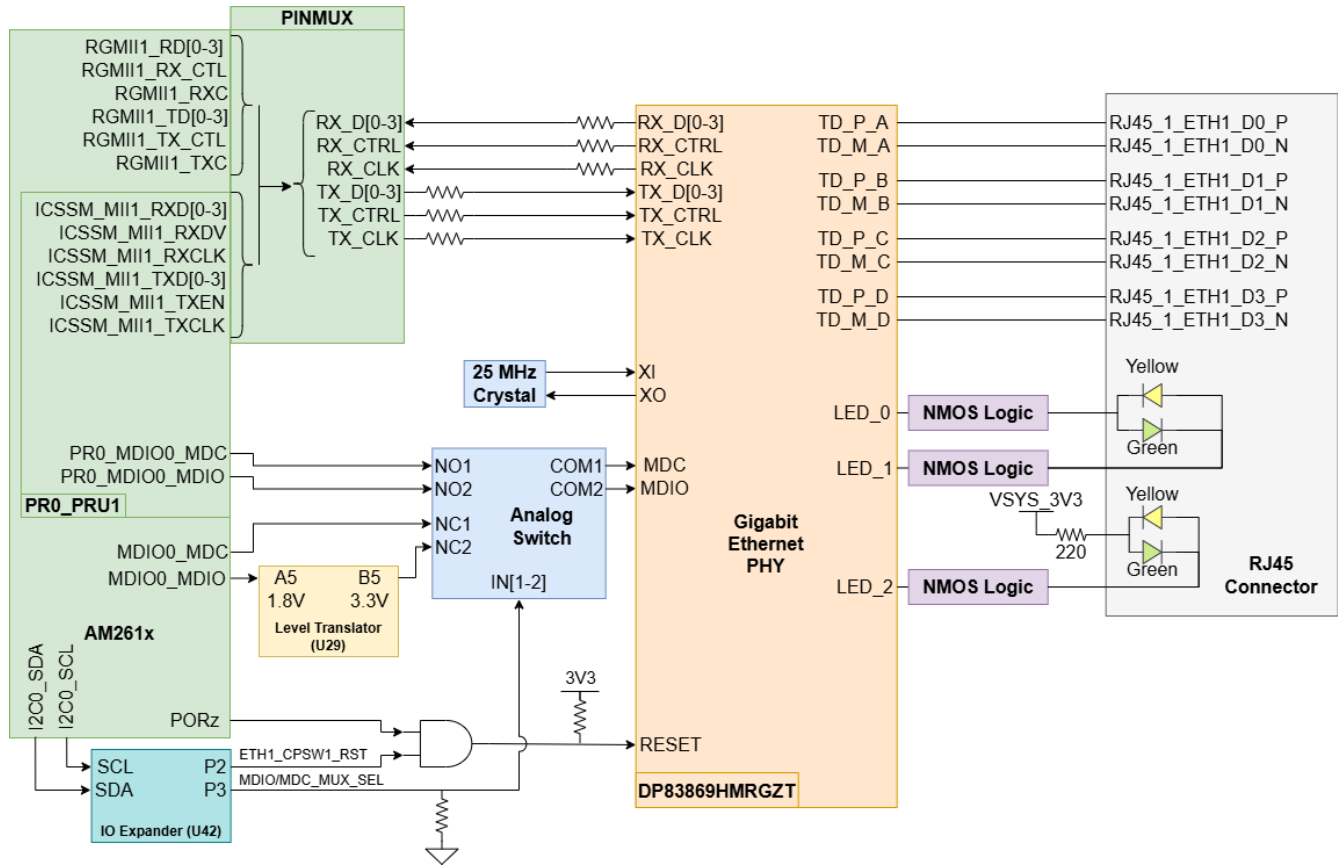


図 2-17. イーサネット PHY 1

イーサネット PHY には、個別の電源が 3 つ必要です。VDDIO は、システムが生成する 3.3V 電源です。イーサネット PHY 用の 1.1V および 2.5V 電源専用 LDO があります。

SoC 付近には、送信クロックおよびデータ信号に直列終端抵抗があります。イーサネット PHY の近くには、受信クロック信号とデータ信号に直列終端抵抗が接続されています。

DP83869 PHY との互換性を確保するため、AM261x MCU から PHY への CPSW MDIO データ信号は、双方向レベルトランスレータを介して IO レベルを 1.8V から 3.3V にシフトします。CPSW MDIO クロック信号は、AM261x MCU の 3.3V IO ピンから供給されるため、レベルシフトは必要ありません。CPSW イーサネットと PRU イーサネットには独立した MDIO 信号があるため、アナログスイッチ (TS5A23159DGSR/U48) は CPSW MDIO/MDC 信号と PRU MDIO/MDC 信号のいずれかを選択し、イーサネット PHY に配線されます。アナログスイッチは、I2C 制御 IO エクスパンダ (U42) からの GPIO 信号によって制御されます。

**表 2-21. CPSW/PRU-ICSS MDIO スイッチ (U48)**

MDIO/MDC_MUX_SEL	条件	スイッチ機能
LOW (デフォルト)	CPSW MDIO	NC から COM、COM から NC
High	PRU MDIO	NO から COM、COM から NO

イーサネット PHY のリセット入力、I2C 制御の IO エクスパンダ (U42)、ETH1\_CPSW1\_RST からの出力で AND 接続された PORz AM261x MCU 出力信号によって制御されます。

イーサネット PHY は、デバイスを特定の動作モードに設定するために、多くの機能ピンをストラップ オプションとして使用します。

**表 2-22. イーサネット PHY 1 ストラッピング抵抗**

機能ピン	デフォルト モード	LP のモード	機能
RX_D0	0	0	PHY アドレス: 1100
RX_D1	0	3	
JTAG_TDO/GPIO_1	0	0	RGMII to Copper
RX_D3	0	0	
RX_D2	0	0	
LED_0	0	0	自動ネゴシエーション、1000/100/10 アドバタイズ、自動 MDI-X
RX_ER	0	0	
LED_2	0	0	ポートミラーリングが無効
RX_DV	0	0	

**注**

各ストラップ ピンの内部プルダウン抵抗は、約 2.49kΩ です

**注**

RX\_D0 および RX\_D1 は 4 レベル ストラップ抵抗モード方式で使用されます。その他の信号はすべて 2 レベルのストラップ抵抗モードです。

### 2.10.3 I2C

AM261x LaunchPad は、2 個の AM261x SoC インタ インテグレートド サーキット (I2C) インスタンスを使用して、さまざまなターゲットのコントローラとして動作します。I2C のデータおよびクロックラインは、3.3V のシステム電圧電源にプルアップされます。

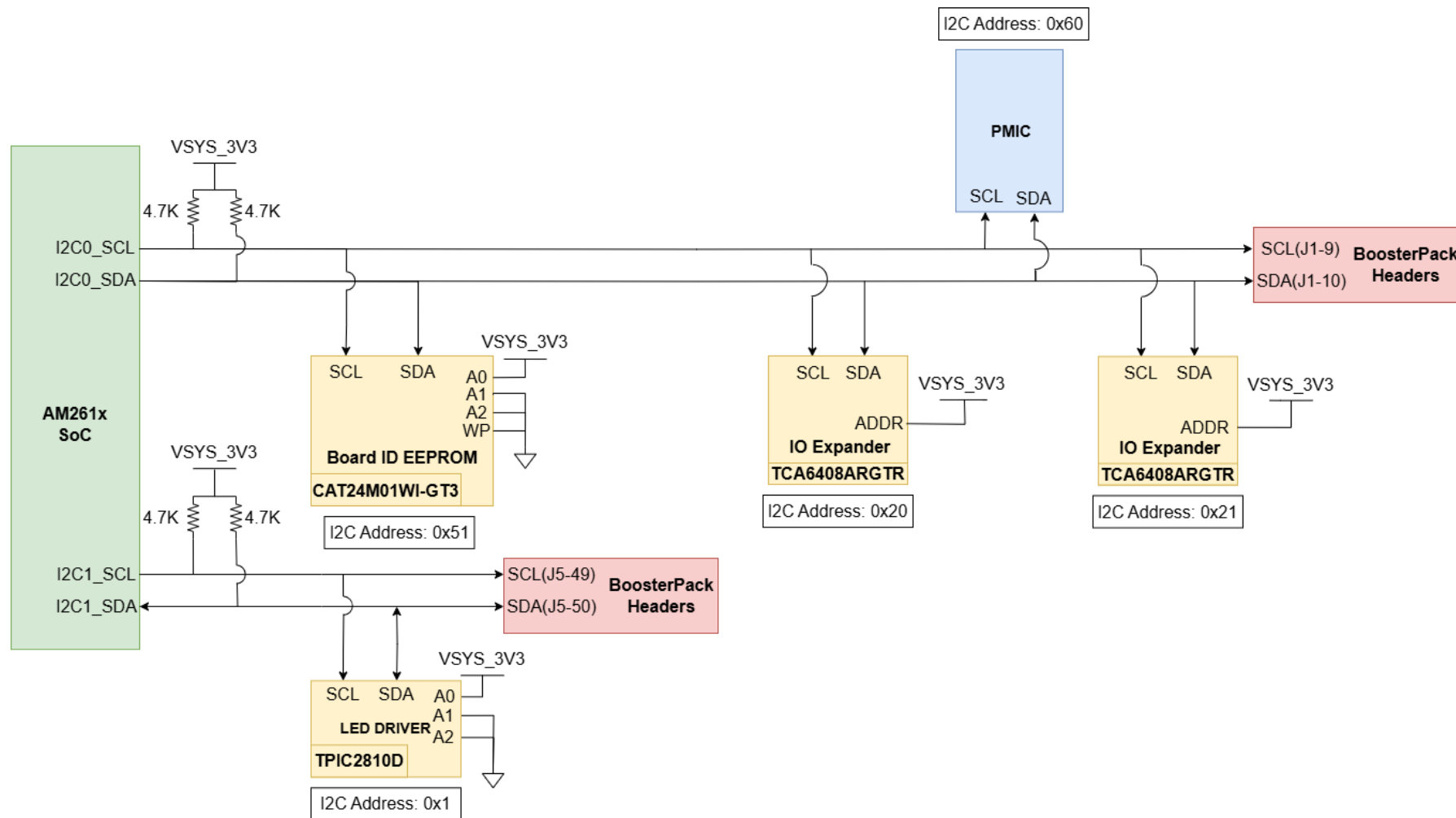


図 2-18. LP-AM261 I2C インターフェイス

**表 2-23. I2C アドレッシング**

ターゲット	I2C インスタンス	I2C アドレス ビットの説明	デバイス アドレッシング	LaunchPad の構成	I2C アドレス
基板 ID EEPROM	I2C0	デバイス アドレスの最初の 4 ビットは 1010 に設定され、次の 2 ビットは A2 ピンと A1 ピンによって設定されます。7 番目のビット a16 は最上位内部アドレス ビットです	0b101110[A2][A1][a16] A1 と A2 はグラウンドに接続されています	0b1010001	0x51
LED ドライバ	I2C1	ターゲット アドレスの最初の 4 ビットは 0000 で、次の 3 ビットは A2、A1、A0 によって決定されます	0b0000[A2][A1][A0] A2 および A1 は、グラウンド A0 に接続しており、これは 3.3V 電源に接続しています	0b0000001	0x01
ブースタバック ヘッダー	I2C0、 I2C1	ターゲット依存			
IO エクスパンダ #1	I2C0	ターゲット アドレスの最初の 6 ビットは 010000 に設定され、次のビットは IO エクスパンダのアドレス ピンによって決定されます	IO_ADDR ピンを 3.3V 電源に接続	0b0100001	0x21
IO エクスパンダ #2	I2C0	ターゲット アドレスの最初の 6 ビットは 010000 に設定され、次のビットは IO エクスパンダのアドレス ピンによって決定されます	IO_ADDR ピンを 3.3V 電源に接続	0b0100000	0x20
PMIC	I2C0	PMIC の 7 ビットのデバイス アドレスは 1100000 です	0b1100000	0b1100000	0x60

**注**

下線付きのアドレス ビットは、デバイス アドレッシングに基づいて固定されており、構成できません。

### 2.10.3.1 産業用アプリケーションの LED

AM261x LaunchPad は、産業用通信 LED アレイの制御に使用する LED ドライバ (TPIC2810D) を搭載しています。ドライバは 8 つの緑色の LED に接続されており、I2C アドレスは 0x01 です。

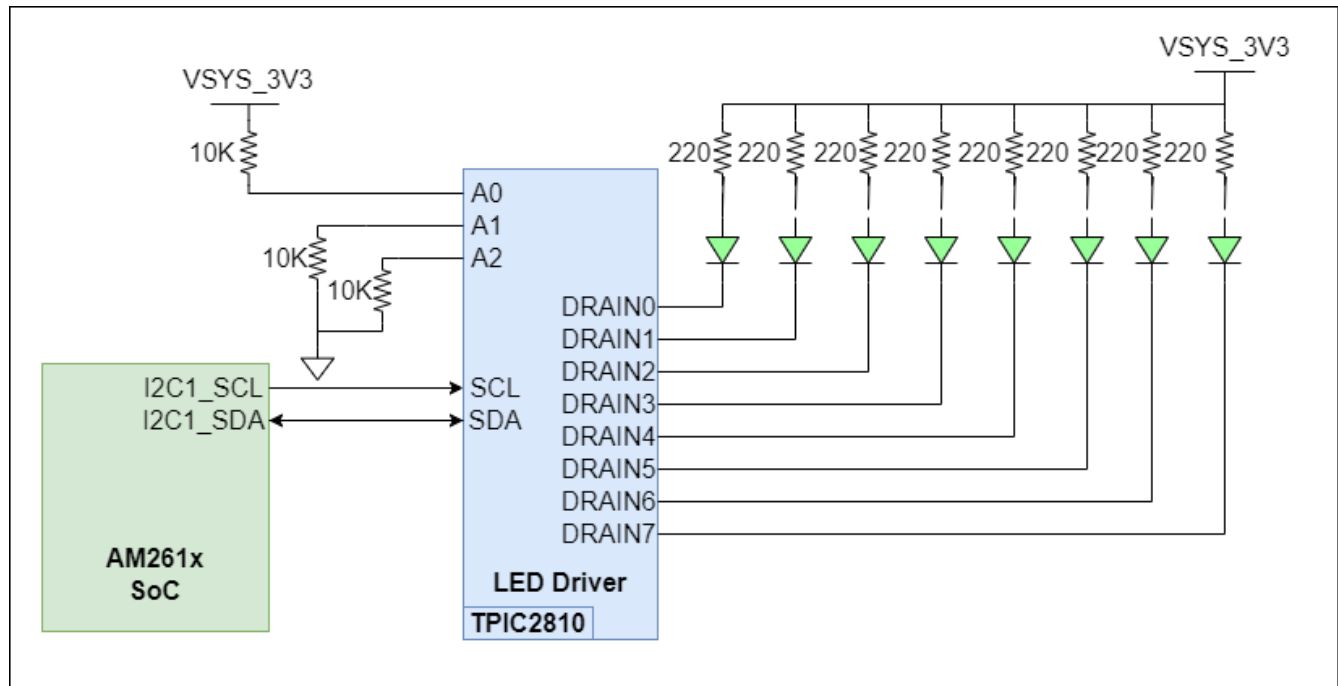


図 2-19. 産業用アプリケーションの I2C LED アレイ

## 2.10.4 SPI

AM261x LaunchPad は、AM261x MCU からの 2 つの SPI インスタンス (SPI0、SPI2) をブースタック ヘッダーにマップします。各 SPI クロックと SPI D0 信号について、SoC の近くに直列終端抵抗を配置します。選択したブースタックモードに応じて SPI0 信号をブースタック ヘッダーに配線する一連のマルチプレクサがあります。以下の表では、SPI0 信号をブースタック ヘッダーに配線するためのマルチプレクサ選択信号について詳しく説明しています。

**表 2-24. U68 マルチプレクサの選択**

BP_MUX_SW_S3 (GPIO43)	マルチプレクサ出力 (COM)
0	SPI0_D1
1	PR1_PRU1_GPIO15

**表 2-25. U56 マルチプレクサの選択**

BP_MUX_SW_S0	BP_MUX_SW_S1	マルチプレクサ出力 (4A)
0	0	SPI0_CLK
0	1	PR1_PRU1_GPIO2
1	0	SPI0_CLK
1	1	SPI0_CLK

**表 2-26. U67 マルチプレクサの選択**

BP_MUX_SW_S0	BP_MUX_SW_S1	マルチプレクサ出力 (4A)
0	0	SPI0_CS0
0	1	SDFM0_D2
1	0	PR1_PRU1_GPIO1
1	1	SPI0_CS0

**表 2-27. U31 マルチプレクサの選択**

BP_MUX_SW_S0	BP_MUX_SW_S1	マルチプレクサ出力 (1A)
0	0	SPI0_D0
0	1	SDFM1_D1
1	0	SDFM1_D1
1	1	SPI0_D0

すべての SPI2 信号はブースタックに直接配線されます。

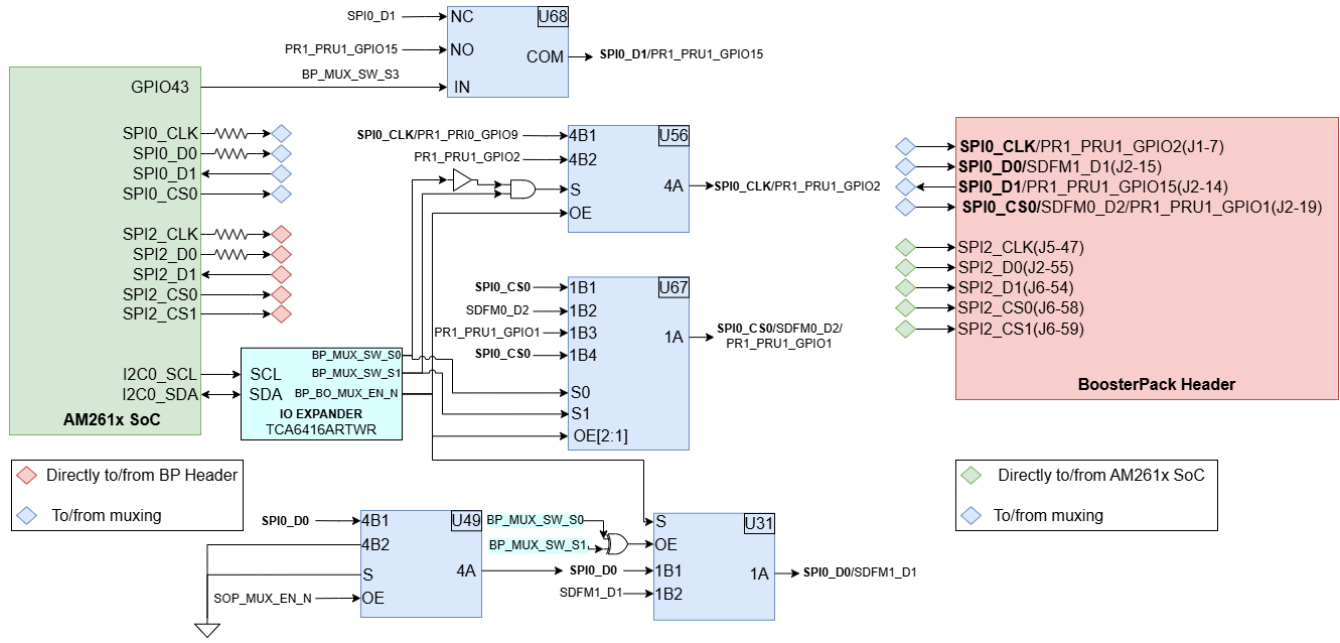


図 2-20. LP-AM261 SPI インターフェイス

## 2.10.5 UART

AM261x LaunchPad は、端末アクセスのための USB2.0 から UART へのブリッジとして XDS110 を使用します。AM261x SoC の UART0 送信および受信信号は、3.3V IO 電圧電源から 3.3V XDS 電源に変換するためのデュアルチャンネル絶縁バッファ (ISO7721DR) を使用して XDS110 にマップされています。XDS110 は、USB 2.0 信号用に micro-B USB コネクタに接続されています。過渡電圧抑制デバイス (TPD4E02B04DQAR) により、USB 2.0 信号への ESD 保護が提供されています。micro-B USB コネクタの VBUS 5V 電源は、低ドロップアウトレギュレータ (TPS79601DRBR) に割り当てられ、3.3V XDS110 電源を生成します。XDS110 には個別の 3.3V 電源があるため、LaunchPad への電源が切り離されたときに、エミュレータは接続を維持できます。

2 つの UART3 インスタンスがブースタパック ヘッダーに出力されます。AM261x ピン C19 と C18 のピンマルチプレクサを UART3 TXD/RXD 用に構成している場合、信号はヘッダー J1 でアクセスできます。AM261x ピン A14 と B14 のピンマルチプレクサが UART 用に構成されている場合、ヘッダー J5 で信号にアクセスできます。AM261x MCU からブースタパック ヘッダーへのパスにマルチプレクサが実装されており、他のブースタパック モードを有効にできます。これらのマルチプレクサのロジック表を以下に示します。

表 2-28. U46 マルチプレクサの選択

BP_MUX_SW_S4	BP_BO_MUX_EN_N	マルチプレクサ出力 (1A)
0	0	ハイインピーダンス
0	1	UART3_RXD
1	0	ハイインピーダンス
1	1	SDFM1_D0

表 2-29. U80 マルチプレクサの選択

BP_MUX_SW_S5	COM
0	UART3_TXD
1	PR1_PRU1_GPIO3

表 2-30. U37 マルチプレクサの選択

BP_MUX_SW_S1	COM
0	UART3_RXD
1	PR1_PRU0_GPIO19

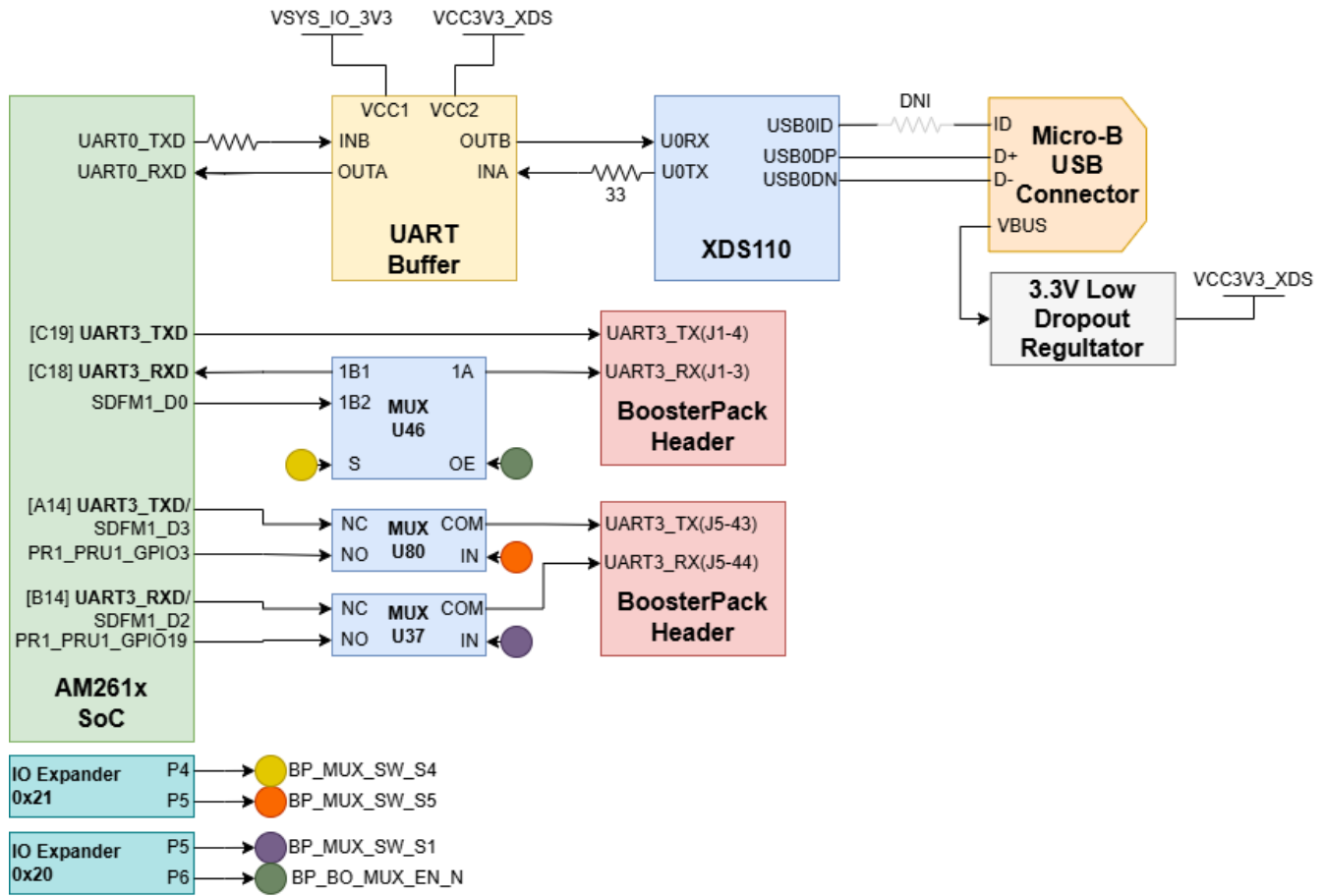


図 2-21. LP-AM261 UART インターフェイス

### 2.10.6 MCAN

AM261x LaunchPad には、AM261x MCU の MCAN0 インターフェイスに接続されているシングル MCAN トランシーバ (TCAN1044VDRBTQ1) が搭載されています。MCAN トランシーバには、次の 2 つの電源入力があります: VIO はトランシーバの 3.3V システム レベル シフト電源電圧、VCC はトランシーバの 5V 電源電圧です。AM261x MCU CAN データ送信データ入力はトランシーバの TXD にマッピングされ、トランシーバの CAN 受信データ出力は MCU の MCAN RX 信号にマッピングされます。

EMI 性能を向上させるために、本システムでは CANH 信号と CANL 信号には 120Ω の分割終端を施しています。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

Low レベルと High レベルの CAN バス入出力ラインは、3 ピンのねじ込み端子ヘッダで終端されています。

スタンバイ制御信号は AM261x GPIO 信号です。STB 制御入力にはプルアップ抵抗があり、トランシーバを低消費電力のスタンバイ モードにしてシステムの過剰な電力を防止するために使用します。以下に、STB 制御入力ロジックに基づく MCAN トランシーバの動作モードを示します。

表 2-31. MCAN トランシーバの動作モード

STB	デバイス モード	ドライバ	レシーバ	RXD ピン
High	バス ウェークアップ機能付きの低電流スタンバイ モード	ディセーブル	ローパワー レシーバーとバス モニタ イネーブル	有効な WUP を受信するまで High (リセッブ)
Low	通常モード	イネーブル	イネーブル	バスの状態を反映します

MCAN0 と MCAN1 は、一連のマルチプレクサを経由してブースタパック ヘッダーに接続されています。以下の表では、MCAN1 信号をブースタパック ヘッダーに配線するためのマルチプレクサ選択信号を詳しく説明します。

表 2-32. U35 マルチプレクサの選択

MCAN_MUX_SEL	マルチプレクサ出力
0	MCAN0_RX/TX からブースタパック ヘッダー
1	MCAN0_RX/TX から MCAN トランシーバ

表 2-33. U31 マルチプレクサの選択

BP_MUX_SW_S0	BP_MUX_SW_S1	マルチプレクサ出力 (3A)	マルチプレクサ出力 (2A)
0	0	MCAN0_TX	MCAN1_RX
0	1	SDFM0_D0	PR1_PRU0_GPIO9
1	0	SDFM0_D0	PR1_PRU0_GPIO9
1	1	MCAN0_TX	MCAN1_RX

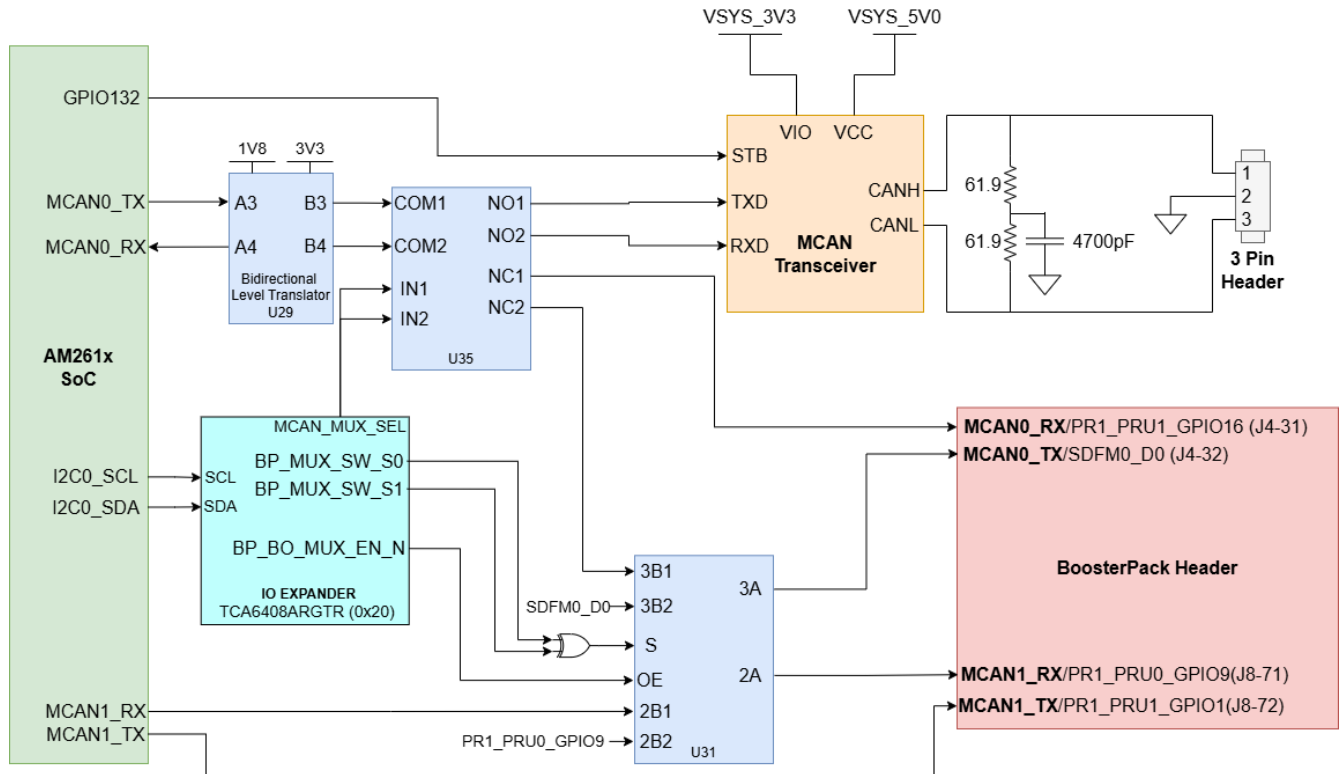


図 2-22. LP-AM261 MCAN インターフェイス

## 2.10.7 SDFM

シグマデルタ フィルタ モジュール (SDFM) ペリフェラルの 2 つのインスタンスは、AM261x MCU からブースタパック ヘッダーに配線されています。複数のブースタパック ヘッダー モードを有効にするために、SDFM 信号路に沿って一連のマルチプレクサがあります。マルチプレクサ ロジックとブロック図を以下に示します。

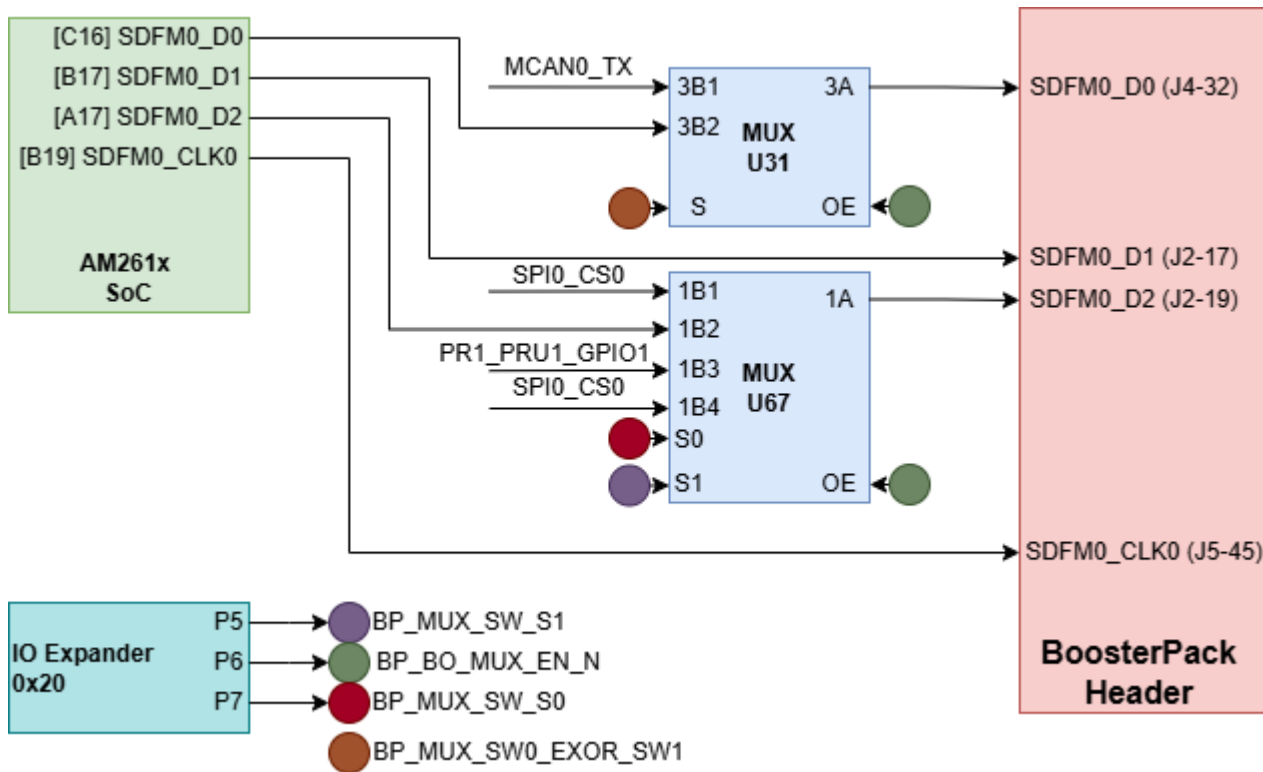


図 2-23. SDFM0

注

BP\_MUX\_SW0\_EXOR\_SW1 は、BP\_MUX\_SW\_S0 と BP\_MUX\_SW\_S1 の間の論理 XOR の出力です

表 2-34. U31 マルチプレクサの選択

BP_MUX_SW_S0	BP_MUX_SW_S1	BP_MUX_SW0_EXOR_SW1	マルチプレクサ出力 (3A)
0	0	0	MCAN0_TX
0	1	1	SDFM0_D0
1	0	1	SDFM0_D0
1	1	0	MCAN0_TX

表 2-35. U67 マルチプレクサの選択

BP_MUX_SW_S0	BP_MUX_SW_S1	マルチプレクサ出力 (1A)
0	0	SPI0_CS0
0	1	PR1_PRU1_GPIO1
1	0	SDFM0_D2
1	1	SPI0_CS0

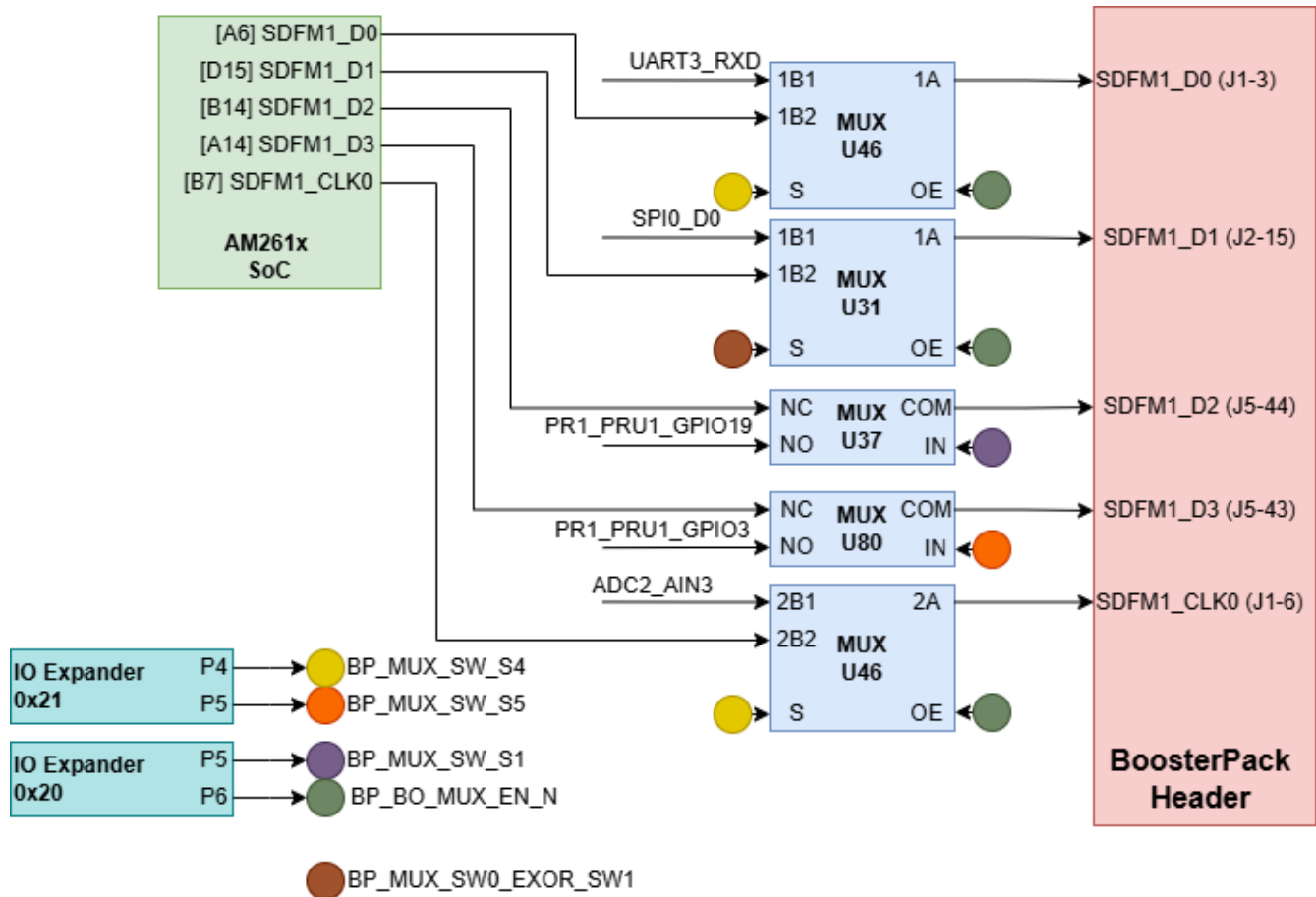


図 2-24. SDFM1

表 2-36. U46 マルチプレクサの選択

BP_MUX_SW_S4	マルチプレクサ出力 (1A)
0	UART3_RXD
1	SDFM1_D0

表 2-37. U31 マルチプレクサの選択

BP_MUX_SW_S0	BP_MUX_SW_S1	BP_MUX_SW0_EXOR_SW1	マルチプレクサ出力 (3A)
0	0	0	SPI0_D0
0	1	1	SDFM1_D1
1	0	1	SDFM1_D1
1	1	0	SPI0_D0

表 2-38. U37 マルチプレクサの選択

BP_MUX_SW_S1	マルチプレクサ出力 (COM)
0	SDFM1_D2
1	PR1_PRU1_GPIO19

表 2-39. U80 マルチプレクサの選択

BP_MUX_SW_S5	マルチプレクサ出力 (COM)
0	SDFM1_D3
1	PR1_PRU1_GPIO3

表 2-40. U46 マルチプレクサの選択

BP_MUX_SW_S4	マルチプレクサ出力 (2A)
0	ADC2_AIN3
1	SDFM1_CLK0



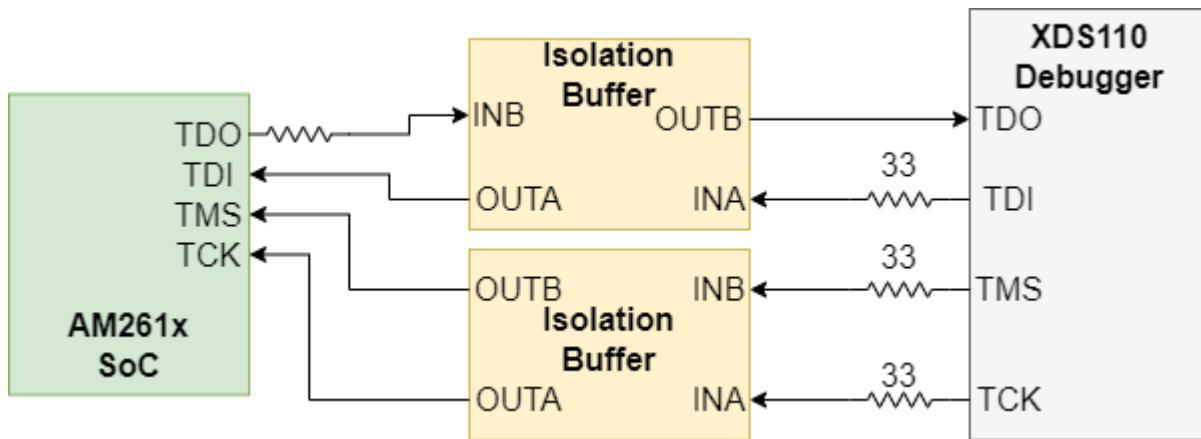


図 2-26. XDS110 との JTAG インターフェイス

### 2.10.10 テスト オートメーションのピン マッピング

次の表に、テスト オートメーション用 GPIO のマッピングを示します。

表 2-42. テスト オートメーション用 GPIO および I2C マッピング

信号名	説明	方向
TA_POWERDOWNZ	ロジック "Low" のとき、5V 電源はディスエーブルになります	出力
TA_PORZ	ロジック "Low" のときは、PMOS $V_{GS}$ がゼロ未満であるため PORz 信号をグラウンドに接続し、メインドメインへのパワー オンリセットが生成されます	出力
TA_RESETZ	ロジック "Low" のときは、PMOS $V_{GS}$ がゼロ未満であるため WARM RESETn 信号をグラウンドに接続し、メインドメインへのウォームリセットが生成されます	出力
TA_GPIO1	ロジック "Low" のときは、PMOS $V_{GS}$ がゼロ未満であり、SoC への割り込みが発生するため、INTn 信号をグラウンドに接続します	出力
TA_GPIO3	ロジック "Low" のときは、ブート モード バッファの出力イネーブルはディスエーブルになります	出力
TA_GPIO4	ブート モード IO エクスパンダのリセット信号	出力
TA_I2C_SCL	ブート モードを変更するために、ブートモード IO エクスパンダとの通信に使用する I2C クロック信号。	出力
TA_I2C_SDA	ブート モードを変更するために、ブートモード IO エクスパンダとの通信に使用される I2C データ信号。	出力

### 2.10.11 LIN

AM261x LaunchPad は、ブースタパック ヘッダーにマップされた 2 つの LIN インスタンスによるローカル相互接続ネットワーク通信をサポートしています。

注

AM261x は、オンボード LIN トランシーバを搭載していません

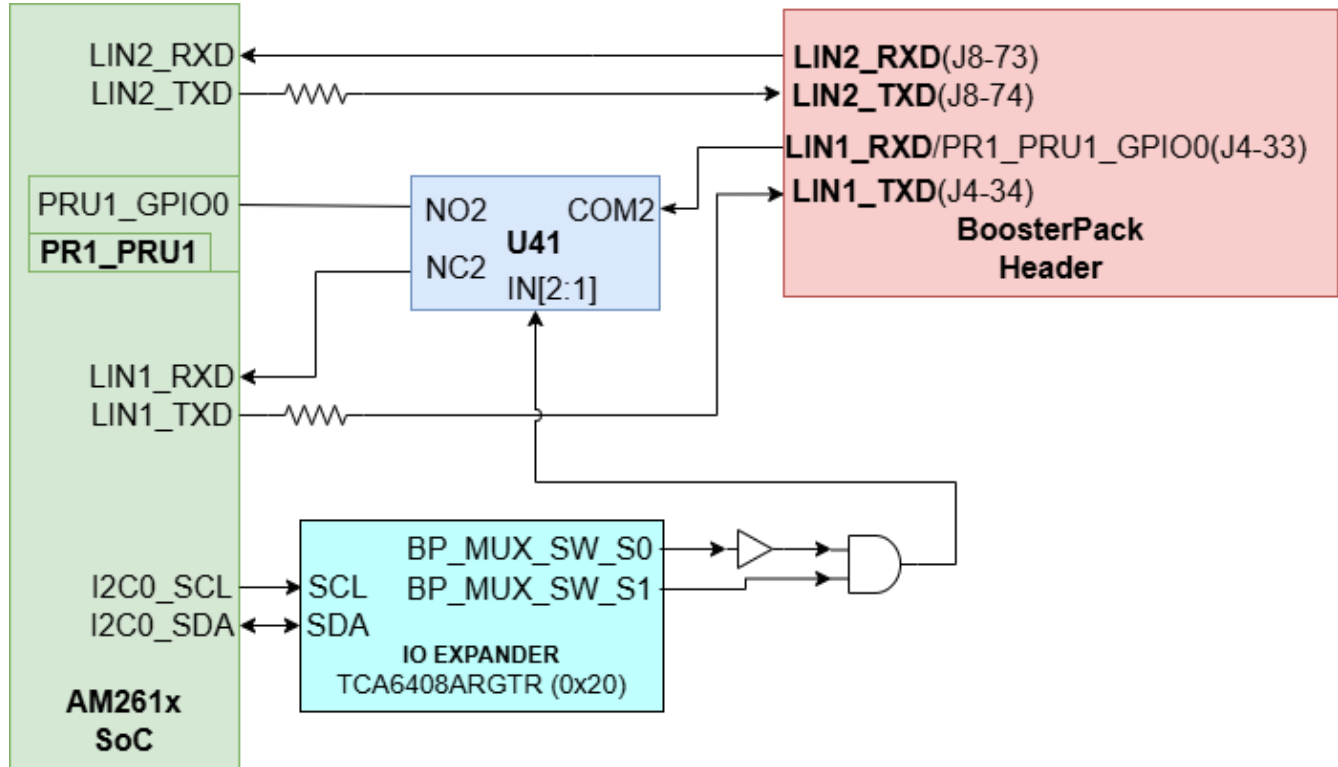


図 2-27. LIN インスタンスとブースタパック ヘッダーの接続

LIN2\_TXD、LIN2\_RXD、LIN1\_TXD 信号は、ブースタパックコネクタに直接配線されています。LIN1\_RXD はマルチプレクサを経由して配線されます。マルチプレクサ選択表を以下に示します。

表 2-43. U41 マルチプレクサの選択

BP_MUX_SW_S0	BP_MUX_SW_S1	マルチプレクサ出力 (COM2)
0	0	LIN1_RXD
0	1	PR1_PRU1_GPIO0
1	0	LIN1_RXD
1	1	LIN1_RXD

### 2.10.12 ADC および DAC

AM261x LaunchPad は、20 個の ADC 入力を ブースタパック ヘッダーにマッピングします。LaunchPad で使用されているすべての ADC 入力は ESD 保護されています。

選択したブースタパック モードに応じて、ADC 入力信号のパスを決定するマルチプレクサが複数あります。に、ブースタパック モード マルチプレクサで使用されるマルチプレクサ選択信号ロジックを示します。

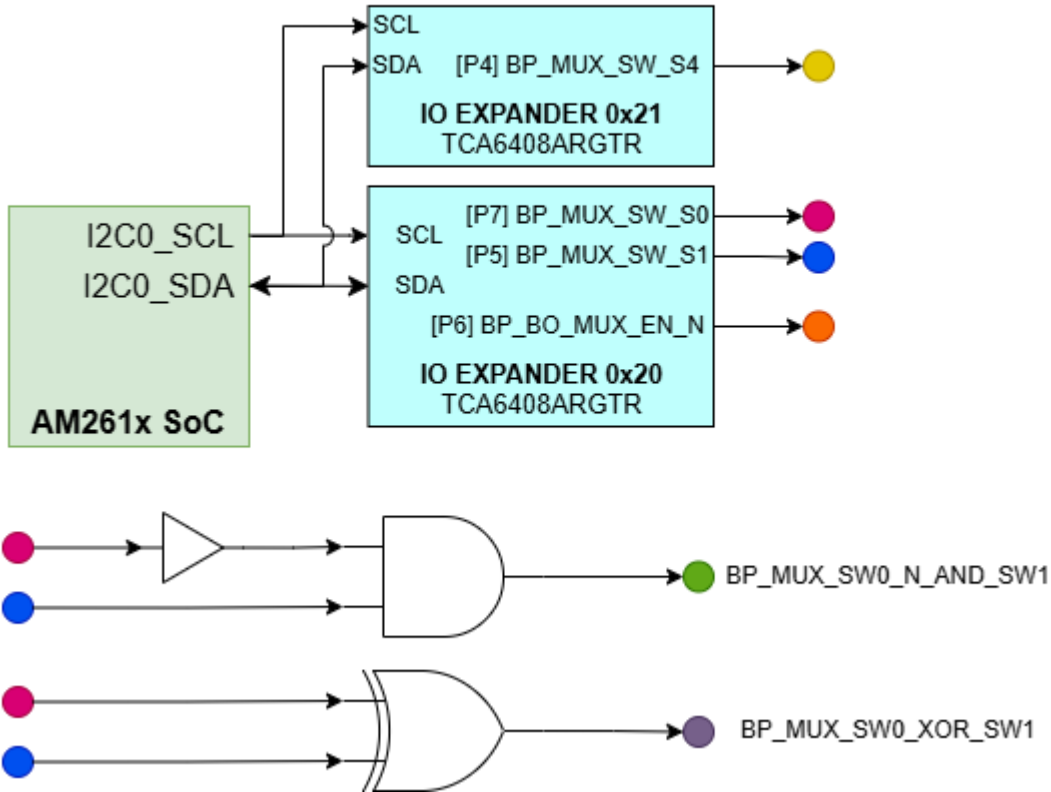


図 2-28. ブースタパックモードのマルチプレクサ選択ロジック

表 2-44. マルチプレクサ選択ロジック出力

BP_MUX_SW_S0	BP_MUX_SW_S1	BP_MUX_SW0_N_AND_SW1	BP_MUX_SW0_XOR_SW1
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

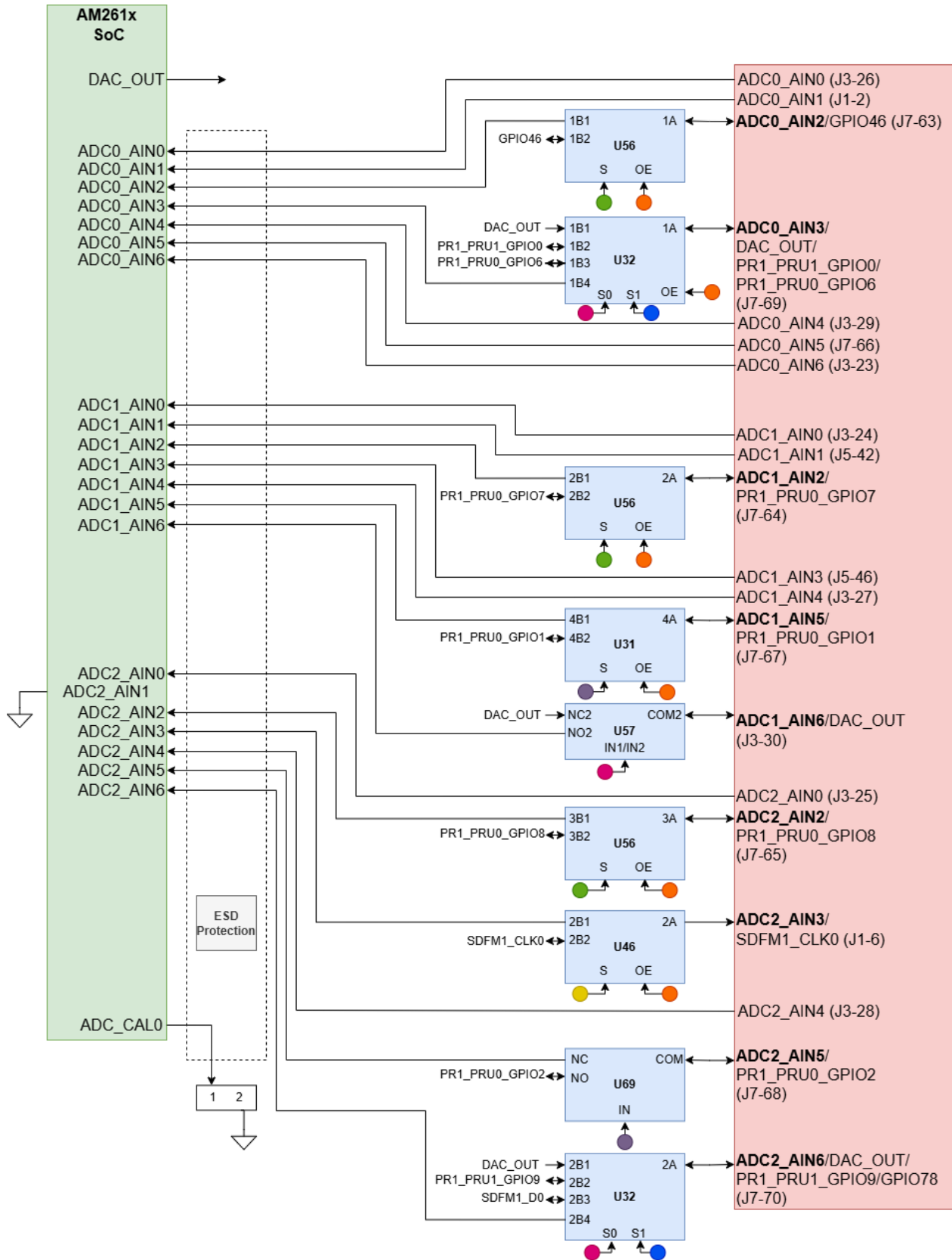


図 2-29. ADC/DAC インターフェイス

ADC と DAC は電圧リファレンスを必要とします。AM261x LaunchPad には 2 個のスイッチがあり、ユーザーは ADC と DAC の電圧リファレンスを選択できます。

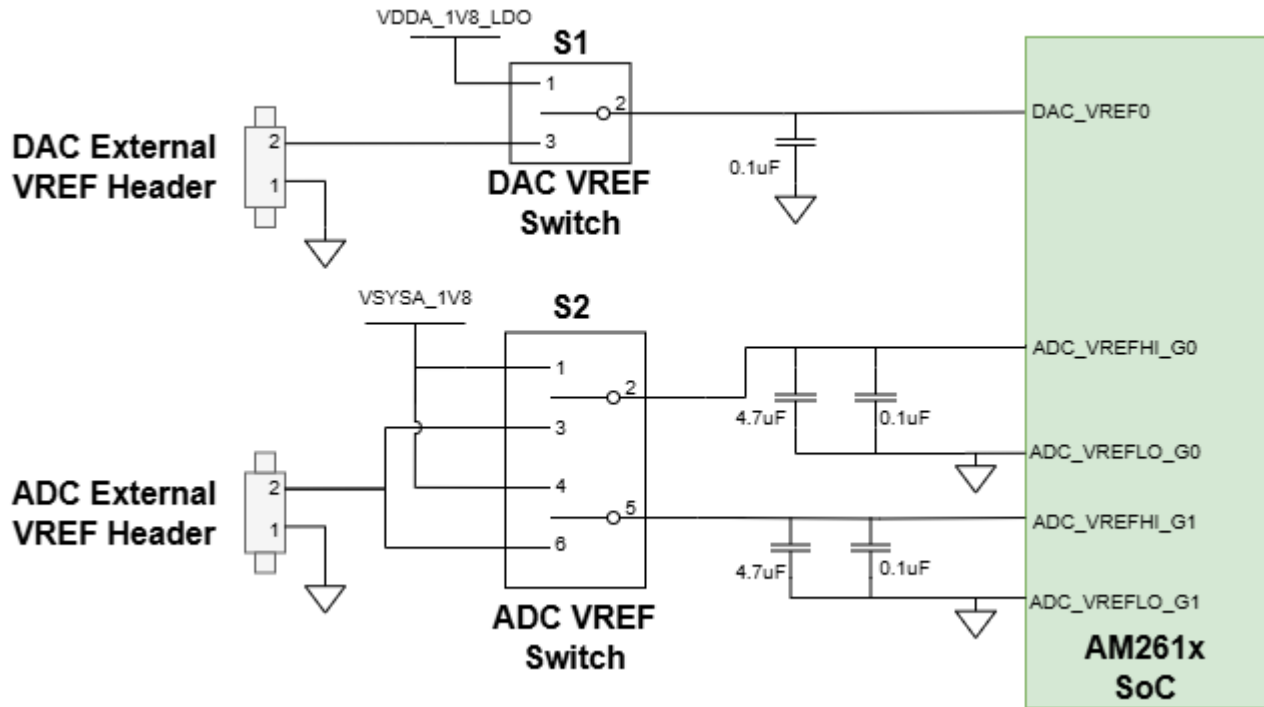


図 2-30. ADC と DAC の VREF スイッチ

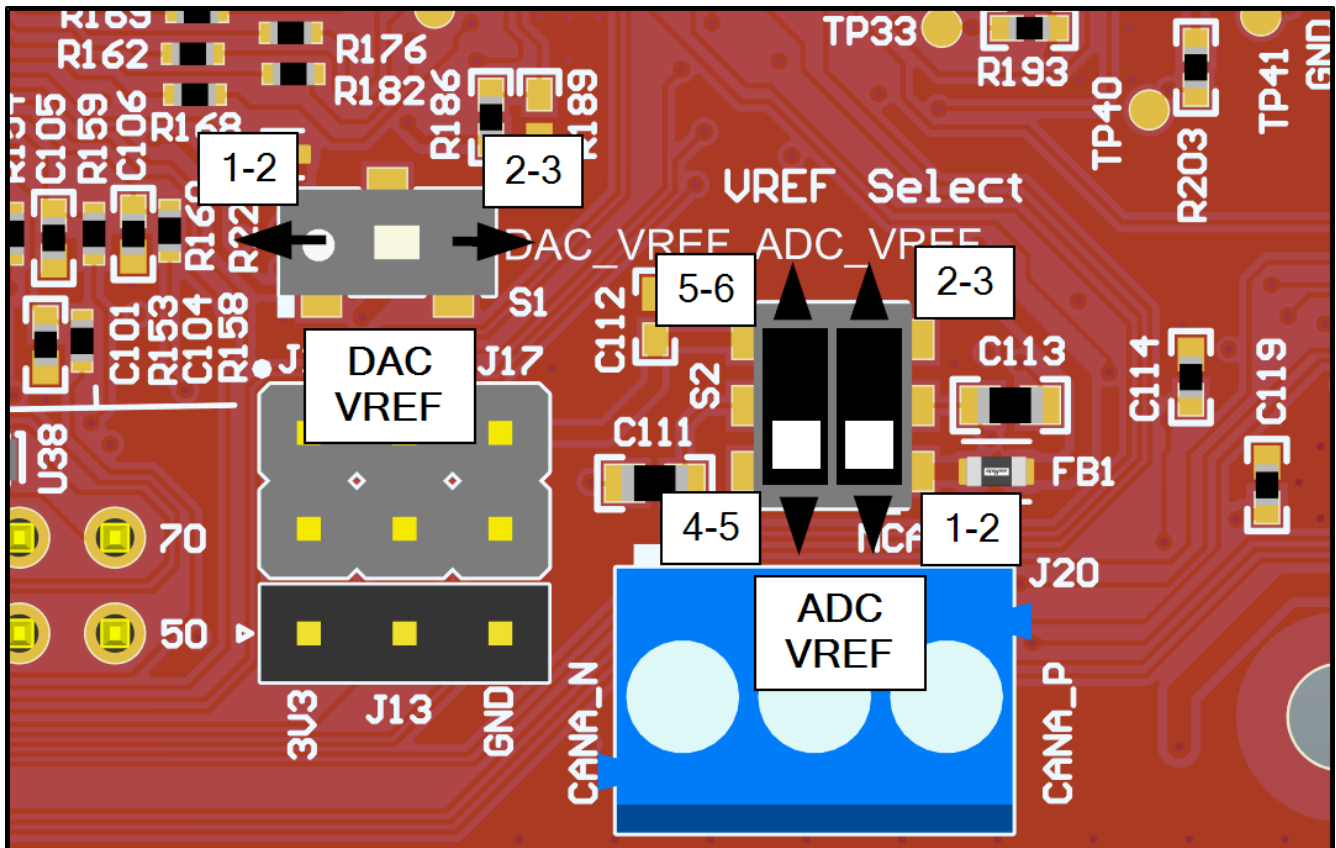


図 2-31. LP-AM261x ADC/DAC VREF スイッチ

DAC VREF スイッチ (S1) は、AM261x SoC の ADC VREF 入力を制御する単極双投スイッチです。

**注**

SDK サンプルを適切に機能させるには、DAC VREF スイッチをピン 1 ~ 2 の位置にする必要があります。

**表 2-45. DAC VREF スイッチ**

DAC VREF スイッチの位置	リファレンスの選択
ピン 1 ~ 2 (左)	AM261x オンダイ LDO
ピン 2 ~ 3 (右)	外部 DAC VREF ヘッダー

ADC VREF スイッチ (S2) は、AM261x SoC の ADC VREF 入力を制御する 2 つの単極双投スイッチを内蔵しています。

**注**

SDK サンプルを適切に機能させるには、ADC の VREF スイッチを 1 ~ 2 および 4 ~ 5 の位置にする必要があります。

**表 2-46. ADC VREF スイッチ**

ADC VREF スイッチの位置	リファレンスの選択
ピン 1 ~ 2 (下)	オンボードの PMIC 1.8V 出力
ピン 2 ~ 3 (上)	外部 ADC VREF ヘッダー
ピン 4 ~ 5 (下)	オンボードの PMIC 1.8V 出力
ピン 5 ~ 6 (上)	外部 ADC VREF ヘッダー

### 2.10.13 EQEP

AM261x LaunchPad は、eQEP、FSI、OSPI1 信号を内部で多重化します。AM261x の eQEP0 インスタンスは 2 つのヘッダー (J19、J16) で終端されています。AM261x の eQEP1 インスタンスは 2 つのヘッダー (J18、J15) で終端されています。

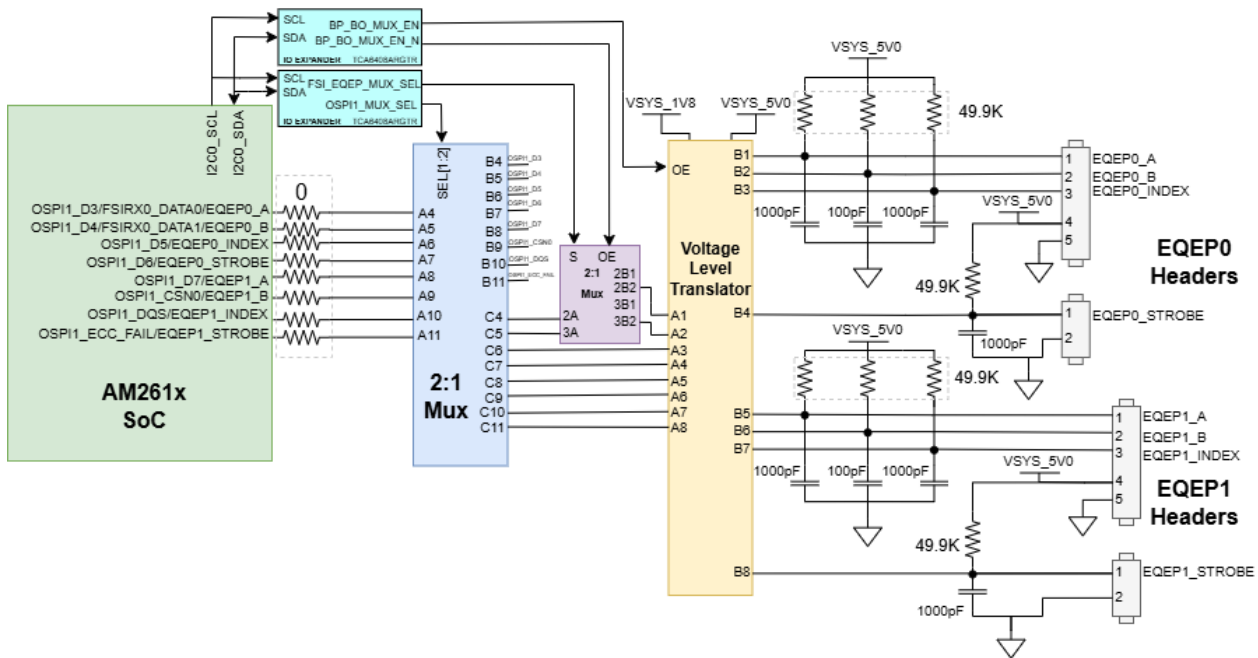


図 2-32. EQEP 信号マッピング

すべての eQEP 信号には、AM261x SoC と電圧レベルトランスレータ (TXB0108RGYR) との間に直列終端抵抗があります。電圧レベルシフタは、1.8V から 5V への変換を行います。

### 2.10.14 EPWM

AM261x LaunchPad は、12 個の PWM チャンネル (6 組の PWM\_A/B) をブースタパック ヘッダーにマップします。各 EPWM 信号には、直列終端抵抗があります。各 EPWM 信号のマッピングについては、[セクション 2.11](#) を参照してください。

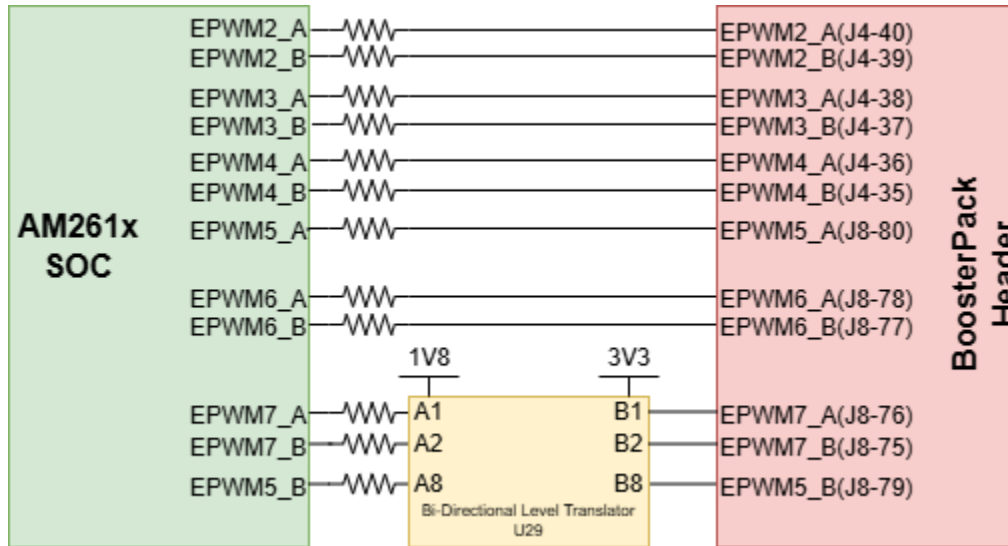


図 2-33. ブースタパック ヘッダーへの EPWM 信号のマッピング

### 2.10.15 USB

LP-AM261 には、AM261x MCU の USB0 ペリフェラルに接続された USB2.0 インターフェイスが 1 つあります。

AM261x は、USB DFU ブート モードをサポートしています。ブート モードの選択と詳細については、[ブート モード](#)に記載されています。

LaunchPad 上で、USB0\_DM および USB0\_DP ネットは、2:1 マルチプレクサを経由して Micro-USB レセプタクル (J10) または USB Type-C コネクタ (J25) に配線されます。次に、各 USB インターフェイス信号はコモンモードチョークに配線され、高速 USB 信号バスで発生するノイズを低減します。これらの回路は TPD4E02B04 ESD 保護ダイオードを通過し、それぞれのコネクタで終端されています。[図 2-34](#) に LP-AM261 への USB 実装の詳細が記載されています。

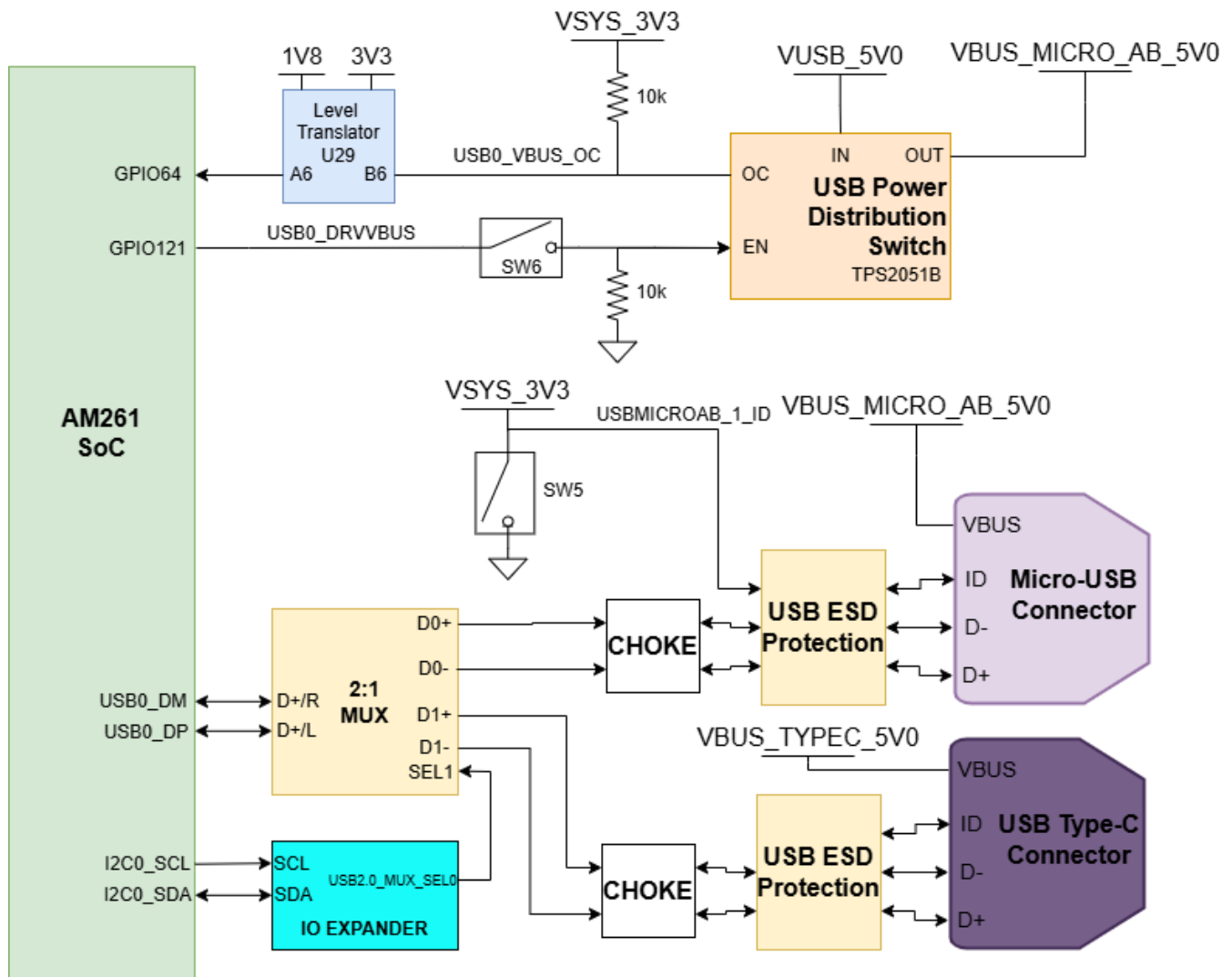


図 2-34. LP-AM261 USB インターフェイス

### Micro-USB インターフェイス

Micro-USB コネクタ (J10) への USB0 インターフェイスは、LP-AM261 のデフォルトのマルチプレクサの選択です。Micro-USB インターフェイスを使用する USB 動作モードは、DIP スイッチ SW5 と SW6 のセットを使用して制御されます。USB モード スイッチの設定の詳細は以下のとおりです。

表 2-47. Micro-USB インターフェイス USB モード スイッチ設定

SW6 (USB0_DRVVBUS)	SW5 (USBMICROAB_ID)	USB モード
オフ / 右	オフ / 左	デバイス モード
オン / 左	オン / 右	ホスト モード

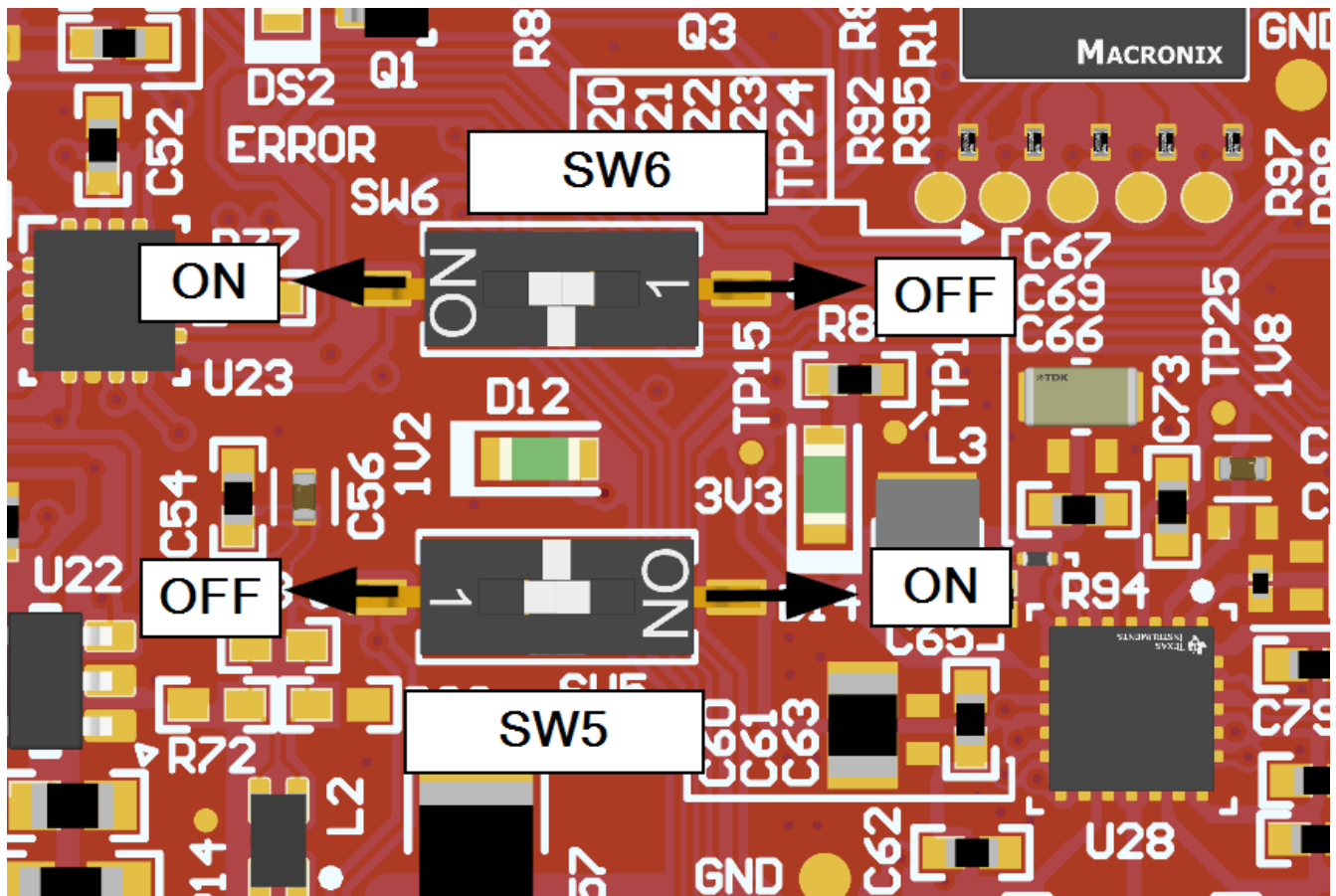


図 2-35. USB モード スイッチ

### USB デバイス モード

AM261x デバイスを USB デバイス モードで使用する場合、Micro-USB レセプタクルの VBUS ピンを使用して、USB コネクタに電圧が印加された、または取り外されたことを検出します。AM261x で動作するソフトウェアは、VBUS ピンに 5V または 0V があるか否かに応じて、内部 USB PHY を管理します。

### USB ホスト モード

AM261x デバイスを USB ホスト モードで使用する場合、Micro-USB レセプタクルの VBUS ピンに 5V が必要です。LP-AM261 では、この電源は、TPS2051B USB パワー ディストリビューション スイッチを使用して生成されます。このスイッチは、5V メインシステム入力の電力を供給し、USB バスに個別の 5V 入力を供給します。上記の表 2-47 のように、TPS2051B USB パワー ディストリビューション スイッチをイネーブルにするために SW6 をオンに、デバイスが USB ホストモードに設定されていることを示すために SW5 をオンにする必要があります。SW6 は USB0\_DRVVBUS ネットの状態を制御します。この回路は、AM261x MCU の専用の USB0\_DRVVBUS ピンに接続され、TPS2051B のイネーブルピンを駆動します。TPS2051B の OC ピンはアクティブ "Low" のオープンドレイン出力で、過電流または過熱シャットダウン状態が検出されたときに発生します。USB0\_VBUS\_OC ネットは、AM261x MCU の GPIO64 に接続されています。

## 2.11 ブースタパック ヘッダー

### 注

このブースタパックのピン配置は、LP-AM261 のリビジョン A にのみ適用されます。

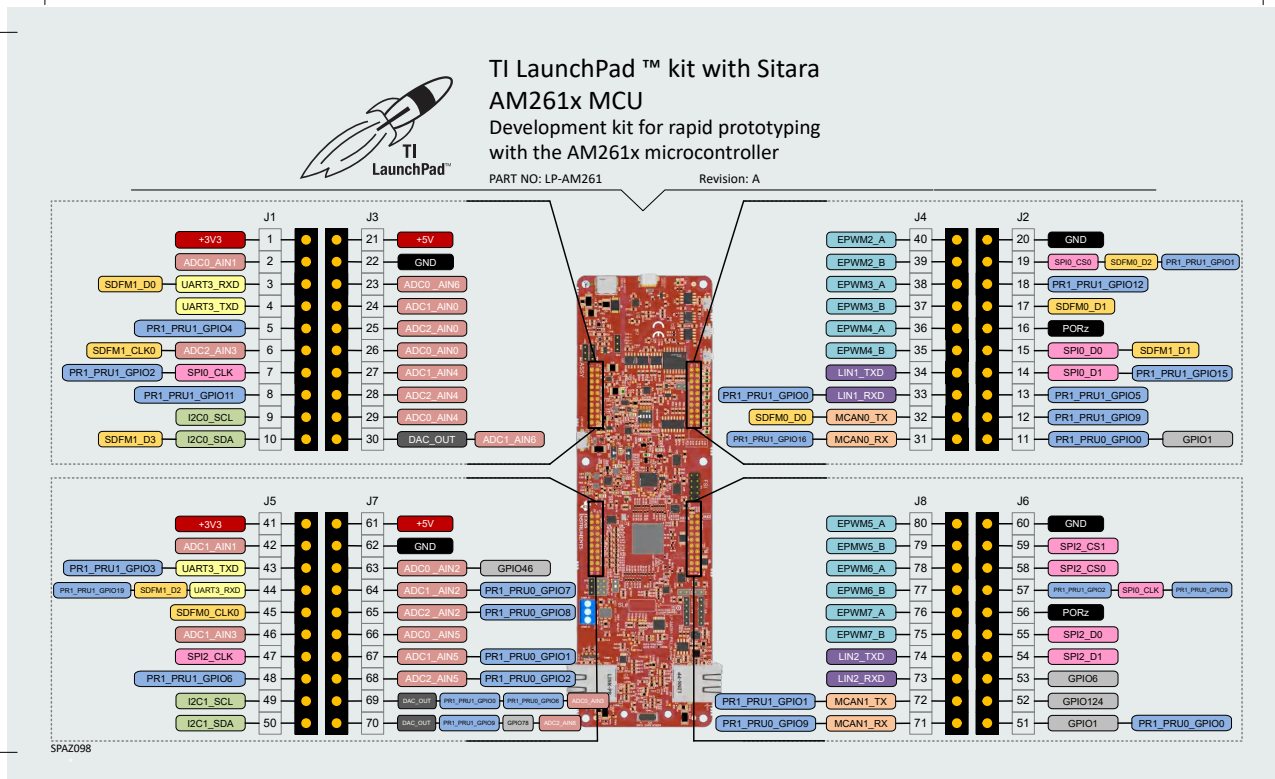


図 2-36. AM261x LaunchPad ブースタパックのピン配置

### 注

このピン配置は、ブースタパック ヘッダーにマップされたデフォルト信号を表しています。各ヘッダーで追加の信号オプションが利用可能で、詳細については、[セクション 2.12](#) を参照してください。

AM261x LaunchPad は、完全に独立した 2 個のブースタパック XL コネクタをサポートしています。ブースタパック サイト #1 (J1/J3, J2/J4) は、OSPI0 フラッシュと micro-B USB コネクタの間に配置されています。ブースタパック サイト #2 (J5/J7, J6/J8) は、OSPI0 フラッシュとイーサネット アドオン ボード コネクタの間に配置されています。各 GPIO には、GPIO マルチプレクサで利用できる複数の機能があります。SoC からブースタパック ヘッダーに接続されている信号は、次のとおりです。

- さまざまな ADC 入力
- DAC 出力
- UART0 および UART3
- さまざまな GPIO 信号
- SPI0 および SPI2
- I2C0 および I2C1
- さまざまな EPWM チャンネル
- LIN1 および LIN2
- MCAN0 および MCAN1
- SDFM0 および SDFM1

## ブースタパック モード

AM261x LaunchPad は 4 つのブースタパックと完全な互換性を持つことを意図しており、それぞれのブースタパックには異なるピン配置があります。

- <https://www.ti.com/lit/ml/slat157/slat157.pdf> に準拠する標準 LaunchPad ブースタパック
- [BOOSTXL-LMG2100-MD](#) や [BP-AMC0106-LMG-MD](#) などのサーボ モーター制御ブースタパック
- [BOOSTXL-IOLINKM-8](#)
- 標準的な C2000 DRVx ブースタパック

LP-AM261 は、AM261x MCU ピンマルチプレクサとオンボード信号マルチプレクサを使用して、目的のブースタパックモードに応じてさまざまな AM261x ネットの選択と配線を、ブースタパック ヘッダーに出力することができます。

ブースタパックのモードは、回路図に示すように、ネット BP\_MUX\_SW\_S1 および BP\_MUX\_SW\_S0 の選択ラインを使って制御されます。ブースタパック モードは、以下の選択行の組み合わせに対応しています。

**表 2-48. LP-AM261 ブースタパック モード**

BP_MUX_SW_S1	BP_MUX_SW_S0	ブースタパックモード
0	0	標準的な LaunchPad/ブースタパック
0	1	サーボ モーター制御ブースタパック
1	0	IO-LINK
1	1	C2000 DRVx ブースタパック

- BP\_MUX\_SW\_S0 は、I2C 制御 IO エクспанダ U23 (アドレス 0x20) を使用して制御され、出力 P7 に接続されています。
- BP\_MUX\_SW\_S1 は、I2C 制御 IO エクспанダ U23 (アドレス 0x20) を使用して制御され、出力 P5 に接続されています。

以下のピン配置表で、空白の「選択されたネット」セルは、ブースタパック ピンに外部マルチプレクシングがなく、ブースタパック ネット名に指定されたネットが常に選択されていることを示します。

### 2.11.1 ブースタパック モード 00: 標準的な LaunchPad/ブースタパックのピン配置

モード 00 は、標準的な LaunchPad/ブースタパックのピン配置を有効にします。以下の表に接続および詳細を示します。

**表 2-49. LP-AM261 ブースタパック モード 00 のマルチプレクサ設定**

ブースタパック マルチプレクサ選択ネット	状態
BP_MUX_SW_S0	0
BP_MUX_SW_S1	0

**表 2-50. モード 00: 標準的な LaunchPad ブースタパック (J1/J3)**

選択されたネット	ブースタパック ネット名	J1	J3	ブースタパック ネット名	選択されたネット
	VSYS_3V3_BP	1	21	VSYS_5V0_BP_1	
	ADC0_AIN1	2	22	GND	
UART3_RXD	UART3_RXD / SDFM1_D0	3	23	ADC0_AIN6	
	UART3_TXD	4	24	ADC1_AIN0	
	PR1_PRU1_GPIO4	5	25	ADC2_AIN0	
ADC2_AIN3	ADC2_AIN3 / SDFM1_CLK0	6	26	ADC0_AIN0	
SPI0_CLK	SPI0_CLK/PR1_PRU1_GPIO2	7	27	ADC1_AIN4	
	PR1_PRU1_GPIO11	8	28	ADC2_AIN4	
	I2C0_SCL	9	29	ADC0_AIN4	

表 2-50. モード 00:標準的な LaunchPad ブースタパック (J1/J3) (続き)

選択されたネット	ブースタパック ネット名	J1	J3	ブースタパック ネット名	選択されたネット
	I2C0_SDA	10	30	DAC_OUT / ADC1_AIN6	DAC_OUT

表 2-51. モード 00:標準的な LaunchPad ブースタパック (J2/J4)

選択されたネット	ブースタパック ネット名	J4	J2	ブースタパック ネット名	選択されたネット
	EPWM2_A	40	20	GND	
	EPWM2_B	39	19	SPI0_CS0 / SDFM0_D2 / PR1_PRU1_GPIO1	SPI0_CS0
	EPWM3_A	38	18	PR1_PRU1_GPIO12	
	EPWM3_B	37	17	SDFM0_D1	
	EPWM4_A	36	16	PORz	
	EPWM4_B	35	15	SPI0_D0 / SDFM1_D1	SPI0_D0
	LIN1_TXD	34	14	SPI0_D1 / PR1_PRU1_GPIO15	SPI0_D1
LIN1_RXD	LIN1_RXD / PR1_PRU1_GPIO0	33	13	PR1_PRU1_GPIO5	
MCAN0_TX	MCAN0_TX / SDFM0_D0	32	12	PR1_PRU1_GPIO9	
MCAN0_RX	MCAN0_RX / PR1_PRU1_GPIO16	31	11	PR1_PRU0_GPIO0/GPIO1	PR1_PRU0_GPIO0

表 2-52. モード 00:標準的な LaunchPad ブースタパック (J5/J7)

選択されたネット	ブースタパック ネット名	J5	J7	ブースタパック ネット名	選択されたネット
	VSYS_3V3_BP	41	61	VSYS_5V0_BP_2	
	ADC1_AIN1	42	62	GND	GND
UART3_TXD	UART3_TXD / PR1_PRU1_GPIO3	43	63	ADC0_AIN2 / GPIO46	ADC0_AIN2
UART3_RXD	UART3_RXD / SDFM1_D2 / PR1_PRU1_GPIO19	44	64	ADC1_AIN2 / PR1_PRU0_GPIO7	ADC1_AIN2
	SDFM0_CLK0	45	65	ADC2_AIN2 / PR1_PRU0_GPIO8	ADC2_AIN2
	ADC1_AIN3	46	66	ADC0_AIN5	
	SPI2_CLK	47	67	ADC1_AIN5 / PR1_PRU0_GPIO1	ADC1_AIN5
	PR1_PRU1_GPIO6	48	68	ADC2_AIN5 / PR1_PRU0_GPIO2	ADC2_AIN5
	I2C1_SCL	49	69	DAC_OUT / PR1_PRU1_GPIO0 / PR1_PRU0_GPIO6 / ADC0_AIN3	DAC_OUT
	I2C1_SDA	50	70	DAC_OUT / PR1_PRU1_GPIO9 / GPIO78 / ADC2_AIN6	DAC_OUT

表 2-53. モード 00:標準的な LaunchPad ブースタパック (J6/J8)

選択されたネット	ブースタパック ネット名	J8	J6	ブースタパック ネット名	選択されたネット
	EPWM5_A	80	60	GND	
	EPWM5_B	79	59	SPI2_CS1	
	EPWM6_A	78	58	SPI2_CS0	
	EPWM6_B	77	57	PR1_PRU1_GPIO2 / SPI0_CLK / PR1_PRU0_GPIO9	PR1_PRU1_GPIO2
	EPWM7_A	76	56	PORz	
	EPWM7_B	75	55	SPI2_D0	
	LIN2_TXD	74	54	SPI2_D1	

表 2-53. モード 00: 標準的な LaunchPad ブースタパック (J6/J8) (続き)

選択されたネット	ブースタパック ネット名	J8	J6	ブースタパック ネット名	選択されたネット
	LIN2_RXD	73	53	GPIO6	
MCAN1_TX	MCAN1_TX / PR1_PRU1_GPIO1	72	52	GPIO124	
MCAN1_RX	MCAN1_RX / PR1_PRU0_GPIO9	71	51	GPIO1/PR1_PRU0_GPIO0	GPIO1

### 2.11.2 ブースタパック モード 01: サーボ モーター制御ブースタパック モード

モード 01 は、サーボ モーター制御ブースタパックの接続を有効化します。以下の表に接続および詳細を示します。

#### 注

BP-AMC0106-LMG-MD と組み合わせて使用するには、追加の変更が必要です。詳しくは、[セクション 6.3.2](#) を参照してください。

表 2-54. LP-AM261 ブースタパック モード 01 のマルチプレクサ設定

ブースタパック マルチプレクサ選択ネット	状態
BP_MUX_SW_S0	1
BP_MUX_SW_S1	0

表 2-55. モード 01: サーボ モーター制御ブースタパック (J1/J3)

選択されたネット	ブースタパック ネット名	J1	J3	ブースタパック ネット名	選択されたネット
	VSYS_3V3_BP	1	21	VSYS_5V0_BP_1	
	ADC0_AIN1	2	22	GND	
SDFM1_D0	UART3_RXD / SDFM1_D0	3	23	ADC0_AIN6	
	UART3_TXD	4	24	ADC1_AIN0	
	PR1_PRU1_GPIO4	5	25	ADC2_AIN0	
SDFM1_CLK0	ADC2_AIN3 / SDFM1_CLK0	6	26	ADC0_AIN0	
SPI0_CLK	SPI0_CLK/PR1_PRU1_GPIO2	7	27	ADC1_AIN4	
	PR1_PRU1_GPIO11	8	28	ADC2_AIN4	
	I2C0_SCL	9	29	ADC0_AIN4	
	I2C0_SDA	10	30	DAC_OUT / ADC1_AIN6	ADC1_AIN6

表 2-56. モード 01: サーボ モーター制御ブースタパック (J2/J4)

選択されたネット	ブースタパック ネット名	J4	J2	ブースタパック ネット名	選択されたネット
	EPWM2_A	40	20	GND	
	EPWM2_B	39	19	SPI0_CS0 / SDFM0_D2 / PR1_PRU1_GPIO1	SDFM0_D2
	EPWM3_A	38	18	PR1_PRU1_GPIO12	
	EPWM3_B	37	17	SDFM0_D1	
	EPWM4_A	36	16	PORz	
	EPWM4_B	35	15	SPI0_D0 / SDFM1_D1	SDFM1_D1
	LIN1_TXD	34	14	SPI0_D1 / PR1_PRU1_GPIO15	SPI0_D1
LIN1_RXD	LIN1_RXD / PR1_PRU1_GPIO0	33	13	PR1_PRU1_GPIO5	
SDFM0_D0	MCAN0_TX / SDFM0_D0	32	12	PR1_PRU1_GPIO9	

表 2-56. モード 01: サーボ モーター制御ブースタパック (J2/J4) (続き)

選択されたネット	ブースタパック ネット名	J4	J2	ブースタパック ネット名	選択されたネット
PR1_PRU1_GPIO16	MCAN0_RX / PR1_PRU1_GPIO16	31	11	PR1_PRU0_GPIO0/GPIO1	PR1_PRU0_GPIO0

表 2-57. モード 01: サーボ モーター制御ブースタパック (J5/J7)

選択されたネット	ブースタパック ネット名	J5	J7	ブースタパック ネット名	選択されたネット
	VSYS_3V3_BP	41	61	VSYS_5V0_BP_2	
	ADC1_AIN1	42	62	GND	
UART3_TXD	UART3_TXD / PR1_PRU1_GPIO3	43	63	ADC0_AIN2 / GPIO46	ADC0_AIN2
UART3_RXD	UART3_RXD / SDFM1_D2 / PR1_PRU1_GPIO19	44	64	ADC1_AIN2 / PR1_PRU0_GPIO7	ADC1_AIN2
	SDFM0_CLK0	45	65	ADC2_AIN2 / PR1_PRU0_GPIO8	ADC2_AIN2
	ADC1_AIN3	46	66	ADC0_AIN5	
	SPI2_CLK	47	67	ADC1_AIN5 / PR1_PRU0_GPIO1	PR1_PRU0_GPIO1
	PR1_PRU1_GPIO6	48	68	ADC2_AIN5 / PR1_PRU0_GPIO2	PR1_PRU0_GPIO2
	I2C1_SCL	49	69	DAC_OUT / PR1_PRU1_GPIO0 / PR1_PRU0_GPIO6 / ADC0_AIN3	PR1_PRU1_GPIO0
	I2C1_SDA	50	70	DAC_OUT / PR1_PRU1_GPIO9 / GPIO78 / ADC2_AIN6	PR1_PRU1_GPIO9

表 2-58. モード 01: サーボ モーター制御ブースタパック (J6/J8)

選択されたネット	ブースタパック ネット名	J8	J6	ブースタパック ネット名	選択されたネット
	EPWM5_A	80	60	GND	
	EPWM5_B	79	59	SPI2_CS1	
	EPWM6_A	78	58	SPI2_CS0	
	EPWM6_B	77	57	PR1_PRU1_GPIO2 / SPI0_CLK / PR1_PRU0_GPIO9	PR1_PRU1_GPIO2
	EPWM7_A	76	56	PORz	
	EPWM7_B	75	55	SPI2_D0	
	LIN2_TXD	74	54	SPI2_D1	
	LIN2_RXD	73	53	GPIO6	
PR1_PRU1_GPIO1	MCAN1_TX / PR1_PRU1_GPIO1	72	52	GPIO5	
PR1_PRU0_GPIO9	MCAN1_RX / PR1_PRU0_GPIO9	71	51	GPIO1/PR1_PRU0_GPIO0	GPIO1

### 2.11.3 ブースタパック モード 10: BOOSTXL-IOLINKM-8 モード

モード 10 では、BOOSTXL-IOLINKM-8 ブースタパックの接続が有効化されます。以下の表に接続および詳細を示します。

表 2-59. LP-AM261 ブースタパック モード 10 のマルチプレクサ設定

ブースタパック マルチプレクサ選択ネット	状態
BP_MUX_SW_S0	0
BP_MUX_SW_S1	1

表 2-60. モード 10: BOOSTXL-IOLINKM-8 ブースタパック (J1/J3)

選択されたネット	ブースタパック ネット名	J1	J3	ブースタパック ネット名	選択されたネット
	VSYS_3V3_BP	1	21	VSYS_5V0_BP_1	
	ADC0_AIN1	2	22	GND	
UART3_RXD	UART3_RXD / SDFM1_D0	3	23	ADC0_AIN6	
	UART3_TXD	4	24	ADC1_AIN0	
	PR1_PRU1_GPIO4	5	25	ADC2_AIN0	
ADC2_AIN3	ADC2_AIN3 / SDFM1_CLK0	6	26	ADC0_AIN0	
PR1_PRU1_GPIO2	SPI0_CLK/PR1_PRU1_GPIO2	7	27	ADC1_AIN4	
	PR1_PRU1_GPIO11	8	28	ADC2_AIN4	
	I2C0_SCL	9	29	ADC0_AIN4	
	I2C0_SDA	10	30	DAC_OUT / ADC1_AIN6	DAC_OUT

表 2-61. モード 10: BOOSTXL-IOLINKM-8 ブースタパック (J2/J4)

選択されたネット	ブースタパック ネット名	J4	J2	ブースタパック ネット名	選択されたネット
	EPWM2_A	40	20	GND	
	EPWM2_B	39	19	SPI0_CS0 / SDFM0_D2 / PR1_PRU1_GPIO1	PR1_PRU1_GPIO1
	EPWM3_A	38	18	PR1_PRU1_GPIO12	
	EPWM3_B	37	17	SDFM0_D1	
	EPWM4_A	36	16	PORz	
	EPWM4_B	35	15	SPI0_D0 / SDFM1_D1	SDFM1_D1 → PR1_PRU1_GPIO7 (ピンマルチプレクサ経由)
	LIN1_TXD	34	14	SPI0_D1 / PR1_PRU1_GPIO15	PR1_PRU1_GPIO15
PR1_PRU1_GPIO0	LIN1_RXD / PR1_PRU1_GPIO0	33	13	PR1_PRU1_GPIO5	
SDFM0_D0 → PR1_PRU1_GPIO10 (ピンマルチプレクサ経由)	MCAN0_TX / SDFM0_D0	32	12	PR1_PRU1_GPIO9	
MCAN0_RX → PR1_PRU1_GPIO16 (ピンマルチプレクサ経由)	MCAN0_RX / PR1_PRU1_GPIO16	31	11	PR1_PRU0_GPIO0/GPIO1	PR1_PRU0_GPIO0

表 2-62. モード 10: BOOSTXL-IOLINKM-8 ブースタパック (J5/J7)

選択されたネット	ブースタパック ネット名	J5	J7	ブースタパック ネット名	選択されたネット
	VSYS_3V3_BP	41	61	VSYS_5V0_BP_2	
	ADC1_AIN1	42	62	GND	GND
PR1_PRU1_GPIO3	UART3_TXD / PR1_PRU1_GPIO3	43	63	ADC0_AIN2 / GPIO46	GPIO46
PR1_PRU1_GPIO19	UART3_RXD / SDFM1_D2 / PR1_PRU1_GPIO19	44	64	ADC1_AIN2 / PR1_PRU0_GPIO7	PR1_PRU0_GPIO7
	SDFM0_CLK0	45	65	ADC2_AIN2 / PR1_PRU0_GPIO8	PR1_PRU0_GPIO8

表 2-62. モード 10: BOOSTXL-IOLINKM-8 ブースタパック (J5/J7) (続き)

選択されたネット	ブースタパック ネット名	J5	J7	ブースタパック ネット名	選択されたネット
	ADC1_AIN3	46	66	ADC0_AIN5	
	SPI2_CLK	47	67	ADC1_AIN5 / PR1_PRU0_GPIO1	PR1_PRU0_GPIO1
	PR1_PRU1_GPIO6	48	68	ADC2_AIN5 / PR1_PRU0_GPIO2	PR1_PRU0_GPIO2
	I2C1_SCL	49	69	DAC_OUT / PR1_PRU1_GPIO0 / PR1_PRU0_GPIO6 / ADC0_AIN3	PR1_PRU0_GPIO6
	I2C1_SDA	50	70	DAC_OUT / PR1_PRU1_GPIO9 / GPIO78 / ADC2_AIN6	GPIO78

表 2-63. モード 10: BOOSTXL-IOLINKM-8 ブースタパック (J6/J8)

選択されたネット	ブースタパック ネット名	J8	J6	ブースタパック ネット名	選択されたネット
	EPWM5_A	80	60	GND	
	EPWM5_B	79	59	SPI2_CS1	
	EPWM6_A	78	58	SPI2_CS0	
	EPWM6_B	77	57	PR1_PRU1_GPIO2 / SPI0_CLK / PR1_PRU0_GPIO9	SPI0_CLK → GPIO12 (ピンマルチプレクサ経由)
	EPWM7_A	76	56	PORz	
	EPWM7_B	75	55	SPI2_D0	
	LIN2_TXD	74	54	SPI2_D1	
	LIN2_RXD	73	53	GPIO6	
MCAN1_TX	MCAN1_TX / PR1_PRU1_GPIO1	72	52	GPIO124	
PR1_PRU0_GPIO9	MCAN1_RX / PR1_PRU0_GPIO9	71	51	GPIO1/PR1_PRU0_GPIO0	GPIO1

#### 2.11.4 ブースタパック モード 11: C2000 DRVx ブースタパック モード

モード 11 は、C2000™ DRVx ブースタパックで使用する信号の配線を有効にします。以下の表に接続および詳細を示します。

表 2-64. LP-AM261 ブースタパック モード 10 のマルチプレクサ設定

ブースタパック マルチプレクサ選択ネット	状態
BP_MUX_SW_S0	1
BP_MUX_SW_S1	1

表 2-65. モード 11: C2000 DRVx ブースタパック (J1/J3)

選択されたネット	ブースタパック ネット名	J1	J3	ブースタパック ネット名	選択されたネット
	VSYS_3V3_BP	1	21	VSYS_5V0_BP_1	
	ADC0_AIN1	2	22	GND	
UART3_RXD	UART3_RXD / SDFM1_D0	3	23	ADC0_AIN6	
	UART3_TXD	4	24	ADC1_AIN0	
	PR1_PRU1_GPIO4	5	25	ADC2_AIN0	
ADC2_AIN3	ADC2_AIN3 / SDFM1_CLK0	6	26	ADC0_AIN0	
SPI0_CLK	SPI0_CLK/PR1_PRU1_GPIO2	7	27	ADC1_AIN4	
	PR1_PRU1_GPIO11	8	28	ADC2_AIN4	

表 2-65. モード 11: C2000 DRVx ブースタパック (J1/J3) (続き)

選択されたネット	ブースタパック ネット名	J1	J3	ブースタパック ネット名	選択されたネット
	I2C0_SCL	9	29	ADC0_AIN4	
	I2C0_SDA	10	30	DAC_OUT / ADC1_AIN6	DAC_OUT

表 2-66. モード 11: C2000 DRVx ブースタパック (J2/J4)

選択されたネット	ブースタパック ネット名	J4	J2	ブースタパック ネット名	選択されたネット
	EPWM2_A	40	20	GND	
	EPWM2_B	39	19	SPI0_CS0 / SDFM0_D2 / PR1_PRU1_GPIO1	SPI0_CS0
	EPWM3_A	38	18	PR1_PRU1_GPIO12	
	EPWM3_B	37	17	SDFM0_D1	
	EPWM4_A	36	16	PORz	
	EPWM4_B	35	15	SPI0_D0 / SDFM1_D1	SPI0_D0
	LIN1_TXD	34	14	SPI0_D1 / PR1_PRU1_GPIO15	SPI0_D1
LIN1_RXD	LIN1_RXD / PR1_PRU1_GPIO0	33	13	PR1_PRU1_GPIO5	
MCAN0_TX	MCAN0_TX / SDFM0_D0	32	12	PR1_PRU1_GPIO9	
MCAN0_RX	MCAN0_RX / PR1_PRU1_GPIO16	31	11	PR1_PRU0_GPIO0 / GPIO1	PR1_PRU0_GPIO0

表 2-67. モード 11: C2000 DRVx ブースタパック (J5/J7)

選択されたネット	ブースタパック ネット名	J5	J7	ブースタパック ネット名	選択されたネット
	VSYS_3V3_BP	41	61	VSYS_5V0_BP_2	
	ADC1_AIN1	42	62	GND	GND
PR1_PRU1_GPIO3	UART3_TXD / PR1_PRU1_GPIO3	43	63	ADC0_AIN2 / GPIO46	GPIO46
PR1_PRU1_GPIO19	UART3_RXD / SDFM1_D2 / PR1_PRU1_GPIO19	44	64	ADC1_AIN2 / PR1_PRU0_GPIO7	ADC1_AIN2
	SDFM0_CLK0	45	65	ADC2_AIN2 / PR1_PRU0_GPIO8	ADC2_AIN2
	ADC1_AIN3	46	66	ADC0_AIN5	
	SPI2_CLK	47	67	ADC1_AIN5 / PR1_PRU0_GPIO1	ADC1_AIN5
	PR1_PRU1_GPIO6	48	68	ADC2_AIN5 / PR1_PRU0_GPIO2	ADC2_AIN5
	I2C1_SCL	49	69	DAC_OUT / PR1_PRU1_GPIO0 / PR1_PRU0_GPIO6 / ADC0_AIN3	ADC0_AIN3
	I2C1_SDA	50	70	DAC_OUT / PR1_PRU1_GPIO9 / GPIO78 / ADC2_AIN6	ADC2_AIN6

表 2-68. モード 11: C2000 DRVx ブースタパック (J6/J8)

選択されたネット	ブースタパック ネット名	J8	J6	ブースタパック ネット名	選択されたネット
	EPWM5_A	80	60	GND	
	EPWM5_B	79	59	SPI2_CS1	
	EPWM6_A	78	58	SPI2_CS0	
	EPWM6_B	77	57	PR1_PRU1_GPIO2 / SPI0_CLK / PR1_PRU0_GPIO9	PR1_PRU1_GPIO2
	EPWM7_A	76	56	PORz	
	EPWM7_B	75	55	SPI2_D0	

**表 2-68. モード 11 : C2000 DRVx ブースタパック (J6/J8) (続き)**

選択されたネット	ブースタパック ネット名	J8	J6	ブースタパック ネット名	選択されたネット
	LIN2_TXD	74	54	SPI2_D1	
	LIN2_RXD	73	53	GPIO6	
MCAN1_TX	MCAN1_TX / PR1_PRU1_GPIO1	72	52	GPIO124	
MCAN1_RX	MCAN1_RX / PR1_PRU0_GPIO9	71	51	GPIO1 / PR1_PRU0_GPIO0	GPIO1

## 2.12 ピンマルチプレクサ マッピング

ブースタック コネクタ ピンの各種ピンマルチプレクサ オプションを以下に示します。

表 2-69. ピンマルチプレクサの凡例

BP ヘッダーのデフォルト信号	多重化された代替信号	代替信号オプション用外部マルチプレクサ
-----------------	------------	---------------------

表 2-70. J1 のピンマルチプレクサのオプション

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	モード 10
J1.1	3V3										
J1.2	ADC0_AIN1										
J1.3	PR0_PRU1_GPIO19		UART3_RXD	PR0_IEP0_EDC_SYNC_OUT0			GPMC0_A19	GPIO119	TRC_CLK	EQEP1_A	XBAROUT13
	MMC0_CMD	UART0_TXD	LIN0_TXD	MCAN0_TX	PR1_MDIO0_MD C			GPIO78	SDFM1_D0		
J1.4	PR0_PRU1_GPIO18		UART3_TXD	PR0_IEP0_EDIO_DATA_IN_OUT31			GPMC0_A17	GPIO120	TRC_CTL	EQEP1_B	XBAROUT14
J1.5	SPI1_CS0	EPWM7_A	MMC0_D2	UART4_TXD		PR1_PRU1_GPIO4		GPIO15	GPMC0_WAIT0		ADC_ETCH_XBAROUT4
J1.6	ADC2_AIN3										
	MMC0_CLK	UART0_RXD	LIN0_RXD	MCAN0_RX	PR1_MDIO0_MDI O			GPIO77	SDFM1_CLK0		
J1.7	SPI0_CLK	PR1_PRU0_GPIO9	MMC0_CMD	UART3_TXD		FSITX0_CLK	GPMC0_A7	GPIO12		ADC_ETCH_XBAROUT1	XBAROUT1
	PR1_PRU1_GPIO2		MII1_COL	UART5_TXD			GPMC0_AD2	GPIO73		ADC_ETCH_XBAROUT4	
J1.8	OSPI0_D0	EPWM9_A	PR1_PRU1_GPIO11	UART1_DCDn			GPMC0_AD11	GPIO3			
J1.9	I2C0_SCL							GPIO135		SDFM1_CLK3	
J1.10	I2C0_SDA							GPIO134		SDFM1_CLK2	
	UART2_RTSn	EQEP1_INDEX	LIN0_TXD	UART3_TXD				GPIO137		SDFM1_D3	

表 2-71. J2 のピンマルチプレクサのオプション

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
J2.11	MMC0_D2	UART2_TXD	I2C1_SDA		PR1_PRU0_GPIO0			GPIO81	SDFM1_CLK2		
	OSPI0_CS0	SPI0_CLK	UART3_TXD			UART2_RTSn		GPIO1			XBAROUT0

表 2-71. J2 のピンマルチプレクサのオプション (続き)

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
J2.12	PR1_PRU1_GPIO9		MII1_CRS	UART5_RXD			GPMMC0_AD9	GPIO74		ADC_ETCH_XBAR ROUT5	
J2.13	EPWM5_B		PR1_PRU1_GPIO5	OSPI0_RESET_OUT 0			GPMMC0_AD5	GPIO54			EPWM8_B
J2.14	SPI0_D1	PR1_PRU0_GPIO 1	MMC0_D1	UART3_RTSn		FSITX0_DATA1	GPMMC0_BE1n	GPIO14		ADC_ETCH_XBAR ROUT3	XBAROUT3
	SPI1_D1	EPWM8_B	MMC0_CD	UART5_RXD	OSPI0_RESET_OUT 0	PR1_PRU1_GPIO 15	FSIRX0_DATA1	GPIO18	GPMMC0_WPn	ADC_ETCH_XBAR ROUT7	XBAROUT4
J2.15	SPI0_D0	PR1_PRU0_GPIO 0	MMC0_D0	UART3_CTSn		FSITX0_DATA0	GPMMC0_A16	GPIO13		ADC_ETCH_XBAR ROUT2	XBAROUT2
	I2C2_SCL	PR1_PRU1_GPIO 7	UART4_RXD				GPMMC0_AD7	GPIO133	EQEP0_IDEX	SDFM1_D1	ADC_ETCH_XBAR OUT3
J2.16	PORz										
J2.17	PR0_PRU1_GPIO17	PR1_PRU1_GPIO 13	UART2_RXD	PR0_IEP0_EDIO_DA TA_IN_OUT30	PR1_UART0_TXD	UART5_CTSn	GPMMC0_AD13	GPIO125	SDFM0_D1		
J2.18	OSPI0_D1	EPWM9_B	PR1_PRU1_GPIO12	UART1_RIn			GPMMC0_AD12	GPIO4			
J2.19	SPI0_CS0	PR1_PRU0_GPIO 2	MMC0_CLK	UART3_RXD			GPMMC0_A0	GPIO11		ADC_ETCH_XBAR ROUT0	XBAROUT0
	UART2_CTSn	PR1_MDIO0_MDC	SPI3_CS1			UART5_RXD	GPMMC0_BE0n_CL E	GPIO127	SDFM0_D2		ADC_ETCH_XBAR OUT0
	PR1_PRU1_GPIO1	UART1_DSRn		UART4_CTSn			GPMMC0_AD1	GPIO72			
J2.20	GND										

表 2-72. J3 のピンマルチプレクサのオプション

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9
J3.21	5V									
J3.22	GND									
J3.23	ADC0_AIN6									
J3.24	ADC1_AIN0									
J3.25	ADC2_AIN0									
J3.26	ADC0_AIN0									

表 2-72. J3 のピンマルチプレクサのオプション (続き)

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9
J3.27	ADC1_AIN4									
J3.28	ADC2_AIN4									
J3.29	ADC0_AIN4									
J3.30	DAC_OUT									
	ADC1_AIN6									

表 2-73. J4 のピンマルチプレクサのオプション

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10	Mode11
J4.31	EPWM8_A	PR1_PRU1_GPIO16	OSPI1_D0	MCAN0_RX	PR0_PRU1_GPIO7	OSPI0_D0	GPMC0_CSn1	GPIO59	UART4_TXD		EPWM8_A	
J4.32	EPWM8_B	PR1_PRU1_GPIO15	OSPI1_CLK	MCAN0_TX		OSPI0_CLK	GPMC0_AD15	GPIO60	UART4_RXD		EPWM9_B	
	PR0_ECAP0_APWM_OUT	PR1_PRU1_GPIO10	UART2_CTSn	PR1_ECAP0_APWM_OUT	OR1_UART0_RT Sn		GPMC0_AD10	GPIO123	SDFM0_D0			
J4.33	UART1_RXD	OSPI0_LBCLKO			LIN1_RXD	OSPI1_LBCLKO	GPMC0_CLK	GPIO75				
	PR1_PRU1_GPIO0	UART1_DSRRn		UART4_RTSSn			GPMC0_AD0	GPIO71				
J4.34	LIN1_TXD	OSPI0_RESET_OUT0	SPI2_CLK	PR1_PRU1_GPIO8	OSPI1_RESET_OUT0	UART1_TXD	GPMC0_AD8	GPIO20			XBAROUT6	EPWM6_A
J4.35	EPWM4_B		PR1_PRU0_GPIO13				GPMC0_A11	GPIO52			EPWM1_B	
J4.36	EPWM4_A		PR1_PRU0_GPIO12				GPMC0_A10	GPIO51			EPWM4_A	
J4.37	EPWM3_B		PR1_PRU0_GPIO11				GPMC0_A9	GPIO50			EPWM6_A	
J4.38	EPWM3_A		PR1_PRU0_GPIO15				GPMC0_A13	GPIO49			EPWM3_A	
J4.39	EPWM2_B		PR1_PRU0_GPIO16		PR1_PRU0_GPIO7		GPMC0_A14	GPIO48			EPWM2_B	
J4.40	EPWM2_A		PR1_PRU0_GPIO3				GPMC0_A1	GPIO47			EPWM2_A	

表 2-74. J5 のピンマルチプレクサのオプション

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
J5.41	3V3										
J5.42	ADC1_AIN1										
J5.43	UART2_RTSn	EQEP1_INDEX	LIN0_TXD	UART3_TXD				GPIO137		SDFM1_D3	
	SPI1_CLK	EPWM7_B	MMC0_D3	UART4_RXD		PR1_PRU1_GPIO3	FSIRX0_CLK	GPIO16	GPMC0_OEn_REn	ADC_ETCH_XBAROUT5	XBAROUT2
J5.44	UART1_RTSn	SPI0_CS1	LIN0_RXD	UART3_RXD				GPIO136		SDFM1_D2	
	UART0_RTSn	I2C2_SCL	SPI3_D0	PR1_PRU1_GPIO19	PR1_PRU0_GPIO17	UART3_RXD	GPMC0_WAIT1	GPIO25			XBAROUT9
J5.45	CLKOUT1	PR1_PRU0_GPIO7	UART2_RTSn		PR1_UART0_CTSn		GPMC0_A5	GPIO122	SDFM0_CLK0	EQEP1_STROBE	
J5.46	ADC1_AIN3										
J5.47	SPI2_CLK	PR1_PRU1_GPIO17				UART5_TXD	GPMC0_WEn	GPIO129	SDFM0_D3		ADC_ETCH_XBAROUT1
J5.48	LIN1_RXD	OSPI0_ECC_FAIL	SPI2_CS0	PR1_PRU1_GPIO6	OSPI1_ECC_FAIL	UART1_RXD	GPMC0_AD6	GPIO19	OSPI0_RESET_OUT1	XBAROUT5	EPWM6_B
J5.49	I2C1_SCL		SPI1_CS0	PR1_PRU0_GPIO17			GPMC0_WEn	GPIO23			XBAROUT7
J5.50	I2C1_SDA		SPI3_CLK	PR1_PRU0_GPIO18			GPMC0_OEn_REn	GPIO24			XBAROUT8

表 2-75. J6 のピンマルチプレクサのオプション

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10	Mode11
J6.51	OSPI0_CSn0	SPI0_CLK	UART3_TXD			UART2_RTSn		GPIO1			XBAROUT0	
	MMC0_D2	UART2_TXD	I2C1_SDA		PR1_PRU0_GPIO0			GPIO81	SDFM1_CLK2			
J6.52	PR0_PRU1_GPIO7	CPTS0_TS_SYNC	PR1_PRU0_GPIO10	PR0_IEP0_EDC_SYNC_OUT1	PR1_UART0_RXD		GPMC0_A8	GPIO124	SDFM0_CLK1	SDFM1_D0	UART2_TXD	UART5_RTSn
J6.53	OSPI0_D3	SPI0_D1	OSPI0_D4					GPIO6				
J6.54	SPI2_D1	PR1_PRU1_GPIO14				UART5_RXD	GPMC0_AD14	GPIO128	SDFM0_CLK3	SDFM1_D2	ADC_ETCH_XBAROUT9	
J6.55	SPI2_D0	PR1_PRU1_GPIO18	UART4_RTSn	PR1_IEP0_ED_SYNC_OUT0	I2C1_SDA	MCAN1_RX	GPMC0_OEn_REn	GPIO130		SDFM1_CLK0		

表 2-75. J6 のピンマルチプレクサのオプション (続き)

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10	Mode11
J6.56	PORZ											
J6.57	PR1_PRU1_GPIO2		MII1_COL	UART5_TXD			GPMC0_AD2	GPIO73		ADC_ETCH_XBAROUT4		
	SPI0_CLK	PR1_PRU0_GPIO9	MMC0_CMD	UART3_TXD		FSITX0_CLK	GPMC0_A7	GPIO12		ADC_ETCH_XBAROUT1	XBAROUT1	
J6.58	CLKOUT0	LIN1_RXD	OSPI0_ECC_FAIL	UART1_RXD	SPI2_CS0	OSPI1_ECC_FAIL	USB0_DRVVBUS	GPIO138	SAFETY_ERRORn			
J6.59	UART1_CTSn	PR1_MDIO0_MDIO	SPI2_CS1	PR1_IEP0_EDC_SYNC_OUT1	UART5_CTSn	UART5_TXD	GPMC0_CLKLB	GPIO126	SDFM0_CLK2	SDFM1_D1		
J6.60	GND											

表 2-76. J7 のピンマルチプレクサのオプション

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
J7.61	5V										
J7.62	GND										
J7.63	ADC0_AIN2										
	EPWM1_B		PR1_PRU0_GPIO4				GPMC0_A4	GPIO46			EPWM4_B
J7.64	ADC1_AIN2										
	UART0_CTSn	I2C2_SDA	SPI3_D1	SPI0_CS1	PR1_PRU0_GPIO7	UART3_TXD		GPIO26			XBAROUT10
J7.65	ADC2_AIN2										
	EPWM0_B		PR1_PRU0_GPIO8				GPMC0_A6	GPIO44			EPWM0_B
J7.66	ADC0_AIN5										
J7.67	ADC1_AIN5										
	MMC0_D3	UART3_RTSn				PR1_PRU0_GPIO1		GPIO82	SDFM1_D2		
J7.68	ADC2_AIN5										
	MMC0_WP	UART0_RTSn	I2C2_SCL			PR1_PRU0_GPIO2		GPIO83	SDFM1_CLK3		

表 2-76. J7 のピンマルチプレクサのオプション (続き)

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
J7.69	DAC_OUT										
	PR1_PRU1_GPIO0	UART1_DSRn		UART4_RTSn			GPMC0_AD0	GPIO71			
	EPWM1_A		PR1_PRU0_GPIO6				GPMC0_A4	GPIO45			EPWM1_A
	ADC0_AIN3										
J7.70	DAC_OUT										
	PR1_PRU1_GPIO9		MII1_CRCS	UART5_RXD			GPMC0_AD9	GPIO74			ADC_ETCH_XBAR OUT5
	MMC0_CMD	UART0_TXD	LIN0_TXD	MCAN0_TX	PR1_MDIO0_MDC			GPIO78	SDFM1_D0		
	ADC2_AIN6										

表 2-77. J8 のピンマルチプレクサのオプション

ピン番号	Mode0	Mode1	Mode2	Mode3	Mode4	Mode5	Mode6	Mode7	Mode8	Mode9	Mode10
J8.71	MMC0_D0	UART2_RXD	I2C1_SCL	MCAN1_RX	PR1_PRU0_G PIO10			GPIO79	SDFM1_CLK1		
	MMC0_D1			MCAN1_TX	PR1_PRU0_G PIO9			GPIO80	SDFM1_D1		
J8.72	SPI2_CS0	PR1_PRU0_GPIO19	UART4_CTSn	PR1_IEP0_EDIO_DATA_IN_O UT31	I2C1_SCL	MCAN1_TX	GPMC0_CSn0	GPIO131	EQEP0_B	SDFM1_D0	
	PR1_PRU1_GPIO1		MII1_RX_ER	UART4_CTSn			GPMC0_AD1	GPIO72			
J8.73	LIN2_RXD	UART2_RXD	SPI2_D0	USB0_DRVVBUS	OSPI1_RESE T_OUT1	OSPI0_RESET_ OUT1		GPIO21	GPMC0_CSn0		
J8.74	LIN2_TXD	UART2_TXD	SPI2_D1					GPIO22	GPMC0_AdVn_ALE		
J8.75	LIN0_RXD	UART1_CTSn		I2C0_SDA	UART2_TXD			GPIO63			EPWM7_B
J8.76	EPWM7_A	PR1_PRU1_GPIO4	OSPI0_CSn1			OSPI1_CSn1	GPMC0_AD4	GPIO57			EPWM7_A
J8.77	EPWM6_B	PR1_PRU1_GPIO6		UART2_RTSn			GPMC0_A20	GPIO56			EPWM6_B
J8.78	EPWM6_A	PR1_PRU1_GPIO8	CLKOUT0				GPMC0_AD8	GPIO55			EPWM3_B
J8.79	EPWM7_B	PR1_PRU1_GPIO3	OSPI1_D1			OSPI0_D1	GPMC0_AD3	GPIO58			EPWM5_B
J8.80	EPWM5_A		PR1_PRU0_G PIO13				GPMC0_A11	GPIO52			EPWM51_B

表 2-78. ピンマルチプレクサの凡例

BP ヘッダーのデフォルト信号	多重化された代替信号	代替信号オプション用外部マルチプレクサ
-----------------	------------	---------------------

## 2.13 テスト ポイント

AM261x LaunchPad には、ハードウェアのデバッグに役立つ複数のテスト ポイントが付属しています。表 2-79 には LaunchPad で使用可能なテスト ポイントのリストが含まれます。

**表 2-79. LP-AM261 テストポイント**

テスト ポイント記号	テスト ポイントのネット名	説明
TP1	VUSB_5V0	USB Type-C 5V 入力
TP2	VDD_XDS3V3	XDS110 3.3V 電源
TP3	GND_XDS	XDS110 絶縁型 GND
TP4	TUSB_ADDR	USB Type-C ロジックコントローラ (U6) ADDR 入力
TP5	TUSB_ID	USB Type-C ロジックコントローラ (U6) の ID ピン
TP6	TM4C129_TCK	XDS110 の TCK ピン
TP7	TM4C129_TMS	XDS110 の TMS ピン
TP8	TA_RESETz_XDS	XDS110 へのテスト オートメーションリセット信号
TP9	-	XDS110 PM3 ピン
TP10	TM4C129_TDI	XDS110 の TDI ピン
TP11	TM4C129_TDO	XDS110 の TDO ピン
TP12	VBUS_XDS_5V0	XDS110 5.0V 電源
TP13	GND_XDS	XDS110 絶縁型 GND
TP14	VBUS_MICRO_AB_5V0	USB2.0 micro-AB ポート 5.0V VBUS 電源
TP15	VREG	PMIC (U28) VREG 出力
TP16	VSYS_3V3	PMIC (U28) BUCK1 3.3V 出力 - システム IO レール
TP17	OSPI0_CSN0	OSPI0 チップ セレクト 0
TP18	OSPI0_CLK	OSPI0 クロック
TP19	VCORE_1V25	PMIC (U28) BUCK3 1.25V 出力 - AM261x コア電圧
TP20	OSPI0_D7	OSPI0 データ ビット 7
TP21	OSPI0_D6	OSPI0 データ ビット 6
TP22	OSPI0_D1	OSPI0 データ ビット 1
TP23	OSPI0_D5	OSPI0 データ ビット 5
TP24	OSPI0_D0	OSPI0 データ ビット 0
TP25	VDD_1P8	PMIC (U28) VDD_1P8 ピン
TP26	OSPI0_ECC_FAIL	OSPI0 ECC 失敗
TP27	VSYS_2V5	PMIC (U28) BUCK2 2.5V 出力
TP28	OSPI0_D3	OSPI0 データ ビット 3
TP29	OSPI0_D2	OSPI0 データ ビット 2
TP30	AM261_OSPI0_DQS	OSPI0 DQS
TP31	VSYS_1V8	PMIC (U28) 1.8V LDO 出力
TP32	OSPI0_D4	OSPI0 データ ビット 4
TP33	OSPI1_D7	OSPI1 データ ビット 7
TP34	OSPI1_DQS	OSPI1 DQS
TP35	OSPI1_D6	OSPI1 データ ビット 6
TP36	OSPI1_D5	OSPI1 データ ビット 5
TP37	OSPI1_D0	OSPI1 データ ビット 0
TP38	OSPI1_D3	OSPI1 データ ビット 3
TP39	OSPI1_D4	OSPI1 データ ビット 4
TP40	OSPI1_D1	OSPI1 データ ビット 1
TP41	OSPI1_CSN0	OSPI1 チップ セレクト 0
TP42	OSPI1_D2	OSPI1 データ ビット 2
TP43	OSPI1_ECC_FAIL	OSPI1 ECC 失敗
TP44	OSPI1_CLK	OSPI1 クロック

表 2-79. LP-AM261 テストポイント (続き)

テストポイント記号	テストポイントのネット名	説明
TP45	EXT1_VMON2	イーサネットコネクタ 0 電圧モニタ
TP46	AM261_PORZ	PORZ
TP47	MII1_CRCS	MII1 キャリア センス
TP48	VDDA_ETH1_1V8	PHY1 1.8V 電源入力
TP49	ETH1_CLKOUT	PHY1 CLK_OUT ピン
TP50	VDDA_ETH0_1V8	PHY0 1.8V 電源入力
TP51	ETH0_CLKOUT	PHY0 CLK_OUT ピン
TP52	VSYS_5V0	USB 5.0V 入力電力負荷スイッチ (U14) 出力
TP53	RJ45_0_VCC	PHY0 RJ-45 VCC 入力
TP54	RJ45_1_VCC	PHY1 RJ-45 VCC 入力
TP55	GND	GND
TP56	GND	GND
TP57	TA_GPIO2	テスト オートメーション GPIO2
TP58	AM261_SAFETY_ERRORN	安全エラー出力信号
TP59	AM261_WARMRSTN	ウォームリセット
TP60	AM261_GPIO33	GPIO33
TP61	AM261_GPIO40	GPIO40
TP62	AM261_SPI2_D0	SPI2 データビット 0
TP63	AM261_MII2_COL	MII2 衝突検出
TP64	AM261_UART3_RXD	UART3 レシーバ
TP65	AM261_INT_PB_GPIO124	ユーザー割り込みプッシュ ボタン入力
TP66	AM261_SPI2_CS1	SPI2 チップ セレクト 1
TP67	GND	GND
TP68	GND	GND
TP69	GND	GND
TP70	GND	GND
TP71	GND	GND
TP72	GND	GND
TP73	GND	GND

## 2.14 ベスト プラクティス

### 静電放電 (ESD) に関するコンプライアンス

本製品に取り付けられているコンポーネントは、静電放電 (ESD) の影響を受けやすくなっています。TI では、本製品は ESD が制御された環境において使用されることを推奨しています。これには、ESD の蓄積を抑えるために温度や湿度が制御された環境も含まれます。TI では、本製品との接続時には、リストストラップや ESD マットなどの ESD 保護具の使用を推奨しています。

### 想定動作条件

このキットは、標準的な室内条件で動作することを想定しています。中程度から低い湿度で、標準的な周囲温度および圧力 (SATP) を想定しています。

### 3 ソフトウェア

AM261x MCU+ ソフトウェア開発キット ([MCU-PLUS-SDK-AM261X](#)) は組み込みプロセッサ向けの統合ソフトウェア プラットフォームであり、セットアップが容易で、サンプルとベンチマークとデモをすぐに利用できます。このソフトウェアを使用すると、システム ソフトウェアの基本的な機能の新規作成が不要になり、アプリケーション開発スケジュールの迅速化が可能になります。

[AM261x MCU+ Academy](#) では、LP-AM261 を使用した初めてのソフトウェア開発のための [入門ガイド](#) を提供しています。開発を開始するには、このガイドの手順に従ってください。

## 4 ハードウェア設計ファイル

LP-AM261 ハードウェア設計ファイルは、[評価基盤ツール ページ](#)またはこの[リンク](#)をクリックしてダウンロードできます。

## 5 コンプライアンス

選択されたすべての部品は RoHS 指令への適合性を満たしています。

## 6 追加情報

### 6.1 リビジョン E1 の付録

LP-AM261 リビジョン E1 で、以下の問題を特定しました。これらすべての問題に必要な変更の詳細も記載されています。これらの変更はすべて、[ti.com](http://ti.com) から注文したすべての LP-AM261 リビジョン E1 ボードですで行われています。

#### 6.1.1 TA\_POWERDOWNz は VSYS\_TA\_3V3 によってプルアップされ、VSY3\_3V3 によって電源が供給される

入力電力負荷スイッチを有効にしてシステム VSYS\_5V0 電力を有効にする TA\_POWERDOWNz は、VSY3\_3V3 を使用してプルアップされます。VSY3\_3V3 自体は VSYS\_5V0 から派生するため、LP-AM261 リビジョン E1 はデフォルトの構成では電源をオンにしません。

**変更:** VSY3\_3V3 には、PMIC 以外の電源から電力を供給する必要があります。このため、LDO が半田付けされて VSYS\_5V0 から 3.3V を生成し、TA\_POWERDOWNz を 3.3V にプルアップします。

#### 6.1.2 R355 による USB2.0\_MUX\_SEL0 のプルアップ

USB2.0\_MUX\_SEL0 ネットは R355 によってプルアップされ、AM261x からの USB 信号は、USB Micro-AB ではなく、デフォルトで USB-C コネクタに配線されます。

**変更:** 抵抗 R355 は実装されていないか、DNI になります。

#### 6.1.3 PRU0-ICSS0 の MDIO と MDC は、両方のイーサネット PHY に配線する必要がある

ネット AM261\_PR0\_MDIO0\_MDIO と AM261\_PR0\_MDIO0\_MDC は、両方のイーサネット PHY に接続する必要があります。現在の構成では、

- イーサネット PHY 0 には、多重化された AM261\_MDIO0\_MDC、AM261\_MDIO0\_MDIO、AM261\_PR0\_MDIO0\_MDC、AM261\_PR0\_MDIO0\_MDIO が接続されています。
- イーサネット PHY 1 には、多重化された AM261\_MDIO0\_MDC、AM261\_MDIO0\_MDIO、AM261\_PR1\_MDIO0\_MDC、AM261\_PR1\_MDIO0\_MDIO が接続されています。

ただし、必要な構成では

- イーサネット PHY 0 と 1 の両方が、AM261\_MDIO0\_MDC、AM261\_MDIO0\_MDIO と、AM261\_PR0\_MDIO0\_MDC、AM261\_PR0\_MDIO0\_MDIO のネットを多重化する必要があります。

**変更:** 上記の変更については、

- AM261\_PR1\_MDIO0\_MDIO – 非実装型 (DNP) R135 と直列の R135
- AM261\_PR1\_MDIO0\_MDC – 非実装型 (DNP) R137 と直列の R137
- R167 ピン 1 と R137 ピン 1 の間に青色のワイヤを接続する必要があります。
- R180 ピン 1 から R135 ピン 1 への青色のワイヤを接続する必要があります。

#### 6.1.4 AM261\_RGMII1\_RXLINK および AM261\_RGMII2\_RXLINK を GPIO に接続する

両方のイーサネット ヘッダーのピン 43 には AM261\_RGMII1\_RXLINK および AM261\_RGMII2\_RXLINK が配置されており、LP-AM261x リビジョン E1 の現在の実装では、これはテストポイントに設定されています。ただし、これらは AM261x の各 PRU の RX\_LINK ピンに接続する必要があります。

**変更:** 上記の変更については、

- PR0\_PRU0\_GPIO8(GPIO90) - pr0\_mii0\_rxlink - イーサネット コネクタ 0 (TP52) の RX\_LINK に接続する必要があります。
- PR0\_PRU1\_GPIO8(GPIO106) - pr0\_mii1\_rxlink - イーサネット コネクタ 1 (TP46) の RX\_LINK に接続する必要があります。

## 6.2 リビジョン E2 の付録

以下のセクションでは、LP-AM261 のリビジョン E1 から E2 への変更について詳しく説明し、リビジョン E2 の制限事項を記載しました。

### 6.2.1 リビジョン E2 を E1 から変更

LP-AM261 リビジョン E2 について以下の評価基盤に関する更新が行われました。

- ブースタパック ピン配置
  - 4 つのブースタパック モードに対応できるように、ブースタパック ヘッダーのピン配置を見直しました。ピン配置とブースタパック モードの詳細については、[セクション 2.11](#) を参照してください。
- テスト オートメーション インターフェイスのパワー ツリーに、テスト オートメーション電源 (VSYS\_TA\_3V3) を追加
- OSPI インターフェイス
  - OSPI0 デバイスを MX25UW6445GXEQ00 NOR フラッシュに変更
  - OSPI1 デバイスを APS12808L-OBMX-BA PSRAM に変更
- PMIC の型番を TPS65036501RAYRQ1 に更新
- 500MHz AM261x MCU のコア電圧要件に合わせて、VCORE\_1V2 の電力を VCORE\_1V25 に変更
- SOP ピンにアクティブ "Low" マルチプレクサを追加。マルチプレクサのイネーブルは、SOP\_DRIVER\_OEN と BP\_BO\_MUX\_EN\_N によって制御されます
- AM261x の型番を XAM2612AOFFHIZFG に更新

[セクション 6.1](#) で説明しているリビジョン E1 のすべての変更は、現在 PCB ハードウェアに実装されており、リビジョン E2 では必要ありません。

### 6.2.2 リビジョン E2 既知の制限

#### OSPI ブート — シリコン エラッタ

AM261x デバイスは、デバイスが OSPI ブート モードの場合、OSPI リセット信号にシリコン エラッタ (エラッタ i2479) が関連付けられています。OSPI ブート モードでは、外部 OSPI フラッシュ デバイスをリセットするために、電源オン時に GPIO61 が AM261x ブート ROM によって OSPI0\_RESET\_OUT0 として構成され、"Low" に駆動されます。ただし、OSPI コントローラではリセット信号管理の問題があるため、フラッシュ デバイスのリセット後に、このピンはデアサートされず、High に駆動されます。フラッシュ デバイスはリセット状態を維持するため、ブートが失敗します。LP-AM261 に、この問題に対する回避方法の 1 つを示します。実装の詳細は以下のとおりです。

- GPIO61/OSPI0\_RESET\_OUT0 は AM261x からレベルトランスレータに配線されます。レベルトランスレータはデフォルトでは無効になっています。イネーブル信号のプルダウン抵抗 R90 により、OSPI0\_RESET\_OUT0 がブート時に OSPI0 リセット ロジックに伝搬されないようにします。OSPI ブート機能が不要な場合以外は、この抵抗は取り外すことはできません。
- OSPI0 リセット ロジック回路では、プルアップ抵抗 R344 によって OSPI0\_RESET\_OUT0 ネットが HIGH に保持され、ブート時にネット High に保持されます。OSPI0 リセットは、WARMRSTn 信号によってトリガされ、ブート時に LOW を駆動し、電源が安定すると HIGH になります。AND ゲート U27 の出力は、OSPI0 フラッシュ デバイスリセット入力に接続します。
- ブートが完了すると、I2C 制御 IO エクスパンダ U23 を介して BP\_BO\_MUX\_EN 信号を HIGH に設定することで、レベルトランスレータ U25 をイネーブルにできます。これにより、アプリケーション中に OSPI\_RESET\_OUT0 をソフトウェアで構成し、フラッシュをリセットできます。

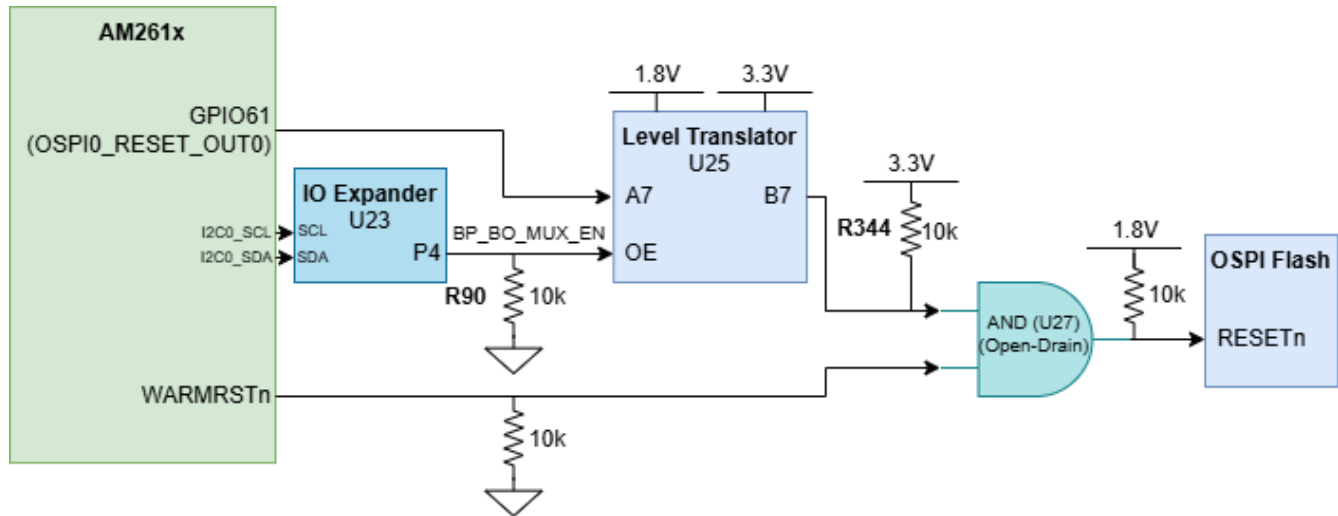


図 6-1. LP-AM261 OSPI リセット方法

このシリコン エラッタの詳細については、[AM261x エラッタ文書](#)を参照してください。

この問題のハードウェア回避方法の詳細については、[AM26x ハードウェア設計ガイドラインドキュメント](#)の「AM261x OSPI/QSPI BOOT ピンの要件」セクションを参照してください。

## RMII イーサネット

LP-AM261 リビジョン E2 (および E1) で RMII イーサネットを実行すると、10% のパケットに PCB 上で RMII の信号トレース長マッチング ルール違反が生じるため、RX CRC または RX AlignCode エラーが発生します。この問題は、評価基板の次のリビジョンで修正され、適切なデータとクロック パターン長がマッチングされています。

他のすべてのイーサネット モードおよびプロトコルではこの問題は発生せず、エラーなしで機能することが期待されます。

## 6.3 リビジョン A の付録

以下のセクションでは、LP-AM261 のリビジョン E2 からリビジョン A で実施された変更について詳しく説明します。

### 6.3.1 リビジョン A を E2 から変更

LP-AM261 リビジョン A については、以下の評価基盤の更新が行われました。

- イーサネット
  - オンボード DP83869 ギガビット PHY: LP-AM261 のリビジョン A では、イーサネット アドオン ボード エコシステムのサポートが削除され、現在、2 個の DP83869 ギガビット イーサネット PHY がオンボード実装され、それぞれに RJ-45 コネクタが付属しています。
- PMIC
  - ウォッチドッグはディスエーブル: TPS65036601 PMIC の OTP 構成により、デフォルトでウォッチドッグ タイマがイネーブルになります。12 分を超えてアイドル状態のままにすると、このタイマは AM261x デバイスへのリセット信号をトリガします。リビジョン A では、PMIC の GPIO ピン (13) を J1 ピン 1-2 のジャンパ SH-J1 を介して内部電圧リファレンス VDD\_1P8 ピン (3) に接続することで、ウォッチドッグ タイマがディスエーブルになります。これは、デフォルトで評価基盤に取り付けられています。この接続により、PMIC の内部ビットが設定され、PMIC が上昇する前にウォッチドッグ タイマがディスエーブルになります。電源オン時にウォッチドッグをイネーブルにするには、LP-AM261 に 5V/3A を印加する前に、J1 ピン 1 ~ 2 のジャンパを取り外します。
  - nINT および GPIO ピン構成: PMIC ピン 13 (GPIO) および 21 (nINT) のネット割り当ては、リビジョン A で目的の使用事例のネットに訂正されています。SH-J1 が J1 ピン 2 ~ 3 に取り付けられている場合、GPIO ピン (13) は AM261x MCU の SAFETY\_ERRORn ピンに接続され、nINT ピン (21) は PMIC\_INTn\_GPIO0 に割り当てられ、AM261x MCU の GPIO0 に接続されます。以前の LP-AM261 リビジョンでは、これらのネットは入れ替えられていました。
- ブースタパックのピン配置の変更

- サーボ モーター制御ブースタック:リビジョン A は、より多様なサーボ モーター制御ブースタックをサポートするようになりました。セクション 2.11.2 に、これらのピン配置の変更を示します。
- ブースタック電源ピン:ピン J1-1 と J5-41 の 3V3 電源と、ピン J3-21 と J7-61 の 5V0 電源が、J13、J26、J27 のピン 1 ~ 2 の PCB アセンブリに取り付けられているジャンパを介して、デフォルトで有効になっています。
- ヘッダーで CPTS0\_TS\_SYNC 信号にアクセスできるように、GPIO124 は J6-52 に配線されています。
- 総則
  - GPIO 割り込みプッシュボタンは GPIO5 に接続されています (GPIO124 から変更)。
  - PORz を使用して IO エクスパンダをリセットできるようになりました。

### 6.3.2 リビジョン A エラッタ

#### SDFM 電流帰還を使用した BP-AMC0106-LMG-MD サーボ モーター制御デモ

以下のセクションでは、LP-AM261 のリビジョン A に関連する既知のエラッタについて詳しく説明します。

このデモでは、LP-AM261 のハードウェア変更が必要です。

1. LaunchPad の以下のピンを曲げるか、取り外します。J1-4、J1-9、J3-27、J4-33、J2-14
2. J1-6 と J1-7 の間にシャントを追加します
3. R218 を実装するには R219 を取り外します
4. ADC VREF スイッチを内部 VREF に設定します (図 2-31 を参照)

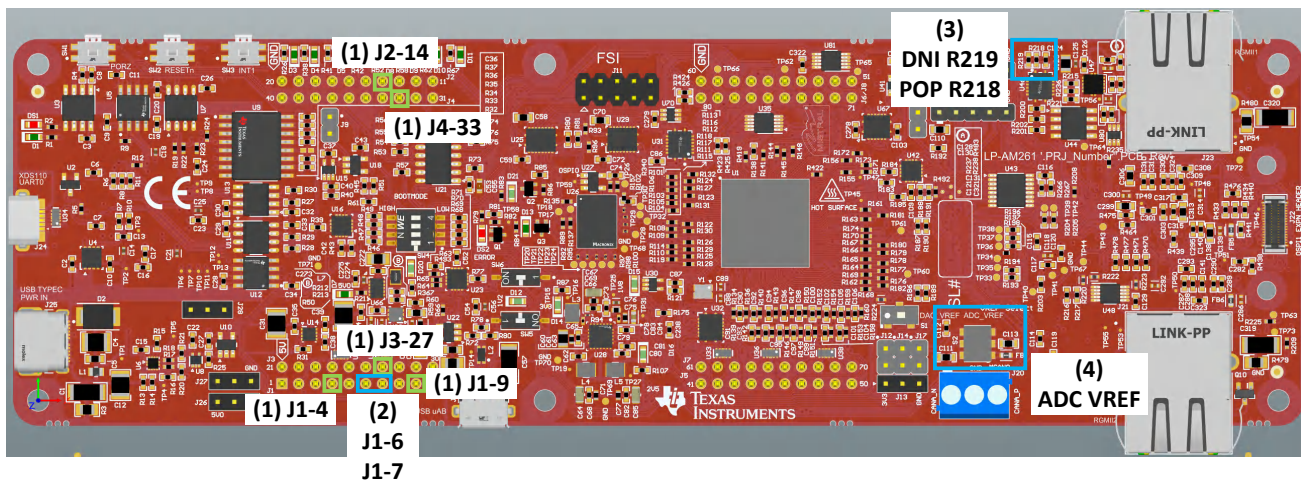


図 6-2. BP-AMC0106-LMG-MD デモのための LP-AM261 の変更

#### 商標

LaunchPad™, テキサス インストルメンツ™, and Sitara™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 7 参考資料

### 7.1 参考資料

このドキュメントに加えて、以下のドキュメントが [www.ti.com](http://www.ti.com) からダウンロードできます。

- テキサス インスツルメンツ、『AM2612 マイコン』、ウェブページ
- テキサス インスツルメンツ、『AM261x Sitara™ マイクロコントローラ』、データシート
- テキサス インスツルメンツ、AM261x テクニカル リファレンス マニュアル
- テキサス インスツルメンツ、『AM261x レジスタ補足事項』テクニカル リファレンス マニュアル
- テキサス インスツルメンツ [Code Composer Studio](#)
- [XDS110 ファームウェアの更新](#)
  - シリアル番号を確認するには、XDS110 ファームウェアのアップデートの手順 1 と 2 のみを実行します

### 7.2 この設計で使用するその他の TI 部品

この LaunchPad は、その機能のために TI の他のさまざまな部品を使用しています。これらの部品の総合的なリストと、それぞれの TI データシートへのリンクを以下に示します。

- [TUSB320USB Type-C 構成のチャンネル ロジックおよびポート コントローラ](#)
- [TPD4E02B04 USB Type-C 用 4 チャンネル ESD 保護ダイオード](#)
- [TPS22965x-Q1 5.5V、4A、16mΩ オン抵抗ロード スイッチ](#)
- [TPS6291x 3V~17V、2A/3A 低ノイズ、低リップル降圧コンバータ](#)
- [TPS748 1.5A、低ドロップアウトリニアレギュレータ](#)
- [TCA6408A 低電圧、8 ビット、I2C および SMBus I/O エクспанダ](#)
- [SN74AVC4T245 デュアルビット、バストランシーバ、設定可能な電圧レベル変換機能付き](#)
- [TPS22918-Q1 5.5V、2A、52mΩ オン抵抗ロード スイッチ](#)
- [TPD6E001 高速データ インターフェイス用の低容量、6 チャンネル ESD 保護](#)
- [XDS110 JTAG デバッグプローブ](#)
- [TS5A23159 1Ω、2 チャンネルの SPDT アナログ スイッチ](#)
- [TCAN1044V-Q1 車載用、フォルト保護機能搭載、CAN FD トランシーバ](#)
- [DP83869HM 高耐性 10/100/1000 イーサネット物理層トランシーバ](#)
- [TS3DDR3812 12 チャンネル、1:2 マルチプレクサ/デマルチプレクサ スイッチ、DDR3 アプリケーション用](#)
- [TCA9617B レベル変換 I2C バスリピータ](#)
- [SN74CB3Q3257 4 ビット、1/2 FET マルチプレクサ/デマルチプレクサ](#)
- [TPIC2810 I2C インターフェイス搭載、8 ビット、LED ドライバ](#)
- [TPS796xx 1A、低ドロップアウト、リニアレギュレータ](#)
- [TXB0108 自動方向検出機能搭載、8 ビット双方向電圧レベルトランスレータ](#)
- [TCA6408ARGTR 8 ビット 1.65V ~ 5.5V 変換 I2C/SMBus I/O エクспанダ](#)

## 8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from DECEMBER 9, 2025 to APRIL 15, 2026 (from Revision C (December 2025) to Revision D (April 2026))

	Page
• コア電圧を 1.25V に更新.....	9
• 更新してブート モード設定のイメージを追加.....	20

**Changes from NOVEMBER 5, 2025 to DECEMBER 31, 2025 (from Revision B (November 2025) to Revision C (December 2025))**

Page

- J1-3 を J1-4 に変更。J1-3 は必要で、曲げたり取り外したりは不可。テキストを反映するように画像を更新。.....79

**Changes from MAY 30, 2025 to NOVEMBER 5, 2025 (from Revision A (May 2025) to Revision B (November 2025))**

Page

- リビジョン A の「特長」一覧を更新..... 1
- リビジョン A を反映するように機能ブロック図を更新..... 5
- イーサネット アドオン ボードの情報を削除するために、構成のトピックを修正。..... 7
- U42 P0 の信号のリビジョン A 追加を反映するように図と表を更新。..... 22
- [UART] リビジョン A - UART3 2 つのピン配置のために更新。..... 37
- リビジョン A の図と表を更新。..... 47

**Changes from AUGUST 31, 2024 to MAY 30, 2025 (from Revision \* (August 2024) to Revision A (May 2025))**

Page

- リビジョン E2 の「特長」一覧を更新..... 1
- キットの内容一覧を更新し、USB Type-C ケーブルを追加..... 2
- システム アーキテクチャの図を更新し、USB2.0 インターフェイスを追加..... 3
- 部品 ID の図を、リビジョン E2 PCB 画像で更新。..... 4
- リビジョン E2 を反映するように機能ブロック図を更新..... 5
- 新規作成..... 5
- 「ブースタパックのピンマルチプレクサ」セクションへのリンクを更新。..... 5
- 両方の評価基盤のセットアップ構成に関する情報を追加するために構成のトピックを修正..... 7
- 電源ツリー図のコア電圧を 1.25V に更新..... 11
- 電源ステータス LED の図を追加..... 12
- 新規作成..... 12
- プッシュ ボタンの図を LP-AM261 を反映するように更新。..... 14
- リビジョン E2 のブロック図を更新し、PORz およびウォーム リセットのリセット信号の関連付けを訂正..... 16
- SOP ピンとオンボード スイッチの設定を明確化するため、ブート モードの表を更新。..... 20
- アクティブなステータスと IO の使用方法を示すため、「IO エクスパンダ」のトピックに GPIO の表を追加。参照指定子と I2C アドレスを表示するようにブロック図を更新。..... 22
- リビジョン E2 の変更を反映するように OSPI インターフェイスを更新 - OSPI0 は Macronix フラッシュ、OSPI1 は AP メモリ PSRAM。型番とピン名を反映するようにブロック図を更新。OSPI1 拡張コネクタを有効にする抵抗モードの表を追加。抵抗の変更を示すための PCB の画像を追加。..... 24
- マルチプレクサ表を追加し、SPI の図を更新。..... 35
- MCAN のマルチプレクサ表と新しい図を追加。..... 39
- FSI の図を更新し、マルチプレクサ選択表を追加。..... 44
- LIN のマルチプレクサ表を更新し、図を修正。..... 46
- ADC インターフェイス ブロック図を更新。ADC/DAC VREF スイッチの PCB 画像を追加。..... 47
- EQEP の図を更新..... 51
- USB ブロック図を更新。micro-USB モードのスイッチ設定と PCB 画像を追加。USB のホストおよびデバイス モードに関する情報を追加。..... 52
- リビジョン E2 のブースタパック ピン配置図を更新..... 55
- 他の AM261 評価基板 と一致するように「リファレンスドキュメント」セクションを更新..... 80

## STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an "EVM" or "EVMs") to the User ("User") in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.
  - 1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM ("Software") shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software
  - 1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.
2. *Limited Warranty and Related Remedies/Disclaimers:*
  - 2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.
  - 2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.
  - 2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

### **WARNING**

**Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.**

**User shall operate the Evaluation Kit within TI's recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI's recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI's instructions for electrical ratings of interface circuits such as input, output and electrical loads.**

**NOTE:**

**EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGRADATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.**

### 3 Regulatory Notices:

#### 3.1 United States

##### 3.1.1 Notice applicable to EVMs not FCC-Approved:

**FCC NOTICE:** This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

##### 3.1.2 For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:

#### **CAUTION**

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

#### **FCC Interference Statement for Class A EVM devices**

*NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instruction manual, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.*

#### **FCC Interference Statement for Class B EVM devices**

*NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:*

- Reorient or relocate the receiving antenna.
- Increase the separation between the equipment and receiver.
- Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.
- Consult the dealer or an experienced radio/TV technician for help.

#### 3.2 Canada

##### 3.2.1 For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247

#### **Concerning EVMs Including Radio Transmitters:**

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

#### **Concernant les EVMs avec appareils radio:**

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

#### **Concerning EVMs Including Detachable Antennas:**

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

### Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur.

#### 3.3 Japan

3.3.1 *Notice for EVMs delivered in Japan:* Please see [http://www.tij.co.jp/lstds/ti\\_ja/general/eStore/notice\\_01.page](http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_01.page) 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html>

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。技術適合証明を受けていないものご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。日本テキサス・イ

ンスツルメンツ株式会社

東京都新宿区西新宿 6 丁目 2 4 番 1 号

西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see [http://www.tij.co.jp/lstds/ti\\_ja/general/eStore/notice\\_02.page](http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_02.page)

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。 <https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html>

#### 3.4 European Union

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive):*

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

- 
- 4 *EVM Use Restrictions and Warnings:*
    - 4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.
    - 4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.
    - 4.3 *Safety-Related Warnings and Restrictions:*
      - 4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.
      - 4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.
    - 4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.
  5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.
  6. *Disclaimers:*
    - 6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.
    - 6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.
  7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.

8. *Limitations on Damages and Liability:*

8.1 *General Limitations.* IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMNITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.

10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月