

EVM User's Guide: TMD5243EVM TMD564EVM AM64x/AM243x 評価基板



説明

TMD564EVM および TMD5243EVM は、Sitara™ AM64x や AM243x プロセッサおよびマイコンファミリのプロトタイプ製作フェーズを加速するよう設計された、スタンドアロンのテストおよび開発プラットフォームです。これらのモジュールは、一般的なハードウェアアーキテクチャに基づいて構築されており、産業用イーサネット、標準イーサネット、PCIe、高速シリアル インターフェイス (FSI) などの広範なペリフェラル セットが利用できます。

どちらの評価基板も、ローカルに視覚的出力を行うため SPI ベースのオンボード ディスプレイと LED を搭載しているほか、消費電力をリアルタイムで監視する電流測定機能を内蔵しています。開発を効率化できるように、このボードは組み込みエミュレーション ロジックを搭載しており、付属の USB ケーブルを使用して Code Composer Studio™ IDE 経由でデバッグを実行できます。レイアウトは機能は類似していますが、TMD5243EVM は HS-FS (High-Security Field-Securable: 高度セキュリティ対応、フィールドでのセキュア化可能) シリコンを採用しており、高度なセキュリティ機能や重要なカスタマイズを実現できます。

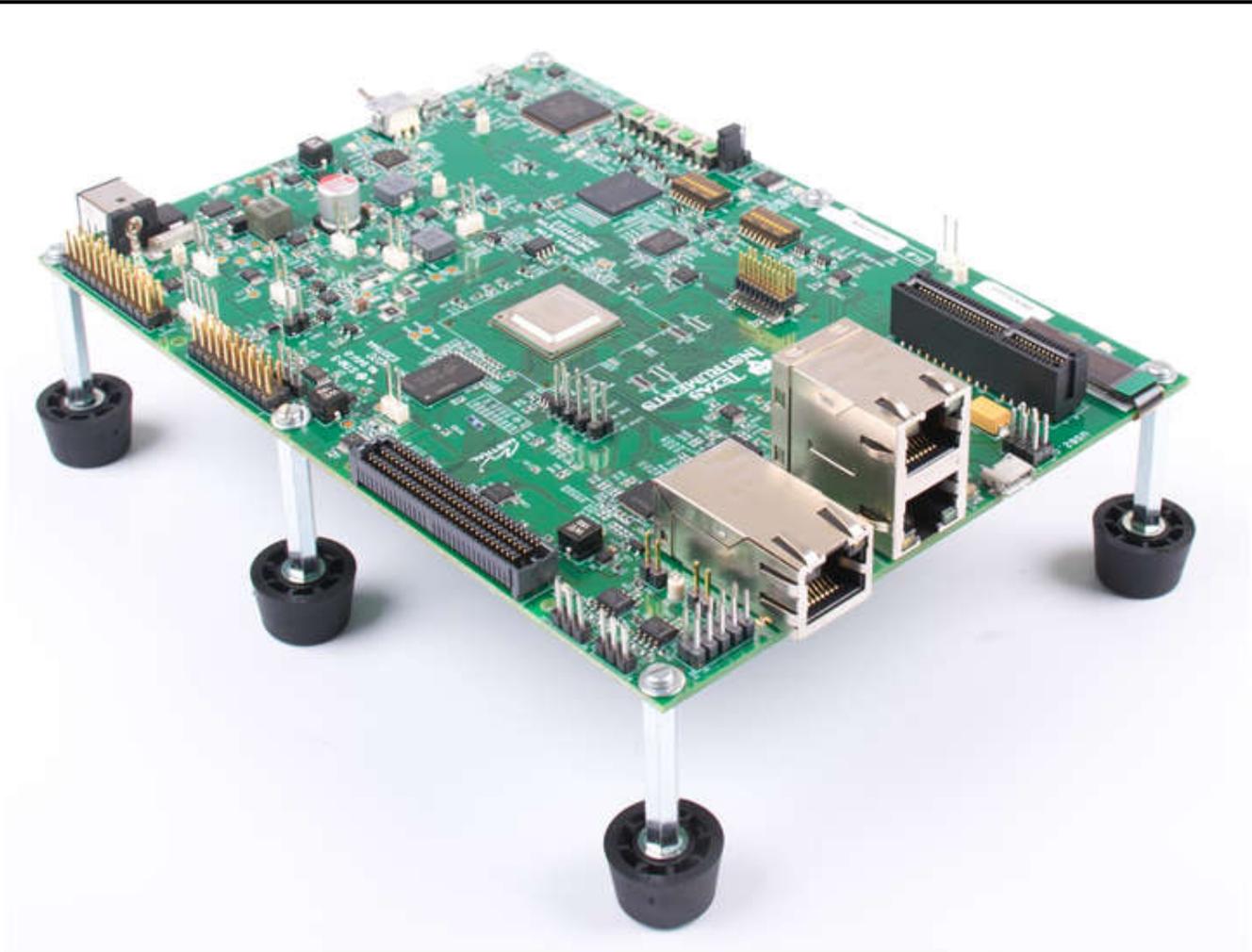
特長

- ARM 搭載の K3 アーキテクチャに基づいています
- 最大 1600MT/s のデータレートをサポートする 2GB DDR4
- 16GB の eMMC フラッシュ
- UHS-1 に対応した最大 16 GB の Micro SD カード (キットには 16GB の UHS-1 カードが付属)
- 1K ビットの SPI EEPROM
- 512Mbit の OSPI EEPROM
- 1Mbit I2C ブート EEPROM
- 複数の磁石を内蔵し、RJ45 コネクタで終端した 3 個のギガビットイーサネットポート
- Micro AB コネクタ付き 1 個の USB2.0 インターフェイスポート
- C2000 EVM に接続するための 10 ピン コネクタに 1 個の FSI インターフェイス。
- 2 個の 3 ピンコネクタで 2 個の CAN-FD インターフェイス

- IO リンク/ブレイクアウト ボードを接続するための 150 ピン高速拡張コネクタ (注文可能部品番号 TMD564DC01EVM)。以下の信号グループは、高速拡張コネクタに接続されています。
 - GPMC
 - PRG0、PRG1
 - I2C0、I2C3
 - SPI1
 - MCAN0
 - MCU_PORz、MCU_RESETz、MCU_RESETSTATz 信号
 - デバイスで多重化された他のインターフェイスも同様です。詳細については、AM64x/AM243x データシートのピンマルチプレクサ表を参照してください。
- x4 レーンの PCIe コネクタは、1 レーンの PCIe カードとのインターフェイスとして動作します。
- XDS100 オンボード JTAG エミュレータは、micro B USB コネクタ経由でアクセス可能です。
- Micro B USB コネクタ経由で回路に接続される クラウドポート UART
- 拡張ヘッダ:
 - I2C0
 - I2C1
- DIP スイッチを使用したブートモードの選択
- 割り込みを生成するための 3 つのプッシュボタン。1 つは、MCU と SoC の GPIO をテストするためのものです。
- 産業用イーサネット LED
- オン/オフ制御スイッチ
- DC 入力: 12V
- ステータス出力: 電源のステータスを示す LED。
- 電流監視用 INA デバイス
- RoHS 準拠の設計

アプリケーション

- 産業用ドライブ
- リモート I/O
- モータドライブ



TMS64EVM/TMS243EVM ハードウェア ボード画像

1 評価基板の概要

1.1 はじめに

TMDS64EVM/TMDS243EVM は、AM64x/AM243x の機能を評価し、さまざまなアプリケーション向けのプロトタイプを開発できるスタンドアロン型のテスト、開発、評価基板 (EVM) です。この EVM は、Sitara™ AM6442 MPU または AM2434MCU のどちらかを実装しています。付属の補助コンポーネントにより、ユーザーは産業用イーサネット、標準イーサネット、PCIe、高速シリアル インターフェイス (FSI) など、さまざまなデバイス インターフェイスを利用して容易にプロトタイプを作成できます。オンボード ディスプレイは、AM64x/AM243x のシリアル ペリフェラル インターフェイス (SPI) ポートを使用しており、複数の LED に加えてローカルでの視覚出力も可能にしています。オンボードの電流測定機能が利用可能であり、電力を重視するアプリケーションで消費電力を監視できます。同梱の USB ケーブルと組み込みエミュレーション ロジックを組み合わせることで、TI の Code Composer Studio™ ソフトウェアなどの標準的な開発ツールを使用して、エミュレーションやデバッグを行うことができます。

1.2 キットの内容

- EVM
- Micro-SD カード
- シリアル端末/ロギング用 USB ケーブル (Type-A ~ Micro-B)
- イーサネット ケーブル
- クイック スタート ガイド

注

外部通信インターフェイス ケーブルの最大長が 3m を超えないことを推奨します。

1.3 製品情報

TMDS64EVM および TMDS243EVM は、コア処理能力と PRU-ICSSG 産業用通信エンジンを備えた、Sitara AM6442 または AM2434 SoC を中心とする信頼性の高い一連のデバイスを統合しています。この SoC をサポートしているのは、データ実行用の高速 LPDDR4 メモリ、不揮発性ブートストレージ用の OSPI フラッシュ、高帯域幅ネットワーク用の 3 個のオンボード RJ45 ポートを駆動する DP83867 ギガビット イーサネット PHY です。このハードウェアは、内蔵電流監視機能、ローカル システムのステータスを得るための SPI 駆動 OLED ディスプレイ、および FT4232 USB-to-UART ブリッジを備えており、コンソールのデバッグを簡素化できます。拡張およびエミュレーションができるよう、このボードは高速アドオン カード向けの 4 レーン PCIe Gen2 スロットと、オンボードの XDS110 デバッグ プローブを実装しており、Code Composer Studio™™ IDE を使用した直接プログラミングおよびリアルタイム デバッグが可能です。

1.4 EVM のリビジョンおよびアセンブリ バリエーション

各 AM64x/AM243x EVM の PCB 設計リビジョンおよびアセンブリのバリエーションは、下表に一覧されています。各 PCB リビジョンは、PCB 上にシルク スクリーンで示されています。各アセンブリ バリエーションは、追加のステッカー ラベルに示されています。

表 1-1. AM64x/AM243x EVM の PCB 設計リビジョンおよびアセンブリ バリエーション

PCB リビジョン	アセンブリ バリエーション	リビジョンとアセンブリ バリエーションの説明
PROC101-004 C	該当なし	AM64x EVM の初回量産リリース
PROC101-005 C	該当なし	AM243x EVM の初回量産リリース
PROC101-004 D	該当なし	AM64x EVM の第 2 版量産リリース。多数の変更とバグ修正が実施されています
PROC101-005 D	該当なし	AM243x EVM の第 2 版量産リリース。多数の変更とバグ修正が実施されています
PROC101-004 D-1	該当なし	AM64x EVM の第 3 版量産リリース。PROC101-004 D と機能的に同等で、BoM の変更は最小限です。PCB 設計の変更はありません

表 1-1. AM64x/AM243x EVM の PCB 設計リビジョンおよびアセンブリ バリエーション (続き)

PCB リビジョン	アセンブリ バリエーション	リビジョンとアセンブリ バリエーションの説明
PROC101-005 D-1	該当なし	AM243x EVM の第 3 版量産リリース PROC101-005 D と機能的に同等で、BoM の変更は最小限です。PCB 設計の変更はありません

注

このドキュメント全体を通して、AM6442 および AM2434 デバイスは、明示的に定義された例外以外の図と他の表で交換可能です。ALV パッケージの AM2434 MCU と AM6442 MPU はフットプリントおよびピン配置が互換性があり、PCB は両方に対応できるよう設計されています。

注

AM64x/AM243x GP EVM という従来のボードについては、[AM64x/AM243x EVM ユーザー ガイド \(Rev. D\)](#) を参照してください

注

すべての AM64x/AM243x EVM には、高セキュリティフィールドセキュア対応 (HS-FS) シリコンが搭載されており、セキュリティ用途向けに鍵や暗号化をカスタマイズできます。

1.5 仕様

AM64x システム オン チップ (SoC):

- AM64x は、ギガビット TSN 対応の Sitara PRU-ICSSG を 2 基、最大 2 つの Arm® Cortex®-A53 コア、最大 4 つの Cortex-R5F マイコン、1 つの Cortex-M4F マイコンを組み合わせています

AM243x マイコン (MCU) :

- AM243x は、ギガビット TSN 対応の Sitara PRU-ICSSG を 2 基、最大 2 つの Cortex-R5F マイコンと 1 つの Cortex-M4F マイコンを組み合わせています

メモリ

- 最大 1600MT/s のデータレートをサポートする 2GB DDR4
- HS400 の動作速度をサポートできる 16GB eMMC フラッシュ
- UHS-1 対応の Micro Secure Digital (SD) カード
- 1Kbit のシリアル ペリフェラル インターフェイス (SPI) EEPROM
- 512Mbit の OSPI EEPROM
- Mbit のインタ IC (I2C) ブート EEPROM

I/O インターフェイス:

- 1 つの CPSW ギガビット イーサネット ポートと、テキサス インストルメンツ製ギガビット イーサネット PHY と組み合わせたギガビット産業用通信サブシステム (PRU-ICSS-Gb) に基づく 2 つの産業用イーサネット ポートがあります
- Micro AB コネクタ付き 1 個の USB2.0 インターフェイス

拡張バス:

- 10051922-1410ELF - OSD9616P0992-10 ディスプレイと接続するための 14 ピン FPC コネクタ
- アプリケーション カード接続向けの高速拡張 (HSE) コネクタ
- 2×5 ヘッダ - C2000 EVM と接続するための 67997-410HLF FSI コネクタ
- 1 レーンの PCIe カードをサポートする x4 PCIe コネクタ

デバッグ:

- XDS110 オンボード エミュレータ
- 外付けエミュレータからの 20 ピン JTAG 接続に対応
- オンボードと外部エミュレータの間での自動選択 (より優先度が高い)
- microB USB コネクタ経由で接続される、4 ポートの汎用非同期受信送信器 (UART) から USB への変換回路

- AM64x デバイスの周辺機能テスト用に、SoC_I2C0 および SoC_I2C1 の 2 つの I2C ポートをテスト ヘッドに接続
- 4x プッシュ ボタン:
 - 1x SoC ウォームリセット
 - 1x ユーザー GPIO
 - 1x MCU ウォームリセット
 - 1x MCU/SoC PORz リセット

コンプライアンス:

- RoHS に準拠
- REACH 準拠

1.6 機能ブロック図

図 1-1 は、AM64x/AM243x の機能ブロック図を示しています。

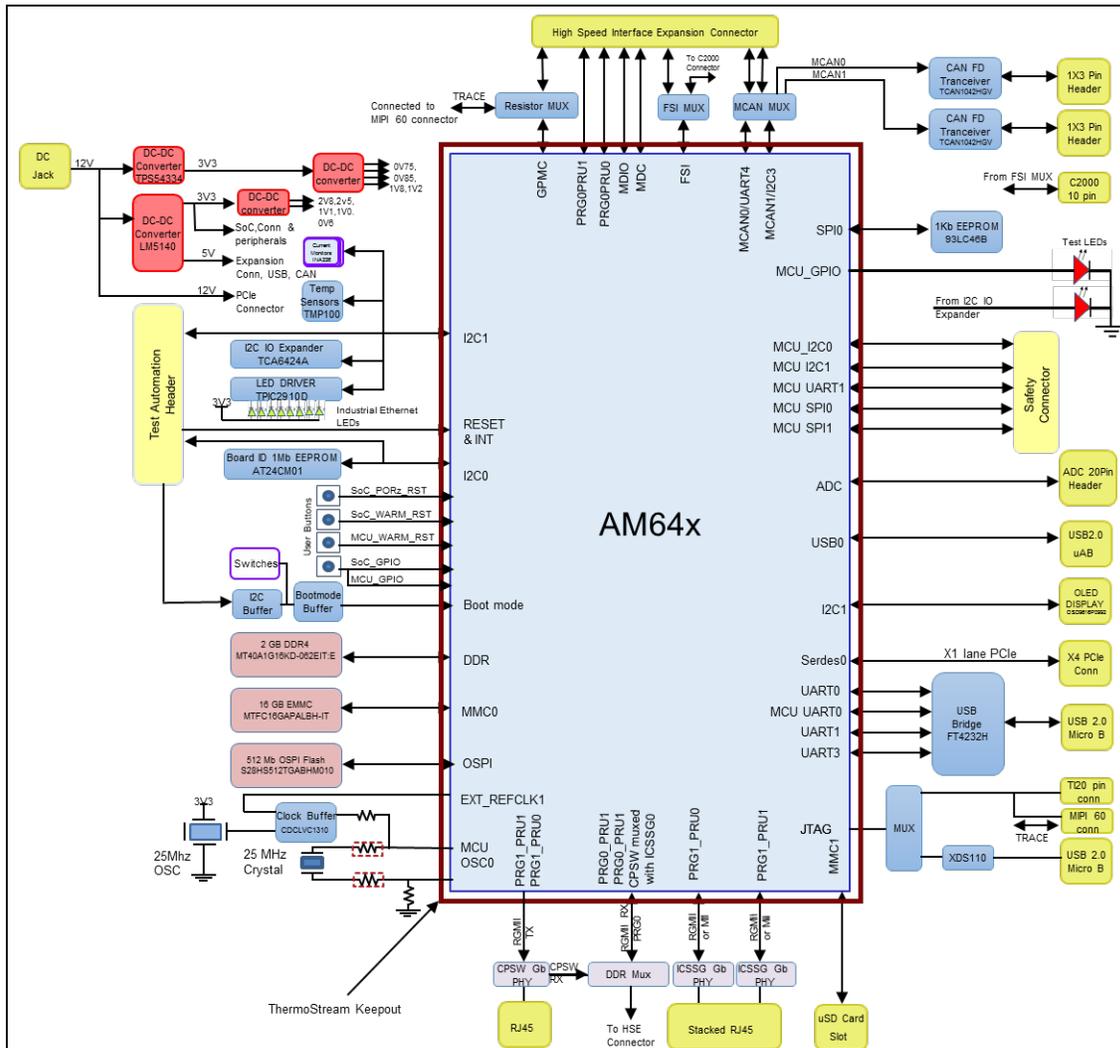


図 1-1. 汎用プロセッサ ボード機能ブロック図

注

この図には、システムの AM2434MPU バージョンと AM6442MCU バージョンの両方と互換性があります。

2 ハードウェア

2.1 補足画像

このセクションでは、評価基板の画像および基板の上のさまざまなブロックの位置を示します。

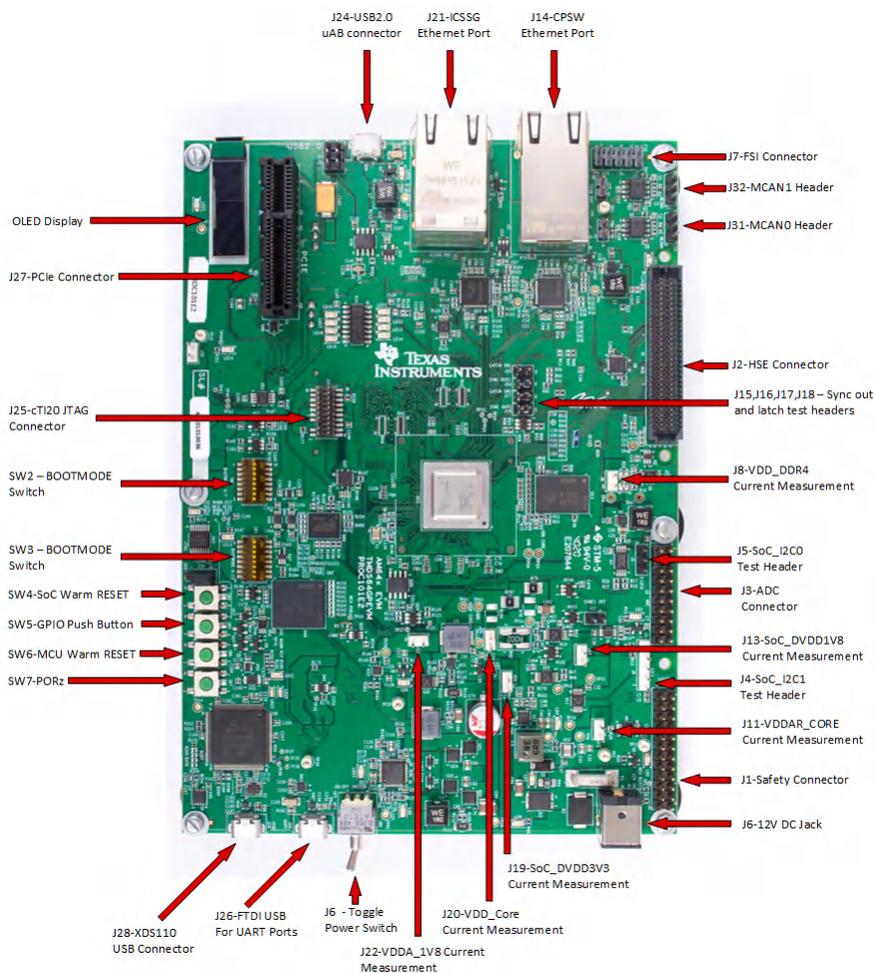


図 2-1. AM64x/AM243x EVM ボードの上面図

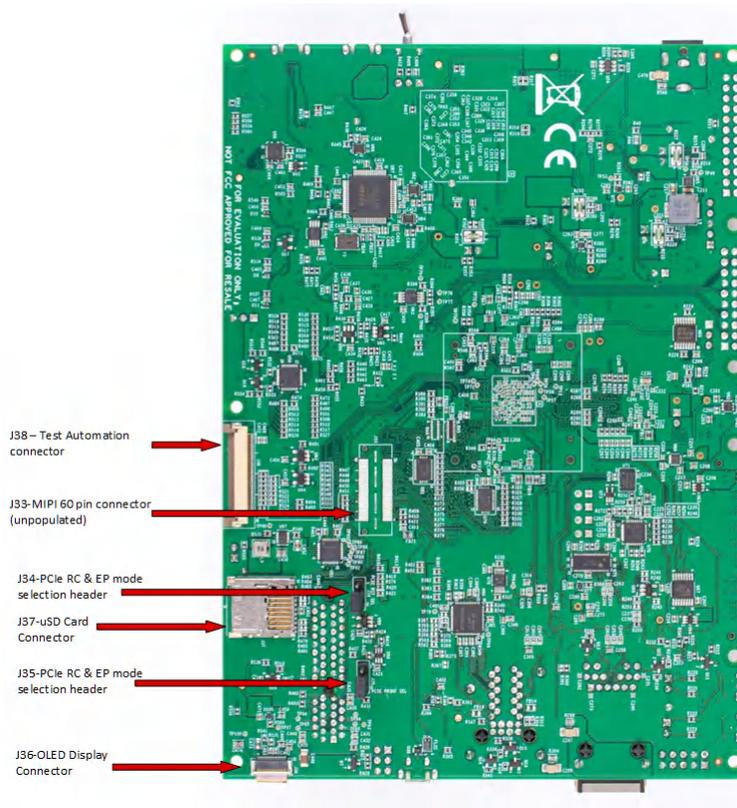


図 2-2. AM64x/AM243x EVM ボードの底面図

2.2 電源

2.2.1 電源オン/オフの手順

外部 AC/DC コンバータを経由して EVM に電力を供給し、J6 電源ジャックに 12V、5A (max) DC 電圧を供給します。

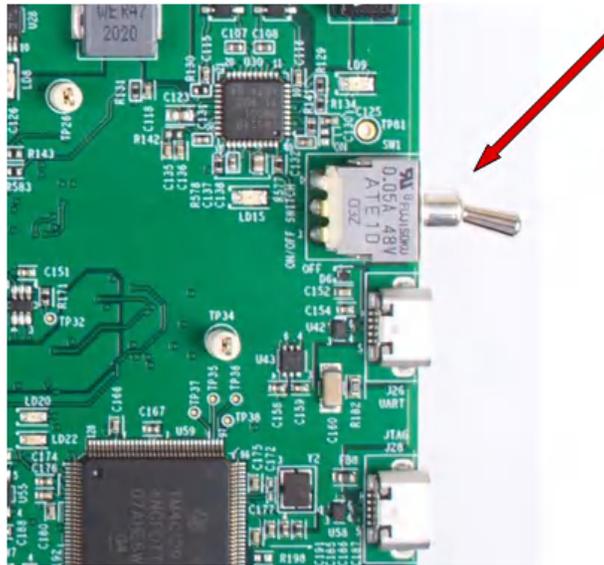
ユーザーの EVM リビジョン用の適切な AC/DC パワー コンバータに関する TI の推奨事項については、[主な機能にある電源リスト](#)を参照してください。

注意

大きな突入電流を防止し、AM64x/AM243x の EVM 部品の損傷の可能性を防止するため、以下の EVM 電源オンおよび電源オフ手順を使用する必要があります。

2.2.2 電源オンの手順

1. EVM の電源 (SW1) スイッチは、次の図に示すように**オフ**の位置にします。



2. EVM ブートスイッチ セレクタ (SW2、SW3) を選択したブート モードに設定します。詳細については、[ブートモード](#)を参照してください。



- 12V AC/DC レギュレータプラグを EVM 電源ジャック (J6) に取り付けますが、AC 電源から電力コンバータには電力を供給しないでください。



- AC/DC コンバータから AC 電源を適用します。12V 電源 LED (LD6 および LD12) が点灯します。



- EVM 電源 (SW1) スイッチを次のように ON の位置に配置します。



- LED を上の参考写真と比較して目視で確認します。次の LED が点灯します：
 - LD1、LD2、LD3、LD4、LD6、LD7、LD8、LD9、LD10、LD15、LD24、LD25

注

AM243x EVM を使用する場合、LD2 は点灯しません。

2.2.3 電源オフの手順

- EVM の電源スイッチ (SW1) をオフの位置に切り替えます。
- AC/DC コンバータから AC 電源を切り離します。
- EVM 電源ジャック (J6) から DC 電源プラグを取り外します。

外部電源:

注

ユーザーが、TMDS64GPEVM として知られるボード以降で変更された各 EVM リビジョンに対して、適切なサイズの DC バレル ジャックを使用していることを確認します。GP 評価基板電源は、型番 DC PLUG-P1J-P1M のアダプタを使用して、このリビジョンに合わせて変更できます

- DC 入力: 12V
- センター ポジティブ 5.5mm x 2.5mm x 9.5mm バレル ジャック。
 - バレル ジャック - **PJ-080BH** - 選択された構造により、電源プラグを挿入する際、バレル ジャックのセンタのピンがプラグのセンタの接点に触れる前に、GND (VSS) バレル ジャック端子がプラグの外側バレルに接触します (電源接続前の GND 接続)
 - 推奨嵌合コネクタ — 同一スカイ (旧 CUI Devices) **PP3-002BH** - 「チューニング フォーク」型センタ接点を備えた電源プラグ。図 2-3 を参照してください。「チューニング フォーク」型センタ接点の 2 本の爪がたわむことで、バレル ジャックのセンタピンとの接触を維持し、接触不良が起こる可能性を防ぎます。
 - 推奨電源 — **GlobTek Inc. RR9LE5000LCPCIMR6B** (IEC 320-C6 アダプタコードは別売り)。
- ステータス出力: 電源のステータスを示す LED
- 電流監視用 INA デバイス

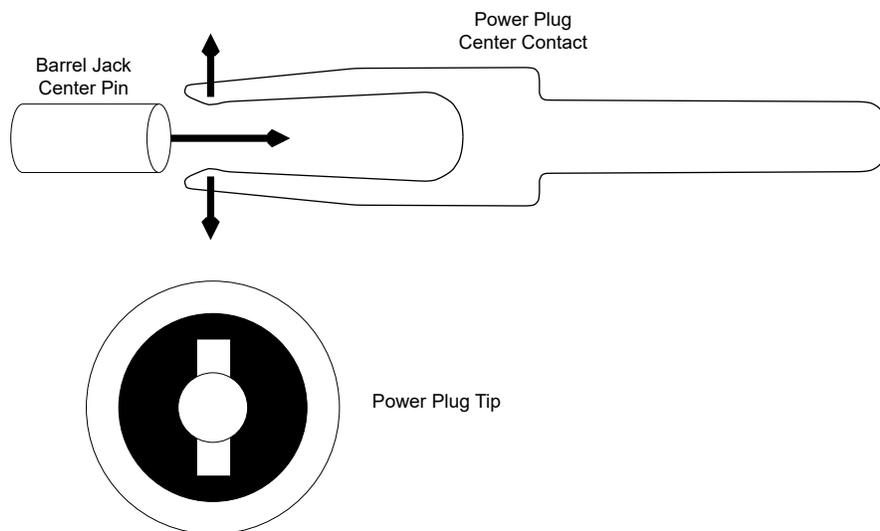


図 2-3. 「チューニングフォーク」センター コンタクトを備えた推奨電源プラグの図

2.2.4 電源入力

以下のセクションでは、EVM ボード、サポート コンポーネント、リファレンス電圧に電力を供給する電源分配ネットワークのトポロジについて説明します。

AM64x/AM243x EVM ボードには、個別の電源コンポーネントに基づいた電源修正回路が含まれています。電源の初期段は、バレル ジャック コネクタから 12V、部品リファレンス J6 付きです。J6 は 8A の電流定格に対応しており、逆極性保護およびサージ電圧保護用の必要なダイオードを備えています。EVM の 12V 入力 (VMAIN) を使用して、EVM が必要とするすべての電圧を生成します。

部品番号 SW1 の オン/ オフ スイッチが用意されており、このスイッチを LM5140 のイネーブルピンに接続することで、スイッチ位置に応じて EVM の電源をオン/ オフできます。基板は、スイッチが位置 1-2 を接地したときはオフの状態、スイッチが位置 2-3 にあるときはオンの状態です。さらに、テスト オートメーションのヘッダからの GPIO もスイッチに接続されており、テスト オートメーション ボード経由で EVM のオン/ オフを制御します。極性が逆の場合、故障表示 LED LD5 はステータスがオンになっています。LD6 はオンのステータスで、VMAIN パワー グッドを示します。

注

スイッチ SW1 は、VMAIN をオフにしません。スイッチ SW1 は、すべての他の電源が派生する LM5140 の VCC_5V0 出力だけを無効化します。

2.2.5 逆極性保護

D3 というリファレンスのショットキー バリア整流器が逆極性保護用として配置されており、その平均順方向電流は次のとおりです: $IF (AV) \leq 15A$ 、逆電圧: $VR \leq 45V$ 。LD6 のステータスに電力極性があります。

表 2-1. VMAIN LED

LED	ON のステータス	OFF のステータス
LD5	電源極性を反転	パワー極性グッド
LD6	ボードの電源オン	ボードの電源オフ

2.2.6 電流監視

INA226 電流監視デバイスは、AM64x/AM243x プロセッサの各種電源レールの電流と電圧を監視するために使用されます。INA226 は、I2C インターフェイスを介して AM64x/AM243x と接続されています。負荷電流測定用に、4 端子の高精度シャント抵抗が実装されています。

表 2-2. INA デバイスの I2C スレーブ アドレス

電源	電源ネット	スレーブ アドレス (16 進)	電源レールに接続されているシャントの値
VCC_CORE	VDD_CORE	40	2mΩ ±1%
VDD_0V85	VDDAR_CORE	41	10mΩ ± 0.5%
VCC_3V3_SYS	SoC_DVDD3V3	4C	10mΩ ± 0.5%
VCC1V8	SoC_DVDD1V8	4B	10mΩ ± 0.5%
VDDA1V8	VDDA_1V8	4E	10mΩ ± 0.5%
VCC1V2_DDR	VDD_DDR4	46	10mΩ ± 0.5%

2.2.7 電源

この EVM では、複数の DC-DC コンバータを使用して、カード上の各種メモリ、クロック、SoC、およびその他のコンポーネントに必要な電圧と電力を供給しています。表 2-4 は、各電源出力の状態をユーザーに明確に示すために、EVM ボード上に配置されたパワーグッド LED を点灯させます。

EVM ボード上には、各電源出力用のテストポイントが設けられており、その位置は以下の表 2-3 に記載されています。

表 2-3. 電力テストポイント

シリアル番号	電源	テストポイント	電圧
上面			
1	VMAIN	TP81	12V
2	VCC_5V0	TP18	5V
3	VCC3V3_PREREG	TP12	3.3V
4	VCC_3V3_SYS	TP44	3.3V
5	VDD_2V5	TP6	2.5V
6	VDD_1V1	TP28	1.1V
7	VDDA1V8	TP29	1.8V
8	VDD_CORE	TP14	0.75V ⁽¹⁾
9	VCC_CORE	TP23	0.75V
10	VDD_0V85	TP8	0.85V
11	VDDAR_CORE	TP10	0.85V
12	VCC1V2_DDR	TP4	1.2V
13	VDD_2V8	TP99	2.8V
14	VCC3V3_TA	TP96	3.3V
15	VDD_1V0	TP56	1V
16	VPP_DDR_2V5	TP47	2.5V
17	VDDR_VTT	TP48	0.6V
18	VCC1V8	TP51	1.8V
19	VPP_1V8	TP52	1.8V

(1) AM243x EVM は 0.85V です。

表 2-4. 電源 LED

シリアル番号	電源	LED REF
SW1 点灯前		
1	VMAIN	LD6
2	VCC3V3_TA	LD24
SW1 点灯後		
3	VCC_5V0	LD15
4	VCC3V3_PREREG	LD4
5	VCC_3V3_SYS	LD9
6	VDD_2V5	LD1
7	VDD_1V1	LD10
8	VDDA1V8	LD8
9	VDD_CORE	LD2
10	VCC_CORE	LD7
11	VDD_2V8	LD25
12	VCC1V2_DDR	LD3

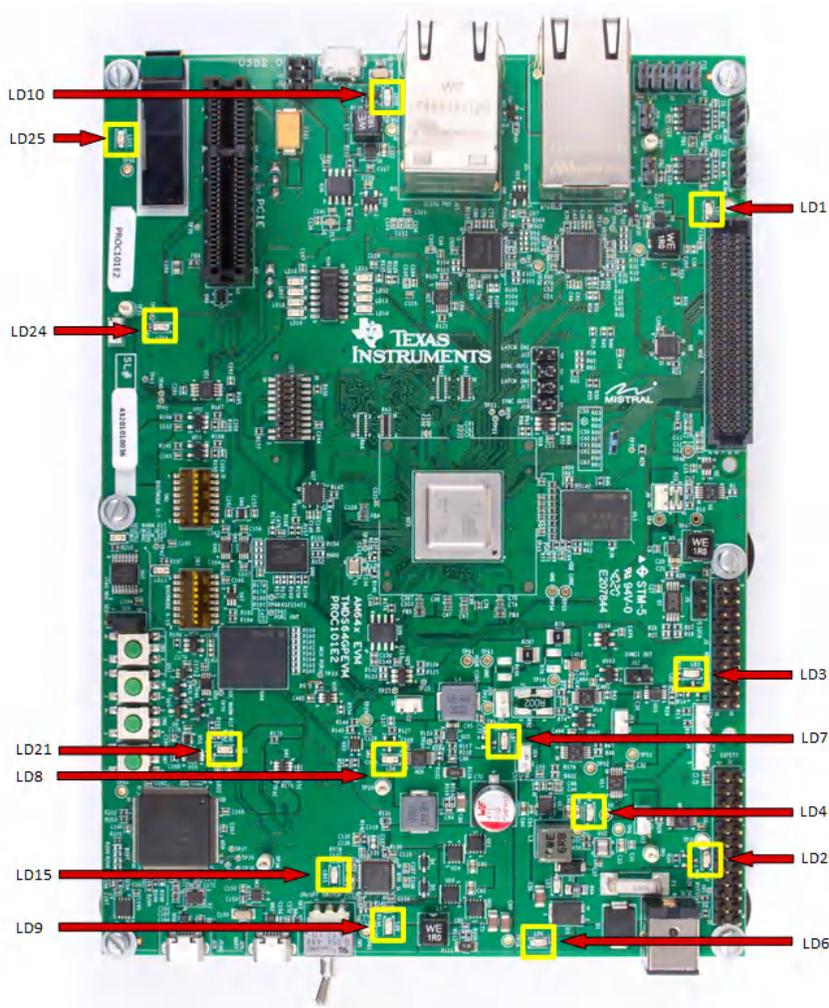


図 2-4. パワーグッド LED

2.2.8 電源シーケンス

表 2-5 および図 2-5 は、評価基板上に搭載されたすべての電源のパワー アップ シーケンスを示し、表 2-6 および図 2-6 は、パワーダウン シーケンスを示しています。

表 2-5. パワー アップ シーケンスのタイミング測定

電源	電圧 (V)	経過時間 (ms)
VMAIN_EN	12	0
VCC_5V0	5	0.6
VCC_3V3_SYS	3.3	6.4
VCC3V3_PREREG	3.3	3.1
VCC1V8	1.8	8.85
VDDA1V8	1.8	8.9
VDD_MMC1	3.3	24.45
VDDSHV_SD_IO	3.3	24.5
VCC1V2_DDR	1.2	9.65
VDD_CORE	0.75	10.85
VDDAR_CORE	0.85	12
MCU_PORz	1.8	24.05
MCU_OSC0_XI	1.8	9.05

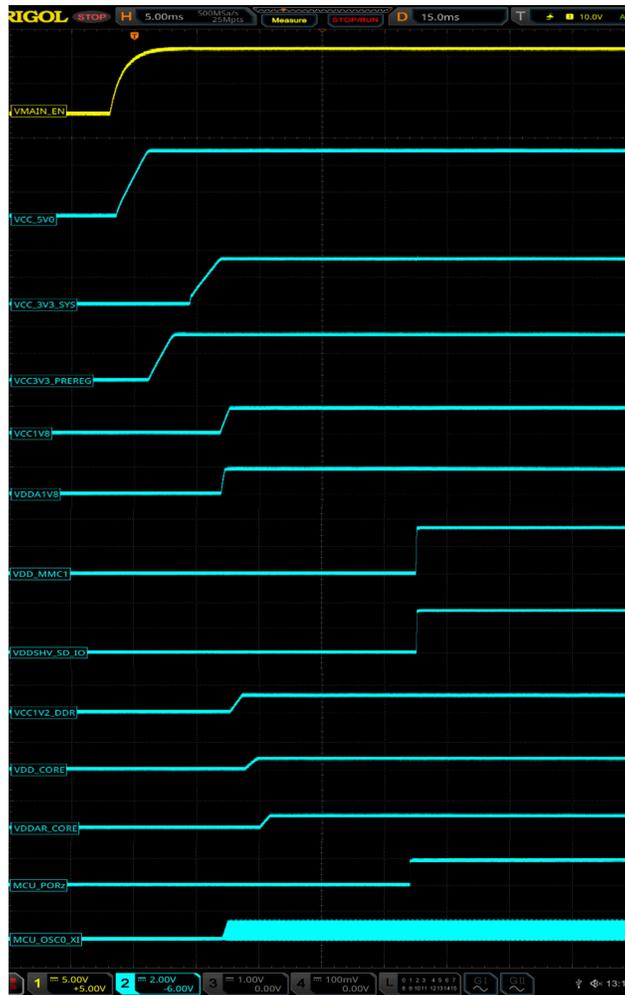


図 2-5. パワーアップ シーケンス

表 2-6. パワーダウンシーケンスのタイミング測定

電源	電圧 (V)	経過時間 (ms)
VMAIN_EN	12	0
VCC_5V0	5	0
VCC_3V3_SYS	3.3	1.08
VCC3V3_PREREG	3.3	1.28
VCC1V8	1.8	1
VDDA1V8	1.8	1
VDD_MMC1	3.3	1
VDDSHV_SD_IO	3.3	1
VCC1V2_DDR	1.2	1
VDD_CORE	0.75	1.18
VDDAR_CORE	0.85	1.14
MCU_PORz	1.8	1
MCU_OSC0_XI	1.8	1

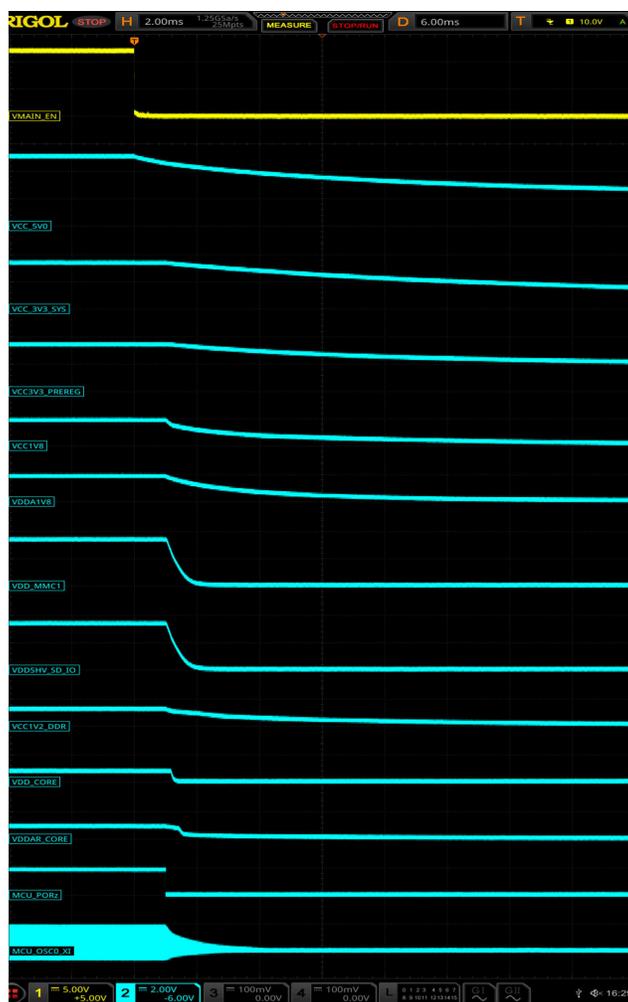


図 2-6. パワーダウンシーケンス

2.2.9 AM64x/AM243x 電源

AM64x/AM243x コア電圧は、消費電力最適化要件に基づいて、0.75V または 0.8V または 0.85V で駆動できます。SoC コア電圧 (VDD_CORE) および SoC アレイコア電圧 (VDDR_CORE)、さらにその他のアレイコア電圧 (VDDA_0P85_SERDES0_C、VDDA_0P85_SERDES0、VDDA_0P85_USB0、VDD_DLL_MMC0、VDD_MMC0) が 0.85 V の場合、TI は単一の電圧源を使用することを推奨しています。一方で、SoC コア電圧が 0.75 V または 0.8 V で、SoC アレイコア電圧およびその他のアレイコア電圧が 0.85 V である必要がある場合は、SoC コア電圧用と SoC アレイコア電圧用にそれぞれ独立した電源を用意する必要があります。

この EVM には、SoC コアと SoC アレイコア、および他のアレイコア電圧と、ベースとなる要件に対して、単一電源電圧または異なる電圧を供給する機能があります。これは、[図 2-7](#) に示すように、抵抗の配置によって構成できます。

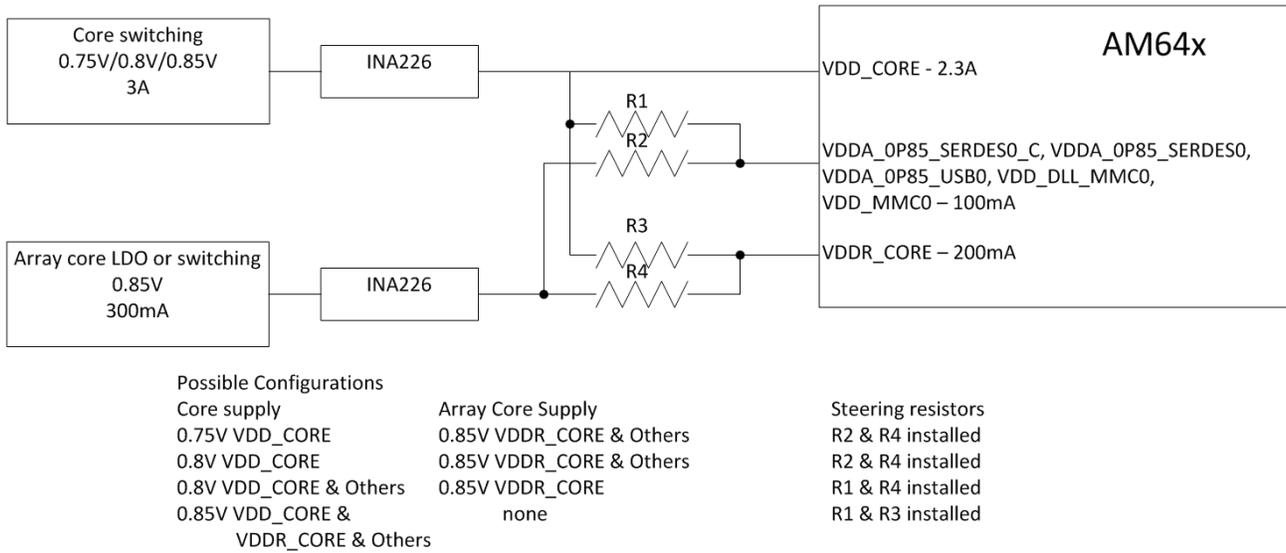


図 2-7. AM64x/AM243x コア電源およびアレイコア供給オプション

注

- PROC101x-001 BOM バリエントで、AM6442 が実装されており、VDD_CORE に 0.75V、VDDR_CORE に 0.85V を供給する必要があります。このバリエントでは、R2 と R4 はデフォルトで取り付けられ、VDD_CORE 電源 (U25) は 0.75V 動作用に設定されています。
- PROC101x-002 の BOM バリエントは AM2434 を実装しており、VDD_CORE および VDDR_CORE に 0.85 V の電圧供給を必要とします。このバリエントでは、R1 と R3 はデフォルトで取り付けられ、VDD_CORE 電源 (U25) は 0.85V 動作用に設定されています。

SoC には異なる IO グループがあります。各 IO グループには、表 2-7 に示すように、特定の電源から電力が供給されま
す。

表 2-7. SoC 電源

SI.No.	電源	SoC 電源レール	IO 電源グループ	電源
1	VDDA_CORE	VDDA_0P85_SERDES0	SERDES0	0.85
		VDDA_0P85_SERDES0_C		0.85
		VDDA_0P85_USB0	USB0	0.85
		VDD_MMC0	MMC0	0.85
2	SoC_DVDD3V3	VDDS_MCU	マイコン	3.3
		VDDA_3P3_USB0	USB0	3.3
		VDDSHV0	総則	3.3
		VDDSHV1	PRG0	3.3
		VDDSHV2	PRG1	3.3
		VDDSHV3	GPMC	3.3
3	VDDA_1V8_MCU	VDDA_MCU	マイコン	1.8
4	VDDA_MCU_ADC	VDDA_ADC	ADC0	1.8
5	VDDA_1V8_SERDES	VDDA_1P8_SERDES0	SERDES0	1.8
6	VDDA_1V8_USB0	VDDA_1P8_USB0	USB0	1.8
7	VDDA_1V8	VDDS_OSC	OSC0	1.8
		VDDA_TEMP_0/1		1.8
		VDDA_PLL_0/1/2		1.8
8	VDD_DDR4	VDDS_DDR	DDR0	1.2
		VDDS_DDR_C		1.2
9	SOC_DVDD1V8	VDDSHV4	フラッシュ	1.8
		VDDS_MMC0	MMC0	1.8
10	VDDSHV_SD_IO	VDDSHV5	MMC1	3.3/1.8

2.3 ペリフェラルと主要コンポーネントの概要

以下のセクションでは、AM64x/AM243x EVM のさまざまなインターフェイスと回路の概要について説明します。

2.3.1 構成

2.3.1.1 ブートモード

EVM のブートモードは、スイッチ群 **SW2** および **SW3**、またはテスト自動化コネクタ (**J38**) に接続された I2C バッファ (**U96**) のいずれかによって設定されます。すべてのブートモードピンには、弱いプルダウン抵抗と、強いプルアップ抵抗に接続できるスイッチがあります。「ON」に設定されたスイッチはロジック「HIGH」に対応し、「OFF」はロジック「LOW」に対応します。

サポートされているすべての AM64x SoC ブートモードの詳細な説明については、[AM64x Sitara™ プロセッサ データ マニュアル](#) および [AM64x プロセッサ シリコン リビジョン 1.0 テキサス インストルメンツ製品ファミリ テクニカル リファレンス マニュアル](#) を参照してください。

以下のブートモードは EVM によってサポートされています (変更される可能性があります):

1. OSPI
2. MMC1 - SD カード
3. MMC0 - eMMC がインストール済み
4. USB — バルクストレージを備えたホストモードを使用したブート。FAT16/32 を使用する USB 2.0 大容量ストレージ (サムドライブ)
5. USB - デバイスのブート DFU
6. UART
7. ブートなし

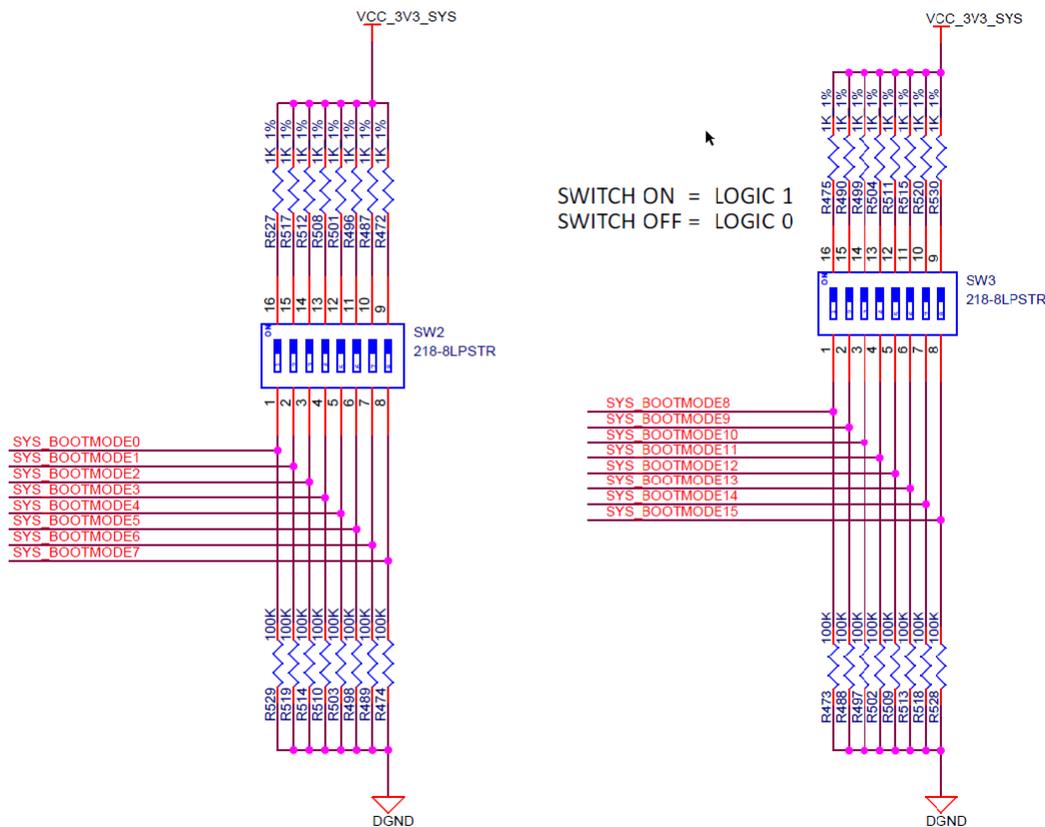


図 2-8. AM64x/AM243x EVM の回路図抜粋、ブートモード選択スイッチ (SW2、SW3)

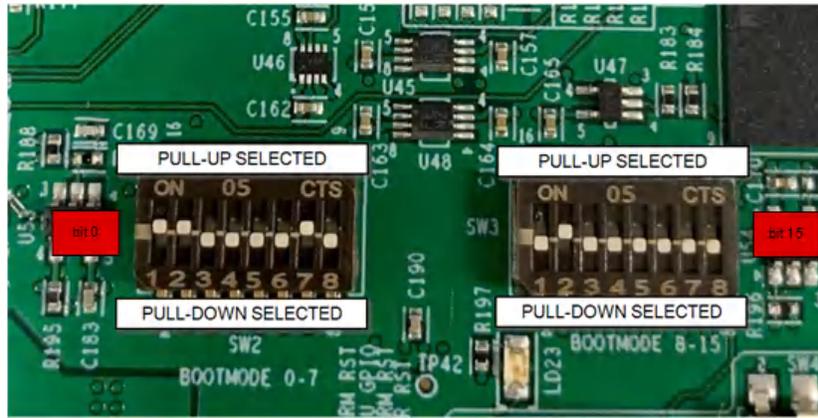


図 2-9. AM64x/AM243x EVM PCB、ブート モード選択スイッチ (SW2、SW3)

BOOTMODE ピンは、デバイスの電源投入前にブート モードを選択するための手段を提供します。これらのピンは、次のカテゴリに分かれています：

注

表では、次のビット パターンがスイッチの順序と逆になります。

表 2-8. BOOTMODE ビット

ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
RSVD	RSVD	バックアップブートモードの構成	バックアップブートモード			プライマリブートモードの構成			プライマリブートモード			PLL 構成			

BOOTMODE[2:0] – PLL の構成のシステム クロック周波数を示します。デフォルトでは、これらのビットは 25MHz に設定されます。

表 2-9. PLL リファレンス クロックの選択 BOOTMODE[2:0]

SW2.3	SW2.2	SW2.1	PLL REF CLK (MHz)
オフ	オフ	オフ	19.2
オフ	オフ	オン	20
オフ	オン	オフ	24
オフ	オン	オン	25
オン	オフ	オフ	26
オン	オフ	オン	27
オン	オン	オフ	RSVD
オン	オン	オン	RSVD

BOOTMODE[6:3] – これにより、リセット解除後 (POR 後) にブート元となる周辺機器やメモリなど、要求されたブート モードを選択するための基本的なブート モード設定が行われます。

表 2-10. ブート デバイス選択 BOOTMODE[6:3]

SW2.7	SW2.6	SW2.5	SW2.4	プライマリブートデバイスの選択
オフ	オフ	オフ	オフ	RSVD
オフ	オフ	オフ	オン	OSPI
オフ	オフ	オン	オフ	QSPI
オフ	オフ	オン	オン	SPI

表 2-10. ブート デバイス選択 BOOTMODE[6:3] (続き)

SW2.7	SW2.6	SW2.5	SW2.4	プライマリ ブート デバイスの 選択
オフ	オン	オフ	オフ	RSVD
オフ	オン	オフ	オン	RSVD
オフ	オン	オン	オフ	I2C
オフ	オン	オン	オン	UART
オン	オフ	オフ	オフ	MMC/SD カード
オン	オフ	オフ	オン	eMMC
オン	オフ	オン	オフ	USB
オン	オフ	オン	オン	GPMC NAND
オン	オン	オフ	オフ	GPMC NOR
オン	オン	オフ	オン	PCIe
オン	オン	オン	オフ	xSPI
オン	オン	オン	オン	No-boot / Dev-boot

BOOTMODE[9:7] – これらのピンはオプション設定を提供し、選択されたプライマリ ブート デバイスと組み合わせて使用されます。詳細については、各デバイスの TRM をご覧ください。

表 2-11. プライマリ ブート メディアの構成 BOOTMODE[9:7]

SW3.2	SW3.1	SW2.8	プライマリ ブート デバイスの
RSVD	RSVD	RSVD	RSVD
オフ	オフ	オフ	OSPI
RSVD	入力クロック	チップ選択	QSPI
RSVD	モード	チップ選択	SPI
RSVD	RSVD	RSVD	RSVD
RSVD	RSVD	RSVD	RSVD
パスリセット	ドント ケア	アドレス	I2C
オフ	オフ	オフ	UART
ポート	RSVD	サンプリング周波数 / 生データ	MMC / SD カード
RSVD	RSVD	RSVD	eMMC
オフ	off - UDB DFU オン - UDB MSC	オフ	USB
RSVD	RSVD	RSVD	GPMC NAND
RSVD	RSVD	RSVD	GPMC NOR
RSVD	RSVD	RSVD	PCIe
SFDP	読み取りコマンド	モード	xSPI
RSVD	RSVD	RSVD	No-boot / Dev-boot

BOOTMODE[12:10] – プライマリ ブート デバイスの障害が発生した場合に、バックアップ ブート モード、つまりブート元となるペリフェラル/メモリを選択します。

表 2-12. バックアップ ブート モードの選択 BOOTMODE[12:10]

SW3.2	SW3.1	SW2.8	バックアップ ブート デバイスの選択
オフ	オフ	オフ	なし (バックアップ モードなし)
オフ	オフ	オン	USB
オフ	オン	オフ	RSVD
オフ	オン	オン	UART
オン	オフ	オフ	RSVD
オン	オフ	オン	MMC/SD
オン	オン	オフ	SPI
オン	オン	オン	I2C

BOOTMODE[13] – これらのピンはオプション設定を提供し、バックアップ ブート デバイスと組み合わせて使用されます。ビットの詳細については、各デバイスの TRM をご覧ください。スイッチ SW3.6 は、オンのときに 1、オフのときに 0 を設定します。

表 2-13. プライマリ ブート メディアの構成 BOOTMODE[13]

SW3.6	ブート デバイス
RSVD	なし
モード	USB
RSVD	RSVD
RSVD	UART
RSVD	RSVD
ポート	MMC/SD
RSVD	SPI

表 2-13. プライマリブートメディアの構成 BOOTMODE[13] (続き)

SW3.6	ブートデバイス
RSVD	I2C

BOOTMODE[14:15] - 予約済み。

2.3.2 クロック処理

2.3.2.1 イーサネット PHY クロック

部品番号 **CDCLVC1310** のクロック ジェネレータが、イーサネット PHY に 25 MHz のクロックを供給するために使用されています。CDCLVC1310 は 1:10 の LVCMOS クロック バッファで、25MHz の水晶または LVCMOS リファレンス入力を受け取り、10 系統の 25MHz LVCMOS クロック出力を生成します。クロック バッファの入力元は、SoC の CLKOUT0 ピンまたは 25 MHz 発振器 (**ASFLMB-25.000MHZ-LY-T**) のいずれかであり、抵抗の組み合わせによってどちらを使用するかが選択されます。この選択は、クロック バッファの選択ラインを使って行うことができます。

1. CLKOUT0 を選択するために **IN_SEL0**、**IN_SEL1** = [00] を設定します。
2. 発振器入力を選択する場合、**IN_SEL0**、**IN_SEL1** = [01] の設定をにします。これはデフォルトの動作です。

シングル エンドの水晶入力に対する終端抵抗は、デバイス固有のデータシートに従って設けられています。

表 2-14. クロック バッファのソース クロックの選択

IN_SEL1	IN_SEL0	選択されたクロック	マウント	マウント解除し
0	0	SoC からの EXT_REFCLK	R40、R45	R248、R253
1	0	発振器入力	R253、R40	R45、R248

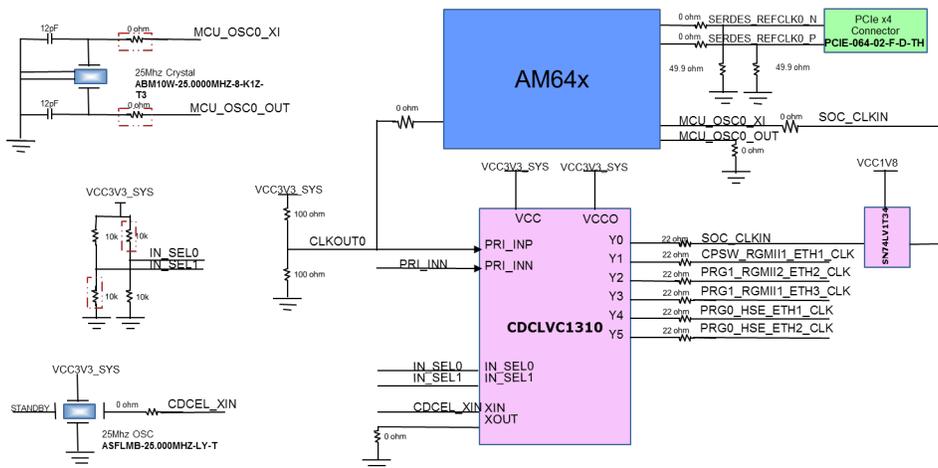


図 2-10. AM64x/AM243x EVM クロック ツリー

注

赤色のボックスでマークされた抵抗は DNI です。

2.3.2.2 AM64x/AM243x クロック

水晶振動子 25MHz (**ABM10W-25.0000MHZ-8-K1Z-T3**) は、AM64x/AM243x デバイスのリファレンスクロックとして EVM に搭載されています。AM64x/AM243x をドライブするバッファからのオプションの出力が提供されます。SoC のクロックの選択は、抵抗を使用して行われます。デフォルトでは、クロック バッファ SoC_CLKIN からの出力が SoC に供給されます。

2.3.2.3 PCIe クロック

プロセッサが ダウンストリーム ポートとして構成されている場合、SoC への PCIe リファレンス クロックは PCIe スロット コネクタから供給されます。ルート コМПレックス動作モード時に、SoC (SERDES0_REFCLK0) からの PCIe リファレンス クロックが PCIe スロット コネクタに供給されます。

2.3.3 リセット

AM64x/AM243x デバイスには、次のリセット信号があります：

- RESET_REQz は、MAIN ドメインのウォームリセット入力です。
- RESETSTATz は、MAIN ドメインのウォームリセット ステータス出力です。
- PORz_OUT は、MAIN および MCU ドメインからのパワーオンリセット ステータス出力です。
- MCU_PORz は、MCU およびメインドメインのパワーオン/コールドリセット入力です。
- MCU_RESEZt は、MCU ドメインのウォームリセット入力です。
- MCU_RESEZSTATz は、MCU ドメインのウォームリセット ステータス出力です。

2 つのスーパーバイザ出力と JTAG からのリセットを AND ゲートに入力し、PORz 信号を生成します。この PORz 信号、安全コネクタからの CONN_MCU_PORz、そして PCIe コネクタからの PCIe_MCU_PORz は、別の AND ゲートに入力され、MCU_PORz 信号が生成されます。

3 つのプッシュ ボタン スイッチを使用すると、MCU_PORz、MCU_RESEZt、RESET_REQz をリセットできます。

ウォームリセットは、テスト自動化ヘッダ経由、または手動リセット スイッチ SW4 (SoC 用) および SW6 (MCU 用) から実行できます。

MCU_PORz 入力は、スイッチ SW7 を通じて適用できます。

セーフティコネクタの CONN_MCU_RESEZt と CONN_MCU_PORz は、それぞれ MCU_RESEZt と MCU_PORz に配線されているため、[図 2-11](#) に示すように、ウォームリセットとコールドリセットを作成する安全コネクタを提供できます。

ほとんどのペリフェラル リセットは、[図 2-11](#) に示すように、SoC からの RESETSTATz 出力と GPIO 制御で ANDED されます。これにより、SoC がリセットから復帰するまでペリフェラル リセットがアサートされることを検証し、AM64x でペリフェラルに対して RESET を手動でアサートできます。

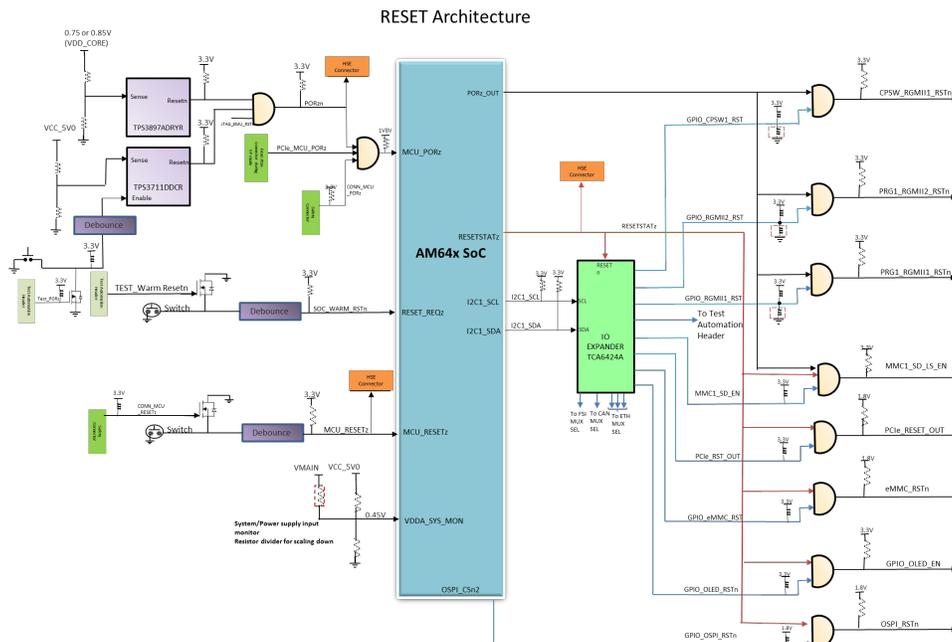


図 2-11. AM64x/AM243x EVM の全体的なリセット アーキテクチャ

2.3.4 JTAG

この EVM には、マイクロ B コネクタ J28 経由で、XDS110 クラスの組込み JTAG エミュレーション機能が搭載されています。また、この EVM にはオプションの TI20 ピン (J25) コネクタも付属しており、外部 JTAG エミュレーションをサポートできます。外部エミュレータが接続されている場合、内部エミュレーション回路は無効になります。

このデザインは、MIPI60 (J33) コネクタ用のフットプリントを実装しており、JTAG およびトレース機能を使用するための接続も実装しています。トレースピンは GPMC 信号とピン多重化されており、デフォルトではプロセッサボードの HSE コネクタに接続されています。抵抗ネットワークは、これらの信号を HSE コネクタまたは MIPI60 コネクタに誘導するために使用されます。MIPI60 は配信済みとしてインストールされていません。

表 2-15 に示すように、これらの信号を HSE コネクタまたはトレース コネクタに接続するための抵抗オプションが用意されています。

TI20 ピンコネクタと MIPI60 ピンコネクタのピン配置を、それぞれ表 2-15 および表 2-17 に示します。

表 2-15. HSE コネクタと JTAG トレース機能の選択

選択した信号	マウント	Un マウント
HSE コネクタ (デフォルト)	RA1	RA2
	RA3	RA4
	RA5	RA6
	R390	R391
	R393	R392
J33 への JTAG トレース信号	RA2	RA1
	RA4	RA3
	RA6	RA5
	R391	R390
	R392	R393

表 2-16. TI20 ピン コネクタ (J25) のピン配置

ピン番号	信号	ピン番号	信号
1	JTAG_CTI_TMS	11	JTAG_CTI_TCK
2	JTAG_TRSTN	12	DGND
3	JTAG_CTI_TDI	13	JTAG_EMU0
4	JTAG_TDIS	14	JTAG_EMU1
5	VCC_3V3_SYS	15	JTAG_EMU_RSTN
6	NC	16	DGND
7	JTAG_TDO	17	NC
8	SEL_XDS110_INV	18	NC
9	JTAG_CTI_RTCK	19	NC
10	DGND	20	DGND

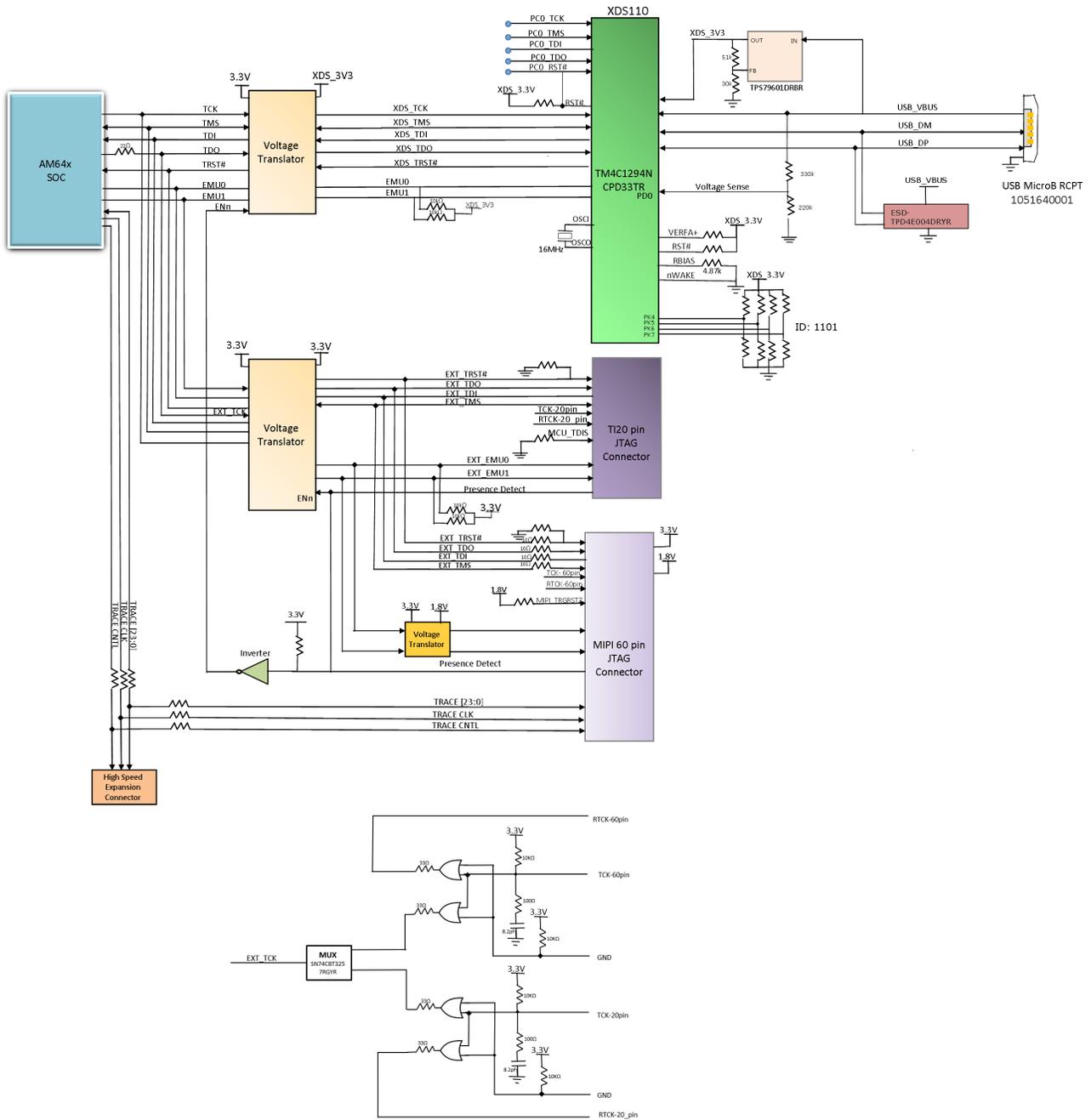


図 2-12. JTAG インターフェイス

表 2-17. TI 60 ピン コネクタ (J33) のピン配置

ピン番号	信号	ピン番号	信号
1	VCC3V3_R	31	MIPI_TRC_DAT06
2	MIPI_TMS_R	32	NC
3	JTAG_MIPI_TCK	33	MIPI_TRC_DAT07
4	MIPI_TDO_R	34	NC
5	MIPI_TDI_R	35	MIPI_TRC_DAT08
6	MIPI_EMU_RSTn	36	NC
7	MIPI_RTCK	37	MIPI_TRC_DAT09
8	MIPI_TRST#_R	38	JTAG_MIPI_EMU0
9	NC	39	MIPI_TRC_DAT10
10	NC	40	JTAG_MIPI_EMU1
11	NC	41	MIPI_TRC_DAT11
12	VCC_3V3_MIPI	42	NC
13	MIPI_TRC_CLK	43	MIPI_TRC_DAT12
14	NC	44	NC
15	DGND	45	MIPI_TRC_DAT13
16	DGND	46	NC
17	MIPI_TRC_CTL	47	MIPI_TRC_DAT14
18	MIPI_TRC_DAT19	48	NC
19	MIPI_TRC_DAT00	49	MIPI_TRC_DAT15
20	MIPI_TRC_DAT20	50	NC
21	MIPI_TRC_DAT01	51	MIPI_TRC_DAT16
22	MIPI_TRC_DAT21	52	NC
23	MIPI_TRC_DAT02	53	MIPI_TRC_DAT17
24	MIPI_TRC_DAT22	54	NC
25	MIPI_TRC_DAT03	55	MIPI_TRC_DAT18
26	MIPI_TRC_DAT23	56	NC
27	MIPI_TRC_DAT04	57	DGND
28	NC	58	SEL_XDS100_INV
29	MIPI_TRC_DAT05	59	NC
30	NC	60	NC

2.3.5 テストオートメーション

自動テストをサポートするために、外部コントローラが電源のオン/オフ、ブートモード、リセット機能、電流測定を制御できるようにするテスト自動化用ヘッダ J38 が用意されています。テストオートメーションヘッダには、4 つの GPIO、2 つの I2C インターフェイスが含まれています。表 2-18 に示す基本的な制御を示します。

表 2-18. テストオートメーションヘッダにルーティングされる信号のリスト

信号	信号のタイプ	機能
POWER_DOWN	GPIO	すべての回路を電源オフにするように EVM に指示します
POR	GPIO	AM64x SoC に PORz を作成します
WARM_RESET	GPIO	AM64x SoC に RESETz を作成します
GPIO1	GPIO	AM64x SoC との通信用 GPIO
GPIO2	GPIO	I2C IO エクスパンダに接続済み
GPIO3	GPIO	BOOTMODE バッファをイネーブルにするために使用されます
GPIO4	GPIO	ブートモード IO エクスパンダをリセットするために使用されます
I2C0	I2C	ブートモード I2C バッファと通信します
I2C2	I2C	INA226 電流測定デバイスと通信します

テストオートメーションヘッダの I2C インターフェイスの 1 つは、I2C IO エクスパンダに接続されており、プロセッサのブートモードピンを駆動できます。

注

ブートモード選択スイッチを OFF の状態にし、GPIO3 をロジック Low に設定すると、このモードが有効になります。

もう 1 つの I2C インターフェイスは、SoC の I2C1 ポートに存在する電流測定および温度センシングデバイスに接続されています。

テキサス インストルメンツでは、このテスト自動化コネクタをソフトウェアのリグレーションテストや電力比較測定の制御に使用しています。このコネクタは、顧客が自社アプリケーションのテストや電力測定を開発できるように提供されています。

注

電力測定値は、AM64x/AM243x の電力推定ツールの代わりにはなりません。電源ソリューションの設計には使用されません。

電力の測定は、シリコンのプロセスや環境によって異なり、測定値は同じ EVM で実施される他の測定値との比較にのみ使用できます。

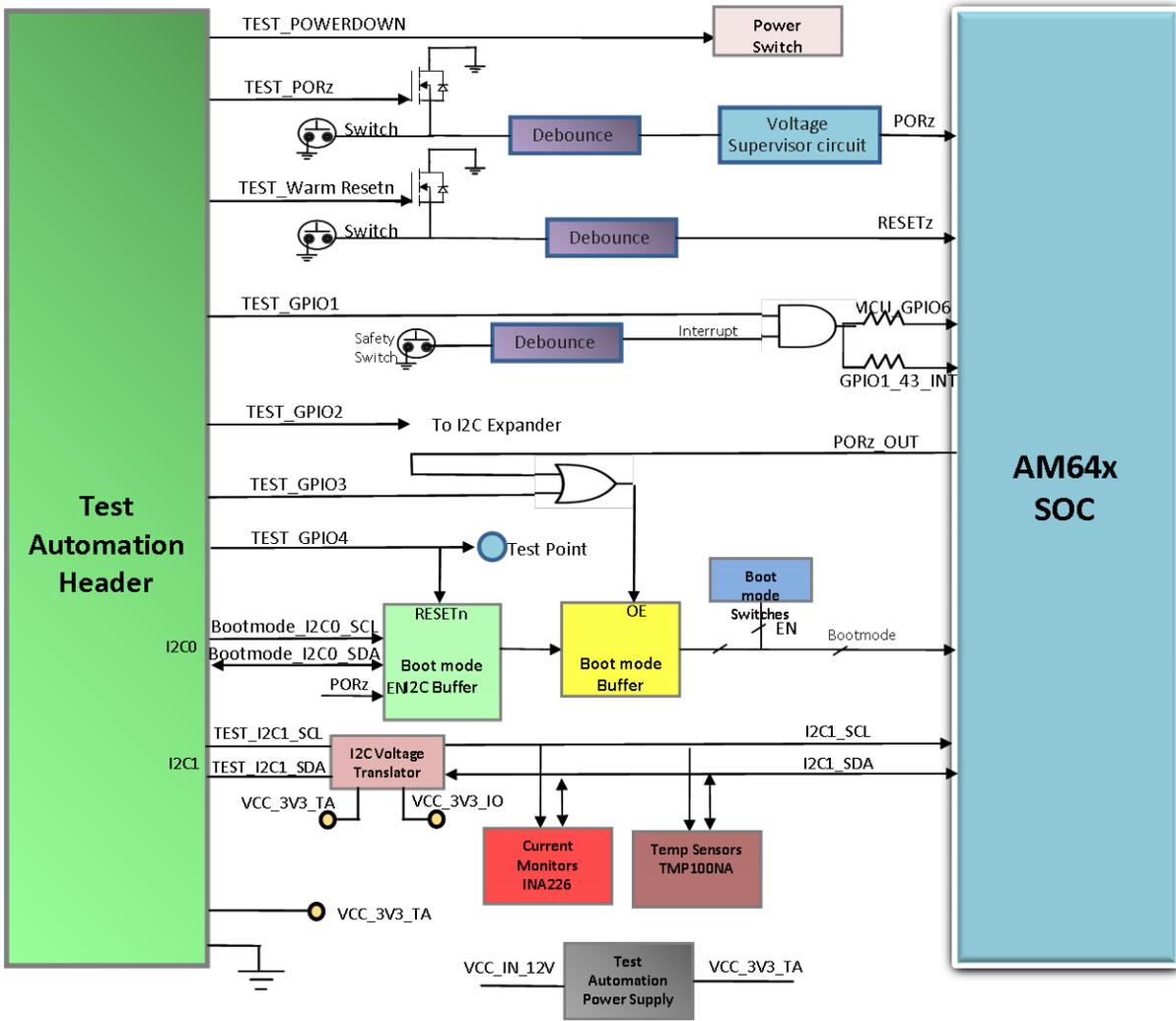


図 2-13. テストオートメーションヘッダー

表 2-19. テストオートメーションヘッダ (J38) のピン配置

ピン番号	信号	IO 方向 (CP 基板へ)
1	VCC3V3_1	電力 (out)
2	VCC3V3_1	電力 (out)
3	VCC3V3_1	電力 (out)
4	NC	該当なし
5	NC	該当なし
6	NC	該当なし
7	DGND	グランド
8	NC	該当なし
9	NC	該当なし
10	NC	該当なし
11	NC	該当なし
12	NC	該当なし
13	NC	該当なし
14	NC	該当なし
15	NC	該当なし
16	DGND	グランド
17	NC	該当なし
18	NC	該当なし
19	NC	該当なし
20	NC	該当なし
21	NC	該当なし
22	NC	該当なし
23	NC	該当なし
24	NC	該当なし
25	DGND	グランド
26	TEST_POWERDOWN	入力
27	TEST_PORz	入力
28	TEST_WARMRESETn	入力
29	NC	該当なし
30	TEST_GPIO1	双方向
31	TEST_GPIO2	双方向
32	TEST_GPIO3	入力
33	TEST_GPIO4	入力
34	DGND	グランド
35	NC	該当なし
36	SOC_I2C1_SCL	双方向
37	BOOTMODE_I2C_SCL	双方向
38	SOC_I2C1_SDA	双方向
39	BOOTMODE_I2C_SDA	双方向
40	DGND	グランド
41	DGND	グランド
42	DGND	グランド

2.3.6 UART インターフェイス

SoC の 4 つの UART ポートは、UART-USB 機能用に FT4232H と接続されており、micro-B コネクタ (J26) に接続されています。付属の USB ケーブルを使用して EVM をホストに接続すると、ホストは仮想 Com ポートを確立できます。このポートは、任意の端末エミュレーションアプリケーションで使用できます。FT4232H はバス電源供給方式です。FT4232H 用の仮想 Com ポートドライバは、<https://www.ftdichip.com/Products/ICs/FT4232H.htm> から入手できます。

FT_Prog には、次の 3 つの動作モードがあります: アイドルモード、プログラムモード、および編集モード。FT_Prog プログラミングパラメータは、EEPROM テンプレートと呼ばれるファイルに保存できます。一度定義した EEPROM テンプレートは、FT_Prog で読み込んで EEPROM の書き込みに使用できます。

- アイドルモードは、プログラムが起動したときの初期動作モードです。
- 編集モードは、EEPROM テンプレートの設定を編集するために使用します。
- プログラムモードは、デバイスの EEPROM のプログラムと消去に使用されます。

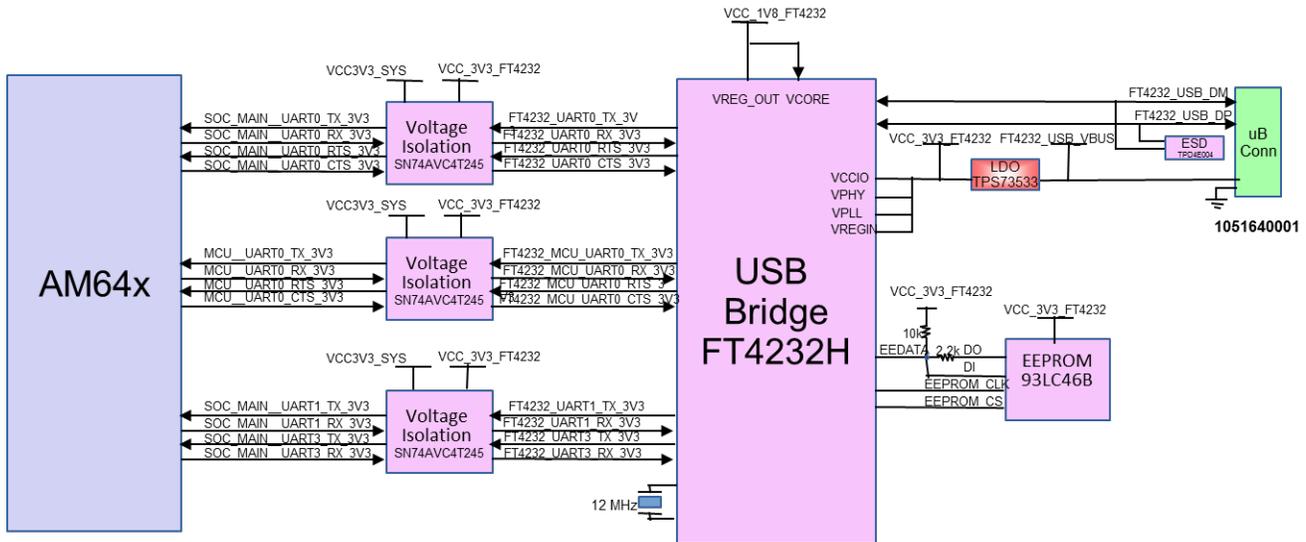


図 2-14. AM64x/AM243x UART インターフェイス

2.3.7 メモリ インターフェイス

2.3.7.1 DDR4 インターフェイス

この EVM には、最大 1600MT/s で動作する 16 ビット幅、2GB の DDR4 メモリが搭載されています。Micron 社製の MT40A1G16KD-062E:E が使用されています。これは、2 つの x8 構成の 8Gb Micron ダイを組み合わせることで 1 つの x16 構成を実現しています。DDR メモリは、オンボード (シングルチップ) に取り付けられています。DDR4 デバイスの配置と配線は、VTT 終端に対応したポイントツーポイントまで対象になります。DDR4 は 1.2V を必要とするため、電力要求が減少します。

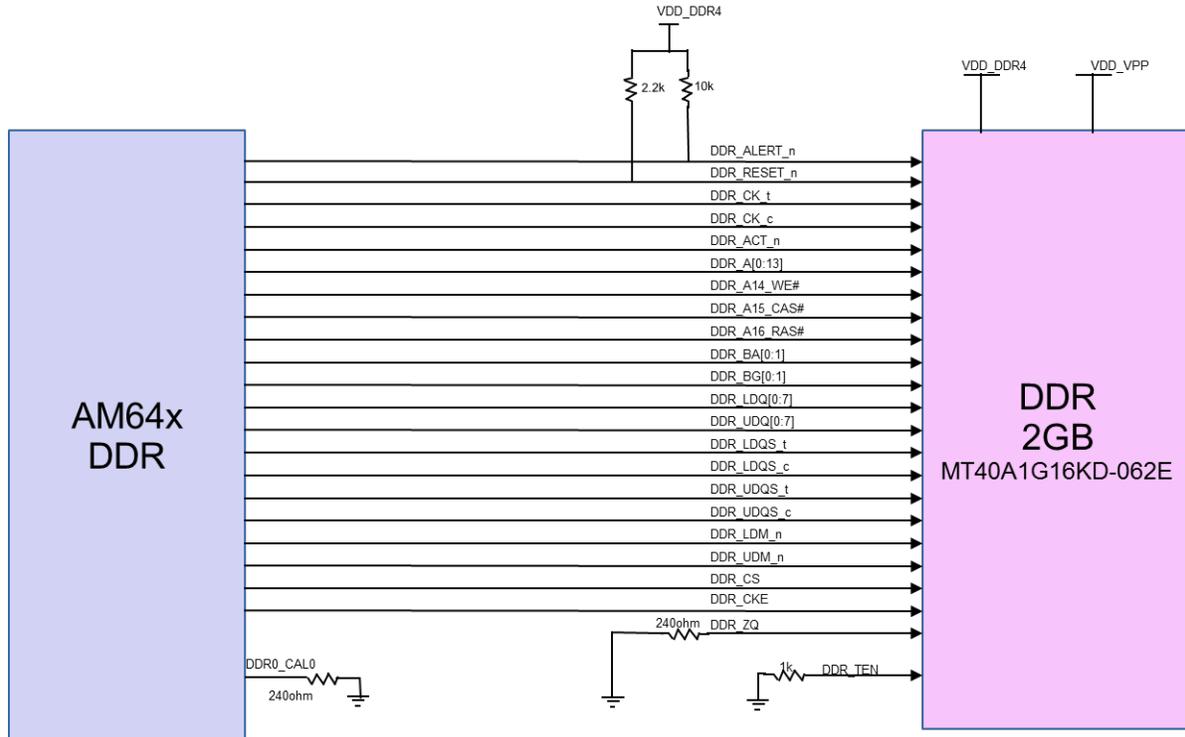


図 2-15. AM64x/AM243x DDR4 インターフェイス

2.3.7.2.2 eMMC インターフェイス

プロセッサ カードは、AM64x プロセッサの MMC0 ポートに接続された eMMC フラッシュ メモリ (部品番号: Micron MTFC16GAPALBH-IT) をサポートしています。このフラッシュは、最大 200MHz の HS400 ダブル データ レートをサポートする MMC0 インターフェイスの 8 ビットに接続されています。

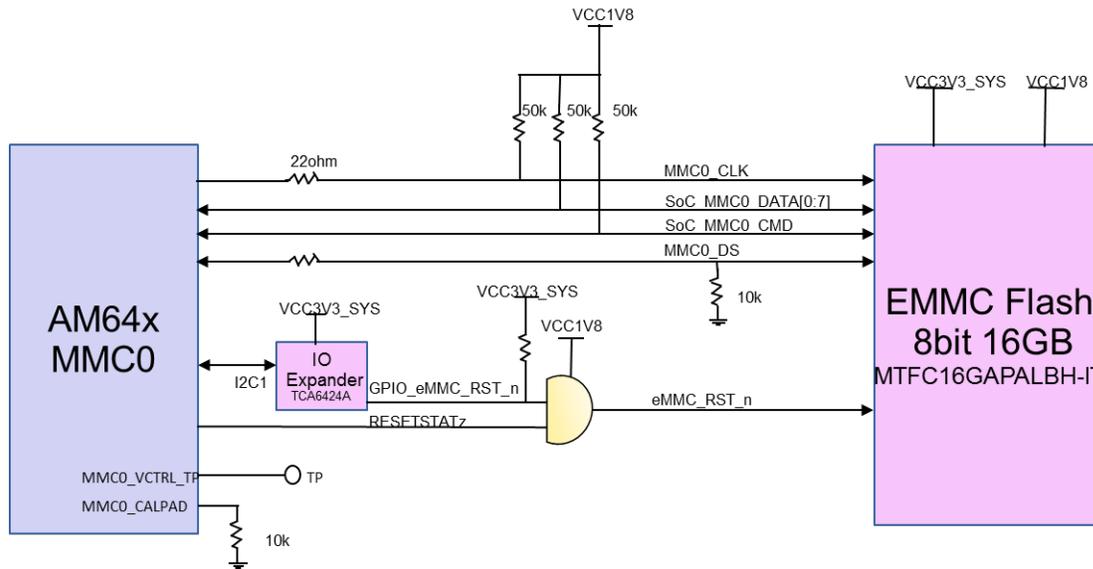


図 2-17. eMMC インターフェイス

2.3.7.3 OSPI インターフェイス

EVM には、Cypress 製の部品番号 S28HS512TGABHM010 の 512 Mbit OSPI メモリデバイスが搭載されており、AM64x/AM243x SoC の OSPI0 インターフェイスに接続されています。OSPI はシングル データ レートとダブル データ レートの両方をサポートしており、メモリ速度は最大で SDR 時 200MBps、DDR 時 400MBps (クロック周波数 200MHz) に対応しています。

2 つの信号は OSPI0_DQS に配線されます:

1. メモリ デバイスからの OSPI0_DQS。
2. SoC からの OSPI0_LBCLK。

DQS をメモリ デバイスからルーティングするには、R601 と R592 と DNI R600 と R591 をマウントします。

SoC から OSPI0_LBCLK をルーティングするには、R600 および R591 を実装し、R601 および R592 は実装しない (DNI) ようにします

注

詳細については、[AM64x Sitara™ プロセッサ データ マニュアル](#)の OSPI および QSPI 基板の設計およびレイアウトのガイドラインセクションを参照してください。

OSPI および QSPI の実装: DATA[7:0]、DQS、INT#、および CLK 信号には 0Ω 抵抗が設けられています。バスのフローティングを防ぐため、DATA[7:0] には外部プルアップ抵抗を実装できるフットプリントが用意されています。OSPI メモリのフットプリントでは、QSPI メモリまたは OSPI メモリのいずれかを取り付けることもできます。Cypress 製の S25FL256SABHI200 は、QSPI フラッシュが必要なバリエーションで使用されています。QSPI フラッシュが実装されている場合、ピン OSPI_DATA[4:7] に使用されている 0Ω 抵抗は取り外されます。

注

QSPI 構成の場合

以下から 0E 抵抗を取り外します

1. OSPI_DQ4 から OSPI_DQ7 ネット (R432、R441、R442、R443)。
2. OSPI_INTn (R158)。

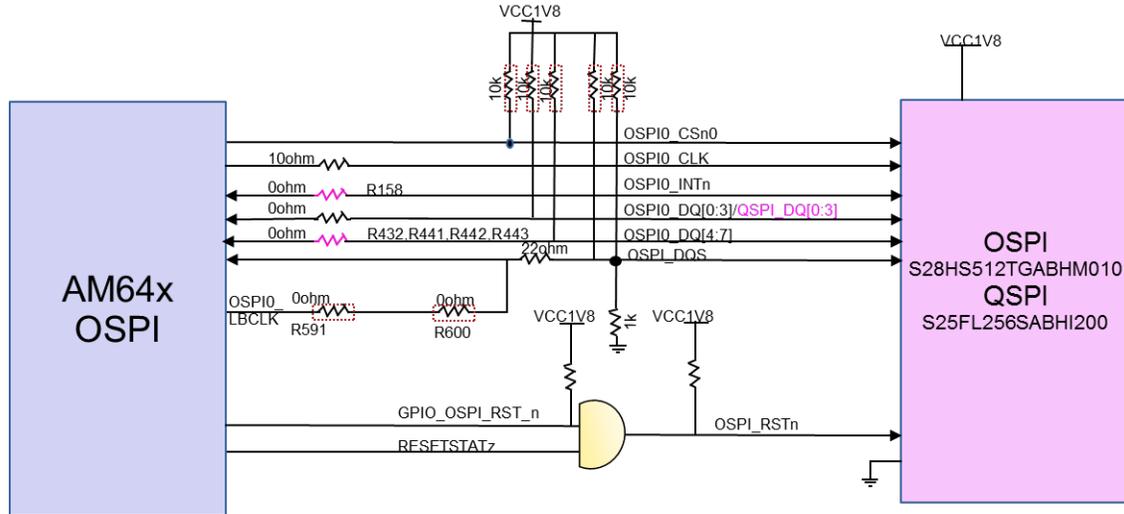


図 2-18. AM64x/AM243x OSPI インターフェイス

2.3.7.4 SPI EEPROM インターフェイス

1K ビットの SPI EEPROM (93LC46B) は AM64x/AM243x プロセッサの SPI0 ポートに接続されており、テスト目的で使用されています。

2.3.7.5 基板 ID EEPROM インターフェイス

この EVM は、オンボードの EEPROM (U7) を搭載しています。この EEPROM には、EVM のバージョンやシリアル番号などの識別情報が格納されています。PHY MAC ID や EVM に関するその他の静的情報も、このメモリに保存されます。

ボード ID メモリはアドレス 0x50 に応答するよう構成されており、0x51 にはこのカードのヘッダ記述および DDR 情報が書き込まれています。Microchip 社の AT24CM01 が使用されており、SOC の I2C ポートに接続されています。また、EEPROM の I2C アドレスは、A0、A1、A2 ピンを LOW に設定することで変更可能です。アドレス指定可能な EEPROM メモリの最初の 259 バイトには、各ボードの識別情報があらかじめ書き込まれています。残りの 32509 バイトは、データまたはコードの保存用にユーザーが使用できます。

表 2-20. 基板 ID メモリヘッダー情報

ヘッダー	フィールド名	サイズ (バイト)	備考
EE3355AA	MAGIC	4	マジックナンバー
	タイプ	1	固定長および可変ポジションボード ID ヘッダー
		2	ペイロードのサイズ
BRD_INFO	タイプ	1	ペイロードタイプ
	長さ	2	次のヘッダーにオフセットします
	Board_Name	16	ボードの名前
	Design_rev	2	設計のリビジョン番号
	PROC_Nbr	4	PROC 番号
	バリエーション	2	設計バリエーション番号
	PCB_Rev	2	PCB のリビジョン番号
	SCHBOM_Rev	2	回路図のリビジョン番号

表 2-20. 基板 ID メモリヘッダー情報 (続き)

ヘッダー	フィールド名	サイズ (バイト)	備考
	SWR_Rev	2	最初のソフトウェア リリース番号
	VendorID	2	
	Build_Week	2	製造年の週
	Build_Year	2	製造年
	BoardID	6	
	Serial_Nbr	4	ボード番号のインクリメント

表 2-20. 基板 ID メモリヘッダー情報 (続き)

ヘッダー	フィールド名	サイズ (バイト)	備考
DDR_INFO	タイプ	1	
	長さ	2	次のヘッダーにオフセットします
	DDR 制御	2	DDR コントロールワード
MAC_ADDR	タイプ	1	ペイロードタイプ
	長さ	2	ペイロードのサイズ
	MAC 制御	2	MAC ヘッダー コントロールワード
	MAC_adrs	192	AM64x/AM243x PRG2 の MAC アドレス
END_LIST	タイプ	1	エンド マーカー

2.3.8 イーサネット インターフェイス

EVM では、磁気結合素子を内蔵した RJ45 コネクタに接続された 3 つのイーサネット PHY がサポートされています。

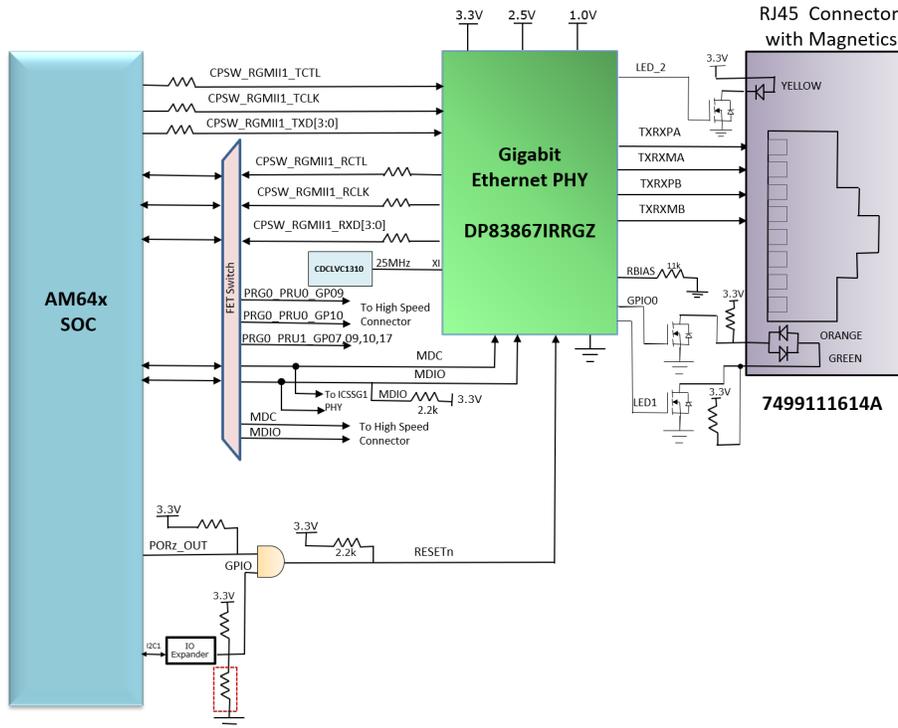


図 2-19. イーサネット インターフェイス - CPSW ドメイン

最初の PHY (RJ45 コネクタ J14 に接続) は、SoC の CPSW_RGMII1 ポートに接続されています。このインターフェイスでは、Tx および Rx 遅延の設定機能に基づいて DP83867 PHY が選択されています。CPSW_RGMII1_RX ポートは PRG0 信号と多重化されているため、SoC からこの PHY への経路 (CPSW モード) または HSE コネクタへの経路 (PRG0 モード) を選択するためにマルチプレクサが必要です。選択は、24 ビット IO エクスパンダからの GPIO を使用して行われます。

2 番目の PHY (スタックされた RJ45 コネクタ J21B に接続) は、SoC の PRG1_RGMII2 ポートに接続されています。このポートは CPSW_RGMII2 ポートと直接多重化されています。CPSW 動作と PRG 動作を切り替えるために、ユーザーは各コントローラからの MDIO および MDC 信号をこの PHY に多重化する必要があります。マルチプレクサの制御は、IO エクスパンダの GPIO によって行われます。また、PRG1_RGMII2 は PRG1_MII 信号と内部的に多重化されています。PHY の目的は、PHY がこのポートに接続されることであり、PHY は RGMII モードと MII モードの両方をサポートしています。このため、DP83869 (48 ピン) PHY が選択されています。

3 番目の PHY (スタックされた RJ45 コネクタ J21A に接続) は、SoC の PRG1_RGMII1 ポートに接続されています。ICSSG ポートは、GPI、GPO、RGMII、MII などの内部マルチプレクシングをサポートしています。この PHY の目的は、PHY がこのポートに接続されることであり、PHY は RGMII モードと MII モードの両方をサポートします。また、最初の PHY に使用される CPSW_RGMII1 と信号が多重化されているため、CRS および COL 信号は使用しません。したがって、このポートにも同じ DP83869 (48 ピン) PHY が使用されます。

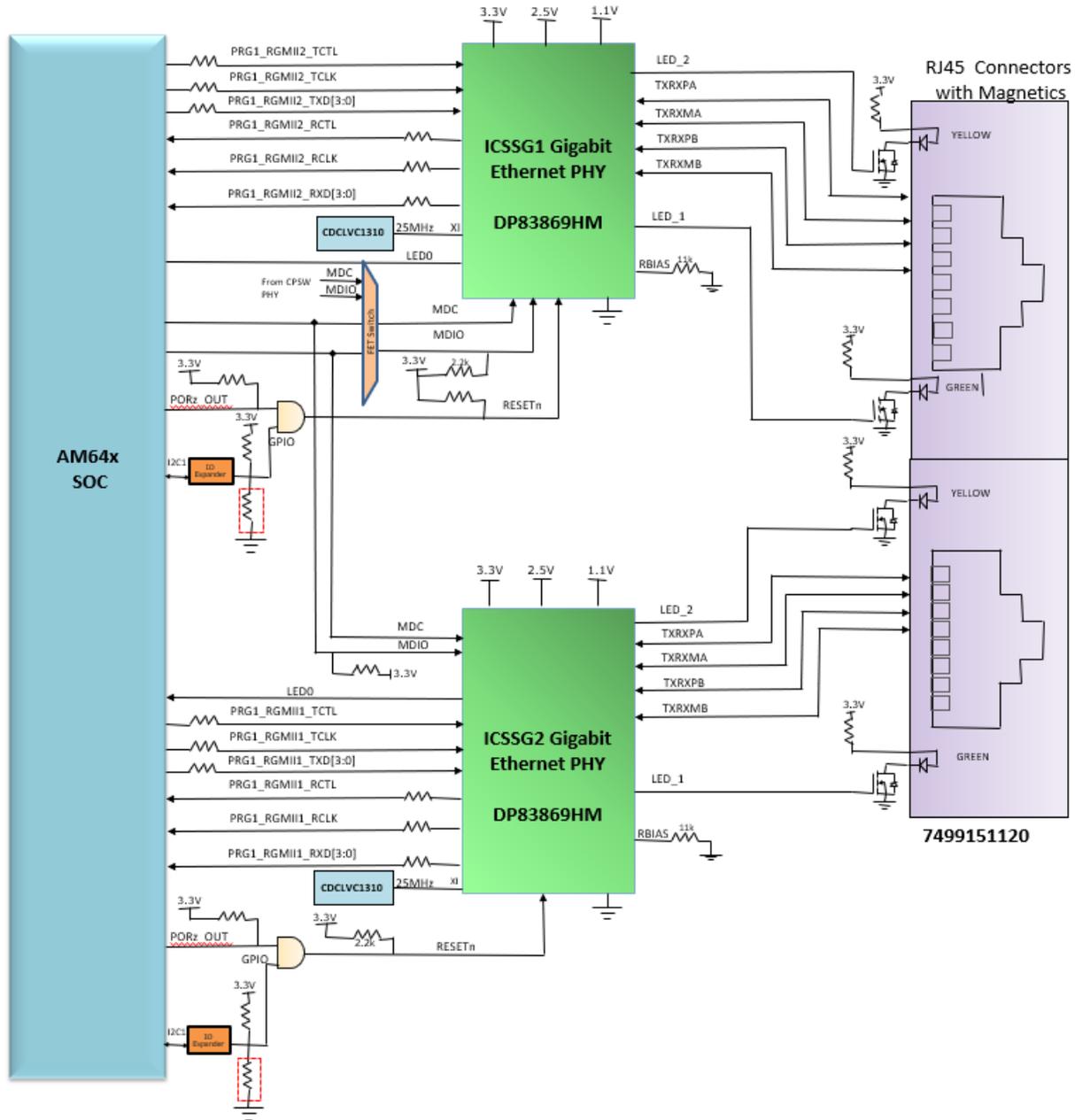


図 2-20. イーサネット インターフェイス - ICSSG ドメイン

2.3.8.1 DP83867 PHY デフォルト構成

DP83867 PHY は、抵抗ストラッピングに基づいて 4 つのレベル構成を使用して、4 つの異なる電圧範囲を生成します。これらの抵抗は、通常 PHY によって駆動され、AM64x への入力となる RX データおよび制御ピンに接続されています。各モードの電圧範囲を以下に示します。

モード 1 - 0V ~ 0.3234V

モード 2 - 0.462V ~ 0.6303V

モード 3 - 0.7425V ~ 0.9372V

モード 4 - 2.2902V ~ 2.904V

DP83867 デバイスには、内部プルダウン抵抗が内蔵されています。外部プル抵抗の値は、AM64x/AM243x のピンにできるだけグラウンドまたは 3.3V に近い電圧を供給するように選択されています。図 2-22 にストラップを、表 2-21 にストラップ値を示します。

アドレスストラッピングは CPSW PHY に対して提供されており、ストラッピングピンに内部プルダウン抵抗があるため、デフォルトでアドレス -00000 (0h) に設定されます。LED_0 を除くすべてのストラッピングピンには、プルアップおよびプルダウンの両方のフットプリントが用意されています。LED_0 はミラー イネーブル用で、デフォルトではモード 1 に設定されています。モード 4 は適用されず、モード 2 およびモード 3 のオプションは使用しません。

2.3.8.2 DP83869 PHY デフォルト構成

DP83869 PHY は、I/O、RX_D0 および RX_D1 ピンの 4 レベル構成を使用し、その他のすべてのピンに対して 2 レベル構成を使用します。抵抗によるストラップ設定に基づいた 4 レベルのストラップピンは、4 つの異なる電圧範囲を生成します。これらの抵抗は RX データピンに接続されており、そのピンは通常 PHY によって駆動され、AM64x/AM243x への入力となります。各モードの電圧範囲を以下に示します。

モード 0 - 0V ~ 0.3069V

モード 1 - 0.4488V ~ 0.6072V

モード 2 - 0.7227V ~ 0.924V

モード 3 - 1.98V ~ 2.9304V

抵抗によるストラップ設定に基づいた 2 レベルのストラップピンは、2 つの異なる電圧範囲を生成します。内抵抗は LED ピンに接続されています。LED 出力ピンはストラップとしても使用されるため、競合を避けるために、ストラップ設定および LED 用途の外付け部品を考慮する必要があります。特に、LED 出力を使用して LED を直接駆動する場合、この点が問題になる可能性があります。各モードの電圧範囲を以下に示します。

モード 0 - 0V ~ 0.594V

モード 1 - 1.65V ~ 2.904V

DP83869 デバイスには、内部プルダウン抵抗が内蔵されています。外部プル抵抗の値は、AM64x/AM243x のピンにできるだけグラウンドまたは 3.3V に近い電圧を供給するように選択されています。図 2-22 にストラップを示し、表 2-22 にストラップ値を示します。

ストラップ抵抗を使用して、ICSSG1 PHY にはアドレス 00011 (03h)、ICSSG2 PHY にはアドレス 01111 (0Fh) を設定するためのアドレスストラップが用意されています。すべてのストラップピンに、プルアップとプルダウン両方のフットプリントを確保しています。

表 2-21. CPSW イーサネット PHY のデフォルトストラップ設定

ストラップ設定	ピン名	ストラップ機能	Mode for PRG0_PRU1、PRG0_PRU0、PRG1_PRU1、PRG1_PRU0	PRG0 および PRG1 のストラップ機能の値	説明
PHY アドレス	RX_D2	PHY_AD3	1	0	PHY アドレス:0000
		PHY_AD2	1	0	
	RX_D0	PHY_AD1	1	0	
		PHY_AD0	1	0	
自動ネゴシエーション	RX_DV/RX_CTRL	Auto-neg	3	0	Auto neg Disable=0
動作モード	LED_2	RGMII クロック スキュー – TX[1]	1	0	RGMII TX のクロック スキューを 2ns に設定します
		RGMII クロック スキュー – TX[0]	1	0	
	LED_1	RGMII クロック スキュー – TX[2]	1	0	
		ANEG_SEL	1	0	
	LED_0	ミラーの有効化	1	0	ミラーの有効化が無効です
		GPIO_1	RGMII クロック スキュー – RX[2]	1	0
	RGMII クロック スキュー – TX[1]		1	0	
	GPIO_0	RGMII クロック スキュー – RX[0]	1	0	

表 2-22. ICSSG イーサネット PHY のデフォルトストラップ設定

ストラップ設定	ピン名	ストラップ機能	PRG1_RGMII2 のモード (ICSSG1)	PRG1_RGMII2 (ICSSG1) のストラップ機能の値	PRG1_RGMII1 のモード (ICSSG2)	PRG1_RGMII1 (ICSSG2) のストラップ機能の値	説明
PHY アドレス	RX_D1	PHY_AD3	3	1	3	1	ICSSG1 PHY アドレス:00011
		PHY_AD2	3	1	3	1	
	RX_D0	PHY_AD1	0	0	3	1	ICSSG2PHY アドレス:01111
		PHY_AD0	0	0	3	1	
動作モード	RX_CNTL	ミラーの有効化	0	0	0	0	ミラーの有効化が無効です
	LED_2	ANEGSEL_1	0	0	0	0	自動ネゴシエーション、10/100/1000 アドバタイズ、自動 MDI-X
	LED_1	ANEGSEL_0	0	0	0	0	
	LED_0	ANEG_DIS	0	0	0	0	
	JTAG_TDO/ GPIO_1	OPMODE_0	0	0	0	0	RGMII から銅線 (1000BaseT/100Base-TX/10Base-Te)

PHY デバイスには MDI 終端抵抗が内蔵されているため、外部終端は提供されていません。

割り込み:PRG1ドメインからの2つのICSSG PHYからの割り込みは互いに接続され、AM64x/AM243xのEXTINTNピンに接続されます。CPSW PHYからPRG1 ICSSG 割り込みピンに割り込みを接続するオプションも備えています。

リンクステータスを示すために、3本の構成可能なLEDピンとイーサネットPHYのGPIOを使用します。各種動作モードのために複数の機能をLEDに多重化できます。LED動作モードは、DP83867デバイスのLEDCR1レジスタアドレス

0x0018、DP83869 デバイスの LEDS_CFG1 レジスタ アドレス 0x0018 を使用して選択できます。デフォルトの設定は次のとおりです。

LED0: デフォルトでは、このピンはリンクが確立されたことを示します。DP83867 デバイスでは LEDCR1[3:0] レジスタビットを使用し、DP83869 デバイスでは LEDS_CFG1[3:0] レジスタビットを使用して、追加の機能を設定できます。LDE0 は CPSW PHY (DP83867) では使用されていません。これは、ミラー イネーブルの設定に使用されるストラップピンでもあります。これらの機能は必要ないため、LED0 のストラップは提供されていません。DP83869 ICSSG PHY では、リンクステータスを示すために、LED0 が SoC の PRG1_PRU1_GPO8 および PRG1_PRU0_GPO8 に接続されています。このピンはストラップピンでもあり、DP83869 デバイスで自動ネゴシエーション無効化オプションを設定するための内部プルダウン抵抗が付いています。デフォルトの状態では、自動ネゴシエーションを行い、リンクを 10/100/1000Mbps としてアダプタサイズします

LED_1: デフォルトでは、このピンは 1000BASE-T リンクが確立されていることを示します。この設定は、ストラップ抵抗を使用して自動ネゴシエーションを 10/100Mbps に変更できます。DP83867 デバイスでは LEDCR1[7:4] レジスタビットを、DP83869 デバイスでは LEDS_CFG1[7:4] レジスタビットを使用して、追加の機能を設定できます。LED_1 はストラップピンでもあり、DP83867 デバイスで RGMII TX クロック スキューを設定し、DP83869 デバイスで自動ネゴシエーションモードを選択するための内部プルダウン抵抗が備わっています。このピンは両方のデバイスでアクティブに設定されているため、LED を直接駆動すると、調光 LED ライティングになります。そのため、[図 2-24](#) に示すように MOSFET が使用されて LED を駆動します。

LED_2: デフォルトでは、このピンは受信または送信動作を示します。追加の機能は、DP83867 デバイスでは LEDCR1[11:18] レジスタビット、DP83869 デバイスでは LEDS_CFG1[11:18] レジスタビットによって設定できます。LED_2 はストラップピンでもあり、DP83867 デバイスで RGMII TX クロック スキューを設定し、DP83869 デバイスで自動ネゴシエーションモードを選択するための内部プルダウン抵抗が備わっています。デフォルト状態では、自動ネゴシエーションとリンクを 10/100/1000Mbps としてアダプタサイズします。搭載されたストラップ抵抗を使用して変更できます。ストラップ設定に使用するプルアップ抵抗により、LED が直接駆動されると、LED が調光されます。したがって、LED を駆動するために、MOSFET を使用します。

GPIO1: DP83867 PHY では、GPIO マルチプレクサ制御レジスタ 1 (GPIO_MUX_CTRL1) によって GPIO を LED3 として機能するように構成でき、LED 構成は LEDCR1 レジスタをプログラムすることにより設定できます。これは、高速リンクドロップ (FDP) の設定に使用されるストラップピンでもあり、現在は無効化されています。DP83869 PHY では、GPIO マルチプレクサ制御レジスタ (GPIO_MUX_CTRL) を使用して、GPIO を LED_GPIO (3) として機能するように構成でき、LED 構成は LEDS_CFG1 レジスタをプログラミングすることで設定できます。これはストラップピンでもあり、起動時に RGMII からカッパ動作モードを選択するために使用されます。これは、MDC および MDIO ピンを使用して MII モードに変更し、GEN_CFG1 レジスタ-0x9 を更新できます (MII モードを使用する場合、PHY は 1000Mbps の速度でリンクアップしないため、ギガビットイーサネットアダプタサイズを無効にする必要があります)

RJ45 コネクタ LED 表示 - CPSW (DP83867) :

LED1 と GPIO1 は、RJ45 のデュアル LED に接続され、10/100 または 1000MHz リンクを示します。オレンジの LED は 10/100 の速度を示し、緑の LED は 1000MHz の速度を示します。

LED2 は RJ45 LED (黄色) に接続され、送受信アクティビティを示します。

RJ45 コネクタ LED 表示 - ICSSG (DP83869) :

LED1 は RJ45 LED (緑) に接続され、1000MHz 速度を示します。

LED2 は RJ45 LED (黄色) に接続され、送受信アクティビティを示します。

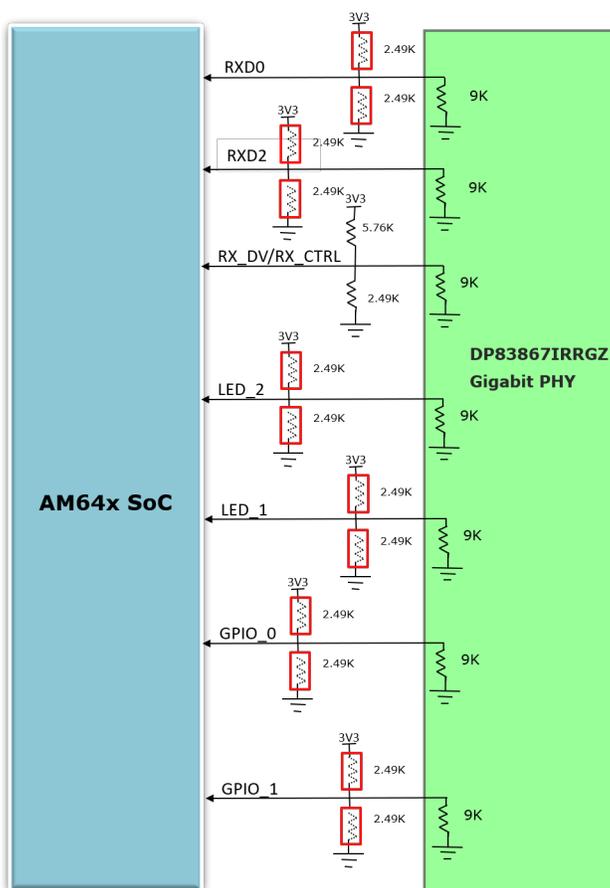


図 2-21. AM64x/AM243x イーサネット インターフェイス - CPSW イーサネット ストラップ設定

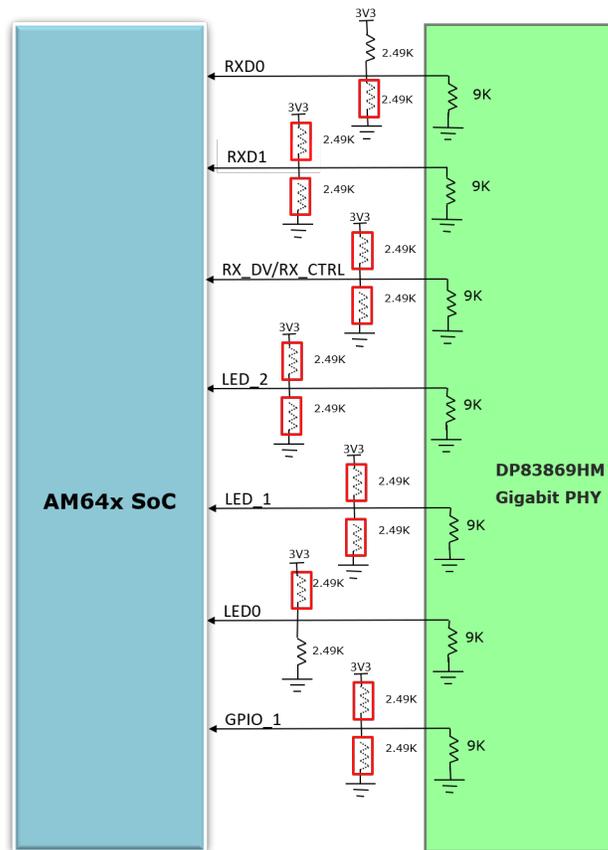


図 2-22. AM64x/AM243x イーサネットインターフェイス — ICSSG1 イーサネットストラップ設定

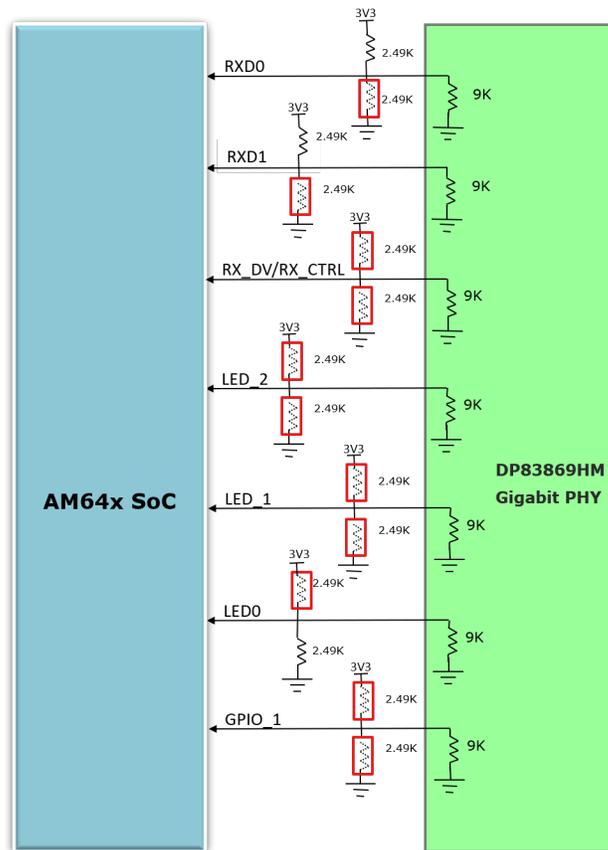


図 2-23. AM64x/AM243x イーサネットインターフェイス — ICSSG2 イーサネットストラップ設定

注

赤色で強調表示されている抵抗は、DNI 成分です。

2.3.8.3 イーサネット LED

この EVM カードには、イーサネットリンク、イーサネット アクティビティ、イーサネット速度設定のステータスを示す複数の LED が搭載されています。図 2-24 に、ICSSG PRG1 イーサネット アクティビティおよび CPSW イーサネット アクティビティに使用される LED を示します。さらに、IO エクスパンダに接続されている 8 つの LED があり、I2C1 ポート経由で SoC によって制御されます。これら 8 つの LED は、ユーザー アプリケーションに基づいて切り替えることができます。

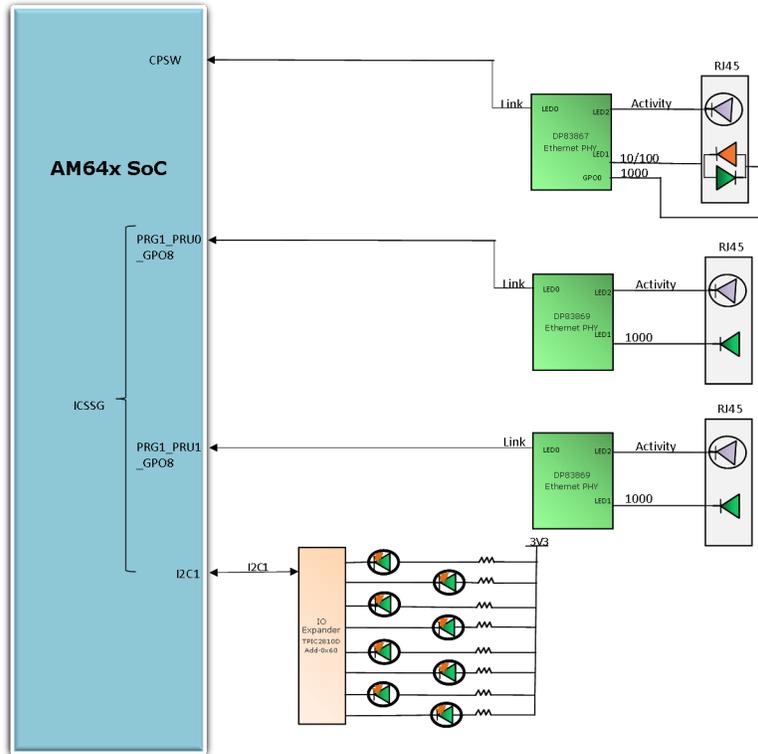


図 2-24. AM64x/AM243x EVM イーサネット インターフェイス LED

2.3.9 ディスプレイ インターフェイス

この EVM で使用しているディスプレイ デバイスは、OSD ディスプレイの OSD9616P0992-10 です。これはパッシブ マトリクス方式の PMOLED ディスプレイで、モノクロ (ライトブルー) バックライトを備えています。ディスプレイのピクセル配列は 96X16 で、パネル サイズは 29.10 X 9.20 X 1.30 (mm)、アクティブ領域は 21.1 X 3.5 (mm) です。ディスプレイは、Amphenol ICC の型番 10051922-1410ELF にある EVM の 14 ピン FPC コネクタに接続します。ピンの詳細については、表 2-23 を参照してください。

表 2-23. ディスプレイ コネクタ (J36) のピン配置

ピン番号	信号
1	C2P
2	C2N
3	C1P
4	C1N
5	Vddb
6	NC
7	VSS
8	VDD
9	RES#
10	SCL
11	SDA
12	IREF
13	VCOMH
14	VCC

2.3.10 USB 2.0 インターフェイス

AM64x/AM243x の USB0 ポートは、USB 2.0 インターフェイスに使用されます。USB 信号は uAB コネクタに接続されており、USB インターフェイスをホストまたはセルフパワーのスレーブ デバイスとして構成できるようにするための補助回路が含まれています。

ホスト モードでは、スレーブ デバイスが最大 500mA 5V をサポートしています。AM64x/AM243x からの DRV_VBUS 信号で制御されるパワー スイッチが含まれています。

図 2-25 に示すように、2 ポジション連動シャントを取り付けて、ポートをホスト モードに構成するための 2x3 ヘッド (J23) が用意されています。VBUS 上のバルク容量を有効にするためにシャントをピン 1 とピン 2 に配置し、シャントをピン 5 および 6 に配置して ID ピンをグラウンドに接続します。

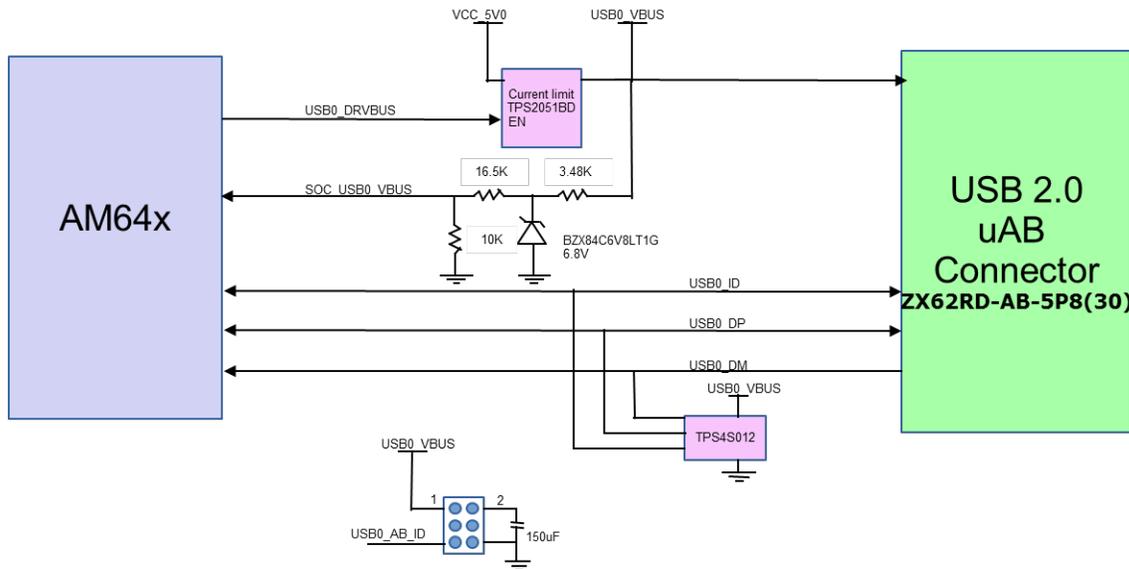


図 2-25. AM64x/AM243x USB 2.0 ホスト インターフェイス

2.3.11 PCIe インターフェイス

AM64x/AM243x の Serdes0 インターフェイスは、x1 レーンの PCIe インターフェイスを実装するために使用されており、その信号は x4 PCIe スロット コネクタに配線されています。Samtec の PCIE-064-02-F-D-TH コネクタを PCIe インターフェイスに使用し、このコネクタは物理的および電氣的の両方で PCIe CEM v2.0 仕様を満たしています。PCIE-064-02-F-D-TH コネクタは、25W スロットをサポートするよう設計されており、12V レールで 2.1A、3.3V レールで 3A に対応しています。PCIe インターフェイスは、クロスオーバー ケーブルを使用して、ルート コМПレックス動作またはエンドポイント動作のいずれにも対応できるように設計されています。SoC_I2C1 は制御用に使用されます。PCIe コネクタからのリンク アクティベーション信号は、VCC3V3_SYS にプルアップされています。

クロック SERDES REFCLK は PCIe の REF CLK ピンに配線されており、コネクタからクロックを受信または供給できるようになっています (EVM 上には PCIe REF CLK を生成する専用 PLL はありません)。

ホット プラグ: PRSNT1# 信号と PRSNT2# 信号は、ホット プラグ存在検出信号です。PRSNT2# はプルアップされ、PRSNT1# はグラウンドに接続されています。そのため、ドータ カードが挿入されると PRSNT2# が Low に引き下げられます。RC モードと EP モードを選択するための 3 ピン ヘッド (J35) が用意されています。

リセット: ホストとエンドポイントの PCIe 動作のリセット ソースを選択するための 3 ピン ヘッド (J34) が搭載されています。ホスト モードの場合、IO エクспанダからの PCIe_RST_OUT 信号と SoC からの RESETSTATz 信号が AND 接続され、その出力が 3 ピン ヘッドを介して PCIe コネクタに接続されます。接続用にジャンパが取り付けられています。これに対して、PCIe エンドポイント動作の場合、AM64x SoC はアドオン カードからリセット信号を受信し、MCU_PORz ピンに渡されます。リセット信号は 3 ピン ヘッドに接続されており、ジャンパで選択する必要があります。

PCIe x4 コネクタの JTAG 信号は使用されません。信号にテスト ポイントを割り当てています。

表 2-24 は、EVM がルートコンプレックスモードで動作するかエンドポイントモードで動作するかを選択するためのジャンパのオプションについて説明しています。

表 2-24. ルートコンプレックスモードとエンドポイントモードを有効にするための PCIe ジャンパ オプション

	ルートコンプレックス	エンドポイント
J34 と J35 間の 1x3 ヘッダ	1 と 2 を短絡	2 と 3 を短絡

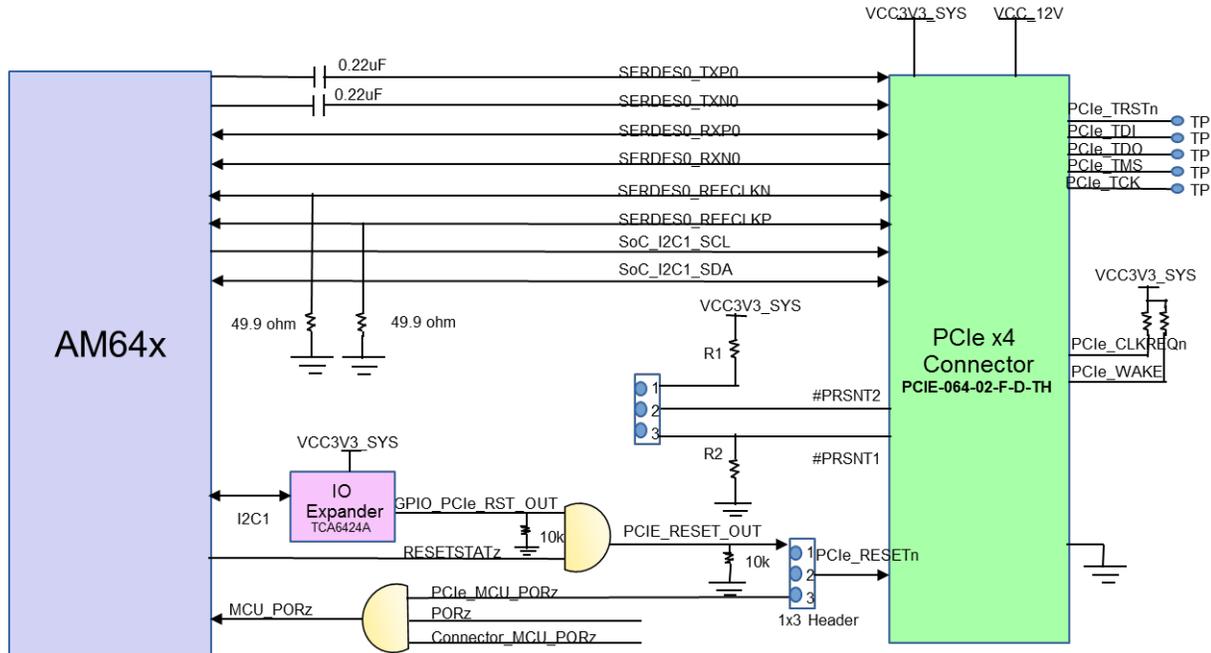


図 2-26. AM64x/AM243x PCIe インターフェイス

表 2-25. PCIe コネクタ (J27) のピン配置

ピン番号	PCIe コネクタのサイド A	GP ボード信号	PCIe コネクタのサイド B	GP ボード信号
1	PRSN1#	J35.3	+12V	VDD_12V
2	+12V	VDD_12V	+12V	VDD_12V
3	+12V	VDD_12V	+12V	VDD_12V
4	GND	グラウンド	GND	グラウンド
5	JTAG2	TP	SMCLK	SoC_I2C1_CLK
6	JTAG3	TP	SMDATA	SoC_I2C1_SDA
7	JTAG4	TP	GND	グラウンド
8	JTAG5	TP	+3V3	VCC3V3_SYS
9	+3V3	VCC3V3_SYS	JTAG1	TP
10	+3V3	VCC3V3_SYS	3V3 VAUX	VCC3V3_SYS
11	PERST#	J24.2	WAKE#	VCC3V3_SYS にプルアップ
12	GND	グラウンド	RSVD4	VCC3V3_SYS にプルアップ
13	REFCLK+	SERDES_REFCLK0P	GND	グラウンド
14	REFCLK-	SERDES_REFCLK0N	PETp0	SERDES_TXP0
15	GND	グラウンド	PETn0	SERDES_TXN0
16	PERp0	SERDES_RXP0	GND	GND
17	PERn0	SERDES_RXN0	PRSN2#_1	J35.2
18	GND	グラウンド	GND	グラウンド

表 2-25. PCIe コネクタ (J27) のピン配置 (続き)

ピン番号	PCIe コネクタのサイド A	GP ボード信号	PCIe コネクタのサイド B	GP ボード信号
19	RSVD1	NC	PETp1	NC
20	GND	グラウンド	PETn1	NC
21	PERp1	NC	GND	グラウンド
22	PERn1	NC	GND	グラウンド
23	GND	グラウンド	PETp2	NC
24	GND	グラウンド	PETn2	NC
25	PERp2	NC	GND	グラウンド
26	PERn2	NC	GND	グラウンド
27	GND	グラウンド	PETp3	NC
28	GND	グラウンド	PETn3	NC
29	PERp3	NC	GND	グラウンド
30	PERn3	NC	RSVD3	NC
31	GND	グラウンド	PRSNT2#_2	NC
32	RSVD2	NC	GND	グラウンド

2.3.12 高速拡張インターフェイス

この GP ボードには高速拡張コネクタが搭載されており、AM64x/AM243x の ICSSG および GPMC 機能に接続できます。この評価基板では、部品番号 **SEAF-30-06.0-L-05-2-A-K-TR** のシングル高速コネクタが使用されています。ICSSG0 インターフェイスに関連付けられているすべての信号は、拡張コネクタに配線されます。さらに、GPMC のデータ信号とコマンド信号も、AM64x/AM243x にルーティングされます。

パターン信号は、高速拡張コネクタまたは MIPI60 コネクタのいずれかに送信されます。配線の中断を最小限に抑えるため、ゼロ Ω 抵抗を使用します。デフォルトの設定では抵抗が取り付けられているため、信号は HSE コネクタにルーティングされます。MIPI60 は、デフォルトではインストールされていません。

C2000 EVM と接続するには、FSI 送信チャンネル 1 本と FSI 受信チャンネル 1 本が必要です。SoC からのこれらの信号は、Amphenol ICC (FCI) の 2x5 ヘッダで型番 **67997-410HLF** で終端されています。これらの信号は多重化されており、信号が FSI コネクタと拡張コネクタの両方で利用できるになっています。FSI_TX0 信号と FSI_RX0 信号はマルチプレクサに接続されています。マルチプレクサはジャンプで制御します。デフォルト状態では、ジャンプが取り付けられていない限り、AM64x/AM243x から HSE コネクタへの信号が駆動されます。この基板は、ジャンプを取り付けた状態で供給されます。

UART4、I2C0、SPI1、GPIO などの追加の信号は HSE コネクタに接続されており、追加の接続オプションを提供できます。

HSE コネクタには、5V、3V3、1V8 などの必要な電圧が供給されます。これらの電圧は、コネクタが誤って短絡して EVM が損傷しないように、電流制限スイッチを介して接続されます。コネクタには、アプリケーション ボードで接地された存在検出ピンが含まれています。これは、I2C 存在検出バッファの ExpBrdDetect 信号に接続されます。外部 HSE 基板には基板 ID メモリが内蔵され、基板を識別するようにプログラムされています。MCAN1 とピン多重化された I2C3 および UART4 と MCAN0 のピン多重化は、HSE コネクタに配線されています。

注

以下のネット名は、ピン機能および使用可能な信号機能のすべての一覧を示すものではありません。デバイスサブシステムに実装されている信号機能の 2 次マルチプレクシング使用可能な全リストについては、EVM の回路図、Sysconfig ツール、デバイス固有のデータシートを参照してください。

表 2-26. アプリケーション コネクタでの PRG0 信号の選択

コネクタ ピン	SoC ボール	ネット名	ピン多重化信号機能
A1	-	VCC_5V0_HSE	-
A2	-	VCC_5V0_HSE	-
A3	-	VCC_5V0_HSE	-
A4	P2	PRG0_MDIO0_MDIO	GPIO1_40, GPMC0_A12
A5	P3	PRG0_MDIO0_MDC	GPIO1_41, GPMC0_A13
A6	-	DGND	-
A7	T2	PRG0_PRU0GPO8	PRG0_PRU0_GPI8, PRG0_PWM2_A1, GPIO1_8, GPMC0_A2, UART4_RTSn
A8	U2	PRG0_PRU0GPO2	PRG0_PRU0_GPI2, PRG0_RGMII1_RD2, PRG0_PWM2_A0, GPIO1_2, GPMC0_A0, UART2_RTSn
A9	V2	PRG0_PRU0GPO3	PRG0_PRU0_GPI3, PRG0_RGMII1_RD3, PRG0_PWM3_A2, GPIO1_3, UART3_CTSn
A10	-	DGND	-
A11	W2	PRG0_PRU1GPO1	PRG0_PRU1_GPI1, PRG0_RGMII2_RD1, GPIO1_21, EQEP0_B, UART5_TXD
A12	Y2	PRG0_PRU1GPO0	PRG0_PRU1_GPI0, PRG0_RGMII2_RD0, GPIO1_20, EQEP0_A, UART5_CTSn
A13	AA2	PRG0_PRU0GPO4	PRG0_PRU0_GPI4, PRG0_RGMII1_RX_CTL, PRG0_PWM2_B0, GPIO1_4, GPMC0_A1, UART3_TXD
A14	AA3	PRG0_PRU0GPO12	PRG0_PRU0_GPI12, PRG0_RGMII1_TD1, PRG0_PWM0_A0, GPIO1_12, GPMC0_A14
A15	AA4	PRG0_PRU1GPO16	PRG0_PRU1_GPI16, PRG0_RGMII2_TXC, PRG0_PWM1_A2, GPIO1_36, GPMC0_A11, PRG0_ECAP0_SYNC_OUT
A16	-	DGND	-
A17	-	PRG0_HSE_ETH1_CLK	-
A18	-	DGND	-
A19	Y20	GPMC0_AD15	FSI_TX0_D1, UART6_TXD, EHRPWM3_SYNCI, TRC_DATA13, GPIO0_30, BOOTMODE15
A20	-	HSE_GPIO0_36	-
A21	T17	GPMC0_AD9	FSI_RX0_D0, UART3_CTSn, EHRPWM2_B, TRC_DATA7, GPIO0_24, PRG0_PWM2_B2, BOOTMODE09
A22	V19	GPMC0_AD8	FSI_RX0_CLK, UART2_CTSn, EHRPWM2_A, TRC_DATA6, GPIO0_23, PRG0_PWM2_A2, BOOTMODE08
A23	-	DGND	-
A24	-	DGND	-
A25	-	DGND	-
A26	-	-	-
A27	-	VCC3V3_IO_HSE	-
A28	-	VCC3V3_IO_HSE	-
A29	-	VCC3V3_IO_HSE	-
A30	-	-	-
C1	C14	SOC_SPI1_CLK	EHRPWM6_SYNCI, GPIO1_49
C2	-	VCC1V8_HSE	-
C3	-	VCC1V8_HSE	-
C4	-	DGND	-

表 2-26. アプリケーション コネクタでの PRG0 信号の選択 (続き)

コネクタピン	SoC ボール	ネット名	ピン多重化信号機能
C5	R6	PRG0_PRU0GPO13	PRG0_PRU0_GPI13、PRG0_RGMII1_TD2、PRG0_PWM0_B0、SPI3_D0、GPIO1_13、GPMC0_A15
C6	R3	PRG0_PRU0GPO5	PRG0_PRU0_GPI5、PRG0_PWM3_B2、GPIO1_5、UART3_RTSn
C7	-	DGND	-
C8	T4	PRG0_PRU1GPO3	PRG0_PRU1_GPI3、PRG0_RGMII2_RD3、GPIO1_23、EQEP1_A、GPMC0_A18、UART6_CTSn
C9	V4	PRG0_PRU0GPO14	PRG0_PRU0_GPI14、PRG0_RGMII1_TD3、PRG0_PWM0_A1、SPI3_D1、GPIO1_14、GPMC0_A3
C10	-	DGND	-
C11	U5	PRG0_PRU1GPO15	PRG0_PRU1_GPI15、PRG0_RGMII2_TX_CTL、PRG0_PWM1_B1、GPIO1_35、GPMC0_A10、PRG0_ECAP0_IN_APWM_OUT
C12	V12	PRG1_PRU1GPO19	PRG1_PRU1_GPI19、PRG1_IEP1_EDC_SYNC_OUT0、PRG1_PWM1_TZ_OUT、RGMII1_RD3、RMII1_CRS_DV、SPI3_CS2、GPIO0_84、UART5_RTSn、PRG1_ECAP0_IN_APWM_OUT
C13	-	DGND	-
C14	T18	GPMC0_AD2	FSI_RX2_D1、UART2_RTSn、EHRPWM_TZn_IN0、TRC_DATA0、GPIO0_17、PRG0_PWM2_TZ_IN、BOOTMODE02
C15	U19	GPMC0_AD5	FSI_RX3_D1、UART3_RTSn、EHRPWM1_A、TRC_DATA3、GPIO0_83、PRG0_PWM2_A1、BOOTMODE05
C16	-	DGND	-
C17	-	DGND	-
C18	-	DGND	-
C19	-	DGND	-
C20	-	DGND	-
C21	W21	GPMC0_AD12	FSI_RX1_D0、UART6_CTSn、EQEP1_B、TRC_DATA10、GPIO0_27、EHRPWM7_B、BOOTMODE12
C22	-	HSE_GPIO0_32	-
C23	-	HSE_GPIO0_34	-
C24	-	HSE_GPIO0_37	-
C25	-	DGND	-
C26	-	HSE_GPIO0_39	-
C27	R2	HSE_PRG0_PRU1_GPO19	PRG0_PRU1_GPI19、PRG0_IEP1_EDC_SYNC_OUT0、PRG0_PWM1_TZ_OUT、MDIO0_MDC、RMII1_CRS_DV、EHRPWM7_B、GPIO1_39、PRG0_ECAP0_IN_APWM_OUT
C28	V5	HSE_PRG0_PRU1_GPO17	PRG0_PRU1_GPI17、PRG0_IEP1_EDC_SYNC_OUT1、PRG0_PWM1_B2、RGMII1_RD3、RMII1_TXD1、GPIO1_37、PRG0_ECAP0_SYNC_OUT、PRG0_ECAP0_SYNC_IN
C29	D17	HSE_MCAN1_RX/I2C3_SDA	ECAP2_IN_APWM_OUT、OBSCLK0、TIMER_IO5、UART5_TXD、EHRPWM_SOCB、GPIO1_63、EQEP2_B、UART0_DSRn
C30	-	DGND	-

表 2-26. アプリケーション コネクタでの PRG0 信号の選択 (続き)

コネクタピン	SoC ボール	ネット名	ピン多重化信号機能
E1	A18	SOC_I2C0_SCL	UART6_CTS、GPIO1_64
E2	B18	SOC_I2C0_SDA	UART6_RTSn、GPIO1_65
E3	B13	MCU_RESETSTATZ	MCU_GPIO0_22
E4	-	HSE_DETECT	-
E5	-	DGND	-
E6	-	DGND	-
E7	-	DGND	-
E8	R4	PRG0_PRU0GPO1	PRG0_PRU0_GPI1、PRG0_RGMII1_RD1、PRG0_PWM3_B0、GPIO1_1、UART2_TXD
E9	U4	PRG0_PRU0GPO16	PRG0_PRU0_GPI16、PRG0_RGMII1_TXC、2つの IO 0/1 PRG0_PWM0_A2、SPI3_CLK、GPIO1_16、GPMC0_A4
E10	-	DGND	-
E11	R5	PRG0_PRU1GPO6	PRG0_PRU1_GPI6、PRG0_RGMII2_RXC、GPIO1_26、EQEP2_A、GPMC0_A19、UART4_CTSn
E12	U6	PRG0_PRU1GPO14	PRG0_PRU1_GPI14、PRG0_RGMII2_TD3、PRG0_PWM1_A1、GPIO1_34、EQEP1_I、GPMC0_A9、UART6_RXD
E13	Y13	PRG1_PRU1GPO18	PRG1_PRU1_GPI18、PRG1_IEP1_EDC_LATCH_IN0、PRG1_PWM1_TZ_IN、RGMII1_RD2、RMII1_TX_EN、GPIO0_20、UART5_CTSn、PRG1_ECAP0_SYNC_IN
E14	T20	GPMC0_AD0	FSI_RX2_CLK、UART2_RXD、EHRPWM0_SYNCI、TRC_CLK、GPIO0_15、BOOTMODE00
E15	U20	GPMC0_AD3	FSI_RX3_CLK、UART3_RXD、EHRPWM0_A、TRC_DATA1、GPIO0_18、PRG0_PWM2_A0、BOOTMODE03
B1	A15	SOC_SPI1_MISO	EHRPWM6_B、GPIO1_51
B2	B15	SOC_SPI1_MOSI	EHRPWM6_SYNC0、GPIO1_50
B3	-	DGND	-
B4	R1	PRG0_PRU1GPO8	PRG0_PRU1_GPI8、PRG0_PWM2_TZ_OUT、GPIO1_28、EQEP2_S、UART4_RTSn
B5	-	DGND	-
B6	-	DGND	-
B7	T1	PRG0_PRU0GPO7	PRG0_PRU0_GPI7、PRG0_IEP0_EDC_LATCH_IN1、PRG0_PWM3_B1、CPTS0_HW2TSPUSH、CP_GEMAC_CPTS0_HW2TSPUSH、TIMER_IO6、GPIO1_7、UART4_TXD
B8	U1	PRG0_PRU0GPO17	PRG0_PRU0_GPI17、PRG0_IEP0_EDC_SYNC_OUT1、PRG0_PWM0_B2、CPTS0_TS_SYNC、CP_GEMAC_CPTS0_TS_SYNC、SPI3_CS0、GPIO1_17、TIMER_IO11、GPMC0_A17
B9	V1	PRG0_PRU0GPO18	PRG0_PRU0_GPI18、PRG0_IEP0_EDC_LATCH_IN0、PRG0_PWM0_TZ_IN、CPTS0_HW1TSPUSH、CP_GEMAC_CPTS0_HW1TSPUSH、EHRPWM8_A、GPIO1_18、UART4_CTSn、GPMC0_A5、UART2_RXD
B10	-	DGND	-

表 2-26. アプリケーション コネクタでの PRG0 信号の選択 (続き)

コネクタ ピン	SoC ボール	ネット名	ピン多重化信号機能
B11	W1	PRG0_PRU0GPO19	PRG0_PRU0_GPI19、 PRG0_IEP0_EDC_SYNC_OUT0、 PRG0_PWM0_TZ_OUT、CPTS0_TS_COMP、 CP_GEMAC_CPTS0_TS_COMP、EHRPWM8_B、 GPIO1_19、UART4_RTSn、GPMC0_A6、UART3_RXD
B12	Y1	PRG0_PRU0GPO0	PRG0_PRU0_GPI0、PRG0_RGMII1_RD0、 PRG0_PWM3_A0、GPIO1_0、UART2_CTSn
B13	W3	PRG0_PRU1GPO4	PRG0_PRU1_GPI4、PRG0_RGMII2_RX_CTL、 PRG0_PWM2_B2、GPIO1_24、EQEP1_B、 UART6_TXD
B14	Y3	PRG0_PRU0GPO11	PRG0_PRU0_GPI11、PRG0_RGMII1_TD0、 PRG0_PWM3_TZ_OUT、GPIO1_11、UART4_RXD
B15	Y4	PRG0_PRU1GPO12	PRG0_PRU1_GPI12、PRG0_RGMII2_TD1、 PRG0_PWM1_A0、GPIO1_32、EQEP2_B、 GPMC0_A7、UART4_TXD
B16	-	DGND	-
B17	-	PRG0_HSE_ETH2_CLK	-
B18	-	DGND	-
B19	-	DGND	-
B20	Y21	GPMC0_AD14	FSI_TX0_D0、UART6_RXD、EHRPWM3_B、 TRC_DATA12、GPIO0_29、PRG0_PWM3_B0、 BOOTMODE14
B21	R16	GPMC0_AD10	FSI_RX0_D1、UART4_CTSn、EHRPWM_TZn_IN2、 EHRPWM8_B、TRC_DATA8、GPIO0_25、 PRG1_PWM2_B2、BOOTMODE10
B22	-	HSE_GPIO0_31	-
B23	-	DGND	-
B24	-	HSE_GPIO0_35	-
B25	-	DGND	-
B26	-	DGND	-
B27	-	DGND	-
B28	-	DGND	-
B29	AA5	HSE_PRG0_PRU0_GPO10	PRG0_PRU0_GPI10、PRG0_UART0_RTSn、 PRG0_PWM2_B1、RGMII1_RXC、RMII_REF_CLK、 PRG0_IEP0_EDIO_DATA_IN_OUT29、GPIO1_10、 UART3_RXD
B30	-	DGND	-
D1	B14	SOC_SPI1_CS0	EHRPWM6_A、GPIO1_47
D2	D14	SOC_SPI1_CS1	CPTS0_TS_SYNC、I2C2_SDA、 PRG1_IEP0_EDIO_OUTVALID、UART6_TXD、 ADC_EXT_TRIGGER1、GPIO1_48、TIMER_IO11
D3	B12	MCU_RESETZ	-
D4	-	DGND	-
D5	T6	PRG0_PRU1GPO13	PRG0_PRU1_GPI13、PRG0_RGMII2_TD2、 PRG0_PWM1_B0、GPIO1_33、EQEP0_I、 GPMC0_A8、UART5_RXD
D6	P4	PRG0_PRU1GPO5	PRG0_PRU1_GPI5、GPIO1_25、EQEP1_S、 UART6_RTSn
D7	-	DGND	-
D8	T3	PRG0_PRU0GPO6	PRG0_PRU0_GPI6、PRG0_RGMII1_RXC、 PRG0_PWM3_A1、GPIO1_6、UART4_CTSn

表 2-26. アプリケーション コネクタでの PRG0 信号の選択 (続き)

コネクタ ピン	SoC ボール	ネット名	ピン多重化信号機能
D9	V3	PRG0_PRU1GPO2	PRG0_PRU1_GPI2、PRG0_RGMII2_RD2、PRG0_PWM2_A2、GPIO1_22、EQEP0_S、UART5_RTSn
D10	-	DGND	-
D11	W4	PRG0_PRU1GPO11	PRG0_PRU1_GPI11、PRG0_RGMII2_TD0、GPIO1_31、EQEP2_I、UART4_RXD
D12	T5	PRG0_PRU0GPO15	PRG0_PRU0_GPI15、PRG0_RGMII1_TX_CTL、PRG0_PWM0_B1、SPI3_CS1、GPIO1_15、GPMC0_A16
D13	-	DGND	-
D14	U21	GPMC0_AD1	FSI_RX2_D0、UART2_TXD、EHRPWM0_SYNCO、TRC_CTL、GPIO0_16、PRG0_PWM2_TZ_OUT、BOOTMODE01
D15	U18	GPMC0_AD4	FSI_RX3_D0、UART3_TXD、EHRPWM0_B、TRC_DATA2、GPIO0_82、PRG0_PWM2_B0、BOOTMODE04
D16	-	DGND	-
D17	V21	GPMC0_AD7	FSI_RX4_D1、UART4_TXD、EHRPWM_TZn_IN1、EHRPWM8_A、TRC_DATA5、GPIO0_22、PRG1_PWM2_A2、BOOTMODE07
D18	P19	GPMC0_CSN2	I2C2_SCL、TIMER_IO8、EQEP1_S、EHRPWM_TZn_IN4、GPIO0_43、PRG1_PWM2_TZ_IN
D19	R21	GPMC0_CSN3	I2C2_SDA、TIMER_IO9、EQEP1_I、GPMC0_A20、EHRPWM_TZn_IN5、GPIO0_44
D20	-	DGND	-
D21	V18	GPMC0_AD13	FSI_RX1_D1、EHRPWM3_A、TRC_DATA11、GPIO0_28、PRG0_PWM3_A0、BOOTMODE13
D22	-	HSE_GPIO0_33	-
D23	W5	HSE_PRG0_PRU1_GPO7	PRG0_PRU1_GPI7、PRG0_IEP1_EDC_LATCH_IN1、RGMII1_RD0、RMII1_RXD0、GPIO1_27、EQEP2_B、UART4_TXD
D24	A17	HSE_MCAN0_TX/UART4_RXD	TIMER_IO2、SYNC2_OUT、SPI4_CS1、GPIO1_60、EQEP2_I、UART0_DTRn
D25	-	DGND	-
D26	-	HSE_GPIO0_41	-
D27	P5	HSE_PRG0_PRU1_GPO18	PRG0_PRU1_GPI18、PRG0_IEP1_EDC_LATCH_IN0、PRG0_PWM1_TZ_IN、MDIO0_MDIO、RMII1_TX_EN、EHRPWM7_A、GPIO1_38、PRG0_ECAP0_SYNC_IN
D28	W6	HSE_PRG0_PRU0_GPO9	PRG0_PRU0_GPI9、PRG0_UART0_CTSn、PRG0_PWM3_TZ_IN、RGMII1_RX_CTL、RMII1_RX_ER、PRG0_IEP0_EDIO_DATA_IN_OUT28、GPIO1_9、UART2_RXD
D29	C17	HSE_MCAN1_TX/I2C3_SCL	ECAP1_IN_APWM_OUT、SYSCLKOUT0、TIMER_IO4、UART5_RXD、EHRPWM_SOCA、GPIO1_62、EQEP2_A、UART0_DCDn
D30	-	DGND	-
E16	-	DGND	-
E17	V20	GPMC0_AD6	FSI_RX4_D0、UART4_RXD、EHRPWM1_B、TRC_DATA4、GPIO0_21、PRG0_PWM2_B1、BOOTMODE06

表 2-26. アプリケーション コネクタでの PRG0 信号の選択 (続き)

コネクタ ピン	SoC ボール	ネット名	ピン多重化信号機能
E18	N17	GPMC0_DIR	EQEP0_B、GPIO0_40、EHRPWM6_B、PRG1_PWM2_B0
E19	R20	GPMC0_CSN1	EQEP0_I、EHRPWM_TZn_IN2、GPIO0_42、EHRPWM6_SYNC0、PRG1_PWM2_TZ_OUT
E20	-	DGND	-
E21	W20	GPMC0_AD11	FSI_RX1_CLK、UART5_CTSn、EQEP1_A、TRC_DATA9、GPIO0_26、EHRPWM7_A、BOOTMODE11
E22	-	DGND	-
E23	Y5	HSE_PRG0_PRU1_GPO9	PRG0_PRU1_GPI9、PRG0_UART0_RXD、RGMII1_RD1、PRG0_IEP0_EDIO_DATA_IN_OUT30、GPIO1_29、EQEP0_I、UART5_RXD
E24	B17	HSE_MCAN0_RX/UART4_TXD	UART4_TXD、TIMER_IO3、SYNC3_OUT、SPI4_CS2、GPIO1_61、EQEP2_S、UART0_RIn
E25	-	DGND	-
E26	-	HSE_GPIO0_38	-
E27	V6	HSE_PRG0_PRU1_GPO10	PRG0_PRU1_GPI10、PRG0_UART0_TXD、PRG0_PWM2_TZ_IN、RGMII1_RD2、RMII1_TXD0、PRG0_IEP0_EDIO_DATA_IN_OUT31、GPIO1_30、EQEP1_I、UART6_RXD
E28	-	DGND	-
E29	-	DGND	-
E30	B21	MCU_PORZ	-

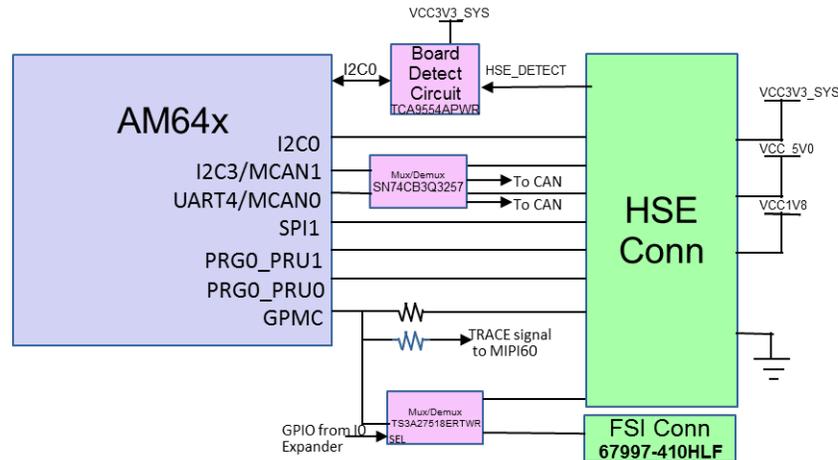


図 2-27. AM64x/AM243x 高速拡張コネクタ

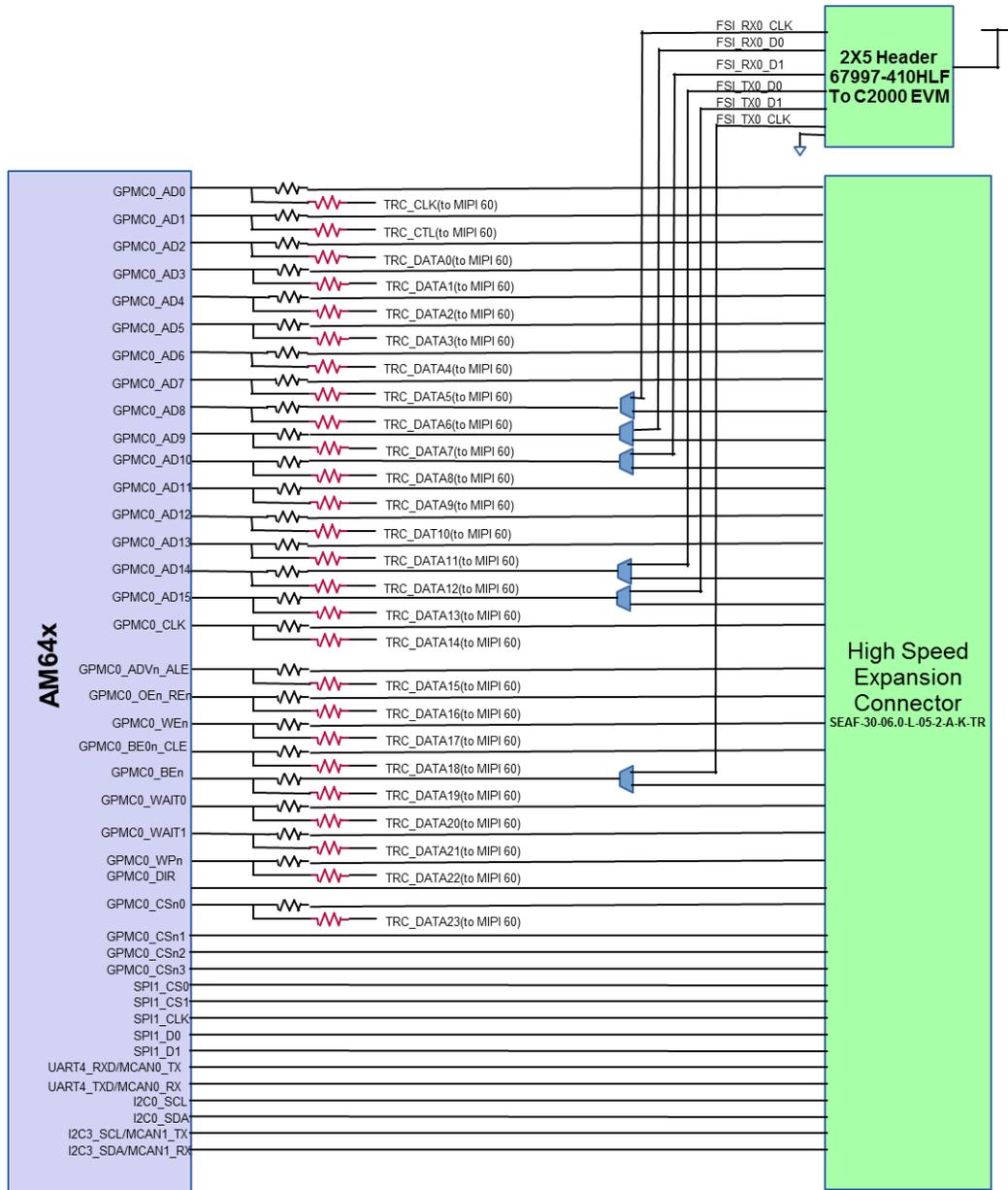


図 2-28. AM64x/AM243x 高速拡張コネクタ — パート 1

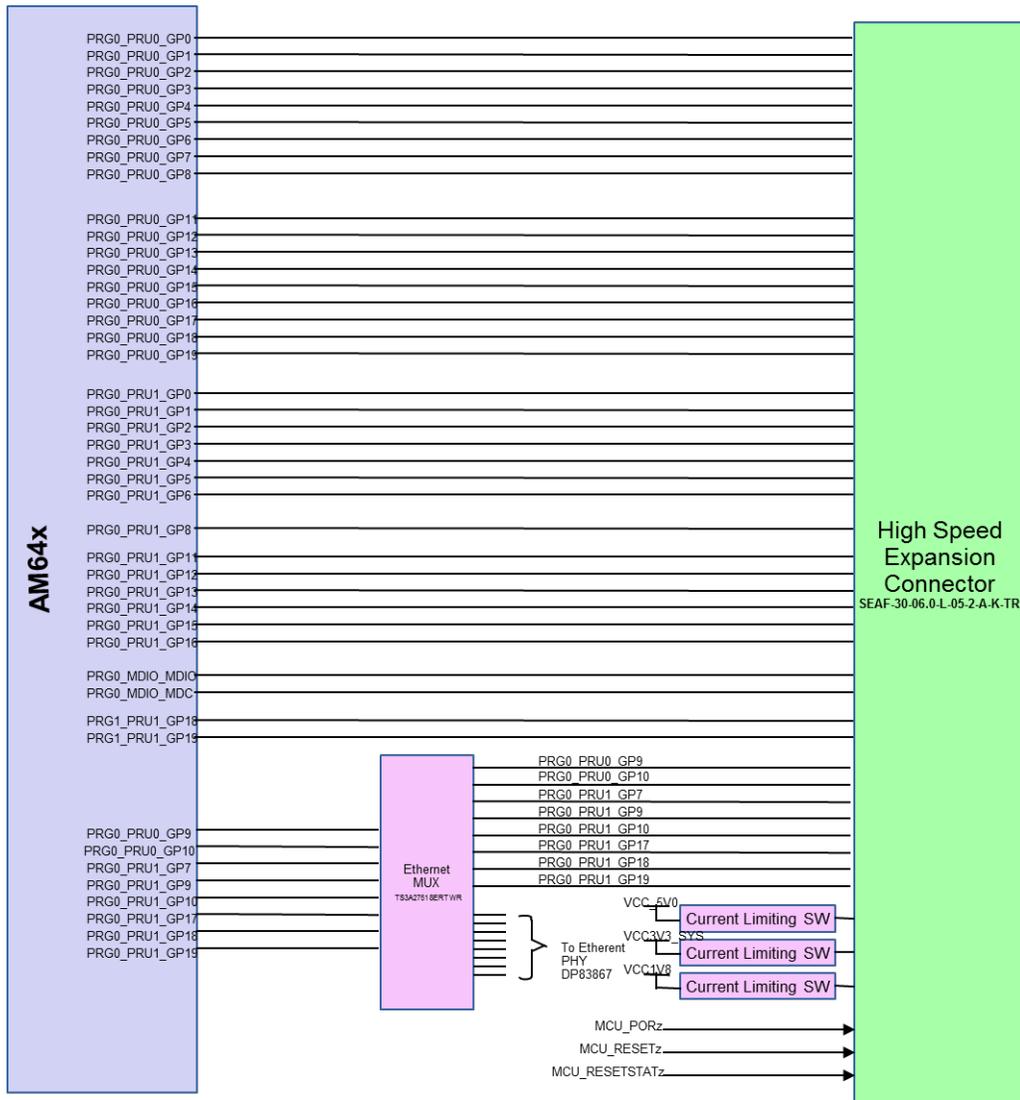


図 2-29. AM64x/AM243x 高速拡張コネクタ – パート 2

2.3.13 CAN インターフェイス

EVM には 2 つの CAN インターフェイスが搭載されています。MCAN0 および MCAN1 ピンは、それぞれ UART4 および I2C3 と内部で多重化されています。これらの信号はオンボードの MUX に接続されており、信号を MCAN トランシーバまたは HSE コネクタのいずれかにルーティングできます。この MUX は IO エクスパンダによって制御されます。図 2-30 に、TCAN1042HGV を使用した CAN インターフェイスの実装を示します。RXD および TXD ピンは、それぞれ AM64x の MCAN0_RX/UART4_TXD ピンと MCAN0_TX/UART4_RXD ピンに接続されます。IC の STB ピンは、IC がスタンバイモードに移行しないようにデフォルトではグラウンドに接続されています。STB ピンは GPIO によって制御され、スタンバイモードを有効化します。

表 2-27 に、CAN コネクタのピン配置を示します。

表 2-27. CAN (J31 および J32) のピン配置

CAN0 J31		CAN1 J32	
ピン番号	信号	ピン番号	信号
1	MCAN0_H	1	MCAN0_H
2	GND	2	GND
3	MCAN0_L	3	MCAN0_L

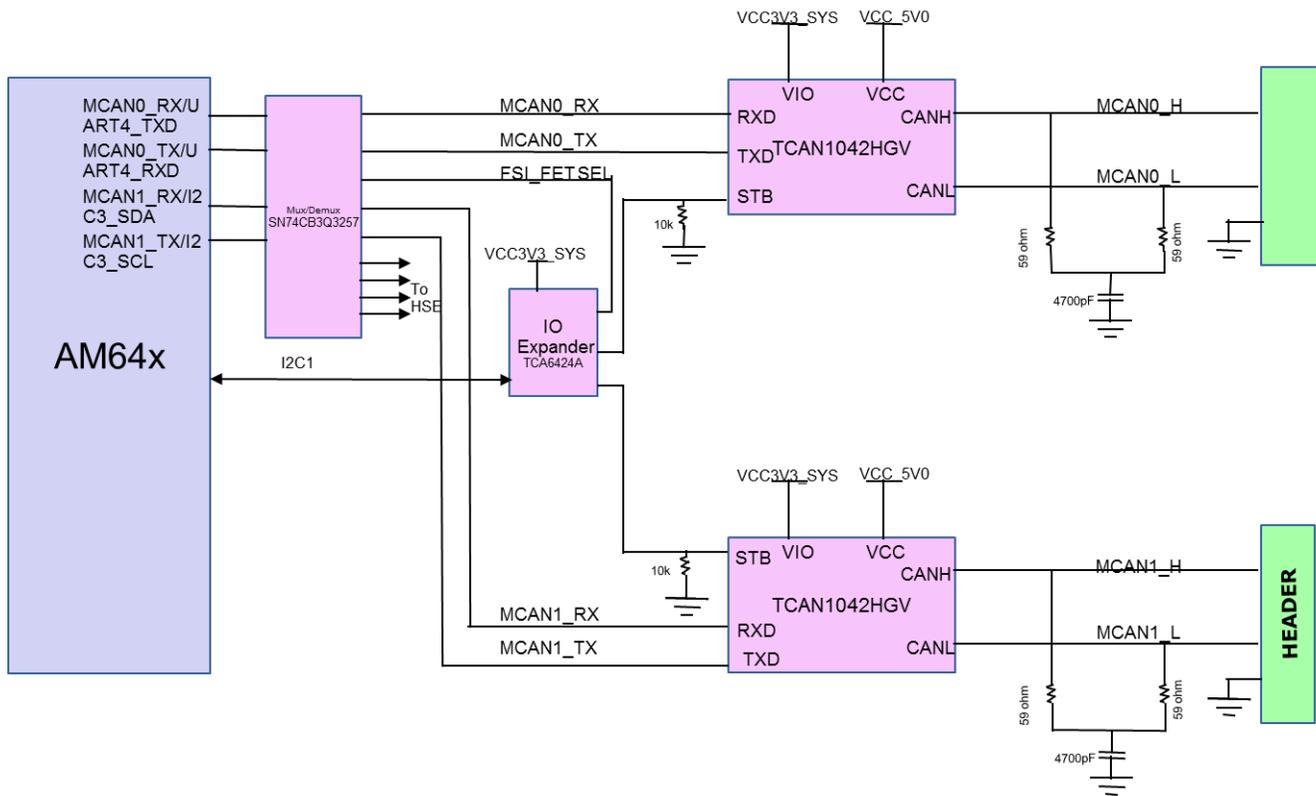


図 2-30. AM64x/AM243x CAN インターフェイス

2.3.14 割り込み

この EVM は、以下のタイマと割り込みオプションをサポートしています。

3 つのプッシュ ボタン スイッチを使用すると、MCU_PORz、MCU_RESETz、RESET_REQz をリセットできます。GPIO 割り込み用にプッシュ ボタン スイッチが 1 つあり、メインドメインと MCU ドメインの両方の GPIO ピンに接続されています。

ウォームリセットは、テスト オートメーション ヘッド、または手動リセット スイッチ SW4 (SoC) および SW6 (MCU) から適用できます。

パワーオンリセット入力、スイッチ SW7 を介して印加できます。

2.3.15 ADC インターフェイス

AM64x/AM243x の ADC 信号を接続するために、20 ピン コネクタ J3 (部品番号 TSW-110-07-S-D) が使用されています。このコネクタには、ADC0_AIN0~7、VDDA_ADC の接続、およびグランド接続が含まれています。

表 2-28. ADC コネクタ (J3) のピン配置

ピン番号	信号	ピン番号	信号
1	DGND	11	ADC0_AIN7
2	NC	12	DGND
3	ADC0_AIN6	13	DGND
4	VDDA_ADC	14	ADC0_AIN1
5	DGND	15	ADC0_AIN0
6	ADC0_AIN2	16	DGND
7	ADC0_AIN5	17	VDDA_ADC
8	DGND	18	ADC0_AIN3
9	DGND	19	NC

表 2-28. ADC コネクタ (J3) のピン配置 (続き)

ピン番号	信号	ピン番号	信号
10	ADC0_AIN4	20	DGND

2.3.16 安全コネクタ

12×2 ピンの標準 0.1 インチ ピッチ ヘッド (TSW-112-07-S-D) が、安全信号コネクタとして含まれています。安全性コネクタには、MCU に接続された信号が含まれています。24 ピンには、MCU_I2C0、MCI_I2C1、MCU_UART1、MCU_SPI0、MCU_SPI1 信号が含まれます。これにより、指定されたインターフェイスまたは MCU_GPIO のいずれかとして使用できる 18 個の信号が供給されます。さらに、このコネクタでは CONN_MCU_RESEZt、CONN_MCU_PORZ、MCU_RESEZSTATZ、および MCU_SAFETY_ERRORn 信号がサポートされています。

表 2-29. 安全コネクタのピン割り当て

ピン番号	信号	ピン番号	信号
1	VCC_3V3_SYS	13	MCU_UART1_RTS_3V3
2	MCU_SPI0_D1	14	MCU_I2C1_SDA
3	MCU_SPI0_CS1	15	MCU_UART1_TX_3V3
4	MCU_SPI0_D0	16	MCU_SPI0_CLK
5	MCU_GPIO0_8	17	MCU_I2C0_SDA
6	MCU_SPI0_CS0	18	MCU_I2C1_SCL
7	TEST_LED2	19	MCU_RESEZSTATZ
8	MCU_GPIO0_6	20	MCU_I2C0_SCL
9	MCU_GPIO0_7	21	CONN_MCU_RESEZT
10	MCU_UART1_CTS_3V3	22	MCU_SAFETY_ERRORZ_3V3
11	MCU_UART1_RX_3V3	23	DGND
12	MCU_GPIO0_9	24	CONN_MCU_PORZ

2.3.17 SPI インターフェイス

- SPI0: 1K ビットの SPI EEPROM (93LC46B) が AM64x/AM243x の SPI0 ポートに接続されており、テスト目的で使用されています。
- SPI1: このインターフェイスは HSE コネクタにルーティングされます。SPI1 インターフェイス信号は 3.3V の IO レベルです。
 - SPI1_CS0 は HSE 拡張ヘッド (J2) に配線されます
 - SPI1_CS1 は HSE 拡張ヘッド (J2) に配線されます。

2.3.18 I2C インターフェイス

EVM 基板では、5 つの I2C インターフェイスが使用されています。

1. MAIN_I2C0: ソフトウェアはこのインターフェイスを使用して EVM を識別し、電源回路を制御します。MAIN_I2C0 は、ラッチを検出し、現在取り付けられているドータカードを識別するためにインターフェイスされています。ボード ID メモリデバイス、およびボード ID メモリは、ドータカードと HSE コネクタのものです。この I2C は、AM64x/AM243x プロセッサ スレーブ動作のテストヘッド J5 にも接続されています。I2C テストヘッドのピン配置を表 2-30 に示します。

表 2-30. I2C テストヘッド (J5) ピン配置

ピン番号	信号
1	DGND
2	SoC_I2C0_SDA
3	SoC_I2C0_SCL

2. **MAIN_I2C1**:これは、すべての制御信号および LED 制御に使用される 16 ビット GPIO エクスパンダに接続されており、さらに 8 ビット LED ドライバ **TPIC2810**、電流モニタ (**INA226**、VDD_CORE、VDDAR_CORE、SoC_DVDD3V3、SoC_DVDD1V8、VDDA_1V8、VDD_DDR4 の電流監視用)、温度センサ (**TMP100**)、ディスプレイインターフェース (**OSD9616P0992-10**)、および電圧絶縁経由のテスト自動化用コネクタが接続されています。この I2C は、AM64x プロセッサ スレーブ動作のテスト ヘッド **J4** にも接続されています。I2C テスト ヘッドのピン配置を表 2-31 に示します。

表 2-31. I2C テスト ヘッド (J4) ピン配置

ピン番号	信号
1	SoC_I2C1_SCL
2	SoC_I2C0_SDA
3	DGND
4	INA_ALERT
5	NC

3. **MAIN_I2C3**:これはマルチプレクサから拡張ボード コネクタに接続されています。I2C3 は、MCAN 信号と多重化されています。マルチプレクサのデフォルト状態は MCAN です。
4. **MCU_I2C0**:これはセーフティコネクタに接続されています。
5. **MCU_I2C1**:これはセーフティコネクタに接続されています。

図 2-31 に、I2C ツリーを示します。

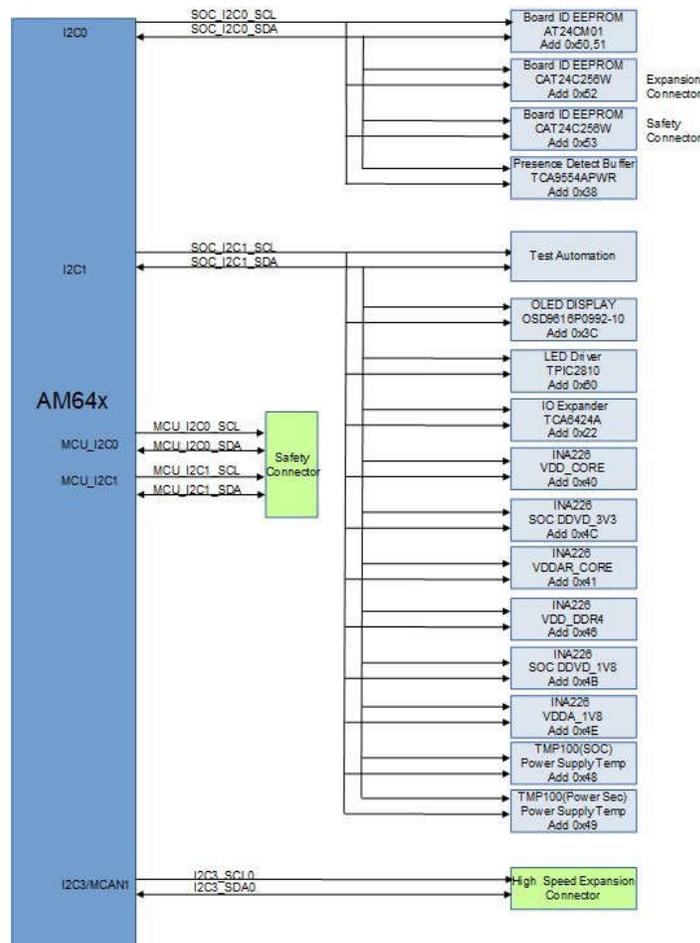


図 2-31. AM64x/AM243x I2C インターフェイスおよびペリフェラルのアドレス割り当て

2.3.19 FSI インターフェイス

SoC からの 1 つの FSI インターフェイス (1Tx および 1Rx) は、Amphenol ICC (FCI) 製の部品番号 **67997-410HLF** の 2×5 ヘッダに接続されており、C2000 EVM とのインターフェイスが可能です。FSI_TX0 信号および FSI_RX0 信号はマルチプレクサに接続されており、FSI コネクタと拡張コネクタの両方で信号を利用できるようになっています。TS3A27518E マルチプレクサ / デマルチプレクサはこの目的で使用され、IO エクスパンダの GPIO によって制御されます。マルチプレクサ選択ピンのロジック Low ではポート A とポート B1 が接続され、ロジック High ではポートが B2 ポートに接続されます。マルチプレクサのデフォルト状態では、HSE コネクタに接続された A ポートから B1 ポートへの信号が駆動されます。

表 2-32. FSI (J5) コネクタのピン配置

ピン番号	信号
1	FSI_TX0_CLK
2	FSI_RX0_CLK
3	DGND
4	DGND
5	FSI_TX0_D0
6	FSI_RX0_D0
7	FSI_TX0_D1
8	FSI_RX0_D1
9	DGND
10	VCC_3V3_SYS

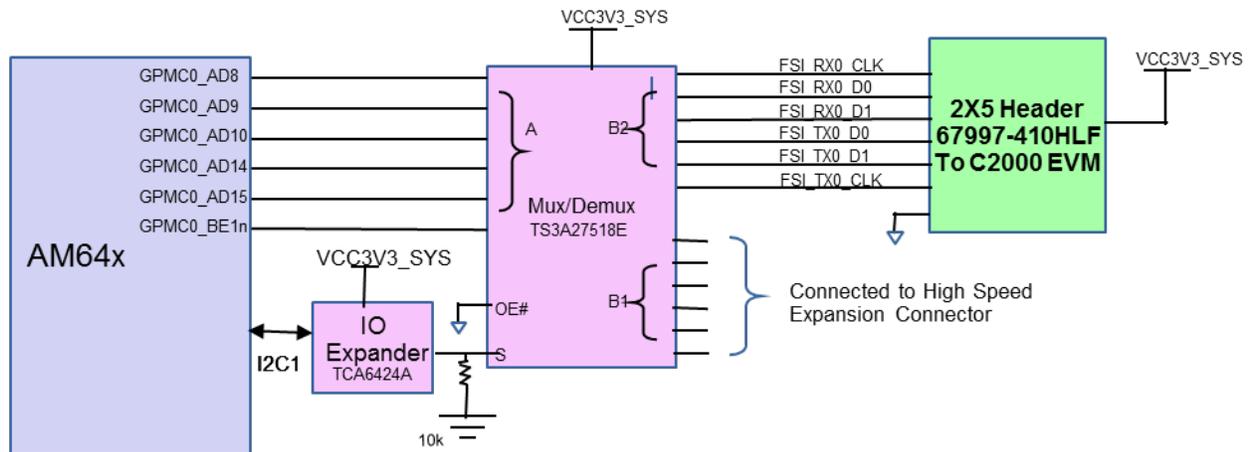


図 2-32. AM64x/AM243x FSI インターフェイス

3 ハードウェア設計ファイル

3.1 回路図

TMDS64EVM の回路図をダウンロードするには、[設計ファイル](#)のページを参照してください。

TMDS243EVM の回路図をダウンロードするには、[設計ファイル](#)のページを参照してください。

評価基板回路設計ファイルの再利用に関する注意事項:

カスタム基板の設計時に評価基板回路図を再利用し、一部の回路セクションの削除や新しいセクションの追加などを編集する場合は、以下のガイドラインに従うことを推奨します。

1. 完全なものにするために、再利用されるセクションの機能を確認します。いくつかの機能は複数のページにまたがっている場合があります。
2. 回路の最適化と同時に電源とその他の信号のネット名の変更を確認します。
3. 評価基板に搭載されている外部保護機能、たとえば、ESD、および温度センサや電流監視などの診断機能を削除する前に、システムレベルの要件を確認してください。
4. 回路図を更新して再シーケンスすると、設計内のすべての部品の DNI 構成がリセットされます。必要な DNI が回路図で再構成されていることを確認します。これにより、ボードの期待どおりの機能が確保され、BOM コストも最適化されます。ボードをデバッグして DNI を削除するよりも、回路図で DNI を更新する方が簡単です。

3.2 PCB のレイアウト

TMDS64EVM の PCB レイアウトをダウンロードするには、[設計ファイル](#)のページを参照してください。

TMDS243EVM の PCB レイアウトをダウンロードするには、[設計ファイル](#)のページを参照してください。

3.3 部品表 (BOM)

TMDS64EVM の BOM をダウンロードするには、[設計ファイル](#)のページを参照してください。

TMDS243EVM の BOM をダウンロードするには、[設計ファイル](#)のページを参照してください。

4 準拠に関する情報

4.1 EMC、EMI、ESD への準拠

本製品に取り付けられているコンポーネントは、静電気放電 (ESD) の影響を受けやすくなっています。テキサス・インスツルメンツでは、本製品は ESD が制御された環境において使用されることを推奨しています。ESD 管理環境には、ESD の蓄積を抑えるために温度や湿度を管理した環境が含まれる場合があります。TI はまた、本製品を取り扱う際にリスト ストラップや ESD マットなどの ESD 保護対策を使用することを推奨しています。

本製品は実験室に類似した基本的な電磁環境で使用され、EN IEC 61326-1:2021 に準拠した規格が適用されます。

5 追加情報

5.1 既知の問題と修正

このセクションでは、現在適用可能な回避策について説明します。EVM の各リビジョンに関する問題と、パッチが適用された問題には、EVM アセンブリに変更ラベルが付けられています。これらの変更ラベルは、表 5-1 および図 5-1 に示すように記載されています。

表 5-1. AM64x/AM243x EVM の既知の問題と変更

問題の番号	改修ラベル番号	問題のタイトル	問題の説明
1	該当なし	組込み XDS110 の接続の問題	EVM の最初の電源投入後、組み込み XDS110 が CCS で AM64x ターゲットに接続できません。
2	該当なし	ホットプラグ時の DC バレル ジャックの警告	DC 側のホットプラグによるボード損傷の可能性。
3	該当なし	uSD カードの起動が機能していません	特定ブランドの SD カードでは uSD ブートが動作しません。
4	該当なし	ホット プラグ DC ジャックの後に LM5140 を損傷	U30 LM5140 は、EVM に DC 電源ジャックを何回か取り付けただ後で損傷を受けます。
5	該当なし	CPTS0 および IEP モジュールにおけるクロックソースによって発生する大きな PTP タイミングオフセット	イニシエータとターゲットデバイス間の PTP (Precision Time Protocol) 同期において、100ns 以上の大きなタイミングオフセットが観測されています。このオフセットは、共有の外部水晶発振器 (U71) を使用しているため、CPTS0 ブロックおよび IEP モジュールの両方に影響を及ぼします

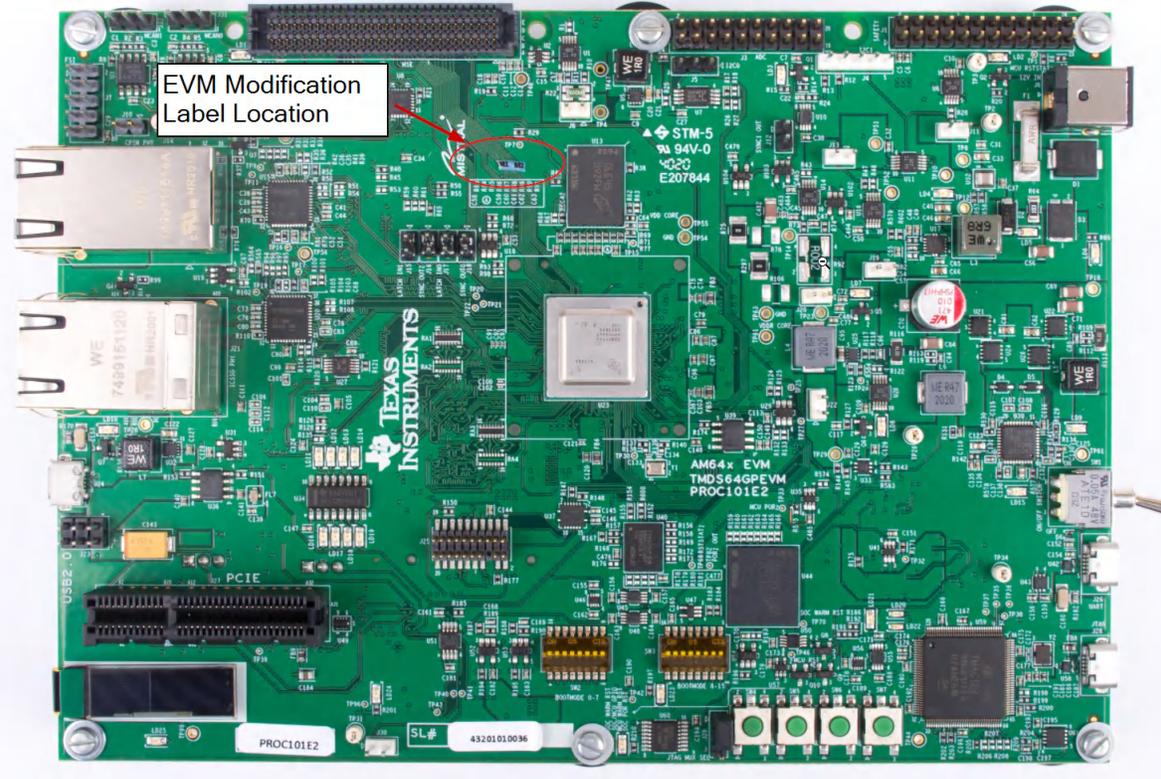


図 5-1. AM64x/AM243x EVM 変更ラベルの位置

5.1.1 問題 1 - CCS の AM64x ターゲットへの組み込み XDS110 接続

該当する EVM リビジョン: すべて

問題の説明: 一部の EVM では、EVM および XDS110 の電源を最初に入れた後、CCS で AM64x ターゲットへの初回接続に失敗することが確認されています (組み込み XDS110 (U59) 使用時)。接続されている外付けエミュレータを CTI20 ヘッド (J25) の上に使用する場合に問題は発生しません。

この故障モードは、以下の手順で発生します:

1. XDS110 USB は、ホスト PC と XDS110 USB ポート (J28) の間に接続されています。
2. EVM の電源はイネーブルになり、AM64x は非ブートモードで起動します。
3. CCS では、M3 DMSC コアへの初期 CCS ターゲット接続が試行されます。
4. ターゲット コアへの DAP 接続エラーを報告する以下のダイアログで、CCS エラーが出力されます。
 - a. 再試行を押すと、同じエラー メッセージが表示されます。

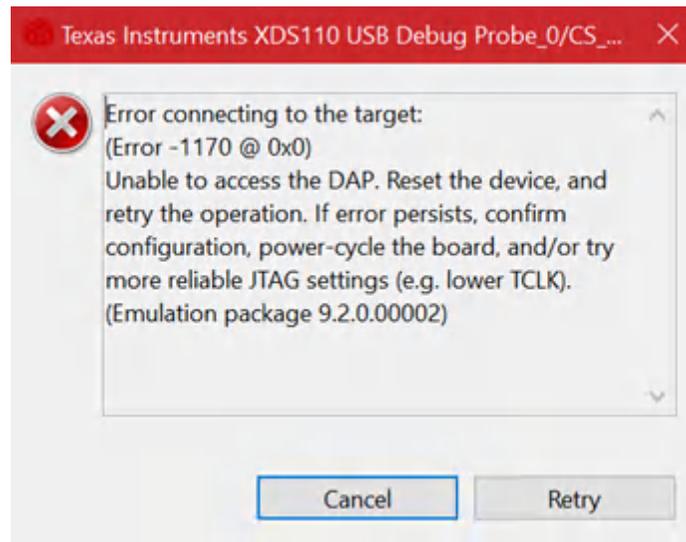


図 5-2. XDS110 CCS 接続エラー ダイアログ

回避方法 1: 接続の問題が発生した後、USB ポート (J28) を介して XDS110 エミュレータへの USB ホスト接続を取り外し、再度 USB ケーブルを差し込むことができます。この電源サイクルにより、XDS110 が再起動され、接続エラーがクリアされます。

回避方法 2: 接続の問題が発生した後、CCS XDS110 ユーティリティ ディレクトリにある XDS110 デバッグ コマンド ライン ユーティリティ `xds110reset` を使用して TRSTSN を切り替えることができます。

Windows OS のインストールでは、CCS バージョン 10.11 のデフォルトインストールでは、このツールは `C:\ti\ccs1011\ccs\ccs_base\common\uscif\xds110>` ディレクトリにあります。

組み込み XDS110 の電源がオンになり、ホスト PC に接続されている場合、このコマンドは、Windows のコマンドプロンプト / 端末で実行することができます。同様のツールは、Linux OS インストールの CCS で利用できます。

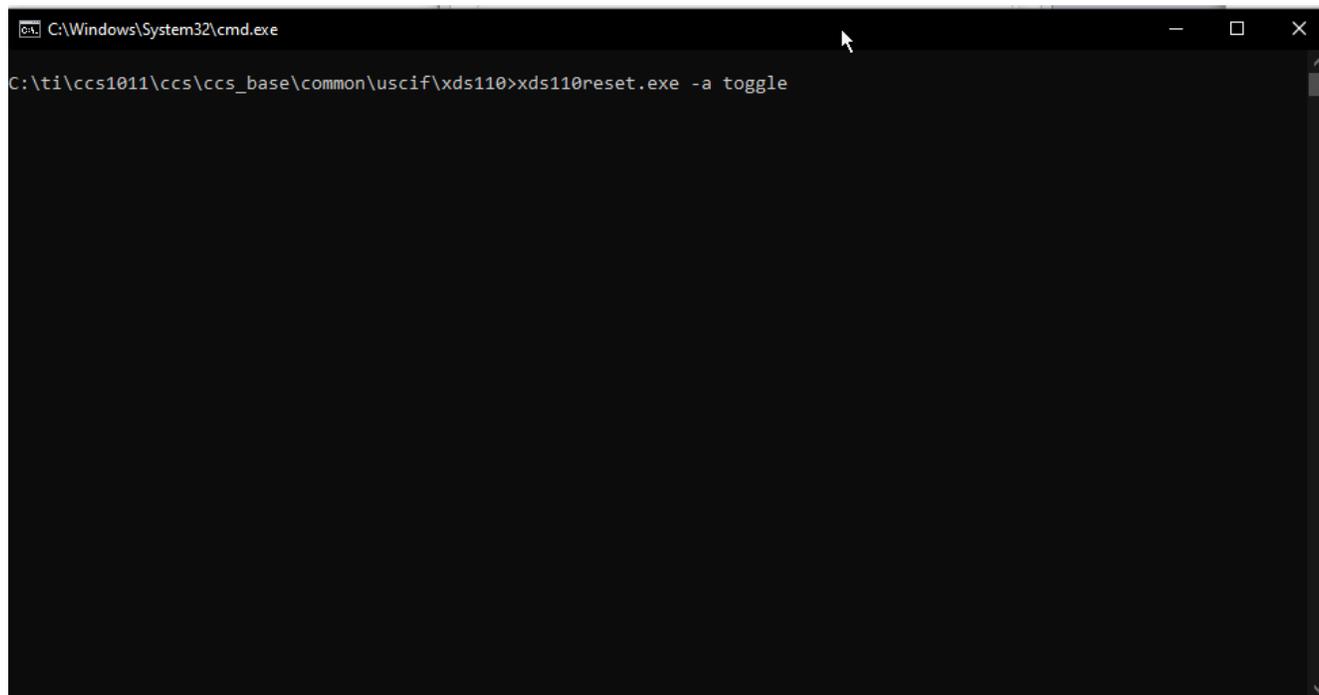


図 5-3. XDS110 デバッグ リセット ユーティリティのコマンドライン機能

5.1.2 問題 2 - ホットプラグ時の DC バレル ジャックの警告

該当する評価基板のリビジョン:C、D

問題の説明:多くのコスト削減型プラグ設計では、J6 DC バレル ジャック コネクタをホットプラグしようとする際に、安全な「グランド優先接続」が確立されているかどうかを検証しません。これは、断続的なブラウンアウト タイプの状態が発生し、基板が損傷する可能性があります。

ソリューション:コネクタ側で電源装置をホットプラグすることは推奨されません。基板の電源を入れるときや取り外すときは、本書のはじめにセクションで説明されている **電源オン/オフの手順**に従う必要があります。また、主要機能の「電源」セクションに記載されているように、評価基板リビジョンの推奨型番を使用していることを確認してください。

5.1.3 問題 3- uSD カード ブートが機能しない

該当する EVM のリビジョン:C、D

問題の説明:uSD ブートが特定のブランドの SD カードでは動作しません。この EVM には、MMC1 インターフェイスにプルアップ抵抗が実装されていません。これは、一部の SD カードで限界的な障害を引き起こしています。

ソリューション:評価基板の底面の R479、R480、R483、R484、R485 に 10K または 47K の抵抗を取り付けると、この問題が解決します。47K を使用すると、内部プルアップが予期せずイネーブルになる使用事例において、プルアップ値が SD カードの仕様の範囲内に確実に収まるようになります。

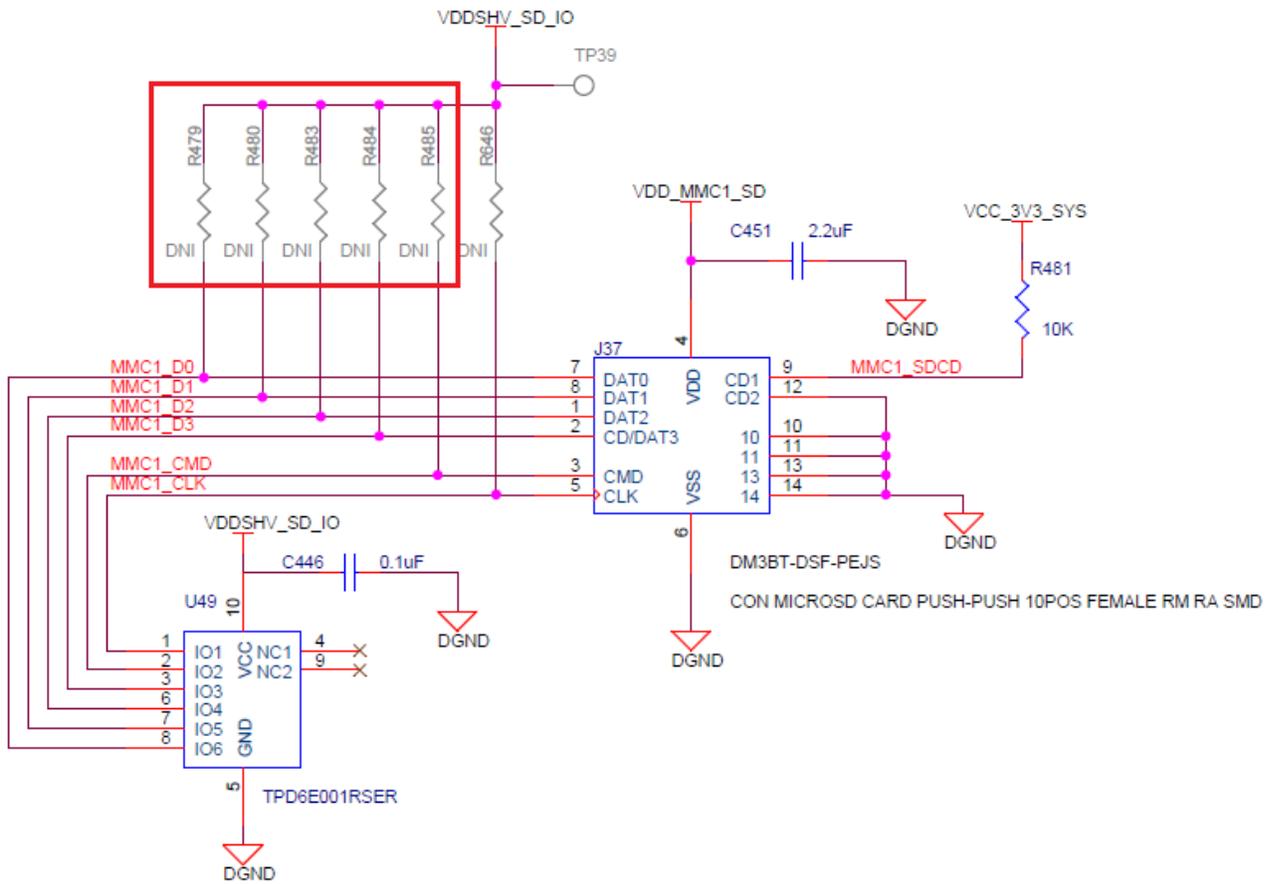


図 5-4. MMC1 の回路図

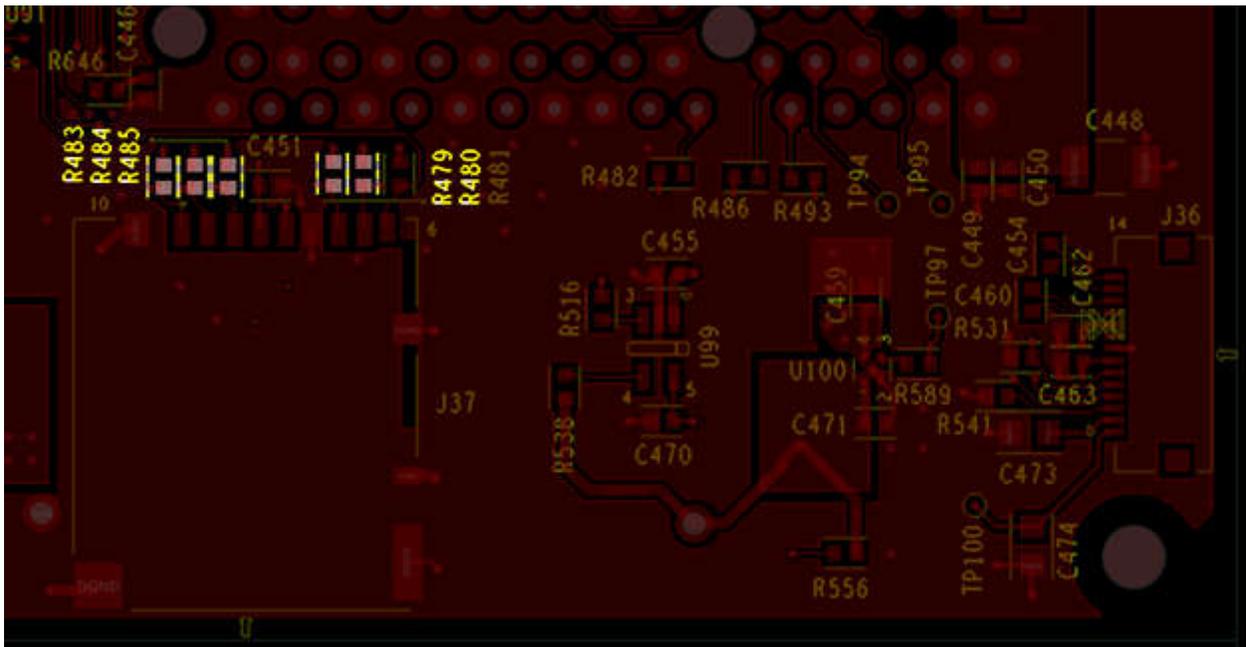


図 5-5. MMC1 のレイアウト

5.1.5 問題 5:CPTS0 および IEP モジュールにおけるクロックソースによる大きな PTP タイミングオフセット

該当する EVM のリビジョン:D

問題の説明: イニシエータとターゲットデバイス間の PTP (Precision Time Protocol) 同期において、100ns 以上の大きなタイミングオフセットが観測されています。このオフセットは、共有の外部水晶発振器 (U71) を利用するため、CPTS0 ブロックと IEP モジュールの両方に影響します。

ソリューション: この問題を解決するには、既存の U71 水晶発振器を EC3625ETTTS 25.000M TR に交換します。このデバイスにより、周波数安定性が向上し、オフセットが低減されます。基板上の U71 発振器の物理的な位置については、下の画像を参照してください。

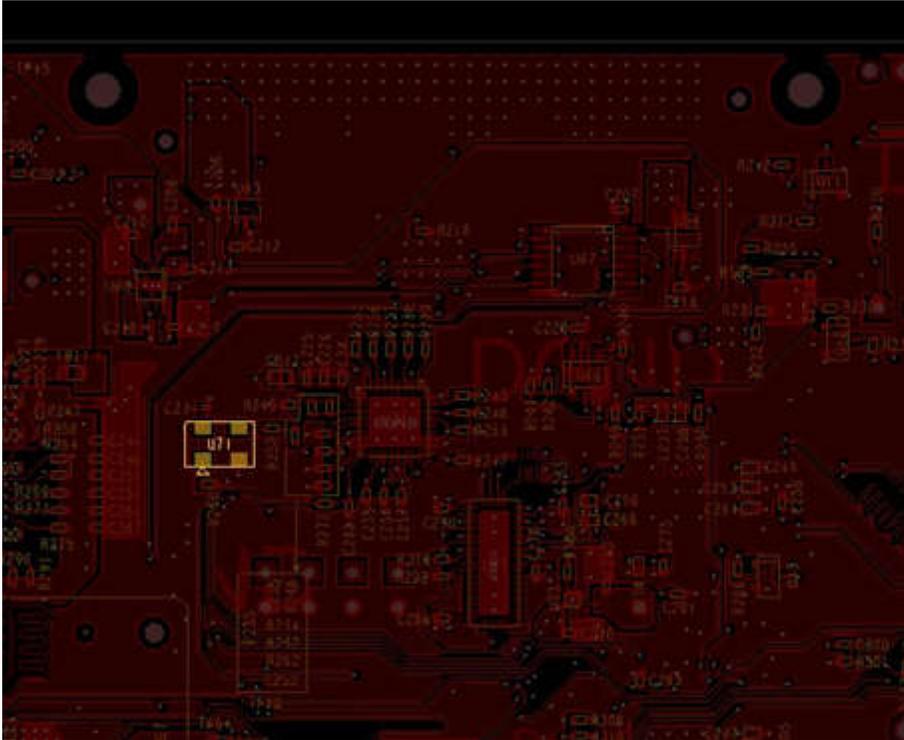


図 5-8. PCB 底面のアセンブリ画像

商標

Sitara™ is a trademark of Texas Instruments, Inc.
Code Composer Studio™ are trademarks of Texas Instruments.
is a trademark of Texas Instruments, Inc..
すべての商標は、それぞれの所有者に帰属します。

6 関連資料

- [AM64x Sitara™ プロセッサ データ マニュアル](#)
- [AM64x Sitara プロセッサ シリコン リビジョン 1.0 テキサス インストルメンツ ファミリ製品テクニカル リファレンス マニュアル](#)

7 参考資料

- カスタム ボード設計、セルフレビュー、プリングアップのさまざまなフェーズにおけるリファレンス用関連資料 - プロセッサ フォーラム - プロセッサ - TI E2E サポートフォーラム (+) [FAQ] AM6442:AM6442、AM6441、AM6422、AM6421、AM6412、AM6411
- AM6442、AM6422、AM6412、および、AM2434、AM2432、AM2431 (ALV、ALX) プロセッサ ファミリ を用いたカスタム ボード設計のためのハードウェア設計に関する検討事項 <https://www.ti.com/lit/pdf/sprad67>
- AM6442、AM6441、AM6422、AM6421、AM6412、AM6411、AM2434 プロセッサ ファミリの回路図、設計ガイドライン、レビュー チェックリスト (AM64x プロセッサ ベースのカスタム ボード回路図設計で推奨) <https://www.ti.com/lit/pdf/spracu5>
- すべての Sitara プロセッサ ファミリ向けのカスタム ボード設計と、利用可能なその他の設計関連資料を以下のマスタ リストに示します。[FAQ] カスタム ボード ハードウェア設計 - すべての Sitara プロセッサ (AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x) ファミリに関する FAQ (よくある質問) のマスタ (完全) リスト
- TI SK (評価基板) の設計ファイルの再利用 <https://e2e.ti.com/support/processors-group/processors/processors-forum/1187366/faq-am6442-am6441-am6422-am6421-am6412-am6411-and-am2434-am2432-am2431-alv-alx-custom-board-hardware-design---reusing-ti-sk-evm-design-files>

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from FEBRUARY 24, 2026 to MAY 11, 2026 (from Revision C (February 2026) to Revision D (May 2026))

	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新。.....	3
• セクション 2.2 で更新が行われました。.....	9
• 既知の問題セクションの問題 5 を更新しました.....	69

STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an "EVM" or "EVMs") to the User ("User") in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.
 - 1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM ("Software") shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software
 - 1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.
2. *Limited Warranty and Related Remedies/Disclaimers:*
 - 2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.
 - 2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.
 - 2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

WARNING

Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.

User shall operate the Evaluation Kit within TI's recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI's recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI's instructions for electrical ratings of interface circuits such as input, output and electrical loads.

NOTE:

EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGRADATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.

3 Regulatory Notices:

3.1 United States

3.1.1 Notice applicable to EVMs not FCC-Approved:

FCC NOTICE: This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

3.1.2 For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:

CAUTION

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

FCC Interference Statement for Class A EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instruction manual, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.

FCC Interference Statement for Class B EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:

- Reorient or relocate the receiving antenna.
- Increase the separation between the equipment and receiver.
- Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.
- Consult the dealer or an experienced radio/TV technician for help.

3.2 Canada

3.2.1 For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247

Concerning EVMs Including Radio Transmitters:

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

Concernant les EVMs avec appareils radio:

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

Concerning EVMs Including Detachable Antennas:

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur.

3.3 Japan

3.3.1 *Notice for EVMs delivered in Japan:* Please see http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_01.page 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

<https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html>

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。技術適合証明を受けていないものご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。日本テキサス・インスツルメンツ株式会社
東京都新宿区西新宿 6 丁目 2 4 番 1 号
西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see http://www.tij.co.jp/lstds/ti_ja/general/eStore/notice_02.page

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。 <https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html>

3.4 European Union

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive):*

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

-
- 4 *EVM Use Restrictions and Warnings:*
 - 4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.
 - 4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.
 - 4.3 *Safety-Related Warnings and Restrictions:*
 - 4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.
 - 4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.
 - 4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.
 5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.
 6. *Disclaimers:*
 - 6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.
 - 6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.
 7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.

8. *Limitations on Damages and Liability:*

8.1 *General Limitations.* IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMNITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.

10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月