参考資料

EVM User's Guide: SK-AM62-LP

AM62x 低消費電力 SK 評価基板

説明

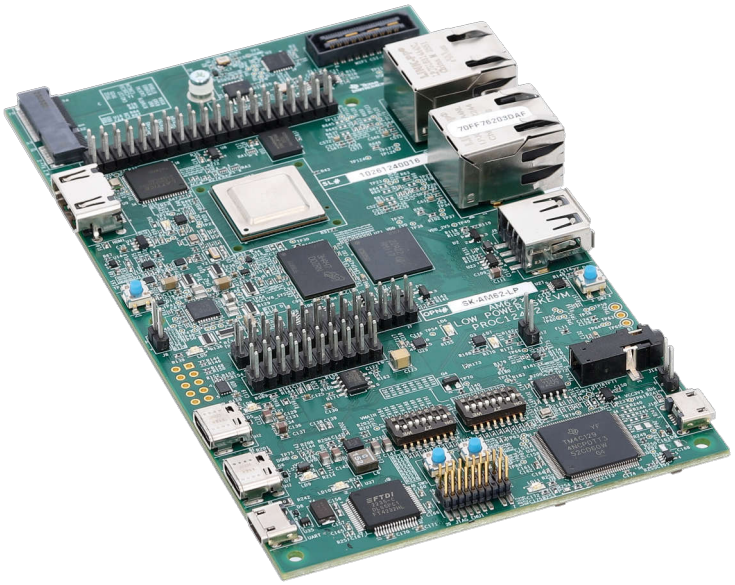
AM62x 低消費電力 (LP) スタータ キット (SK) 評価基板 (EVM) は、AM62x システム オン チップ (SoC) を実装した低コストのスタータ キットです。AM62x プロセッサは、クワッドコアの 64 ビット Arm®-Cortex® A53 マイクロプロセッサ、シングルコアの Arm Cortex-R5F MCU、および Arm Cortex-M4F MCU で構成されています。SK 評価基板を使用すると、HDMI (DPI 経由) や LVDS、最大 2K 解像度による優れたデュアル ディスプレイ機能と、シリアル、イーサネット、USB、その他のインターフェイスを使用した産業用通信アプリケーションを実現できます。

アプリケーション

- 車載 HMI
- ドライバー監視システム
- 産業用アプリケーション
  - PLC
  - 自動制御
  - 監視 / スーパーバイザ システム

特長

- ギガビット イーサネット RJ45 拡張コネクタ x 2
- 2GB LPDDR4 メモリ
- 1Gb OSPI フラッシュ メモリ
- 16GB eMMC フラッシュ メモリ
- microSD カード スロット
- USB 2.0 Type-C® x 1
- USB Type-A 2.0 x 1
- 3.5mm TRRS オーディオ ジャック x 1
- Wi-Fi/BT モジュール用 M.2 コネクタ
- 外部ディスプレイ用 HDMI® コネクタ
- GPIO 拡張コネクタ x 3
- CSI カメラ ヘッダー
- LVDS ディスプレイ コネクタ x 1



English Document: SPRUJ51
Copyright © 2026 Texas Instruments Incorporated

このリファレンスデザインは HDMI®技術を採用しています。

Copyright © 2026 Texas Instruments Incorporated

目次

説明 1
アプリケーション 1
特長 1
1 評価基板の概要 5
1.1 概要 5
1.2 キットの内容 5
1.3 製品情報 5
1.4 評価基板のリビジョンおよびアセンブリ バリエーション 5
1.5 仕様 7
2 ハードウェア 8
2.1 補足画像 8
2.2 主な特長 9
2.3 電源 10
2.4 AM62x 低消費電力 SK 評価基板インターフェイスのマッピング 17
2.5 クロック処理 18
2.6 リセット 19
2.7 OLDI ディスプレイ インターフェイス 20
2.8 CSI インターフェイス 21
2.9 オーディオ コーデック インターフェイス 23
2.10 HDMI ディスプレイ インターフェイス 23
2.11 JTAG インターフェイス 24
2.12 テスト オートメーション ヘッダー 26
2.13 UART インターフェイス 27
2.14 USB インターフェイス 28
2.15 メモリ インターフェイス 30
2.16 イーサネット インターフェイス 35
2.17 GPIO ポート エクスパンダ 38
2.18 GPIO へのマッピング 39
2.19 AM62x 低消費電力 SK 評価基板のユーザー設定と構成 40
2.20 拡張ヘッダ 44
2.21 プッシュ ボタン 48
2.22 I2C アドレス マッピング 49
3 ハードウェア設計ファイル 52
4 準拠に関する情報 53
4.1 EMC、EMI、ESD への準拠 53
5 追加情報 54
5.1 ハードウェアまたはソフトウェアに関する既知の問題 54
6 参考資料 58
7 改訂履歴 58

図の一覧

図 1-1. 機能ブロック図 7
図 2-1. SK 評価基板上面 8
図 2-2. SK 評価基板底面 9
図 2-3. 電源入力のブロック図 12
図 2-4. 電力アーキテクチャ 13
図 2-5. SD ブート モードの例 14
図 2-6. クロック アーキテクチャ 18
図 2-7. SoC ウェイクアップ ドメイン クロック 19
図 2-8. リセット ブロック図 20
図 2-9. OLDI インターフェイスのブロック図 20
図 2-10. CSI インターフェイスのブロック図 22
図 2-11. オーディオ コーデック インターフェイスのブロック図 23
図 2-12. HDMI インターフェイスのブロック図 24
図 2-13. JTAG インターフェイスのブロック図 25
図 2-14. テスト オートメーション インターフェイスのブロック図 26

Copyright © 2026 Texas Instruments Incorporated

図 2-15. UART インターフェイスのブロック図....28
図 2-16. USB Type A インターフェイスのブロック図....29
図 2-17. USB2.0 Type-C インターフェイスのブロック図....30
図 2-18. LPDDR4 インターフェイスの ブロック図....31
図 2-19. OSPI のブロック図....32
図 2-20. EMMC インターフェイスのブロック図....32
図 2-21. Micro SD インターフェイスのブロック図....33
図 2-22. M.2 インターフェイスの ブロック図....34
図 2-23. 基板 ID EEPROM インターフェイスのブロック図....35
図 2-24. イーサネット インターフェイスのブロック図....36
図 2-25. ブート モード切り換えの例....41
図 2-26. マイコン コネクタ インターフェイス....46
図 2-27. PRU コネクタ インターフェイス....48
図 2-28. I2C インターフェイスの ブロック図....50
図 5-1. SK-AM62-LP 底面....55
図 5-2. SK-AM62-LP の上面....55
図 5-3. SK-AM62-LP の底面の R405....56

表の一覧

表 1-1. SK 評価基板の PCB 設計リビジョンおよびアセンブリ バリエーション....5
表 2-1. USB Type-C コネクタ....10
表 2-2. Type-C ポートの電源ロール....10
表 2-3. 推奨外部電源....11
表 2-4. オンボード ディスクリート レギュレータおよび LDO....13
表 2-5. 電力テスト ポイント....15
表 2-6. SoC 電源レール....16
表 2-7. INA I2C デバイス アドレス....17
表 2-8. インターフェイス マッピング....17
表 2-9. ペリフェラル クロック表....19
表 2-10. ディスプレイ コネクタのピン配置....21
表 2-11. CSI カメラ コネクタ J19 のピン配置....22
表 2-12. JTAG コネクタ (J19) のピン配置....25
表 2-13. オートメーション コネクタ (J24) のピン配置をテストします....27
表 2-14. UART ポート インターフェイス....27
表 2-15. CPSW イーサネット PHY–1 ストラップ値....37
表 2-16. CPSW イーサネット PHY–2 ストラップ値....37
表 2-17. IO エクスパンダ 1 の信号の詳細....38
表 2-18. IO エクスパンダ 2 の信号の詳細....39
表 2-19. ブート モードのピン マッピング....41
表 2-20. PLL 基準クロックの選択....41
表 2-21. ブート デバイス選択 BOOT-MODE [6:3]....42
表 2-22. プライマリ ブート モードの構成 [9:7]....42
表 2-23. バックアップ ブート モードの選択 BOOT-MODE [12:10]....43
表 2-24. バックアップ ブート モードの構成 BOOTMODE[13]....44
表 2-25. ユーザー テスト LED....44
表 2-26. 40 ピン ユーザー拡張コネクタ (J3)....45
表 2-27. MCU コネクタ (J10) のピン配置....46
表 2-28. PRU ヘッダー (J11) のピン配置....48
表 2-29. 評価基板のプッシュ ボタン....49
表 2-30. I2C マッピング表....51

Copyright © 2026 Texas Instruments Incorporated

1 評価基板の概要

1.1 概要

本テクニカル ユーザー ガイドでは、テキサス インスツルメンツ (TI™) の AM62x システム オン チップ (SoC) の開発を加速化させるように設計された、低消費電力スタータ キット評価基板である、SK-AM62-LP 評価基板のハードウェア アーキテクチャについて説明します。この多用途プラットフォームは、強力なクワッドコア ARM® Cortex®-A53 プロセッサと、Embedded Linux および RTOS オペレーティング システムを実行できる 2 つの統合型マイコンを搭載しており、幅広い産業用オートメーションおよび監視アプリケーションに適しています。ユーザーは、デュアル ディスプレイ機能 (HDMI と LVDS) や、イーサネット™、USB、シリアル インターフェイスを使用する堅牢な産業用通信設計など、豊富なインターフェイス オプションを確認できます。SK 評価基板は他のプロセッサまたはシステムと通信でき、通信ゲートウェイとして動作することも可能です。また、SK 評価基板は標準リモート I/O システムとして直接動作することも、産業用通信ネットワークに接続したシンプルなセンサとして動作することもできます。テキサス・インスツルメンツの Code Composer Studio™ IDE などの標準的な開発ツールを使用し、組込み済みエミュレーション ロジックを通じてエミュレーションとデバッグを実施することができます。

注

この評価ボードは量産開始前のリリースであり、量産システムにコピーできない既知の問題がいくつかあります。

1.2 キットの内容

- EVM
- クイック スタート ガイド

注

IO ケーブルの最大長が 3m を超えないことを推奨します。

1.3 製品情報

SK-AM62-LP 評価基板は、クワッドコア ARM Cortex-A53 プロセッサと統合型マイコンを搭載した AM62x システム オン チップ (SoC) を中心にしています。主な部品には、2GB の LPDDR4 RAM、512Mbit OSPI フラッシュ、TPS65219 パワー マネージメント IC (PMIC)、SiI9022A HDMI トランスミッタがあります。この基板は、オンボードの XDS110 JTAG エミュレータを搭載しています。さらに、SK-AM62-LP は、機能の豊富な SDK (ソフトウェア開発キット) を使用した Linux® と Android の開発をサポートしています。オンチップ エミュレーション ロジックを搭載しているため、Code Composer Studio (CCSTUDIO) 統合開発環境 (IDE) などの標準的な開発ツールと、設計評価の迅速な開始に役立つ、すぐに使用できる直感的なユーザー ガイドを使用して、エミュレーションとデバッグを行うことができます

注意

この評価基板は、AM6254ATGGHIAMC SoC を搭載しています。この SoC は、PRU (プログラマブル リアルタイム ユニット) サブシステムをサポートしていません。そのため、この評価基板は、PRU 信号、PRU ベースのペリフェラル、または PRU 処理を使用する設計の評価には使用できません

1.4 評価基板のリビジョンおよびアセンブリ バリエーション

SK-AM62-LP 評価基板のさまざまな PCB 設計リビジョンとアセンブリ バリエーションを、表 1-1 に示します。特定の PCB リビジョンは PCB 上にシルクスクリーンで示され、特定のアセンブリ バリエーションは追加のステッカー ラベルで示されています

表 1-1. SK 評価基板の PCB 設計リビジョンおよびアセンブリ バリエーション

OPN	PCB リビジョン	アセンブリ バリエーション	リビジョンとアセンブリ バリエーションの説明
SK-AM62-LP	PROC124E1	該当なし	AM62X 低消費電力 SK 評価基板の最初のプロトタイプ、初期リリース リビジョン。PMIC 電源設計を使用して Sitara AM62X MPU を実装します。
SK-AM62-LP	PROC124E2	該当なし	AM62X 低消費電力 SK 評価基板の 2 番目のプロトタイプ、初期リリース リビジョン。多数の変更とバグ修正が実施されています。

Copyright © 2026 Texas Instruments Incorporated

表 1-1. SK 評価基板の PCB 設計リビジョンおよびアセンブリ バリエーション (続き)

OPN	PCB リビジョン	アセンブリ バリエーション	リビジョンとアセンブリ バリエーションの説明
SK-AM62-LP	PROC124E2	PROC124E2A	アセンブリで更新された部品はほとんどありません

Copyright © 2026 Texas Instruments Incorporated

1.5 仕様

図 1-1 に、AM62x 低消費電力 SK 評価基板の機能ブロック図を示します。

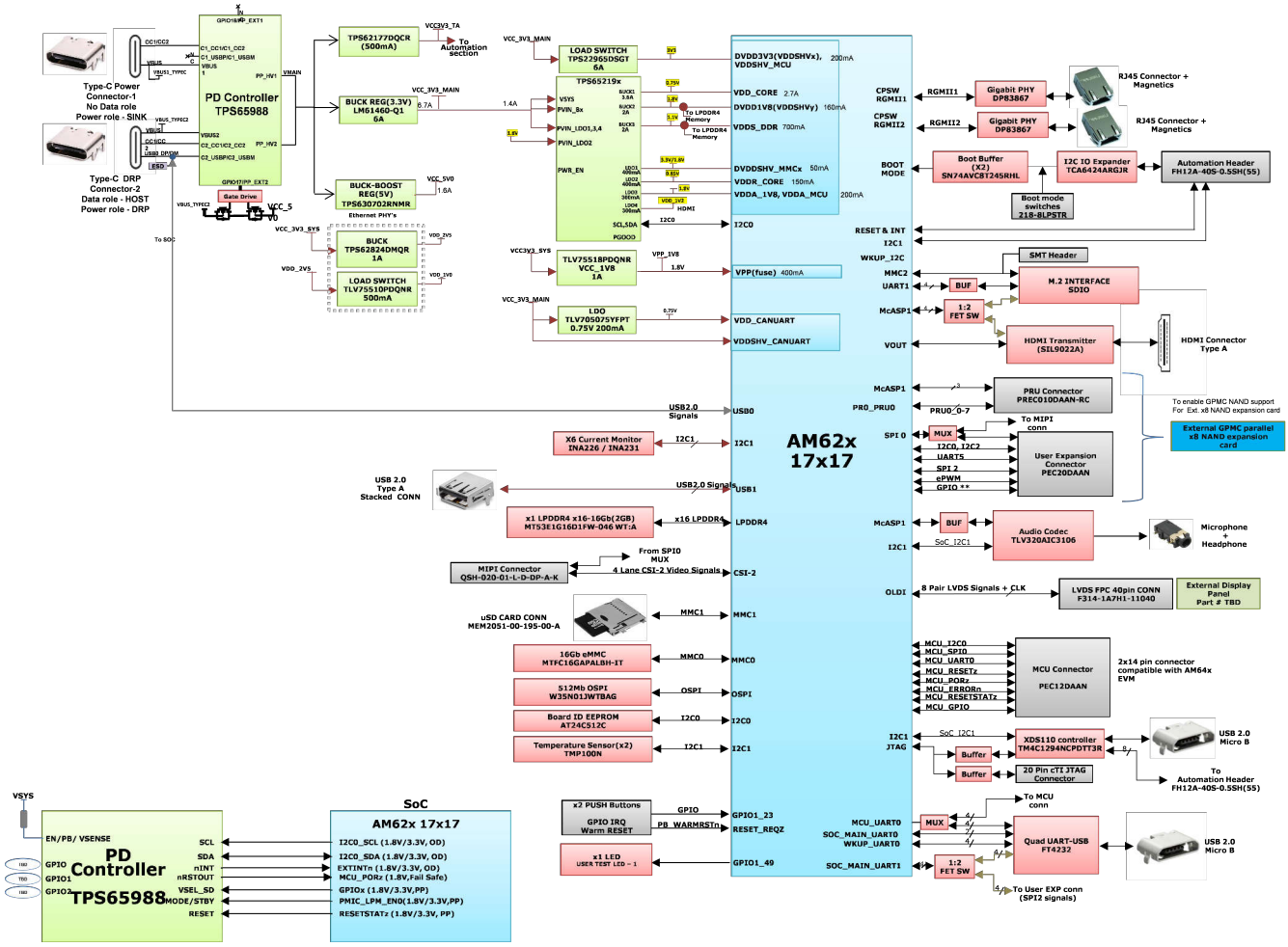


図 1-1. 機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

2 ハードウェア

2.1 補足画像

このセクションでは、評価基板の画像および基板上のさまざまなブロックの位置を示します。

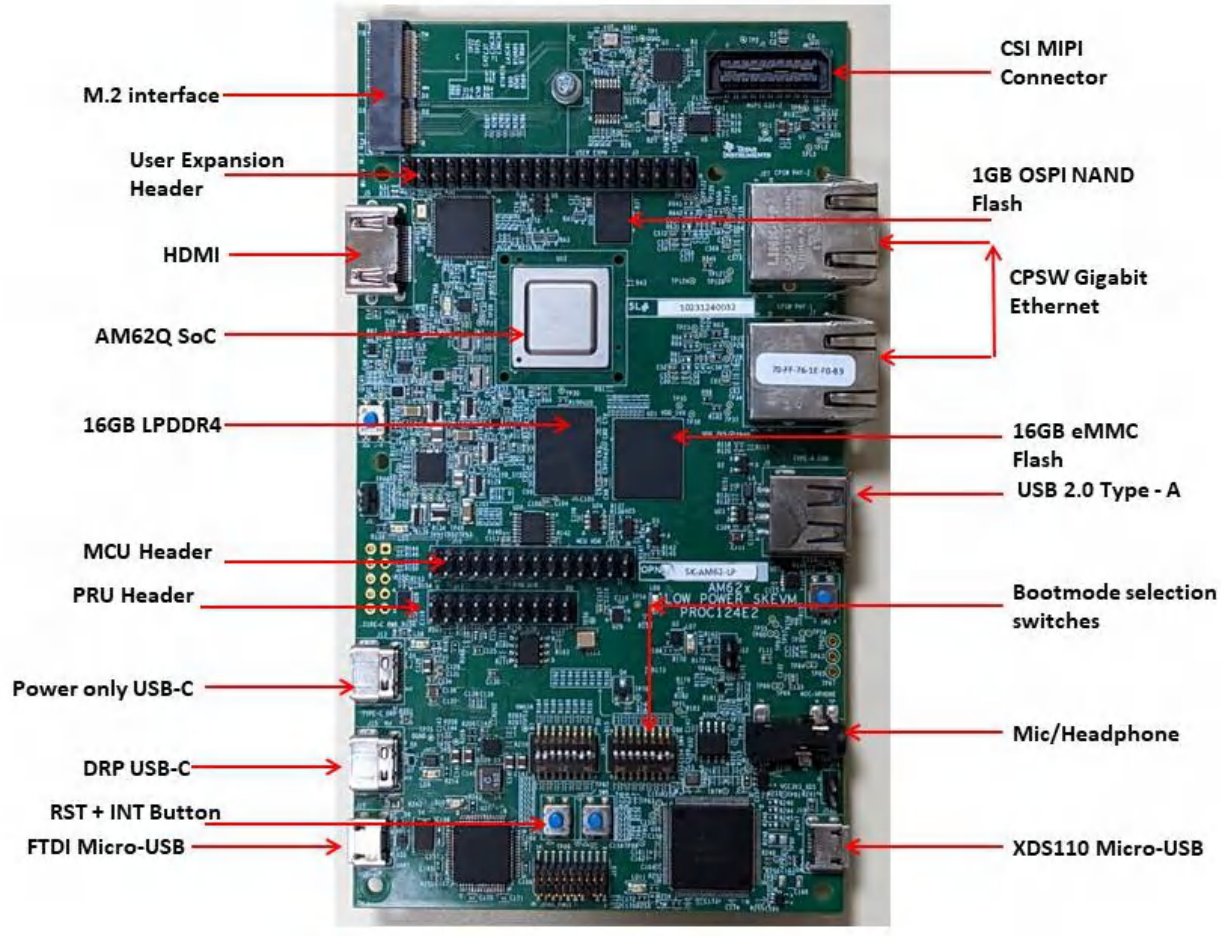


図 2-1. SK 評価基板上面

Copyright © 2026 Texas Instruments Incorporated

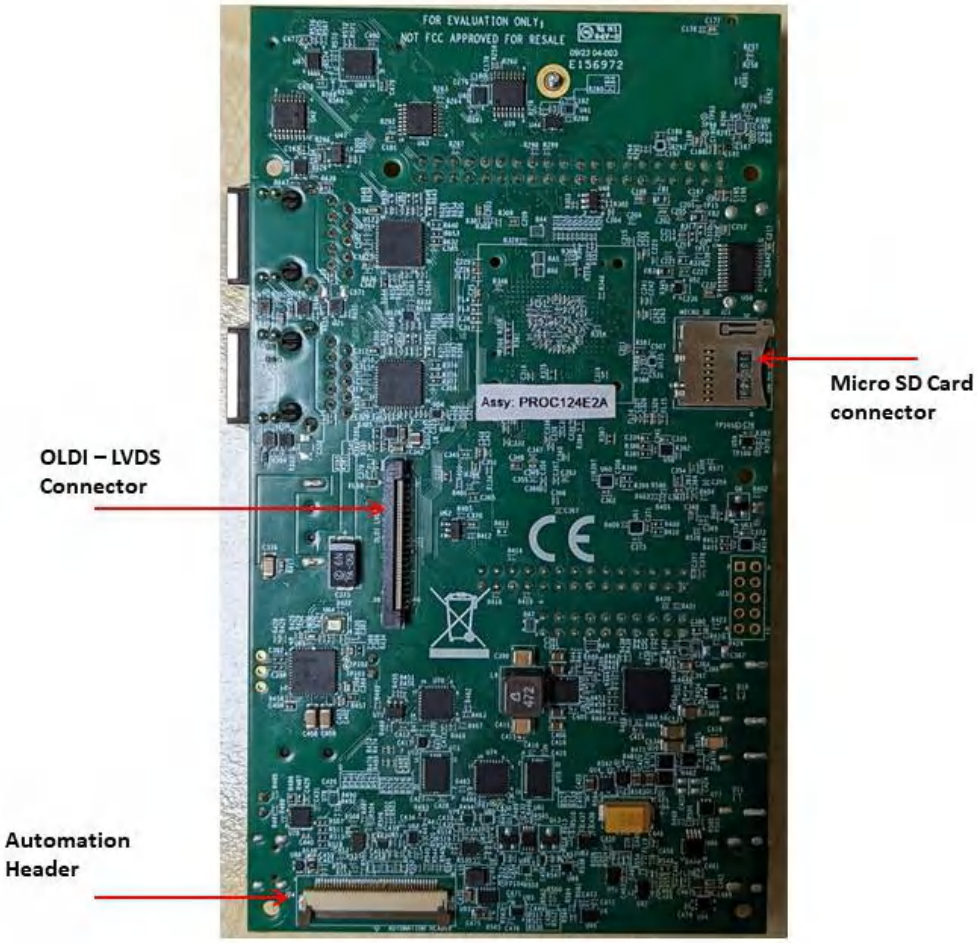


図 2-2. SK 評価基板底面

2.2 主な特長

AM62x 低消費電力 SK 評価基板は、高性能のスタンドアロン開発プラットフォームです。これを用いることによって、テキサス インスツルメンツの AM62x システム オン チップ (SoC) 用の産業用アプリケーションの評価と開発を行うことができます。

以下のセクションでは、SK 評価基板の主な特長について説明します。

2.2.1 プロセッサ

- AM62x SoC、17.2mm x 17.2mm、0.8mm ピッチ、441 ピン FCBGA。

2.2.2 メモリ

- 最大 1600MT/s のデータレートに対応するした 2GB LPDDR4
- UHS-1 対応の マイクロ SD カード スロット
- 1Gbit オクタル SPI フラッシュ メモリ
- 512Kbit インタ インテグレーテッド サーキット (I2C) 基板 ID EEPROM
- 16GB の eMMC フラッシュ

2.2.3 JTAG エミュレータ

- XDS110 オンボード エミュレータ
- 外付けエミュレータからの 20 ピン JTAG 接続に対応

Copyright © 2026 Texas Instruments Incorporated

2.2.4 サポートされるインターフェイスおよびペリフェラル

- USB 2.0 Type-C® インターフェイス x 1、DFP / UFP モード (データ) および DRP™ モード (電源) をサポート
- USB2.0 ホスト インターフェイス x 1 - Type A
- 1x HDMI インターフェイス
- オーディオ ライン入力およびマイク+ ヘッドフォン出力
- M.2 Key E インターフェイスは、Wi-Fi® と Bluetooth® の両方のモジュールをサポート
- 2 つのコネクタ (RJ45、未実装車載) で 10/100/1000Mbps のデータ レートをサポートするギガビット イーサネット™ ポート x 2
- microB USB コネクタ経由のクワッド ポート UART to USB 回路
- 電流監視用 INA デバイス
- SoC と LPDDR4 付近に温度監視用温度センサ x 2

2.2.5 アプリケーション固有のアドオン基板をサポートするための拡張コネクタ ヘッダー

- CSI カメラ ヘッダー
- LVDS ディスプレイ コネクタ x 1
- ユーザー拡張コネクタ
- PRU ヘッダー
- MCU ヘッダー
- テスト オートメーション ヘッダー

2.3 電源

2.3.1 電源要件

AM62x 低消費電力 SK 評価基板には、2 つの USB Type-C コネクタのいずれかを通じて電力を供給します。

表 2-1. USB Type-C コネクタ

コネクタ	電力の役割	データの役割
コネクタ 1 (J13)	シンク	なし
コネクタ 2 (J15)	DRP	USB2.0 DFP または UFP

AM62x 低消費電力 SK 評価基板は、5V ～ 15V の電圧入力範囲と、3A の電流に対応しています。USB PD コントローラ (メーカー型番:TPS65988DHRSHR) は、ケーブル検出時の PD ネゴシエーションに使用され、基板に必要な電力を取得します。コネクタ 1 は UFP ポートとして構成され、データ ロールはありません。コネクタ 2 は DRP ポートとして構成されており、コネクタ 1 が基板に電力を供給しているときのみ、コネクタが DFP として動作します。両方のコネクタが外部電源に接続されている場合、PD の電力供給能力が最も高いポートが基板に電源を供給します。

表 2-2. Type-C ポートの電源ロール

J13 (UFP)	J15 (DRP)	基板電源	注記
接続済み	NC	ON - J13	J13 は UFP として動作し、電力のシンクのみを行います。ペリフェラルが接続されている場合に J15 は DFP として動作します
NC	接続済み	ON - J15	J15 は UFP として動作し、電力のシンクのみを行います
接続済み	接続済み	ON – J13 または J15	PD 電力供給能力が最も高いポートが基板に電力を供給します

PD IC は、パワーアップ時に SPI EEPROM を使用して必要な構成をロードすることで、互換性のある電源と電力供給能力をネゴシエートできます。

構成ファイルは、ヘッダー J23 を使用して EEPROM にロードされます。EEPROM がプログラムされると、PD は SPI 通信を介して構成ファイルを取得します。構成ファイルがロードされると、PD は必要な電源要件を満たすために電源とネゴシエートします。

SKEVM 基板に電力を供給しているコネクタを識別するために、両方の Type-C コネクタには電源表示 LED が搭載されています。外部電源 (Type-C 出力) は 評価基板の電源として使用可能ですが、SKEVM キットには含まれていません。

Copyright © 2026 Texas Instruments Incorporated

表 2-3. 推奨外部電源

DigiKey 型番	メーカー	メーカー型番
1939-1794-ND	GlobTek®, Inc.	TR9CZ3000USBCG2R6BF21
Q1251-ND	Qualtek®	QADC-65-20-08CB

1. コンプライアンス テストに使用するアダプタの型番です。

注

- 最小電圧:5VDC
- 推奨最小電流:3000mA
- 最大電圧:15VDC
- 最大電流:5000mA

SK-AM62-LP は電源用に USB PD を実装しているため、このデバイスは、デバイスと電源アダプタの両方がサポートする最大電圧と電流の組み合わせにネゴシエートすることができます。電源アダプタが USB-C® PD 仕様に準拠している場合、電源が上記の最大電圧と電流要件を上回っていてもかまいません。

注

TI は、UL、CSA、VDE、CCC、PSE などの該当する地域の安全規格に準拠した外部電源またはアクセサリの使用を推奨します。

2.3.2 電源入力

Type-C コネクタ (VBUS ラインと CC ライン) はどちらも、デュアル PD コントローラ (メーカー型番 TPS65988) に接続されています。TPS65988is は、スタンドアロンの USB Type-C およびパワー デリバリ (PD) コントローラであり、2 つの USB Type-C コネクタのケーブルのプラグと向きを検出します。ケーブルを検出すると、TPS65988 は USB PD プロトコルを使用して CC ワイヤで通信を行います。ケーブルの検出と USB PD ネゴシエーションが完了すると、TPS65988 は適切な電力パスを有効にします。TPS65988 の 2 つの内部電力パスは、2 つの Type-C ポートのシンク パスとして構成され、DFP として動作する場合には Type-C CONN 2 から 5V を供給するための外部 FET パスが提供されています。外部 FET パスは、PD コントローラの GPIO17/PP_EXT2 によって制御されています。TPS65988 PD コントローラは、CC ネゴシエーションにより、3A (最大 15V) の出力を供給できます。両方の Type-C コネクタからの VBUS ピンは、PD コントローラの VBUS ピンに接続されています。PD の出力は VMAIN です。この VMAIN は、オンボードの昇降圧レギュレータと降圧レギュレータに供給され、SKEVM 用の 5V と 3.3V の固定電源を生成します。

Copyright © 2026 Texas Instruments Incorporated

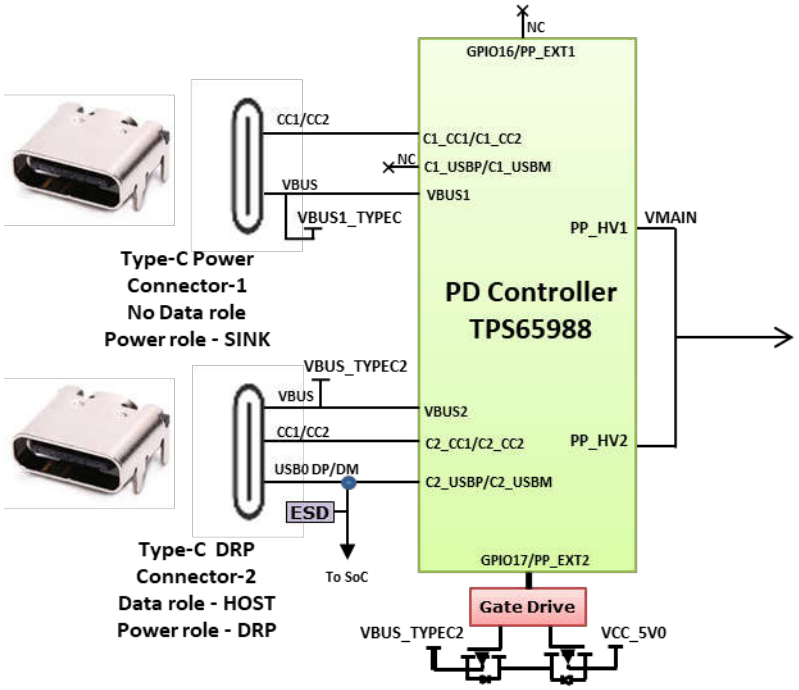


図 2-3. 電源入力のブロック図

2.3.3 電源

AM62x 低消費電力 SK 評価基板は、DC/DC コンバータのアレイを使用して、ボード上のさまざまなメモリ、クロック、SoC、その他の部品に必要な電圧と電力を供給します。

図 2-4 に、電源レールの生成に使用される各種のディスクリート レギュレータと LDO と、AM62x 低消費電力 SK 評価基板上の各ペリフェラルの消費電流を示します。

Copyright © 2026 Texas Instruments Incorporated

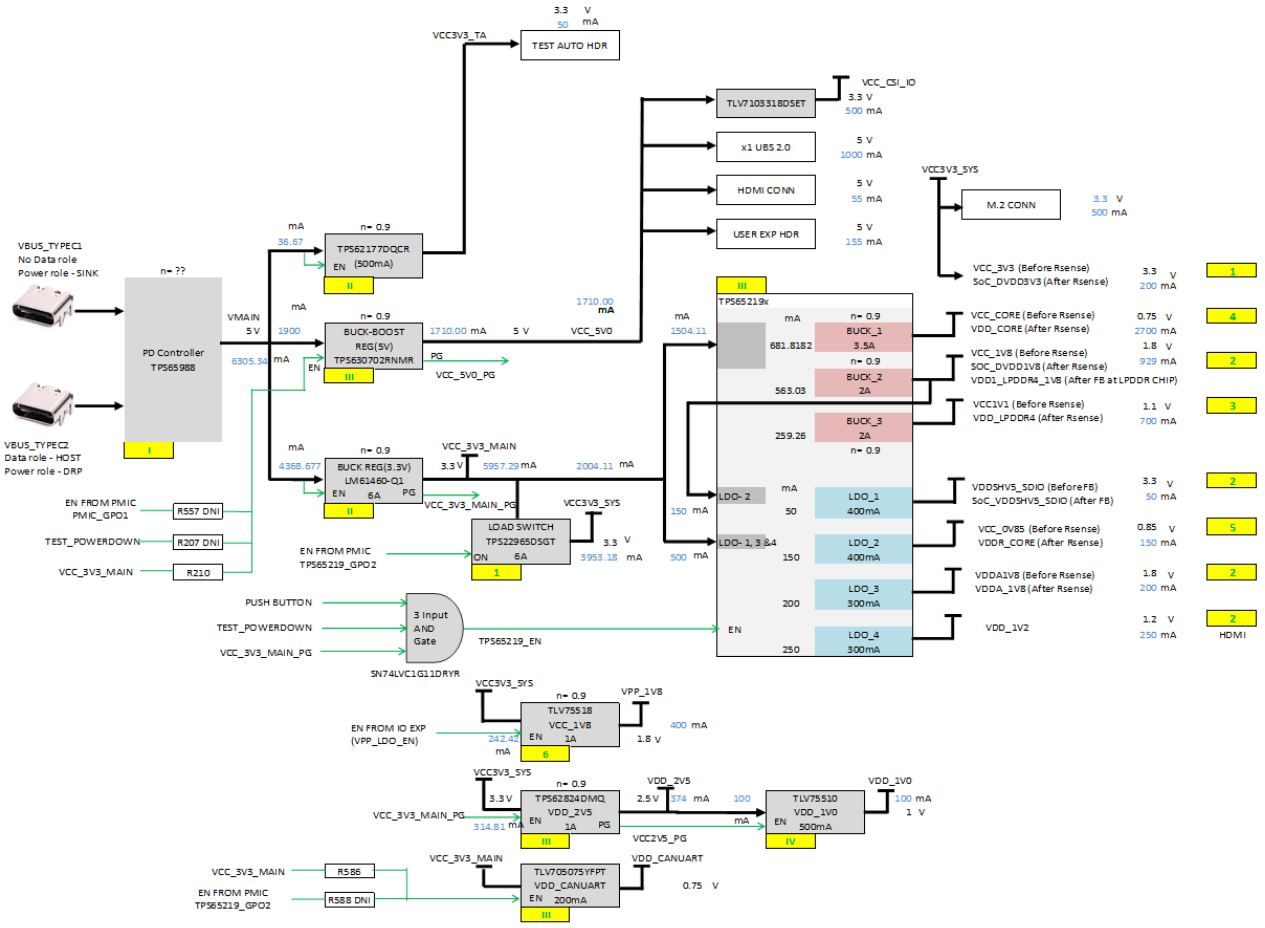


図 2-4. 電力アーキテクチャ

以下のセクションでは、SK 評価基板ボード、サポート コンポーネント、リファレンス電圧に電力を供給する電源分配ネットワークのトポロジについて説明します。

AM62x 低消費電力 SK 評価基板は、PMIC をベースとする電源設計と、ディスクリート電源部品を搭載しています。電源供給の初期段は、2 つの USB Type-C コネクタ J13 と J15 のいずれかからの VBUS 電圧になります。USB™ Type-C デュアル PD コントローラ (メーカー型番:TPS65988DHRSHR) は、システムに必要な電力のネゴシエーションに使用されます。

昇降圧コントローラ TPS630702RNMR と降圧コンバータ LM61460-Q1 は、それぞれ 5V と 3.3V の生成に使用され、レギュレータへの入力は PD 出力です。これらの 3.3V と 5V は、AM62x 低消費電力 SK 評価基板の電源リソースの主要な電圧です。降圧レギュレータ LM61460-Q1 から生成された 3.3V 電源は、各種 SOC レギュレータおよび LDO への入力電源です。昇降圧レギュレータ TPS630702RNMR から生成された 5V 電源は、オンボードのペリフェラルの電源に使用されます。表 2-4 に、使用するオンボード ディスクリート レギュレータおよび LDO を示します。

表 2-4. オンボード ディスクリート レギュレータおよび LDO

オンボード ディスクリート レギュレータおよび LDO	説明
TPS62824DMQR	PHY および DDR ペリフェラル用に VDD_2V5 レールを生成
TLV75510PDQNR	イーサネット™ PHY 用に VDD_1V0 を生成
TPS65219	各種 SoC およびペリフェラルの電源を生成
TPS62177DQCR	常時オン領域への電力供給
TLV75518LDO	SoC の e-Fuse プログラミング用
TPS79601LDO	XDS110 オンボード エミュレータ用
TPS73533LDO	FT4232 UART TO USB ブリッジ

Copyright © 2026 Texas Instruments Incorporated

表 2-4. オンボード ディスクリート レギュレータおよび LDO (続き)

オンボード ディスクリート レギュレータおよび LDO	説明
TLV705075YFPT	VDD_CANUART レールを生成。

さらに、テスト オートメーション ヘッダーからの GPIO も TPS630702RNMR イネーブル ピンに接続され、テスト オートメーション ボード経由で SKEVM のオン / オフを制御。GPIO は、他のすべての電源が派生する TPS630702RNMR の VCC_5V0 出力のみを無効化します。SoC には異なる IO グループがあります。

2.3.4 電源オン オフの手順

評価基板への電力供給は、2 つの USB Type-C ポートのいずれかに PD 電圧と電流を供給する外部電源を通じて供給されます。

2.3.4.1 電源オンの手順

1. SK 評価基板ブート スイッチ セレクタ (SW3、SW4) を選択したブート モードに設定します。図 2-5 に、SD カードのブート モードの例を示します。
2. ブート メディアを接続します (該当する場合)。
3. PD 対応の USB Type-C ケーブルを、SKEVM の Type-C (J13 または J15) コネクタに取り付けます。
4. Type-C ケーブルのもう一方の端を AC 電源アダプタまたは Type C ソース デバイス (ノート コンピュータなど) に接続します。
5. LD8 または LD9 の LED が点灯していることを目視で確認します。
6. XDS110 JTAG と UART のデバッグ コンソール出力は、それぞれ micro-USB ポート J18 と J17 に接続されています。

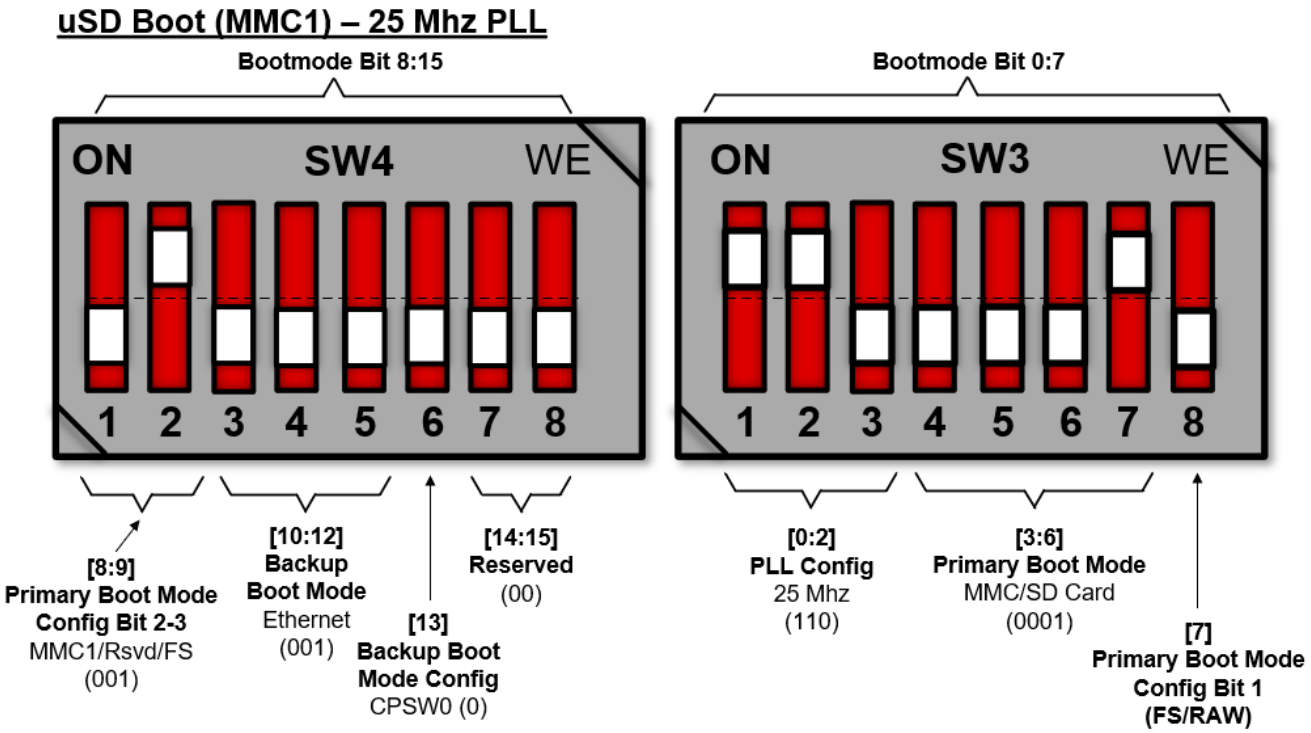


図 2-5. SD ブート モードの例

2.3.4.2 電源オフの手順

1. AC/DC コンバータから AC 電源を切り離します。
2. SK 評価基板から USB Type-C ケーブルを取り外します。

Copyright © 2026 Texas Instruments Incorporated

2.3.4.3 電力テスト ポイント

表 2-5 に、基板上の各電力出力のテスト ポイントを示します。

表 2-5. 電力テスト ポイント

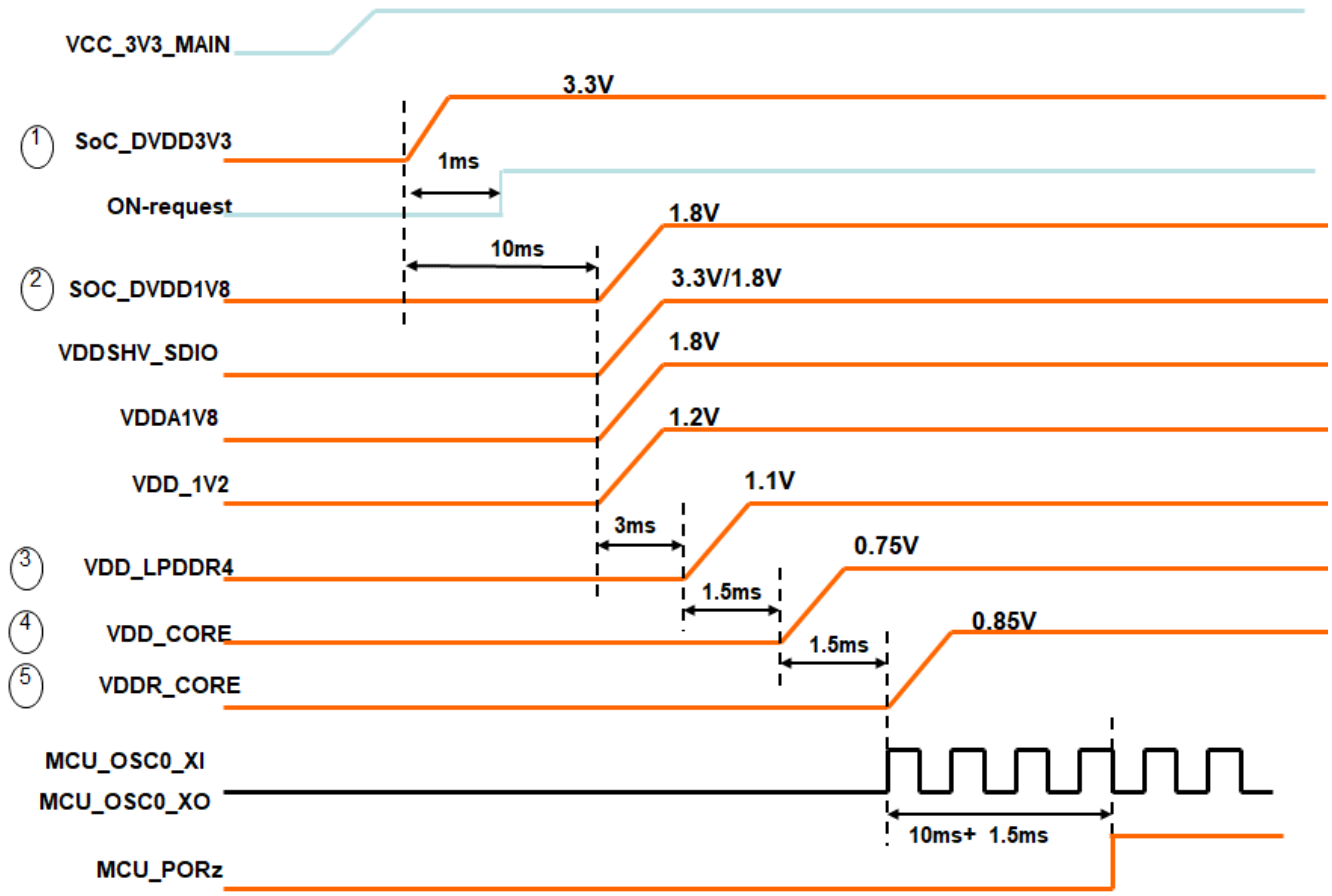
SL 番号	電源	テスト ポイント	電圧
1	VBUS_TYPEC1	R165.1	5V-15V
2	VBUS_TYPEC2	R214.1	5V-15V
3	VMAIN	TP73	5V-15V
4	VCC_5V0	TP76	5V
5	VCC_3V3_MAIN	TP56	3.3V
6	VCC3V3_TA	TP91	3.3V
7	VCC_3V3_SYS	TP54	3.3V
8	VCC_CORE	TP39	0.75V
9	VCC1V8_SYS	TP44	1.8V
10	VCC1V1	TP49	1.1V
11	VDDSHV_SDIO	TP41	1.8V/3.3V
12	VCC_0V85	TP51	0.85V
13	VDDA1V8	TP52	1.8V
14	VDD_1V2	TP53	1.2V
15	VDD_2V5	TP40	2.5V
16	VPP_1V8	TP33	1.8V
17	VDD_1V0	TP35	1.0V
18	VCC_CSI_IO	C12.1	1.8V/3.3V
19	VCC3V3_EXP	C192.1/J3.1	3.3V
20	VCC5V0_EXP	C185.1/J3.2	5.0V
21	VCC3V3_PRU	C384.1/J11.1	3.3V
22	VDD_MMC1	C39.1/FL8.1	3.3V
23	VBUS_5V0_TYPEA1	C375.1/C110.1	5.0V
24	XDS_USB_VBUS(1)	TP90	5.0V
25	VCC3V3_XDS(1)	TP81	3.3V
26	FT4232_USB_VBUS(2)	J17.1	5.0V
27	VCC_3V3_FT4232(2)	LD10.2	3.3V
28	VCC_1V8_FT4232(2)	C166.2	1.8V

(1) この電圧は、micro B から Type A への USB ケーブルが J18 とホスト PC の間に接続されている場合にのみ利用できます。
(2) この電圧は、micro B から Type A への USB ケーブルが J17 とホスト PC の間に接続されている場合にのみ利用できます。

2.3.5 電源シーケンス

AM62x 低消費電力評価基板の電源シーケンスを以下に示します。

Copyright © 2026 Texas Instruments Incorporated



2.3.6 AM62x 17x17 SoC 電源

AM62x 17x17 SoC のコア電圧は、PMIC 構成と電力最適化要件に基づいて、0.75V または 0.85V に設定できます。デフォルトでは、PMIC は VDD_CORE = 0.75V と設定されていますが、PMIC 構成レジスタを変更することで 0.85V に変更できます。電流モニタは、SoC 電源レールのすべてに搭載されています。

SoC には異なる IO グループがあります。各 IO グループには、以下の表に示すように、特定の電源から電力が供給されます。

表 2-6. SoC 電源レール

シリアル番号	電源	SoC 電源レール	IO 電源グループ	電圧
1	VDD_CORE	VDDA_CORE_USB		0.75
		VDDA_CORE_CSI		
		VDD_CANUART	CANUART	
		VDD_CORE	CORE	
2	VDDR_CORE	VDDR_CORE	CORE	0.85
3	VDDA_1V8	VDDA_1V8_CSIRX の詳細を示します。	CSI	1.8
		VDDA_1V8_USB	USB	
		VDDA_1V8_MCU		
		VDDA_1V8_OLDI	OLDI	
		VDDA_1V8_OSCO	OSCO	
		VDDA_PLL0、VDDA_PLL1、VDDA_PLL2		

Copyright © 2026 Texas Instruments Incorporated

表 2-6. SoC 電源レール (続き)

シリアル番号	電源	SoC 電源レール	IO 電源グループ	電圧
4	VDD_LPDDR4	VDDS_DDR	DDR0	1.1
		VDDS_DDR_C		
5	VPP_1V8	VPP_1V8		1.8
6	SoC_VDDSHV5_SDIO	VDDSHV5	MMC1	3.3
7	SOC_DVDD1V8	VDDSHV0	総則	3.3
		VDDSHV1	OSPI	1.8
		VDDSHV4	MMC0	
		VDDSHV6	MMC2	
		VMON_1P8_SOC		
8	SOC_DVDD3V3	VDDSHV0	総則	3.3
		VDDSHV2	RGMII	
		VDDSHV3	GPMC	
		VDDSHV_MCU	MCU 全般	
		VMON_3P3_SOC		
		VDDA_3P3_USB	USB	

2.3.7 電流監視

INA231 電流監視デバイスは、AM62x 17x17 SoC の各種電源レールの電流と電圧を監視するために使用されます。INA231 は、I2C インターフェイス (SoC_I2C1) で AM62x 17x17 SoC と接続されています。負荷電流測定用に、4 端子の高精度シャント抵抗が実装されています。

表 2-7. INA I2C デバイス アドレス

ソース	電源ネット	デバイス アドレス	電源レールに接続されているシャントの値
VCC_CORE	VDD_CORE	0x40	10mΩ± 1%
VCC_0V85	VDDR_CORE	0x41	10mΩ± 1%
VCC_3V3_SYS	SoC_DVDD3V3	0x4C	10mΩ± 1%
VCC_1V8	SoC_DVDD1V8	0x45	10mΩ± 1%
VDDA1V8	VDDA_1V8	0x4E	10mΩ± 1%
VCC1V1	VDD_LPDDR4	0x46	10mΩ± 1%

2.4 AM62x 低消費電力 SK 評価基板インターフェイスのマッピング

表 2-8. インターフェイス マッピング

インターフェイス名	SoC 上のポート	デバイス型番
メモリ – LPDDR4	DDR0	MT53E1G16D1FW-046 WT:A
メモリ –OSPI	OSPI0	W35N01JWTBAG
メモリ –Micro SD ソケット	MMC1	MEM2051-00-195-00-A
メモリ –eMMC	MMC0	MTFC16GAPALBH-IT
メモリ - 基板 ID EEPROM	SoC_I2C0	M24512-DFMC6TG
イーサネット 1– RGMII	SoC_RGMII1	DP83867IRRGZ
イーサネット 2– RGMII	SoC_RGMII2	DP83867IRRGZ
GPIO ポート エクスパンダ 1	SoC_I2C1	TCA6424ARGJR
PRU ヘッダー – 2x10 HDR	PR0_PRU0_GPOand SoC_I2C0	PREC010DAAN-RC
ユーザー拡張コネクタ – 2x20 HDR	SPI0、SPI2、UART5、SoC_I2C0、SoC_I2C2 および GPIO	PEC20DAAN
MCU ヘッダー – 2x14 HDR	MCU MCU_UART0、MCU_MCAN0、MCU_SPI0、MCU_I2C0 および MCU GPIOs	PREC014DAAN-RC

Copyright © 2026 Texas Instruments Incorporated

表 2-8. インターフェイス マッピング (続き)

インターフェイス名	SoC 上のポート	デバイス型番
USB2.0 Type C	USB0	2012670005
USB2.0 Type A	USB1	629104151021
LVDS ディスプレイ コネクタ	OLDI0	FFC2A32-40-T
CSI インターフェイス	CSI0	QSH-020-01-L-D-DP-A-K
HDMI	VOUT0	Sil9022ACNU+ TPD12S016PWR + 10029449-001RLF
オーディオ コーデック	McASP1 および SoC_I2C1	TLV320AIC3106IRGZT+ SJ-43514-SM
GPIO ポート エクスパンダ 2	SoC_I2C1	TCA6424ARGJR
UART 端子 (UART-to-USB)	SoC_UART SoC_UART[1:0]、WKUP_UART0、MCU_UART0	FT4232HL + 629105150521
テスト オートメーション ヘッダー	SoC_I2C1	FH12A-40S-0.5SH
温度センサ	SoC_I2C1	TMP100NA/3K
電流モニタ	SoC_I2C1	INA231AIYFDR
コネクティビティ — M.2 Key E	MMC2、McASP1 および SoC_UART1	2199119-4

2.5 クロック処理

図 2-6 に、AM62x 低消費電力 SK 評価基板のクロック アーキテクチャを示します。

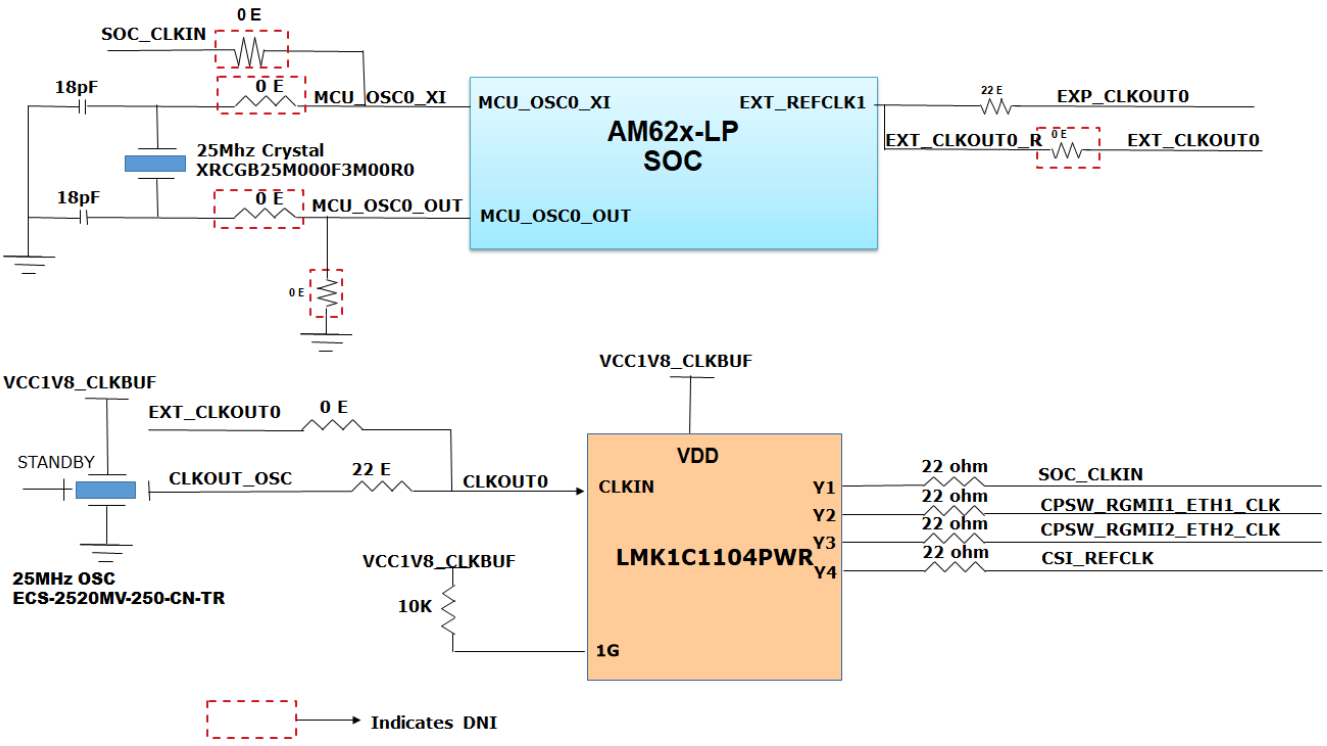


図 2-6. クロック アーキテクチャ

クロック ジェネレータ (部品番号 LMK1C1104PWR) は、SOC と 2 つのイーサネット PHY に 25MHz クロックを供給するために使用されます。LMK1C1104PWR は 1:4 の LVCMOS クロック バッファで、25MHz 水晶振動子 / LVCMOS リファレンス入力を取り込み、4 つの 25MHz LVCMOS クロック出力を提供します。クロック バッファのソースは、SOC からの CLKOUT0 ピンまたは 25MHz 発振器のいずれかであり、抵抗セットを使用して選択します。デフォルトでは、AM62x 低消費電力 SK 評価基板のクロック バッファへの入力として発振器が使用されます。クロック バッファの出力 Y2 と Y3 は、2 つのギガビット イーサネット PHY のリファレンス クロック入力として使用されます。クロック バッファの出力 Y4 は、CSI カメラ インターフェイス P のリファレンス クロック入力として使用されます。

Copyright © 2026 Texas Instruments Incorporated

AM62x SoC には、SoC (32.768KHz) の WKUP ドメインにクロックを供給するために、1 つの外部水晶振動子が取り付けられています。

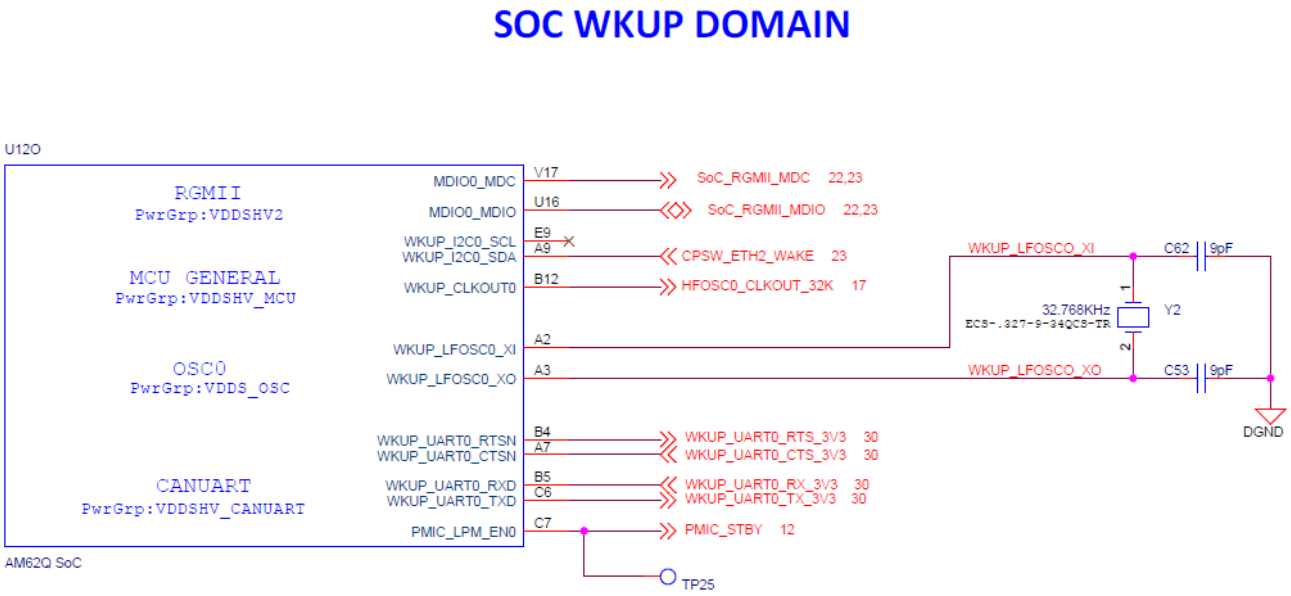


図 2-7. SoC ウェイクアップ ドメイン クロック

XDS110、FT4232、HDMI トランスミッタ、オーディオ コーデックなどのペリフェラルに必要なクロック入力は、個別の水晶振動子または発振器を使用してローカルで生成されます。表 2-9 に、評価基板ペリフェラルにリファレンス クロックを提供するために使用される水晶振動子または発振器を示します。

表 2-9. ペリフェラル クロック表

ペリフェラル	メーカー型番	説明	周波数
XDS110 エミュレータ(Y3)	XRCGB16M000FXN01R0	CRY 16.000MHz 8pF SMD	16.000MHz
FT4232 ブリッジ(Y4)	445I23D12M00000	CRY 12.000MHz 18pF SMD	12.000MHz
オーディオ コーデック(U64)	KC3225Z12.2880C1KX00	OSC 12.288MHz CMOS SMD	12.288MHz
HDMI トランスミッタ(U9)	KC3225Z12.2880C1KX00	OSC 12.288MHz CMOS SMD	12.288MHz

HDMI トランスミッタが必要とするクロックは、オンボード発振器または SoC の AUDIO_EXT_REFCLK1 のいずれかから供給できます。これらは、抵抗マルチプレクサで選択できます。SoC の EXT_REFCLK1 は、SK 評価基板のユーザー拡張コネクタにクロックを供給するために使用されます。M.2 モジュールへの 32KHz クロックは、電圧変換バッファを介して AM62x SoC の WKUP_CLKOUT0 によって供給されます。

2.6 リセット

AM62x 低消費電力 SK 評価基板のリセット アーキテクチャを以下に示します。SoC には次のリセット機能があります。

- RESETSTATz は、マイン ドメインのウォーム リセット ステータス出力です
- PORz_OUT は、メイン ドメインのパワーオン リセット ステータス出力です
- RESET_REQz は、メイン ドメインのウォーム リセット入力です
- MCU_PORz は、MCU ドメインのパワーオン / コールド リセット入力です。
- MCU_RESETSTATz は、MCU ドメインのウォーム リセット ステータス出力です。

パワーオン リセット時に、マイン ドメインに接続されているすべてのペリフェラル デバイスは RESETSTATz によってリセットされます。

Copyright © 2026 Texas Instruments Incorporated

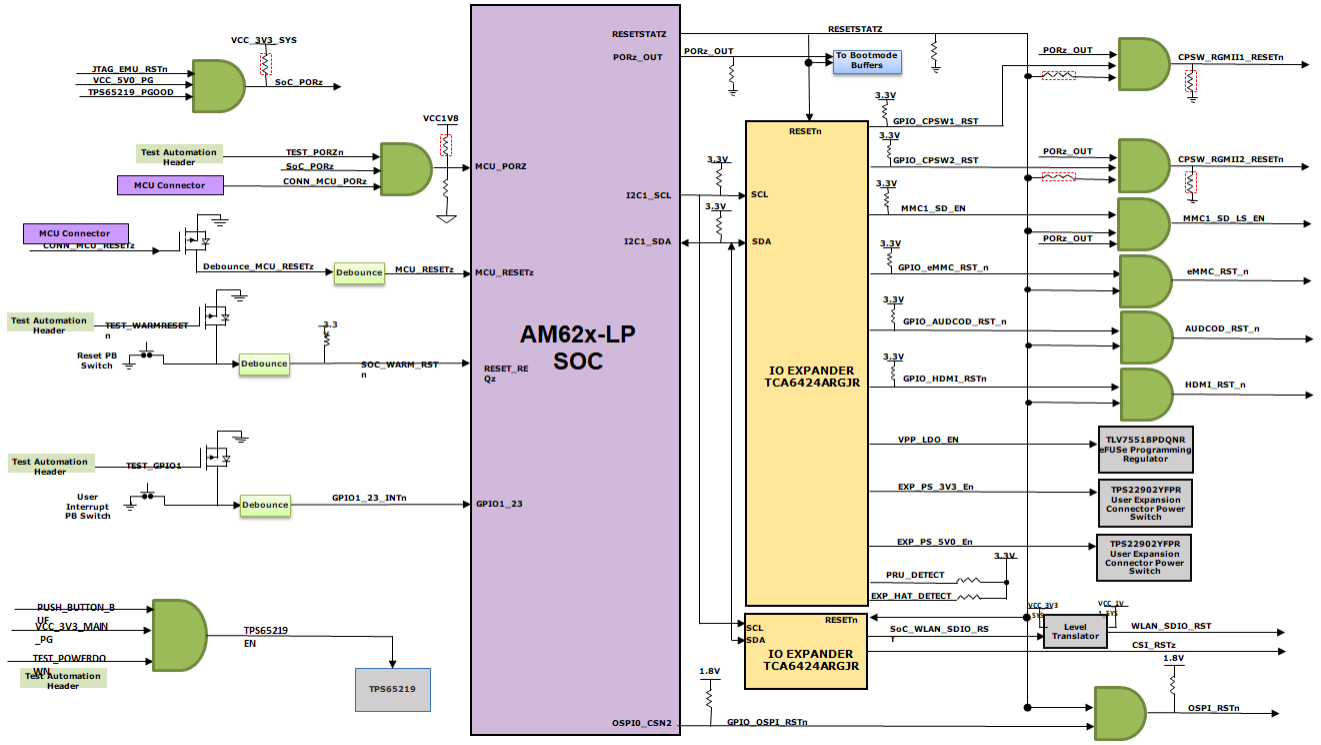


図 2-8. リセット ブロック図

2.7 OLDI ディスプレイ インターフェイス

AM62x 17×17 SoC の OLDI0 ディスプレイ インターフェイスは、GCT 製の 40 ピン LVDS ディスプレイ コネクタ (J22、メーカー型番 FFC2A32-40-T) に接続されています。OLDI インターフェイスは、デュアル チャネルの 8 ビット LVDS 出力をサポートしています。表 2-10 に、ディスプレイ コネクタのピン配置の詳細を示します。

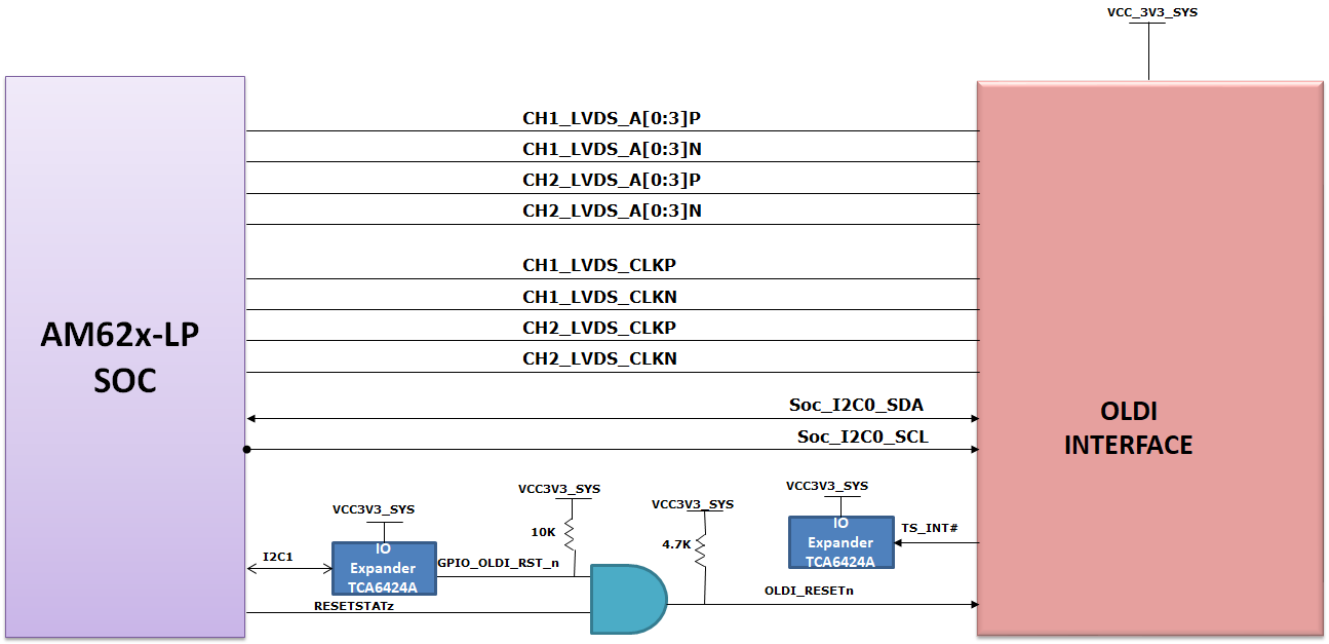


図 2-9. OLDI インターフェイスのブロック図

Copyright © 2026 Texas Instruments Incorporated

表 2-10. ディスプレイ コネクタのピン配置

ピン番号	信号	ピン番号	信号
1	VCC_3V3_SYS(EEPROM_VDD)	21	CH1_LVDS_A2P
2	SoC_I2C0_SCL	22	GND
3	SoC_I2C0_SDA	23	CH1_LVDS_A3N
4	NC	24	CH1_LVDS_A3P
5	NC	25	GND
6	GND	26	CH2_LVDS_A0N
7	GND	27	CH2_LVDS_A0P
8	OLDI_RESETn	28	GND
9	GPIO_OLDI_INT	29	CH2_LVDS_A1N
10	GND	30	CH2_LVDS_A1P
11	CH1_LVDS_A0N	31	GND
12	CH1_LVDS_A0P	32	CH2_LVDS_CLKN
13	GND	33	CH2_LVDS_CLKP
14	CH1_LVDS_A1N	34	GND
15	CH1_LVDS_A1P	35	CH2_LVDS_A2N
16	GND	36	CH2_LVDS_A2P
17	CH1_LVDS_CLKN	37	GND
18	CH1_LVDS_CLKP	38	CH2_LVDS_A3N
19	GND	39	CH2_LVDS_A3P
20	CH1_LVDS_A2N	40	GND

2.8 CSI インターフェイス

AM62x 17x17 SoC の CSI-2 インターフェイスは、40 ピン カメラ MIPI コネクタ QSH-020-01-L-D-DP-A-K に終端されています。この SoC は 4 つの CSI RX レーンをサポートしています。4 つは SKEVM 上にピン配置されています。表 2-11 に、40 ピン カメラ MIPI コネクタのピン配置を示します。SoC I2C2 信号も CSI ヘッダーに接続されています。IO エクスパンダの GPIO 信号は、カメラ GPIO に接続されています。

Copyright © 2026 Texas Instruments Incorporated

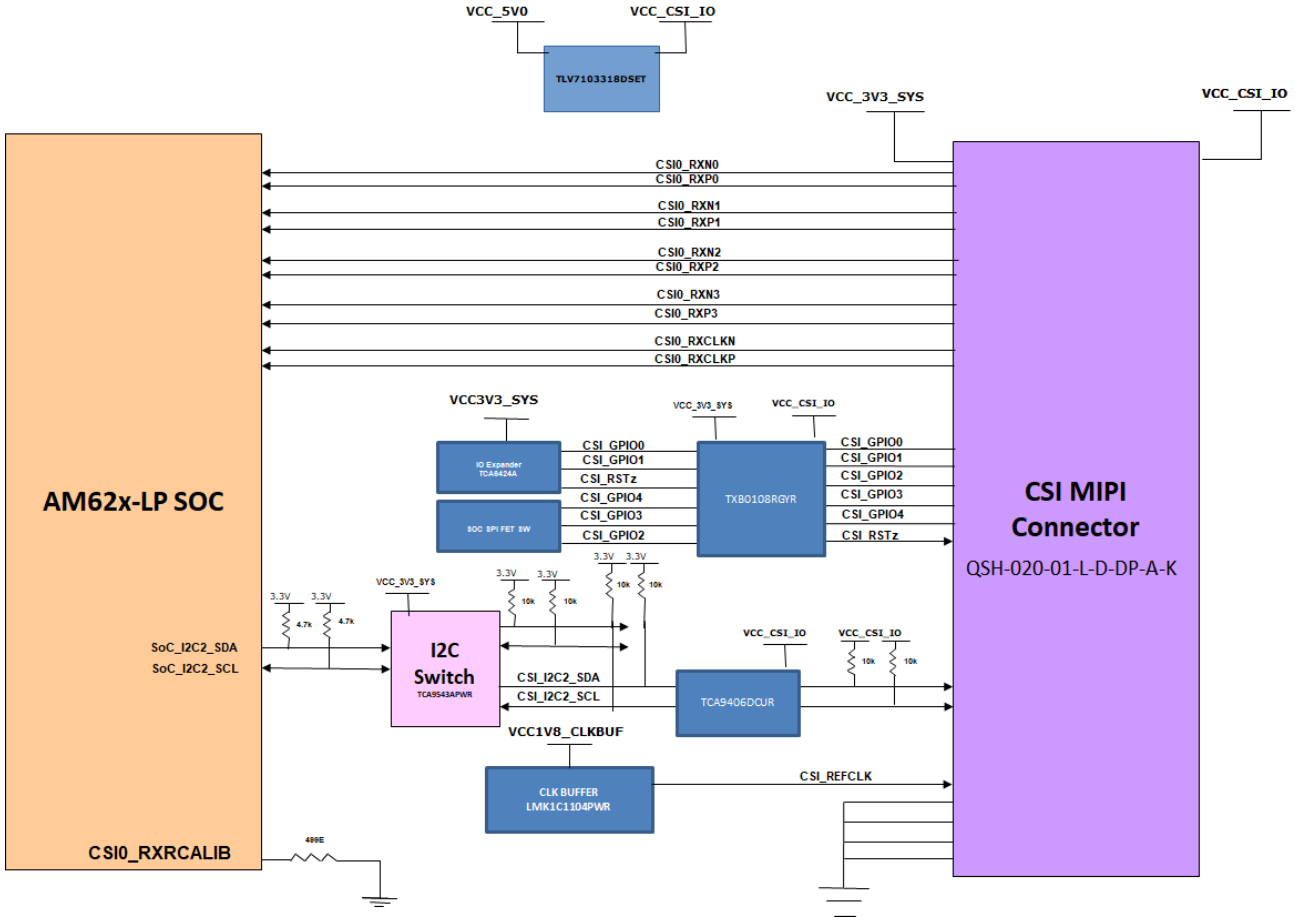


図 2-10. CSI インターフェイスのブロック図

表 2-11. CSI カメラ コネクタ J19 のピン配置

ピン番号	ピン説明	ピン番号	ピン説明
1	NC	21	CSI0_RXP3
2	CSI_I2C2_SCL_BUFF	22	CSI_GPIO4_buff
3	NC	23	CSI0_RXN3
4	CSI_I2C2_SDA_BUFF	24	グランド
5	CSI0_RXCLKP	25	NC
6	CSI_GPIO0_buff	26	NC
7	CSI0_RXCLKN	27	NC
8	CSI_GPIO1_buff	28	NC
9	CSI0_RXP0	29	NC
10	CSI_REFCLK	30	VCC_3V3_SYS
11	CSI0_RXN0	31	NC
12	グランド	32	VCC_3V3_SYS
13	CSI0_RXP1	33	NC
14	CSI_RSTz_buff	34	VCC_3V3_SYS
15	CSI0_RXN1	35	NC
16	グランド	36	VCC_3V3_SYS
17	CSI0_RXP2	37	NC
18	CSI_GPIO2_buff	38	VCC_CSI_IO
19	CSI0_RXN2	39	NC

Copyright © 2026 Texas Instruments Incorporated

表 2-11. CSI カメラ コネクタ J19 のピン配置 (続き)

ピン番号	ピン説明	ピン番号	ピン説明
20	CSI_GPIO3_buff	40	VCC_CSI_IO

2.9 オーディオ コーデック インターフェイス

AM62x 低消費電力 SK 評価基板は、TI の低消費電力 TLV320AIC3106 ステレオ オーディオ コーデックを使用して、McASP 経由で AM62x とのインターフェイスを確立します。TLV320AIC3106 は、ステレオ ヘッドフォン アンプを内蔵した低消費電力ステレオ オーディオ コーデックであり、シングル エンドまたは完全差動構成でプログラマブルな複数の入力と出力を備えています。TLV320AIC3106 の録音パスには、内蔵マイクロフォン バイアス、デジタル制御のステレオ マイク プリアンプ、自動ゲイン制御 (AGC) が含まれており、複数のアナログ入力の間に mix および Mux 機能があります。ステレオ オーディオ DAC は、8kHz ～ 96kHz のサンプリング レートをサポートします。1 つの標準 3.5mm TRRS オーディオ ジャック コネクタ (メーカー型番:SJ-43514) が、MIC およびヘッドフォン出力用に装備されています。オーディオ コーデックのライン入力は、テスト ポイントに終端しています。I2C を制御インターフェイスとして選択するには、選択ピンを LOW に保持します。コーデックは I2C インターフェイス経由で構成できます。この場合、ピン MFP0 と MFP1 ピンを High または Low に駆動することにより I2C アドレスを設定できます。これらのピンはどちらも High に設定されているため、デバイス アドレスは 0x1B に設定されています。オーディオ コーデックの未使用の入出力は、グランドに接続されています。オーディオ コーデックへのコントローラ クロック入力である MCLK は、12.288MHz の発振器から供給されます。コーデックのオーディオ シリアル データ バス ビット クロック BCLK は、バッファを介して AM62x SoC によって駆動されます。オーディオ シリアル データ バス入出力 DIN、DOUT は、バッファ経由で SoC の MCASP1_AXR0 と MCASP1_AXR2 に接続されます。RESETSTATz の AND 出力と、IO エクスパンダ経由で供給される GPIO は、オーディオ コーデックをリセットするために使用されます。TLV320AIC3106 は、3.3V のアナログ電源、1.8V のデジタル コア電源、3.3V のデジタル I/O 電源で動作します。

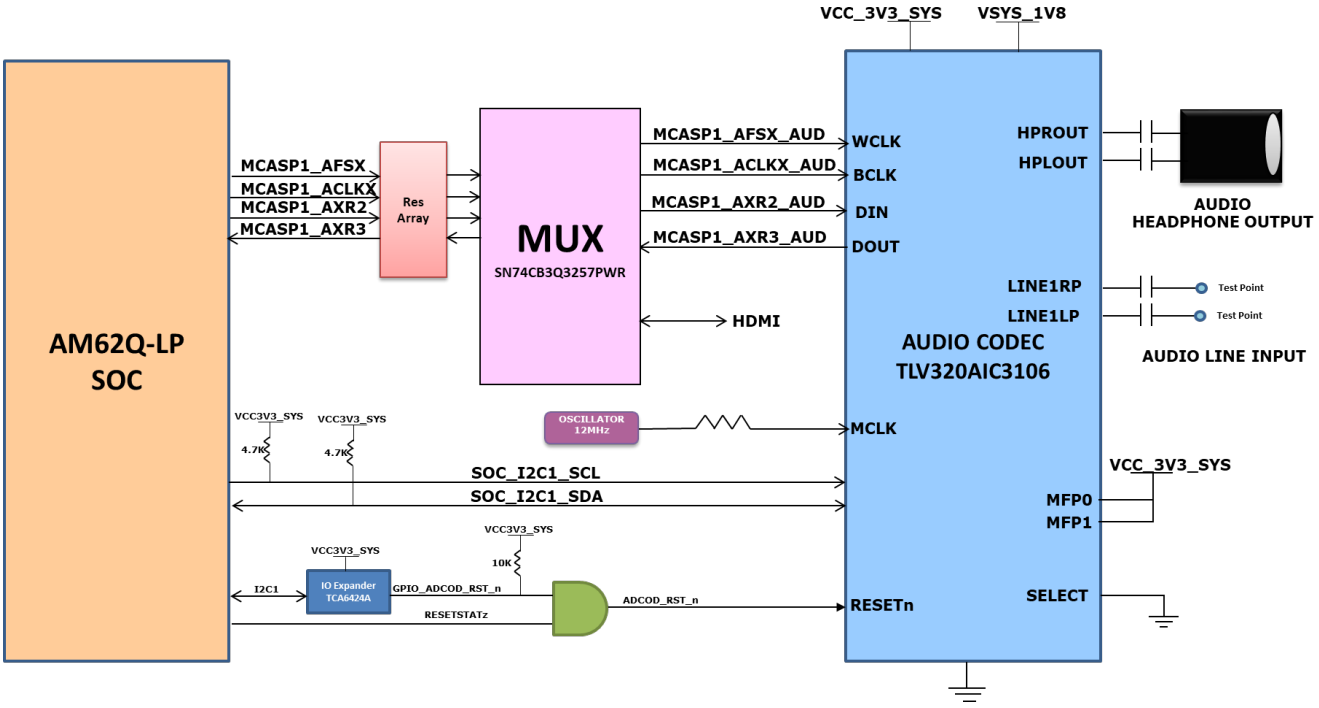


図 2-11. オーディオ コーデック インターフェイスのブロック図

2.10 HDMI ディスプレイ インターフェイス

AM62X 17x17 SoC の DSS (ディスプレイ サブ システム) は、SK 評価基板上で使用され、標準的な Type-A コネクタ経由で HDMI インターフェイスを実現します。この SK 評価基板は、Lattice Semiconductor の Sil9022A HDMI トランスミッタを搭載しており、24 ビットのパラレル RGB DSS 出力ストリームおよび McASP を HDMI 準拠のデジタル オーディオ / ビデオ信号に変換します。使用されるデータ マッピング フォーマットは RGB888 です。データ バス幅は 24 ビットです。HDMI トランスミッタに接続された SoC_I2C1 は、互換モード レジスタ、TPI レジスタ、CPI レジスタにアクセスします。

Copyright © 2026 Texas Instruments Incorporated

SiI9022A を使用するには、SoC がデバイスをセットアップする必要があります。これは、SoC と SiI9022A の間の I2C インターフェイスを介して行われます。オーディオ データは、McASP1 インスタンスを介して SoC から HDMI トランスミッタに送信されます。HDMI_I2C バスは、接続されたシンク デバイスの EDID と HDCP データにアクセスします。TMDS 差動データ ペアとトランスミッタからの差動クロック信号は、HDMI ESD デバイス (メーカー型番:TPD12S016PWR) 経由で HDMI コネクタに接続されています。このデバイスは、ボードの 5V 電源から HDMI コネクタに供給される電流を制限するロード スイッチとしても機能します。HDMI フレーマには、3.3V ボード IO 電源と専用 PMIC LDO による 1.2V で給電されます。

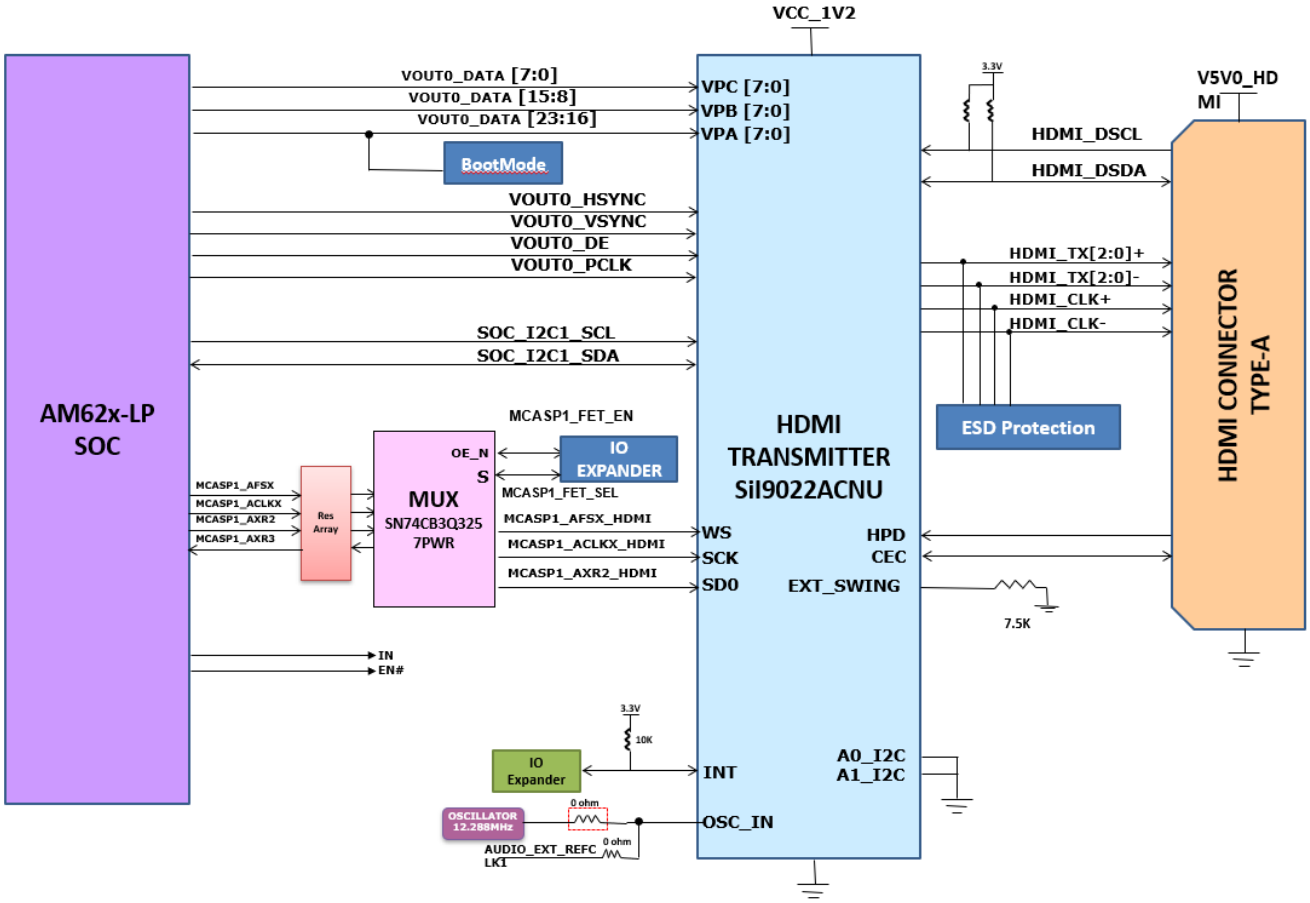


図 2-12. HDMI インターフェイスのブロック図

2.11 JTAG インターフェイス

AM62x 低消費電力 SK 評価基板には、XDS110 クラスのオンボード エミュレーション機能が搭載されています。このエミュレータの接続には USB 2.0 micro-B コネクタが使用され、回路はバス電源供給方式の USB デバイスとして機能します。コネクタからの VBUS 電源はエミュレーション回路に電源として使用されているため、SKEVM 電源が切り離されてもエミュレータへの接続が失われることはありません。電圧変換バッファは、XDS110 回路を SKEVM の他の部分から分離するために使用されます。オプションとして、SKEVM の JTAG インターフェイスは、20 ピンの標準 JTAG cTI ヘッダー J19 を通じても提供されます。これにより、外部 JTAG エミュレータ ケーブルを接続することができます。電圧変換バッファは、cTI ヘッダーの JTAG 信号を SKEVM の他の部分から分離するために使用されます。XDS110 セクションと cTI ヘッダー セクションの電圧トランスレータの出力はマルチプレクサによって切り替えられ、AM62X の JTAG インターフェイスに接続されています。存在検出回路を使用して cTI 20 ピン JTAG コネクタへの接続が検出されると、マルチプレクサはオンボードのエミュレーション回路の代わりに cTI コネクタからの 20 ピン信号を AM62X SoC にルーティングします。

Copyright © 2026 Texas Instruments Incorporated

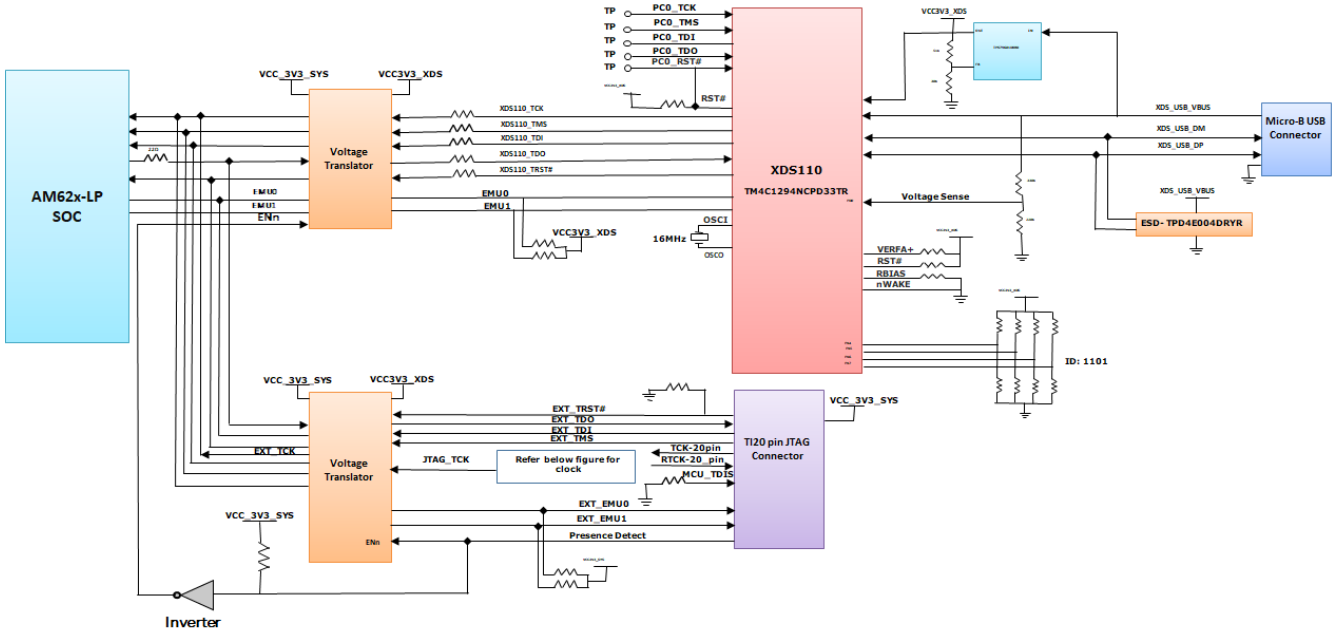


図 2-13. JTAG インターフェイスのブロック図

表 2-12 に、cTI 20 ピン JTAG コネクタのピン配列を示します。USB 信号には、ESD 電流パルスを VCC または GND に誘導する ESD 保護デバイス (型番 TPD4E004) が用いられています。TPD4E004 は、IEC 61000-4-2 で規定されている最大 ±15kV の人体モデル (HBM) の ESD パルスから保護し、±8kV の接触放電と ±12kV のエアギャップ放電を提供します。

表 2-12. JTAG コネクタ (J19) のピン配置

ピン番号	信号
1	JTAG_TMS
2	JTAG_TRST#
3	JTAG_TDI
4	JTAG_TDIS
5	VCC3V3_SYS
6	NC
7	JTAG_TDO
8	SEL_XDS110_INV
9	JTAG_cTI_RTCK
10	DGND
11	JTAG_cTI_TCK
12	DGND
13	JTAG_EMU0
14	JTAG_EMU1
15	JTAG_EMU_RSTn
16	DGND
17	NC
18	NC
19	NC
20	DGND

Copyright © 2026 Texas Instruments Incorporated

表 2-12 に、cTI 20 ピン JTAG コネクタのピン配列を示します。USB 信号には、ESD 電流パルスを VCC または GND に誘導する ESD 保護デバイス (型番 TPD4E004) が用いられています。TPD4E004 は、IEC 61000-4-2 で規定されている最大 ±15kV の人体モデル (HBM) の ESD パルスから保護し、±8kV の接触放電と ±12kV のエアギャップ放電を提供します。

2.12 テスト オートメーション ヘッダー

AM62x 低消費電力 SK 評価基板は、40 ピンのテスト オートメーション ヘッダー (FH12A-40S-0.5SH) を搭載しており、パワーダウン、POR、ウォーム リセット、ブート モード制御などの基本動作を外部コントローラで操作することができます。

専用レギュレータによって生成された 3.3V 電源 (メーカー型番:TPS62177DQCR) は、テスト オートメーション回路に電源を供給します。SoC の I2C1 は、テスト オートメーション ヘッダーに接続されています。テスト オートメーション ヘッダーのもう 1 つの I2C インスタンス (BOOTMODE_I2C) は、24 ビット I2C ブート モード IO エクスパンダ (TCA6424ARGJR) に接続されており、AM62X SoC のブート モードを制御できます。

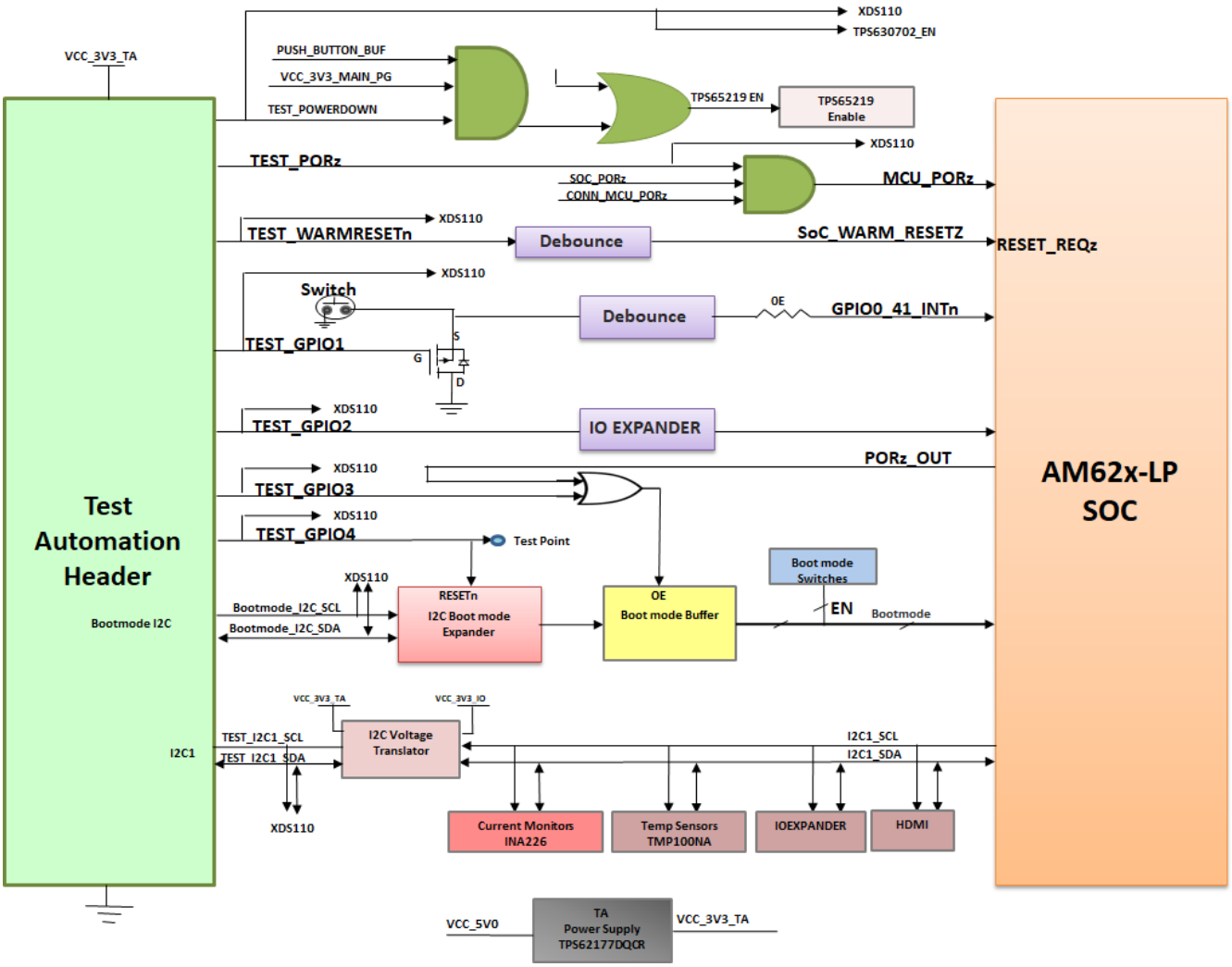


図 2-14. テスト オートメーション インターフェイスのブロック図

テスト オートメーション回路には電圧変換回路があり、コントローラは AM62x SoC で使用される IO 電圧から絶縁されています。DIP スイッチ、または I2C IO エクスパンダ経由でテスト オートメーション ヘッダーを使用して、AM62x SoC のブート モードを制御します。ブート モード バッファは、DIP スイッチまたは I2C IO エクスパンダによって駆動されるブート モード制御を分離するために使用されます。ユーザーは、ボード上の 2 つの 8 ビット DIP スイッチを使用してブート モードを制御します。スイッチがオン位置に設定されているとき、スイッチはバッファの出力にプルアップ抵抗を接続します。オフ

Copyright © 2026 Texas Instruments Incorporated

位置に設定すると、スイッチはより弱いプルダウン抵抗に接続します。バッファの出力は、AM62x SoC のブート モード ピンに接続します。出力は、リセット サイクル中にブート モードが必要なときに有効になります。

テスト オートメーション ヘッダーによってブート モードを設定する場合、必要なスイッチ値が I2C IO エクスパンダ出力に設定されます。これにより、DIP スイッチ値が上書きされ、SoC に目的のブート値が得られます。ブート モード用に使用されるピンにはそれ以外の機能もあるため、これらは、通常動作時にブート モード バッファをディスエーブルにすることによって分離できます。

テスト オートメーション ヘッダーからのパワーダウン信号は、ボード上の専用電源を除くすべてのレールをパワーダウンするように SK 評価基板に指示します。同様に、PORZn 信号で SoC にハード リセットを行い、WARM_RESETn で SoC にウォーム リセットを行います。

表 2-13. オートメーション コネクタ (J24) のピン配置をテストします

ピン番号	信号	IO 方向	ピン番号	信号	IO 方向
1	VCC3V3_TA	電源	21	NC	該当なし
2	VCC3V3_TA	電源	22	NC	該当なし
3	VCC3V3_TA	電源	23	NC	該当なし
4	NC	該当なし	24	NC	該当なし
5	NC	該当なし	25	DGND	電源
6	NC	該当なし	26	TEST_POWERDOWN	入力
7	DGND	電源	27	TEST_PORZn	入力
8	NC	該当なし	28	TEST_WARMRESETn	入力
9	NC	該当なし	29	NC	該当なし
10	NC	該当なし	30	TEST_GPIO1	双方向
11	NC	該当なし	31	TEST_GPIO2	双方向
12	NC	該当なし	32	TEST_GPIO3	入力
13	NC	該当なし	33	TEST_GPIO4	入力
14	NC	該当なし	34	DGND	電源
15	NC	該当なし	35	NC	該当なし
16	DGND	電源	36	SoC_I2C1_TA_SCL	双方向
17	NC	該当なし	37	BOOTMODE_I2C_SCL	双方向
18	NC	該当なし	38	SoC_I2C1_TA_SDA	双方向
19	NC	該当なし	39	BOOTMODE_I2C_SDA	双方向
20	NC	該当なし	40	DGND	電源

2.13 UART インターフェイス

AM62x SoC の 4 つの UART ポート (MCU UART0、WKUP UART0、SOC UART0、SOC UART1) は、UART-to-USB 機能を実現するために FTDI ブリッジ FT4232HL とインターフェースされ、基板上の micro-B USB コネクタ (J17) で終端されています。USB ケーブルを使用して AM62x 低消費電力 SK 評価基板をホストに接続すると、コンピュータは仮想 COM ポートを確立でき、任意の端末エミュレーション アプリケーションで使用できます。FT4232HL はバス電源供給方式です。

この回路はバスから電源供給されているため、評価基板の電源が切り離されても COM ポートへの接続が失われることはありません。

表 2-14. UART ポート インターフェイス

UART ポート	USB から UART へのブリッジ	USB コネクタ	COM ポート
SOC_UART0	FT4232HL	J17	COM1
SOC_UART1			COM2
WKUP_UART0			COM3
MCU_UART0			COM4

Copyright © 2026 Texas Instruments Incorporated

FT4232 チップは、シングル チップ USB から 4 チャネル UART モードで動作するよう構成され、チップに接続された外部 SPI EEPROM から構成ファイルを読み取ります。EEPROM (93LC46B) は、1Mbit/s のクロック レートに対応しています。EEPROM は、FTDI の Web サイトから入手できる FT_PROG というユーティリティ プログラムを使用して、USB 経由で回路内でプログラム可能です。FT_PROG は、1 つまたは複数の基板がコンピュータに接続されているときに、ユーザーが基板のシリアル番号を使用して接続されている COM ポートを識別できるように、基板のシリアル番号をプログラムするためにも使用されます。

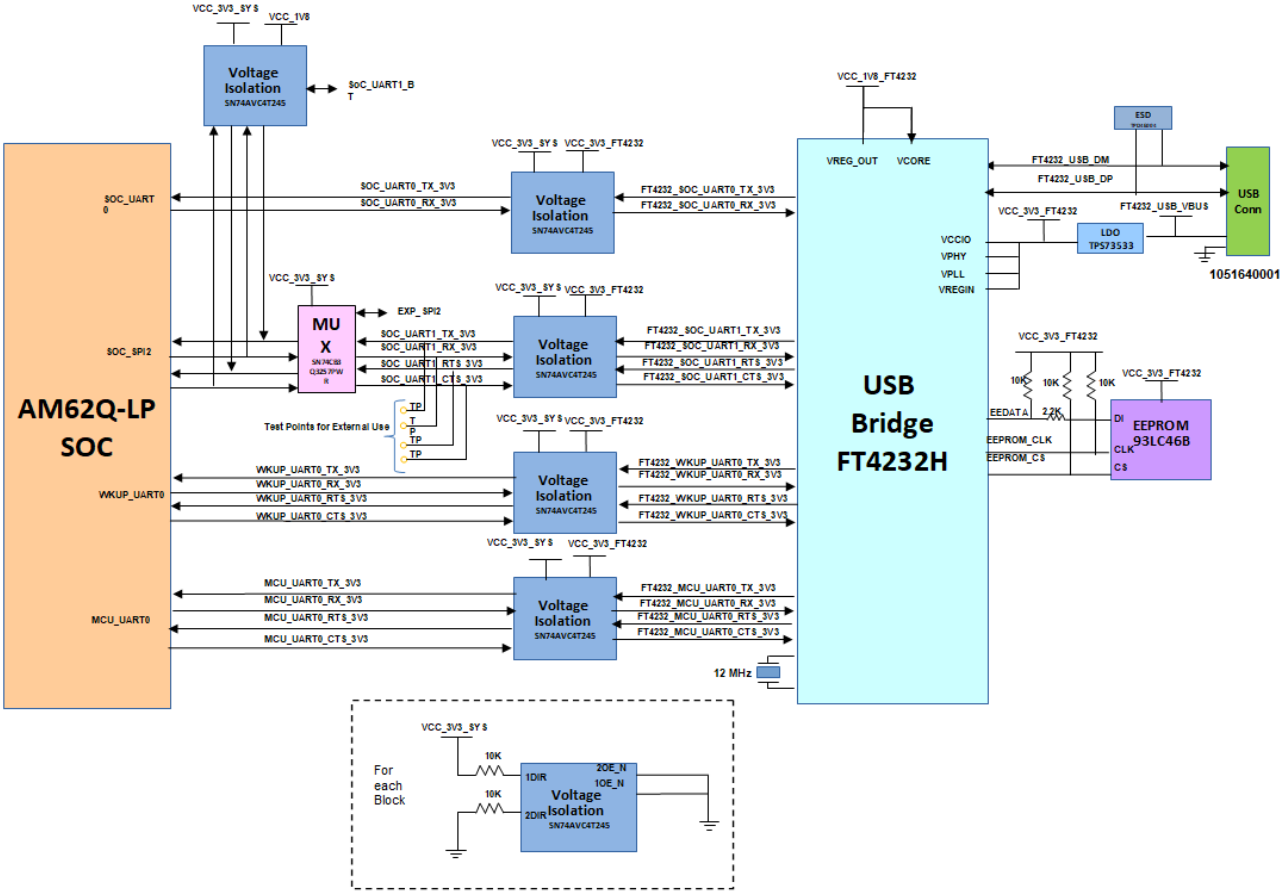


図 2-15. UART インターフェイスのブロック図

2.14 USB インターフェイス

2.14.1 USB2.0 Type A インターフェイス

Type A コネクタ J9 からの USB2.0 データ ラインは、AM62x 17x17 SOC の USB1 インターフェイスに接続されており、USB ハイスピード / フルスピード通信を実現しています。SOC への USB1_VBUS は、(5V～30V) の VBUS 動作に対応する抵抗分圧回路を介して供給されます。SOC の USB1_DRVVBUS は、ロード スイッチのイネーブル ピン (メーカー型番:TPD3S014DBVR) に接続されており、オンボードの 5V 電源で VBUS に電力を供給できます。

EMI/EMC に対処するため、USB データ ラインにはコモン モード チョーク (DLW21SZ900HQ2B) が配置されています。

Type-A コネクタからの USB データ ラインは、電流制限ロード スイッチと ESD 保護 IC (メーカー型番: TPD3S014DBVR)。このスイッチは、電流を 500mA に制限し、IEC 61000-4-2 で規定されている最大レベルを上回る ESD 衝撃を吸収します。

Copyright © 2026 Texas Instruments Incorporated

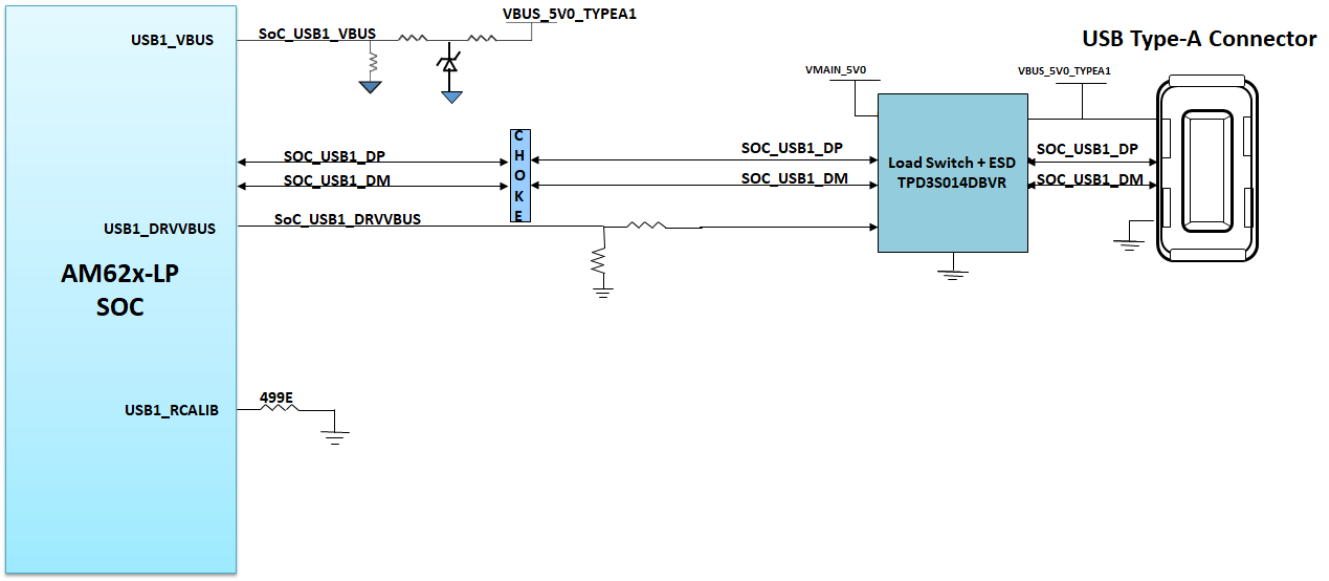


図 2-16. USB Type A インターフェイスのブロック図

2.14.2 USB 2.0 Type-C インターフェイス

AM62x 低消費電力 SK 評価基板では、USB 2.0 インターフェイスが USB Type-C™ コネクタ J15 (メーカー型番: 2012670005) を通じて提供されており、最大 480Mbps のデータ レートをサポートします。J15 はデータ通信と電源コネクタとしても使用します。J15 は、PD コントローラ TPS65988DHRSHR IC を使用して、DRP ポートとして構成されています。そのため、J15 は、ホストとしてもデバイスとしても機能します。ポートの役割は、コネクタに接続されるデバイスのタイプと、そのデバイスがシンクまたはソースのどちらであるかによって決まります。ポートが DFP として機能している場合、500mA で最大 5V を供給できます。

J15 からの USB2.0 データ ラインの DP と DM は、チョークおよび ESD 保護デバイスを介して、AM62X 低消費電力 SoC の USB0 インターフェイスに接続されています。SOC への USB0_VBUS は、抵抗デバイダ ネットワークを介して供給されます。

EMI および EMC に対処するため、USB データ ラインにはコモン モード チョーク (メーカー型番 DLW21SZ900HQ2B) が配置されています。USB2.0 DP および DM 信号の ESD 衝撃を放散させるため、ESD 保護デバイス (型番 ESD122DMXR) が搭載されています。CC 信号には ESD 保護デバイス (部品番号 TPD1E01B04DPLT) が搭載されており、ESD 衝撃を放散させるため、Type-C コネクタ J15 の VBUS レールには TVS2200DRVR IC が組み込まれています。

Copyright © 2026 Texas Instruments Incorporated

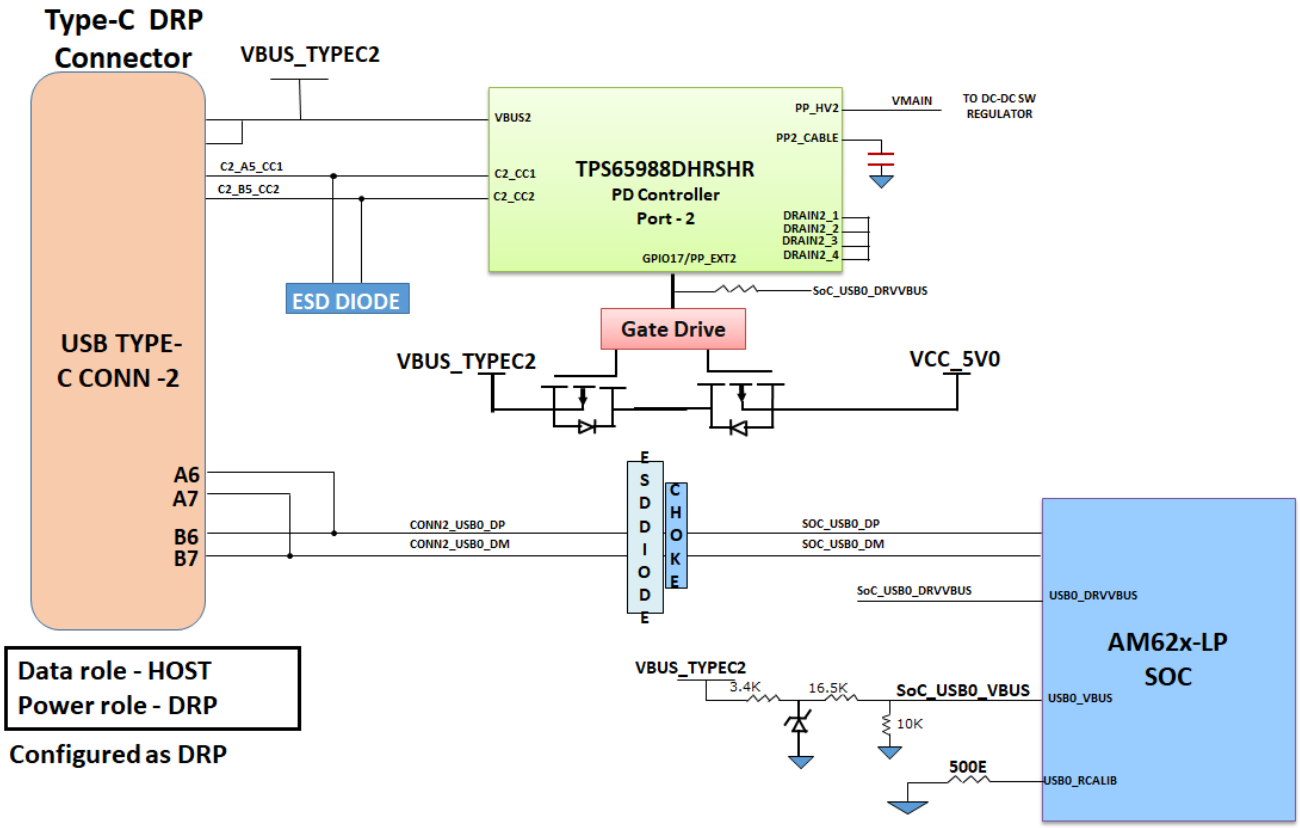


図 2-17. USB2.0 Type-C インターフェイスのブロック図

2.15 メモリ インターフェイス

2.15.1 LPDDR4 インターフェイス

AM62x 低消費電力 SK 評価基板には、最大 2133MT/s で動作する 16 ビット幅、2GB の LPDDR4 メモリが搭載されています。Micron 製の MT53E1G16D1FW-046 WT:A が使用されます。このデバイスは、2 つの x8 構成の 8Gb Micron ダイを組み合わせて 1 つの x16 インターフェイスを構成しています。LPDDR メモリは、オンボード (シングルチップ) に取り付けられています。LPDDR4 デバイスの配置と配線は、ポイント ツー ポイントです。

LPDDR4 は 1.8V を必要とするため、電力要求が減少します。このデバイスには 1.1V の I/O 電力が必要です。LPDDR4 リセットはアクティブ "Low" 信号であり、SoC によって制御され、信号がプルダウンされてデフォルトのアクティブ状態が設定されます。また、プルアップ用のフットプリントも実装済みです。

Copyright © 2026 Texas Instruments Incorporated

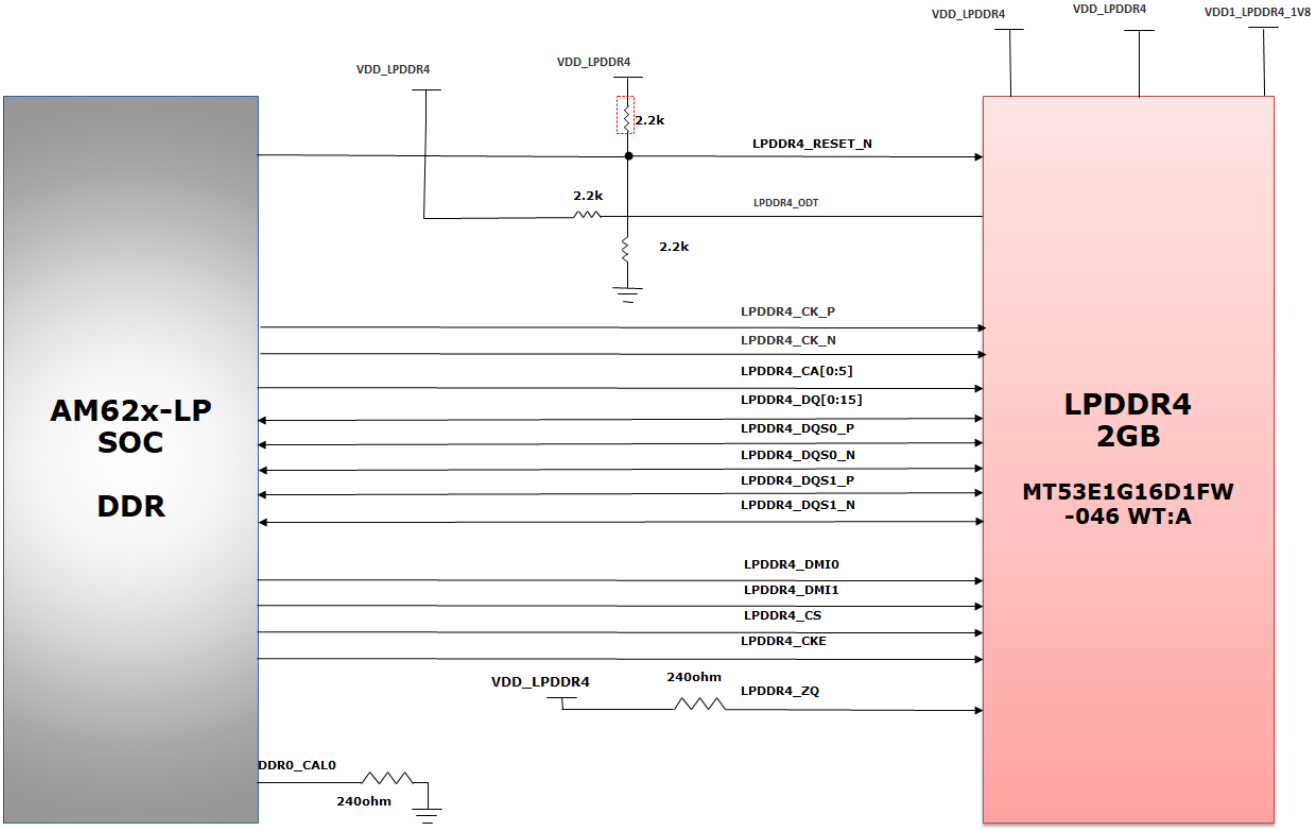


図 2-18. LPDDR4 インターフェイスの ブロック図

2.15.2 OSPI

AM62x 低消費電力 SK 評価基板は、AM62x 17x17 SoC の OSPI0 に接続された 1 ギガビット OSPI メモリ デバイス (Cypress 型番 W35N01JWTBAG) を搭載しています。OSPI は、最大 166Mhz STR および 120Mhz DTR のクロック速度でシングルおよびダブル データ レートに対応しています。

OSPI および QSPI の実装：DATA[7:0]、DQS、INT#、および CLK 信号には 0Ω 抵抗が設けられています。バスのフローティングを防ぐため、DATA[7:0] には外部プルアップ抵抗を実装できるフットプリントが用意されています。OSPI メモリのフットプリントでは、QSPI メモリまたは OSPI メモリのいずれかを取り付けることもできます。QSPI フラッシュを実装する場合は、OSPI_DATA[4:7] ピンに配置された 0Ω の直列抵抗は取り外します。

OSPI フラッシュのリセットは、SoC の RESETSTATz と SoC GPIO の GPIO_OSPI_RSTn 信号を論理積する回路に接続されています。これにより、ウォームおよびコールド リセットのリセットが適用されます。デフォルトのアクティブ状態を設定するために、SoC ピンからの GPIO_OSPI_RSTn にプルアップが提供されています。

OSPI フラッシュは 1.8V IO 電源から電力を供給されます。1.8V 電源は、OSPI フラッシュ メモリの VCC ピンと VCCQ ピンの両方に供給されます。SOC の OSPI は、SoC の VDDSHV1 電源グループから電力を供給され、1.8V IO 電源に接続されています。

Copyright © 2026 Texas Instruments Incorporated

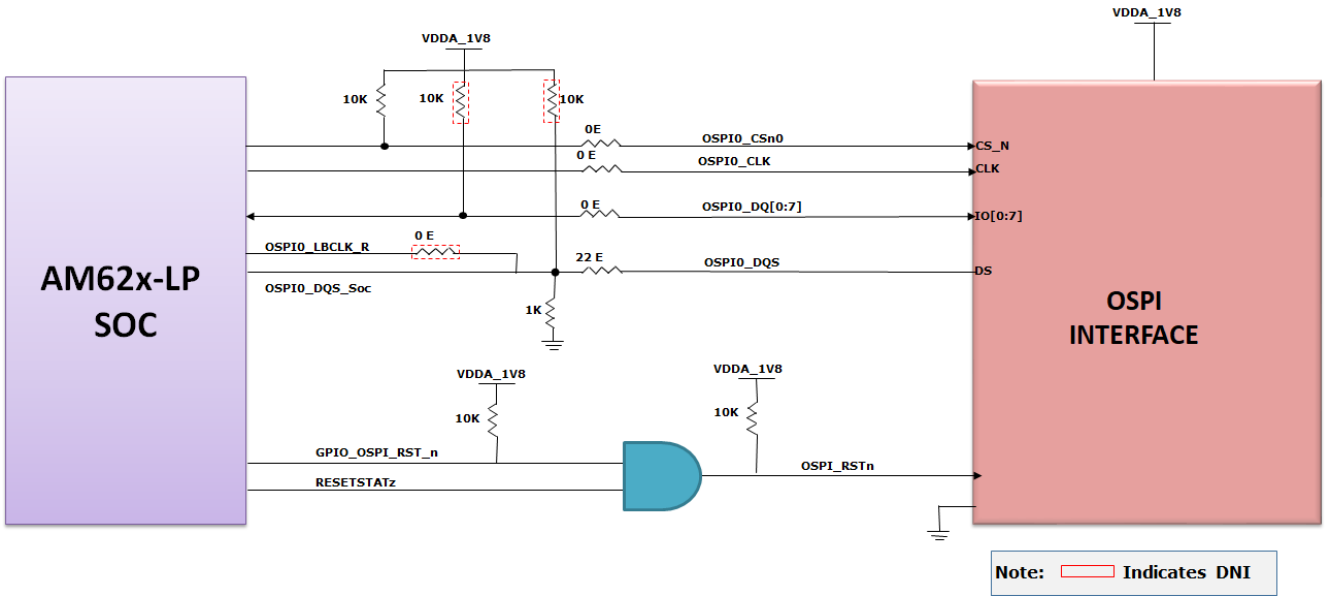


図 2-19. OSPI のブロック図

2.15.3 MMC インターフェイス

AM62x 17x17 SoC には、3 個の MMC ポートがあります。MMC0 は eMMC フラッシュに接続されており、MMC1 は基板上の Micro SD ソケットとインターフェイスされ、MMC2 は WiFi および Bluetooth 用のオプションの M.2 モジュールに接続されています。

2.15.3.1 MMC0 - eMMC インターフェイス

AM62x 低消費電力 SK 評価基板には、AM62X 17x17 SoC の MMC0 ポートに接続された 16GB eMMC フラッシュ メモリ (Micron、型番 MTFC16GAPALBH-IT) が搭載されています。このフラッシュは、最大 200MHz の HS400 ダブル データ レートをサポートする MMC0 インターフェイスの 8 ビットに接続されています。

eMMC デバイスには、NAND メモリ用の 3.3V、eMMC インターフェイス用の 1.8V の 2 つの電源が必要です。SOC の MMC0 インターフェイスは、1.8V IO 電源に接続された VDDSHV4 電源ドメインから電力が供給されます。

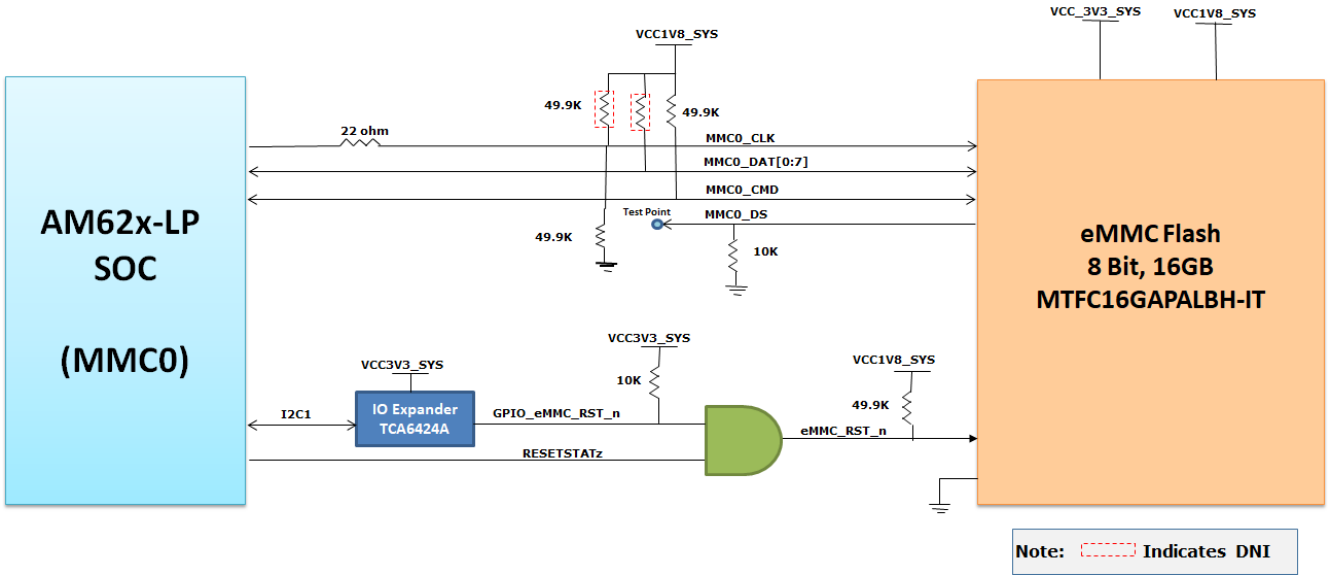


図 2-20. EMMC インターフェイスのブロック図

Copyright © 2026 Texas Instruments Incorporated

2.15.3.2 MMC1 — マイクロ SD インターフェイス

AM62x 低消費電力 SK 評価基板は、AM62x 17x17 SoC の MMC1 ポートに接続された microSD™ カード インターフェイスを提供します。MEM2051-00-195-00-A の microSD カード ソケットは、AM62x 17x17 SoC の MMC1 ポートとのインターフェイスに使用されます。1.8V と 3.3V の両方での IO 動作を含む UHS1 動作がサポートされています。microSD™ カード インターフェイスは、デフォルトで SD モードで動作するように設定されています。高速カードの場合、SOC の ROM コードはカードとコントローラがサポートできる最速の速度を検出しようと試み、1.8V への移行を試みます。

SD™ カード コネクタの電源は、ロード スイッチ TPS22918DBVR を使用して供給され、RESETSTATz、PORz_OUT、IO エクスパンダの GPIO 出力の論理積によって制御されます。データ信号、クロック信号、コマンド信号用に、ESD 保護デバイス (部品番号 TPD6E001RSE) が搭載されています。TPD6E001RSE は TVS ダイオードを内蔵したライン終端デバイスで、IEC 61000-4-2 に準拠したシステム レベルの ESD 保護、±8kV の接触放電、±15kV のエアギャップ放電を提供します。

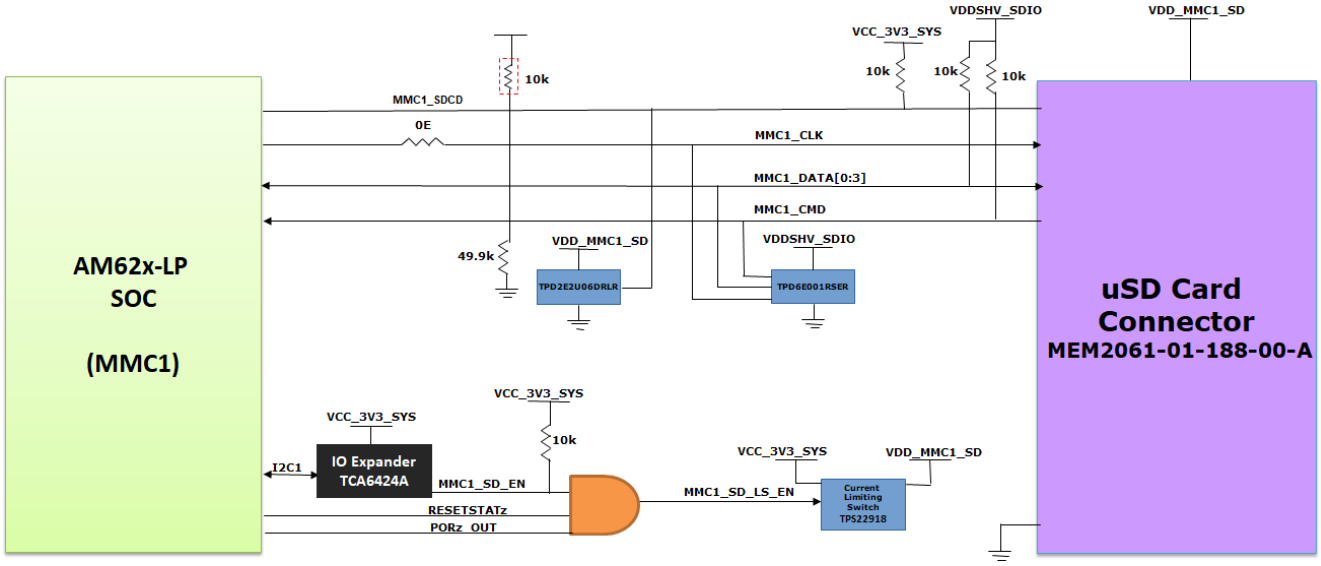


図 2-21. Micro SD インターフェイスのブロック図

2.15.3.3 MMC2 - M2 Key E インターフェイス

AM62x 低消費電力 SK 評価基板は、M.2 Key E インターフェイスを搭載しており、WiFi BT モジュールを、バッファ経由で MMC2、UART2 インスタンス、McASP1 インターフェイスに接続できます。M.2 モジュールは、MMC2 インターフェイスの 4 ビット IO に接続されています。このモジュールには、3.3V 電源が 1 つ必要です。M.2 モジュールへの電源は、オンボードの電源レールから供給されます。

SoC の MMC2 インターフェイスは、1.8V IO 電源に接続された VDDSHV6 電源ドメインから電力が供給されます。

Copyright © 2026 Texas Instruments Incorporated

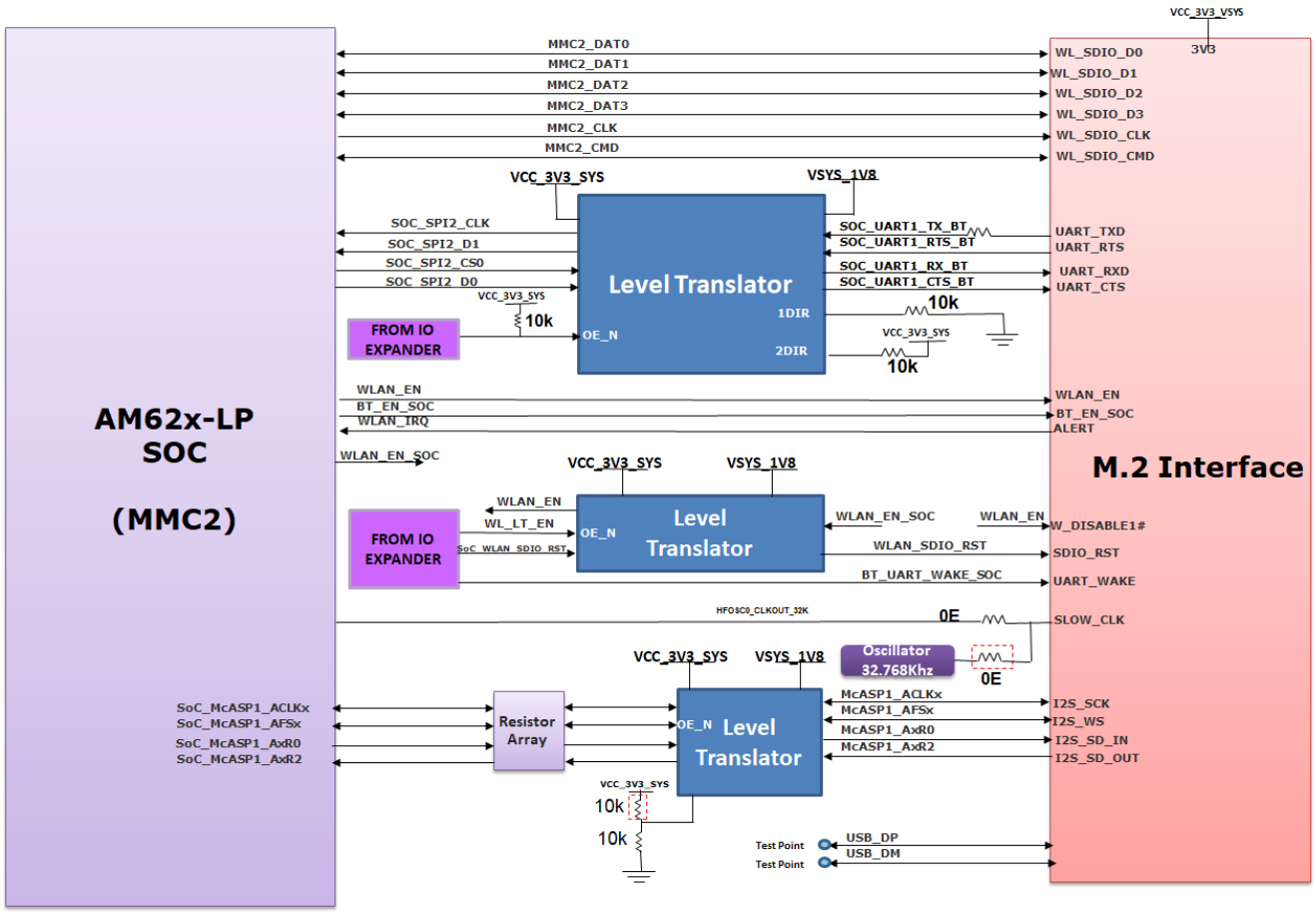


図 2-22. M.2 インターフェイスの ブロック図

2.15.4 EEPROM

AM62x 低消費電力 SK 評価基板は、オンボード EEPROM に保存されているバージョンとシリアル番号で識別されます。EEPROM には、AM62x 17x17 SoC I2C0 ポートからアクセスできます。

基板 ID EEPROM の I2C アドレスは 0x51 に設定されています。AM62x 低消費電力 SK 評価基板は、512kb EEPROM である M24512-DFMC6TG を搭載しています。メモリの 最初の 259 バイトは、各基板の識別情報であらかじめプログラムされています。残りの 65277 バイトは、データまたはコードの保存用にユーザーが使用できます。

Copyright © 2026 Texas Instruments Incorporated

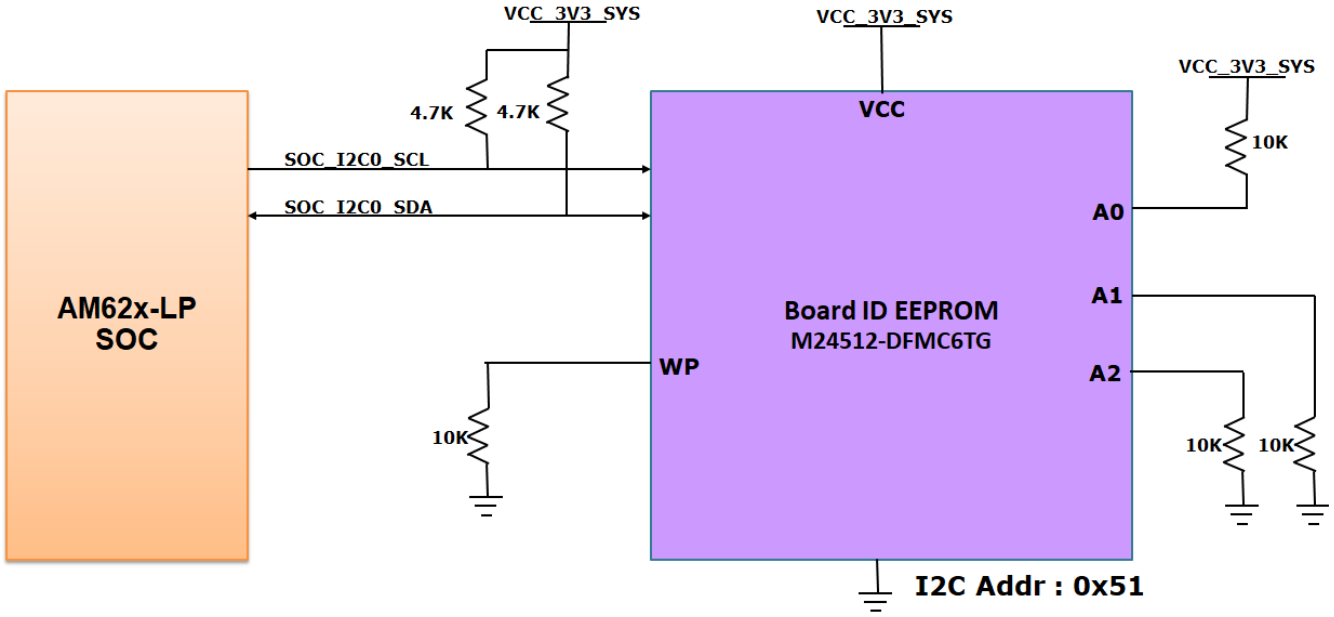


図 2-23. 基板 ID EEPROM インターフェイスのブロック図

2.16 イーサネット インターフェイス

AM62x 低消費電力 SK 評価基板には、外部通信向けに、1 ギガビット速度のイーサネット ポートが 2 つあります。AM62x 17x17 SOC の RGMII1 ギガビット イーサネット CPSW ポートは、オンボード PHY トランシーバの DP83867 に接続され、RGMII2 ギガビット イーサネット CPSW ポートの信号はボード間コネクタに終端されているため、オプションのドーター カードとのインターフェイスを柔軟に実現できます。CPSW_RGMII1 ポートおよび CPSW_RGMII2 ポートは、外部 PHY トランシーバと通信するために、共通の MDIO バスを使用しています。

Copyright © 2026 Texas Instruments Incorporated

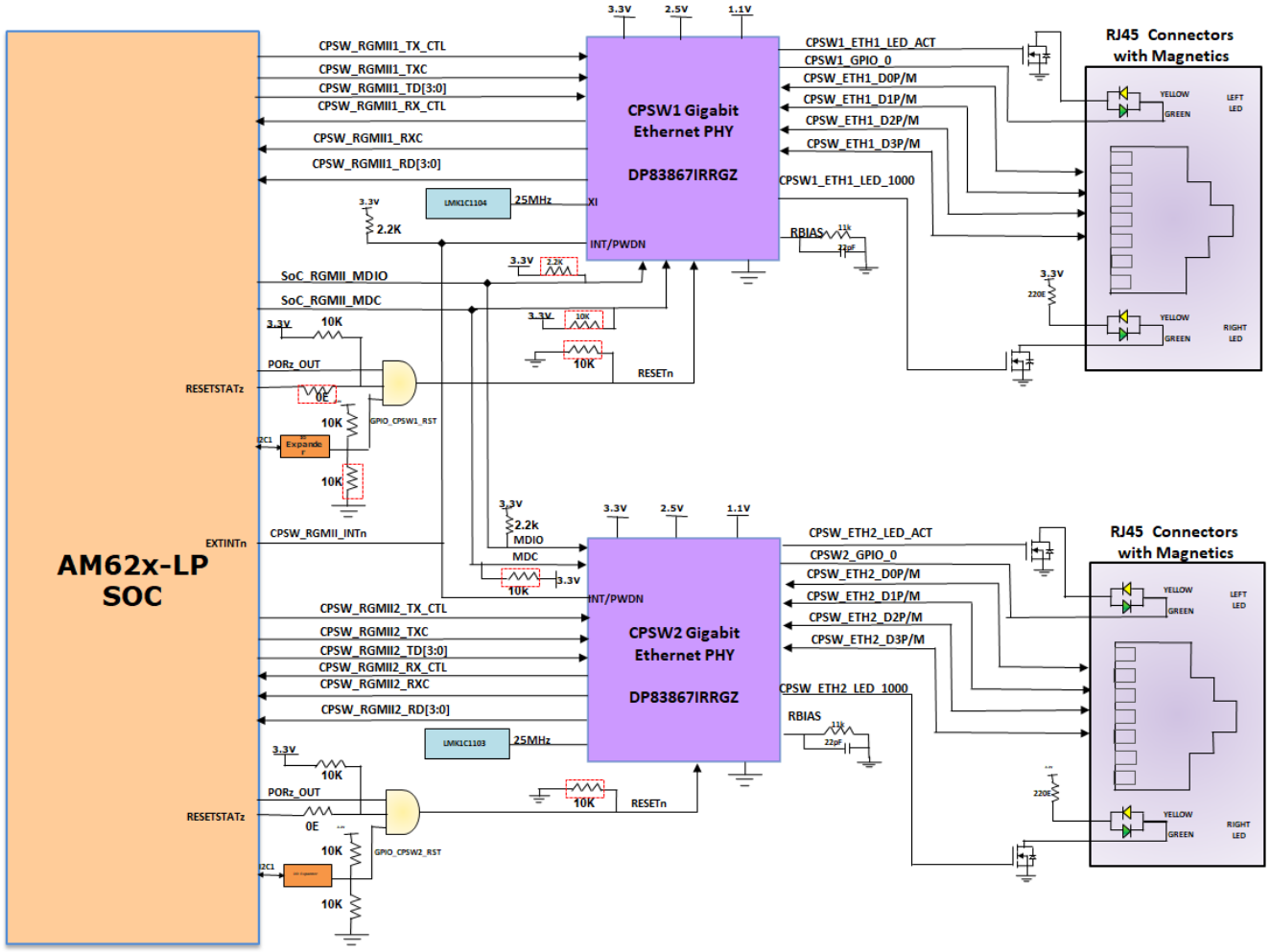


図 2-24. イーサネット インターフェイスのブロック図

2.16.1 CPSW イーサネット PHY1 のデフォルト構成

DP83867 のデフォルト構成は、PHY の特定のピンにある多くの抵抗プルアップおよびプルダウン値に基づいて決定されています。取り付け済みの値に応じて、搭載しているプルアップ / プルダウン オプションを使用して、各構成ピンを 4 つのモードのいずれかに設定することができます。AM62x 低消費電力 SK 評価基板は、RGMII インターフェイスをサポートする 48 ピン QFN パッケージを使用しています。

DP83867 PHY は、抵抗ストラッピングに基づいて 4 つのレベル構成を使用して、4 つの異なる電圧範囲を生成します。これらの抵抗は、通常 PHY によって駆動されてプロセッサへの入力となる、RX データおよび制御ピンに接続されます。各モードの電圧範囲を以下に示します。

- モード 1 – 0V ～ 0.3V
- モード 2 - 0.462V ～ 0.6303V
- モード 3 — 0.7425V ～ 0.9372V
- モード 4 — 2.2902V ～ 2.9304V

LED_0 を除くすべてのストラッピング ピンには、プルアップおよびプルダウンの両方のフットプリントが用意されています。LED_0 はミラー イネーブル用で、デフォルトではモード 1 に設定されています。モード 4 は適用されず、モード 2 およびモード 3 のオプションは使用しません。AM62X 17x17 SoC の CPSW_RGMII1 ポートは、以下のように構成する DP83867 に接続されています。

- PHY アドレス:00000
- Auto_neg:無効
- ANG_sel:10/100/1000

Copyright © 2026 Texas Instruments Incorporated

- RGMIIClk スキュー Tx：0ns
- RGMIIClk スキュー Rx：2ns

表 2-15. CPSW イーサネット PHY–1 ストラップ値

ストラップ設定	ピン名	ストラップ機能	モード	ストラップ機能の値	説明
PHY アドレス	RX_D2	PHY_AD3	1	0	PHY アドレス：0000
		PHY_AD2	1	0	
	RX_D0	PHY_AD1	1	0	
		PHY_AD0	1	0	
自動ネゴシエーション	RX_DV/ RX_CTRL	Auto- neg	3	0	自動ネゴシエーションが無効です
動作モード	LED2	RGMIIClock スキュー TX[1]	5	0	RGMIITX のクロック スキューは 0ns に設定されています
		RGMIIClock スキュー TX[0]	5	0	
	LED_1	RGMIIClock スキュー TX[2]	5	1	
		ANEG_SEL	1	0	10/100/1000 のアドバタイズ機能
	LED_0	ミラーの有効化	1	0	ミラーの有効化が無効です
	GPIO_1	RGMIIClock スキュー RX[2]	1	0	RGMIIRX のクロック スキューは 2ns に設定されています
		RGMIIClock スキュー RX[1]	1	0	
	GPIO_0	RGMIIClock スキュー RX[0]	1	0	

2.16.2 CPSW イーサネット PHY2 のデフォルト構成

AM62x 17x17 SoC の CPSW_RGMII2 ポートは、以下のように構成する DP83867 に接続されています。

表 2-16. CPSW イーサネット PHY–2 ストラップ値

ストラップ設定	ピン名	ストラップ機能	モード	ストラップ機能の値	説明
PHY アドレス	RX_D2	PHY_AD3	1	0	PHY アドレス：0001
		PHY_AD2	1	0	
	RX_D0	PHY_AD1	2	0	
		PHY_AD0	2	1	
自動ネゴシエーション	RX_DV/ RX_CTRL	Auto- neg	3	0	自動ネゴシエーションが無効です

Copyright © 2026 Texas Instruments Incorporated

表 2-16. CPSW イーサネット PHY–2 ストラップ値 (続き)

ストラップ設定	ピン名	ストラップ機能	モード	ストラップ機能の値	説明
動作モード	LED2	RGMII クロック スキュー TX[1]	5	0	RGMIITX のクロック スキューは 0ns に設定されています
		RGMII クロック スキュー TX[0]	5	0	
	LED_1	RGMII クロック スキュー TX[2]	5	1	
		ANEG_SEL	1	0	10/100/1000 のアドバタイズ機能
	LED_0	ミラーの有効化	1	0	ミラーの有効化が無効です
	GPIO_1	RGMII クロック スキュー RX[2]	1	0	RGMIIRX のクロック スキューは 2ns に設定されています
		RGMII クロック スキュー RX[1]	1	0	
	GPIO_0	RGMII クロック スキュー RX[0]	1	0	

2 つの CPSW RGMII PHY から生成された割り込みは互いに接続され、AM62x SoC の EXTINTn ピンに接続されています。

LED_0is は RJ45 右 LED (緑色) に接続され、1000MHz リンク (ステータス) を示します。

LED_1is は RJ45 左 LED (緑色) に接続され、送受信アクティビティを示します。

2.17 GPIO ポート エクスパンダ

AM62x 低消費電力 SK 評価基板は、ドーターカードのプラグイン検出や、エクスパンダに接続されている各種ペリフェラル デバイスに対するリセット信号やイネーブル信号の生成に、24 ビットの I2C ベース I/O エクスパンダを使用しています。AM62X 17x17 SoC の SoC_I2C1 バスは、I/O エクスパンダとインターフェイスするために使用されます。I/O エクスパンダの I2C デバイス アドレスは 0x21 および 0x23 です。表 2-17 に、エクスパンダが制御する信号を示します。

表 2-17. IO エクスパンダ 1 の信号の詳細

IO エクスパンダ - 01			
ピン番号	信号	方向	デバイス
P11	GPIO_EMMC_RSTN	出力	eMMC リセット制御 GPIO
P01	GPIO_CPSW1_RST	出力	CPSW イーサネット PHY-1 リセット制御 GPIO
P00	GPIO_CPSW2_RST	出力	CPSW イーサネット PHY-2 リセット制御 GPIO
P03	MMC1_SD_EN	出力	SD カード ロード スイッチの有効化
P04	VPP_LDO_EN	出力	SOC eFuse 電圧 (VPP = 1.8V) レギュレータの有効化
P05	EXP_PS_3V3_EN	出力	EXP CONN 3.3V パワー スイッチのイネーブル
P06	EXP_PS_5V0_EN	出力	EXP CONN 5V パワー スイッチのイネーブル
P10	GPIO_AUD_RSTN	出力	オーディオ コーデック リセット制御 GPIO
P07	EXP_HAT_DETECT	入力	EXP CONN HAT ボード検出
P02	PRU_DETECT	入力	PRU ボード検出
P12	UART1_FET_BUF_EN	出力	SOC UART1 マルチプレクサの選択
P13	BT_UART_WAKE_SOC	入力	BT UART WKUP 信号

Copyright © 2026 Texas Instruments Incorporated

表 2-17. IO エクスパンダ 1 の信号の詳細 (続き)

IO エクスパンダ - 01			
ピン番号	信号	方向	デバイス
P14	GPIO_HDMI_RSTN	出力	HDMI トランスミッタ リセット制御 GPIO
P15	CSI_GPIO0	該当なし	Raspberry Pi カメラ CSI0 GPIO1
P16	CSI_GPIO1	該当なし	Raspberry Pi カメラ CSI0 GPIO2
P17	GPIO_OLDI_INT	入力	OLDI 割り込み
P20	HDMI_INTN	入力	HDMI 割り込み
P21	TEST_GPIO2	入力	テスト オートメーション コネクタからの GPIO2 のテスト
P22	MCASP1_FET_EN	出力	MCASP1 イネーブルおよび方向制御
P23	MCASP1_BUF_BT_EN	出力	
P24	MCASP1_FET_SEL	出力	
P25	UART1_FET_SEL	出力	
P27	IO_EXP_TEST_LED	出力	ユーザー テスト LED 2

表 2-18. IO エクスパンダ 2 の信号の詳細

IO エクスパンダ - 02			
ピン番号	信号	方向	デバイス
P20	SPI0_FET_SEL	出力	SoC SPI0 マルチプレクサの選択
P21	SPI0_FET_OE	出力	SoC SPI0 マルチプレクサのイネーブル
P22	GPIO_OLDI_RSTn	出力	OLDI のリセット
P23	PRU_3V3_EN	出力	PRU パワー スイッチのイネーブル
P26	CSI_VLDO_SEL	出力	CSI レギュレータ イネーブル (VCC_CSI_IO)
P27	SOC_WLAN_SDIO_RST	出力	WLAN リセット制御 GPIO
P10	WL_LT_EN	出力	WiLink イネーブル
P11	CSI_RSTZ	出力	CSI リセット制御 GPIO

2.18 GPIO へのマッピング

以下の表に、AM62x 低消費電力 SK 評価基板のペリフェラルを搭載した AM62x 17x17 SoC の GPIO への詳細なマッピングを示します

Copyright © 2026 Texas Instruments Incorporated

SL NO.	GPIO DESCRIPTION	GPIO NETNAME	FUNCTIONALITY	GPIO USED	PACKAGE SIGNAL NAME	DIRECTION WITH RESPECT TO CONTROL	DEFAULT STATE	ACTIVE STATE	VOLTAGE DOMAIN	VOLTAGE CONNECTED
									ON SOC SIDE	ON SKEVM
1	Enable for WLAN Interface	WLAN_EN	ENABLE	GPIO0_71	MMC2_SDCD	OUTPUT	LOW	HIGH	VDDSHV6	SoC_DVDD1V8
2	WLAN Interrupt	WLAN_IRQ	INTERRUPT	GPIO0_72	MMC2_SDWP	INPUT	HIGH	LOW	VDDSHV6	SoC_DVDD1V8
3	Enable for BT Interface	BT_EN_SOC	ENABLE	MCU_GPIO0_0	MCU_SPI0_CS0	OUTPUT	LOW	HIGH	VDDSHV_MCU	SoC_DVDD3V3
4	CPSW Ethernet PHY Interrupt PRU Connector Interrupt	CPSW_RGMII_INTn/PRU_INTn	INTERRUPT	GPIO1_31	EXTINTn	INPUT	HIGH	LOW	VDDSHV0	SoC_DVDD3V3
5	OSPI Reset Control GPIO	GPIO_OSPI_RSTn	RESET	GPIO0_12	OSPI0_CSn1	OUTPUT	HIGH	LOW	VDDSHV1	SoC_DVDD1V8
6	MCU Header GPIO0_16	MCU_GPIO0_16	GPIO	MCU_GPIO0_16	MCU_MCAN1_RX	NA	NA	NA	VDDSHV_CANUART	SoC_DVDD3V3
7	MCU Header GPIO0_15	MCU_GPIO0_15	GPIO	MCU_GPIO0_15	MCU_MCAN1_TX	NA	NA	NA	VDDSHV_CANUART	SoC_DVDD3V3
8	PMIC Interrupt	PMIC_INT_B	INTERRUPT	GPIO1_31	EXTINTn	INPUT	HIGH	LOW	VDDSHV3	SoC_DVDD3V3
9	IO Expander Interrupt									
10	TEST GPIO1 from Test Automation Connector/ User Interrupt Push Button		INTERRUPT	MCU_GPIO0_15	MCU_MCAN1_TX	INPUT	HIGH	LOW	VDDSHV_CANUART	SoC_DVDD3V3
11	User Test LED 1	SOC_GPIO1_49	GPIO	GPIO1_49	MMC1_SDWP	OUTPUT	LOW	HIGH	VDDSHV0	SoC_DVDD3V3
12	CAN_FD_WKUP_SW signal from switch	ETH_CAN_INH_SOC	INTERRUPT	MCU_GPIO0_19	MCU_MCAN1_TX	INPUT	HIGH	LOW	VDDSHV_MCU	SoC_DVDD3V3
13	CAN_FD_WKUP_HDR_INH signal from header									
14	User EXP Conn GPIO	EXP_GPIO1_22	GPIO	GPIO1_22	UART0_CTSn	NA	NA	NA	VDDSHV0	SoC_DVDD3V3
15	IO Expander Interrupt	GPIO1_23_INTn	INTERRUPT	GPIO1_23	UART0_RTSn	INPUT	HIGH	LOW	VDDSHV0	SoC_DVDD3V3
16	User Interrupt									
17	User EXP Conn GPIO	EXP_GPIO0_14_LT	GPIO	GPIO0_14	OSPI0_CSn3	NA	NA	NA	VDDSHV1	SoC_DVDD1V8
18	PMIC Standby Enable	PMIC_STBY	ENABLE	MCU_GPIO0_22	PMIC_LPM_EN0	OUTPUT	HIGH	HIGH	VDDSHV_CANUART	SoC_DVDD3V3
19	User EXP Conn GPIO	EXP_EHRPWM1_B	GPIO	GPIO1_10	MCASP0_AXR0	NA	NA	NA	VDDSHV0	SoC_DVDD3V3
				IO EXPANDER - 01						
1	eMMC Reset control GPIO	GPIO_EMMC_RSTN	RESET	IO EXPANDER-P11		OUTPUT	HIGH	LOW		VCC_3V3_SYS
2	CPSW Ethernet PHY-1 Reset Control GPIO	GPIO_CPSW1_RST	RESET	IO EXPANDER-P01		OUTPUT	HIGH	LOW		VCC_3V3_SYS
3	CPSW Ethernet PHY-2 Reset Control GPIO	GPIO_CPSW2_RST	RESET	IO EXPANDER-P00		OUTPUT	HIGH	LOW		VCC_3V3_SYS
4	SD Card Load Switch Enable	MMC1_SD_EN	ENABLE	IO EXPANDER-P03		OUTPUT	HIGH	LOW		VCC_3V3_SYS
5	SOC eFuse Voltage(VPP=1.8V) Regulator Enable	VPP_LDO_EN	ENABLE	IO EXPANDER-P04		OUTPUT	LOW	HIGH		VCC_3V3_SYS
6	EXP CONN 3.3V Power Switch Enable	EXP_PS_3V3_EN	ENABLE	IO EXPANDER-P05		OUTPUT	LOW	HIGH		VCC_3V3_SYS
7	EXP CONN 5V Power Switch Enable	EXP_PS_5V0_EN	ENABLE	IO EXPANDER-P06		OUTPUT	LOW	HIGH		VCC_3V3_SYS
8	Audio Codec Reset Control GPIO	GPIO_AUD_RSTN	RESET	IO EXPANDER-P10		OUTPUT	HIGH	LOW		VCC_3V3_SYS
9	EXP CONN HAT Board Detection	EXP_HAT_DETECT	DETECTION	IO EXPANDER-P07		INPUT	HIGH	LOW		VCC_3V3_SYS
10	PRU Board Detection	PRU_DETECT	DETECTION	IO EXPANDER-P02		INPUT	HIGH	LOW		VCC_3V3_SYS
11	SOC UART1 Mux Select	UART1_FET_BUF_EN	SELECT	IO EXPANDER-P12		OUTPUT	HIGH	LOW		VCC_3V3_SYS
12	BT UART WKUP Signal	BT_UART_WAKE_SOC	INTERRUPT	IO EXPANDER-P13		INPUT	HIGH	LOW		VCC_3V3_SYS
13	HDMI Transmitter Reset Control GPIO	GPIO_HDMI_RSTN	RESET	IO EXPANDER-P14		OUTPUT	HIGH	LOW		VCC_3V3_SYS
14	Raspberry Pi Camera CSI0 GPIO1	CSI_GPIO0	INPUT/OUTPUT	IO EXPANDER-P15		NA	NA	NA		VCC_3V3_SYS
15	Raspberry Pi Camera CSI0 GPIO2	CSI_GPIO1	INPUT/OUTPUT	IO EXPANDER-P16		NA	NA	NA		VCC_3V3_SYS
16	OLDI Interrupt	GPIO_OLDI_INT	INTERRUPT	IO EXPANDER-P17		INPUT	HIGH	LOW		VCC_3V3_SYS
17	HDMI Interrupt	HDMI_INTN	INTERRUPT	IO EXPANDER-P20		INPUT	HIGH	LOW		VCC_3V3_SYS
18	TEST GPIO2 from Test Automation Connector	TEST_GPIO2	GPIO	IO EXPANDER-P21		INPUT	HIGH	LOW		VCC_3V3_SYS
19	MCASP1 Enable and Direction Control	MCASP1_FET_EN	ENABLE	IO EXPANDER-P22		OUTPUT	LOW	LOW		VCC_3V3_SYS
20		MCASP1_BUF_BT_EN	ENABLE	IO EXPANDER-P23		OUTPUT	LOW	HIGH		VCC_3V3_SYS
21		MCASP1_FET_SEL	DIRECTION CONTROL	IO EXPANDER-P24		OUTPUT	HIGH	LOW		VCC_3V3_SYS
22		UART1_FET_SEL	DIRECTION CONTROL	IO EXPANDER-P25		OUTPUT	HIGH	LOW		VCC_3V3_SYS
23	User Test LED 2	IO_EXP_TEST_LED	GPIO	IO EXPANDER-P27		OUTPUT	LOW	HIGH		VCC_3V3_SYS
				IO EXPANDER - 02						
1	SoC SPI0 MUX Selection	SPI0_FET_SEL	ENABLE	IO EXPANDER-P20		OUTPUT	LOW	HIGH		VCC_3V3_SYS
2	SoC SPI0 MUX Enable	SPI0_FET_OE	CONTROL	IO EXPANDER-P21		OUTPUT	LOW	LOW		VCC_3V3_SYS
3	OLDI Reset	GPIO_OLDI_RSTn	RESET	IO EXPANDER-P22		OUTPUT	HIGH	LOW		VCC_3V3_SYS
4	PRU Power Switch Enable	PRU_3V3_EN	ENABLE	IO EXPANDER-P23		OUTPUT	LOW	HIGH		VCC_3V3_SYS
5	CSI Regulator Enable (VCC_CSI_IO)	CSI_VLDO_SEL	ENABLE	IO EXPANDER-P26		OUTPUT	LOW	HIGH		VCC_3V3_SYS
6	WLAN Reset control GPIO	SOC_WLAN_SDIO_RST	RESET	IO EXPANDER-P27		OUTPUT	HIGH	LOW		VCC_3V3_SYS
7	Wilink Enable	WL_LT_EN	ENABLE	IO EXPANDER-P10		OUTPUT	LOW	HIGH		VCC_3V3_SYS
8	CSI Reset control GPIO	CSI_RSTZ	RESET	IO EXPANDER-P11		OUTPUT	LOW	HIGH		VCC_3V3_SYS

2.19 AM62x 低消費電力 SK 評価基板のユーザー設定と構成

2.19.1 評価基板 DIP スイッチ

AM62x 低消費電力 SK 評価基板には、SoC ブート モードと関連パラメータを設定するための 8 ポジション DIP スイッチが 2 つ搭載されています。

2.19.2 ブート モード

AM62x 低消費電力 SK 評価基板のブート モードは、SW3、SW4 のスイッチからなる 2 つのバンクによって定義されます。あるいは、テスト オートメーション コネクタに接続された I2C バッファによって定義されます。これにより、AM62x SoC のブート モードは、ユーザー (DIP スイッチ制御) またはテスト オートメーション コネクタによって制御できます。

スイッチ (SW3 と SW4) のすべてのビットには、弱いプルダウン抵抗と強いプルアップ抵抗があります (以下に図示)。オフ設定のときは Low ロジック レベル (「0」) が、オン設定のときは High ロジック レベル (「1」) が提供されます。

Copyright © 2026 Texas Instruments Incorporated

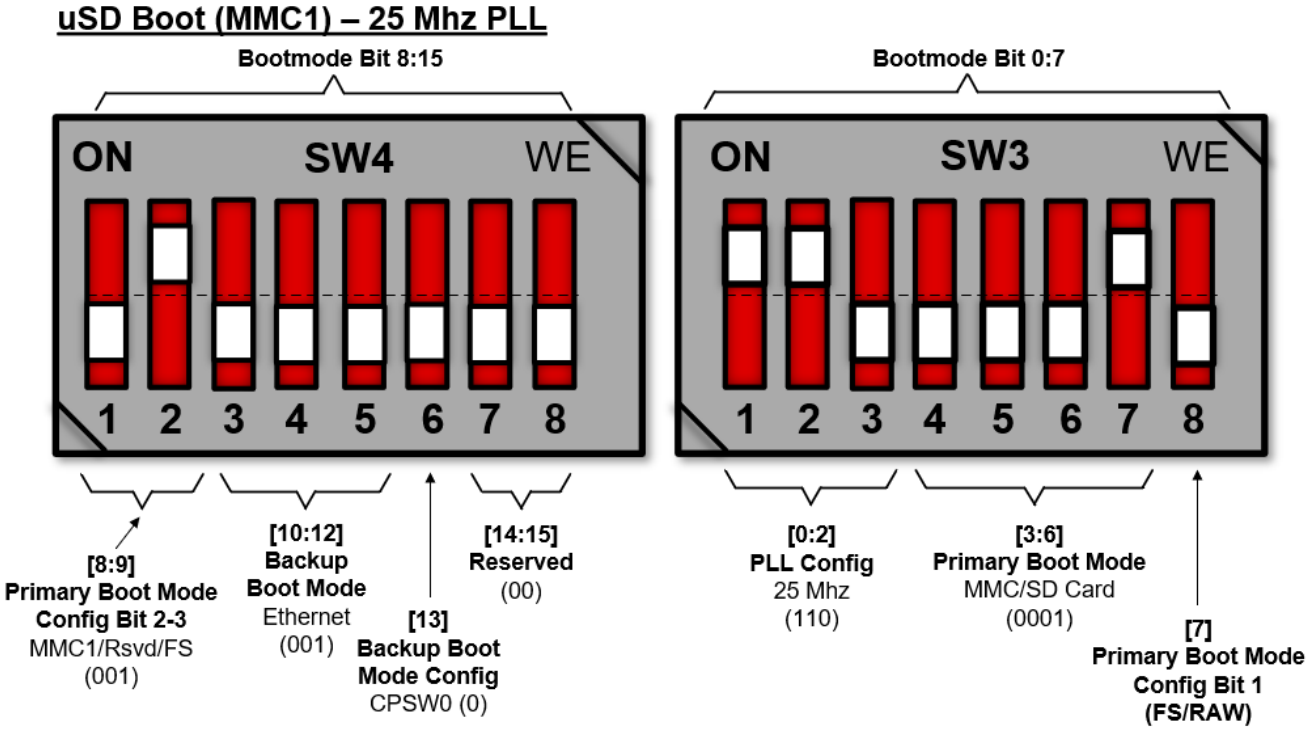


図 2-25. ブート モード切り換えの例

SoC のブート モード ピンは、通常動作時には代替機能が関連付けられています。このため、代替えピン機能に対応するために、バッファ IC を使用して分離が可能です。バッファの出力は、AM62x 低消費電力 SK 評価基板のブートモード ピンに接続されています。出力は、リセット サイクル中にブート モードが必要なときに有効になります。

バッファへの入力は、DIP スイッチ回路と、テスト オートメーション回路によって設定された I2C バッファ セットの出力に接続されています。テスト オートメーション回路がブートモードを制御する場合は、すべてのスイッチを手動でオフ位置に設定できます。ブートモード バッファには、SoC の電源がサイクルされてもブート モードが維持されるように、常時オンの電源から電源を供給します。

スイッチ SW1 と SW2 の各ビット [15:0] は、SoC ブート モードの設定に使用されます。

このブート モード機能へのスイッチ マッピングを以下の表に示します。

表 2-19. ブート モードのピン マッピング

Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
予約済み		バックアップ ブート モードの構成	バックアップ ブート モード			プライマリ ブート モードの構成			プライマリ ブート モード				PLL の構成		

BOOT-MODE[0:2] – PLL の構成のシステム クロック周波数を示します。デフォルトでは、このビットは 25MHz に設定されます。

表 2-20. PLL 基準クロックの選択

SW3.3	SW3.2	SW3.1	PLL REF CLK (MHz)
OFF	OFF	OFF	RSVD
OFF	OFF	ON	RSVD
OFF	ON	OFF	24
OFF	ON	ON	25
ON	OFF	OFF	26

Copyright © 2026 Texas Instruments Incorporated

表 2-20. PLL 基準クロックの選択 (続き)

SW3.3	SW3.2	SW3.1	PLL REF CLK (MHz)
ON	OFF	ON	RSVD
ON	ON	OFF	RSVD
ON	ON	ON	RSVD

BOOT-MODE [3:6] – POR 後に要求されるブート モードを選択するためのプライマリ ブート モードの構成が提供されます。つまり、プライマリ ブート デバイスからブートするペリフェラル/メモリの選択に関する詳細です。

表 2-21. ブート デバイス選択 BOOT-MODE [6:3]

SW3.7	SW3.6	SW3.5	SW3.4	プライマリ ブート デバイスの選択
OFF	OFF	OFF	OFF	シリアル NAND
OFF	OFF	OFF	ON	OSPI
OFF	OFF	ON	OFF	QSPI
OFF	OFF	ON	ON	SPI
OFF	ON	OFF	OFF	イーサネット RGMII1
OFF	ON	OFF	ON	イーサネット RMII1
OFF	ON	ON	OFF	I2C
OFF	ON	ON	ON	UART
ON	OFF	OFF	OFF	MMC / SD カード
ON	OFF	OFF	ON	eMMC
ON	OFF	ON	OFF	USB0
ON	OFF	ON	ON	GPMC NAND
ON	ON	OFF	OFF	GPMC NOR
ON	ON	OFF	ON	予約済み
ON	ON	ON	OFF	xSPI
ON	ON	ON	ON	ブートなし / デバイス ブート

BOOT-MODE [9:7] – これらのピンはオプション設定を提供し、選択されたプライマリ ブート デバイスと組み合わせて使用されます。

表 2-22. プライマリ ブート モードの構成 [9:7]

SW4.2 (B9)	SW4.1 (B8)		SW3.8 (B7)		プライマリ ブート モード
RVSD	Mode2 を読み取り	0:RSVD (読み取りモードは読み取りモード 1 から取得)	Mode1 を読み取り	0:OSPI/ 1-1-8 モード (読み取りモード 2 が 0 の場合のみ有効)	シリアル NAND
		1:SPI/1-1-1 モード (読み取りモードは読み取りモード 2 から取得され、読み取りモード 1 は無視されます)		1:OSPI/ 1-1-4 モード (読み取りモード 2 が 0 の場合のみ有効)	
RVSD	入力クロック	0:入力クロック ソース外部	チップ選択	0:ブート フラッシュは CS 0 に搭載	OSPI
		1:入力クロック ソース内部 (パッド ループバック)		1:ブート フラッシュは CS 1 に搭載	
RVSD	入力クロック	0:入力クロック ソース外部	チップ選択	0:ブート フラッシュは CS 0 に搭載	QSPI
		1:入力クロック ソース内部 (パッド ループバック)		1:ブート フラッシュは CS 1 に搭載	

Copyright © 2026 Texas Instruments Incorporated

表 2-22. プライマリ ブート モードの構成 [9:7] (続き)

SW4.2 (B9)		SW4.1 (B8)		SW3.8 (B7)		プライマリ ブート モード
RVSD		モード	0:SPI モード 0	チップ選択	0:ブート フラッシュは CS 0 に搭載	SPI
			1:SPI モード 3		1:ブート フラッシュは CS 1 に搭載	
0		0		リンク ステータス	0:速度/二重モードの設定のための Phy スキャン	RGMII1
					1:速度 / 二重モードの設定のための RGMII ステータス レジスタ	
CLKOUT	0:50MHz クロックは CLKOUT0 で生成されません	CLK SRC	0:外部クロック ソース	0		RMII1
	1:CLKOUT0 で生成される 50MHz クロック		1:内部クロック ソース			
バス リセット	0:1ms 後にハング バス リセットを試行	RSVD		アドレス	0:0x50	I2C0
	1:ハング バス リセットの試行なし				1:0x51	
RSVD		RSVD		RSVD		UART0
1		RSVD		Fs/Raw	0:ファイルシステム モード	MMC/SD カード
					1:Raw モード	
RSVD		RSVD		RSVD		eMMC
コア電圧	0:0.85V コア電圧	モード	0:DFU(デバイス)	レーン スワップ	0:DP/DM のスワップなし	USB
	1:0.75V コア電圧		1:MSC (ホスト)		1:DP/DM のスワップあり	
RSVD		RSVD		RSVD		GPMC NAND
RSVD		RSVD		RSVD		GPMC NOR
RSVD		RSVD		RSVD		RSVD
SFDP	0:SFDP はディセーブル	読み取りコマンド	0:0x0B 読み取りコマンド	モード	0:1S-1S-1S モード (50MHz)	xSPI
	1:SFDP はイネーブル		1:0xEE 読み取りコマンド		25MHz での 1:8D-8D-8D モード	
RSVD		ARM/ Thumb	0:ARM モード	なし / デバイス	0:開発ブート	ブートなし/開発ブート
			1:サム モード		1:ブートなし	

• BOOT-MODE [10:12] – プライマリ ブート モードが使用できない場合に使用されるバックアップ ブート モードを選択します。

表 2-23. バックアップ ブート モードの選択 BOOT-MODE [12:10]

SW4.5	SW4.4	SW4.3	バックアップ ブート デバイスの選択
OFF	OFF	OFF	なし (バックアップ モードなし)
OFF	OFF	ON	USB
OFF	ON	OFF	予約済み
OFF	ON	ON	UART
ON	OFF	OFF	イーサネット
ON	OFF	ON	MMC/SD
ON	ON	OFF	SPI
ON	ON	ON	I2C

Copyright © 2026 Texas Instruments Incorporated

BOOT-MODE[13] – これらのピンはオプション設定を提供し、バックアップ ブート デバイスと組み合わせて使用されます。スイッチ SW4.6 をオンにすると 1 が設定され、オフにすると 0 が設定されます。各デバイスの TRM を参照してください。

BOOT-MODE [14:15] – 予約済み。バックアップ ブート メディアの構成オプションを提供します。

表 2-24. バックアップ ブート モードの構成 BOOTMODE[13]

SW4.6 (B13)		バックアップ ブート モード	バックアップ ブート モードのデフォルト値
RSVD		なし	
モード	0:DFU (デバイス)	USB	コア電圧ビット = 0 レーン スワップ ビット = 0
	1:MSC (ホスト)		
RSVD		RSVD	
RSVD		UART	
インターフェイス	0:内部遅延付き RGMII	イーサネット	リンク ステータス ビット = 0 (RGMII の場合)
	1:外部クロック ソース使用の RGMII		ClkOut ビット = 0 および Clksrc ビット = 1 (RMII の場合)
1		MMC	モード ビット = 0
RSVD		SPI	Csel ビット = 0 モード = 0
RSVD		I2C	Addr = 0 バス レスト = 0

2.19.3 ユーザー テスト LED

AM62x 低消費電力 SK 評価基板には、ユーザー定義による機能用に 2 つの LED が搭載されています。

表 2-25 に、ユーザー テスト LED と、LED の制御に使用される関連 GPIO を示します。

表 2-25. ユーザー テスト LED

SL 番号	LED	使用した GPIO	SCH ネット名
1	LD3	GPIO1_49	SOC_GPIO1_49
2	LD7	U70.24(P27)	IO_EXP_TEST_LED

2.20 拡張ヘッダ

AM62x 低消費電力 SK 評価基板は、3 個の拡張ヘッダー、1 個の 40 ピン ユーザー拡張コネクタ、1 個の 20 ピン PRU ヘッダー、1 個の 28 ピン マイコン ヘッダーを搭載しています。

2.20.1 ユーザー拡張コネクタ

AM62x 低消費電力 SK 評価基板は、40 ピン ユーザー拡張コネクタを使用した RPi 拡張インターフェイスをサポートしています (メーカー型番:PEC20DAAN)。これらの基板を接続できるようにするには、4 つの取り付け穴をコネクタに合わせて取り付ける必要があります。

40 ピンのユーザー拡張コネクタに、以下のインターフェイスおよび IO が搭載されています。

- 2x SPI:2 CS 付き SPI0 および 3 CS 付き SPI2
- 2x I2C:SoC_I2C0、SoC_I2C2
- 1 × UART:UART5
- 2x PWM:EHRPWM0_A、EHRPWM1_B1xCLK:CLKOUT0
- 10x GPIO:MAIN ドメインからの GPIO
- 5V および 3.3V 電源 (電流制限:155mA と 500mA)

5V および 3.3V の各電源は、それぞれ 155mA および 500mA に電流制限されます。これは、2 個の個別ロード スイッチ TPS22902YFPR および TPS22946YZPR を使用して実現しています。ロード スイッチのイネーブル信号は、I2C ベースの GPIO ポート エクスパンダを介して駆動されます。

Copyright © 2026 Texas Instruments Incorporated

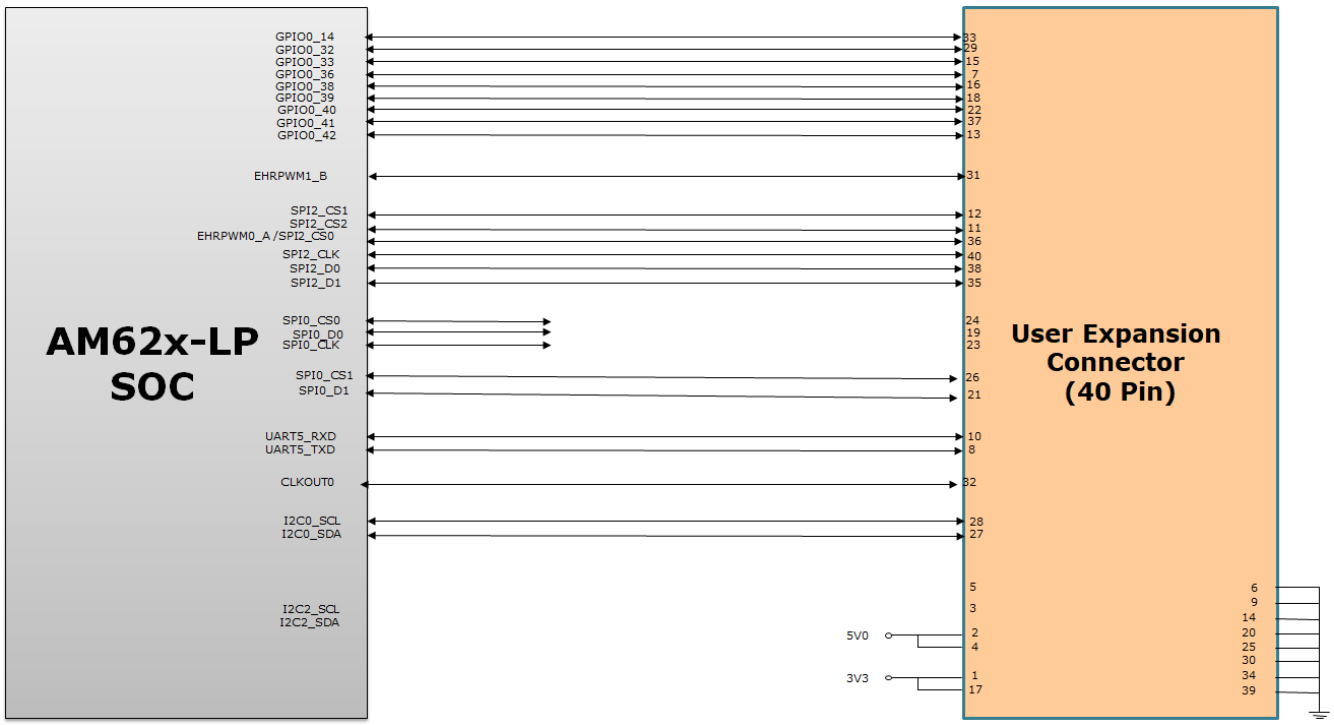


表 2-26. 40 ピン ユーザー拡張コネクタ (J3)

ピン番号	SoC ボール	ネット名	コメント
1	-	VCC3V3_EXP	
2	-	VCC5V0_EXP	
3	H19	EXP_I2C2_SDA	I2C SW
4	-	VCC5V0_EXP	
5	H18	EXP_I2C2_SCL	I2C SW
6	-	DGND	
7	C14	EXP_CLKOUT0	
8	A15	EXP_UART5_TXD	
9	-	DGND	
10	B13	EXP_UART5_RXD	
11	C17	EXP_SPI2_CS1	
12	D15	EXP_SPI2_CS0/EHRPWM0_A	マルチプレクサ
13	H17	EXP_GPIO0_42	
14	-	DGND	
15	-	EXP_GPIO0_22	
16	P17	EXP_GPIO0_38	
17	-	VCC3V3_EXP	
18	J20	EXP_GPIO0_39	
19	C12	EXP_SPI0_D0	
20	-	DGND	
21	A14	EXP_SPI0_D1	
22	E18	EXP_GPIO0_14	
23	D12	EXP_SPI0_CLK	
24	C11	EXP_SPI0_CS0	
25	-	DGND	
26	D13	EXP_SPI0_CS1	
27	D14	SoC_I2C0_SDA	

Copyright © 2026 Texas Instruments Incorporated

表 2-26. 40 ピン ユーザー拡張コネクタ (J3) (続き)

ピン番号	SoC ボール	ネット名	コメント
28	E12	SoC_I2C0_SCL	
29	K18	EXP_GPIO0_36	
30	K20	EXP_GPIO0_32	
31	K21	EXP_GPIO0_33	
32	J19	EXP_GPIO0_40/ PR0_ECAP0_IN_APWM_OUT	
33	D18	EXP_EHRPWM1_B	
34	-	DGND	
35	B17	EXP_SPI2_D1/ ECAP2_IN_APWM_OUT	マルチプレクサ
36	A18	EXP_SPI2_CS2	
37	J18	EXP_GPIO0_41	
38	B18	EXP_SPI2_D0	マルチプレクサ
39	-	EXP_HAT_DETECT	
40	D16	EXP_SPI2_CLK	マルチプレクサ

2.20.2 MCU コネクタ

AM62x 低消費電力 SK 評価基板は、14x2 の標準的な 0.1 間隔のマイコン コネクタを搭載しており、このコネクタには SoC のマイコンドメインに接続された信号が含まれます。13 個の信号には、MCU_I2C0、MCU_UART0 (フロー制御付き)、MCU_SPI0、および MCU_MCAN0 信号が含まれ、マイコン ヘッダーに接続されています。ヘッダーで提供される追加の制御信号には、CONN_MCU_RESETz、CONN_MCU_PORz、MCU_RESETSTATz、MCU_SAFETY_ERRORn、3.3V IO、および GND が含まれます。AM62x SoC からの MCU_UART0 信号は、MUX 経由でマイコン ヘッダーと FT4232 ブリッジの両方に接続されています (メーカー型番:SN74CB3Q3257PWR)。マイコン ヘッダーには、ボード ID メモリ インターフェイスは含まれていません。許容される電流制限は、3.3V レールでは 100mA です。

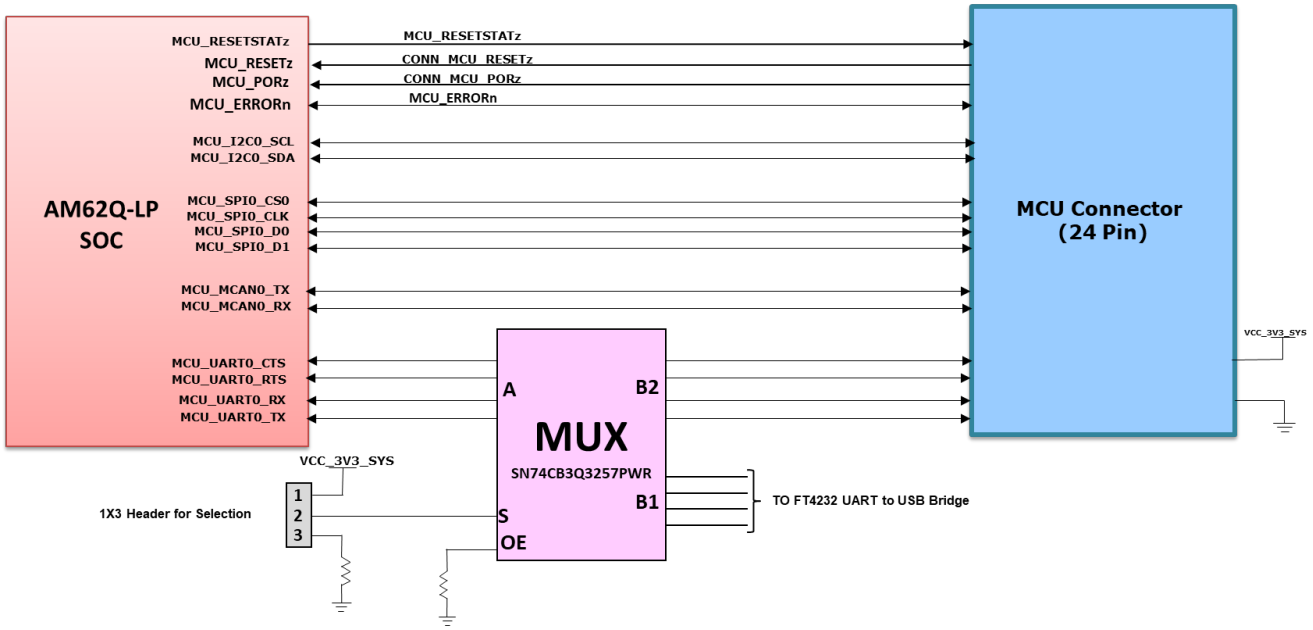


図 2-26. マイコン コネクタ インターフェイス

表 2-27. MCU コネクタ (J10) のピン配置

ピン番号	SoC ボール番号	ネット名
1	-	VCC_3V3_SYS

Copyright © 2026 Texas Instruments Incorporated

表 2-27. MCU コネクタ (J10) のピン配置 (続き)

ピン番号	SoC ボール番号	ネット名
2	-	DGND
3	-	DGND
4	D8	MCU_SPI0_D1
5	-	CAN_FD_WKUP_HDR_INH
6	E8	MCU_SPI0_D0
7	-	DGND
8	C8	MCU_SPI0_CS1
9	-	DGND
10	D5	MCU_GPIO0_15
11	D6	MCU_GPIO0_16
12	B8	MCU_UART0_CTS_CONN
13	A8	MCU_UART0_RXD_CONN
14	-	DGND
15	-	DGND
16	C5	MCU_MCAN0_TX
17	D7	MCU_UART0_RTS_CONN
18	B7	MCU_SPI0_CLK
19	B6	MCU_UART0_TXD_CONN
20	-	DGND
21	A10	MCU_I2C0_SDA
22	C4	MCU_MCAN0_RX
23	A12	MCU_RESETSTATz
24	B9	MCU_I2C0_SCL
25	-	CONN_MCU_RESETz
26	-	MCU_SAFETY_ERRORz_3V3
27	-	DGND
28	-	CONN_MCU_PORz

2.20.3 PRU コネクタ

AM62x 低消費電力 SK 評価基板は 20 ピン PRU ヘッダーを実装しており、コネクタ (メーカー型番 PREC010DAAN-RC) を使用して PRG0 インターフェイスに低速で接続できます。コネクタは、PR0_PRU0_GPO [0:7]、SoC_I2C0、および PRG0 ポート (PRG0_PRU0) からの +3.3V PRU_ICSSG 信号を備えており、10x2 規格 0.1 インチ間隔のレセプタクル PWR およびグランド基準に接続されています。PRU ヘッダーからの INTn 信号は、CPSW PHY 割り込みと一緒に配線され、SoC の EXTINTn ピンに接続されています。

3.3V 電源の電流は 500mA に制限されます。これは、ロード スイッチ TPS22902YFPR を使用して実現しています。ロード スイッチのイネーブルは、IO エクスパンダによって制御されています。PRU コネクタから配線されている信号を、表 2-28 に示します

注意

この評価基板には、「PRU コネクタ」というラベルの付いた物理的な 20 ピン ヘッダが搭載されていますが、このボードで使用される *AM6254ATGGHIAMC* SoC は PRU サブシステムをサポートしていません。そのため、PRU 固有の信号 (PRU_GPO など) は、この評価基板の PRU 出力として機能することはできません。このヘッダのピンは、汎用 I/O とその他の多重化モードをサポートするように配線されています

Copyright © 2026 Texas Instruments Incorporated

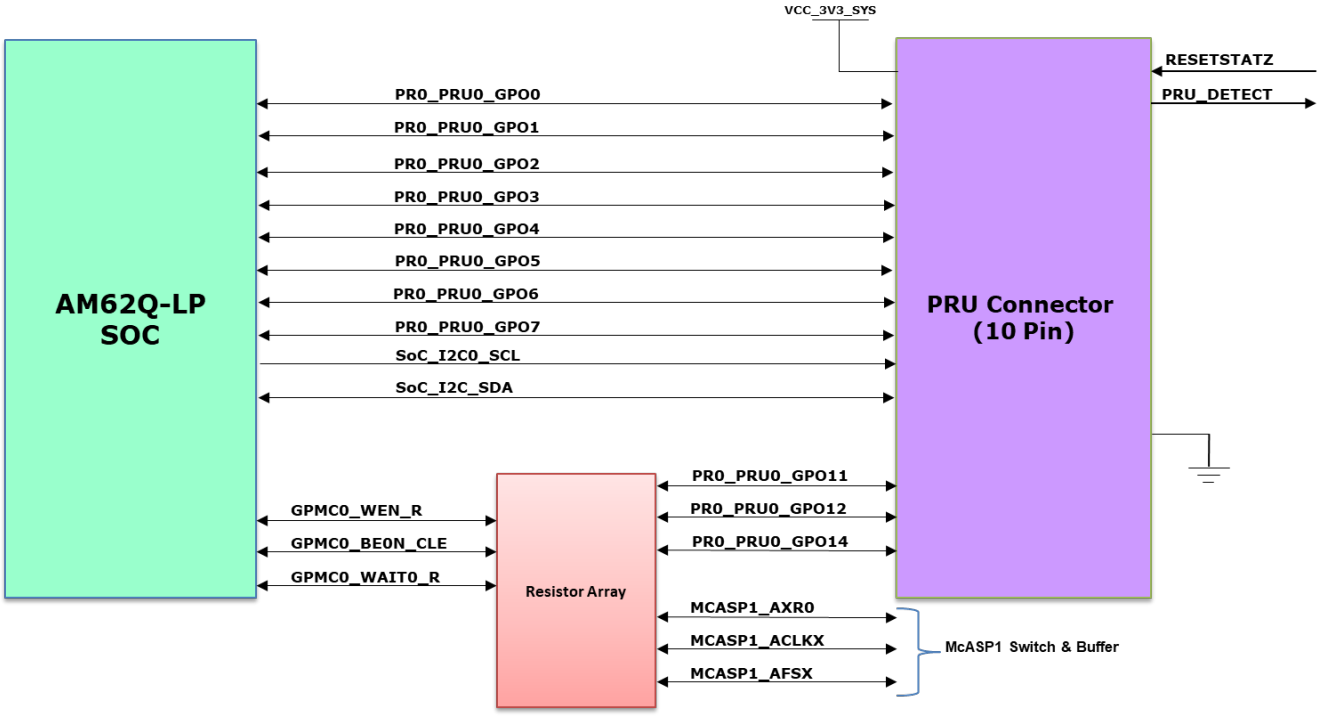


図 2-27. PRU コネクタ インターフェイス

表 2-28. PRU ヘッダー (J11) のピン配置

ピン番号	SoC ボール番号	ネット名
1	-	VCC3V3_PRU
2	-	DGND
3	-	PRU_DETECT
4	-	PRU_RESETz
5	B16	PRU_INTn
6	E12	SoC_I2C0_SCL
7	J17	PR0_PRU0_GPO11
8	D14	SoC_I2C0_SDA
9	P21	PR0_PRU0_GPO12
10	-	NC
11	K17	PR0_PRU0_GPO14
12	-	NC
13	K19	PR0_PRU0_GPO0
14	L19	PR0_PRU0_GPO1
15	L20	PR0_PRU0_GPO2
16	L21	PR0_PRU0_GPO3
17	M21	PR0_PRU0_GPO4
18	L17	PR0_PRU0_GPO5
19	L18	PR0_PRU0_GPO6
20	M20	PR0_PRU0_GPO7

2.21 プッシュ ボタン

AM62x 低消費電力 SK 評価基板は、プロセッサにリセット入力とユーザー割り込みを提供する 2 つの割り込みをサポートしています。割り込みは基板の上部に配置されたプッシュ ボタンであり、以下の表に示されています。

Copyright © 2026 Texas Instruments Incorporated

表 2-29. 評価基板のプッシュ ボタン

シリアル番号	プッシュ ボタン	信号	機能
1	SW5	SoC_WARM_RESETZ	メイン ドメイン ウォーム リセット入力
2	SW6	GPIO_MCU	MCU_GPIO0_15 に割り込みを生成

2.22 I2C アドレス マッピング

AM62x 低消費電力 SK 評価基板では、3 つの I2C インターフェイスが使用されています。

- SoC_I2C0 インターフェイス：SoC I2C [0] は、基板 ID EEPROM、ユーザー拡張コネクタ ヘッダー、USB PD コントローラ、PRU ヘッダー、PMIC および OLDI ディスプレイ タッチ インターフェイスに接続されています。
- SOC I2C1 インターフェイス：SoC I2C [1] は、テスト オートメーション ヘッダー、電流モニタ、温度センサ、オーディオ コーデック、HDMI トランスミッタ、GPIO ポート エクスパンダに接続されています。
- SOC I2C2 インターフェイス：SoC I2C [2] は、ユーザー拡張コネクタ ヘッダーおよび CSI カメラ コネクタに接続されています。
- MCU I2C0 インターフェイス：マイコン I2C [0] は マイコン ヘッダーに接続されています。

Copyright © 2026 Texas Instruments Incorporated

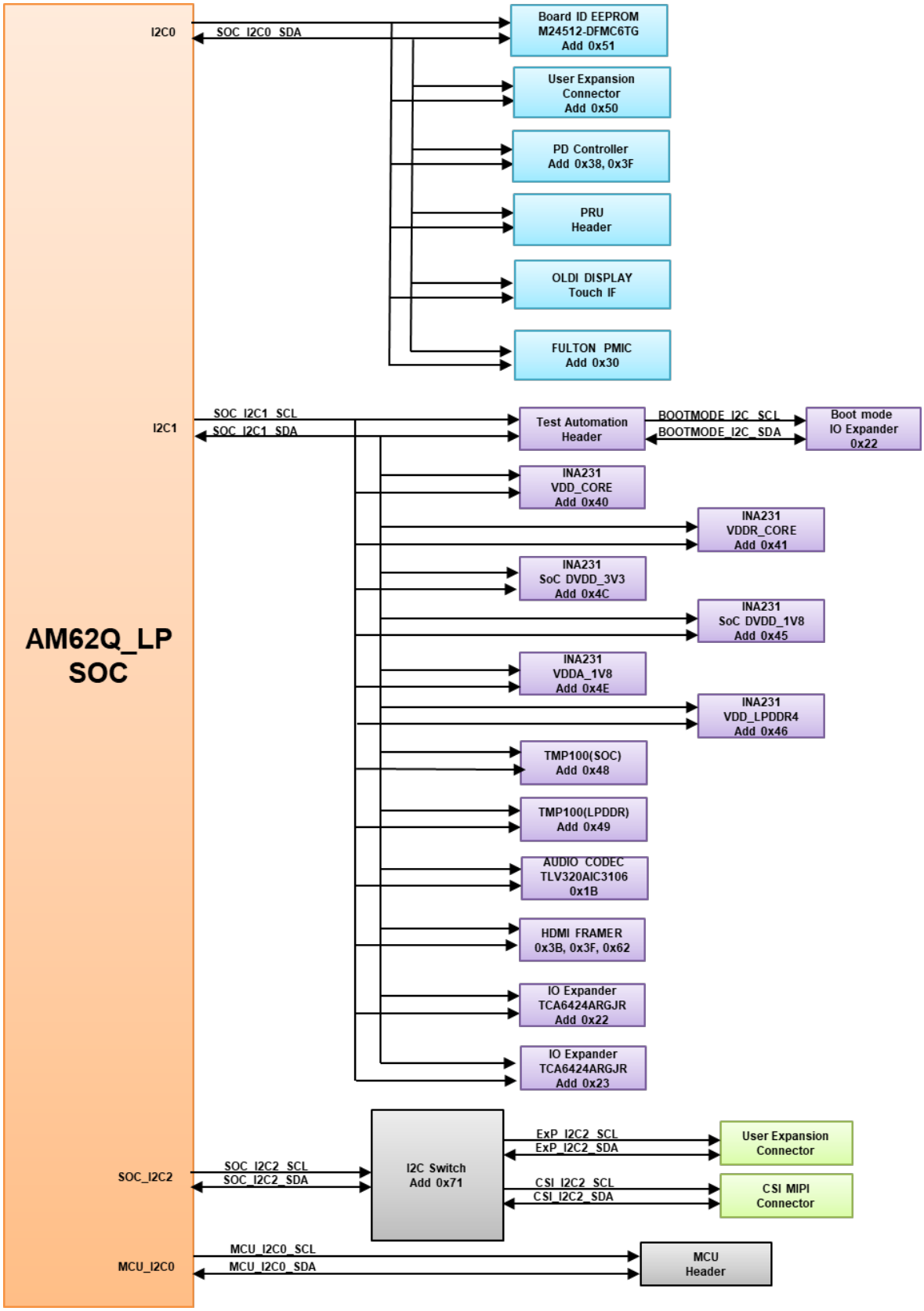


図 2-28. I2C インターフェイスの ブロック図

Copyright © 2026 Texas Instruments Incorporated

表 2-30. I2C マッピング表

I2C ポート	デバイス / 機能	型番	I2C アドレス
SoC_I2C0	基板 ID EEPROM	M24512-DFMC6TG	0x51
SoC_I2C0	ユーザー拡張コネクタ	<コネクタ インターフェイス>	
SoC_I2C0	USB PD コントローラ	TPS65988DHRSHR	0x38、0x3F
SoC_I2C0	PRU ヘッダー	<コネクタ インターフェイス>	
SoC_I2C0	OLDI ディスプレイ タッチ インターフェイス	<コネクタ インターフェイス>	
SoC_I2C1	PMIC	TPS65219	0x30
SoC_I2C1	テスト オートメーション ヘッダー	<コネクタ インターフェイス>	
SoC_I2C1	電流モニタ	INA231AIYFDR	0x40、0x41、0x4C、0x45、0x4E、0x46
SoC_I2C1	温度センサ	TMP100NA/3K	0x48、0x49
SoC_I2C1	オーディオ コーデック	TLV320AIC3106IRGZT	0x1B
SoC_I2C1	HDMI トランスミッタ	SiI9022ACNU	0x3B、0x3F、0x62
SoC_I2C1	GPIO ポート エクスパンダ	TCA6424ARGJR	0x22、0x23
SoC_I2C2	CSI カメラ コネクタ	<コネクタ インターフェイス>	
SoC_I2C2	ユーザー拡張コネクタ	<コネクタ インターフェイス>	
MCU_I2C0	MCU ヘッダー	<コネクタ インターフェイス>	
その他			
BOOTMODE_I2C	I2C ブートモード バッファ	TCA6424ARGJR	0x22
BOOTMODE_I2C	テスト オートメーション ヘッダー	<コネクタ インターフェイス>	

Copyright © 2026 Texas Instruments Incorporated

3 ハードウェア設計ファイル

回路図、BOM、PCB レイアウト、アセンブリ ファイル、ガーバー ファイルなどのハードウェア設計ファイルは、以下のリンクから入手できます。

設計ファイル

Copyright © 2026 Texas Instruments Incorporated

4 準拠に関する情報

4.1 EMC、EMI、ESD への準拠

本製品に取り付けられているコンポーネントは、静電気放電 (ESD) の影響を受けやすくなっています。TI では、この製品は、ESD の蓄積を抑えるために温度や湿度を管理した環境など、ESD 管理環境でのみ使用することを推奨します。また、製品をインターフェイス接続する際は、リスト ストラップや ESD マットなどの ESD 保護対策を講じてください。

製品はラボに類似した基本的な電磁環境で使用され、EN IEC 61326-1:2021 に準拠した規格が適用されます。

Copyright © 2026 Texas Instruments Incorporated

5 追加情報

5.1 ハードウェアまたはソフトウェアに関する既知の問題

このセクションでは、各評価基板リビジョンにおける現時点での既知の問題と、それに対する適用可能な 回避方法について説明します。パッチが適用された問題には、評価基板アセンブリに変更ラベルが付けられています。

問題の番号	問題のタイトル	問題の説明	影響を受けるバリアント
問題 1	MCU UART および WKUP UART による LPM からのウェークアップが機能しない	FT4232 チップから MCU UART および WAKEUP UART インターフェイスを介してトリガされると、ウェークアップ機能が正常に動作しません	E2A
問題 2	部分 IO 低消費電力モード切り替え時の障害	SK-AM62-LP 評価基板では、ウェークアップ ソースがソフトウェアで正しく構成されていても、このデバイスは、ウェークアップ ソースを介して LPM モードからウェークアップできません	E2A

5.1.1 問題 1 – MCU UART および WKUP UART による LPM からのウェークアップが機能しない

該当する評価基板のリビジョン:E2A

問題の説明:FT4232 チップから MCU UART および WAKEUP UART インターフェイスを介してトリガされると、LPM からのウェークアップ機能が正常に動作しません

回避方法:この問題を解決するには、以下のハードウェアを変更し、VCC_3V3_SYS に接続されている U91 ピン 3 と U83 ピン 3 の間の配線を切断し、C437、C460、R510、R534 を取り外し、これらの部品を元の向きから 90 度回転させて半田付けし直します (正しい配置については、図 5-1 を参照)。次に、U83.3 から次の接続ポイント C437.2、R510.2、R516.1、および U91.3 から次の接続ポイント C460.2、R534.2、R528.1 へのワイヤを半田付けします。さらに、図 5-2 に示すように、U27.8 から C113.2 までのワイヤを PCB 上に半田付けします。U26.16 ピンを持ち上げ、持ち上げたピン 16 から反対側のピン C113.2 までのワイヤを半田付けします (図 5-2 を参照)。部品の位置と配線の目視ガイダンスについては、図 5-1 と図 5-2 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

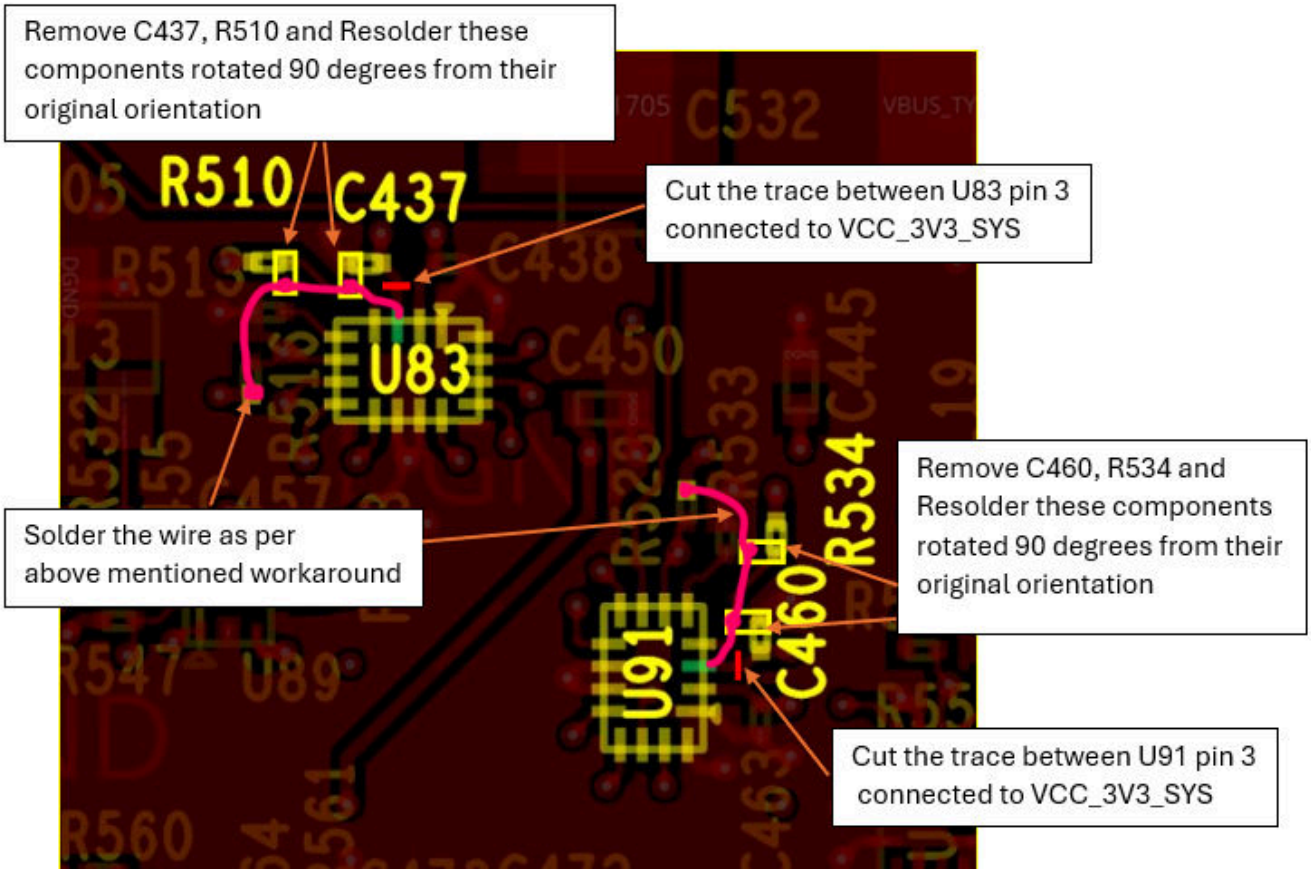


図 5-1. SK-AM62-LP 底面

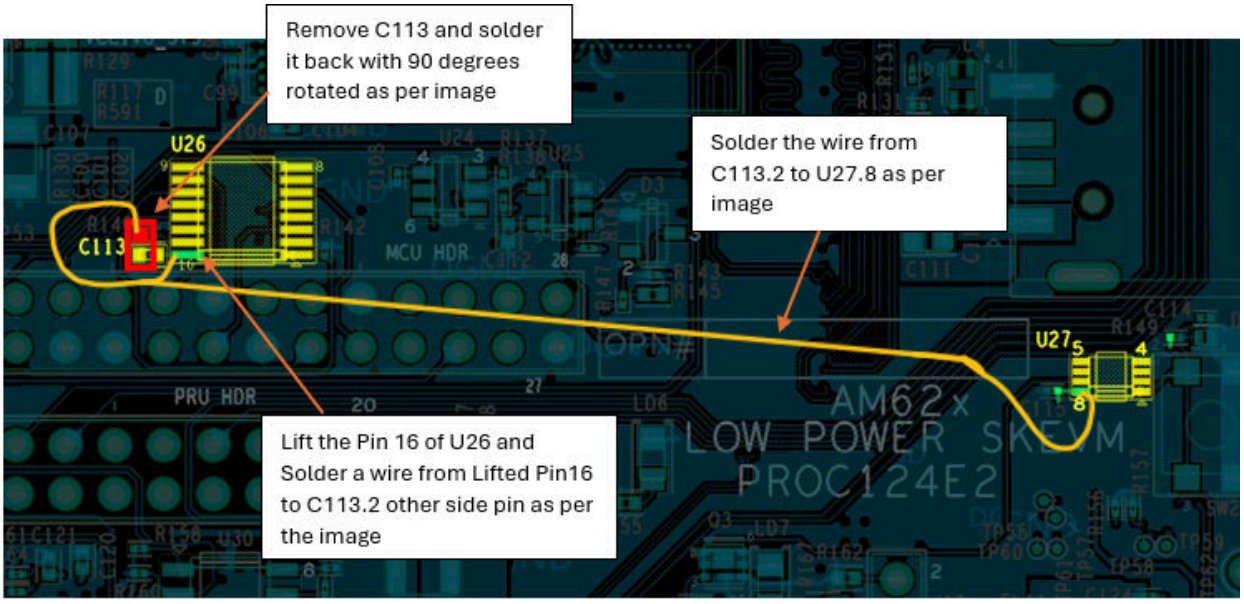


図 5-2. SK-AM62-LP の上面

5.1.2 問題 2 - 部分 IO 低消費電力モード切り替え時の障害

該当する評価基板のリビジョン: E2A

Copyright © 2026 Texas Instruments Incorporated

問題の説明:SK-AM62-LP 評価基板では、ウェークアップ ソースがソフトウェアで正しく構成されていても、このデバイスは、ウェークアップ ソースを介して LPM モードからウェークアップできません

根本的な原因は、SK-AM62-LP 評価基板のハードウェア設計上の考慮事項にあります。**PMIC_LPM_EN** 信号は、**R590** 抵抗経由で PMIC イネーブル ピンに接続されます。ただし、**SN74LVC1G11DRYR AND ゲート**も同じ **PMIC_EN** ラインに接続されています。LPM モード中に **PMIC_LPM_EN** ピンが Low に駆動され、同時に AND ゲート出力が High に駆動されると、この競合により **AND ゲートが損傷し、PMIC のターンオンが不確実に**なる可能性があります。これを回避するには、**R405 を取り外して**、AND ゲートを PMIC_EN ラインから分離し、信頼性の高い LPM モード動作を実現する必要があります。

回避方法:抵抗 R405 を取り外して (R590 は実装したまま)、SN74LVC1G11DRYR AND ゲートを PMIC_EN ラインから分離します。これにより、信号の競合を防ぎ、適切な PMIC_LPM_EN 動作が可能になります。

注

図 5-3 に、PCBA の底面に実装されている抵抗 R405 の位置を示します。作業を行う前に、基板を慎重に裏返し、修正する部品に間違いがないことを確認してください。

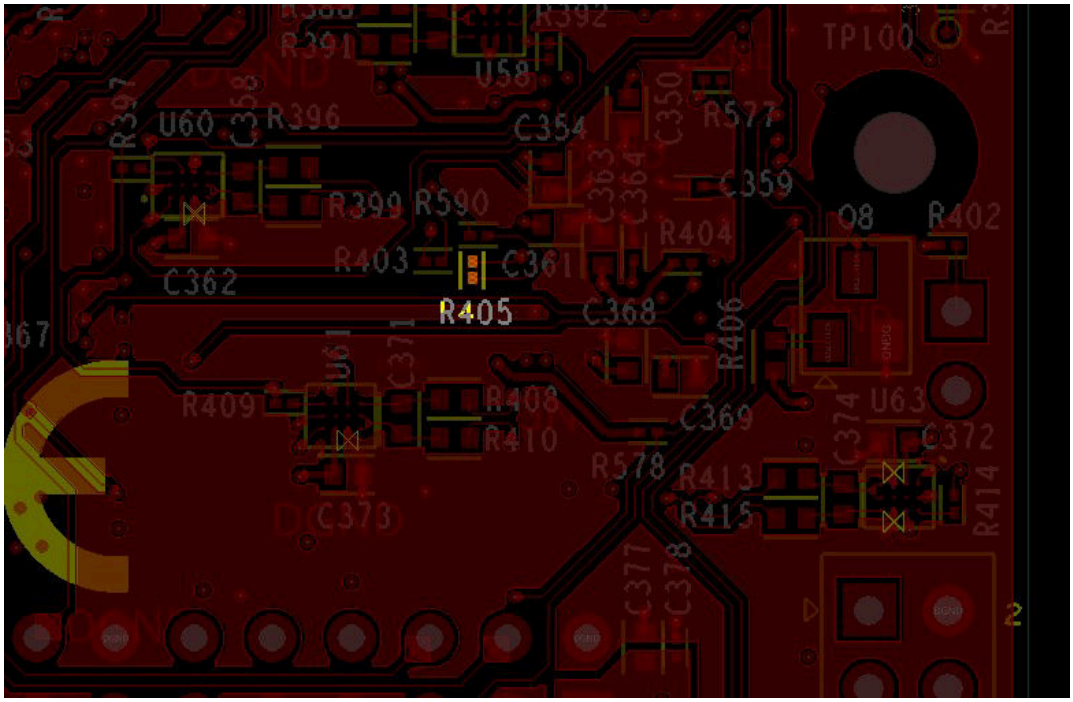


図 5-3. SK-AM62-LP の底面の R405

商標

TI™ and Code Composer Studio™ are trademarks of Texas Instruments.
イーサネット™ is a trademark of ODVA Inc..
DRP™ is a trademark of Texas Instruments.
USB™ and USB Type-C™ are trademarks of USB Implementers Forum.
microSD™ and SD™ are trademarks of SD-3C LLC.
Arm® is a registered trademark of Arm Ltd..
Cortex® is a registered trademark of Arm Limited (or its subsidiaries or affiliates) in the US and/or elsewhere.
USB 2.0 Type-C® is a registered trademark of USB Implementers Forum, Inc..
ARM® and are registered trademarks of Arm Limited.
Linux® is a registered trademark of Linus Torvalds.
USB-C® are registered trademarks of USB Implementers Forum.
Wi-Fi® is a registered trademark of Wi-Fi Alliance.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
GlobTek® is a registered trademark of GlobTek, Inc.

Copyright © 2026 Texas Instruments Incorporated

Qualtek® is a registered trademark of Qualtek Electronics Corperation.
HDMI、HDMI High-Definition Multimedia Interface、HDMI トレードドレス、および HDMI ロゴは、HDMI Licensing Administrator Inc. の商標または登録商標です。
すべての商標は、それぞれの所有者に帰属します。

HDMI、HDMI High-Definition Multimedia Interface、HDMI トレードドレス、および HDMI ロゴは、HDMI Licensing Administrator Inc. の商標または登録商標です。

Copyright © 2026 Texas Instruments Incorporated

6 参考資料

- テキサス インスツルメンツ、[FAQ] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP – カスタム基板設計、セルフレビュー、起動のさまざまな段階での参照用資料フォーラム投稿
- テキサス インスツルメンツ、[FAQ] カスタム ボード ハードウェア設計 – すべての Sitara プロセッサ (AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62L、AM64x、AM243x、AM335x) ファミリに関する FAQ (よくある質問) のマスタ (完全) リスト フォーラム投稿
- テキサス インスツルメンツ、[FAQ] AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP カスタム ボード ハードウェア設計 – プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータ キットに関する FAQ (よくある質問) フォーラム投稿
- テキサス インスツルメンツ、[FAQ] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP：設計の推奨事項 / カスタム ボード ハードウェア設計 - カスタム ボード回路図セルフレビュー フォーラム投稿

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from August 19, 2026 to October 13, 2026 (from Revision B (August 2026) to Revision C (October 2026)) **Page**

- 画像を更新 1
- PRU サブシステムの機能についての重要な注意事項を追加 5
- PRU サブシステムの機能性のサポートに関する注を追加 47

Copyright © 2026 Texas Instruments Incorporated

STANDARD TERMS FOR EVALUATION MODULES

1. *Delivery:* TI delivers TI evaluation boards, kits, or modules, including any accompanying demonstration software, components, and/or documentation which may be provided together or separately (collectively, an “EVM” or “EVMs”) to the User (“User”) in accordance with the terms set forth herein. User's acceptance of the EVM is expressly subject to the following terms.

   1.1 EVMs are intended solely for product or software developers for use in a research and development setting to facilitate feasibility evaluation, experimentation, or scientific analysis of TI semiconductors products. EVMs have no direct function and are not finished products. EVMs shall not be directly or indirectly assembled as a part or subassembly in any finished product. For clarification, any software or software tools provided with the EVM (“Software”) shall not be subject to the terms and conditions set forth herein but rather shall be subject to the applicable terms that accompany such Software

   1.2 EVMs are not intended for consumer or household use. EVMs may not be sold, sublicensed, leased, rented, loaned, assigned, or otherwise distributed for commercial purposes by Users, in whole or in part, or used in any finished product or production system.

2 *Limited Warranty and Related Remedies/Disclaimers*:

   2.1 These terms do not apply to Software. The warranty, if any, for Software is covered in the applicable Software License Agreement.

   2.2 TI warrants that the TI EVM will conform to TI's published specifications for ninety (90) days after the date TI delivers such EVM to User. Notwithstanding the foregoing, TI shall not be liable for a nonconforming EVM if (a) the nonconformity was caused by neglect, misuse or mistreatment by an entity other than TI, including improper installation or testing, or for any EVMs that have been altered or modified in any way by an entity other than TI, (b) the nonconformity resulted from User's design, specifications or instructions for such EVMs or improper system design, or (c) User has not paid on time. Testing and other quality control techniques are used to the extent TI deems necessary. TI does not test all parameters of each EVM. User's claims against TI under this Section 2 are void if User fails to notify TI of any apparent defects in the EVMs within ten (10) business days after delivery, or of any hidden defects with ten (10) business days after the defect has been detected.

   2.3 TI's sole liability shall be at its option to repair or replace EVMs that fail to conform to the warranty set forth above, or credit User's account for such EVM. TI's liability under this warranty shall be limited to EVMs that are returned during the warranty period to the address designated by TI and that are determined by TI not to conform to such warranty. If TI elects to repair or replace such EVM, TI shall have a reasonable time to repair such EVM or provide replacements. Repaired EVMs shall be warranted for the remainder of the original warranty period. Replaced EVMs shall be warranted for a new full ninety (90) day warranty period.

WARNING

Evaluation Kits are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems.

User shall operate the Evaluation Kit within TI’s recommended guidelines and any applicable legal or environmental requirements as well as reasonable and customary safeguards. Failure to set up and/or operate the Evaluation Kit within TI’s recommended guidelines may result in personal injury or death or property damage. Proper set up entails following TI’s instructions for electrical ratings of interface circuits such as input, output and electrical loads.

NOTE:

EXPOSURE TO ELECTROSTATIC DISCHARGE (ESD) MAY CAUSE DEGREDATION OR FAILURE OF THE EVALUATION KIT; TI RECOMMENDS STORAGE OF THE EVALUATION KIT IN A PROTECTIVE ESD BAG.

3 *Regulatory Notices:*

3.1 *United States*

3.1.1 *Notice applicable to EVMs not FCC-Approved:*

FCC NOTICE: This kit is designed to allow product developers to evaluate electronic components, circuitry, or software associated with the kit to determine whether to incorporate such items in a finished product and software developers to write software applications for use with the end product. This kit is not a finished product and when assembled may not be resold or otherwise marketed unless all required FCC equipment authorizations are first obtained. Operation is subject to the condition that this product not cause harmful interference to licensed radio stations and that this product accept harmful interference. Unless the assembled kit is designed to operate under part 15, part 18 or part 95 of this chapter, the operator of the kit must operate under the authority of an FCC license holder or must secure an experimental authorization under part 5 of this chapter.

3.1.2 *For EVMs annotated as FCC – FEDERAL COMMUNICATIONS COMMISSION Part 15 Compliant:*

CAUTION

This device complies with part 15 of the FCC Rules. Operation is subject to the following two conditions: (1) This device may not cause harmful interference, and (2) this device must accept any interference received, including interference that may cause undesired operation.

Changes or modifications not expressly approved by the party responsible for compliance could void the user's authority to operate the equipment.

FCC Interference Statement for Class A EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class A digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference when the equipment is operated in a commercial environment. This equipment generates, uses, and can radiate radio frequency energy and, if not installed and used in accordance with the instruction manual, may cause harmful interference to radio communications. Operation of this equipment in a residential area is likely to cause harmful interference in which case the user will be required to correct the interference at his own expense.

FCC Interference Statement for Class B EVM devices

NOTE: This equipment has been tested and found to comply with the limits for a Class B digital device, pursuant to part 15 of the FCC Rules. These limits are designed to provide reasonable protection against harmful interference in a residential installation. This equipment generates, uses and can radiate radio frequency energy and, if not installed and used in accordance with the instructions, may cause harmful interference to radio communications. However, there is no guarantee that interference will not occur in a particular installation. If this equipment does cause harmful interference to radio or television reception, which can be determined by turning the equipment off and on, the user is encouraged to try to correct the interference by one or more of the following measures:

- *Reorient or relocate the receiving antenna.*
- *Increase the separation between the equipment and receiver.*
- *Connect the equipment into an outlet on a circuit different from that to which the receiver is connected.*
- *Consult the dealer or an experienced radio/TV technician for help.*

3.2 *Canada*

3.2.1 *For EVMs issued with an Industry Canada Certificate of Conformance to RSS-210 or RSS-247*

Concerning EVMs Including Radio Transmitters:

This device complies with Industry Canada license-exempt RSSs. Operation is subject to the following two conditions:

(1) this device may not cause interference, and (2) this device must accept any interference, including interference that may cause undesired operation of the device.

Concernant les EVMs avec appareils radio:

Le présent appareil est conforme aux CNR d'Industrie Canada applicables aux appareils radio exempts de licence. L'exploitation est autorisée aux deux conditions suivantes: (1) l'appareil ne doit pas produire de brouillage, et (2) l'utilisateur de l'appareil doit accepter tout brouillage radioélectrique subi, même si le brouillage est susceptible d'en compromettre le fonctionnement.

Concerning EVMs Including Detachable Antennas:

Under Industry Canada regulations, this radio transmitter may only operate using an antenna of a type and maximum (or lesser) gain approved for the transmitter by Industry Canada. To reduce potential radio interference to other users, the antenna type and its gain should be so chosen that the equivalent isotropically radiated power (e.i.r.p.) is not more than that necessary for successful communication. This radio transmitter has been approved by Industry Canada to operate with the antenna types listed in the user guide with the maximum permissible gain and required antenna impedance for each antenna type indicated. Antenna types not included in this list, having a gain greater than the maximum gain indicated for that type, are strictly prohibited for use with this device.

Concernant les EVMs avec antennes détachables

Conformément à la réglementation d'Industrie Canada, le présent émetteur radio peut fonctionner avec une antenne d'un type et d'un gain maximal (ou inférieur) approuvé pour l'émetteur par Industrie Canada. Dans le but de réduire les risques de brouillage radioélectrique à l'intention des autres utilisateurs, il faut choisir le type d'antenne et son gain de sorte que la puissance isotrope rayonnée équivalente (p.i.r.e.) ne dépasse pas l'intensité nécessaire à l'établissement d'une communication satisfaisante. Le présent émetteur radio a été approuvé par Industrie Canada pour fonctionner avec les types d'antenne énumérés dans le manuel d'usage et ayant un gain admissible maximal et l'impédance requise pour chaque type d'antenne. Les types d'antenne non inclus dans cette liste, ou dont le gain est supérieur au gain maximal indiqué, sont strictement interdits pour l'exploitation de l'émetteur

3.3 *Japan*

3.3.1 *Notice for EVMs delivered in Japan:* Please see http://www.tij.co.jp/lsds/ti_ja/general/eStore/notice_01.page 日本国内に輸入される評価用キット、ボードについては、次のところをご覧ください。

https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-delivered-in-japan.html

3.3.2 *Notice for Users of EVMs Considered "Radio Frequency Products" in Japan:* EVMs entering Japan may not be certified by TI as conforming to Technical Regulations of Radio Law of Japan.

If User uses EVMs in Japan, not certified to Technical Regulations of Radio Law of Japan, User is required to follow the instructions set forth by Radio Law of Japan, which includes, but is not limited to, the instructions below with respect to EVMs (which for the avoidance of doubt are stated strictly for convenience and should be verified by User):

1. Use EVMs in a shielded room or any other test facility as defined in the notification #173 issued by Ministry of Internal Affairs and Communications on March 28, 2006, based on Sub-section 1.1 of Article 6 of the Ministry's Rule for Enforcement of Radio Law of Japan,
2. Use EVMs only after User obtains the license of Test Radio Station as provided in Radio Law of Japan with respect to EVMs, or
3. Use of EVMs only after User obtains the Technical Regulations Conformity Certification as provided in Radio Law of Japan with respect to EVMs. Also, do not transfer EVMs, unless User gives the same notice above to the transferee. Please note that if User does not follow the instructions above, User will be subject to penalties of Radio Law of Japan.

【無線電波を送信する製品の開発キットをお使いになる際の注意事項】 開発キットの中には技術基準適合証明を受けていないものがあります。 技術適合証明を受けていないもののご使用に際しては、電波法遵守のため、以下のいずれかの措置を取っていただく必要がありますのでご注意ください。

1. 電波法施行規則第6条第1項第1号に基づく平成18年3月28日総務省告示第173号で定められた電波暗室等の試験設備でご使用いただく。
2. 実験局の免許を取得後ご使用いただく。
3. 技術基準適合証明を取得後ご使用いただく。

なお、本製品は、上記の「ご使用にあたっての注意」を譲渡先、移転先に通知しない限り、譲渡、移転できないものとします。

上記を遵守頂けない場合は、電波法の罰則が適用される可能性があることをご留意ください。 日本テキサス・インスツルメンツ株式会社

東京都新宿区西新宿 6 丁目 2 4 番 1 号

西新宿三井ビル

3.3.3 *Notice for EVMs for Power Line Communication:* Please see http://www.tij.co.jp/lsds/ti_ja/general/eStore/notice_02.page

電力線搬送波通信についての開発キットをお使いになる際の注意事項については、次のところをご覧ください。https://www.ti.com/ja-jp/legal/notice-for-evaluation-kits-for-power-line-communication.html

3.4 *European Union*

3.4.1 *For EVMs subject to EU Directive 2014/30/EU (Electromagnetic Compatibility Directive)*:

This is a class A product intended for use in environments other than domestic environments that are connected to a low-voltage power-supply network that supplies buildings used for domestic purposes. In a domestic environment this product may cause radio interference in which case the user may be required to take adequate measures.

4 *EVM Use Restrictions and Warnings:*

4.1 EVMS ARE NOT FOR USE IN FUNCTIONAL SAFETY AND/OR SAFETY CRITICAL EVALUATIONS, INCLUDING BUT NOT LIMITED TO EVALUATIONS OF LIFE SUPPORT APPLICATIONS.

4.2 User must read and apply the user guide and other available documentation provided by TI regarding the EVM prior to handling or using the EVM, including without limitation any warning or restriction notices. The notices contain important safety information related to, for example, temperatures and voltages.

4.3 *Safety-Related Warnings and Restrictions:*

4.3.1 User shall operate the EVM within TI's recommended specifications and environmental considerations stated in the user guide, other available documentation provided by TI, and any other applicable requirements and employ reasonable and customary safeguards. Exceeding the specified performance ratings and specifications (including but not limited to input and output voltage, current, power, and environmental ranges) for the EVM may cause personal injury or death, or property damage. If there are questions concerning performance ratings and specifications, User should contact a TI field representative prior to connecting interface electronics including input power and intended loads. Any loads applied outside of the specified output range may also result in unintended and/or inaccurate operation and/or possible permanent damage to the EVM and/or interface electronics. Please consult the EVM user guide prior to connecting any load to the EVM output. If there is uncertainty as to the load specification, please contact a TI field representative. During normal operation, even with the inputs and outputs kept within the specified allowable ranges, some circuit components may have elevated case temperatures. These components include but are not limited to linear regulators, switching transistors, pass transistors, current sense resistors, and heat sinks, which can be identified using the information in the associated documentation. When working with the EVM, please be aware that the EVM may become very warm.

4.3.2 EVMs are intended solely for use by technically qualified, professional electronics experts who are familiar with the dangers and application risks associated with handling electrical mechanical components, systems, and subsystems. User assumes all responsibility and liability for proper and safe handling and use of the EVM by User or its employees, affiliates, contractors or designees. User assumes all responsibility and liability to ensure that any interfaces (electronic and/or mechanical) between the EVM and any human body are designed with suitable isolation and means to safely limit accessible leakage currents to minimize the risk of electrical shock hazard. User assumes all responsibility and liability for any improper or unsafe handling or use of the EVM by User or its employees, affiliates, contractors or designees.

4.4 User assumes all responsibility and liability to determine whether the EVM is subject to any applicable international, federal, state, or local laws and regulations related to User's handling and use of the EVM and, if applicable, User assumes all responsibility and liability for compliance in all respects with such laws and regulations. User assumes all responsibility and liability for proper disposal and recycling of the EVM consistent with all applicable international, federal, state, and local requirements.

5. *Accuracy of Information:* To the extent TI provides information on the availability and function of EVMs, TI attempts to be as accurate as possible. However, TI does not warrant the accuracy of EVM descriptions, EVM availability or other information on its websites as accurate, complete, reliable, current, or error-free.

6. *Disclaimers:*

6.1 EXCEPT AS SET FORTH ABOVE, EVMS AND ANY MATERIALS PROVIDED WITH THE EVM (INCLUDING, BUT NOT LIMITED TO, REFERENCE DESIGNS AND THE DESIGN OF THE EVM ITSELF) ARE PROVIDED "AS IS" AND "WITH ALL FAULTS." TI DISCLAIMS ALL OTHER WARRANTIES, EXPRESS OR IMPLIED, REGARDING SUCH ITEMS, INCLUDING BUT NOT LIMITED TO ANY EPIDEMIC FAILURE WARRANTY OR IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF ANY THIRD PARTY PATENTS, COPYRIGHTS, TRADE SECRETS OR OTHER INTELLECTUAL PROPERTY RIGHTS.

6.2 EXCEPT FOR THE LIMITED RIGHT TO USE THE EVM SET FORTH HEREIN, NOTHING IN THESE TERMS SHALL BE CONSTRUED AS GRANTING OR CONFERRING ANY RIGHTS BY LICENSE, PATENT, OR ANY OTHER INDUSTRIAL OR INTELLECTUAL PROPERTY RIGHT OF TI, ITS SUPPLIERS/LICENSORS OR ANY OTHER THIRD PARTY, TO USE THE EVM IN ANY FINISHED END-USER OR READY-TO-USE FINAL PRODUCT, OR FOR ANY INVENTION, DISCOVERY OR IMPROVEMENT, REGARDLESS OF WHEN MADE, CONCEIVED OR ACQUIRED.

7. *USER'S INDEMNITY OBLIGATIONS AND REPRESENTATIONS.* USER WILL DEFEND, INDEMNIFY AND HOLD TI, ITS LICENSORS AND THEIR REPRESENTATIVES HARMLESS FROM AND AGAINST ANY AND ALL CLAIMS, DAMAGES, LOSSES, EXPENSES, COSTS AND LIABILITIES (COLLECTIVELY, "CLAIMS") ARISING OUT OF OR IN CONNECTION WITH ANY HANDLING OR USE OF THE EVM THAT IS NOT IN ACCORDANCE WITH THESE TERMS. THIS OBLIGATION SHALL APPLY WHETHER CLAIMS ARISE UNDER STATUTE, REGULATION, OR THE LAW OF TORT, CONTRACT OR ANY OTHER LEGAL THEORY, AND EVEN IF THE EVM FAILS TO PERFORM AS DESCRIBED OR EXPECTED.

8. *Limitations on Damages and Liability:*

   8.1 *General Limitations*. IN NO EVENT SHALL TI BE LIABLE FOR ANY SPECIAL, COLLATERAL, INDIRECT, PUNITIVE, INCIDENTAL, CONSEQUENTIAL, OR EXEMPLARY DAMAGES IN CONNECTION WITH OR ARISING OUT OF THESE TERMS OR THE USE OF THE EVMS , REGARDLESS OF WHETHER TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO, COST OF REMOVAL OR REINSTALLATION, ANCILLARY COSTS TO THE PROCUREMENT OF SUBSTITUTE GOODS OR SERVICES, RETESTING, OUTSIDE COMPUTER TIME, LABOR COSTS, LOSS OF GOODWILL, LOSS OF PROFITS, LOSS OF SAVINGS, LOSS OF USE, LOSS OF DATA, OR BUSINESS INTERRUPTION. NO CLAIM, SUIT OR ACTION SHALL BE BROUGHT AGAINST TI MORE THAN TWELVE (12) MONTHS AFTER THE EVENT THAT GAVE RISE TO THE CAUSE OF ACTION HAS OCCURRED.

   8.2 *Specific Limitations.* IN NO EVENT SHALL TI'S AGGREGATE LIABILITY FROM ANY USE OF AN EVM PROVIDED HEREUNDER, INCLUDING FROM ANY WARRANTY, INDEMITY OR OTHER OBLIGATION ARISING OUT OF OR IN CONNECTION WITH THESE TERMS, , EXCEED THE TOTAL AMOUNT PAID TO TI BY USER FOR THE PARTICULAR EVM(S) AT ISSUE DURING THE PRIOR TWELVE (12) MONTHS WITH RESPECT TO WHICH LOSSES OR DAMAGES ARE CLAIMED. THE EXISTENCE OF MORE THAN ONE CLAIM SHALL NOT ENLARGE OR EXTEND THIS LIMIT.

9. *Return Policy.* Except as otherwise provided, TI does not offer any refunds, returns, or exchanges. Furthermore, no return of EVM(s) will be accepted if the package has been opened and no return of the EVM(s) will be accepted if they are damaged or otherwise not in a resalable condition. If User feels it has been incorrectly charged for the EVM(s) it ordered or that delivery violates the applicable order, User should contact TI. All refunds will be made in full within thirty (30) working days from the return of the components(s), excluding any postage or packaging costs.

10. *Governing Law:* These terms and conditions shall be governed by and interpreted in accordance with the laws of the State of Texas, without reference to conflict-of-laws principles. User agrees that non-exclusive jurisdiction for any dispute arising out of or relating to these terms and conditions lies within courts located in the State of Texas and consents to venue in Dallas County, Texas. Notwithstanding the foregoing, any judgment may be enforced in any United States or foreign court, and TI may seek injunctive relief in any United States or foreign court.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月