

パワー・パスを保護するための 11 の方法

TI のパワー・スイッチを使用した設計に関するヒントとトレードオフ

Texas Instruments

TI.com | 2019

目次

序: パワー・スイッチの基礎 3

第 1 章:突入電流の制御. 14

第 2 章:調節可能な電流制限. 18

第 3 章:短絡保護. 23

第 4 章:逆電流保護. 28

第 5 章:逆極性保護. 32

第 6 章:過電圧保護. 37

第 7 章:サーマル・シャットダウン 40

第 8 章:電流監視. 42

第 9 章:パワー・グッド信号 48

第 10 章:誘導性負荷の安全な駆動. 52

第 11 章:車載ロード・ダンプ. 58

序: パワー・スイッチの基礎

アプリケーション・レポート

SLVA927A – 2017 年 11 月 – 2019 年 4 月改訂

執筆者：Arthur Huang、Emily Roth

概要

パワー・スイッチは、電圧源または接地から負荷への電気的な接続を提供します。そしてそれは複数の電圧レール全体で電力を節約し、サブシステムを損傷から保護します。さらに、部品に対する強化された保護機能と突入電流保護を提供し、プリント基板 (PCB) のサイズを最小限に抑えます。

パワー・スイッチには、さまざまなアプリケーションに対応する機能を持つ、いくつかのトポロジーがあります。ロード・スイッチは、安全で信頼性の高いパワー・ディストリビューションを提供することにより、パワー・スイッチの基本機能を設けます。一般的にロード・スイッチを使用するアプリケーションには、パワー・ディストリビューション、パワー・シーケンシング、突入電流の制御、電流リーケージの低減目的のものがあります。統合型パワー・マルチプレクサ・デバイスは、ロード・スイッチに似ていますが、複数の入力ソースを使用できます。この一連のエレクトロニクス・スイッチは、2 つ以上の入力パワー・パスから選択して単一の出力に接続するとともに入力電源保護を提供するために使用されます。

eFuse およびホット・スワップ・コントローラは、電流センスの監視、電流制限、低電圧および過電圧保護、サーマル・シャットダウンなどの追加の入力パワー・パス保護機能を提供します。これにより、これらのデバイスは、システム・コンポーネントに損傷を与えるホットプラグ・イベントや過渡イベントへの対処に最適なものになります。これらの利点は、システムのメンテナンス・コストを削減し、機器の稼働時間を最大化するのに役立ちます。

理想ダイオードと OR コントローラは、外部 FET を監視し、電力損失を大幅に削減し、逆電流をブロックすることにより、逆極性状態に対する保護を提供します。コントローラは、過渡イベントが発生するたびに外部 FET を監視および調整して、上流にある部品の損傷を防ぎます。

スマート・ハイサイド・スイッチは、回路基板に接続される外付け負荷の保護用です。これらは、出力負荷電流を監視し、短絡および開放負荷イベントを検出する追加の診断遠隔測定を提供します。スマート・ハイサイド・スイッチは調節可能な電流制限を備えているため、突入電流のスタートアップ・プロファイルが大きいアプリケーションやピーク電流が小さいアプリケーションへのより信頼性の高い統合が可能になります。設計にスマート・ハイサイド・スイッチを追加すると、容量性負荷、誘導性負荷、および LED 負荷を駆動するためのよりスマートで堅牢なソリューションを実現できます。

ローサイド・スイッチは、電源と負荷の間の接続を提供する代わりに、負荷をグランドに接続します。フライバック・ダイオードを内蔵したローサイド・スイッチは、還流ループで電流を消費することにより、誘導負荷による過渡的な変動を排除するのに役立ちます。これにより、ソレノイド、リレー、モーターなどの誘導負荷を駆動できます。

このアプリケーション・レポートでは、パワー・スイッチのポートフォリオ内の異なるトポロジーに焦点を当て、設計時間を短縮するための適切なソリューションの選択に関する提案を行います。

Table 1. Power Switch Topology Table

	POWER DISTRIBUTION		INPUT POWER PROTECTION			OUTPUT POWER PROTECTION	
	Load Switch	Power MUX (2 input, 1 output)	eFuse (Internal FET)	Hot Swap (External FET)	Ideal Diode ORing Controller	Smart High-Side Switch	Low-Side Switch
Voltage Range	0 V to 18 V	2.8 V to 22 V	2.7 V to 60 V	±80 V	±75 V	6 V to 40 V	0 V to 100 V
Max Operating Current	15 A	4.5 A	15 A	N/A	N/A	12 A	1 A
Functions							
Inrush Current Control	✓	✓	✓	✓		✓	
Adjustable Current Limit		✓	✓	✓		✓	
Reverse Current Blocking	✓	✓	✓	✓	✓		
Current Sense Monitoring			✓	✓		✓	
Short-Circuit Protection	✓(1)	✓	✓	✓		✓	
Overvoltage Protection		✓	✓	✓			
Reverse Polarity Protection		✓	✓	✓	✓	✓	
Power Good Signal	✓		✓	✓			
Inductive Load Compatibility						✓	✓
Load-Dump Compatibility			✓	✓	✓	✓	✓
Thermal Shutdown	✓	✓	✓	✓		✓	

(1) Self protected load switch

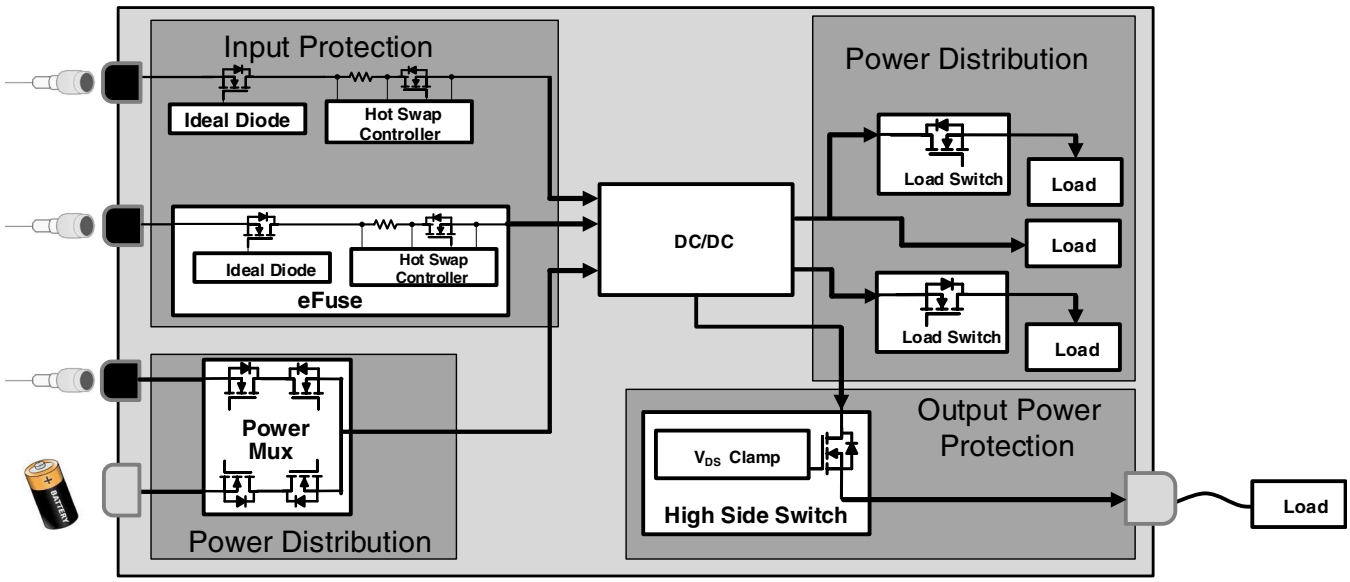
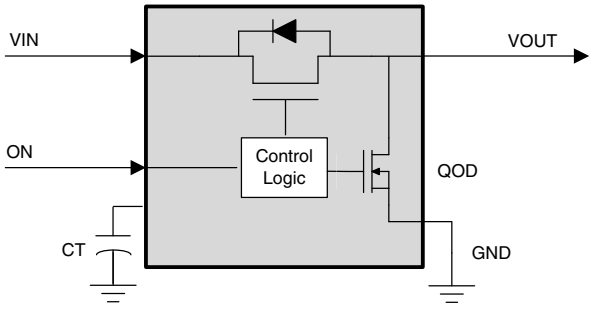


Figure 1. Typical Power Switch Use Cases

1 Load Switches



Copyright © 2017, Texas Instruments Incorporated

Figure 2. Load Switch Block Diagram

Integrated load switches are electronic switches that turn power rails on and off. When the internal FET turns on, current flows from the input to output and passes power to the downstream circuitry. When the device is enabled, the rise time of the output voltage (V_{OUT}) can be controlled by adjusting the capacitance on an external pin (CT pin). When the device is disabled, the fall time of V_{OUT} is controlled through the quick output discharge (QOD). QOD pulls the output to ground whenever the device is turned off, preventing the output from *floating* or entering an undetermined state.

Some common functions of load switches include power savings, power sequencing, and inrush current control. Power savings is important in applications looking to minimize current dissipation and maximize power efficiency. By disconnecting the supply from a load or subsystem, the switch minimizes power drawn from inactive loads. Power sequencing is important in applications where individual voltage rails need to be turned on and off in a specific order. By configuring the CT and QOD pins, the ramp-up and power-down timing can be adjusted. Inrush current control protects systems that contain large bulk capacitors near the load. When power is initially applied to the system, charging these capacitors can result in a large inrush current that exceeds the nominal load current. If left unaddressed, this can cause voltage rails to fall out of regulation due to the drop, resulting in the system entering an undesired state. Load switches can mitigate the inrush current by using the CT pin to manage the rise time of the power rail. This leads to a linear output slew rate with no voltage dips or external regulators required.

Table 2. Load Switch Examples(1)

DESCRIPTION	DEVICES	VOLTAGE RANGE	MAX CURRENT	TYPICAL R_{on}	PACKAGE
Adjustable rise time, adjustable QOD	TPS22918	1 V to 5.5 V	2 A	52 mΩ	SOT
	TPS22810	2.7 V to 18 V	2 A	79 mΩ	SOT
Space-constrained applications	TPS22915	1.05 V to 5.5 V	2 A	37 mΩ	CSP
	TPS22916	1 V to 5.5 V	2 A	60 mΩ	CSP
Self protected with controlled rise time	TPS22919	1.6 V to 5.5 V	1.5 A	90 mΩ	SOT
Lowest ON-resistance, Power Good indication	TPS22990	1 V to 5.5 V	10 A	3.9 mΩ	SON
Fast turn-on time (≤ 65 µs), Power Good indication, QOD, Thermal shutdown	TPS22971	0.65 V to 3.6 V	3 A	6.7 mΩ	DSBGA

(1) For more information about load switches, visit *TI.com/LoadSwitches*.

2 Power Multiplexing

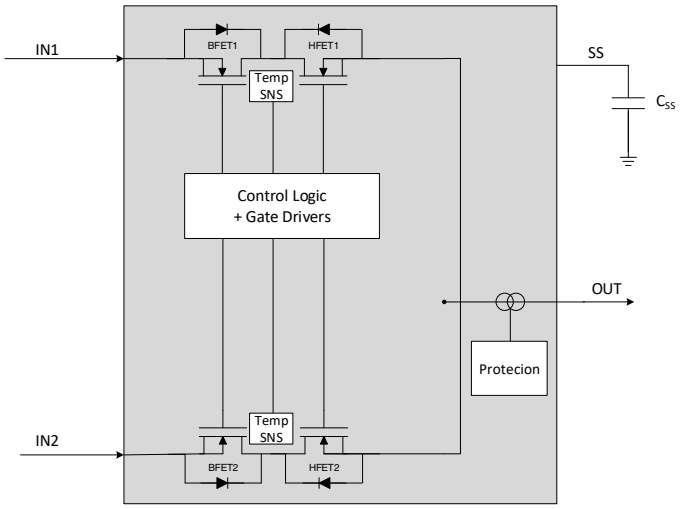


Figure 3. Power MUX Block Diagram

Integrated *Power MUX* devices allow a system to transition between different power sources seamlessly. If the main power supply fails, power multiplexing allows the system to switch to a backup power supply, such as a battery, to preserve operating conditions. Power multiplexing can also provide switching between two different voltage levels for subsystems that operate at two different voltages. In this scenario, to prevent reverse current flow from V_{OUT} into one of the V_{IN} channels, reverse current protection (RCP) blocks current from flowing back through the body diode. Power multiplexing also contains adjustable current limits. If the current exceeds the threshold set by the switch, the switch clamps the channel and prevent current from exceeding the limit. Furthermore, if the current limit forces the device to reach higher temperatures, thermal shutdown will turn off the switch until it can operate at safe conditions again. Similar to load switches, power MUX switches also contain inrush current control to prevent large transient current events.

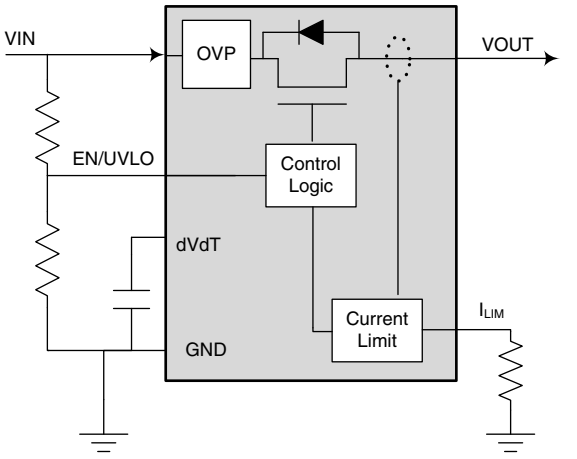
Power MUX devices can switch between different power rails in three general ways: manually, automatically, or both. Manual switchovers occur with an external GPIO. Whenever the user wants to switch between power rails, the enable pin is toggled and the output is powered by the other power rail. Automatic switchover occurs whenever the primary power supply fails or is disconnected. When the device detects the voltage drop, it automatically switches to the backup power rail. There are some Power MUX solutions which offer the flexibility to be used in an automatic configuration and be controlled by a manual control signal. This method can have a default (automatic) priority, but then be overridden by an external microcontroller if needed.

Table 3. Integrated Power MUX Examples(1)

DESCRIPTION	DEVICE	RECOMMENDED VOLTAGE RANGE	MAX CURRENT	TYPICAL R_{on}	PACKAGE
Automatic priority and manual override, adjustable current limit	TPS2120	2.8 V to 22 V	3 A, each channel	62 mΩ	CSP
Automatic priority and manual override, fast output switchover, adjustable current limit	TPS2121	2.8 V to 22 V	4.5 A, each channel	56 mΩ	QFN

(1) For more information about power multiplexing, visit *TI.com/PowerMux*.

3 eFuses



Copyright © 2017, Texas Instruments Incorporated

Figure 4. eFuse Block Diagram

eFuses are integrated power protection switches that provide voltage and current protection during fault events. These include short-circuit, overcurrent, overvoltage, undervoltage, and temperature events that might otherwise damage downstream loads. During a short-circuit transient event, the current through the *eFuse* increases very rapidly. The *eFuse* enables a fast-trip current threshold that terminates this rapid increase in less than 200 ns, protecting the supply. If an overvoltage event occurs on the input (VIN), the *eFuse* monitors the voltage across the internal FET and clamps the output voltage until the input falls below the overvoltage threshold. *eFuses* also come with built-in overtemperature protection that shuts down the FET if the junction temperature exceeds 150°C (typical). The *eFuse* either remains off (latch-off version) or attempts to restart (auto retry version) the device after the junction temperature decreases. *eFuses* offer many additional features similar to load switches including adjustable inrush current control and reverse current protection.

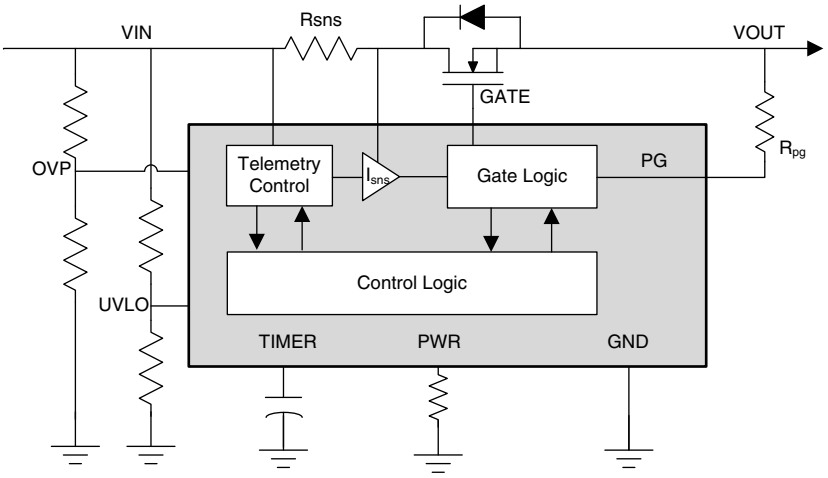
Managing current flow from an active power bus to a subsidiary system can be a challenging task. As a device is inserted or removed from a live supply, it is possible to see a very large spike in current during the initial capacitor charging. An *eFuse* or Section 4 hot-swap controller ensures the safe insertion and operation of these systems. Unlike hot swap controllers, *eFuses* contain an integrated FET which minimizes total solution size. This allows *eFuses* to be used in applications such as power multiplexing. By using two *eFuses*, each *eFuse* can control a power rail while providing reverse current protection for its respective supply. *eFuses* are also UL 2367 certified, cutting down on system testing time.

Table 4. eFuse Examples[1]

DESCRIPTION	DEVICE	RECOMMENDED VOLTAGE RANGE	MAX CURRENT	TYPICAL R_{on}	PACKAGE
Overvoltage or undervoltage protection, QOD using FLT pin, adjustable current limit	TPS2595	2.7 V to 18 V	4 A	34 mΩ	SON
Lowest Ron circuit-breaker device, accurate load monitoring, adjustable transient fault management	TPS25982	2.5 V to 24 V	15 A	3 mΩ	QFN
Back to back FETs, status monitoring, thermal shutdown, internal reverse current blocking	TPS25942A	2.7 V to 18 V	5 A	42 mΩ	QFN
Reverse polarity protection, current sense output, adjustable current limit	TPS2660	4.2 V to 55 V	2 A	150 mΩ	SOP and QFN
Power limiting, overvoltage cut-off or voltage clamping functionality	TPS1663	4.5 V to 60 V	6 A	31 mΩ	SOP and QFN
Power limiting, reverse current blocking, reverse polarity protection	TPS2663	4.5 V to 60 V	6 A	31 mΩ	SOP and QFN

(1) For more information about eFuses, visit *www.ti.com/efuses*.

4 Hot Swap



Copyright © 2017, Texas Instruments Incorporated

Figure 5. Hot Swap Block Diagram

Hot Swap controllers drive an external MOSFET that protects the system against hot swap events. *Hot Swap* controllers do not integrate a MOSFET as eFuses do. The external MOSFET allows *hot swap* controllers to operate at higher voltages and currents than eFuse devices. The controller monitors the gate voltage of the external FET and adjusts the voltage depending on the situation. When the device is inserted into a live power system, the controller measures the inrush current across R_{SNS}. If the value exceeds the programable current limit, the gate voltage is lowered and limits the current passing downstream. If the power dissipated across the FET exceeds the programmable power limit, then the gate voltage is reduced to lower the current flowing through R_{SNS}. The overvoltage and undervoltage pins also cut off the output voltage whenever the input voltage is not within specified thresholds.

To ensure that the external MOSFET remains within safe operating area (SOA), the *hot swap* controller regulates the current limit at higher V_{DS} voltages. The device also includes an assortment of telemetry that monitors the operating conditions. The Power Good (PG) signal turns on whenever the power rail reaches regulation, and some *hot swap* controllers contain PMBus monitoring that allows real-time feedback on the device status.

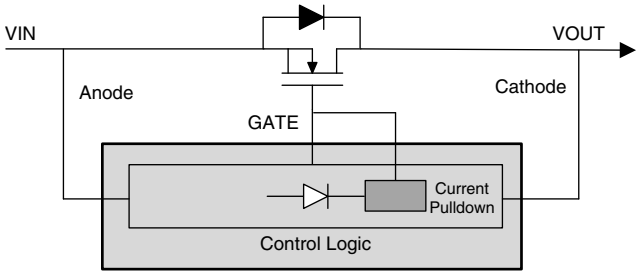
Since *hot swap* controllers operate by controlling an external R_{SNS} and MOSFET, they do not contain an innate current limit. The external components allow the user to customize the solution size and power requirements to fit their application.

Table 5. Hot Swap Examples(1)

DESCRIPTION	DEVICE	RECOMMENDED VOLTAGE RANGE	PACKAGE
18-V analog devices, small footprint, easy-to-use	TPS247xx	2.5 V to 18 V	SOP or QFN
Meets 240-V requirements for high-end applications, similar to TPS247xx	TPS2477x	2.5 V to 18 V	QFN
PMBus and I2C communication, balance between efficiency and accuracy	LM25066A, LM25066I	2.9 V to 17 V	QFN
Higher voltage applications, PMBus and I2C communication, external FET temperature and failure sensing	LM5066	10 V to 80 V	PWP
Higher voltage applications, SOA protection, current limit	LM5069	9 V to 80 V	SOP
Negative voltage support, SOA protection, PMBus and I2C communication	LM5064	–10 V to –80 V	SOP
Negative voltage support with dual current limit, soft-start disconnect, ORing support, –200 V maximum rating	TPS2352x	–10 V to –80 V	SOP
Circuit breaker function for severe current events, programmable fault timer, PG output	LM5067	–9 V to –80 V	SOP

(1) For more information about Hot Swap controllers, visit *www.ti.com/hotswap*.

5 Ideal Diode, ORing Controllers



Copyright © 2017, Texas Instruments Incorporated

Figure 6. Ideal Diode Block Diagram

Ideal diode controllers control an external FET and, similar to a regular diode, can block reverse current whenever a reverse voltage event occurs. Whenever one of these events occur, the controller shuts off the FET and uses the body diode to prevent any transients from damaging upstream components. The controller can also prevent against ground shorts at the input (VIN) by using the same method.

Ideal diode controllers can also protect against reverse polarity conditions, commonly caused by connecting a battery incorrectly or mis-wiring a power supply. If the user accidentally switches the polarity on VIN, an additional diode from the controller to GND can be included to prevent damage to the IC or the power source. The controller also significantly lowers power dissipation normally found across diodes. By driving the external FET instead of a diode, the voltage drop typically found across diode solutions can be minimized.

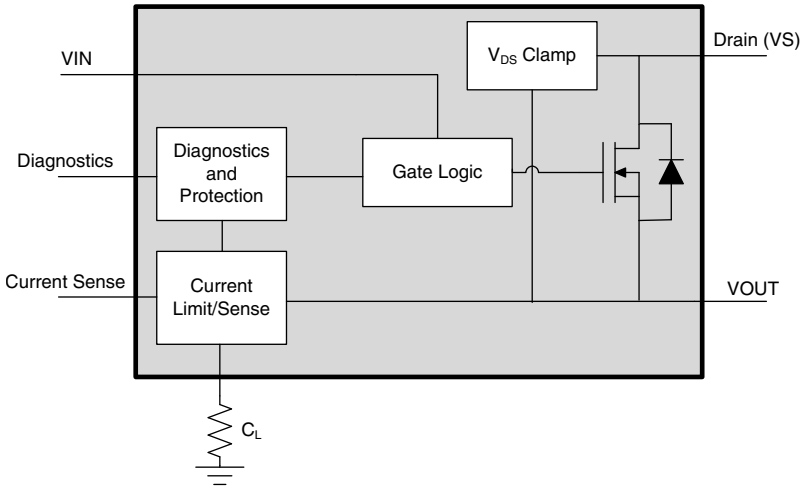
Ideal diodes can also act as ORing controllers. Basic power redundancy architecture contains two or more power supplies connected to a single load. ORing solutions allow the system to switch between power sources if one were to fail, and can even connect power sources in parallel. This allows for uninterrupted power and saves on redundant power supply costs.

Table 6. Ideal Diode Controller Examples (1)

DESCRIPTION	DEVICE	RECOMMENDED VOLTAGE RANGE	TYPICAL QUIESCENT CURRENT	FORWARD VOLTAGE THRESHOLD	PACKAGE
Fast turnoff, voltage sensing	TPS241x	3 V to 16.5 V	N/A	10 mV	SOP and SOIC
Automotive qualified, low Iq, high efficiency	LM74700-Q1	3.2 V to 65 V	80 µA	20 mV	SOT
Low side ORing controller, FET diagnostics	LM5051	–6 V to –100 V	69 µA	45 mV	SOIC
Low Iq, reverse current protection, integrated FET	LM66100	1.5 V to 5.5 V	0.2 µA	79 mV (2)	SC-70

(1) For more information about *Ideal diode* controllers, visit *www.ti.com/idealdiode*.
(2) Typical forward voltage at Iout = 1 A.

6 Smart High-Side Switches



Copyright © 2017, Texas Instruments Incorporated

Figure 7. Smart High-side Switch Block Diagram

Smart high-side switches reliably drive off-board loads. These switches contain highly-adjustable and selectable current limits that enable a system to be optimally designed for specific loads. By connecting an external resistor to set the current-limit threshold, the switch protects the load and power supply from overstressing during short-circuits to GND events or power-up conditions. This enables more reliable designs by minimizing transient currents and supply droops. When the threshold is reached, a closed loop activates and clamps the output current to the set value. A fault is then reported on the CS pin.

These switches also offer highly-accurate current sensing to provide real-time diagnostics to the system. A current mirror sources current from VIN, reflecting this as voltage on the Current Sense (CS) pin. The CS pin does not need to be calibrated, and can serve as a diagnostics report pin. Whenever an open load or short happens, the voltage on the CS pin falls to 0 V. Whenever a current limit, thermal event, or an open load or short in the off state occurs, the voltage is pulled up to its maximum threshold. High-accuracy current monitoring and adjustable current limit are ideal for industrial applications like programmable logic controllers, motor valves, servo drives and control units.

Another functionality of *smart high-side* switches is load-dump compatibility, which allows these devices to connect directly to a 12-V battery without concerns about typical voltage and current transients. Additional protection includes mitigation of large inrush current events that would otherwise damage downstream components.

Smart high-side switches can be AEC-Q100 certified, allowing full integration into many automotive applications that require a low on-resistance and high voltage tolerances to accommodate voltage spikes and inrush current events. Some of these applications include front and rear lighting, seat heating, infotainment, cluster, powertrain, and ADAS.

Table 7. Smart High-Side Examples (1) (2)

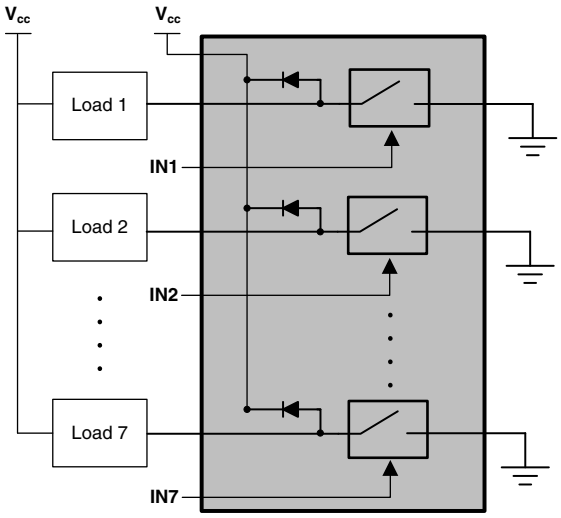
DESCRIPTION	DEVICE	RECOMMENDED VOLTAGE RANGE	CURRENT SENSE ACCURACY	CONTINUOUS LOAD CURRENT	TYPICAL R_{on}	PACKAGE
Selectable current limit for design flexibility, low R_{ON}, small footprint, thermal sensing	TPS1HA08-Q1	3 V to 40 V	±5% at 1 A	0 A to 12 A	8 mΩ	SOP
Low standby current, highly accurate current sense, thermal shutdown	TPS1H100-Q1	3.5 V to 40 V	±3% at 1 A	0 A to 4 A	100 mΩ	SOP
	TPS27S100	3.5 V to 40 V	±3% at 1 A	0 A to 4 A	80 mΩ	SOP
Multi-channel support, fast hardware interrupts, low standby current, loss of GND diagnostics	TPSxH160-Q1	3.4 V to 40 V	±3% at 1 A	0 A to 1.8 A per channel	160 mΩ	SOP

(1) Additional devices in various typical R_{ON} values are available.
(2) For more information about smart high-side switches, see *ti.com/smarthighsideswitch*.

Table 7. Smart High-Side Examples [(1)] [(2)] (continued)

DESCRIPTION	DEVICE	RECOMMENDED VOLTAGE RANGE	CURRENT SENSE ACCURACY	CONTINUOUS LOAD CURRENT	TYPICAL R_{on}	PACKAGE
Dual-channel, programmable current limit	TPS2HB08-Q1	3 V to 28 V	+3/-8% at 1 A	0 A to 8 A per channel	8 mΩ	SOP
Inductive load negative clamp with optimized slew rate, global fault report	TPSxH000-Q1	3.4 V to 40 V	-	0 A to 1A	1 Ω	SOP
Highly accurate current limit, supports full diagnostics with the digital status output	TPS1H200-Q1	3.4 V to 40 V	-	0 A to 2.5 A	200 mΩ	SOP

7 Low-Side Switches



Copyright © 2017, Texas Instruments Incorporated

Figure 8. Low-Side Switch Block Diagram

Low-side switches are used to connect and disconnect ground from a load, unlike the rest of the power switch topologies. This configuration allows *low-side* switches to drive inductive loads; an internal flyback diode prevents inductive transients from damaging the circuit and components. Whenever the switch is opened, the inductive transients flow through the flyback diode and dissipate throughout the load. This makes these devices ideal for motors, solenoids, and relays.

Low-side switches consists of two designs: Darlington pair arrays and low-side MOSFET solutions. Darlington pair solutions can support higher voltage applications due to the higher voltage ratings of the integrated BJTs, while the MOSFET solutions have lower on-resistances and lower leakage currents. Most of the *low-side* switches contain seven channels, which can be tied in parallel to support higher current operation.

Table 8. Low-side Switch Examples

DESCRIPTION	DEVICE	RECOMMENDED VOLTAGE RANGE	MAX CURRENT	NUMBER OF CHANNELS	PACKAGE
Darlington pair BJTs, higher voltage support	ULN2003A	0 V to 50 V	500 mA per channel	7	SOIC, SOP, and DIP Packages
Darlington pair BJTs, 8-channel support	ULN2803A	0 V to 50 V	500 mA per channel	8	SOIC
Low-side MOSFET solutions, low on-resistance and current leakage, power efficient	TPL7407LA	0 V to 30 V	600 mA per channel	7	SOIC or SOP

8 References

1. Texas Instruments, *Basics of Load Switches Application Report*
2. Texas Instruments, *What is an eFuse? Application Report*
3. Texas Instruments, *Robust Hot Swap Design Application Report*
4. Texas Instruments, *Adjustable Current Limit of Smart High Side Switch Application Report*

Revision History

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

Changes from Original (November 2018) to A Revision	Page
• Changed content in abstract.	1
• Changed headings, row 3, and row 7 in table 1.	2
• Added table notes to table 1.	2
• Changed row 3 in table 2.	3
• Changed content in section 2.	4
• Changed row 1 and 2 in table 3.	4
• Changed rows 2, 5, and 6 in table 4.	5
• Changed title and row 1, 2, and 4 in table 6.	7
• Changed content in section 6.	8
• Changed rows 4, 5, and 6 in table 7.	8

第 1 章: 突入電流の制御

執筆者：Alex Triano

概要

サブシステムをオンにした時点で、電流は始めに、負荷側にあるコンデンサまたはインダクタンスに流れ込みます。この電流は、突入電流と呼ばれます。スイッチがすばやくオンになる場合（スルーレート制御がない場合など）、電流は、同じ入力レールに接続されている他のサブシステムに割り込むほど大きくなる可能性があります。場合によっては、短時間の突入電流が周囲の部品やスイッチ自体に不可逆的な損傷を与える可能性があります。突入電流はいくつかの方法で管理できますが、どの方法の場合も、出力電圧の上昇速度が低下します。

突入電流の危険性

突入電流により、上流の供給電圧が低下する場合があります。この電圧が他のサブシステムに電力を供給している場合、それらの部品で誤動作またはリセットが発生する可能性があります。

図 **1** では、スイッチがオンになっています。これにより、入力電源で高速過渡電圧 (dv/dt) と大きな電流スパイクが発生しています。これにより、V_{SUPPLY} の電圧降下が発生します。これは、V_{SW_OUT} が引き続きオンになるときに確認できます。V_{SUPPLY} の電圧降下により、DC/DC コンバータがシャットダウンします。V_{OUT} は、V_{SUPPLY} が通常の動作範囲内に回復するまで減衰します。このシナリオは、1 つの負荷の突入電流によって他の負荷でリセットが発生するしくみを示しています。

システムによっては、入力から引き出せる電流量に制限があります。これらの制限は、安全規格、ケーブル / コネクタの定格、または速断ヒューズの電流定格を下回る必要性によって設定される場合があります。突入電流の管理に失敗すると、制限を超え、規格違反や、ケーブル、コネクタ、またはヒューズの損傷につながる可能性があります。

金属酸化膜半導体電界効果トランジスタ (MOSFET) を使用して電源をオン / オフするパワー・スイッチでは、FET の安全な動作領域 (SOA) を超え、スイッチ自体が損傷する可能性があります。ほとんどのパワー FET メーカーでは、特定のドレイン – ソース間電圧 (V_{DS})、周囲温度、および指定されたパルス持続時間においてスイッチで処理できる電流を示すグラフを提供しています。FET が大きな負荷容量に対してすばやくオンになる場合、FET を通過する総エネルギーは、ターンオン時間 (t_{ON}) の期間中、容量 x 電圧の 2 乗 (CV^2) の半分になります。この値は FET の SOA 曲線を超え、FET を損傷する可能性があります。同じ量のエネルギーがより長い t_{ON} に広がる場合、FET はその熱を放散するためにより多くの時間を使用でき、これに耐えるよう設計することが可能になります。

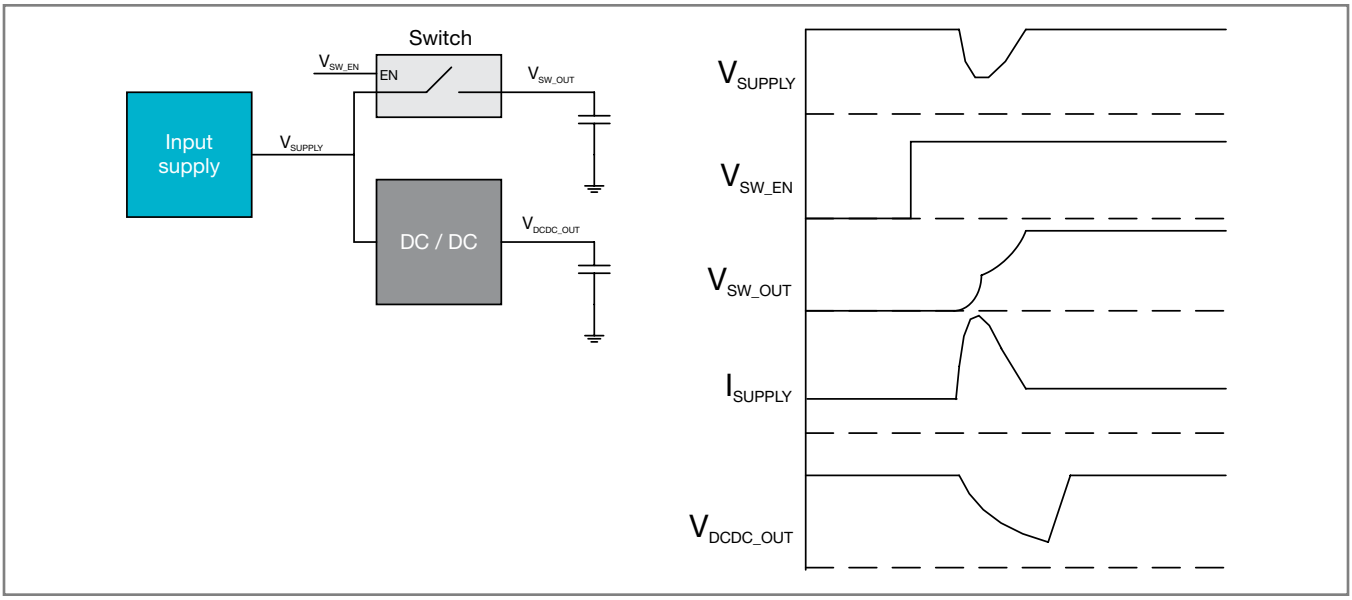


図 *1*：V_{SW_OUT} の突入電流により V_{DCDC_OUT} で電圧の降下とリセットが発生。

突入電流を制御する一般的な手法

突入電流を制御するには、3 つの従来型のアプローチと 1 つの新しいアプローチがあります。1 つ目は、直列抵抗または負温度係数 (NTC) サーミスタなどの受動素子を使用して出力を低速で充電することです。2 つ目は、スイッチを使用して、出力電圧が上昇するスルーレートを管理することです。3 つ目は、電流リミッタを使用するか、スイッチが完全にオンになるまで定電流を供給するように設計されたデバイスを使用することです。最新のアプローチは、サーマル・レギュレーションを使用することです。これにより、スイッチの温度を調整しながら最大電流を提供して障害を防止します。

パッシブ

電源と直列に抵抗を追加すると、負荷への電流が制限されます。純粋な抵抗の場合、ピーク突入電流は V_{IN}/R に制限されます。電流は、出力が完全に充電されると減少し始めます。この手法では、抵抗を通じて電力が消費されるだけでなく、電力が供給されたときに負荷によって引き込むことができる電流が制限されます。ただし、効率が悪いため、この手法は通常、低電流アプリケーション（多くの場合 1A 未満）に限定されます。図 **2** は、突入電流を制限するための直列抵抗を示しています。

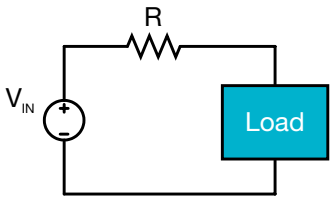


図 ***2***: 突入電流を制限するための直列抵抗。

NTC を追加する場合、スイッチが冷えていて電力が流れていないときは、大きな抵抗で始まります。電力が供給されたとき、抵抗が大きいために、出力に流れる電流はわずかになります。やがてデバイスが自己発熱し始め、抵抗は減少します。その後、NTC が完全にオンになるまで、負荷に流れる電流が徐々に増えていきます。NTC のパフォーマンスは周囲温度に大きく依存するため、広い動作温度範囲を必要とするアプリケーションには適さない場合があります。図 **3** は、直列 NTC サーミスタを使用して突入電流を制限する方法を示しています。

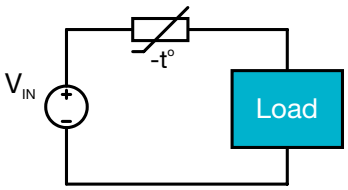


図 ***3***: 直列 ***NTC*** サーミスタを使用して突入電流を制限。

スルー・レート制御

スイッチがオンになる速度を制御すると、出力電圧が上昇する速度を直接制御できます。式 **1** では、突入電流は次のように計算されます。

$$I_{INRUSH} = C_{LOAD} \times \frac{dV_{OUT}}{dt} \quad (1)$$

スイッチの速度 (dV_{OUT}/dt) を遅くすると、与えられた固定 C_{LOAD} に対して I_{INRUSH} が減少します。

RC 時定数

ディスクリート・パワー・スイッチの場合、突入電流を管理する一般的な方法の 1 つは、図 **4** に示すように、MOSFET のスイッチング速度を遅くする抵抗とコンデンサ (RC) を取り付けることです。

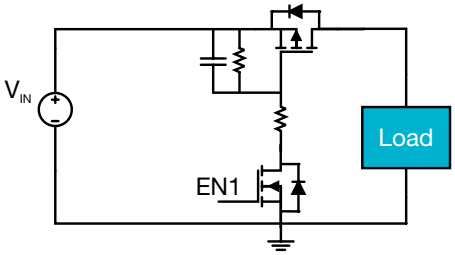


図 ***4***: ***RC*** の立ち上がり時間を使用して突入電流を制限するディスクリート ***MOSFET***。

これは、RC 時定数を介してスイッチ速度を制御する簡単な方法です。速度を下げて総ターンオン時間を延ばすことができますが、dv/dt 速度は非線形であることに注意してください。したがって、突入電流は非線形です。スイッチは最初はゆっくりとオンになり、その後スイッチが完全にオンになるまでの間、指数関数的に増加します。RC ベースの突入電流については、図 **5** を参照してください。

リニア・ソフト・スタートまたは dV/dt

多くの統合型パワー・スイッチは、出力電圧の立ち上がり時間を線形に制御する方法を備えています。これ

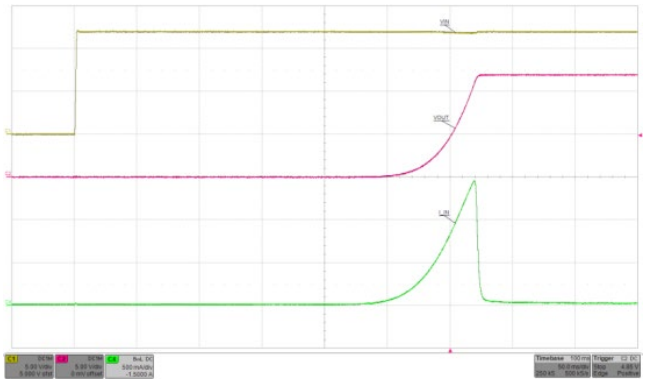


図 ***5***: ***RC*** ベースの突入電流。

らのスイッチでは、固定の立ち上がり時間または調節可能な立ち上がり時間が用意されている場合があります。すべての場合において、出力電圧の立ち上がり時間を線形に制御することは、一定の dV_{OUT}/dt レートを制御することを意味します。この場合、C_{LOAD} が一定で、dV_{OUT}/dt が一定速度の場合、図 **6** に示すように、I_{INRUSH} も一定になります。

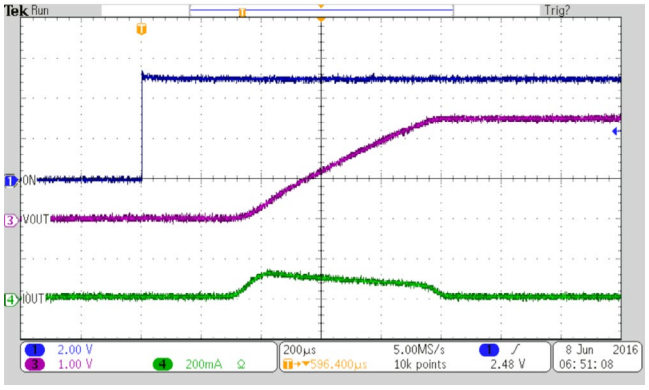


図 ***6***: テキサス・インスツルメンツの *TPS22975* ロード・スイッチを使用してリニア ***dv/dt*** により突入電流を制限。

リニア・ソフト・スタートには、突入電流の単純で正確な計算など、RC 時定数アプローチに比べていくつかの利点があります。状況によっては、最大突入電流制限と最大ターンオン時間要件の両方がある場合があります。これらのケースで、RC 時定数がオンになるまでに時間がかかりすぎる場合や突入電流が大きすぎる場合、両方の要件を満たすうえで線形制御方式が最良の機会を提供します。式 **2** を満足できない場合は、設計アーキテクチャを変更してこれらの制限を取り除くか、より小さい C_{LOAD} またはより低い V_{OUT} に移行する以外の解決策はありません。

$$I_{INRUSH_MAX} = C_{LOAD} \times \frac{V_{OUT}}{t_{ON}} \quad (2)$$

定電流 / 電流制限レギュレーション

リニア・ソフト・スタート方式と同様に、突入電流を制御する定電流方式は、純粋な容量性の負荷に電力を供給している場合と同じ結果になります。一定の I_{INRUSH} で充電した場合、与えられた C_{LOAD} に対して充電の dv/dt が一定になります。

違いは、リニア・ソフト・スタートで電圧が調整されていたのに対して、電流リミッタでは電流が調整されることです。これらのアプローチは、コンデンサの外部で負荷の導入を開始すると違いが表れます。出力電圧が完全にオンになる前に作動する集積回路がある場合、リニア・ソフト・スタート方式ではその電流が重ね合わされます。定電流方式では、一部の電流が出力コンデンサではなく負荷に流れるため、スルーレートが変化します。

図 **7** で、リニア・ソフト・スタートでは、出力のスルーレートが一定に保たれています。一方、定電流制限では、2.5V で負荷がオンになるとスルーレートが変化します。

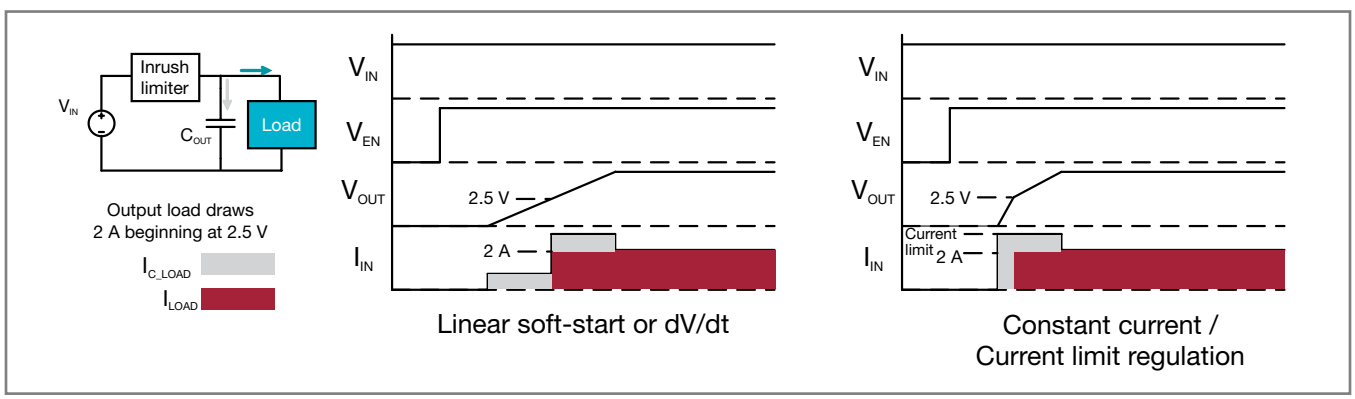


図 ***7***: リニア ***dv/dt*** と定電流制限レギュレーション。

起動時の定電流制限は、スイッチのターンオン操作の途中で負荷がオンになる可能性がある場合に役立ちます。定電流制限デバイスは、多くの場合、出力短絡などのイベントに対する保護を提供します。電流制限手法については次の章で詳しく説明しますが、これは起動時の突入電流を管理する 1 つの方式であることを理解することが重要です。

サーマル・レギュレーション

スイッチをできるだけ早くオンにする一方で保護を維持するための最後の手法として、サーマル・レギュレーションを使用する手法があります。これは、出力容量が大きい場合や不明な場合（オフボード負荷の駆動時など）に役立ちます。接合部温度が規定のレベルに上昇すると、デバイスは、安定化された接合部温度を維持するために突入電流プロファイルの制御を開始します。これは、負荷コンデンサが完全に充電されるまで、またはタイムアウトになるまで継続されます。サーマル・レギュレーション・ループを備えたスイッチの詳細については、図 **8** にも示されている TPS2663 eFuse（電子ヒューズ）を参照してください。

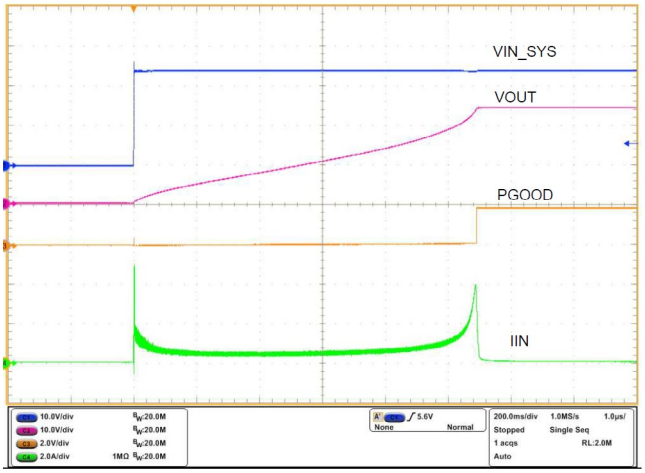


図 ***8***：***24V*** の V_{IN} と ***30mF*** の出力容量で ***TPS2663*** を使用したサーマル・レギュレーション・ループ。

第 2 章 調整可能な電流制限

執筆者：Rakesh Panguloori、Lokesh Ghulyani

概要

多くのシステムでは、過渡的な過負荷電流を許容レベルに制限するために電流制限が不可欠です。ディスクリートのリセット可能なヒューズ回路などの従来の電流制限ソリューションは、不正確で応答が遅く、設定の柔軟性や動作の再現性に欠けるため、パフォーマンスの点で劣ります。この章では、統合型パワー・スイッチ・ソリューションがどのようにディスクリート電流制限ソリューションの制限を克服しているかについて説明します。

統合型パワー・スイッチ・ソリューションは、過負荷電流を精密に制限するのに役立つ正確で調整可能な電流制限を提供することで、フロント・ステージの電力バジェットの削減、および受動部品、ケーブル、プリント基板 (PCB) パターンのサイズの削減を可能にします。加えて、正確な電流制限（または出力電力制限）機能により、重要な安全基準に準拠することでシステム設計が簡素化されます。

電流制限の必要性

電子機器の内部にあるすべての半導体部品、パッシブ・フィルタ、PCB パターン、およびインターフェイス・ケーブルにはそれぞれ固有の最大電流能力があり、これを超えると、過熱して回復不能な状態になる可能性があります。これを克服するために、特定の電流制限デバイスでは、障害電流を最大電流定格制限内に制限し、障害が解消された後にシステムを通常の動作に戻します。

図 **1** に示す例では、DC/DC コンバータから、それぞれが適切な動作のために特定の電圧を必要とするさまざまな内部サブシステムに電力が供給されています。これらのサブシステムのいずれかで過負荷イベントが発生すると、同じパワー・ディストリビューション・バスに接続されている重要な負荷の動作が影響を受け、システムの動作エラーやシステム・リセットが発生する可能性があります。

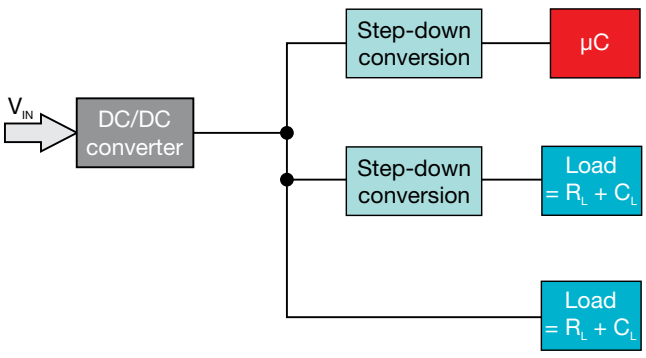


図 ***1***：一般的な電子機器でのパワー・ディストリビューション。

このようなシナリオを克服するために、各パワー・パスで電流制限デバイスを使用して過負荷および短絡イベントを管理し、敏感な回路を保護して、信頼性の高いシステム動作を実現することができます。

電流制限デバイスのパフォーマンスは、次のパラメータによって決定されます。

- 精度。
- 調整可能性。
- 再現性。
- 応答時間。

電流制限を実装する従来の方法

ヒューズは伝統的に保護デバイスとみなされ、メイン・システムから過負荷または短絡故障を分離します。ヒューズは安価なソリューションですが、最新の電子機器に適用される保護要件を満たさない場合があります。応答をミリ秒単位の時間内に生成するには、過負荷電流が定格ヒューズ電流よりもはるかに高い (500%) 必要があります。そのため、ヒューズがオープンになる正確な過電流レベルを予測することは非常に困難です。控えめなヒューズ電流定格を選択すると、突入電流イベント中にヒューズが破損する可能性があります。さらに、過負荷イベント中にヒューズが破損した場合はこれを物理的に交換する必要があるため、システムのダウンタイムとメンテナンス・コストが増加します。図 **2** に、このシナリオを示します。



図 ***2***：通常の操作を再開するには、溶断したヒューズをその都度物理的に交換することが必要。

リセット可能なヒューズは、温度とともにオン抵抗が増加する正温度係数 (PTC) デバイスです。過負荷イベント中、過剰な負荷電流により電力損失が増加し、それによってオン抵抗が増加します。より大きなオ

ン抵抗は、過負荷電流を制限し、回路を保護するのに役立ちます。物理的なヒューズとは異なり、PTC では、障害が解消された後にデバイスを交換することなく電流を流すことができます。

PTC は過電流負荷の発熱効果によって作動し、図 **3** に示すように本質的に周囲温度に依存するため、反応時間は数ミリ秒に抑えられます。リセット可能なヒューズのもう 1 つの特性は、リセットのたびにオン抵抗が増加することです。そのため、長期にわたるパフォーマンスの再現性については懸念があります。

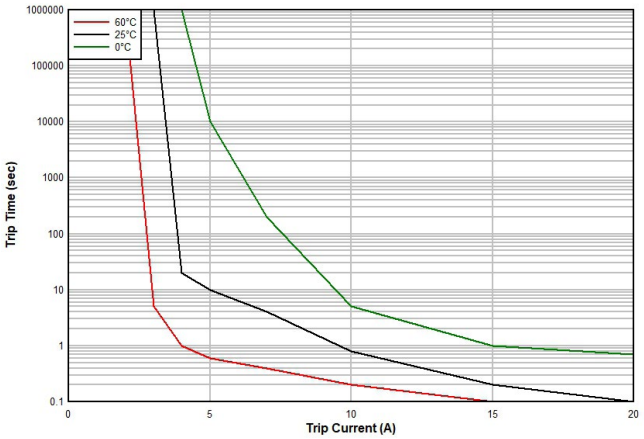


図 ***3***: トリップ時間とトリップ電流の温度に対する依存関係。

ディスクリート電流制限回路

図 **4** は、ディスクリート部品を使用した電流制限回路の例を示しています。ディスクリート・パワー・スイッチ Q1 の周囲の抵抗とコンデンサ部品により、金属酸化膜半導体電界効果トランジスタのスイッチング速度が遅くなり、突入電流制御が提供されます。この実装では、直列センス抵抗 Rs と PNP (P チャネル – N チャネル – P チャネル) トランジスタ Q2

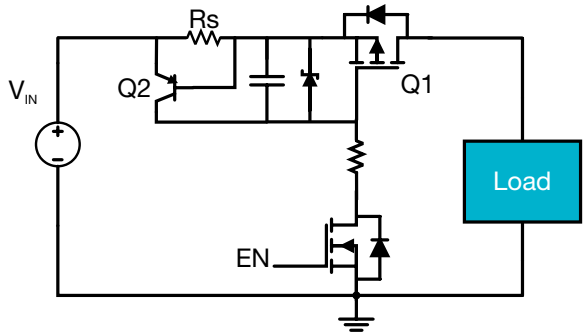


図 ***4***: ディスクリート部品を使用したアクティブ電流制限回路。

の組み合わせにより、アクティブな電流制限が提供されます。

定常状態の動作では、Q1 が完全にオンになり、負荷電流が直列センス抵抗 Rs とディスクリート・ パワー・スイッチ Q1 を流れます。Rs の両端間での電圧降下により、Q2 のバイアス電圧 VBE が生成されます。これは、閉ループ形式で Q1 を制御するために使用されます。負荷電流が Q2 をオンにバイアスするのに十分な大きさに達すると、Q2 により Q1 のゲート / ソース間電圧が下がり、負荷電流が VBE/Rs に制限されます。

このディスクリート・アプローチの応答時間は、ヒューズや PTC よりもはるかに優れていますが、相変わらず精度は低いままです。電流制限の精度は、温度による VBE 電圧の変動を考慮して 30% の範囲になります。もう 1 つの欠点は、センス抵抗での電力損失です。5-A アプリケーションの場合、消費電力は 3.25W と大きくなります (0.65V × 5A = 3.25W)。 過負荷の場合に電流センス・アンプまたは高速コンパレータを使用してパス・スイッチ Q1 を無効にすることで電力損失を減らすことは可能ですが、これにより複雑さとコストが増加します。ディスクリート電流制限回路には過熱保護が組み込まれていないため、これらのソリューションでは、パス電界効果トランジスタ (FET)を細心に選択し慎重な熱設計をすることにより、極端な障害状態でもパス FET が安全な動作領域の制限内に保たれるようにする必要があります。これらの制限はすべて、精度、コスト、複雑さ、PCB サイズ、電力損失の間のトレードオフにつながることがよくあります。

eFuse

eFuse は、障害状態時に電流を安全なレベルに制限するために使用される FET 内蔵のアクティブ電流保護デバイスです。eFuse の一般的な要素は、負荷電流を変調するパワー・スイッチ、電流センシング素子、および制御ロジックです。次のページの図 **5** に示すように、電流制限しきい値は eFuse の I_{LIM} ピンの外部抵抗 R_{LIM} を介して目的の値に設定できるため、システムで電流制限を広範囲に調整できるフレキシビリティがもたらされます。

定常状態では、内蔵されたパワー・スイッチが（ディスクリート・スイッチのように）完全にオンになり、パワー・パスでの電圧降下を最小限に抑えます。いずれかの時点で、負荷電流が設定された電流制限レベル I_{LIM} に達すると、ゲート制御により内蔵パワー・スイッチはリニア・モードに移行します。これにより、オ

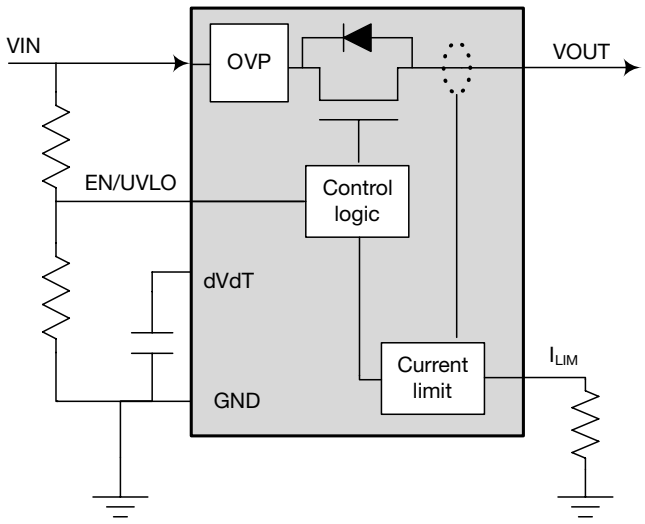


図 ***5***: ***eFuse*** のブロック図。

ン抵抗が増加し、eFuse 両端間での対応する電圧降下が大きくなることで、定出力電流が供給されます。

図 **6** は、電流制限が 4A に設定された eFuse の過負荷応答を示しています。ご覧のように、eFuse は過負荷イベントに対して迅速に（通常は数百マイクロ秒）応答し、出力電流をI_{LIM}になるよう調整します。障害が取り除かれると、eFuse はスムーズに通常動作に戻ります。

eFuse は、電流ミラー回路を使用して、（図 **4** の Rs のような）外部センス抵抗を必要とせずにパス電流を測定します。このアプローチでは、基板面積を節約できることに加え、センス抵抗の損失を排除し、ディスクリート・アプローチよりも優れた電流制限精度が提供されます (±5% ～ ±8% の範囲)。

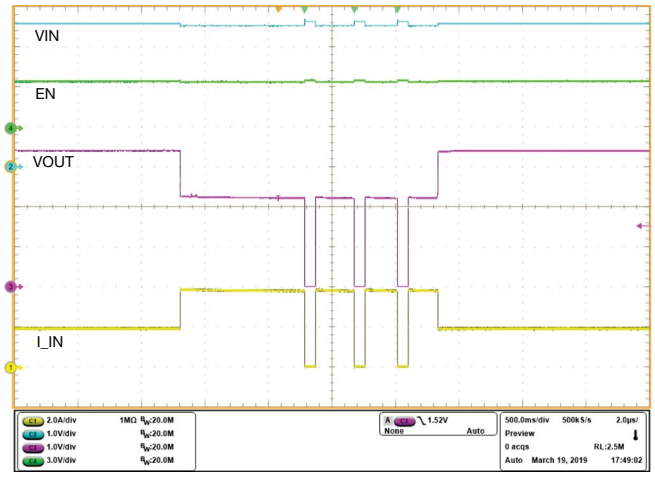


図 ***6***: ***TPS2595 eFuse*** による過渡過負荷電流制限および復帰。

eFuse デバイスのもう 1 つの主要な利点は、内蔵された過熱保護です。このデバイスは、接合部温度が 150°C を超えると内蔵パワー・スイッチを遮断して、堅牢な保護を実現します。

ハイサイド・スイッチ

スマート・パワー・スイッチは、過電流保護を通じて過負荷イベントおよびグランドへの短絡イベントに対する堅牢な保護を提供し、車載電子部品評議会 (AEC) の Q100 オプションで利用できます。これらのデバイスは、eFuse と同様の電流制限機能を提供しますが、オフボードの誘導性負荷を駆動する能力が異なります。

図 **7** に示すように、スマート・パワー・スイッチには、内部の固定高電流制限 (C_L ピンがグランドの場合）または外部の下限電流制限値 (C_L ピンが外部抵抗 R_{CL} を通じてグランドに接続されている場合）のいずれかを使用するオプションがあります。調節可能な低電流制限により、障害時に内部パワー・スイッチが処理する必要がある障害エネルギーが大幅に削減されます。その結果、パワー・スイッチに対するストレスが軽減され、システムの信頼性が向上します。

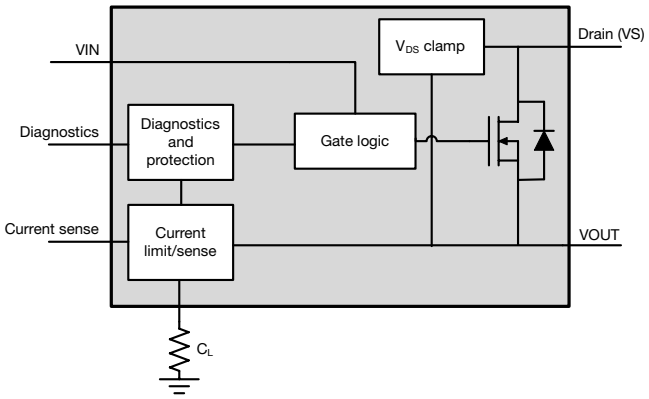


図 ***7***: ハイサイド・スイッチのブロック図。

次のページの図 **8** に示すように、下限電流制限は、突入電流をはるかに低い値にクランプするのにも役立ちます。障害電流が減ることで、PCB パターン幅とケーブル・サイズが最小限に抑えられ、コネクタの定格と部品の許容誤差が軽減されるため、システム・レベルのコストを節約できます。スマート・パワー・スイッチでの調節可能な電流制限の利点の詳細については、アプリケーション・レポート「Adjustable Current Limit of Smart High-Side Switches」（英語）をご覧ください。

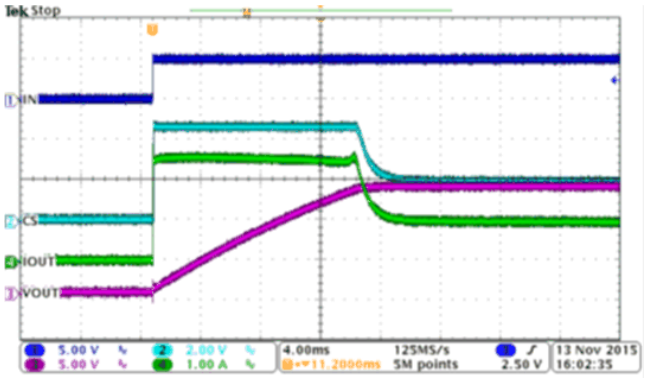


図 *8*：*TPS1H100-Q1* ハイサイド・スイッチによる突入電流のクランプ。

電力制限

電力制限は通常、負荷に供給される電力を制限するために必要となります。電圧範囲が狭い電源の場合、電力を制限するには電流制限デバイスで十分です。ただし、電圧範囲がより広い電源では、電力制限デバイスが必要です。図 **9** は、電力を制限するための代表的な実装を示しています。

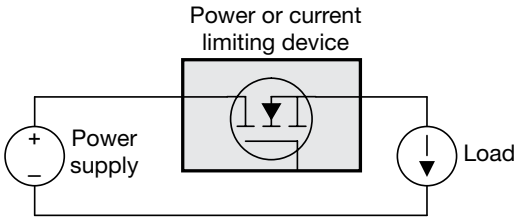


図 *9*：典型的な電力制限。

電力制限の必要性

ほとんどのアプリケーションでは、電流制限を使用して電力制限を実現できます。ただし、特定のアプリケーションでは、負荷に供給されるエネルギーまたは電力を正確に制限する必要があります。プログラマブル・ロジック・コントローラなどの産業用システムは、18V ～ 36V の広い動作電圧範囲を持ちます。通信システムの場合、動作電圧範囲が 36V ～ 72V の範囲で変動するため、電流制限に加えて電力制限が必要になる場合があります。

固定出力電圧またはより小さな電圧の変動に対して電流を制限することで、電力制限を実現できます。ただし、電圧の変動が大きい場合は、電力を制限するために追加の制御ループが必要になります。この追加の電流ループは、一定の電力を維持するために電流制限を電圧によって調整します。TI の高精度電力制限ソリューションのリファレンス・デザインは、この追加の制御ループの例を提供します。

産業機器の電力とエネルギーの制限については、国際電気標準会議 (IEC) の 61010-1 などの安全規格とコンプライアンス規格があります。これらの規格に準拠することは、正確な電力制限も必要であることを意味します。

特定の電源は本質的に電力制限されています。これらの電源は、米国電気工事規程 (NEC) クラス 2 または IEC 60950 規格に準拠しています。これらの電源で電力制限を実現するには、追加の電力制限回路が必要です。

eFuse を使用した電力制限の実装

TI の TPS2663 および TPS1663 eFuse は、産業用アプリケーションなどで電力を正確に制限するための統合ソリューションを提供します。これらの eFuse は追加の電力制限制御ループを備え、P_{LIM} ピンを介して出力電力制限の構成が可能です。TPS2663 および TPS1663 は、出力電力を ±6% の精度で最大 150W に制限できます。さらに、これらのデバイスでは、プログラムされた電流制限の 2 倍の電流（パルス電流の 2 倍）が過渡負荷に流れるようにすることで、負荷過渡イベントにも対応します。

図 **10** は、TPS2663 の電力制限応答を示しています。出力電力制限は、P_{LIM} ピンの抵抗によって 100W に設定されています。このデバイスでは、25ms の期間にわたって 12A のパルス電流と 282W のパルス電力を許容して、負荷過渡に対応しています。TPS2663 デバイスの電力制限の詳細については、データシートを参照してください。

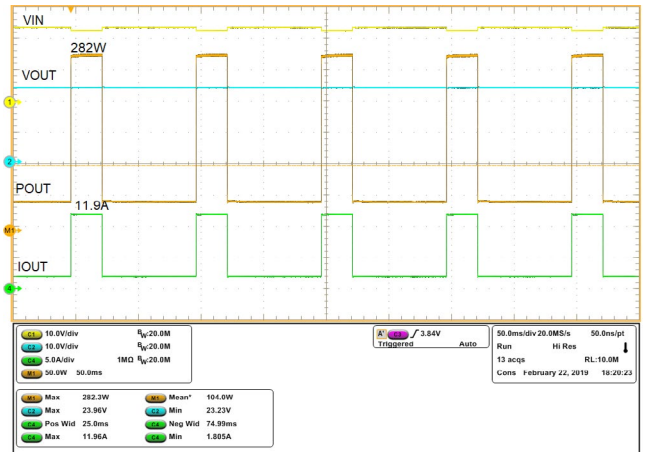


図 *10*：*TPS26633* による電力制限（パルス電流の *2* 倍をサポート、I_{LIM} = *6A*、V_{IN} = *24V*）。

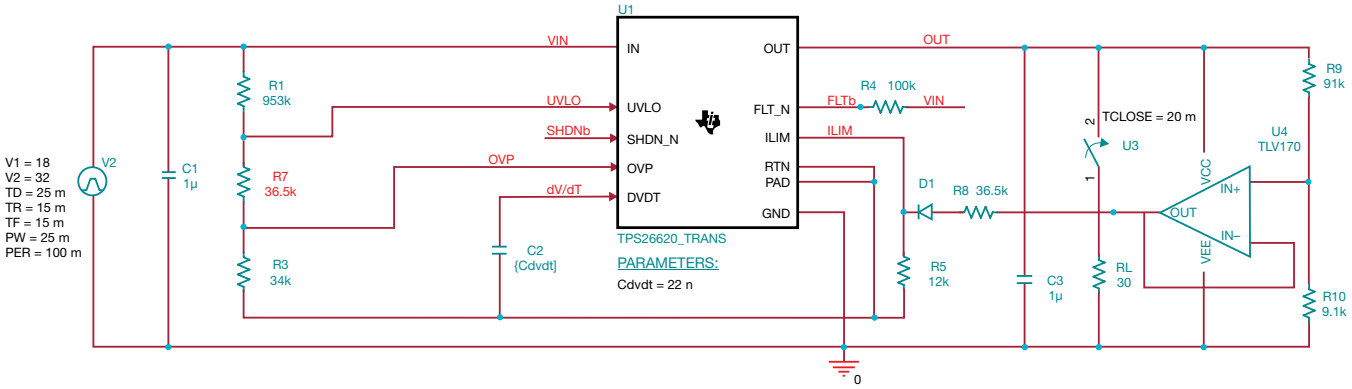


図 ***11*** : 制御ループを追加された*TPS2662* による電力制限。

外部制御ループによる電力制限の実装

電流制限を使用して電力制限を行えるのは、電源の入力電圧範囲が狭い場合です。電圧範囲が広い電源で電力制限を行うには、正確な電力制限のための制御ループを追加し、出力電圧に基づいて電流制限を調整する必要があります。

図 **11** は、電力制限のために TPS2662 を実装している例を示しています。追加の制御ループでは、TLV170 アンプにより、出力電圧に比例する電流を I_{LIM} ピンに入力して、電力を制限します。図 **12** は、図 **11** に示す回路を PSpice でシミュレーションした結果を示しています。このシミュレーションの場合、入力電圧範囲は 18V ～ 32V です。TLV170 がその電流制限を調整して、出力電力を 10W 未満に制限しています。

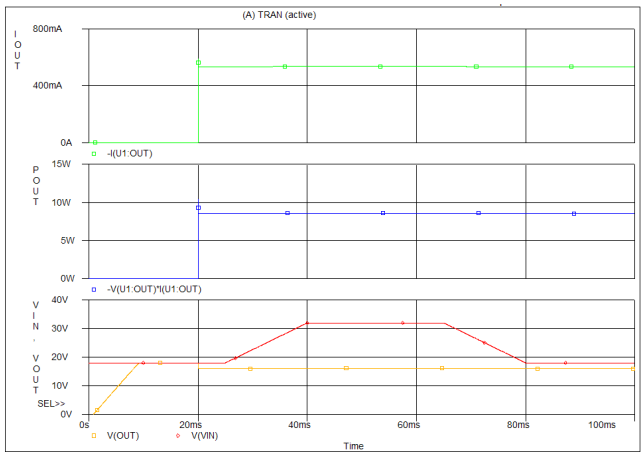


図 ***12*** : *TPS2662* による電力制限のシミュレーション結果。

まとめ

最近の電子機器では、ほとんどの場合、電流制限は基本的な保護要件の 1 つとなっています。ディスクリート部品で実装することもできますが、必要な基板スペースが増し、効率が低下して、一般的にはコスト・パフォーマンスも低下します。TI 統合ソリューションの eFuse とハイサイド・スイッチでは、電流を正確に制限し、応答時間を短縮して、ユーザーの介入なしに自己修復を行うことができます。

第 3 章 短絡保護

執筆者：Alec Forbes

概要

短絡保護は、出力電源保護の信頼性を強固なものにするために重要です。短絡障害が起きると、電源に障害が発生したり、システムが損傷したりする場合もあります。通常、短絡保護は、電流制限型出力を使用して実装します。ただし、電流制限が短絡保護の信頼性に与える影響を理解することが重要です。

短絡保護の動作および保護条件は、出力インピーダンス（端子の短絡から一部抵抗を含む短絡まで）に応じて変化します。電流およびエネルギー・プロファイルは、短絡インピーダンスおよび負荷プロファイルに応じて、さまざまな形を取ります。

短絡とは

パーソナル・エレクトロニクス、産業用、車載用、および通信アプリケーションの場合、短絡保護は、すべてのパワー・ディストリビューション出力の安全要件の 1 つとなります。短絡は、帯電した導体がシステム内の接地された素子に物理的に接触した場合に発生します。短絡時は、電源とグランド間の電気的な短絡により、インピーダンスが非常に低い経路が形成され、大電流が制御されずに持続的に流れます。このタイプの電流は、システムにとって極めて危険で、集積回路 (IC) に障害が発生する原因となります。図 **1** を参照してください。したがって、システムに短絡現象のリスクがある場合は、堅牢な保護回路を必ず実装する必要があります。

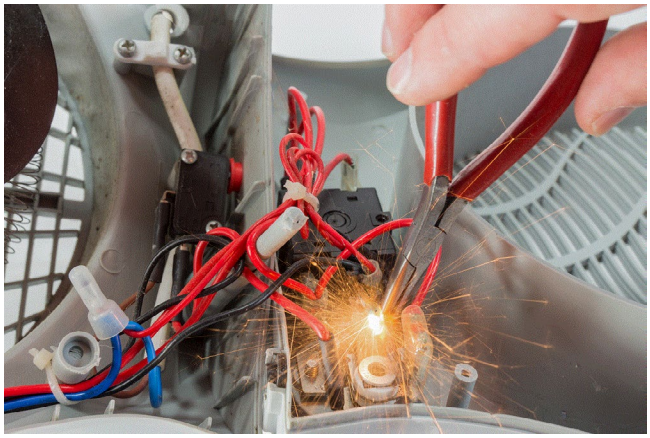


図 *1*：*IC* 障害の例。

短絡のリスクが高くなるシステムには、次のような特徴が含まれています。

- **出力ケーブル**。時間の経過とともに、ケーブルが摩耗し、金属が露出する場合があります。これが原因で、ケーブルの金属がコネクタと接触することがあります。
- **ゴミが多い環境**。短絡の原因としてよくあるのは、金属のゴミによってピンやパターンが短絡することです。
- **メンテナンスの必要性**。メンテナンス中に金属製の工具と接触する可能性があると、短絡現象を誤って引き起こすリスクが高くなります。
- **高電圧電源**。電源から供給できるエネルギーが高いほど、短絡現象のリスクが高くなり、人体への危険性が生じます。

たとえば、車載用システムでは、出力短絡保護回路を調整する際に、AEC (Automotive Electronics Council、車載電子部品評議会）の Q100-012 規格が使用されます。この規格は、短絡現象を何千回繰り返してもシステムが耐えられる必要があることを義務付けるものです。アプリケーション・レポート「AEC-Q100-012 Short-Circuit Reliability Test Results for Smart High-Side Switches」（英語）に、TI によるハイサイド・スイッチのテスト・プロセスが記載されています。

短絡に対する保護

短絡現象時に最も危険であるのは、出力インピーダンスが低いことによって、大電流が持続的に流れることです。短絡に対する保護を行うには、システムに出力電源保護回路を実装する必要があります。これにより、短絡現象を認識したら、システムを迅速かつ安全にシャット・オフできるようにします。

このタイプの保護回路を実装するには、出力で電流制限型のスイッチを使用するのが最良の方法です。このスイッチにより、短絡電流が制御されずに持続的に流れることが防止され、システムがシャットオフされて出力回路が保護されます。出力インピーダンスは値が不明で、多くの場合、誘導素子が含まれるため、スイッチは、インダクタンスを安全に消磁できる必要があり、そのためにフライバック・メカニズムが必要となります。次のページの図 **2** は、短絡の可能性がある標準的な設定を示しています。

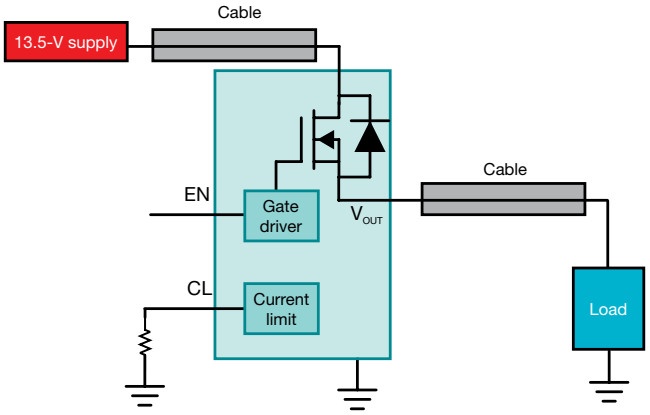


図 *2*: 短絡の可能性がある標準的な設定。

システムが耐えられる必要がある短絡条件は、主に、端子の短絡、ケーブルの短絡、および抵抗性の短絡の 3 つです。

端子の短絡

最も単純なタイプの短絡は、図 **3** に示す端子の短絡です。ここでは、TI ハイサイド・スイッチによって出力保護段が構成されています。出力電流は、90A の電流制限に達するまでは急峻に増加します。90A に達すると、スイッチは、短絡現象を認識してオフになり、危険な電流が防止されます。

これは端子の短絡であるため、直列インピーダンスは最小となります。また、電流制限出力により、システムを短絡から簡単に保護できます。短絡電流の立ち上がり / 立ち下がり時間は非常に短く、この現象全体は、50µs 未満で終了します。

短絡を理解するには、合計積算障害エネルギーを調べます。これは、次の 2 つの部分で発生します。

- 短絡電流が立ち上がると、電界効果トランジスタ (FET) で抵抗性の電力損失が発生します。ただし、FET は飽和モードで、抵抗は非常に小さいため、電力損失は小さくなります。
- スイッチが電流制限に達してオフになると、短絡したパターン内の小さな誘導性要素によって、負の電圧スパイクが発生します。これにより、スイッチの電圧クランプが作動し、ドレイン – ソース間電圧 (V_{DS}) が 40V に上昇します。このように、V_{DS} が高いため、インダクタンスの消磁の間、より多くの障害エネルギーを消費する必要があります。

パルスの長さが短いため、障害エネルギーの合計は、電流制限が高いにもかかわらず、比較的安全な 18mJ に維持されます。このケースは、出力保護に影響を与える直列インピーダンスがないため、耐えるのが最も簡単な短絡です。

ケーブルの短絡

ケーブルで短絡が発生した場合は、ケーブルの直列インピーダンスを考慮する必要があるため、保護の難易度が高くなります。次のページにある図 **4** の波形は、TI ハイサイド・スイッチの短絡を示しています。ただし、今回、短絡は、5µH のケーブル (5m ケーブルの標準値) の負荷側で発生しています。

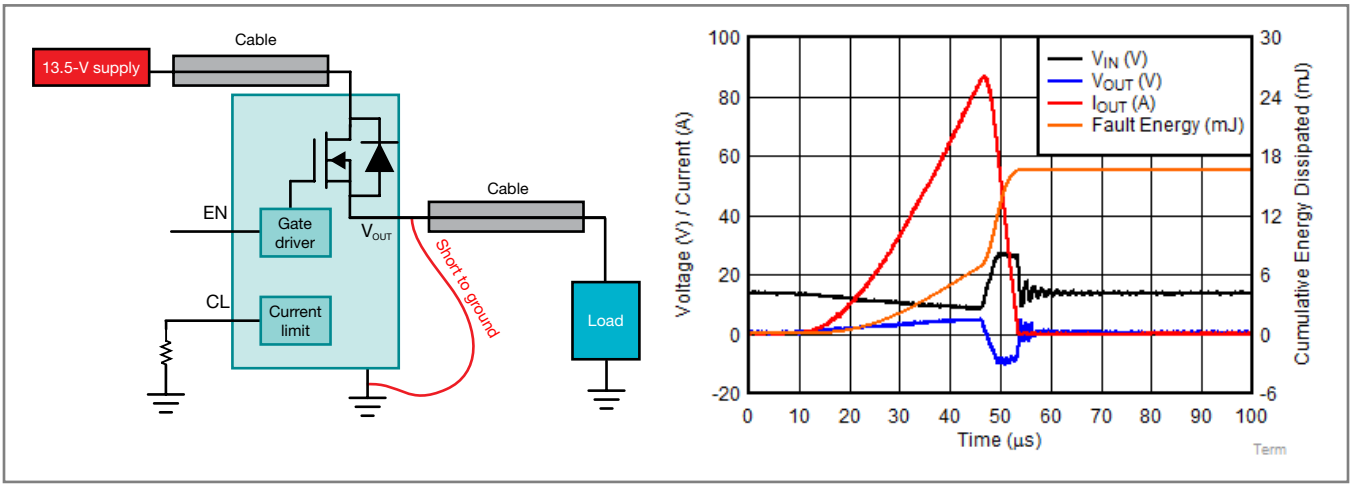


図 *3*: 出力での端子の短絡。

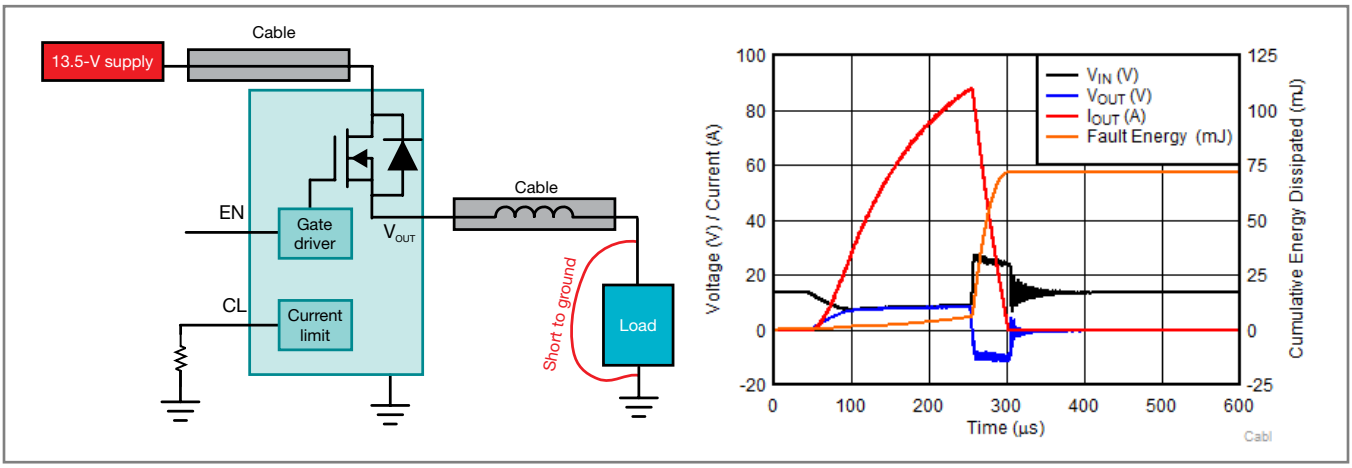


図 *4*: 負荷の両端でのケーブルの短絡。

直列インダクタンスが追加されることにより、電流の立ち上がり / 立ち下がり時間が大幅に長くなります。このため、パルスの長さは 10 倍になり、障害エネルギーの合計は 75mJ になります。これは、端子の短絡より 4 倍大きくなっています。エネルギー消費は、端子の短絡の場合と同様、2 つの場所で発生します。ただし、出力インダクタンスは、単なる寄生容量（通常は、10nH 未満）ではなく、5µH です。このため、インダクタの消磁に含まれる積算障害エネルギーのパーセンテージは、はるかに高くなります。

電流が大きいため、障害時に消費されるエネルギーは、非常に大きくなる場合があります。このため、誘導性クランプの定格は、このエネルギーを消費できるように十分に高くする必要があります。式 **1** は、直列クランプを通じて誘導素子を放電している間に消費されるエネルギーを計算するものです。

$$E = \frac{1}{2} \times L \times I_{PK}^2 \times \left(\frac{V_{IN}}{V_{CLAMP} - V_{IN}} \right) \qquad (1)$$

ハイサイド・スイッチのパラメータ、V_{CLAMP} は、デバイスごとに異なりますが、通常は、40V ～ 60V です。したがって、ケーブルのインダクタンスが 5µH と小さくても、電流制限が大きければ、出力保護段で吸収する必要がある消磁エネルギーが大きくなる可能性があります。消磁中、入力インダクタンスが原因で入力電圧が高くなり、消費する必要がある障害エネルギーの合計が増加する場合もあります。

ほとんどの場合、ハイサイド・スイッチには、誘導性負荷エネルギーのピーク値が示されています。そのため、最大ケーブル長と最大電流から計算したエネルギーが定格エネルギーを下回っていることを確認してください。図 **5** は、TI ハイサイド・スイッチのこれらの値を示しています。

抵抗性の短絡

抵抗性の短絡が発生するのは、ごみや腐食によって部分的な短絡や負荷障害が起きた場合です。上記の短絡の場合は、小さな直列抵抗があるために電流が電流制限に達するまで増加し続けます。大電流が流れたときに直列抵抗があると、電流制限に達する前に電流が飽和するリスクがあります。直列抵抗がある場合は、出力保護段の電流制限を十分に低くして、短絡が障害イベントと認識されるようにする必要があります。

次のページの図 **6** は、直列抵抗が原因で、短絡電流が出力保護の電流制限より小さくなり、その結果、デバイスの出力がオフにならず、電流がいつまでも流れるケースを示しています。

この場合は、システムがサーマル・シャットダウンに達するまで大電流が制御されずに流れるか、または 2 番目の電流監視方式によってシステムがオフにされます。抵抗性の短絡に対する信頼性を確保するに

ターンオフ時のエネルギー消費、E_{TOFF}	単一パルス、L_{OUT} = 5mH、$T_{J,start}$ = 125°C	200 mJ
ターンオフ時のエネルギー消費、E_{TOFF}	反復パルス、L_{OUT} = 5mH、$T_{J,start}$ = 125°C	80 mJ

図 *5*: *TI* ハイサイド・スイッチの誘導性エネルギーの消費。

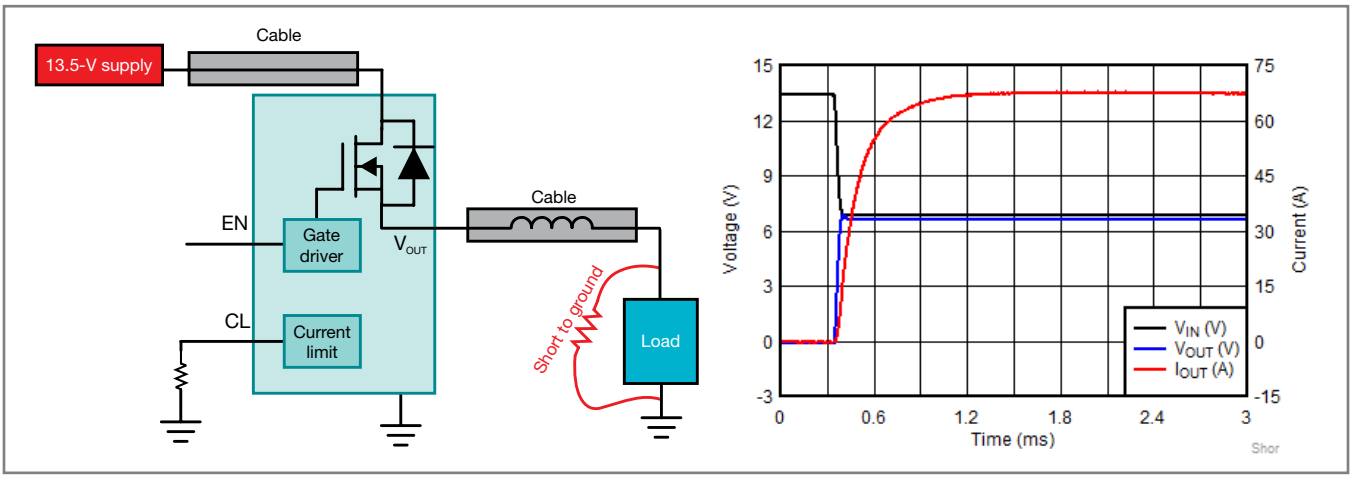


図 *6*: 抵抗性の短絡。

は、過渡電流パルスを管理するようにシステム全体を設計するか、または出力保護段の電流制限をできるだけ低くしてシステムを確実にシャット・オフする必要があります。

アプリケーション・ノート「Improved Automotive Short Circuit Reliability Through Adjustable Current Limiting」（英語）では、この現象が詳細に説明されています。

システムの中断

前のセクションでは、システムが短絡現象に確実に耐えられるようにする方法について説明しました。しかし、たとえシステムが損傷せずに耐えたとしても、短絡現象によるシステムの中断は、可能な限り短くする必要があります。

短絡現象時は、大電流が流れるために入力電源が過負荷となり、システム全体で低電圧ロックアウト現象が発生する場合があります。これを防止するには、短絡を可能な限り早く認識し、応答時間が非常に短いソリューションで短絡保護を実施できるようにすることが重要です。

応答時間を最小限に抑えるため、多くの保護デバイスでは、高速トリップ応答が実装されており、過電流現象が発生してから数 ns 以内にトリガされるようになっています。高速トリップのスレッショルドに達すると、デバイスは即座にオフになり、電源を保護します。その後、選択した電流制限に達するまで、出力電流を安全のため徐々に大きくします。これにより、短絡時にオーバーシュートによって電源に悪影響が及ぶことが防止されます。

保護に関する検討事項

短絡に対する保護を行う場合、電流制限と誘導性クランプを組み込んだ出力保護段を使用することがベスト・プラクティスとなります。通常、この保護段を実装するには、出力クランプが組み込まれたハイサイド・スイッチを使用するか、または eFuse またはロード・スイッチ IC と外部のフライバック・ダイオードを併用します。

短絡保護を設計するときは、次の点を検討します。

- 電流制限値をできるだけ低くする。電流制限を低くすると、短絡時に消費する必要があるエネルギーが最小限に抑えられます。このエネルギーは、電流の 2 乗の関数です。このため、ピーク電流を最小限に抑えると、障害のリスクが大幅に減少します。電流制限は、最大動作電流にできるだけ近づけてください。
- 必要な障害エネルギーを出力保護段で消費できることを確認する。予想される最大短絡エネルギーをケーブル長と電流制限に基づいて計算し、そのエネルギーを出力保護段で安全に消費できることを確認します。
- 入力および出力インダクタンスを制限する。短絡と直列のインダクタンスがあると、消磁時間および消費する必要がある合計障害エネルギーが大幅に増加します。
- 抵抗性の短絡を確実に認識する。抵抗性の短絡が発生する場合は、部分的な障害を認識できるように電流制限を十分に低くするか、または負荷電流

を継続的に監視する代替の過電流検出方式（マイコンなど）を用意します。

- 保護の応答時間について理解する。短絡によって過電流が発生した場合、I_{LIM} 回路が電流を制限できるようになるまで一定の応答時間があり、この応答時間の間にオーバーシュートが発生します。この応答時間が可能な最大電流の大きさにどのように影響するかを理解してください。

出力保護段をこれらの原則に基づいて設計すると、出力を短絡から安全に保護して、損傷のリスクを最小限に抑えることができます。

第 4 章 逆電流保護

執筆者：Alek Kaknevicius

概要

逆電流は、電流が入力から出力ではなく、出力から入力に流れたときに発生します。この章では、逆電流の発生源、逆電流がシステムに有害となる理由、逆電流を防止するための設計の変更方法について説明します。

逆電流とは

逆電流は、システムの出力電圧が入力電圧よりも高いときに発生します。つまり、電流は、システム内を逆方向に流れます。逆電圧は、主に 2 つの状況で発生します。1 つめは、システムの電源が切断され、入力電圧が突然降下したときです。この場合、出力には入力より高い電圧が残るため、一時的に逆電流が発生します。図 **1** をご覧ください。

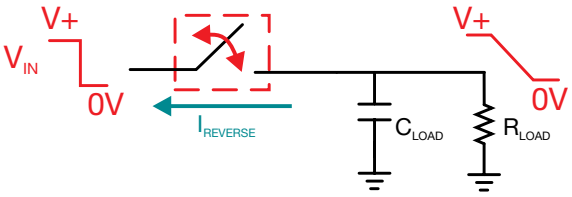


図 ***1***：突然の電源喪失が原因で発生した逆電流。

2 つめは、負荷切り替えアプリケーションで金属酸化膜半導体電界効果トランジスタ (MOSFET) が使用されており、ボディ・ダイオードが順バイアスになったときです。

スイッチの出力電圧が入力電圧より高い場合は、逆電圧が発生し、これが原因で逆電流が流れます。負電圧（逆極性とも呼ばれる）と混同しないでください。負電圧は、電源の正端子と負端子が入れ替わった状況で発生します。この場合は、実際にはグランドに接続すべき端子の電圧が、システムへの正入力の電圧となります。図 **2** を参照してください。これにより、デバイスでは逆電流とは異なる電流現象が発生します。逆極性保護の詳細については、第 5 章を参照してください。

逆電流のブロックが必要な理由

逆電流が流れると、内部回路と電源が損傷するおそれがあります。出力から入力への経路によっては、逆電流スパイクにより、ケーブルとコネクタが損傷する場合もあります。負荷切り替えアプリケーション

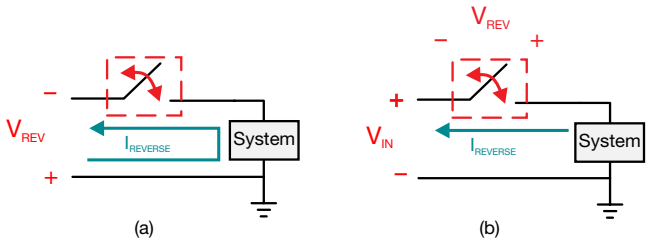


図 ***2***：逆極性 ***(a)***、逆電圧 ***(b)***。

で MOSFET が使用されている場合、ボディ・ダイオードが順バイアスになると、逆電流がボディ・ダイオードを通じて逆方向に流れることがあります。これは、FET の出力電圧が入力電圧より高いためです。これにより、ボディ・ダイオードの電力消費が直線的に上昇します。ボディ・ダイオードの電力消費は、次の式 1 で表されます。

$$P = IV: P_D = I_{REV} \times V_{DROP} \quad (1)$$

ここで、P_D はボディ・ダイオードで消費される電力、I_{REV} はデバイスを流れる逆電流、V_{DROP} はボディ・ダイオードでの電圧降下を示しています。

デバイスの電力消費によって発生した熱がデバイスの熱定格を超えると、デバイスが燃焼する場合があります。したがって、逆電流、すなわち逆電圧を制限することは不可欠です。

逆電流のブロックがいつ必要であるか

逆電流のブロックが必要なアプリケーションは複数存在します。

電源多重化

電源多重化では、スイッチング回路を使用して、システム用の複数の電源のいずれかを選択します。つまり、電源を切り替えることができます。次のページの図 **3** は、この構成を示しています。

いずれかの電源の電圧が他の電源より高い場合は、他の電源レールに「オープン」のスイッチがあっても、逆電流が発生することがあります。たとえば、FET を使用して電源を切り替える場合です。オープン FET の出力電圧の方が高い場合、その高電圧の電源からボディ・ダイオード経由で低電圧の電源へと逆電流が流れます。次のページの図 **4** では、システムに 5V が印加されている一方、3.3V レールのスイッチはオープンです。

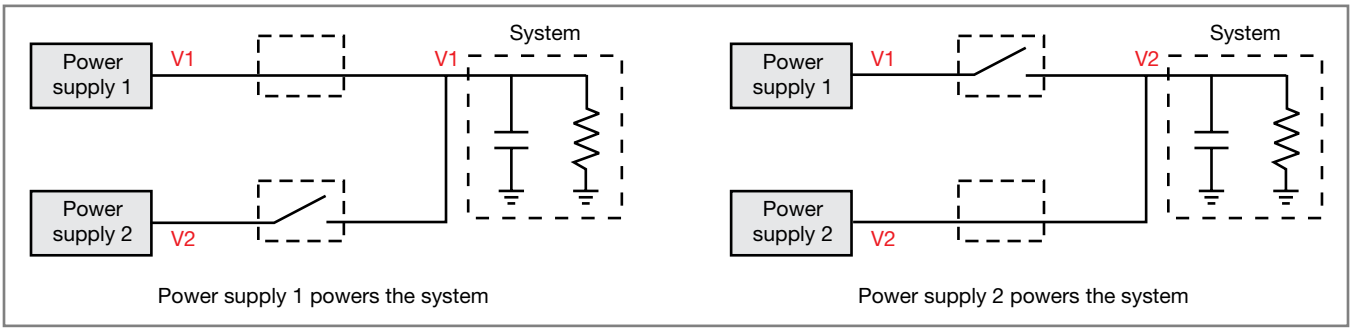


図 *3*: 電源多重化の構成。

図 **4** では、スイッチ用の FET ソリューションが単純であるため、スイッチがオープンであっても逆電流が FET ボディ・ダイオードを通じて流れることがわかります。

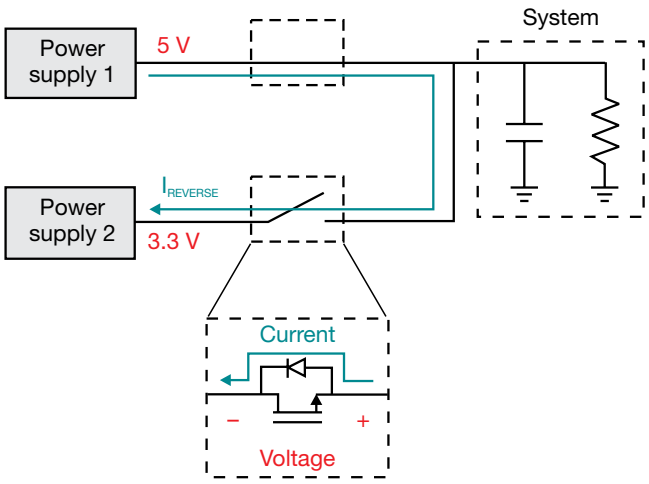


図 *4*: 電源多重化が原因で発生した逆電流。

OR 接続

OR 接続は、電源多重化と同様のものですが、異なる点があります。それは、1 つの電源を選択してシステムに電力を供給するのではなく、常に最も高い電圧でシステムに電力を供給する点です。ここでも逆電流のブロックが必要です。それぞれの OR 接続スイッチでは、他のスイッチが閉じたときに逆電流が発生するためです。

入力電源の突然の喪失

閉じているスイッチの入力側で電源が突然失われると、逆電流が発生する可能性があります。スイッチの出力側の容量が入力側よりも大きい場合、出力側の電圧の減衰は、入力側より遅くなります。つまり、電源が減衰している間、スイッチの出力側の電圧は、入力側よりもゆっくりと低下します。この期間、スイッチの出力側の電圧は入力側より大きくなるため、スイッチ内に逆電流が流れます。これを回避するには、逆電流がブロックされるスイッチを使用するか、または入力側の容量を出力側より大きくする必要があります。

システムによっては、スーパーキャパシタを設置して、入力が降下しても出力が維持されるものがあります。これは “last gasp” 回路とも呼ばれ、システムが安全にパワー・ダウンできるようになります。アップストリームの電源や部品を保護するため、ここに逆電流保護回路を設置することも推奨されます。

逆電流をブロックする方法

逆電流をブロックするには、いくつかの方法があります。

ダイオード

ダイオードは、高電圧、低電流アプリケーションに適しています。ただし、ダイオードを使用すると、順方向電圧降下が発生するため、システムの総消費電力が増加し、電源電圧が 0.6V ～ 0.8V だけ低下します。これにより、システムの効率が低下し、バッテリの寿命が短くなる場合があります。その代わりとして、ショットキー・ダイオードがよく使用されます。ショットキー・ダイオードを使用すると、順方向電圧降下が低くなります。ただし、コストが高くなり、逆電流の漏れも大きくなるため、電源などのシステムで問題が発生したり、バッテリが損傷したりする場合があります。

双方向 MOSFET

双方向 MOSFET の使用は、強力な選択肢です。MOSFET がオフのときに電流のブロックを双方向で行えるためです。ダイオード・ソリューションと比較して、電源から負荷に至るまでの電圧降下が低くなります。ただし、これを実装するには、広い基板スペースが必要で、構築用の複数の部品も必要です。次のページの図 **5** を参照してください。

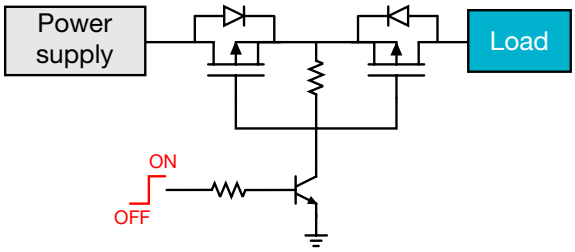


図 *5*：双方向 *MOSFET* を無効にした逆電流ブロック。

このソリューションは、サイズが大きく、部品表の点数も多くなります。また、オン抵抗が単一 MOSFET ソリューションの 2 倍で、MOSFET がオンのときは逆電流がブロックされません。

逆方向MOSFET

ボディ・ダイオードの向きが入力から出力の方向になるように MOSFET が配置されている場合は、MOSFET がオフ（オープン）のときに逆電流は流れません（図 **6** を参照）。

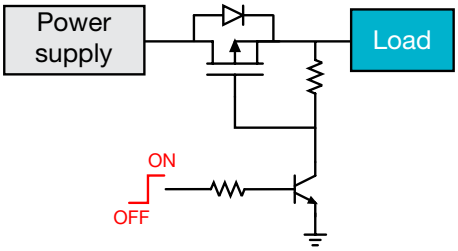


図 *6*：単一の *MOSFET* を無効にした逆電流ブロック。

このソリューションの欠点は、電源と負荷の間に必ずダイオードの経路があるため、電源をオフに切り替えられないことです。これは、ダイオードの OR 接続では望ましい状態ですが、電源多重化ではそれほど望ましくありません。というのは、システムの主電源の電圧の方が低く、バックアップ・バッテリの電圧の方が高いという状況などでは、電圧の低い方の電源を優先させることが必要な場合があるからです。

OR 接続回路の場合は、バッテリ電圧が主電源の電圧を下回るまで、バッテリによってシステムに電力が供給されます。電源多重化回路では、システムでバックアップ・バッテリへの切り替えが決定されるまで、バッテリは使用されません。

MOSFET ボディ端子の切り替え

単一 MOSFET で逆電流をブロックするには、FET が P チャネルと N チャネルのいずれであるかに応じて、ボディ端子を最も高い電源またはグランドにバイアスする必要があります。通常、ディスクリート MOSFET では、ボディ端子にアクセスできないため、これを行うことはできません。

逆電流をブロックするパワー・スイッチ

パワー・スイッチには、逆電流をブロックできるタイプのものがいくつかあります。

ロード・スイッチ

ロード・スイッチには、内部 MOSFET のボディ端子を切り替えて逆電流をブロックする仕組みが組み込まれています。このため、デバイスは、依然として電源を保護しながらオン抵抗を低くすることができます。ロード・スイッチがオフの場合、逆電流は常にブロックされます。

デバイスによっては、逆電流ブロックが常にオンのものがあります。出力電圧が特定の電圧スレッショルドだけ入力電圧より高くなると、デバイスがオフになります。逆電流ブロックが常にオンである方式の欠点は、出力電圧が入力電圧より高くならないとデバイスがオフにならないことです。したがって、デバイスは、オフになる前に一定量の逆電流が流れることになります。図 **7** は、逆電流ブロックが有効になる前にロード・スイッチに流れることが予想される逆電流の例を示しています。

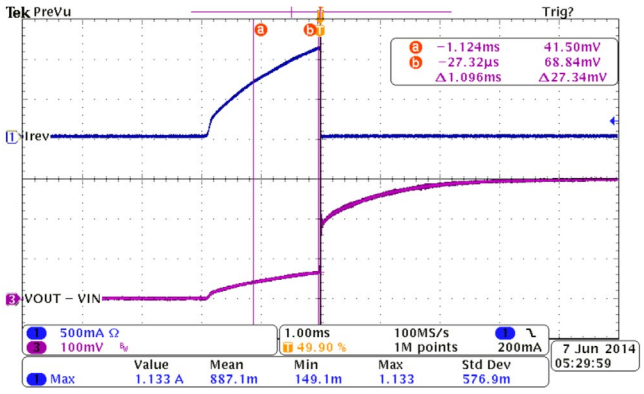


図 *7*：フルタイムの逆電流保護 *(V_{IN} = 3.0V、V_{OUT} は 3.0V から 3.3V に上昇）。*

eFuse

双方向 MOSFET は、電圧的な能力がより高くなっています。このため、eFuse では、双方向 MOSFET を実装するのが最も一般的です。2 個の MOSFET を両方内蔵しているデバイスもありますが、外部 FET の駆動用ピンを備え、1 個の外部 FET を使用して双方向構成を形成するデバイスもあります。ロード・スイ

ッチと同様、V_{OUT} と V_{IN} の差を監視して逆電流ブロックを常にオンにしている eFuse もあれば、オフになったときにのみ逆電流をブロックする eFuse もあります。

パワー・マルチプレクサ

統合型のパワー・マルチプレクサでは、電源間に逆電流が流れないように電源多重化アプリケーションが安全に処理されます。最新のパワー・マルチプレクサでは、双方向構成とボディ端子構成の両方が採用されています。また、すべてのパワー・マルチプレクサには、逆電流ブロックが備えられています。

理想ダイオード

理想ダイオードは、ボディ・ダイオードの向きが電源から負荷の方向である外部 MOSFET を駆動するコントローラです。このデバイスは、低いオン抵抗を維持しながら、入力電圧と出力電圧の差を自動的に検出して、逆電流ブロックを常に行えるようにしています。

まとめ

電源多重化などのアプリケーションや電源喪失が原因で、逆電圧現象が発生し、それによって逆電流が引き起こされることがあります。その場合、電源とシステムの両方が損傷するおそれがあります。TIの パワー・スイッチは、逆電流による損傷を防ぐのに役立つ、サイズとコストの両面で優れたソリューションです。TI のパワー・スイッチのポートフォリオには各種のデバイスが用意されており、逆電流保護の仕様もさまざまです。このため、幅広いアプリケーションへの対応が可能です。

第 5 章 逆極性保護

執筆者：Karikalan Selvaraj

概要

多くのフロント・エンド電源システムの設計では、入力電源の逆接続、バッテリの逆接続、フィールドの電源ラインの誤配線が起きてもシステムが損傷しないようにする必要があります。

ショットキー・ダイオードは逆極性条件に対して保護を行うためのオーソドックスな選択肢です。ただし、順方向導通時の電力損失について入念な熱管理が必要となるため、システムのコストとスペースが増加してしまいます。また、電力密度を高める要求が増していることからより適切で効率的な逆極性保護方式が必要となっています。

逆極性保護の概要

フィールドの電源またはバッテリ電源から電力が供給される電源システムのモジュールやサブシステムは、システムのメンテナンスや再設置中の誤配線によって逆極性接続になっても保護される必要があります。ほとんどのフロント・エンド電源システムは、サージ・イベント時や誘導性負荷をバッテリから切断したときに発生する可能性がある動的な逆極性条件からも保護する必要があります。電源を逆接続すると接続されているサブシステム、回路、部品が損傷する場合があります。

バッテリで動作する車載用サブシステムの多くは修理時や別の車両からのジャンプ・スタート時にバッテリが逆接続されても保護される必要があります。また、車両の動作寿命中に発生することがある過渡的な逆入力条件からも保護される必要があります。

逆入力極性保護

図 **1** は、逆接続されたバッテリ入力ラインを示しています。この状況が発生すると、マイクロコントローラ (MCU) や DC/DC コンバータなどの集積回路の静電気放電 (ESD) ダイオードを通じて大電流が流れ、バッテリに接続されているサブシステムに重大な損傷

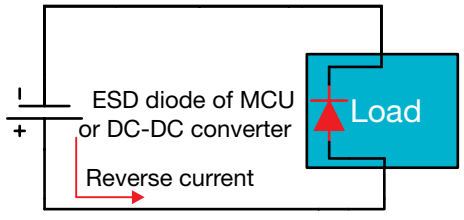


図 *1*：逆接続されたバッテリ：*MCU* または *DC/DC* コンバータ

が発生します。図 **2** に示すようにバッテリを逆接続すると、電解コンデンサなどの極性のある部品が損傷する場合があります。

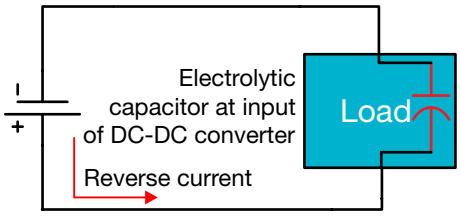


図 *2*：逆接続されたバッテリ：極性がある部品

一般的な逆極性保護の方法

逆入力極性に対する保護を行うには、ショットキー・ダイオードや P チャネル金属酸化膜半導体電界効果トランジスタ (MOSFET) をディスクリート部品と組み合わせる方法がよく使用されます。

ショットキー・ダイオードを使用した逆極性保護

バッテリ逆極性保護を行うための最も簡単な方法は、システムの電源経路の入力にダイオードを直列に追加することです。図 **3** はショットキー・ダイオードを使用したバッテリ逆極性保護の方法を示しています。バッテリを正しく取り付けた場合は負荷電流がダイオードの順方向に流れます。バッテリを逆に取り付けた場合はダイオードが逆バイアス状態になり、逆電流がブロックされます。これにより負荷が負電圧から保護されます。

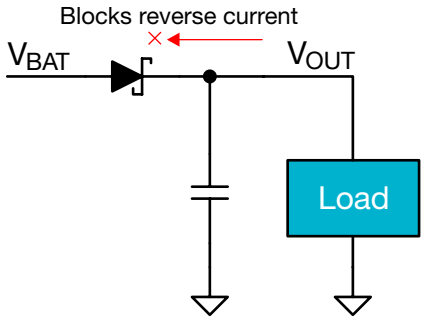


図 *3*：ショットキー・ダイオードを使用した逆入力保護

出力にバルクコンデンサを配置すると、出力がすぐに降下しなくなります。このため入力電源が回復する前に負荷に短時間電力を供給できるようになります。

バッテリ逆極性保護にショットキー・ダイオードを使用する欠点を次に示します。

- 消費電力：順方向電圧降下により順方向導通損失が発生するため、負荷電流が大きくなると効率が大幅に低下します。
- 熱管理：消費電力を管理するにはヒートシンクが必要であるため、総コストとスペースが増加します。
- 大きな順方向電圧降下：電圧バスが低い (3.3V) システムの場合、ダイオードの標準的な電圧降下は 0.4V であるため、ダウンストリーム負荷が作動するためのヘッドルーム電圧が低くなります。
- 逆リーケージ電流：高電圧ショットキー・ダイオードの逆リーケージ電流が接合部温度とともに著しく増加するため、逆導通時の消費電力が大きくなります。

ディスクリート MOSFET を使用した逆極性保護

ダイオードの順方向電圧降下を低減するには、ショットキー・ダイオードを P チャネル MOSFET に置き換えて、そのボディ・ダイオードの向きをショットキー・ダイオードと同じにします（図 **4** を参照）。通常のバッテリ動作時は、ゲート電圧がソースを下回って MOSFET がオンになるまで非常に短時間の間 MOSFET のボディ・ダイオードが順バイアス状態になり導通します。バッテリの極性が逆になると、ゲート – ソース間電圧が正にスイングして MOSFET がオフになるためダウンストリーム回路に負電圧が印加されることが防止されます。

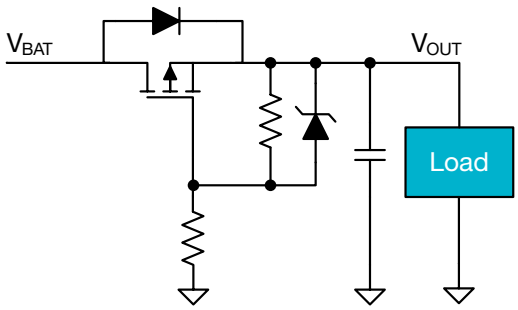


図 ***4***：***P*** チャネル ***MOSFET*** を使用した逆入力保護

バッテリ逆極性保護の方法には、ローサイド（グランド・リターン・パスなど）で N チャネル MOSFET を使用する方法もあります。動作原理は図 **4** に示す P チャネル MOSFET と同様です。通常の動作時は、MOSFET がオンになるまでMOSFET のボディ・ダイオードは順バイアス状態で導通します。バッテリ入力から電流制限抵抗を通じてゲートがチャージされると、MOSFET はすぐにオンになります。バッテリ入力が負にスイングし始めて静的または動的なバッテリ逆極性状態になるとMOSFET はオフになります。ゲート – ソース間電圧が MOSFET のスレッショルド電圧 (Vth) を下回り始め、負にスイングするためです。

逆極性保護と逆電流ブロックの比較

逆極性保護（逆接続保護とも呼ばれる）はバッテリを逆接続したときや誘導性負荷をバッテリから切断したときに入力電圧が負になって負荷に損傷を与えることを防止するためのものです。逆極性保護は逆電流が負荷やダウンストリーム DC/DC コンバータからバッテリ内に流れることを必ずしもブロックするわけではありません。

多くのシステムでは電源ラインが短時間中断するか、またはバッテリ入力が短絡したときは大容量のホールドアップ・コンデンサから十分なバックアップ電力が供給されます。このため、サブシステムは中断せずに機能したり、オフになる前にメモリ・ダンプなどのメンテナンス・ハウスキーピング・タスクを実行できます。逆電流ブロックは逆電流が負荷からバッテリ内に流れることを防止します。また、逆電流ブロックではホールドアップ・コンデンサによりさまざまな動的バッテリ逆極性状態や短期間の中断の間サブシステムが機能するためのバックアップ時間を追加できます。

図 **4** または下の図 **5** に示す逆入力保護回路は MOSFET がオンであるため、逆電流がバッテリ内に流れることをブロックしません。次のページの図 **6** では、入力電源が正から負の値に変化しています。P チャネル MOSFET は短期間オンを維持します。なぜなら V_{GS} が負から正の値にまだ遷移中であるからです。その結果、出力に一時的な負の電圧スパイクが発

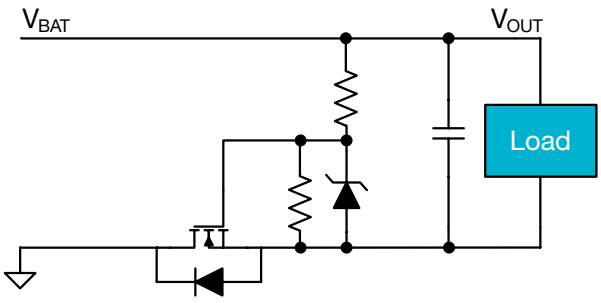


図 ***5***：***N*** チャネル ***MOSFET*** を使用した逆入力保護

生します。対照的にショットキー・ダイオードは逆電流が電源内に流れることを絶えずブロックしており、本質的に逆極性保護と逆電流ブロックの両方を行うことができます。

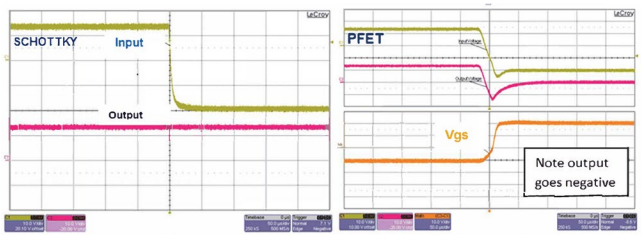


図 ***6***: ショットキー・ダイオードと *P* チャネル ***MOSFET*** の比較

ディスクリートMOSFET を使用する欠点を次に示します。

- 逆電流ブロックができないMOSFETS は大容量のホールドアップ容量を使用するアプリケーションには適していません。逆電流ブロックを行うには外部のコンパレータが必要となりますが、その場合コストとスペースが増加します。
- 低入力電圧時の消費電力最大ゲート – ソース間電圧 (V_{GS}) が入力電圧範囲によって制限されているため、入力電圧が低くなるとP チャネル MOSFET のドレイン – ソース間のオン抵抗 ($R_{DS(on)}$) は著しく大きくなります。$R_{DS(on)}$ が大きくなって電力を消費すると、入力電圧範囲が広いアプリケーションでは効率が低下します。たとえば、12V の車載用バッテリの電圧はコールド・クランク状態のときは 3.5V、ジャンプ・スタート時には 28V に変化する場合があります。
- **P** チャネル **MOSFET** のサイズとコスト電源の負荷が大きくなるとP チャネル MOSFET のサイズとコストが大幅に増加する場合があります。
- ローサイド **N** チャネル **MOSFET**ターンオン、ターンオフ時、または負荷過渡電流によるシステム・グランド電圧の急上昇にすべてのシステムが耐えられるとは限りません。

TI パワー・スイッチの使用による逆極性保護

TI の理想ダイオード・コントローラおよび eFuse デバイスは逆極性保護および逆電流ブロック機能を内蔵しており、順方向導通損失も低くなっています。これにより、ショットキー・ダイオードやディスクリート MOSFET ソリューションよりも効率的な逆極性保護を実現できます。

理想ダイオード・コントローラを使用した逆極性保護

理想ダイオード・コントローラは外部 N チャネル MOSFET を順方向電圧降下が非常に低く、逆電流がない理想ダイオードとして駆動します。図 **7** はTI の LM74700-Q1 コントローラを使用した逆極性保護を示しています。

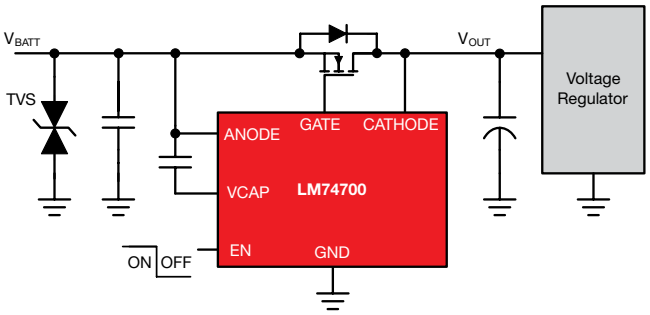


図 ***7***: ***LM74700-Q1*** を使用した逆極性保護

パワー MOSFET はMOSFET のオフ時にそのボディ・ダイオードが逆電流をブロックするように接続されます。MOSFET は順方向導通時にオンになるため、順方向電圧降下と消費電力が大幅に低減されます。理想ダイオード・コントローラはMOSFET を流れる逆電流を検出するとMOSFET を即座にオフにします。これにより、ボディ・ダイオードは逆電流をブロックできます。

理想ダイオード・コントローラには安定化順方向電圧が低く、逆電流ブロックの信頼性が高く、逆電流応答が高速でシャットダウン電流と動作時静止電流が非常に小さいという特長があります。

これらの特長により、理想ダイオード・コントローラは逆極性保護アプリケーションで理想ダイオードをエミュレートできます。次のページの図 **8** は、逆接続入力電源に対する LM74700-Q1 の応答を示しています。LM74700-Q1 は入力電源ラインが逆極性で接続されたときに MOSFET をオフにすることにより、逆電流を完全にブロックします。出力が低下して負になることはなく、0V で維持されます。負荷は逆入力電源接続から分離されるため、逆電流によって生じる損傷から保護されます。

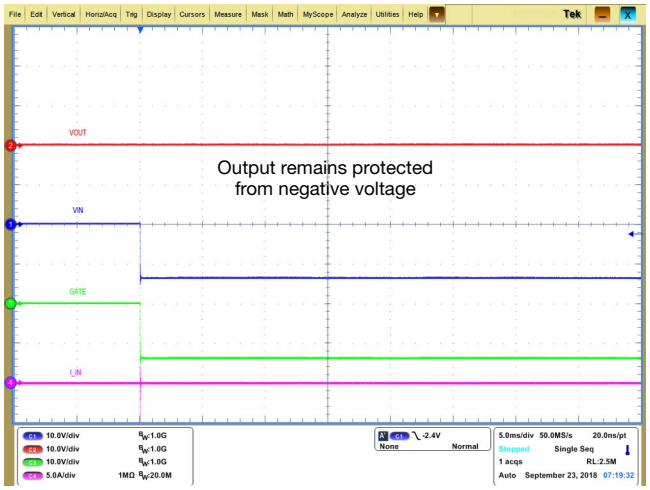


図 *8*：逆入力極性に対する *LM74700-Q1* の応答

動的逆極性

カー・バッテリから電力が供給される車載用サブシステムは電源ラインでさまざまな電気的過渡現象にさらされますが、中断せずに機能することが期待されます。そのような過渡条件の 1 つとして、国際標準化機構 (ISO) 7637-2 の pulse 1 に規定されている動的逆極性があります。ここでは、ジェネレータ・インピーダンスが 10Ω である 12V バッテリの電源ラインに負の過渡電圧として –150V を 2ms 印加します。

図 **9** はLM74700-Q1 の入力に動的逆極性を印加したときの応答を示しています。テスト・パルスを印加する前にMOSFET はオンで負荷電流が通過できるようになっています。バッテリ入力に ISO 7637-2 のテスト・パルス 1 を印加すると、負荷電流は即座に反転を開始し出力電圧を負にしようとします。LM74700-Q1 は逆電流を検出して、MOSFET を 0.75µs 以内にオフにします。これにより逆電流がブロックされ出力が負になることが防止されます。また、バルク・ホールドアップ・コンデンサの放電も防止されます。

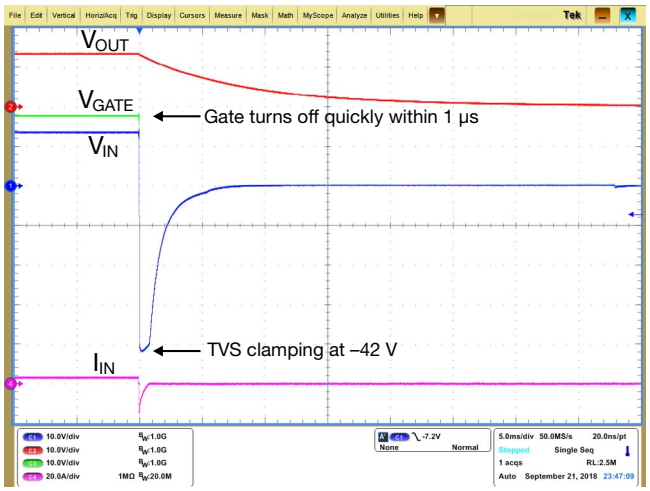


図 *9*：*ISO 7637-2 pulse 1* に対する *LM74700-Q1* の応答

eFuse を使用した逆極性保護

eFuse デバイスの TPS2660 ファミリは逆入力電源保護回路が完全に組み込まれているため部品を追加する必要はありません。これらのデバイスが損傷することなく耐えられる逆電圧は –60V までです。

図 **10** はTPS2660 eFuse の逆入力極性保護機能を外部のショットキー・ダイオードと比較したものです。外部のブロッキング・ダイオードの代わりに内蔵 MOSFET を使用し、逆電流ブロックと逆極性保護のソリューションが完全に統合されています。

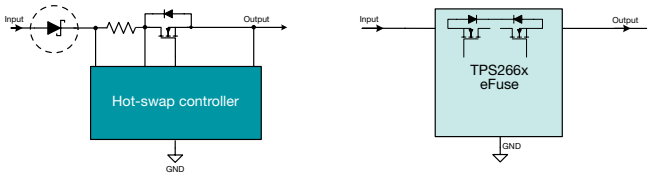


図 *10*：*TPS2660 eFuse* を使用した統合型の逆極性保護

図 **11** は-57V の逆入力電源（誤配線）に対する TPS2660 eFuse の応答を示しています。TPS2660 は入力電源が逆であった場合、MOSFET をオフにして逆電流を完全にブロックし、ダウンストリームの回路および部品の損傷を防止します。

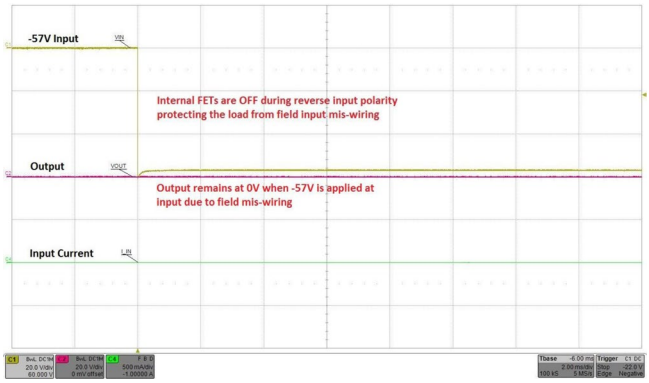


図 *11*：逆入力電源に対する *TPS2660 eFuse* の応答

動的逆極性

外部のフィールド電源から電力が供給される産業用サブシステムは電源ラインでさまざまな電気的過渡現象にさらされますが、中断せずに機能することが期待されます。入力には国際電気標準会議 (IEC) 61000-4-5 で規定されている正および負のサージが印加されます。ここでは、–500V の負の過渡電圧が 20 µs 間印加されます。

図 **12** は入力に –500V の負のサージを印加した場合の TPS2660 eFuse の応答を示しています。出力は負のサージから保護された状態を維持し、サージ・イベントが終了するとオンになります。

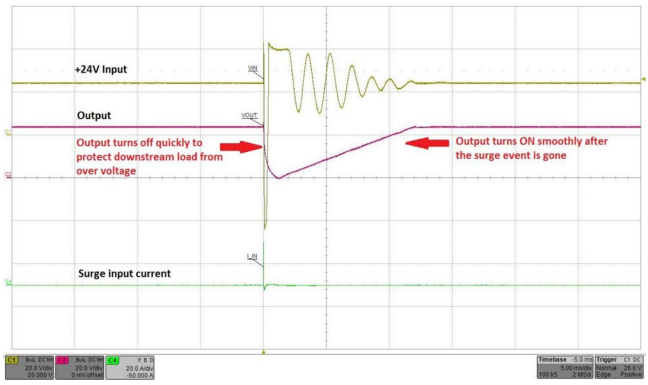


図 ***12***：入力の *–500V* サージに対する *TPS2660 eFuse* の応答

逆極性保護に理想ダイオード・コントローラおよび eFuse デバイスを使用する利点を次に示します。

- 効率の向上順方向導通損失が小さいと効率の向上につながります。
- 逆極性保護と逆電流ブロックを内蔵
- システムのコストとスペースの削減ショットキー・ダイオードと比較して熱管理が簡単です。

まとめ

N チャネル MOSFET ベースの理想ダイオード・コントローラと統合型 eFuse ソリューションを使用すると消費電力、熱パフォーマンス、およびスペース節約がディスクリートのダイオードおよび FET 実装より優れたものとなり、堅牢な逆極性保護および逆電流ブロックを実現できます。

第 6 章 過電圧保護

執筆者：Matthew Xiong、Praveen Durga Gorrela

概要

すべての電子部品には特定の電圧定格があります。電圧が最大定格電圧より高くなると部品が損傷したり、部品の性能が低下したりして、システム障害の原因になる場合があります。したがって、部品にかかる電圧が定格を超えないようにするため過電圧保護を追加することが重要です。これにより過電圧条件がダウンストリーム・デバイスにまで及ばなくなり、出力が安全なレベルにクランプされるようになります。

一般的な過電圧の原因

電子部品に加わった過電圧が内部デバイス構造のアヴァランシェ・ブレークダウン電圧を超えると過大な電流が流れます。この過大な電流によりデバイス全体が極度に脆弱になったり、損傷したり、過熱したりする場合があります。

消費電力やコストを抑えたいという要求の増加に伴い、多くの半導体部品は技術的な改善が図られ低い電圧範囲でも動作するようになっています。個々の部品の電圧を下げるとシステム全体の消費電力が低下します。その結果、バッテリ寿命が延び効率が向上し、間接的なコストが低下します。また、直接的なコストも低下します。なぜなら高電圧部品より低電圧部品の方が安く製造できるからです。ただし、電力効率が向上しコストが低下することには副作用が伴います。なぜなら部品が過電圧条件の影響を受けやすくなるのです。

過電圧には、過渡的な過電圧と連続的な過電圧の 2 つのタイプがあります。一般に過渡的な過電圧は静電気放電 (ESD)、電気的高速過渡現象、ホット・プラグ・イベントによる電圧リンギング、または近くの電源やコンバータからの誘導性スイッチング・サージによって発生します。過渡的な過電圧は数 kV に迫る電圧になることがありますが、持続期間は短いのが普通です。たとえば、ESD イベントの持続期間は 60 ～100ns、サージ・イベントの持続期間は約 20µs です。通信機器は雷サージにさらされる場合があります。雷サージは過渡的な過電圧の形態の 1 つで、その電圧は通常のサージ・パルスより数桁大きくなる場合があります。雷という過渡現象は強さも期間もより過酷であるため、これらのシステムには特別な保護要件が必要です。

連続的な過電圧は長期間持続してシステムに無制限にストレスを加える過電圧状態です。連続的な過電圧はアップストリーム電源や電圧レギュレータ、コンバータの障害や誤配線によって発生することも、非準拠のアダプタをシステムに挿入することによって発生することもあります。

一般的な過電圧保護の方法

これらの 2 つのタイプの過電圧に対してはいくつかの種類の過電圧保護トポロジーがあります。

過渡的な過電圧条件に対する保護

過渡的な過電圧条件の持続期間は短いため、ソリューションの応答時間を十分に短くし、ダウンストリーム回路が過電圧にさらされる時間を最小限に抑える必要があります。ESD ダイオード、過渡電圧サプレッサ (TVS)、およびツェナー・ダイオードは、過渡的な過電流をグランド・プレーンに導き、過渡的な過電圧をクランプできます。これにより、ダウンストリームの負荷は安全な動作領域内にとどまることができます。

金属酸化物バリスタ (MOV) も過渡的な過電圧をクランプでき、ESD ダイオード、TVS、およびツェナー・ダイオードよりもかなり大きなエネルギーを吸収できます。ただし、応答時間が長いという欠点があります。TVS の応答時間は ns 単位ですが、MOV の応答時間は µs 単位です。このため、ESD ダイオードと TVS は低電圧回路で使用されます。MOV はAC 商用電源や高電圧 DC 段の保護に適しています。

ESD に関する詳細な情報については、TI トレーニング「ESD Essentials」（英語）を参照してください。

連続的な過電圧条件に対する保護

過渡的な過電圧に対する保護ソリューションは過渡的な過電圧にはすばやく応答できますが、長く持続することが特徴である連続的な過電圧条件には不適切です。結局のところ、MOV、ESD ダイオード、TVS、およびツェナーでできることは障害に至る前にクランプを行い特定の量のエネルギーを消費することだけです。定常状態、つまり連続的な過電圧に対して保護を行うには過電圧ロックアウトおよび過電圧クランプという 2 つの方法がよく使用されます。

過電圧ロックアウト

過電圧ロックアウト(出力電圧カットオフとも呼ばれる)は、過電圧クランプよりも簡単でよく使用されるソリューションです。通常、過電圧ロックアウト機能を備えた TI パワー・スイッチには設定可能な抵抗ディバイダーを通じて入力電圧レールを監視する OVLO ピンがあります。OVLO ピンの電圧が特定のスレッショルドを超えると、内部コンパレータによってパス電界効果トランジスタがオフになります。図 **1** は過電圧ロックアウト回路の実装を示す標準的なブロック図です。

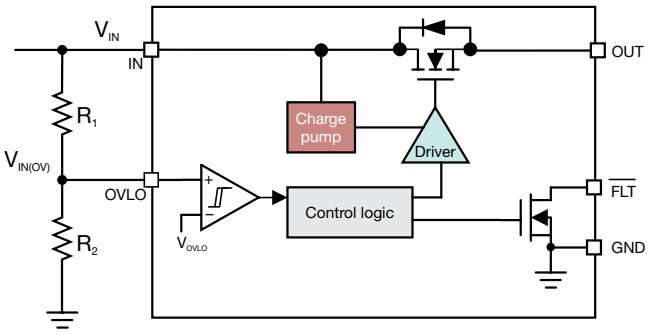


図 *1*: 過電圧ロックアウトのブロック図

連続的な過電圧に対する保護の場合、堅牢な保護を行うには応答時間を短くしてダウンストリーム負荷が過電圧条件に長時間さらされないようにすることが重要です。たとえば、次の表 1 に示すように[TPS2595 eFuse](#) が過電圧条件に応答する時間は3µs 以内です。

過電圧ロックアウト機能内蔵パワー・スイッチは、入力電圧が所定の過電圧ロックアウト・スレッショルドを超えている間はオフのままとなります。入力電圧がスレッショルドを下回ると、デバイスは再びオンになります。

図 **2** はTPS259573 の過電圧ロックアウト動作を示しています。過電圧ロックアウトの設定ポイントは 17V です。12V の公称動作電圧に対して18V の過電圧が印加されています。入力電圧が所定のスレッショルドを超えると内部の電界効果トランジスタ (FET) がオフになり、出力が放電を開始します。過電圧イベントを報告するため、パス FET がオフになった直後に異常検知信号 (FLT) がアサートされます。

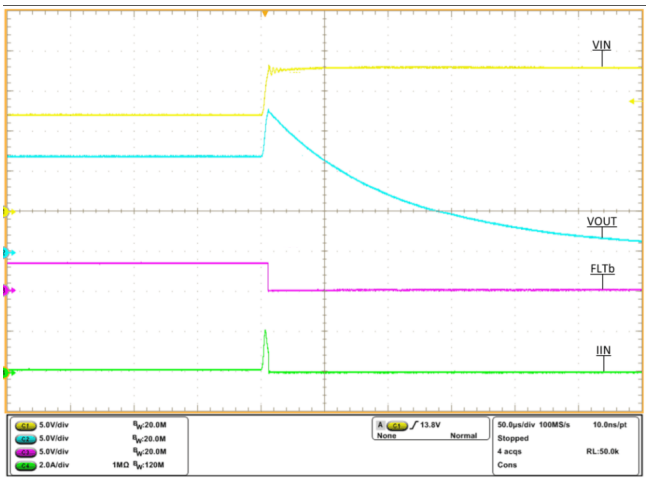


図 *2*: *TPS259573* の過電圧ロックアウトの応答

過電圧クランプ

過電圧クランプはシステムで一時的な過渡電圧条件が発生したときのもう 1 つの応答方法です。一時的な過電圧イベントの間はシステム電圧をカットオフするよりも、ダウンストリーム負荷を中断せずシステム電圧を安全なレベルにクランプするのが最良の方法です一時的な過電圧は次のような事象が原因で発生することがあります。

- アップストリームの低スイッチング周波数 DC/DC コンバータの負荷が突然減少する。
- アップストリームの DC/DC コンバータが軽負荷時にパルス周波数変調で動作する。
- マルチ出力フライバック・コンバータの非安定化 2 次巻線によって負荷に電力が供給されている。

これらの事象の持続期間は数十～数百 µs です。

次のページの図 **3** に示すように、入力電圧が特定のスレッショルドを超えると内部クランプが作動して、出力電圧がプログラムされたレベルに制限されます。これにより入力電源に生じた高電圧を負荷にさらすことなく、引き続き電力を供給できます。

入力に過電圧状態が存在する間、出力電圧はプログラムされたレベルにクランプされます。入力が低下して出力クランプ・スレッショルドを下回るとクランプは解除され、通常の動作が続行されます。

パラメータ	テスト条件	代表値
t_{OVLO} 過電圧ロックアウト応答時間	$V_{IN(OV)} > V_{OVLO}$ ($\overline{FLT}$ ↓ まで)	3µs

表 *1*: *TPS2595* の過電圧ロックアウト応答時間

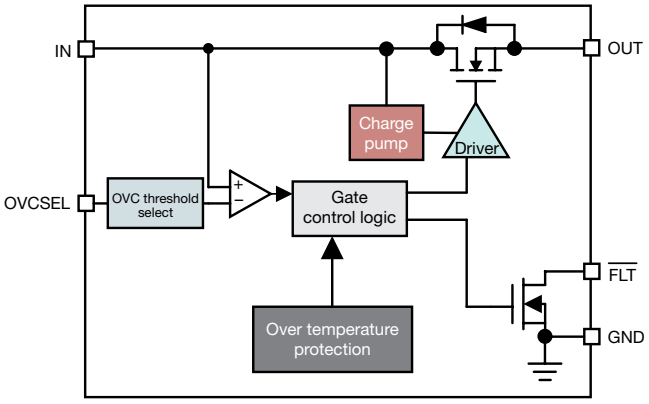


図 *3*: 過電圧クランプのブロック図

入力に過電圧状態が存在する間はFET 両端の過大な電圧を下げるよう FET のゲートが調整され、出力電圧がクランプされます。FET の消費電力はFET 両端の電圧降下と FET を流れる電流の積となります。その関係を式 **1** に示します。

$$PD = (V_{IN} - V_{OUT}) \times I_{LOAD} \quad (1)$$

出力電圧を一定に保つため、入力過電圧と負荷電流が大きくなるとFET で消費される電力も大きくなります。その結果、内部 FET の熱の放散は非常に大きくなりデバイスの接合部温度が上昇します。過電圧条件が持続するとサーマル・シャットダウンが発生して、負荷が電源から切断される場合があります。この時点で、デバイスは引き続きオフ状態にラッチされるか、自動再試行サイクルを開始します。

応答が高速であると、TVS ダイオードやツェナー・ダイオードなどの外部保護デバイスへの依存を減らしたり、なくしたりできる利点があります。たとえば TPS259531 の出力クランプ応答時間は 5µs です。

図 **4** はTPS259531 の過電圧クランプ動作を示しています。ここで過電圧クランプは5.7V に設定されています。5V の公称動作電圧に対して8V の過電圧が印加されています。入力電圧が 5.7V のスレッショルドを超えると内部 FET のゲートが調整され出力電圧が 5.7V にクランプされます。

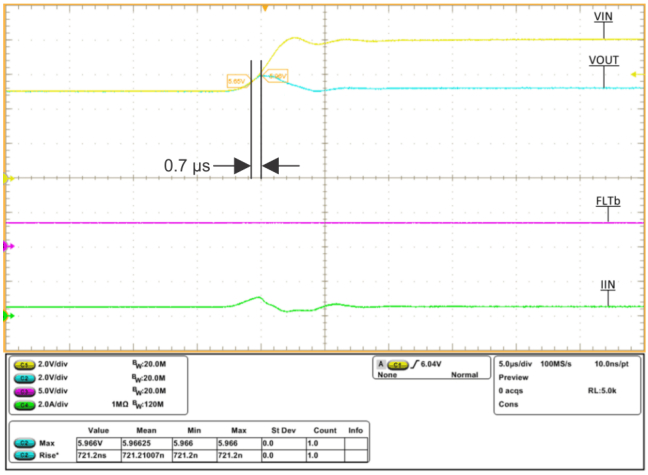


図 *4*: *TPS259531* の過電圧クランプの応答

まとめ

パワー・パス回路を確実に保護するには過電圧保護が不可欠です。過電圧状態時にはシステムの使用事例に応じて、過電圧ロックアウトや過電圧クランプなどのさまざまな応答が必要になります。過電圧保護回路を内蔵した eFuse デバイスは、システム内で堅牢なパワー・パス保護を実現する柔軟で高速な小型のソリューションを提供します。

第 7 章 サーマル・シャットダウン

執筆者：Sreenath Unnikrishnan

概要

パワー集積回路 (IC) では、接合部温度が安全制限を超えるとサーマル・シャットダウンが作動してデバイスが障害から保護されます。パワー・スイッチでは負荷または熱システムで障害条件が発生すると、デバイスの接合部温度が高くなる場合があります。

接合部温度がサーマル・シャットダウンのスレッショルドを超えると、自己保護を行うためにパワー・スイッチはオフになり電力消費を低減します。この章では、サーマル・シャットダウンの機能、サーマル・シャットダウン条件に達したときのパワー・スイッチの動作、および障害条件が解消されたときのパワー・スイッチの通常動作への復帰について説明します。

はじめに

多くのパワー IC には自己保護メカニズムが内蔵されており、接合部温度が高くなるとデバイスがシャットダウンするようになっています。接合部温度が通常動作レベルを超えることがあるのは、電力消費が高い状態が長時間持続した場合、デバイス内からシステムの残りの部分への放熱があった場合、または周囲の空気による冷却効果が不十分な場合などです。保護メカニズムが組み込まれていないと、接合部温度が安全制限を超え、デバイスが永続的な損傷を受ける場合があります。ほとんどの場合、保護メカニズムは電力を過度に消費する原因となった IC 内の機能をオフにします。

通常、サーマル・シャットダウン回路は、パワー IC が過熱しているかどうかを検出するためにチップ上の最も高温な領域の絶対接合部温度を測定します。熱監視回路は接合部温度を電圧または電流レベルに変換し、IC の安全制限より下の温度に対応する基準レベル（絶対スレッショルド T_{ABS}）と比較します。接合部温度が T_{ABS} を超えている場合はデバイスの機能の一部、または全部がシャットダウンされます。熱ヒステリシスの機能を実装するには、通常の回路の機能が再開する前に接合部温度が指定の温度 (T_{HYS} により設定）を下回る必要があります。熱ヒステリシスによりサーマル・シャットダウンの作動と解除が頻繁に繰り返されることがなくなります。

パワー・スイッチのサーマル・シャットダウン

サーマル・プロテクションはパワー・スイッチの不可欠な要素であり、それ自体が入力保護デバイスとして、またはオフボード負荷を駆動するハイサイド・スイッチとして使用されます。通常モニタは電力の大半が消費されるパワー・トランジスタ領域に配置されます。マルチチャネル・スイッチの中には (TI の TPS2HB08-Q1 など)、接合部モニタが複数内蔵されているものもあります。

このようなマルチチャネル・パワー・スイッチの場合、保護メカニズムによってオフにされるのは接合部温度が高い電解効果トランジスタ (FET) のみとなり、他のチャネルのスイッチは機能を維持します。図 1 は、サーマル・シャットダウン機能の例を示しています。

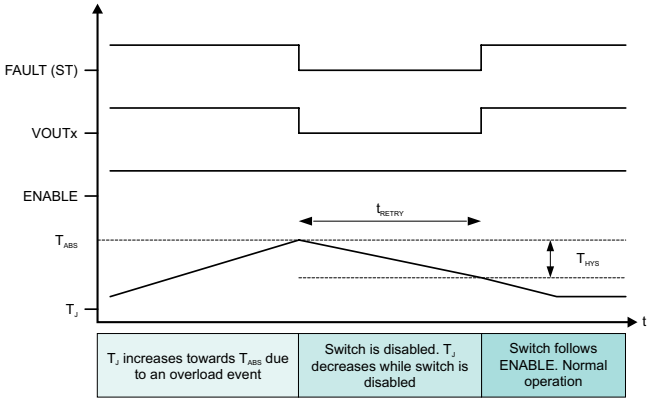


図 *1*：サーマル・シャットダウン機能の例

図 1 では、一時的な過負荷の発生により接合部温度が上昇しています。接合部温度が T_{ABS} に達するとスイッチ機能が無効になります。その結果過剰な電力が消費されなくなり、接合部温度は低下し始めます。温度が T_{HYS} だけ低下するとデバイスは再びオンになることを試みることができます。一時的な過負荷が解消されると通常の動作が再開します。

過負荷条件が持続する場合はサーマル・シャットダウンが再び発生します。パワー・スイッチの中には平均接合部温度を下げるために最小持続時間t_{RETRY}を実装しているものがあります。

負荷電流が通常の動作レベルを超えた場合や高い突入電流により FET の両端で大きな電圧降下が発生した場合には、パワー IC の消費電力が通常より高くなる

場合があります。IC で発生した熱はプリント基板上に伝わり周囲の空気に伝わる必要があります。

式 **1** はIC 上の一定の電力消費 (P_{diss}) から生じる接合部温度 (T_J) を計算するものです。

$$T_J = T_A + P_{diss} \times \Theta_{JA} \quad (1)$$

ここでΘ_{JA} は熱抵抗、T_A は周囲温度です。

式 **2** はFET の消費電力を計算するものです。

$$P_{diss} = V_{ds} \times I_{ds} \quad (2)$$

ここでV_{ds} および I_{ds} はそれぞれ FET のドレイン – ソース間の電圧および電流です。

V_{ds} および P_{diss} は、高い突入電流に対処するとき(たとえば、容量性負荷への最初のターンオン時)に高くなる場合があります。負荷電流 (I_L) が定常状態である場合、式 **3** はオン抵抗を R_{on} としたときの FET の消費電力を表します。

$$P_{diss} = I_L^2 \times R_{on} \quad (3)$$

設計上の考慮事項

接合部温度がデータシートの絶対最大温度仕様より常に下になるように、最大デバイス消費電力と熱システム・パラメータを設計する必要があります。サーマル・シャットダウン・スレッショルドはIC の安全制限内で保護が行われるように設計されます。IC の消費電力がシステム設計での予想目標値を超えた場合(負荷の障害や、熱システムが不具合のために劣化した場合など)は、実際の接合部温度がワーストケースの最大設計目標値を超える可能性がありサーマル・シャットダウン保護が作動します。

過負荷保護

電流制限過負荷保護機能が内蔵されているパワー・スイッチでは、電流は電流制限スレッショルドの値に制御されます。電流はその安全レベルに制限されますが、電流制限中に消費電力が非常に大きくなる場合があります。熱インピーダンスによってはこれらの条件が持続した後サーマル・シャットダウンが発生します。そして電源から負荷への電流は減少します。

パワー・スイッチのサーマル・シャットダウン機能では過負荷障害イベントの持続時間を制限するヒューズという追加機能をサポートしています。過負荷イベントの持続時間を制限する場合は、サーマル・シャットダウンがアップストリームとダウンストリームの部品やコネクタの損傷を回避するのに役立つ場合もあります。過負荷保護および内蔵の過熱保護を併用することにより、統合型パワー・スイッチの安全動作領域が確実に保護されます。

まとめ

障害条件にさらされるリスクがある場面で使用される TIの パワー・スイッチには、保護メカニズムとしてサーマル・シャットダウン機能が組み込まれています。データシートで絶対最大温度仕様を確認し、接合部温度がこのレベルを常に下回るように熱システムおよびワーストケースの IC 消費電力を設計する必要があります。

第 8 章: 電流監視

執筆者：Abhinay Patil、Paul Kundmueller

概要

多くのアプリケーションでは出力負荷の電流を監視する必要があります。この作業が実際に必要であるかどうかはシステムごとに異なり、パラメータ・データのロギングや報告といった単純なものから、診断および制御まで多岐にわたります。負荷電流を監視するソリューションは多数用意されており、各ソリューションにはそれぞれ強みと課題があります。適切なソリューションを選択するにはシステム要件を評価するとともに、性能、コスト、実装面積や複雑さなどの要素のトレードオフを評価する必要があります。

この章ではスタンドアロンの電流監視デバイス / ソリューションではなく、統合型パワー・スイッチで使用可能な出力負荷電流監視機能について説明します。

電流監視システム・アプリケーション

システム全体または各サブシステムでの電流監視の必要性はさまざまです。電流監視によってメリットが得られるアプリケーションの例をいくつか示します。

- システム電力レポート電圧や電流などの基本的な電気的パラメータを監視する最大の理由はレポートおよびデータ・ロギングのためです。たとえば、データ・センターに何千ものサーバーが収容されている場合、個々のサーバー・ノードの消費電力を監視すると作業負荷を均一に再配分できます。これによりデータ・センターを最良の効率で稼働させることができます。

  システム電流の監視は、ファクトリー・オートメーション、特にM16 および M18 ケーブルを使用して電力を再配分するリモートI/Oモジュールにも応用できます。ケーブルの電流定格を超えないようにするため、ポートとシステムの電流を監視する手段を用意しておくことが重要です。そうしないとシステムが損傷する場合があります。

- 動的 / リアルタイム制御システムによっては負荷電流測定値を使用してリアルタイム制御を実装しているものがあります。このようなアプリケーションでは精度に加えて帯域幅を広くし、待ち時間を短くすることが重要です。たとえばサーバーの場合、電力モニタはシステム全体の電流が特定のスレッショルドを超えて急激に上昇していないかどうかを検査します。電流が急激に上昇している場合は信号を CPU（中央演算装置）または GPU（グラフィックス処理ユニット）に送信して、そのパフォーマンスをすぐに低下させます。これによりシステム全体のシャットダウンが防止されます。通常この信号は非常に高速でなければなりません（レイテンシ 10µs 未満）。

- 診断システムの障害を識別するにはさまざまなセクションの消費電流を調べ、これらの消費電流を通常動作時に期待される値を基にしたスレッショルドと比較します。セクションで消費されている電流が明らかに高い、または低い場合には障害が発生している可能性があります。たとえば、ファクトリー・オートメーションのアプリケーションは、広い工場環境全体に分散しているため電力路と信号路の配線が必須です。一般にデジタル出力モジュールでは、ワイヤ長が最大 100m と指定されています。これ以上の長さがあるとワイヤが誤って破損する場合があります。ケーブルの破損はアナログ電流監視機能または開路検出機能のいずれかを利用してループ内の電流を監視することによって検出できます。

  同様に先進運転支援システムのセンサとアンテナも自動車内の取り付け位置が離れているため、長いケーブルで接続されることが多くなっています。安全運転を確保するためにはケーブルが破損した場合にすばやくアラートを出して分析を行うことがきわめて重要です。

- 予知保全システム（サーバー、ライン・カード、プログラマブル・ロジック・コントローラの I/O モジュールなど）の中には、電気的パラメータのプロファイルを監視し、時間 / 周波数シグネチャの変化を検出して差し迫っている故障を予測するものがあります。この情報を利用すれば故障が発生する前にシステムの保守を行うことができます。予知保全により予定外のダウンタイムや生産性の低下を防ぐだけでなく、安全面で危険な状態になるのを防ぐこともできます。こうした用途の電流監視では電流のわずかな変化を捕捉する優れた分解能と、電流の過渡的または瞬間的な変化を捕捉するための十分な帯域幅が必要です。

電流監視ソリューション

電流監視ソリューションには、使用されているセンス素子（外付け / 内蔵）と出力方法（アナログ / デジタル）によってさまざまなタイプがあります。

外付けのセンス素子

ホット・スワップ・コントローラはパワー・パスに外付けの抵抗 (R_{SENSE}) を使用して負荷電流のセンシングを行います。R_{SENSE} 両端間の電圧降下はコントローラ内のハイサイド電流センス・アンプで増幅され、アナログ電流出力として外部の A/D コンバータを駆動するか、コントローラ内の A/D コンバータに入力されます。図 **1** は外付けセンス素子による電流監視を示しています。

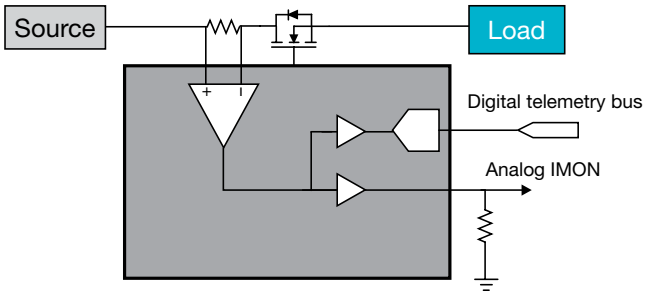


図 ***1***：外付けのセンス素子による電流監視のブロック図

R_{SENSE} の値はホット・スワップ・コントローラのデータシートに記載されている最大システム負荷電流 (I_{MAX}) と最大センス電圧 ($V_{SNS,MAX}$) に基づいて選択する必要があります。式 1 はこの 2 つの仕様に基づいて R_{SENSE} を計算する式です。

$$R_{SENSE} = V_{SNS,MAX}/I_{MAX} \quad (1)$$

電流センスの精度はR_{SENSE} の許容誤差、電流センス・アンプのゲイン誤差 / オフセット誤差、およびそれぞれの温度係数に依存します。正確な負荷電流リファレンスを使用してシステム・レベルのキャリブレーションを実施することで誤差を最小限にすることは可能ですが、温度ドリフトは除去できません。そのため薄膜や金属箔（バルク・メタル）など温度係数が小さいセンス抵抗器を選択してください。

誤差の原因は他にもあり、主なものとして電流センス・パス周囲のプリント基板 (PCB) レイアウトが適切ではないことが挙げられます。最良の結果を得るためには図 **2** に示すようなケルビン・センス接続を使用してください。

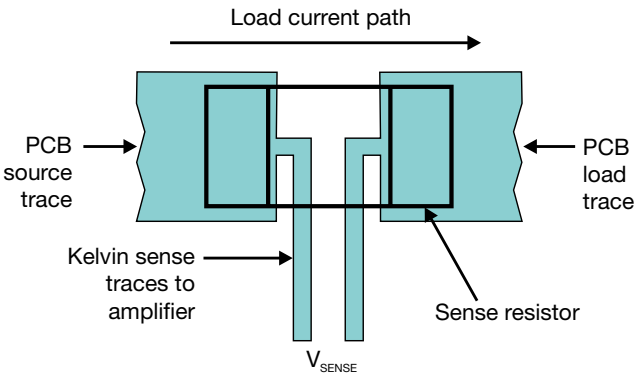


図 ***2***：外部電流センス抵抗のケルビン・センス・レイアウト

外付け電流センス抵抗ソリューションの主な長所は広範囲の電流センシングで高い線形性と精度を実現できることです。外付け電流センス抵抗ソリューションの短所はコスト、基板面積、電圧降下、消費電力の増大、およびセンス抵抗器の自己発熱です。

内蔵型のセンス素子

eFuse およびスマート・ハイサイド・スイッチでは内蔵された電流センス回路を使用して電流センシングを行います。外付けのコンポーネントは必要ありません。多くの場合電流センシングは何らかの形の電流ミラー回路を使用して実装されます。この回路は電流監視出力ピン上でパワー FET（電界効果トランジスタ）電流の一部を駆動します。図 **3** はTPS2663 eFuse のブロック図を示しています。TPS2663 eFuse は内蔵の電流センス回路を使用して専用ピン (I_{MON}) にアナログの電流監視信号を出力します。

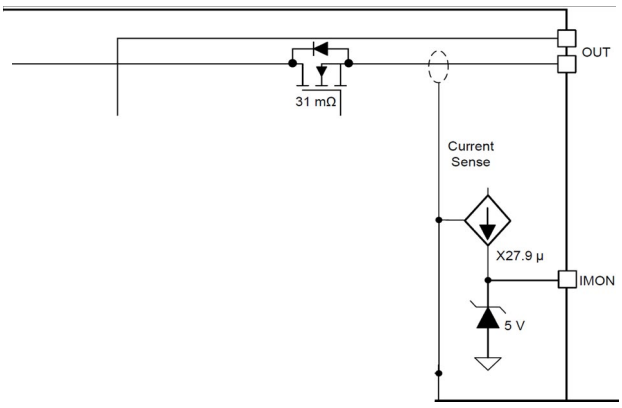


図 ***3***：*TPS2663* 内部ブロック図

TPS2596 eFuse のようなデバイスの中には兼用ピン (I_{LIM}) にアナログ電流監視信号を出力するものがあります。次ページの図 **4** に示すように、このピンは主

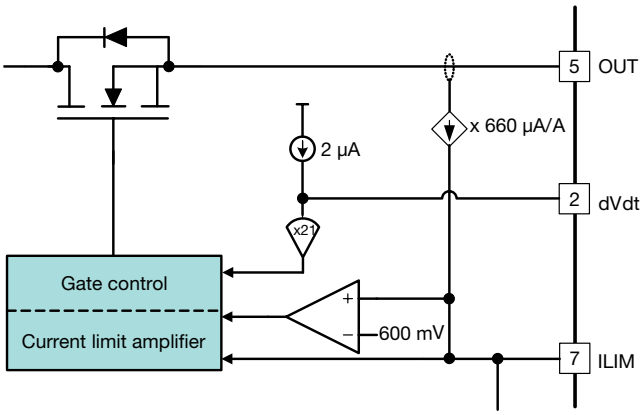


図 *4*：*TPS2596* 内部ブロック図

に調整可能な電流制限の設定に使用されます。電流制限抵抗（R_{ILM}）の両端間の電圧降下は出力負荷電流の測定に使用されます。

内蔵型電流センス・ソリューションの精度は内部の回路に関係する不整合やその他の誤差によって影響を受けるため、一定範囲の負荷電流と動作温度で高い精度が達成されるように工場で調整が行われます。TPS25982 のようにデバイスの中にはチョッパ安定化アンプなどの回路手法を採用してオフセット誤差および時間と温度によるドリフトを最小化するものもあります。工場での調整やその他の回路手法を採用することにより、完成システムでの追加キャリブレーションの必要性を最小限にし高精度の電流測定ができます。

内蔵型電流センシングによる方法はセンス抵抗に関連したコスト、サイズ、電圧降下の増大、および発熱といった問題がなくなるため外付けセンス抵抗ベースのソリューションよりも大きな利点があります。

アナログ出力タイプ

このタイプの出力は負荷電流に比例したアナログ電流信号です。式 **2** と式 **3** は出力負荷電流（I_{LOAD}）と電流監視信号（I_{MON}）の関係を表しています。

$$I_{MON} = I_{LOAD} \times G_{MON} \quad (2)$$

ここでG_{MON} は電流監視ゲインです。

この式は次のように表現することもできます。

$$I_{MON} = I_{LOAD}/K_{MON} \quad (3)$$

ここでK_{MON} は電流センス比です。

電流出力ピン（I_{MON}）と GND との間に抵抗（R_{MON}）を接続すると、式 **4** に示すようにセンス電流が電圧に変換されます。

$$V_{MON} = I_{MON} \times R_{MON} \quad (4)$$

測定のダイナミック・レンジを最大限に使用するため、フルスケール負荷電流時の V_{MON} とADC などの下流側回路に入力されるフルスケール電圧が一致するように R_{MON} を選択してください。

大きな R_{MON} を使用すると利用できる信号電圧がノイズに対して大きくなるため、低電流時の感度 / 分解能を向上できます。ただし、R_{MON} を大きくすると高電流時の電圧スイングも大きくなるため、I_{MON} ピン駆動回路においてフルスケール近くでヘッドルーム限界によるクリッピング / 飽和が起こる可能性があります。

高電流 / 低電流のデジタル表示

多くのソリューションにはデジタル出力フラグ・ピンが実装されており、負荷電流を既定のスレッショルドと比較してアサート / デアサートが行われます。

TPS27S100A のようなスマート・ハイサイド・スイッチには開路が起こったシステムにフラグを立てるためのオープン・ドレインのステータス出力ピンがあります。開路または軽負荷の検出を検討する際に重要なポイントの 1 つに出力電流の通常の動作範囲があります。疑似エラーの報告を避けるためには、公称動作範囲をデータシートに記載されている最大開路スレッショルドよりも高くする必要があります。次ページの表 **1** はTPS27S100A のデータシートに記載されている仕様の抜粋です。

さらに図 **5** に示すように、TPS25940、TPS25942、TPS25944、TPS1663、TPS2663 の各 eFuse に内蔵されるアナログ電流監視出力（I_{MON}）は内蔵コンパレ

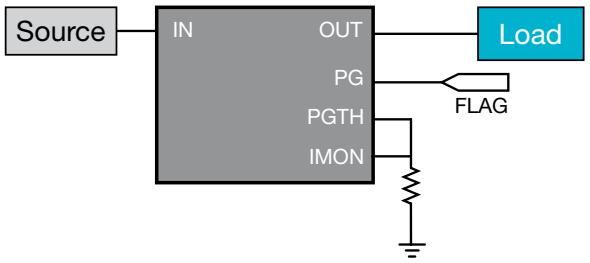


図 *5*：*IMON* ピン、*PGTH* ピン、*PG* ピンを使用した開路検出または軽負荷検出

Electrical characteristics（電気的特性）

5V < V_{IN} < 40V、–40°C < T_J < 150°C（特に記述のない限り）

パラメータ		テスト条件	最小値	代表値	最大値	単位
診断						
$V_{(ol,off)}$	オフ状態での開路検出スレッショルド	V_{EN} = 0V、V_{IN} – V_{OUT} < $V_{(ol,off)}$ のとき、$t_{d(ol,off)}$ よりも長い持続時間。Open load detected.	1.4	1.8	2.6	V
$I_{(ol,off)}$	開路時のオフ状態の出力シンク電流	V_{EN} = 0V、V_{IN} = V_{OUT} = 24V、T_J = 125°C。	–150			µA
$t_{d(ol,off)}$	オフ状態の開路検出スレッショルドのデグリッチ時間	V_{EN} = 0V、V_{IN} – V_{OUT} < $V_{ol,\ off}$ のとき、$t_{ol,off}$ よりも長い持続時間。Open load detected.		600		µs
$I_{(ol,on)}$	オン状態での開路検出スレッショルド	V_{EN} = 5V、I_{OUT} < $I_{(ol,on)}$ のとき、$t_{d(ol,on)}$ よりも長い持続時間。Open load detected. バージョン A のみ。	2	6	10	mA
$t_{d(ol,on)}$	オン状態での開路検出スレッショルドのデグリッチ時間	V_{EN} = 5V、I_{OUT} < $I_{(ol,on)}$ のとき、$t_{d(ol,on)}$ よりも長い持続時間。Open load detected.		700		µs

表 *1*：*TPS27S100A* の電気的特性

ータ (PG PGTH) とともに使用することで開路または軽負荷の検出に転用できます。

また、図 6 に示すようにアナログ電流監視出力がある他のデバイスの場合も、外付けのコンパレータを追加することによって開路または軽負荷の検出を行うことができます。

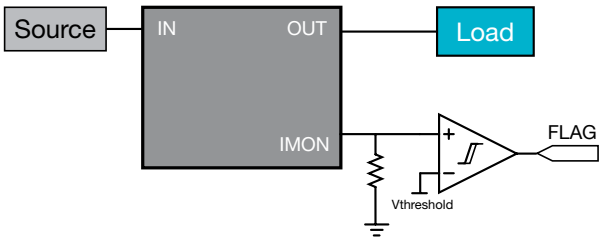


図 *6*：外部コンパレータを使用した開路検出または軽負荷検出

デジタル遠隔測定出力タイプ

デジタル電流監視のもう 1 つのアプローチは遠隔測定です。電流監視に対するこのデジタル・アプローチにはアナログ電流のセンシング、内蔵 ADC によるデジタル信号への変換、さらに内部のデジタル・レジスタへの保存といったプロセスが含まれます。このデータはI^2C やシリアル・ペリフェラル・インターフェイス・バスなどのデジタル・バスを介してCPUに報告されます。図 7 のブロック図でハイライトされている部分は電流のセンシングおよび A/D 変換の両方を示しています。

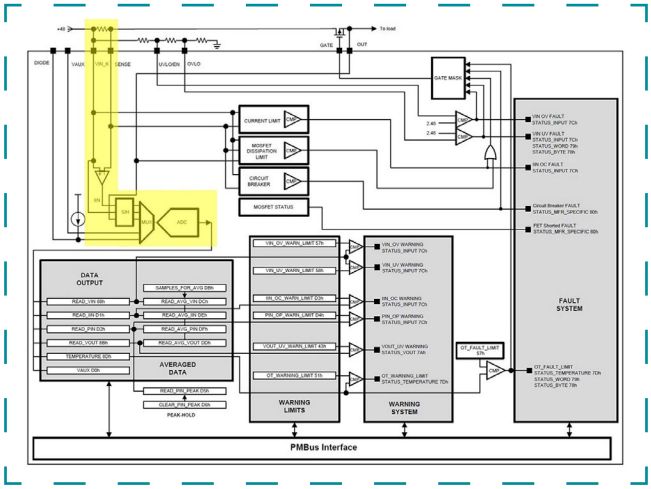


図 *7*：*LM5066I* 内部ブロック図

デバイスにもよりますが、保存するアナログ電流情報のデータ・フォーマットはPMBus® などの工業標準に準拠する場合と、カスタマイズされる場合があります。PMBus はI^2C を介した遠隔測定データの読み書きの標準化でよく使用される仕様です。PMBus では電力および電圧のデータを保存するためのデータ・フォーマットも規定されています。

TI ではPMBus 規格準拠のデバイスを多数提供しています。デバイスで PMBus を使用する方法の詳細についてはLM5066I データシートをご覧ください。このデータシートのセクション 8.5.4 ～ 8.5.8 では、システムが I^2C を介してアナログ電流情報をデジタルに変換するのに必要なデータ・フォーマットと計算式を徹底的に説明しています。

電流監視に関連する重要な性能の仕様

ここではプリケーションで電流監視ソリューションを選択する際に考慮すべきいくつかの重要な仕様について説明します。

- ダイナミック・レンジは電流監視回路がセンシングとリポートを正確に行うことができる負荷電流範囲のことです（図 **8** 参照）。サポートされているダイナミック レンジの外側の信号はきわめて大きな測定エラーを含む可能性があり、まったくセンシングができない場合もあります。ダイナミック レンジは通常、電流監視アンプ回路のヘッドルームによって上端が制限されノイズとオフセット誤差によって下端が制限されます。ダイナミック レンジの下端または上端では精度面でのトレードオフがあるのが一般的です。回路に高いゲインまたは大きなセンス抵抗を使用するとオフセットとノイズに対して信号が大きくなりゼロ・スケール付近の性能が向上しますが、フルスケール近くでは出力のクリッピング / 飽和が発生します。逆に低ゲインまたは低センスの抵抗を使用すると直線性と制度が改善されフルスケールに近くなる場合がありますが、オフセットとノイズが測定値に大きく影響するため測定精度がゼロ・スケール近くまで低下する要因になります。一部の電流監視デバイスではこの範囲の下限側でオフセット誤差を最小限に抑えて性能を高めるために、チョッパ安定化アンプ、オートゼロ・アンプ、マルチポイント・トリムなどの手法を使用しています。

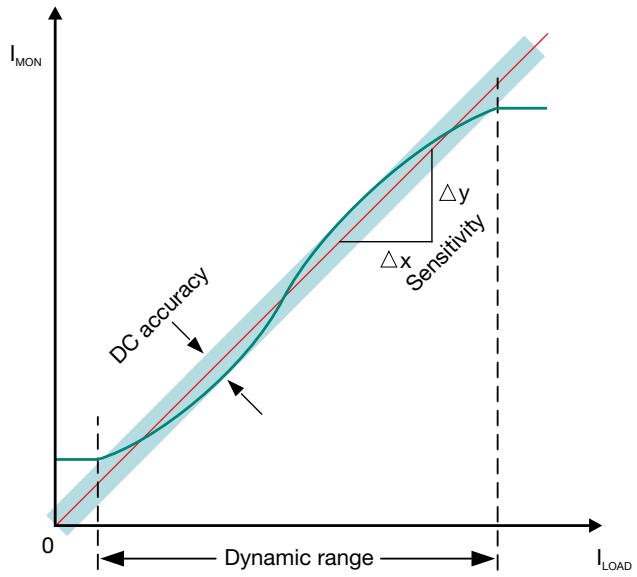


図 ***8***：電流監視の定格性能

- DC 精度は電流監視出力の期待値からの絶対誤差または絶対偏差を表す尺度であり、「%FS」または「%RD」という形で表されます。この誤差を構成するのはゲイン誤差、オフセット誤差、非直線性などです。大電流ではゲイン誤差が多くを占め、小電流ではオフセット誤差が多くを占めます。外部電流センス抵抗を備えたデバイスの場合、そのセンス抵抗の許容誤差も全体の電流監視誤差に影響を与えます。さまざまな温度で測定値の精度を判定するには誤差の各成分の温度係数を調べる必要があります。
- 分解能 / 感度は監視回路で検出できる最小限度の電流変化を表す尺度です。通常、分解能とダイナミック・レンジはトレードオフの関係になっています。アナログ監視ソリューションの場合、センス回路の感度が高いとゲインも高くなります。デジタル出力ソリューションの場合、高感度は ADC の分解能にも依存します。
- 帯域幅は監視回路で検出できる最も速い電流変化を表す尺度です。回路の帯域幅の範囲内の信号はすべて忠実に再現されますが、帯域幅の範囲外の信号は大幅に減衰されるため測定値の誤差が生じる原因となります。また、図 **9** に示すように負荷過渡などの電流の瞬間的な変動を検知する能力も帯域幅によって決まります。

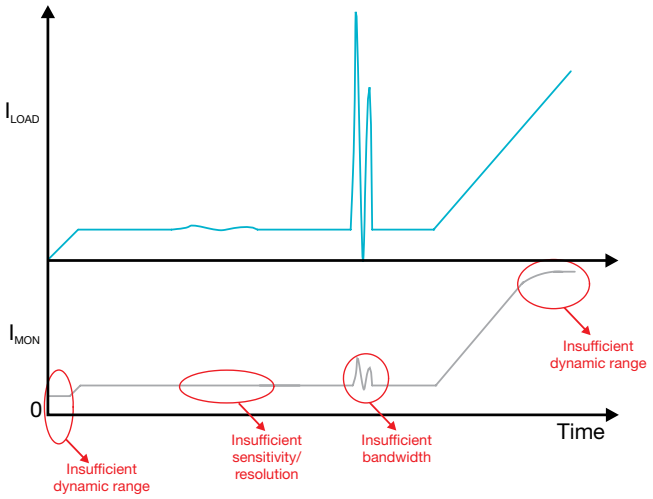


図 ***9***：電流監視の定格性能のシステムへの影響

- レイテンシは負荷電流の変動が生じた時点からその変動が測定値に反映されるまでの遅延を表す尺度です。一般的にレイテンシが問題となるのはデジタル電流監視ソリューションの場合であり、こ

れは A/D 変換時間とデジタル回路全体の伝播遅延時間に起因します。

まとめ

表 2 にテキサス・インスツルメンツが提供する多様なパワー・スイッチ・ソリューションの電流監視機能を示しています。ホット・スワップ・コントローラ、eFuse、スマート・ハイサイド・スイッチなどのパワー・スイッチはパワー・パスの制御と保護に加えて電流監視機能を備えることで付加価値を高めています。市場では多くのパワー・スイッチが販売されていますが、場合によっては内蔵されている電流監視機能に基づいて選択肢を絞り込むことができます。

	eFuse	ホット・スワップ・コントローラ	スマート・ハイサイド・スイッチ
バス電圧	2.5V ～ 60V	±80V	3V ～ 65V
最小センス電流	20mA	外部センス抵抗に依存	5mA
最大センス電流	15A	外部センス抵抗に依存	80A
内蔵型電流センス素子	はい	いいえ	はい
アナログ電流監視	×	可	×
デジタル電流監視	いいえ	○	いいえ
開路 / 軽負荷の検出	はい	いいえ	はい

表 *2*：電流監視機能を備えたパワー・スイッチ

第 9 章: パワー・グッド信号

執筆者：Arthur Huang

概要

マイクロプロセッサやシステム・オン・チップ (SoC) などのノイズに敏感な負荷については、レギュレーションを維持するために安定した入力電圧が必要です。電圧レールで大規模な突入電流が発生したり、高容量性負荷が接続されたりすると、電圧が低下して、デバイスが低電圧ロックアウト (UVLO) やリセット状態になったり、デバイスのダウンストリーム回路が損傷したりする可能性があります。パワー・グッド信号 (PG) をダウンストリーム負荷に接続することで、突入電流の管理やレール・シーケンシングの制御が容易になります。

パワー・グッド信号は、電圧レールが通常動作をするための十分な値に達したときにのみ、アサートされます。ダウンストリームのイネーブル・ピンまたはリセット・スーパーバイザをパワー・グッド信号に接続することで、安定化された入力電圧のみでダウンストリーム負荷を動作させることができます。また、パワー・グッド機能はパワー・シーケンシングや電源多重化などのアプリケーションにも適しています。

一般的なパワー・グッド・アプリケーション

以降のセクションでは、パワー・グッド信号の実装について説明します。

ダウンストリーム負荷への接続

多くのシステムでは、ダウンストリーム負荷を適切に動作させるために安定化された入力電源が必要です。電源レールの安定化に失敗すると、負荷による誤動作が発生したり、システムが停止したりする可能性があります。適切な電圧レールに依存するダウンストリーム負荷としては、マイクロプロセッサ、FPGA（フィールド・プログラマブル・ゲートアレイ）、SoC などのノイズに敏感な部品が挙げられます。

図 **1** に示すように、電圧レールがオンになって安定化されているときにはパワー・グッド信号によってマイコン (MCU) にフィードバックを返すことができます。パワー・スイッチの出力に高容量性負荷が含まれている場合、出力電圧が安定化されているときにマイコンをオンにすると、突入電流が管理されます。つまり、パワー・グッド信号がデアサートされると、マイコンはオフ状態を維持します。パワー・グッド出力は通常オープン・ドレインであるため、レギュレーション

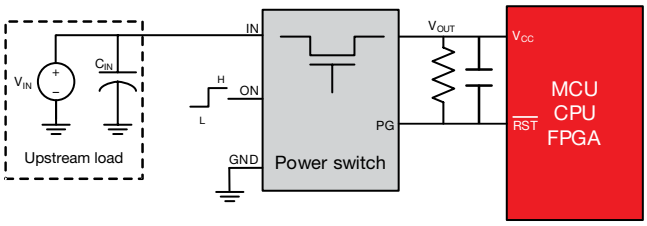


図 *1*：パワー・グッド・リセット構成。

の際にプルアップ抵抗によってピンを “High” にする必要があります。

複数の電源レールでレギュレーションが必要な場合は、複数のパワー・グッド信号をまとめてリセット・スーパーバイザまたはロジック集積回路 (IC) に接続することで、いずれかの電圧レールがレギュレーション範囲外になったときにリセット信号を確実にアサートできます。この構成の例として、DC-DC コンバータとパワー・スイッチの PG をまとめて接続した構成を図 **2** に示します。

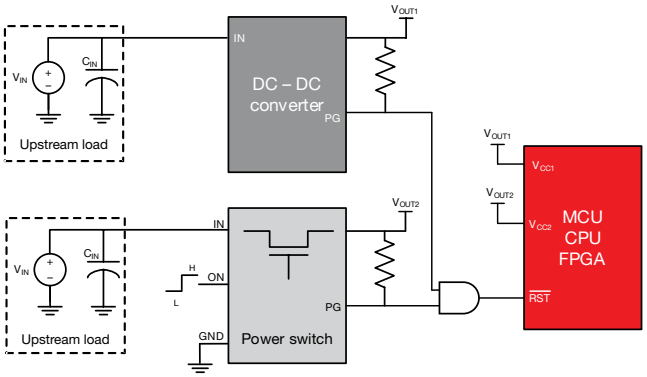


図 *2*：複数パワー・グッド・リセット構成。

堅牢な入力保護が必要なシステムでは、パワー・グッド信号を使用することで起動時のシステム・ストレスを低減できます。ホット・スワップ・コントローラなどの一部のデバイスでは、外部電界効果トランジスタ (FET) へのストレスが安全な動作領域 (SOA) の範囲内に収まっているかどうかを監視します。起動時、FET が十分にエンハンスされていない間にダウンストリーム負荷がオンになると、外部 FET とシステムでストレスが高まるおそれがあります。次のページの図3に示すように、パワー・グッド信号をダウンストリーム負荷のイネーブル信号に接続することで、

ホット・スワップ FET が十分にエンハンスされたときにのみダウンストリーム負荷をオンにすることができます。

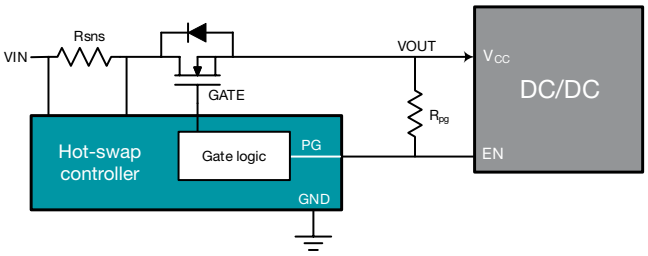


図 *3*: ホット・スワップ・パワー・グッド構成。

電源シーケンス

多くのアプリケーションでは、サブシステムおよび下流にある部品が適切に動作するように、制御されたパワーアップ・シーケンスとパワーダウン・シーケンスが必要になります。特定の順序でオンになることが必要な電圧レールでは、動作の安全性と信頼性を保証するために、シーケンスがきわめて重要です。レールのシーケンシングは、パワーアップ時に突入電流が発生するタイミングをずらすためにも有効です。そうすることで、システム・ストレスと入力電圧低下が減少し、逆バイアス状態の発生防止にも役立ちます。

パワー・グッド信号を使用して、電圧レールをシーケンシングできます。たとえば、ロード・スイッチのパワー・グッド信号を後段のロード・スイッチのイネーブル・ピンに接続すると、2 個目のロード・スイッチは 1 個目のロード・スイッチが安定化した後でのみオンになります。この条件では 2 個目のロード・スイッチが遅れてオンになるため、電圧レールのタイミングを効果的にずらすことができ、システムの突入電流ストレスが軽減されます。1 個目のスイッチがディスエーブルになると、パワー・グッド信号によって EN/ON ピンが “Low” にプルダウンされ、2 個目のスイッチがオンになることを防ぎます。突入電流の詳細については、第 1 章を参照してください。

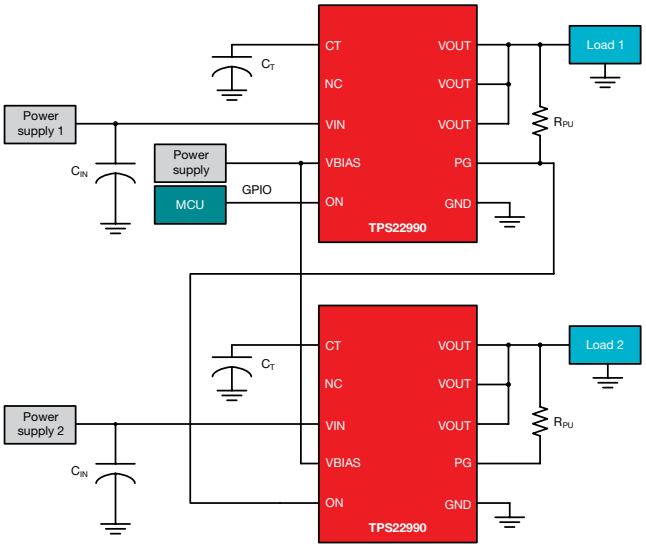


図 *4*: パワー・シーケンシング。

図 **4** に、パワー・グッド信号を使用したパワー・シーケンシング・アプリケーションの例を示します。また、図 **5** に示すように、パワー・グッド信号に遅延を追加することで、レールのシーケンシングのオン / オフをさらに遅らせることができます。

電源多重化

電源多重化は、複数の入力電源レールから選択して単一の出力に接続するために使用する一連のエレクトロニクス・スイッチです。バックアップ電源レールまたはバックアップ・バッテリが含まれたシステムでは、出力電圧の低下を最小限に抑え、システム・リセットを防ぐために、電源を高速で切り替える必要がある場

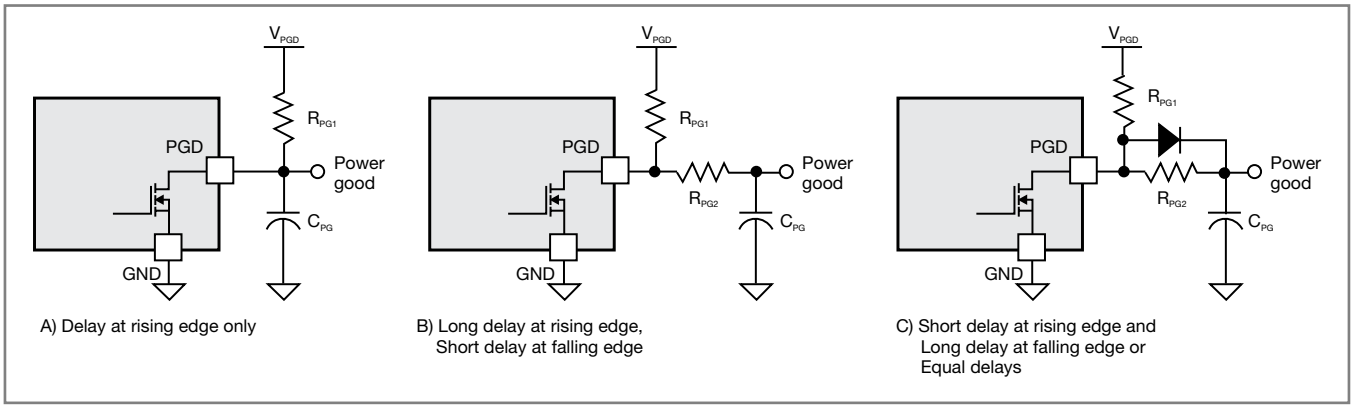


図 *5*: パワー・グッド出力ピンへの遅延の追加。

合があります。逆電流が生じる状況を防ぐために、入力の切り替えにパワー・グッド信号を使用することができます。逆電流ブロックの詳細については、第 4 章を参照してください。

ロード・スイッチなどのデバイスのパワー・グッド信号を外部 P チャネル FET (PFET) に接続すると、パワー・グッド信号によって 2 つの電源レールをシームレスに切り替えることができるため、独立したタイミング回路が不要になります。

図 6 に示すように、TPS22990 のパワー・グッド・ピンが “High” にプルアップされると、PFET のゲートも “High” にプルアップされ、FET がオフになります。パワー・グッド・ピンが “Low” にアサートされると、PFET のゲートが “Low” にプルダウンされて PFET がオンになり、IN2 から電流が流れます。

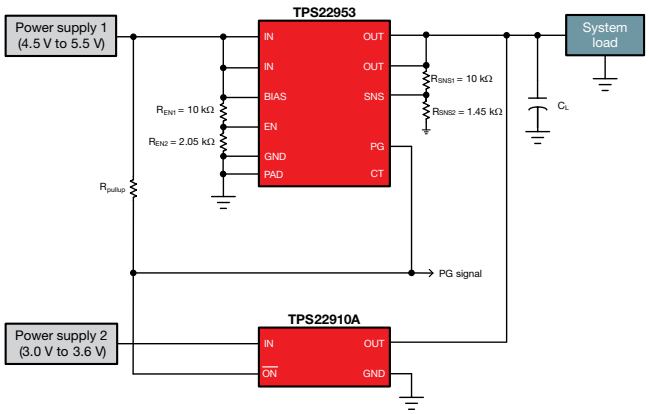


図 *6*: メイク・ビフォー・ブレイク型パワー・マルチプレクサの回路図。

パワー・グッド信号のアーキテクチャ

パワー・グッド信号はディスクリート実装することも、統合型実装することもできます。以降のセクションで、この 2 つのソリューションについて説明します。

ディスクリート実装

図 7 は、パワー・グッド信号のディスクリート実装の例です。この実装では、パワー・グッド信号は出力電圧に応じてアサートされます。出力電圧が一定の閾値に達すると、パワー・グッド信号がアサートされ、ディスクリート FET がバイアスされます。この例では、V_{OUT} が “Low” になると、FET Q2 のゲートの電圧が “Low” にプルダウンされ、オフに切り替わります。Q3 のゲートは V+ にプルアップされたまま残されるため、オンになり、パワー・グッド信号がグランドにプルダウンされます。V_{OUT} が抵抗デバイダで指定された特定レベルに到達すると、Q2 のゲートが “High” にアサートされ、Q3 のゲートが “Low” にプルダウンされて、Q3 がオフになります。その結果、パワー・グッド出力が V_{OUT} にプルアップされて、パワー・グッド信号がアサートされます。

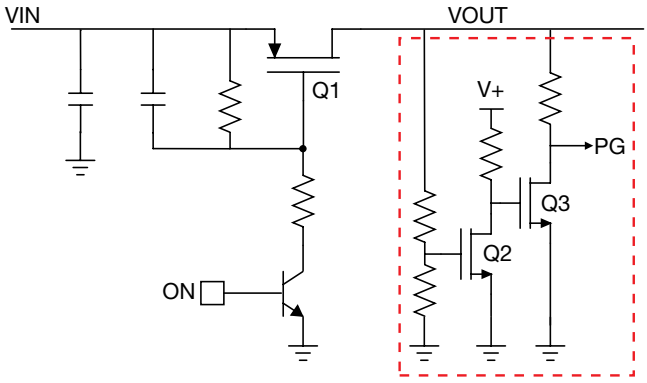


図 *7*: ディスクリート実装のパワー・グッド機能。

この回路の制約の 1 つは、パワー・グッド信号に影響を与えるのが V_{OUT} のみである点です。V_{OUT} が印加されているときには、V_{OUT} レールが変動していてもパワー・グッド信号がアサートされます。たとえば、V_{OUT} が公称 12V であるとき、高い容量負荷が出力に接続されて入力電圧が 10V に低下したとします。左側の FET がバイアスされている限り、パワー・グッド信号はアサートされたままになります。

統合型実装

デバイスによっては、いくつかの方法で統合型 IC を使用してパワー・グッド信号を実装できます。1 つ目は、V_{OUT}/V_{IN} パワー・グッドを使用する方法です。これは、ディスクリート実装のパワー・グッド・ソリューションと似ています。図 8 に示すように、出力電圧が V_{IN} の特定の割合に達したときにパワー・グ

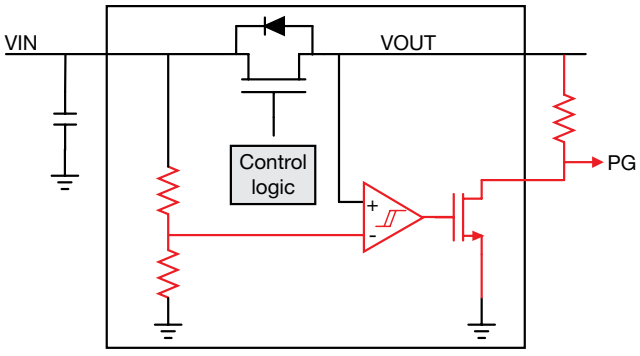


図 *8*: 統合型実装の V_{OUT}/V_{IN} パワー・グッド。

ッド信号をアサートします。たとえば、V_{OUT} が V_{IN} の 90% に達したときにパワー・グッド信号をアサートします。これにより、V_{IN} と V_{OUT} の比較を使用した、シンプルなパワー・グッド機能が得られます。

ただし、V_{OUT}/V_{IN} パワー・グッドには、高い容量性負荷に対してオンになるときには制約が伴います。パワー・グッド信号のアサートは V_{IN} と V_{OUT} の比率によってのみ決まるため、電圧が変動した場合でもパワー・グッド信号がアサートされます。高い容量性負荷が原因でダウンストリーム負荷が大量の電流を引き出すと、起動中に大きな突入電流イベントが発生する可能性があります。第 1 章で説明したように、負荷容量が充電されると入力電圧が低下する場合があります。パワー・グッド信号のアサートは結局のところ V_{IN}/V_{OUT} の比率によってのみ決まるため、V_{IN} と V_{OUT} が低下している場合でもパワー・グッド信号がアサートされます。

低電圧アプリケーションの場合、V_{OUT}/V_{IN} パワー・グッドには別の制約が伴います。V_{IN} が低い場合、オン抵抗が原因でパワー・グッド信号がアサートされない可能性があります。

式 **1** について考えてみましょう。たとえば、デバイスが 0.5V、1A、オン抵抗 100mΩ で動作している場合、出力電圧は 0.4V になりますが、これは V_{IN} の 90% に達していません。そのため、パワー・グッド信号がアサートされない可能性があります。

$$V_{OUT} = V_{IN} - I_{LOAD} \times R_{ON} \quad (1)$$

パワー・グッドを効果的に実装する方法の 1 つは、パス FET のオン抵抗を測定する方法です。これは ″V_{GS} グッド″ とも呼ばれる方法で、FET のオン抵抗が公称値に近付くポイントまで V_{GS} 電圧が上がったときに、パワー・グッドをアサートします。さらに、過渡イベントや突入イベントによって V_{GS} グッドが誤ってアサートされないように、回路に遅延を導入します。EN/ON ピンの電圧がデバイスの V_{IH} レベルを超えた後で、オン抵抗を計測し、一定時間（t_{BLANK}）待機した後、“High” にアサートします。EN/ON ピンの電圧が V_{IL} を下回るか、FET の V_{GS} が閾値を下回った場合、パワー・グッドをデアサートします。図 **9** は、V_{GS} パワー・グッドの一般的な実装の例です。

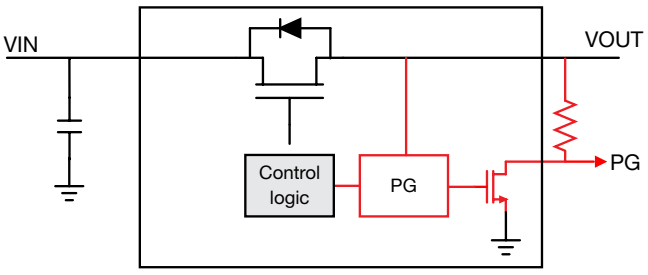


図 ***9***：統合型実装の V_{GS} パワー・グッド。

V_{GS} パワー・グッドは、オン抵抗の変動が小さく、過渡や突入によってパワー・グッド・ピンが誤ってアサートされることを防止できるため、低い V_{IN} 値を扱うことができるメリットがあります。V_{GS} グッドに関しては、起動時の V_{BIAS} と V_{ON} に関係する制約があります。V_{BIAS} ピンと V_{ON} ピンが “High” のとき、V_{IN} が上昇を開始すると、V_{GS} 閾値が “High” のままであるため、パワー・グッドがアサートされます。V_{BIAS} の電圧がゲートに印加されるため、V_{GS} 閾値が “High” のままになります。

まとめ

安定した入力電圧が必要なアプリケーションでは、パワー・グッド信号を使用して、レギュレーションを維持することができます。パワー・グッド信号は突入電流の管理やレール・シーケンシングの制御に役立ち、パワー・シーケンシングやパワー・マルチプレクシングなどのアプリケーションに活用できます。

第 10 章: 誘導性負荷の安全な駆動

執筆者：Mahmoud Harmouch

概要

誘導性負荷に該当するのはリレー、ソレノイド、電気モーターなどですが、長いケーブルを介して接続された負荷も誘導性負荷となります。インピーダンスは、直列に接続された抵抗 (R) とインダクタンス (L) で構成されます。R 値によって定常状態の電流が決まり、L 値によって蓄積された磁気エネルギーが決まります。インダクタに蓄積された磁気エネルギーが適切に放散されなかった場合、システム・レベルまたは部品レベルの損傷が発生する可能性があります。

リレーまたはソレノイドの磁気コンタクトを開閉するには、磁気エネルギーを蓄積または放散する必要があります。電気モーターの場合、機械的に回転させるには蓄積された磁気エネルギーが必要です。誘導性負荷は、コンタクトの開閉（リレーおよびソレノイド）や回転 / 休止（電気モーター）のために、励磁と無励磁化を常に繰り返しています。誘導性負荷が励磁状態のときに接続を切断すると、高電圧スパイクが発生し、システムに損傷を与える場合があります。誘導性負荷を安全に無励磁化するには、適切なクランプを実装する必要があります。

はじめに

誘導性負荷があるときには、蓄積されているエネルギーを適切に管理しなければシステム内の部品が損傷する可能性があるため、蓄積されているエネルギーの量を考慮する必要があります。

誘導性負荷を駆動する際には、次の 2 つの状態を考慮する必要があります。

- 誘導性負荷を励磁している、またはバッテリーなどの電圧源に接続している。
- 誘導性負荷を無励磁化している、または電圧源との接続を切断している。

バイポーラ・トランジスタ、電界効果トランジスタ、統合型スイッチなどのスイッチを使用し、スイッチの一方の側を電圧源（ハイサイド・スイッチ）またはグランド（ローサイド・スイッチ）に接続することで、どちらかの状態を実現できます。状況によっては、統合型スイッチに電圧クランプが内蔵される場合もあります。

励磁状態では、スイッチが定常状態の負荷電流を駆動し、L 値に負荷電流の 2 乗を乗じた値の 1/2 に当たる磁気エネルギーがインダクタンスに蓄積されます。

無励磁状態では、電流が定常状態の値から 0 にまで減衰します。スイッチの両端で、電流スロープに比例した電圧スパイクが発生します。電圧スパイクを抑制し、蓄積されたエネルギーを安全に放散する必要があります。そうしなければ、システムに損傷が及ぶおそれがあります。

この章では、ドライブ回路の能力を最適化するための誘導性負荷パラメータの計算を中心に説明します。ハイサイド・スイッチでもローサイド・スイッチでも、励磁と非励磁化のメカニズムは同じです。

誘導性負荷に関する課題

誘導性負荷にかかる電圧は時間に依存します。式 **1** は、信頼できるドライブ回路を選択するために必要な誘導性負荷パラメータを計算する式です。

$$V(t) = R\,I(t) + L\,\frac{dI(t)}{dt} \qquad (1)$$

式 **1** から、誘導性負荷の接続を切断するときに電流が急激に変動して (dI(t)/dt 成分)、過電圧スパイクが発生する可能性があることがわかります。この過電圧スパイクの強さは、部品が損傷する要因ともなり、必要に応じてクランプする必要があります。

誘導性負荷の励磁

誘導性負荷を電圧源に接続すると、励磁されます。電流が急激に上昇して定常状態の値に到達し、磁気エネルギーがコイルに蓄積されます。図 **1** に、ハイサイド・スイッチを使用して負荷を駆動するときの、この動作を示しています。

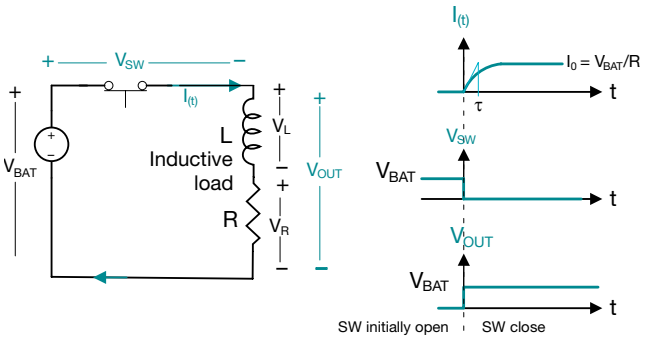


図 *1*：誘導性負荷の励磁時の波形。

抵抗インダクタ (RL) 回路で誘導性負荷を励磁するときの電圧ループは、一次微分方程式式 2 で表されます。

$$V_{BAT} = R\,I(t) + L\frac{dI(t)}{dt} \quad (2)$$

式 2 を解くと、瞬間的な誘導性負荷電流が得られます。式 3 を使用して、重要な回路パラメータを計算できます。

$$I(t) = \frac{V_{BAT}}{R}\left(1 - e^{\frac{-t}{\tau}}\right) \quad (3)$$

この段階における課題は、定常状態の負荷電流を伝達しながら、接合部温度がサーマル・シャットダウン温度に達しないように維持できるスイッチを選択することにあります。最適なスイッチとしては、低オン抵抗スイッチなど、ドロップアウト電圧が低いスイッチが該当します。

表 1 に、式 1 によって導入されるパラメータと、それがシステムに与える影響を示します。

パラメータ	時定数	定常状態電流	蓄積された磁気エネルギー
式	$t = L/R$	$I_0 = V_{BAT}/R$	$\frac{1}{2}L\left(\frac{V_{BAT}}{R}\right)^2$
影響	通電時間を予測	R_{ON} の選択に役立つ	クランプ回路の選択に役立つ

表 *1*：誘導性負荷の励磁に関する計算パラメータ。

誘導性負荷の電圧源からの切断

誘導性負荷にかかる電圧は、式 4 で表されます。

$$V(t) = R\,I(t) + L\frac{dI(t)}{dt} \quad (4)$$

電流 (dI(t)/dt) が急激に変動すると、電流が V_{BAT}/R から 0 に変わるときに非常に高い電圧が発生します。図 2 に示すように、電圧源から誘導性負荷への接続を切断するとインダクタの両端で大きな負電圧スパイクが生成されます。この電圧スパイクはスイッチの両端で生じ、スイッチの定格ブレークダウン電圧をはるかに超えます。適切な電圧クランプを追加することで、電圧スパイクによる深刻な損傷を防止できます。

図 2 は、ハイサイド・スイッチを経由して励磁された誘導性負荷の接続を切断した場合に予想される波形を、システムにクランプがある場合とない場合に分けて示しています。

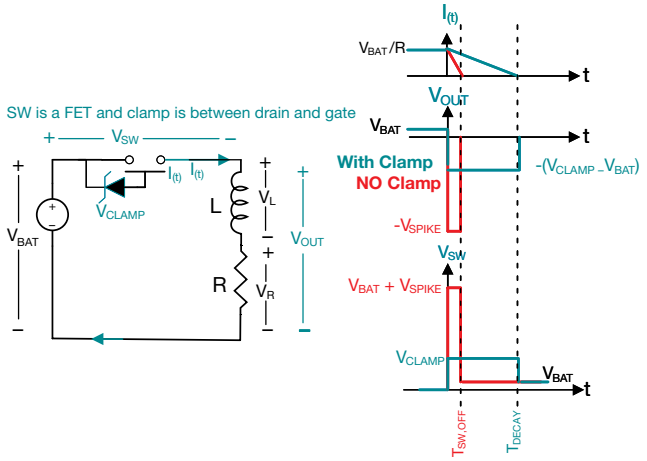


図 *2*：電圧源からの接続が切断された誘導性負荷の波形（青緑色がクランプあり、赤色がクランプなし）。

表 2 は、スイッチ両端にクランプ電圧を実装した場合の有効性を示しています。クランプによって、電流スロープが 250mA/10µs から 250mA/419µs に緩和され、蓄積されたエネルギーのうち 3.125mJ が安

クランプ	DC 抵抗 (R)	インダクタンス (L)	V_{BAT}	オン状態：電流スイッチ・オン $V_{BAT/R}$	オフ状態：電流スイッチ・オフ	蓄積された磁気エネルギー $E = \frac{1}{2}L\left(\frac{V_{BAT}}{R}\right)^2$	$T_{SW,OFF}$	T_{DECAY}	電圧スパイクまたはクランプ $L\frac{dI(t)}{dt}$	スイッチ両端の電圧 (V_{SW})
クランプなし	48W	100mH	12V	250mA	0mA	3.125mJ	10µs		2500V	2512V（高電圧スパイク）
クランプあり	48W	100mH	12V	250mA	0mA	3.125mJ		419µs	48V	60V

表 *2*：誘導性負荷のスイッチ・オフにより発生した電圧レベル（クランプあり、クランプなし）。

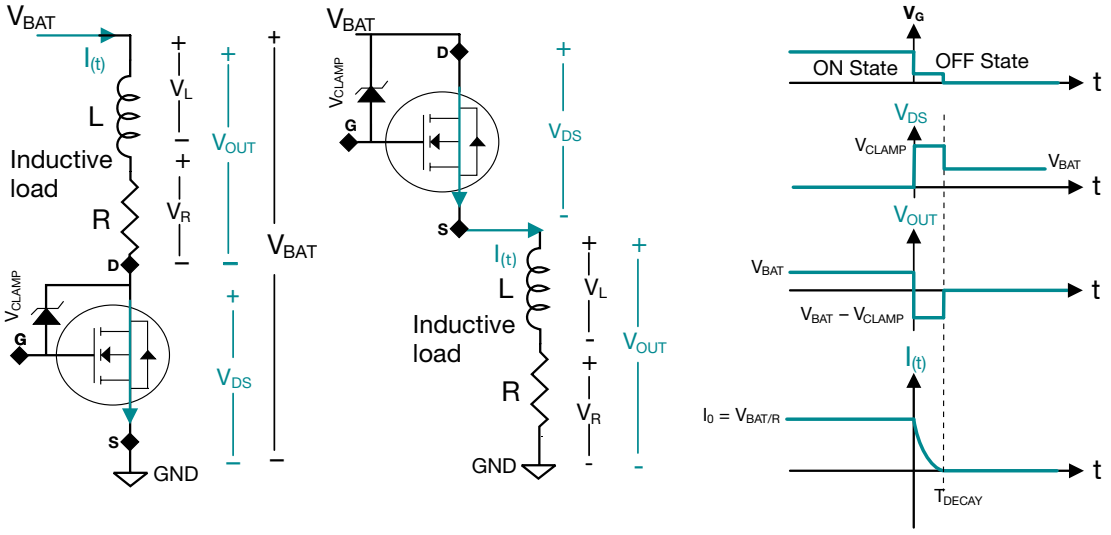


図 ***3***：スイッチ両端に ***TVS***（過渡電圧サプレッサ）クランプを使用した誘導性負荷の無励磁化。

全に放散されています。クランプがない場合、2512V の電圧スパイクが発生し、スイッチに損傷を与える可能性が高くなります。

誘導性負荷の安全な無励磁化

誘導性負荷と電圧源の接続を切断する際に、誘導性負荷を安全に無励磁化する方法として、次の 3 つがあります。

- スイッチ両端にクランプを使用する。
- 誘導性負荷の両端にクランプとブロッキング・ダイオードを使用する。
- 誘導性負荷の両端にフリーホイール・ダイオードを使用する。

この 3 つの方法のいずれも、主な目的はスイッチにかかる電圧がブレークダウン・レベルを超えないように維持し、誘導性負荷に蓄えられたエネルギーを安全に放散することにあります。

式 **5** はクランプ回路を表し、一次微分方程式に基づいています。

$$RI(t) + L\frac{dI(t)}{dt} = K \qquad (5)$$

ここで、K は各回路のクランプ方法に応じた定数となります。アプリケーション・レポート「How to Drive Resistive, Inductive, Capacitive and Lighting Loads with Smart High-Side Switches」（英語）では、誘導性負荷の駆動に関する計算について、さらに詳しく説明しています。

次に、この 3 つの方法について見てみましょう。

スイッチ両端にクランプを使用する

スイッチ両端にクランプを使用する方法が最も効果が高く、ほぼすべての誘導性負荷に対応できます。車載システムや産業用システムで使用されているスマート・ハイサイド・スイッチのほとんどに、クランプが組み込まれています。

図 **3** に、スイッチ両端にクランプを使用した場合の誘導性負荷の無励磁化を示します。

インダクタンス	抵抗	初期電流	蓄積エネルギー	消磁時間	TVS により放散されたエネルギー
L	R	$I_0 = V_{BAT}/R$	$\frac{1}{2}L\left(\frac{V_{BAT}}{R}\right)^2$	$t_{DEMAG} = \frac{L}{R}\mathrm{Ln}(1 + \frac{R \times I_0}{V_{CLAMP} - V_{BAT}})$	$E_D = \frac{L}{R}V_{CLAMP}\left(I_0 - \frac{V_{CLAMP} - V_{BAT}}{R}\mathrm{Ln}(1 + \frac{R \times I_0}{V_{CLAMP} - V_{BAT}})\right)$
V_{CLAMP} が $3 \times V_{BAT}$ よりも大きい場合の簡略数式					$\frac{1}{2}L\left(\frac{V_{BAT}}{R}\right)^2 \frac{V_{BAT}}{V_{CLAMP} - V_{BAT}}$

表 ***3***：スイッチおよびクランプ（スイッチの両端に適用されるクランプ）を選択するために必要なパラメータ。

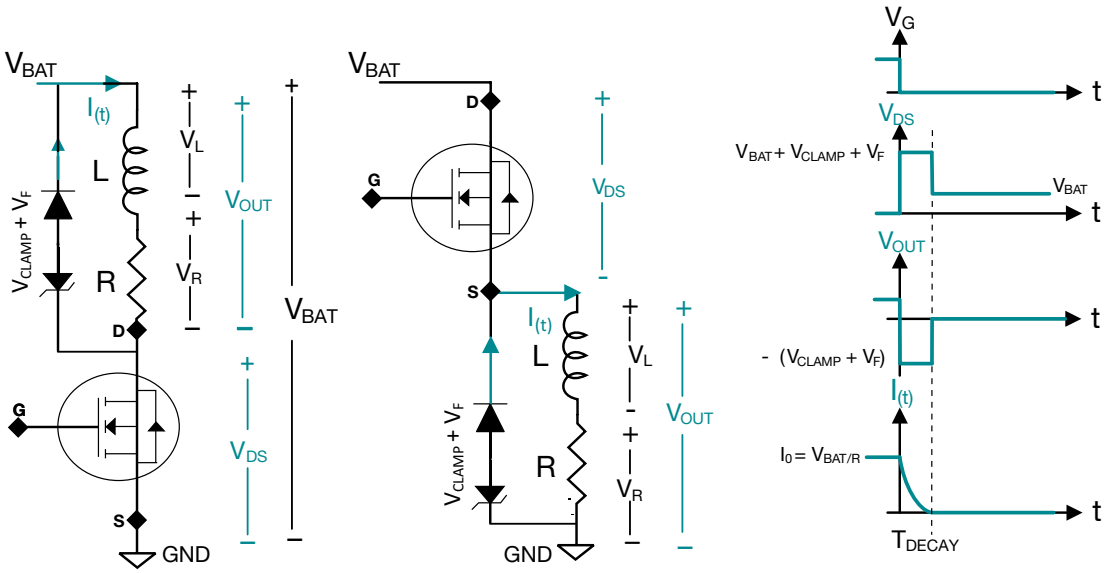


図 *4*：スイッチ両端に *TVS* クランプを使用した誘導性負荷の無励磁化。

式 **5** の K は、図 **3** に示す回路のクランプ方法を表しています。式 **5** を解くと、式 **6** が得られます。

$$RI(t) + L\frac{dI(t)}{dt} = -(V_{CLAMP} - V_{BAT}) \quad (6)$$

前のページの表3に、式 **6** から算出されたパラメータを示します。

誘導性負荷の両端にクランプとブロッキング・ダイオードを使用する

図 **4** に、負荷の両端にクランプとブロッキング・ダイオードを取り付けた構成を示します。

この場合も、ブロッキング・ダイオードのクランプ電圧と順方向電圧を式 **5** に代入すると、式 **7** が得られます。

$$RI(t) + L\frac{dI(t)}{dt} = -(V_{CLAMP} + V_F) \quad (7)$$

表 **4** に、式 **7** から算出されたパラメータを示します。

オン状態のときに外部 TVS に電流が流入しないようにするために、直列ダイオードが必須となります。

インダクタンス	抵抗	初期電流	蓄積エネルギー	消磁時間	TVS により放散されたエネルギー
L	R	$I_0 = V_{BAT}/R$	$\frac{1}{2}L\left(\frac{V_{BAT}}{R}\right)^2$	$t_{DEMAG} = \frac{L}{R}Ln(1 + \frac{R \times I_0}{V_{CLAMP} + V_F})$	$E_D = \frac{L}{R}(V_{CLAMP} + V_F)\left(I_0 - \frac{V_{CLAMP} + V_F}{R}Ln(1 + \frac{R \times I_0}{V_{CLAMP} + V_F})\right)$
V_{CLAMP} が $2 \times V_{BAT}$ よりも大きい場合の簡略数式					$\frac{1}{2}L\left(\frac{V_{BAT}}{R}\right)^2$

表 *4*：スイッチおよびクランプ（負荷の両端に適用されるクランプおよびブロッキング・ダイオード）を選択するために必要なパラメータ。

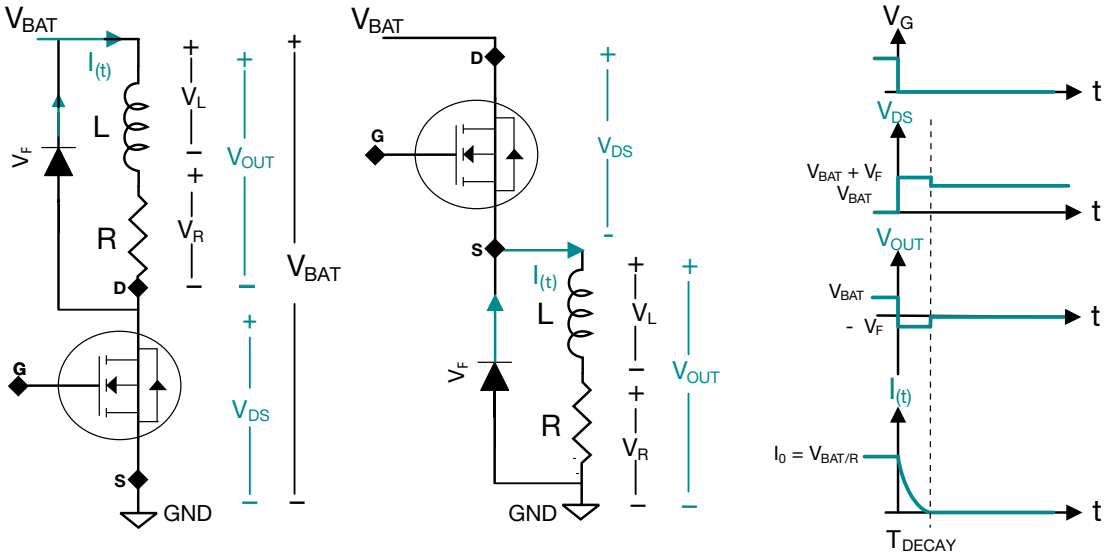


図 *5*：負荷の両端にフリーホイール・ダイオードを使用した誘導性負荷の無励磁化。

誘導性負荷の両端にフリーホイール・ダイオードを使用する

図 **5** に、負荷の両端にフリーホイール・ダイオードを使用した構成を示します。

式 **5** の K に値を代入すると、式 **8** によって、この無励磁化の方法を表す式が得られます。

$$RI(t) + L\frac{dI(t)}{dt} = -V_F \quad (8)$$

表 **5** に、式 **8** から算出されたパラメータを示します。

インダクタンス	抵抗	初期電流	蓄積エネルギー	消磁時間	ダイオードにより放散されたエネルギー
L	R	$I_0 = V_{BAT}/R$	$\frac{1}{2}L\left(\frac{V_{BAT}}{R}\right)^2$	$t_{DEMAG} = \frac{L}{R}Ln(1 + \frac{R \times I_0}{V_F})$	$E_D = \frac{L}{R}V_F\left(I_0 - \frac{V_F}{R}Ln(1 + \frac{R \times I_0}{V_F})\right)$
簡略数式					$0.8\,L\frac{V_F}{R}\frac{V_{BAT}}{R}$

表 *5*：スイッチおよびフリーホイール・ダイオードを選択するために必要なパラメータ。

パラメータ	スイッチの両端に適用されるクランプ (内蔵の場合もあり)	負荷の両端に適用されるクランプ	負荷の両端に適用されるフリーホイール
スイッチ両端間の電圧ストレス	V_{CLAMP}	$V_{BAT} + V_{CLAMP} + V_F$	$V_{BAT} + V_F$ 最小ストレス
ピーク電力	$V_{CLAMP} \times \frac{V_{BAT}}{R}$	$V_{CLAMP} \times \frac{V_{BAT}}{R}$	$V_F \times \frac{V_{BAT}}{R}$
消磁時間	$\frac{L}{R} Ln(1 + \frac{V_{BAT}}{V_{CLAMP} - V_{BAT}})$	$\frac{L}{R} Ln(1 + \frac{V_{BAT}}{V_{CLAMP} + V_F})$	$\frac{L}{R} Ln(1 + \frac{V_{BAT}}{V_F})$ 最長消磁時間
放散エネルギー	$\frac{1}{2} L \left(\frac{V_{BAT}}{R}\right)^2 \frac{V_{CLAMP}}{V_{CLAMP} - V_{BAT}}$	$\frac{1}{2} L \left(\frac{V_{BAT}}{R}\right)^2$	$0.8\, L \frac{V_{BAT}}{R} \frac{V_F}{R}$ 最小放散エネルギー
コメント	クランプのサイズが小さく、スイッチでエネルギーが放散されるため、基板面積とコストの削減に最適	スイッチでエネルギーを放散できない場合に使用。クランプを追加すると、基板面積とコストが増加する	負荷電流とインダクタンスが高いうえに、消磁エネルギーが比較的大きい場合に使用。消磁時間 T_{DECAY} が長いと、問題が起こる可能性がある。基板面積とコストが増加する

表 *6*：*3* つのクランプ方法の長所と短所。

各方法の長所と短所

表 **6** に、誘導性負荷を安全に無励磁化する 3 つの方法をまとめました。

前述のとおり、スイッチ両端に接続されるクランプはスマート・ハイサイド・スイッチの中に統合されています。ほとんどのアプリケーションで、スマート・ハイサイド・スイッチにより電磁エネルギーを放散することができます。ただし、一部のアプリケーションでは、内蔵クランプによって電磁エネルギーを放散できないため、TVS ダイオードのような外部クランプが必要になります。外部 TVS ダイオードを使用する場合、式 **9** で示されるように、内蔵クランプの下限値からバッテリー電圧を減算した値よりもクランプ電圧が低くなるようにする必要があります。

$$V_{CLAMP(EXT)} < V_{CLAMP(INT)} - (V_{BAT} + V_F) \qquad (9)$$

表 **7** に、スマート・ハイサイド・スイッチとスマート・ローサイド・スイッチの重要パラメータをまとめて示します。

まとめ

誘導性負荷は、ハイサイド・スイッチまたはローサイド・スイッチによって駆動できます。ハイサイド・スイッチの利点は、グランドへの短絡から保護できることと、フレキシブルな負荷診断です。TI では幅広い FET サイズのスマート・ハイサイド・スイッチを取り揃えており、この FET の両端にクランプが内蔵されています。

スマート・ハイサイド・スイッチを使用する場合、誘導性負荷パラメータを計算して、それをデバイスのオン抵抗および消磁エネルギー能力と比較する必要があります。スイッチの内蔵クランプで消磁エネルギーを放散できる場合には、外部クランプは不要です。内蔵クランプで消磁エネルギーを放散できない場合には、外部クランプとして TVS ダイオードまたはフリーホイール・ダイオードが必要になります。

デバイス・ファミリ	低オン抵抗	グランド短絡保護	内蔵型クランプ	誘導性エネルギー能力	接合部・周囲間熱抵抗
スマート・ハイサイド・スイッチ	✔	✔	✔	✔	✔
ローサイド・スイッチ			✔	✔	✔

表 *7*：誘導性負荷を駆動するための重要なパラメータ。

第 11 章: 車載ロード・ダンプ

執筆者：Cameron Phillips

概要

車載アプリケーションで、ロード・ダンプとは、現在のエレクトロニクスにおける最大の過渡パルスの 1 つです。国際標準化機構 (ISO) 16750 のパルス A および B で定義されているこの低インピーダンス・パルスは、電圧が 0.5 秒ほどの間 120V もの高さまで上昇する可能性があるため、集積回路 (IC) に甚大な影響を及ぼすおそれがあります。

こうした過渡パルスは、電流を供給するジェネレータがシステムから突然切断された場合に発生します。ロード・ダンプに対する耐久性が認められているほとんどの電子回路は抑制されたパルスに耐えることができます。他の回路では抑制されていない波形をクランプします。この章では、ロード・ダンプの過渡パルスの詳細、過渡パルスの原因、デバイスでロード・ダンプに対応する方法について見ていきます。

ロード・ダンプの原因

現在の自動車は、エンジンが稼働している間、オルタネータがバッテリーを充電し、車載電子機器に電力を供給します。オルタネータは基本的な特性がインダクタとよく似ています。そのため、ベルトによって回転すると、磁場が発生し、電流に変換されます。図 **1** は、バッテリーとオルタネータおよび車両の他の負荷との並列接続を示しています。

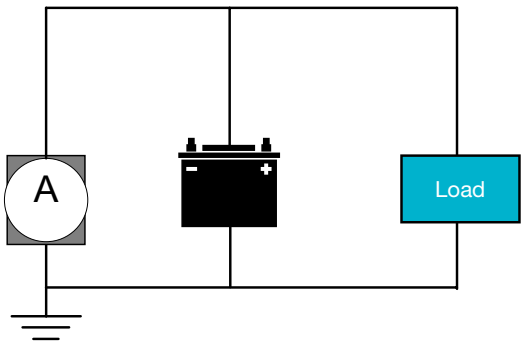


図 ***1***：バッテリーと負荷に接続されたオルタネータ。

図 **1** では、バッテリーは大規模なコンデンサとして機能し、電圧を安定した 13.5V に保ちます。ただし、自動車のバッテリーが切断されると、オルタネータの誘導性が原因で、車両の電源ラインで非常に大きな電圧スパイクが発生し、放散するまで約 0.5 秒かかる場合があります。図 **2** を参照してください。ISO 16750 では、この過渡パルスをロード・ダンプ・パルスと定義しています。

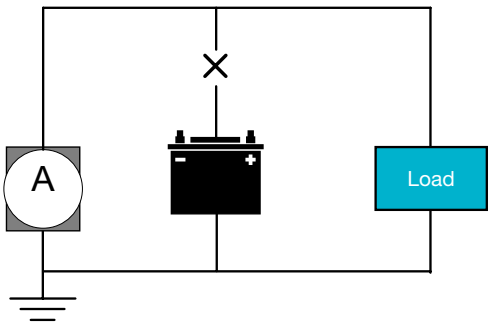


図 ***2***：バッテリーを自動車システムから切断。

オルタネータはエンジンがオンのときに常にオンになるため、このバッテリー切断シナリオが発生する可能性は十分にあります。ロード・ダンプの過渡現象の電圧プロファイルを確認し、過渡現象がシステムに与える危険について説明します。

ISO 16750-2

ISO 16750-2 (2012) の車載用規格では、始動プロファイル（一般的にはコールド・クランクとして知られている）やロード・ダンプなど、いくつかの異なるバッテリーの不連続性が取り上げられています。また、電源電圧の瞬間的な低下、グランド基準、電源オフセットのほか、開路および短絡の負荷条件についても説明されています。

パルス A (抑制されていない場合)

図 **3** は、ロード・ダンプ・パルスの波形を示し、オルタネータが到達できる電圧レベルと、電圧の放散に

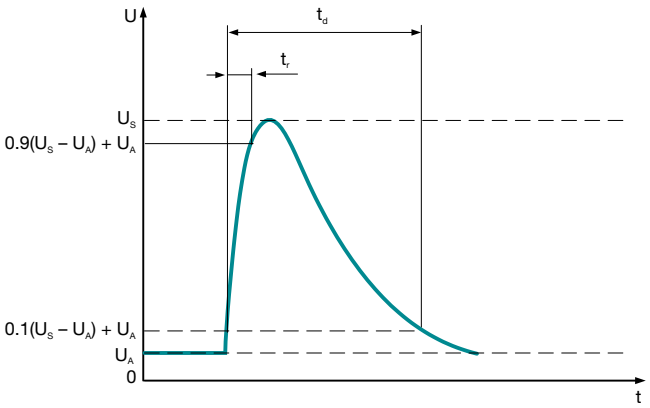


図 ***3***：ロード・ダンプ・テスト *A*、抑制されていない場合の電圧波形。

パラメータ	システムの種類		試験の要件
	12V	24V	
U_s	79V ～ 101V	151V ～ 202V	1 分間隔で 10 パルス
R_i	0.5Ω ～ 4Ω	1Ω ～ 8Ω	
t_d	40ms ～ 400ms	100ms ～ 350ms	
t_r	10ms	10ms	

表 *1*: ロード・ダンプ・テスト *A*、抑制されていない場合のパラメータ。

かかる時間を定義しています。表 **1** に、図 **3** の値の一覧を示します。

12V と 24V の車載システムの要件には大きな違いがあります。ほとんどのデバイスは電圧が ISO 16750-2 で規定されている最大レベルに達する前に内部構造が壊れるため、ロード・ダンプ・パルスはエレクトロニクスの設計者にとって大きな課題となっています。

式 **1** で、IC が耐えることができるオルタネータからの最大電流を計算します。

$$(U_S – V_{breakdown})/R_i = (79\ V – 40\ V)/0.5\ W = 78\ A \quad (1)$$

このレベルの電流に 400ms の間耐えることのできない IC の内部には、通常、小さなクランプまたは静電気放電 (ESD) 構造が設けられています。パルスはこのように高エネルギーとなるため、通常、自動車メーカーはパルスをより扱いやすい電圧にクランプする集中回路を実装します。

パルスB (抑制されている場合)

テスト A のパルスは非常に高エネルギーで放散しにくいため、ほとんどの車両では、ストレスの少ないレベルに電圧をクランプする抑制回路がオルタネータおよびバッテリーと並列に接続されています。そのため、内部回路は図 **2** から図 **4** に変更されます。

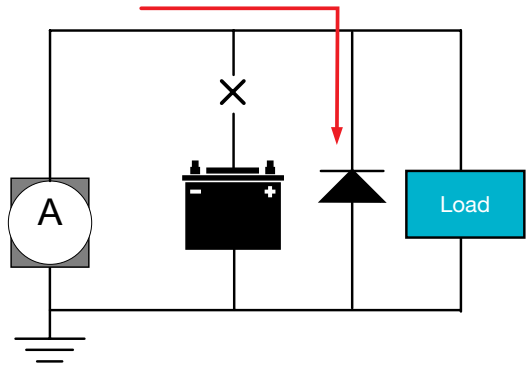


図 *4*: バッテリー、負荷、中央のクランプに接続されたオルタネータ。

このクランプにより、オルタネータの過剰なエネルギーが放散され、電圧が図 **5** のパルスで定義されているレベルに維持されます。表 **2** に、パラメータの値を示します。

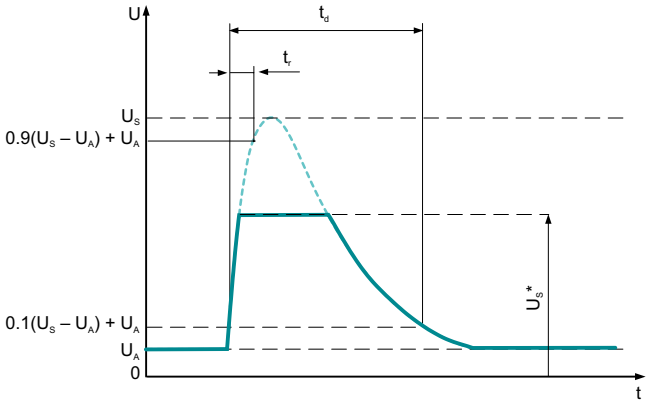


図 *5*: ロード・ダンプ・テスト *B*、抑制されている場合の電圧波形。

パラメータ	システムの種類		試験の要件
	12V	24V	
U_s*	35V	58V	1 分間隔で 5 パルス
R_i	0.5Ω ～ 4Ω	1Ω ～ 8Ω	
t_d	40ms ～ 400ms	100ms ～ 350ms	
t_r	10ms	10ms	

表 *2*: ロード・ダンプ・テスト *B*、抑制されている場合のパラメータ。

ほとんどの車両では、バッテリーに接続されているすべての IC が、抑制されたロード・ダンプに耐えられる必要があります。

ロード・ダンプへの対応

ロード・ダンプ・パルスは高エネルギーなため、高消費電力のクランプでパルスを抑制する必要があります。この高い消費電力を回避するために、TI のパワー・スイッチ製品ラインアップは、パルス全体を放散させる代わりに、より高い電圧許容誤差を有しています。そのため、電源ラインに接続された IC が損傷することなく、単純にパルスの発生が許容されます。

TI のスマート・ハイサイド・スイッチの最大許容電圧は 40V ～ 45V です (スイッチによって異なります)。抑制されたロード・ダンプが発生している間は、デバイスの最大定格よりも低いため、過渡現象によってスイッチが壊れることはありません。

同様に、TI の理想ダイオード・コントローラ・ファミリは、電界効果トランジスタ (FET) が内蔵されていなくても、抑制されたロード・ダンプの高い過渡状態に耐えることができます。メインの FET の定格電圧が、抑制されたロード・ダンプに耐えるのに十分である限り、システムは損傷を受けません。

まとめ

自動車のオルタネータは通常動作中にバッテリーを充電するのに役立ちますが、その誘導性が原因で、バッテリーが切断された場合に、電源ラインの電圧が急激に非常に高くなることがあります。この過渡現象は ISO 16750-2 に示されており、抑制されたパルスと抑制されていないパルスの特性となっています。2 つのパルスはほぼ同じです。一方は中央のクランプによってエネルギーの高い部分が放散され、IC の許容電圧まで下げられます。TI のスマート・ハイサイド・スイッチ製品ラインアップは、こうした過渡現象に耐えられるよう設計されており、バッテリーに直接接続される車載アプリケーションで使用できます。



TI の統合型パワー・スイッチ製品ラインアップは、エンジニアに信頼性の高いソリューションを提供します。TI の多様なデバイス製品ラインアップは、突入電流の管理から、車載環境でのストレスとなる過渡現象への対応まで、パワー・ディストリビューション、パワー・パスの保護、診断など設計のさまざまな場面で役立ちます。

TI のワールドワイド技術サポート

TI サポート

ご利用いただきありがとうございます。サポートに関するご質問や、TI サポート・センターへのご連絡は、以下からお問い合わせください。

www.ti.com/support

中国：
http://www.ti.com.cn/guidedsupport/cn/docs/supporthome.tsp

日本：
http://www.tij.co.jp/guidedsupport/jp/docs/supporthome.tsp

技術サポート・フォーラム

TI の E2E™ エンジニア・コミュニティでは、全部で数百万件に上る技術的な質問と回答を掲載しています。以下をご覧ください。

e2e.ti.com

中国：
http://www.deyisupport.com/

日本：
http://e2e.ti.com/group/jp/

TI のトレーニング

テクノロジーの基礎から高度な実装に至るまで、TI は次世代設計の実現に活用できるオンデマンド・トレーニングやオンライン・トレーニングを提供しています。詳細はこちら

training.ti.com

中国：
http://www.ti.com.cn/general/cn/docs/gencontent.tsp?contentId=71968

日本：
https://training.ti.com/jp

B011617

重要なお知らせ：ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

プラットフォーム・バーおよび E2E はテキサス・インスツルメンツの商標です。その他の商標および登録商標はそれぞれの所有者に帰属します。

© 2019 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件（www.tij.co.jp/ja-jp/legal/termsofsale.html）、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用されるTI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2020, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社