参考資料

Errata

MSPM0L111x マイクロコントローラ

TEXAS INSTRUMENTS

概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。

目次

商標

すべての商標は、それぞれの所有者に帰属します。

1 機能アドバイザリ

デバイスの動作、機能、またはパラメータに影響するアドバイザリ。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

エラッタ番号	リビジョン A、B
ADC_ERR_05	✓
AES_ERR_01	✓
CLK_ERR_02	✓
CPU_ERR_02	✓
CPU_ERR_03	✓
CPU_ERR_04	✓
DMA_ERR_02	✓
FCC_ERR_01	✓
FLASH_ERR_03	✓
FLASH_ERR_04	✓
FLASH_ERR_05	✓
FLASH_ERR_08	✓
FLASH_ERR_09	✓
GPIO_ERR_05	✓
GPIO_ERR_06	✓
I2C_ERR_04	✓
I2C_ERR_05	✓
I2C_ERR_06	✓
I2C_ERR_07	✓
I2C_ERR_08	✓
I2C_ERR_09	✓

Copyright © 2026 Texas Instruments Incorporated

エラッタ番号	リビジョン A、B
I2C_ERR_10	✓
I2C_ERR_13	✓
I2C_ERR_15	✓
KEYSTORE_ERR_01	✓
PMCU_ERR_10	✓
PMCU_ERR_12	✓
PMCU_ERR_14	✓
RST_ERR_01	✓
RST_ERR_02	✓
SPI_ERR_02	✓
SPI_ERR_04	✓
SPI_ERR_05	✓
SPI_ERR_06	✓
SPI_ERR_07	✓
SPI_ERR_10	✓
SYSCTL_ERR_01	✓
SYSCTL_ERR_02	✓
SYSCTL_ERR_03	✓
SYSCTL_ERR_04	✓
SYSCTL_ERR_05	✓
SYSCTL_ERR_06	✓
SYSCTL_ERR_10	✓
SYSOSC_ERR_01	✓
SYSOSC_ERR_02	✓
SYSOSC_ERR_04	✓
SYSOSC_ERR_05	✓
TIMER_ERR_04	✓
TIMER_ERR_06	✓
TIMER_ERR_07	✓
UART_ERR_01	✓
UART_ERR_02	✓
UART_ERR_04	✓
UART_ERR_05	✓
UART_ERR_06	✓
UART_ERR_07	✓
UART_ERR_08	✓
UART_ERR_10	✓
UART_ERR_11	✓

Copyright © 2026 Texas Instruments Incorporated

2 プログラム済みのソフトウェア アドバイザリ

工場出荷時にプログラムされたソフトウェアに影響を及ぼすアドバイザリ。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

3 デバッグ専用のアドバイザリ

デバッグ動作のみに影響するアドバイザリ。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

4 コンパイラ アドバイザリによって修正

コンパイラの回避方法により解決されるアドバイザリ各アドバイザリについては、回避策が適用されている IDE およびコンパイラのバージョンを参照してください。

✓ チェック マークは、指定されたリビジョンに問題が存在することを示します。

5 デバイスの命名規則

製品開発サイクルの段階を示すため、TI はすべての MSP MCU デバイスの型番に接頭辞を割り当てています。MSP MCU 商用ファミリの各番号には、MSP、X のいずれかの接頭辞があります。MSP または XMS。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(XMS)から、完全認定済みの量産デバイス(MSP)までがあります。

XMS - 実験段階のデバイスであり、必ずしも最終製品の電気的特性を表しているとは限りません

MSP — 完全に認定済みの量産版デバイス

サポートツールの名前付けプレフィックス:

X:開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。X マーク付きの開発サンプルは、-40°C ～ 85°C の温度範囲内で動作させる必要があることに注意してください。

null:完全に認定済みの開発サポート製品です。

XMS デバイスと MSPX 開発サポート ツールは、以下の免責事項に基づいて出荷されます:

「開発中の製品は、社内での評価用です。」

MSP デバイスの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。TI の標準保証が適用されます。

プロトタイプ デバイス (XMS) は、標準の量産デバイスよりも故障率が高いことが予想されます。これらのデバイスは、予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツはそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、温度範囲、パッケージ タイプ、配布形式を示しています。

次のデバイス パッケージ図は、パッケージ マーキング方式を示しています。

Copyright © 2026 Texas Instruments Incorporated

次のパッケージ図はパッケージ記号化スキームを示すとともに、デバイス リビジョンからバージョン ID へのマッピングを定義しています。

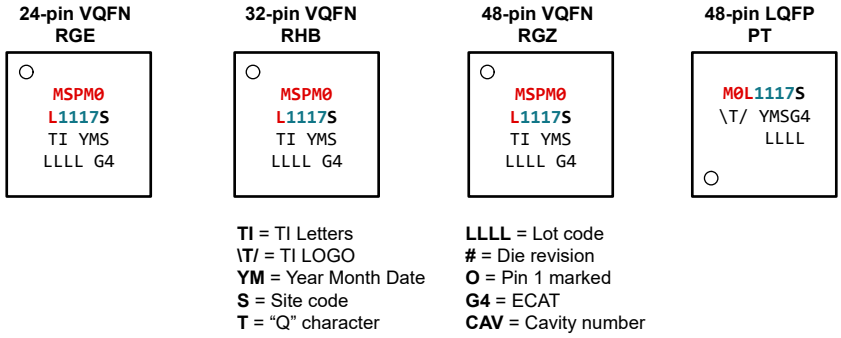

図 5-1. パッケージの記号表記

ダイ リビジョン

リビジョン レター (パッケージマーキング)	バージョン (デバイスの定数メモリ内)
A	0x0
B	0x0

リビジョン文字は、製品のハードウェアの改訂版を示します。このドキュメントのアドバイザリには、リビジョン文字に基づいて、特定のバイスに該当するか否かがマークされています。この文字は、デバイスのメモリに保存された整数にマップされ、アプリケーションソフトウェア または接続されたデバッグプローブによるリビジョンの検索に使用できます。

Copyright © 2026 Texas Instruments Incorporated

6 アドバイザリの説明

ADC_ERR_05 *ADC モジュール*

カテゴリ

機能

機能

IP（周辺モジュール）が有効化される前にハードウェアイベントが生成された場合、その ADC トリガはキューに保持されたままになります

説明

ADC を HW イベントトリガモードに構成されていて、ADC が有効になる前にトリガが生成されると、ADC トリガはキュー内にとどまります。ADC が有効になると、サンプリングおよび変換がトリガされます。

回避方法

ADC をハードウェア トリガ モードで設定した後、外部トリガを与える前に、まず ADC を有効にします。

AES_ERR_01 *AES モジュール*

カテゴリ

機能

機能

AES Saved Context Ready 割り込みが予想どおりに生成されていません

説明

Saved Context Ready 割り込みが生成されていません。いずれかの AES レジスタに対してアクセス（読み取りまたは書き込み）が行われた場合に、割り込みが生成されます。

回避方法

ポーリングベースのメカニズムを使用して、割り込みをせず、CTRL レジスタの保存済みコンテキストレディのステータスビットを確認します。

CLK_ERR_02 *CLK モジュール*

カテゴリ

機能

機能

HFCLK_IN が HFCLK および HSCLK のソースである場合、MFCLK が誤って BUSCLK から供給される

説明

HSCLK が HFCLK からのみ供給されており、HFCLK_IN が HFCLK のソースとして構成されている場合、MFCLK は 4MHz ではなく BUSCLK に誤って設定されます。

回避方法

回避方法はありません。

CPU_ERR_02 *CPU モジュール*

カテゴリ

機能

Copyright © 2026 Texas Instruments Incorporated

CPU_ERR_02 (続き) *CPU モジュール*

機能

CPUSS のプリフェッチ / キャッシュ無効化に関する制限

説明

保留中のフラッシュ メモリへのアクセスがある場合、CPU プリフェッチ / キャッシュの無効化は反映されません。

回避方法

キャッシュとプリフェッチャを無効にして (順序は問いません)、SYSTCL のシャットダウン メモリ (SHUTDNSTORE) へのメモリ アクセスを発行します (詳細については、デバイス TRM の SHUTDNSTORE レジスタを確認してください)。

メモリ アクセスが完了すると、プリフェッチャ / キャッシュは無効になります。
例:
CPUSS->CTL = (CPUSS_CTL_PREFETCH_DISABLE |
CPUSS_CTL_ICACHE_DISABLE); // 命令キャッシュとプリフェッチを無効化します
DL_SYSCTL_setShutdownStorageByte(DL_SYSCTL_SHUTDOWN_STORAGE_BYTE_X , data) // SHUTDOWN メモリにバイトを保存します

CPU_ERR_03 *CPU モジュール*

カテゴリ

機能

機能

低電力モードへの遷移時に、プリフェッチャが誤った命令を読み取る可能性がある

説明

低電力モードへ遷移する際に保留中のプリフェッチがある場合、プリフェッチャが誤って正しくないデータ (すべて 0) をフェッチする可能性があります。デバイスがウェイクアップした際、もしプリフェッチャおよびキャッシュが ISR コードによって上書きされない場合、フラッシュから実行されるメイン コードが破損する可能性があります。たとえば、ISR が SRAM 内にある場合、フラッシュからプリフェッチされた誤ったデータは上書きされません。ISR から復帰する際に、プリフェッチャ内の破損したデータが CPU によってフェッチされ、誤った命令が実行されるおそれがあります。ハードウェア イベント ウェイクアップは、デバイスをウェイクアップするがプリフェッチャをフラッシュしないプロセスのもう 1 つの例です。

回避方法

低電力モードに入る前にプリフェッチャを無効にします。

例:
CPUSS->CTL &= 0x6; // プリフェッチャーを無効化、その他の設定は維持
SYSCTL.SOCLOCK.SHUTDNSTORE0 // SHUTDOWN メモリから読み出し
__WFI(); // または __WFE(); この関数は低電力モードへの遷移を呼び出す
CPUSS->CTL |= 0x1; // プリフェッチャーを有効化

CPU_ERR_04 *CPU モジュール*

カテゴリ

機能

機能

キャッシュが、ハード フォルトの原因となった FLASH 内のアドレスから正しいデータを返しません

Copyright © 2026 Texas Instruments Incorporated

CPU_ERR_04 (続き) *CPU モジュール*

説明

デバイスが FLASH アドレスからハード フォルトを引き起こした後、デバイスがハードフォルトから復旧し、(その FLASH アドレスのデータを格納している) キャッシュから情報を取得しようとすると、戻り値がゼロになります。
さらに、同じ FLASH アドレスにアクセスすると、新しいハード フォルトはトリガされません。

回避方法

CPUSS.CTL.ICACHE ビットを変更して、キャッシュを無効化してから再度有効化します。
例:

```
CPUSS->CTL &= ~(CPUSS_CTL_ICACHE_ENABLE); // 命令キャッシュを無効化します
CPUSS->CTL |= CPUSS_CTL_ICACHE_ENABLE; // 命令キャッシュを有効化します
```

DMA_ERR_02 *DMA モジュール*

カテゴリ

機能

機能

64 ビット ～ 128 ビットと 128 ～ 64 ビットの DMA 混在バイト転送が機能しません

説明

DMA 転送において、送信元の幅が 128 ビットで転送先の幅が 64 ビット、または送信元の幅が 64 ビットで転送先の幅が 128 ビットで実行する場合、転送は正しく完了しません。

回避方法

回避方法はありません。幅が一致する転送のみを使用してください (64 ビットから 64 ビット、または 128 ビットから 128 ビット)。

FCC_ERR_01 *FCC モジュール*

カテゴリ

機能

機能

BUSCLK が LFCLK から供給されている場合、FCC が誤って動作する

説明

BUSCLK が LFCLK から供給される場合、FCC は期待どおりに動作しません。FCC 完了信号がアサートされないか、または誤った FCC 値が報告されます。

回避方法

回避方法はありません。

FLASH_ERR_03 *FLASH モジュール*

カテゴリ

機能

機能

2 待機状態のフラッシュ アクセスの直後に無効なブート コード領域へのアクセスが行われると、次のフラッシュ アクセスでも違反が発生する可能性があります

Copyright © 2026 Texas Instruments Incorporated

FLASH_ERR_03
(続き)

***FLASH* モジュール**

説明

2 待機状態が設定されている状態で、フラッシュ アクセスの直後に BOOTCODE 領域へのアクセスを行うと、その次のフラッシュ アクセスでも違反が発生する可能性があります。

回避方法

ブート フェーズ終了後は、ブートコード領域へのアクセスを行わないでください。そうしない場合、ブート コード違反の後に正しいフラッシュ アクセスを行うまでに、少なくとも 4 クロック サイクルの間隔を空ける必要があります。

FLASH_ERR_04

***FLASH* モジュール**

カテゴリ

機能

機能

エラーがメイン フラッシュ領域以外で発生した場合、SYSCTL_DEDERRADDR には誤ったアドレスが報告されます。

説明

回避方法

SysCtl_DEDERRADDR の戻りアドレスで 0x00Cxxxxx が返る場合は、0x41000000 で OR 演算を実行して、NONMAIN または工場出荷時領域の復帰アドレスに適切なアドレスを取得します。たとえば、SYSCTL_DEDERRADDR = 0x00C4013C の場合、実際のアドレスは 0x41C4013C となります。

SYSCTL_DEDERRADDR の復帰アドレスが 0x00Dxxxxx を返した場合、Databank の正しい復帰アドレスを得るために、0x41000000 との OR 演算を行います。たとえば、SYSCTL_DEDERRADDR = 0x00D0012A の場合、実際のアドレスは 0x00D0012A となります。

FLASH_ERR_05

***FLASH* モジュール**

カテゴリ

機能

機能

DEDERRADDR に誤ったリセット値が設定される可能性があります

説明

SYSCTL -> DEDERRADDR のリセット値では、正しい 0x00000000 のかわりに 0x00C4013C が返されることがあります。エラーが発生している場所はファクトリ トリム領域であり、故障を示すものではありません。そのため、この値は無視して問題ありません。デバイスに NONMAIN をプログラムすされると、リセット値が変化する傾向があります。

回避方法

0x00C4013C を別のリセット値として受け入れ、ブートからのデフォルト値を 0x00000000 または 0x00C4013C にすることができます。戻り値はデバイス上の MAIN フラッシュの範囲外であるため、実際のフラッシュ DED ステータスから返された可能性はありません。

Copyright © 2026 Texas Instruments Incorporated

FLASH_ERR_08 *FLASH モジュール*

カテゴリ

機能

機能

通常の無効なメモリ領域に対してハード フォルトは生成されません

説明

不正なメモリ アドレス空間へのアクセス中は、以下に示すようにハード フォルトは生成されません。1.0x010053FF ～ 0x20000000 2。0x40BFFFFF ～ 0x41C00000 3。0x41C007FF～0x41C40000

回避方法

番号

FLASH_ERR_09 *FLASH モジュール*

カテゴリ

機能

機能

特定のフラッシュ スワップ ポリシー下では、bank1 の消去時に、BANK1 の静的書き込み保護は機能しません

説明

デバイスのフラッシュ メモリが最大容量のデバイスでない場合 (例：MSPM0L111x ファミリには、MSPM0L1117 と MSPM0L1116 として 2 つの異なるデバイスがありますが、MSPM0L1116 にのみこの問題があります)、以下の条件で bank1 が予期せず消去されるという問題があります：失敗ケース 1：BANK1 の静的書き込み保護が有効、フラッシュ スワップ ポリシーが無効、SECCFG_Reg.FLBANKSWP レジスタの USEUPPER ビットが 0 または 1 の場合、バンク消去コマンドで BANK1 が予期せず消去されます。失敗ケース 2：BANK1 の静的書き込み保護が有効、フラッシュ スワップ ポリシーが有効、SECCFG_Reg.FLBANKSWP レジスタの USEUPPER ビットが 0 の場合、バンク消去コマンドで BANK1 が予期せず消去されます。

回避方法

1.Bank1 にはバンク消去の代わりにセクタ消去を使用します。または 2.同じデバイス ファミリ内で最大容量のフラッシュ デバイスを使用します。

GPIO_ERR_05 *GPIO モジュール*

カテゴリ

機能

機能

DMA 転送が進行中の間に、GPIO DOUTTGL レジスタへの書き込みが失われる可能性があります

説明

同時 DMA 転送が進行中の間に、DOUTTGL レジスタへの CPU 書き込みに GPIO DMAMASK レジスタ情報が誤って適用されます。

回避方法

アプリケーション コードで、DOUTTGL レジスタへの CPU 書き込みアクセスが発行される前に、DOUTTGL レジスタの対応するビットに対して GPIO DMAMASK ビットが 1 に設定されていることを確認します。GPIO レジスタへの DMA 転送が不要な場合は、IO 初期化ステップ中に GPIO

Copyright © 2026 Texas Instruments Incorporated

GPIO_ERR_05 (続き)

GPIO モジュール

DMAMASK を 0xFFFFFFFF として構成できます。これにより、このエラッタの競合が解決されます。アプリケーションで GPIO レジスタへの DMA 書き込み転送も必要な場合は、アプリケーションで DMA と CPU の両方を使用して、デバイス内の同じ GPIO モジュールの DOUTTGL レジスタに書き込むことを推奨します。デバイスに複数の GPIO モジュールがある場合、DMA と CPU は、異なる GPIO モジュールの DOUTTGL レジスタに同時に書き込むことができます (一方で、CPU が書き込み先の GPIO モジュール用に GPIO DMAMASK を構成する必要もあります)。

GPIO_ERR_06

GPIO モジュール

カテゴリ

機能

機能

DMA 転送が進行中の間に、GPIO DOUT、DOUTSET、DOUTCLR レジスタへの書き込みが失われる可能性があります

説明

GPIO DOUT、DOUTSET、DOUTCLR レジスタには DMA からアクセスできません。実装の誤りにより、同時 DMA 転送が進行中の間に、GPIO DOUT、DOUTSET、DOUTCLR への CPU アクセスもブロックされます。

回避方法

アプリケーション コードでは、DOUT、DOUTSET、DOUTCLR レジスタに書き込む代わりに、ソフトウェアは DOUTTGL レジスタに対して等価な書き込みを実行する必要があります (DOUTTGL レジスタへの CPU 書き込みの制限については、「回避方法 GPIO_ERR_05」を参照)。

以下の疑似コードでは、「ピン」は、構成する GPIO モジュールのピンのビット ベクトルを示しています。

```
DL_GPIO_setPins(GPIO_Regs* gpio, uint32_t pins)
{
gpio->DOUTTGL31_0 = ~(gpio->DOUT31_0) & pins;
}

DL_GPIO_clearPins(GPIO_Regs* gpio, uint32_t pins)
{
gpio->DOUTTGL31_0 = gpio->DOUT31_0 & pins;
}

DL_GPIO_writePins(GPIO_Regs* gpio, uint32_t pins)
{
gpio->DOUTTGL31_0 = ~(gpio->DOUT31_0) & pins;
gpio->DOUTTGL31_0 = gpio->DOUT31_0 & (~pins);
}

DL_GPIO_writePinsVal(GPIO_Regs* gpio, uint32_t pinsMask, uint32_t pinsVal)
{
uint32_t doutVal = gpio->DOUT31_0;
```


Copyright © 2026 Texas Instruments Incorporated

GPIO_ERR_06 (続き)

GPIO モジュール

```
doutVal &= ~pinsMask;
doutVal |= (pinsVal & pinsMask);
gpio->DOUTTGL31_0 = ~(gpio->DOUT31_0) & doutVal;
gpio->DOUTTGL31_0 = gpio->DOUT31_0 & (~doutVal);
}
```

I2C_ERR_04

I2C モジュール

カテゴリ

機能

機能

SCL が Low で SDA が High の状態では、ターゲット I2C はストレッチを解除できません。

概要

1:SCL ラインを接地して解放し、デバイスは無制限に SCL を Low にプルします。

2:ポストクロックストレッチ、タイムアウト、解放。ライン上に別のクロック Low がある場合、本デバイスは無期限に SCL を Low にプルします。

回避方法

I2C ターゲットアプリケーションで、非同期高速クロック要求を使用した低電力モードでのデータ受信が不要な場合は、SWUEN をデフォルトで無効にすることを推奨します(リセット時や電源サイクル時を含む)。この場合、バグの説明 1 と 2 は発生しません。

I2C ターゲットアプリケーションで、非同期高速クロック要求を使用した低電力モードでのデータ受信が必要な場合は、低電力モードへ移行する直前に SWUEN を有効にし、復帰後に SWUEN をクリアします。このシナリオでも、I2C ターゲットが低消費電力のときにバグ説明 1 および 2 が発生するおそれがあります。バス上の他のデバイスによって連続的なクロックストレッチングまたはタイムアウトが発生すると、SCL ラインが無期限にストレッチされます。この状況から回復するには、I2C ターゲットデバイスで Low タイムアウト割り込みを有効にし、低タイムアウト ISR 内で I2C モジュールをリセットして再初期化します。

I2C_ERR_05

I2C モジュール

カテゴリ

機能

機能

進行中のトランザクション中に ACTIVE ビットをトグルすると、I2C SDA が 0 に固定化されるおそれがあります

説明

進行中の転送中に ACTIVE ビットがトグルされると、ステート マシンはリセットされます。ただし、マスターによって駆動される SDA と SCL 出力はリセットされません。SDA が 0 の状態でマスターが IDLE 状態に遷移すると、マスターは IDLE 状態から先へ進めず、SDA の値も更新できなくなります。スレーブの BUSBUSY がセットされ (ACTIVE ビットのトグルによってライン上で開始が検出されます)、BUSBUSY はクリアされません。これは、マスターが STOP を駆動してクリアできないためです。

回避方法

進行中のトランザクション中は、ACTIVE ビットをトグルしないでください。

Copyright © 2026 Texas Instruments Incorporated

I2C_ERR_06 *I2C モジュール*

カテゴリ

機能

機能

SMBus の High タイムアウト機能は、I2C クロックが 24 kHz 未満になると動作しません

説明

SMBus の High タイムアウト機能は、I2C クロックレートが 24 kHz 未満（20 kHz、10 kHz など）では正常に動作しません。SMBus 仕様から、アクティブトランザクション中の SCL High 時間の上限は 50µs です。開始 MMR ビットの書き込みから SCL Low までに要する合計時間は 60µs で、50µs 以上です。タイムアウト イベントがトリガされ、転送開始時にトランザクションを完了することなく I2C マスターが IDLE に移行できるようにします。以下は詳細な説明です。SCL が 20 kHz に構成されている場合、SCL の Low 期間と High 期間はそれぞれ 30 µs および 20 µs です。まず、High タイムアウトカウンタでデクリメントが開始し、同時に MMR ビットの書き込みが開始します。その後、START MMR ビットの書き込みから SDA が Low（スタート条件）になるまでに、1 SCL Low 期間（30 µs）かかります。次に、SDA が Low（スタート条件）になってから SCL が Low になる（データ転送が開始）までにさらに別の SCL Low 期間（30µs）がかかり、この時点で High タイムアウトカウンタが停止します。合計で、カウンターの開始から終了まで 60µs かかります。ただし、高タイムアウトカウンタには上限（50µs）により、I2C トランザクションは問題なく正常に動作しますが、タイムアウトイベントがトリガされます。

回避方法

I2C クロックが 24KHz 未満の場合は、SMBus High タイムアウト機能を使用しないでください。

I2C_ERR_07 *I2C モジュール*

カテゴリ

機能

機能

コントローラの制御レジスタへの連続書き込みを行うと、I2C 通信が開始されない可能性があります。

説明

連続 CTR レジスタへの書き込みでは、次の CTR .START によって正しく開始条件が発生しません。

回避方法

CTR.START を含むすべての CTR ビットを 1 回の書き込みで書き込むか、CTR 書き込みと CTR.START 書き込みの間に 1 クロック サイクル待機します。

I2C_ERR_08 *I2C モジュール*

カテゴリ

機能

機能

RXDONE 割り込みの直後に FIFO を読み出すと、誤ったデータが取得されます

概要

RXDONE 割り込みが発生したとき、FIFO は最新のデータに対して常に更新されるとは限りません。

Copyright © 2026 Texas Instruments Incorporated

I2C_ERR_08 (続き) ***I2C モジュール***

回避方法

最新のデータが FIFO に確実に反映されるように、2 つの I2C クロックサイクル分待機してください。I2C CLK は、I2C レジスタの CLKSEL レジスタに基づいています。

I2C_ERR_09 ***I2C モジュール***

カテゴリ

機能

機能

I2C を低速で動作させている場合、割り込みサービスルーチン(ISR)内での読み取り時に、開始アドレス一致ステータスがタイミング的に更新されていない可能性があります。

説明

I2C 速度が 100kHz 未満で動作している場合、ADDRMATCH ビット (TSR レジスタのアドレス一致) が割り込みによる読み取りに間に合うように設定されない可能性があります。

回避方法

I2C で 100kHz 未満で実行している場合は、ADDRMATCH ビットを読み取る前に少なくとも 1 つの I2C CLK サイクルを待機します。

I2C_ERR_10 ***I2C モジュール***

カテゴリ

機能

機能

低消費電力に移行しないよう、I2C ビジーステータスは有効になっています

概要

I2C ターゲットモードでは、STOP ビットがない場合、トランザクションの後、I2C ビジーステータスは High のままです。

回避方法

STOP ビットを送信するように I2C コントローラをプログラムします。最後のバイトに対して NACK を送信しないでください。すべての I2C 転送は STOP 条件で終了し、適切な BUSY ステータスと非同期クロック要求の動作を維持してください(低消費電力モードへの再移行に備えるため)。

I2C_ERR_13 ***I2C モジュール***

カテゴリ

機能

機能

I2C BUSY ビットをポーリングしても、コントローラの転送が完了したことが保証されない場合があります。

説明

I2C コントローラ転送を開始するために CCTR.BURSTRUN ビットを設定した後、BUSY ステータスがアサートされるまでに約 3 回の I2C 機能クロックサイクルかかります。CCTR.BURSTRUN を設定した後すぐに転送完了を待つために BUSY ビットのポーリングを使用すると、BUSY ステータスが設定される前にチェックされる可能性があります。この問題は、CLKDIV 値が高い場合 (I2C 機能クロックが遅くなる)、またはコンパイラの最適化レベルが高い場合に発生する可能性が高くなります。

Copyright © 2026 Texas Instruments Incorporated

I2C_ERR_13 (続き) ***I2C モジュール***

回避方法

BUSY ステータスをポーリングする前にソフトウェア遅延を追加してください。ソフトウェア遅延 = 3 x CPU CLK / I2C 機能クロック = 3 x CPU CLK / (CLKSEL / CLKDIV)。例えば、クロック分周器 (CLKDIV) が 8、クロックソース (MFCLK) が 4 MHz、CPU CLK が 32 MHz の場合、ソフトウェア遅延 = 3 x 32 MHz / (4 MHz / 8) = 192 CPU サイクル

I2C_ERR_15 ***I2C モジュール***

カテゴリ

機能

機能

I2C SDA のグリッチにより、低消費電力モードで I2C ペリフェラルがアクティブ状態になる

説明

I2C SDA 上の 4µs 以内のグリッチにより、低消費電力モード (STOP/STANDBY) で I2C ペリフェラルがアクティブ ステータスに切り替わり、低消費電力モードに戻らなくなります。

回避方法

1.I2C バスの容量を増やします。ただし、合計が I2C 規格で許容される値を超えないようにしてください。2.I2C バスの電圧を上昇させます。3.I2C ラインをノイズ発生源から離します。4.I2C ペリフェラルのステータスを確認するために、デバイスを定期的にウェークアップし、I2C ペリフェラルのステータスが IDLE ステータスでない場合は、I2C をリセットして再度初期化します。

KEYSTORE_ERR_01 ***キーストアモジュール***

カテゴリ

機能

機能

STATUS.STAT の値は、キーアクセスがない場合、0 または 1 になります。

説明

STATUS.STAT のリセット値は 1 で、以下の条件で 0 になります。1.リセット後、レジスタウィンドウを介したデバッガアクセスは 0x00 を返します。2.リセット後、最初の CPU 読み取りは 0x01 を返し、その後の CPU 読み取りは 0x00 を返します。3) リセット後、最初に他の キーストアレジスタを読み取り、次に STATUS.STAT を読み取ると、0x00 が返されます。

回避方法

STATUS.STAT=0x0 は「エラーなし」を意味します。スロットが有効かどうか (キーが存在するかどうか) を確認するには、STATUS.VALID を確認してください。

PMCU_ERR_10 ***PMCU モジュール***

カテゴリ

機能

機能

特定の動作条件下では、VBOOST により大きな遅延が発生する可能性があります

Copyright © 2026 Texas Instruments Incorporated

PMCU_ERR_10 (続き)

PMCU モジュール

説明

アナログマルチプレクサの VBOOST は、VDD < 1.8V で大きな遅延が発生しました。このため、HFXT、COMP、SYSOSC（FCL-EXTERNAL R）、OPA、GPAMP などのその他のモジュールのセトリングタイムが遅延します。

回避方法

VDD を 1.8V 以上に維持し、GENCLKCFG[23:22] = 0x2 を設定して、VBOOST を ONALWAYS モードで使用します。

PMCU_ERR_12

PMCU モジュール

カテゴリ

機能

機能

BOR コールドブート仕様違反

概要

BOR コールドブート仕様に違反するおそれがあり、最大仕様は 1.65V です。

回避方法

回避策はありません。デバイスをコールドブートする際は、1.65V 以上の電圧で動作させてください。

PMCU_ERR_14

PMCU モジュール

カテゴリ

機能

機能

GPIO によってトリガされた DMA 転送が、FCL をイネーブルにした低消費電力モードでウェークアップするまで保留される

説明

FCL がイネーブルで低消費電力モード (STOP2/STANDBY0/STANDBY1) の場合、GPIO からのイベント チャネルによって DMA がトリガされます。イベントまたは割り込みによってデバイスがウェークアップされるまで、この DMA 送信は開始されません。ウェークアップする前に追加の消費電力が確認されます。

回避方法

GPIO イベントによってトリガされる DMA を使用する代わりに、ソフトウェアで DMA 転送を開始するには GPIO 割り込みを使用します。割り込み終了後、再度低消費電力モードに移行します。

RST_ERR_01

RST モジュール

カテゴリ

機能

機能

LFXT または LFCLK_IN が失われた後に、NRST 解除エッジが LFOSCGOOD の立ち上がりエッジと一致すると、デバイスはリセット状態のままとなります

Copyright © 2026 Texas Instruments Incorporated

RST_ERR_01 (続き) *RST モジュール*

説明

特定のコーナー ケースで、NRST 信号の解除エッジ (Low から High への遷移) が LFOSCGOOD の立ち上がりエッジと一致した場合、デバイスは NRST のデアサートを検出できず、無制限にリセット状態にとどまります。問題が発生する可能性のある条件:LFCLK ソースが LFCLK_IN または LFXT から LFOSC に切り替わると、LFOSC は再度有効になり、再有効イベントから 250µs (最小) から 1.5ms (最大) 以内に LFOSCGOOD のステータスが High にアサートされます。NRST Low パルスが、その解除エッジ (Low から High への遷移) が 50ns のウィンドウ内で LFOSCGOOD の立ち上がりエッジと一致するように印加された場合、NRST デアサートは検出されず、デバイスはリセット状態のままとなります。

回避方法

この問題を回避するため、NRST Low パルス幅を 2ms より長く維持してください。

RST_ERR_02 *RST モジュール*

カテゴリ

機能

機能

NRST デアサートが最初の LFOSCGOOD アサートと一致した場合、デバイスは起動に失敗する可能性があります

説明

起動イベント中、内部コア電圧 (VCORE) が安定したレベルに達すると、内部低周波数発振器 (LFOSC) が有効になります。LFOSCGOOD 信号は、VCORE が安定状態に達してから 250µs (最小) から 1.5ms (最大) の範囲内で High にアサートされます。VDD の VBOR+ スレッショルドは、VCORE が安定したときのリファレンス ポイントとして使用できます。NRST のデアサート (Low から High への遷移) が 200ns ウィンドウ内に LFOSCGOOD の立ち上がりエッジと一致した場合、NRST デアサートは検出されず、デバイスはリセット状態のままとなり、スタートアップ シーケンスのブート フェーズを終了できません。NRST デアサート タイミングは、VDD の立ち上がり速度と、NRST 回路上の外部抵抗およびコンデンサ (RC) ネットワークの両方によって制御されるため、実際にはこの状態をトリガできます。この現象が発生しやすいことが知られている構成例として、NRST 回路上に 47k の抵抗と 10nF のコンデンサが含まれている場合が挙げられます。

回避方法

回避方法 1:RC フィルタには十分小さなプルアップ抵抗を使用して、LFOSCGOOD の最小アサート時間 (250µs) よりも少なくとも 50µs 前に、NRST 信号が VDD の 90% まで確実に立ち上がるようにします。これにより、NRST デアサート エッジが LFOSCGOOD のアサート ウィンドウから十分に離れるようにします。NRST 回路上に 1kΩ の抵抗と 10nF のコンデンサを配置した構成が、準拠していることが確認されています。Workaround2:外部リセット コントローラを採用し、VDD 立ち上がりの開始から少なくとも 2.0ms 間、NRST をロジック Low レベルに保持します。これにより、LFOSCGOOD の最大アサート時間 (1.5ms) 後に NRST デアサートが発生することが保証されます。

SPI_ERR_02 *SPI モジュール*

カテゴリ

機能

機能

低消費電力モード (LPM) からウェークアップした後の、SPI クロックとデータバイトの欠落

Copyright © 2026 Texas Instruments Incorporated

SPI_ERR_02 (続き) ***SPI モジュール***

説明

デバイスが低消費電力状態からウェークアップした後、SPI モジュールは、送信された最初のバイトの最初の数クロック サイクルおよびデータ ビットを適切に伝搬できません。

回避方法

ウェークアップ後の SPI データの整合性を確保するには、LPM を開始および終了するときに次のシーケンスを使用します。

1. SPI モジュールを無効にする
2. 割り込み（WFI）を待機する- LPM に入る
3. LPM からのウェイクアップ（任意のソース）。
4. SPI モジュールを有効にする。

SPI_ERR_04 ***SPI モジュール***

カテゴリ

機能

機能

SPI ペリフェラルが受信モードのみの場合、各フレーム受信後の IDLE/BUSY ステータストグル。

説明

SPI ペリフェラルが受信モードのみの場合、SPI がデータを連続的に受信している間に、各フレーム受信の後で、IDLE 割り込みおよび BUSY ステータスがトグルされます (SPI_PHASE = 1)。ここでは、ペリフェラル (スレーブ) の TXFIFO にロードされるデータはなく、TXFIFO は空です。

回避方法

SPI ペリフェラルのみの受信モードを使用しないでください。SPI をペリフェラル (スレーブ) 同時送受信モードに設定します。

SPI_ERR_05 ***SPI モジュール***

カテゴリ

機能

機能

SPI ペリフェラルの受信タイムアウト割り込みは、RXFIFO のデータの有無にかかわらず発生します

説明

SPI タイムアウト割り込みを使用すると、ペリフェラルが SPI クロックの受信を停止した時点から RXTIMEOUT カウンタがデクリメントを開始し、RXFIFO にデータが存在するかどうかに関係なく RXTIMEOUT 割り込みをセットしますしたが、これは TRM の説明と一致しません。SPI ペリフェラルの受信タイムアウト (RTOUT) 割り込みは、受信 FIFO が空でなく、CTL1.RXTIMEOUT で指定された時間内にそれ以上のデータが受信されない場合にアサートされます。

回避方法

受信 FIFO が空の間は負荷 RXTIMEROUT カウンタ値を繰り返し、受信 FIFO がデータを取得した場合にのみタイムアウトカウントを開始します。

Copyright © 2026 Texas Instruments Incorporated

SPI_ERR_06 ***SPI モジュール***

カテゴリ

機能

機能

デバッグ HALT がアサートされている場合、IDLE/BUSY ステータスは SPI IP の正しい状態を反映しません

概要

IDLE/BUSY は HALT とは無関係で、RXFIFO/TXFIFO の書き込み/読み取りストローブのみをゲーティングします。つまり、コントローラがデータ送信中であっても、そのデータが FIFO にラッチされていない状態で BUSY ステータスが設定されてしまいます。POCI 回線は、停止中に以前に送信されたデータを回線上で送信します

回避方法

SPI IP が停止しているときは、IDLE/BUSY ステータスを使用しないでください。

SPI_ERR_07 ***SPI モジュール***

カテゴリ

機能

機能

SPI ペリフェラルで TXFIFO への読み取り / 書き込みが同時に発生した場合、SPI アンダーフロー イベントは生成しない場合があります。

説明

SPI.CTL0.SPH = 0 であり、本デバイスが SPI ペリフェラルとして構成されている場合。

SPI コントローラからの読み取り要求がある間に TXFIFO への書き込みが発生した場合、読み取り / 書き込み要求が同時に発生するため、アンダー フロー イベントが生成されない可能性があります。

回避方法

SPI コントローラによるデバイスのアドレス指定中、TXFIFO が確実に空でないようにします。これは、同じ TXFIFO アドレスへの書き込みと読み取りを避けるために、データを事前ロードすることで実現できます。あるいは、CRC のようなデータチェック戦略を使用してパケットが確実に正しく送信されるようにし、CRC が一致しない場合にデータを再送信することもできます。

SPI_ERR_10 ***SPI モジュール***

カテゴリ

機能

機能

DMA は、最新の SPI トリガ カウントをサンプリングしていません

説明

受信タイムアウト (RTOUT) イベントで DMA 転送をトリガするように SPI が構成されている場合、トリガ要求の時点で DMA チャネルが別の転送の処理をビジー状態にしている場合、DMA が要求をアクノリッジする前に SPI が受信した追加のバイトは転送に含まれません。DMA は、トリガ要求が発行されたときに受信されたバイト数のみを転送し、その後受信したバイトは RX FIFO で未読のままになります。

Copyright © 2026 Texas Instruments Incorporated

SPI_ERR_10 (続き) ***SPI モジュール***

回避方法

RX トリガ条件を RTOUT と組み合わせて使用するように DMA_TRIG_RX を構成します。RX トリガは、RX FIFO が設定されたスレッショルド レベルに達すると起動し、DMA 処理が開始される前に、予測されるバイト数がすべて FIFO に存在することを保証します。これにより、DMA チャネルによる要求のアクノリッジが遅延するかどうかに関係なく、DMA 転送カウントが正確であることが保証されます。

SYSCTL_ERR_01 ***SYSCTL モジュール***

カテゴリ

機能

機能

SW-POR 機能は、HW_POR と組み合わせて使用できます

説明

ソフトウェア トリガ POR を生成するために正しいキーを使って LFSSRST レジスタに書き込むと、RSTCAUSE レジスタには、予測される 0x3 (ソフトウェア トリガ POR) ではなく 0x2 (NRST トリガ POR) が表示されます。これは、SW-POR 機能が HW-POR パスと組み合わされているためです。

回避方法

番号

SYSCTL_ERR_02 ***SYSCTL モジュール***

カテゴリ

機能

機能

BOOTRST の後には、SYSSTATUS.FLASHSEC はゼロ以外になります

説明

BOOTRST/ブートコード完了後、SYSSTATUS.FLASHSEC はゼロ以外になります。これは、お客様がブートコードが完了した後に表示されます。

回避方法

番号

SYSCTL_ERR_03 ***SYSCTL モジュール***

カテゴリ

機能

機能

DEDERRADDR は、SYSRESET または SYSSTATUSCLR への書き込みの後にも持続します

詳細

SYSRESET または SYSSTATUSCLR レジスタへの書き込みの後も、DEDERRADDR は持続します。この値は、新しい FLASHDED エラーが発生した場合にのみ上書きされます。この挙動は、初期リセット値をゼロに規定されているテクニカル リファレンス マニュアル (TRM) に矛盾します。

回避方法

回避方法はありません。

Copyright © 2026 Texas Instruments Incorporated

SYSCTL_ERR_04 *SYSCTL モジュール*

カテゴリ

機能

機能

SYSRESET 後に SYSSTATUS.FLASHSEC はクリアされません

説明

SYSSTATUS.FLASHSEC は、SYSRESET 後にクリアされず、SYSSTATUSCLR レジスタに書き込むことでのみクリアされます。

回避方法

SYSRESET から復帰後、SYSSTATUSCLR = 0xCE000001 を用いて FLASHSEC ステータスを手動でクリアしてください。

SYSCTL_ERR_05 *LFCLK モジュール*

カテゴリ

機能

機能

シャットダウンからの終了時に LFCLK が動作しない

説明

LFCLK_IN ピンがプルアップ付きの汎用入力 (または) LFCLK_IN 機能として構成されている場合、この構成では、シャットダウン モードを終了すると、LFCLK がスタックします。

回避方法

次のいずれかを選択:1. この LFCLK_IN I/O では、プルアップの代わりにプルダウンをイネーブルにする、2. 入力として構成するのを避ける

SYSCTL_ERR_06 *CLK_OUT モジュール*

カテゴリ

機能

機能

非同期クロックが CLK_OUT ソースとして選択されているときに、ユーザーが CLK_OUT をディスエーブルにすると、外部クロック出力 (CLK_OUT) でグリッチが発生する可能性があります

説明

CLK_OUT のクロック ソースが現在のバス クロックと非同期である場合 (たとえば、バス クロックが SYSOSC で、CLK_OUT のクロック ソースが LFCLK に選択されている場合)、この場合、CLK_OUT ピンが一定時間イネーブルになってからディスエーブルになるときにグリッチが発生することがあります

回避方法

外部ピンへのグリッチ出力を回避するには、以下のシーケンスに従ってください:CLK_OUT を有効化するケース:IOMUX の有効化設定は、CLK_OUT の有効化設定の後に行う必要があります。CLK_OUT を無効化するケース:IOMUX の無効化設定は、CLK_OUT の無効化設定より前に行う必要があります。

SYSCTL_ERR_10 *SYSCTL モジュール*

カテゴリ

機能

Copyright © 2026 Texas Instruments Incorporated

SYSCTL_ERR_10
(続き)

SYSCTL モジュール

機能

ULPCLK 4MHz クロックによる LPM 移行中に必要な High ウェークアップ時間

説明

ウェークアップ時間は、ULPCLK 4MHz を使用して STOP0 などにエントリする場合の標準値より約 10µs 追加です。

回避方法

ULPCLK が 4MHz の場合、低消費電力モードに直接移行することは避けてください。マイコンは、まず RUN0 モードにウェークアップしてから LPM に移行できます。

SYSOSC_ERR_01

SYSOSC モジュール

カテゴリ

機能

機能

STOP1 モードと SYSOSC の FCL を併用すると、MFCLK にドリフトが発生する可能性があります

説明

MFCLK が有効になっており、SYSOSC が周波数補正ループ (FCL) モードを使用しており、STOP1 の低電力動作モードが使用されている場合、SYSOSC が 4MHz から 32MHz に切り替わる際 (STOP1 モードから RUN モードへの移行時、または SYSOSC を 32MHz に強制する非同期の高速クロック要求時)、MFCLK が 2 サイクル分ドリフトする可能性があります。

回避方法

STOP1 モードではなく STOP0 モードを使用します。STOP0 モードを使用する場合、MFCLK ドリフトは発生しません。

または

STOP1 を使用する場合は、FCL モードで SYSOSC を使用しないでください (FCL を無効のままにしておきます)。

Copyright © 2026 Texas Instruments Incorporated

SYSOSC_ERR_02 *SYSOSC モジュール*

カテゴリ

機能

機能

特定の条件では、MFCLK の起動に失敗します。

説明

以下のシナリオでは、MFCLK はトグルを開始しません:

1.FCL モードを有効にした後、MFCLK を有効にします。

2.SYSOSC が無効になる低消費電力モードに移行します(SLEEP2/STOP2/STANDBY0/STANBY1)。

3.MFCLK を機能クロックとして使用する一部のペリフェラルから非同期クロック要求が受信されます。

回避方法

上記のシナリオを回避します。非同期高速クロック要求がイネーブルの間、システムが FCL および MFCLK とリストされている低消費電力モードを使用していないことを確認してください。

SYSOSC_ERR_04 *SYSOSC モジュール*

カテゴリ

機能

機能

FCL ON モードで SYSOSC の精度が低下する

説明

内部発振器 SYSOSC の FCL ON モードを使用する場合、精度が最大 ±3% 低下する可能性があります。精度の低下は、4MHz FCL サンプリング クロックと、4MHz の高調波で動作する他のペリフェラルによって発生する、システム内のノイズとの同期に起因します。

回避方法

システムからノイズを完全に除去する回避方法はありません。ただし、FCL ON モードを使用する場合、ペリフェラルが 4MHz の倍数ではない周波数で動作しているときに、劣化を最小限に抑えることができます。

SYSOSC_ERR_05 *SYSOSC モジュール*

カテゴリ

機能

機能

FCL が有効な場合、LPM からの非同期高速ウェークアップ中、SYSOSC はベース周波数より低く動作する場合があります

説明

FCL = 有効な場合、低消費電力モード時およびアクティブな非同期高速クロック要求がある場合、SYSOSC はベース周波数より最大 10% 低い値で動作する可能性があります。これは、デバイスが低消費電力モードにある間に発生します。なぜなら、FCL = 有効であっても、FCL = 無効トリムが常に適用されてしまい、FCL = 有効トリムが使用されないためです。デバイスがウェークアップし、LPM を終了して要求を処理すると、SYSOSC は正しいトリムを適用して、目的のターゲッ

Copyright © 2026 Texas Instruments Incorporated

SYSOSC_ERR_05
(続き)

SYSOSC モジュール

ト周波数で通常の FCL = 有効動作を再開します。

ほとんどの使用事例では大きな影響はなく、必要に応じて FCL および非同期の高速クロック要求の両方を引き続き使用できます。このエラッタが大きな影響を与える主なアプリケーションは、UART が非同期高速クロック要求のソースであるアプリケーションです。この一時的なシフトにより、デバイスが完全にウェークアップするまで実効ボーレートに影響を及ぼす可能性があるためです。

回避方法

1. FCL = 無効のままにします
2. FCL = 有効にする必要がある場合、非同期高速クロック要求を無効化します。

TIMER_ERR_04

TIMER モジュール

カテゴリ

機能

機能

TIMER をゼロ イベントの直前に再有効化すると、再有効化が失われる可能性があります

説明

GPTIMER をワンショット モードで使用し、CLKDIV.RATIO が 0 でない場合、ゼロ イベント直前に TIMER を再有効化すると、再有効化が失われることがあります。

回避方法

タイマは、最初に再度イネーブルにする前に無効にできます。

TIMER_ERR_06

TIMER モジュール

カテゴリ

機能

機能

CLKEN ビットに 0 を書き込んでも、カウンタは無効化されません

説明

カウンタ クロック制御レジスタ (CCLKCTL) のクロック イネーブル ビット (CLKEN) に 0 を書き込んでも、タイマは停止しません。

回避方法

カウンタ制御 (CTRCTL) イネーブル (EN) ビットに 0 を書き込むことで、タイマを停止します。

TIMER_ERR_07

TIMG モジュール

カテゴリ

機能

機能

初期リピート カウンタの周期は、次のリピートより 1 回だけ少なくなる

Copyright © 2026 Texas Instruments Incorporated

TIMER_ERR_07 (続き)

TIMG モジュール

説明

タイマ リピート カウンタ モードを使用する場合、以下のリピート カウンタには 0 とロード値の間の遷移が含まれるため、最初のリピートのカウントは後続のリピートより 1 回少なくなります。たとえば、TIMx.RCLD = 0x3 の場合、観測可能な 3 つのゼロ イベントが最初のリピート カウンタに現れ、観測可能な 4 つのゼロ イベントが後続するリピート カウンタ シーケンスに現れます。

回避方法

初期 RCLD 値を想定される RCLD より 1 だけ大きく設定し、リピート カウンタ ゼロ イベント (REPC) の ISR 内で、RCLD を目的の値に設定します。

たとえば、4 回の繰り返しを行う場合は、初期 RCLD 値を RCLD = 0x5 に設定し、REPC 割り込み用のタイマ ISR 内で、RCLD = 0x4 に設定します。これで、すべてのタイマーの繰り返しで、ゼロ / ロード イベントの数が同一になります。

UART_ERR_01

UART モジュール

カテゴリ

機能

機能

STANDBY1 モードへの遷移時に、UART のスタート条件が検出されないことがあります

概要

デバイスが STANDBY1 モードのときに、UART 送信によって開始された非同期高速クロック要求を処理した後、デバイスは STANDBY1 モードに戻ります。STANDBY1 モードへの復帰中に別の UART 送信が開始されると、デバイスはそのデータを正しく検出および受信できません。

回避方法

UART のスタート条件が繰り返し発生することが想定される場合は、STANDBY0 モードまたはそれ以上の低消費電力モードを使用してください。

UART_ERR_02

UART モジュール

カテゴリ

機能

機能

TXE のみが有効な場合、UART 送信終了の割り込みは設定されません

概要

デバイスを送信のみに設定すると (CTL0.TXE = 1、CTL0.RXE = 0)、UART 送信終了 (EOT) 割り込みのトリガはかかりません。デバイスが送受信に設定されている場合 (CTL0.TXE = 1、CTL0.RXE = 1)、EOT は正常にトリガされます

回避方法

UART 送信終了割り込みを使用するときは、CTL0.TXE ビットおよび CTL0.RXE ビットの両方を設定します。ピンを UART 受信として割り当てる必要はないので注意してください。

UART_ERR_04

UART モジュール

カテゴリ

機能

Copyright © 2026 Texas Instruments Incorporated

UART_ERR_04 (続き)

UART モジュール

機能

クロックが SYSOSC から LFOSC に遷移する際、高速クロック要求が無効になっていると、UART データが誤って受信される可能性があります

概要

シナリオ:
1.UART の機能クロックとして LFCLK が選択されます 2.3 倍オーバーサンプリングで構成された 9600 のボーレート 3.UART 高速クロック要求が無効になっている状態で、UART 受信転送中に ULPCLK が SYSOSC から LFOSC に切り替わると、1 ビットが誤って読み取られることがあります

回避方法

LPM モードで UART を使用する場合は、UART 高速クロック要求を有効にしてください。

UART_ERR_05

UART モジュール

カテゴリ

機能

機能

UART モジュールのデバッグ停止機能の制限

概要

本来は既存のフレームを完了して停止することが期待されますが、すべての Tx FIFO 要素が送信されてから通信が停止します。

回避方法

デバッグ停止がアサートされた後は、データが TX FIFO に書き込まれないようにしてください。

UART_ERR_06

UART モジュール

カテゴリ

機能

機能

UART 9 ビットモードでの予期しない RTOUT/Busy/Async の動作

説明

UART 受信タイムアウト(RTOUT)は、マルチノード構成では正しく動作しません。この構成では、1 つの UART がコントローラとして動作し、他の UART ノードはペリフェラルとして機能し、各ペリフェラルは 9 ビット UART モードで異なるアドレスに設定されます。
最初の UART コントローラが UART ペリフェラル 1 と通信し、ペリフェラル 1 のアドレスを最初のバイトとして送信してからデータを送信することで、ペリフェラル 1 がアドレスの一致を確認してデータを受信しました。コントローラがペリフェラル 1 との通信を終了した後、バス上で異なるアドレスに構成された別の UART ペリフェラル(ペリフェラル 2)との通信を直ちに開始すると、ペリフェラル 1 は設定されたタイムアウト期間が経過しても RTOUT を設定しません。ペリフェラル 2 との通信中もペリフェラル 1 の RTOUT カウンタはリセットされ続け、RTOUT が設定されるのは、コントローラがペリフェラル 2 との通信を完了した後になります。
BUSY 要求と Async 要求で同様の動作が確認観察されました。コントローラがバス上の別のペリフェラルと通信中で、アドレスが一致しない場合でも、Busy および Async 要求が設定されます。

Copyright © 2026 Texas Instruments Incorporated

UART_ERR_06 (続き)

UART モジュール

回避方法

1 つのコントローラが複数のペリフェラルに接続されたマルチノード UART 通信では、RTOUT／BUSY／非同期クロック要求の動作は使用しないでください。

UART_ERR_07

UART モジュール

カテゴリ

機能

機能

IDLE LINE モードにおいて、RTOUT カウンタが期待どおりにカウントされません

概要

UART のアイドルラインモードでは、ラインがアイドル状態で、FIFO に何らかの要素がある場合でも、RTOUT カウンタはスタックします。つまり、IDLE LINE モードでは RTOUT 割り込みは動作しません。
アドレスが一致しない場合、Rx ラインでトグルの発生を検出すると RTOUT カウンタがリロードされます。
マルチレスポンダ構成の場合、コマンダと他のレスポンダ間で通信が行われていると、RTOUT イベントの取得に不定の遅延が発生するおそれがあります。

回避方法

UART モジュールを IDLLINE モード/マルチノード UART アプリケーションのいずれかで使用する場合、RTOUT 機能を有効にしないでください。

UART_ERR_08

UART モジュール

カテゴリ

機能

機能

STAT BUSY は、UART モジュールの正しいステータスを表していません

概要

UART モジュールが無効で TXFIFO でデータが利用可能である場合でも、STAT BUSY は High のままです。

回避方法

TXFIFO ステータスと CTL0.ENABLE レジスタビットをポーリングして、ビジーステータスを識別します。

UART_ERR_10

UART モジュール

カテゴリ

機能

機能

UART IrDA モードの BUSY ビットの設定が遅延する

説明

IrDA モードでは、UART.STAT.BUSY ビットは IrDA スタート パルスの 2 番目のエッジで設定されます。そのため、BUSY ステータスが正しくセットされる前に、1 ビット分の送信が完了してしまう可能性があります。この間にソフトウェアが BUSY ビットをポーリングすると、IrDA スタート パルス

Copyright © 2026 Texas Instruments Incorporated

UART_ERR_10 (続き)

UART モジュール

送信中にもかかわらず UART がビジーでないと誤って認識されることがあります。この BUSY ステータスの動作は UART のボーレートに依存します。UART 送信が遅い (ボーレートが低い) ほど、BUSY が正しく設定されるまでの遅延時間が長くなります。

回避方法

BUSY ステータスをチェックする前に、1 ビット送信の時間分の遅延を挿入します。別の方法としては、UART.STAT.BUSY == 0x0 の後に UART.STAT.BUSY == 0x1 をチェックすることで、ボーレートや他の ISR に依存しない動的遅延を実現できます。

UART_ERR_11

UART モジュール

カテゴリ

機能

機能

UART 受信タイムアウトが、STOP ビット転送中に、予期したタイミングよりも早くカウントを開始する

説明

STOP ビット転送時に、受信タイムアウトが STOP ビット転送の途中でカウントを開始する場合があります。その結果、RXTOSEL の設定値が小さすぎる場合、意図しない RTOUT 割り込みが発生する可能性があります。たとえば、ボーレートが 1Mbps で、RXTOSEL が 1 に設定されている場合、想定される RTOUT は STOP ビット転送の 1µs 後に発生するはずですが、実際には RTOUT 割り込みが 0.5µs で設定されます。

回避方法

UART.IFLS.RXTOSEL レジスタは、受信タイムアウト (RTOUT) 割り込みが発生するまでのビット時間を選択します。早期割り込みを防止するには、RXTOSEL の値を 1 より大きくする必要があります。受信タイムアウト時間は次のように計算できます。受信タイムアウト = (RXTOSEL - 0.5) / ボーレート

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from NOVEMBER 30, 2025 to JULY 31, 2026 (from Revision A (November 2025) to Revision B (July 2026)) **Page**

Copyright © 2026 Texas Instruments Incorporated

Copyright © 2026 Texas Instruments Incorporated

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月