

Application Note

最小限の CLB リソースで三相三レベルインバータの遅延保護を実現



Aki Li

概要

3 レベルのインバータトポジは高電力アプリケーションで一般的に使用されてきましたが、特別な保護制御方式が必要であるため、多くのユーザーはこれを高コストな外部回路によって実装しようとしてきました。このアプリケーション レポートでは、最小構成可能ロジック ブロック (CLB) リソースを使用して、3 相 3 レベルのインバータの保護ロジックを実装する方法について説明します。

目次

| | |
|------------------------|----|
| 1はじめに..... | 2 |
| 2設計の概要..... | 4 |
| 3CLB の実装..... | 5 |
| 3.1 CLB 入力の選択..... | 5 |
| 3.2 カウンタと FSM の設定..... | 6 |
| 3.3 CLB 出力..... | 7 |
| 4EPWM の構成..... | 8 |
| 4.1 テスト結果..... | 9 |
| 5まとめ..... | 10 |
| 6参考資料..... | 10 |

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

図 1-1 は、ニュートラル ポイント クランプ (NPC) インバータと呼ばれる、典型的な单相 3 レベル I 型インバータを示しています。单相 NPC インバータは、IGBT などの 4 つの FET を直列に含み、S1 と S4 は外側スイッチと呼ばれ、S2 と S3 は内側スイッチと呼ばれます。

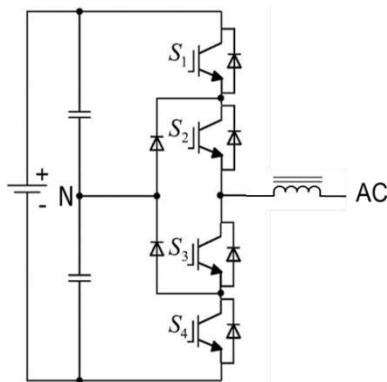


図 1-1. 单相 3 レベル I 型インバータ

グリッドに接続したときの正サイクルと負サイクルの違いを考慮して、通常動作時の 4 つの FET の一般的なスイッチング状態を表 1-1 に示します。

表 1-1. 通常動作時の一般的なスイッチング状態

| AC サイクル | スイッチの状態 | | | |
|----------|---------|--------|--------|--------|
| | S1 | S2 | S3 | S4 |
| Positive | 代替スイッチ | オンのまま | 代替スイッチ | オフのまま |
| 負 | オフのまま | 代替スイッチ | オンのまま | 代替スイッチ |

過電流、熱過負荷など、半導体およびシステムを保護するために迅速なシャットダウンを引き起こす事象がいくつか存在します。2 レベルのインバータにおいてすべての FET を同時に即座にオフするのとは異なり、3 レベルのインバータでは、正しいスイッチオフ シーケンスが維持されるようにする必要があります。すなわち、外側スイッチ (S1 または S4) を最初にオフし、内側スイッチ (S2 または S3) は所定の遅延後にオフし、回復プロセス中には内側のスイッチを最初にオンする必要があります。この遅延保護要件は、UPS やソーラー インバータを長期間使用する多くのお客様にとって課題になっています。ソフトウェア アルゴリズムを使用すると適時な保護を提供するには遅延が大き過ぎるため、一部の顧客は、このような保護ロジックを実現するために FPGA や CPLD などの外部ハードウェア回路を使用せざるを得ず、その結果、システムコストおよび開発工数が増加します。

この課題に対処するために、前回のアプリケーションレポート [CLB を使用した 3 レベルインバータの遅延保護を実現する](#) では、C2000 デバイスの構成可能なロジック ブロック (CLB) を活用して PWM 信号用の追加の遅延保護ロジックを設計する单一チップ構成を紹介しましたが、単相から三相インバータへ拡張する場合、ほとんどの C2000 デバイスでは CLB タイルが十分ではなく、追加の GPIO を占有することによる回避策が提案されました。

もう 1 つのアプリケーションレポートタイプ [4EPWM を使用して 3 レベルインバータの遅延保護を実現する](#) では、代わりに既存の EPWM 機能を活用する創造的な構成を提案しましたが、同様に、三相インバータへ拡張する際には追加の EPWM モジュールが必要となり、より多くの EPWM モジュールを必要とする高電力システムにとって望ましくありません。

さらに、これら 2 つのアプリケーションレポートはいずれも、故障事象が GPIO や内部コンパレータ出力などのハードウェアに反映されることを前提としていましたが、実際のアプリケーションでは、故障事象は複数のソースから発生し、手動シャットダウン コマンドから発生する場合もあります。故障イベントの制限が少なく、より柔軟な設計が期待されます。

このアプリケーションレポートでは、より少ない CLB リソースで同等の性能を達成するために、CLB ロジックを最適化する方法について説明します。一方で、これによりソフトウェア設計を簡素化でき、ユーザーは異なる故障事象に関係なく、元の故障応答動作を維持することができます。改良された設計により、少なくとも 3 つの CLB タイルを備える任意の C2000

デバイスを三相三レベル インバータに使用することができ、これには F2838xD/S、F28379D/S、F28076、F28004xC、F28003x、F28P55X が含まれます。

2 設計の概要

図 2-1 に、単相で正サイクル、負動作時に CLB を使用して予測される EPWM 保護動作を示します。CLB 出力のダイアグラムは以前のアプリケーション レポートと類似していますが、CLB 出力を生成して活用する方法は異なります。

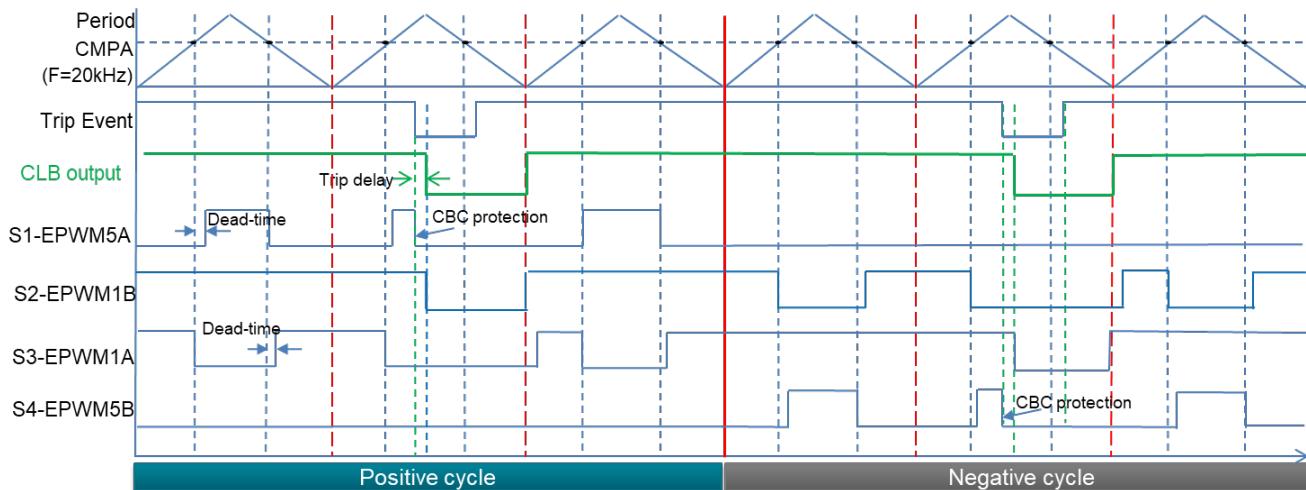


図 2-1. CLB 付きで予想される EPWM 保護ロジック

表 2-1 に、各相の EPWM モジュールと CLB タイプの割り当てを示します。ほとんどの C2000 デバイスでは、CLB に関する周辺信号マルチプレクサの関係により、対応する CLB 出力で置き換え可能なのは EPWM1 ~ EPWM4 の出力のみであるため、EPWM1、EPWM2、および EPWM3 はそれぞれ三相の内側スイッチに使用されます。

表 2-1. EPWM モジュールと CLB のタイプの割り当て

| スイッチ | 位相 1 | 位相 2 | 位相 3 |
|------|--------|--------|--------|
| S1 | EPWM5A | EPWM6A | EPWM7A |
| S2 | EPWM1B | EPWM2B | EPWM3B |
| S3 | EPWM1A | EPWM2A | EPWM3A |
| S4 | EPWM5B | EPWM6B | EPWM7B |
| CLB | CLB1 | CLB2 | CLB3 |

3 CLB の実装

図 3-1 に、各相の完成した CLB ブロック図を示します。

CLB Tile Configuration

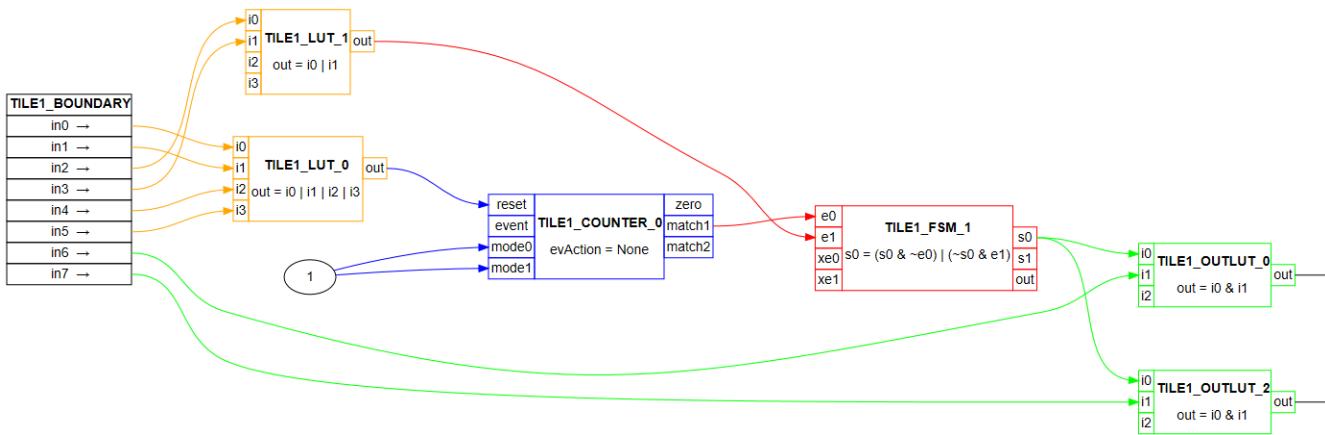


図 3-1. 完成した CLB のブロック図

3.1 CLB 入力の選択

この設計では、表 3-1 に示す入力信号も含めて合計 8 つの CLB 入力が必要です (例として位相 1 を使用)。

表 3-1. CLB 入力信号の選択

| in0 | in1 | in2 | in3 | in4 | in5 | in6 | in7 |
|-----------|-----------|-------------------------|-------------------------|-----------|-----------|----------------|----------------|
| S2-EPWM1B | S3-EPWM1A | S2-EPWM1B (立ち上がりエッジ) | S3-EPWM1A (立ち上がりエッジ) | S1-EPWM5A | S4-EPWM5B | S3 EPWM1A_DB (| S2 EPWM1B_DB (|

この設計では、すべての EPWM モジュールに対して従来の保護応答が維持されています。これは、ワンショット構成であるかサイクルバイサイクル構成であるかに関係なく、また、ハードウェアや故障イベントや手動シャットダウン (ソフトウェアによる強制トリップなど) によってトリガされる場合でも、すべての PWM 出力が即座にシャットダウンされることを意味します。

3.2 カウンタと FSM の設定

カウンタ ブロックは、カスタマイズされた遅延を実現するために使用されます。追加の LUT_0 は、4 つすべての PWM 出力信号を OR 論理で結合するために使用され、その後、LUT_0 の出力は Counter_0 のリセット入力として設計されています。mode0 と mode1 の両方を 1 に設定することは、すべての PWM 出力信号がシャットダウンされるまで Counter_0 はカウントを開始しないことを意味します。MATCH1 は予想される遅延値で設定されます。

ステートマシンは、図 3-2 に示すように FSM ブロックで実装されています。S0 の状態を識別するために 2 つの入力が使用されており、S0 は E0 で下降し、E1 で上昇します。E0 は Counter_0 の match1 イベントを指し、E1 は LUT_1 の出力に由来します。これは 2 つの内側スイッチ PWM 信号 (PWM1A および PWM1B) の立ち上がりエッジを結合しており、いずれかの内側 PWM 信号がオンになると CLB 出力がハイ状態に復帰することを意味します。したがって、表 3-2 に示すように、S0 状態のカルノー マップを作成できます

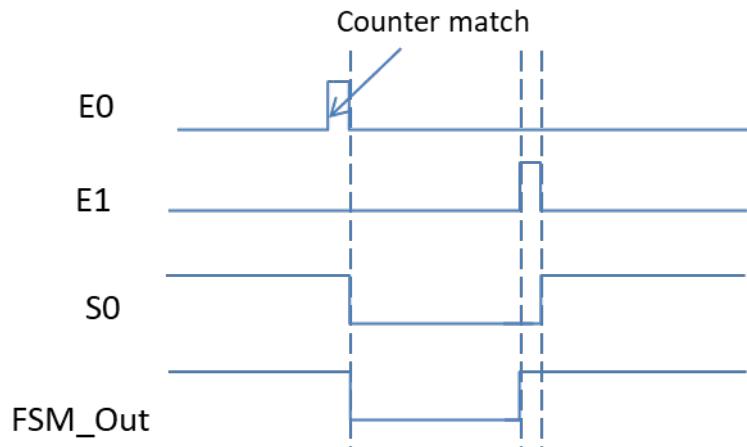


図 3-2. FSW ブロックのステートマシン

表 3-2. FSM S0 K マップ

| S0 E0E1 | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 |

カルノー図に基づいて、S0 の FSM 方程式は次のように導出されます

$$S0 = (S0 \& \sim E0) | (\sim S0 \& E1)$$

3.3 CLB 出力

CLB 出力の特長は、CLB によって生成された信号で元の周辺回路信号をオーバーライドできる能力にあります。この場合、出力 LUT は、FSM_S0 と元の EPWM1A/B のデッドバンド出力を AND 論理で結合するために使用されます。図 3-3 に示すように、出力 LUT_0 と LUT_2 が選択され、およびロジック出力が最終的な EPWM1A/EPWM1B 出力として有効化されます。

Table 32-4. CLB Output Signal Multiplexer Table

| CLB Output | CLB OUTLUT | CLB1 Destination | CLB2 Destination | CLB3 Destination | CLB4 Destination |
|------------|----------------|------------------|------------------|------------------|------------------|
| 0 | OUTLUT0 | EPWM1A | EPWM2A | EPWM3A | EPWM4A |
| 1 | OUTLUT1 | EPWM1A_OE | EPWM2A_OE | EPWM3A_OE | EPWM4A_OE |
| 2 | OUTLUT2 | EPWM1B | EPWM2B | EPWM3B | EPWM4B |
| 3 | OUTLUT3 | EPWM1B_OE | EPWM2B_OE | EPWM3B_OE | EPWM4B_OE |
| 4 | OUTLUT4 | EPWM1A_AQ | EPWM2A_AQ | EPWM3A_AQ | EPWM4A_AQ |
| 5 | OUTLUT5 | EPWM1B_AQ | EPWM2B_AQ | EPWM3B_AQ | EPWM4B_AQ |
| 6 | OUTLUT6 | EPWM1A_DB | EPWM2A_DB | EPWM3A_DB | EPWM4A_DB |
| 7 | OUTLUT7 | EPWM1B_DB | EPWM2B_DB | EPWM3B_DB | EPWM4B_DB |

図 3-3. CLB 出力およびペリフェラル信号マルチプレクサの表

図 3-4 に、EPWM サブモジュール信号と CLB ロジックの関係を示します。

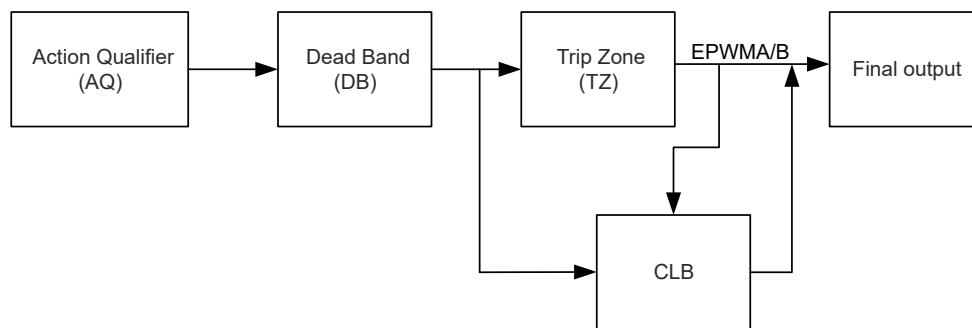


図 3-4. EPWM サブモジュール信号と CLB ロジックの関係

4 EPWM の構成

表 4-1 に、正と負のサイクルの各種の EPWM 設定を示します。デッドバンド サブモジュールを使用して同じ EPWM モジュールの 2 つの相補型 PWM 出力を生成する従来の EPWM 構成とは異なり、現在の設計の 2 つの EPWM モジュールの反転アクションによって相補動作が検証されています。2 つの EPWM モジュールが同じ CMRA 値を共有しているため、リンクレジスタ EPWMXLINK を使用して、2 つの EPWM モジュールに対して CMRA 値が常に同時に更新されるようにすることができます。

グリッド接続インバータは、正と負の両方のサイクル中、制御に対処する必要があります。現在の EPWM 構成では、ゼロクロス点において、デッドバンド サブモジュールの DBCTL[OUT_MODE] レジスタを用いて EPWMxA と EPWMxB の出力を入れ替えることが容易です。

表 4-1. 正および負サイクルの EPWM 設定

| EPWM 信号 | 位置サイクルの基本設定 | 負の周期 |
|-----------|---------------------------------|-------------------------|
| S1-EPWM5A | ↑ CAU ↓ CAD 立ち上がりエッジ遅延が有効 | EPWMxA 出力と EPWMxB 出力の交換 |
| S2-EPWM1B | high を強制 | |
| S3-EPWM1A | ↑ CAD ↓ CAU 立ち上がりエッジ遅延が有効 | |
| S4-EPWM5B | low を強制 | |

以下のコードは、EPWM 出力を交換する例を示しています。

```

if(positive_cycle==1)
{
//Default setting is for positive cycle
    EPWM_setDeadBandOutputSwapMode(EPWM1_BASE, EPWM_DB_OUTPUT_A, false);
    EPWM_setDeadBandOutputSwapMode(EPWM1_BASE, EPWM_DB_OUTPUT_B, false);
    EPWM_setDeadBandOutputSwapMode(EPWM5_BASE, EPWM_DB_OUTPUT_A, false);
    EPWM_setDeadBandOutputSwapMode(EPWM5_BASE, EPWM_DB_OUTPUT_B, false);
}
else
{
// for negative cycle
    EPWM_setDeadBandOutputSwapMode(EPWM1_BASE, EPWM_DB_OUTPUT_A, true);
    EPWM_setDeadBandOutputSwapMode(EPWM1_BASE, EPWM_DB_OUTPUT_B, true);
    EPWM_setDeadBandOutputSwapMode(EPWM5_BASE, EPWM_DB_OUTPUT_A, true);
    EPWM_setDeadBandOutputSwapMode(EPWM5_BASE, EPWM_DB_OUTPUT_B, true);
}

```

4.1 テスト結果

この設計は、LaunchPad **LAUNCHXL-F280039C** および 図 4-1 に示す Kingst ロジックアナライザを用いて検証されています。

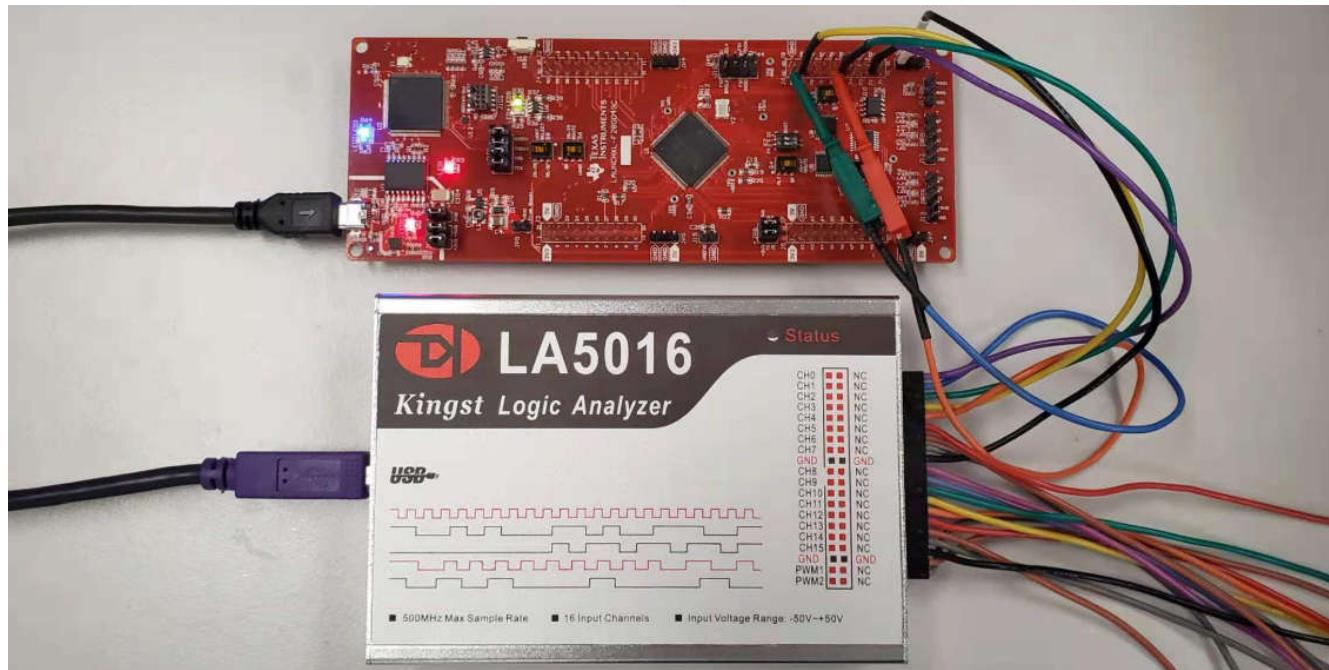


図 4-1. テスト プラットフォームの設定

図 4-2 は正のサイクル中の試験結果を示しており、EPWM5A は故障イベントの発生と同時に CBC 保護を開始する一方で、EPWM1B は CLB で 2us に設定された条件に対して、実測で 2.098us の遅延後に low へ遷移します。実際の遅延は、CLB ハードウェアロジック回路に固有の遅延により、定義された値よりもわずかに長くなっています。図 4-3 に、負のサイクル中の故障イベントを示します。ここで、遅延保護ロジックも期待どおりに動作します。



図 4-2. 正サイクル中の故障アクティブ Low



図 4-3. 負のサイクル中の故障アクティブ Low

5 まとめ

このアプリケーションレポートでは、最小の CLB リソースで 3 相インバータの遅延保護を実現する改良された設計を紹します。一方で、これにより、各 AC サイクルのゼロクロス点におけるソフトウェアのオーバーヘッドを低減し、ソフトウェア設計を簡素化することができます。この設計は検証済みで、実際のアプリケーションで採用されています。

6 参考資料

1. テキサス インスツルメンツ、[CLB 付き 3 レベルインバータの遅延保護を実現](#)、アプリケーション ノート
2. テキサス インスツルメンツ、[タイプ 4EPWM による 3 レベルインバータの遅延保護を実現](#)、アプリケーション ノート

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](#) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月