

## Application Brief

# TI のプログラマブルロジックデバイス (TPLD) の半二重電力線通信



Ian Graham

### 電力線通信の概要

電力線通信 (PLC) は、電力線を通信回線として利用する技術です。電力線を信号腺と組み合わせることで、必要な信号線の総数を削減することができます。これにより、設計者にはいくつかの利点が得られます。信号腺の削減により、設計全体の規模が縮小されると同時に、システムの BOM を削減できる可能性もあります。また、外部システムとのインターフェイスをより簡素化することも可能です。

PLC は、ウェアラブル電子機器など、スペースが非常に限られている設計においてとりわけ魅力的なものとなります。これらのシステムでは、PLC を内部腺と外部腺のいずれにも実装することができます。内部では、PLC を使用することで、追加のトレースや配線を追加することなく、デバイスのある領域から別の領域へデータを伝送できます。外部では、充電ラインに PLC を実装することで、通信を可能にしたまま、充電コンタクトを接地と VCC コンタクトのみに簡素化できます。これにより、デバイスおよび充電周辺機器の充電ラインと外部接点の複雑さが軽減され、摩耗や損傷、ハッキングのリスクが低減されます。

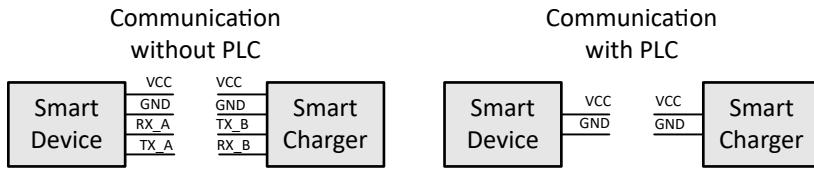


図 1. PLC のブロック図

PLC には以下の制約があります: 電力線からの干渉により生じる信号劣化の可能性があり、またマイクロ コントローラは PLC システムとの信号入出力インターフェースや変調 / 復調を目的として設計されていません。効果的な PLC を実現するためには、PLC 専用の IC を使用する必要があります。

### 半二重 PLC 用 TPLD

TI のプログラマブルロジックデバイス (TPLD) ファミリのすべての IC には、内部ロジック素子およびタイミング素子を使用して PLC 信号を変調および復調することで、効果的な PLC としてプログラミングが可能です。これは、半二重設計で、一度にデータを送信できるのは片側のみとなります。TI の TPLD は、送信されるデータを制御または解釈する機能を有しておりません。従いまして、PLC 回線の通信プロトコルは、すべて MCU によって実装される必要があります。この設計では、UART を使用して、PLC のいずれかの側の MCU と通信します。

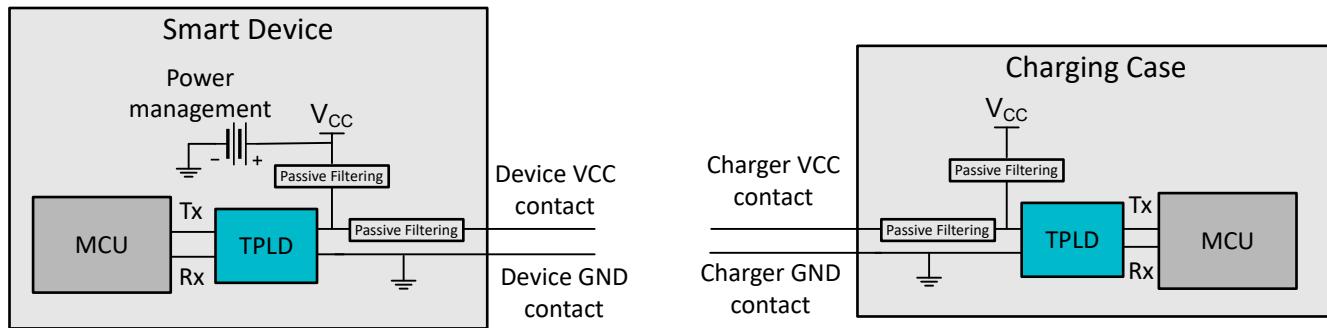


図 2. TPLD PLC のブロック図

### TPLD PLC の内部図

内部では、TPLD は UART 入力を高周波信号で変調し、その結果を PLC 出力に送信します。PLC 入力は、PLC ラインからの高周波信号を復調し、その結果を UART 出力に送信します。

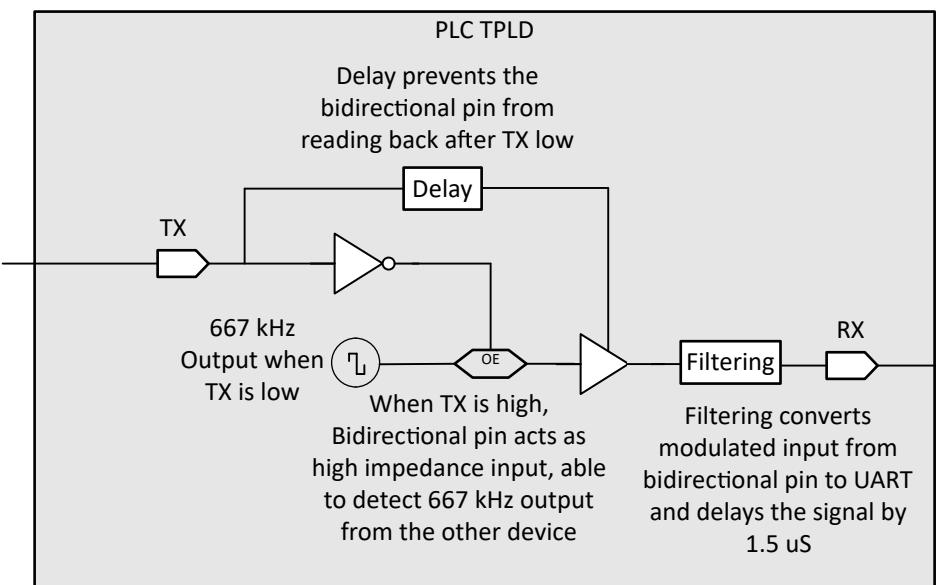


図 3. TPLD PLC の内部ブロック図

このブロック図は、以下に示す TPLD 構成を使用して実装されています。この回路図は、TI の InterConnect Studio、TPLD のプログラミング GUI からのものです。システム内の両方の TPLD は、同じ構成を共有しています。

DC Power line communication at 115200 BAUD

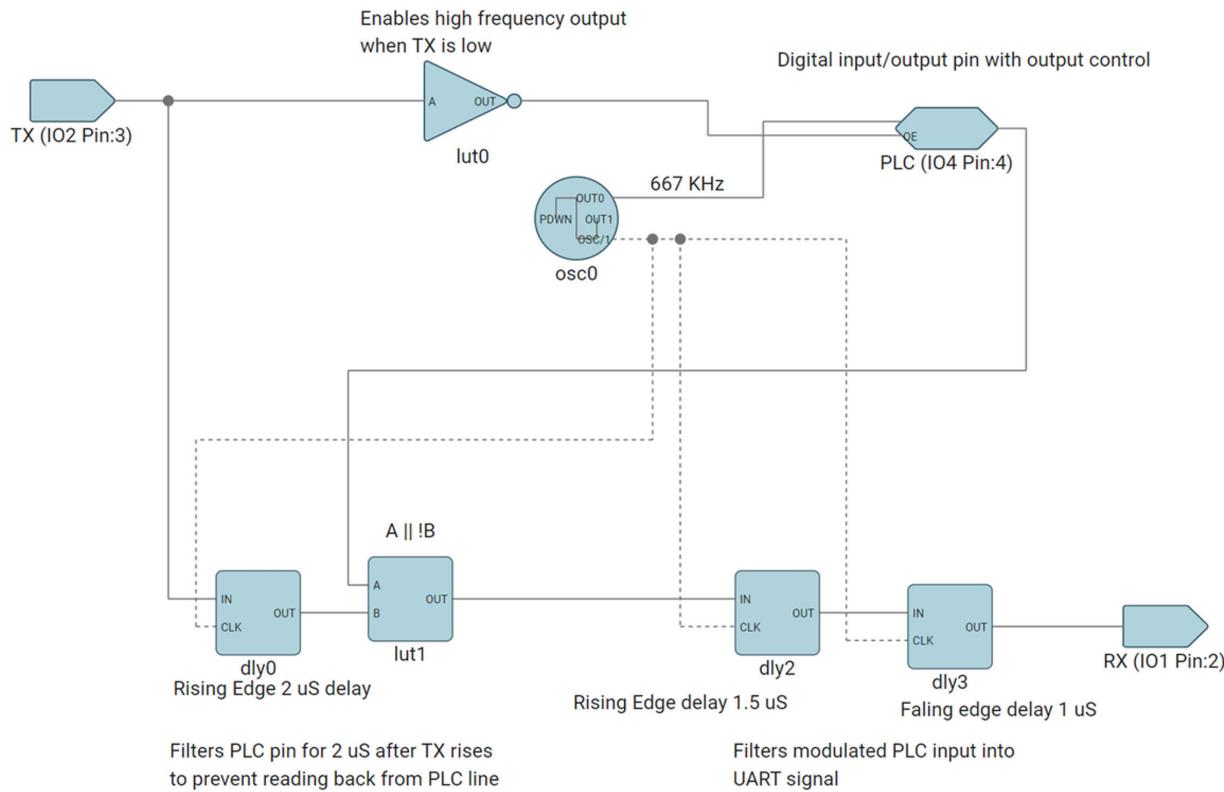


図 4. ICS における PLC 設計

Lut0 ブロックは、TX ピンが low の場合に PLC を出力として有効化し、PLC ピンが Osc0 からの高周波信号を出力させます。

Dly0 および Lut1 ブロックは、TPLD が出力として生成されるパルスからフィードバックを読み取ることを防止します。Dly2 ブロックはフィルタリング段として機能し、立ち下がりエッジ入力を 1.5uS の負パルスに延長することで、高周波変調信号を UART 信号に復元します。Dly3 ブロックはパルスの正側を延長させ、正のエッジをわずかに延長して元の長さに戻します。

### TPLD PLC のシステム図

最初の TPLD からの PLC 出力はコンデンサを介して分流され、PLC ライン上に高周波ノイズを発生させ、そのノイズが 2 番目の TPLD の PLC 入力ラインに分流されます。2 番目の TPLD への PLC 入力は、TPLD のスイッチングスレッシングルド付近である 2.5V の直流電圧にバイアスがかかっています。2 番目の TPLD は、高周波ノイズを検出することができます。インダクタは通信ラインを VCC レールから絶縁し、PLC ライン上のノイズがフィルタリングされること、または VCC レール上の他の部品に干渉することを防止します。

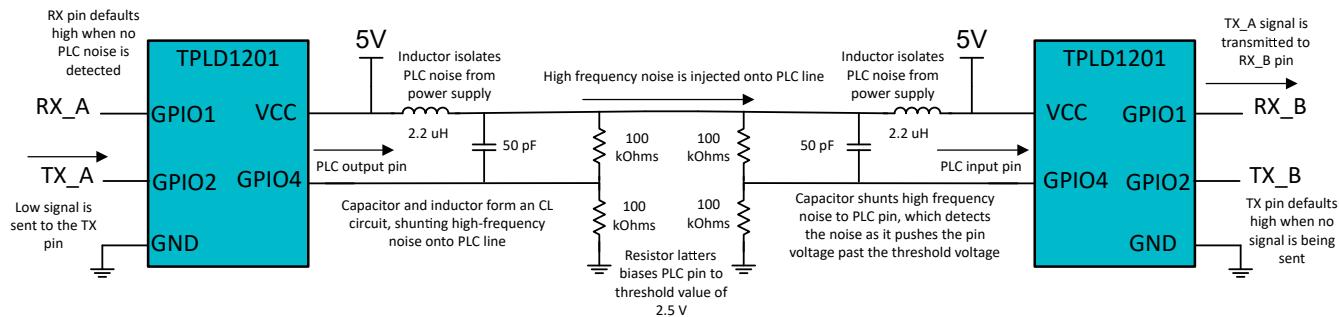


図 5. TPLD PLC のシステム図

以下のオシロスコープの画像から、送信側 TPLD の動作と DC ライン上の信号の状態が確認できます。DC ラインは 5V にバイアスされ、TPLD の PLC ラインは 2.5V にバイアスされています。



図 6. PLC TX 側オシロスコープ画像

以下のオシロスコープ画像から、受信側 TPLD の動作が確認できます。PLC 入力信号は TPLD によってデジタルデータ入力に変換され、Dly2 ブロックは負のパルスを 1.5μS 延長することで UART ストリームに再変換します。Dly3 ブロックは負のパルスをわずかに切り捨て、元のデータストリームを復元します。

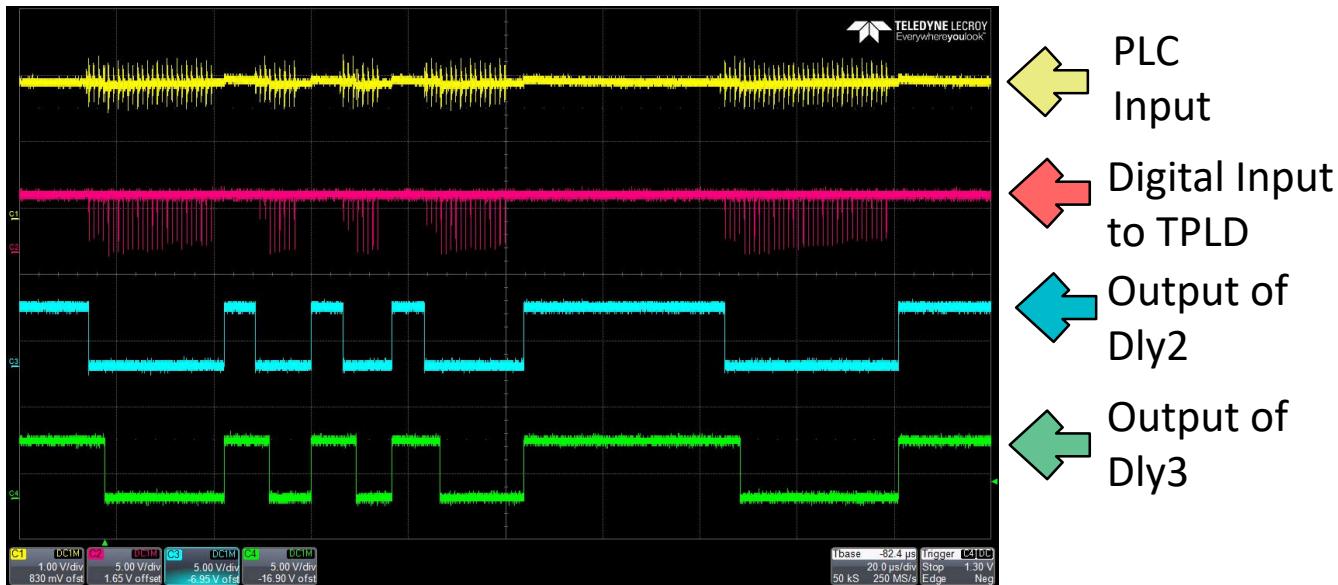


図 7. PLC RX 側オシロスコープ画像

### 設計上の考慮事項

抵抗分圧ペアの値は、TPLD の PLC ピンが TPLD のスイッチング スレッショルドバイアスするように選択されています。これは通常、TPLD の VCC の 1/2 です。これにより、ピン上の電圧振動によってピンの電圧が負になることも防止されます。必要に応じて、TPLD は PLC ラインとは異なる電圧レベルで動作することができます。コンデンサは TPLD ピンを PLC 電源レールから絶縁するため、TPLD がデバイスの推奨動作条件内の電圧レベルで動作し、かつ PLC ピンがデバイスの VCC の 1/2 にバイアスされている限り、PLC は正常に機能します。

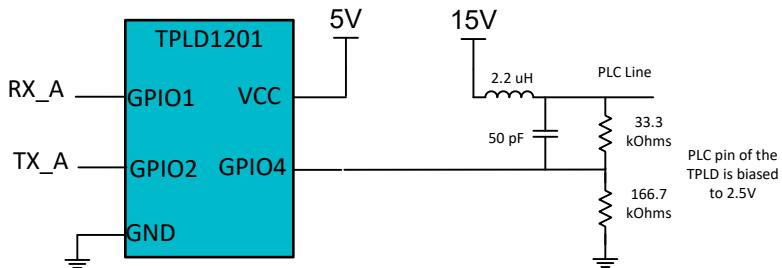


図 8. 15V レール搭載 PLC

インダクタとコンデンサの組み合わせは、インダクタによってフィルタリングされない周波数で PLC ライン上にノイズを発生させるよう選択されています。これはシステム全体によって決定されるため、LC の組み合わせによって発生するノイズの周波数を決定する最も簡単な方法は、システムをシミュレーションして出力のフーリエ変換を生成することです。図 xxx に示すシステムの想定ノイズ周波数は、下図の通り、21MHz 付近となります。同一システムにおけるボード解析の結果、21MHz の周波数がシステムによってフィルタリングされていないことが確認できます。したがって、この LC 組み合わせはこの設計で効果的であることがわかります。

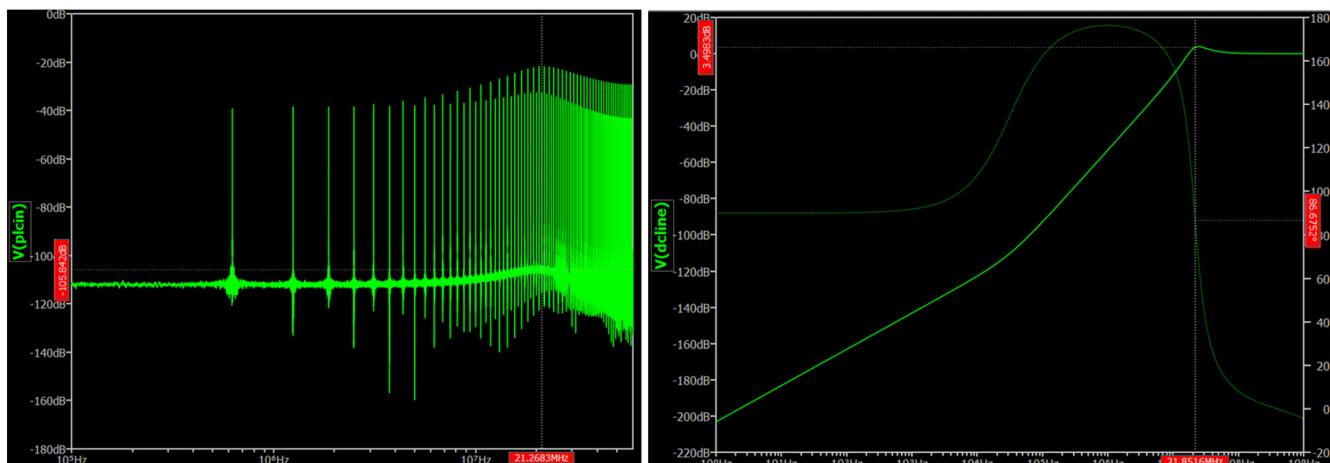


図 9. PLC FFT とボードプロット

### TPLD を使用した PLC の利点

以下の表に示すように、TPLD1201 は、小型で低コストの PLC 設計を実現します。これは、同等の専用 PLC IC のコストの約半分です。

表 1. ソリューションサイズとコストの概算

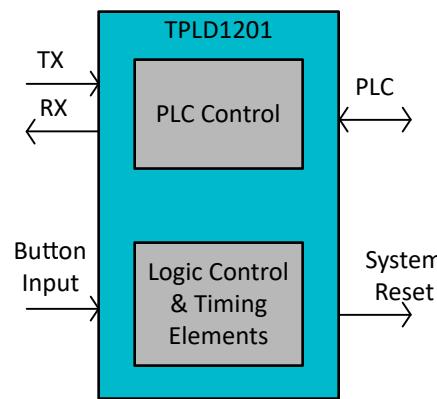
| デバイス               | 片面あたりの数量 | コスト (ドル) (1ku) | フットプリント | 面積 (mm <sup>2</sup> ) |
|--------------------|----------|----------------|---------|-----------------------|
| TPLD1201RWB        | 1        | 0.45           | RWB     | 2.56                  |
| 100nF コンデンサ (バイパス) | 1        | 0.02           | 402     | 0.5                   |
| 2.2 μH インダクタンス     | 1        | 0.11           | 806     | 3.2                   |
| 50pF コンデンサ         | 1        | 0.0075         | 402     | 0.5                   |
| 100 kOhm 分解能       | 2        | 0.0022         | 402     | 0.5                   |
| 総コスト (ドル / 1ku):   |          | 0.5919         | 合計サイズ:  | 7.76                  |

PLC に使用する場合、TPLD1201 には複数の未使用ピンとロジック ブロックがあり、ボタン デバウンス、スマートボタン制御、リセット/タイミング ロジックなど、他の機能に対応するように構成できます。これにより、デバイスへの統合を強化し、システム全体の BOM と設計サイズをさらに削減できます。

**表 2. TPLD1201 の残りのブロック**

| ブロック                    | 残りの数 |
|-------------------------|------|
| IO ピン                   | 5    |
| カウンタ / 遅延               | 1    |
| ロックアップ テーブル / フリップ フロップ | 4    |
| ロックアップ テーブル             | 3    |
| エッジ検出                   | 1    |

さらなる統合の可能性の例を以下に示します。TPLD 内のタイミング素子およびロジック素子を使用して、ユーザー制御のボタン入力から、タイミング設定されたリセットパルスを生成できます。この統合により、さらなるスペースとコストの削減が可能となり、システムの複雑さも軽減されます。



**図 10. PLC とシステムのリセットを並行して行う**

TPLD 設計はモジュール型であり、システム要件に合わせて設計をカスタマイズすることもできます。

TPLD の詳細については、[TPLD 製品ページ](#)をご覧になるか、[TI E2E™ ロジック サポート フォーラム](#)でエンジニアに質問してください。プログラミング GUI InterConnect Studio は、TPLD 構成の構築、シミュレーション、およびプログラミングを無償で開始できます。

## 商標

すべての商標は、それぞれの所有者に帰属します。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月