

# Application Note

## 同時サンプリング システムにおける複数の広帯域デルタ シグマ ADC の設計上の検討事項



Josh Brown, Keith Nicholas

### 概要

同時サンプリング モードで動作する複数の ADC デバイスは、データ アクイジション システムでよく使用されます。例として、音センサと振動センサ、電力グリッドの監視、ECG や体外診断などの医療機器があります。テキサス・インスツルメンツの広帯域デルタ シグマ ADC ファミリーは、小型パッケージ サイズ、デジタイズチェーン接続オプション、同期機能を特長としており、上記の用途向けに設計されています。このアプリケーション ノートでは、このようなマルチチャネル システムの多くの設計要件について説明します。

### 目次

1 概要.....	2
2 クロック信号.....	3
2.1 シングル クロック バッファ.....	3
2.2 複数のクロック バッファ.....	4
2.3 クロック ジッタ.....	4
3 同期.....	6
4 アンチエイリアス フィルタの群遅延.....	7
5 基準電圧.....	9
6 電源のバイパッシングとグラウンディング.....	10
7 SPI デイジーチェーン接続.....	11
7.1 SPI デイジーチェーン通信.....	12
7.2 SPI デイジーチェーン構成のシステム要件.....	13
7.3 シングルチャネル ADC の SPI デイジーチェーン接続のデバイス数.....	14
8 シングルチャネル ADC 用の並列の SPI SDO または DRDY 接続.....	15
9 シングルチャネル ADC で新しい変換データが利用可能になるタイミングの見極め.....	16
10 マルチチャネル ADC 向けのフレーム同期デジタイズチェーン接続.....	17
10.1 フレーム同期デジタイズチェーン構成のシステム要件.....	19
10.2 フレーム同期デジタイズチェーン接続のチャネル数.....	21
11 まとめ.....	22
12 参考資料.....	23
13 改訂履歴.....	24

### 商標

すべての商標は、それぞれの所有者に帰属します。

## 1 概要

このアプリケーション ノートでは、[表 1-1](#) に示す ADC を使用したマルチデバイス同時サンプリング システムにおけるクロック処理、同期、デジタイゼーションに関する検討事項、および基板レイアウトの推奨事項について説明します。これらの ADC は、本アプリケーション ノート全体を通じて ADS1x7Lxx ファミリーと称します。これらのデバイス間に相違点があれば記載していますが、それ以外の情報は基本的にすべてのデバイスに適用されます。

**表 1-1. 広帯域デルタ シグマ ADC**

部品番号	分解能	チャンネル数	最大データ レート:	プログラム可能なフィルタ係数	データ インターフェイスポート
<a href="#">ADS117L11</a>	16	1	1, 067kSPS	なし	SPI: 構成および出力データ
<a href="#">ADS127L11</a>	24	1	1, 067kSPS	なし	SPI: 構成および出力データ
<a href="#">ADS127L21</a>	24	1	1, 365kSPS	あり	SPI: 構成および出力データ
<a href="#">ADS127L21B</a>	24	1	1, 365kSPS	あり	SPI: 構成および出力データ
<a href="#">ADS117L14</a>	16	4	1, 365kSPS	なし	SPI: 構成フレーム同期: 出力データ
<a href="#">ADS117L18</a>	16	8	1, 365kSPS	なし	SPI: 構成フレーム同期: 出力データ
<a href="#">ADS127L14</a>	24	4	1, 365kSPS	なし	SPI: 構成フレーム同期: 出力データ
<a href="#">ADS127L18</a>	24	8	1, 365kSPS	なし	SPI: 構成フレーム同期: 出力データ

## 2 クロック信号

同時サンプリングシステムでは、すべての ADC が同じクロック信号を使用し、同じクロックサイクルに同期する必要があります。クロック信号のルーティングには 2 つのオプションがあります。すべての ADC に対してクロック信号を駆動させるシングル クロック バッファと、1 つのクロック ソースから各 ADC を駆動させる個別のクロック バッファです。

どちらのクロック ツリー設計でも、信号の立ち上がり時間が  $5\text{cm/ns}$  以下の短いクロックトレース長には、通常、ソース終端直列抵抗は必要ありません。このクロック長を超えた場合、マイクロストリップトレースの特性インピーダンス (バッファ出力インピーダンスの特性インピーダンスを減算したもの) に一致させるために、直列抵抗を使用してクロックトレースのソース終端処理を行います。ソース終端抵抗は、高インピーダンス クロック入力から反射エネルギーを吸収するため、このエネルギーが入力に跳ね返らないようにし、ノイズ マージン (High または Low の入力ロジック スレッショルド間の差) を低減できます。高速クロックドライバを使用する場合、立ち上がり時間は  $1\text{ns}$  よりもはるかに短くなる可能性があります。より大きな抵抗値で PCB トレースを過剰に減衰させてクロック信号のオーバーシュートとアンダーシュートを低減すると、クロック信号のノイズ マージンが増大する可能性があります。

テキサス・インスツルメンツでは、複数の ADC 間のタイミング変動を低減するために、 $1\text{ns}$  のクロック立ち上がり時間を推奨しています。これらのタイミング変動は、プロセスの許容誤差によってクロック入力のロジック スレッショルドレベルが異なった結果です。

### 2.1 シングル クロック バッファ

チャンネル数が少ないシステムでは、1 つのクロック バッファを使用してすべての ADC を駆動できます。これは、ADS1x7Lxx ADC の寸法が小さいため、基板レイアウトを小さくまとめることができ、それによって ADC とクロック ソースの間の PCB トレース長が短くなります。シングル クロック バッファレイアウトでは、ADC 間のサンプリング スキューを最小限に抑えるため、クロック バッファから ADC までの PCB トレースのパス長を等しくする必要があります。マイクロストリップ PCB 設計の標準的な伝搬遅延が  $60\text{ps/cm}$  である場合、クロックトレースの差は  $5\text{cm}$  で、ADC 間のサンプリング スキューは  $300\text{ps}$  になります。このサンプリング スキューは、入力信号に追加の群遅延  $0.3\text{ns}$  として現れ、チャンネル間の位相角が重要である場合は測定誤差バジェットに含める必要があります。

サンプリング スキューに加えて、整合 PCB トレース長では、ADC クロック入力からの複数のライン反射も低減されます。複数のライン反射があると、過剰なリングングやオーバーシュートが発生する可能性があり、発生した場合はクロック信号のノイズ マージンが減少します。

図 2-1 に整合クロックトレース長の例を示します。テキサス・インスツルメンツでは、トレース長が  $5\text{cm}$  以下、ADC が最大 4 つの場合にこの構成を推奨しています。より長い PCB トレースまたはより多くの ADC を使用すると、クロックの立ち上がり時間と立ち下がり時間が過剰になり、クロック信号のノイズ マージンが減少します。

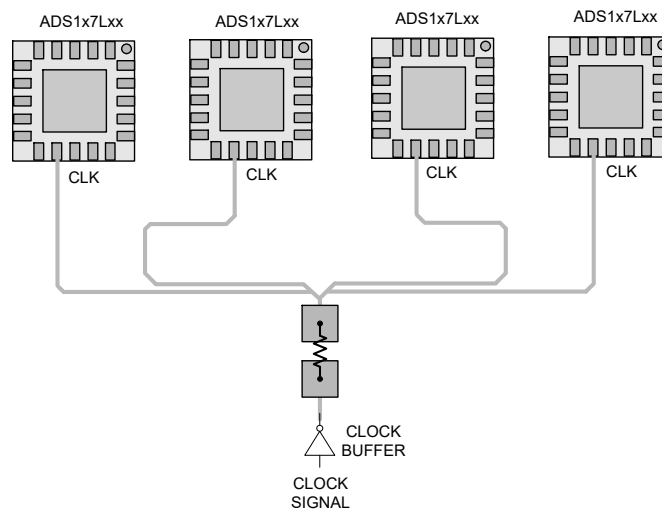


図 2-1. シングル クロック バッファ

## 2.2 複数のクロック バッファ

多数のチャンネルがあるシステムでは、各 ADC に個別のクロック バッファを使用する方法が推奨されます。ただし、クロック バッファによってチャンネル間クロック スキューが生じ、そのために ADC 間でサンプリング スキューが発生します。

**LMK1C1104** などの高速クロック バッファには、チャンネル間出力スキュー **50ps** が適切に指定されています。汎用ロジック バッファには、多くの場合、出力スキューの仕様が指定されていないか、過度に大きい値 (数ナノ秒) が指定されています。これらの汎用ロジック バッファは、多くの場合、低いクロック速度で使用できますが、特定の用途要件に合わせて評価を行う必要があります。図 2-2 に、複数のクロック バッファを使用したレイアウト例を示します。これは、ADC が複数でトレース長が長いクロック レイアウト構成であり、推奨されています。

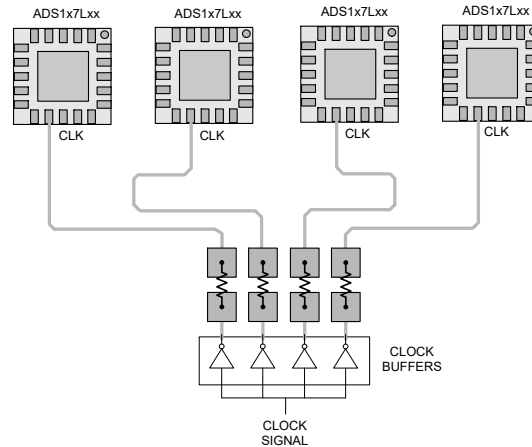


図 2-2. 複数のクロック バッファ

## 2.3 クロック ジッタ

すべてのデルタ シグマ ADC はオーバーサンプリングの原理で動作し、変調器のサンプリング済みデータはデジタル フィルタによってフィルタ処理とダウンサンプリングが行われます。データの平均化による変調器内の熱ノイズ低減に加え、クロック ジッタに起因するノイズの影響は同様のプロセスによって平均化されます。オーバーサンプリングの正味効果により、熱ノイズに起因する定格 SNR と、クロック ジッタに起因する SNR<sub>j</sub> の両方が向上します。内部クロック パスのジッタによって発生するノイズは、デバイスの熱ノイズに比べて小さくなります。オーバーサンプリングによるジッタ ノイズの低減は、ノイズが広帯域であると想定される無相関のクロック ジッタ ノイズ源に対して有効です。

データ シートの性能を達成するために、クロック信号が低ジッタであり、グリッチが発生していないことを確認します。クロック ジッタが過剰な場合、大きな振幅入力信号の周囲でエネルギーの漏れや表面化の影響が発生する可能性があり、大きな振幅信号の近くで低レベルの信号を検出する能力が損なわれる可能性があります。

一般に、コントローラや ADC に内蔵された RC 発振器には、AC 入力信号の測定に必要なジッタ性能がないため、回避する必要があります。クロック発振器 **LMK6C** と **CDC6C** は、ジッタが非常に小さく、すべての **ADS1x7Lxx** ADC のクロック ジッタ要件を満たしています。

許容されるクロック ジッタ量は入力信号周波数に正比例し、ユーザーがプログラムしたオーバーサンプリング レート (OSR) のルートに反比例します。式 1 と 図 2-3 に、クロック ジッタ SNR<sub>j</sub> の影響を示します。

$$\text{SNR}_j(\text{dB}) = -20 \times \log\left(\frac{2\pi \times f_{\text{IN}} \times T_j}{\sqrt{\text{OSR}}}\right) \quad (1)$$

ここで:

- SNR<sub>j</sub>: クロック ジッタに起因する理論上の SNR 制限 (dB)
- f<sub>IN</sub> = 入力信号周波数 (Hz)
- T<sub>j</sub>: クロックジッタ (s-rms)
- OSR: ADC オーバーサンプリング レート (OSR 値については、表 1-1 の特定の ADC データ シートを参照してください)

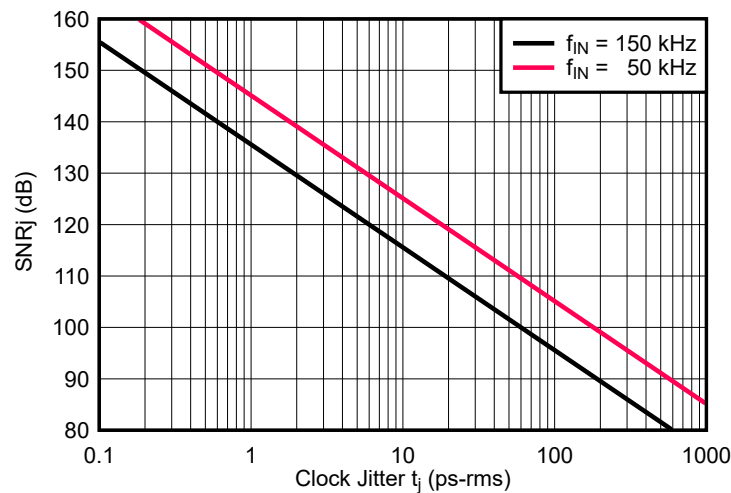


図 2-3.  $SNR_j$  とクロック ジッタとの関係

たとえば、入力信号周波数が 150kHz、OSR = 32 ( $f_{DATA} = 400$ kHz) の場合、 $SNR_j = 116$ dB が得られるように、クロック ジッタは 10ps 未満になります。 $SNR_j$  は ADC の定格 SNR よりも 6dB 大きいと望ましい状態です。

クロック ジッタの相関ノイズ源は、無相関ノイズ源と同等のオーバーサンプリングでは低減されません。シングルチャネル ADS1x7Lxx デバイス内で発生する可能性のある 1 つの相関ノイズ源を低減するには、ADC クロック信号に対する位相コヒーレント周波数でシリアル クロック (SCLK) を動作させます。非位相コヒーレント SCLK と、システムに存在するその他のクロック周波数は、ADC クロック信号と相互変調して、ADC 出力スペクトルに不要な和・差周波数の倍数が生成されます。マルチチャネル ADC でのデータ変換転送はフレーム同期インターフェイスを使用するため、データ転送クロックは常に位相コヒーレントであり、SPI SCLK がアクティブでない場合には、この相関ノイズ源の発生を排除できます。

相関タイプのクロック信号ジッタは、システム内の他の場所で発生し、さまざまなメカニズムを通じて ADC クロック信号に結合することがあります。これらのメカニズムには、近接するスイッチング電源、並列クロックトレース間の容量・誘導結合、あるいは ADC クロック信号と同じバッファ パッケージを介した無関係なクロック信号のルーティングなどによって発生する可能性のある PCB グランド プレーン ノイズが含まれます。シングルチャネル デバイスの場合、SCLK と SDO/ $\overline{DRDY}$  のトレースをできるだけ短くしてクロック信号と引き離し、カップリング結合を低減します。SCLK を連続的に動作させて、変換期間全体にわたって SCLK クロック信号のエネルギーを均等に拡散することもできます。

### 3 同期

内部パワーアップ スレッショルドのプロセスの変動が原因で、複数のデバイス システムの ADC は、最初は ADC が外部同期されるまで同期されません。デバイスの構成を変更した後も同期が必要です。ADS1x7Lxx ADC は、START ピンまたは SPI スタート ビットで同期されます。複数の ADC を同期するときに、ADC 内クロック分周器を使用しないでください。内部クロック分周器を使用する場合、結果として生じる各 ADC の分配クロック信号の位相が異なる可能性があり、ADC 間で複数クロック サイクルが不安定になります。適切に同期させるためには、すべての内部クロック分周器で、デフォルト値の 1 を使用する必要があります。

推奨される同期方法は、各 ADC START ピンと並列にルートされた シングル制御ラインを 1 つ使用することです。START が High にアサートされた後、クロック信号の次の立ち上がりエッジで ADC が同期されます。START のラッチに使用される立ち上がりクロックエッジが不安定にならないように、立ち下がりクロック エッジで START High をアサートします。そうしないと、ADC 間で 1 クロック周期のタイミング誤差が発生する可能性があります。また、同期制御モードを使用する場合は、立ち下がりクロック エッジで常に連続 START 信号を印加します。START 信号の PCB トレース長の不整合の影響は、ADC がクロックトレースの立ち上がりエッジで START 入力をラッチするため、整合クロックトレースほど重要ではありません。これは、クロック周期の不整合として 1/2 未満を想定しているためです。

または、独立した START ラインを各 ADC にルートすると、最大 1 のクロック サイクル分解能で ADC 間のチャネル位相を微調整することもできます。この場合、ADC 間のクロック信号スキューは問題になりません。

システムに達した同期信号がシステム クロックと非同期で、ADC に直接ルートされている場合、同期後に ADC 間に 1 のクロック サイクル不安定性が存在する可能性があります。この場合、外部回路を使用してすべての ADC の SYNC 信号を同期します。同期回路は、クロック信号の立ち下がりエッジで同期信号を解放し、ADC が同じクロック サイクルに同期するようにします。図 3-1 に、SN74AUP2G79 デュアル D タイプ フリップ フロップを使用する同期回路の例を示します。

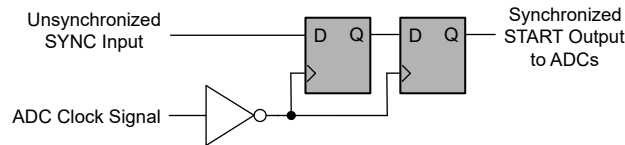


図 3-1. SYNC 信号の同期

同期制御モードを除くすべての制御モードで、SPI により変換も同期できます (詳細については ADS1x7Lxx のデータシートを参照)。SPI 経由で ADC を同期するには、すべての ADC に接続された シングル チップ セレクト ( $\overline{CS}$ ) 信号を使用します。CONTROL レジスタのレジスタ書き込みコマンドをシフトして START ビットを設定します。 $\overline{CS}$  を High にしてフレームを終了すると、ADC はコマンド データで同時に動作し、体系的な同期を実現します。ADC を同じクロック サイクルに同期させるには、SCLK には ADC クロックとの位相整合性が必要であり、クロックの立ち下がりエッジで  $\overline{CS}$  を High にする必要があります。

## 4 アンチエイリアス フィルタの群遅延

ADS1x7Lxx ファミリーで使用されるデジタル フィルタはリニア位相設計で、すべての入力信号周波数成分のシフト時間が同一になります。この挙動から、線形位相の変化が予測可能で不変なものとなり、群遅延が安定します。群遅延が安定すると、加速度の振幅や方向の測定など、マルチチャネル同時サンプリングシステムの信号整合性が維持され、位相誤差が最小限に抑えられます。

一方、外部アナログ アンチエイリアス フィルタ (AAF) を使用すると、信号のパスバンド内に非線形の群遅延を追加することができます。AAF の非線形群遅延は、「異なる周波数成分」が同一チャネル上にある信号、同一の入力周波数が「異なるチャネル」に適用される信号、またはこれら両方に影響を及ぼします。非線形性の量は、フィルタのチューニングと成分のマッチングに依存します。

例として、550kHz の 4 次 AAF 臨界減衰フィルタ アライメント (13mdB ピーク) に対する入力周波数全体での群遅延を [図 4-1](#) に示します。この特定のフィルタにより、10kHz での 0.575 $\mu$ s から 100kHz での 0.590 $\mu$ s への 15ns 群遅延変化が生成されます。この特定の AAF 入力に対する 10kHz と 100kHz の周波数成分がある複素信号を印加すると、これらの周波数に AAF 出力で相互に関連する位相差が生じます。

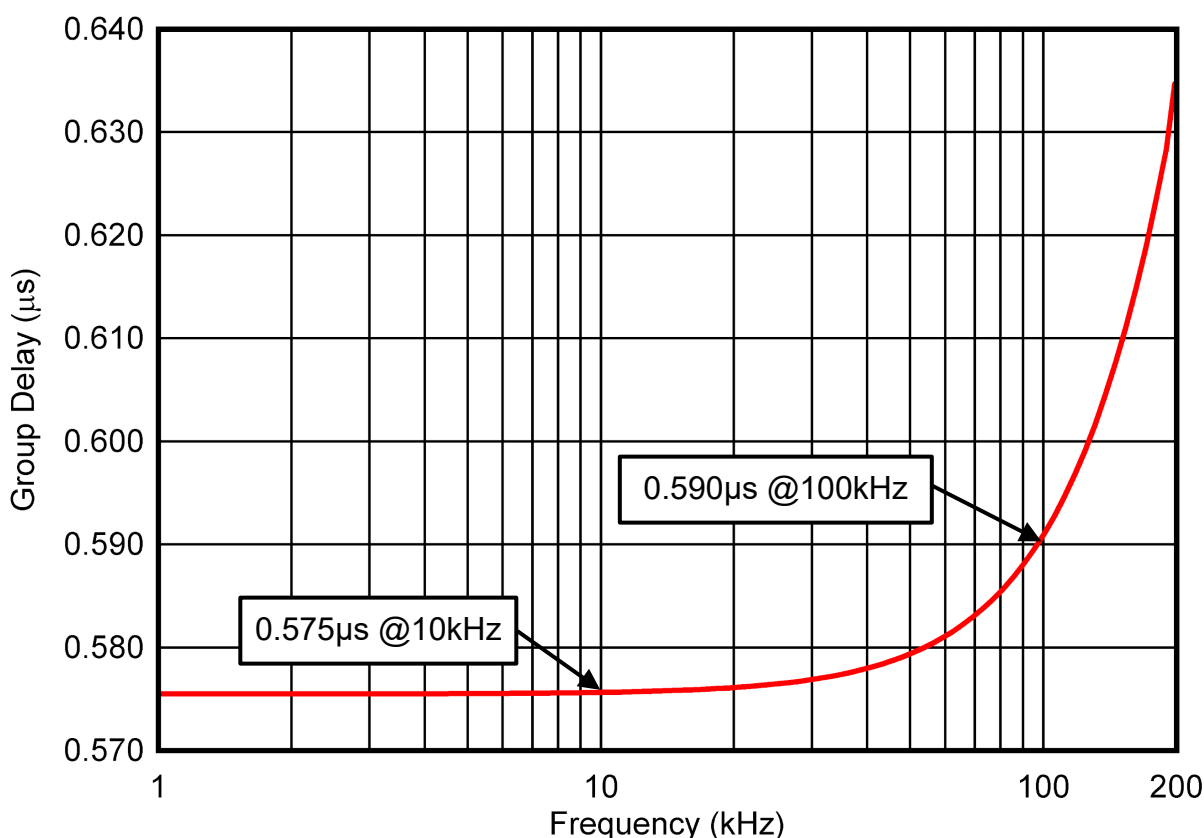


図 4-1. アンチエイリアス フィルタの群遅延

マルチチャネル システムでは、加速度の振幅や方向の測定などの測定精度を維持するために、チャネル間における整合フィルタ応答が重要です。チャネル間で同様の応答を維持するには、高精度の抵抗とコンデンサ値を使用することが重要です。使用しない場合は、異なる入力チャネルの信号が同一になり、振幅、位相、群遅延が異なる可能性があります。最適な結果を得るために、公差 0.1% の抵抗と 1% のコンデンサを使用してください。

さらに、AAF は、チャネル間の成分不整合により、マルチチャネル同時サンプリング システムでさらなる位相誤差を発生させる場合があります。この挙動は、各チャネルによって、周波数成分が複数である複雑な信号が測定される場合でも、周波数成分が単一である単純な信号が測定される場合でも発生します。

各 ADC チャネルの入力において AAF を使用するマルチチャネルシステムの例を [図 4-2](#) に示します。これらのフィルタは、前記の例で使用した AAF とまったく同じ特性を持ち、ADC 入力のコンデンサ以外は同一です。図に示すように、チ

チャンネル 1 のコンデンサ (C05) の推奨容量は 2.2nF で、チャンネル 8 の 2.222nF のコンデンサ (C75) には 1% の許容誤差の変動が含まれています。

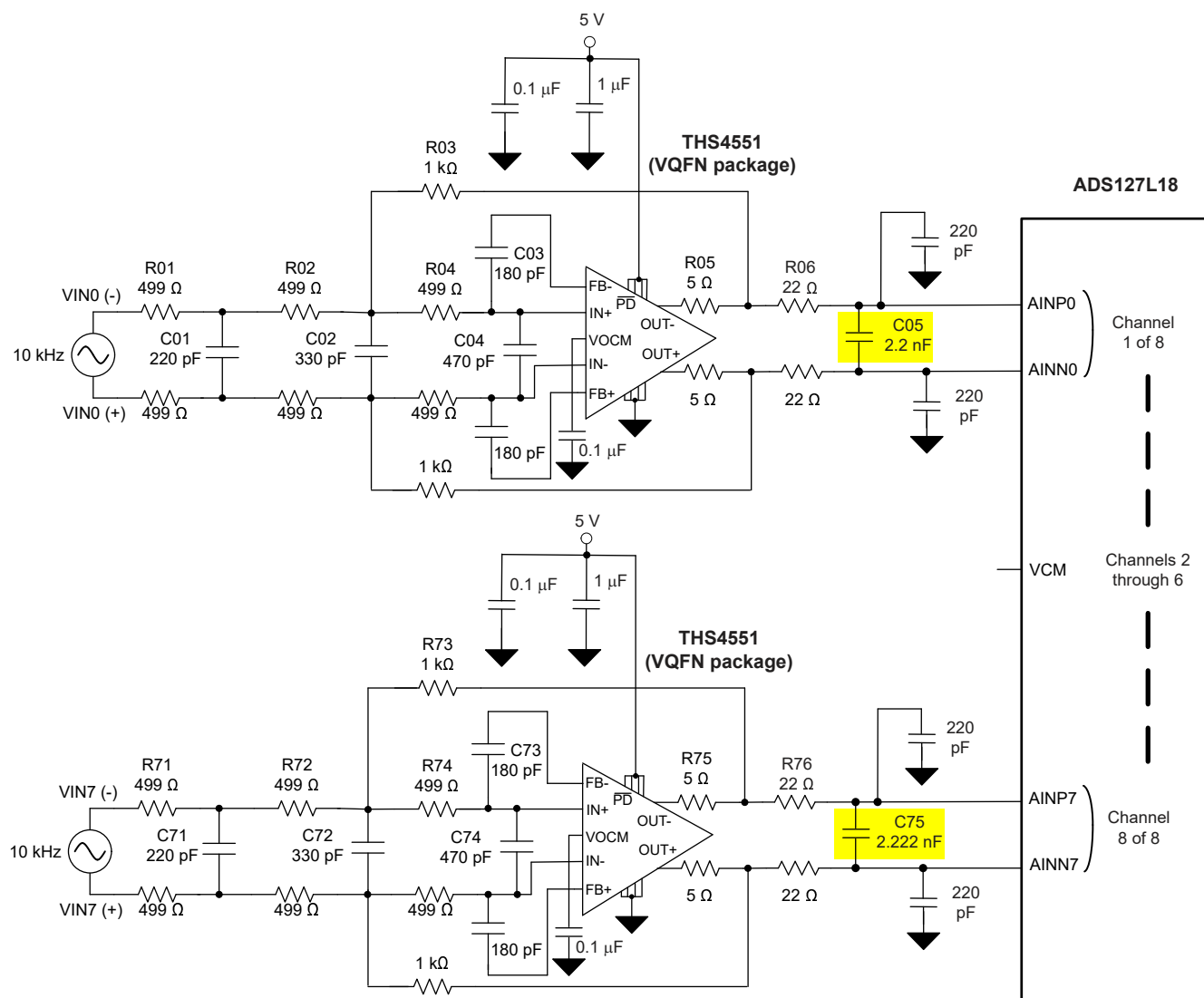


図 4-2. アンチエイリアス フィルタ チャンネル間の許容誤差の変動

図 4-2 に示す 2 つのコンデンサ間の 1% の変動により、10kHz でのチャンネル間群遅延が 0.575 $\mu$ s から 0.576 $\mu$ s まで増加します。抵抗とコンデンサのすべての許容誤差を考慮すると、抵抗 0.1% とコンデンサ 1% を想定した場合、10kHz での群遅延が 0.573 $\mu$ s から 0.578 $\mu$ s まで変動します。そのため、高精度の抵抗とコンデンサの値を使用して、信号振幅、位相、群遅延のチャンネル間の差を最小限に抑えることができます。

## 5 基準電圧

複数の ADC が 1 つの電圧リファレンスを共有でき、データシートの仕様を満たすことができます。電圧リファレンス出力における大きなバルク デカップリング コンデンサに加えて、ADC の REFP ピンと REFN ピンにローカル デカップリング コンデンサを使用します。テキサス・インスツルメンツでは、電圧リファレンスの負荷を低減するために、ADS1x7Lxx 内部 REFP バッファをイネーブルにすることを推奨しています。

REFP と REFN は、入力信号ルートと同じように慎重に、差動ペアとしてルート配線します。電圧リファレンス グランド ピンから始まる 40mil (1mm) 以上の PCB トレースを、不干渉グランド タイを使用して REFN ピンにルート配線します。REFN トレースにグランド タイを使用するとリファレンス信号でグランド ノイズ ピックアップが発生する可能性があります。図 5-1 に、ADC での REFP と REFN のルーティングとリファレンス入力ピンのバイパス処理の例を示します。

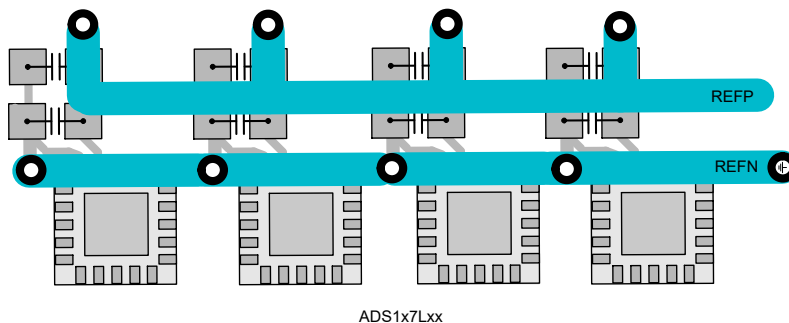


図 5-1. リファレンス電圧のルーティング

## 6 電源のバイパシングとグラウンディング

複数の ADC を使用するシステムで最高の性能を得るために、電源バイパス処理およびグラウンド プレーン関連推奨事項は、シングル ADC システム向けと同じものに様の、に従ってください。電源バイパス処理に関する推奨事項については、ADS1x7Lxx デバイス ファミリのデータシートを参照してください。マルチチャネル システムの ADC 用のアナログ グラウンドとデジタル グラウンドがある切れ目のない専用グラウンド プレーン層を使用すると、ほとんどの場合においてで最良の結果が得られます。ソリッド ランド プレーンを使用したレイアウト例を 図 6-1 に示します。

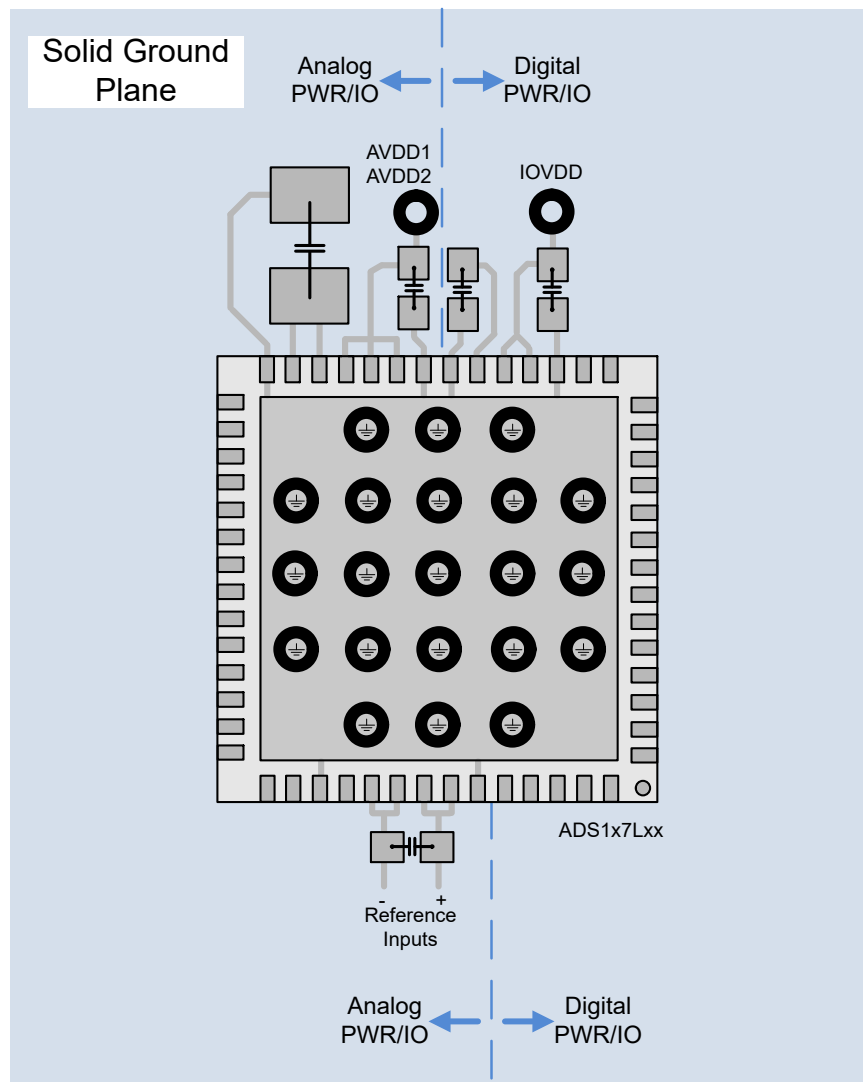


図 6-1. ADS1x7Lxx 基板レイアウトの例

## 7 SPI デイジーチェーン接続

複数の ADC を使用する場合の課題の 1 つは、ADC とホストコントローラの間でデジタル信号ルーティングが複雑になることです。ADS1x7Lxx ファミリーには、デジタル信号接続を効率化するためのデイジーチェーン オプションがあります。シングルチャネル ADC は、データと構成の両方に SPI を使用します。マルチチャネル ADC は、構成のみに SPI を、変換データにはフレーム同期ポートを使用します。以下のセクションでは、SPI ポートのみのデイジーチェーンについて説明します。フレーム同期デイジーチェーンについては、後述の「[フレーム同期デイジーチェーン構成のシステム要件](#)」で説明します。

デイジーチェーン オプションは、1 つの ADC の SPI データ出力を、チェーン内の次の ADC の SPI データ入力に接続するというものです。これらの接続により、個々の ADC シフトレジスタが 1 つの長さのシフトレジスタに実質的にリンクします。SPI の観点からは、ホストコントローラがシングル仮想デバイスとして、連鎖デバイスと連結されます。図 7-1 に、個別の ADC シフトレジスタがデイジーチェーン接続を通じてシングルシフトレジスタをエミュレートする方法を示します。

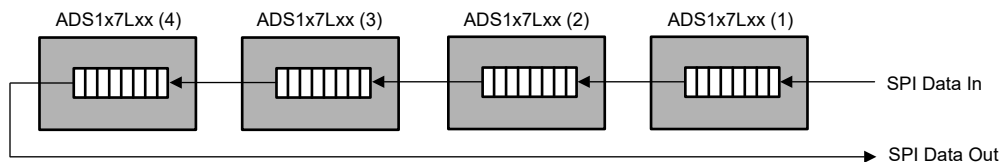


図 7-1. デイジーチェーンの概念

デイジーチェーン接続により、チェーン内で接続されている ADC の数に関係なく、ホストコントローラにつながる SPI ラインの数は 4 つに維持されます。これに対し、標準的な SPI カスケード接続では、4 つの ADC と連結させる SPI ラインが 7 つ必要です。

図 7-2 と 図 7-3 はそれぞれ、標準的な SPI カスケード接続とデイジーチェーン接続に必要な SPI 信号です。標準的な SPI カスケード接続またはデイジーチェーン接続のいずれを使用する場合でも、追加の制御ラインが必要になる可能性があります。追加の制御ラインは多くの場合、ADC 同期 (START)、ADC リセット (RESET)、および、シングルチャネル ADC の場合はデータレディ出力 (DRDY) に使用されます。

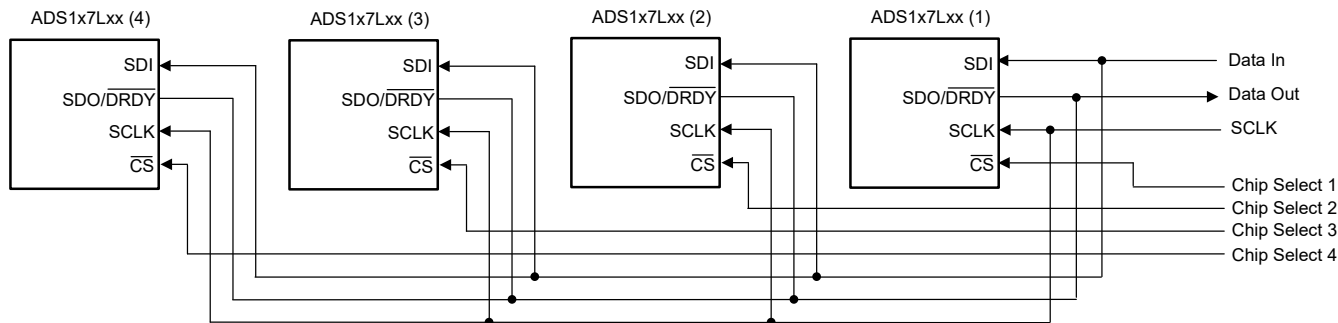


図 7-2. 標準 SPI カスケード接続

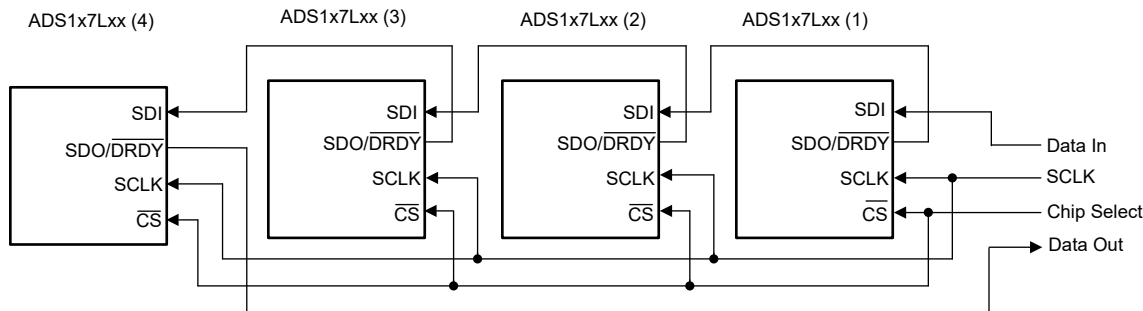


図 7-3. デイジーチェーン SPI 接続

## 7.1 SPI デイジーチェーン通信

ADS1x7Lxx ファミリのデイジーチェーン動作では、特別なプログラミングは不要です。ユーザーがホスト コントローラを構成して、チェーンに接続されているすべての ADC からデータにアクセスするのに必要な長さにデータ フレームを拡張します。新しいデータ フレーム長は、チェーン内のデバイス数に ADC のフレームあたりのビット数を掛けた値に一致するように設定されます。たとえば、24b ADC データ パケットを使用するチェーン内の 4 つのデバイスについては、コントローラのフレーム長を 96 ビットに設定する必要があります。

デイジーチェーンにデータをシフトするとき、データの最初のブロックは、チェーン接続内の最後のデバイス (図 7-3 の ADC 4) をターゲットにします。ADC は、 $\overline{CS}$  が High になったとき、それぞれのシフトレジスタのデータのみを解釈します。つまり、データが各 ADC を通過する際のシフト動作の量が無制限であるということです。重要なのは各 ADC の最後のビットのみになります。図 7-4 は、24b 出力データ サイズと一致させるための各 ADC の 24b 入力データ パケットの例です。デイジーチェーン入力コマンド形式の詳細については、ADS1x7Lxx ファミリのデータシートを参照してください。

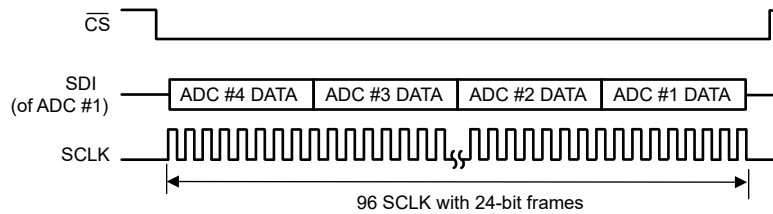


図 7-4. SPI デイジーチェーンデータ入力シーケンス

ADC からデータを読み取る際、 $\overline{SDO/DRDY}$  の最初のデータ出力は、チェーン内の最後のデバイス (図 7-3 の ADC 4) からのもので、その後にチェーン内の次のデバイスのデータ (ADC 3) が続く、というようになります (図 7-5 を参照)。デバイス間のデータ ストリームに中断やギャップはありません。たとえば、ADC が 24b の SPI データ パケットにプログラムされている場合は、96 回のシフト動作を実行して 4 つのデバイスからデータを読み取ります。

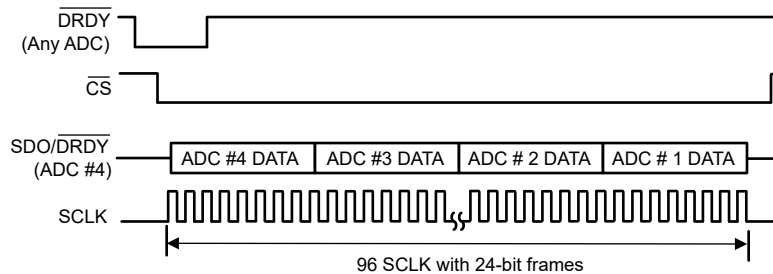
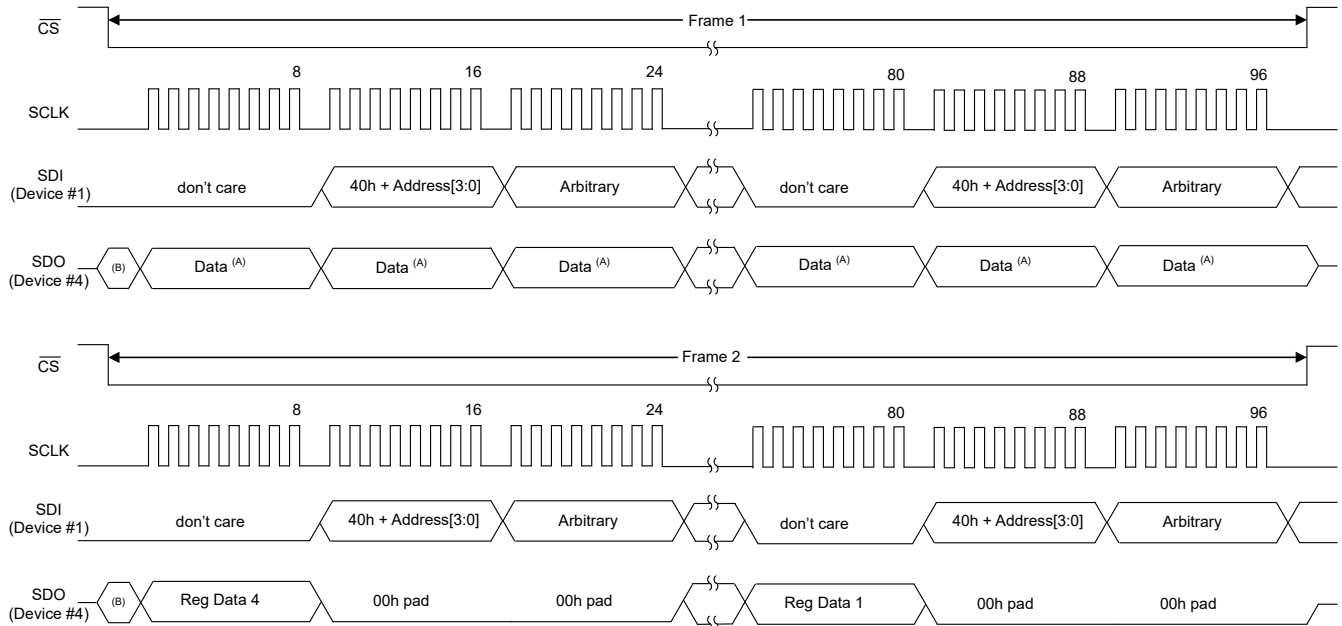


図 7-5. SPI デイジーチェーンデータ出力シーケンス

レジスタ データの読み取りにはフレームが 2 つ必要です。最初のフレームは、図 7-4 に示す汎用フォーマットでレジスタ 読み取りコマンドを入力します。2 番目のフレームは、図 7-5 に示す一般的なフォーマットでレジスタ データを出力します。最初のレジスタ出力データはデバイス #4 からのもので、レジスタ データ バイトの後に 2 つの追加バイトが挿入されています。これらの追加バイトは、24b データ サイズに等しくなるように個々の ADC フレームを埋めます。レジスタ データ数は合計で 4 バイト (各 ADC から 1 バイトずつ) ですが、すべての ADC からレジスタ データを読み取るには 96 回のシフト動作が必要です。追加バイトは、00h パッド バイト、または特定の ADC と構成に応じた値になります。返されたデータの正確な内容については、ADS1x7Lxx のデータシートを参照してください。図 7-6 は、4 つの ADC デイジーチェーン読み取りレジスタ データの例で、各 ADC のフレーム サイズは 24b です。



- A. 前の動作に応じて、データフィールドは変換データまたはレジスタのデータに 2 つの 00h のパディング バイトを加えたものです。  
B. 最初の SCLK より前の SDO/ $\overline{\text{DRDY}}$  の以前の状態。

図 7-6. デイジー チェーン読み取りレジスタ データ

## 7.2 SPI デイジーチェーン構成のシステム要件

ADC をデイジーチェーン内で構成する場合、いくつかの要件があります。

- 4 線式 SPI モードと 1 つの  $\overline{\text{CS}}$  制御ラインを使用して、チェーン内の ADC の選択と選択解除を同時に実行できます。
- シングルチャネル デバイスの場合、SDO/ $\overline{\text{DRDY}}$  ピンはデータ出力専用モードでプログラムする必要があります。SDO/ $\overline{\text{DRDY}}$  デュアル機能モードをデイジーチェーン動作で使用しないでください。
  - ADS117L11 および ADS127L11 の ADC は、リセット後にデフォルトでデータ出力専用モードになるため、レジスタ設定を追加変更することなくデイジーチェーン構成で使用できます。
  - ADS127L21 と ADS127L21B は、リセット後のデフォルトでデュアル SDO/ $\overline{\text{DRDY}}$  モードになり、FILTER3 レジスタの DATA\_MODE フィールドに 00b を書き込むことで、データ出力専用モードに再構成する必要があります。その後の手順については、図 7-3 を参照してください。
    - まず、レジスタ書き込みフレームを使用して、ADC1 SDO/ $\overline{\text{DRDY}}$  をデータ出力専用モードにプログラムします。
    - ADC1 が正しくプログラムされると、次のレジスタ書き込みフレームで ADC2 をプログラムすることができます。
    - デイジーチェーン内のすべての ADC がデータ出力専用モードにプログラムされるまで、この手順を続けます。
    - デイジーチェーン内の各 ADC には、個別のレジスタ書き込みフレーム、または 4 つの ADC に対して 4 つのレジスタ書き込みフレームが必要であることに注意してください。
- ADC とのインターフェイスの複雑さを軽減するため、パラレル書き込み動作を使用して ADC を同じデータパケット長にプログラムします。個別のデータパケットは、シングルチャネルデバイスの場合は 16、24 32、40 ビット、マルチチャネルデバイスの場合は 16 または 24 ビットとしてプログラムできます。
- SDI-SDO 接続と IOVDD の間にプルアップ抵抗を取り付けます。これらの抵抗は、 $\overline{\text{CS}}$  トライステートが SDO であるため、いかなる状況でも SDI 入力のフローティングを防止します。

### 7.3 シングルチャネル ADC の SPI デイジーチェーン接続のデバイス数

以下のセクションは、シングルチャネル デバイスにのみ適用されます。マルチチャネル デバイスについては、[フレーム同期デイジーチェーン接続のチャンネル数](#) を参照してください。

チェーン内に接続されるシングルチャネル デバイスの最大数は、SPI クロック速度、ADC データフレーム長、および ADC データレートによって制限されます。つまり、1 回の変換サイクルですべてのデバイスからデータを読み取るには、SPI クロック速度を十分に高くする必要があります。そうしないとデータが失われます。このモードでは、データも順番に読み取られるため、標準 SPI カスケード接続を使用する場合にもしてもこの要件は当てはまります。

シングルチャネルの ADS1x7Lxx デバイスは、最大 50MHz の SCLK 速度をサポートしています。ただし、50MHz 動作を実現するには、非標準 SPI タイミング構成が必要で、同じクロック エッジでデータのクロックアウトとクロックインが行われます。この非標準 SPI タイミング構成は、デイジーチェーン モードではサポートされていません。標準の反対側エッジのクロックアウトおよびクロックイン SPI 動作を使用し、SPI の伝搬遅延とセットアップ時間を考慮すると、SCLK の速度はデイジーチェーン構成で約 16.5MHz に制限されます。IOVDD を 2V 以上で動作させると (シングルチャネル ADC でのみ可能)、伝搬遅延時間が短縮され、最大 SCLK 速度は約 20MHz に上がります。

式 2 は、シングル デイジーチェーンで接続される ADC の数が、SCLK 周波数、データレート、および各 ADC のフレームあたりのビット数で決まることを示しています。

$$\text{Maximum number of devices in a daisy - chain connection} = \left\lfloor \frac{f_{\text{SCLK}}}{f_{\text{DATA}} \times \text{bits per frame}} \right\rfloor \quad (2)$$

たとえば、 $f_{\text{SCLK}} = 20\text{MHz}$ 、 $f_{\text{DATA}} = 100\text{kSPS}$  で、ADC がフレームあたり 24 ビットを出力する場合、シングル デイジーチェーン内のデバイス数は、 $20\text{MHz} / (100\text{kHz} \times 24) = 8$  のフロアに制限されます。

式 2 に従って、デバイスの最大数が目的よりも小さい場合は、分離したデータ出力ライン (SDO/DRDY) がある別のデイジーチェーンを使用することで、デバイスの数を増やすことができます。2 本のデータ出力ラインにより、2 つのデイジーチェーンからの並列出力データシフト動作が可能です。 $\overline{\text{CS}}$  ライン、DIN ライン、SCLK ラインはデイジーチェーン間での共有が可能です、これにより SPI ラインの数を最小限に抑えることができます。図 7-7 にこの構成を示します。

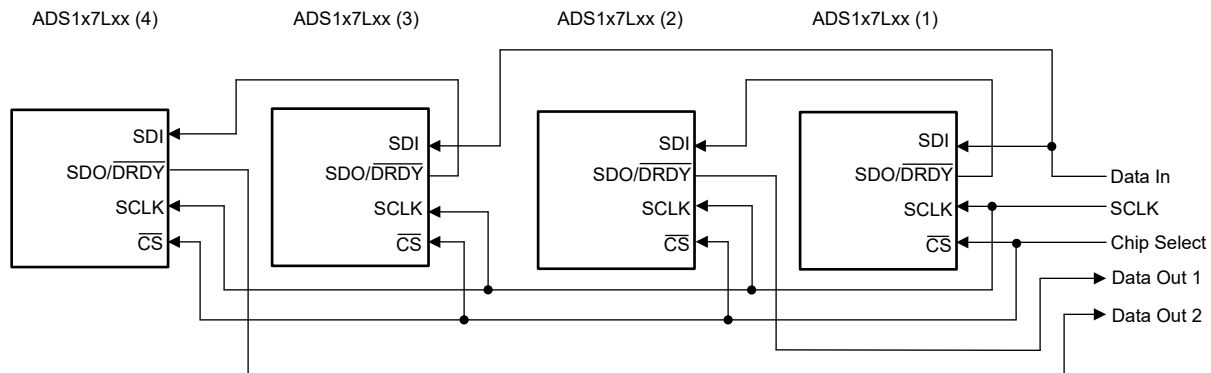


図 7-7. 2 つの並列出力を使用したデイジーチェーン SPI 接続

## 8 シングルチャネル ADC 用の並列の SPI SDO または DRDY 接続

以下のセクションは、シングルチャネル デバイスにのみ適用されます。マルチチャネル デバイスについては、[マルチチャネル ADC 向けのフレーム同期デジタイゼーション接続](#)を参照してください。

複数の ADC が 1MSPS などの高いデータレートでサンプリングされるシステムでは、従来の SPI カスケード接続 (図 7-2) とデジタイゼーション接続 (図 7-3) のいずれの構成でも シングル SPI ポートを使用するため、必要なデータスループットを実現できません。この場合、各 SDO/DRDY ピンをホストコントローラと並列に接続します。接続数を減らすため、残りの信号では各 ADC に対して共通の  $\overline{CS}$ 、SCLK、SDI 信号を使用できます。SDO/DRDY の並列接続の主な欠点は、システム内の各 ADC に個別の SPI ポートが必要になることです。

ホストへの 4 つの SDO 接続を使用する 4 つの ADC の 1 例を図 8-1 に示します。この例では、すべての ADC のデバイス構成が同一になるように、シングル単一の  $\overline{CS}$ 、SCLK、SDI 制御ラインを使用しています。または、ADC による独立した入力通信を可能にするために、個別の  $\overline{CS}$  制御ラインを使用します。

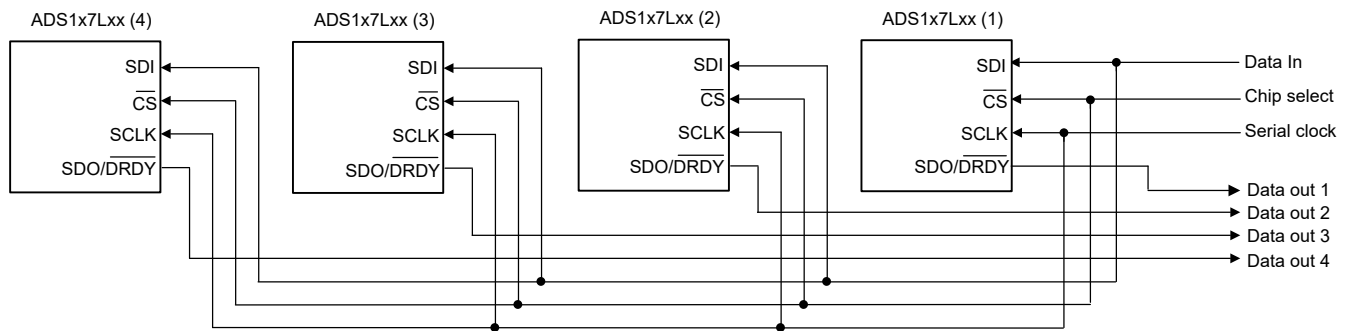


図 8-1. 並列 SDO/DRDY 接続

## 9 シングルチャネル ADC で新しい変換データが利用可能になるタイミングの見極め

新しい ADC データの準備が完了したかどうかは、以下のいくつかの方法で判断できます。

1.  $\overline{\text{DRDY}}$  信号を監視します。
2. ADC クロックをカウントします。
3. STATUS バイトの DRDY ビットをポーリング監視します。

セクション 7.2 で説明したように、 $\text{SDO}/\overline{\text{DRDY}}$  信号は、デジチェーン構成で接続すると、データレディ監視には使用できません。

ADC を同期した後、選択したいいずれかの ADC から 1 つの  $\overline{\text{DRDY}}$  出力信号を監視するだけで十分です。場合によっては、すべての  $\overline{\text{DRDY}}$  出力を監視して、ADC が同期されていることを確認できます。たとえば、ADC 間で意図的な位相オフセットが使用されている場合、ユーザーはデバイス間の位相を確認するために各  $\overline{\text{DRDY}}$  ピンを監視する必要があります。このような状況では、各 ADC からの  $\overline{\text{DRDY}}$  出力を監視します。

または、同期後にクロック サイクルをカウントし、変換データを読み取るタイミングを予測します。デジタル フィルタは同期時に再起動されるため、最初の変換結果の生成には追加の時間が必要です。最初の変換結果の正味の遅延時間は、表 1-1 の該当する ADC データシートでレイテンシ時間として指定されています。

変換データの準備完了状態は、STATUS バイトをポーリングするソフトウェアによって見極めることもできます。DRDY ビットが High にアサートされると、変換データは新規 (または準備完了) になります。レジスタ読み取りコマンドを使用して STATUS バイトを読み取るか、STATUS バイトがイネーブルのときに変換データを連続的に読み取り、DRDY ビットをポーリングします。DRDY ビットが設定されている場合、前回の変換データの読み取り以降、データは新規状態です。これらの方法のどちらを使用する場合でも、SPI フレームの追加やフレーム サイズの拡大により、サポート可能な最大データレートを低下させるする必要があります。

## 10 マルチチャンネル ADC 向けのフレーム同期デジタイゼーション接続

ADS1x7Lxx マルチチャンネル ADC は、変換結果のために専用のフレーム同期データポートを使用します。このポートは SPI ポートとは別物です。SPI ポートはレジスタ構成データの読み取りと書き込みにのみ使用します。ただし、フレーム同期データポートは、SPI と同様にデジタイゼーション構成で接続することもできます。

ADS1x7Lxx マルチチャンネル ファミリのフレーム同期データポートは、ADC でデータクロック (DCLK) とワードクロック (FSYNC) の両方が生成されるように、コントローラモードで動作します。さらに、ADC はデジタイゼーション構成において、1 つ、2 つ、または 4 つのデータレーン (DOUT0、DOUT1、DOUT2、DOUT3) でデータを提供できます。4 つのデータレーンすべてを使用するとスループットが向上しますが、この方法には、ADC へのより物理的な接続が必要となるといった代償が伴います。

フレーム同期デジタイゼーションモードを使用するには、DP\_CFG1 レジスタの DP\_DAISY ビットをデフォルト値でもある 0b に設定する必要があります。この構成 (1 つ、2 つ、または 4 つのデータレーン) では、DINx データが元のチャンネルデータにシフトされて追加されます。詳細については、ADS1x7Lxx データシートを参照してください。

フレーム同期デジタイゼーションは、SPI デジタイゼーションと同様に、個々の ADC シフトレジスタをより長さの長いレジスタに実質的にリンクさせます。図 10-1、図 10-2、図 10-3 に、1 つ、2 つ、および 4 つのデータレーンのこれらの構成オプションをそれぞれ示します。

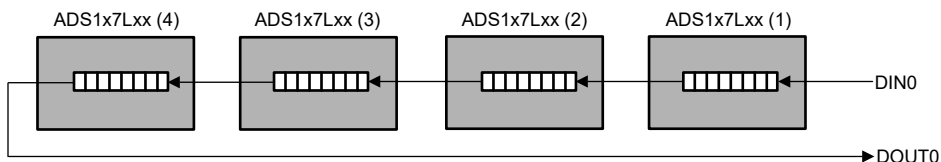


図 10-1. 1 レーンのフレーム同期デジタイゼーションの概念

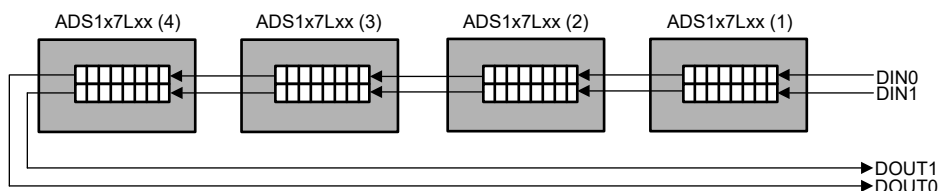


図 10-2. 2 レーンのフレーム同期デジタイゼーションの概念

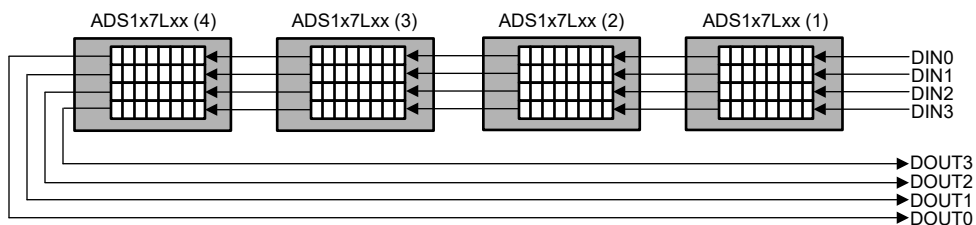


図 10-3. 4 レーンのフレーム同期デジタイゼーションの概念

デジタイゼーション接続を使用すると、ホストコントローラに必要な IO ピンの数が減り、基板の配線が簡素化されます。デジタイゼーションフレーム同期信号には、1 つの DCLK ライン、1 つの FSYNC ライン、1、2、または 4 つの DOUT ラインが含まれます。フレーム同期信号に加えて、適切な同期のために共通の CLK 信号と START 信号が必要です。特にハードウェアプログラミングモードを使用する場合は、追加のハードウェアラインも使用できます。

図 10-4、図 10-5、図 10-6 に、それぞれ 1 レーン構成、2 レーン構成、4 レーン構成のフレーム同期デジタイゼーション接続を示します。すべての ADC がデジタイゼーション用に同期され、すべての FSYNC 信号と DCLK 信号において周波数と位相が同じであるため、フレーム同期レシーバに必要な接続は FSYNC 接続 1 つと DCLK 接続 1 つのみであることに注意してください。

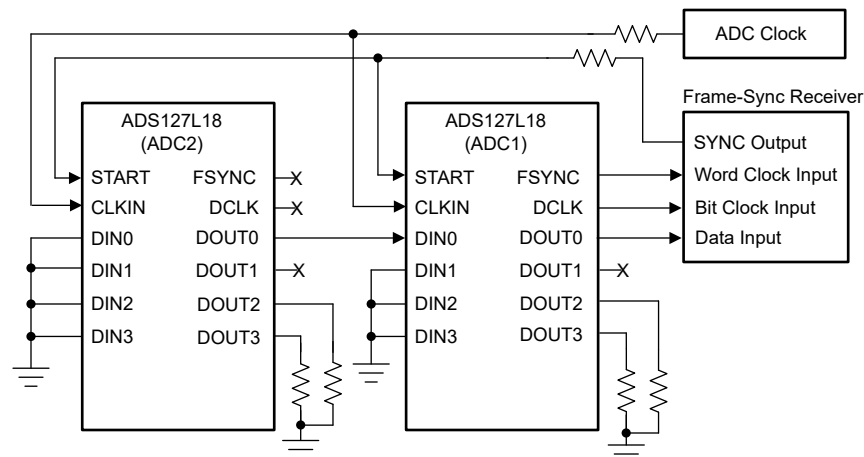


図 10-4. フレーム同期デジチェーン 1 レーン

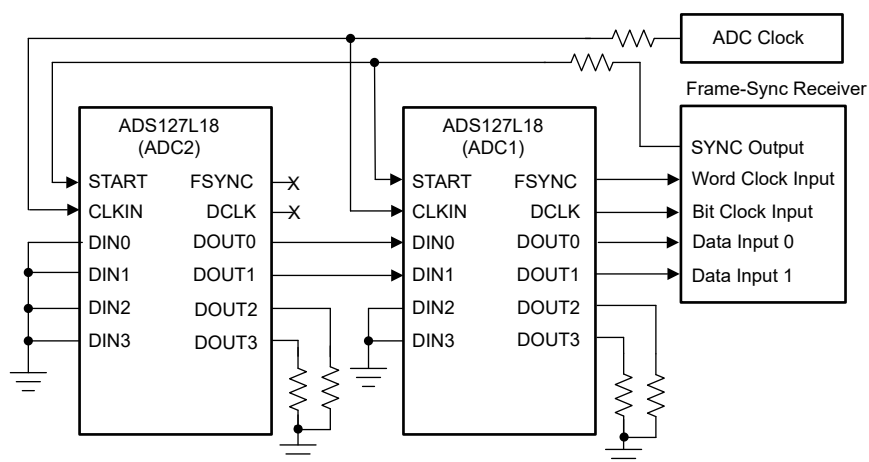


図 10-5. フレーム同期デジチェーン 2 レーン

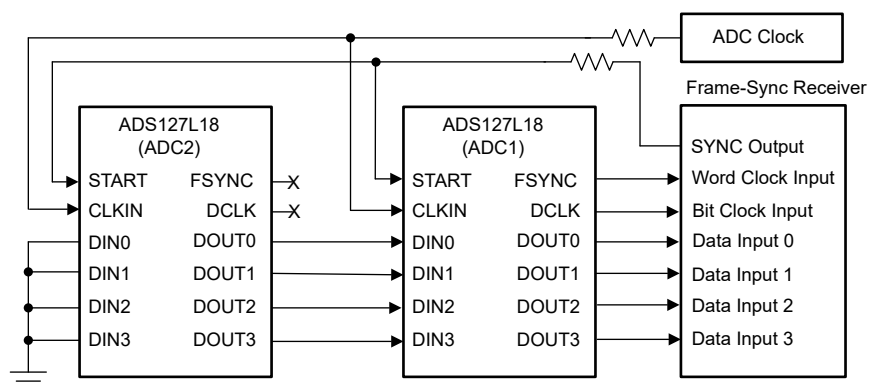


図 10-6. フレーム同期デジチェーン 4 レーン

DP\_CFG1 レジスタの DP\_TDM[1:0] フィールドに書き込むことで、目的のデータレーン数を選択します。図 10-4 に示されている示 1 のデータレーン構成の標準的な ADS1x7L18 データ転送を図 10-7 に示します。これらの構成とその結果として得られるデータ出力シーケンスの詳細については、ADS1x7Lxx ファミリのデータシートを参照してください。

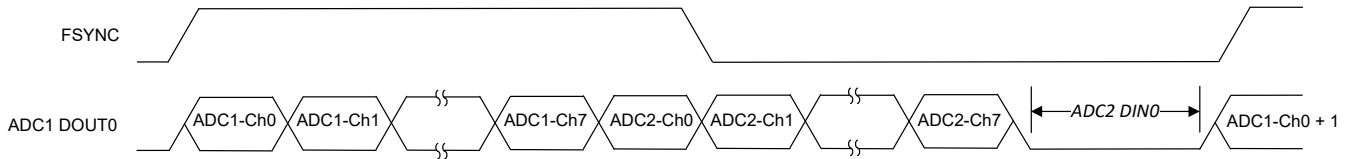


図 10-7. 1 レーンのデジタイゼーション データ

## 10.1 フレーム同期デジタイゼーション構成のシステム要件

マルチチャネル ADC をデジタイゼーションで構成する場合は、いくつかの要件があります。これらは、デバイス ADS117L14、ADS117L18、ADS127L14、ADS127L18 に固有の要件です。以下の手順に沿って指定されていないレジスタ設定はすべて、デフォルトのリセット値になります。

レジスタ構成の設定:

1. **DP\_DAISSY = 0b** (DP\_CFG1 レジスタ)。(SPI とハードウェア プログラミング モードのデフォルト設定)
2. **CLK 分周器と DCLK 分周器は、1 単位での分周オプションにプログラムする必要があります。CLK\_DIV[2:0] = 000b** (CLK\_CFG レジスタ)、**DCLK\_DIV[1:0] = 00b** (DP\_CFG2 レジスタ)。(SPI とハードウェア プログラミング モードのデフォルト設定)
3. **CLK\_SEL = 1b** (CLK\_CFG レジスタ) に設定します。フレーム同期デジタイゼーションの動作には、外部クロック動作が必要です。ハードウェア プログラミング モードでは、デフォルトで外部クロックが使用されます。SPI プログラミング では、デフォルトで内部クロックが使用されるため、ユーザーは **CLK\_SEL** ビットを **1** に設定する必要があります。
4. **DP\_TDM[1:0]** (TDM モードまたはデータ レーン数) は、チェーン内のすべてのデバイスに対して同一にプログラムされます。
5. 同時書き込み動作により各デバイスを同じフレーム長でプログラムすることで、ADC への接続の複雑さを軽減できます。(すべてのデバイスについて、個別のフレーム長を 16 ビット、24 ビット、32 ビット、または 40 ビットにプログラムします)

ハードウェア構成の設定:

1. **START** ピンを使用してこれらのデバイスを同時に同期します。
2. **START** ピンの立ち上がりエッジは、データ シートのタイミング要件セクションで指定されている **CLK** に関連するセットアップとホールドのタイミング要件を満たす必要があります。これらが満たされていない場合、フレーム同期デジタイゼーション データが破損します。
3. 未使用の **DOUT2** ピンと **DOUT3** ピンには **100kΩ** プルダウン抵抗を使用します。**DOUT1** は、未使用の場合はフローティングのままにします。未使用の **DIN** ピンは **GND** または **IOVDD** に接続します。
4. マルチチャネル ADC のデジタル信号はすべて、**1.8V** のロジックレベルのみをサポートします。これらのデバイスは、電圧が **2.2V** を超えると損傷します。

SPI プログラミング モードを使用したデジタイゼーション構成の 2 つのマルチチャネル ADC の例を 図 10-8 に示します。この構成は、2 つ以上のマルチチャネル ADC を含めるためにさらに拡張できます。



## 10.2 フレーム同期デジタイゼーション接続のチャネル数

フレーム同期デジタイゼーション構成でサポートされる最大チャネル数は、ADC データ パケット サイズ、DOUT データ レーン数、ADC オーバーサンプリング レート (OSR) の設定によって制限されます。データ パケット サイズは、変換データ サイズ (16b または 24b)、および、オプションの STATUS バイトと CRC バイトによって決まります。結果として、パケット サイズは 16b、24b、32b、または 40b になります。

フレーム同期デジタイゼーション構成のシステム要件 で説明したように、CLK 分周器と DCLK 分周器を 1 設定単位でプログラムします。その結果、データ クロック (DCLK) 周波数は ADC クロック (CLK) 周波数と等しくなります。

システム要件に応じて、特定のデータ レート、ノイズ レベル、消費電力レベルを満たすように OSR 設定を選択します。データ レートは、クロック (CLK) 周波数と OSR 設定に依存し、式 3 に従って計算できます。

$$\text{Data rate} = \frac{\text{clock frequency}}{2 \times \text{OSR}} \quad (3)$$

詳細については、ADS1x7Lxx データ シートのフィルタ ノイズ表を参照してください。OSR とデータ パケット サイズが決まったら、式 4 に従って最大チャネル数を計算できます。

$$\text{Maximum number channels} = \text{data lanes} \times \left\lfloor \frac{2 \times \text{OSR}}{\text{data packet}} \right\rfloor \quad (4)$$

ここで:

- データ レーン: データ レーン数、有効な値 (1、2、または 4) のみ
- OSR: オーバー サンプリング率については、ADS1x7Lxx データ シートのフィルタ ノイズ表を参照してください
- データ パケット: データ パケットのビット数 (16、24、32、または 40 ビット)。

次の例では、ユーザーは最低ノイズでデータ レート 50kSPS に対応にしなければならないと仮定します。この場合、OSR = 256、および  $f_{\text{CLK}} = f_{\text{DCLK}} = 25.6\text{MHz}$  の高速度モードで動作すると、ユーザー要件が満たされます。ユーザーは 24b データも必要であり、STATUS バイトを含める予定です。総データ パケット サイズは 32 ビットです。また、開発ユーザーは、単一のデータ レーンを使用することで、システム コントローラ (マイコン (MCU) または FPGA) への接続数を最小限に抑えたいと考えています。式 5 を使用すると、サポートされる最大チャネル数が次の値 (または合計 16 チャネル) と等しくなります:

$$1 \times \lfloor (2 \times 256 / 32) \rfloor \quad (5)$$

ユーザーが 8 チャネルの ADS127L18 を選択したと仮定すると、2 つの ADS127L18 ADC をデジタイゼーションで接続でき、合計チャネル数は 16 になります。

## 11 まとめ

データ アクイジション システムは一般的に、複数の ADC を同時に動作させる必要があります。これらのマルチデバイス システムを設計する上で、クロック信号、同期、および電圧リファレンスに関して特別に考慮する必要があります。クロック信号は低ジッタで、推奨されるベスト プラクティスを用いて ADC にルートする必要があります。これらのガイドラインに従うことで、クロック ジッタ ノイズを最小限に抑え、他のクロック信号からの干渉を低減できます。クロック信号の立ち下がりエッジで **START** ピンを **High** にアサートし、電源投入後と ADC 構成の変更後に ADC を同期することが重要です。リファレンス電圧グラウンドは、リファレンス電圧グラウンド端子の 1 点で接続する必要があります。ADC のデイジーチェーン接続は、SPI I/O 接続の数や、ADC とホスト コントローラとの間のフレーム同期 I/O 接続を簡素化するために効果的です。並列 **SDO/DRDY** 接続は、出力データを並列にクロックできるため、シングルチャネル ADC のデータ スループットを向上させます。フレーム同期マルチチャネル ADC 用の並列 **DOUT** 接続も、出力データを並列にクロックする機能により、データ スループットを向上させます。

## 12 参考資料

1. テキサス インスツルメンツ、『[ADS117L11 400kSPS、広帯域幅、16 ビット、デルタ シグマ ADC](#)』データシート
2. テキサス・インスツルメンツ、『[ADS127L21 512kSPS、プログラマブル フィルタ、24 ビット、広帯域幅のデルタ-シグマ ADC](#)』データシート
3. テキサス インスツルメンツ、『[ADS127L21B 512kSPS、高精度、24 ビット、広帯域幅デルタ シグマ ADC](#)』データシート
4. テキサス インスツルメンツ、『[ADS117L1x 512kSPS、クワッドおよびオクタル、同時サンプリング、16 ビット  \$\Delta\Sigma\$  ADC](#)』データシート
5. テキサス インスツルメンツ、『[ADS127L1x 512kSPS、クワッドおよびオクタル、同時サンプリング、24 ビット ADC](#)』データシート
6. テキサス インスツルメンツ、『[ADS127L11 400kSPS、広帯域幅、24 ビット、デルタ シグマ ADC](#) データシート』

## 13 改訂履歴

Changes from Revision * (July 2021) to Revision A (December 2025)	Page
• マルチチャネル ADC を含めるよう更新.....	2
• デイジーチェーン アプリケーションにフレーム同期データ ポートを追加.....	2
• アプリケーション ノート全体でフォーマットを更新.....	2
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	2
• 文書のタイトルを更新.....	2
• 新しい参照を追加し、既存の参照を訂正。.....	23

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月