

*Application Note***ADS124S08 を使用した EMC 準拠の高精度温度測定 (RTD / 热電対) システムの設計**

Dale Li

概要

このアプリケーション ノートでは、産業用の環境向けに、電磁両立性 (EMC) を最適化した測温抵抗体 (RTD) と熱電対 (TC) 測定システムを設計するための実践的なガイドラインを提供しています。このアプリケーション ノートでは、2 層および 4 層基板の効果的な回路設計やプリント基板 (PCB) レイアウト手法など、設計者が標準の EMC テストに合格するのに役立つ重要な設計面について詳細に説明します。さらに、このアプリケーション ノートでは、テスト設定の検討事項と IEC 61000-4-x 標準 EMC テストの結果の解釈について説明しており、信頼性の高い産業用温度測定ソリューションの開発に役立ちます。

目次

1 回路設計およびテストシステム	2
1.1 設計の概要.....	2
1.2 RTD 測定用 EMC テスト基板の概要.....	4
1.3 TC 測定用 EMC テスト基板の概要.....	11
1.4 EMC 準拠の回路設計上の検討事項.....	16
1.5 EMC 準拠のための PCB レイアウトの検討事項.....	22
1.6 テストシステム.....	29
2 テストの詳細と結果	31
2.1 規格とテスト基準.....	31
2.2 静電気放電 (ESD).....	32
2.3 放射耐性 (RI).....	35
2.4 電気的高速過渡現象 (EFT).....	38
2.5 サージ耐性 (SI).....	41
2.6 伝導耐性 (CI).....	44
3 回路図、PCB レイアウト、部品表	47
3.1 回路図 - RTD EMC テスト基板.....	47
3.2 回路図 - TC EMC テスト基板.....	50
3.3 PCB レイアウト - RTD EMC テスト基板 (4 層).....	53
3.4 PCB レイアウト - RTD EMC テスト基板 (2 層).....	55
3.5 PCB レイアウト - TC EMC テスト基板 (4 層).....	56
3.6 PCB レイアウト - TC EMC テスト基板 (2 層).....	58
3.7 部品表 - RTD EMC テスト基板.....	59
3.8 部品表 - TC EMC テスト基板.....	60
4 まとめ	63
5 参考資料	64

1 回路設計およびテスト システム

このセクションでは、RTD および TC を基にした温度測定システムを設計するための入力構成、温度誤差の計算と測定、回路と PCB レイアウトの設計、最適化について説明します。

1.1 設計の概要

多くの産業用システムでは、プログラマブル ロジックコントローラ (PLC) の温度トランシッタ、温度コントローラ、温度センシング入力モジュールなどの正確な温度測定が必要です。多くの産業用アプリケーションでは、電磁干渉 (EMI)、過電圧、その他の干渉信号からも保護された高精度の RTD および TC 測定が必要です。このアプリケーション ノートでは、温度測定システム用に設計された 2 種類の EMC テスト基板について説明します。1 つはすべての RTD 配線構成をサポートしているもので、もう 1 つはさまざまなバイアス手法で TC を測定できるものです。各タイプの回路には、4 層と 2 層の基板があります。[表 1-1](#) に、各基板でサポートされている機能と特長を示します。

表 1-1. 基板設計の概要

RTD	PCB 基板の層	Support PT100/PT1000 のサポート	2/3/4 線式 RTD のサポート	ローサイドとハイサイドのリフアレンス デザインのサポート	1 個または 2 個の IDAC のサポート
基板 1	4	あり	あり	あり	あり
基板 2	2	あり	あり	あり	あり
TC	PCB 基板の層	プルアップおよびプルダウン抵抗のバイアス	負極端子への抵抗バイアス	センサのバイアス用 VBIAS	プルアップ抵抗での REFOUT バイアス
基板 3	4	あり	あり	あり	あり
基板 4	2	あり	あり	あり	あり

[表 1-1](#) の各基板では、低消費電力と多くの統合機能を提供する高精度 24 ビット デルタシグマ ($\Delta\Sigma$) A/D コンバータ (ADC) である ADS124S08 が使用され、小信号センサを測定するアプリケーションにおけるシステムコストと部品点数を削減します。この ADC は、低ノイズのプログラマブル ゲインアンプ (PGA) を搭載しており、抵抗性ブリッジ、RTD、熱電対アプリケーション用に低レベルの信号を增幅します。さらに、2 つのプログラマブル電流源 (IDAC) により、RTD アプリケーションで簡単かつ正確に電流を励起できます。最後に、入力マルチプレクサは最大 12 個の入力信号をサポートしており、ADS124S08 に任意の組み合わせで接続できるため、設計の柔軟性が向上します。

[表 1-1](#) のすべての基板には、外部絶縁型電源とデジタル アイソレータも搭載されています。このデジタル アイソレータは、ADC シリアル ペリフェラル インターフェイス (SPI) と、ADS124S08 からの変換データを監視する高精度ホスト インターフェイス (PHI) コントローラ カードの間にガルバニック絶縁を提供します。この PCB は、過酷な電磁環境で動作するシステムの IEC 61000-4-x 規格に適合するように設計されています。

[表 1-1](#) に、すべての EMC テスト基板が、4 層および 2 層 PCB 設計以外の同じ回路および特性を持つことを示します。RTD 基板 1 と基板 2 は回路図は同じですが、層数が異なります。TC 基板 3 と基板 4 は回路図は同じですが、層数が異なります。詳細については、[セクション 3](#) を参照してください。

本書では、説明を簡略化するため、以降は 2 つの異なる設計例を使用して、温度測定システムの動作と操作を説明します。

- RTD 温度測定: ローサイドおよびハイサイドの電圧リフアレンス構成の 3 線式 RTD を使用した基板 1。
- TC 温度測定: VBIAS および REFOUT バイアス構成の基板 3。

該当する場合、各セクションで基板 1 または基板 3 と、[表 1-1](#) で説明されている他の基板との違いについて詳しく説明しています。

図 1-1 に ADS124S08 RTD EMC テスト基板 1 を示します。

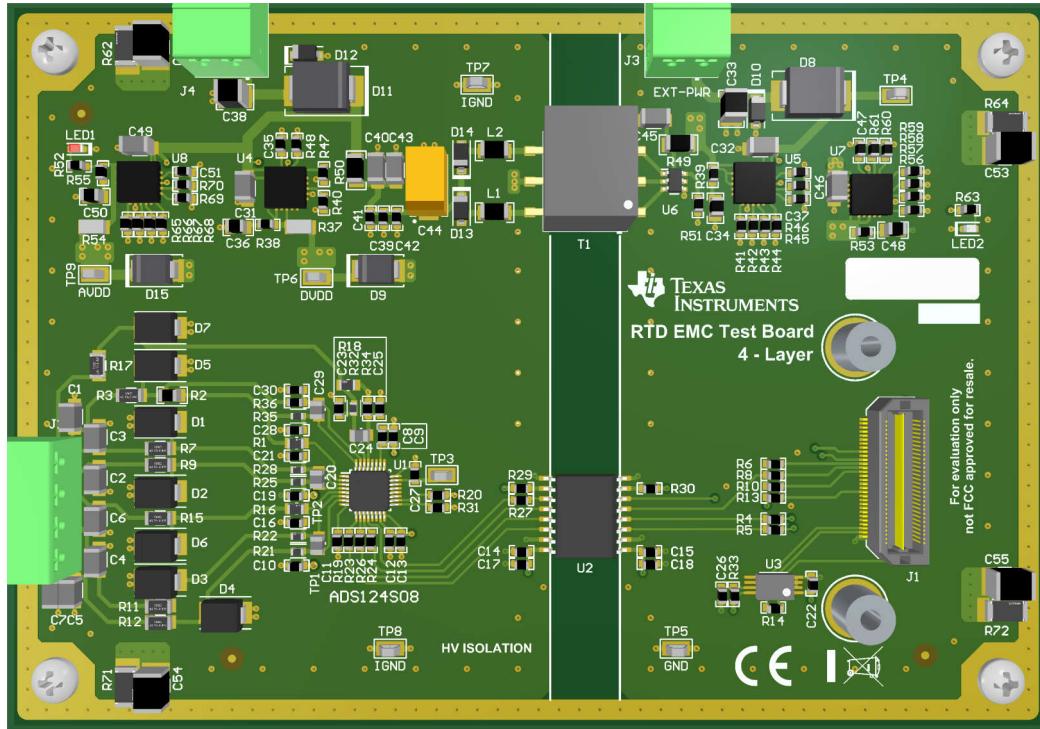


図 1-1. ADS124S08 搭載 RTD EMC テスト基板 (4 層)

図 1-2 に、ADS124S08 TC EMC テスト基板 3 を示します。

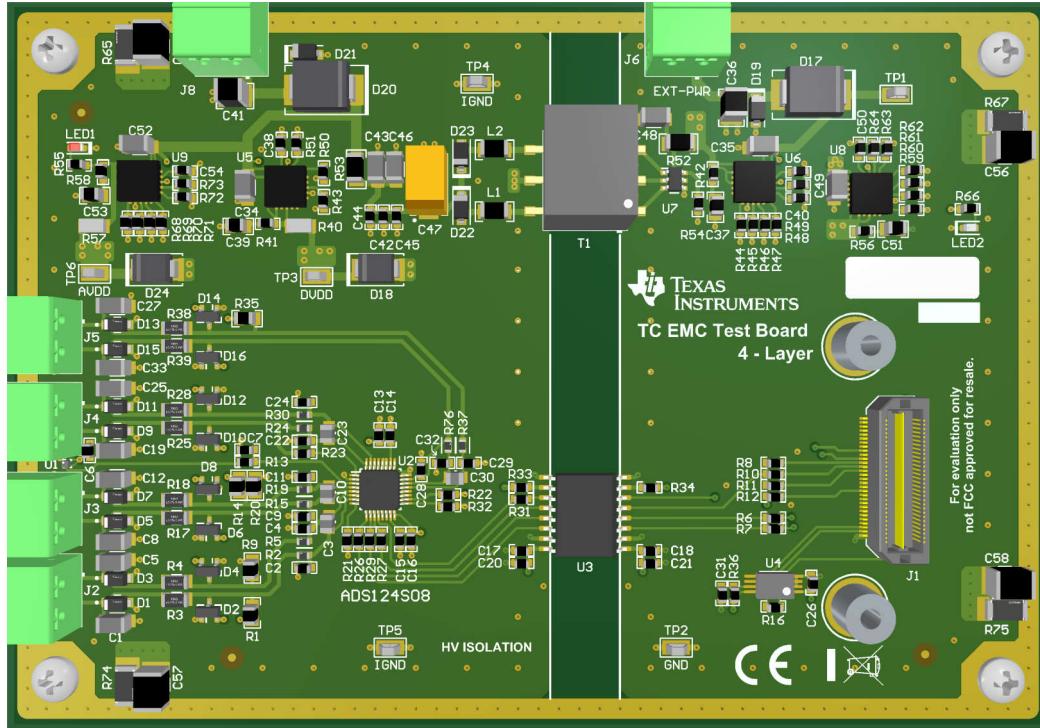


図 1-2. ADS124S08 搭載 TC EMC テスト基板 (4 層)

1.2 RTD 測定用 EMC テスト基板の概要

このセクションでは、RTD EMC テスト基板の入力構成について説明し、実際に測定された温度誤差のパフォーマンス結果を示します。

- 入力構成と ADC の設定
- 温度誤差 - RTD 測定

1.2.1 入力構成と ADC の設定

このセクションでは、ローサイドおよびハイサイドのリファレンス構成による 3 線式 RTD 測定用の RTD EMC テスト基板の入力接続と構成について説明します。

- ローサイドリファレンスを使用した 3 線式 RTD 測定の構成と設定
- ハイサイドリファレンスを使用した 3 線式 RTD 測定の構成と設定

1.2.1.1 ローサイドリファレンスを使用した 3 線式 RTD 測定の構成と設定

図 1-3 に、EMC テスト基板で使用するローサイドリファレンス構成を採用した 3 線式 RTD 測定システムを示します。特性がそろった 2 つの IDAC 電流源を使用して、導線抵抗を相殺します。ADS124S08 は、EMC テスト基板上の AIN4 と AIN3 の各アナログ入力チャネルを使用して RTD 電圧を測定します。

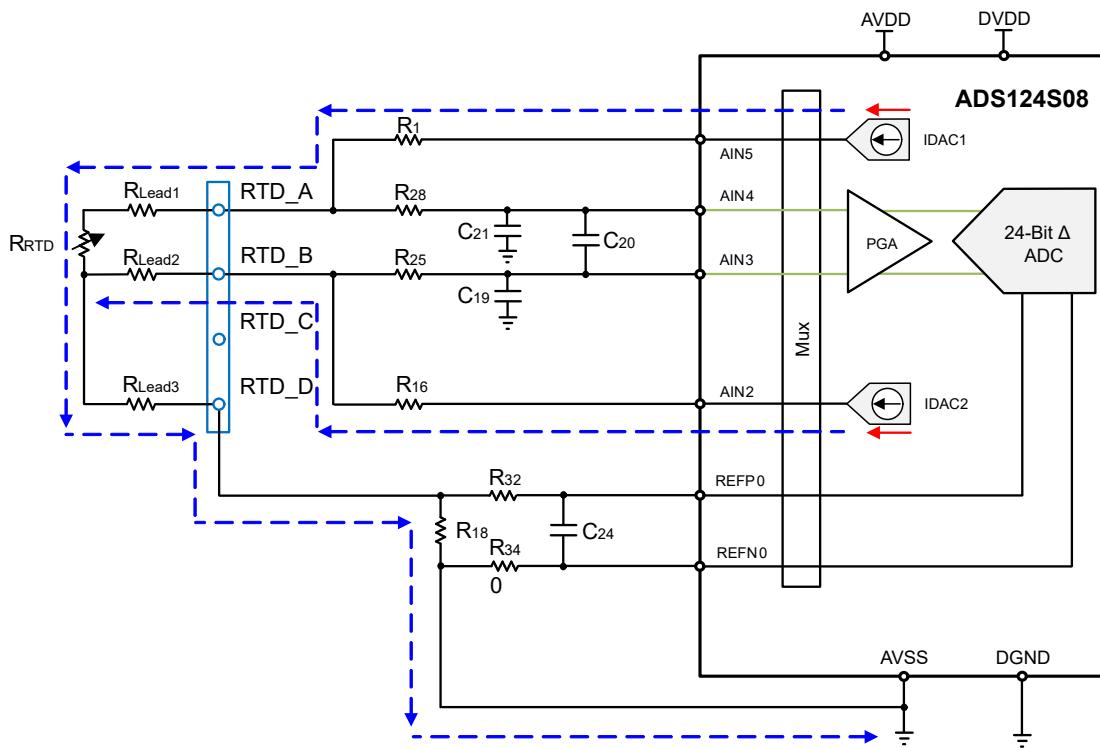


図 1-3. 3 線式 RTD、ローサイドリファレンス測定回路

ADS124S08 は、図 1-3 に示す回路を測定するため、以下の設定でプログラムされています。

- 4kSPS のデータレート
- Sinc3 デジタル フィルタ
- AIN4/AIN3 アナログ入力
- IDAC1=IDAC2=250uA
- AIN5 では IDAC1、AIN2 では IDAC2
- REFPO/REFNO の外部電圧リファレンス
- 正のリファレンス バッファがイネーブル

式 1 から式 7 は、ローサイドリファレンスを使用した RTD 測定で ADS124S08 のダイナミック レンジを最大化するには、ゲイン 8 が必要であることを計算しています。

$$R1=3.4k\Omega, R2=0\Omega \quad (1)$$

$$R_{RTD_{min}} \approx 18.5\Omega \text{ at } -200^\circ\text{C (PT100)} \quad (2)$$

$$V_{RTD_max} = I_{IDAC} \times R_{RTD_min} = 250\mu\text{A} \times 18.5\Omega = 0.004625\text{V} \quad (3)$$

$$V_{ADC_min} = \text{Gain} \times V_{RTD_min} = 8 \times 0.004625\text{V} = 0.037\text{V} \quad (4)$$

$$R_{RTD_{max}} \approx 390\Omega \text{ at } +850^\circ\text{C (PT100)} \quad (5)$$

$$V_{RTD_max} = I_{IDAC} \times R_{RTD_max} = 250\mu\text{A} \times 390\Omega = 0.0975\text{V} \quad (6)$$

$$V_{ADC_max} = \text{Gain} \times V_{RTD_max} = 8 \times 0.0975\text{V} = 0.78\text{V} \quad (7)$$

式 8 は、指定された IDAC 電流が高精度 $2.2\text{k}\Omega$ リファレンス抵抗 ($R18$) を流れることで発生する ADS124S08 のリファレンス電圧を計算しています。

$$V_{REF} = 2 \times I_{IDAC} \times R_{REF} = 2 \times 250\mu\text{A} \times 2.2\text{k}\Omega = 1.1\text{V} \quad (8)$$

式 9 と式 10 は、10 進形式の変換コードから RTD 抵抗 (R_{RTD}) を計算する方法を示しています。

$$\text{CODE} = \frac{V_{RTD} \times \text{Gain} \times 2^{N-1}}{V_{REF}} = \frac{I_{IDAC} \times R_{RTD}(\Omega) \times \text{Gain} \times 2^{N-1}}{2 \times I_{IDAC} \times R_{REF}} = \frac{R_{RTD}(\Omega) \times \text{Gain} \times 2^{N-2}}{R_{REF}} \quad (9)$$

$$R_{RTD} = \frac{\text{CODE} \times R_{REF}}{\text{Gain} \times 2^{N-2}} \quad (10)$$

ここで：

- CODE は、ADS124S08 から取得された変換コードです。
- R_{REF} は外部リファレンス抵抗です。
- N は ADC の分解能です。ここでは、ADS124S08 の場合は $N = 24$ です。
- Gain は ADS124S08 PGA ゲインの値です。

1.2.1.2 ハイサイド リファレンスを使用した 3 線式 RTD 測定の構成と設定

図 1-4 に、EMC テスト基板で使用するハイサイド リファレンス構成を採用した 3 線式 RTD 測定システムを示します。特性がそろった 2 つの IDAC 電流源を使用して、導線抵抗を相殺します。ADS124S08 は、EMC テスト基板上の AIN4 と AIN3 の各アナログ入力チャネルを使用して RTD 電圧を測定します。

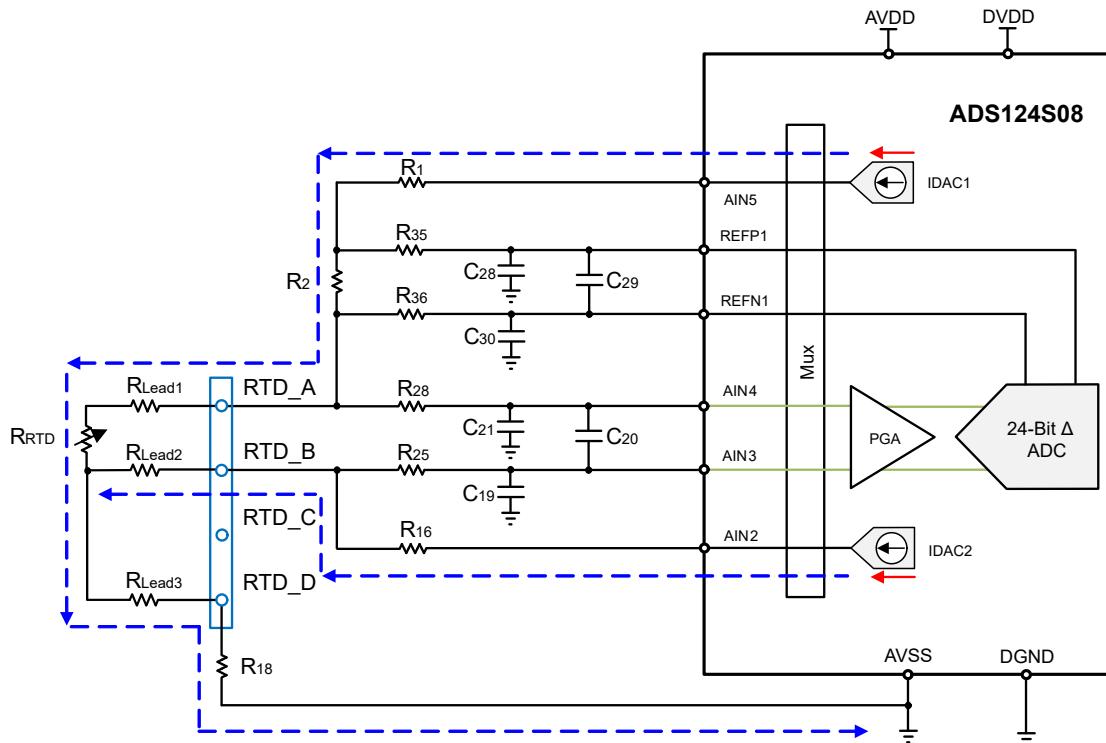


図 1-4. 3 線式 RTD、ハイサイド リファレンス測定回路

ADS124S08 は、図 1-4 に示す回路を測定するため、以下の設定でプログラムされています。

- 4kSPS のデータレート
- Sinc3 デジタル フィルタ
- AIN4/AIN3 アナログ入力
- IDAC1=IDAC2=250μA
- AIN5 では IDAC1、AIN2 では IDAC2
- REFP1/REFN1 の外部電圧リファレンス
- 正と負の両方のリファレンス バッファがイネーブル

式 11 から式 17 は、ハイサイド リファレンスを使用した RTD 測定で ADS124S08 のダイナミック レンジを最大化するには、ゲイン 4 が必要であることを計算しています。

$$R1=0\Omega, R18=400\Omega \text{ (bias resistor)} \quad (11)$$

$$R_{RTD_{min}} \approx 18.5\Omega \text{ at } -200^{\circ}\text{C} \text{ (PT100)} \quad (12)$$

$$V_{RTD_{min}} = I_{IDAC} \times R_{RTD_{min}} = 250\mu\text{A} \times 18.5\Omega = 0.004625\text{V} \quad (13)$$

$$V_{ADC_{min}} = \text{Gain} \times V_{RTD_{min}} = 4 \times 0.004625\text{V} = 0.0185\text{V} \quad (14)$$

$$R_{RTD_{max}} \approx 390\Omega \text{ at } +850^{\circ}\text{C} \text{ (PT100)} \quad (15)$$

$$V_{RTD_{max}} = I_{IDAC} \times R_{RTD_{max}} = 250\mu\text{A} \times 390\Omega = 0.0975\text{V} \quad (16)$$

$$V_{ADC_{max}} = \text{Gain} \times V_{RTD_{max}} = 4 \times 0.0975\text{V} = 0.39\text{V} \quad (17)$$

式 18 は、指定された IDAC 電流が高精度 $2.2\text{k}\Omega$ リファレンス抵抗 (R_2) を流れることで発生する ADS124S08 のリファレンス電圧を計算しています。

$$V_{\text{REF}} = I_{\text{IDAC}} \times R_{\text{REF}} = 250\mu\text{A} \times 2.2\text{k}\Omega = 0.55\text{V} \quad (18)$$

式 19 と式 20 は、変換コード (CODE) から RTD 抵抗 (R_{RTD}) を計算する方法を示しています。

$$\text{CODE} = \frac{V_{\text{RTD}} \times \text{Gain} \times 2^{N-1}}{V_{\text{REF}}} = \frac{I_{\text{IDAC}} \times R_{\text{RTD}}(\Omega) \times \text{Gain} \times 2^{N-1}}{I_{\text{IDAC}} \times R_{\text{REF}}} = \frac{R_{\text{RTD}}(\Omega) \times \text{Gain} \times 2^{N-1}}{R_{\text{REF}}} \quad (19)$$

$$R_{\text{RTD}} = \frac{\text{CODE} \times R_{\text{REF}}}{\text{Gain} \times 2^{N-1}} \quad (20)$$

ここで：

- CODE は、ADS124S08 から取得された変換コードです。
- R_{REF} は外部リファレンス抵抗です。
- N は ADC の分解能です。ここでは、ADS124S08 の場合は $N = 24$ です。
- Gain は ADS124S08 PGA ゲインの値です。

また、両方の設計で ADS124S08 IDAC コンプライアンス電圧を満たすように抵抗値、IDAC 電流、ゲイン設定が選択されています。

1.2.2 温度誤差 - RTD 測定

このセクションでは、ADS124S08 の出力データ温度誤差の計算方法と、RTD EMC テスト基板のパフォーマンス結果について説明します。

- RTD 抵抗から RTD 温度を計算する
- RTD 測定から温度誤差を計算する
- 実験の設定と結果

1.2.2.1 RTD 抵抗から RTD 温度を計算する

RTD では、Calendar-Van Dusen の式を使用して、RTD の抵抗値と測定温度の関係を記述します。次の 2 つの異なる温度範囲について、異なる式が必要です。

式 21 は、RTD 抵抗と 0°C ~ 850°C の範囲における温度との関係を示しています。

$$R_{\text{RTD}}(T) = R_0 \times (1 + A \times T + B \times T^2) \quad (21)$$

式 22 の二次方程式を解いて、抵抗値から温度を計算します。

$$T_{\text{RTD}}(^{\circ}\text{C}) = \frac{-A \pm \sqrt{A^2 - 4 \times B \times \left(1 - \frac{R_{\text{RTD}}(T)}{R_0}\right)}}{2 \times B} \quad (22)$$

ここで：

- $R_{\text{RTD}}(T)$ = 温度 (T) での抵抗。
- $R_0 = 0^{\circ}\text{C}$ での抵抗 (PT100 RTD の場合、 $R_0 = 100\Omega$)。
- T = 摂氏温度 ($^{\circ}\text{C}$)。

式 22 の A、B、C は Calendar-Van Dusen 定数として知られており、IEC 60751 および ASTME1137 規格に準拠した白金 RTD の実験的に決定されたパラメータに由来します。

$$A = 3.908310^{-3} \quad (23)$$

$$B = -5.77510^{-7} \quad (24)$$

$$C = -4.18310^{-12} \quad (25)$$

式 26 は、RTD 抵抗と $-200^{\circ}\text{C} \sim 0^{\circ}\text{C}$ の範囲における温度との関係を示しています。

$$R_{\text{RTD}}(T) = R_0 \times [1 + A \times T + B \times T^2 + C \times (T-100) \times T^3] \quad (26)$$

抵抗値から温度を計算するには、複素計算を伴うこの二次方程式の逆数を決定する必要があります。代わりに、式 27 に示す最適な 5 次多項式を高精度の近似値として使用します。

$$\begin{aligned} T_{\text{RTD}}(^{\circ}\text{C}) = & -242.02 + 2.2228 \times R_{\text{RTD}} + (2.585910^{-3}) \times R_{\text{RTD}}^2 - (4.82610^{-6}) \times R_{\text{RTD}}^3 \\ & - (2.818310^{-8}) \times R_{\text{RTD}}^4 + (1.524310^{-10}) \times R_{\text{RTD}}^5 \end{aligned} \quad (27)$$

1.2.2.2 RTD 測定から温度誤差を計算する

このセクションでは、ADS124S08 出力データから RTD 温度誤差を計算する手順について説明します。

1. 式 10 または式 20 を使用して、変換コードから RTD 抵抗 (R_{RTD}) を計算します。
2. 式 22 または式 27 を使用して、 R_{RTD} を RTD 温度 (T_{RTD}) に変換します。
3. Keysight Technologies 3458A デジタルマルチメータ (または同等品) を使用して RTD 抵抗値 (R_{MEAS}) を測定します。
4. 式 22 または式 27 を使用して R_{MEAS} を温度 (T_{MEAS}) に変換します。 T_{MEAS} は、 R_{MEAS} に相当する温度です。
5. 式 28 を使って測定された温度誤差を計算します。

$$T_{\text{ERROR}}(^{\circ}\text{C}) = T_{\text{MEAS}} - T_{\text{RTD}} \quad (28)$$

1.2.2.3 実験の設定と結果

RTD の性能テストでは、高精度測定を維持し、テストを簡素化するため、実際の PT100 センサではなく高精度の抵抗を使用して温度変化をシミュレートしています。入力信号は、抵抗からの誤差を除去するために、Keysight Technologies 3458A デジタルマルチメータで較正されています。図 1-5 に、ローサイドまたはハイサイドリファレンス構成で使用できる RTD EMC テスト基板回路を示します。

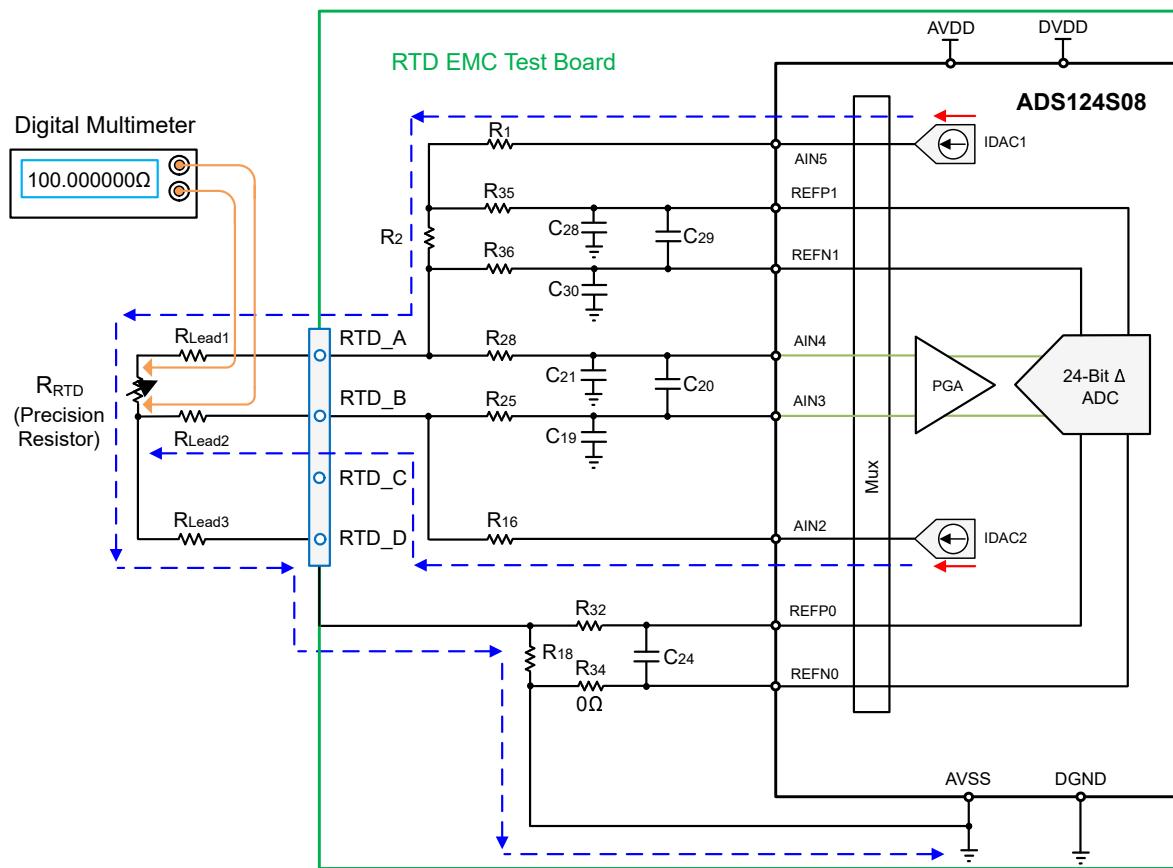


図 1-5. EMC テスト基板上のローサイドおよびハイサイド RTD 測定回路

図 1-6 は、ローサイドリファレンス構成で測定された未較正温度誤差を青色、較正済み温度誤差を赤色で示しています。このプロットでは、室温で動作し、3 線式 RTD を測定する 4 層 RTD EMC テスト基板から収集したデータを使用しています。グラフの x 軸は、ADS124S08 に印加した測定抵抗から変換された RTD 温度を示しています。

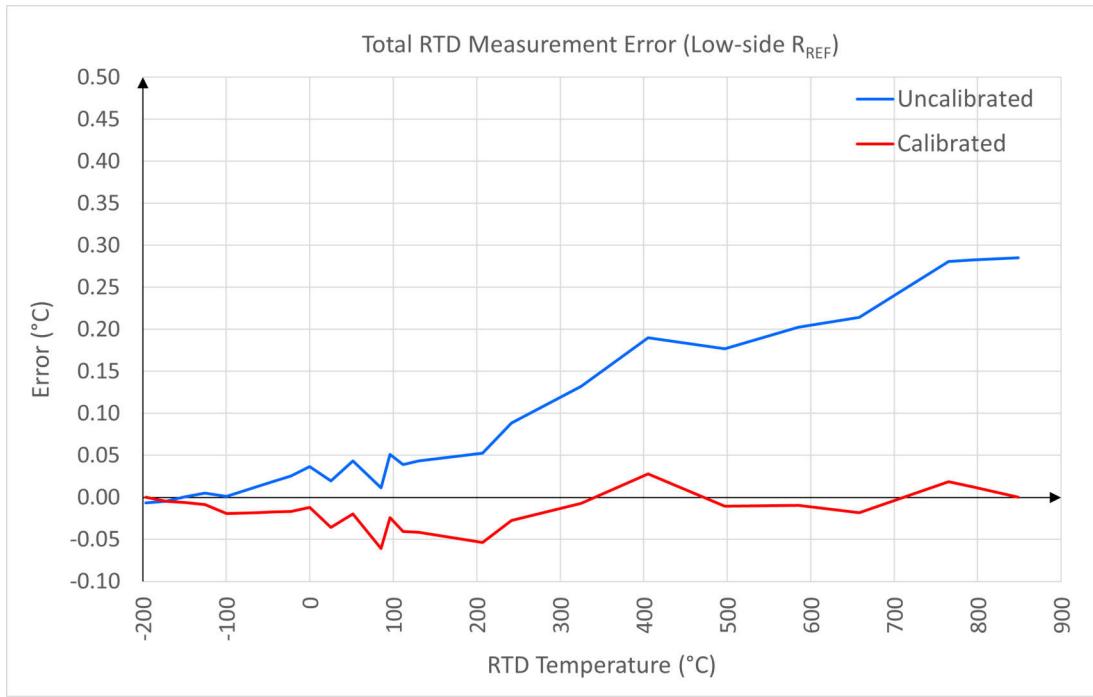


図 1-6. ローサイド R_{REF} を使用した場合の未較正および較正済み RTD 測定総合誤差の比較

図 1-7 は、ハイサイドリファレンス構成で測定された未較正温度誤差を青色、較正済み温度誤差を赤色で示しています。このプロットでは、室温で動作し、3 線式 RTD を測定する 2 層 RTD EMC テスト基板から収集したデータを使用しています。グラフの x 軸は、ADS124S08 に印加した測定抵抗から変換された RTD 温度を示しています。

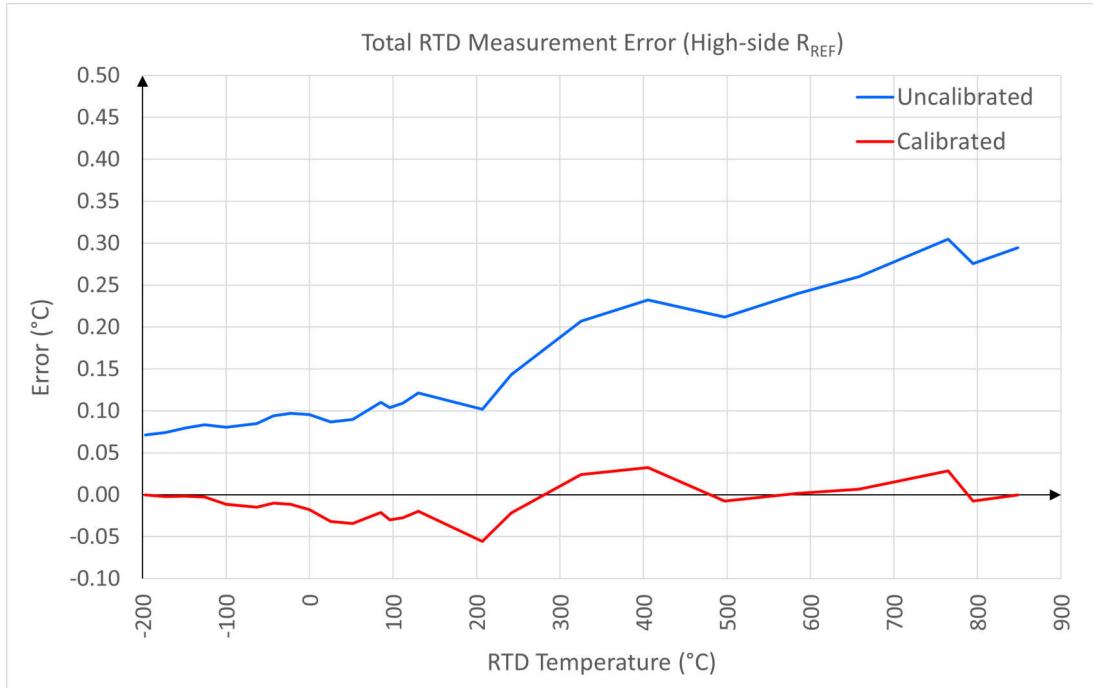


図 1-7. ハイサイド R_{REF} を使用した場合の未較正および較正済み RTD 測定総合誤差の比較

抵抗および IDAC 設定は、PT1000 や他のタイプの RTD センサと互換性を持つように調整できます。RTD 測定の詳細については、アプリケーションノート『[RTD 測定の基本ガイド](#)』を参照してください。

1.3 TC 測定用 EMC テスト基板の概要

このセクションでは、TC EMC テスト基板の入力構成について説明し、実際に測定された温度誤差のパフォーマンス結果を示します。

- 入力構成と ADC の設定
- 温度誤差 - TC 測定

1.3.1 入力構成と ADC の設定

このセクションでは、VBIAS および REFOUT バイアスを使用した TC 測定のための入力構成、熱電対特性、ADC の設定について説明します。

- 入力構成
- 热電対の特性と ADC の設定

1.3.1.1 入力構成

TC EMC テスト基板は、4 種類のバイアス回路をサポートしています。各バイアス回路は、ADS124S08 では異なるアナログ入力チャネルペアを使用します。このセクションでは、EMC 準拠テスト中に熱電対をバイアスするために使用される 2 つの回路トポロジについて説明します。

図 1-8 に、ADS124S08 VBIAS ジェネレータを使用する熱電対バイアス回路を示します。VBIAS ジェネレータは、AINCOM ピンを経由して熱電対の負極端子に印加され、同相電圧を中電圧に設定します。

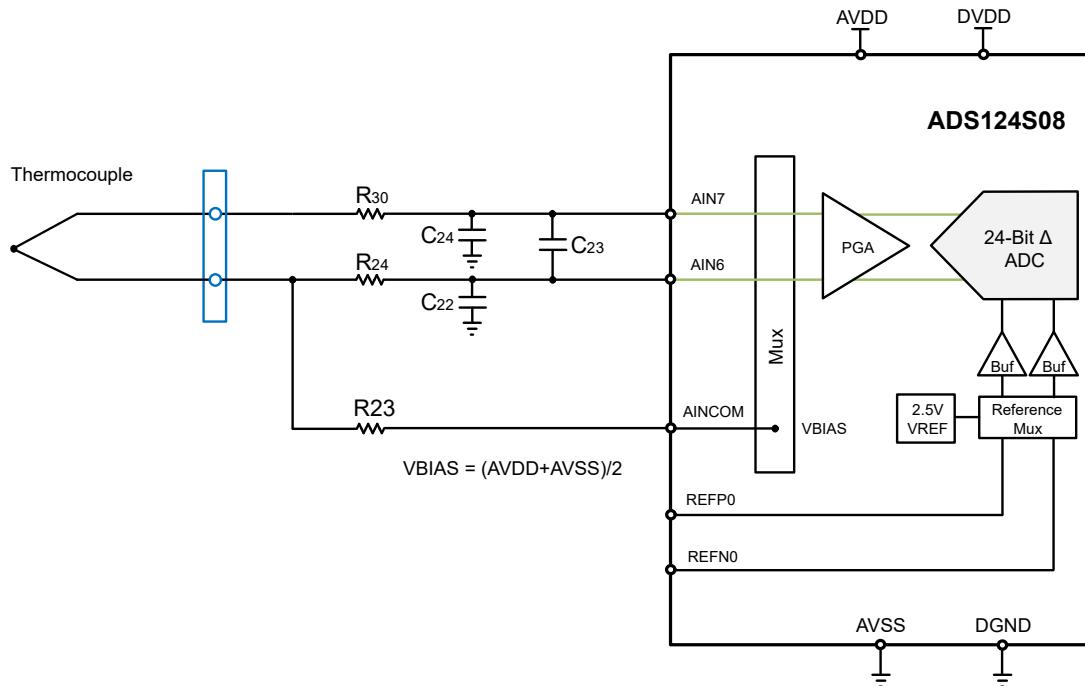


図 1-8. EMC テスト基板上の VBIAS バイアス、TC 測定回路

図 1-9 に、ADS124S08 の内部電圧リファレンス (REFOUT) を使用する熱電対バイアス回路を示します。この回路は、熱電対信号の同相電圧を 2.5V に設定します。これは、AVDD が +5V のときの中電圧です。AVDD へのプルアップ抵抗 (R35) により、個別の測定なしでバーンアウト検出が可能です。

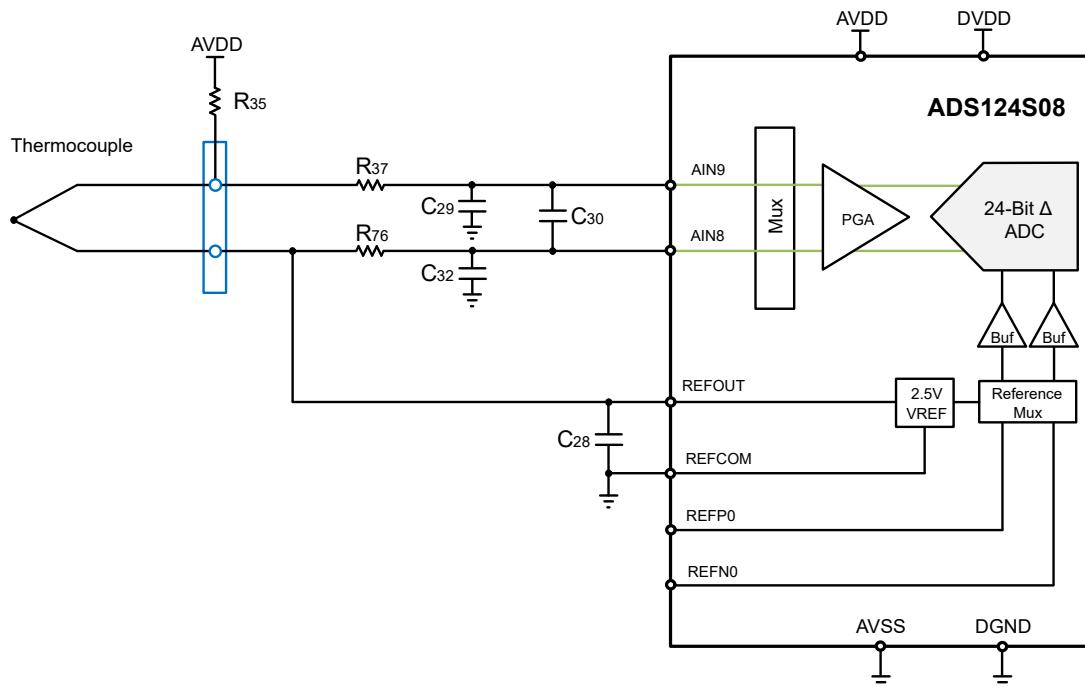


図 1-9. EMC テスト基板上の REFOUT バイアス、TC 測定回路

TC 測定の詳細については、アプリケーション ノート『[熱電対測定の基本ガイド](#)』を参照してください。

1.3.1.2 热電対の特性と ADC の設定

さまざまなアプリケーションに適した幅広い熱電対タイプがあります。熱電対のタイプごとに、金属の物理的特性に応じて、温度範囲、感度、電圧範囲、およびアプリケーション能力の特性が異なります。表 1-2 に、いくつかの一般的なタイプの熱電対とそれぞれの特性を示します。

表 1-2. 一般的な熱電対の温度範囲と電圧範囲

熱電対のタイプ	測定可能な温度範囲 (°C)	全温度範囲にわたる電圧 (mV)
J	-210~1200	-8.095~69.553
K	-270~1370	-6.458~54.886
T	-200~400	-6.258~20.872
E	-270~1000	-9.385~76.373
S	-50~1768	-0.236~18.693

K タイプ熱電対は、産業用アプリケーションで使用される最も一般的な熱電対です。したがって、このドキュメントでは、K タイプの熱電対の標準的な電圧範囲をテスト入力信号として使用しています。

ADS124S08 は、図 1-8 および 図 1-9 に示す回路を測定するため、以下の設定でプログラムされています。

- 4kSPS のデータレート
- Sinc3 デジタル フィルタ
- 内部 2.5V 電圧リファレンス (V_{REF})
- K タイプ熱電対用の ADS124S08 のダイナミック レンジを最大化するための Gain=32
- AIN7/AIN6 アナログ入力、VBIAS バイアスを使用した TC 測定のために AINCOM ピンの VBIAS をイネーブル
- AIN9/AIN8 アナログ入力。REFOUT バイアスを使用した TC 測定のために REFOUT を AIN8 に接続

式 29 を使用して、ADS124S08 変換コード (CODE) から熱起電力 (V_{TC}) を計算します。

$$V_{TC} = \frac{CODE \times V_{REF}}{\text{Gain} \times 2^{N-1}} \quad (29)$$

1.3.2 溫度誤差 - TC 測定

このセクションでは、ADS124S08 の出力データ温度誤差の計算方法と、TC EMC テスト基板のパフォーマンス結果について説明します。

- [TC 热起電力から温度を計算する](#)
- [TC 測定から温度誤差を計算する](#)
- [実験の設定と結果](#)

1.3.2.1 TC 热起電力から温度を計算する

1990 年国際温度目盛 (ITS-90) 規格では、熱電対で測定された電圧出力と温度を相關させるいくつかの多項式が定義されています。これらの式を使って、温度から熱起電力を計算したり、熱起電力から温度を計算したりします。

TC EMC テスト基板は、熱電対の接合部絶対温度を正確に判定するために必要な冷接点補償 (CJC) をサポートしています。ただし、アプリケーションノートに基づくテスト結果には補償は含まれていません。CJC が必要な場合の熱電対測定の詳細については、アプリケーションノート『[熱電対測定の基本ガイド](#)』を参照してください。

[式 30](#) に、熱電対電圧に基づいて温度を計算するために使用する、一般的な多項式関数を示します。

$$T_{TC}(\text{°C}) = d_0 + d_1 \times E + d_2 \times E^2 + d_3 \times E^3 + d_4 \times E^4 + d_5 \times E^5 + d_6 \times E^6 + d_7 \times E^7 + d_8 \times E^8 + d_9 \times E^9 \quad (30)$$

ここで：

- E は ADS124S08 で測定される電圧 (μV) です
- T_{TC} は、摂氏 (°C) で測定される温度です

[表 1-3](#) に、K タイプの熱電対の係数を例として示します。多項式係数は、測定した温度範囲によって異なることに注意してください。

表 1-3. K タイプ熱電対の ITS-90 温度係数

温度範囲	-200°C ~ 0°C	0°C ~ 500°C	500°C ~ 1372°C
電圧レンジ	-5.891mV ~ 0mV	0mV ~ 20.644mV	20.644mV ~ 54.886mV
d_0	0	0	-1.31805810 ²
d_1	2.517346210 ¹	2.50835510 ¹	4.83022210 ¹
d_2	-1.1662878	7.86010610 ⁻²	-1.646031
d_3	-1.0833638	-2.50313110 ⁻¹	5.46473110 ⁻²
d_4	-8.97735410 ⁻¹	8.31527010 ⁻²	-9.65071510 ⁻⁴
d_5	-3.734237710 ⁻¹	-1.22803410 ⁻²	8.80219310 ⁻⁶
d_6	-8.663264310 ⁻²	9.80403610 ⁻⁴	-3.11081010 ⁻⁸
d_7	-1.045059810 ⁻²	-4.41303010 ⁻⁵	0
d_8	-5.192057710 ⁻⁴	1.05773410 ⁻⁶	0
d_9	0	-1.05275510 ⁻⁸	0
誤差範囲	0.04°C ~ -0.02°C	0.04°C ~ -0.05°C	0.06°C ~ -0.05°C

ルックアップ テーブルを使用することも、熱起電力から温度を判定するためのもう 1 つの効率的な方法です。

1.3.2.2 TC 測定から温度誤差を計算する

このセクションでは、ADS124S08 出力データから TC 温度誤差を計算する手順について説明します。

1. 式 29 を使用して、変換コードから熱起電力 (V_{TC}) を計算します。
2. 式 30 と K タイプ熱電対の 表 1-3 を使用して、 V_{TC} を TC 温度 (T_{TC}) に変換します。
3. Keysight Technologies 3458A デジタルマルチメータ(または同等品)を使用して、ADS124S08 入力のテスト信号 (V_{MEAS}) を測定します。
4. 式 30 と 表 1-3 を使用して、 V_{MEAS} を温度 T_{MEAS} に変換します。 T_{MEAS} は、 V_{MEAS} に相当する温度です。
5. 式 31 を使用して温度誤差を計算します。

$$T_{ERROR}({}^{\circ}\text{C}) = T_{MEAS} - T_{TC} \quad (31)$$

1.3.2.3 実験の設定と結果

TC 性能テストでは、高精度信号ジェネレータ(DP8200)を使用して、実際の K タイプ TC ではなく温度変化をシミュレートし、高精度測定を維持し、テストを簡素化できます。入力信号は、信号ジェネレータからの誤差を除去するために、Keysight Technologies 3458A デジタルマルチメータ(または同等品)で較正されています。図 1-10 に、VBIAS または REFOUT 热電対バイアス回路のいずれかで使用できる TC EMC テスト基板回路を示します。

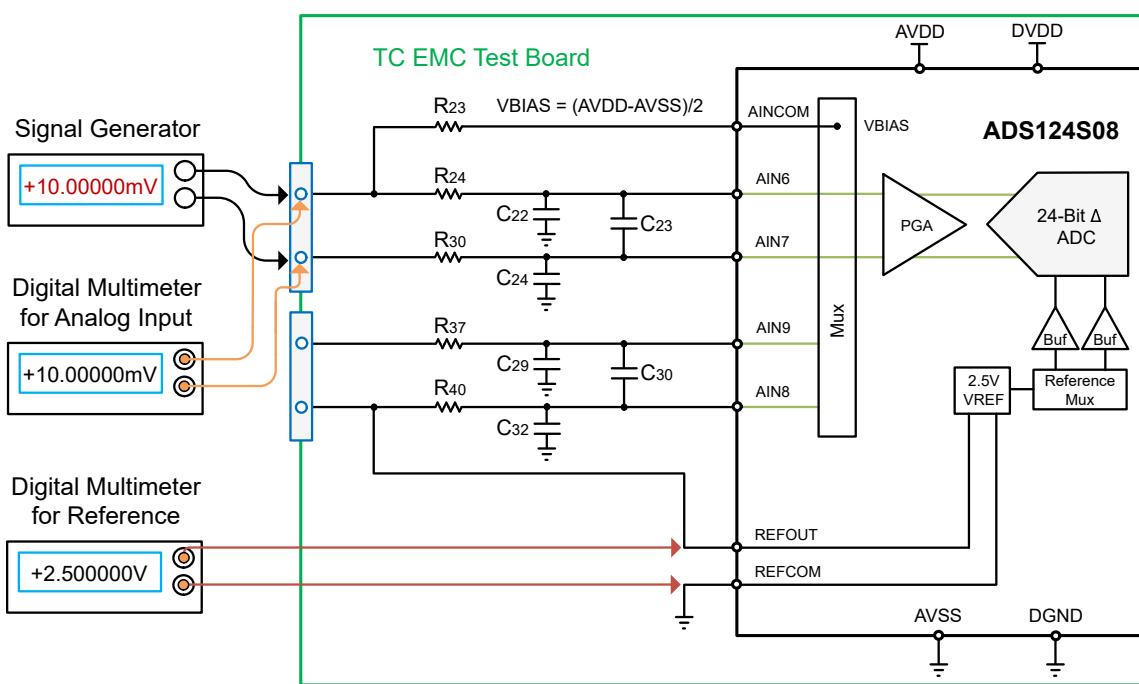


図 1-10. EMC テスト基板上の VBIAS および REFOUT バイアス TC 測定回路

図 1-11 は、VBIAS 热電対バイアスを使用して測定された未較正温度誤差を青色、較正済み温度誤差を赤色で示しています。このプロットでは、室温で動作する 2 層 TC EMC テスト基板から収集したデータを使用しています。グラフ X 軸は、高精度の信号ジェネレータを使用して ADS124S08 に印加される測定電圧から変換された TC 温度を示しています。

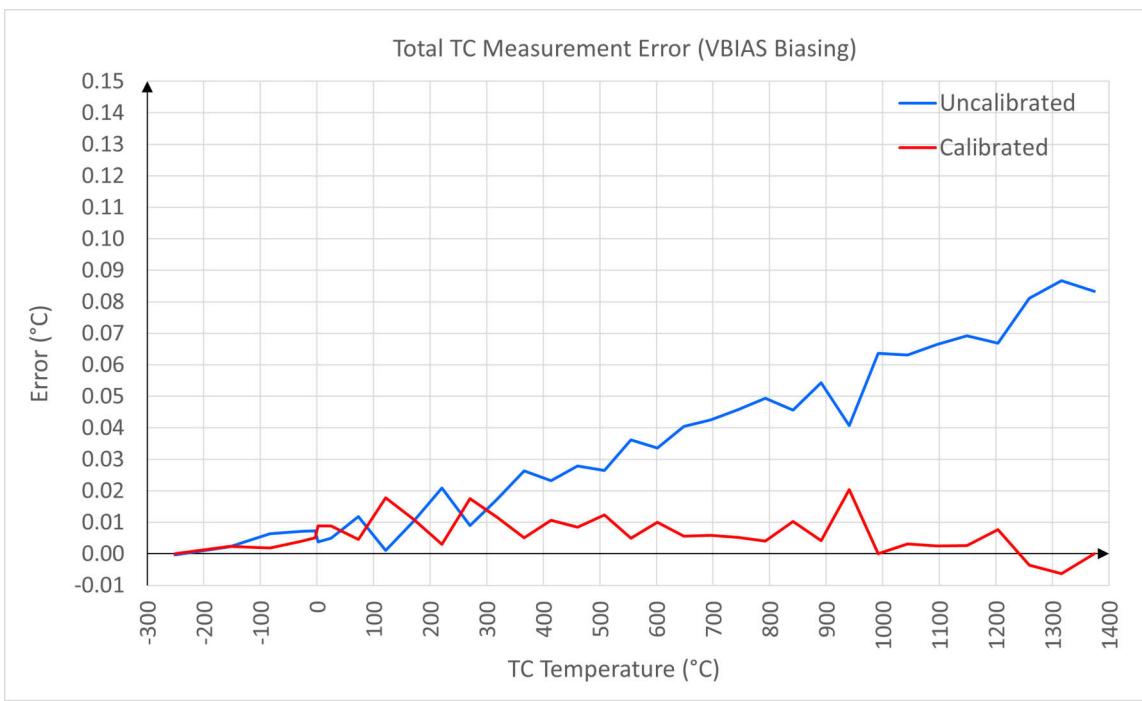


図 1-11. VBIAS バイアスを使用した場合の未較正および較正済み TC 測定総合誤差の比較

図 1-12 は、REFOUT 熱電対バイアスを使用して測定された未較正温度誤差を青色、較正済み温度誤差を赤色で示しています。このプロットでは、室温で動作する 2 層 TC EMC テスト基板から収集したデータを使用しています。グラフ x 軸は、高精度の信号ジェネレータを使用して ADS124S08 に印加される測定電圧から変換された TC 温度を示しています。

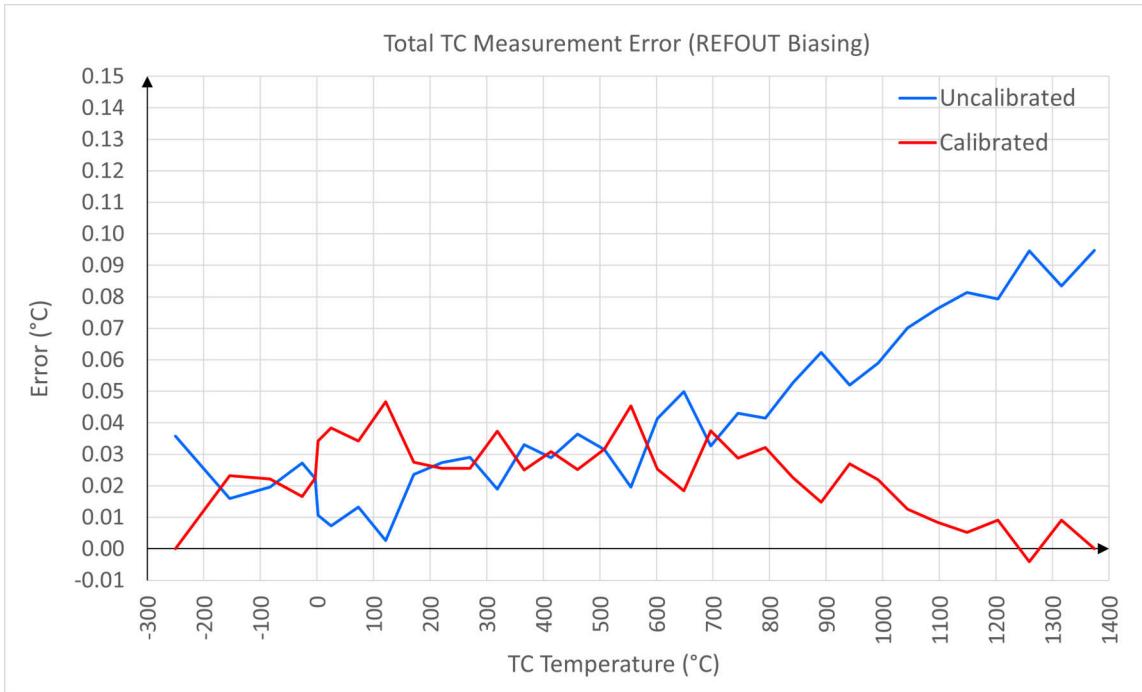


図 1-12. REFOUT バイアスを使用した場合の未較正および較正済み TC 測定総合誤差の比較

1.4 EMC 準拠の回路設計上の検討事項

このセクションでは、ADS124S08 の保護、システムの EMC 性能の向上、測定精度の維持を行う EMC テスト基板の設計について説明します。

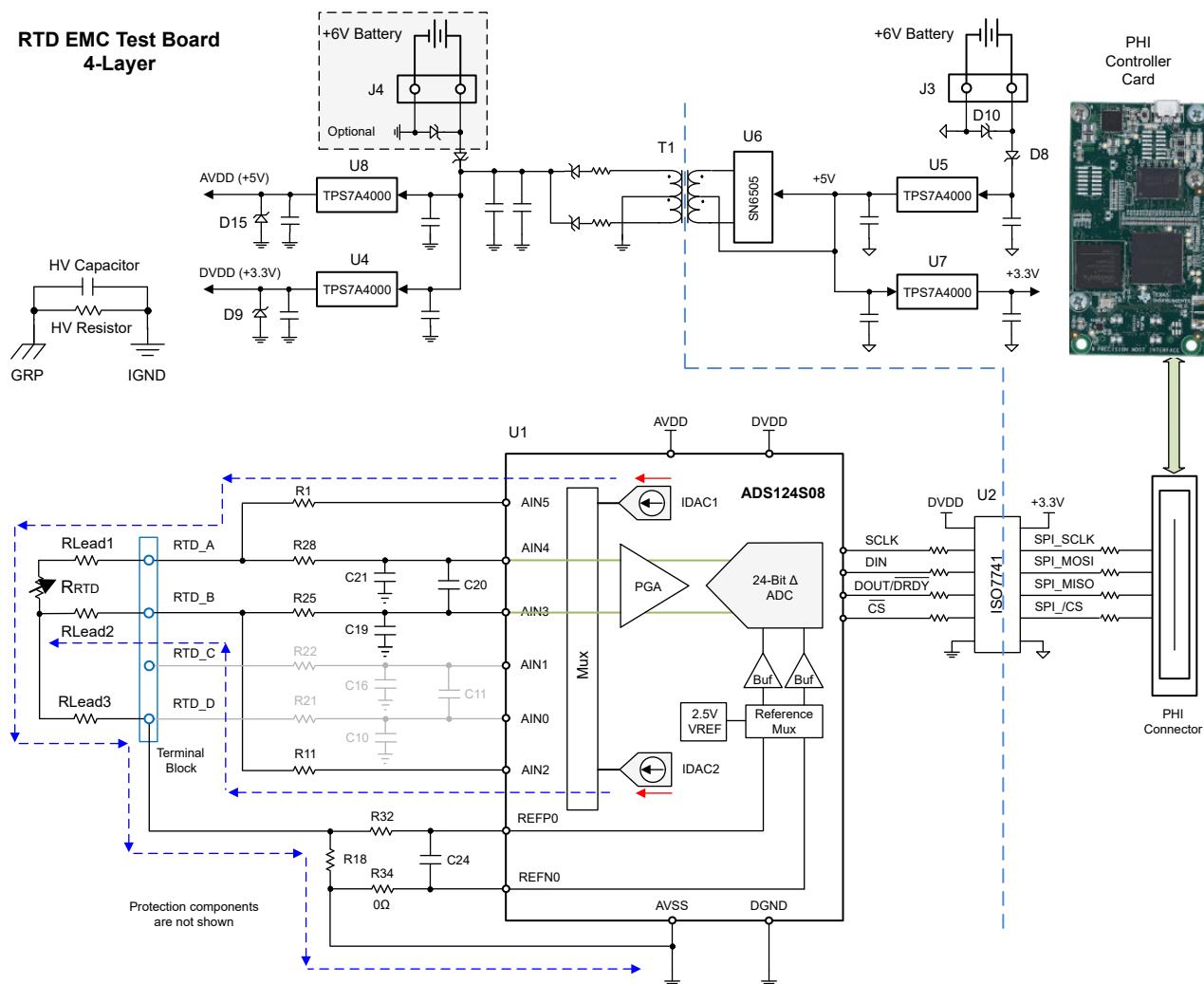


図 1-13. EMC テスト回路基板 (3 線式 RTD、ローサイド リファレンス) および PHI 接続

図 1-13 は、ローサイド リファレンス測定回路を備えた 3 線式 RTD を例として使用し、完全な EMC テスト基板のブロック図を示しています。TC EMC テスト基板は、RTD テスト基板と同様の設計を使用して、アンチエイリアシング フィルタ、保護回路、絶縁型電源、絶縁型デジタル アイソレータ、PCB レイアウトを実現します。入力構成のみが異なります。簡潔にするために、このセクションの残りの部分では、回路とレイアウト設計、およびすべてのテスト基板の動作の例として、4 層 RTD EMC テスト基板を使用します。

EMC テスト基板に関する検討事項は以下のとおりです。

- アナログ入力保護
- アンチエイリアシング フィルタ
- すべての入力コネクタ ピンに高電圧コンデンサが必要
- 放電パスの高電圧コンデンサおよび抵抗
- デジタル信号の直列抵抗
- デジタル アイソレーション
- 電源および保護

1.4.1 アナログ入力保護

各アナログ入力には、ADS124S08 を電気的オーバーストレス (EOS) から保護するための外付け保護回路が内蔵されています。さらに、各アナログ入力には、過渡エネルギーを信号路からシャントするために、適切に選択された双方向過渡電圧サプレッサ (TVS) ダイオードが内蔵されています。

一般的な選定ガイドラインは、以下のとおりです。

- TVS ダイオード: 低リーケ電流、リーク電流の低温度ドリフト、適切なスタンドオフ電圧
- 電流制限抵抗: 電力定格、温度ドリフト、許容誤差、ADC IDAC コンプライアンス電圧

保護手法と部品選定の詳細については、アプリケーション ノートを参照してください:『[RTD 測定における EOS から ADS124S08 ADC を保護する回路](#)』。

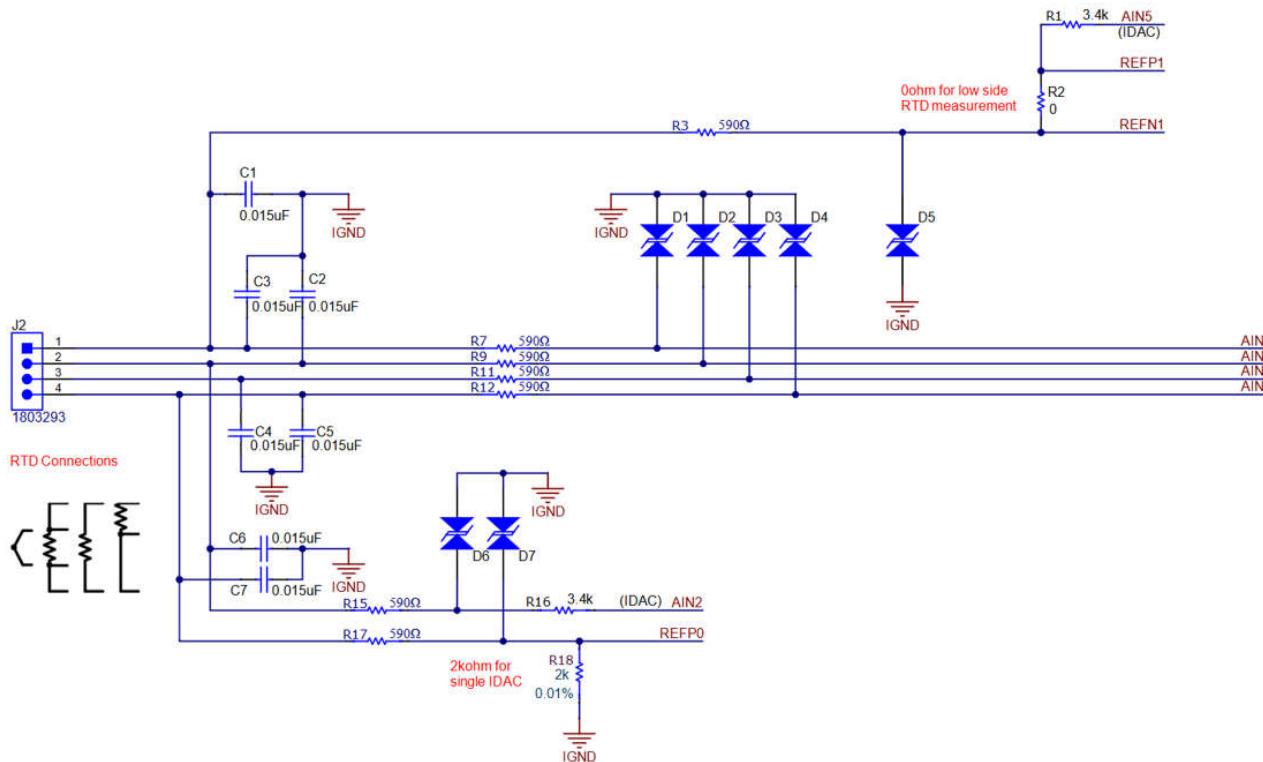


図 1-14. アナログ入力保護

1.4.2 アンチエイリアシング フィルタ

アンチエイリアシング フィルタは、デルタシグマ ADC 変調器の周波数またはその付近で周波数成分がデジタル フィルタによってネイティブに除去されないため、通過帯域にエイリアシングされないように設計されています。したがって、まずは変調器の周波数に比べて 10 倍 ~ 100 倍低い差動フィルタの 3dB カットオフ周波数を選択します。その結果、変調器の周波数付近の周波数がそれぞれ 20dB ~ 40dB 除去されます。除去の量は、設計目標によって異なります。

フィルタ抵抗が大きいと、ADC 入力のリーク電流が原因で、ADC 入力に大きなオフセット誤差を引き起こす可能性があります。これらのオフセット誤差を最小限に抑えるには、アンチエイリアシング フィルタの抵抗値を $10\text{k}\Omega$ 以上に選択することが一般的ですが、ほとんどの場合は $R_{\text{FILTER}} < 5\text{k}\Omega$ で十分です。差動コンデンサよりも $10x \sim 20x$ 小さい同相モードコンデンサを選択します。そうすることで、これら 2 つのコンデンサ間の不一致が原因で、同相モードのノイズが差動ノイズにならないようにします。

ADS124S08 EMC テスト基板は、ADC のアナログ入力で、2 個の $4.99\text{k}\Omega$ 抵抗、2 個の 4.7nF 同相コンデンサ、1 個の 47nF 差動コンデンサを使用して、アンチエイリアシング フィルタを形成しています。

アンチエイリアシング フィルタの差動カットオフ周波数は、式 32 で得られます。

$$f_{\text{DIFF}} = \frac{1}{2\pi \times (2 \times R_{\text{FILTER}}) \times C_{\text{DIFF}}} = \frac{1}{2\pi \times (2 \times 4.99 \times 10^3) \times 47 \times 10^{-9}} = 339.5 \text{Hz} \quad (32)$$

アンチエイリアシング フィルタの同相モード カットオフ周波数は、式 33 で得られます。

$$f_{\text{CM}} = \frac{1}{2\pi \times R_{\text{FILTER}} \times C_{\text{CM}}} = \frac{1}{2\pi \times 4.99 \times 10^3 \times 4.7 \times 10^{-9}} = 6.79 \text{kHz} \quad (33)$$

図 1-15 に、EMC テスト基板上の一般的なアンチエイリアシング フィルタ回路を示します。

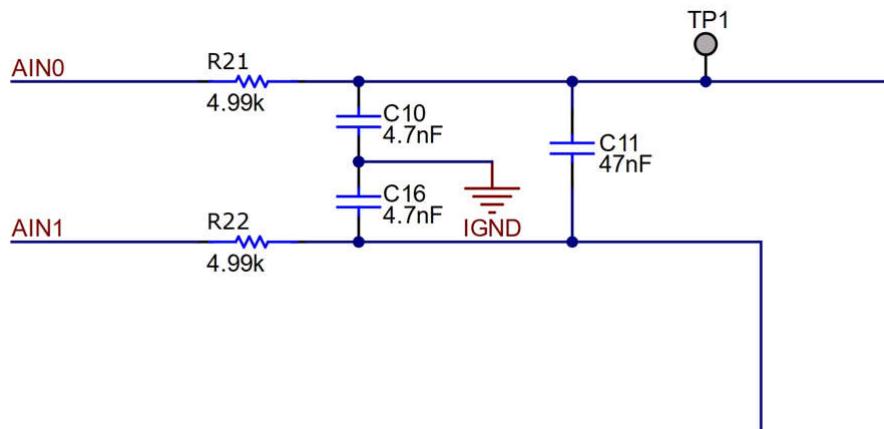


図 1-15. アンチエイリアシング フィルタの RC 部品

1.4.3 すべての入力コネクタピンに高電圧コンデンサが必要

入力コネクタで直接信号をフィルタすることで、静電気放電耐性の向上、放射エミッションの低減、および入力での結合バースト信号に対する耐性の向上に役立ちます。PCB 基板に入るすべての入力信号には、セラミックコンデンサなどのフィルタ要素が必要です。入力コネクタとローカルのグランドプレーンの間に、幅の広いパターンを使用してコンデンサを接続します。このコンデンサは、コネクタピンにできる限り近づけて配置してください。

C0G/NPO タイプのコンデンサは温度による容量変化が最小限で、電圧および周波数の変化による容量ドリフトが無視でき、経年変化特性がないため、入力信号の歪みを最小限に抑えるためには C0G/NPO タイプのコンデンサを使用します。

EMC テスト中、この部品は静電気放電、電気的高速過渡現象、サーボ信号などの高エネルギー過渡信号にさらされるため、高電圧定格のコンデンサを使用します。

コンデンサの容量は、入力信号の周波数によって決定されます。この設計では、容量のより大きなコンデンサを使用できるように、ゆっくりと変化する温度信号を測定します。したがって、この設計では、各 ADC チャネルのできるだけ入力端子ブロックに近い位置に 250V 高電圧、C0G タイプの 0.015μF セラミックコンデンサを使用し、過渡エネルギーが最短パスでグランドに放電されるようにします。

図 1-16 に、EMC テスト基板の高電圧コンデンサの回路を示します。

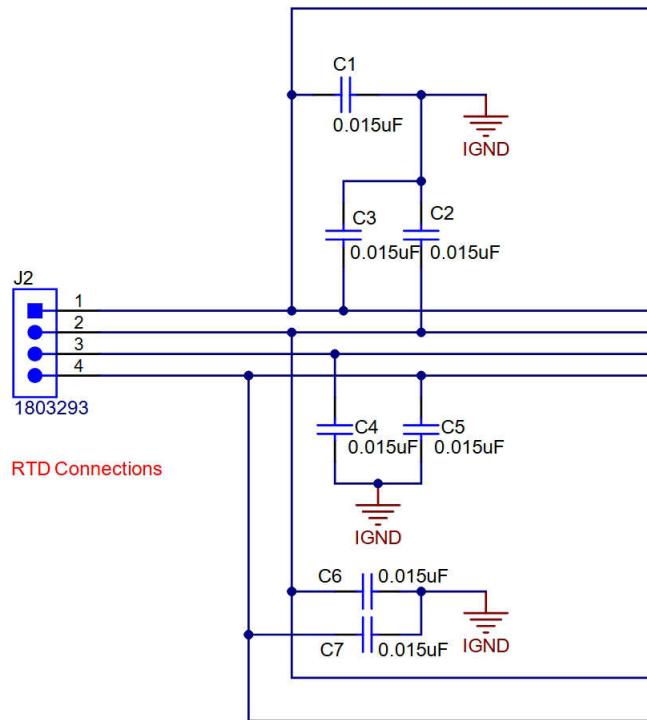


図 1-16. 入力コネクタの高電圧コンデンサ

1.4.4 放電パスの高電圧コンデンサおよび抵抗

保護されたローカル グランドとグランドリファレンス プレーン (GRP) の間に、3kV、2.2nF の高電圧コンデンサと 2.2kV、 $3.3\text{M}\Omega$ の抵抗が並列に配置されています。これらの部品は、過渡エネルギーを GRP (E_GND) へ放電し、基板上の部品を保護する経路を提供します。R62 || C52 および R71 || C54 などの 2 つの放電パスは、基板の絶縁側に設計されています。EMC テスト基板の非絶縁側である R64 || C53 および R72 || C55 で、並列に配置したのと同じ部品が使用されています。

図 1-17 に、EMC テスト基板の高電圧コンデンサと抵抗の回路図、PCB レイアウトの例を示します。

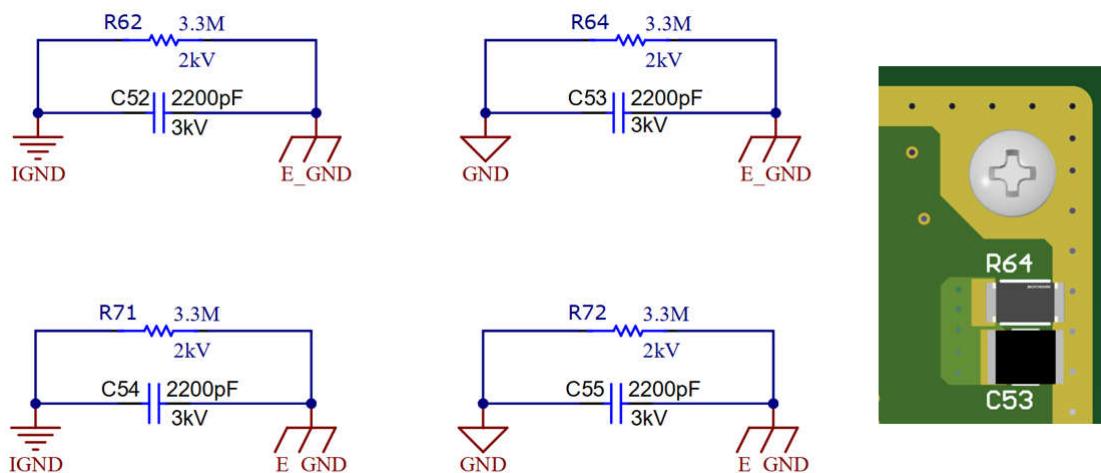


図 1-17. 高電圧コンデンサと抵抗の追加

1.4.5 デジタル信号の直列抵抗

高速デジタル信号の高速な遷移は、伝送ラインが長い場合、放射エミッションや反射につながる可能性があります。直列抵抗を追加すると、デジタル信号、特に高速クロック信号の立ち上がり時間と立ち下がり時間を延長でき、EMC性能に以下の方法で影響を及ぼすことができます。

- 遷移エッジの低速化:

直列終端抵抗は、デジタルラインの容量およびインダクタンスと直列に抵抗を追加することで、デジタルラインの時定数を効果的に増加させます。

- 反射とエミッションの低減:

直列終端抵抗を使用すると、ソースインピーダンスを伝送ラインの特性インピーダンスにマッチングすることで、リング、オーバーシュート、アンダーシュートを引き起こす可能性のある反射を最小限に抑えることができます。

- 高周波高調波の低減:

遷移時間が長くなると、帯域幅が狭くなり、高周波の高調波が発生して、放射の原因となることがあります。

- シグナルインテグリティの改善:

直列終端抵抗を使用すると、デジタル信号の整合性を向上させ、データ転送の信頼性を向上させることができます。

最適なインピーダンス整合と最小限の反射を実現するために、伝送ラインの特性インピーダンスに一致するように直列抵抗の値を選択します。この設計では、図1-18に示すようにADS124S08、デジタルアイソレータ、PHIコントローラ基板の間のデジタルラインに49.9Ωの抵抗が選択されています。効果的な直列終端を実現するため、直列抵抗はドライバのできるだけ近くに配置します。

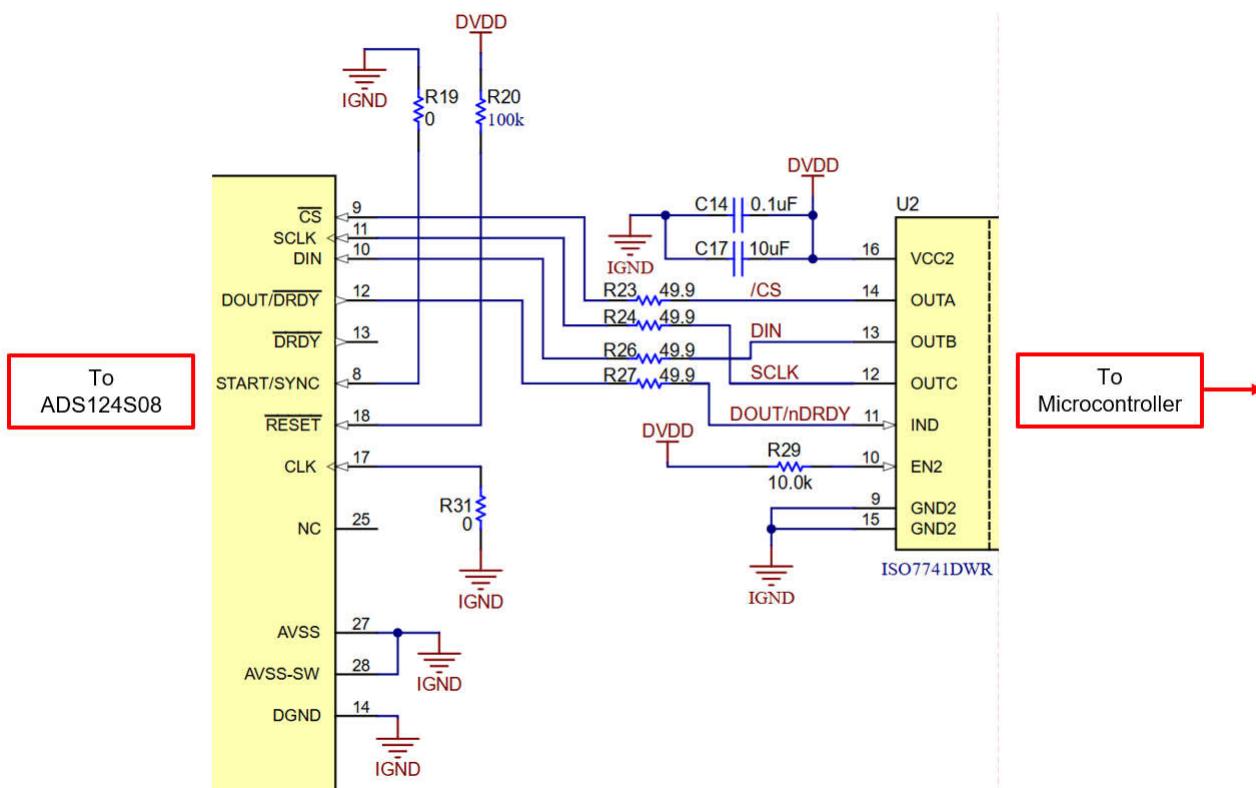


図 1-18. デジタル信号への直列抵抗の挿入

1.4.6 デジタルアイソレーション

この EMC テスト基板は、ISO7741 デジタルアイソレータを使用してデータ通信を絶縁するように設計されています。ISO7741 アイソレータは、高い耐性、UL 1577 に準拠した 5kVrms (DW パッケージ) の絶縁定格、最大過渡絶縁電圧 8kVpk、最大サージ絶縁電圧 6kVpk を実現しています。このアイソレータは、短い伝搬遅延 (10.7ns) と広い電源電圧範囲 (2.35V ~ 5.5V) で、最大 100MSPS の信号レートをサポートします。

図 1-19 に、EMC テスト基板のデジタル絶縁回路を示します。

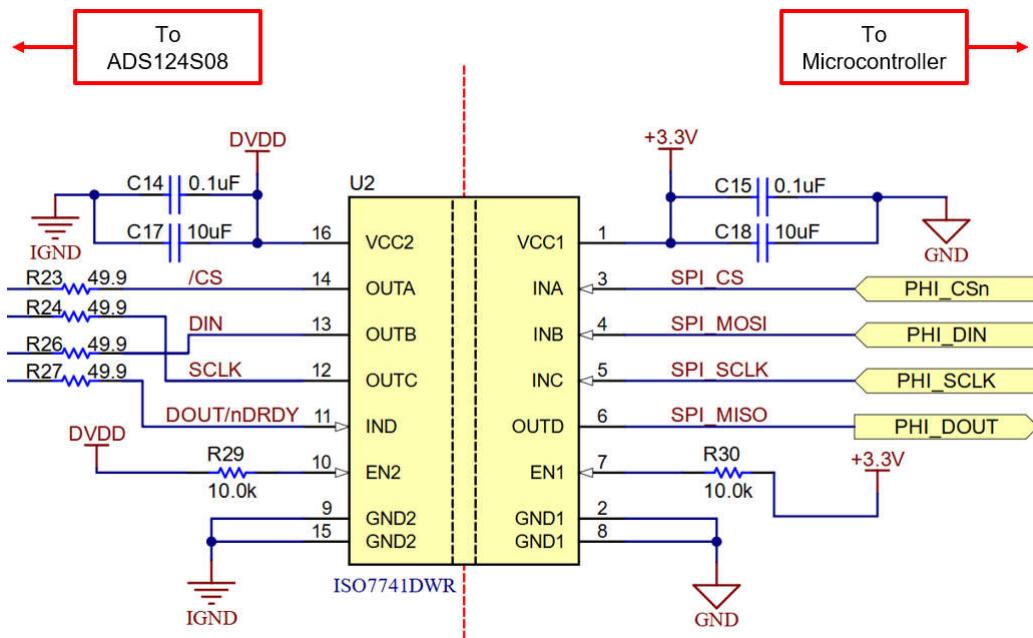


図 1-19. デジタル アイソレーション

1.4.7 電源および保護

EMC テスト基板の電源回路は、標準的な産業用システムを模倣するように意図的に設計されています。EMC テスト基板には、J3 および J4 経由の 2 つの DC 電源で駆動する代替ソリューションがあり、EMC テスト基板の絶縁側と非絶縁側に必要な電源を個別に供給します。デフォルトでは、基板全体に電力を供給するのに必要なのは、J3 の +5V ~ +12V の間の電源 1 つのみです。

非絶縁側:

TPS7A4700 (U5) は、外部電源 (6V ~ 12V) を安定した +5V に変換する低ドロップアウトレギュレータ (LDO) です。この +5V 出力は、テスト基板上の非絶縁型側の部品に電力を供給します。この部品には、低ノイズ、低 EMI のプッシュプルトランジスタドライバ SN6505 (U6) が含まれます。2 番目の TPS7A4700 (U7) は、テスト基板上の ISO7741 デジタルアイソレータ (U2) 用に +5V を +3.3V に安定化させます。

絶縁側:

TPS7A4700 (U4) はトランジスタ (T1) の出力を制御し、ADS124S08 (U1) DVDD 電源とデジタルアイソレータ (U2) 用に +3.3V を生成します。2 番目の TPS7A4700 (U8) は、基板の絶縁側にある ADS124S08 (U1) AVDD 電源用に +5V を生成します。+3.3V 電源は 3.3V TVS ダイオード (D9) で保護され、+5V 電源は TVS ダイオード (D15) で保護されます。

1.5 EMC 準拠のための PCB レイアウトの検討事項

RTD および熱電対アプリケーション用の PCB 基板を設計するには、EMC テストに合格するために特に注意を払う必要があります。これらのセンサは小振幅の高インピーダンス信号を生成し、放射型干渉と伝導型干渉の両方に対して非常に影響を受けやすくなります。以下のレイアウト手法により、PCB 設計が EMC 現象に対して堅牢であることを保証すると同時に、シグナル インテグリティと測定精度を維持できます。

- PCB 層の積層とグランド プレーン
- 長い帰路の回避
- PCB パターンの 90 度の屈曲を回避する
- ガード リングを使用して干渉信号を絶縁する
- デカップリング コンデンサ
- 差動配線
- スティッキング ビア
- 絶縁バリアのレイアウト
- 部品の配置

1.5.1 PCB 層の積層とグランド プレーン

EMC 準拠を実現するには、連続的かつ中断のないグランド プレーンが必須です。中断のないグランド プレーンは、信号電流の低インピーダンスの帰路を実現し、外部干渉からのシールドとして機能します。

さらに、EMC 性能とシグナル インテグリティを実現するには、PCB 層の適切な積層が非常に重要です。RTD と TC の精密な温度測定を行うには、4 層の PCB の積層を使用します。SPI バスの SCLK などの高速で重要な信号は、グランド プレーンに隣接する層に配置し、重要ではない信号は電源プレーンの近くに配置できます。図 1-20 に、一般的な多層基板の積層を示します。電源プレーンとグランド プレーンは、追加のプレーン間容量を提供するため互いに隣接しており、電源の高周波デカップリングに役立ちます。

適切な構成は次のとおりです。

- 最上層: アナログ / デジタル ミックスド シグナル配線
- 第 2 層 (内層): ソリッド グランド プレーン
- 第 3 層 (内層): アナログ セクションとデジタル セクションが絶縁された電源プレーン
- 最下層: 必要に応じて追加の信号配線またはシールド。

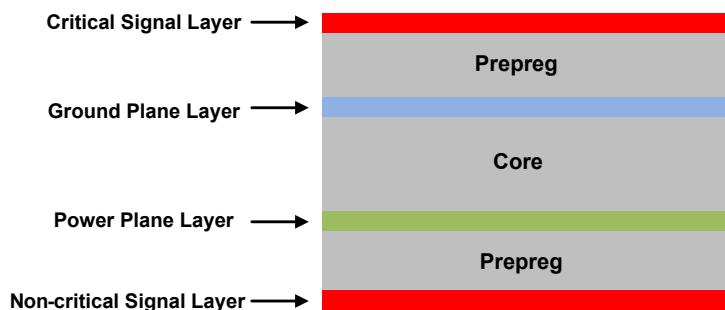


図 1-20. 4 層 PCB の積層

一般的な 4 層 PCB には、復帰信号の低インピーダンス パスを確保するために、少なくとも 1 つの専用層をグランド プレーンとして使用する必要があります。積層設計により、信号層に直接隣接するソリッド グランド層を配置し、一貫した帰路を実現して、ループ面積と電磁放射を最小化します。

2 層 PCB では、1 つの層全体をソリッド グランド プレーンとして使用するためのシールド オプションが本質的に少なくなります。ステッキング ビアを使用して、PCB の最上層と最下層の両方にできるだけ大きな銅のグランド プレーンを配置します。グランド プレーンを使用すると、すべての信号が近くにグランド 帰線を配置することができます。これにより、この設計が EMC テストに合格しやすくなります。すべての信号パターンは、このグランド プレーンの真上の最上層に配線し、リターン電流が信号パターンの下の短い直接パスをたどるようにする必要があります。この構成は、低コストの基板向けに最良の妥協案を提供すると同時に、許容可能な EMC 性能を実現します。

1.5.2 長い帰路の回避

長い、または中断された電流帰路は、放射アンテナとして機能する可能性があり、EMI の影響を受けやすく、EMC 要件に違反します。すべての信号パターンは、そのリターン電流がグランドプレーンを経由して直接流れるように配線する必要があります。これは、RTD や熱電対など、ノイズの影響を非常に受けやすいアナログセンサ信号にとって特に重要です。

1.5.3 PCB パターンの 90 度の屈曲を回避する

パターンの形状は、シグナルインテグリティと放射に大きな影響を及ぼす可能性があります。PCB パターンの 90 度の鋭い屈曲は、インピーダンスに不連続性が生じ、信号反射を引き起こして高周波放射を増加させる可能性があるため、避ける必要があります。代わりに、曲げるとときに 2 つの 45 度の曲げまたは滑らかな円弧を使用してパターンを配線して、制御されたインピーダンスを維持し、放出を最小限に抑えます。このようなガイドラインを遵守することは、アナログ信号配線でシグナルインテグリティを維持するための適切な手法ですが、高速デジタル回路ではより重要です。

図 1-21 に、EMC テスト基板で 90 度の屈曲を回避する例を示します。

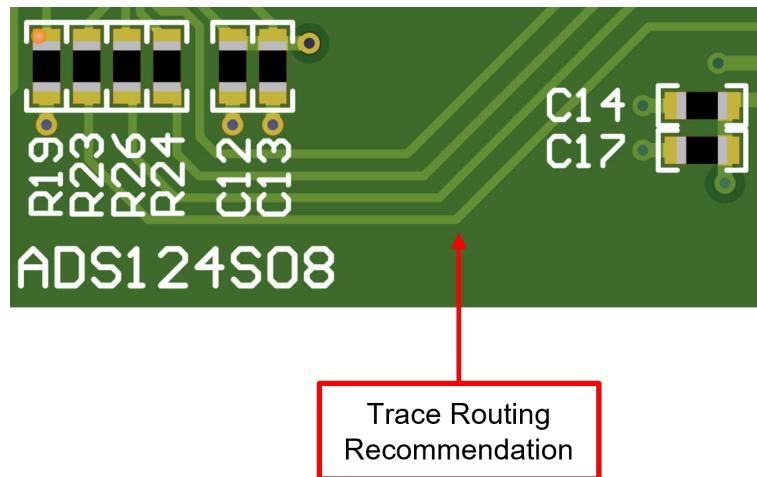


図 1-21. PCB パターンの 90 度の屈曲を回避する

1.5.4 ガードリングを使用して干渉信号を絶縁する

ガードリングは、PCB または特定の回路ゾーンの周囲を囲む連続導電性パターンです。ガードリングをシステムシャーシのアースまたはアースグランドに接続すると、PCB レベルでファラデー ケージとして機能し、基板から発せられる電磁干渉信号と基板によって受信される電磁干渉信号の両方を低減できます。ガードリングの追加は、近くのノイズ信号や干渉信号源から敏感なアナログ信号や ADC をシールドするための効果的な手法です。図 1-22 に、4 層基板上のガードリングの側面図を示します。

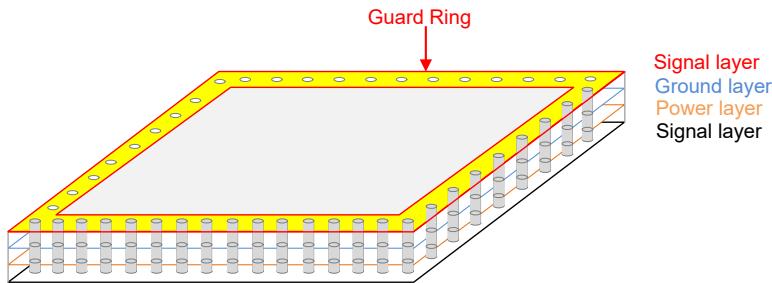


図 1-22. 4 層基板のガードリングの側面図

ガードリングを使用する目的と利点は次のとおりです。

- 放射エミッションの低減:

ガード リングによって電流の帰路が形成され、高周波信号電流が制限され、基板の端からの意図しない放射が低減されます。

- 静電気放電、高速過渡、サージに対する耐性の向上:

過渡信号は、空気と結合（直接接触、導通、電磁界）の両方を経由して回路に入り込む可能性があり、回路の機能に影響を及ぼします。ガード リングに接地することで、敏感な回路からエネルギーを放散させることができます。

- グランド リファレンス シールドとして機能:

多層基板の外層にあるガード リングは、シグナル インテグリティを維持し、高速セクションとアナログ セクションの間の結合を低減するのに役立ちます。

ガード リングを実装するためのガイドラインは次のとおりです。

- 層の配置:

ガード リングを 2 層基板の上層と下層、または 4 層基板の外側の層に配置します。最大の効果を得るために、リングが閉ループを形成していることを確認します。

- ビア間のホールの間隔:

ビアを使って上層と下層のガード リングを互いに接続します。経験則として波長制限に従って、高いシールド効果を確保するために、ビア間の適切なホールの間隔を決定します。

波長 (L) > (S/4)

ここで、S はガード リング パターン上のビアの間の間隔です。この上限を超えるすべての信号波長は、効果的に遮蔽され、高い効果が得られます。

- ガード リングのパターン幅:

ガード リングの適切なパターン幅を決定します。パターンが広いほどガード効果は向上しますが、消費スペースが大きくなります。一般的な目安として、ガード リングのパターン幅は、保護される信号パターンの幅の 2 ~ 3 倍にする必要があります。低インピーダンスガードを実現するために、ガード リングのパターン幅を、保護された信号パターンの幅の約 5 倍に設定します。このガイダンスにより、重要な高速配線または RF 配線に対して堅牢なシールドが実現します。

- ガード リングの間隔:

3W ルールは、信号ライン、ガード パターン、ソリッド グランド プレーンの間の空間距離を規定します。クロストークと結合を低減するために、単一の信号パターンの幅の 3 倍に等しい距離の空間距離を維持します。

- シャーシ グランドの接続:

保護機能を強化するには、ガード リングをシャーシ グランド、保護アース、またはシールド グランドに接続して DC グランドを絶縁しながらも高周波放電を許可します。このガイダンスは、EMC テスト基板上の [高電圧抵抗とコンデンサ](#) を使用して実施しています。

4 層 ADS124S08 EMC テスト基板の 2 層目は、適切なデカップリングとグランド リターンを実現できるように、内層グランド (GND と IGND) 層として設計されています。ADS124S08 EMC テスト基板のガード リングはすべての層に設計されており、これらの層のエッジ ガードは 100mil ごとにビアで互いに接続されており、最大 472GHz の高周波信号の放射を減衰します。2 層 ADS124S08 EMC テスト基板は、4 層 EMC テスト基板と同じガード リング設計を採用しています。[図 1-23](#) に、EMC テスト基板で設計されたガード リングを示します。

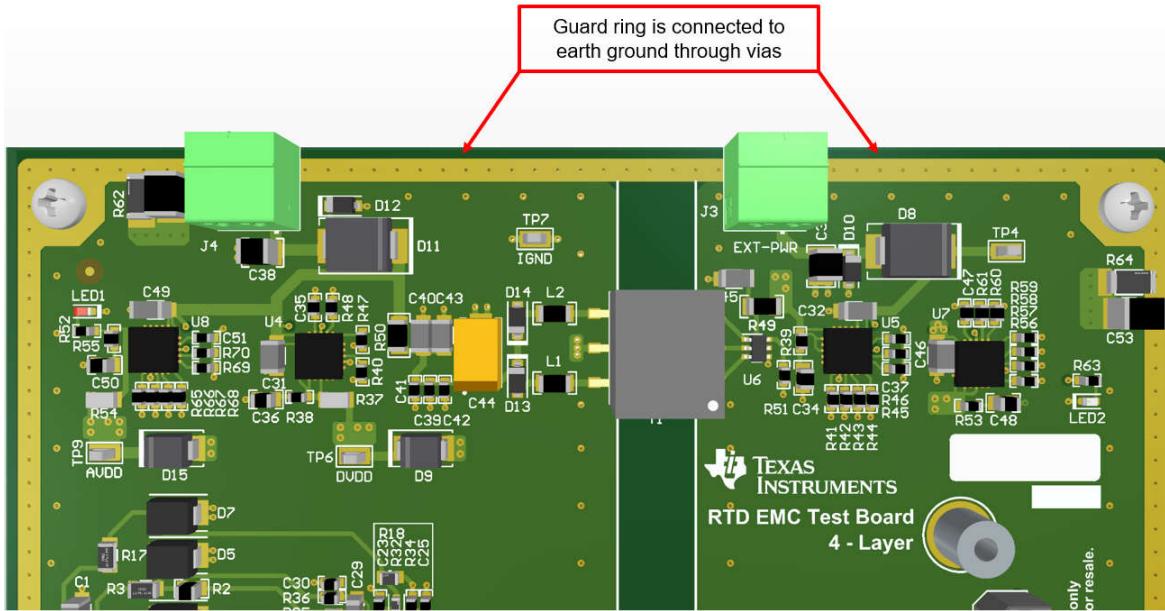


図 1-23. EMC テスト基板のガード リング

1.5.5 デカップリング コンデンサ

デカップリング コンデンサは、電源を安定させ、高周波ノイズを低減するために不可欠です。ローカル通常 $0.1\mu F$ のデカッピングコンデンサを、グランドプレーンへの短い直接的な帰路を持つ各電源ピンのできるだけ近くに配置します。低周波電源変動を低減するために、 $1\mu F$ や $10\mu F$ などの大きなバルクキャパシタを並列に配置することもできます。最適なデカップリング効果を実現するため、電源とデバイスの電源ピンの間にデカップリング コンデンサを配置します。インダクタンスを低減し、グランドプレーンへのより適切なデカップリングを実現するために、個別のパターンの代わりに電源プレーンを推奨します。RTD や熱電対センサなどの敏感なアナログ信号は、クリーンでローカルに安定化されたアナログ電源と慎重なデカップリングから多大な恩恵を受けます。図 1-24 の左側の回路は、AVDD のデカップリング コンデンサ向けに EMC テスト基板上に実装された適切な PCB レイアウト例であり、右側の回路は EMC テスト基板上で設計されていない不適切な PCB レイアウト例です。

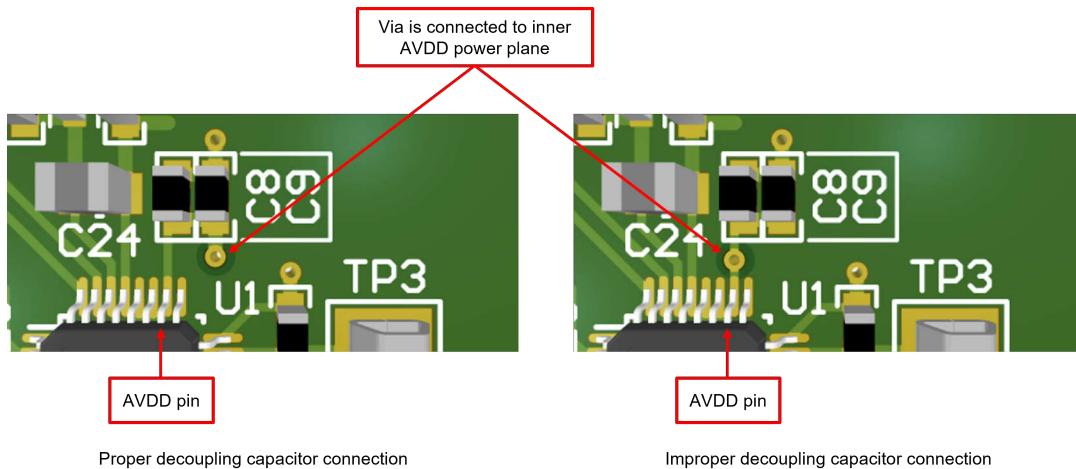


図 1-24. デカップリング コンデンサの接続

1.5.6 差動信号の配線

RTD または熱電対の信号は差動です。EMC テスト基板は、外部の干渉やノイズが両方のパターンに等しく結合するように、各差動ペアのパターンを近くかつ対称的に配線します。したがって、誘導されるノイズ信号は、ADC が同相信号除去

比 (CMRR) の仕様制限内で除去する同相モード信号です。差動パターンの間に部品とビアを配置することは避けてください。差動ペアの間に部品またはビアを配置すると、EMC の問題やインピーダンスの不連続性が発生する可能性があります。

図 1-25 に、EMC テスト基板の差動配線例を示します。

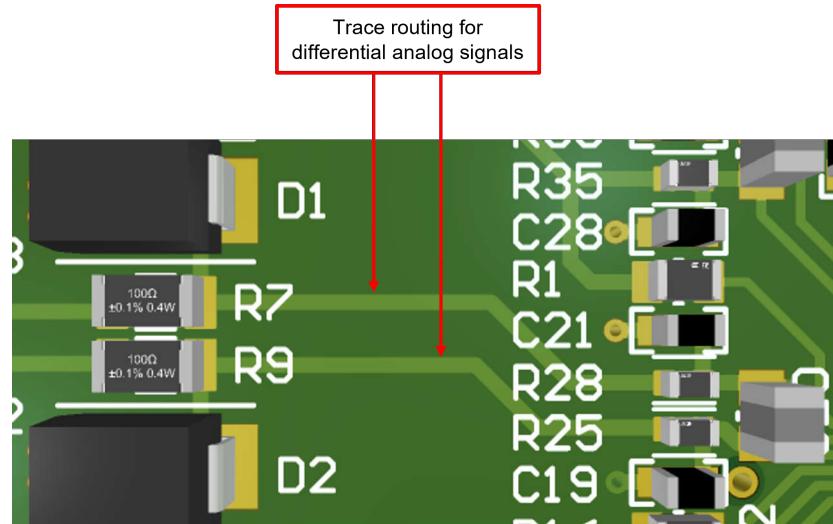


図 1-25. 差動信号の配線

1.5.7 スティッチング ビア

ステッチング ビアを使用すると、シグナル インテグリティの向上、インピーダンスとインダクタンスの低減、ノイズとクロストークの最小化、EMI シールドの強化を実現できます。EMC テスト基板は、以下のようないくつかの目的でステッチング ビアを採用しています。

高速シグナル インテグリティと信頼性の向上:

多くの ADC が必要とするシリアル クロック信号は、最大 50MHz になることがあります。ステッチング ビアを使用すると、低インピーダンスのグランドリターン パスを提供し、グランドリギングとクロストークを低減することで、高速信号のシグナル インテグリティと信頼性を大幅に向上させることができます。高速信号は、可能であれば ADC と同じ層に配置します。異なる層の間に高速信号を配線する必要がある場合は、ステッチング ビアまたはステッチング ビア アレイを 1 つ使用します。図 1-26 に、4 層基板上のステッチング ビアの側面図を示します。

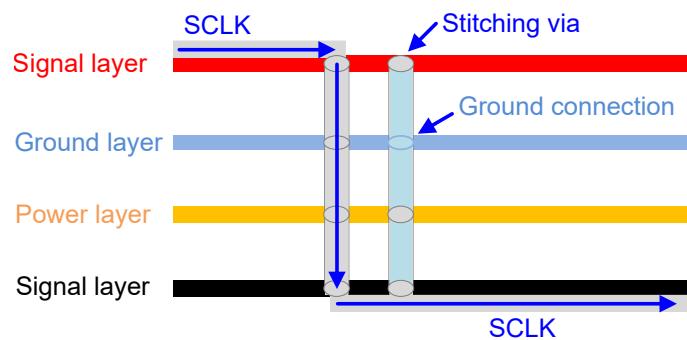


図 1-26. 高速信号のステッチング ビアの側面図

EMC テスト基板は、ADC とデジタル アイソレータの間の最上層に SCLK パターンを配線します。その後、SCLK パターンはデジタル アイソレータとコネクタ J1 から最上層のコントローラ基板まで続きます。このため、この設計では SCLK 信号にステッチング ビアは必要ありません。図 1-27 に、RTD EMC テスト基板上の DIN および DOUT 信号のステッチング ビアの例を示します。

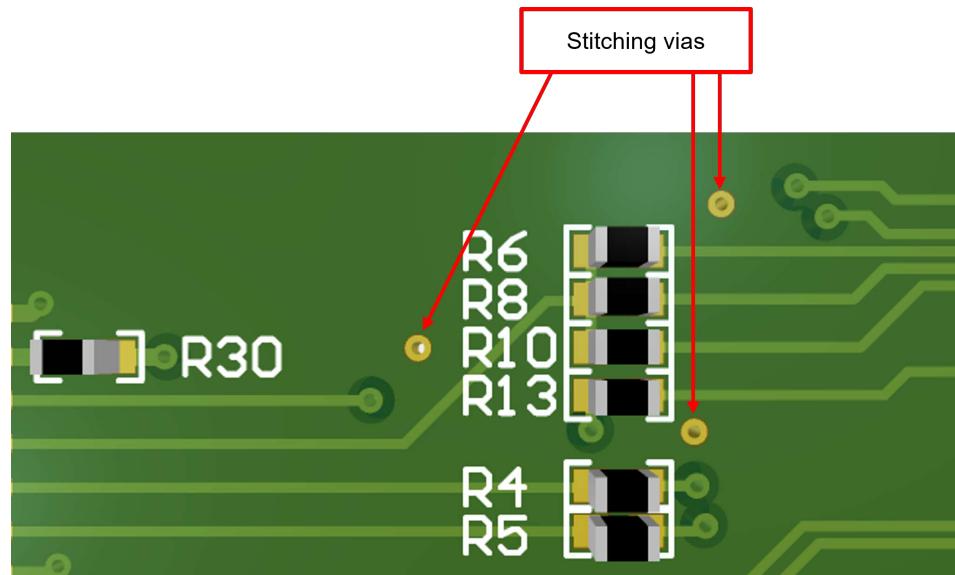


図 1-27. 信号のステイッキング ビア

層遷移とグランド プレーン接続:

層間を遷移するステイッキング ビアを使用すると、一貫したリファレンス プレーンと、信号の低インピーダンスの帰路を提供し、シグナル インテグリティを向上させることができます。ステイッキング ビアは、複数の層にまたがるグランド パターンを接続し、PCB リファレンス プレーンに沿って伝搬するリターン電流のインピーダンスを最小限に抑えるためにも使用されます。図 1-28 に、2 層 RTD EMC テスト基板上の層遷移およびグランド接続の設計例を示します。

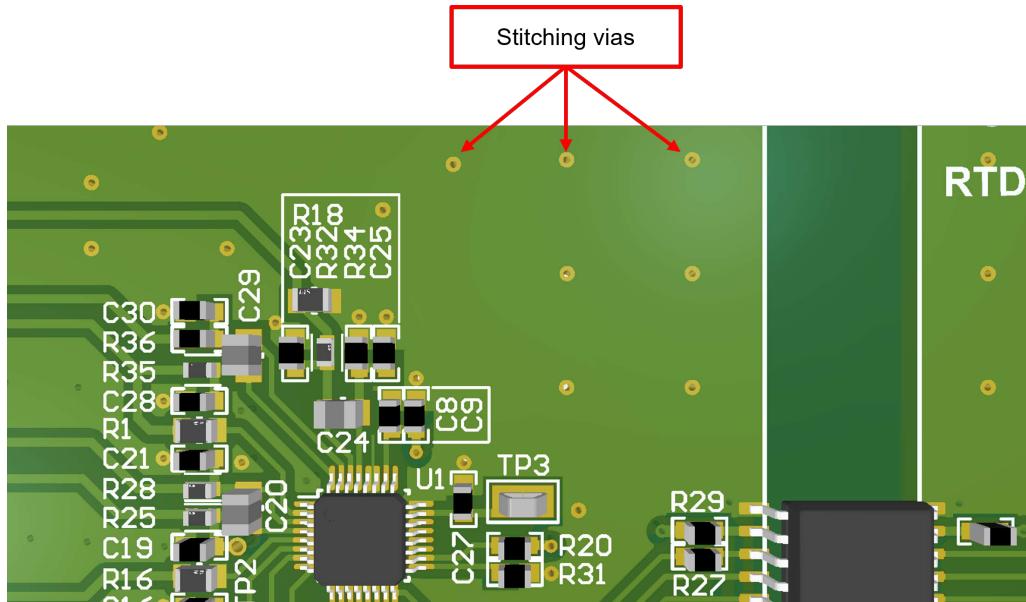


図 1-28. 層遷移とグランド接続のステイッキング ビア

1.5.8 絶縁バリアのレイアウト

高電圧 PCB 設計における絶縁バリアに関する 2 つの重要な検討事項は、空間距離と沿面距離です。最短の空間距離および沿面距離要件を満たし、電気的故障を防ぐために、絶縁バリアをまたぐ空間距離をできるだけ広くします。注入間の容量結合と電荷の蓄積を回避するために、PCB 基板の端の角を丸くしたり滑らかにしたりします。このガイドラインは、

電気的高速過渡現象や放射耐性テストなど、高電圧および高周波信号テストに合格するために重要です。図 1-29 に、ADS124S08 と PHI コントローラカードの間の絶縁バリア設計と、EMC テスト基板の PCB コーナー設計を示します。

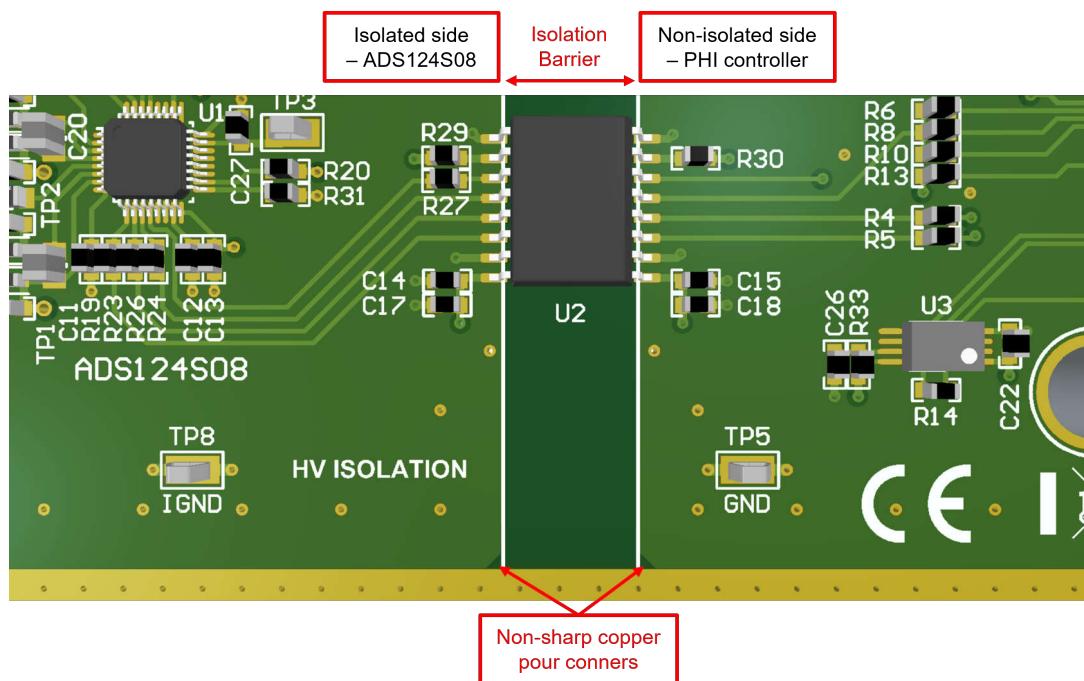


図 1-29. 絶縁バリアのレイアウト

1.5.9 部品の配置

ミクスドシグナル回路での高精度信号測定と電磁両立性設計を実現するには、部品を適切に配置することが重要です。設計者は、各部品の位置を最適化するために、ファンクション ブロック、信号路、および接続を分析する必要があります。たとえば、PCB のエッジにコネクタを配置し、ADC の電源およびリファレンスピンの近くにデカップリング コンデンサを配置し、入力差動コンデンサを ADC にできるだけ近づけて配置します。アナログ部品とデジタル部品を分離すると、共有の帰路からの干渉やノイズを最小限に抑え、シグナル インテグリティを確保するのに役立ちます。

1.6 テストシステム

図 1-30 に、ADS124S08 を使用した RTD/TC EMC テスト基板の一般的な設定を示します。ソフトウェア スクリプトにより、SPI インターフェイス、クロック周波数構成、ADC モードの選択、データキャプチャと解析、データ監視、エクスポートなどのシステム パラメータが構成され、後処理が可能です。ソフトウェアと PHI コントローラは、EMC テストの前に、テストシステムと被試験機器 (EUT) の動作を検証します。システムは、EMC イベント中はデータを継続的にキャプチャおよび監視し、EMC テスト後も EUT の機能をチェックします。

PHI コントローラカードは、デジタル入出力用の USB 2.0 (またはそれ以上) インターフェイスを介して、ADS124S08 EMC テスト基板とノート PC との間の通信インターフェイスを提供します。テストシステムでは、ノート PC と PHI コントローラカードの間にバッテリ駆動の光トランシーバペアを使用します。光学トランシーバペアは、過酷な過渡信号をテスト環境から絶縁し、ユーザーの機器に追加の保護層を提供します。

テストハードウェア:

- ADS124S08 を搭載した RTD/TC EMC テスト基板
- テキサスインスツルメンツの PHI コントローラカード
- 光ファイバケーブルと光トランシーバ
- RTD 用の高精度抵抗または TC 測定用の高精度信号を備えたツイストペアワイヤ
- 個別の EMC テストに用いる特定の機器
- Windows® 10 または 11、64 ビット版を実行しているノート PC
- ZEUS® 6V バッテリ

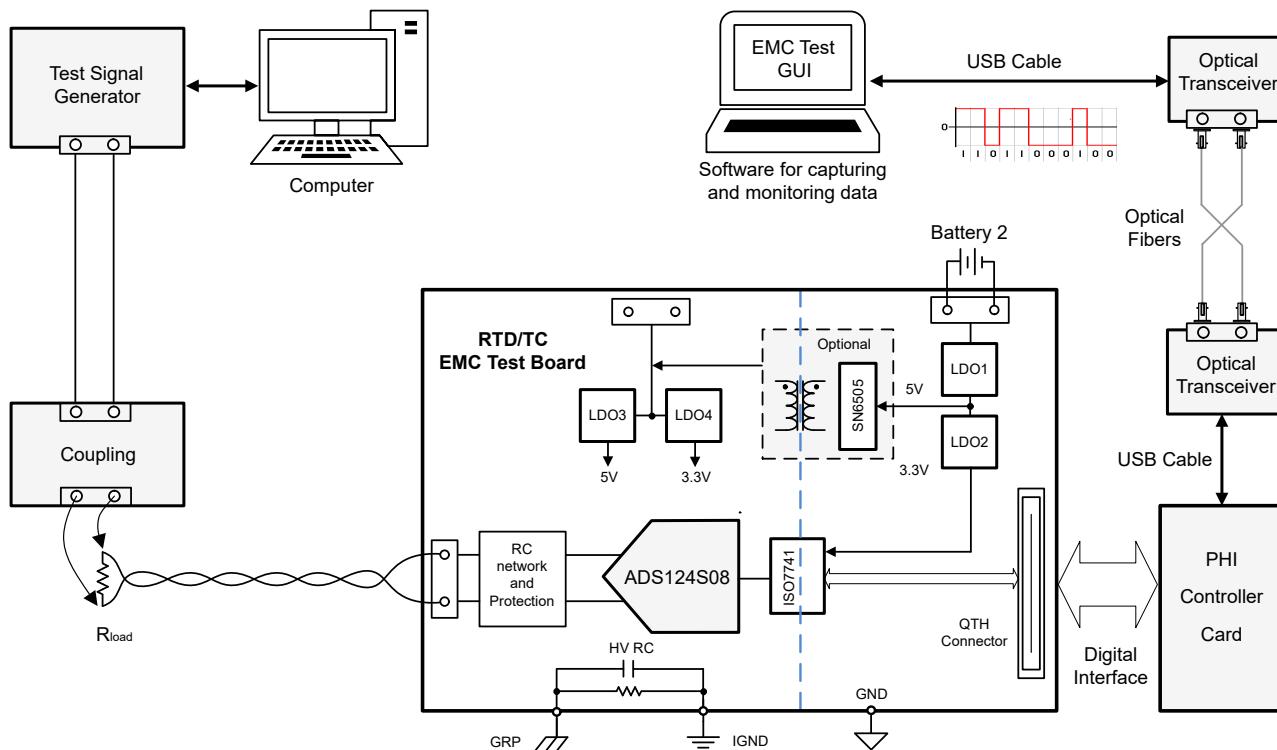


図 1-30. 一般的な EMC テスト設定

テストソフトウェア:

EMC テストには、専用のテスト用グラフィカルユーザーインターフェイス (GUI) ソフトウェアを使用します。各テストを開始する前に、GUI は事前書き込み済みのレジスタ構成ファイルを EMC テスト基板上の ADS124S08 にロードします。GUI は EMC テスト基板からのデータストリームを継続的に監視し、データキャプチャの開始後、テストプロセス中に情報が失われていないことを確認します。

図 1-31 に、EMC テスト環境内のテスト GUI の範囲と機能を示します。

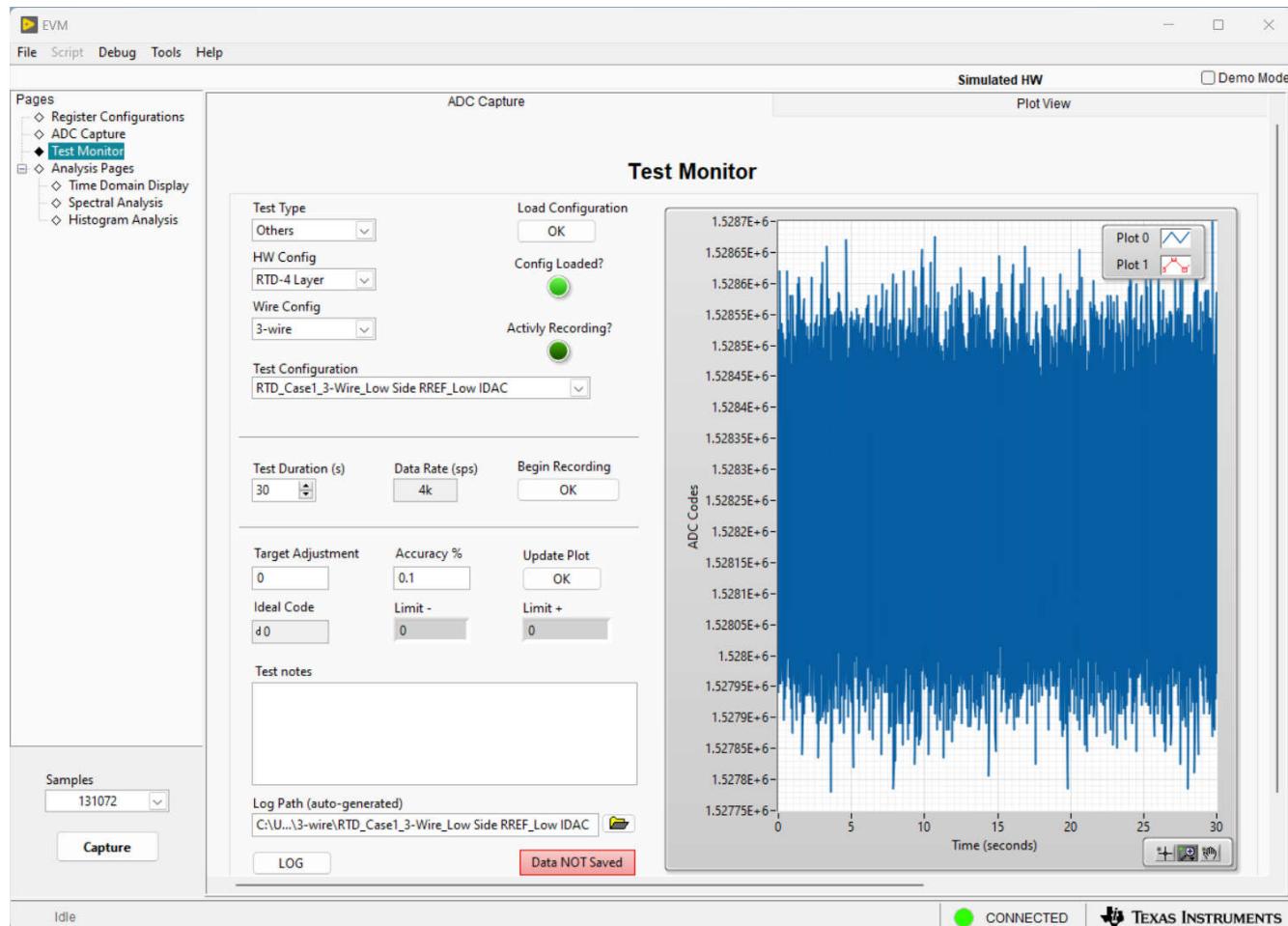


図 1-31. EMC テスト用 GUI ソフトウェア

2 テストの詳細と結果

このセクションでは、各テストの規格と基準、テスト設定、結果について説明します。

2.1 規格とテスト基準

ADS124S08 EMC テスト基板は、EMC および EMI のテスト規格と、産業用アプリケーションの基準を満たすように設計されています。テストには、次の 5 つのテストが選択されています。

- IEC 61000-4-2: 静電気放電 (ESD)
- IEC 61000-4-3: 放射耐性 (RI)
- IEC 61000-4-4: 電気的高速過渡現象 (EFT)
- IEC 61000-4-5: サージ耐性 (SI)
- IEC 61000-4-6: 伝導耐性 (CI)

テスト基準

EMC テスト基準は、電子機器が干渉を引き起こしたり影響を受けたりすることなく、意図された環境で適切に機能することを確認するためにテストされる際の制限と条件を定義しています。[表 2-1](#) に、製品の信頼性と規制基準への準拠に不可欠なテスト基準を示します。EMC テスト基準を定義するには、テストの種類 (放射と耐性)、テスト方法 (放射型と伝導型)、周波数範囲、許容可能な性能レベルを指定する必要があります。

表 2-1. テスト基準

基準	説明
A	規定の制限内での通常動作
B	障害の終了後に回復することができる一時的な性能の低下
C	ユーザーの介入によって回復する可能性がある一時的な機能または性能の低下
D	データの損傷または損失による永続的な機能または性能の低下

2.2 静電気放電 (ESD)

IEC 61000-4-2 規格では、テスト基準と設定要件を含め、ESD テストの詳細が規定されています。IEC 61000-4-2 テストにより、動作中の外部 ESD イベントに対する EUT 耐性が判定されます。図 2-1 に、ESD テストの設定と接続の図を示します。高さ 0.8m の木製テーブルが GRP の上に置かれています。1.6m × 0.8m の水平カップリング プレーン (HCP) がテーブルに置かれています。EUT は、HCP の上部に置いた厚さ 0.5mm の絶縁マットを使用してテストされ、絶縁されています。EUT は、0.5m×0.5m の垂直カップリング プレーン (VCP) から 0.1m 離れた絶縁マット上に置かれています。

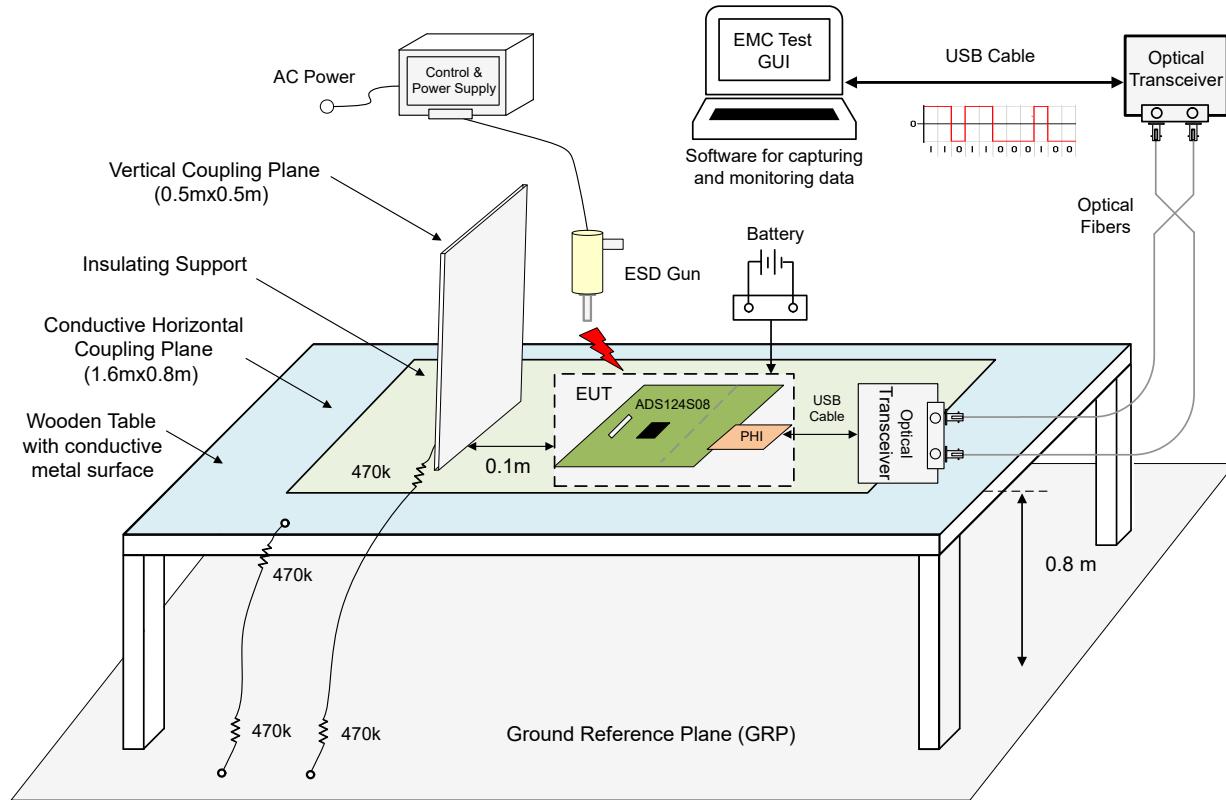


図 2-1. ESD テストのラボ設定図

ESD テストには、接触放電と空中放電の 2 種類があります。接触放電テストは、ESD ガンの先端が ADS124S08 RTD EMC テスト基板の入力端子ブロック (J2) の導電性ネジおよび ADS124S08 TC EMC テスト基板の入力端子ブロック (J2/J3/J4/J5) に直接接触する、最も積極的な直接放電テストです。空中放電テストは、直接的空隙放電、水平カップリング プレーン (HCP)への間接放電、垂直カップリング プレーン (VCP)への間接放電の 3 つの異なる方法で実行されます。空隙放電テストでは、ADS124S08 EMC テスト基板の入力端子ブロックの絶縁表面近くに ESD ガンの先端を置きます。間接放電テストでは、HCP または VCP に ESD 信号が印加され、設計が取り付けられている装置ラックに ESD 衝撃が発生します。

図 2-2 に、ESD 衝撃がかけられている箇所の拡大図を示します。HCP および VCP への放電は、接触放電モードの ESD ガン 1 と ESD ガン 2 を個別に使用して行われます。ESD ガンは VCP エッジに対して垂直に保持され、ESD 衝撃はプレーンのエッジに放出されます。

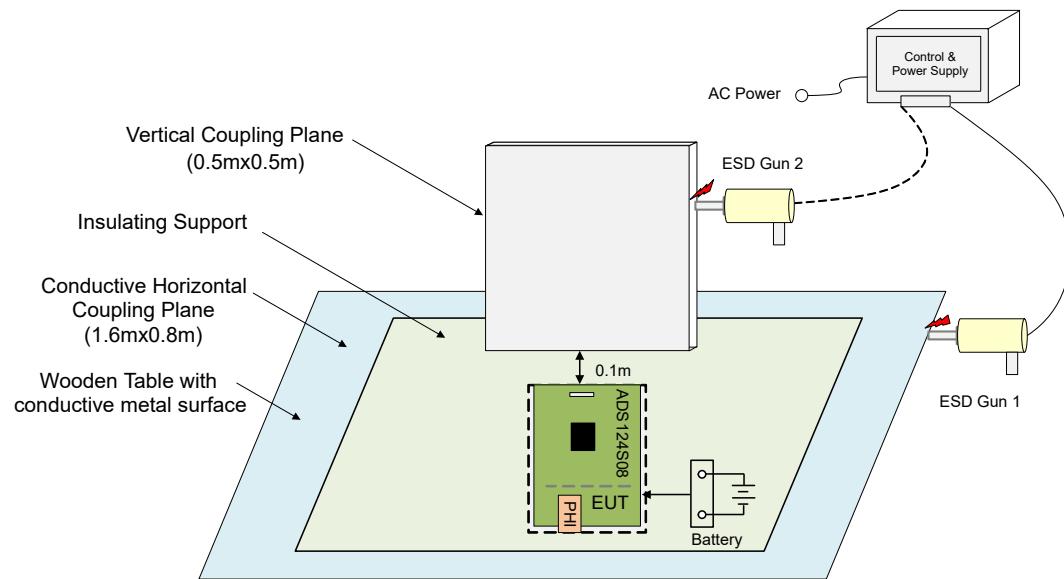


図 2-2. ESD ガン 1 とガン 2 を使用した HCP および VCP への放電

表 2-2 は IEC 61000-4-2 テストレベルを規定したものです。

表 2-2. :ESD テストのテストレベル

接触放電		空中放電	
レベル	テスト電圧 (kV)	レベル	テスト電圧 (kV)
1	2	1	2
2	4	2	4
3	6	3	8
4	8	4	15
X	スペシャル	X	スペシャル

図 2-3 に ADS124S08 EMC テスト基板での ESD テストの実際の設定の写真を示します。

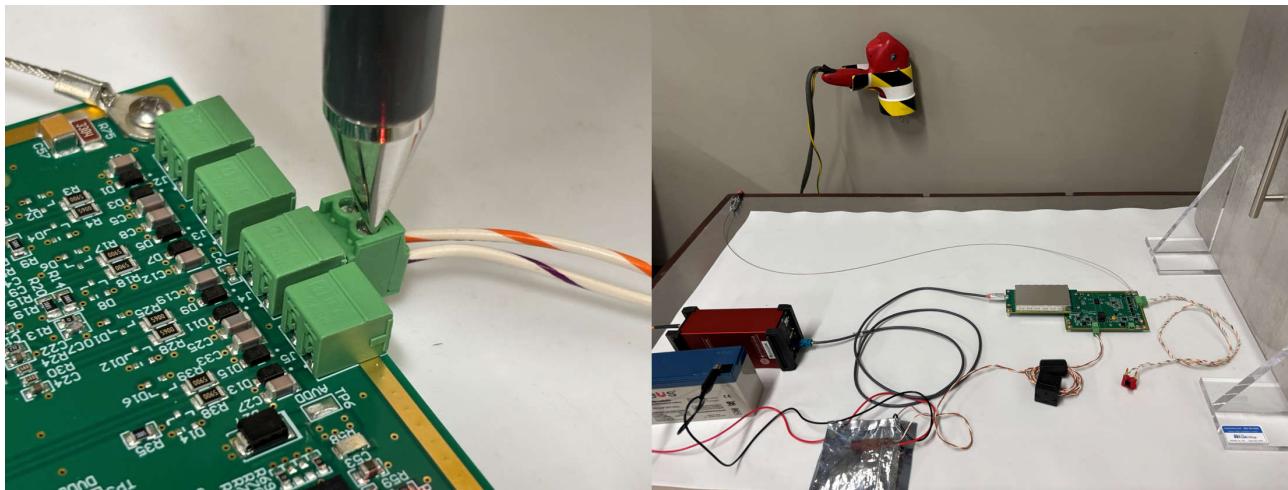


図 2-3. ESD テストのラボ設定

ESD テストに 2 層 TC EMC テスト基板を使用した、キャリブレーションされていない ADS124S08 の出力温度データを図 2-4 に示します。テスト基板は、内部の VBIAS 電圧を使用してセンサにバイアスを印加して、熱電対を測定するように構成されました。図の左側のグラフは、入力チャネルに正の ESD 放電が印加された場合の ADC 変換コードを示しています。

ます。右側のグラフは、入力チャネルに負の ESD 放電が印加された場合の ADC 変換コードを示しています。どちらのグラフも、ESD テストが ADS124S08 に影響を及ぼし、一時的な性能低下につながったことを示しています。ただし、デバイスはユーザーの介入なしに自動的に回復しました。そのため、ADS124S08 EMC テスト基板は条件 B で ESD テストに合格しました。

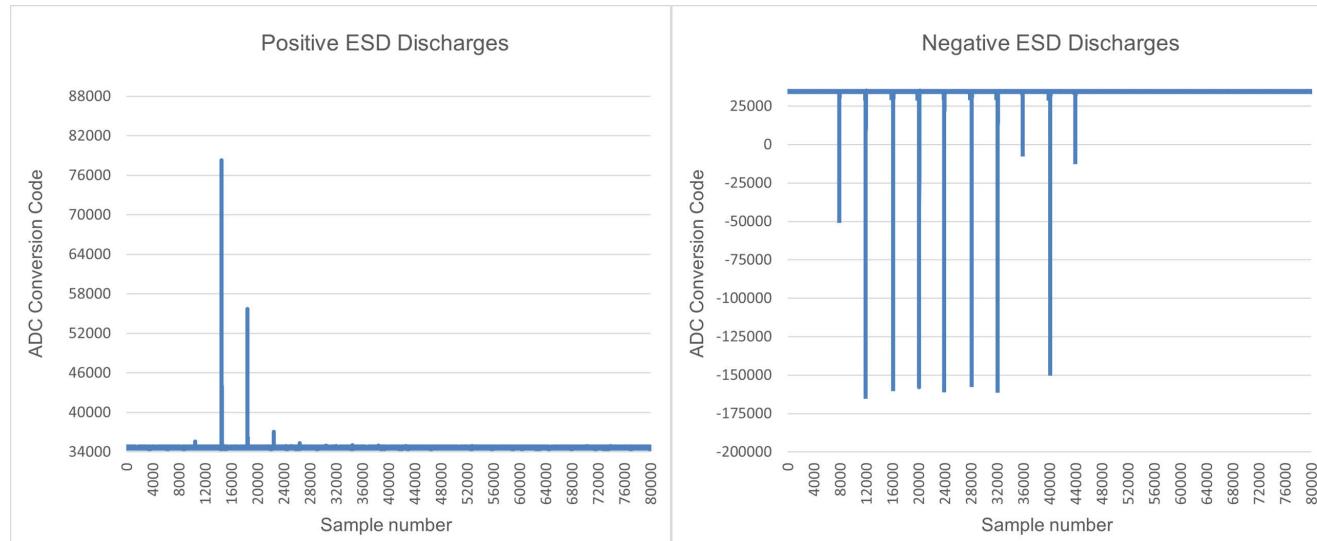


図 2-4. ESD テストでキャプチャされた ADC 変換コード

表 2-3 は、ESD テストの結果を示します。テスト結果は、すべての RTD および TC EMC テスト基板のすべての構成で同じです。

表 2-3. ESD テストのテスト結果

テスト	IEC 規格	構成	テスト信号			条件	テスト結果
			テストの種類	テストレベル	テスト電圧		
ESD	IEC 61000-4-2	RTD:4 層、3 線式、ロー サイド R_{REF}	接触放電	4	+8kV	B	合格
					-8kV	B	合格
			空中放電	4	+15kV	B	合格
					-15kV	B	合格
		RTD:2 層、3 線式、ハイ サイド R_{REF}	接触放電	4	+8kV	B	合格
					-8kV	B	合格
			空中放電	4	+15kV	B	合格
					-15kV	B	合格
		TC:2 層、センサ バイアス用 VBIAS	接触放電	4	+8kV	B	合格
					-8kV	B	合格
			空中放電	4	+15kV	B	合格
					-15kV	B	合格
		TC:2 層、REFOUT バイアス プルアップ抵抗	接触放電	4	+8kV	B	合格
					-8kV	B	合格
			空中放電	4	+15kV	B	合格
					-15kV	B	合格

2.3 放射耐性 (RI)

IEC 61000-4-3 規格では、テストの条件と設定要件を含む RI テストの詳細が規定されています。IEC61000-4-3 テストにより、動作中の外部電磁放射に対する EUT 耐性が判定されます。このテストは無響室で実施し、EUT は高さ 0.8m の非導電性テーブルに配置します。EUT とアンテナの間のテスト距離は 3m です。EUT は各定格で水平方向と垂直方向の磁界極性の両方にさらされます。RF テスト信号は 80MHz から 1GHz まで掃引され、1GHz ~ 2.7GHz の範囲で、振幅 80% の外乱信号は 1kHz の正弦波信号で変調されます。各周波数範囲の磁界強度は 10V/m と 18V/m です。変換データは PHI コントローラ カードによって EUT からキャプチャされ、完全に絶縁された光ファイバ ケーブルを経由して、無響室の外にあるソフトウェア スクリプトを実行しているノート PC に送信されます。

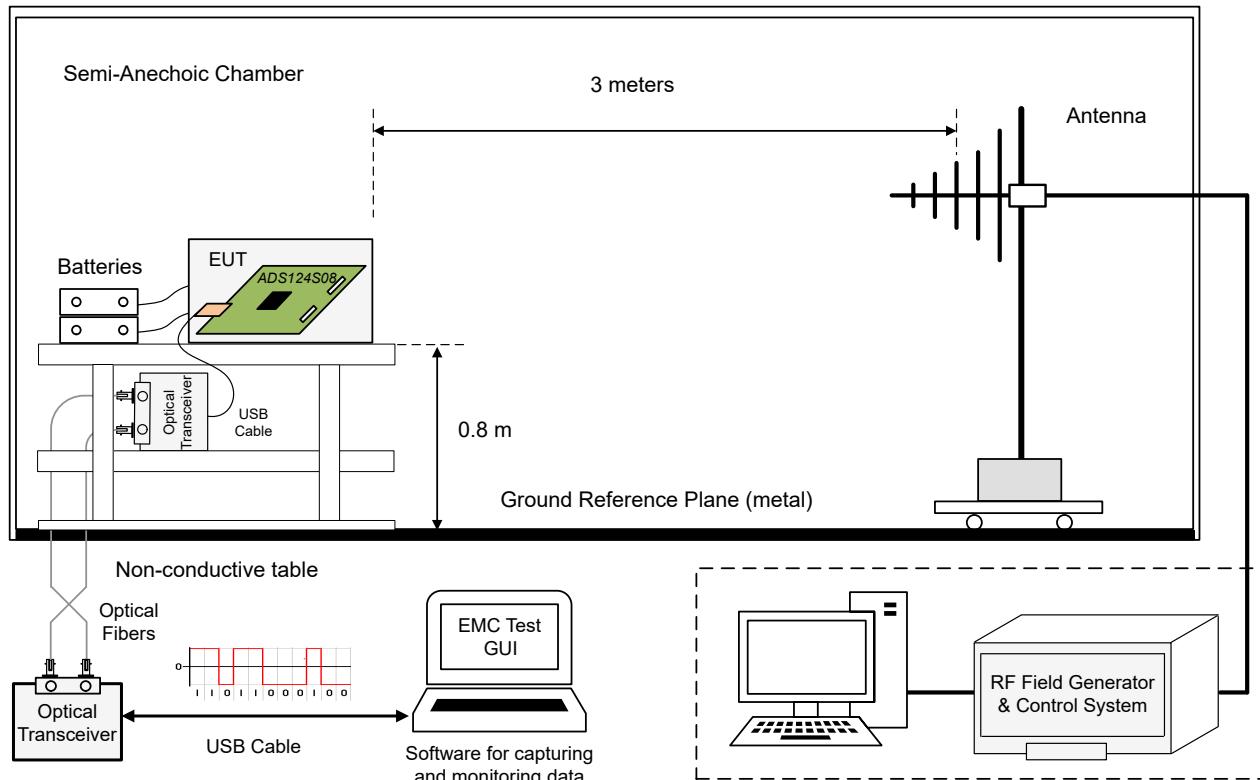


図 2-5. 放射耐性テストのラボ設定図

表 2-4 は IEC 61000-4-3 テスト レベルを規定したものです。

表 2-4. 放射耐性テストのテスト レベル

レベル	テスト信号の磁界強度 (V/m)
1	1
2	3
3	10
4	30
x	これはオープン テスト レベルであり、関連する磁界強度は任意の値にすることができます。このレベルは、製品規格で規定されています。

図 2-6 に ADS124S08 EMC テスト基板での放射耐性テストの実際の設定を示します。



RF Immunity Test: 80 – 1000MHz

RF Immunity Test: 1 - 2.7GHz

図 2-6. 放射耐性テストのラボ設定

放射耐性テストの実行中と後に 4 層 RTD EMC テスト基板を使用した、キャリブレーションされていない ADS124S08 の出力温度データを 図 2-7 に示します。これらのテスト用に、ローサイド電圧リファレンスを使用して 3 線式 RTD を測定するようにテスト基板を構成しました。左側のグラフは、テスト信号の周波数が 80MHz から 1GHz まで掃引した場合の放射耐性テスト中に ADC からキャプチャされた温度データを示しています。中央のグラフは、テスト信号の周波数が 1GHz から 2.7GHz まで掃引した場合に ADC からキャプチャされた温度データを示しています。右側のグラフは、放射耐性テストが完了した時点で、ADC からキャプチャした温度データを示しています。グラフに示すように、ADS124S08 はテスト信号の影響を受けませんでした。そのため、ADS124S08 EMC テスト基板は条件 A の放射耐性テストに合格しました。

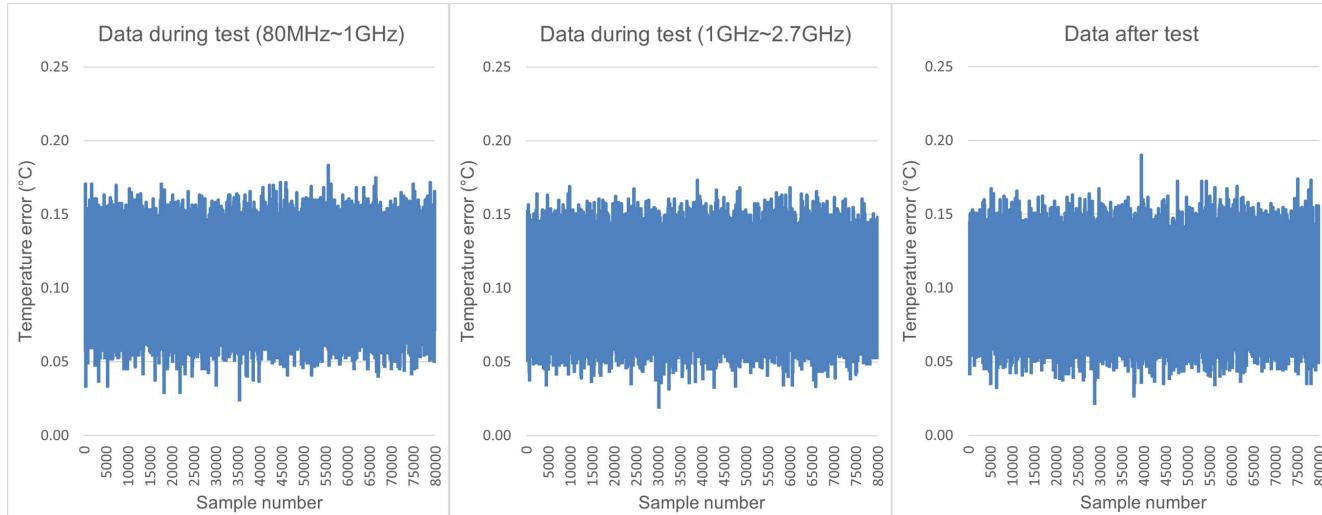


図 2-7. 放射耐性テストでキャプチャした温度データ

表 2-5 は、RI テストの結果を示します。テスト結果は、すべての RTD および TC EMC テスト基板のすべての構成で同じです。

表 2-5. 放射耐性テストのテスト結果

テスト	IEC 規格	構成	テスト信号			条件	テスト結果
			電界強度	周波数	アンテナ偏波		
放射耐性 (RI)	IEC 61000-4-3	RTD:4 層、3 線式、低 R_{REF}	10V/m (レベル 3)	80kHz, -1GHz	水平	A	合格
					垂直	A	合格
				1GHz, -2.7GHz	水平	A	合格
				1GHz, -2.7GHz	垂直	A	合格
		RTD:2 層、3 線式、ハイサイド R_{REF}	10V/m (レベル 3)	80kHz, -1GHz	水平	A	合格
					垂直	A	合格
				1GHz, -2.7GHz	水平	A	合格
		TC:2 層、REFOUT バイアス プルアップ抵抗	10V/m (レベル 3)	150kHz, -80MHz	水平	A	合格
					垂直	A	合格
				1GHz, -2.7GHz	水平	A	合格
				1GHz, -2.7GHz	垂直	A	合格

2.4 電気的高速過渡現象 (EFT)

IEC 61000-4-4 規格では、テストの条件と設定要件を含む EFT テストの詳細が規定されています。IEC61000-4-4 テストは、動作中に持続時間が短く立ち上がり時間が速い過渡信号の外部バーストに対する EUT の耐性を判定します。この規格では、信号ポートと制御ポートに 2 つの反復周波数を使用する 4 つのテスト電圧レベル、5kHz および 100kHz の反復周波数で 0.25kV、0.5kV、1kV、および 2kV が定義されています。各テストには、正と負の極性の放電も必要です。ADS124S08 EMC テスト基板は、標準の 1kV および 2kV レベル、およびより過酷な 4kV レベルでテストされています。ADS124S08 EMC テスト基板は、5kHz と 100kHz の両方の周波数でテストされています。EFT 過渡バーストは 75 の高速パルスと、それに続くブレーク間隔で構成されます。1 つのパルスは、5kHz の場合 15ms ごと、100kHz の場合 0.75ms ごとに発生し、300ms ごとにバーストが繰り返されます。それぞれのバーストパルスは、立ち上がり時間が 5ns、合計パルス幅が 50ns のダブル指数波形です。各テストの合計テスト時間は約 1 分です。

図 2-8 に、EFT 耐性テストの設定とピン配置を示します。この設定では、2m のツイストペア入力配線を 1m の長さの標準容量性 EFT クランプに通して、EFT 信号を ADS124S08 EMC テスト基板のアナログ入力に印加します。テスト内のすべてのケーブルは、GRP から絶縁された状態を保つために、絶縁支持材に配置されています。EUT は GRP の上に配置され、0.1m の絶縁プラットフォームによって GRP から絶縁されます。

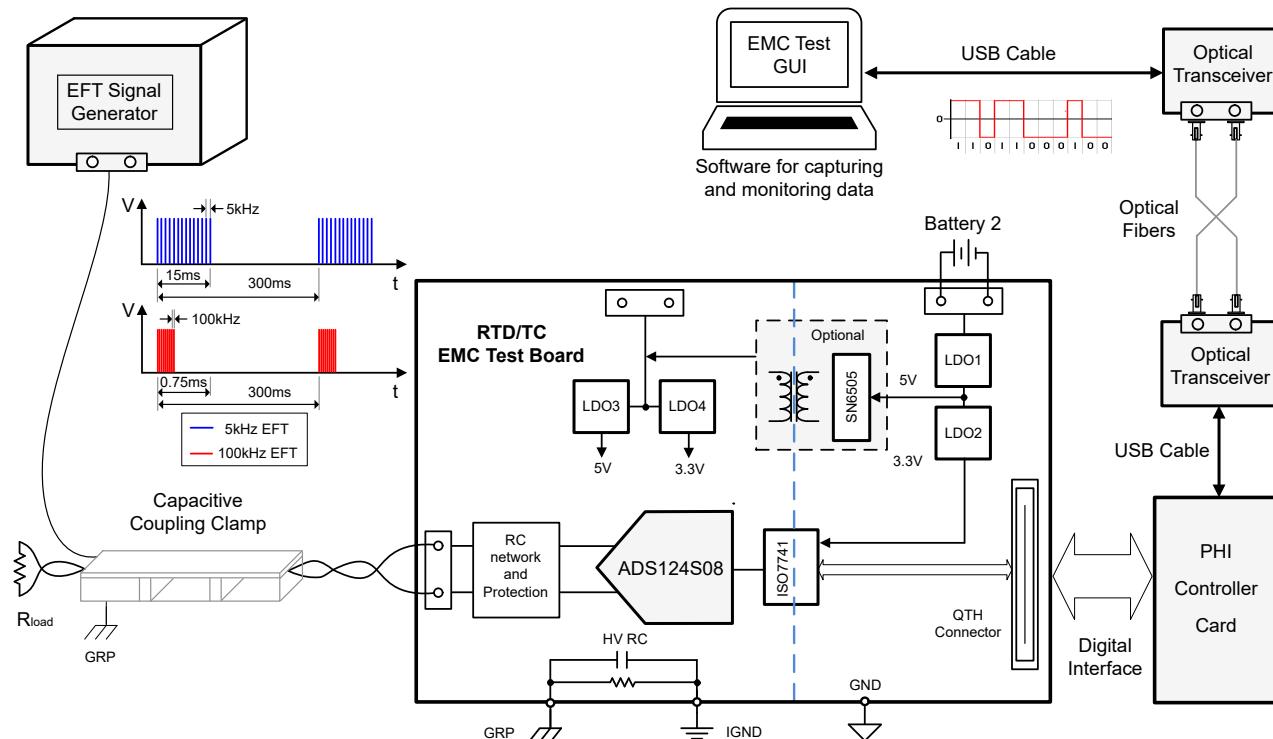


図 2-8. EFT テストのラボ設定図

表 2-6 は IEC 61000-4-4 テスト レベルを規定したものです。

表 2-6. EFT テストのテスト レベル

レベル	電源ポート側			I/O、信号、データ、および制御ライン側		
	開路電圧 (kV)	短絡電流 (A)	反復率 (kHz)	開路電圧 (kV)	短絡電流 (A)	反復率 (kHz)
1	0.5	10	5 または 100	0.25	5	5 または 100
2	1	20	5 または 100	0.5	10	5 または 100
3	2	40	5 または 100	1	20	5 または 100
4	4	80	5 または 100	2	40	5 または 100
x	これはオープン テスト レベルであり、テスト レベルは任意の値にすることができます。このレベルは、製品規格で規定されています。					

図 2-9 に ADS124S08 EMC テスト基板での EFT テストの実際の設定を示します。



図 2-9. EFT テストのラボ設定

EFT テストの前、実行中、後に 2 層 TC EMC テスト基板を使用した、キャリブレーションされていない ADS124S08 の出力温度データを 図 2-10 に示します。EFT テスト信号は、内部 VBIAS 電圧を使用してセンサにバイアスを印加するチャネルに結合されます。左側のグラフは、EFT テストの直前とテスト中に ADC でキャプチャされた温度データを示しています。右側のグラフは、EFT テスト中およびテスト完了後に ADC からキャプチャされた温度データを示しています。どちらのグラフも、EFT テストが ADS124S08 に影響を及ぼし、一時的な性能低下につながったことを示しています。ただし、デバイスはユーザーの介入なしに自動的に回復しました。そのため、ADS124S08 EMC テスト基板は条件 B で EFT テストに合格しました。

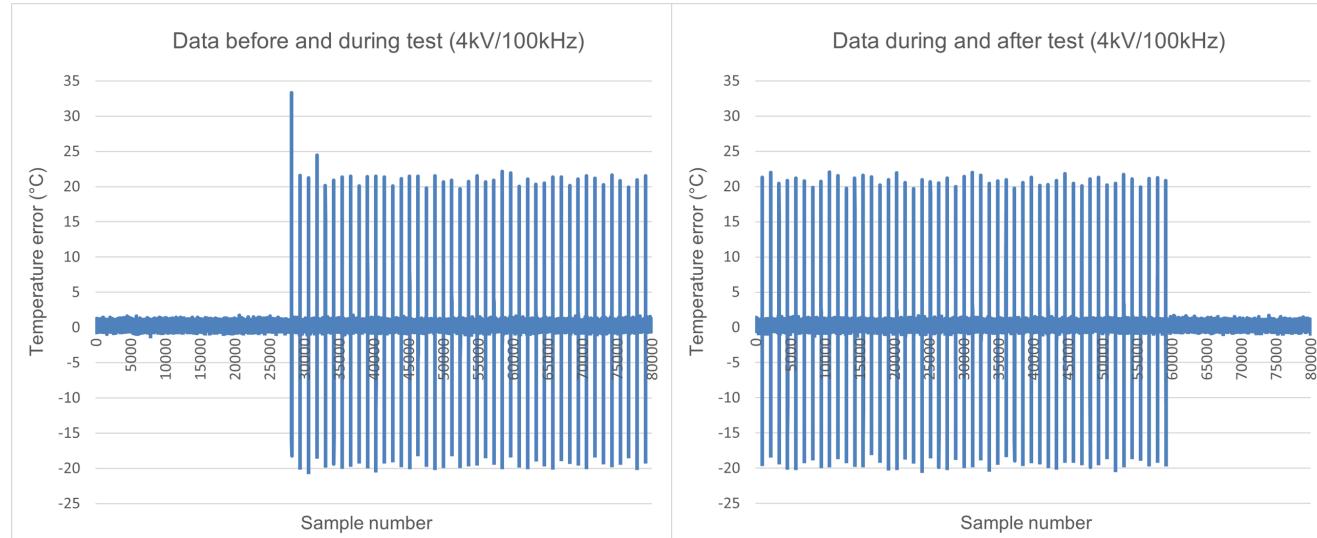


図 2-10. EFT テストでキャプチャされた温度データ

表 2-7 は、EFT テストの結果を示します。テスト結果は、すべての RTD および TC EMC テスト基板のすべての構成で同じです。

表 2-7. EFT テストのテスト結果

テスト	IEC 規格	構成	テスト信号		テスト レベル	条件	テスト結果
			電圧	周波数			
EFT	IEC 61000-4-4	RTD:4 層、3 線式、ロー サイド R_{REF}	$\pm 4\text{kV}$	5kHz	4	B	合格
			$\pm 4\text{kV}$	100kHz	4	B	合格
		RTD:2 層、3 線式、ハイ サイド R_{REF}	$\pm 4\text{kV}$	5kHz	4	B	合格
			$\pm 4\text{kV}$	100kHz	4	B	合格
		TC:2 層、センサ バイアス 用 VBIAS	$\pm 4\text{kV}$	5kHz	4	B	合格
			$\pm 4\text{kV}$	100kHz	4	B	合格
		TC:2 層、REFOUT バイ アス プルアップ抵抗	$\pm 4\text{kV}$	5kHz	4	B	合格
			$\pm 4\text{kV}$	100kHz	4	B	合格

2.5 サージ耐性 (SI)

IEC 61000-4-5 規格では、テストの条件と設定要件を含む SI テストの詳細が規定されています。この設定には、試験装置と、特定のソースインピーダンスと結合モード（ライン間またはライン対グラウンド）でサージテストを実行するための手順が含まれています。IEC 61000-4-5 テストは、電力ラインとデータラインの両方の外部高エネルギー サージに対する EUT 耐性を判定します。このようなエネルギー サージは、電源システムのスイッチング、負荷の変化や短絡の故障、または直接的または間接的な落雷が原因で発生する可能性があります。IEC 61000-4-5 では、2 種類の組み合わせ波形ジェネレータ (CWG) が規定されています。10μs/700μs CWG は、特に対称通信回線のポートのテストに使用されます。1.2μs/50μs CWG は、それ以外のすべての場合に使用されます。それ以外の場合のサージは、1.2μs/50μs (50μs パルス幅での 1.2μs 立ち上がり時間) の開路電圧波形と 8μs/20μs (20μs パルス幅での 8μs 立ち上がり時間) の短絡電流波形の組み合わせです。EUT は、各定格で 2 つの正サージと 2 つの負サージにさらされます。サージは少なくとも 1 分間に 1 回繰り返されます。サージテストでは、カップリング / デカップリング ネットワーク (CDN) が必要です。IEC 61000-4-5 は、カップリング ネットワークで使用されるインピーダンスと容量をさまざまな状況で定義します。EUT は、0.5μF コンデンサとツイストケーブルを使用した CDN を通してサージを使ってテストされています。

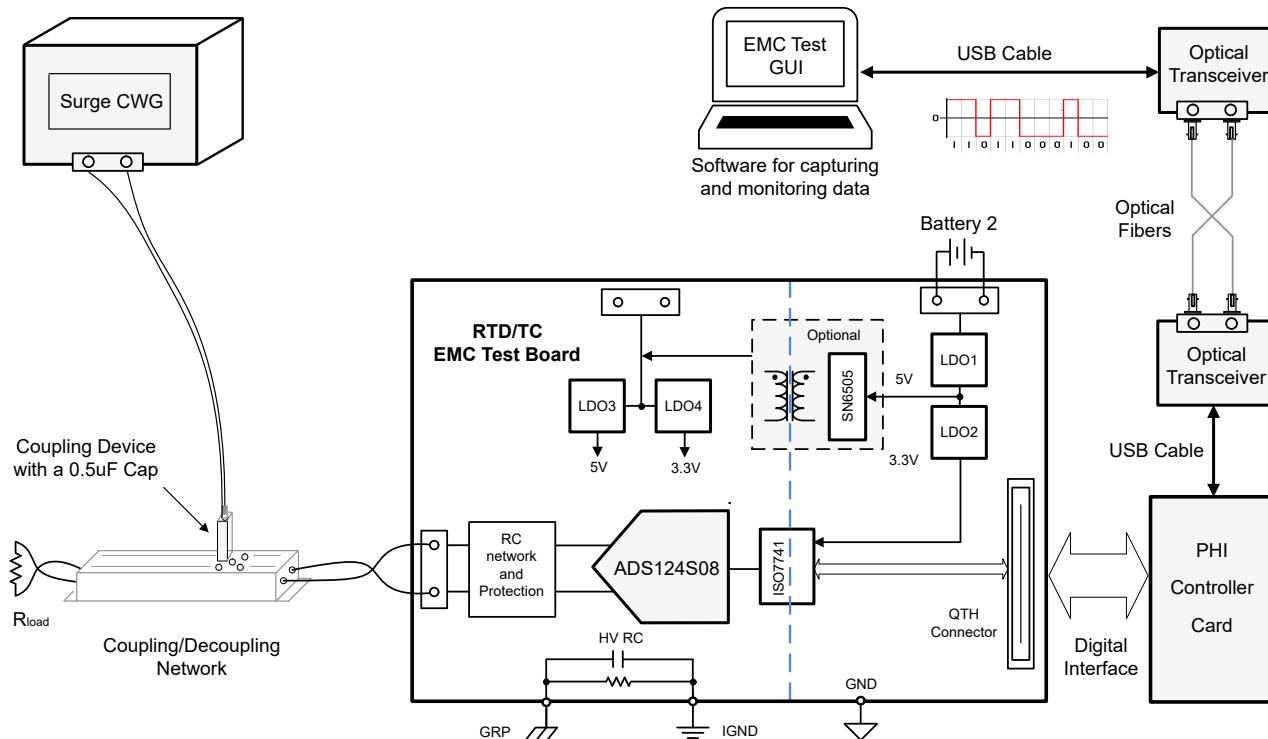


図 2-11. サージ テストのラボ設定図

表 2-8 は IEC 61000-4-5 テスト レベルを規定したものです。

表 2-8. サージ テストのテスト レベル

レベル	開路テスト電圧 ±10% (kV)
1	0.5
2	1.0
3	2.0
4	4.0
X	他のレベルより上、下、またはその間にあるあらゆるレベルに対して特別。このレベルは、製品規格で規定されています。

サージジェネレータは、 2Ω の出力インピーダンスを使用して、低電圧電源のソースインピーダンスと、波形ジェネレータ固有のソースインピーダンスをモデル化します。電力ラインおよびデータラインのテスト要件に基づいて、EUT とサージジェネレータの間に追加の直列抵抗が必要な場合があります。サージ電流は、サージ電圧のレベルと合計インピーダンス

(Req) によって決定されます。ここで Req はサージジェネレータの出力インピーダンスと追加の直列抵抗の組み合せです。インピーダンスの選択は、装置の種類とテスト要件によって異なります。

表 2-9 に、さまざまなサージ電圧とインピーダンスに対するサージ電流レベルの基準マトリクスを示します。

表 2-9. サージテスト電圧とインピーダンスの電流レベル

	レベル 1	レベル 2	レベル 3	レベル 4
	500V	1kV	2kV	4kV
Req = 42Ω	12A	24A	48A	96A
Req = 12Ω	42A	84A	167A	334A
Req = 2Ω	250A	500A	1000A	2000A

図 2-12 に ADS124S08 EMC テスト基板でのサージテストの実際の設定を示します。



図 2-12. サージ テストのラボ設定

図 2-13 に、サージテスト ($\pm 1.5\text{kV}$ 、ライン対 GND) 時に 2 層 TC EMC テスト基板を使用したキャリブレーションなしの ADS124S08 出力データを示します。サージテスト信号が測定チャネルに結合されました。測定チャネルは、REFOUT バイアスをプルアップ抵抗で使用するよう構成されています。左側のグラフは、正のサージ信号が印加されたときの ADC 変換コードを示しています。右側のグラフは、入力チャネルに負のサージ信号が印加された場合の ADC 変換コードを示しています。どちらのグラフも、サージテストが ADS124S08 に影響を及ぼし、一時的な性能低下につながったことを示しています。ただし、デバイスはユーザーの介入なしに自動的に回復しました。そのため、ADS124S08 EMC テスト基板は条件 B でサージ テストに合格しました。

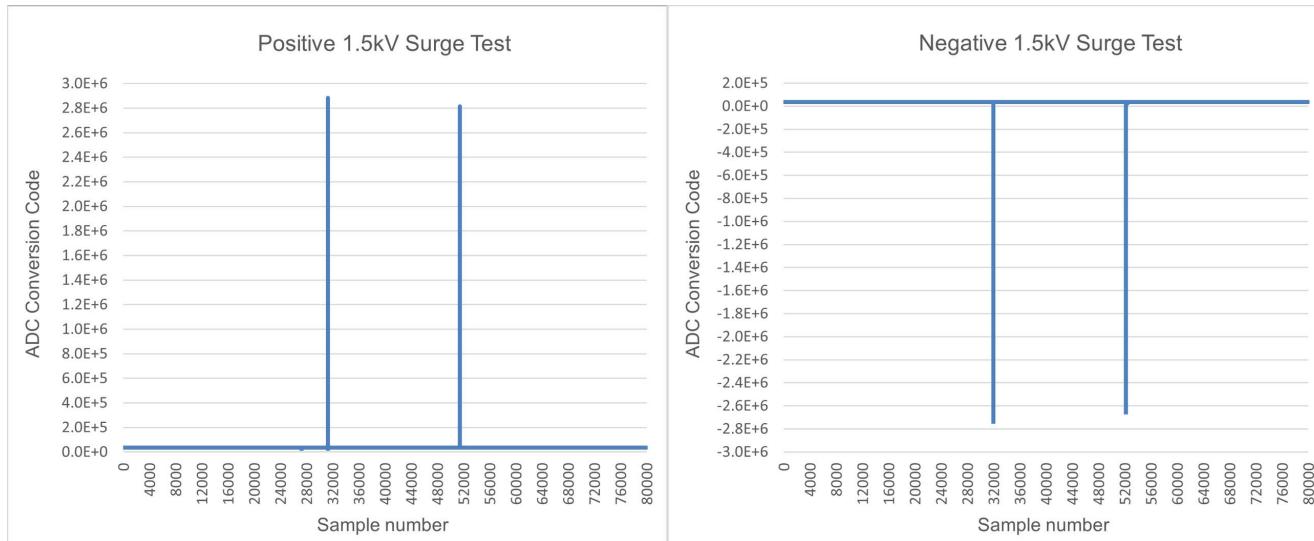


図 2-13. サージ テストでキャプチャされた ADC 変換コード

表 2-10 は、サージ テストの結果を示します。テスト結果は、すべての RTD および TC EMC テスト基板のすべての構成で同じです。

表 2-10. サージ テストのテスト結果

テスト	標準	タイプおよびインピーダンス	構成	テスト電圧	テスト レベル	条件	テスト結果
サージ	IEC 61000-4-5	ライン対グラウンド (カップリング ネットワークから 2Ω のソース インピーダンス + 40Ω)	RTD:4 層、3 線式、ローサイド R_{REF}	500V	1	B	合格
				1kV	2	B	合格
			RTD:2 層、3 線式、ハイサイド R_{REF}	500V	1	B	合格
				1kV	2	B	合格
			TC:2 層、センサバイアス用 VBIAS	1kV	2	B	合格
				1.5kV	> 2	B	合格
			TC:2 層、REFOUT バイアス プルアップ抵抗	1kV	2	B	合格
				1.5kV	> 2	B	合格

2.6 伝導耐性 (CI)

IEC 61000-4-6 規格では、テストの条件と設定要件を含む CI テストの詳細が規定されています。IEC61000-4-6 テストにより、動作中の外部伝導電磁妨害に対する EUT 耐性が判定されます。図 2-14 は、テスト信号が RF 信号発生器と、テスト信号を指定されたレベルまで増幅するために使用される RF パワー アンプから生成されることを示しています。テスト信号が注入プローブから EMC テスト基板の入力に注入されています。スペクトル アナライザ 1 はパワー アンプの出力の監視に使用し、スペクトル アナライザ 2 は注入された信号の監視と検証に使用します。信号周波数は、1kHz の正弦波信号で変調された振幅 80% の外乱信号によって 150kHz から 80MHz まで掃引されます。EUT は、グランドプレーンの指定された高さ (10cm) に配置する必要があります。

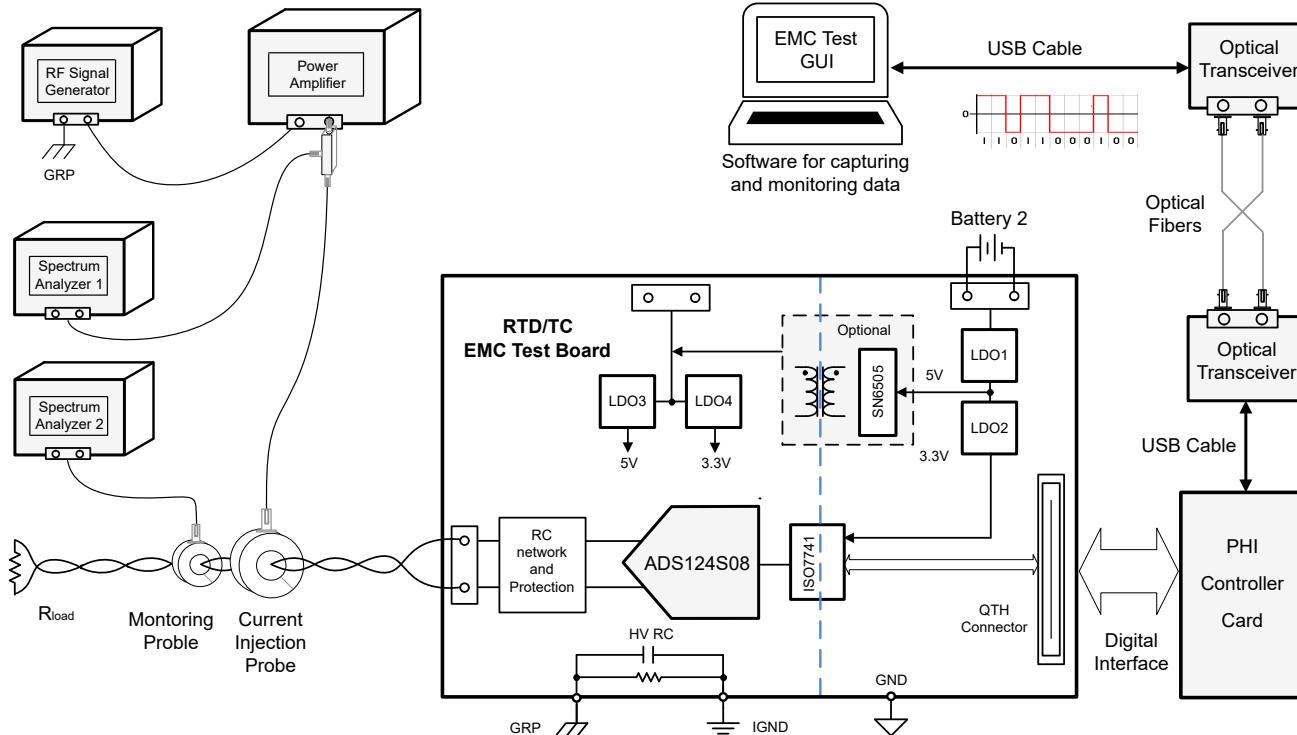


図 2-14. 伝導耐性テストのラボ設定図

表 2-11 は IEC 61000-4-6 テストレベルを規定したものです。

表 2-11. 伝導耐性テストのテストレベル

レベル	テスト信号の磁界強度	
	V0 (10V/m)	V0 (dBuV)
1	1	120
2	3	129.5
3	10	140
x	他のレベルより上、下、またはその間にあるあらゆるレベルに対して特別。このレベルは、製品規格で規定されています。	

図 2-15 に ADS124S08 EMC テスト基板での伝導耐性テストの実際の設定を示します。

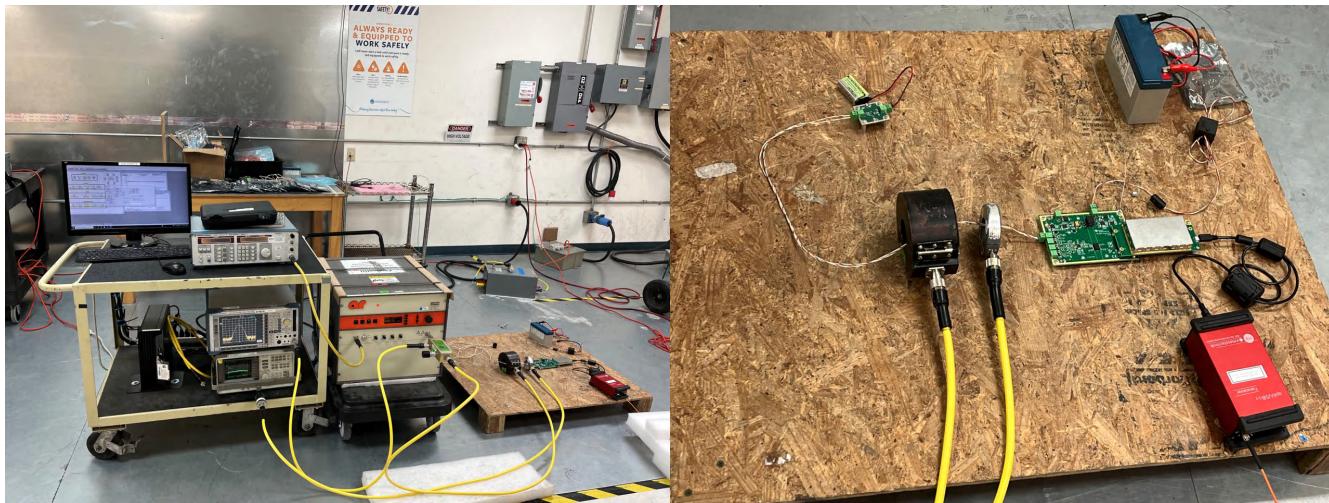


図 2-15. 伝導耐性テストのラボ設定

CI テストの実行中と後に 2 層 TC EMC テスト基板を使用した、キャリブレーションされていない ADS124S08 の出力温度データを図 2-16 に示します。CI テスト信号が測定チャネルに結合されました。測定チャネルは、REFOUT バイアスをプルアップ抵抗で使用するよう構成されています。左側のグラフは、伝導耐性テストの実施中に、ADC からキャプチャした温度データを示しています。右側のグラフは、伝導耐性テストが完了した時点で、ADC からキャプチャした温度データを示しています。どちらのグラフも、テスト信号周波数を 150kHz から 80MHz に掃引したとき、CI テストが ADS124S08 に影響を与えたことを示しています。そのため、ADS124S08 EMC テスト基板は条件 A の伝導耐性テストに合格しました。

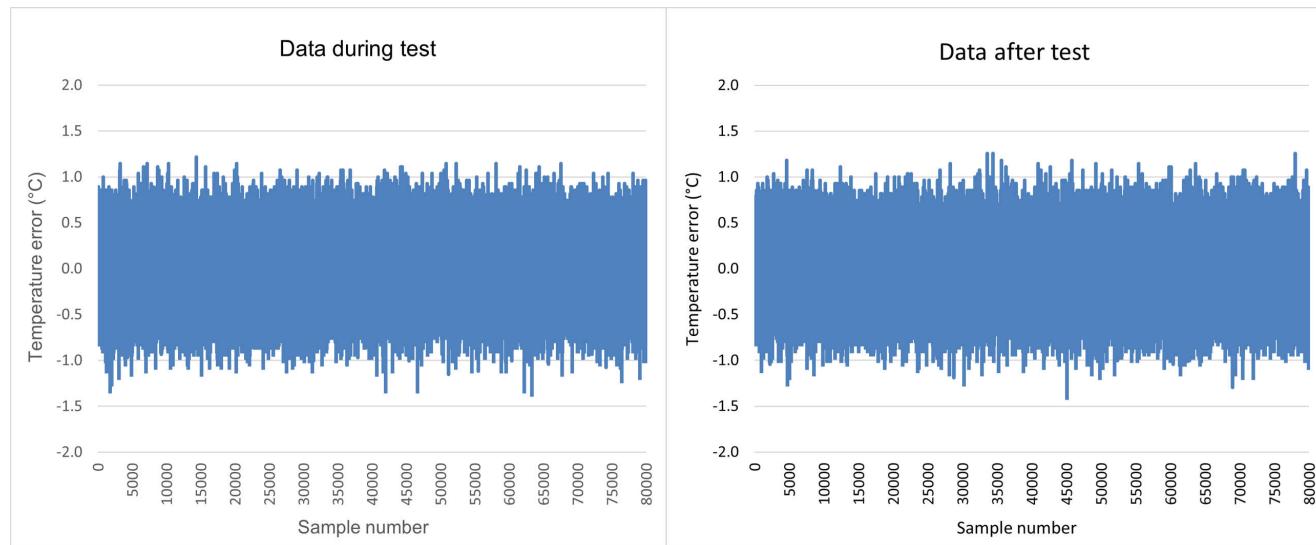


図 2-16. 伝導耐性テストでキャプチャされた温度データ

表 2-12 は、CI テストの結果を示します。テスト結果は、すべての RTD および TC EMC テスト基板のすべての構成で同じです。

表 2-12. 伝導耐性テストのテスト結果

テスト	IEC 規格	構成	テスト信号		条件	テスト結果
			電界強度	周波数		
伝導耐性 (CI)	IEC 61000-4-6	RTD: 4 層、3 線式、ローサイド / ハイサイド R_{REF}	10V/m (レベル 3)	150kHz-80MHz	A	合格
		RTD: 2 層、3 線式、ハイサイド R_{REF}	10V/m (レベル 3)	150kHz-80MHz	A	合格
		TC: 2 層、REFOUT バイアス プルアップ抵抗	10V/m (レベル 3)	150kHz-80MHz	A	合格

3 回路図、PCB レイアウト、部品表

3.1 回路図 - RTD EMC テスト基板

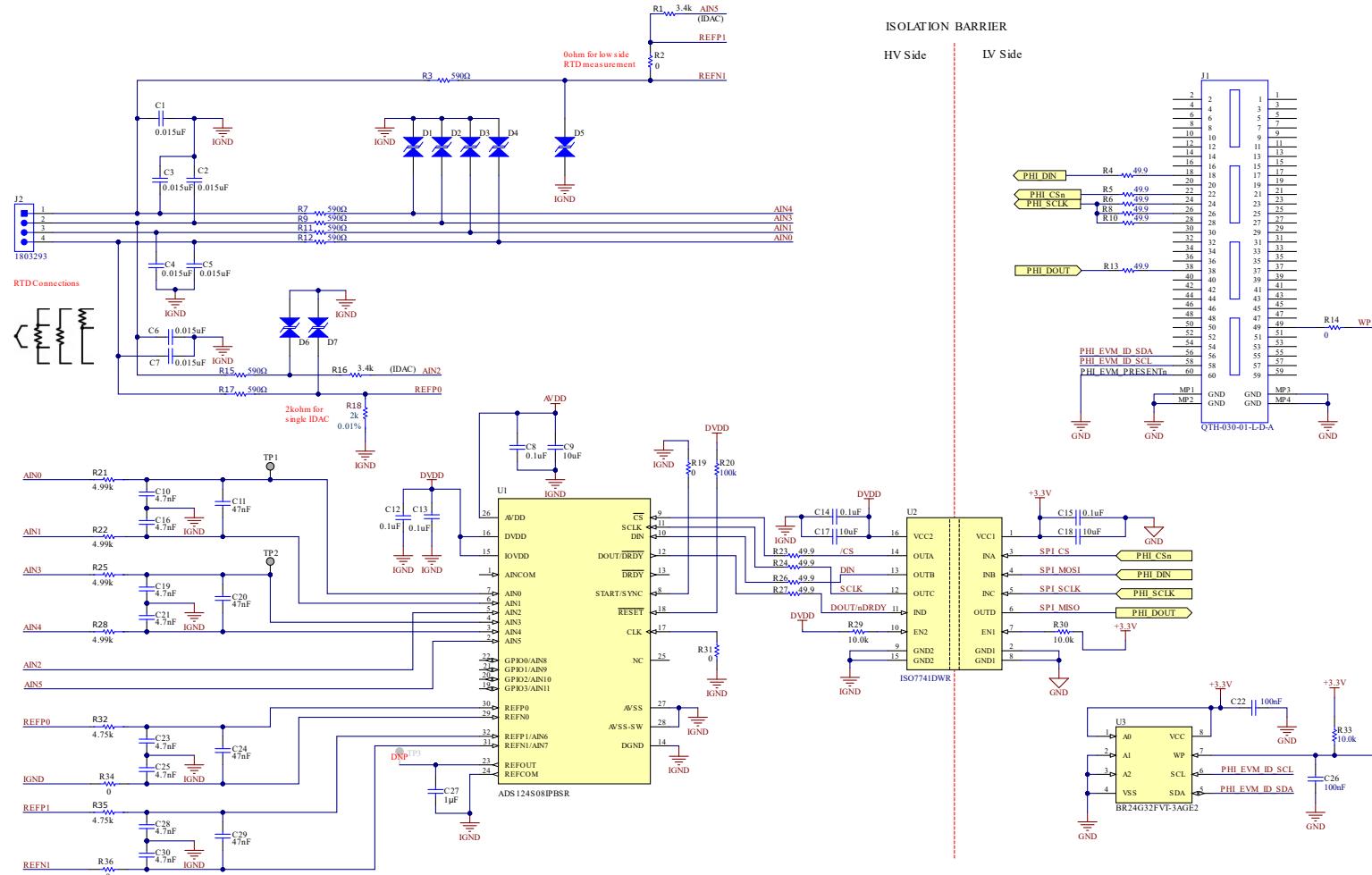


図 3-1. 回路図 - ADC

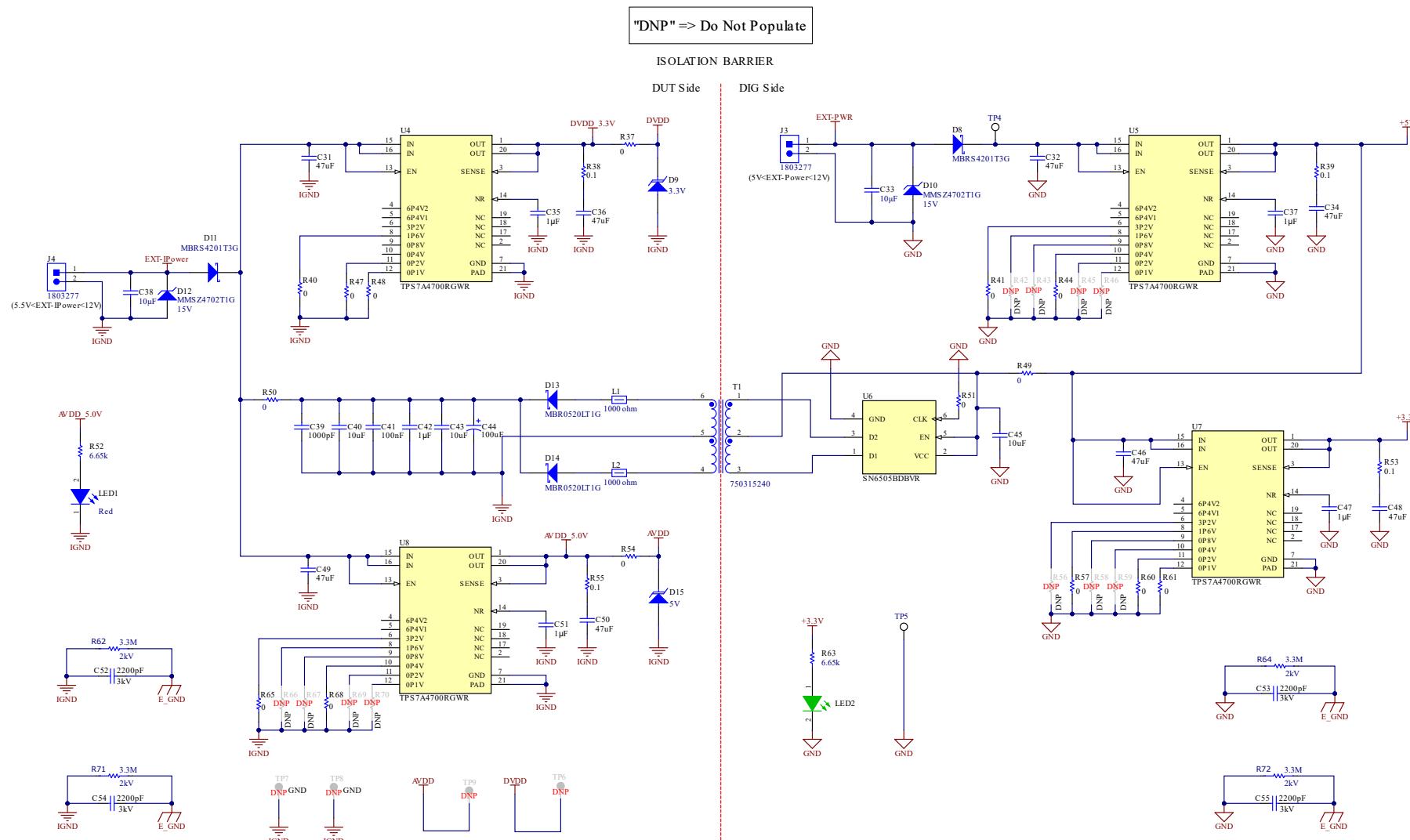
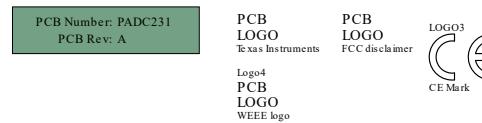


図 3-2. 回路図 - 電源



ZZ1
Assembly Note
These assemblies are ESD sensitive, ESD precautions shall be observed.
ZZ2
Assembly Note
These assemblies must be clean and free from flux and all contaminants. Use of no clean flux is not acceptable.
ZZ3
Assembly Note
These assemblies must comply with workmanship standards IPC-A-610 Class 2, unless otherwise specified.

図 3-3. 回路図 - ハードウェア

3.2 回路図 - TC EMC テスト基板

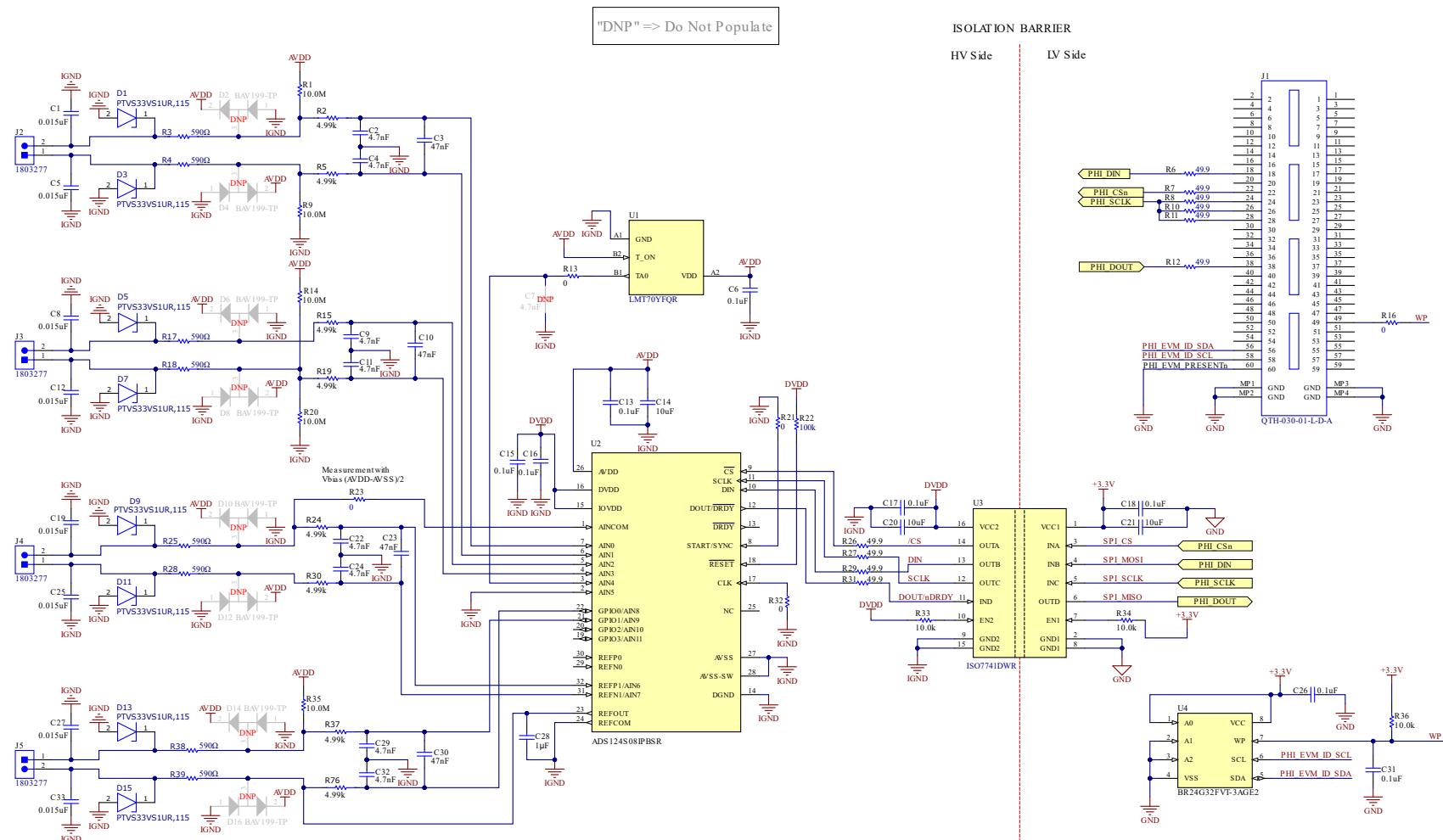


図 3-4. 回路図 - ADC

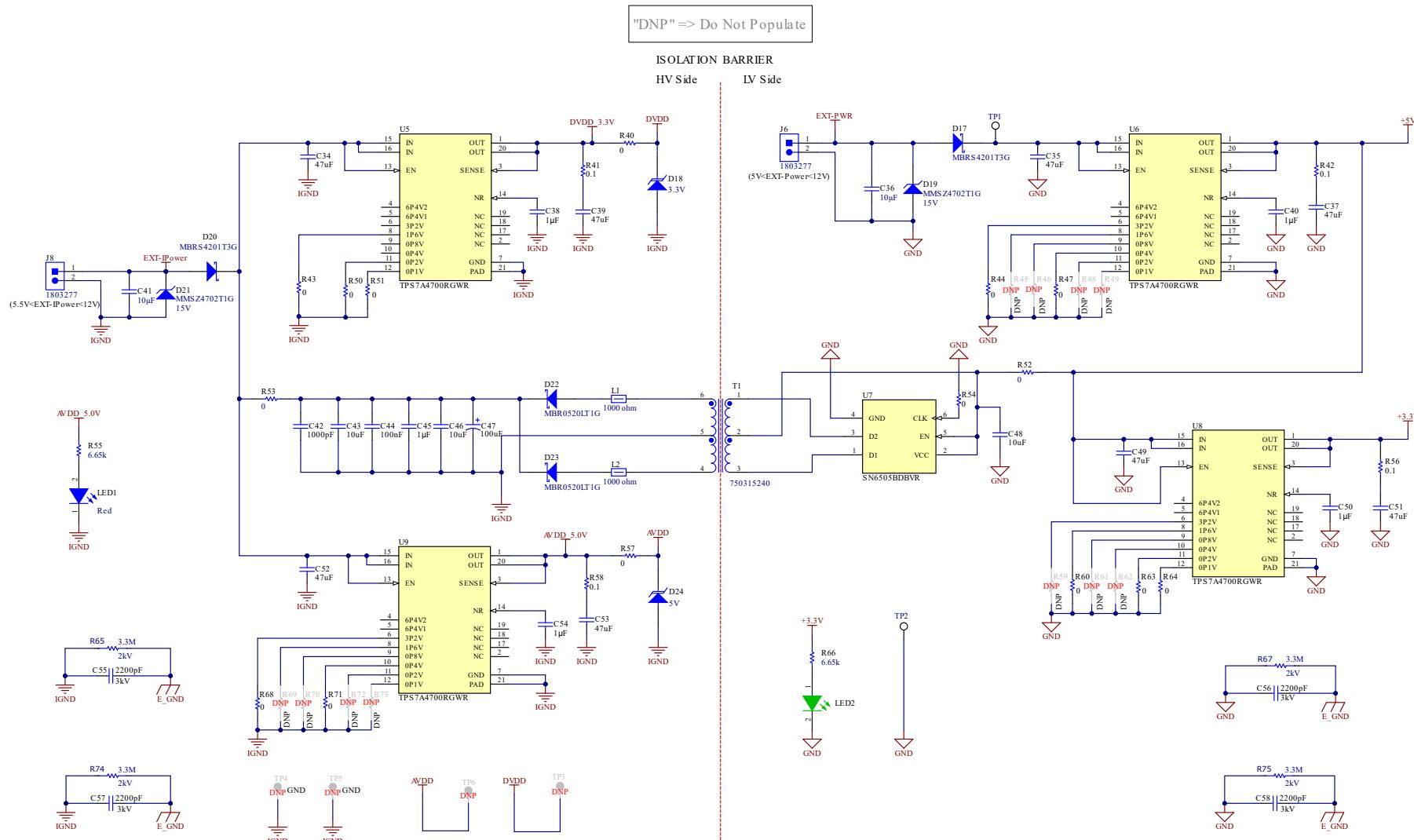


図 3-5. 回路図 - 電源

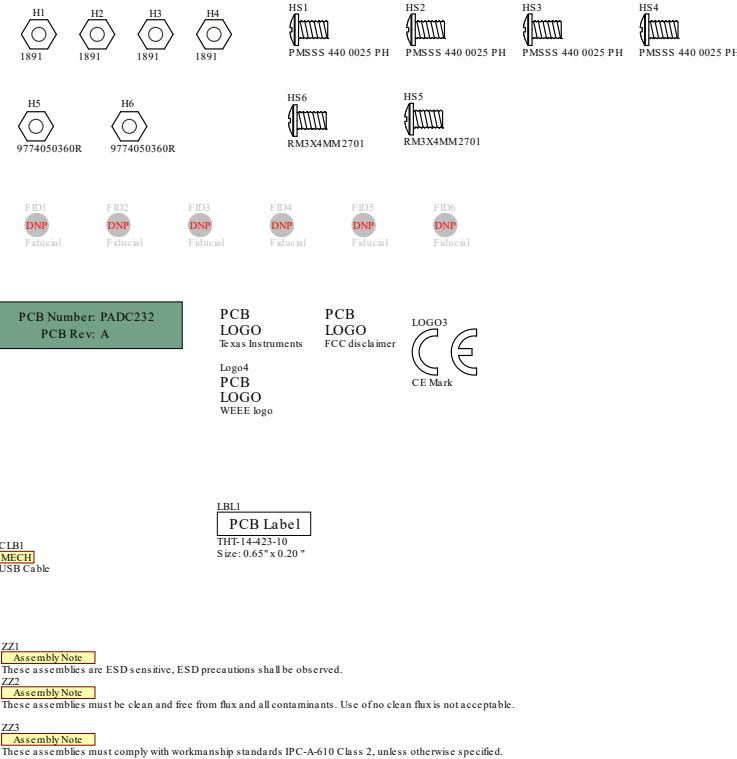


図 3-6. 回路図 - ハードウェア

3.3 PCB レイアウト - RTD EMC テスト基板 (4 層)

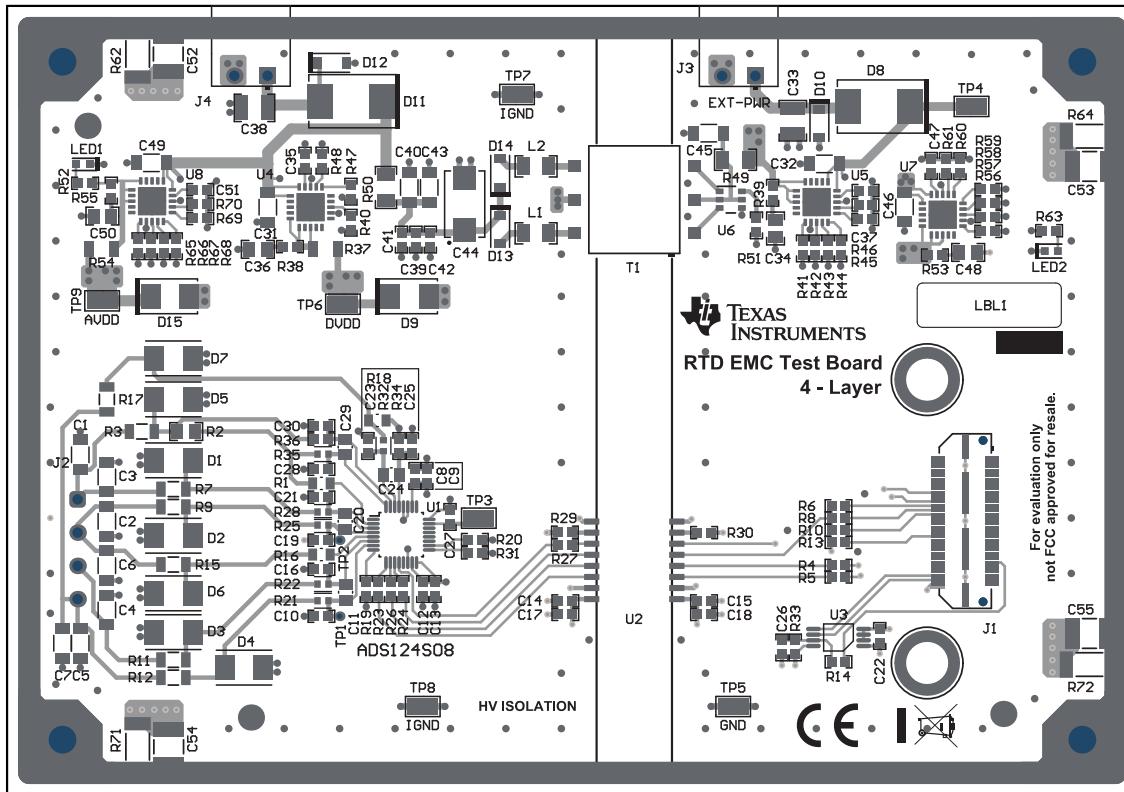


図 3-7. 上層(シルクスクリーン付き)

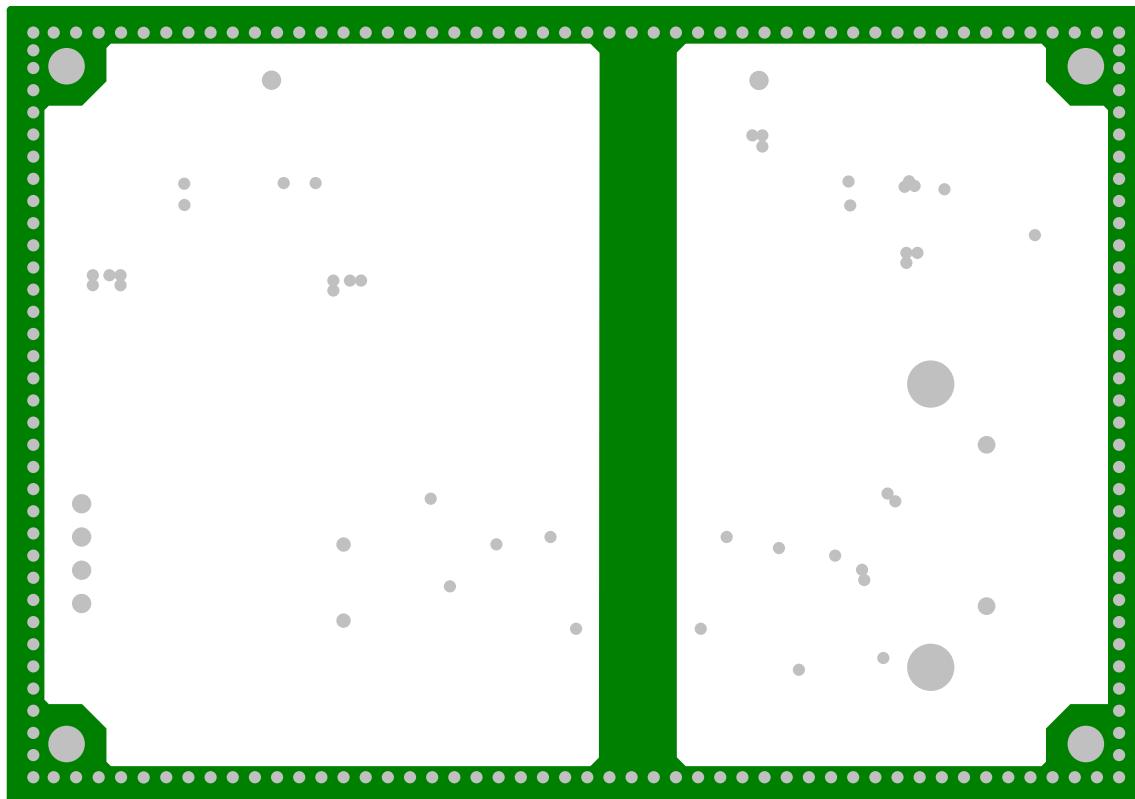


図 3-8. 内部グランド層

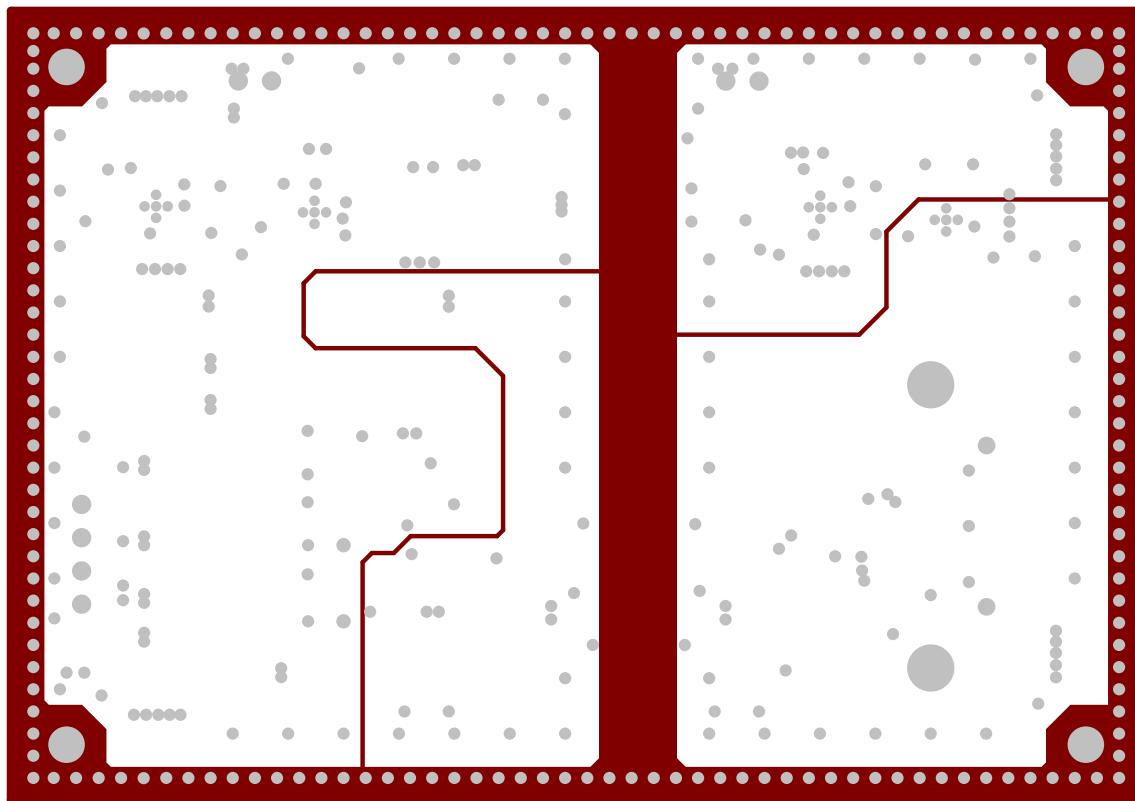


図 3-9. 内部電源層

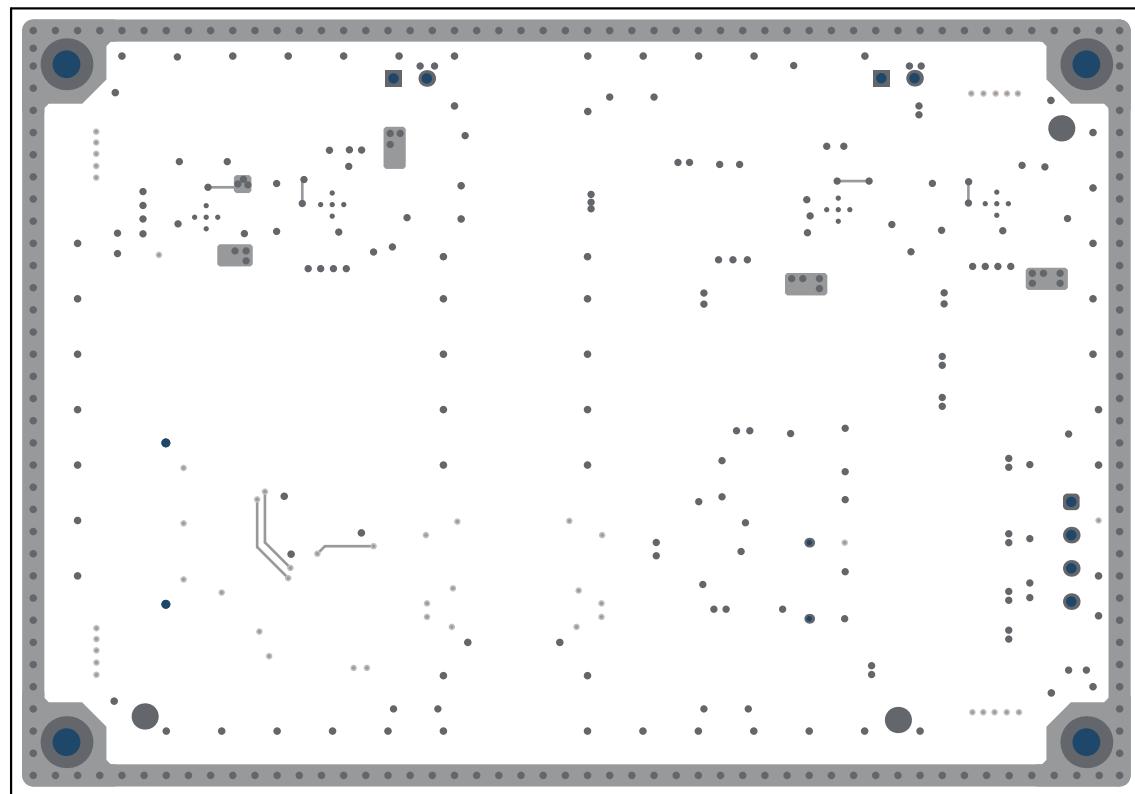


図 3-10. 下層 (シルクスクリーン付き)

3.4 PCB レイアウト - RTD EMC テスト基板 (2 層)

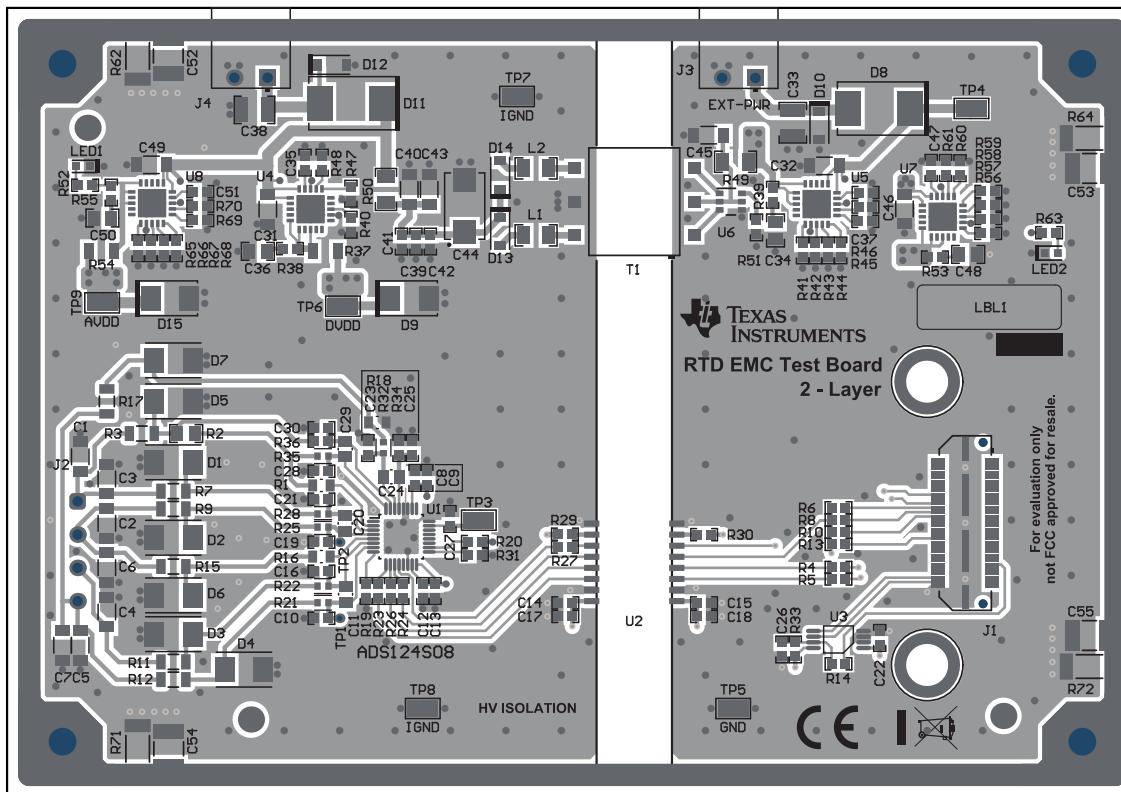


図 3-11. 上層 (シルクスクリーン付き)

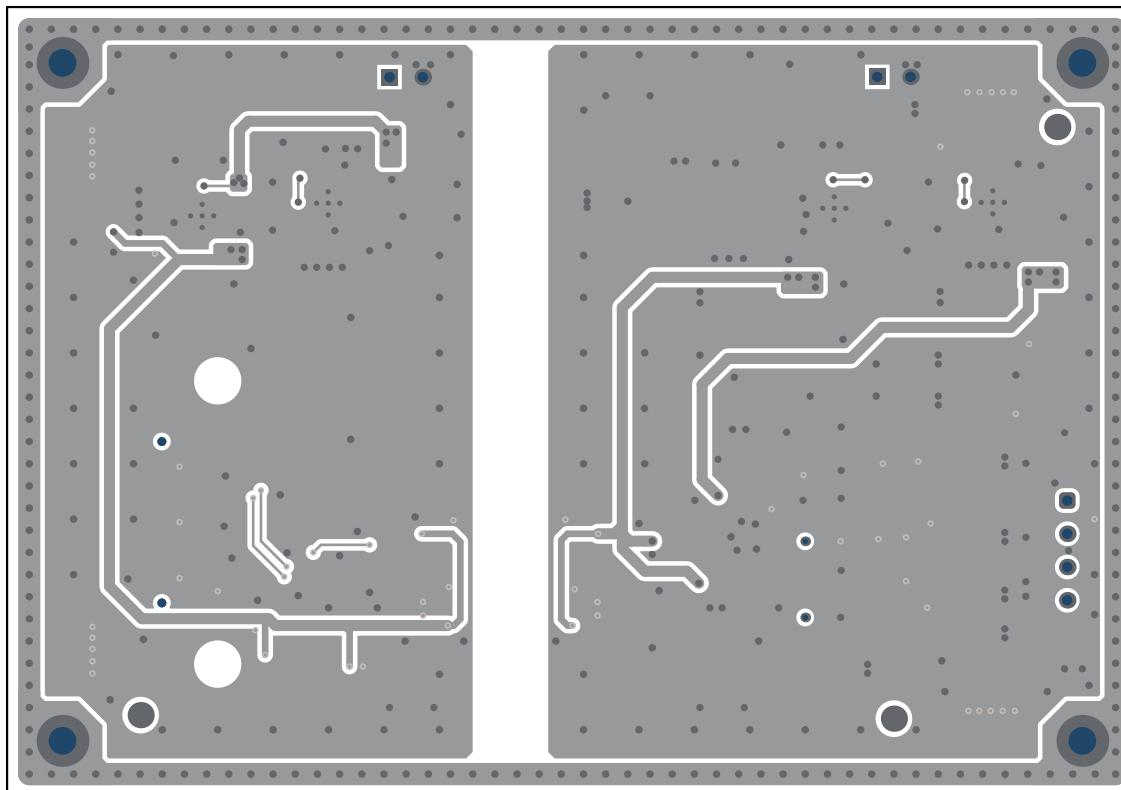


図 3-12. 下層 (シルクスクリーン付き)

3.5 PCB レイアウト - TC EMC テスト基板 (4 層)

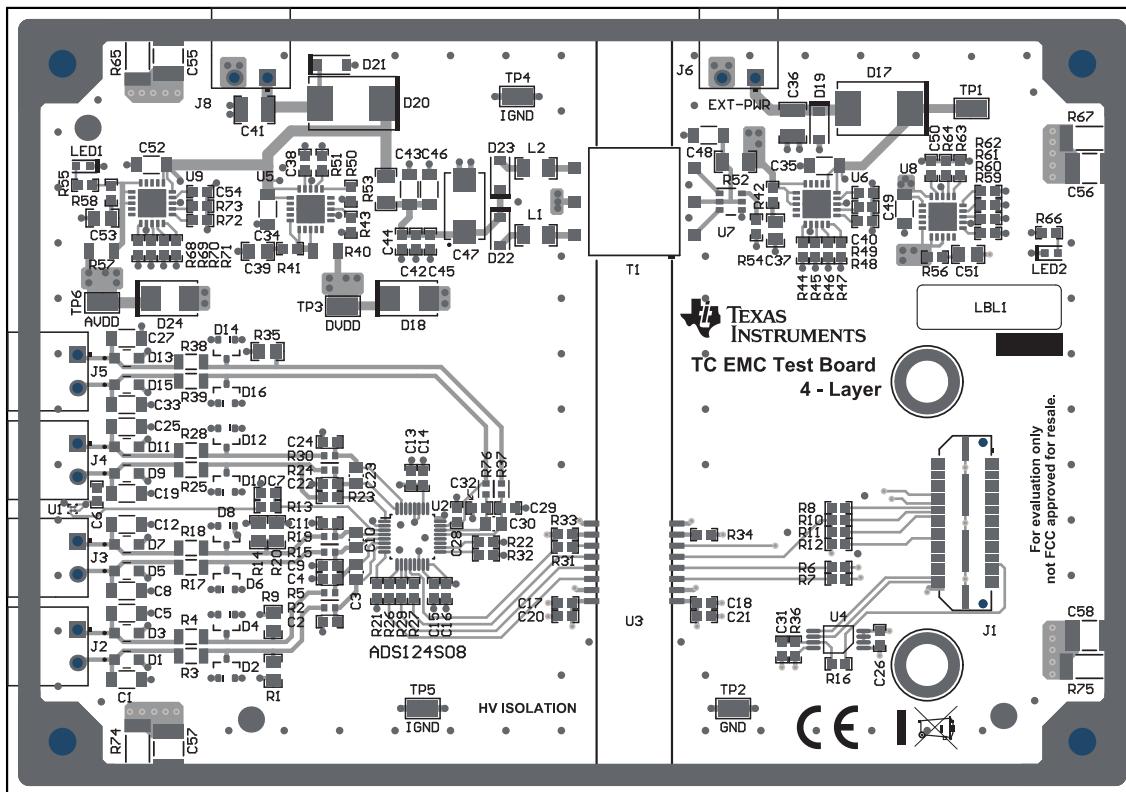


図 3-13. 上層 (シルクスクリーン付き)

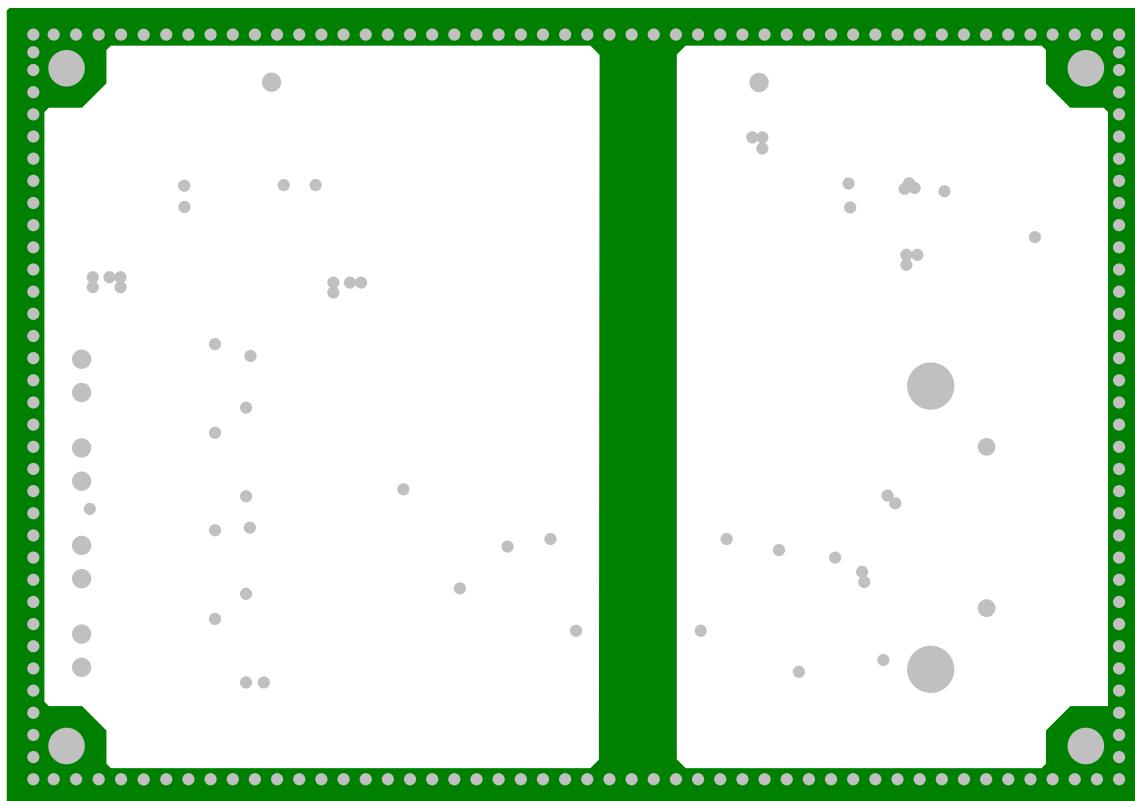


図 3-14. 内部グランド層

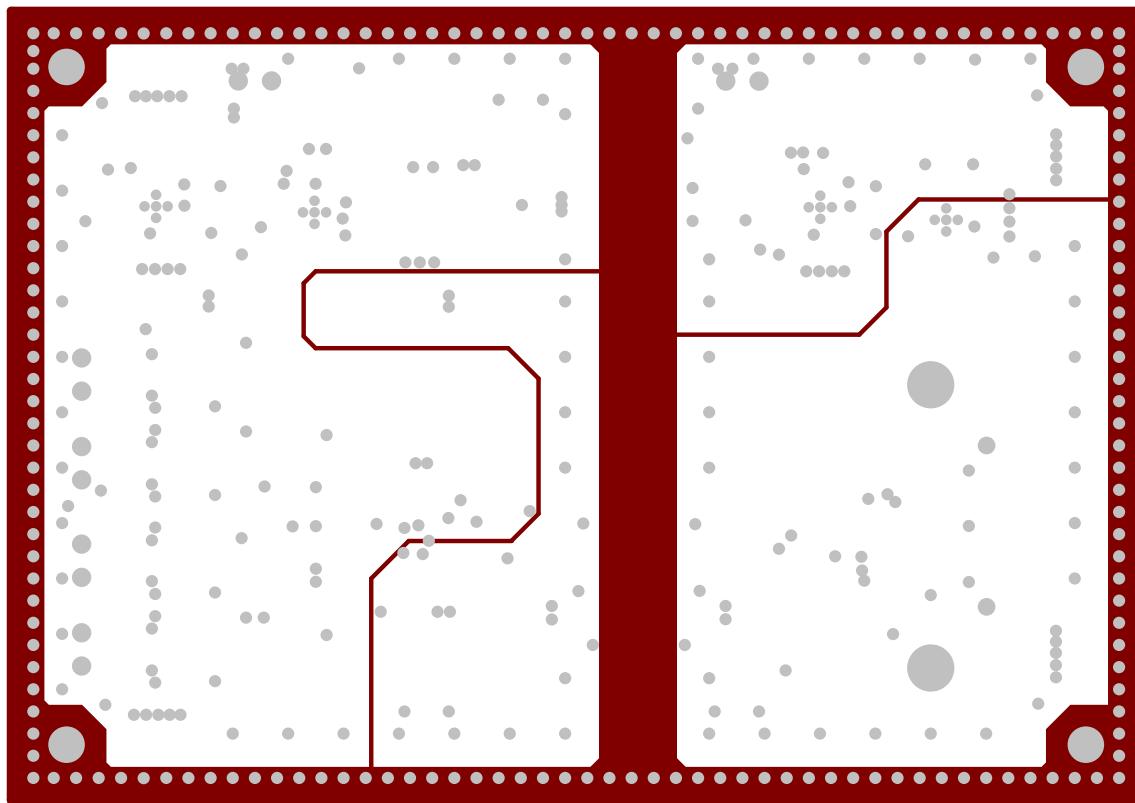


図 3-15. 内部電源層

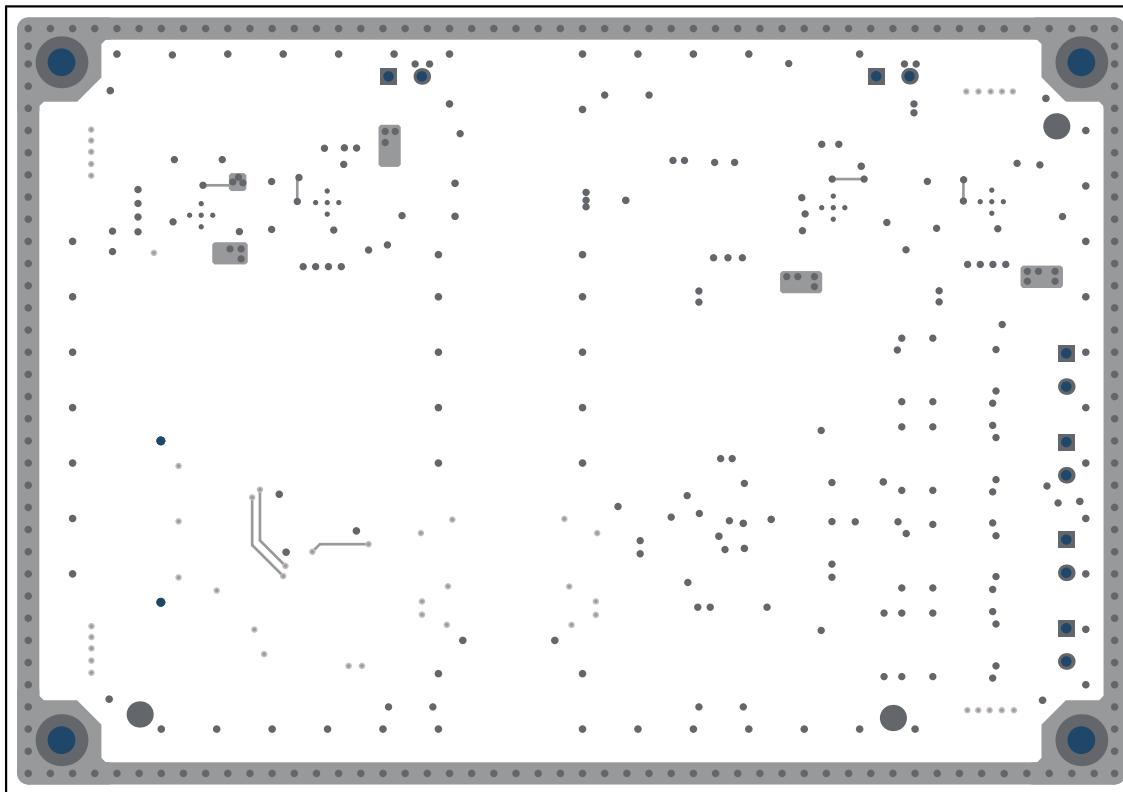


図 3-16. 下層 (シルクスクリーン付き)

3.6 PCB レイアウト - TC EMC テスト基板 (2 層)

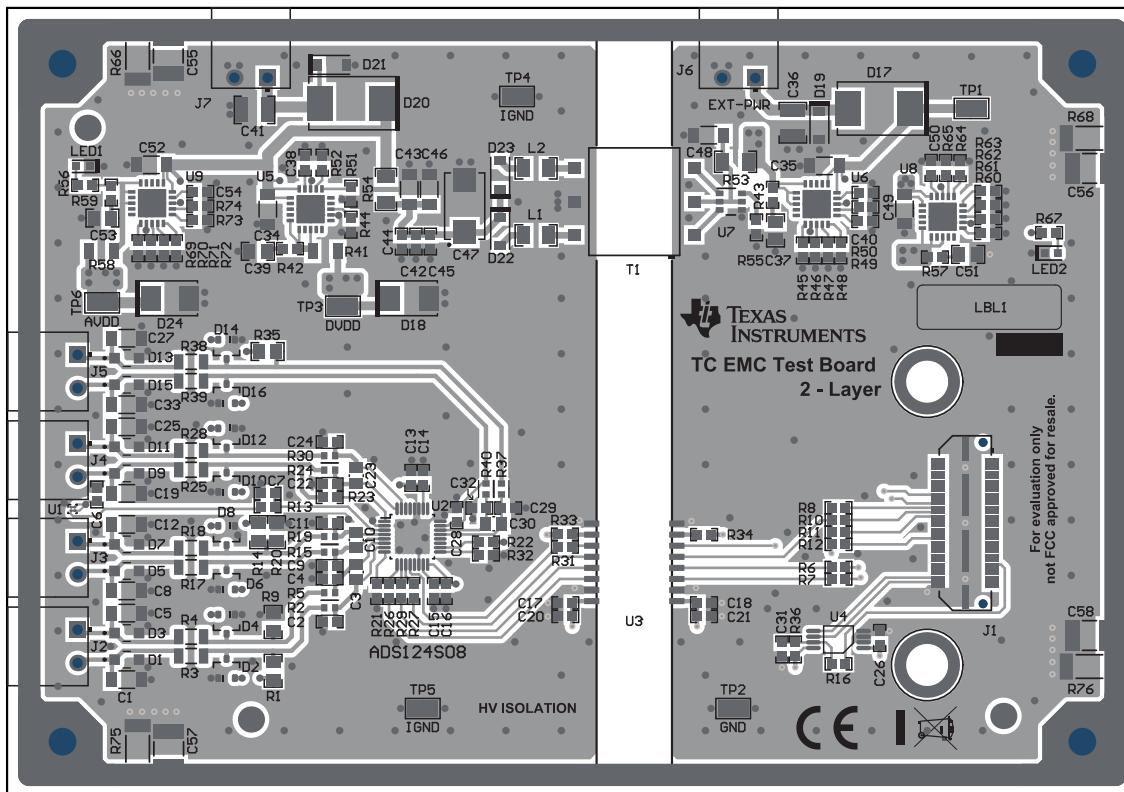


図 3-17. 上層 (シルクスクリーン付き)

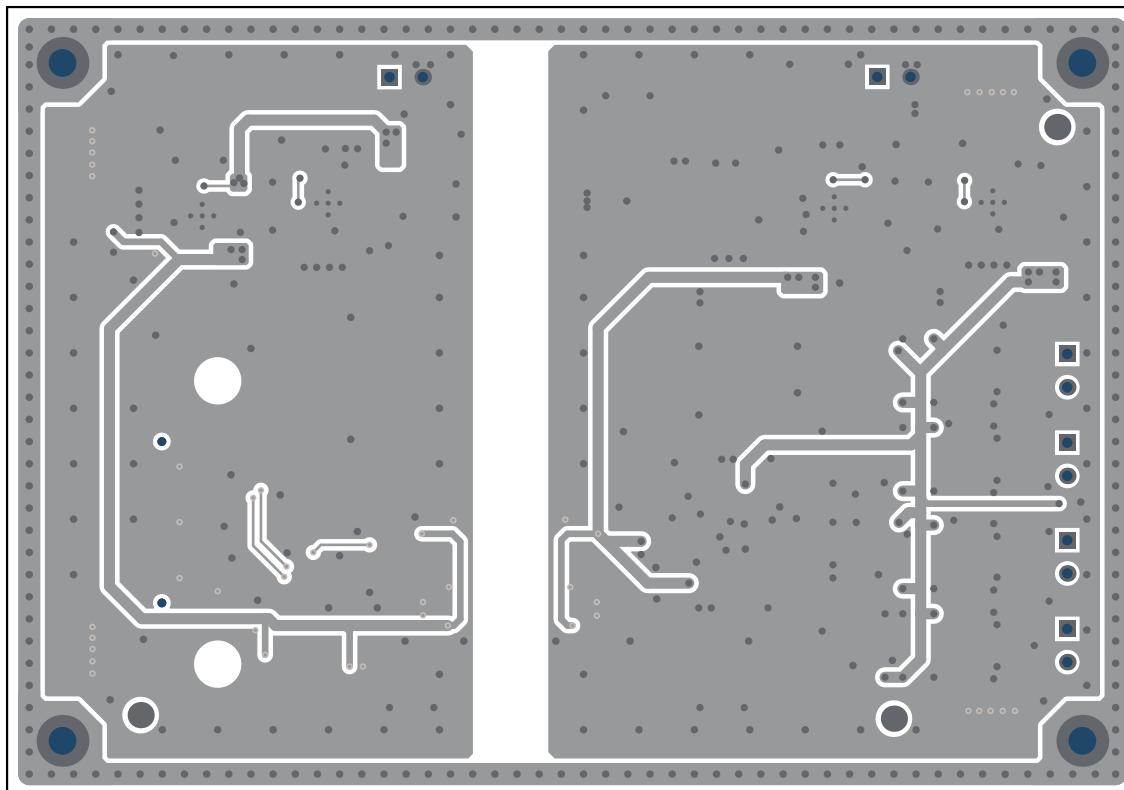


図 3-18. 下層 (シルクスクリーン付き)

3.7 部品表 - RTD EMC テスト基板

C1, C2, C3, C4, C5, C6, C7	C3216C0G2E153J160AA	TDK	コンデンサ、セラミック、0.015μF、250V、±5%、C0G/NP0、1206
C8, C12, C13, C14, C15, C22, C26, C41	C0603C104K5RACTU	Kemet	コンデンサ、セラミック、0.1μF、50V、±10%、X7R、0603
C9, C17, C18	GRM188R61E106MA73D	MuRata	コンデンサ、セラミック、10μF、25V、±20%、X5R、0603
C10, C16, C19, C21, C23, C25, C28, C30	C0603C472J1GAC7867	Kemet	コンデンサ、セラミック、4700pF、100V、±5%、C0G/NP0、0603
C11, C20, C24, C29	C0805C473J3GACTU	Kemet	コンデンサ、セラミック、0.047μF、25V、±5%、C0G/NP0、AEC-Q200 グレード 1、0805
C27, C35, C37, C42, C47, C51	06033C105KAT2A	AVX	コンデンサ、セラミック、1μF、25V、±10%、X7R、0603
C31, C32, C46, C49	C3216X5R1E476M160AC	TDK	コンデンサ、セラミック、47uF、25V、±20%、X5R、1206_190
C33, C38	CL32B106KBJNNWE	Samsung Electro-Mechanics	コンデンサ、セラミック、10μF、50V、±10%、X7R、1210
C34, C36, C48, C50	C2012X5R1A476M125AC	TDK	コンデンサ、セラミック、47μF、10V、±20%、X5R、0805
C39	GRM1885C1H102FA01J	MuRata	コンデンサ、セラミック、1000pF、50V、±1%、C0G/NP0、0603
C40, C43, C45	CL31A106KBHNNNE	Samsung Electro-Mechanics	コンデンサ、セラミック、10μF、50V、±10%、X5R、1206_190
C44	293D107X9020E2TE3	ビシャイスプレイグ	コンデンサ、タンタル、100μF、20V、±10%、0.5Ω、SMD
C52, C53, C54, C55	1812HC222KAT1A	AVX	コンデンサ、セラミック、2200pF、3000V、±10%、X7R、1812
CLB1	6607652	CNC Teck	102-1092-BL-00100; ケーブル、USB、A オス - B マイクロオス、1M; 6607652 キッティング アイテム
D1, D2, D3, D4, D5, D6, D7	SMBJ14CA	Littelfuse	ダイオード、TVS、Bi、14V、SMB
D8, D11	MBRS4201T3G	ON Semiconductor	ダイオード、ショットキー、200V、4A、SMC
D9	SMBJ3V3-E3/52	Vishay-Semiconductor	ダイオード、TVS、Uni、3.3V、7.3Vc、AEC-Q101、SMB
D10, D12	MMSZ4702T1G	ON Semiconductor	ダイオード、ツエナー、15V、500mW、SOD-123
D13, D14	MBR0520LT1G	ON Semiconductor	ダイオード、ショットキー、20V、0.5A、SOD-123
D15	SMBJ5.0A-13-F	Diodes Inc.	ダイオード、TVS、Uni、5V、9.2Vc、SMB
H1, H2, H3, H4	1891	Keystone	六角スタンドオフ、#4-40、アルミニウム、1/4 インチ
H5, H6	9774050360R	Wurth Elektronik	丸型スタンドオフ M3 スチール 5mm
HS1, HS2, HS3, HS4	PMSSS 440 0025 PH	B&F Fastener Supply	ナベ小ねじ、十字ねじ 4-40
HS5, HS6	RM3X4MM 2701	APM HEXSEAL	ナベ小ねじ、十字ねじ M3
J1	QTH-030-01-L-D-A	Samtec	ヘッダ (ショウラウド付き)、19.7mil、30x2、金、SMT
J2	1803293	Phoenix Contact	端子台、4 ポジション、3.81mm、錫、R/A、TH
J3, J4	1803277	Phoenix Contact	端子台、2x1、3.81mm、R/A、TH
L1, L2	HZ1206D102R-10	Laird-Signal Integrity Products	フェライトビーズ、1000Ω @ 100MHz、0.4A、1206
LBL1	THT-14-423-10	Brady	熱転写プリンタブルラベル、幅 0.650 インチ x 高さ 0.200 インチ、ロールあたり 10,000
LED1	150060RS75000	Wurth Elektronik	LED、赤、SMD
LED2	LTST-C193TGKT-5A	Lite-On	LED、緑、SMD
R1, R16	RN73C2A3K4BTDF	TE の接続	3.4kΩ ±0.1% 0.1W、1/10W チップ抵抗 0805 (2012 メートル法) 薄膜
R2	CRCW08050000Z0EAHP	Vishay-Dale	抵抗、0、5%、0.333W、AEC-Q200 グレード 0、0805
R3, R7, R9, R11, R12, R15, R17	RQ73C2B590RBTD	TE	RQ732B 1206 590Ω 0.4W 10ppm/°C 0.1% 200V
R4, R5, R6, R8, R10, R13	RC0603FR-0749R9L	Yageo	抵抗、49.9、1%、0.1W、0603

R14	CRCW06030000Z0EA	Vishay-Dale	RES、0、5%、0.1W、0603
R18	RNCF0805TKY2K00	Stackpole Electronics	2kΩ ±0.01% 0.125W、1/8W チップ抵抗 0805 (2012 メートル法) 車載用 AEC-Q200 薄膜
R19、R31、R34、R36、R40、R41、R44、R47、R48、R51、R57、R60、R61、R65、R68	CRCW06030000Z0EA	Vishay-Dale	RES、0、5%、0.1W、AEC-Q200 グレード 0、0603
R20	RC0603FR-07100KL	Yageo	抵抗、100k、1%、0.1W、0603
R21、R22、R25、R28	RQ73C1J4K99BTD	TE の接続	4.99kΩ ±0.1% 0.15W チップ抵抗 0603 (1608 メートル法) 耐硫化仕様、車載用 AEC-Q200 薄膜
R23、R24、R26、R27	CRCW060349R9FKEA	Vishay-Dale	RES、0、1%、0.1W、AEC-Q200 グレード 49.9、0603
R29、R30	CRCW060310K0FKEA	Vishay-Dale	RES、10.0k、1%、0.1W、AEC-Q200 グレード 0、0603
R32、R35	RQ73C1J4K75BTD	TE	4.75kΩ ±0.1% 0.15W チップ抵抗 0603 (1608 メートル法) 耐硫化仕様、車載用 AEC-Q200 薄膜
R33	RC0603FR-0710KL	Yageo	RES、10.0k、1%、0.1W、0603
R37、R54	5108	Keystone	抵抗、0、1%、0.5W、1206
R38、R39、R53、R55	ERJ-3RSFR10V	Panasonic	RES、0.1、1%、0.1W、AEC-Q200 グレード 0、0603
R49、R50	CRCW12060000Z0EAHP	Vishay-Dale	RES、0、0.75W、AEC-Q200 グレード 0、1206
R52、R63	RC0603FR-076K65L	Yageo	抵抗、6.65k、1%、0.1W、0603
R62、R64、R71、R72	CHV2010-FX-3304ELF	Bourns	RES SMD 3.3MΩ 1% 1/2W 2010
T1	750315240	Wurth Elektronik	トランジスタ、110uH、SMT
TP4、TP5	5015	Keystone	テスト ポイント、ミニチュア、SMT
U1	ADS124S08IPBSR	テキサス・インスツルメンツ	高精度センサ測定用 PGA / 電圧リファレンス搭載 24 ビット、4kSPS、12 チャネル デルタシグマ ADC、PBS0032A (TQFP-32)
U2	ISO7741DWR	テキサス・インスツルメンツ	高速で低消費電力、EMC 特性の優れたクワッド チャネル デジタル アイソレータ、DW0016B (SOIC-16)
U3	BR24G32FVT-3AGE2	Rohm	I2C BUS EEPROM (2 線式)、TSSOP-B8
U4、U5、U7、U8	TPS7A4700RGWR	テキサス・インスツルメンツ	36V、1A、4.17μVRMS、RF 低ドロップアウト (LDO) 電圧レギュレータ、RGW0020A (VQFN-20)
U6	SN6505BDBVR	テキサス・インスツルメンツ	低ノイズ 1A、420kHz トранス ドライバ、DBV0006A (SOT-23-6)
R42、R43、R45、R46、R56、R58、R59、R66、R67、R69、R70	CRCW06030000Z0EA (非装備)	Vishay-Dale	RES、0、5%、0.1W、AEC-Q200 グレード 0、0603
TP3、TP6、TP7、TP8、TP9	5015 (非装備)	Keystone	テスト ポイント、ミニチュア、SMT

3.8 部品表 - TC EMC テスト基板

C1、C5、C8、C12、C19、C25、C27、C33	C3216C0G2E153J160AA	TDK	コンデンサ、セラミック、0.015μF、250V、±5%、C0G/NP0、1206_190
C2、C4、C9、C11、C22、C24、C29、C32	C0603C472J1GAC7867	Kemet	コンデンサ、セラミック、4700pF、100V、±5%、C0G/NP0、0603
C3、C10、C23、C30	C0805C473J3GACTU	Kemet	コンデンサ、セラミック、0.047μF、25V、±5%、C0G/NP0、AEC-Q200 グレード 1、0805
C6、C13、C15、C16、C17、C18、C26、C31、C44	C0603C104K5RACTU	Kemet	コンデンサ、セラミック、0.1μF、50V、±10%、X7R、0603
C14、C20、C21	GRM188R61E106MA73D	MuRata	コンデンサ、セラミック、10μF、25V、±20%、X5R、0603

C28、C38、C40、C45、C50、C54	06033C105KAT2A	AVX	コンデンサ、セラミック、1μF、25V、±10%、X7R、0603
C34、C35、C49、C52	C3216X5R1E476M160AC	TDK	コンデンサ、セラミック、47μF、25V、±20%、X5R、1206
C36、C41	CL32B106KBJNNWE	Samsung Electro-Mechanics	コンデンサ、セラミック、10μF、50V、±10%、X7R、1210
C37、C39、C51、C53	C2012X5R1A476M125AC	TDK	コンデンサ、セラミック、47μF、10V、±20%、X5R、0805
C42	GRM1885C1H102FA01J	MuRata	コンデンサ、セラミック、1000pF、50V、±1%、C0G/NP0、0603
C43、C46、C48	CL31A106KBHNNNE	Samsung Electro-Mechanics	コンデンサ、セラミック、10μF、50V、±10%、X5R、1206_190
C47	293D107X9020E2TE3	ピシャイスプレイグ	コンデンサ、タンタル、100μF、20V、±10%、0.5Ω、SMD
C55、C56、C57、C58	1812HC222KAT1A	AVX	コンデンサ、セラミック、2200pF、3000V、±10%、X7R、1812
CLB1	6607652	CNC Teck	102-1092-BL-00100; ケーブル、USB、Aオス - Bマイクロオス、1M; 6607652 キッティングアイテム
D1、D3、D5、D7、D9、D11、D13、D15	PTVS33VS1UR、115	Nexperia	PTVS シリーズ 400W 53.3V 単方向表面実装型 TVS ダイオード - SOD-123W
D17、D20	MBRS4201T3G	ON Semiconductor	ダイオード、ショットキー、200V、4A、SMC
D18	SMBJ3V3-E3/52	Vishay-Semiconductor	ダイオード、TVS、Uni、3.3V、7.3Vc、AEC-Q101、SMB
D19、D21	MMSZ4702T1G	ON Semiconductor	ダイオード、ツエナー、15V、500mW、SOD-123
D22、D23	MBR0520LT1G	ON Semiconductor	ダイオード、ショットキー、20V、0.5A、SOD-123
D24	SMBJ5.0A-13-F	Diodes Inc.	ダイオード、TVS、Uni、5V、9.2Vc、SMB
H1、H2、H3、H4	1891	Keystone	六角スタンドオフ、#4-40、アルミニウム、1/4インチ
H5、H6	9774050360R	Wurth Elektronik	丸型スタンドオフ M3 スチール 5mm
HS1、HS2、HS3、HS4	PMSSS 440 0025 PH	B&F Fastener Supply	ナベ小ねじ、十字ねじ 4-40
HS5、HS6	RM3X4MM 2701	APM HEXSEAL	ナベ小ねじ、十字ねじ M3
J1	QTH-030-01-L-D-A	Samtec	ヘッダ (シールド付き)、19.7mil、30x2、金、SMT
J2、J3、J4、J5、J6、J8	1803277	Phoenix Contact	端子台、2x1、3.81mm、R/A、TH
L1、L2	HZ1206D102R-10	Laird-Signal Integrity Products	フェライトビーズ、1000Ω @ 100MHz、0.4A、1206
LBL1	THT-14-423-10	Brady	熱転写プリントラベル、幅 0.650 インチ x 高さ 0.200 インチ、ロールあたり 10,000
LED1	150060RS75000	Wurth Elektronik	LED、赤、SMD
LED2	LTST-C193TGKT-5A	Lite-On	LED、緑、SMD
R1、R9、R14、R20、R35	CRCW080510M0FKEA	Vishay-Dale	抵抗、10.0M、1%、0.125W、AEC-Q200 グレード 0、0805
R2、R5、R15、R19、R24、R30、R37、R76	RQ73C1J4K99BTM	TE の接続	4.99kΩ ±0.1% 0.15W チップ抵抗 0603 (1608 メートル法) 耐硫化仕様、車載用 AEC-Q200 薄膜
R3、R4、R17、R18、R25、R28、R38、R39	RQ73C2B590RBTD	TE	RQ732B 1206 590Ω 0.4W 10ppm/°C 0.1% 200V
R6、R7、R8、R10、R11、R12	RC0603FR-0749R9L	Yageo	抵抗、49.9、1%、0.1W、0603
R13、R21、R32、R43、R44、R47、R50、R51、R54、R60、R63、R64、R68、R71	CRCW06030000Z0EA	Vishay-Dale	RES、0、5%、0.1W、AEC-Q200 グレード 0、0603

R16, R23	CRCW06030000Z0EA	Vishay-Dale	RES, 0, 5%, 0.1W, 0603
R22	RC0603FR-07100KL	Yageo	抵抗, 100k, 1%, 0.1W, 0603
R26, R27, R29, R31	CRCW060349R9FKEA	Vishay-Dale	RES, 0, 1%, 0.1W, AEC-Q200 グレード 49.9, 0603
R33, R34, R36	CRCW060310K0FKEA	Vishay-Dale	RES, 10.0k, 1%, 0.1W, AEC-Q200 グレード 0, 0603
R40, R57	5108	Keystone	抵抗, 0, 1%, 0.5W, 1206
R41, R42, R56, R58	ERJ-3RSFR10V	Panasonic	RES, 0.1, 1%, 0.1W, AEC-Q200 グレード 0, 0603
R52, R53	CRCW12060000Z0EAHP	Vishay-Dale	RES, 0, 0.75W, AEC-Q200 グレード 0, 1206
R55, R66	RC0603FR-076K65L	Yageo	抵抗, 6.65k, 1%, 0.1W, 0603
R65, R67, R74, R75	CHV2010-FX-3304ELF	Bourns	RES SMD 3.3MΩ 1% 1/2W 2010
T1	750315240	Wurth Elektronik	トランス, 110uH, SMT
TP1, TP2	5015	Keystone	テスト ポイント、ミニチュア、SMT
U1	LMT70YFQR	テキサス・インスツルメンツ	±0.1°C 高精度アナログ温度センサ、YFQ0004ACAC (DSBGA-4)
U2	ADS124S08IPBSR	テキサス・インスツルメンツ	高精度センサ測定用 PGA / 電圧リファレンス搭載 24 ビット、4kSPS、12 チャネル デルタシグマ ADC、PBS0032A (TQFP-32)
U3	ISO7741DWR	テキサス・インスツルメンツ	高速で低消費電力、EMC 特性の優れたクワッド チャネル デジタル アイソレータ、DW0016B (SOIC-16)
U4	BR24G32FVT-3AGE2	Rohm	I2C BUS EEPROM (2 線式)、TSSOP-B8
U5, U6, U8, U9	TPS7A4700RGWR	テキサス・インスツルメンツ	36V, 1A, 4.17µVRMS, RF 低ドロップアウト (LDO) 電圧レギュレータ、RGW0020A (VQFN-20)
U7	SN6505BDBVR	テキサス・インスツルメンツ	低ノイズ 1A, 420kHz トранスドライバ、DBV0006A (SOT-23-6)
C7	C0603C472J1GAC7867	Kemet	コンデンサ、セラミック、4700pF、100V, ±5%、C0G/NP0、0603
D2, D4, D6, D8, D10, D12, D14, D16	BAV199-TP	Micro Commercial Components	ダイオード、スイッチング、70V, 0.215A, SOT-23
FID1, FID2, FID3, FID4, FID5, FID6	該当なし	該当なし	フィデューシャル マーク。購入または取り付け不要。
R45, R46, R48, R49, R59, R61, R62, R69, R70, R72, R73	CRCW06030000Z0EA	Vishay-Dale	RES, 0, 5%, 0.1W, AEC-Q200 グレード 0, 0603
sTP3, TP4, TP5, TP6	5015	Keystone	テスト ポイント、ミニチュア、SMT

4 まとめ

厳格な EMC テストに合格できる高性能温度測定システムを設計する場合、多くの設計者は大きな課題に直面します。このアプリケーションノートは、堅牢な EMC 性能を確保しながら、高精度の温度測定システムを開発するための実践的かつ詳細なガイダンスを紹介しています。このアプリケーションノートで説明されている主なトピックは、以下のとおりです。

1. **EMC 準拠のための設計:** EMC 規格に準拠した 2 層および 4 層基板の保護回路設計と最適化された PCB レイアウトに関する実用的なガイドライン。
2. **測定の基礎:** さまざまな RTD および TC システムの入力接続、センサ構成、コード変換、誤差計算方法についての詳細な説明。
3. **達成される精度:** EMC 準拠の測定システムを使用した特定の構成により、室温で極めて高い精度が得られます。
 - a. **RTD システム:** -200°C から +850°C の全範囲にわたって、較正済みシステム合計誤差は $\pm 0.06^\circ\text{C}$ 未満。
 - b. **TC システム:** -250°C から +1372°C の全範囲にわたって、較正済みシステム合計誤差は $\pm 0.05^\circ\text{C}$ 未満。
4. **検証済みの性能:** テスト設定と測定結果により、各設計が関連するすべての IEC-61000-4 テスト要件に合格していることが確認されています。

実用的なガイドラインに従って、このアプリケーションノートで紹介する検証済みの設計を使用すれば、高精度で信頼性が高く、EMC に準拠した温度測定システムを実現できます。また、この情報は、EMC に準拠している必要がある測定システムにも一般的に適用できます。

5 参考資料

テキサス インストルメンツ、『RTD 測定に関する基本的なガイド』、アプリケーション ノート

テキサス インストルメンツ、『熱電対測定に関する基本的なガイド』、アプリケーション ノート

テキサス インストルメンツ、『RTD 測定における EOS から ADS124S08 ADC を保護する回路』、アプリケーション ノート

テキサス インストルメンツ、『ADS124S08:PGA と電圧リファレンス搭載、センサ測定向け、24 ビット、4kSPS、12 チャネル デルタシグマ ADC』、データシート

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月