

*Application Brief***TPLD** 内でのウォッチドッグ タイマの使用

Owen Westfall

ウォッチドッグ タイマとは？

ウォッチドッグ タイマ (WDT) は、信号の切り替わりを監視するために使用されるタイマです。WDT の主な目的は、システムが無限ループに陥ったり、ハングしたり、実行時エラーによって応答しなくなるのを防ぐことです。多くの同期システムには、マイコンのように何らかのウォッチドッグ タイマが搭載されており、CPU にウォッチドッグ タイマが内蔵されている場合もあります。

InterConnect Studio でウォッチドッグ タイマを設定する方法

InterConnect Studio (ICS) は、TPLD デバイス ファミリの設計、シミュレーション、構成に使用できるソフトウェア ツールです。

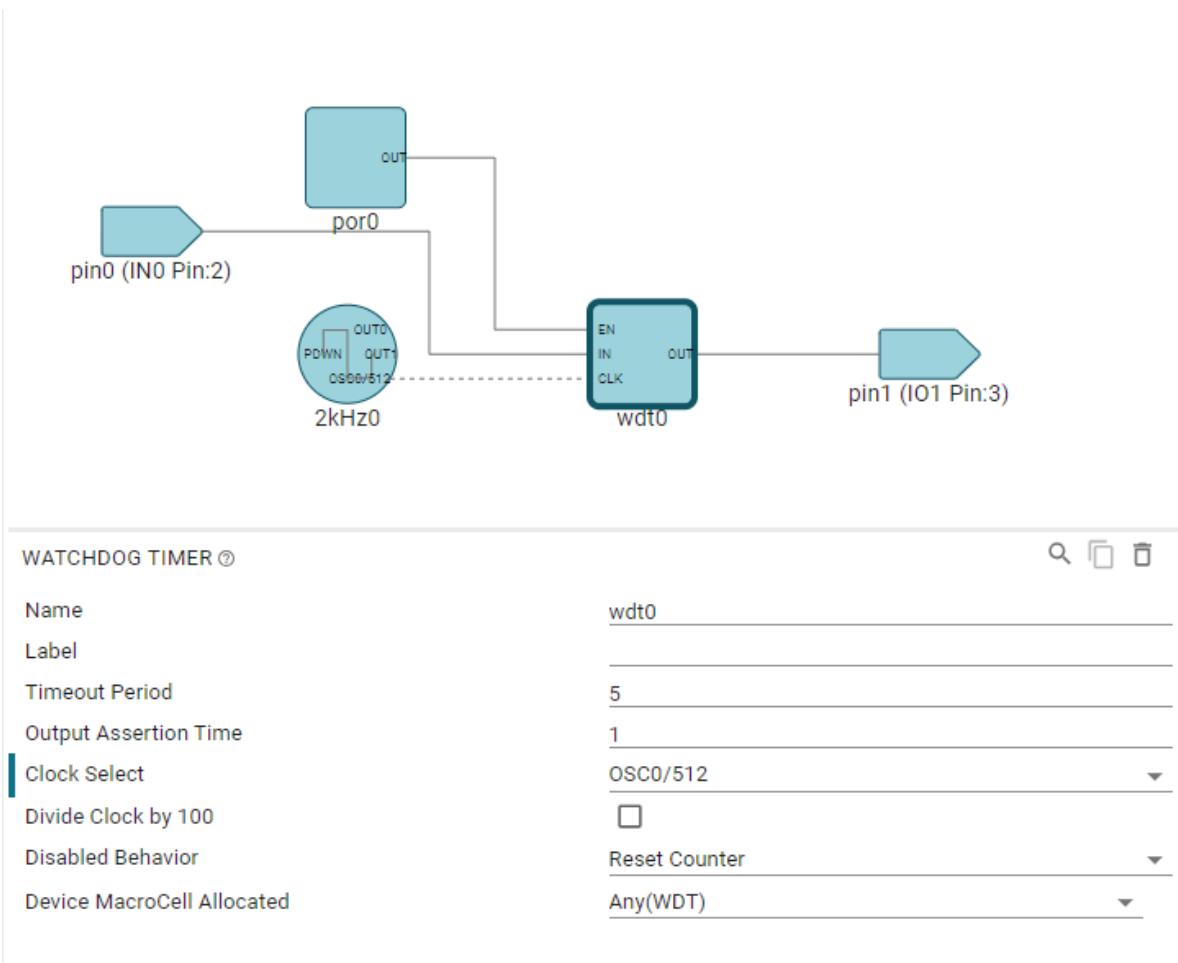


図 1. WDT の基本的な使用法

図 1 に、ICS 内のウォッチドッグ タイマの初期状態を示します。最も重要な 3 つの設定は、タイムアウト期間、出力アサート時間、およびクロック選択です。タイムアウト期間とは、ウォッチドッグが入力 IN からのエッジを検出するまでに待機する時間を指します。出力アサーション時間とは、リセットが行われるまでの間、WDT の出力が論理 LOW を出力し続ける時間を指します。これら 2 つの値はいずれもカウンタがカウントする整数値であるため、前述の設定がどの時間スケールに基づくかは、クロック選択によって決まります。

- **EN – EN** ポート(イネーブル)が WDT をオンにします。このポートが論理 LOW の間、WDT は無効となり、出力も LOW になります。
- **IN – IN** ポートは、WDT によって監視される信号です。
- **CLK – CLK** ポートは、WDT に入力される内部クロックを視覚的に表現します。ウォッチドッグ タイマには外部クロックオプションはないため、この値を調整する方法は、クロック選択設定を使用することだけです。
- **OUT – OUT** ポートはモニタリングの結果です。入力信号が監視対象のタイミング要件を満たしている場合、このポートは論理 HIGH になりますが、WDT がトリガされると、OUT ポートは論理 LOW の単一パルスを出力します。

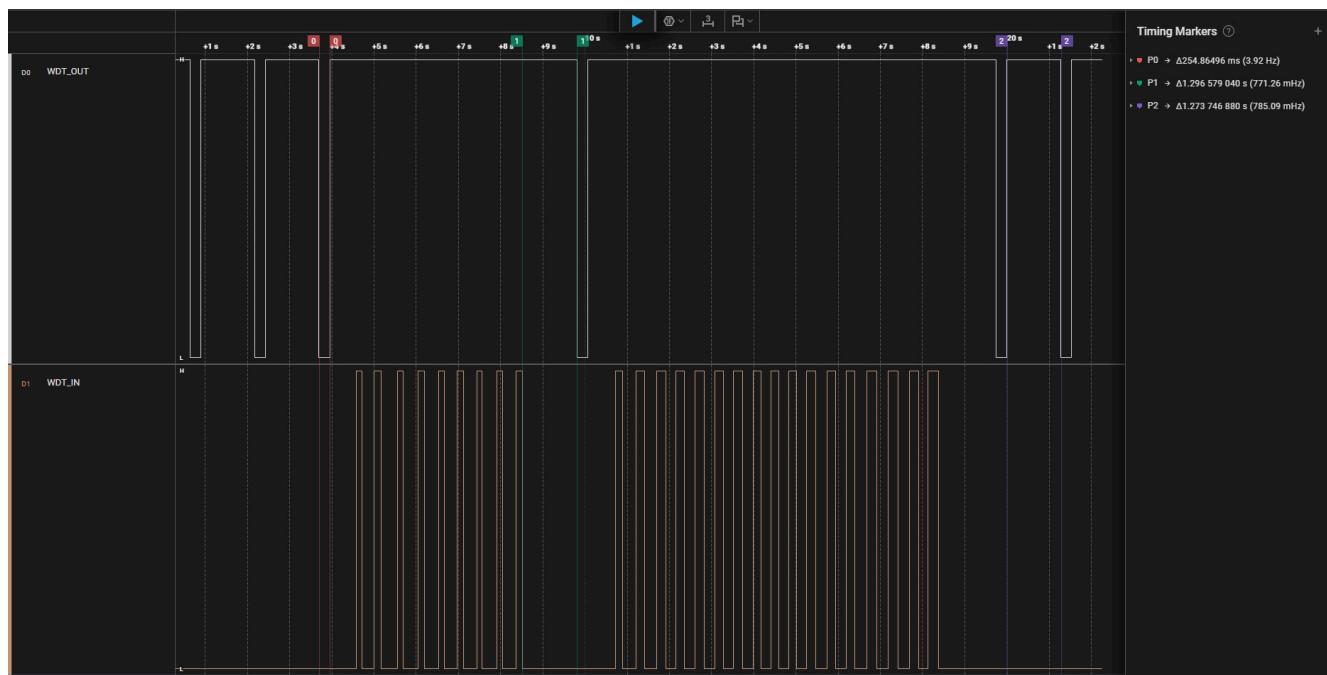


図 2. 基本的な WDT 波形

図 2 に、基本的な WDT 波形を示します。ここで、P0 は出力のアサート時間、P1 と P2 はタイムアウト期間です。図 3 は出力アサーション時間を増加させた場合を示しており、図 4 は出力アサーション時間とタイムアウト期間の両方を増加させた場合を示しています。

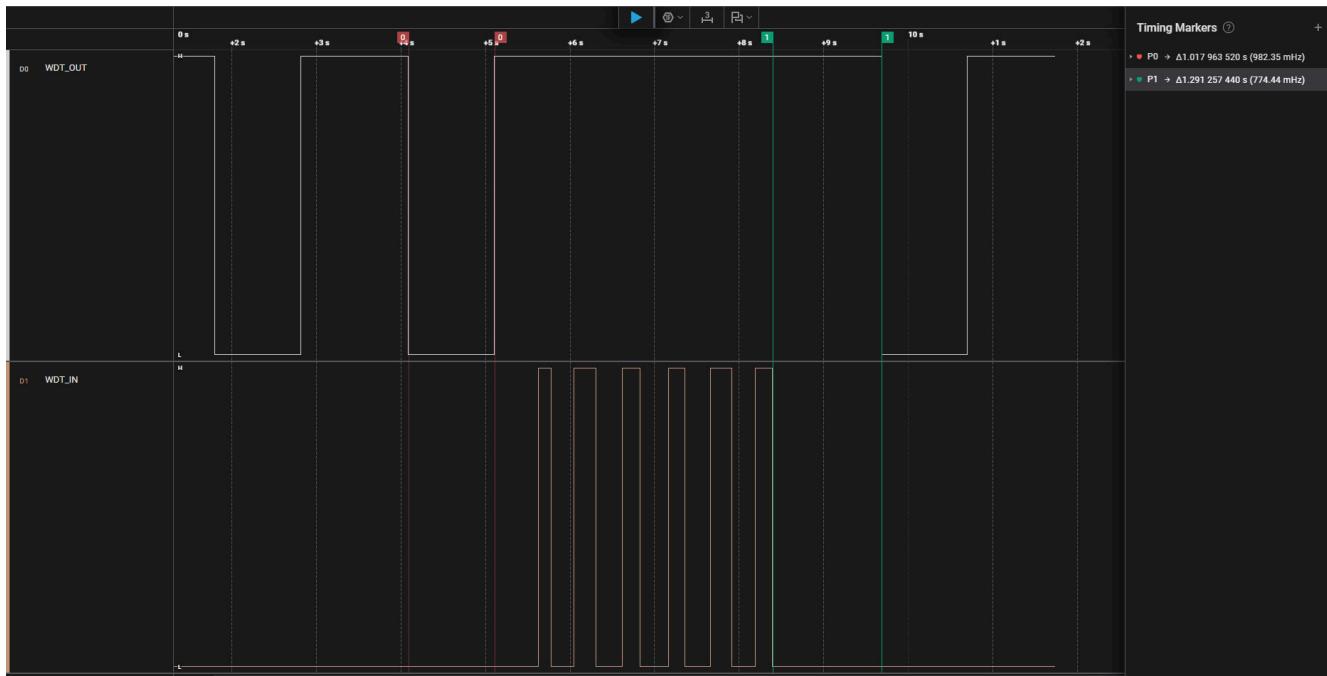


図 3. 出力アサーション時間が長い WDT

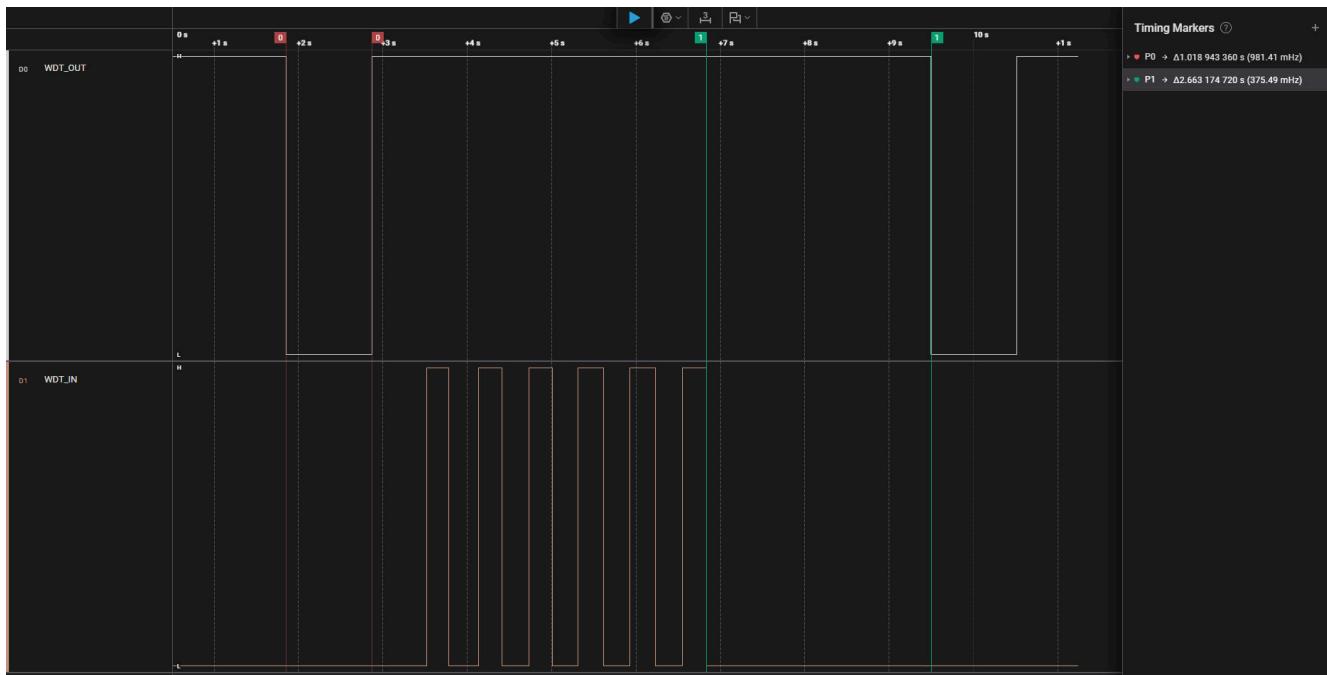


図 4. タイムアウト期間および出力アサーション時間が長い WDT

コンポーネントを含むウォッチドッグ タイマの構築

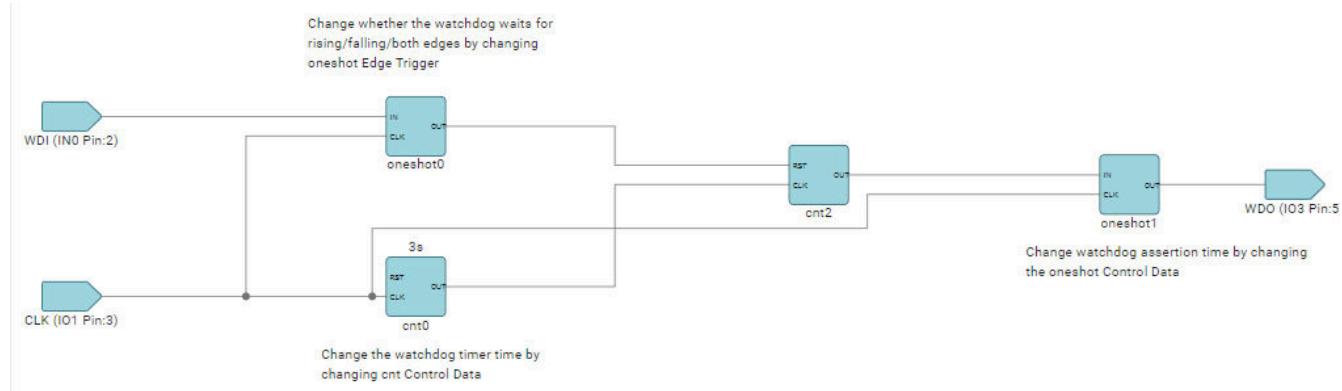


図 5. ディスクリート ウォッチドッグの例

図 5 に示すように、WDT をディスクリートで構成することができます。単一の WDT ブロックを使用せずに WDT を構成する欠点は、設定が個別のブロックに分散してしまい、将来設計を調整する際に混乱を招く可能性がある点です。単一の WDT ブロックを使用せずに WDT を構成する利点は、柔軟性が向上することに加え、TPLD デバイス外部のクロックを制御用タイマとして使用できる点です。

図 5 の設計では、cnt0 を使用してチェック間の時間（タイムアウト期間）を制御し、oneshot1 はウォッチドッグが LOW に費やす時間（出力アサート時間）を制御します。この設計では、外部クロックを活用することで、システム内の他のデバイスとの同期も可能にしています。

WDTを中心とした設計を構築する

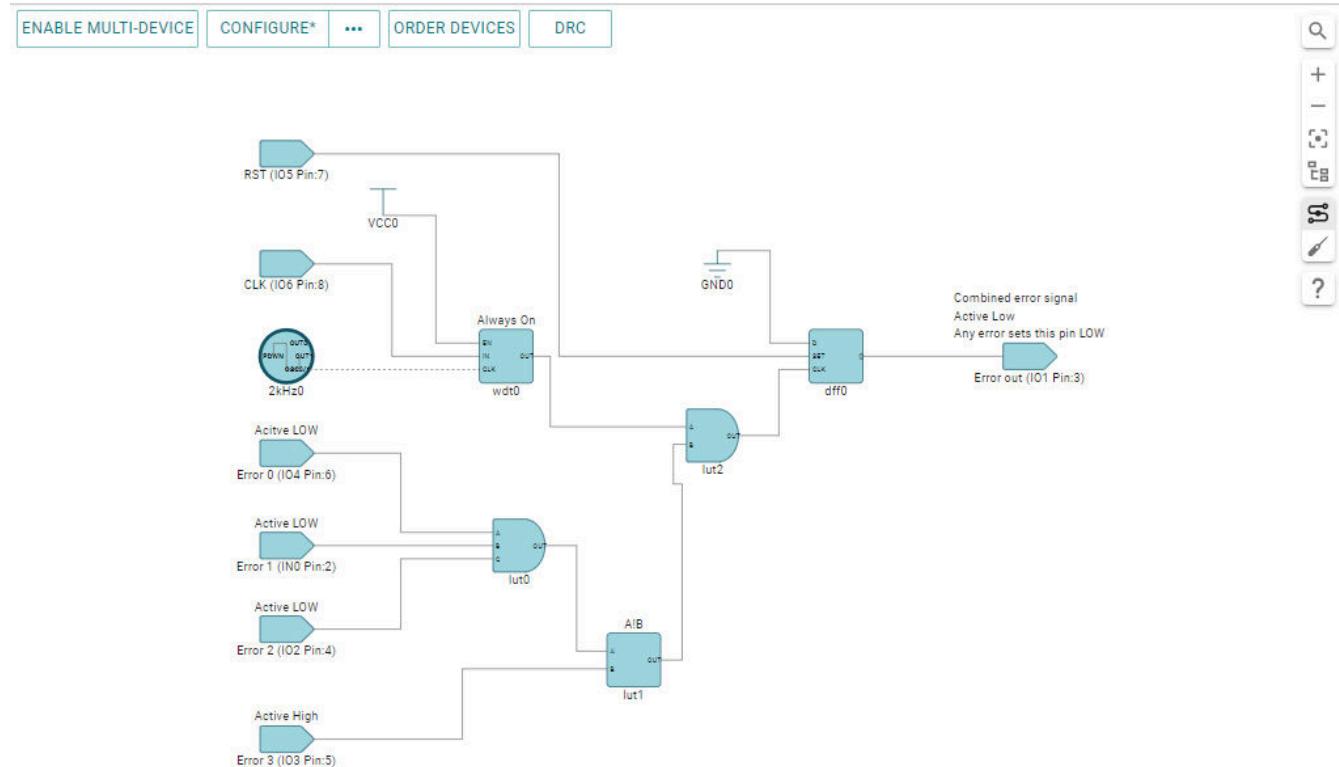


図 6. エラー信号の組み合わせ

WDT の最も一般的な構成は、複数のエラー信号を組み合わせ、その出力にリセット用のラッチを配置した設計です。この種の設計は、[図 6](#) で観察できます。この設計の考え方には、アクティブ HIGH かアクティブ LOW かにかかわらず、発生し得るエラー信号を集約し、それらを 1 つのシステム用エラー信号にまとめることです。

この設計では、WDT がクロック信号を監視しており、そのクロック周波数が 400Hz 未満になると、回路がラッチされ、外部信号によってエラーがリセットされるまでシステムをリセット状態に保持します。その時点で、システムはエラー ラッチをリセットするか、またはデバイス全体をリセットして動作を再開します。システムの残りの部分では、他の発生し得るエラー信号も同様にラッチへまとめて入力しています。

注文情報

本書のサポートに使用されるハードウェアについては、[表 1](#) を参照してください。

表 1. 注文情報

デバイス	EVM
すべての TPLD	TPLD-PROGRAM
TPLD1202	TPLD1202-DYY-EVM TPLD1202-RWB-EVM
TPLD2001	TPLD2001-DGS-EVM TPLD2001-RJY-EVM

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月