

*Application Brief***差動 ADC 駆動のオペアンプと完全差動アンプの比較**

Rachel Scheller

**概要**

**TMS320F2837xD** ファミリのようなマイコンに内蔵されているものを含め、A/D コンバータ (ADC) において、製品性能を最大限に引き出すために完全差動入力をサポートする傾向が強まっています。本資料は、性能の向上を示すことを目的としており、ラボによる複数仕様の分析により、ディスクリートデュアルチャネルオペアンプ ([OPA2328](#) や [OPA2320](#) など) と比較して差動 ADC を駆動するために完全差動アンプ (FDA) を使用することの重要性を示します。評価される焦点仕様には、偶数次高調波 (HD<sub>2</sub>, HD<sub>4</sub>)、全高調波歪み (THD)、信号対雑音比 (SNR)、有効ビット数 (ENOB) が含まれます。出力同相モード制御、消費電力、アクティブフィルタリング能力、使いやすさ、設計サイズ、高い入力インピーダンスなどの追加機能の概要も説明します。

**エグゼクティブ サマリー**

以下の資料の結果をまとめたクイックリファレンス表については、エグゼクティブ サマリーの [表 1](#) を参照してください。

**表 1. ADC 駆動のシングルから差動信号への変換方法の比較**

仕様	デュアルオペアンプ	完全差動アンプ	注
出力同相モード制御		✓	FDA は V <sub>OCM</sub> ピンを内蔵し、入力同相モードとは無関係に出力同相モード制御を可能にします。これはディスクリート設計では利用できず、特に非反転構成の場合には慎重に考慮する必要があります
ソリューション サイズと複雑さ		✓	WQFN 10 ピン (RUN) は業界最小の FDA パッケージで、外部 DC バイアス電圧を必要としない最小の設計サイズです
高調波歪み、CMRR		✓	統合型 FDA (完全差動アンプ) アーキテクチャでは、デバイスのマッチングと同相信号除去の原理により、CMRR および偶数次高調波歪み (HD <sub>2</sub> , 4) の性能を改善しています
大信号ステップ / 位相遅延		✓	FDA は、デュアルオペアンプと比較してより短いセトリング タイムで大きなゲイン値を処理できるため、ADC のアクイジション時間で $\frac{1}{2}$ LSB 以内のセトリングを保証できます
静止電流 (消費電力)		✓	FDA は通常、オペアンプの 1 つのチャネルで同じ消費電力で動作するので、2 つのオペアンプ チャネルが必要であることを考慮するとさらに改善されています
アクティブフィルタリング		✓	FDA はシングル段でデバイスのアクティブフィルタリングをサポートできるため、フィルタを追加するための追加部品が不要です
高い入力インピーダンス	✓		FDA の入力インピーダンスは常に抵抗性であるため、各入力にバッファアンプを追加しなければ、高い入力インピーダンスに対応できません
コスト		✓	完全差動アンプ、特に新しい <a href="#">THS4535</a> を使用する場合は、デュアルオペアンプと同等、またはそれよりも低コストです

**回路の構成と実装**

[図 1](#) に、差動 ADC の入力を駆動するためにデュアルチャネルオペアンプを使用する場合の回路構成を示します。ハイインピーダンスの非反転構成でデュアルチャネルオペアンプを使用する場合、各アンプ段の入力バイアス電圧と出力バイアス電圧に依存して最終的な出力同相モードを調整するため、通常は 2 つのリファレンス電圧が必要であることに注意

してください。通常、これには [LM27761](#) のような低ノイズ電圧インバータといった追加の IC を購入して負の dc バイアスを生成する必要があり、その結果、設計サイズが大きくなり、システムコストが増加します。

続いて、[図 2](#) に、差動 ADC を駆動する際の完全差動アンプの回路構成を示します。この際、通常は外部リファレンス電圧を必要としません。FDA の同相電圧ピンは、FDA に内蔵されている内部誤差ループアンプのために、追加のバイアス電圧処理を行うことなく、ADC のリファレンス電圧出力に直接接続することができます。

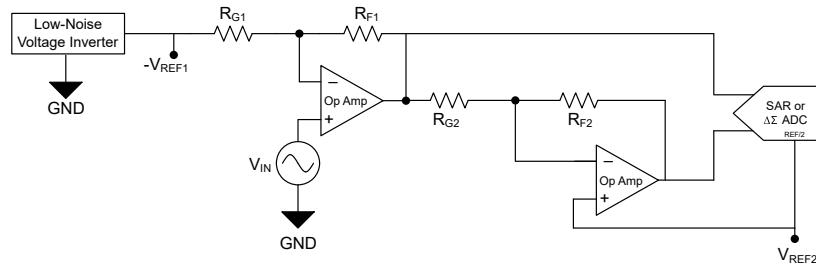


図 1. 差動出力駆動のデュアル オペアンプ構成

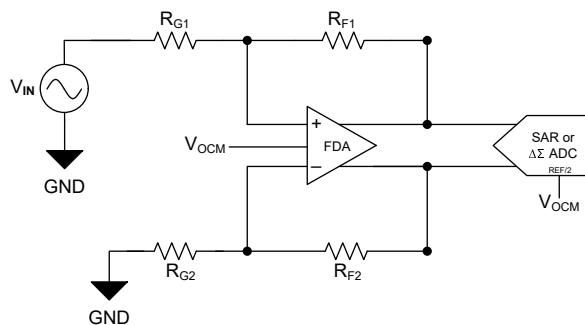


図 2. 差動出力駆動の完全差動アンプ構成

### デバイスアーキテクチャの比較

比較と分析の目的で選定された 2 つのデバイスは、OPA2328 オペアンプと THS4536 完全差動アンプです。類似のプロセス技術、帯域幅性能、精度仕様を備えたこれらのデバイスは、高い DC 精度の設計を必要とする場合に ADC 駆動に選定できる同等のデバイスです。

また、この表は、両方とも CMOS プロセスで設計する場合の全差動アンプとデュアル チャネル オペアンプの静止電流の違いを示すために役立ちます。OPA2328 の両方のチャネルで 7.6mA を使用した場合と、1 個の THS4536 の場合のみ 4.7mA を使用した場合を比較すると、5V 電源を使用した場合、全差動アンプでは 14.5mW、つまり 38% の消費電力削減が実現します。

表 2. アーキテクチャ比較表

仕様	OPA2328	THS4536
アーキテクチャ	オペアンプ	完全差動アンプ
プロセス	CMOS	CMOS
電源電圧範囲 (V)	2.2 ~ 5.5	2.7 ~ 5.5
ゲイン帯域幅積 (MHz)	40	80
スルーレート (V/μs)	30	57
1kHz での電圧ノイズ (nV/√Hz)	6.1	4.3
CMRR (標準値) (dB)	120	140
静止電流 (合計) (mA)	7.6	4.7
レール ツー レール	In、Out	In から V-、Out
オフセット電圧 (25°C、最大値) (mV)	0.05	0.05
オフセット電圧ドリフト (標準値) (μV/°C)	0.15	0.8
コスト	\$\$	低

### 全高調波歪み (THD)

全高調波歪みは、理想的な信号 (8) に加算される不要な周波数 (高調波) の測定値として定義されます。理想的には、THD が低いほど良好です。THD 性能に関してアンプの直線性を定量化することは、一般的な目安として、目的の周波数範囲内で ADC よりも 10dB 以上良好なアンプを選択する必要があります。FDA の場合、差動信号路で偶数次高調波が理想的に低減されるため、全高調波歪み (5) が低下します。図 4 は、この原理の一部を実証しており、逐次比較型 16 ビット、1MSPS ADC (ADS9224R) に複数の異なる入力周波数を印加した場合、THS4536 は OPA2328 に比べて全高調波歪みが低いことが示されています。

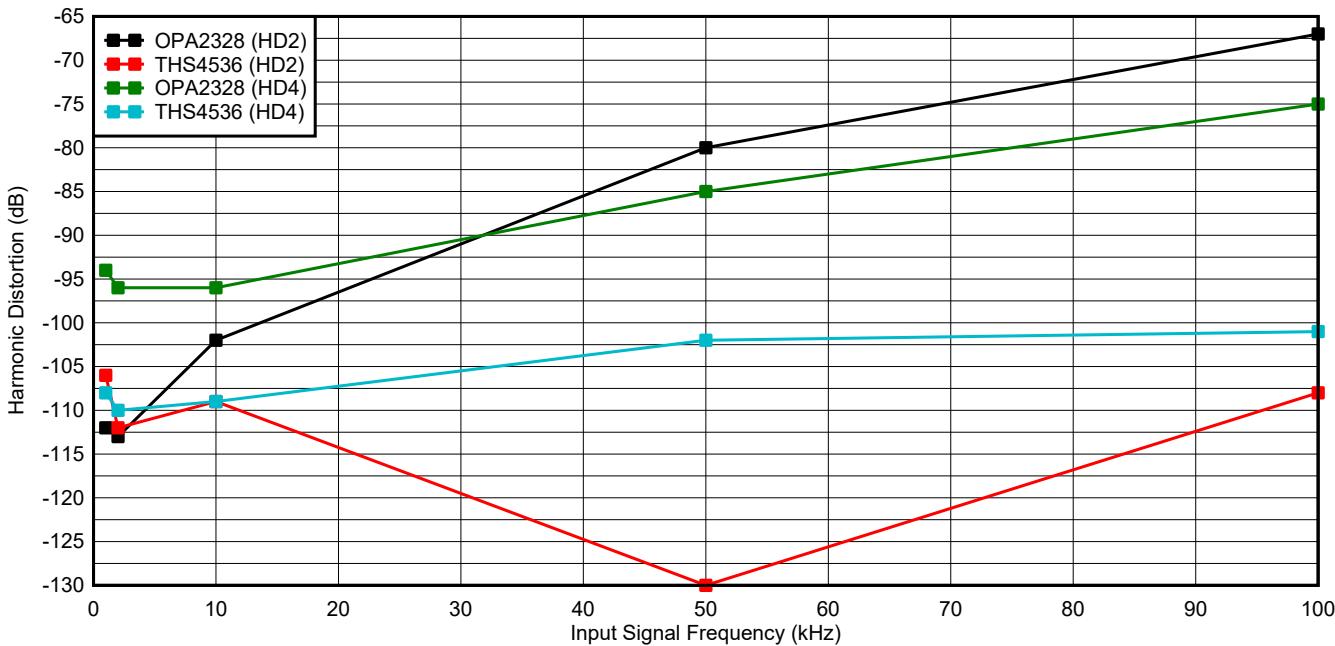


図 3. HD<sub>2</sub> および HD<sub>4</sub> と入力周波数との関係

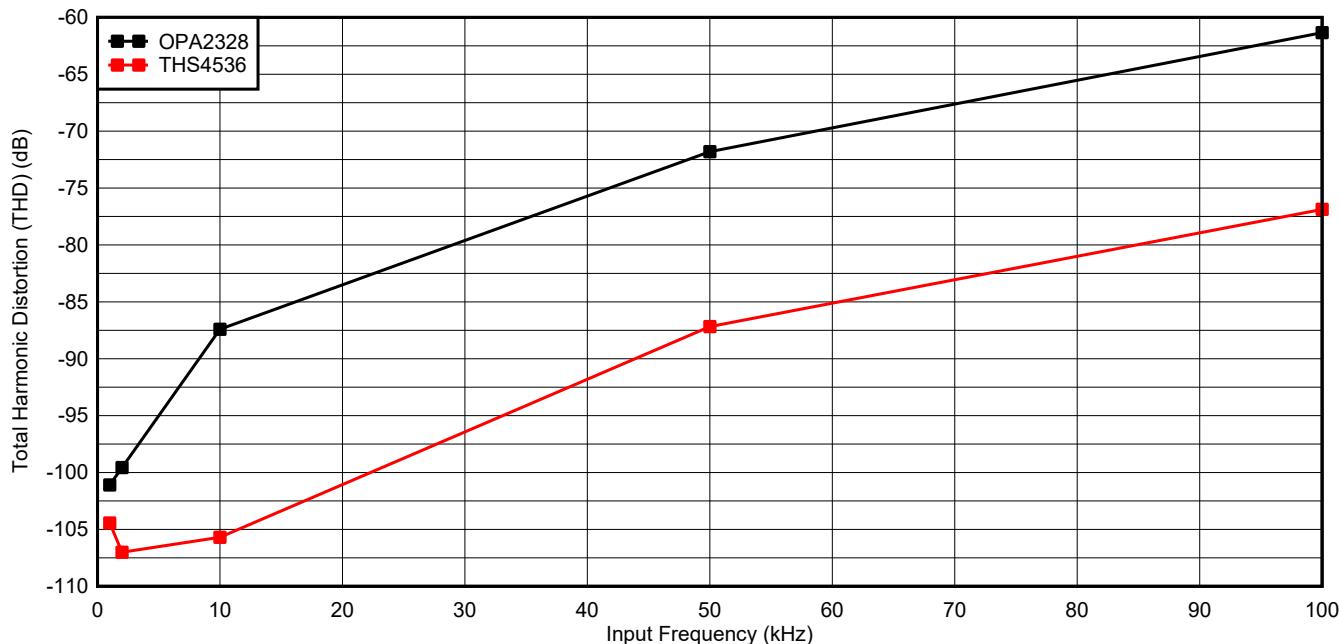


図 4. 全高調波歪みと入力周波数 (1MSPS) との関係

#### 大信号ステップと位相遅延

位相遅延は、正と負の入力端子から差動 ADC への位相の差として定義されます。ADC から最大の性能と精度を得るには、ADC への入力信号の位相成分と振幅成分を理想的にマッチングさせる必要があります。これにより、偶数次高調波 (2 次および 4 次) の影響を最小限に抑え、信号帯域幅を最適化し、セトリング誤差を低減できます。デュアル オペアンプ構成では、通常、1段のアンプのゲインが増加し、2段のアンプに比べてアンプが遅くなり、ゲイン不均衡と位相不均衡が悪化します。比較的に FDA のアーキテクチャは本質的に出力バランスが優れており、入力段はゲインを適用することも含めて並列に処理されるため、位相遅延を最小限に抑えることができます。これらの原理と、ノイズ性能およびセトリング誤差は、ADC の有効ビット数 (ENOB) によって示すことができます。

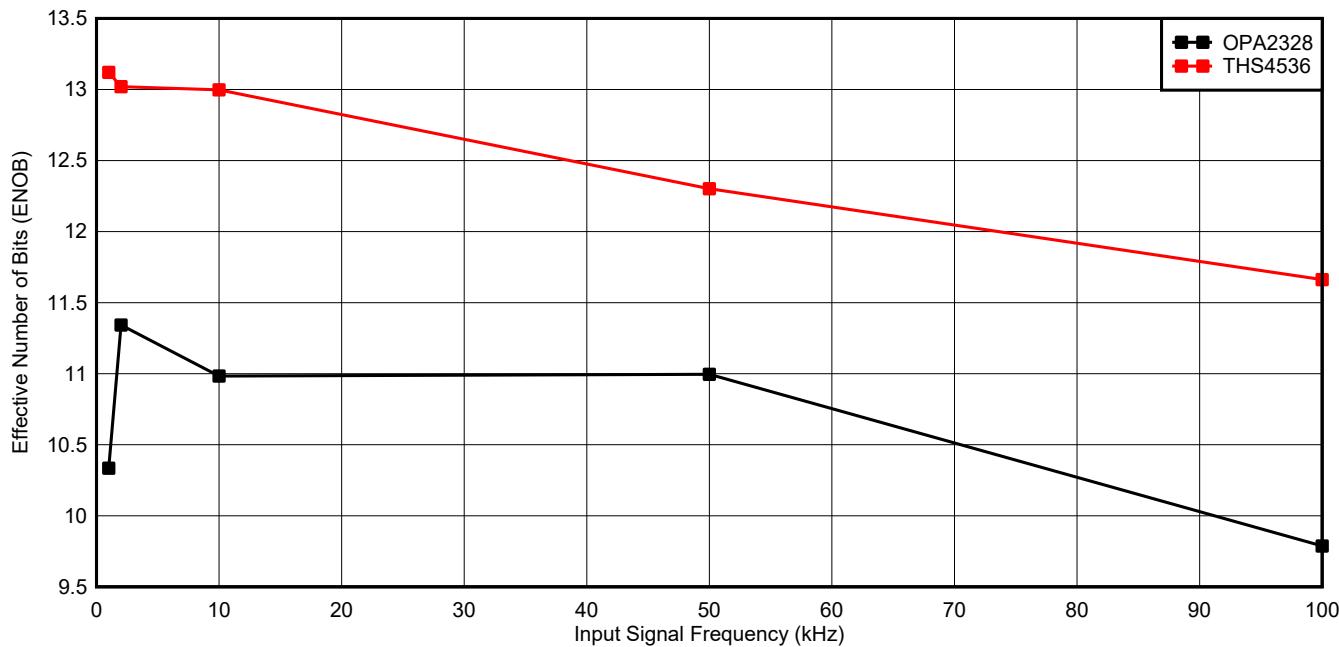


図 5. ENOB と入力周波数との関係

## スペクトルノイズ

外部アンプがシステムノイズに及ぼす影響は、複雑な解析で表されますが、一般的な指針として、目的のゲインレベルで、システム全体のノイズと等しい、またはそれより低いアンプを選択することが挙げられます。ADCの実効ノイズ帯域幅(ENBW)を計算する方法と、外部アンプの影響に関する詳細説明については、参考9『高精度ADCノイズ分析の基礎』の第2章および第3章を検討してください。短期的な検討事項と評価のために、図6に、1kHz信号でADS9224Sを駆動するOPA2328とTHS4536のスペクトルノイズに関する高速フーリエ変換(FFT)と周波数のグラフを示します。これはTHS4536はフリッカー(1/f)ノイズが低いことを示しています。フリッカー(1/f)ノイズが大きくなり、フリッカーと広帯域ノイズの間でクロスオーバーが発生する周波数が遠くなるほど、ADCのノイズが大きくなり、出力コードの劣化による結果とADCの実効帯域幅が低下します。さらに、不要なノイズと比較した入力信号の強度を示す信号対雑音比(SNR)を使用すると、ADC駆動時にTHS4536の性能上の利点を示すことができます。

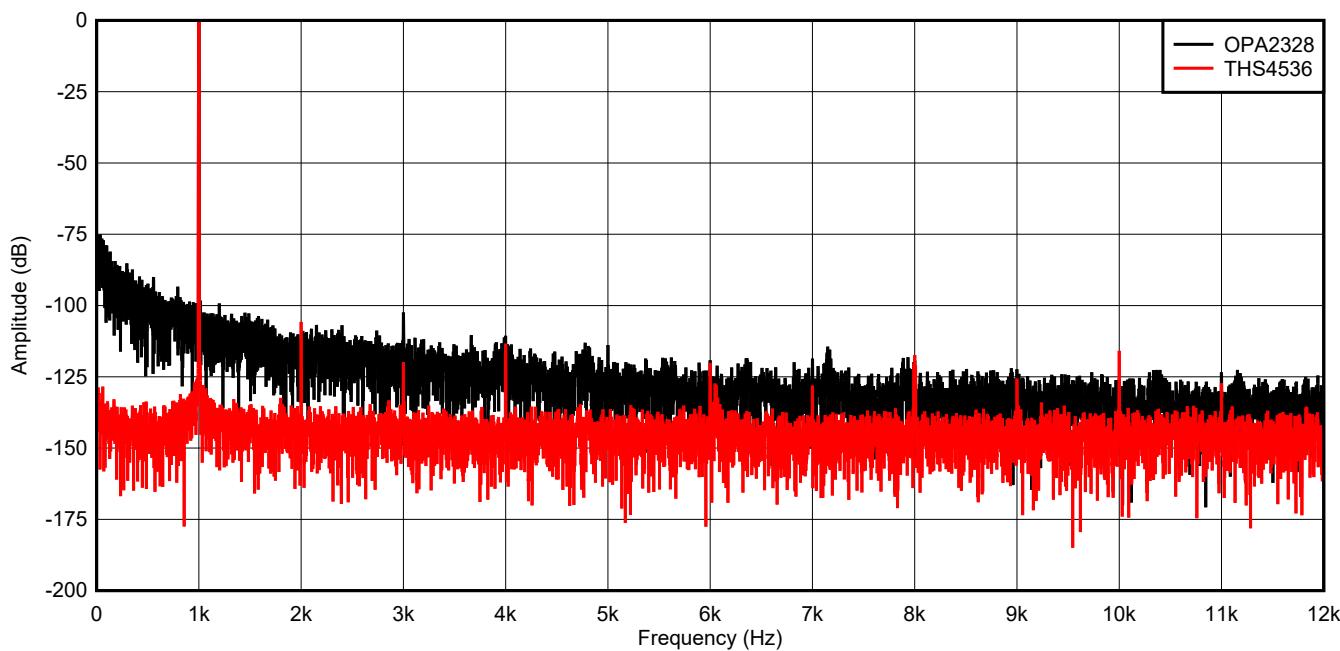


図6. FFTと周波数との関係

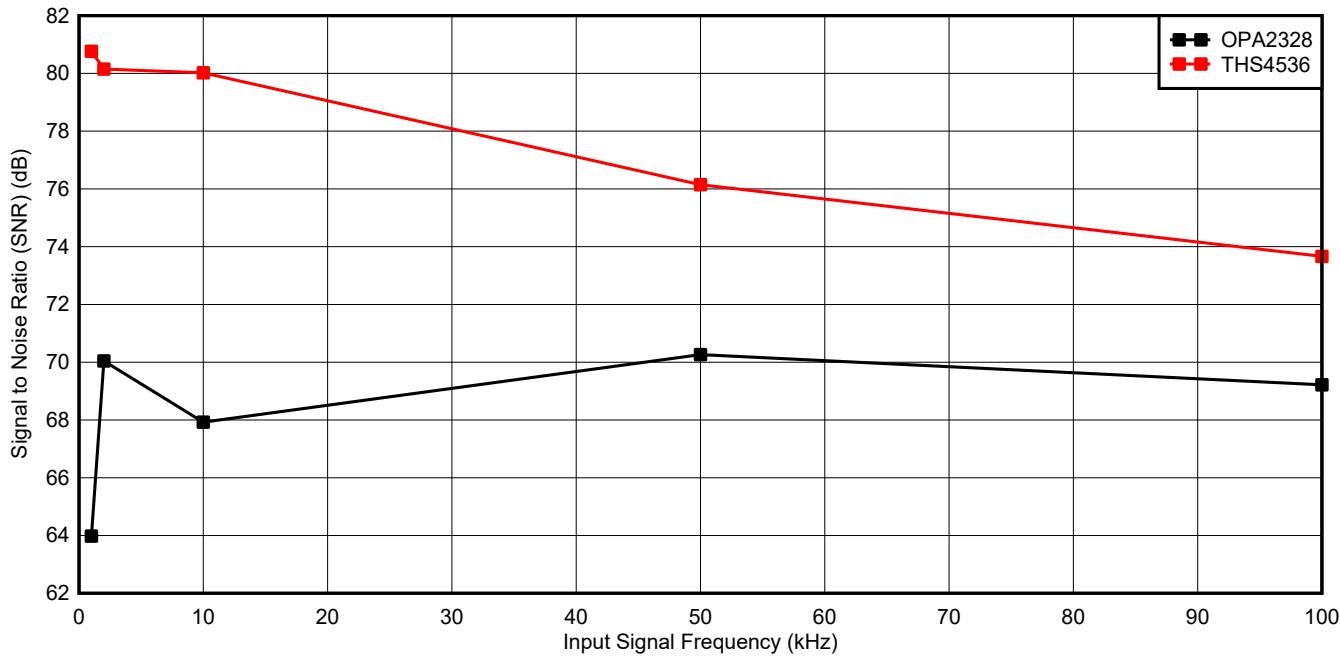


図7. 信号対雑音比と周波数との関係 (1MSPS)

## まとめ

完全差動アンプは、統合型アーキテクチャと固有の差動信号特性により、シグナル チェーンを多く改善しています。消費電力が同等または低消費電力である場合でも、エンジニアは信号対雑音比への最小の影響、最小の THD、最大の ENOB、設計サイズの低減、出力同相モード制御の統合、同じ部品上にアクティブ フィルタを追加する能力、使いやすく低コストを実現できます。ADC に適した FDA を選択することで、ADC から最大性能を実現し、それに続く最終システムでも、実装を簡単に実現できます。

## 代表的な ADC と FDA に関する推奨事項

表 3. 推奨 FDA ドライバを搭載した代表的な差動入力 ADC

A/D コンバータ (ADC)	ADC アーキテクチャ	推奨完全差動アンプ ドライバ
ADS1675	$\Delta\Sigma$ 、24 ビット、4MSPS	LMH6551
THS1209	パイプライン、12 ビット、8MSPS	THS4551
ADS9224	逐次比較型、16 ビット、3MSPS	THS4551
ADS9327	逐次比較型、16 ビット、5MSPS	THS4551
ADS1278	$\Delta\Sigma$ 、24 ビット、144kSPS	THS4536
ADS127L11	$\Delta\Sigma$ 、24 ビット、400kSPS	THS4536
ADC3544	逐次比較型、14 ビット、125MSPS	THS4541
ADS1602	$\Delta\Sigma$ 、16 ビット、2.5MSPS	THS4561

詳細については、その他の参考資料を参照してください

1. プレシジョン ラボ シリーズ: 完全差動アンプ
2. 差動入力 ADC を駆動するフロント エンド回路の設計
3. 差動 ADC 向けのアクティブ フィルタ設計
4. 完全差動アンプ
5. Carissa Slipp, Microwave Journal, 完全差動アンプと ADC 駆動の利点
6. ADC ドライバと完全差動入力 ADC の組み合わせにより広帯域幅のデータ アクイジションを実現
7. 歪みによりアンプの性能が低下している場合高い帯域幅の確保！
8. 高速アンプによるシグナル チェーンの歪み性能の最大化
9. 高精度 ADC ノイズ分析の基礎
10. 設計上の一般的な課題と完全差動アンプ (FDA) の適切な使用
11. 完全差動オンライン カリキュレータ
12. THS4536 データシート

商標

すべての商標はそれぞれの所有者に帰属します。

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月