

*Application Note*

## シグナルコンディショナおよびUSBハブの高速レイアウトのガイドライン



## 概要

最新のインターフェースの周波数が高くなるにつれて、堅牢な設計を維持するために、設計のプリント基板 (PCB) のレイアウト段階で注意を払う必要があります。このドキュメントでは、USB、USBハブ、HDMI、DisplayPort®、PCIe、SATAに関連する高速レイアウトのガイドラインを取り上げています。

## 目次

1はじめに	3
2プロトコル固有のレイアウトのガイドライン	3
2.1 USB 2.0	3
2.2 USB 4.0 3.2 Gen1/Gen2	4
2.3 HDMI	4
2.4 ディスプレイポート	4
3一般的な高速信号の配線	5
3.1 パターンのインピーダンス	5
3.2 高速信号パターン長	5
3.3 高速信号パターン長の一致	5
3.4 復帰バス	6
3.5 高速信号のリファレンスプレーン	6
4高速差動信号の配線	12
4.1 差動信号の間隔	12
4.2 高速差動信号の追加ルール	12
4.3 差動ペアの対称性の参考資料	13
4.4 コネクタおよびレセプタクル	14
4.5 ビアの非連続性の緩和	15
4.6 スタブをバックドリルする	17
4.7 パターンスタブ	18
4.8 ビアのアンチパッドの直径を大きくする	18
4.9 ビア数を均等にする	19
4.10 表面実装デバイスパッドの非連続性の緩和	19
4.11 信号の曲げ	20
4.12 推奨されるPCBスタックアップ	21
4.13 ESD/EMIに関する考慮事項	21
4.14 ESD/EMIレイアウトのルール	22
5参考資料	22

## 図の一覧

図 3-1. ペア間スキューとペア内スキューの比較	5
図 3-2. 復帰バス	6
図 3-3. 高周波の帰路	6
図 3-4. 分割プレーン間での再実行	7
図 3-5. 分割プレーンのACコンデンサ	7
図 3-6. 異なるリファレンスプレーン間の配線	8
図 3-7. ACコンデンサを使用した異なるリファレンスプレーン間の配線	8
図 3-8. GNDビアなしの帰路を介した差動ペア	9

図 3-9. GND ビアありの帰路を介した差動ペア.....	10
図 3-10. VCC リファレンス プレーン.....	11
図 4-1. 他の信号と隣接する差動ペアの間隔.....	12
図 4-2. クロックまたは周期信号と隣接する差動ペアの間隔.....	12
図 4-3. 差動ペアの対称性.....	13
図 4-4. レセプタクル スタブの緩和.....	14
図 4-5. 長いスタブのビア.....	15
図 4-6. 短いスタブのビア.....	16
図 4-7. バックドリルしたスタブ付きの長いビア.....	17
図 4-8. スタブ長の短縮.....	18
図 4-9. ビアのアンチパッド.....	18
図 4-10. AC カップリング コンデンサの配置.....	19
図 4-11. 表面実装デバイスの下のボイド.....	20
図 4-12. 信号の曲げのルール.....	20

## 表の一覧

表 1-1. 重要な信号.....	3
表 4-1. 6 層 PCB で可能な基板スタックアップ.....	21
表 4-2. 4 層 PCB で可能な基板スタックアップ.....	21
表 4-3. PCB のスタックアップの例.....	21

## 商標

DisplayPort® is a registered trademark of Video Electronics Standards Association.

すべての商標は、それぞれの所有者に帰属します。

## 1 はじめに

### 範囲

このアプリケーション レポートは、システム設計者がさまざまな高速信号を使用する際にベスト プラクティスを実装し、PCB レイアウト オプションを理解するのに役立ちます。このドキュメントは、PCB の製造、レイアウト、設計に精通しているユーザーを対象としています。

### 重要な信号

システムを設計する際の主な問題点は、高速信号に対応し、絶縁することです。高速信号は他の信号に影響を与えたり、他の信号から影響を受けたりする可能性が最も高いため、規定された配線ルールに従えることを確認するために、PCB 設計プロセスの早い段階で(できれば最初に)高速信号をレイアウトする必要があります。

**表 1-1. 重要な信号**

信号名	説明
DP/DM	USB 2.0 差動データペア
SSTXP/N, SSRXP/N	SuperSpeed 差動データペア
SATA_RXP/N, SATA_TXP/N	シリアル ATA (SATA) 差動データペア
PCIe_RXP/N, PCIe_TXP/N	PCI-Express (PCIe) 差動データペア
HDMI_CLK+/-	高解像度マルチメディア インターフェイス (HDMI) 差動クロックペア、正または負
HDMI_Data+/-	高解像度マルチメディア インターフェイス (HDMI) 差動データペア、正または負
DP_Lane#+/-	DisplayPort 差動データペア、レーン 0 ~ 3、正または負

## 2 プロトコル固有のレイアウトのガイドライン

システムのレイアウトを設計する際には、さまざまな高速規格の違いを考慮する必要があります。これらの違いには、データレート / 周波数、AC カップリング コンデンサ、ペア間スキュー、ペア内スキュー、パターン インピーダンスなどのパラメータが含まれます。以下に、さまざまな高水準の標準値を示します。以下の値はガイドラインであり、必ずしも正確な値であるとは限りません。

### 2.1 USB 2.0

パラメータ	値
周波数	低速度: 750KHz (1.5Mbps) フル スピード: 6MHz (12Mbps) 高速: 240MHz (480Mbps)
AC カップリング コンデンサ	AC コンデンサは使用できません
極性反転	許可されません
パターンのインピーダンス	90Ω ±15% 差動、45Ω ±15% シングル エンド
最大ケーブル長	5m

## 2.2 USB 4.0 3.2 Gen1/Gen2

パラメータ	値
周波数	SuperSpeed: 2.5Ghz (5Gbps)
	SuperSpeed: 5Ghz (10Gbps)
	USB 4.0 Gen3: 10Ghz (20Gbps NRZ)
	USB 4.0 Gen4: 20Ghz (40Gbps PAM3)
AC カップリング コンデンサ	TX データレーンに必要な AC コンデンサ。(RX データレーンではオプション)
極性反転	SSTX および SSRX で許可されています
最大ペア内スキー	15ps/m (TI は 5mil を推奨します)
最大ペア間スキー	該当なし
パターンのインピーダンス	90Ω ±15% 差動、45Ω ±15% シングル エンド
最大ケーブル長	3m

## 2.3 HDMI

パラメータ	値
周波数	HDMI 1.4b:HDMI_CLK:最大 340MHz
	HDMI 1.4b:HDMI_Data:最大 1.7GHz
	HDMI 2.0b:HDMI_CLK:最大 150MHz
	HDMI 2.0b:HDMI_Data:最大 3GHz
	HDMI 2.1b:HDMI_Data:最大 6GHz
AC カップリング コンデンサ	AC コンデンサは使用できません
極性反転	許可されません
ソースの最大ペア内スキー	0.15 × Tbit
ソースの最大ペア間スキー	0.20 × Tcharacter
パターンのインピーダンス	100Ω ±15% 差動、50Ω ±15% シングル エンド

## 2.4 ディスプレイ ポート

パラメータ	値
周波数	DisplayPort 1.2: 2.7GHz (5.4Gbps)
	DisplayPort 1.4: 4.05GHz (8.1Gbps)
	DisplayPort 2.1 UHBR10: 5GHz (10Gbps)
	DisplayPort 2.1 UHBR13.5: 5.76GHz (13.5Gbps)
	DisplayPort 2.1 UHBR20: 10GHz (20Gbps)
AC カップリング コンデンサ	AC コンデンサが必要です
極性反転	サポートは内蔵されていません
ソースの最大ペア内スキー	20ps (TI は約 5mil を推奨しています)
パターンのインピーダンス	100Ω ±10% 差動、50Ω ±15% シングル エンド

### 3 一般的な高速信号の配線

#### 3.1 パターンのインピーダンス

高速信号では、パターンのインピーダンスは、パターンでの反射を最小限に抑えるように設計する必要があります。高速信号を設計する際には、2種類のパターンのインピーダンスを考慮する必要があります。シングル エンド インピーダンスは、グランドを基準としているパターンのインピーダンスです。差動インピーダンスは、2つの差動ペア信号パターン間のインピーダンスです。

設計対象の高速プロトコルによって、パターンが満たす必要のあるシングルおよび差動のパターンインピーダンスと、インピーダンスの許容範囲(たとえば、 $50\Omega \pm 15\%$ )が決まります。PCBの製造誤差や欠陥に対する堅牢な設計を行うには、パターンのインピーダンスを推奨値にできるだけ近づけます。パターンの形状、PCBの材料の誘電率、およびパターン周囲の層はすべて、信号パターンのインピーダンスに影響を及ぼします。

高速パターンのパターンインピーダンスを計算するためのツールは数多くあります。ほとんどの基板メーカーは、PCBの設計者がインピーダンスを計算するために使用できる推奨ツールを提供していますが、多くのオンラインツールも利用できます。

#### 3.2 高速信号パターン長

すべての高速信号と同様に、信号ペアの総パターン長は最小限にします。規格によっては、さまざまな仕様で規定されている最大パターン/ケーブル長があります。

#### 3.3 高速信号パターン長の一一致

関連する差動ペアパターンのエッチングの長さを一致させます。ペア内スキーは、差動ペアの+レーンと-レーンのエッチング長の差を定義するために使用される用語です。ペア間スキーは、同じグループの別の差動ペアからの差動ペアのエッチング長の差を記述するために使用されます。差動ペアグループのエッチングの長さが一致している必要はありません。たとえば、USB 3.0 の TX と RX のエッチング長を一致させる必要はありません。異なるレーンの長さが同じである必要がないため、ペア間スキー要件がない規格もあります。高速信号のペア内スキーを一致させるには、できるだけ近い長さになるように一致していない端に蛇行配線を追加します(図 3-1 を参照)。

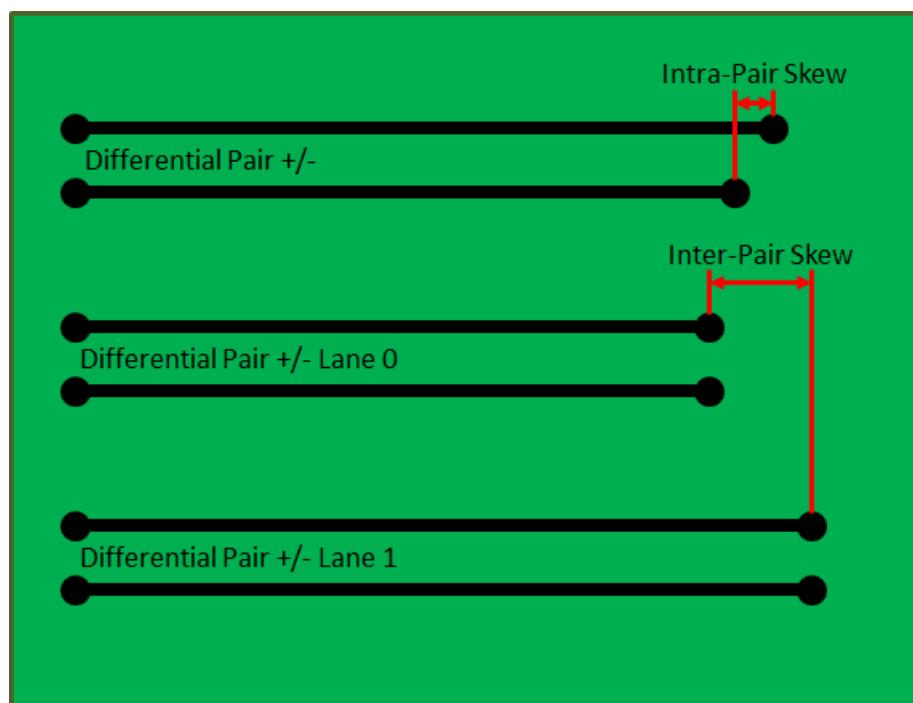


図 3-1. ペア間スキーとペア内スキーの比較

パターンの蛇行形状については、上記の推奨事項を使用してください。たとえば、パターンの幅 (W) は 6mil、差動ペア (A) 間の距離は 8mil です。これは、蛇行 (B) の幅が少なくとも 16mil であり、C の長さが少なくとも 18mil であることを意味します。

### 3.4 復帰パス

電気回路は常に閉ループシステムでなければなりません。DC を使用する場合、リターン電流は DC 信号に対して最も抵抗の低い経路を戻ります。

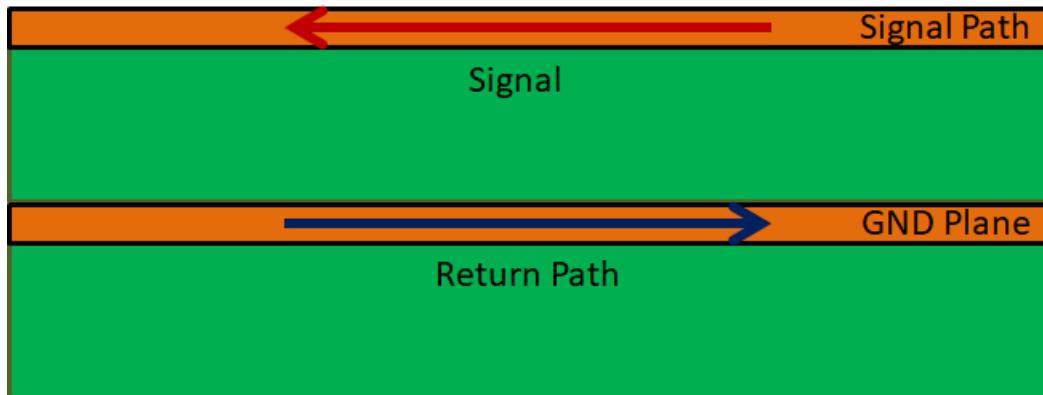


図 3-2. 復帰パス

高い周波数では、リターン電流は最も低いインピーダンスのパスを流れます。この最も低いインピーダンスのパスは通常、信号に隣接するリファレンスプレーンです (図 3-3 を参照)。このため、信号層の上または下の層には、必ずグランドプレーンまたは電源プレーンを配置します。この帰路は、インピーダンスの変化を低減し、EMI の問題を減少させるのに役立ちます。赤い矢印は信号路、青い矢印は帰路です。

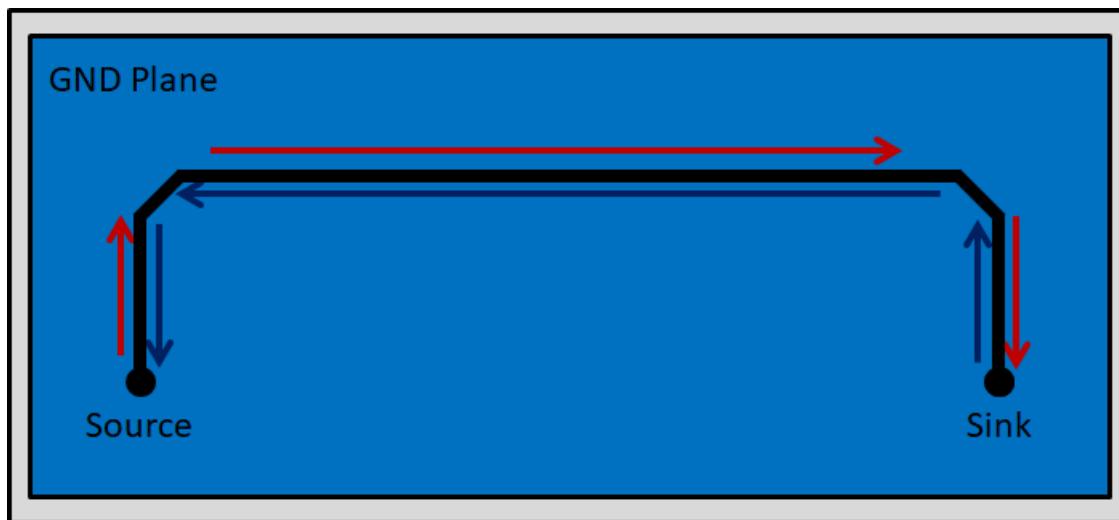


図 3-3. 高周波の帰路

### 3.5 高速信号のリファレンスプレーン

高速信号は、絶対に必要な場合を除き、リファレンスプレーンのプレーン分割やボイドをまたぐのではなく、ソリッドな GND リファレンスプレーン上に配線する必要があります。TI は、完全に回避できない場合を除き、電源プレーンへの高速信号リファレンスを推奨していません。

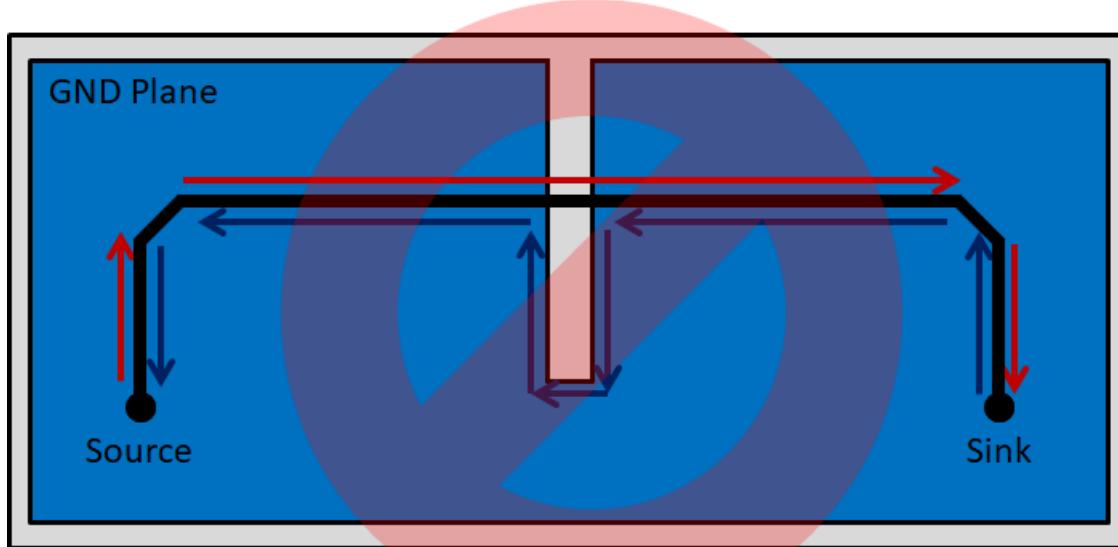


図 3-4. 分割プレーン間での再実行

リファレンスプレーンのプレーン分割またはボイドをまたぐ配線は、戻りの高周波電流が強制的に分割またはボイドの周囲に流れようになります。図 3-4 は、帰路は信号路よりも長い配線を必要とすることを示しています。これにより、以下の条件が発生する可能性があります。

- 不平衡な電流の流れに起因する過剰な放射エミッション
- 直列インダクタンスの増加に起因する信号伝搬遅延の遅延
- – 隣接する信号との干渉
  - シグナルインテグリティの低下 (つまり、ジッタの増加と信号振幅の減少)

プレーン分割上の配線が完全に回避できない場合は、分割部分にスティッチングコンデンサを配置して、高周波電流の帰路を確保します。これらのスティッチングコンデンサは、電流ループの面積と、分割を交差することで発生するインピーダンスの非連続性を最小限に抑えます。これらのコンデンサは  $1\mu\text{F}$  以下のものにし、プレーン交差にできる限り近くに配置します。

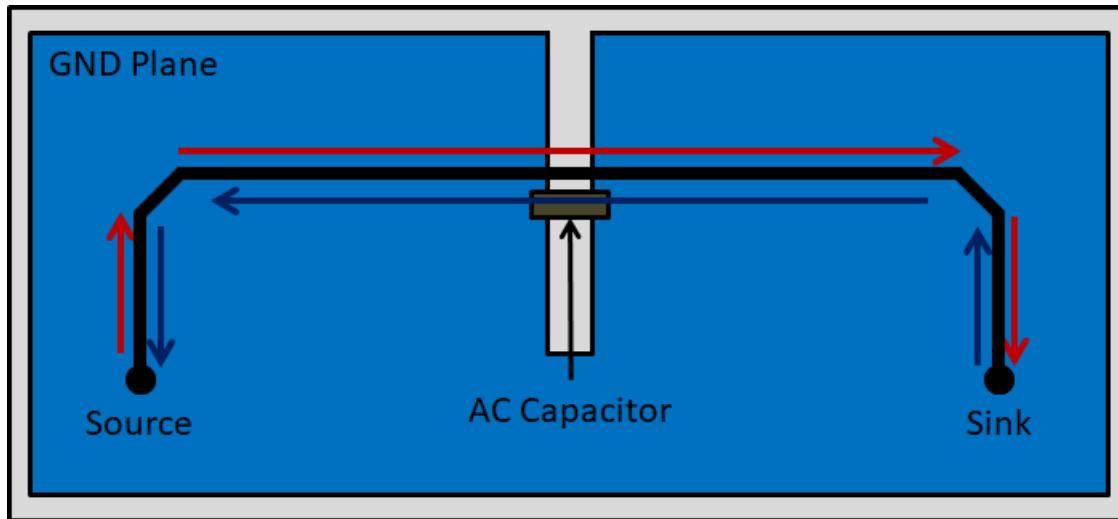


図 3-5. 分割プレーンの AC コンデンサ

PCB のスタックアップを計画するときは、互いに基準としないプレーンが重なっていないことを確認します。重なっていると、重なっている領域間に不要な容量が発生するためです。

異なるリファレンス プレーンを通る配線は避けてください。これはインピーダンスの問題と EMI の問題を引き起こす可能性があるためです。

高速信号パターンのリファレンス プレーンは、完全に回避できない場合を除き変更しないでください。赤い矢印は信号路、青い矢印は帰路です。

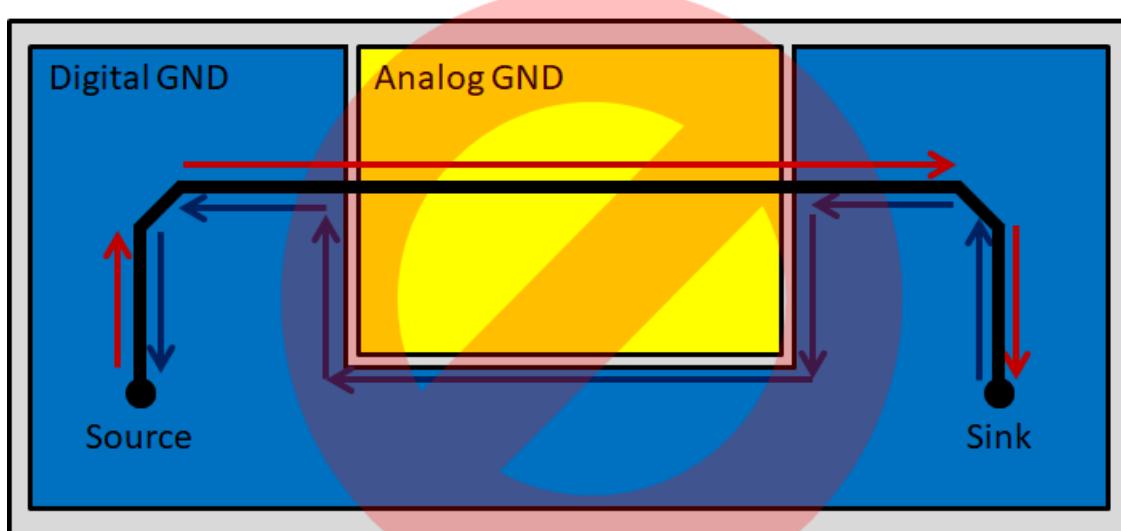


図 3-6. 異なるリファレンス プレーン間の配線

異なるリファレンス プレーンを介した配線を回避できない場合は、AC コンデンサを使用して、リターン電流が経路を通りるようにします。

赤い矢印は信号路、青い矢印は帰路です。

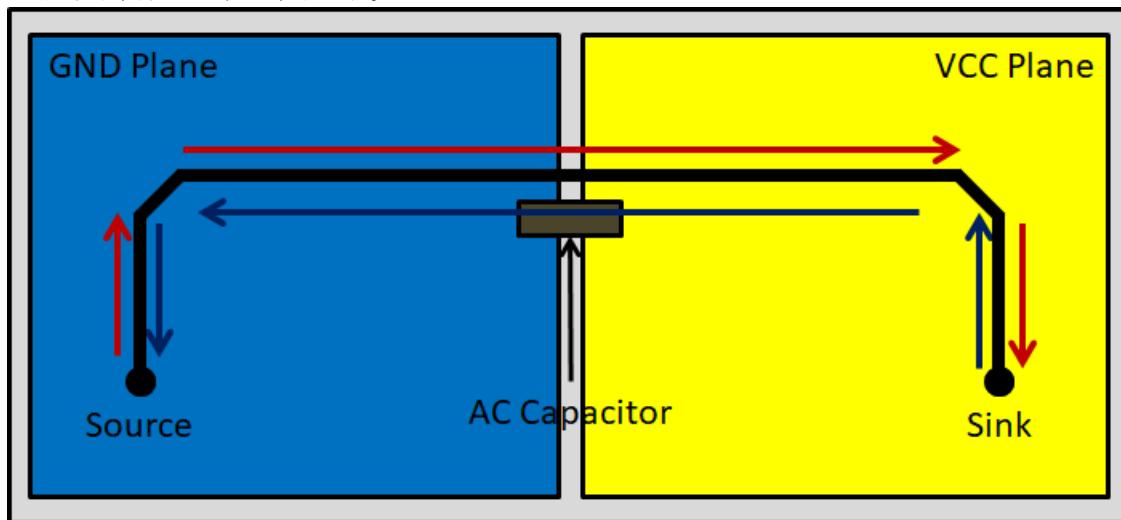


図 3-7. AC コンデンサを使用した異なるリファレンス プレーン間の配線

高速信号パターン全体で、起点から終端まで同じ GND リファレンスを維持する必要があります。同じ GND リファレンスを維持することができない場合は、両方の GND プレーンをビア スティッチして、連続したグランディングと均一なインピーダ

ンスを確保してください。これらのスティッチング ビアは、信号遷移ビアの 200mil 以内 (中心から中心、近い方が良い) に対称的に配置します。

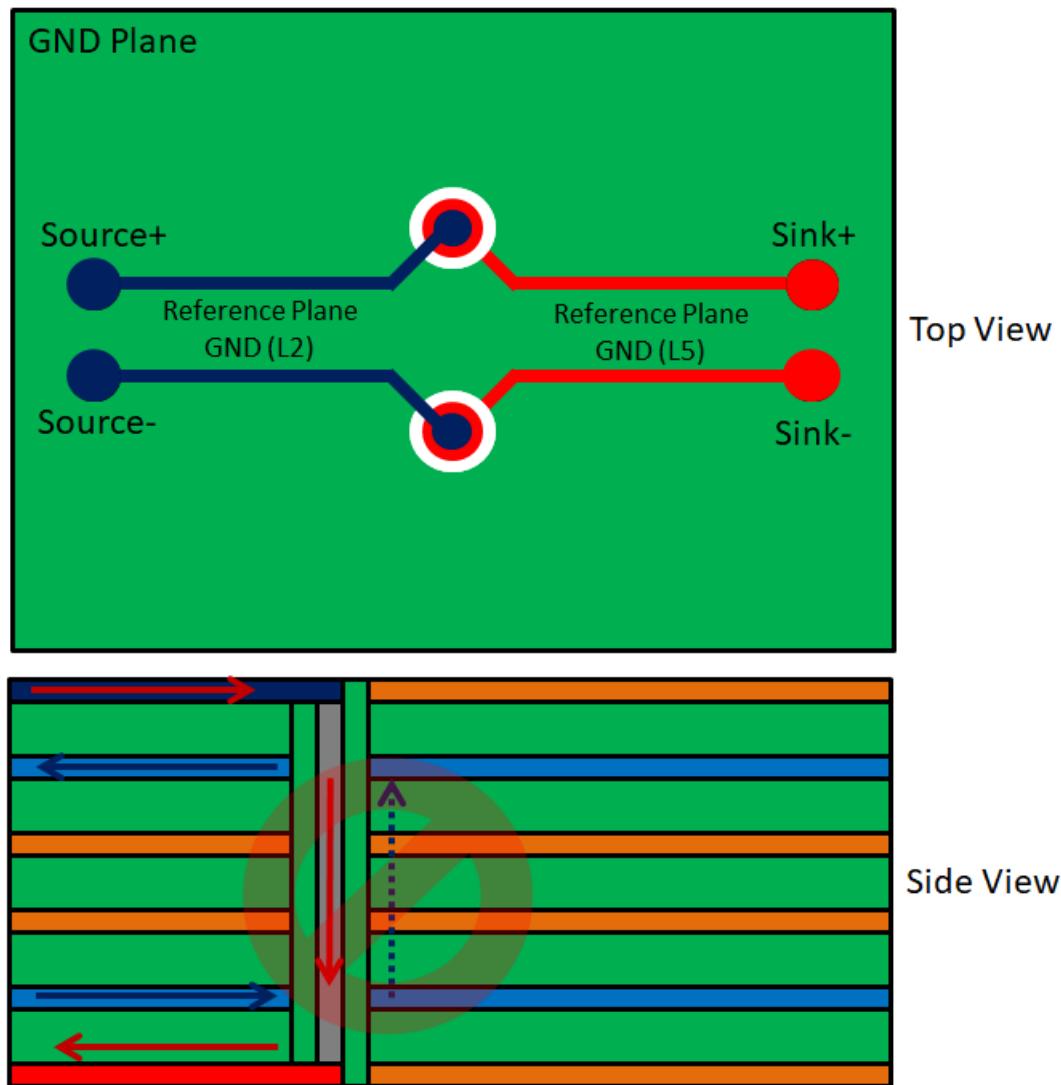


図 3-8. GND ビアなしの帰路を介した差動ペア

赤い矢印は信号路、青い矢印は帰路です

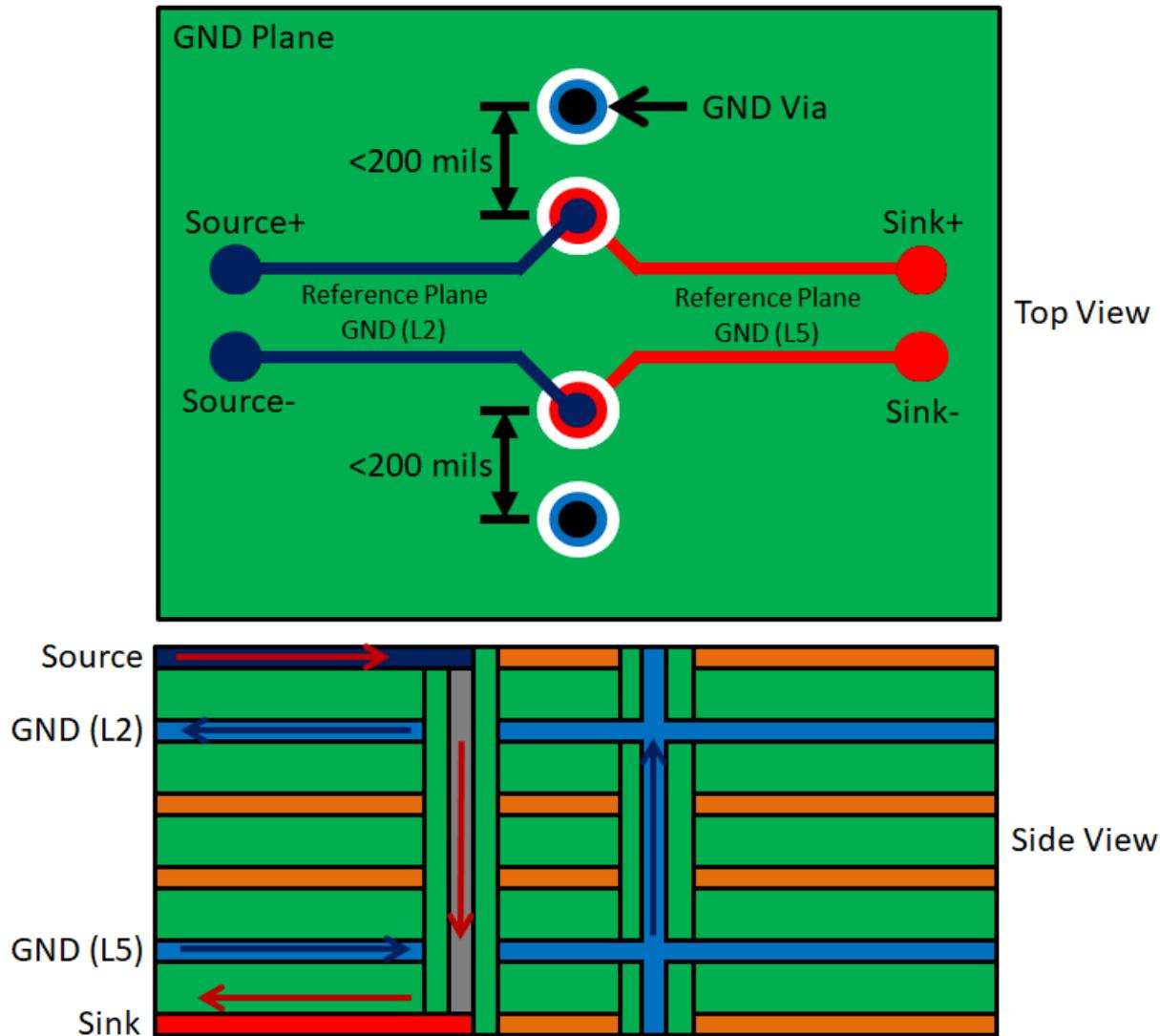


図 3-9. GND ビアありの帰路を介した差動ペア

TI は、完全に回避できない場合を除き、電源プレーンへの高速信号リファレンスを推奨していません。回避できない場合は、AC カップリング コンデンサとグランド ビアを使用して、復帰信号がシンクからソースに戻る経路を持つようにします。図 3-10 に、帰路での AC カップリング コンデンサとグランド ビアの使用を示します。赤い矢印は信号路、青い矢印は帰路です。

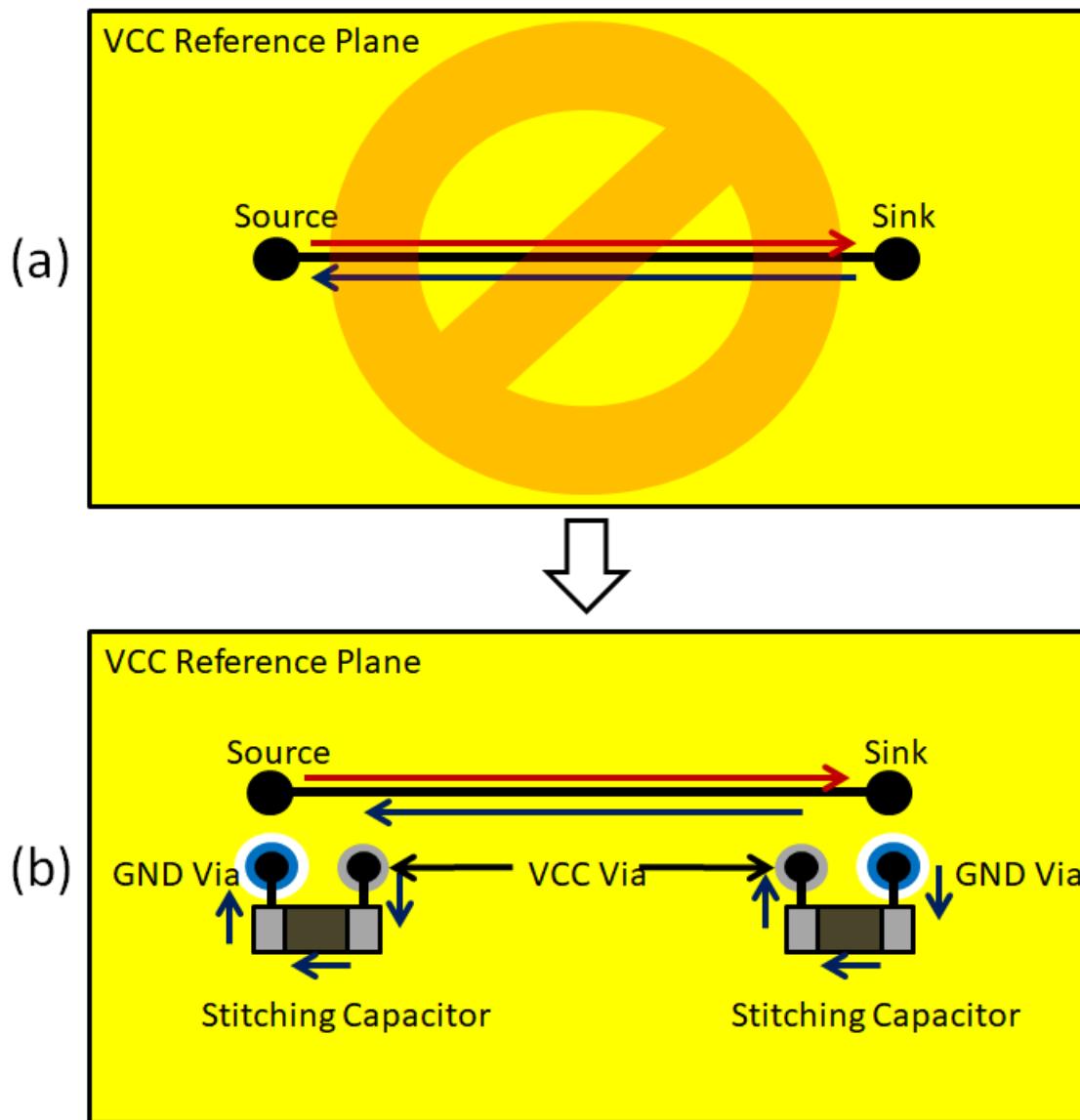


図 3-10. VCC リファレンス プレーン

## 4 高速差動信号の配線

### 4.1 差動信号の間隔

高速インターフェイス実装でクロストークを最小限に抑えるには、信号ペア間の間隔をトレースの幅の 5 倍以上にする必要があります。この間隔を **5W ルール** と呼びます。PCB 設計でトレース幅が 6mil と計算された場合、高速差動ペア間に 30mil 以上の間隔が必要です。また、トレースの長さ全体にわたって、他の信号に対して 30mil 以上の禁止領域を保持するようにします。高速差動ペアがクロックまたは周期的な信号と隣接する部分では、適切な絶縁を確保するため、禁止領域を 50mil 以上に増加します。図 4-1 および図 4-2 に、高速差動信号の間隔の例を示します。



図 4-1. 他の信号と隣接する差動ペアの間隔

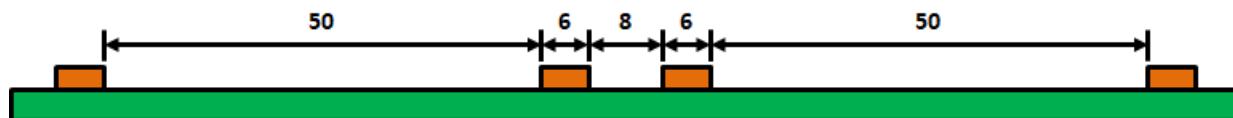


図 4-2. クロックまたは周期信号と隣接する差動ペアの間隔

複数の高速インターフェイスを内蔵するデバイスでは、これらのインターフェイス間のクロストークを回避することが重要です。クロストークを回避するため、パッケージのエスケープ後とコネクタの終端の前に、各差動ペアが別の差動ペアの 30mil 以内に配線されないようにします。

### 4.2 高速差動信号の追加ルール

- 高速差動信号にプローブやテスト ポイントを配置しないでください。
- 水晶振動子、発振器、クロック信号ジェネレータ、スイッチング パワー レギュレータ、マウントホール、磁気デバイス、クロック信号を使用または複製する IC の下または近くに高速トレースを配線しないでください。
- BGA ブレークアウト後は、高速差動信号を SoC から距離を置いて配線してください。これは、内部状態の遷移により発生する大電流過渡のフィルタリングが困難な場合があるからです。
- 可能な場合は、高速差動ペア信号を PCB の GND 層が隣接している最上層または最下層に配線します。TI では、高速差動信号のストリップライン配線は推奨していません。
- 高速差動信号が、リファレンス プレーンのエッジから 90mil 以上の距離を置いて配線されていることを確認します。
- 高速差動信号が、リファレンス プレーンのボイドから 1.5W (トレース幅 × 1.5 で計算) 以上距離を置いて配線されていることを確認します。このルールは、高速差動信号の SMD パッドがボイドされている場合には適用されません。
- Soc BGA のエスケープ後に一定のトレース幅を維持し、伝送ラインでのインピーダンスの不一致を回避します。
- 可能な場合は、差動ペアの間隔をできるだけ広くします。

#### 4.3 差動ペアの対称性の参考資料

すべての高速差動ペアを対称的に、平行になるように配線します。パッケージのエスケープ時やコネクタピンへの配線時には、この要件からはずれることがあります。このような要件からはずれる部分はできるだけ短くし、パッケージのブレークアウトはパッケージの 0.25 インチ以内にする必要があります。

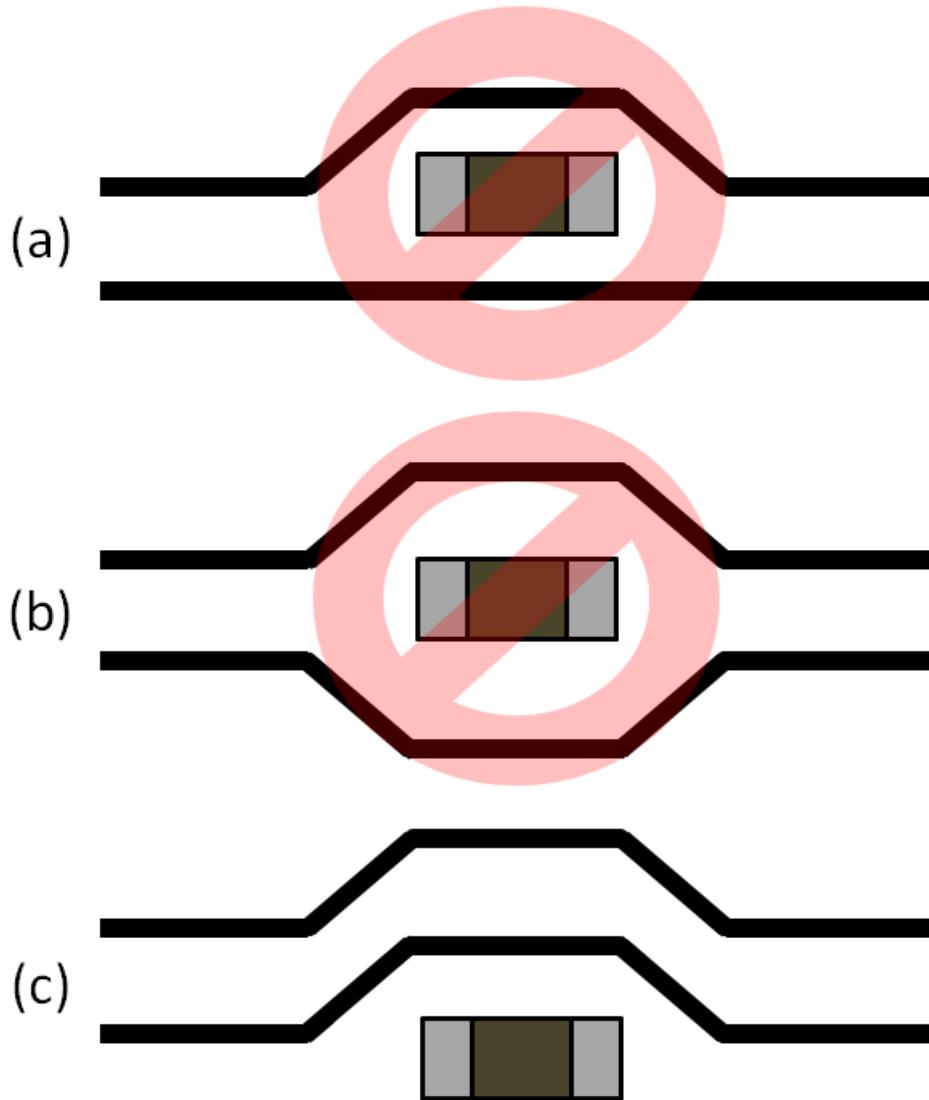


図 4-3. 差動ペアの対称性

#### 4.4 コネクタおよびレセプタクル

スルーホール レセプタクル (USB 標準 A など) を実装する場合、TI では、PCB の最下層にあるレセプタクルに高速差動信号を接続することをお勧めします。PCB の最下層にこうした接続を行うと、スルーホールピンが伝送パス内のスタブとして機能するのを防ぎます。USB Micro-B や Micro-AB などの表面実装レセプタクルの場合、最上層に高速差動信号を接続します。最上層にこれらの接続を行うと、伝送パスにビアが必要なくなります。USB スルーホール レセプタクルの接続例を示します。

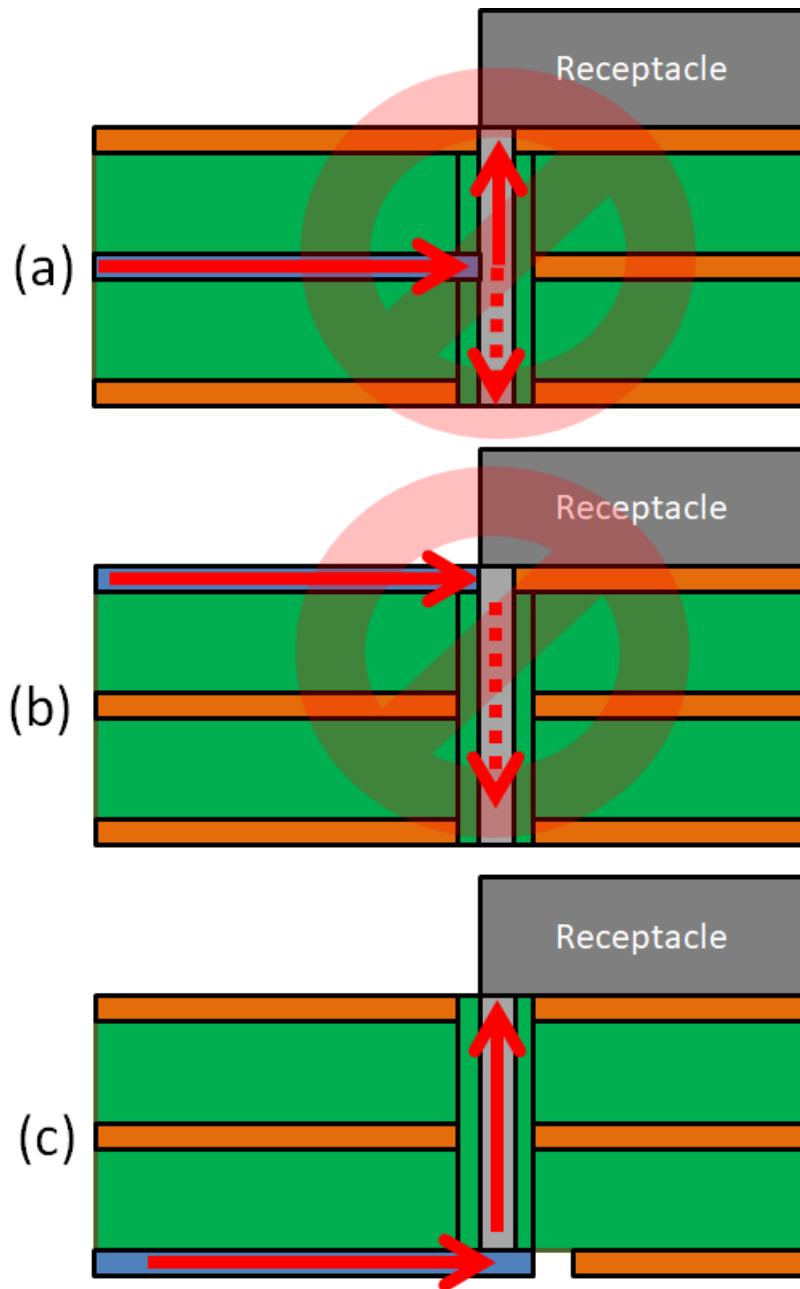


図 4-4. レセプタクル スタブの緩和

- A: PCB の中央から発生する信号
- B: PCB の上面から発生する信号
- C: PCB の底面から発生する信号

#### 4.5 ビアの非連続性の緩和

ビアは、トレースに形状の変化を示す短いセクションで、容量性または誘導性が非連続になることがあります。これらの非連続性は、信号がビアを通過するときに反射や信号の劣化の原因となります。ビア スタブ全体の長さを短くし、ビア（および関連のビア スタブ）の悪影響を最小限に抑えるようにします。

ビア スタブが長いほど、低い周波数で共振して挿入損失が大きくなるため、これらのスタブはできるだけ短くしてください。ほとんどの場合、ビアのスタブ部分ではビアの信号部分よりも信号の劣化が大きくなります。TI では、ビア スタブを 15mil 未満にすることを推奨しています。これより長いスタブは、バックドリルを使用する必要があります。図 4-5 および図 4-6 に、短いビアと長いビアの例を示します。

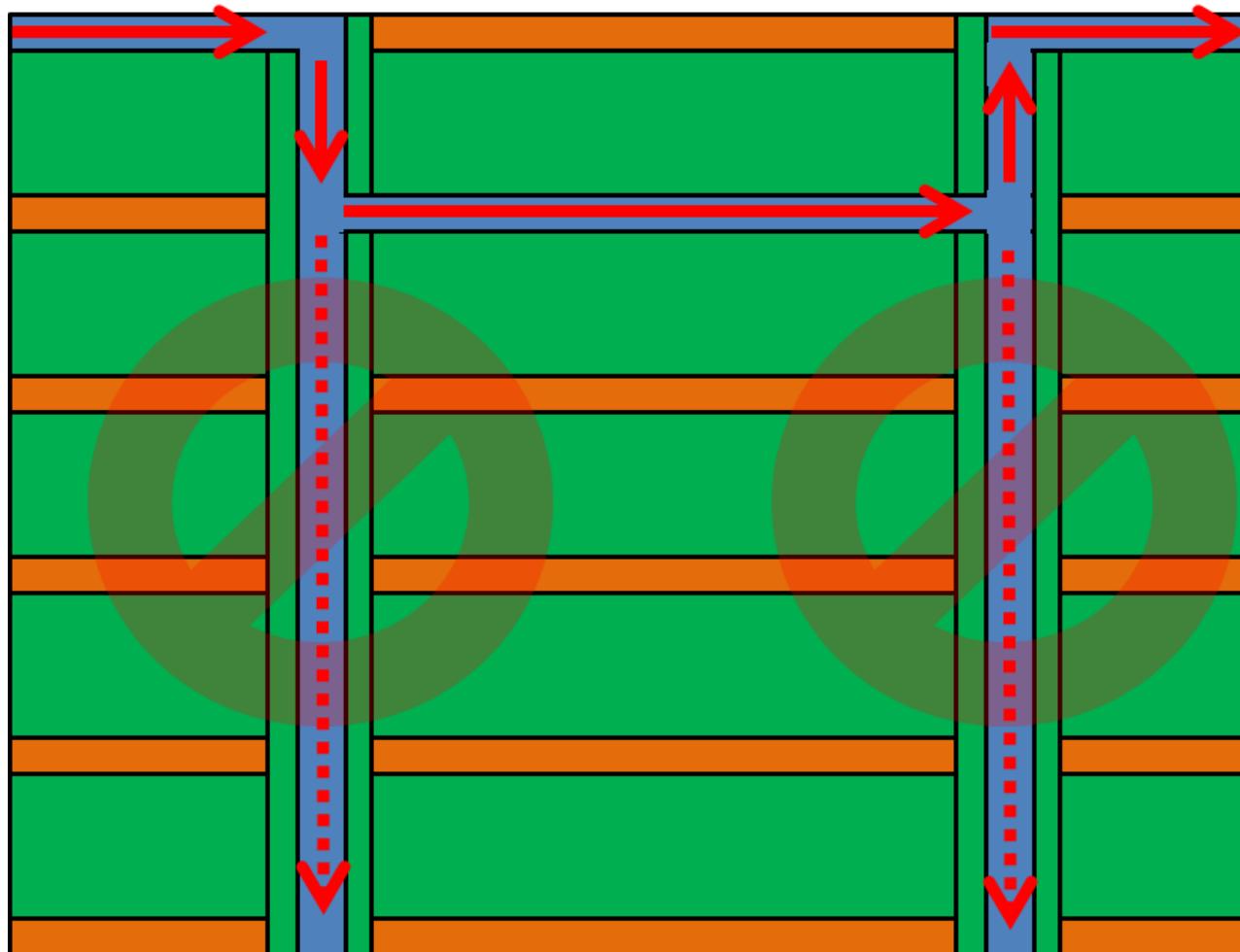


図 4-5. 長いスタブのビア

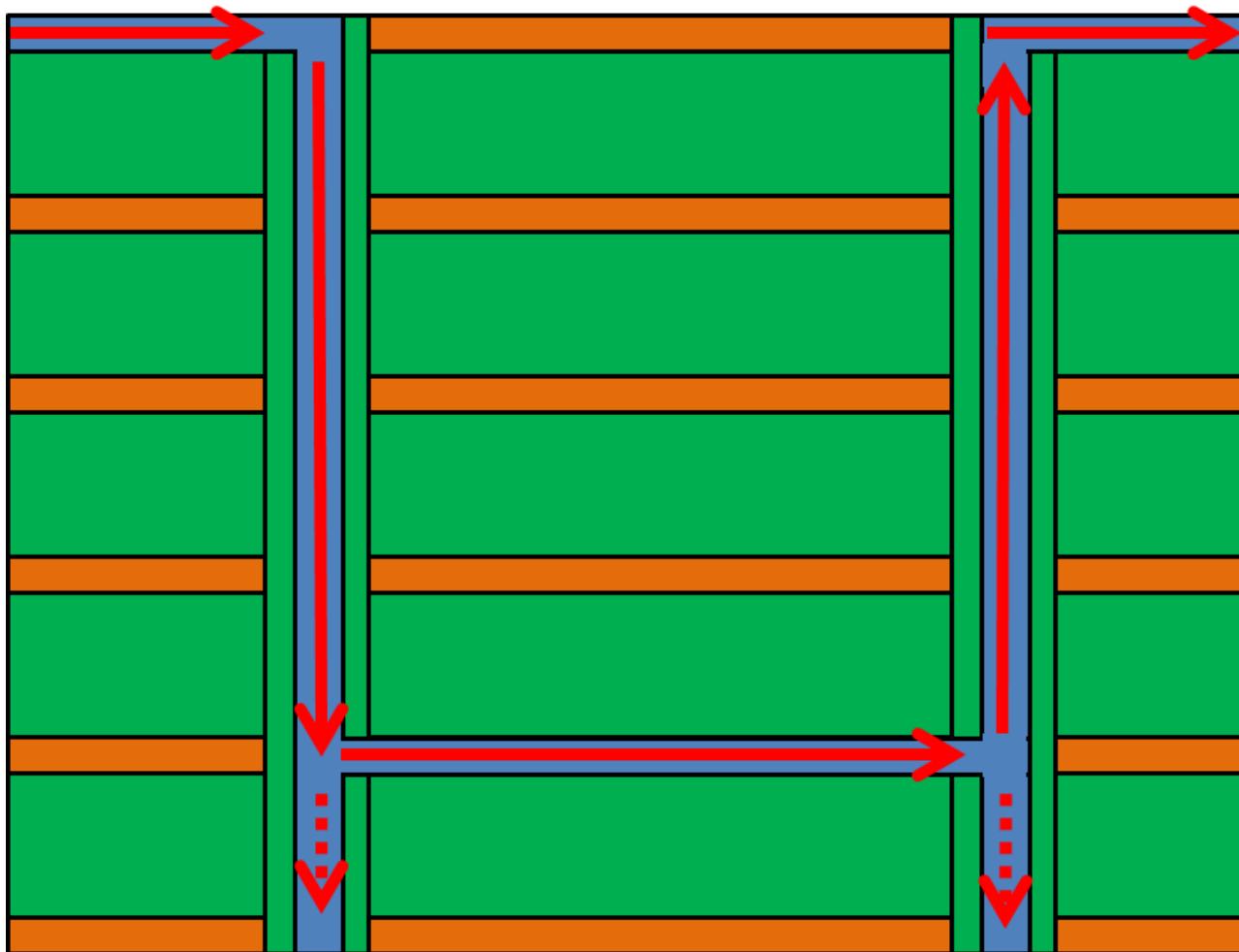


図 4-6. 短いスタブのピア

#### 4.6 スタブをバックドリルする

バックドリルは、ビアのスタブ セクションにある不要な導電性メッキを取り除く PCB 製造プロセスです。バックドリルを行うには、元のビア ホールの作成に使用したドリル ビットよりも直径がわずかに大きいドリル ビットを使用します。ビアの遷移によって 15mil を超えるスタブが発生する場合は、結果として得られるスタブにバックドリルで挿入損失を減らし、共振しないことを確認します。

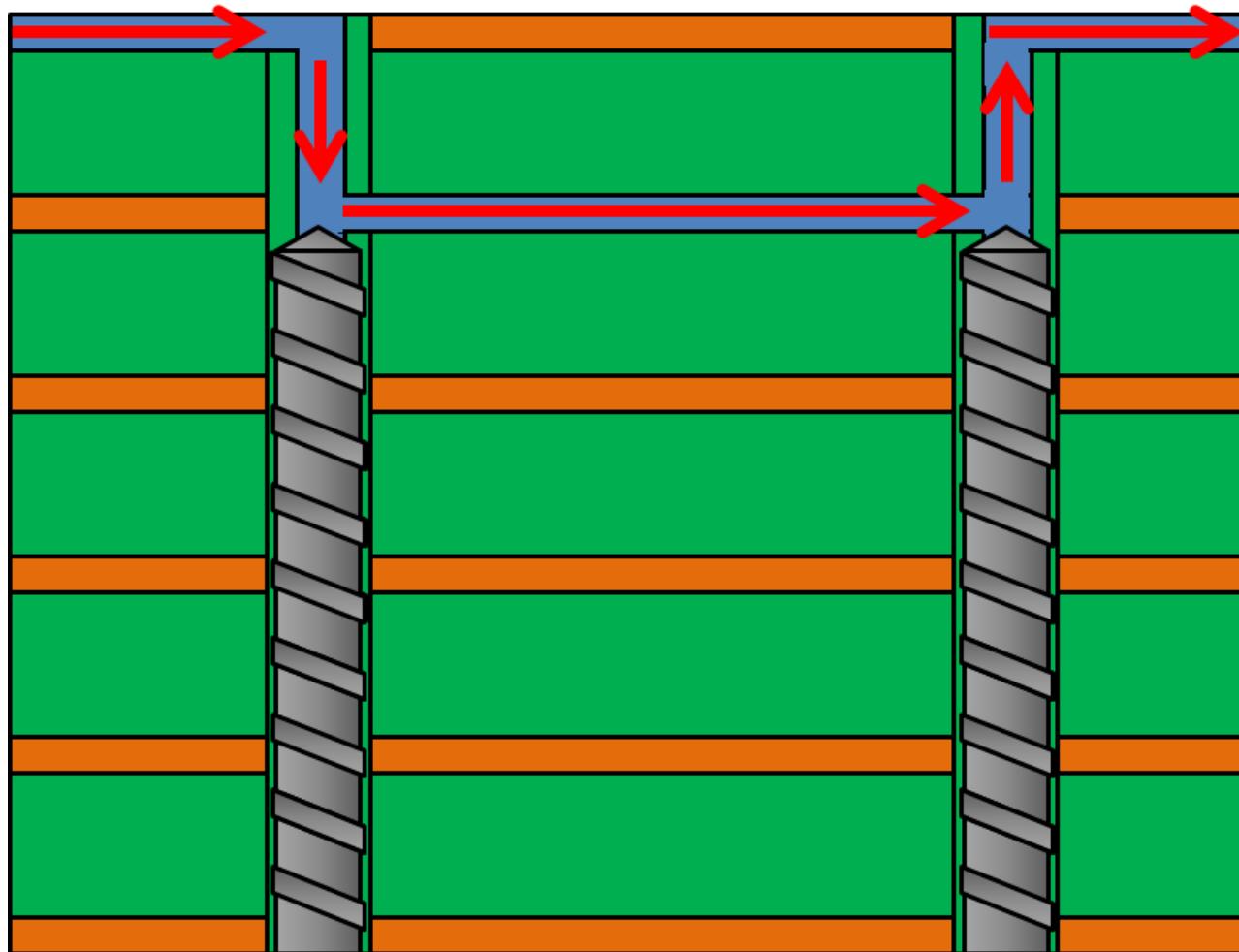


図 4-7. バックドリルしたスタブ付きの長いビア

## 4.7 パターン スタブ

高速信号の場合、高速パターンのスタブを最小限に抑えて挿入損失を低減します。図 4-8 に、スタブ上の部品を含む高速パターンを示します。このスタブは、次のように短くできます。

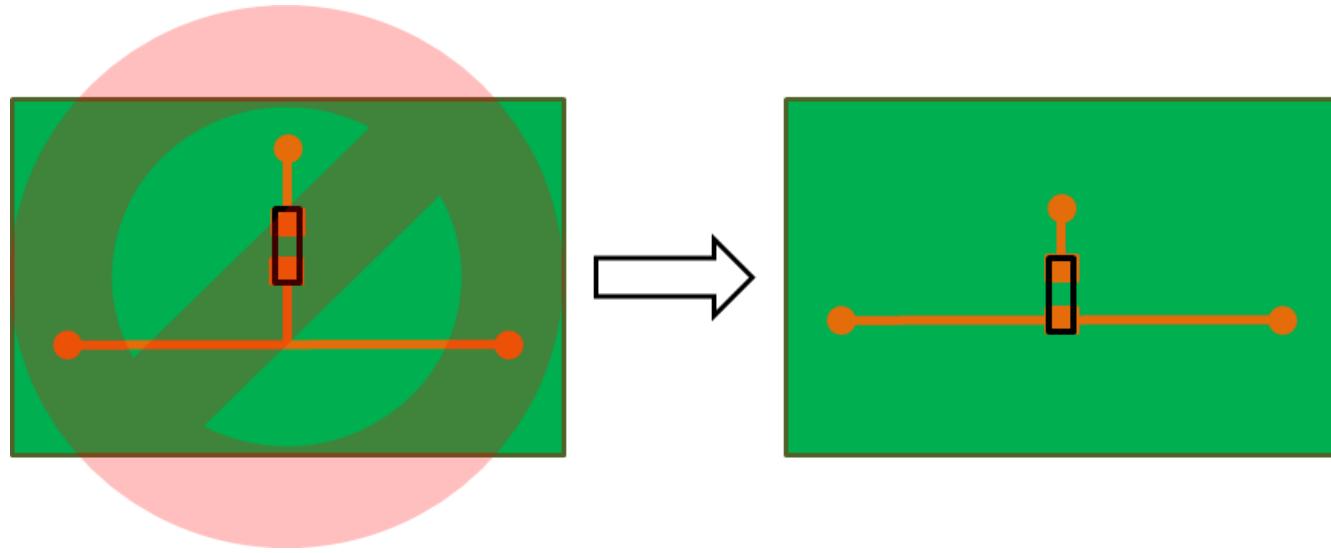


図 4-8. スタブ長の短縮

## 4.8 ビアのアンチパッドの直径を大きくする

ビアのアンチパッドの直径を大きくすると、ビアの容量性効果と全体の挿入損失が低減されます。高速信号のビアのアンチパッドの直径が可能な限り大きいことを確認します (30mil は、実装において過度の困難を招くことなく、大きな利点をもたらします)。このアンチパッドによって示される銅空間距離は、配線層とプレーン層の両方を含め、ビアが存在するすべての層で満たす必要があります。ビア バレルに接続するパターンには、この領域で使用できる銅のみが含まれています。機能していないビア パッドまたは未接続のビア パッドは許可されていません。図 4-9 に、ビアのアンチパッドの直径の例を示します。

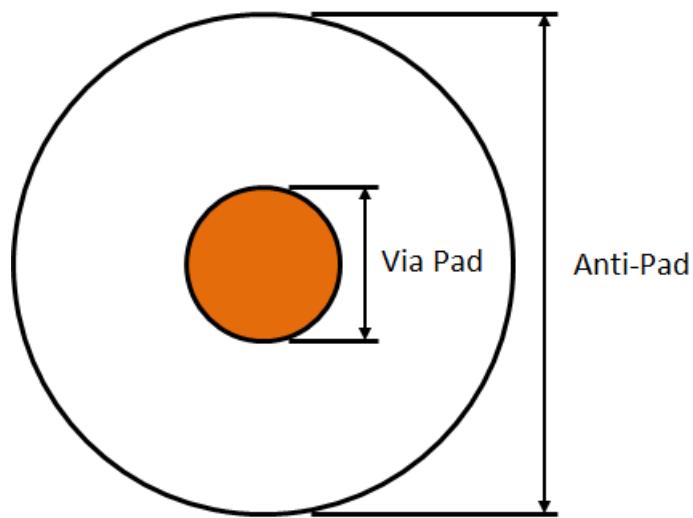


図 4-9. ビアのアンチパッド

#### 4.9 ビア数を均等にする

高速差動信号パターンにビアを使用する必要がある場合は、差動ペアの各メンバーのビア数が等しく、ビアの間隔ができるだけ均等になっていることを確認します。長さを一致させる必要がある異なるレーンで、ライン上のビアの数が同じになるようにします。また、ペア間スキーなどのパラメータを検証する際には、ビアの長さも考慮する必要があります。

#### 4.10 表面実装デバイス パッドの非連続性の緩和

高速信号トレースに表面実装デバイス (SMD) を含めることは避けてください。これらのデバイスは非連続性をもたらし、信号品質に悪影響を及ぼす可能性があります。信号トレースに SMD が必要な場合 (USB SuperSpeed 送信 AC カップリング コンデンサなど)、部品に許容される最大サイズは 0603 です。TI では、0402 以下を強くお勧めします。最適な信号品質を維持し、反射を最小限に抑えるように、レイアウトプロセス中にこれらの部品が対称となるように配置します。AC カップリング コンデンサの正しい配置と不適切な配置の例を示します。

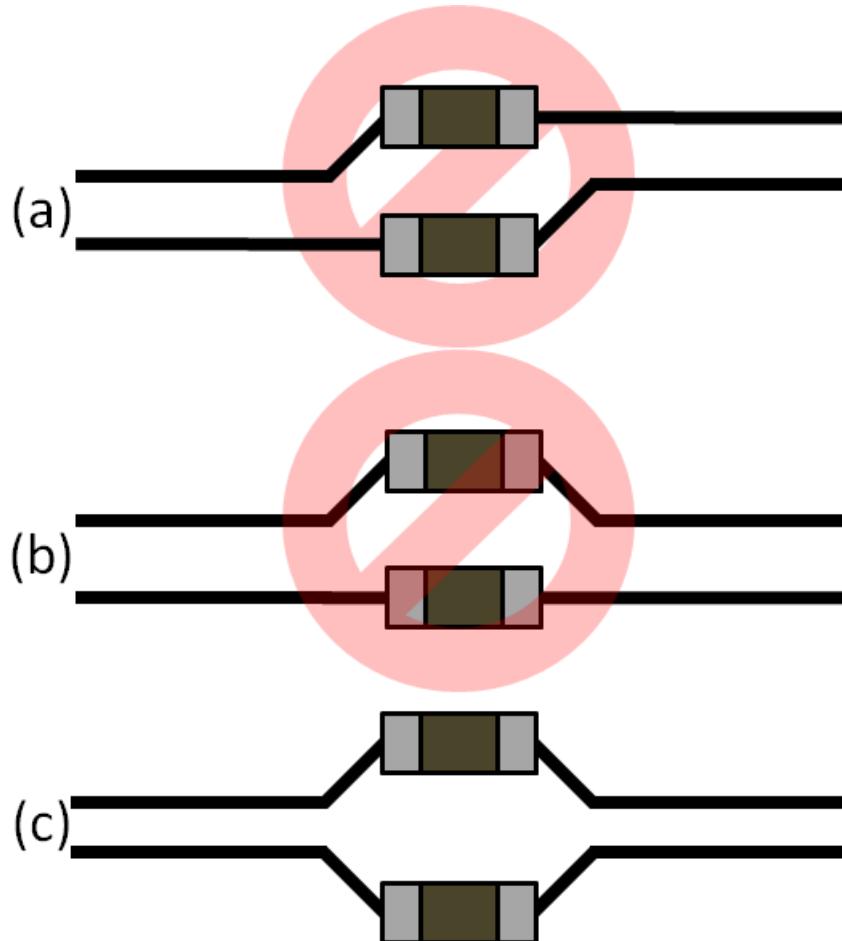


図 4-10. AC カップリング コンデンサの配置

これらの部品を差動信号パターンに配置する際の非連続性を最小限に抑えるために、TI ではリファレンスプレーンの SMD 取り付けパッドを 100% ボイドすることをお勧めします。このボイドは、2 PCB 層以上の深さにする必要があります。図 4-11 に、表面実装デバイスでリファレンスプレーンをボイドする例を示します。

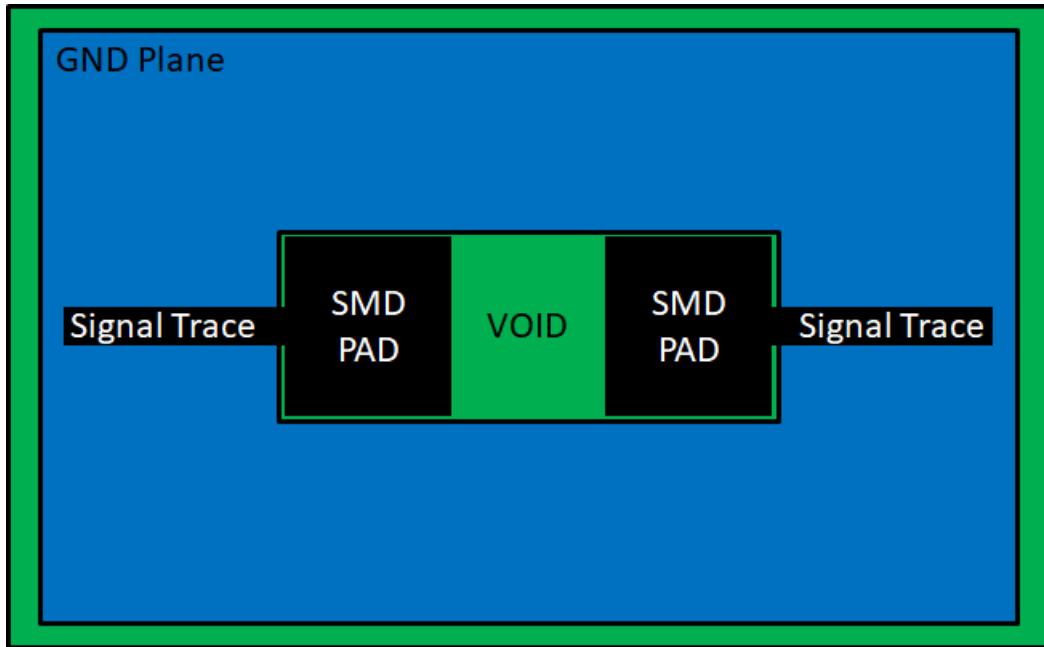


図 4-11. 表面実装デバイスの下のポイド

また、AC カップリング コンデンサのインダクタンスを最小限に抑えるために、0201 のコンデンサ サイズを使用します。

#### 4.11 信号の曲げ

高速差動信号に曲げが発生しないようにしてください。曲げが必要な場合は、曲げができるだけ緩くなるように、 $135^\circ$  を超える曲げ角度を維持してください。高速信号の曲げのルールの例については、図 4-12 を参照してください。

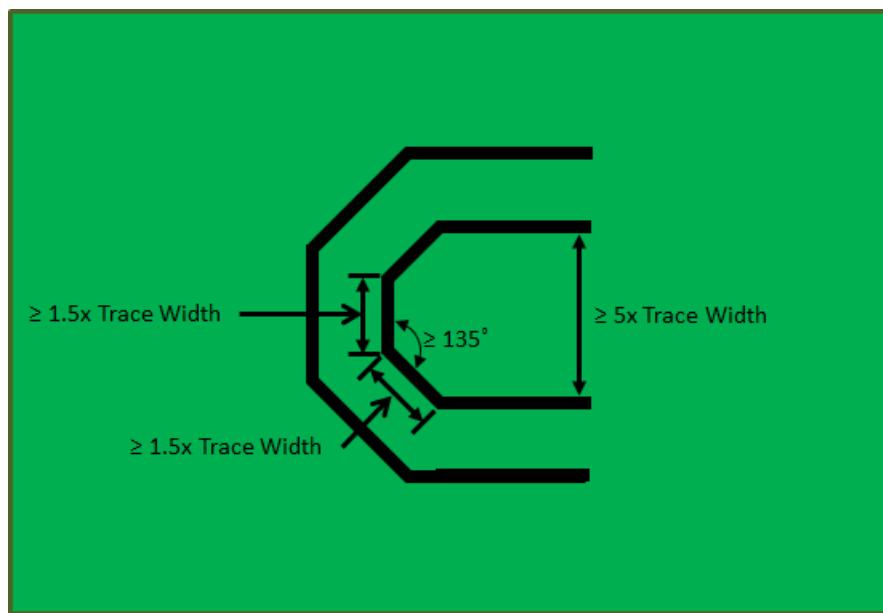


図 4-12. 信号の曲げのルール

## 4.12 推奨される PCB スタックアップ

TI では、高速信号を持つ PCB には 6 層以上の PCB を推奨しています。[表 4-1](#) に、PCB スタックアップの例を示します。

**表 4-1. 6 層 PCB で可能な基板スタックアップ**

	モデル 1	モデル 2	モデル 3	モデル 4	モデル 5	モデル 6	モデル 7
第 1 層	信号	信号	信号	グランド	信号	信号	信号
第 2 層	グランド	信号	グランド	信号	グランド	グランド	グランド
Layer3	信号	電源	電源	信号	電源	電源	電源
第 4 層	信号	グランド	信号	信号	信号	グランド	グランド
第 5 層	電源	信号	グランド	電源	グランド	未使用	信号
第 6 層	信号	信号	信号	グランド	信号	信号	信号
デカップリング	良好						
EMC	満足	不満	良好	満足	満足	良好	良好
シグナル インテグリティ		不満	良好	不満	良好	良好	不満

4 層 PCB が必要な場合、[表 4-2](#) PCB スタックアップの例を示します。

**表 4-2. 4 層 PCB で可能な基板スタックアップ**

	モデル 1	モデル 2	モデル 3	モデル 4
第 1 層	信号	信号	信号	グランド
第 2 层	信号	グランド	グランド	信号
第 3 層	電源	電源	信号	電源
第 4 層	グランド	信号	電源	信号
デカップリング	良好	良好	不満	不満
EMC	不満	不満	不満	不満
シグナル インテグリティ	不満	不満	良好	不満

6 層以上 PCB をスタックアップする場合、以下の例を使用します。

**表 4-3. PCB のスタックアップの例**

8-LAYER	10-LAYER
信号	信号
グランド	グランド
信号	信号
信号	信号
電源 / グランド	電源
信号	信号
グランド	信号
信号	信号
	グランド
	信号

## 4.13 ESD/EMI に関する考慮事項

ESD/EMI コンポーネントを選択する際は、USB 差動信号ペアのフロースルー配線を可能にするデバイスを選択することをお勧めします。このようなデバイスを使用すると、クリーンな配線を実現できます。たとえば、テキサス・インスツルメンツ

TPD4EUSB30 をテキサス・インスツルメンツ TPD2EUSB30 と組み合わせると、USB2 と USB3 の両方の差動信号に 対して、信号ペアを折り曲げる必要なくフロースルー ESD 保護を実現できます。

#### 4.14 ESD/EMI レイアウトのルール

- ESD および EMI 保護デバイスをコネクタのできるだけ近くに配置します。
- EMI 結合を最小限に抑えるため、保護されていないパターンは保護されているパターンから離して配置します。
- ESD/EMI コンポーネントの信号パッドの下に 60% のボイドを設け、損失を低減します。
- コモンモードフィルタ (CMF) のノースタッフオプションには 0402 0Ω 抵抗を使用します。これは、通常、コンポーネントが大きいと CMF よりも損失が大きくなるためです。
- 必要な信号ペアの AC カップリングコンデンサは、CMF の保護された側で、CMF のできるだけ近くに配置します。
- CMF 層に遷移するためにビアが必要な場合は、ビアが CMF のできるだけ近くにあることを確認してください。
- AC カップリングコンデンサ + CMF + ESD 保護の全体的な配線は、できるだけ短くし、コネクタに近づけます。

### 5 参考資料

- Hall, Stephen H., and Garrett W. Hall. *High Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices.* New York: Wiley, 2000.
- Johnson, Howard W., and Martin Graham. *High-speed Signal Propagation: Advanced Black Magic.* Upper Saddle River, NJ: Prentice Hall/PTR, 2003
- Hall, Stephen H., and Howard L. Heck. *Advanced Signal Integrity for High-speed Digital Designs.* Hoboken, N.J.: Wiley, 2009.
- テキサス・インスツルメンツ、『高速インターフェイスのレイアウトガイドライン』アプリケーションノート
- テキサス・インスツルメンツ、『高速レイアウトガイドライン』アプリケーションノート

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月