

## Application Note

**DC ビンのサンプリング: 高速 ADC 向け DC 結合アンプ フロントエンドの設計**

Rob Reeder

## 概要

高速 RF コンバータで DC 領域をサンプリングする作業は複雑に思える場合がありますが、実際にはずっと簡単です。多くの高速コンバータのデータシートには、DC サンプリングが可能であると明確に記載されていません。ほとんどの場合、高速コンバータや RF コンバータ向けのデータシートの性能仕様は、10MHz 付近から始まっており、これは DC に近いものの、真の DC ではないためです。ここで難しいのが、高速とは通常 AC 結合を意味することです。コンバータのデータシートには、DC の仕様が残っている場合もありますが、多くの仕様は省かれつつあるか、あるいは単に省略されています。また、それらの仕様の解釈は、より曖昧になりつつあります。ADC の中心となる市場やアプリケーションで求められるのは、K バンドの直接サンプリングです。この場合、DC ビンをサンプリングしたいと考える人はほとんどいないでしょう。本文書ではそのような発想を排除して、新たな DC 結合高速信号チェーンの設計作業を具体化するためのステップバイステップ ガイドを紹介します。

## 目次

|                                     |    |
|-------------------------------------|----|
| 1 はじめに.....                         | 2  |
| 2 適切なアンプを見つける.....                  | 3  |
| 3 ADC とタイプについて理解する.....             | 4  |
| 4 FDA と ADC を共にエミュレートして問題を回避する..... | 6  |
| 5 DC 結合プリスを実現する 5 つのステップ.....       | 9  |
| 6 まとめ.....                          | 16 |
| 7 参考資料.....                         | 16 |
| 8 改訂履歴.....                         | 17 |

## 商標

すべての商標は、それぞれの所有者に帰属します。

## 1 はじめに

多くのシナリオでは、設計者は高速コンバータを使用して、次の 2 つのを行う必要があります。高速サンプリング (RF 周波数領域の一部を網羅するメガサンプルまたはギガサンプル) と DC のサンプリングです。DC ビンを使用すると、設計者はいくつかの有用な情報を得ることができます。高周波パルス波形のセンサレベルまたは DC 値などがこれに該当し、パルス内の DC ペDESTAL からシステムに対して、より高いレベルで決定を下す際に役立つ情報が提供されます。

DC 結合が必要になる場合は、通常、設計者が一般的でシンプルな設計手法である、トランスまたはバラン フロントエンドを設計に使用できないことを意味します。一部のバランやトランスは、低い周波数範囲で非常に低い kHz 範囲に達することがありますが、バランやトランスでは真の DC サンプリングを行うことは不可能です。現在市販されているトランスおよびバランのローエンド周波数応答 (試験装置の制限により 9kHz 帯域まで) の簡単なスナップショットについては、[図 1-1](#) を参照してください。

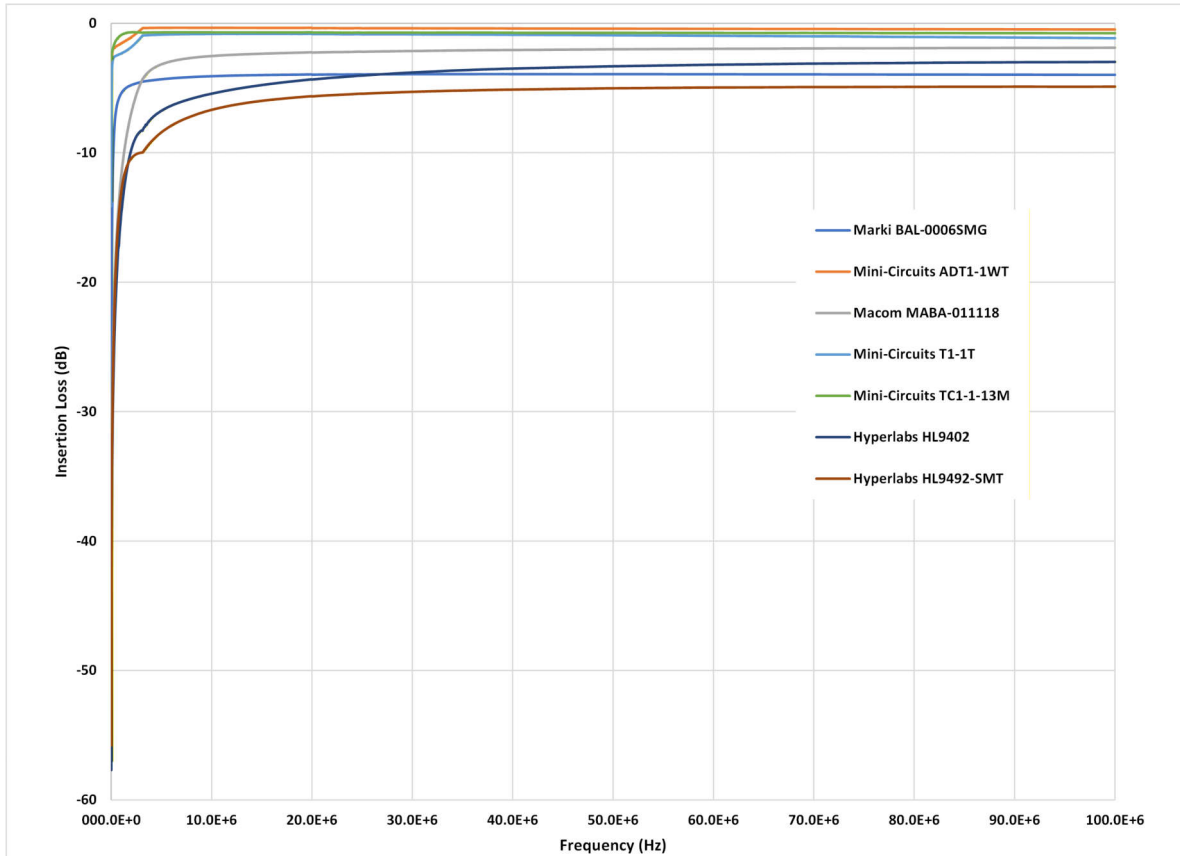


図 1-1. トランスおよびバランのローエンド周波数応答

9kHz (これらのバランの S21 応答の測定に使用される VNA の試験装置の制限による) では、バランのローエンド応答の多くが、-10 ~ -50dB 以上の減衰範囲にあります。したがって、ユーザーが真の DC をサンプリングすることを計画している場合、これは必ずしも実用的な設計ではありません。

この場合、設計者はアンプを使用して ADC に結合し、DC 値を維持しなければなりません。一般的に、DC 値を維持し、サンプリング値を ADC に渡すために FDA (完全差動アンプ) が使われますが、アンプにはいくつかの注意点があります。まず、ADC を任意の FDA とペアで接続するだけでは、DC 結合を有効にすることはできません。ADC が動作できることを確認するために、アンプのデータシートのチェック項目を以下に示します。

1. アンプの出力段が DC 結合に対応していること。
2. アンプの電源に関するコンプライアンス範囲が十分であること。
3. アンプの入力または出力の同相モード範囲が十分であること。これは通常、ポイント 2 に関連しています。

次に、信号チェーンを FDA に接続する前に、シングルエンド信号チェーンを配置することもできます。その場合、次に確認するのは、FDA をシングルエンド (SE) 入力と差動 (DIFF) 出力用に構成できるかどうかです。FDA では、DIFF 入力と DIFF 出力の信号構成のみが許可される場合があります。

この種の情報が FDA のデータシートに表示されていない場合は、工場のベンダに問い合わせて確認してください。

## 2 適切なアンプを見つける

ユーザーが DC 結合インターフェイスを実現するために FDA を使用すると仮定して、このドキュメントでは、上記で説明した点のいくつかについてより詳しく説明します。

まず、アンプの出力段を確認します。データシートに、出力段の DC 結合が不可能であると明記されていない限り、データシートのアプリケーション セクションで、出力段にいくつかのプルアップまたはプルダウン チョークがあるかどうかを確認してください。チョークがある場合、FDA にはオープン コレクタ出力段があり、ローエンドの応答は数 kHz に制限されていますが、DC には対応していない可能性が高くなります。

次に、FDA のコンプライアンス領域を確認します。これはどういう意味かと言うと、いくつか連動する要素があるということです。ADC が必要とするアナログ入力同相電圧 (VCM) を確認してください。通常この値は、アナログ入力仕様表の ADC のデータシートに記載されています。仕様表では、通常 VCM として記載されています。また、ADC には VCM ピンがあります。このピンを使用すると、このノードをアナログ入力に接続して、同相電圧を安定した状態に維持できます。これは ADC の VCM ピンです。FDA に配置された特定の出力同相電圧または VOVM ピンに FDA の出力を送るためにも使用できます。最終的に、ADC のアナログ入力同相電圧は、FDA の同じ VOVM 電圧範囲に準拠し、この範囲に対応している必要があります。この情報は通常、FDA データシートまたは仕様表に掲載されています。

通常、VOVM 範囲は、アンプで使用される電源電圧範囲または電源に依存します。FDA には、単一電源のみ対応のもの、デュアル電源に対応するものがあります。デュアル電源アンプのバリエーションの方が柔軟性が高いことは間違いありません。その理由は、このピンが特に電圧で駆動されていない場合、通常 FDA の出力同相モード (VOVM) は電源の半分にフローティングしているためです。たとえば、0 ~ 5V の FDA は 2.5 VOVM です。また、0 ~ 3.3V の FDA は 1.65 VOVM です。デュアル電源 FDA の場合は、電源電圧の範囲の柔軟性も高くなります。たとえば、LMH5401 FDA を使用することもできます。この FDA は 5V のコンプライアンス範囲に対応していますが、オプションでデュアル電源も使用できます。この仕様により、アンプは 5V VCC から 0V VSS (グランド)、2.5V VCC から -2.5V VSS、または任意の中間範囲 (4V VCC から -1V VSS など) で動作できます。ただし、2 つの電源ドメインの合計が 5V 以下のコンプライアンス範囲内である必要があります。前述のコンプライアンス範囲の例については、図 2-1 を参照してください。

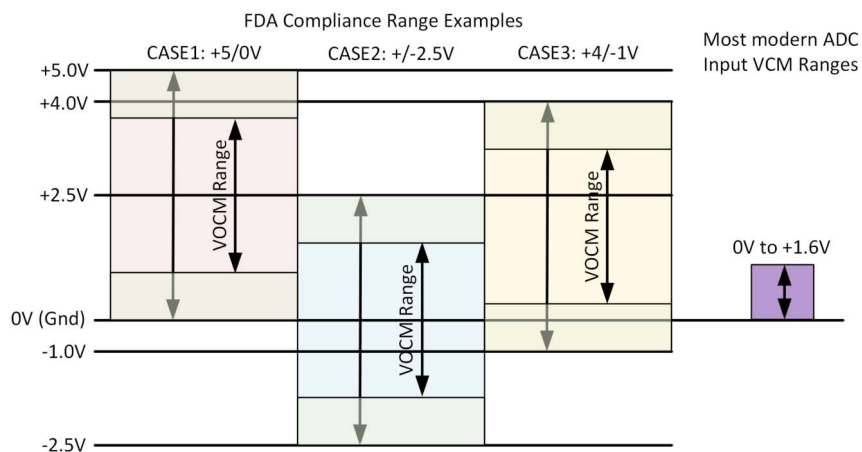


図 2-1. LMH5401 のコンプライアンス範囲の例と、現在の ADC の VCM 範囲との関係

アンプの VOVM 範囲がアンプの電圧コンプライアンス範囲内にあり、アンプを使用してさまざまな信号レベルを管理できることに注目してください。

### 3 ADC とタイプについて理解する

ADC のアナログ入力同相モード仕様は、ADC のアーキテクチャタイプと直接関係しています。高速 RF コンバータの大半は、2 つのグループに分類されます。内部バッファ段がアナログ入力ピンに直接接続されているタイプと、内部バッファを持たず、アナログ入力ピンが内部サンプリングスイッチに直接接続されているタイプがあります。内部バッファを持たないものは、アンバッファ入力と呼ばれます。コンバータがバッファ付きの場合、アナログ入力は自己バイアスされており、通常、アナログ電源の半分にダイオード降下分を加えた VCM、すなわち  $AVDD/2+0.7V$  となります。一方、アンバッファコンバータには内部バッファがなく、ADC のアナログ入力ピンは、アナログフロントエンド回路に接続される VCM ピン、または接続された FDA によってバイアスされる必要があります。一般に、アンバッファ ADC では、アナログ入力ピンの同相電圧として、アナログ電源の半分、すなわち  $AVDD/2$  が必要です。

この 2 種類の ADC の主な違いは、バッファ付きコンバータは自己バイアス型であり、アナログ入力が  $AVDD/2+0.7V$  にバイアスされるのに対し、アンバッファコンバータでは外部からのバイアスが必要になる点です。アナログ入力を適切にバイアスするため、各アナログ入力ピンには VCM 接続が必要です。これをアナログ入力フロントエンドに組み込む方法はいくつかありますが、ベストプラクティスとしては、データシートの推奨事項および評価ボードの実装方法に従うことが重要です。バッファ付き/アンバッファ ADC の一般的な違い、および FDA による AC 結合と DC 結合の違いについては、[図 3-1](#) を参照してください

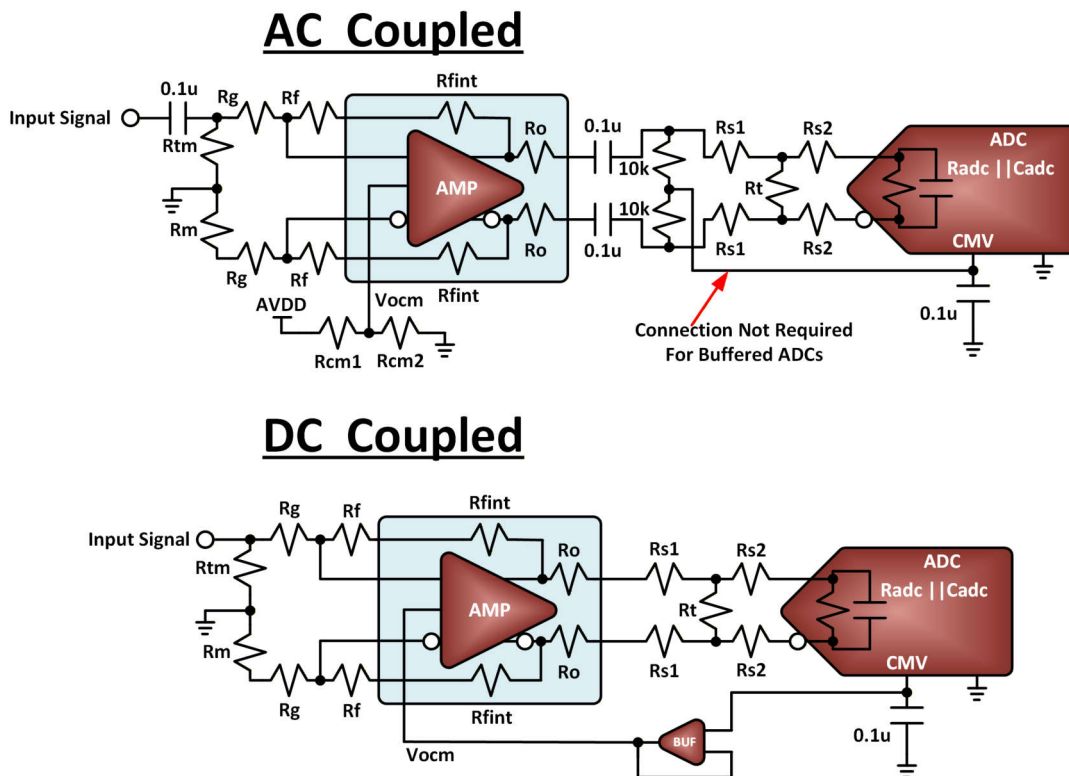


図 3-1. バッファ付き / アンバッファ ADC におけるアナログ入力接続と、AC/DC 結合フロントエンド

多くの高速 ADC や DAC は、65nm 以下といった非常に微細なプロセス ノードで設計、開発されています。これは、ADC の電源ノードが  $+1.1V$  の  $AVDD$  など、さらに低電圧化していることを意味します。これにより、アナログ入力の同相入力範囲はサブボルト範囲以下に制限される。例えば、現在市場に出回っている多くの ADC では、VCM が  $+0.95V$  程度、あるいはそれ以下となっています。これは、アンプと ADC の両方が正しく動作するために、FDA も許容される VOVM 出力範囲を備えている必要があることを意味します。1V の同相電圧付近での ADC の差動入力信号の例については、[図 3-2](#) を参照してください。

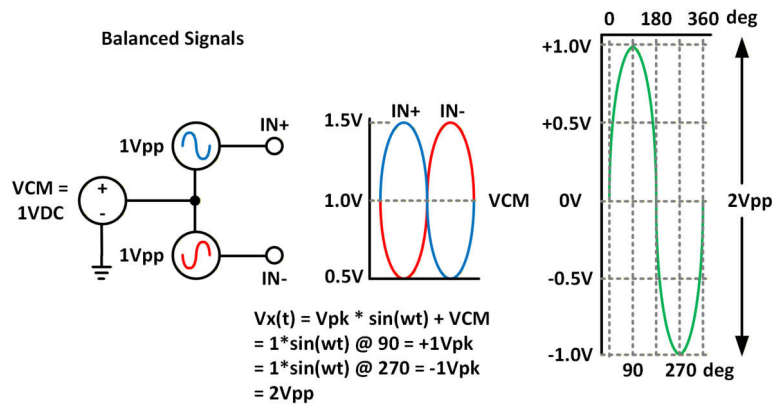


図 3-2. ADC 差動入力信号例。

コンバータのアナログ入力 VCM は重要であり、外部入力ネットワークのフロントエンド (例えば FDA) によって満たされる必要があります。これが満たされない場合、コンバータの性能に問題が生じます。

信号振幅を差動で分割することにより、このインターフェイスでは、コンバータの入力フルスケールレンジにおいて、より高い電圧レベル (例えば 1Vpp、2Vpp、さらには 3Vpp) を維持することが可能になります。その結果、アナログ入力が差動であることで、より微細なプロセス ノードを採用することができます。詳細については、1 を参照してください。

## 4 FDA と ADC を共にエミュレートして問題を回避する

FDA および ADC を絞り込み、選択が完了したら、機能シミュレーションを実行して、VOCM と電源が設計の適切なコンプライアンス範囲を満たしていることを確認するのが望ましい方法です。この作業を迅速かつ簡単に行うには、データシートに記載されているすべての計算を実行するのではなく、TI.com で FDA カリキュレータをダウンロードします。詳細は参考資料 9 を参照してください。

この FDA カリキュレータ ツールでは、TI.com から入手できるほとんどの FDA を選択できます。この FDA が、FDA および ADC の機能要件の両方を満たすための特定の VCM コンプライアンス範囲に準拠しているかどうかを把握できます。

この特定のカリキュレータの詳細については、図 4-1 を参照してください。これにより、DIFF 入力と DIFF 出力の両方の構成と、SE 入力から DIFF 出力への構成が可能になります。

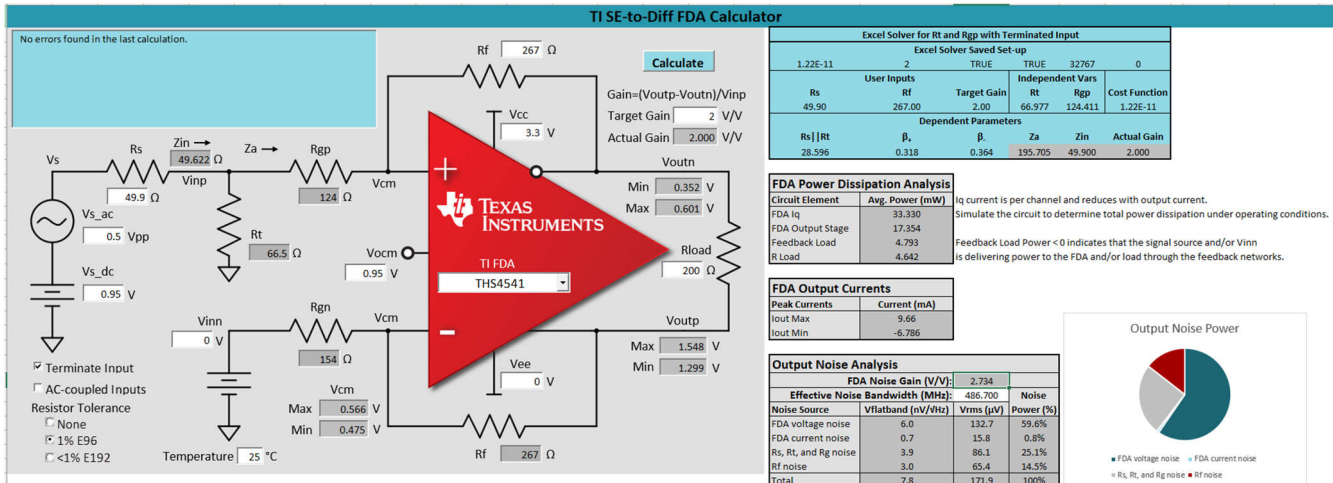


図 4-1. THS4541 を使用した FDA カリキュレータの例、SE 入力から DIFF 出力へ (図)

特に FDA がシングルエンド入力と差動出力で構成されている場合について、最後に注意が必要な点がいくつかあります。再度図 4-1 を参照してください。両方の FDA 入力が不均衡になるよう、意図的に異なる抵抗値で終端されています。これは、この構成で強制的に同相モード電流のバランスを取るためです。したがって、アンプの信号入力に追加の Rt 値が必要となります。また、1 つの入力のみを使用する場合にこのインピーダンスのバランスを取るため、Rgp および Rgn の値はわずかに異なる設定となっています。これが正しく行われていないと、これらの同相モード電流はキャンセルされず、出力の電圧が等しくならない場合があります。この良好な回路が不具合を起こした場合にどのような結果が現れるかを説明します。図 4-2 を参照

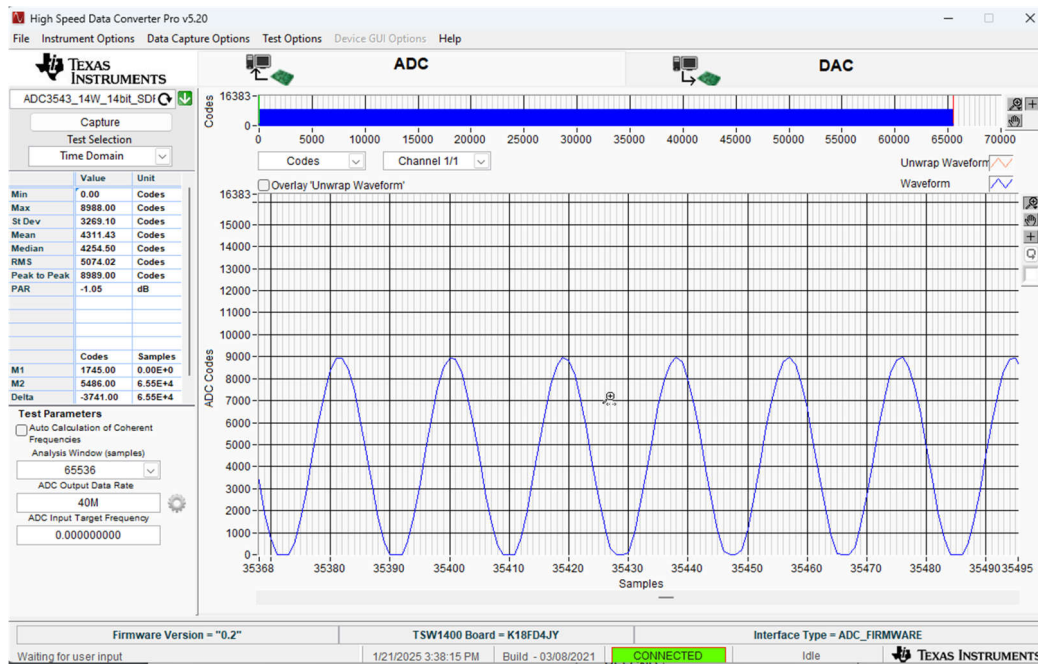


図 4-2. FDA の出力同相電圧のバランスが P 出力と N 出力の間で取れていないため、ADC からのアナログ入力信号キャプチャがシフトされる

この図を見ると、バランスが取れていないことが原因で、入力信号が強制的に中間スケールの中心からずれていることがわかります。したがって、フルスケール入力に達する前に、入力が ADC のコンプライアンス範囲に対して一方向に、または逆の方向に突き当たってしまいます。この結果、ADC はクリッピングまたはオーバーレンジングを起こしているように見えます。これは、VCM コンプライアンスの中心が取れていないためです。このため、コンバータにはゲイン誤差やオフセット誤差が生じているように見えます。これらの誤差により、取得する全体的な測定値の精度が低下します。設計者は、コンバータが早期にクリッピングし、入力信号がフルスケールに到達できないことを発見できます。

この不具合を回避するには、SE から DIFF へのアプローチに関するデータシートで推奨されている計算式の例を参照するか、TI.com でこの便利なカリキュレータを使用してください (図 4-1 を参照)。この手順を取らない場合、事実上、FDA の出力と ADC の入力の間で VCM をめぐる競合状態が発生します。これらの DC 同相モード値は、2 つのデバイス間で完全には一致しません。したがって、この 2 つのデバイスは互いを相手に「競合」を始め、常にそれぞれが必要とする DC 値を満たした所で落ち着きます。どちらが優位に立ったとしても、この回路は健全ではなく、FDA/ADC のコンボが、自らをスペクトルで正しく表現することができなくなります (図 4-3 を参照)。

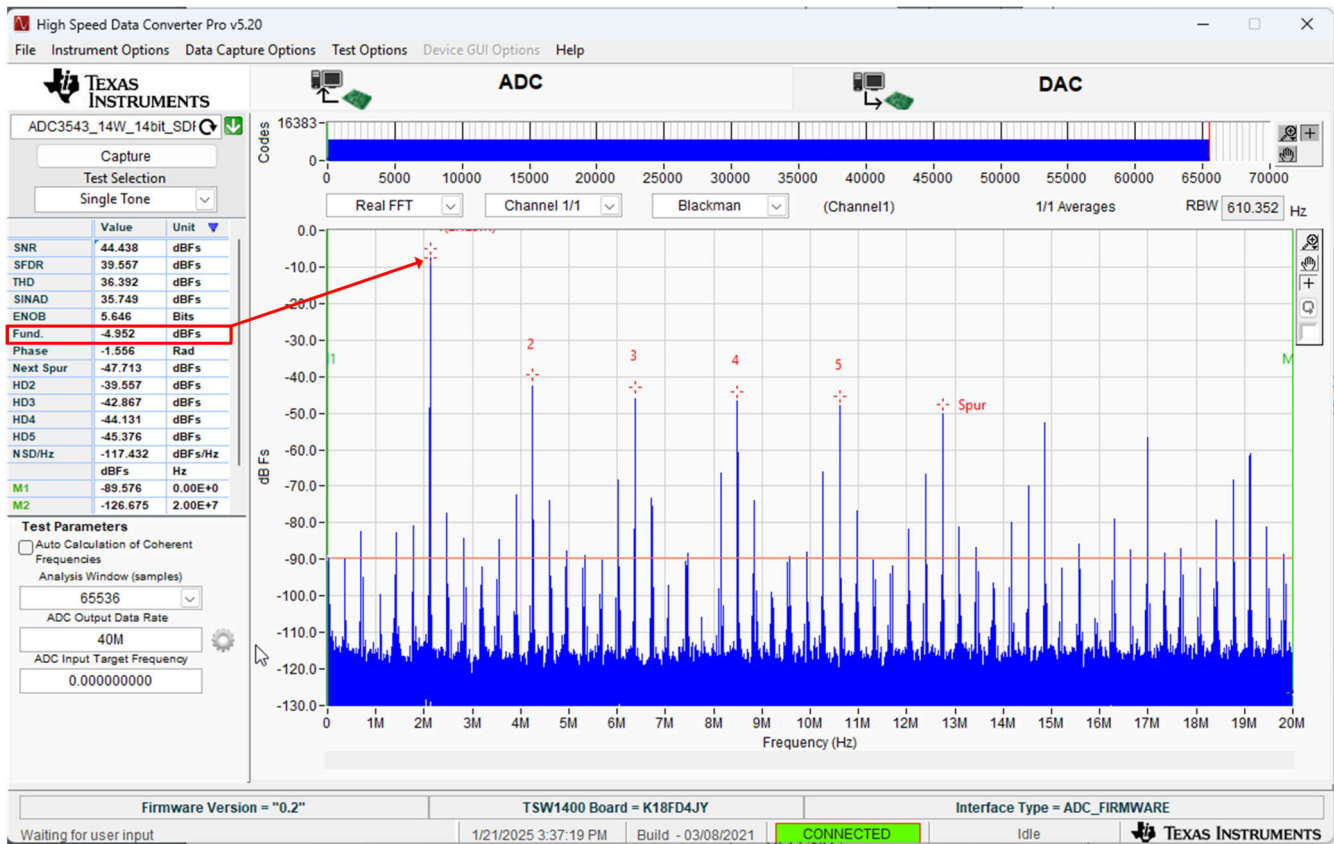


図 4-3. HSDCPro の出カスペクトルは、同相モードのバランスが不十分なためクリッピングを起こす

ADC の VREF ピンに近づかないようにするか、データシートを確認してください。このタイプの注釈がある大部分のピンは、外部のアンプ フォロワ構成によってバッファされない限り、VCM バイアスを供給する機能はありません。VREF ピンは、コンバータ内のすべての内部リファレンス バイアスを設定することに注意してください。これは、コンバータの入力フルスケールの機能でもあります。VREF ピンの使用法が不適切な場合（負荷がかかった場合など）、意図せずコンバータの入力フルスケール レンジがシフトして、図 4-2 や図 4-3 に示すようなシナリオも発生する可能性があります。したがって、システムの全ダイナミック レンジが制限されます。要するに、可能な限り VREF ピンには手を加えないでください。

## 5 DC 結合プリスを実現する 5 つのステップ

これまで、DC 結合に関する一般的な要点と理解、および DC 結合レシーバを適切に設計するためのアンプと ADC の詳細について説明しました。実際の単純な DC 結合の例を見てみましょう。上記の点から学んだすべてのことをどのように活用できるのかを確認します。

- 最初に以下の要件を確認しましょう。ユーザーが DC 結合して FDA を使用したいと考えているとします。設計を開始する際に事前に考慮すべきいくつかのパラメータを以下に示します。

ADC のサンプリング レート: 40MSPS

レシーバ (FDA および ADC) の帯域幅 (BW): DC から 1 次ナイキスト (20MHz)

レシーバ (FDA および ADC) 通過帯域の平坦性: 通過帯域全体で +1dB。

レシーバ (FDA および ADC) SNR / SFDR: 75dBc / 85dBc (-3dBFS での最小値)

FDA 最大入力信号駆動: 10MHz (またはそれ以下) で 0dBm

### 注

この要件では、ADC のフルスケールを実現するために、FDA への入力信号の小振幅時のゲインが 2V/V 以上必要であることを前提としています。

FDA の構成: 入力 = シングルエンド、出力 = 差動

上記の要件および説明の詳細については、『RF コンバータ フロント エンドの実用性の解明』を参照してください。

- TI の最新の FDA および ADC 製品のリストを確認し、スプレッドシートを用いた詳細な分析とトレードオフを経て、本例では THS4541 と ADC3543 が選定されました。このステップはかなり簡略化されています。しかし、要件に該当する FDA および ADC の全体像を検討する際に、このステップにはかなりの時間と手間がかかることを考慮する必要があります。TI は、FDA と ADC の両方に関して、上記で概説したすべての関連する仕様に焦点を当てたスプレッドシートを作成することを推奨しています。例として図 5-1 を参照してください。

| FDA | Part Number | Power (mW) | Supplies (V) | SFDR (dBFS) @10MHz | Noise (nV/sqrt(Hz)) | BW (MHz) | VOCM Range (V) | NF (dB) | Slew Rate (V/uSec) | Rload (ohms) |
|-----|-------------|------------|--------------|--------------------|---------------------|----------|----------------|---------|--------------------|--------------|
| 1   | LMH5401     | 275        | 5/Dual       | 94                 | 1.25                | 6200     | +/-1.4         | 9.6     | 17500              | 200          |
| 2   | THS4541     | 48.5       | 5/Dual       | 90                 | 2.2                 | 850      | +/-2.3         | 12      | 1500               | 500          |
| 3   | THS4532     | 5          | 5/Dual       | 30                 | 10                  | 27       | +/-2.4         | NA      | 220                | 2000         |
| 4   | THS4535     | 25         | 5/Dual       | 30                 | 3.6                 | 80       | +1.4/-2.1      | NA      | 47                 | 1000         |
| 5   | LMH6554     | 260        | 5/Dual       | 102                | 0.9                 | 2500     | +/- 1.25       | 7.7     | 6200               | 200          |

| ADC | Part Number | Power (mW) | Supplies (V) | SFDR (dBFS) @10MHz | SNR (dBFS) @10MHz | BW (MHz) | VCM (V) | Sampling Rate (MSPS) | Resolution (Bits) | Input Fullscale (Vpp) | Digital Interface Type |
|-----|-------------|------------|--------------|--------------------|-------------------|----------|---------|----------------------|-------------------|-----------------------|------------------------|
| 1   | ADC3563     | 77         | 1.8          | 94                 | 81.9              | 230      | 0.95    | 65                   | 16                | 3.2                   | Serial LVDS            |
| 2   | ADS4142     | 105        | 1.8          | 87.5               | 71.1              | 400      | 0.95    | 65                   | 14                | 2                     | Parallel CMOS          |
| 3   | ADC3543     | 35         | 1.8          | 88                 | 79                | 230      | 0.95    | 65                   | 14                | 2.25                  | Parallel CMOS          |
| 4   | ADS5560     | 250        | 3.3          | 89                 | 84                | 300      | 1.5     | 40                   | 16                | 3.56                  | Parallel CMOS          |
| 5   | ADS4142     | 285        | 3.3          | 96                 | 74.7              | 450      | 1.5     | 65                   | 14                | 2                     | Parallel CMOS          |

図 5-1. FDA および ADC のスプレッドシートを用いたトレードオフ解析。

- FDA と ADC を選択したら、上記のスプレッドシートまたは FDA および ADC のデータシートをそれぞれ参照し、電圧同相モードとの互換性があるかどうかを確認するのが最適です。図 4-1 に示すように、FDA は SE 入力と DIFF 出力用に構成されており、ADC のアナログ入力の +0.95V の同相電圧ニーズを満たすために、3.3V の電源のみを必要とします。このステップは、前のステップのスプレッドシートで FDA と ADC を絞り込むことで実行可能になります。つまり、このステップは、適切なダブルチェックとして機能します。
- 次に、FDA の出力と ADC の入力にアンチエイリアシング フィルタ (AAF) を設計するのが最適です。この設計により、上記の BW 要件を 20MHz に低減し、ベースバンドに折り返される余分なノイズを軽減し、ADC の SNR 性能要件をさらに低下させることができます。アンプはアクティブ デバイスであり、本質的にノイズが存在するため、ADC の通過帯域領域内のノイズを増大させることに留意してください。FDA のノイズの詳細、およびこれがレシーバ信号チェーン全体にどのように影響するか (例えば、劣化や SNR への影響など) については、4 および 6 を参照してください。

Ansys をはじめとする、その他のシンプルなフィルタ ソリューション ツールを使用することは、設計を進める際の優れた出発点となります。図 5-2 および図 5-3 をそれぞれ参照してください。ここでは、シンプルな 3 次ローパス バターワース フィルタを 25MHz に設計しました。実際の値が PCB に実装されたときに影響を受ける損失を考慮するため、フィルタのカットオフはオーバー設計されています。FDA と ADC の間で AAF を適切に設計する方法の詳細について

は、2 を参照してください。ここでは、この FDA と ADC のインターフェイスで各部品を使用する際の微妙な違いについて詳細に説明します。

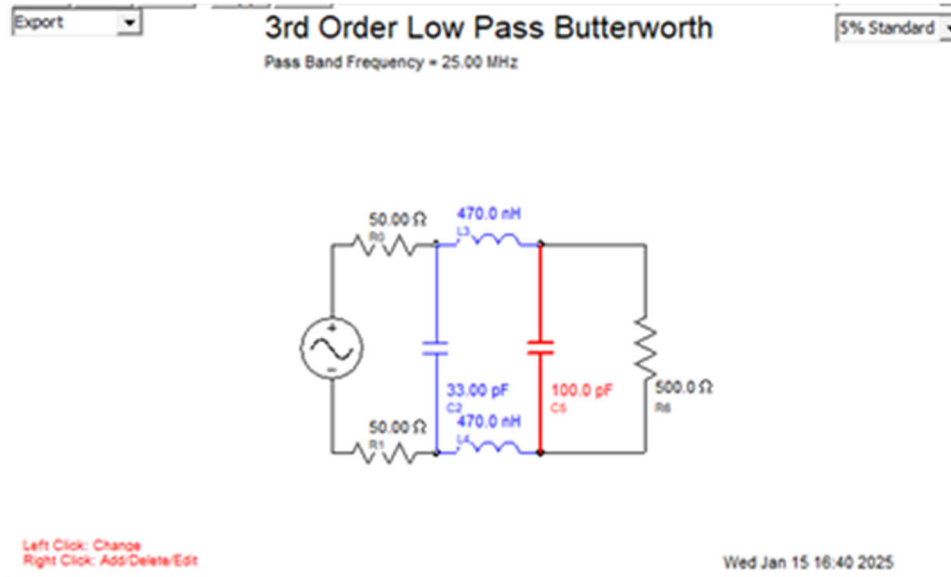


図 5-2. 25MHz 差動 AAF 設計 - 回路図

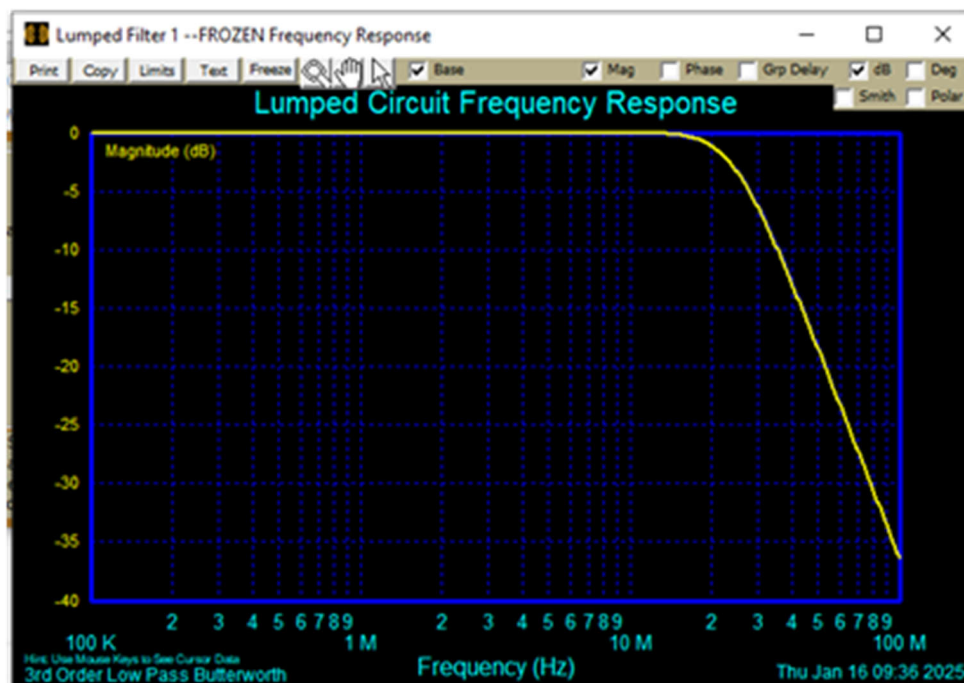


図 5-3. 25MHz 差動 AAF 設計 - BW / 挿入損失シミュレーション

- 図 5-4 に基づいてラボでレシーバ設計を構築し、ステップ 1 で概説されているすべての要件に従って、いくつかのテスト測定値を収集します。この例では、THS4541 FDA および ADC3543 の評価基板テストボード (EVM) を使用しますが、通常、このような設計を調達するための便利な変更オプションがいくつか提供されています。半田ごては付属していません。

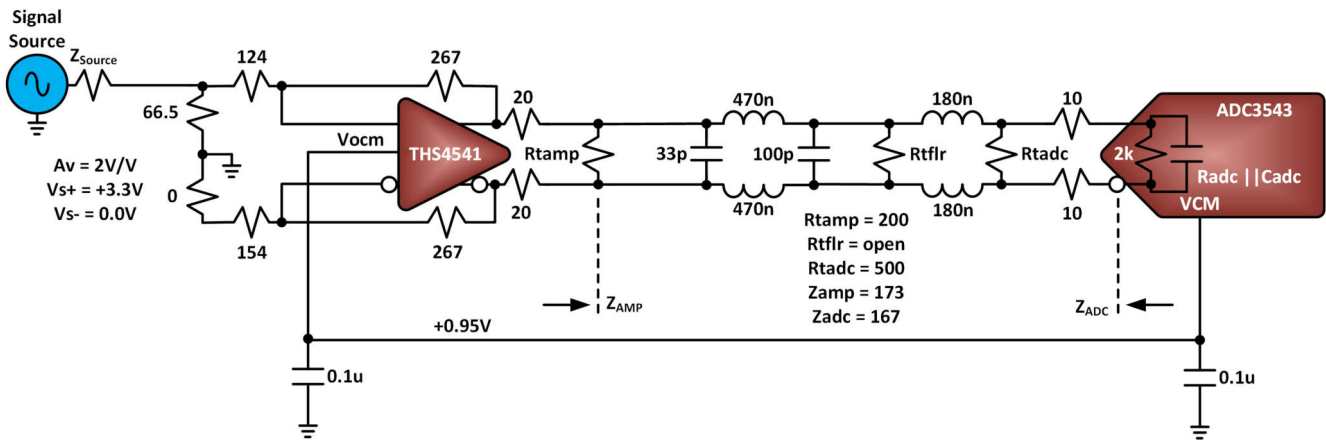


図 5-4. 実際の DC 結合設計例のブロック図

最初に完了および検証する必要がある測定は、信号チェーンラインアップの通過帯域の平坦性です。図 5-5 では、アンプの出力と ADC の入力間に実装された AAF 設計に基づき、通過帯域の平坦性の BW はおよそ 23MHz であることが示されています。リファレンスポイントとして、アンプの入力でのみ  $-4.4 \text{ dB}$  を使用し、10MHz で  $-3 \text{ dBFS}$  信号に到達します。これにより、ユーザーは、システムパラメータで設定される必要な BW 全体の順方向または逆方向のゲインまたは損失を理解することができます。通過帯域の平坦性の適切な測定方法については、8 を参照してください。

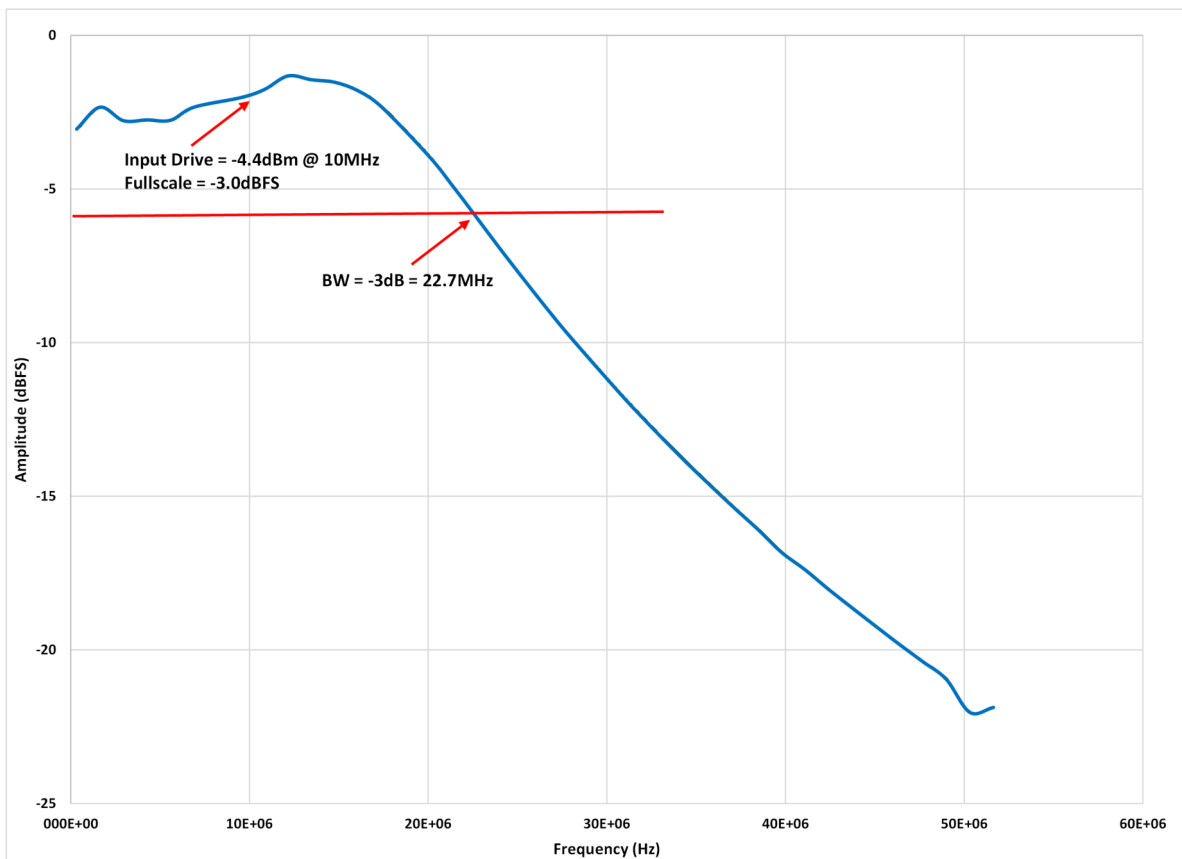


図 5-5. 測定された帯域幅、通過帯域の平坦性、および入力駆動

通過帯域の平坦性の BW を検証したら、次のステップとして、アプリケーションの帯域幅全体の AC 性能スweepを完了します。これにより、性能がどのように動的に維持されているかを把握し、ADC が引き続きアプリケーションのその他の性能要件をすべて満たしていることを確認できます。図 5-6 および図 5-7 をそれぞれ参照してください。

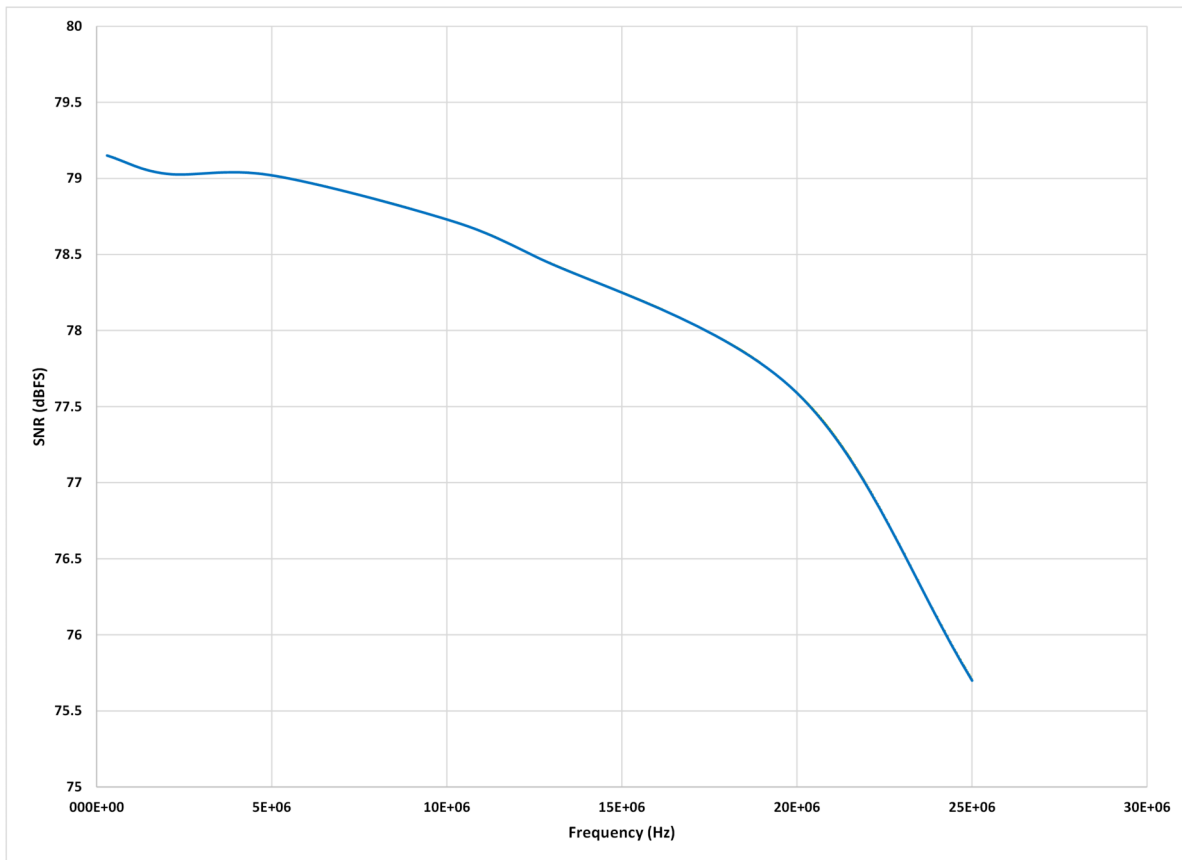


図 5-6. 測定された SNR スイープとアナログ入力周波数との関係

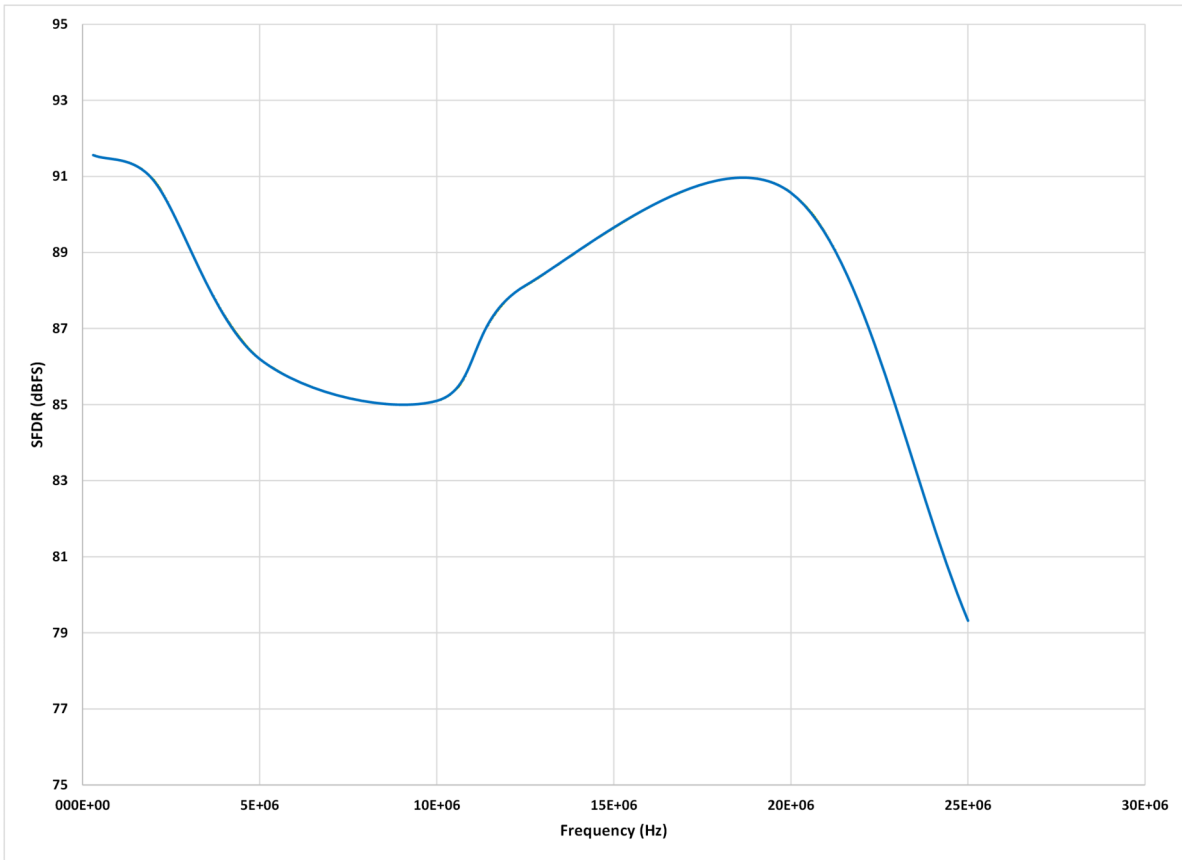


図 5-7. 測定された SFDR スイープとアナログ入力周波数との関係

図に示すように、測定された帯域幅全体での SNR と SFDR 性能は、それぞれ 79 ~ 75dBFS および 92 ~ 79dBFS です。すべての測定は DC 付近、300kHz ~ 25MHz で行われ、-3dBFS で合計 10 の周波数ポイントを用いて曲線を導出しました。

DC 結合 FDA と ADC 信号チェーンの結合によるスペクトル純度を示すため、TI の HSDC Pro データキャプチャソフトウェアを使用して、[図 5-8](#) と [図 5-9](#) にいくつかの FFT をそれぞれ表示しています。DC 付近、300kHz、20.3MHz のアナログ入力トーンが表示されています。各 FFT AC 性能の測定値は、指定されている要件を十分に満たしています。



図 5-8. FFT 性能測定値:DC 付近、 $F_{in} = 300\text{kHz}$

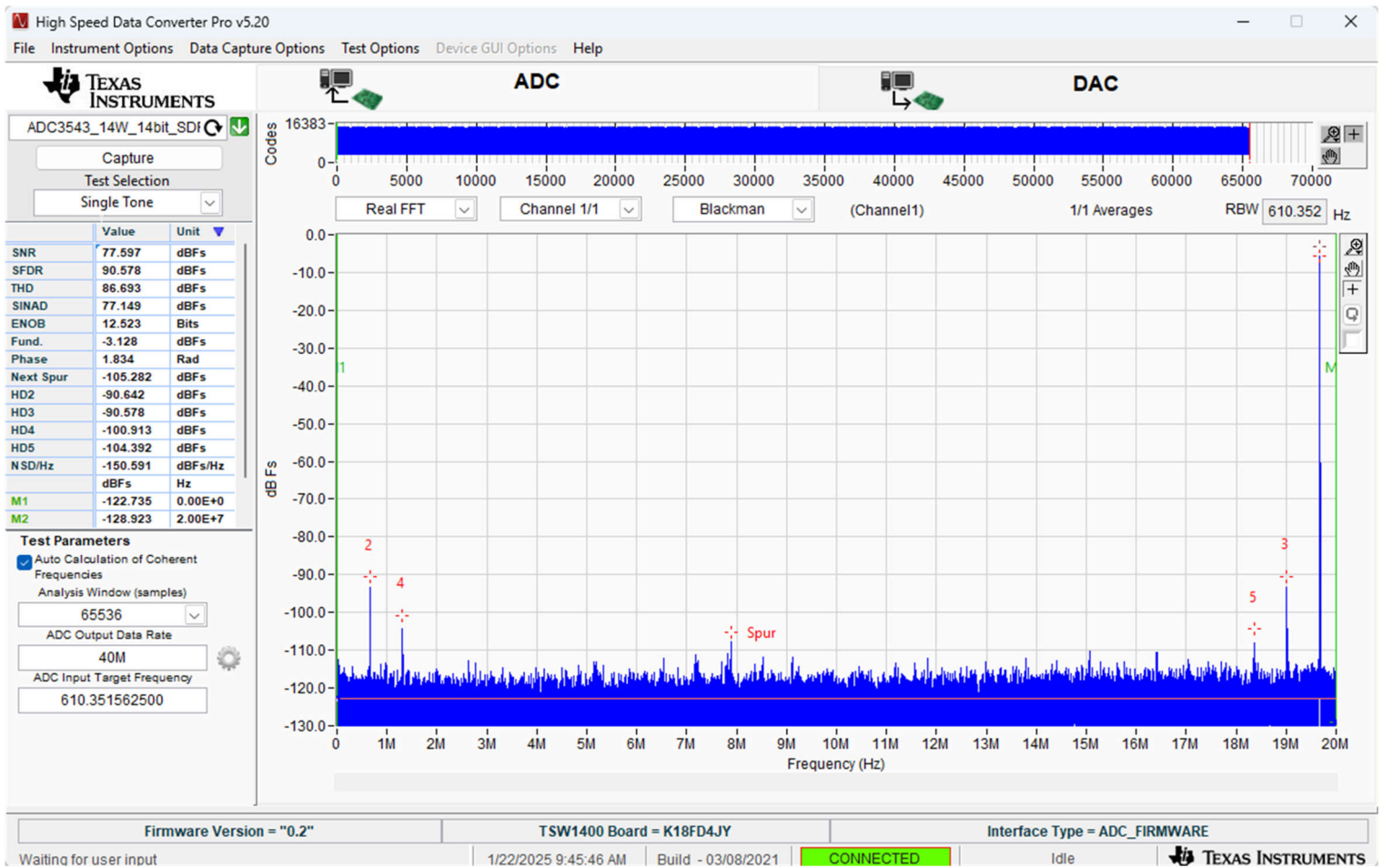


図 5-9. FFT 性能測定値:  $F_{in} = 20.3\text{MHz}$

ご覧のとおり、このシンプルな 5 つのステップ プロセスによって、次期高速 DC 結合の信号チェーンの設計を成功させることができます。信号チェーンの要件を事前に判断し、シンプルなスプレッドシートを作成して、デバイス比較に役立てます。また、2 つのコンポーネントがまだ同じ基板に配置されていない場合は、信号チェーン設計をカット アンド ペーストで組み合わせるために、在庫にある既製の評価基板 (EVM) を使用します。いくつかの標準的なラボ測定を使用することで、ユーザーは設計全体の機能を評価し、最終的な設計をお客様のボードまたはシステムの設計に反映することができます。

## 6 まとめ

このドキュメントでは、前述の問題を回避することで、FDA と ADC 間の適切な DC 結合フロントエンドを迅速かつ簡単に開発できることを示しました。まず、DC 結合を実現するにはアンプが必要であることを理解してください。この種のアプリケーション シナリオでは、バランとトランスは使用できません。また、アンプはレシーバの信号チェーン全体にノイズを追加するため、2 つのデバイス間に AAF を使用して、出力スペクトルのノイズを最小限に抑える必要があります。選択したアンプと ADC が DC 互換であり、同相電圧が両方のデバイスの通常の動作範囲内にあることを確認してください。DC 結合の設計を成功させるには、この点が非常に重要です。使いやすい FDA DIFF Calculator スプレッドシートなど、インターネット上で利用可能なツールを使用すると、各デバイスが他のデバイスのコンプライアンス範囲内にあることを確認できます。最後に、5 ステップのプロセスを、DC 結合フロントエンドの設計開発ガイドとして使用します。これを行わない場合、次のレシーバの信号チェーンで早期にクリッピングが発生するか、ADC のフルスケール レンジに到達しなくなり、ダイナミックレンジが大きく損なわれる可能性があります。

## 7 参考資料

1. テキサス インスツルメンツ、『RF コンバータのアナログ入力に関するフルスケールの謎の解明』アプリケーション ノート。
2. テキサス インスツルメンツ、『アンチエイリアシング フィルタを用いてアクティブ RF コンバータのフロントエンドを改善する方法』Analog Design Journal。
3. Electronic Design、『アンプと ADC 間の CM 収束を実現』Web ページ。
4. Electronic Design、『ADC 信号チェーンのノイズに関する検討事項』Web ページ。
5. テキサス インスツルメンツ、『RF コンバータ フロント エンドの実用性に関する謎の解明』プレゼンテーション。
6. テキサス インスツルメンツ、『アクティブな高速 / RF A/D コンバータ フロント エンドとパッシブな高速 / RF A/D コンバータ フロント エンドの比較』アプリケーション ノート。
7. テキサス インスツルメンツ、『高速コンバータのナイキスト ホール周辺のサンプリング』アプリケーション ノート。
8. テキサス インスツルメンツ、『適切な高速 A/D コンバータの通過帯域平坦性の解明』アプリケーション ノート。
9. テキサス インスツルメンツ、『DIFFAMP GAIN CALC 計算ツール』計算ツール。
10. テキサス インスツルメンツ、『HSDCPro データ キャプチャ ソフトウェア』ソフトウェア。

## 8 改訂履歴

| Changes from Revision * (January 2026) to Revision A (May 2026) | Page |
|---|------|
| • 誤字を修正.....  | 3    |

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月