

Application Note

AM13E230x ハードウェア設計ガイドライン



Brennan Hartigan

概要

AM13E230x ハードウェア設計ガイドラインは、リアルタイム制御マイコン デバイスの AM13E230x ファミリーをベースとする PCB システムを製作するハードウェア設計者向けの重要な資料です。この資料では、AM13E230x 評価基板 (EVM) とリファレンス デザインのハードウェア設計例を活用して、デバイス固有の回路図と PCB レイアウトの推奨事項を統合する方法を解説します。AM13E230x ハードウェア プラットフォームには、以下が含まれています。

表 1-1. AM13E230x ハードウェア プラットフォーム

EVM で注文可能な型番	TI 評価基板標準	目的
LP-AM13E230	LaunchPad	低コスト、エントリー レベルの評価プラットフォーム 64 ピン QFP、512KB の AM13E23019GTPM マイコンを搭載
AM13E230-SOM-EVM	controlSOM (システム オン モジュール)	より高い I/O 要件を備えた複雑なシステム評価。128 ピン QFP、512KB の AM13E23019GTPDT マイコンを搭載

その他の関連資料とツールについては、参考資料をご覧ください。

目次

- 1 概要..... 3
- 2 回路図設計..... 4
 - 2.1 パッケージとデバイスの選択..... 4
 - 2.2 デジタル ペリフェラル..... 5
 - 2.3 制御ペリフェラル..... 10
 - 2.4 アナログ ペリフェラル..... 11
 - 2.5 多重化ペリフェラル..... 13
 - 2.6 電源..... 14
 - 2.7 リセット..... 20
 - 2.8 クロック処理..... 22
 - 2.9 デバッグとエミュレーション..... 26
 - 2.10 ブート インターフェイス..... 29
 - 2.11 未使用のピン..... 30
- 3 PCB レイアウト設計..... 31
 - 3.1 レイアウト設計の概要..... 31
 - 3.2 ビア..... 34
 - 3.3 推奨されるボード レイアウト..... 34
 - 3.4 部品の配置..... 35
 - 3.5 グランド プレーン..... 35
 - 3.6 信号配線トレース..... 37
 - 3.7 熱に関する注意事項..... 37
- 4 EOS、EMI/EMC、ESD に関する検討事項..... 38
 - 4.1 電氣的オーバーストレス..... 38
 - 4.2 EMI および EMC..... 38
 - 4.3 静電気放電..... 39
- 5 まとめとチェックリスト..... 40
- 6 参考資料..... 41
- 7 改訂履歴..... 41

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

AM13E230x リアルタイム制御マイコンは、シングルコアの ARM® Cortex®-M33 ベースのデバイスであり、家電製品、産業用オートメーション、ロボット、ビル オートメーションなどの産業用モーター制御アプリケーションを対象としています。

本ガイドは、他の主要な AM13E230x 関連資料とともに参照する必要があります。AM13E230x デバイス用の補足資料の全リストについては、「参考資料」を参照してください。

表 1-1. 本書で使用されている略語

略称	説明
EVM	評価基板 AM13E230x LaunchPad (LP-AM13E230) などの TI の PCB アセンブリを参照
EMI	電磁干渉
BOM	部品表
SOM	システム オン モジュール
LP	LaunchPad

2 回路図設計

2.1 パッケージとデバイスの選択

AM13E230x マイコンは、さまざまなパッケージ サイズとメモリ構成で入手できます。各パッケージは、STM32G4 または STM32H5 マイコンのいずれかとピン互換であるため、ハードウェアおよびシステム レベルでドロップイン マイグレーションが可能です。移行の詳細については、『STM32G474x から AM13E230x への移行ガイド』を参照してください。次の表に、パッケージのサイズと構成の詳細を示します。

表 2-1. AM13E230x デバイスのパッケージ サイズ

パッケージ	STM32 互換性	パッケージ サイズ	ピッチ	ピンのレイアウト	アナログ IO	デジタル IO	ピン数
LQFP128 (PDT) (1)	STM32G4	14x14mm ²	0.4mm	32x32	44	107	128
LQFP100_G (PZ)	STM32G4	14x14mm ²	0.5mm	25x25	44	86	100
LQFP100_H (PZ)	STM32H5	14x14mm ²	0.5mm	25x25	43	85	100
LQFP80 (PN)	STM32G4	12x12mm ²	0.5mm	20x20	39	66	80
LQFP64_G (PM) ⁽²⁾	STM32G4	10x10mm ²	0.5mm	16x16	27	52	64
LQFP64_H (PM)	STM32H5	10x10mm ²	0.5mm	16x16	26	52	64
LQFP48 (PT)	STM32G4	9x9mm ²	0.5mm	12x12	21	38	48
QFN48 (RGZ)	STM32G4	7x7mm ²	0.5mm	12x12	22	42	48 + PWRPAD

(1) AM13E230-SOM-EVM で使用。

(2) LP-AM13E230 で使用。

パッケージ サイズは、IO 要件と PCB サイズに基づいて選択する必要があります。SysConfig ツールは、さまざまなデバイス パッケージ サイズと IO 数を検証し、適切な選択を判断するのに役立ちます。

AM13E230x マイコンには、デバイスのフラッシュ サイズとメモリ サイズを決定する 3 種類の構成が採用されています。各構成は、次の表に示すパッケージ サイズで利用できます。

表 2-2. AM13E230x の構成

部品番号	フラッシュ サイズ	SRAM サイズ
AM13E23019 ⁽¹⁾	512KB	128KB
AM13E23018	256KB	96KB
AM13E23017	128KB	32KB

(1) 両方の AM13E230x 評価基板で使用されます。

構成は、アプリケーションのサイズとニーズに基づいて選択する必要があります。

2.2 デジタル ペリフェラル

このセクションでは、AM13E230x マイコンのデジタル ペリフェラルに適用される設計ガイドラインについて詳しく説明します。

2.2.1 GPIO

AM13E230x マイコンには、パッケージ サイズに応じて、さまざまな数の汎用 I/O (GPIO) ピンが搭載されています。マルチプレクサ モード 0 に構成している場合、デバイスのデジタル I/O ピン (つまり、デバイスの電源 / グランド用に予約されていないピン) はすべて、汎用 I/O として使用できます。

GPIO ピンは、デバイスのデジタル入出力として機能します。また、これらの GPIO 対応ピンは、デバイスの PinMux を使用して、標準的な GPIO として、またはペリフェラル I/O 信号として使用するよう構成できます。この設計により、さまざまなアプリケーションで AM13E230x デバイスを使用するときに優れた柔軟性が得られます。最大 15 個の独立したデジタル ペリフェラル信号が 1 つの GPIO 対応ピンに多重化され、同じペリフェラルを複数の GPIO ピンに多重化することも可能です。詳細については、「[多重化ペリフェラル](#)」を参照してください。

各 GPIO ピンの最大駆動強度 (シンク / ソース電流) は 4mA です。最大トグル周波数と立ち上がり / 立ち下がり時間は、IO 構造 (SDIO、HDIO、または HSIO)、駆動強度、電源電圧に依存します。完全な仕様については、デバイス固有のデータシートの「デジタル I/O」セクションを参照してください。

リセット後、GPIO ピンはハイインピーダンス状態になります。内部プルアップ / プルダウン抵抗は、ソフトウェアによって選択的に有効または無効化されます。これは、電源投入時に定義された状態が必要な信号には、チップセレクトなど、外付けプル抵抗が必要であることを意味しています。

デバイスのピン選択の構成に加えて、デバイスで汎用 I/O (GPIO) リソースを使用する場合のベストプラクティスにも注意することが重要です。AM13E230x デバイスには、ADC、DAC、PGA、CMPSS などのオンボード アナログ ペリフェラルが統合されており、システムレベルのコスト削減に役立ちます。ただし、これらの追加ペリフェラルにより、できる限り最小のマイコン パッケージを使用するようにシステムを最適化するときに、使用可能な GPIO の数が少なくなります。そのため、カスタム システムを設計するときは、GPIO の使用を最大限にすることが重要です。

2.2.2 XBAR

「GPIO」セクションで説明しているように、AM13E230x システムの設計およびレイアウトプロセスを容易にし、IO 構成の柔軟性を最大限に高めるため、各ペリフェラル信号は多くの GPIO ピンに多重化されています。

信号を GPIO から ADC、eCAP、MCPWM、外部割り込みなどのペリフェラル ブロックのいずれかに配線するため、デバイスには入力クロスバー (XBAR) システムがあります。入力 XBAR はすべての GPIO にアクセスでき、各信号をペリフェラル ブロックのいずれか (または複数) に配線できます。入力 XBAR により、あるペリフェラルの出力を別のペリフェラルに配線できるようになります。

また、AM13E230x マイコンには GPIO 出力 XBAR も搭載されており、これは、信号をデバイス内部から任意の GPIO に出力します。

PWM XBAR は、任意のピンから MCPWM モジュールに信号を配線する役割を担っています。

XBAR は、SysConfig ツールを使用して構成できます。

2.2.3 EPI

この外部ペリフェラル インターフェイス (EPI) は、外部ペリフェラルまたはメモリ デバイス用の高速パラレル バスです。さまざまなメモリおよびペリフェラルを EPI モジュールと接続できます。最大周波数でサポートされるさまざまな構成を次の表に示します。

表 2-3. AM13E230x EPI インターフェイス オプション

インターフェイス	最高周波数
シングル SDRAM	50MHz
シングル SRAM	50MHz
iRDY 信号を使用しないシングル PSRAM	50MHz
iRDY 信号を使用するシングル PSRAM	50MHz

表 2-3. AM13E230x EPI インターフェイス オプション (続き)

インターフェイス	最高周波数
汎用モードを使用する FPGA、CPLD など	50MHz
2 個のチップ セレクトを備えたメモリ構成	50MHz
4 個のチップ セレクトを備えたメモリ構成	50MHz

AM13E230x EPI パリフェラルをこれらの各インターフェイスに接続する方法については、『テクニカル リファレンス マニュアル』の「EPI」の章を参照してください。

設計ガイドライン:

- ターゲット デバイス (メモリ IC/FPGA) をこのマイコンの近くに配置して、パターン長を短くします
- インピーダンスを制御するには、50Ω のシングルエンドトレースを使用します
- 信号グループを同じ層に配線することで、反射やクロストークを最小限に抑え、ビア / 層遷移を最小限に抑えます
- 次のパターン長を一致させて、タイミング スキューを低減します。
 - データバス: ±25 mil 以内でのマッチング
 - アドレス / コマンド信号: ±25 mil 以内でのマッチング
 - 制御信号: ±25 ~ 50mil 以内でのマッチング
 - クロック信号: 最長のデータトレースに対して ±5 ~ 10mil 以内でのマッチング
- アドレス / コマンド信号を並列に配線します
- スタブは避け、配線はできるだけ直接的にします
- データラインとクロックラインの直列終端抵抗 (22 ~ 33Ω) をトランスミッタの近くに配置することを検討します

2.2.4 MCAN

コントローラ エリア ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショートメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

AM13E230x マイコン上にある MCAN (モジュラー CAN) パリフェラルは、従来型の CAN と CAN FD (CAN with flexible data-rate) の両方のプロトコルをサポートしています。CAN FD 機能により、データフレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスと CAN FD デバイスは、バス エラーを生成せずに CAN FD を検出および無視できる部分的ネットワークトランシーバが従来型の CAN デバイスで使用されている場合、競合なしで同じネットワーク上に共存できます。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

AM13E230x マイコンを CAN ネットワークに接続するには、CAN コントローラ (AM13E230x マイコン) と CAN バスとの間で物理層として機能するように CAN トランシーバを実装する必要があります。大まかに述べると、MCAN_RX ピンと MCAN_TX ピンは、それぞれトランシーバの RX ピンと TX ピンに接続されます。CAN トランシーバの制御 I/O として、追加の信号が必要になることがあります。

AM13E230x LaunchPad は、システムを CAN バス ネットワークに接続するための TCAN3414 トランシーバを実装しています。TCAN3414 トランシーバは 3.3V 単一電源で動作し、最高 8Mbps の CAN および CAN-FD ネットワークで動作できます。TCAN3414 の詳細については、『TCAN3414 データシート』を参照してください。

次の図に、LaunchPad のリファレンス デザイン回路を示します。

MCAN Transceiver and Header

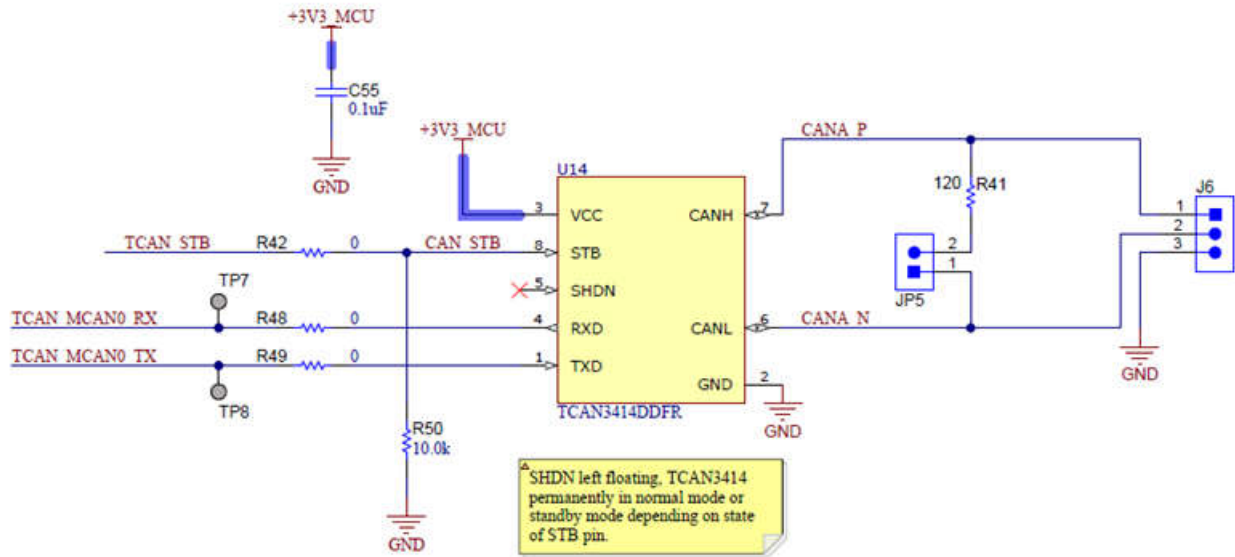


図 2-1. LP-AM13E230 MCAN の実装

STB および SHDN ピンには、任意のデバイス GPIO を使用できます。電源オン時にトランシーバを既知の状態に維持するため、プル抵抗を推奨します。

トランシーバ固有の設計要件は、デバイス固有のデータシートに記載されています。

MCAN を使用する場合、内部発振器 (SYSOSC) を使用するのではなく、外部発振器を基板 (XTAL) に実装して AM13E230x デバイスにクロックを供給することを推奨します。ビットのタイミング設定、ビットレート、バス長、伝搬遅延などの必要な CAN パラメータによって、オンチップ発振器の精度が CAN プロトコルの要件を満たさない場合があります。

2.2.5 UNICOMM

UNICOMM モジュールは、UART、I2C、または SPI のいずれかのインターフェイスをサポートできるランタイムで構成可能なペリフェラルです。これら 3 つの通信ペリフェラル用に個別のペリフェラル ブロックがある標準的なマイコンとは異なり、AM13E230x デバイスには、これらの異なるプロトコルで動作できる 6 つの統合シリアル通信ペリフェラルが内蔵されています。

各 UNICOMM インスタンスは、次のいずれかのモードで動作するように構成できます。

- UART – ユニバーサル非同期レシーバ/トランスミッタ
- SPI – シリアル ペリフェラル インターフェイス
- I2CC – Inter Integrated Circuit コントローラ
- I2CT – Inter Integrated Circuit ターゲット

UNICOMM インスタンスは、略語 UCx (x はインスタンス番号) を使用して参照され、その後に特定のインターフェイスで使用可能な信号タイプが続きます。

表 2-4. ペリフェラル タイプ別の UNICOMM 信号

UNICOMM 信号名	UART	I2C	SPI
UCx_RTS_POCI	RTS: 送信解除		POCI: ペリフェラル出力コントローラ入力
UCx_RX_SCL_SCLK	RX: 受信	SCL: クロック	SCLK: クロック
UCx_TX_SDA_PICO	TX: 送信	SDA: データ	PICO: ペリフェラル入力コントローラ出力
UCx_CTS_CS0	CTS: 送信クリア		CS0: チップ セレクト 0

6 つの UNICOMM インスタンスには、インスタンスに応じて異なる構成オプションとペリフェラル タイプがあります。以下の表に詳細を示します。

表 2-5. インスタンス別の UNICOMM 構成

UNICOMM インスタンス	サポート対象のシリアル プロトコル	利用可能なペリフェラル タイプ 1
UC0	UART, SPI, I2C	標準的な UART、標準的な SPI、標準的な I2C コントローラ / ターゲット
UC1	UART, SPI, I2C	標準的な UART、標準的な SPI、標準的な I2C コントローラ / ターゲット
UC2	UART, LIN, I2C, SMBUS	Basic+ UART、高度な I2C コントローラ / ターゲット
UC3	UART, SPI, I2C	標準的な UART、標準的な SPI、標準的な I2C コントローラ / ターゲット
UC4	UART, SPI, I2C	標準的な UART、標準的な SPI、標準的な I2C コントローラ / ターゲット
UC5	UART, LIN, I2C, SMBUS	Basic+ UART、高度な I2C コントローラ / ターゲット

ペリフェラル タイプは、この章以降の対応するセクションで定義されています。

特定の UNICOMM ペリフェラル インスタンスのプロトコル選択は、レジスタレベルで行われます。この低レベル構成のため、UNICOMM ブロックをアプリケーションに実装する設計者は、**SysConfig** ツールを使用して各 UNICOMM インスタンスを構成することを強くお勧めします。これにより、誤ったインスタンス / ペリフェラルの組み合わせを構成することを回避し、各インスタンスに適切なデバイス ピンを確実に割り当てることができます。

UNICOMM ペリフェラルの構成の詳細については、『テクニカル リファレンス マニュアル』の「UNICOMM」セクションを参照してください。

2.2.5.1 UART

UNICOMM インスタンスの選択では、ペリフェラルに必要な機能を考慮する必要があります。以下の表は、AM13E230x デバイスで利用可能な 2 種類の UNICOMM UART を比較したものです。

表 2-6. UNICOMM UART タイプの比較

UNICOMM インスタンス	UART のタイプ	特長
UC0, UC1, UC3, UC4	標準的な UART	ISO7816 スマート カード規格向けの追加サポートを含む
UC2, UC5	Basic+ UART	LIN (Local Interconnect Network) の追加サポートを含む

LIN 機能が必要な場合、このペリフェラルの割り当てに UC2 または UC5 を割り当てる必要があります。アプリケーションで標準的な UART が許容される場合は、UCx インスタンスのいずれかを使用できます。

2.2.5.2 I2C

デバイス上の UNICOMM I2C インスタンスは、UNICOMM-I2CC (コントローラ) または UNICOMM-I2CT (ターゲット) として構成できます。コントローラ / ターゲットの構成は、**SysConfig** ツールを使用して行う必要があります。以下の表は、AM13E230x デバイスで利用可能な 2 種類の UNICOMM I2C を比較したものです。

表 2-7. I2C の比較

UNICOMM インスタンス	I2C タイプ	コントローラ機能	ターゲット機能
UC0, UC1, UC3, UC4	基本的な I2C	デジタル グリッチの抑制	

表 2-7. I2C の比較 (続き)

UNICOMM インスタンス	I2C タイプ	コントローラ機能	ターゲット機能
UC2、UC5	高度な I2C	<ul style="list-style-type: none"> アナログ グリッチの抑制 バースト モード SMBus サポート (PEC、タイムアウト検出) 	<ul style="list-style-type: none"> アナログ グリッチの抑制 SMBus サポート (PEC、タイムアウト検出、拡張 ACK 機能、デフォルトのデバイス / ホスト / アラート応答アドレス、ターゲットアービトレーション) 2 番目のターゲット アドレスとマスク

I2C として構成した場合、UNICOMM I2C 信号 SCL と SDA の両方に外付けプルアップ抵抗が必要です。プルアップの強度は I2C の速度に依存しますが、ほとんどの実装では通常、2.2kΩ ~ 4.7kΩ が許容されます。

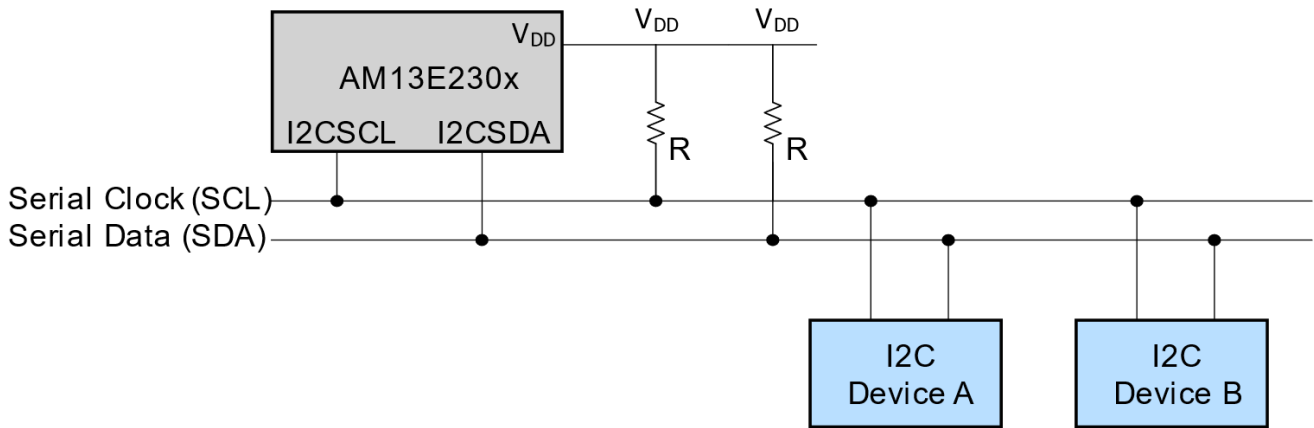


図 2-2. 代表的な I2C バス接続

2.2.5.3 SPI

AM13E230x UNICOMM SPI は、外部 SPI デバイスを接続するための 3 線式または 4 線式構成をサポートしています。

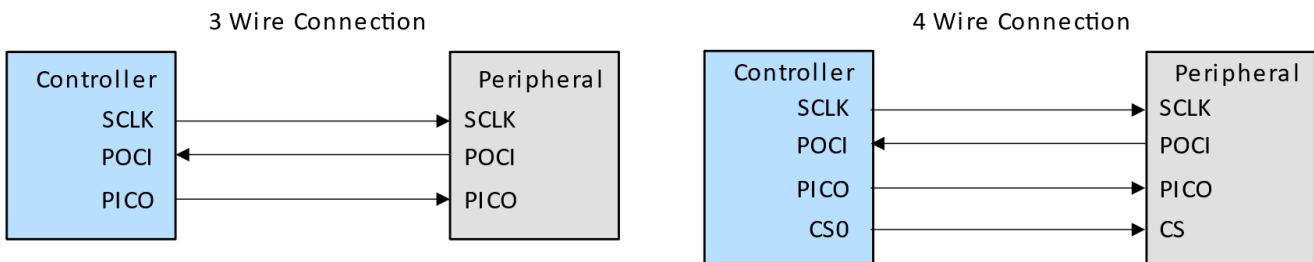


図 2-3. 代表的な SPI 接続

SPI は、UC0、UC1、UC3、UC4 でのみ設定できます。

AM13E230x がこの信号を Low に駆動するまでターゲット デバイスを選択しないようにするため、チップ セレクト信号にはプルアップ抵抗を接続することを推奨します。

2.3 制御ペリフェラル

AM13E230x デバイスには、さまざまな数の以下の制御ペリフェラルが搭載されています。

- 拡張キャプチャ (eCAP)
- マルチチャンネル パルス幅変調器 (MCPWM)
- 拡張直交エンコーダ パルス (eQEP)

特定の制御ペリフェラルの性能は、ボードの設計の影響が大きい可能性があります。不要なノイズを低減して性能を最大限にするため、「レイアウト」セクションに示すレイアウト ガイドラインに従ってください。

2.3.1 eQEP と eCAP

eQEP と eCAP のどちらにも、これらのタイプの信号をデバイスピンに接続するための専用のピン マルチプレクサ モード オプションはありません。代わりに、デバイスの入力 XBAR を利用して、eQEP または eCAP 入力を供給するように任意の GPIO を構成できます。

これらのペリフェラル構成の詳細については、『テクニカル リファレンス マニュアル』の次のセクションを参照してください。

- デバイスピンの構成 (eQEP)
- eCAP のデバイスピンの構成
- XBAR

2.3.2 タイマ

AM13E230x デバイスの汎用タイマ (TIMG) はタイマ カウント モジュールであり、入力信号のエッジや信号周期の測定、または出力波形の生成など、さまざまな機能に使用できます。2 つのタイマ インスタンスである TIMG4 および TIMG12 は、わずかに異なる機能を持つ汎用タイマ モジュールです。

表 2-8. タイマ

インスタンス	パワー ドメイン	カウンタ分解能	プリスケアラ	CCP チャンネル	外部 PWM チャンネル	シャドウ負荷	シャドウ CC	QE1 / ホール入力モード
TIMG4	PD1	16 ビット	8 ビット	2	2	あり	あり	-
TIMG12	PD1	32 ビット	-	2	2	-	あり	-

TIMG 機能の詳細は、『テクニカル リファレンス マニュアル』を参照してください。

2.4 アナログ ペリフェラル

このセクションでは、デバイスにアナログ ペリフェラルを実装する際の重要な設計の選択肢について説明します。

AM13E230x デバイスは、以下のアナログ ペリフェラルを備えています。

- A/D コンバータ (ADC)
- プログラマブル ゲイン アンプ (PGA)
- 温度センサ
- コンパレータ・サブシステム (CMPSS)
 - 各 CMPSS には、8 ビットの D/A コンバータ (DAC) と 2 つのデジタル フィルタが搭載されています
 - 一部の CMPSS には、バッファ付き DAC OUT が搭載されています

2.4.1 アナログ ピンの選択

AM13E230x デバイスの複数の IO ピンは、デジタル機能とアナログ機能の両方の構成など、柔軟にピンを使用できます。アナログ入力 (ADC、PGA、CMPSS) を供給する IO ピンは、デジタル ペリフェラルと多重化されています。

AM13E230x デバイスには専用アナログ IO ピンがないため、ユーザー アプリケーションに対して幅広いピン構成が可能です。

アナログ ピン接続を選択する際には、各ピンで使用可能なペリフェラルを考慮してください。コンパレータ付きのアナログ入力を使用すると、これらのアナログ信号が PWM を (フォルト信号として) 迅速にトリップでき、またゼロクロスを検出できます。これらのデバイスには複数の ADC が搭載されているため、特定のアナログ信号を同時にサンプリングすることが有益であるかどうかも考慮してください。このような状況では、3 つの同時アナログ信号を A0、A1、A2 に接続できます。

2.4.2 アナログ電圧リファレンス

オンデバイスの ADC は、VREFHI ピンと VREFLO ピンを電圧リファレンス入力として使用します。ほとんどのアプリケーションでは、内部基準電圧の性能で十分です。VREFHI ピンの電圧は内部バンドギャップ基準電圧によって駆動され、1.65V の出力 (0V ~ 3.3V) または 2.5V の出力 (0V ~ 2.5V) として選択できます。リファレンス値はプログラム可能です。システム設計でより高精度のリファレンス電圧が必要な場合、外部リファレンス電圧を使用できます。

内部リファレンスと外部リファレンスのどちらを選択するかにかかわらず、VREFHI ピンと VREFLO ピンとの間に一連のデカップリング コンデンサを配置する必要があります。

- 2.2 μ F のバルク コンデンサ
- デバイス ピンの 0.1 μ F コンデンサ x 2

注

128 ピンの AM13E230x デバイスには、このパッケージに 2 つの外部 VREFHI ピンがあるため、0.1 μ F コンデンサが 3 つ必要です。2 本のピンは内部で接続されており、個別の電源は必要ありません。

ADC VREF

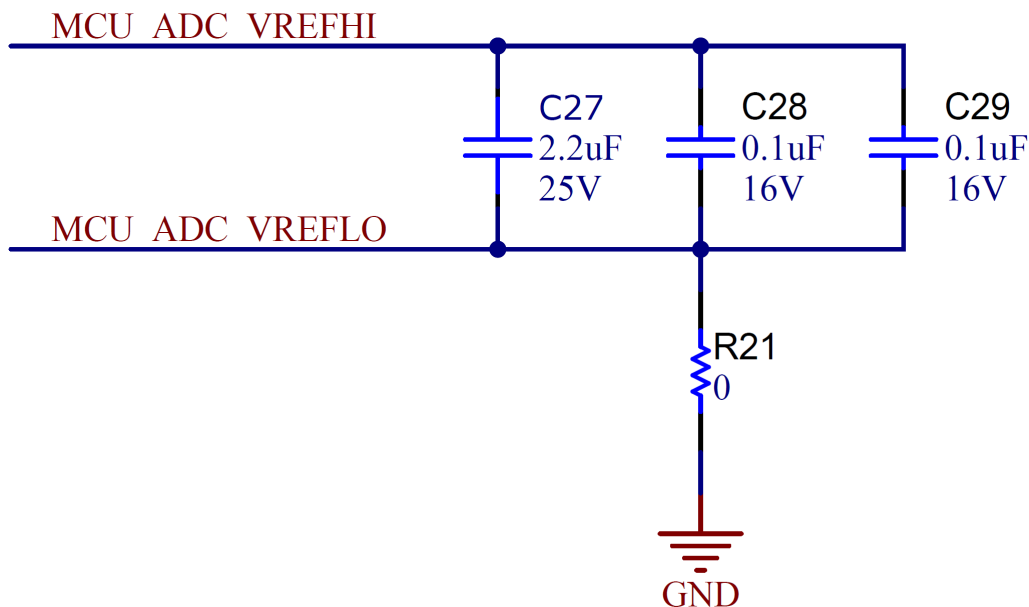


図 2-4. LP-AM13E230 VREF デカップリング

ほとんどの場合、VREFLO はシステムの GND に短絡できます。

内部基準電圧モードを使用する場合、VREFHI ピンにはデバイス自体の回路から電圧が駆動されるため、追加の電圧源を配置しないでください。

外部基準電圧モードでは、REF3030 や高速オペアンプなどの外部回路または基準 IC を使用して VREFHI ピンを駆動します。

2.4.3 ADC 入力

適切な性能を得るため、ADC を適切に設計および評価する必要があります。A/D コンバータには入力インピーダンスと帯域幅の要件があり、メモリのクロストークや、サンプル/ホールド (S+H) 回路のセッティング エラーが発生する可能性があります。

以下の図に ADC 入力モデルを示します。ここで、 C_p は寄生入力容量、 R_{on} はサンプリング スイッチ抵抗、 C_h はサンプリング コンデンサ、 R_s は公称ソース インピーダンスです。データシートに ADC のチャンネルごとの寄生容量が記載されており、使用する ADC を決定するのに役立ちます。アキュイジション ウィンドウの期間は、ACQPS を調整するか、サンプリング周波数を下げるか、またはこれらを組み合わせることにより、各 SOC で調整できます。駆動回路を評価するには、TINA-TI でシミュレーションを実行し、性能とセッティングが適切であることを確認します。

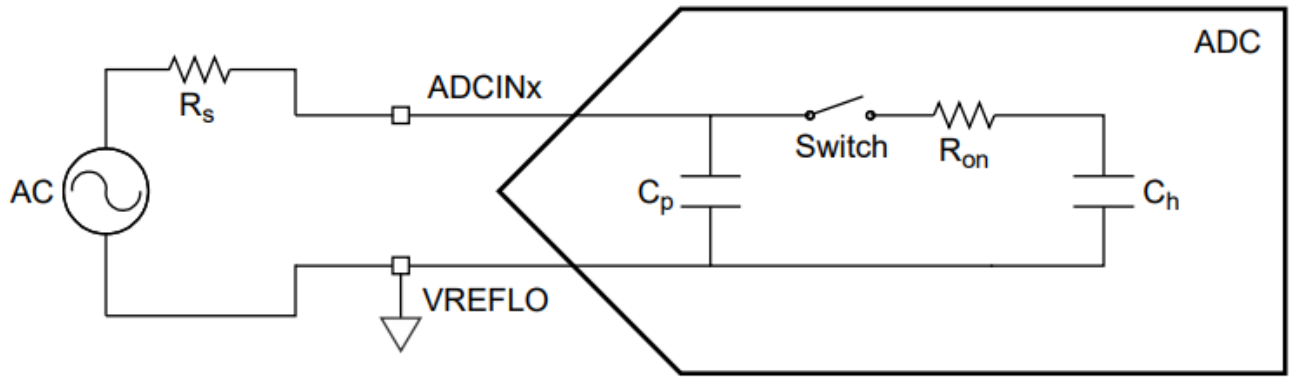


図 2-5. ADC 入力モデル

2.5 多重化ペリフェラル

AM13E230x デバイスは、マイコンのほぼすべてのピンに多数の多重化されたデジタルおよびアナログ I/O を搭載しています。このため、設計をハードウェアに確定する前に、TI のシステム構成ツール (SysConfig) をフルに使用して、さまざまなピン多重化シナリオを実験して計画することを強くお勧めします。結果として得られる SysConfig ピン多重化構成を、回路図のキャプチャとレイアウトの参照、ソフトウェアドライバの開発に使用できます。

詳細については、『テクニカル リファレンス マニュアル』の「[SysConfig ツール](#)」のページと「[IOMUX](#)」の章を参照してください。

2.6 電源

AM13E230x マイコンには、2 つのメイン デバイス パワー ネットがあります。

- VDD: 3.3V デジタル電源
- VDDA: 3.3V アナログ電源

VDD と VDDA は基板レベルで接続されています。AM13E230x システムを設計する場合、VDD に使用するのと同じ電源も VDDA に接続されることが予想されます。VDD と VDDA ネットは、フェライト ビーズで分離される必要があります。

2.6.1 ディスクリート パワー ソリューション

AM13E230x マイコンに必要な電力を供給するには、単一の 3.3V ディスクリート電源をお勧めします。

AM13E230x LaunchPad と controlSOM のどちらの設計も、3.3V VDD/ VDDA 電源レール用に単一の LDO レギュレータを内蔵しています。1A、低 IQ 高精度 LDO の TLV75733 を評価基板設計に実装しています。PCB のフットプリントが小さく、最大 1A を供給できるため、AM13E230x コア、I/O、ペリフェラルに電力を供給するためにこの小型サイズのレギュレータをお勧めします。TLV757P ファミリの LDO には電流出力に関する他のオプションが用意されており、PCB システムの負荷要件が小さい場合は検討できます。

実際には、次の最小要件が満たされている限り、任意の 3.3V LDO を使用して AM13E230x に電力を供給できます。

- Vout: 3.3V
- Iout: 300mA

注

AM13E230x マイコンは最大 250mA を消費することが想定されています。50mA を追加することで、同じ LDO を使用して他のオンボード デバイスに電力を供給できます。

多くの DC/DC レギュレータは、これらの要件と最大消費電力に適合するように、選択できます。AM13E230x controlSOM に対する TLV75733 の実装を以下に示します。

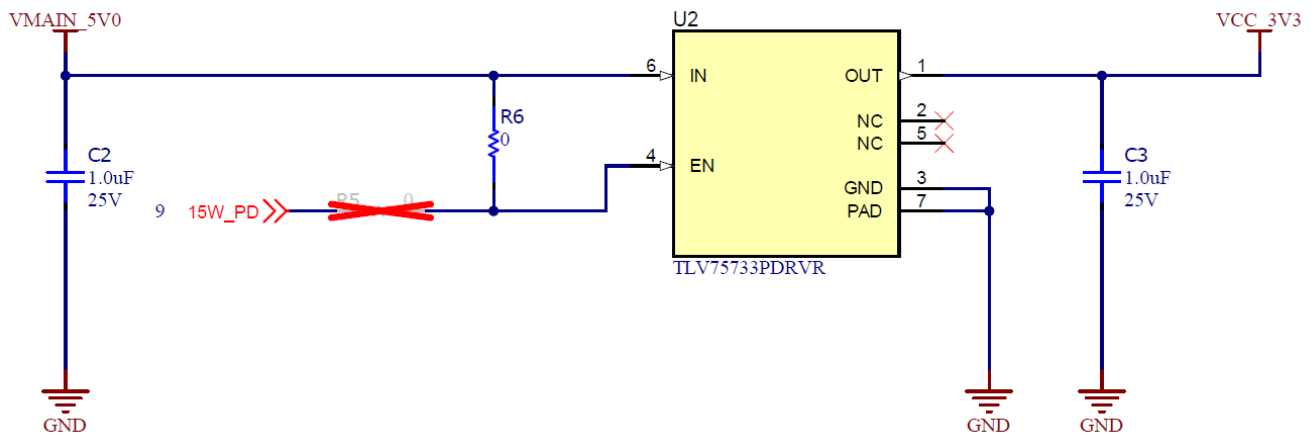


図 2-6. AM13E230x controlSOM LDO の実装

ENABLE ピンは、他のシステム電源シーケンス要件、またはアップストリーム レギュレータからのパワーグッド信号によって駆動できます。controlSOM では、15W パワー デリバリ ハンドシェイク回路の出力を使用して、LDO を有効にできます。

2.6.2 電源のデカップリングとフィルタリング

次の表に、各 AM13E230x パッケージに必要な初期デカップリングと電源フィルタリングを示します。

表 2-9. 電源フィルタリング

MCU 電源	数量								コメント
	128 PDT	100_G PZ	100_H PZ	80PN	64_G PM	64_H PM	48 PT	48 RGZ	

表 2-9. 電源フィルタリング (続き)

VDD	1	1	1	1	1	1	1	1	2.2 μ F, 0402, X5R
	8	5	5	5	4	4	4	4	0.1 μ F, 0201, X7R
VDDA	1	1	1	1	1	1	1	1	2.2 μ F, 0402, X5R
	2	2	1	2	2	1	1	1	0.1 μ F, 0201, X7R
	1	1	1	1	1	1	1	1	フェライトビーズ

一般的に、AM13E230x マイコンのどのパッケージでも、電源のデカップリングは以下のガイドラインに従う必要があります。

- 電源回路のソースに 2.2 μ F のバルク コンデンサを配置します
- マイコン上の各 VDD /VDDA ピンのできるだけ近くに 0.1 μ F コンデンサを配置します
 - 必要な 0.1 μ F コンデンサの数は、マイコンパッケージの VDD / VDDA ピンの数によって異なります
- VDD ネットから VDDA 回路をフィルタ処理するために、フェライトビーズが必要です

次の図に、64 ピン PM パッケージ (LaunchPad) のデカップリング配置と配線を示します。

VDD 3V3 Digital

VDDA 3V3 Analog

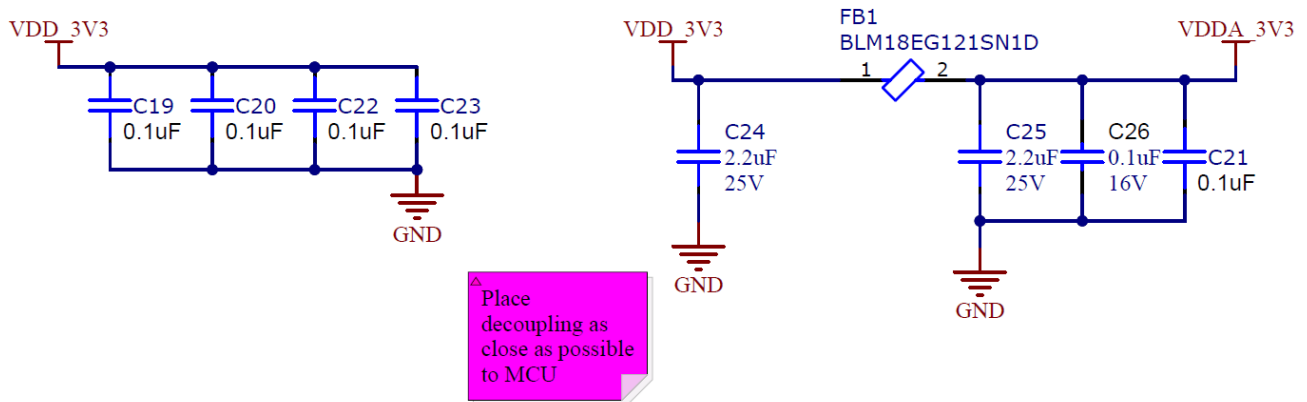


図 2-7. LP-AM13E230 電源デカップリング回路図

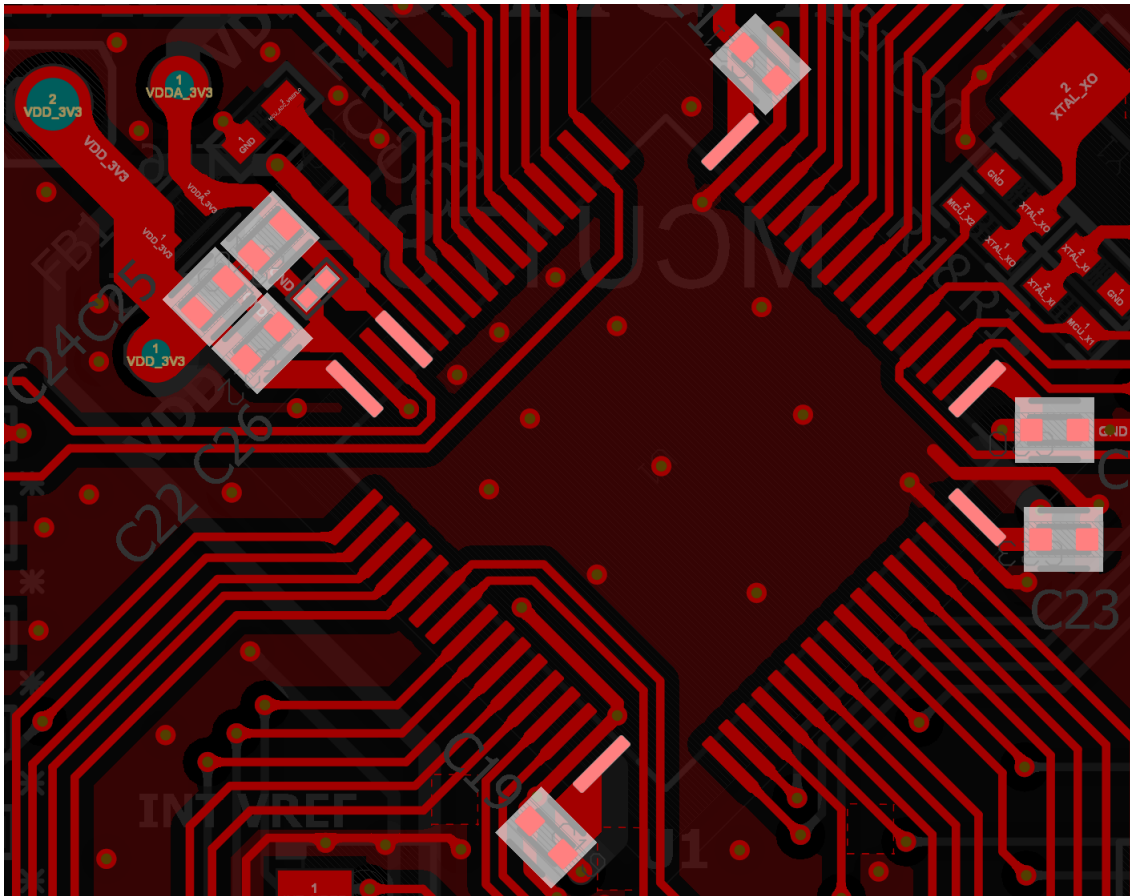


図 2-8. LP-AM13E230 電源デカップリング – 最上層

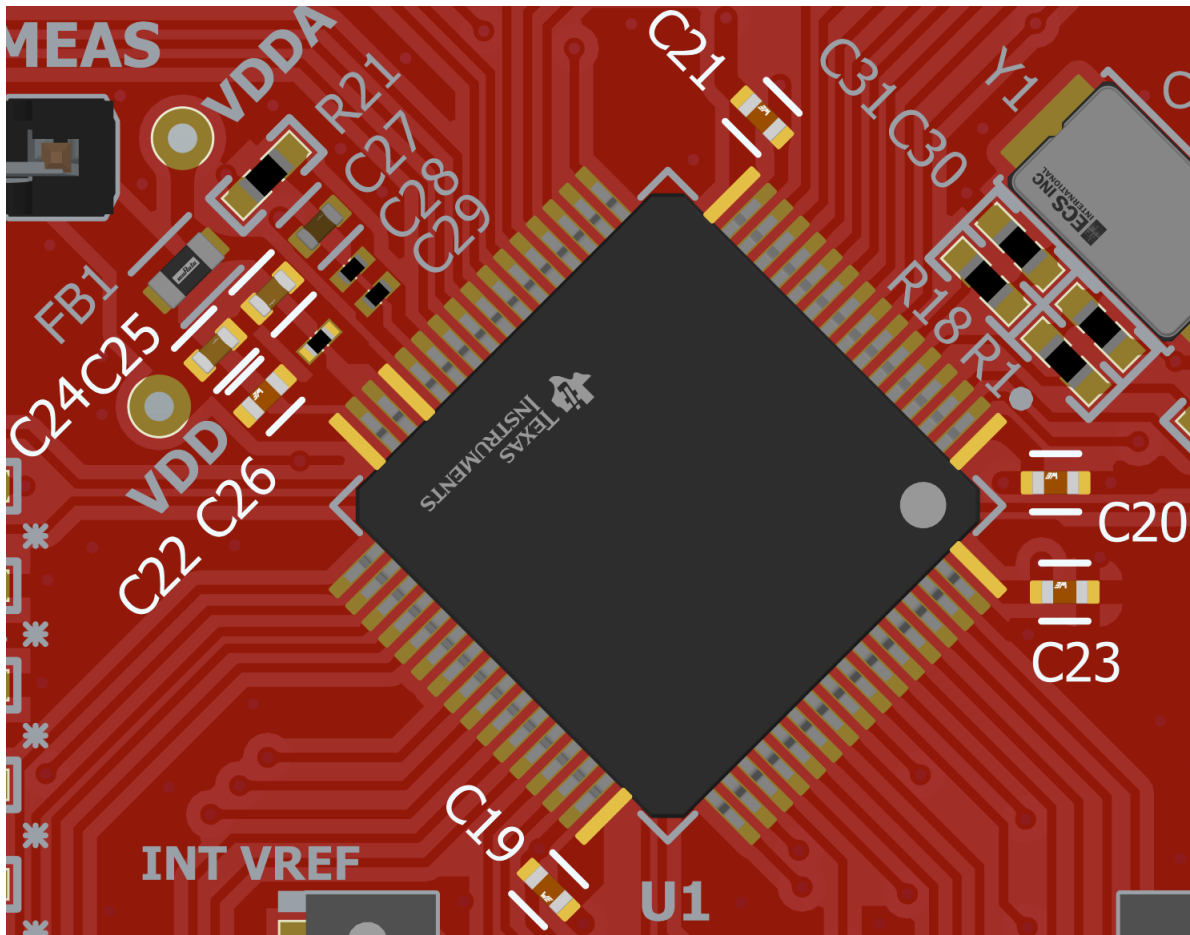


図 2-9. LP-AM13E230 電源デカップリングの配置 – 3D ビュー

2.6.3 アナログ電圧リファレンス

AM13E230x マイコンには、ADC 電圧 HIGH (VREFHI) と LOW (VREFLO) リファレンス入力用の専用ピンがあります。VREFLO は GND に短絡されます。

内部で生成される基準電圧を使用するか、外部基準電圧を使用するかにかかわらず、これらのピン間に追加のデカップリングが必要です。内部で生成される基準電圧を使用するには、VREFHI ネットと VREFLO ネットとの間にデカップリングを接続するだけです。外部基準電圧を印加するには、電源を VREFHI ピンに接続します。

以下の表に、パッケージごとにデバイスのアナログ電圧リファレンス ネットに必要なデカップリングを示します。

表 2-10. AM13E230x ADC の VREF デカップリング

MCU 電源	数量								コメント
	128 PDT	100_G PZ	100_H PZ	80PN	64_G PM	64_H PM	48 PT	48 RGZ	
VREFHI	1	1	1	1	1	1	1	1	2.2 μ F、0402、X5R
	3	2	3	2	2	2	2	2	0.1 μ F、0201、X7R

注

一部の AM13E230x マイコン パッケージには、複数の VREFHI ピンがあります。これらのピンは内部で接続されており、個別の電源回路は必要ありません。

アナログ電圧リファレンスのデカップリングは、以下のガイドラインに従う必要があります。

- 2.2 μ F のバルク キャパシタ
- マイコン上の各 VREFHI ピンにできるだけ近づけて配置した 0.1 μ F コンデンサ
 - 必要な 0.1 μ F コンデンサの数は、デバイスに存在する VREFHI ピンの数 +1 です
- VREFHI と VREFLO との間のループ長とパターン長を最小限に抑えるために、デカップリング ネットワークを配置する必要があります
- ほとんどの場合、VREFLO は GND に短絡されます

ADC VREF

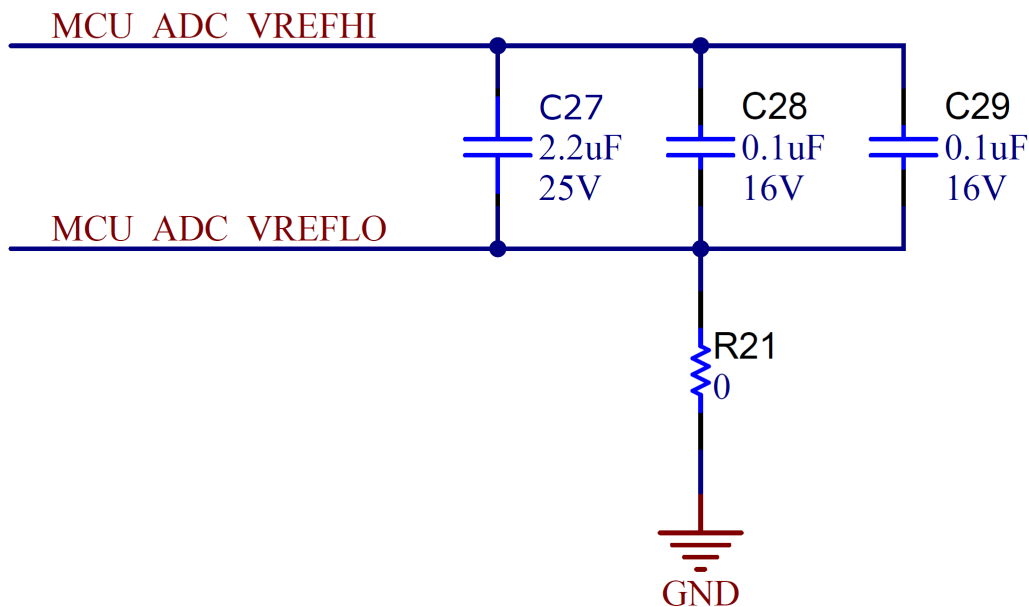


図 2-10. AM13E230x VREF デカップリングの回路図

以下の図に、AM13E230x LaunchPad 上の 64 ピン (PM) パッケージのデカップリングの配置と配線を示します。

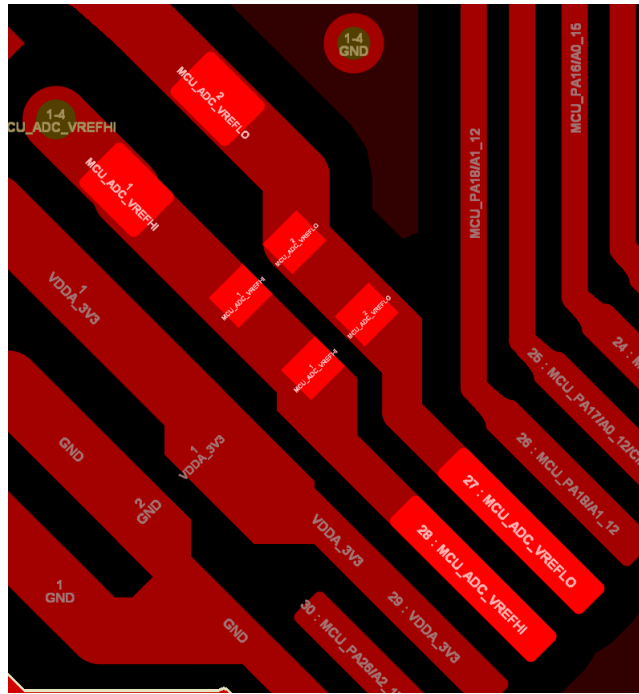


図 2-11. アナログ VREF のデカップリング – LP-AM13E230 最上層

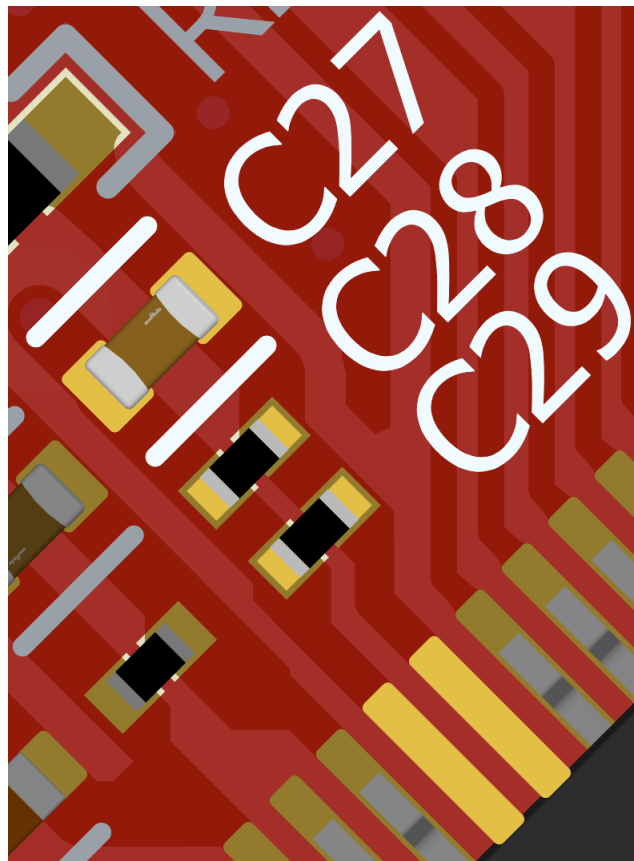


図 2-12. アナログ VREF のデカップリング – LP-AM13E230 3D ビュー

2.6.4 VSS/VSSA

AM13E230x マイコンの VSS ピンと VSSA ピンは GND に短絡する必要があります。内部 GND 層 / プレーンへのビアは、デバイスの VSS /VSSA ピンにできるだけ近づけて配置することを推奨します。

2.6.5 消費電力

以下の表に示す推定値は、XX デバイス温度で動作している場合のデバイスの初期電力シミュレーションに基づいています。最新の特性評価されたピーク電力値については、デバイス固有のデータシートを参照してください。

AM13E230x マイコン用に使用事例ベースの電力推定ツール (PET) が提供されています。このツールは、特定のペリフェラル利用率に基づいてピーク電力をさらに抑制できます。PET は、AM13E230x 製品ページからダウンロードできません。

表 2-11. 消費電力

デバイス電源ネット	ピーク電流 (mA)	電源の説明
VDD	未定	3.3V デジタル
VDDA	未定	3.3V アナログ

2.7 リセット

さまざまなタイプのリセット アクティビティに関連付けられている AM13E230x マイコン ピンが複数あります。

デバイスのリセットの詳細については、『テクニカル リファレンス マニュアル』の「リセットとデバイスの初期化」セクションを参照してください。

2.7.1 nRST ピン

nRST ピンは、完全なデバイスリセットをトリガするためのメイン インターフェイスです。AM13E230x PCB システムを設計する際は、以下の設計ガイドラインに従う必要があります。

- nRST ピンには内部プルアップがないため、電源投入後 (コールド スタート) にデバイスを正常に起動するには、nRST ピンを HIGH にする必要があります。
- 外部回路 (VDD への 10kΩ プルアップ抵抗またはリセット制御回路) は、デバイスを起動するために nRST をアクティブに HIGH にする必要があります。

AM13E230x 評価基板では、10kΩ 抵抗を使用して nRST ネットを 3.3V にプルアップするだけで実現できます。

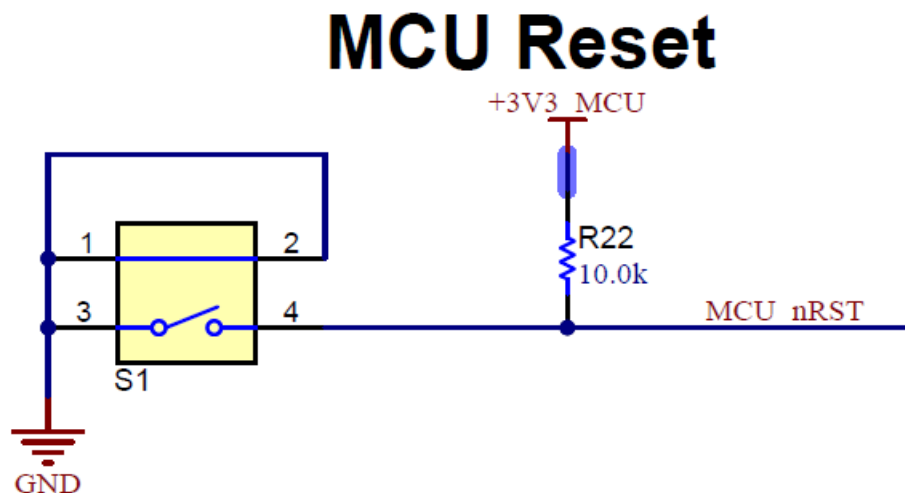


図 2-13. LP-AM13E230 nRST 回路

プッシュボタン S1 は、押されると nRST ラインを LOW にプルし、リセットがアサートされる時間に応じて異なるタイプのリセットをトリガします。

- nRST の LOW パルスが 1 秒未満の場合、BOOTRST をトリガします
- nRST の LOW パルスが 1 秒を超えると、POR をトリガします

BOOTRST および POR の詳細については、『テクニカル リファレンス マニュアル』の「リセットレベル」セクションを参照してください。

2.7.2 BSL 起動ピン

AM13E230x ブートローダーは、ソフトウェア アプリケーションから、または GPIO ピンを使用したハードウェアから起動できます。デバイスのブート ROM は、ハードウェア経由でブートストラップ ロード (BSL) を起動するように、デフォルトでピン PA6 を構成します。この方法で BSL を起動する場合、デバイスがリセット状態から復帰したときに、10kΩ 抵抗を使用してこの信号をプルダウンする必要があります。BSL を起動するには、この信号を High に駆動する必要があります。

AM13E230x LaunchPad では以下の単純なプッシュ ボタン回路を使用してこの機能を実現しています：

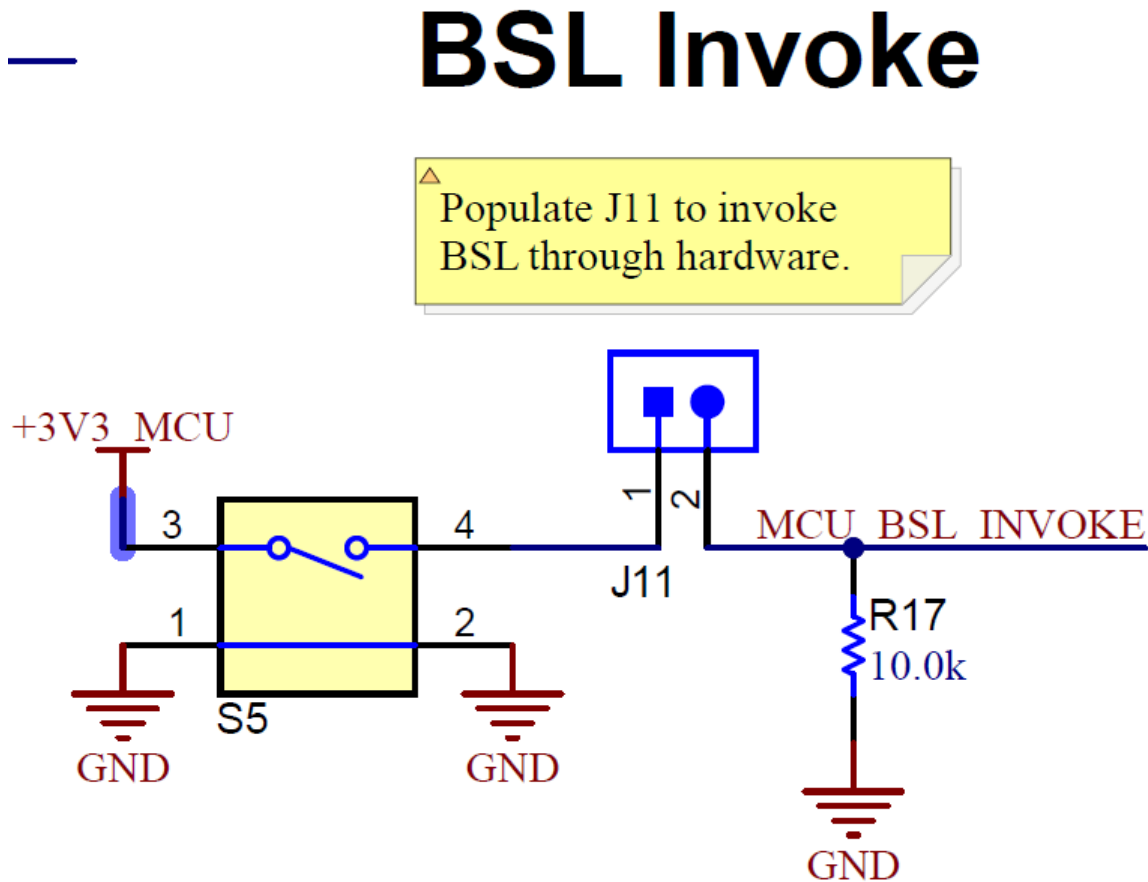


図 2-14. BSL 起動回路

2.7.3 LPM ピンからの復帰

AM13E230x デバイスを低消費電力モードから復帰させるには、GPIO ピンへの入力信号の立ち上がりエッジまたは立ち下がりエッジをトリガとして使用できます。この目的で使用できる GPIO ピンは、デバイスがどの LPM から RUN モードへ復帰するかによって異なります。

2.7.4 STOP/STANDBY モードからの復帰

マイコンを STOP モードまたは STANDBY モードから復帰させるには、いずれかの GPIO ピンを使用します。マイコンの高速ウェイクアップ機能により、GPIO モジュールは低消費電力状態を維持し、高速クロックを必要とせずに GPIO ピンで

の割り込みイベントを検出できます。STOP モードまたは STANDBY モードから GPIO 高速ウェークアップを構成する方法の詳細については、『テクニカルリファレンス マニュアル』の「GPIO 高速ウェークアップ」セクションを参照してください。

2.7.5 SHUTDOWN モードからの復帰

特定の GPIO ピンのセットには、デバイスを SHUTDOWN モードから復帰させるための追加ウェークアップ ロジックが含まれています。SHUTDOWN モードでは、デバイスの安定化コア電源全体が無効化され、デバイスはこれらのウェークアップ機能対応 I/O からのみ復帰できます。SHUTDOWN モードのウェークアップ ロジックの構成の詳細については、『テクニカルリファレンス マニュアル』の「SHUTDOWN モード ウェークアップ ロジック」セクションを参照してください。

AM13E230x マイコンでは、以下の GPIO を使ってデバイスを SHUTDOWN から復帰できます。

表 2-12. SHUTDOWN ウェークアップ機能対応 GPIO

WAKEUP ピン番号	GPIO #
WAKEUP0	GPIO0
WAKEUP1	GPIO45
WAKEUP2	GPIO70
WAKEUP3	GPIO2
WAKEUP4	GPIO37
WAKEUP5	GPIO33
WAKEUP6	GPIO50
WAKEUP7	GPIO51

パッケージ固有のピン構成については、デバイス固有のデータシートを参照してください。

2.7.6 AM13E230x ハードウェア プラットフォームの例

WAKEUP GPIO は、立ち上がりまたは立ち下がりエッジで WAKE イベントをトリガするように構成できます。AM13E230x 評価基板では、WAKE 機能用に以下の GPIO が割り当てられています。

表 2-13. AM13E230x 評価基板の WAKEUP GPIO

EVM	WAKEUP ピン番号	GPIO #	インターフェイス
AM13E230x LaunchPad	WAKEUP1	GPIO45	押しボタン (アクティブ LOW)
AM13E230x controlSOM	WAKEUP5	GPIO33	押しボタン (アクティブ LOW)
	WAKEUP2	GPIO70	高密度コネクタ (構成可能)

2.8 クロック処理

AM13E230x の X1 および X2 クロック入力ピンには、接続された水晶発振器またはシングルエンド発振器出力のいずれかから供給されます。また、このマイコンは、デバイス クロックを生成するために内部発振器のみを利用して、外部クロックソースなしで動作することもできます。

2.8.1 内部発振器

AM13E230x マイコンは、外部リファレンス水晶振動子や発振器を使用せずに動作することができます。このモードでは、内部システム発振器 (SYSOSC) が、システムに 32MHz クロックソースを供給します。

注

MCAN など特定のタイミング要件を持つペリフェラルを設計で使用する場合、この動作モードは推奨されません。外部の発振器を使用すると、デバイス クロックにソースを供給する際に、最高レベルの精度が得られます。

XTAL 動作モードが「オフ」に設定されている場合、X1 ピンと X2 ピンはクロック入力を想定しておらず、それぞれ GPIO80 と GPIO81 として使用できます。SYSOSC を使用してデバイスにクロックを供給する方法の詳細については、『テクニカルリファレンス マニュアル』の「SYSOSC」セクションを参照してください。

2.8.2 外部水晶発振器 (XTAL)

外付けの水晶振動子または発振子を使用して、システム用に安定したリファレンス クロックを生成できます。X1 デバイスピンと X2 デバイスピンとの間に水晶振動子または発振子を実装する必要があります。X1 および X2 ピンへの入力として、次の 3 種類の外部ソースがサポートされています。

- X1 と X2 との間に外付けの水晶振動子を接続して、さらに負荷コンデンサを GND に接続 (10 ~ 25MHz)
- X1 と X2 との間に外付け発振子を接続 (10 ~ 25MHz)
- X1 に接続されたシングルエンド 3.3V 外部クロックまたは水晶振動子 (4 ~ 48MHz) X2 は GPIO として使用できます

AM13E230x 評価基板は、外部 25MHz 水晶振動子を使用しています。この水晶振動子は、すべての機能をフルスピードで有効にするためにデバイスにクロックを供給する推奨方法です。GND への負荷コンデンサは、水晶振動子とマイコンとの間の X1 および X2 ネットの両方に配置される必要があります。使用する水晶振動子の仕様に従って、負荷コンデンサのサイズを変更してください。X1 および X2 ネットには、不要な発振を抑制し、水晶振動子を過剰な駆動電流から保護するためにダンピング抵抗が必要な場合があります。

AM13E230x 評価基板のデフォルトのリファレンス クロック モードは、水晶振動子モードです。LaunchPad と controlSOM はどちらも、AM13E230x デバイスの X1 ピンと X2 ピンに接続された 25MHz 水晶発振器 (ECS-250-12-30-GM) を使用してデバイスにクロックを供給します。18pF の負荷コンデンサと 0Ω のダンピング抵抗が、評価基板の水晶振動子回路を構成します。

AM13E230x 評価基板の以下の例は、水晶振動子回路の適切な配線を示しています。

- XTAL_IN を X1 ピン (GPIO80) に配線
- XTAL_OUT を X2 ピン (GPIO81) に配線

25MHz CRYSTAL

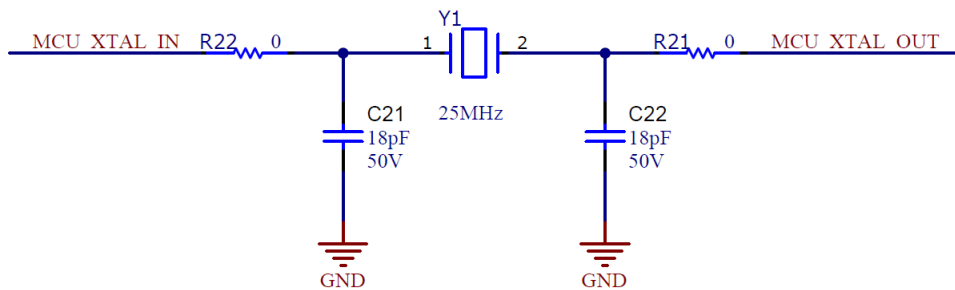


図 2-15. AM13E230x XTAL 回路

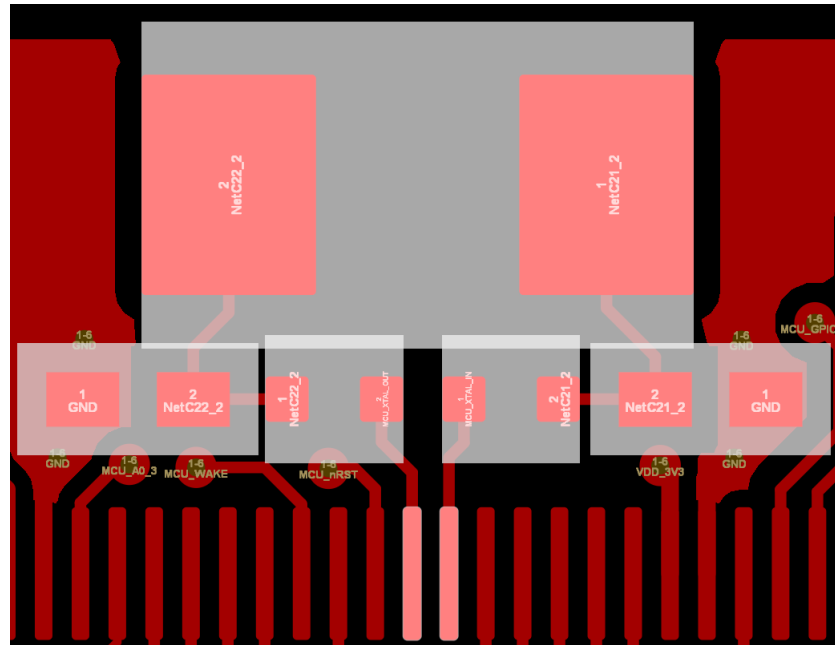


図 2-16. AM13E230x controlSOM 水晶振動子回路 — 最上層

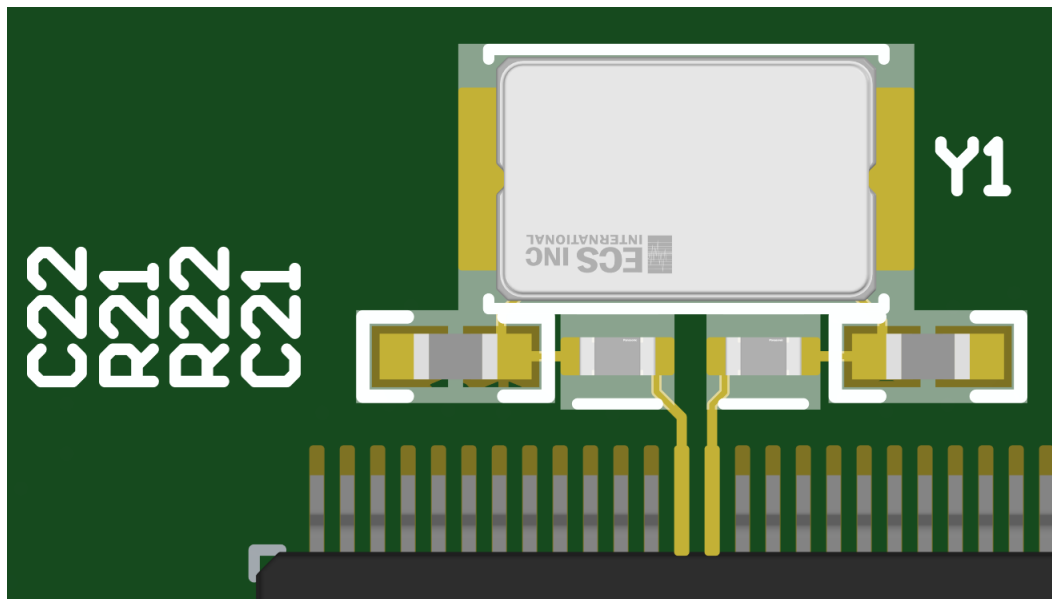


図 2-17. AM13E230x controlSOM 水晶振動子回路 — 3D ビュー

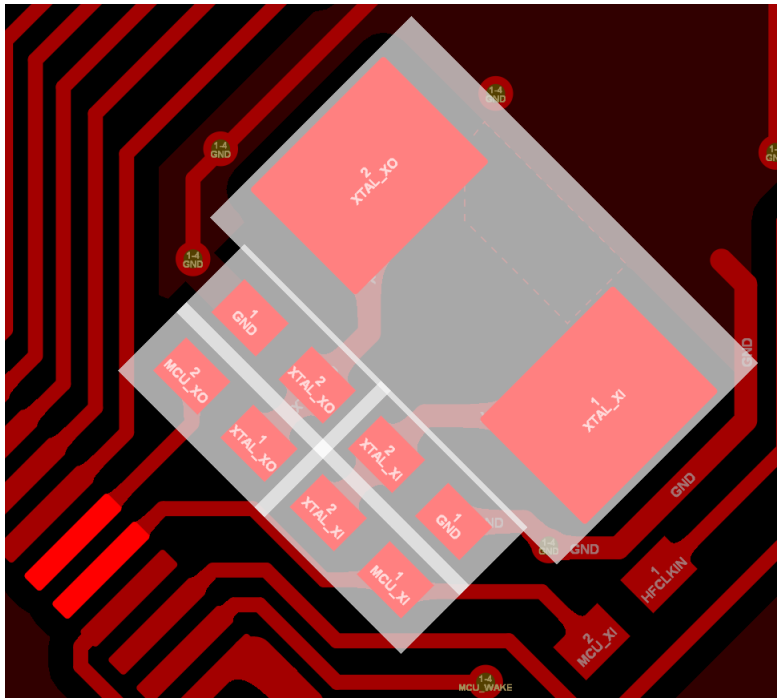


図 2-18. AM13E230x LaunchPad 水晶振動子回路 — 最上層

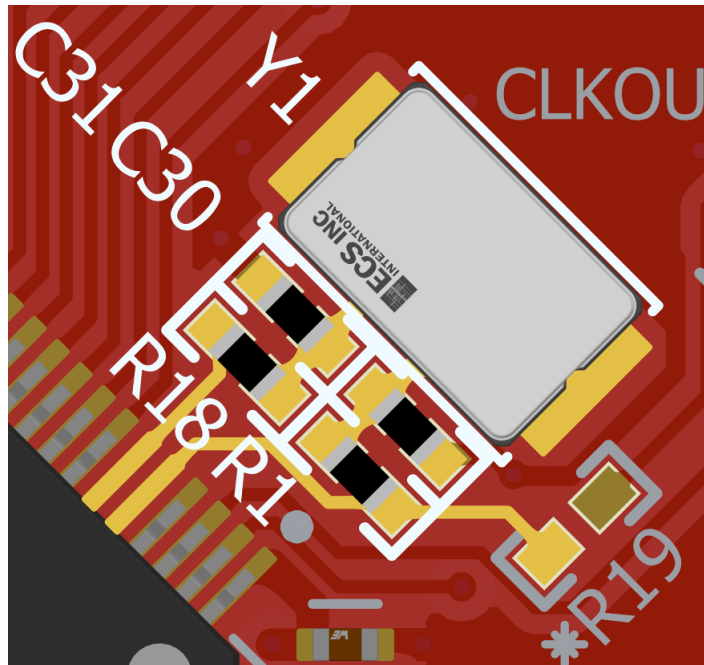


図 2-19. AM13E230x LaunchPad 水晶振動子回路 — 3D ビュー

以下の表に、水晶発振器を使用する場合の PCB の配線ガイドラインを示します。

表 2-14. 水晶振動子の配線ガイドライン

カテゴリ	ガイドライン
配置	<ul style="list-style-type: none"> 水晶振動子は、X1/X2 ピンにできる限り近づけて配置してください マイコンへのパターンが最も短く、最も直接的になるように、水晶振動子の向きを調整してください 水晶振動子は、高速信号、電源、ノイズの多いデジタル信号から遠ざけてください マイコンと同じ層に配置してください
トレース	<ul style="list-style-type: none"> トレースはできる限り短くします (10mm 未満が最適) 両方の水晶振動子ピンへのトレースは同じ長さにする必要があります より広いトレースを使用してインピーダンスを低減します 90 度の角度は避け、45 度を使用してください 単層で配線してください
グラウンド	<ul style="list-style-type: none"> 回路の下にある GND プレーンへの複数のビアを使って、水晶振動子回路の周囲に GND を配置します
負荷コンデンサ	<ul style="list-style-type: none"> 負荷コンデンサは、水晶振動子にできる限り近づけて配置してください 負荷コンデンサは、短いトレースでソリッドな GND プレーンに直接接続します
絶縁	<ul style="list-style-type: none"> 水晶振動子領域の直下に他の信号トレースを配線しないでください デジタル信号を水晶振動子のトレースと並行に配線しないでください

2.8.3 デジタル クロック入力

水晶発振器を使用する代わりに、4 ~ 48MHz のデジタル クロック信号を高周波クロック ソースとして使用できます。AM13E230x IOMUX は、適切なデバイス ピンで HFCLK_IN 機能を有効にするように構成する必要があります。HFCLK_IN 機能を使用するようにデバイスを構成する方法の詳細については、『テクニカル リファレンス マニュアル』の「HFCLK_IN (デジタル クロック)」セクションを参照してください。

HFCLK_IN は、デジタル方形波 CMOS クロック入力と互換性があり、標準デューティ サイクルは 50% である必要があります。AM13E230x LaunchPad は、マイコンのこの機能を評価するためにデジタル クロック ジェネレーターを接続するための外部ヘッダを搭載しています。

注

HFCLK_IN と XTAL は相互に排他的であり、同時にイネーブルにすることはできません。

2.8.4 出カクロック生成

AM13E230x マイコンには、デバイスから外部回路またはデバイスの周波数クロック カウンタ (FCC) にデジタル クロック 信号を送信するためのクロック出力ユニット (CLK_OUT) があります。FCC の詳細については、『テクニカル リファレンス マニュアル』の「周波数クロック カウンタ」セクションを参照してください。

CLK_OUT 機能をサポートするように構成されたデバイス ピンには、柔軟なソース選択肢があり、プログラマブル分周器が含まれています。CLK_OUT のクロック ソースの全リストについては、『テクニカル リファレンス マニュアル』の「外部クロック出力 (CLK_OUT)」セクションを参照してください。

AM13E230x LaunchPad は、オシロスコープに接続し、出力クロック信号を測定するための外部ヘッダを搭載しています。

2.9 デバッグとエミュレーション

AM13E230x デバッグ インターフェイスは、外部デバッグ プローブをデバイス コアに接続し、デバイスをプログラミングし、プラットフォームの起動時にデバイスの健全性をチェックするために、外部ヘッダに配線される必要があります。

AM13E230x マイコンは、複数のクラスの JTAG およびシリアル ワイヤ デバッグ エミュレータをサポートしています。AM13E230x LaunchPad 設計では、すぐに使える利便性を高めるために、JTAG と TI の MSP432 マイコンを実装した

補助的な UART-USB ブリッジを備えたオンボード XDS110 エミュレータを実装しています。同じ XDS110 エミュレーション方式を、XDS110ISO-EVM デバッグプローブを使用して AM13E230x controlSOM と接続します。ただし、カスタムの特定用途向け PCB システムの場合、PCB のフットプリントを最小限に抑え、追加のオンボード配線を削減しながら、迅速なプロトタイピングとシステムプログラミングを実行するために、よりシンプルな JTAG、SW-DP、または Trace デバッグヘッダを実装する必要があります。これにより、開発時に必要に応じて外部デバッグプローブをシステムに接続できます。

2.9.1 デバッグインターフェイス

2.9.1.1 JTAG と SW-DP

JTAG とシリアルワイヤ デバッグポート (SW-DP) は、JTAG-DP と SW-DP を組み合わせたものであり、SWD または JTAG プローブと直接接続することで、デバイスのコアに接続できます。このインターフェイス (SWJ-DP と呼ばれます) を使用するには、AM13E230x マイコンから以下の 4 つのピンが配線されている必要があります。

- TDO (JTAG モードのみ)
- TDI (JTAG モードのみ)
- TMS/SWDIO (SWD モードの場合 SWDIO、JTAG モードの場合 TMS)
- TCK/SWCLK (SWD モードの場合 SWCLK、JTAG モードの場合 TCK)

JTAG 信号の全定義については、『テクニカルリファレンスマニュアル』の「JTAG デバッグポート (JTAG-DP)」セクションを参照してください。

SW-DP 信号の全定義については、『テクニカルリファレンスマニュアル』の「シリアルワイヤ デバッグ (SWD) デバッグポート (SW-DP)」セクションを参照してください。

デバイスの電源がオン (コールドスタート) した後、以下のピンは JTAG/SWD モードに構成され、デバッグ接続を確立できます。

表 2-15. JTAG/SWD 信号ピン

JTAG/SWD 信号	GPIO ピン番号	プルアップ/プルダウン
TDI	GPIO14	PU
TDO/SWD	GPIO15	PU
TMS/SWDIO	GPIO19	PU
TCK/SWCLK	GPIO13	PD

TI は、外部デバッグプローブを AM13E230x マイコンと接続するために、[ARM Cortex 10 ピン デバッグ コネクタ](#)の使用を推奨します。このコネクタは、ほとんどの業界標準デバッグプローブと互換性があり、JTAG モードとシリアルワイヤモードの両方に対応しています。コネクタの型番情報については、[ARM コネクタのマニュアル](#)を参照してください。

AM13E230x LaunchPad には、このヘッダ (FTSH-105-01-L-DV-K) が含まれており、外部デバッグプローブを接続できます。

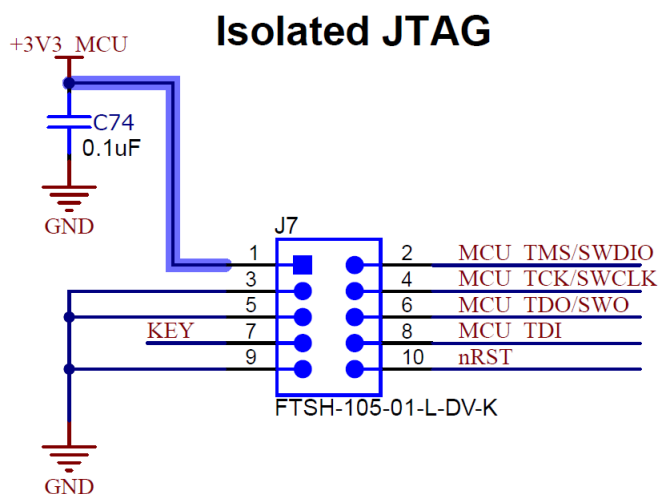


図 2-20. LP-AM13E230 デバッグ ヘッダ

JTAG ヘッダを配置するとき、ヘッダとマイコンの間の距離を 6 インチ以下にする必要があります。マイコンターゲットと JTAG ヘッダが 6 インチよりも離れている場合や、JTAG チェーン上に他のデバイスが存在する場合は、各 JTAG 信号にバッファを配置する必要があります。

2.9.1.2 トレース

AM13E230x マイコンの 128 ピン、100G ピン、100H ピン パッケージで 4 ビットトレースをサポートしています。オンデバイスの組込みトレース マクロセル (ETM) は、64 ビットのサイクル精度のタイムスタンプ カウンタを使用して、全命令プログラムカウンタトレースをストリーム出力します。ETM の有効化の詳細については、『テクニカル リファレンス マニュアル』の「外部トレース (ETM)」セクションを参照してください。

TI は、ETM 信号とのインターフェイスには [ARM Cortex 20 ピン デバッグ + ETM コネクタ](#) を推奨します。また、このコネクタは、個別のピンで JTAG および SW-DP インターフェイスもサポートしています。型番情報については、[ARM コネクタのマニュアル](#) を参照してください。

AM13E230x controlSOM には、このヘッダ (FTSH-110-01-L-DV-K) が含まれており、外部プローブを接続できます。

ARM 20-PIN DEBUG HEADER

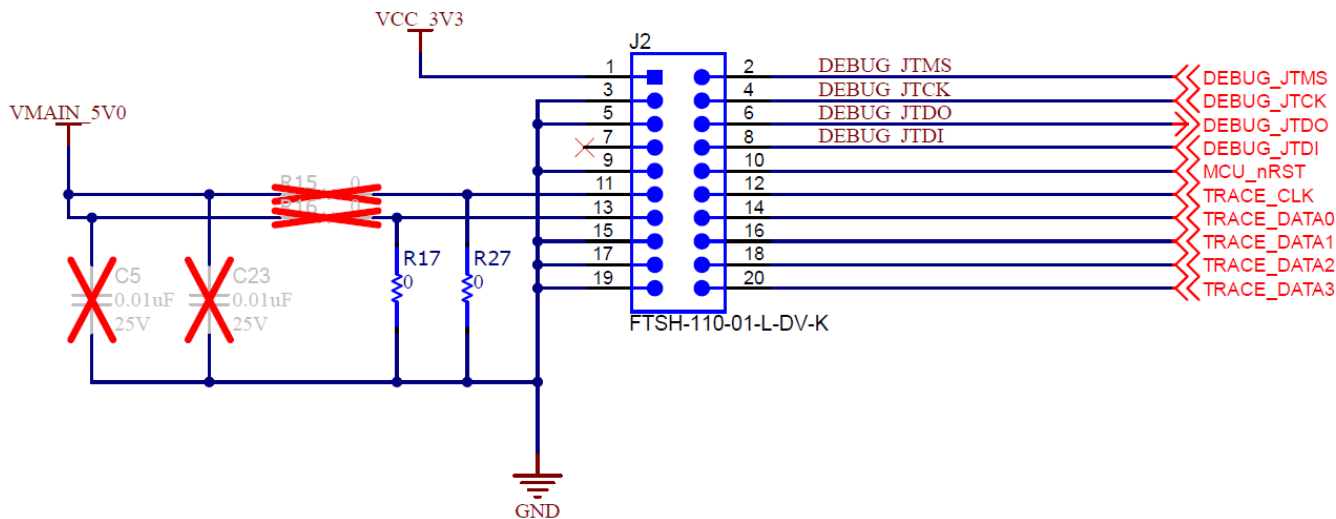


図 2-21. AM13E230x controlSOM デバッグ ヘッダ

2.9.2 デバッグプローブ

AM13E230x マイコンは、TI と業界標準の複数のデバッグ プローブと統合開発環境 (IDE) をサポートしています。以下を推奨します。

表 2-16. サポート対象のデバッガと IDE

デバッグ プローブ	説明	サポート対象の IDE
テキサス・インスツルメンツ XDS110	TI が推奨する、エントリーレベル、低コストのデバッグ プローブ。	CCS, IAR
IAR I-JET	JTAG と SWD/SWO を経由する高速デバッグ プラットフォームこの製品はターゲットの消費電力を高精度で測定し、IAR Embedded Workbench 環境で Power debugging (電力関連のデバッグ機能) を実行可能にします。	IAR
Keil ULINK	Cortex-M デバイス用デバッガ。プロセッサがフルスピードで動作している間に、プロセッサの制御、ブレークポイントの設定、メモリ内容の読み取り / 書き込みが可能です。	Keil

2.10 ブート インターフェイス

AM13E230x ブートローダーは、以下のペリフェラル インターフェイスを経由してこのデバイスにプログラムできます。

- UART
- I2C
- MCAN

AM13E230x ブートローダーの詳細については、『AM13E230 ブートローダー ユーザー ガイド』を参照してください。

2.10.1 UART ブートローダー

AM13E230x デバイスでは、デバイス ROM コードによって UART が以下のデフォルト設定に構成されています。

表 2-17. デフォルトの UART ピン

UART 信号	デバイス信号名	ピン名	GPIO #	マルチプレクサ モード
UART RX	UC4_RX_SCL_SCLK	PA1	GPIO1	7
UART TX	UC4_TX_SDA_PICO	PA0	GPIO0	7

- ボーレート:9600

これらの信号をヘッダで利用できるようにすることで、プロトタイプ システムのデバッグや、電源投入時にデバイスが適切に起動することを確認するのに役立ちます。これらの理由から、PCB システム上でこの UART インターフェイスにアクセスできるようにすることを強く推奨します。

2.10.2 I2C ブートローダ

ブートローダをプログラムするために、デバイスの ROM コードによって、以下の I2C ピンが設定されます。

表 2-18. I2C ピン

I2C 信号	デバイス信号名	ピン名	GPIO #	マルチプレクサ モード
I2C SCL	UC2_RX_SCL	PA23	GPIO23	4
I2C SDA	UC2_TX_SDA	PA22	GPIO22	4

I2C のオープンドレイン特性により、SCL ピンと SDA ピンは、4.7kΩ 抵抗を使用して VDD にプルアップする必要があります。

2.10.3 MCAN ブートローダ

ブートローダをプログラムするために、デバイスの ROM コードによって、以下の MCAN ピンが設定されます。

表 2-19. MCAN ピン

MCAN 信号	デバイス信号名	ピン名	GPIO #	マルチプレクサ モード
MCAN RX	MCAN0_RX	PA11	GPIO11	10
MCAN TX	MCAN0_TX	PA12	GPIO12	10

MCAN のハードウェア設計要件の詳細については、本資料の「MCAN」セクションを参照してください。

2.11 未使用のピン

多くの場合、アプリケーションやシステムでは AM13E230x デバイスのパッケージのピン配置をすべて使用することはありません。未使用ピンについては、デバイス固有のデータシートの「ピン接続要件」セクションに概説されている具体的な要件を参照してください。

3 PCB レイアウト設計

システム回路図を作成し、すべてのエンジニアリング仕様を満たしていることを検証したら、次は PCB 設計ソフトウェアで PCB レイアウトを作成します。TI 評価基板は、Altium Designer を使用して設計されています。AM13E230x マイコンシステムの適切に検証された例として、TI 評価基板の設計要素を再利用できます。

3.1 レイアウト設計の概要

PCB システムの適切な機能と信頼性を確保するためには、適切なレイアウト手法を導入する必要があります。基板の物理的な寸法、PCB の制約、主要部品など、基板のすべての要素を総合的に考慮する必要があります。システムの回路図設計部分が正しい信号接続を示しているとしても、回路の物理的な実装は、以下のセクションで概説するガイドラインと推奨事項に従う必要があります。

3.1.1 推奨されるレイアウト方法

AM13E230x リアルタイム制御システムには通常、低レベルアナログ、高速デジタル、および大電力 (スイッチング) 回路が含まれます。これらの異なる種類の信号をそれぞれ区切り、PCB 上で分離することを推奨します。大電流バスと高周波信号はアナログ信号に干渉する可能性があるため、アナログ信号は他の 2 種類の信号に対して最も敏感です。

このため、マイコンのピン配置を設計するときは細心の注意を払うことが重要です。マイコンのピンを信号に割り当てるときは SysConfig ツールの使用を強く推奨するのはそのためです。これらのタイプの信号をマイコンのピン配置レベルでグループ化することで、信号配線が簡単になり、最適化がさらに容易になるだけでなく、マイコン パッケージからファンアウトされた後に異なる信号タイプを分離することを保証できます。

3.1.2 基板寸法

PCB の寸法は、システムと最終製品の用途に大きく依存します。PCB は、少数のデバイスで構成された AM13E230x controlSOM 評価基板のような小基板型から、追加のオンボード IC や部品を搭載した AM13E230x LaunchPad 評価基板のような大型基板まで多岐にわたります。可能であれば、設計プロセスを簡素化し、トレースの配線や信号の分離を容易にするために十分な PCB 領域を確保してください。信号層で信号を十分に分離できない場合は、適切な絶縁を確保するために PCB 層を追加できます。

3.1.3 層のスタックアップ

PCB 層のスタックアップを計画する際には、電気設計と実用的な観点の両方から、複数の検討事項があります。接続数、信号配線の種類、最上層 / 最下層の部品利用率は最優先事項とすべきですが、PCB の製造コストは層数を決定する上で重要な要素となることがよくあります。

3.1.3.1 4 層スタックアップ

AM13E230x マイコンは 6 つのパッケージ サイズで提供され、これらすべては 4 層 PCB で合理的な配線が可能です。この層数を使うことで、設計者は内部層にソリッドなグランドプレーンと分離電源プレーンを含めることができ、同時に上層と下層を信号配線に利用できます。

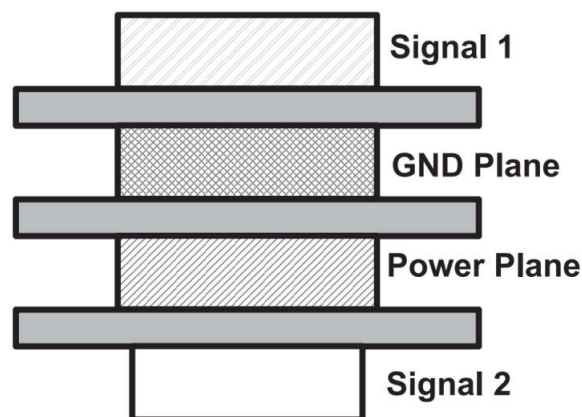


図 3-1. 4 層 PCB スタックアップ

表 3-1. 4 層 PCB スタックアップ

基板面	使用例
銅 1 (上面)	上層の実装と信号配線
銅 2	GND リターン プレーン
銅 3	電力ルーティング
銅 4 (底面)	下層の実装と信号配線

AM13E230x LaunchPad スタックアップは、このマイコン デバイス ファミリー向けに TI が検証した最も最適化されたスタックアップ例です。

表 3-2. 評価基板スタックアップの特長

PCB の特性	64 ピン QFP (LaunchPad)
総層数	4
PCB の厚さ	62mil ±10%
信号 / 電源層には隣接する GND リファレンスを持つ	あり
コア センター層の厚さ	40mil

AM13E230x LaunchPad は、各 PCB 層で以下のルーティングを行います。

#	Name	Material	Type	Weight	Thickness	Dk
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask		0.01016mm	3.5
1	Top Signal		Signal	1oz	0.03556mm	
	Dielectric 1	FR-4	Prepreg		0.2032mm	4.2
2	GND		Signal	1oz	0.03556mm	
	Dielectric 2	FR-4	Core		1.016mm	4.2
3	PWR		Signal	1oz	0.03556mm	
	Dielectric 3	FR-4	Prepreg		0.2032mm	4.2
4	Bottom Signal		Signal	1oz	0.03556mm	
	Bottom Solder	Solder Resist	Solder Mask		0.01016mm	3.5
	Bottom Overlay		Overlay			

図 3-2. 4 層 AM13E230x PCB システム スタックアップ

3.1.3.2 6 層スタックアップ

すべてのデバイス I/O を使用する場合、AM13E230x controlSOM 評価基板など、128 ピン QFP を使用した設計で 6 層 PCB が必要になる可能性があります。

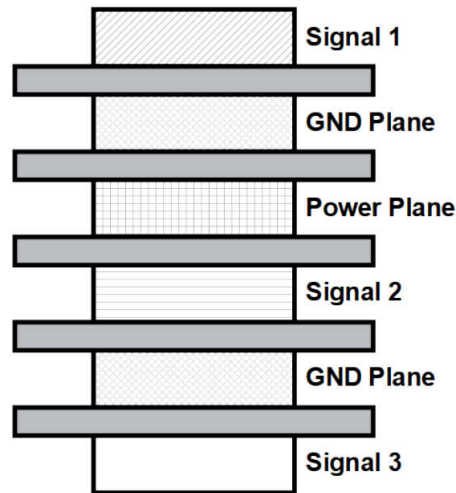


図 3-3. 6 層 PCB スタックアップ

表 3-3. 6 層 PCB スタックアップ

基板面	使用例
銅 1 (上面)	上層の実装と信号配線
銅 2	GND リターン プレーン
銅 3	アナログ信号の配線
銅 4	電力ルーティング
銅 5	GND リターン プレーン
銅 6 (底面)	下層の実装と信号配線

AM13E230x controlSOM は 6 層構造です。デバイスのピン数が多いため、内部信号配線層を追加することで、感度の高いアナログ信号を層 1 と層 6 のデジタル信号配線から配線および分離します。これにより、配線されたペリフェラルのアナログ性能が向上することが示されています。

表 3-4. 評価基板スタックアップの特長

PCB の特性	128 ピン QFP (controlSOM)
総層数	6
PCB の厚さ	62mil ±10%
信号 / 電源層には隣接する GND リファレンスを持つ	あり
コア センター層の厚さ	28mil

AM13E230x controlSOM は、各 PCB 層で以下のように配線されます。

#	Name	Material	Type	Weight	Thickness	Dk
	Top Overlay		Overlay			
	Top Solder	Solder Resist	Solder Mask		1mil	3.5
1	L01_Top Layer		Signal	1oz	2.087mil	
	Dielectric 1	IT180A Prepreg 2113...	Prepreg		3.511mil	4.13
2	L02_GND1		Signal	1oz	1.26mil	
	Dielectric 2	IT180A 4 mil core H/1	Prepreg		4mil	4.4
3	L03_SIG1		Signal	1oz	0.689mil	
	Dielectric 3	IT180A Prepreg 106...	Prepreg		1.909mil	3.79
	Dielectric 4	IT180A Prepreg 1080...	Prepreg		2.904mil	3.86
	Dielectric 5	IT180A 28 mil core H...	Prepreg		28mil	4.53
	Dielectric 6	IT180A Prepreg 1080...	Prepreg		2.904mil	3.86
	Dielectric 7	IT180A Prepreg 106...	Prepreg		1.909mil	3.79
4	L04_PWR1		Signal	1oz	0.689mil	
	Dielectric 8	IT180A 4 mil core H/1	Prepreg		4mil	4.4
5	L05_GND2		Signal	1oz	1.26mil	
	Dielectric 9	IT180A Prepreg 2113...	Prepreg		3.511mil	4.13
6	L06_Bottom Layer		Signal	1oz	2.087mil	
	Bottom Solder	Solder Resist	Solder Mask		1mil	3.5
	Bottom Overlay		Overlay			

図 3-4. 6 層 AM13E230x PCB システム スタックアップ

3.2 ビア

AM13E230x 評価基板は、デバイスのファンアウトとボード全体の配線に関するさまざまなビア構造の例を示します。これらの評価基板は、PTH (めっきスルーホール) ビア構造を使用しています。

表 3-5. AM13E230x 評価基板のビアの種類

EVM	ビアタイプ	直径 (mil)	ビアドリル (mil)	その他
AM13E230x LaunchPad	PTH	18	10	テント型
AM13E230x controlSOM	PTH	18	8	テント型

一般的に、コスト重視のプロジェクトでは、ビアドリル サイズを大きくすることを目標としています。

3.3 推奨されるボードレイアウト

基板上に配線された信号にクロストークが発生したり性能が低下したりしないようにするため、<Figure> に示すように基板を分割することをお勧めします。<section> で説明したように、3 種類の信号 (デジタル、アナログ、大電流) はすべて、PCB 上で分離する必要があります。

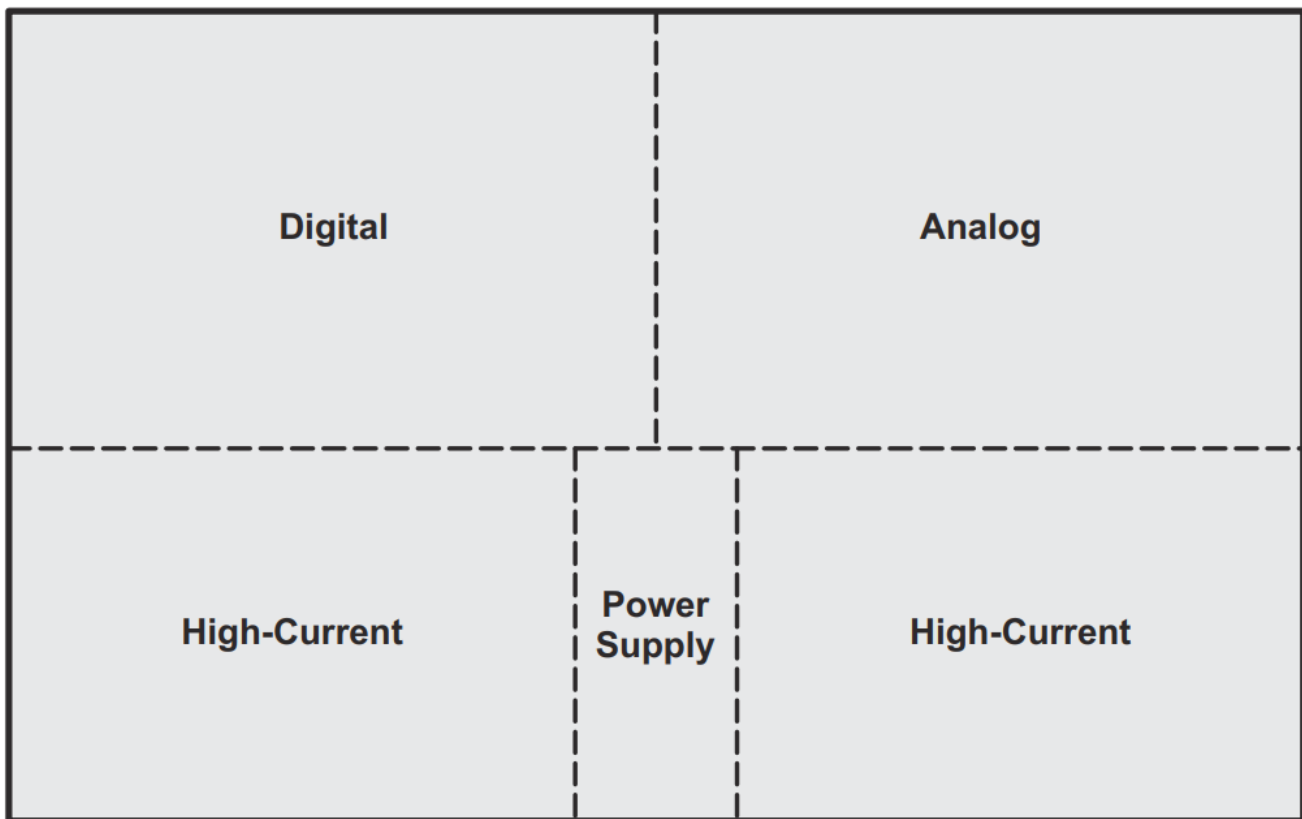


図 3-5. 最適な PCB 分割設計

3.4 部品の配置

PCB フロアプランを設定したら、最初の (そして最も重要な) ステップは AM13E230x マイコンの位置を決定することです。パッケージの向きは、配線を最適化し、マイコンと外部接続間のトレースを短く直接的に保てるように考慮する必要があります。支障がなければ、マイコン デバイスを AM13E230x LaunchPad のように 45 度の角度で配置して、デバイスのピンを信号トレース接続に合わせるすることができます。

マイコン デバイスを設定した後、次に配置する最も重要な部品は水晶振動子 / 発振器です。実装の詳細と例については、本資料の [セクション 2.8](#) セクションを参照してください。

次に、デバイスの電源ピンに対応する複数のデカップリング コンデンサを配置する必要があります。ノイズを低減し、デバイスの電源回路の安定性を確保するため、これらのコンデンサは、それぞれのピンにできる限り近づけて配置する必要があります。電源ピンから 1 インチ以上離れた場所にデカップリング コンデンサを配置すると、性能が低下します。ただし、バルク コンデンサは、マイコンから比較的離れた場所に配置しても、性能に大きな影響を及ぼしません。実装の詳細と例については、本資料の [セクション 2.6.2](#) セクションを参照してください。

電源レールのデカップリングに続いて、デバッグ ヘッド / 回路とリセット ロジックを配置して配線します。

3.5 グランド プレーン

PCB 上の銅プレーンは優れた高周波コンデンサであり、推奨されるコンデンサとともに、高周波バイパスに使用できます。固体プレーンのもう 1 つの利点は、良好なヒートシンクとして機能し、過剰な熱レベルを下げるができることです。基板の層が大きい場合は、PCB 上にグラウンドを配置することをお勧めします。グラウンド プレーンは、基板上のグラウンド信号を配線しやすくするだけでなく、グラウンド ノイズの低減にも役立ちます。基板上の各信号にはリターン電流 (GND 経由) があり、これにより、リターンパスが最小インピーダンスのパスを通過するようになります。異なる層に複数のグラウンド プレーンを持つ基板の場合、ビア スティッチングを使用してこれらのグラウンド プレーンを接続すると、インピーダンスをさらに低減できます。

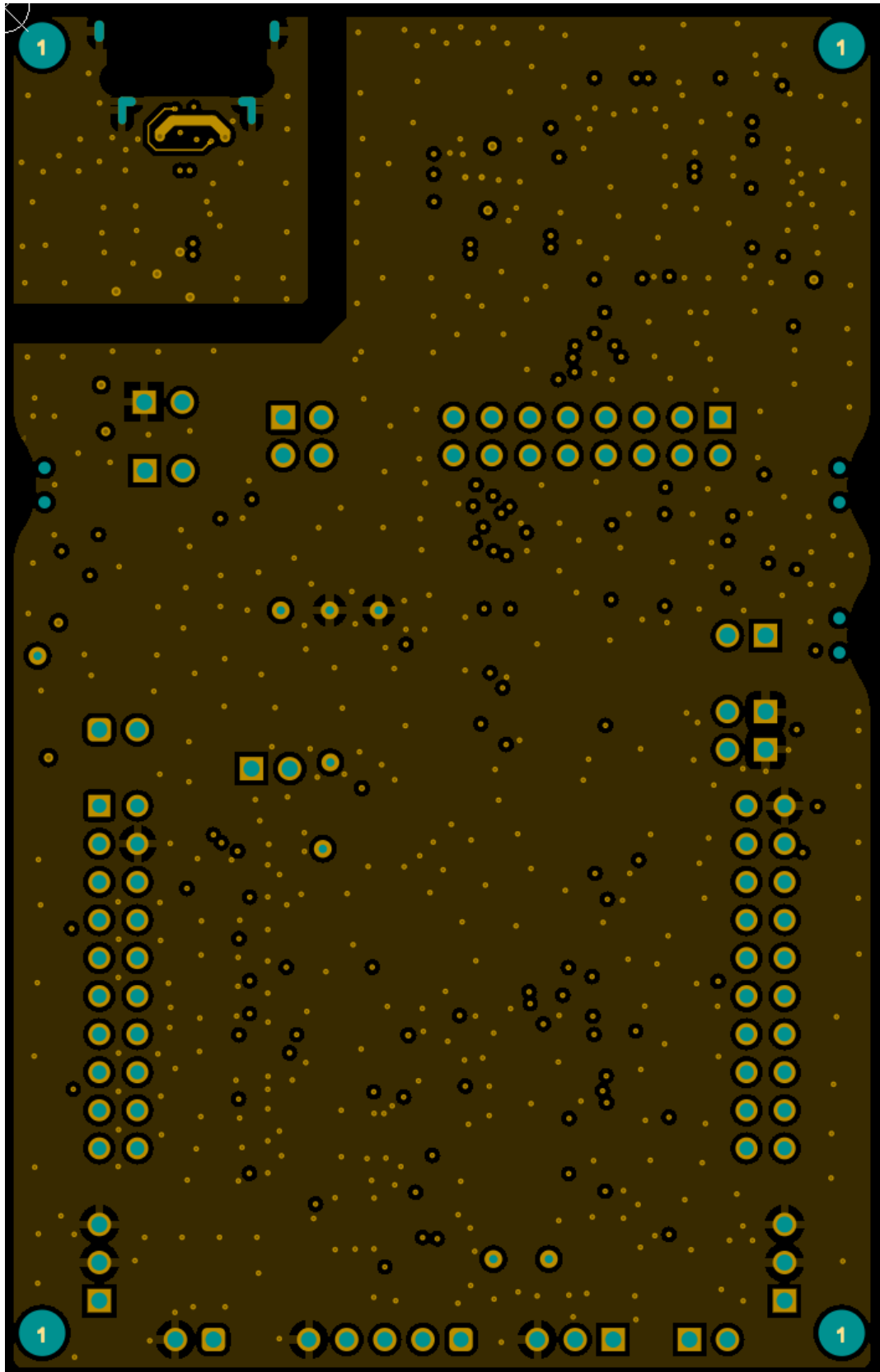


図 3-6. AM13E230x LaunchPad の GND プレーン

効果的なグランド プレーンのために重要となるのは、プレーンがそのまま維持され、基板の層全体にわたって良好な接続があるようにすることです。ビアやトレースなどのオンボード接続により、グランド層が切断され、効果が低減されることがあります。ビアは基板の複数の層を貫通する穴を作成し、トレースはグランド プレーンの複数の部分の間の接続を遮断する可能性があります。下の左の図では、PGND ビアはグランド プレーンに 1 つの接続のみを持ち、周囲のグランド ポア接続は非常に幅が狭くなっています。また、図 4-8 では、ポアの左上が銅の薄片を介してのみ、注入口の左下に接続されています。これらの図はどちらも、望ましくないグランド プレーンの例を示しています。ビアとトレースを再配置して、幅の狭いグランド プレーン接続がなく、グランド ポアが切断されていないことを確認すると有益です。

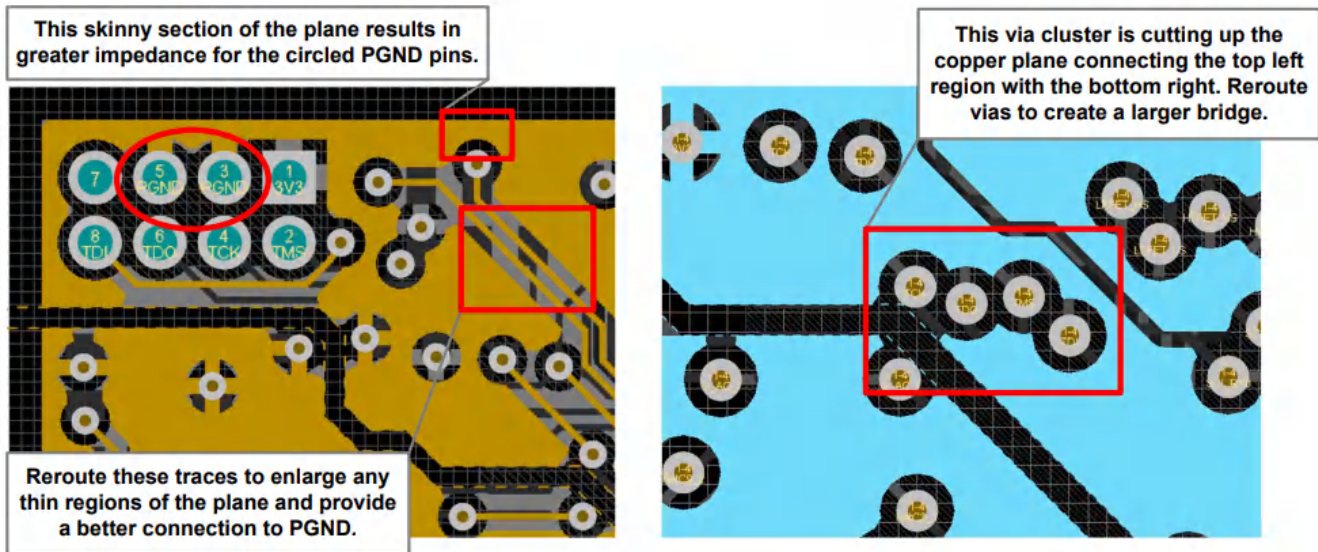


図 3-7. カットアップ GND プレーンの例

グランド プレーンを層に適用する場合は、プレーン全体で良好な接続が得られることを確認します。プレーンが不足している領域や接続の幅が狭い領域を再設計し、グランド プレーン領域を最大化する必要があります。通常これは、ビアの数を減らし、トレースのグループを近づけて配線することで達成できます。場合によっては、PinMux での選択と回路図を変更して、配線を改善すると役立つことがあります。これらの利点がレイアウトの配線プロセスを開始するまで明らかにならない場合もありますが、PinMux を最適化すると、トレース長が短くなり、ビアの使用量が削減されるため、グランド プレーンが向上する可能性があります。

3.6 信号配線トレース

C2K ガイドを参照してください。

3.7 熱に関する注意事項

AM13E230x データシートの推奨最大消費電力を超えるシステムおよび最終製品では、PCB 設計に追加の放熱が必要になる場合があります。熱に関する主な問題は、デバイスの接合部温度 (TJ) です。この仕様は、デバイスのデータシートに概説されているように、絶対値および推奨値の範囲内に維持されるように慎重にテストする必要があります。これにより、デバイスの寿命全体にわたって信頼性が高く機能的な動作が保証されます。熱に関するもう 1 つの問題は、システムの周囲温度 (TA) です。ただし、これは最終アプリケーション環境と製品設計によって異なります。

PCB システムの設計全体を通して TJ を最小限に抑えるために、基板から周囲への熱抵抗 (Θ_{BA}) をできるだけ小さくする必要があります。デバイスのグランドおよび電源ピンが主な放熱源です。したがって、デバイスにサーマルパッドピンがある場合は (48 ピン QFN パッケージのみ)、PCB 上の大きな銅領域に接続するようにしてください。その他すべての AM13E230 QFP パッケージ タイプについては、すべての GND ピンおよび電源ピンがソリッドプレーンに良好に接続されており、これらのネット上にある任意のビアが AM13E230x デバイスの近くにあることを確認してください。

4 EOS、EMI/EMC、ESD に関する検討事項

どの電気システムでも、外部の電磁要因が及ぼす可能性のある影響を考慮し、任意の影響を制限して低減するための手順を実行することが重要です。この手順で十分な注意を払わないと、性能および信頼性が低下し、部品の損傷を招くおそれがあります。

4.1 電氣的オーバーストレス

AM13E230x データシートには、デバイスが適切かつ高信頼性で機能することが予想される推奨条件と最大条件について詳細に記載されています。AM13E230x デバイスを使用するときに注意する必要がある最も重要な検討事項について、ポイントの詳細を以下に示します。

- GPIO 入力電圧は、 $VDD + 0.3V$ を上回る、または $VSS - 0.3V$ を下回ることはできません
- アナログ入力電圧は、 $VDDA + 0.3V$ を上回る、または $VSSA - 0.3V$ を下回ることはできません
- デジタルおよびアナログのすべての入力ピンについて、入力クランプ電流は $20mA$ を上回る、または $-20mA$ を下回ってはけません。
- ピンごとの連続クランプ電流は $\pm 2mA$ です。ただし、この条件で連続的に動作すると、 $VDD/VDDA$ 電圧が内部で上昇し、他の電氣的仕様に影響を及ぼすおそれがあるため、連続動作は避けてください。
- AM13E230x の電源投入および起動前に電力が供給される可能性のある信号や I/O について、データシートに記載されている仕様を信号が超えないように電流を制限し、保護する必要があります。
- デバイスが損傷するリスクを排除するために、 $3.3V$ のパワー オペアンプ、ステアリング ダイオード、直列抵抗、またはこれら 3 つを組み合わせる必要があります。

4.2 EMI および EMC

電磁両立性 (EMC) とは、他のシステムからの干渉や外乱が発生した場合でも、電子部品が適切に機能する能力を意味します。最も考慮すべき点は電磁干渉 (EMI) です。EMI とは、マイコン デバイスや付近にある他のデバイスによって放射される無線周波数エネルギーです。この種の妨害は、伝導や放射によりシステム全体に伝搬し、デバイスに影響を及ぼす可能性があります。

EMC リスクを最小化するうえで、システム自体への EMI の影響を低減することを最優先する必要があります。ただし、放射と伝導の両方においてシステムから放射される EMI が、ローカルの規制規格で許容される最大値を超えないようにすることも重要です。設計上のこの容易に対処可能な要因によるプロジェクトの遅延を回避するために、放射 EMI と伝導 EMI を、認定基準をはるかに下回るレベルまで最小限に抑えることが推奨されます。同様に、周囲にある他のシステムから EMI エネルギーが放射および伝導された場合でも適切に機能するように、PCB システムには十分なシールドを設計する必要があります。

PCB、コネクタ、ケーブルなど、システム部品のほとんどは、EMI の発生源となります。高周波と高速スイッチングの電流および電圧を使用する PCB システムでは、すべての信号トレースが電磁エネルギーをよく放射するアンテナとして機能するため、特別な注意が必要です。

設計者が最小化する必要のある 5 つの主な放射線源は、次のとおりです。

1. PCB トレース上で伝搬するデジタル信号
2. 電流リターン ループ領域
3. 電源のフィルタリングやデカップリングが不適切
4. 伝送ラインの影響
5. 電源プレーンおよびグランド プレーンの不足

電源は EMI のもう 1 つの主な要因です。特に、電源がスイッチングを行っている場合、またはマイコン デバイスからの PWM 信号出力を使用してスイッチングされている場合です。製品のデータシートに記載されている各電源の推奨レイアウトに従うことが重要です。

PCB システムとその部品から発生する不要な EMI を低減するため、回路図と PCB レイアウトの設計プロセス全体で以下のガイドラインに従ってください。

- IC デバイスへのすべての電源入力にデカップリング コンデンサを使用してください。各 IC データシートに記載されている推奨コンデンサ値に従ってください。すべてのコンデンサに自己共振周波数があることに注意してください。

- 電源に適切なフィルタ コンデンサを配置してください。これらのコンデンサの等価直列インダクタンス (ESL) は低くする必要があります。
- PCB 配線層の利用可能なスペースにグランド プレーンを作成します。これらのグランド ポリゴンを、ビアを使用してメイン内部グランド プレーンに接続します。PCB 全体で 1/4 インチのビア グリッドを作成するのが理想的です。
- 電流ループは可能な限り小さくします。必要なデカップリング コンデンサをできるだけ多く追加します。ループ領域を減らすため、常に電流リターン ルールを適用します。
- 高速信号は他の信号から距離を置き、特に入出力ポートやコネクタから離して配置します。
- 電流リターン ルールを適用してグランドを互いに接続すると同時に、アナログ部分のグランド プレーンを絶縁します。プロジェクトで ADC を使用せず、アナログ回路が存在しない場合は、グランドを絶縁しないでください。
- グランド分離をフェライト ビーズに接続しないでください。高周波では、フェライト ビーズのインピーダンスが高くなり、プレーン間または PC 基板のスタックアップ間に大きなグランド電位差が生じるので、できるだけ多くの電源プレーンとグランド プレーンを追加します。電源プレーンとグランド プレーンを隣接させ、低インピーダンスのスタックアップまたは大きな自然容量のスタックアップを実現します。
- ボックスから出力されるすべての信号、またはボックスに入力されるすべての信号に EMI Pi フィルタを追加します。
- システムが EMI テストに不合格になった場合は、不合格となった周波数をトレースしてソースを特定します。たとえば、設計が 300MHz で不合格となったが、基板上にはその周波数で動作しているものはないとします。この場合、ソースは 100MHz 信号の 3 次高調波である可能性が高いと考えられます。
- 不合格となった周波数が同相モードと差動モードのどちらであるかを判定します。ボックスに接続されているすべてのケーブルを取り外します。放射が変化した場合は同相モードです。変化しなかった場合は差動モードです。次に、ソースに移動し、終端またはデカップリングを使用して放射を低減します。同相モードの場合は、入力と出力に Pi フィルタを追加します。ケーブルに共通チョークを追加するのは効果的なソリューションですが、EMI を低減するにはコスト高です。

4.3 静電気放電

電荷が蓄積されると、動作中にデバイスに静電気放電 (ESD) が発生する可能性があります。これらのマイクロコントローラを取り扱う際、保管するには注意が必要です。すべての AM13E230x デバイスは、ペリフェラルやポートピンを含め、テキサス・インスツルメンツの標準 ESD 仕様に準拠していることをテスト済みです。これらの製品について、以下の ESD 試験に耐えるよう評価されています。

- $\pm 2000\text{V}$ 時の人体モデル (HBM)
- $\pm 500\text{V}$ 時の荷電デバイス モデル (CDM)
 - すべてのデバイス パッケージのコーナー ピンについては、CDM 値は $\pm 750\text{V}$ です

電源電圧のグリッチまたは ESD により、デバイスは不明な状態になります。そのため、ノイズと ESD の性能を最適化するために、適切な PCB レイアウトを採用することが重要です。同様の ESD 保護ダイオードを JTAG ピンにも使用できません。重要なトレースのループ領域 (この場合は JTAG、nRST、X1、X2) はできるだけ小さくしてください。GPIO などのピンを (外部接続用の) コネクタに接続する必要がある場合は、ESD 保護部品を追加して、特別な ESD 対策を適用してください。一部のシステムでは、ESD 保護を維持するために、金属シールド、ケーブルの再配線などの機械的な修正が必要になる場合があります。これらの外部 ESD 保護デバイスを使用する場合は、デバイスのデータシートに記載されているレイアウトのガイドラインに従って、その効果が最大になるようにしてください。

5 まとめとチェックリスト

AM13E230x マイコンを搭載した PCB システムを設計する際に最適な性能を実現できるよう、この資料で概説した仕様に
応じて、システムを注意深く設計、テストする必要があります。回路図設計プロセスを容易にするために、TI では、リアル
タイム制御マイコンの AM13E230x ファミリーを使用して設計する際の最も重要な要件をまとめたチェックリスト スプレッドシ
ートを提供しています。このチェックリストにアクセスするには、お近くの TI フィールド セールス担当者にお問い合わせく
ださい。

6 参考資料

- [AM13E230x マイコン データシート](#)
- [AM13E230x マイコン テクニカルリファレンス マニュアル](#)

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2026 年 3 月	*	初版リリース

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月