参考資料

Application Note

TAS278X の回路図とレイアウトのガイドライン

Arthur Brown

概要

オーディオ アプリケーションでは、外部条件によってデバイスに生じる可能性のあるノイズの影響を常に最小限に抑えることが重要です。すべてのオーディオ アンプには、クリーンで安定した電源、絶縁されインピーダンス制御されたデジタル入力、およびクリーンで低インピーダンスのグランド帰路が必要です。これらを確保しなければ、デバイスの安定性の問題が生じ、THD+N が高くなったり、PSRR が低下する可能性があります。大電流スイッチング Class-D アンプと低電圧の複合デジタル信号プロセッサを組み合わせた最新の統合型 DSP スマート アンプでは、優れた性能を発揮させるために、部品選定と PCB レイアウトに注意を払うことが重要です。

この資料では、TAS2781、TAS2783A、TAS2785 に対応する実用的で最適化された PCB の設計とレイアウトについて解説しています。本書に従うことで、システム固有の要件に関係なく、ノイズの問題、出力電力、デバイスの安定性を最適化することができます。

目次

1 概要.....2
2 詳細説明.....2
2.1 代表的なアプリケーションのブロック図.....2
2.2 代表的な回路図.....4
2.3 レイアウトに関するベスト プラクティス.....9
3 PCB の層数.....17
4 まとめ.....22
5 参考資料.....25

商標

すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

1 概要

以下のセクションでは、TAS2781、TAS2783A、TAS2785 に関するすべての重要な設計上の考慮事項について説明します。これら 3 つのデバイスは、ピン配置、BOM 要件、レイアウトに関する考慮事項を共有しています。これらのデバイスの唯一の違いは、DSP 機能、TAS2783A と TAS2785 における Soundwire (SNDW) SDCA サポート、そしてもちろん型番です。わかりやすくするため、TAS2781、TAS2783A、TAS2785 を区別する必要がない限り、これら 3 つのデバイスすべてを指す総称として「TAS278X」という名前を使用します。

2 詳細説明

2.1 代表的なアプリケーションのブロック図

図 2-1 に、モノラル構成の TAS278X の代表的なアプリケーション ブロック図を示します。オプションの外部昇圧コンバータとローパス フィルタを使用できます。TAS278X は外部 PWM 制御信号 (PWM_CTRL) によって昇圧電圧を変調し、効率を向上させることができます。

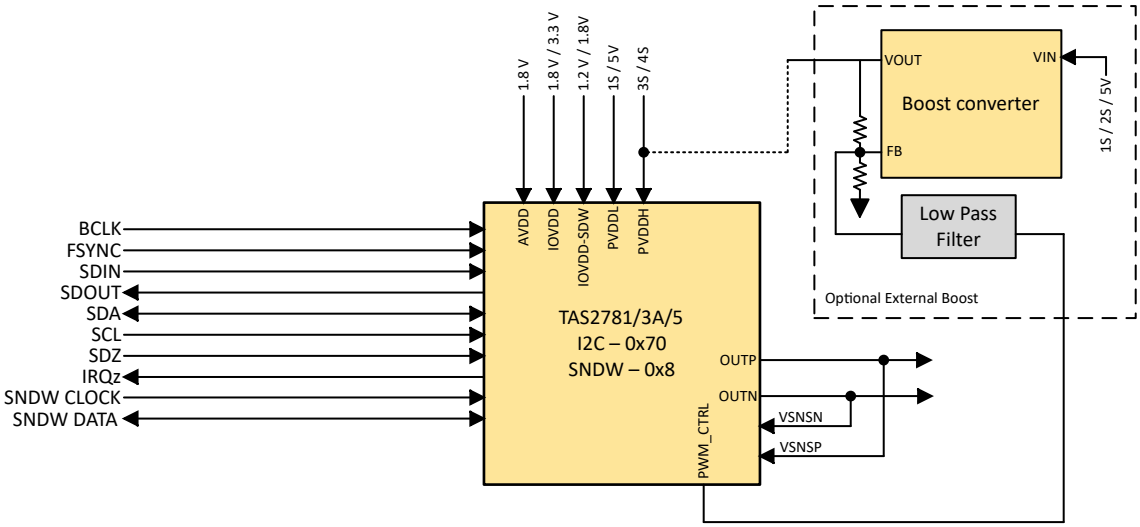

図 2-1. 代表的なモノラル アプリケーションのブロック図

図 2-2 に、ステレオ システムの代表的なアプリケーションのブロック図を示します。2 チャネル以上の構成では、デジタル制御データ (I2C または SPI) とデジタル オーディオ データ (I2S または TDM) は通常、デバイス間で共有接続になります。ハードウェア シャットダウン ピン SDz とアクティブ Low の割り込みピン IRQz は、システム要件に応じて共有接続することも、分離することもできます。SNDW デバイス TAS2783A または TAS2785 では、帯域幅、SOC ベンダの推奨事項、または PCB レイアウトの制約に基づいて、SNDW クロック信号やデータ信号を必要に応じて接続できます。SNDW モード以外のモードで動作している場合。ゲイン共有ピン ICC は、2 つのチャネル間で短絡することをお勧めします。ステレオ ウーファー - ツイータ構成などの 4 ウェイスピーカ設計では、ICC は左ウーファーと右ウーファーの間で短絡する必要があります。その後、左ツイータと右ツイータの間も短絡します。

外部 Class-H 昇圧コンバータを使用する場合。2 つのデバイスの PWM_CTRL 信号を短絡し、ローパス フィルタ (LPF) の帰還回路に接続する必要があります。

Copyright © 2026 Texas Instruments Incorporated

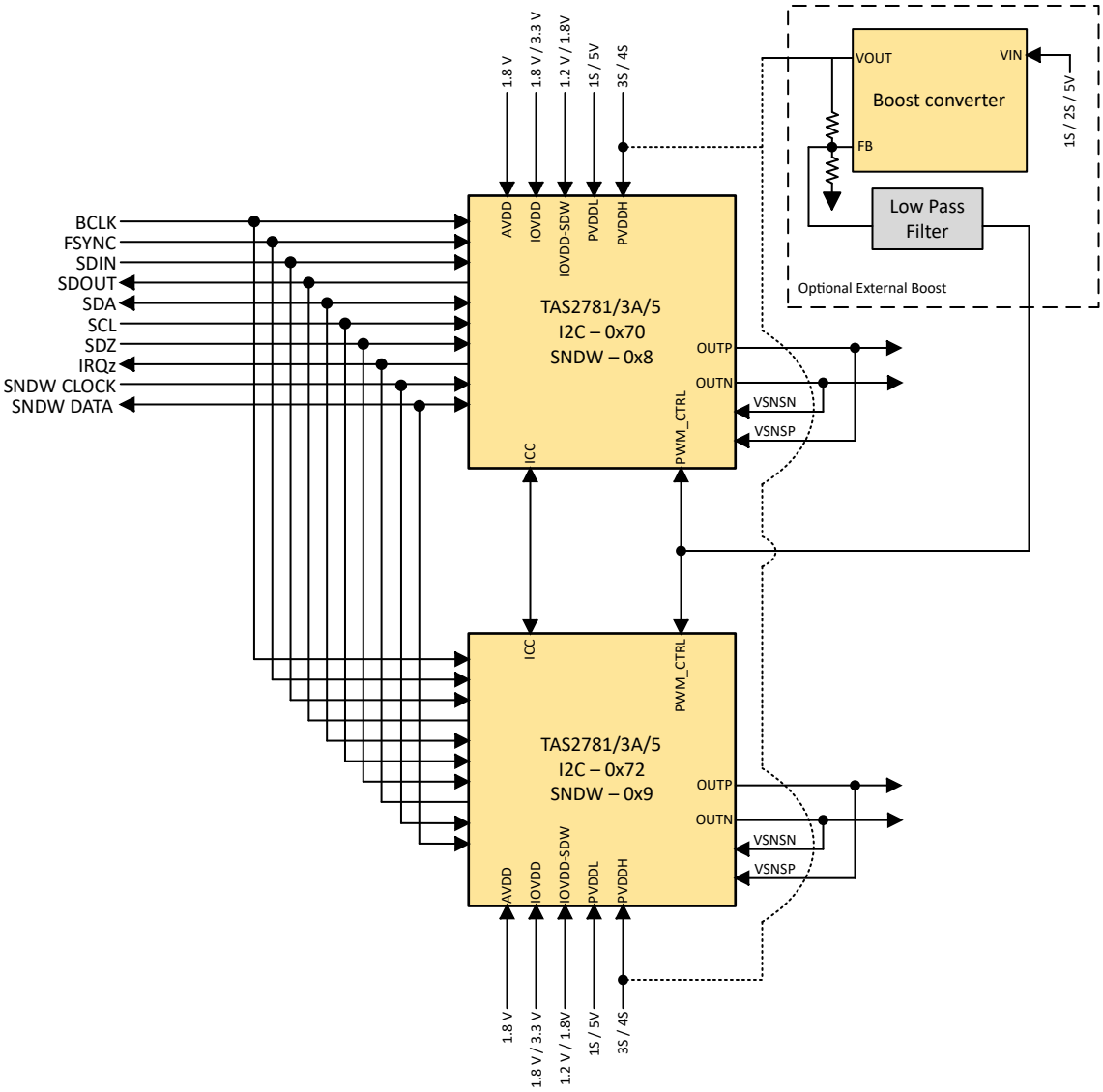

図 2-2. 代表的なステレオ アプリケーションのブロック図

Copyright © 2026 Texas Instruments Incorporated

2.2 代表的な回路図

図 2-3 に、モノラル構成の代表的なアプリケーション回路図を示します。

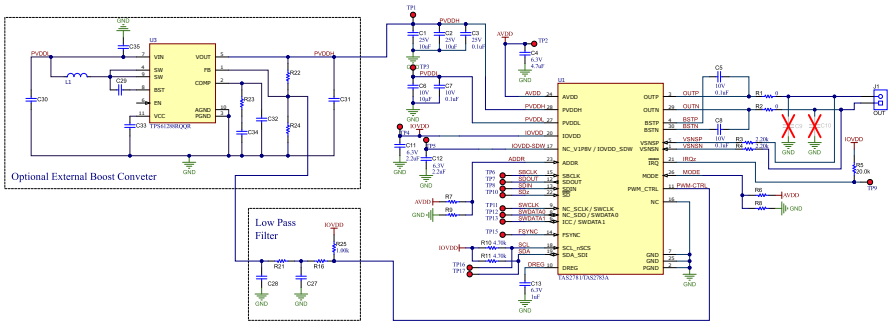

図 2-3. 代表的なモノラル アプリケーション回路図

表 2-1 に、TAS278x の推奨受動部品を示します。

表 2-1. TAS278X 推奨受動部品

項目	詳細	参照記号	推奨値	コメント
スマート アンプ		U1	TAS278X	25W モノラル スマート アンプ
電源	PVDDH	C1	10uF 25V	バルク デカップリング
		C2	10uF 25V	バルク デカップリング
		C3	100nF 25V	低 ESL デカップリング
	PVDDL	C6	PWR_MODE0、1、および 3 10uF 10V	C6 は、PWR_MODE0、1、3 のときのみ 10uF にする必要があります
			PWR_MODE2 1uF 10V	C6 は、PWR_MODE2 のときのみ 1uF にする必要があります
		C7	100nF 10V	低 ESL デカップリング
	AVDD	C4	4.7uF 6.3V	
	IOVDD	C11	2.2uF 6.3V	6、8、9 を除くすべてのデジタル ピンの IOVDD
	IOVDD-SDW	C12	2.2uF 6.3V	ピン 6、8、9 の IOVDD
	Dreg	C13	1uF 6.3V	DSP LDO 出力
Class-D	V-Sense	R3	2.2kΩ	ダンピング抵抗
		R4	2.2kΩ	ダンピング抵抗
	LC フィルタ	R1	必要に応じて - 120Ω の FB、Isat > 5A	飽和電流はピーク出力電流よりも大きくする必要があります。ピーク電流は、(PVDDH / スピーカ Re) で近似できます
		R2	必要に応じて - 120Ω の FB、Isat > 5A	
		C9	必要に応じて - 1nF 25V	
		C10	必要に応じて - 1nF 25V	
	ブートストラップ コンデンサ	C5	100nF 10V	
		C8	100nF 10V	

Copyright © 2026 Texas Instruments Incorporated

表 2-1. TAS278X 推奨受動部品 (続き)

項目	詳細	参照記号	推奨値	コメント
デバイス設定	モード選択	R6 および R8	AVDD への短絡	Soundwire モード
			GND への短絡	I2C モード
			470Ω を GND との間に接続	SPI モード
	アドレス選択	R7 および R9	GND への短絡	UID 0x08 または I2C アドレス 0x70
			470Ω を GND との間に接続	UID 0x09 または I2C アドレス 0x72
			470Ω を AVDD との間に接続	UID 0x0A または I2C アドレス 0x74
			2.2kΩ から GND へ	UID 0x0B または I2C アドレス 0x76
			2.2kΩ から AVDD へ	UID 0x0C または I2C アドレス 0x78
			10kΩ から GND へ	UID 0x0D または I2C アドレス 0x7A
			10kΩ から AVDD へ	UID 0x0E または I2C アドレス 0x7C
			AVDD への短絡	UID 0x0F または I2C アドレス 0x7E
割り込み機能	割り込み機能	R5	20kΩ (IOVDD にプルアップ)	
Class-H 帰還 RC ネットワーク	昇圧コンバータ	U3	TPS61288RQQR	
	RC ローパス フィルタ	R16、R21、C28、C27	特定用途向け	これらの値の計算方法については、SLOA326 を参照してください
	プルアップ抵抗	R25	1kΩ	
	昇圧用受動部品	L1、R22、R23、R24、C29、C30、C31、C32、C33、C34、C35	特定用途向け	昇圧 IC データシートを参照してください

図 2-4 に、ステレオ構成の代表的なアプリケーション回路図を示します

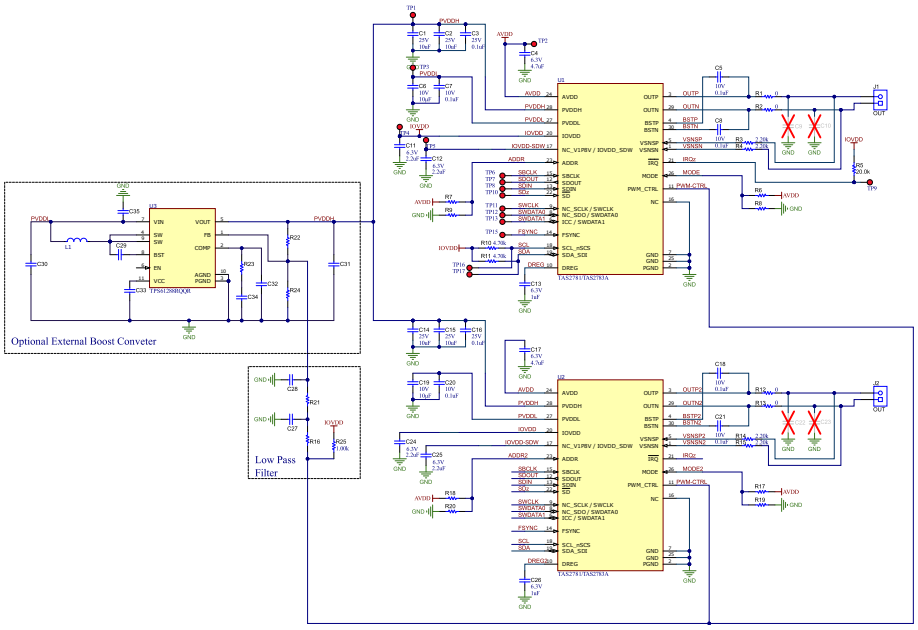

図 2-4. 代表的なステレオ アプリケーション回路図

Copyright © 2026 Texas Instruments Incorporated

2.2.1 外部 PVDDH モード

TAS278X は、高電圧 Class-D 電源 PVDDH に対するバッテリ直接接続をサポートしています。バッテリ動作システムでは、PVDDH レールには、3S バッテリ、4S バッテリ、または公称 24VDC 未満の任意の電源から直接電力を供給できます。低電圧電源 PVDDL は、システムですでに利用可能な 2.7V ～ 5.5V 電源で供給できます。または、2.2.3 で説明されているように、PVDDH から内部で PVDDL を生成することもできます。PVDDH から内部で PVDDL を生成する場合は、PVDDH 電圧が 7.3V 未満に低下しないようにしてください。

その電源の公称電圧が 5.5V 未満であれば、PVDDL と PVDDH に同じ電源電圧を使用できます。

2.2.2 Class-H 昇圧モード

1S バッテリ、2S バッテリ、また同等の電圧の DC 電源で動作するシステムでは、TI の TPS61288 などの外部 Class-H 昇圧を使用して、高電圧の Class-D 電源である PVDDH を供給できます。低電圧電源 PVDDL は、1S バッテリに直接接続できます。システムですでに利用可能な 2.7V ～ 5.5V 電源でも供給できます。または、2.2.3 で説明されているように、PVDDH から内部で PVDDL を生成することもできます。PVDDH から内部で PVDDL を生成する場合は、PVDDH 電圧が 7.3V 未満に低下しないようにしてください。

TAS278X Class-H 昇圧の詳細と設計ガイダンスについては、『TAS2781 および TAS2783 Hybrid-Pro 昇圧コントローラ』を参照してください。

2.2.3 TAS278X 電力モード

TAS278X は、Class-D 向けに 4 種類の電源モードをサポートしています。これらの電力モードでは、Class-D に PVDDH と PVDDL からどのように、どのタイミングで電力供給されるかを規定します。

ほとんどのシステム設計者は、PWR_MODE1 または PWR_MODE2 のいずれかを選択する必要があります。十分な電流が確保できる大電流の 2.7V ～ 5.5V 電源レールが存在する場合は、PVDDL に接続し、PWR_MODE1 を使用する必要があります。これにより、Y ブリッジを使用して最も高い効率が得られます。PVDDL 用の電源レールが利用できない場合、PVDDL で 1uF + 0.1uF のデカップリングのみが必要で、外部接続は不要です。これにより、効率は低下しますが、BOM コストを削減できます。PWR_MODE1 または PWR_MODE2 を使用する場合、PVDDH 電圧が PVDDL + 2.5V を下回ることがないようにしてください。そうしないと、Y ブリッジが使用できなくなり、Class-D は PVDDH からのみ供給されることになります。

通常、PWR_MODE0 は推奨されません。この場合、PVDDL と PVDDH の両方をデバイスに供給する必要がありますが、Y ブリッジは使用されません。この電力モードは、Y ブリッジ アーキテクチャによって可聴歪みやオーディオ アーティファクトが発生すると考えているシステム設計者のために用意されたものですが、実際にはそのようなことはありません。

PWR_MODE3 は、デバイスの主要な動作モードではありません。超音波による存在検出などの目的に PWR_MODE3 を使用するシステムでは、PWR_MODE1、2、0 などの最大出力モードに戻すことを推奨します。

PWR_MODE0、PWR_MODE1、PWR_MODE3 はすべて同じ BOM 部品を必要とします。PWR_MODE2 では、PVDDL には 1uF + 0.1uF のデカップリング コンデンサのみを使用する**必要があります**。PWR_MODE0、PWR_MODE1、PWR_MODE3 では、PVDDL には 10uF + 0.1uF のデカップリング コンデンサを使用する**必要があります**。

Y ブリッジおよび電力モードの詳細については、『TAS278x Class-D アンプの Y ブリッジで効率の向上に寄与』を参照してください。

TAS278X で可能な電力モード構成を 表 2-2 に示します。

Copyright © 2026 Texas Instruments Incorporated

表 2-2. TAS278x 電力モード構成

電力モード	出力スイッチング モード	電源条件	PVDDL モード	デバイス構成	使用事例とデバイスの機能
PWR_MODE0	PVDDH でハイパワー	PVDDH > PVDDL	外部	PVDDL_MODE = 0 CDS_MODE[1:0] = 10	PVDDH は出力電力の供給に使用される唯一の電源です。
PWR_MODE1	Y ブリッジ - PVDDL でハイパワー	PVDDH	外部	PVDDL_MODE = 0 CDS_MODE[1:0] = 00	PVDDL は、構成されたレベルとヘッドルームに基づく出力電力の供給に使用されます。オーディオ信号がプログラムされたスレッショルドを超えると、Class-D 出力は PVDDH に切り替わります。
PWR_MODE2	Y ブリッジ - PVDDL でローパワー	PVDDH	内部	PVDDL_MODE = 1 CDS_MODE[1:0] = 11	PVDDH は唯一の電源です。PVDDL は内部 LDO から供給され、アイドル チャネル レベルに近接した信号での供給に使用されます。オーディオ信号レベルが -100dBFS (デフォルト) を超えると、Class-D 出力は PVDDH に切り替わります。
PWR_MODE3	PVDDL	PVDDL	外部	PVDDL_MODE = 0 CDS_MODE[1:0] = 01	デバイスを強制的に低出力レール モードで動作させることができます。たとえば、オーディオが再生されていない場合、この動作モードは低出力超音波チャープに使用することができます。

Copyright © 2026 Texas Instruments Incorporated

2.2.4 TAS278X の動作モード

TAS278X の動作モードは、MODE ピンの構成に基づいて選択されます。

表 2-3 TAS2781 デバイスの動作モードのリストを示します。

表 2-3. TAS2781 デバイスの動作モード

アンプ モード	制御インターフェイス	ピン 26 (MODE)
スマート アンプ	I2C	GND に接続
スマート アンプ	SPI	470Ω を GND との間に接続

表 2-4 TAS2783A および TAS2785 の動作モードのリストを示します。

表 2-4. TAS2783A および TAS2785 の動作モード

アンプ モード	制御インターフェイス	Pin26 (MODE)	Pin20 (IOVDD)	Pin17 (IOVDD_SDW)
SoundWire	SoundWire (オプションの I2C)	AVDD に接続	1.8	1.8
	SoundWire	AVDD に接続	1.2	1.2
	SoundWire (オプションの I2C)	AVDD に接続	1.8	1.2
I2S/TDM	I2C	GND に接続	1.8	0
	I2C	GND に接続	3.3	0
	SPI	470Ω を GND との間に接続	1.8	1.8

TAS278X のアドレスは、ADDR ピンの構成に基づいて選択されます。表 2-5 に、TAS278x で使用可能なアドレスを示します。

表 2-5. TAS278x アドレス

SDW ペリフェラル固有 ID	I2C アドレス	ADDR ピン
0x8	0x70	GND への短絡
0x9	0x72	470Ω を GND との間に接続
0xA	0x74	470Ω を AVDD との間に接続
0xB	0x76	2.2kΩ から GND へ
0xC	0x78	2.2kΩ から AVDD へ
0xD	0x7A	10kΩ から GND へ
0xE	0x7C	10kΩ から AVDD へ
0xF	0x7E	AVDD への短絡

Copyright © 2026 Texas Instruments Incorporated

2.3 レイアウトに関するベスト プラクティス

以下のセクションでは、各ピンのレイアウトのベスト プラクティスについて説明します。提供されているサンプル レイアウトは、すべてのシステムに実用的なものであるよう設計されています。このため、設計では、ブラインド ビア、ピン上のビア、パッド上のビア、または最上層のソリッド グランド ポアを使用していません。

2.3.1 DREG

ピン 10、DREG は AVDD 電源から生成された LDO 出力です。この LDO は、TAS278X の DSP とデジタル部分に電力供給するために使用されます。DREG コンデンサの配置が重要です。DREG コンデンサは、ピン 10 のすぐ隣に配置する必要があります。また、コンデンサのグランド側は最上層でピン 7 の GND に接続します。SNDW または SPI を使用しないシステムではこれが可能であり、GND を最上層でリターンさせることができます。ピン 8 と 9 を使用する SNDW システムでは、グランドを最上層でリターンさせることができない場合があります。DREG コンデンサのグランド側のすぐ隣にあるビアを使用して、第 2 層のグランドを経由するピン 7 への短いパスが存在することを確認します。DREG ピンから認識される寄生インダクタンスは、500pH を超えないようにする必要があります。

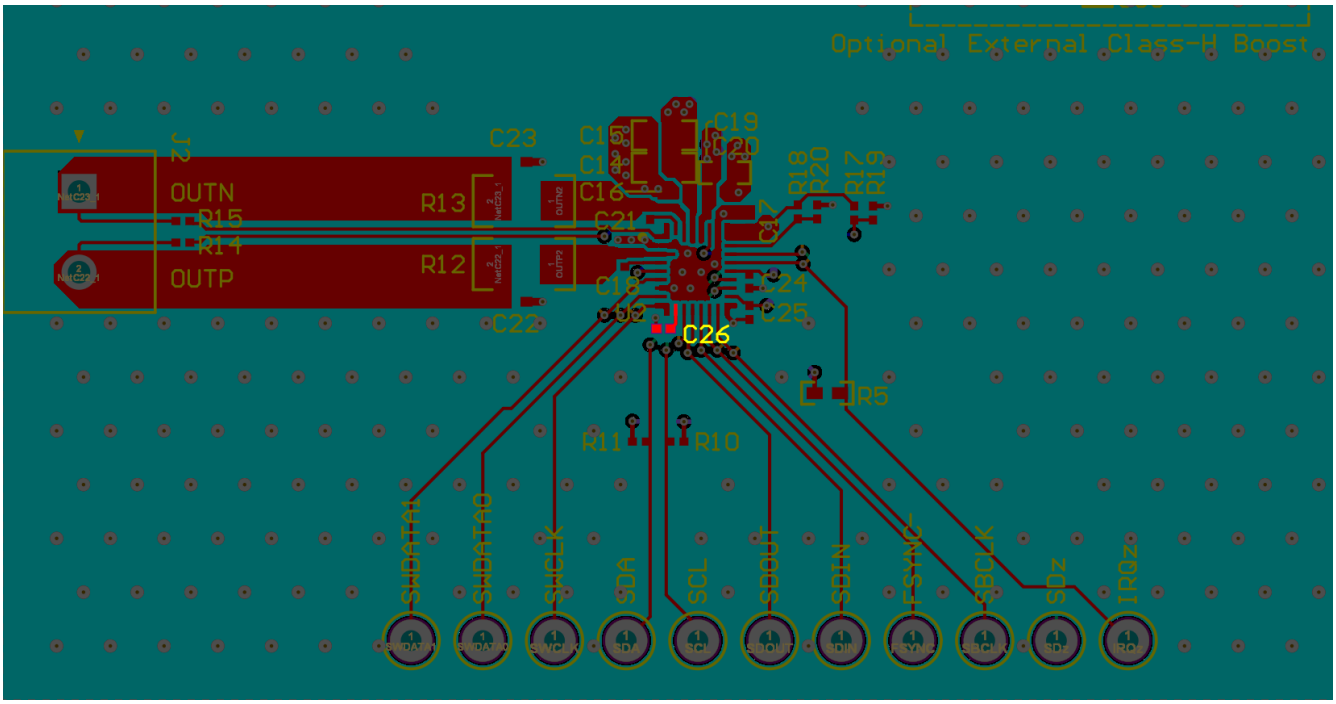

図 2-5. DREG

2.3.2 IOVDD と IOVDD-SDW

ピン 17 (IOVDD-SDW または NC_V1P8V) は、ピン 6、8、9 の IO 電源です。SPI、ICC、SNDW モードを使用する場合は、このピンの近くにコンデンサを配置し、コンデンサのグランド側をビア経由で第 2 層 GND に短絡します。

ピン 20 の IOVDD は、他のすべてのデジタル IO ピンの IO 電源です。このピンの近くにコンデンサを配置し、ビアを介してコンデンサのグランド側を第 2 層の GND に短絡します。

IOVDD および IOVDD-SDW ピンから認識される寄生インダクタンスは、200pH を超えないようにする必要があります。

Copyright © 2026 Texas Instruments Incorporated

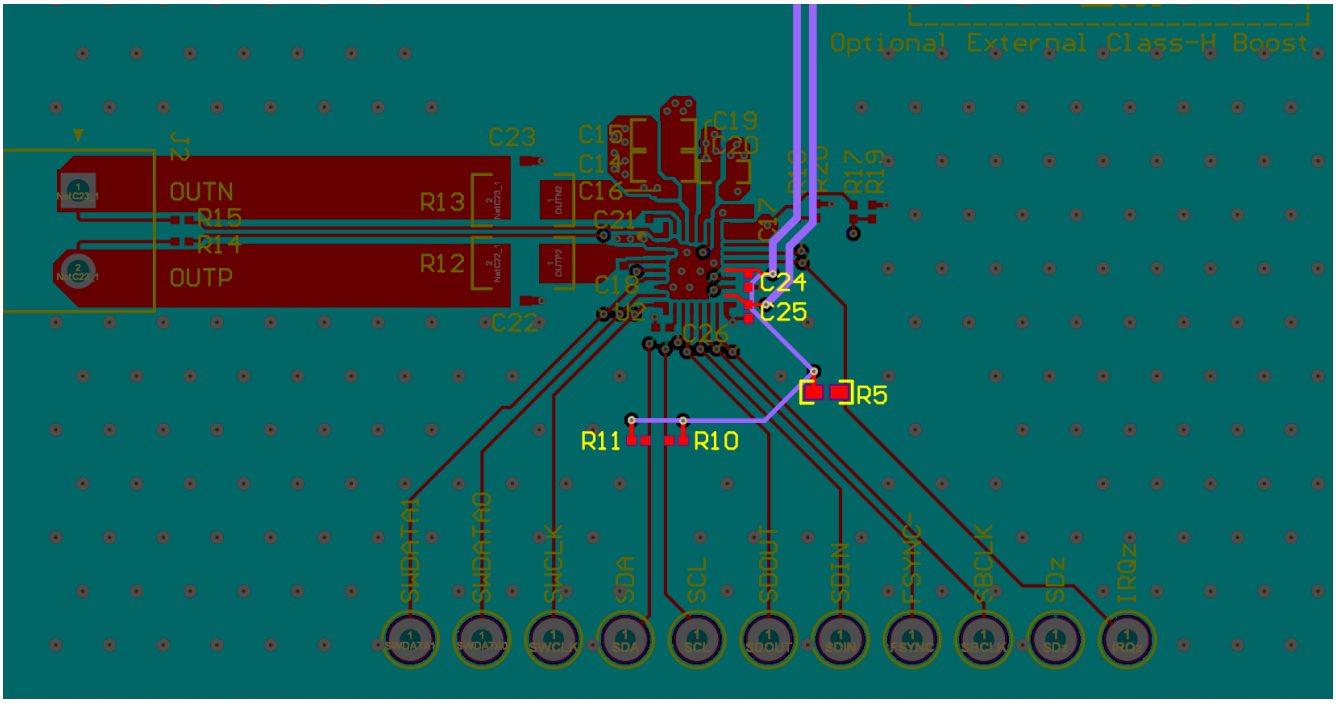

図 2-6. IOVDD と IOVDD-SDW

2.3.3 AVDD

ピン 24、AVDD は、デバイスのすべての非 Class-D、アナログ、デジタル部分に電力供給します。この配置はデバイスが性能を発揮するうえで重要です。どのシステムでも、AVDD コンデンサをデバイスのピン 24 のすぐ隣に配置し、コンデンサの GND 側を最上層のピン 25 の GND に接続できるようにする必要があります。AVDD ピンから認識される寄生インダクタンスは、200pH を超えないようにする必要があります。

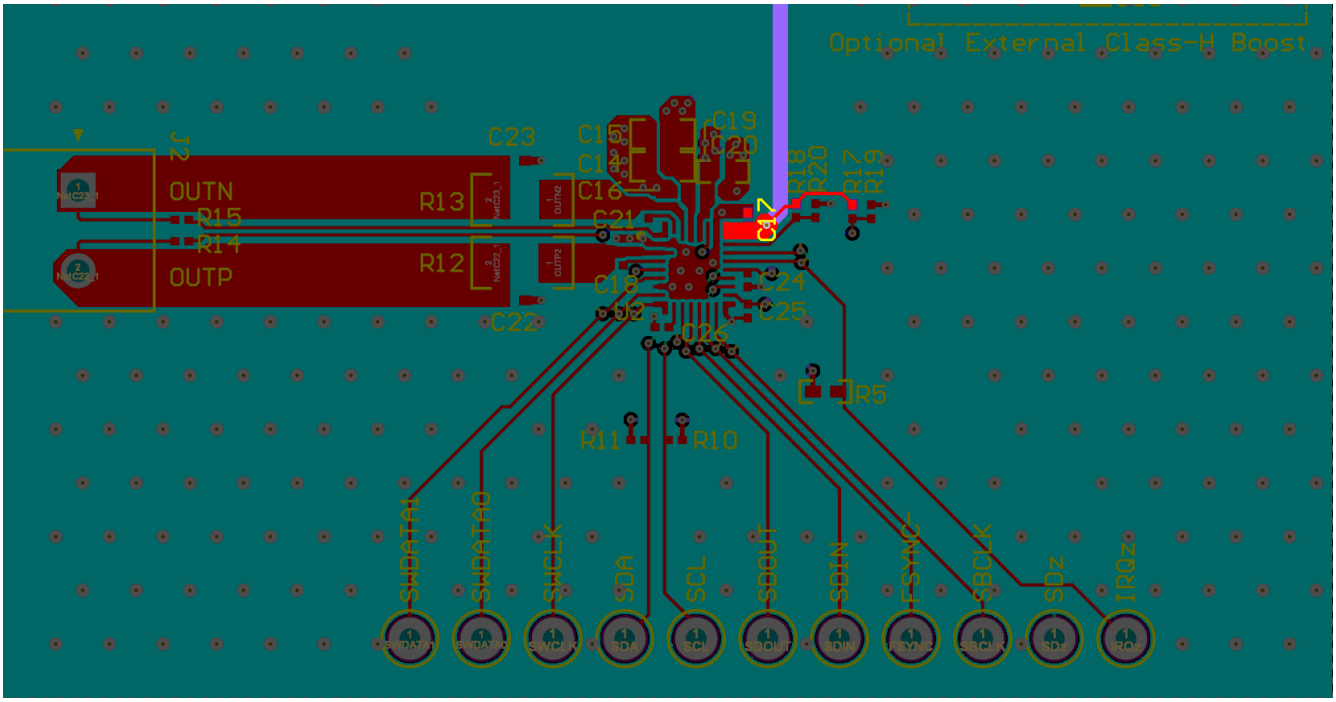

図 2-7. AVDD

Copyright © 2026 Texas Instruments Incorporated

2.3.4 PVDDH

ピン 28、PVDDH は高電圧 Class-D 電源です。PVDDH デカップリング コンデンサとデバイス ピンの間に大きい寄生インダクタンスがあると、THD+N が低下したり、デバイスの安定性の問題が発生する可能性があります。低 ESL の 0.1uF コンデンサは、できるだけデバイス ピンの近くに配置する必要があります。10uF バルク キャパシタは、できるだけ低 ESL コンデンサの近くに配置する必要があります。幅広のポリゴンまたはパターンを使用して、PVDDH をデバイス ピンに供給します。レイアウトでは、PVDDH デカップリング コンデンサのグランド側を、最上層のピン 2 PGND ピンにリターンさせる必要があります。これができないシステムでは、最上層にグランド ポリゴンを使用し、第 2 層の GND に多数のビアを設ける必要があります。ピン 2 へのグランド帰路が短く、低インダクタンスであることが重要です。PVDDH ピンから認識される寄生インダクタンスは、100pH を超えないようにする必要があります。

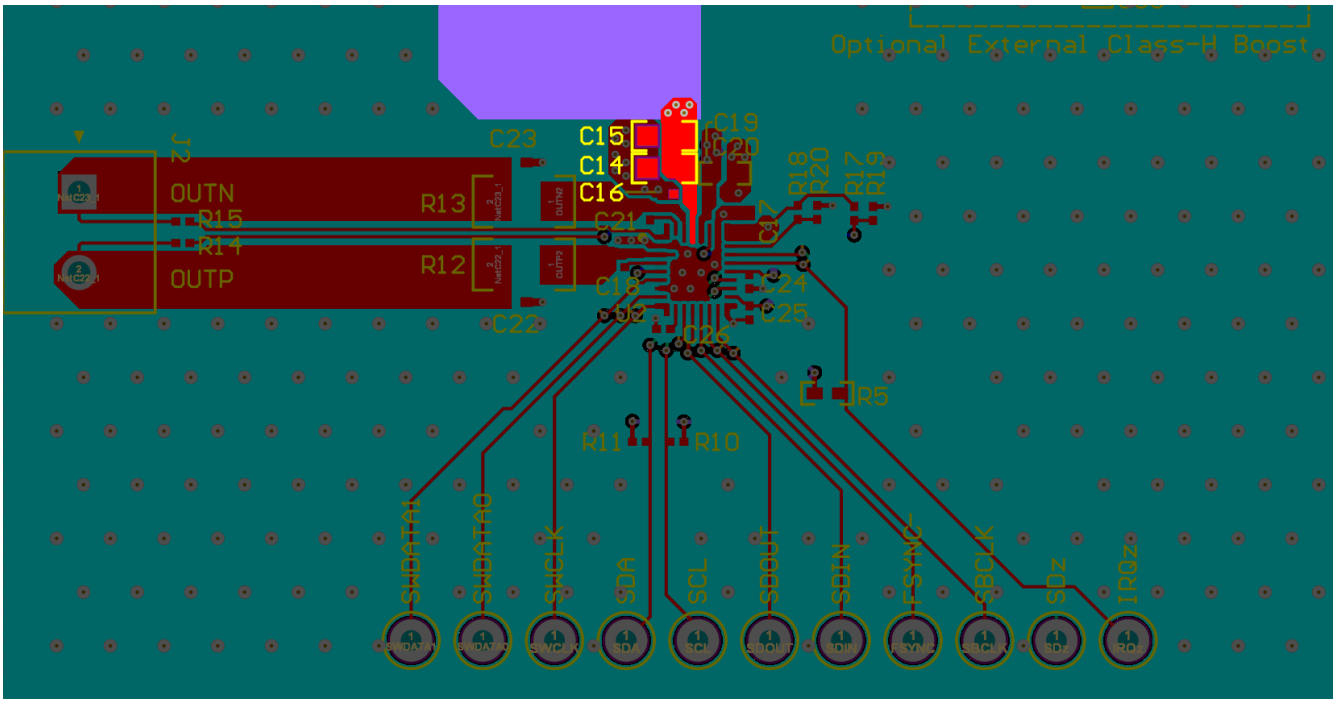

図 2-8. PVDDH

2.3.5 PVDDL

ピン 27、PVDDL は、Class-D の低電圧電源です。レイアウト要件は PVDDH と同じです。低 ESL コンデンサは、できるだけデバイス ピンの近くに配置します。またバルク キャパシタは、できるだけ低 ESL コンデンサの近くに配置します。幅広のポリゴンを使用して PVDDL をデバイス ピンに供給し、デカップリング コンデンサのグランド側からピン 2 の PGND ピンへ、最上層または複数のビアを介した第 2 層の GND を通る低インピーダンス パスを確保します。PVDDL ピンから認識される寄生インダクタンスは、100pH を超えないようにする必要があります。

Copyright © 2026 Texas Instruments Incorporated

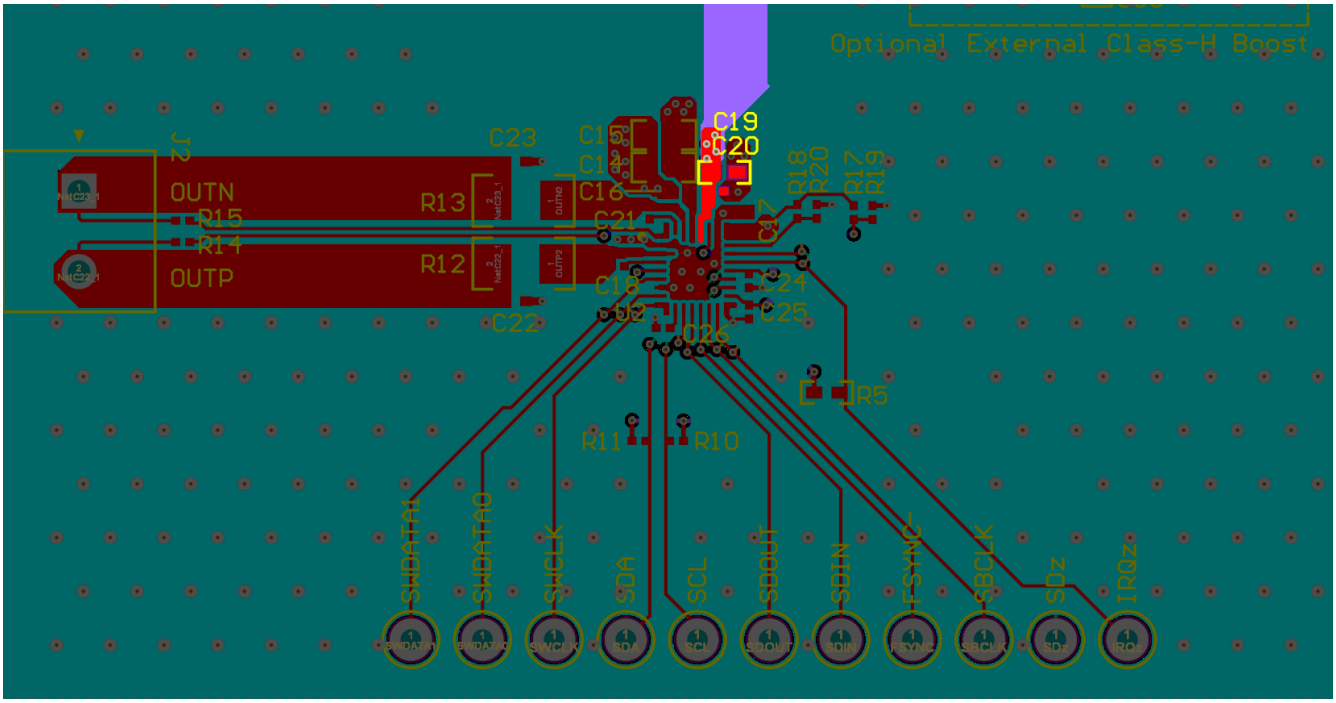

図 2-9. PVDDL

2.3.6 Class-D 出力 (OUTP および OUTN)

ピン 3 とピン 29、OUTP と OUTN は、それぞれ Class-D の正および負の出力です。これらのパターンのスイッチング特性から、寄生要素と放射を最小限に抑えるため、配線はできるだけ短くすることを推奨します。

電流フローを最適化するため、出力ピンの近くではパターンを幅広にしてください。

EMI フィルタを使用する場合は、以下を考慮してください。

- インダクタまたはフェライト ビーズは、フィルタ内の最初の素子である必要があります。
- GND への静電容量により、大電流スパイクが発生し、過電流保護がトリガされる危険性があります
- 放射を最小限に抑えるため、フィルタはデバイスの比較的近くに配置する必要があります。

Copyright © 2026 Texas Instruments Incorporated

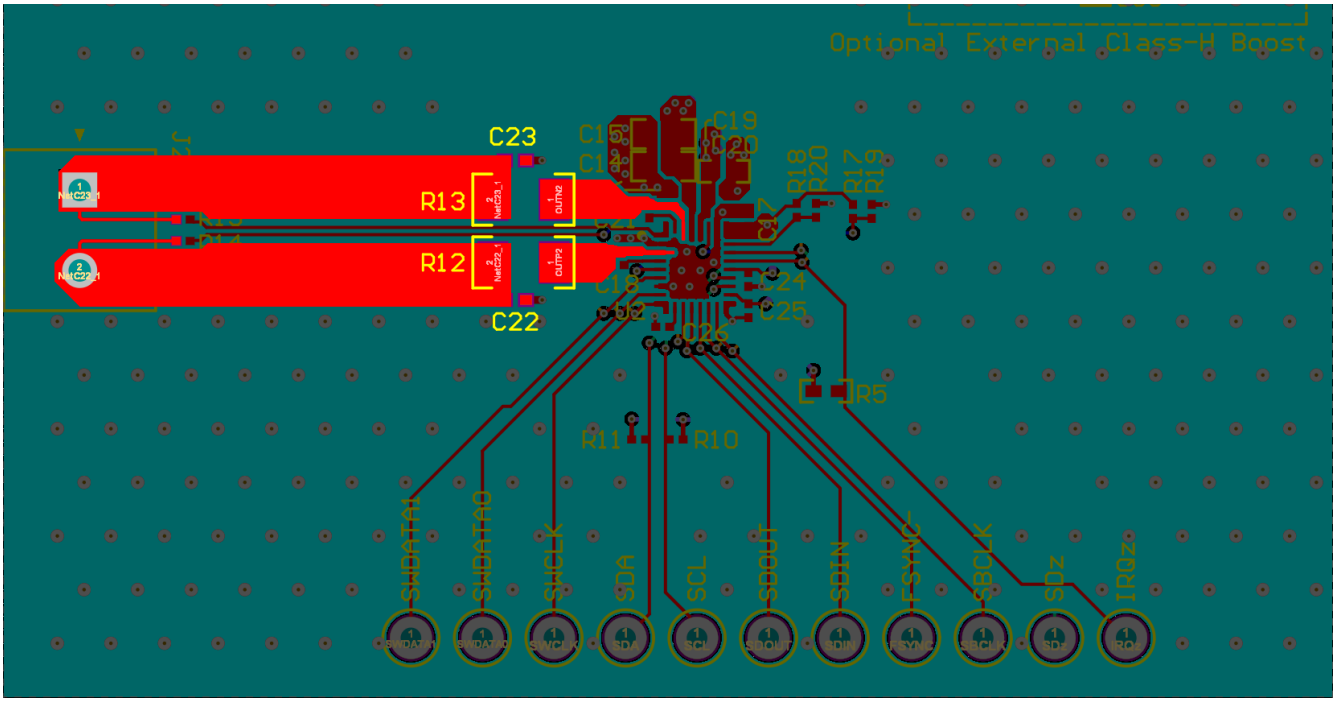

図 2-10. OUTP と OUTN

2.3.7 VSNSP と VSNSN

ピン 5 およびピン 1、VSNSP および VSNSN はそれぞれ、電圧検出の正および負の入力です。これらの入力は比較的ハイ インピーダンスであり、任意に細くすることができます。これらの入力は差動で配線し、出力パターン (OUTP には VSNSP、OUTN には VSNSN) に接続する必要があります。VSNS パターンは、スピーカ端子付近のフェライト ビーズまたは LC フィルタの後に接続する必要があります。デバイス ピンや出力パターンの近くには接続しないでください。また、VSNSP および VSNSN の両方と直列に 2.2kΩ の抵抗を配置することも推奨します。この手法により、VSNS パターンのリンギングを抑制し、放射を最小限に抑え、VSNS ピンへの過電圧ストレスを防止できます。

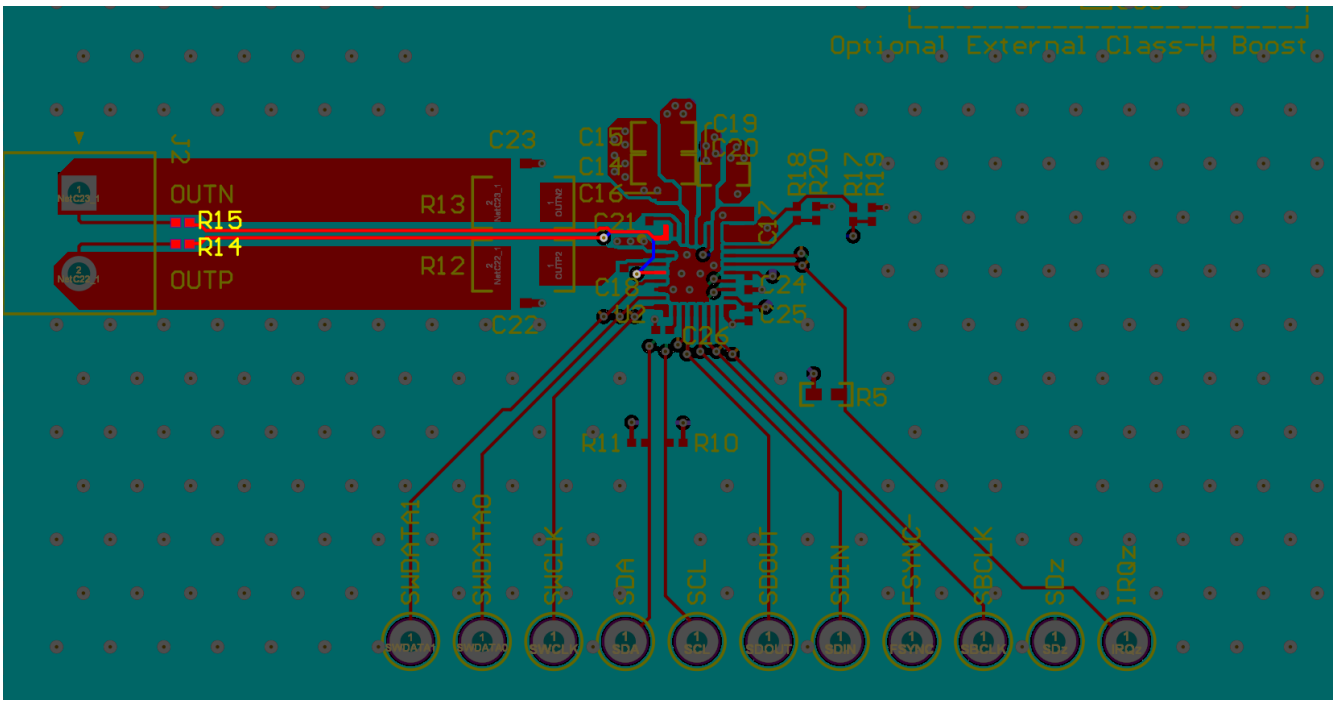

図 2-11. VSNSP と VSNSN

Copyright © 2026 Texas Instruments Incorporated

2.3.8 BSTP と BSTN

ピン 4 およびピン 30、BSTP および BSTN は、それぞれ OUTP および OUTN のブートストラップ ピンです。出力パターンと対応するブートストラップ ピン (OUTP に対する BSTP、OUTN に対する BSTN) の間には、単一の 0.1uF コンデンサを配置する必要があります。ブートストラップ コンデンサは、どのフィルタ部品よりも先に出力信号に直接接続する必要があります。これらのコンデンサは、必要に応じて最下層に配置することができます。BSTP ピンと BSTN ピンから認識される寄生インダクタンスは、最大 1nH です。

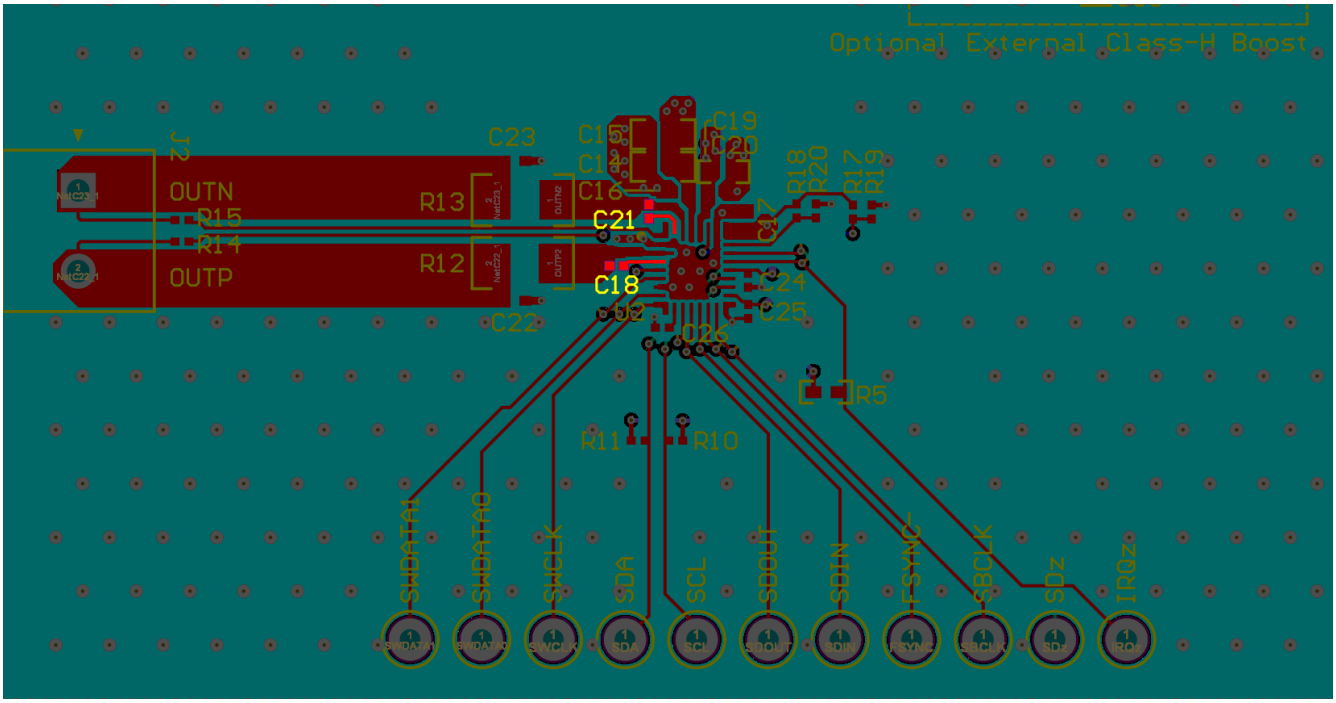

図 2-12. BSTP と BSTN

2.3.9 グランド ピン

PCB レイアウトを設計するときは、グランド配線が重要です。グランド ピンは、基板のグランド プレーンに対して低インピーダンスで電気的かつ熱的なパスを確保し、寄生インダクタンスを最小限に抑える必要があります。グランド ピンと基板のグランド プレーンの間の寄生インダクタンスは、100nH を超えないようにする必要があります。さまざまなグランド ピンに関する設計のヒントを以下に示します。

- ピン 2 の PGND は Class-D のグランド ピンです。これは、3 つのグランド ピンの最大電流を伝達します。パッケージの下およびパッケージ外に複数のビアを配置し、PCB のグランド プレーンへの低インピーダンス接続を確保する必要があります
- 最上層のデバイス パッケージの下にグランド ポリゴンを配置します。ピン 2、7、25 をこのポリゴンに短絡し、複数のビアを使用してそのポリゴンを第 2 層の GND プレーンに短絡します
- 最上層の直下の層は、グランド専用とする必要があります。

Copyright © 2026 Texas Instruments Incorporated

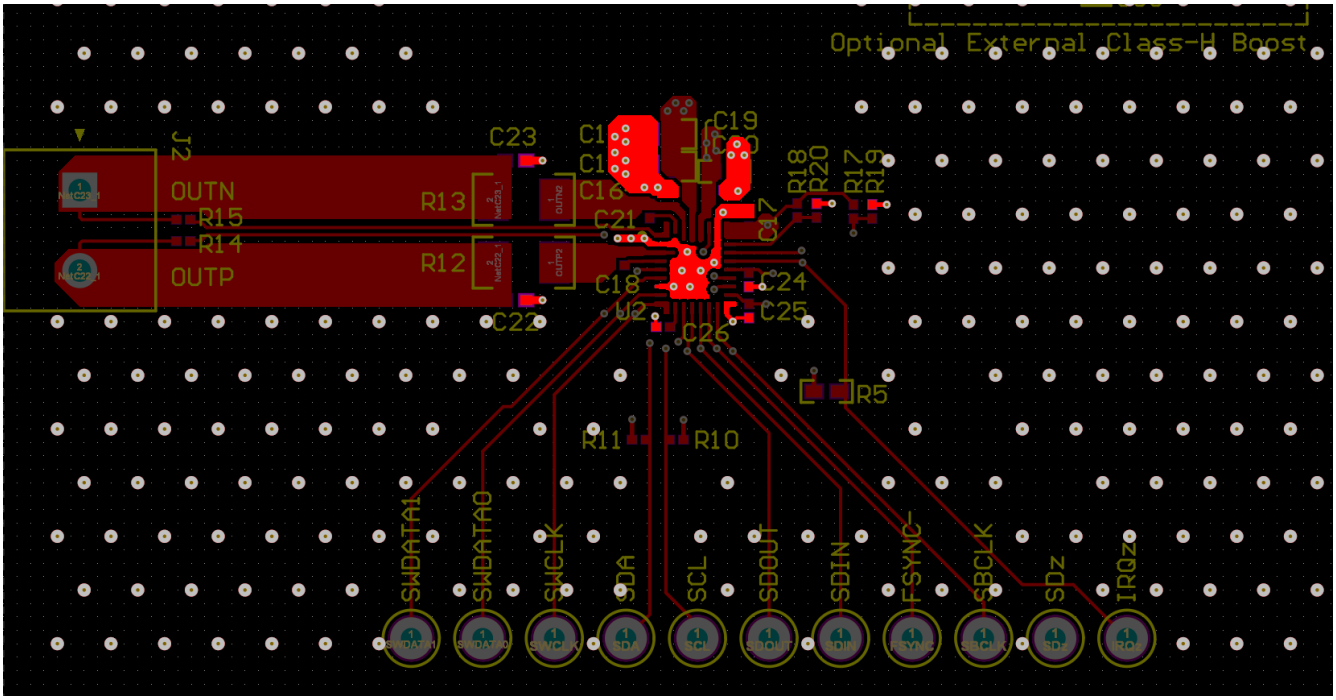

図 2-13. グランディング (グランド接続)

2.3.10 Soundwire 非対応デジタル IO

I2S、I2C、SPI、割り込み、シャットダウン信号は、レイアウトの影響を大きく受けません。これらの信号はいずれも、PVDDH、PVDDL、OUTP、OUTN、BSTP、BSTN、VSNSP、VSNSN などの大電流信号やスイッチング信号の近くには配線しないでください。I2S 信号で終端されていない長いパターン セグメントを避けてください。

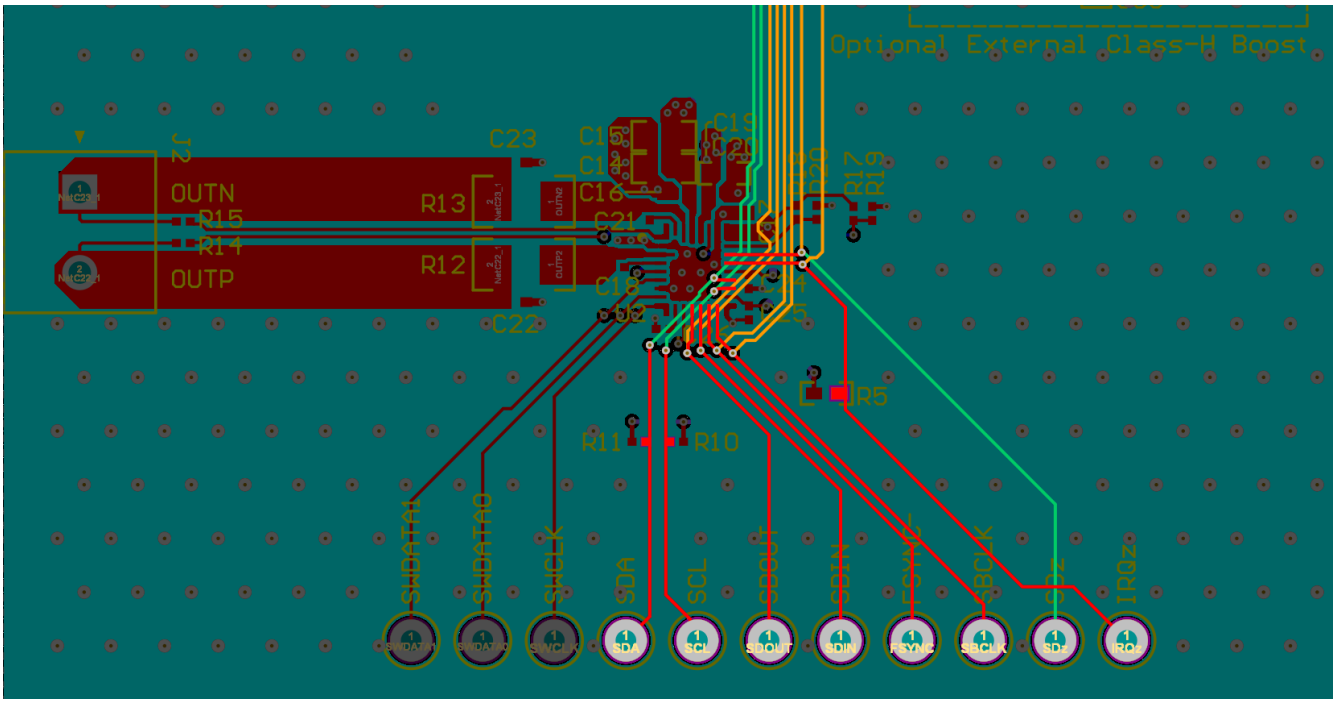

図 2-14. Soundwire 非対応デジタル IO

Copyright © 2026 Texas Instruments Incorporated

2.3.11 Soundwire IO

すべての Soundwire 信号の特性インピーダンスを 50Ω に制御します。ホストとデバイス間のすべてのバス セグメントの長さ、およびデバイス間のデイジーチェーン接続のセグメントの長さを一致させます。これらの信号はいずれも、PVDDH、PVDDL、OUTP、OUTN、BSTP、BSTN、VSNSP、VSNSN などの大電流信号やスイッチング信号の近くには配線しないでください。Soundwire 信号で終端されていない長いパターン セグメントを避けてください。

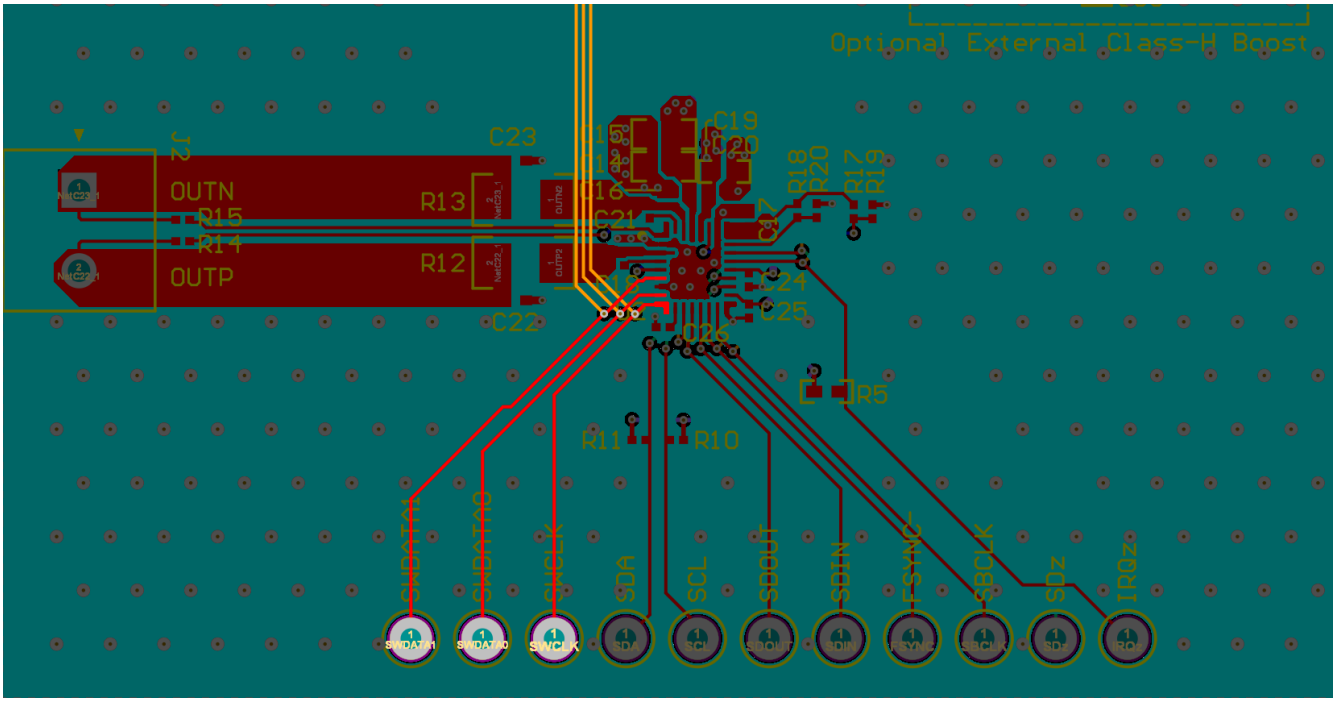

図 2-15. Soundwire

Copyright © 2026 Texas Instruments Incorporated

3 PCB の層数

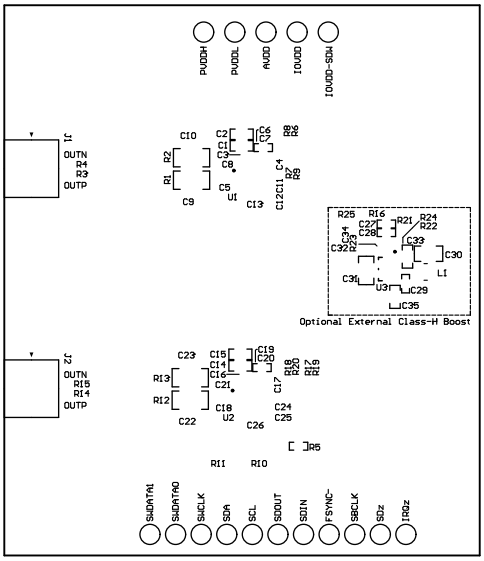

図 3-1. 上面オーバーレイ

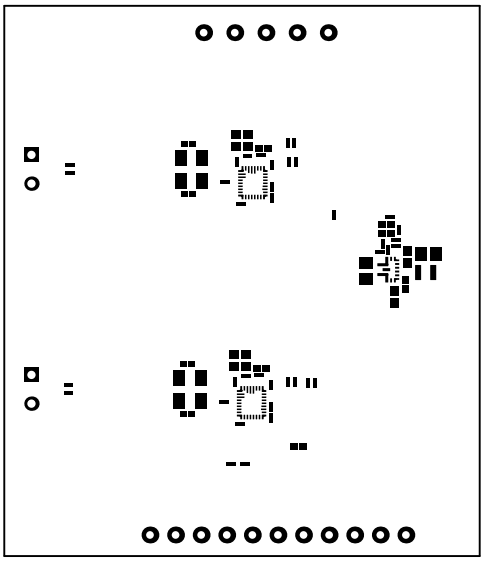

図 3-2. 上面半田

Copyright © 2026 Texas Instruments Incorporated

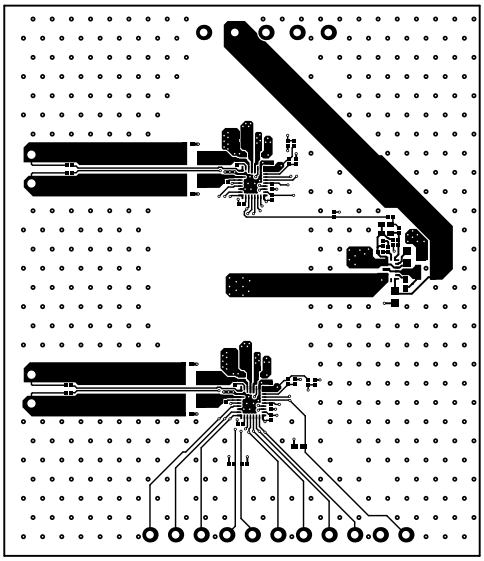

図 3-3. 上層

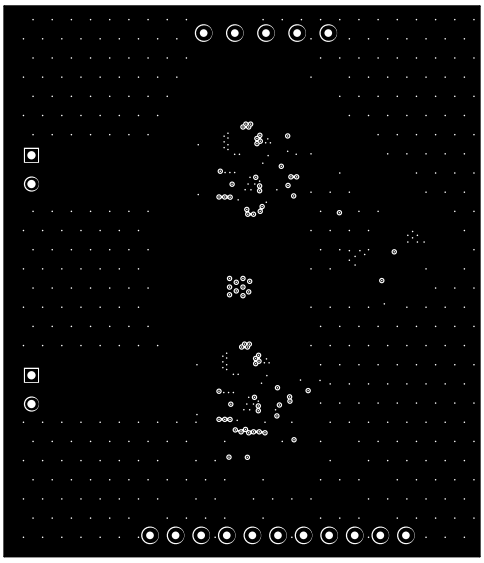

図 3-4. 第 2 層:グランド

Copyright © 2026 Texas Instruments Incorporated

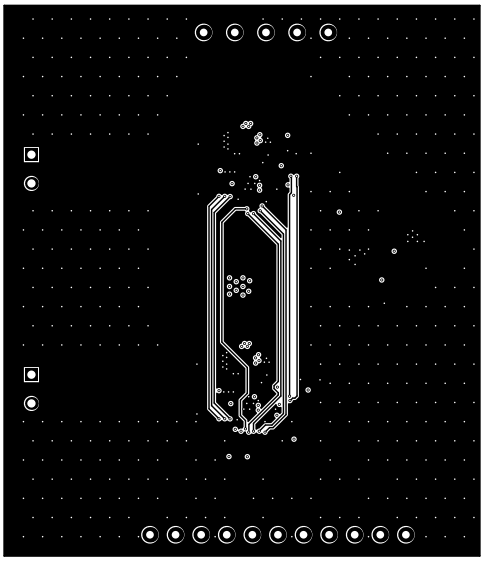

図 3-5. 第 3 層:信号

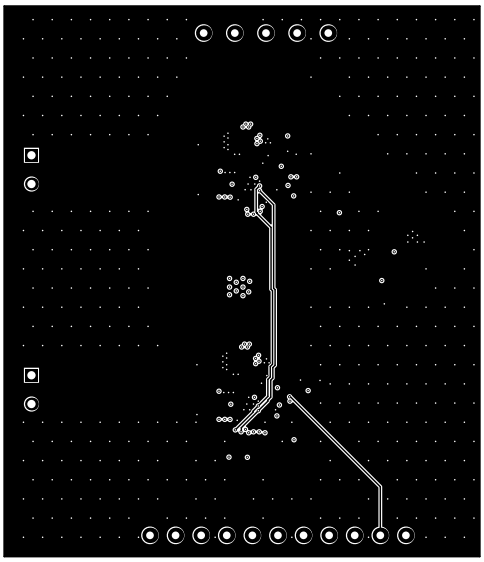

図 3-6. 第 4 層:信号

Copyright © 2026 Texas Instruments Incorporated

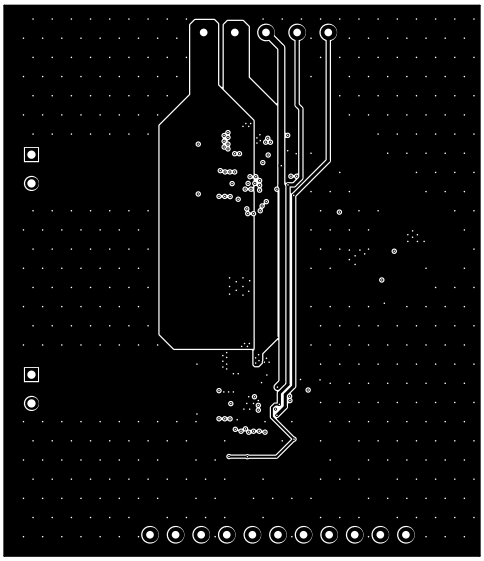

図 3-7. 第 5 層:電源

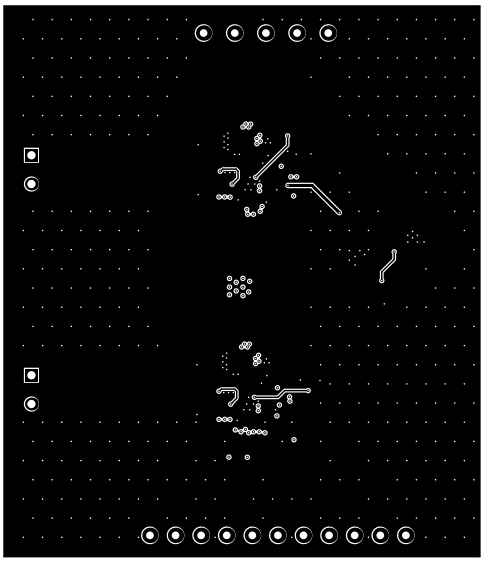

図 3-8. 下層

Copyright © 2026 Texas Instruments Incorporated

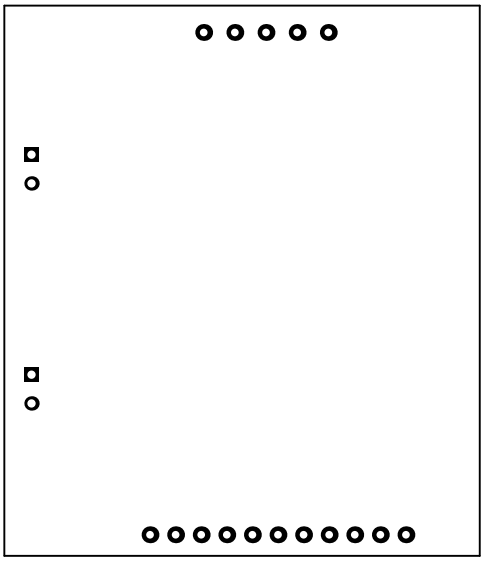

図 3-9. 底面半田

Copyright © 2026 Texas Instruments Incorporated

4 まとめ

表 4-1. 設計ガイドラインのまとめ

<table>
<tr><th rowspan="2">ピン番号</th><th colspan="2">ピン名</th><th rowspan="2">回路図に関する考慮事項</th><th rowspan="2">レイアウトに関する考慮事項</th></tr>
<tr><th>TAS2783A/TAS2785</th><th>TAS2781</th></tr>
<tr><td>28</td><td>PVDDH</td><td>PVDDH</td><td colspan="2">3s、4s バッテリ、または昇圧コンバータの出力に接続します
GND に対して、10uF + 10uF + 0.1uF (25V) でデカップリングします</td><td rowspan="2">大電流を処理するため、幅広のパターンを使用します
コンデンサをできるだけデバイス ピンの近くに配置します
最上層の GND プレーンを使用しない場合は、ピン 2、PGND へのグランド帰路を短くします。コンデンサのグランド側の周囲にポリゴンを設け、多くのビアを使用して、第 2 層を経由する低インピーダンスのグランド帰路を確保します。</td></tr>
<tr><td>27</td><td>PVDDL</td><td>PVDDL</td><td colspan="2">PWR_MODE0、1、3：
1s バッテリ、または 2.7V ～ 5.5V の DC/DC に接続します
GND に対して 10uF + 0.1uF (10V) でデカップリングします
PWR_MODE2：
外部電圧に接続しないでください
GND に対して 1uF + 0.1uF (6.3V) でデカップリングします</td></tr>
<tr><td>24</td><td>AVDD</td><td>AVDD</td><td colspan="2">1.8V に接続します
GND に対して 4.7uF (6.3V) でデカップリングします</td><td>コンデンサは、できるだけピン 24 の近くに配置します。コンデンサのグランド側を最上層のピン 25 に接続します</td></tr>
<tr><td>20</td><td>IOVDD</td><td>IOVDD</td><td>TAS2781：
1.8V または 3.3V に接続します
6.3V 定格で 1uF で GND にデカップリングします。
TAS2783A/TAS2785：
1.2V、1.8V、または 3.3V に接続します
6.3V で 2.2uF で GND にデカップリングします</td><td rowspan="2">注：ピン 17 とピン 20 が電源電圧を共有している場合、これらのピンを互いに短絡し、単一の 2.2uF コンデンサを使用できます。この適用対象は TAS2781、TAS2783A、TAS2785 です</td><td rowspan="2">デカップリング コンデンサを、デバイス ピンの近くに配置します。ビアを使用して、コンデンサの短いグランド側から第 2 層のグランド プレーンに接続します</td></tr>
<tr><td>17</td><td>IOVDD-SDW</td><td>NC_V1P8V</td><td>ピン 6、8、9 を使用する場合は、ICC、SPI、Soundwire を使用します
TAS2781：
1.8V に接続します
GND に対して 1uF (6.3V) でデカップリングします。
TAS2783A/TAS2785：
1.2V または 1.8V に接続します
GND に対して 2.2uF (6.3V) でデカップリングします</td></tr>
<tr><td>10</td><td>DREG</td><td>DREG</td><td colspan="2">GND に対して 1uF (6.3V) でデカップリングします
電源や負荷に外部的に接続しないでください</td><td>デバイス ピンのすぐ隣に配置します。ピン 7 GND へのパスは、短く、直接的で、低インピーダンスである必要があります。コンデンサのグランド側にビアを使用して、第 2 層の GND に接続します</td></tr>
</table>

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 設計ガイドラインのまとめ (続き)

ピン番号	ピン名		回路図に関する考慮事項	レイアウトに関する考慮事項
	TAS2783A/TAS2785	TAS2781		
1、5	VSNSN と VSNSP	VSNSN と VSNSP	LC フィルタ後にスピーカ出力に短絡します。2.2kΩ 1% 抵抗を直列に使用します	差動で配線し、スピーカ コネクタに接続します。2.2kΩ の抵抗の配置は重要ではありません。このパターンには電流が流れません。PCB 製造の許容範囲まで細くすることができます。
3.29	OUTP と OUTN	OUTP と OUTN	これはフィルタレス Class-D です。LC フィルタはオプションであり、EMI のみを目的としています。フィルタが必要な場合は、120Ω のフェライト ビーズとシャント 1nF コンデンサを使用します。	幅広のパターンで、スピーカ接続まで配線します。VSNS 接続は、できるだけスピーカに近づけて配置します。配線を短く保ち、EMI フィルタをデバイスの近くに配置して、放射を制限します。
4.30	BSTP と BSTN	BSTP と BSTN	BSTP-OUTP 間および BSTN-OUTN 間に、100nF の 10V コンデンサを配置します。LC フィルタの前にコンデンサを接続します。	このコンデンサの両端は、低インピーダンス接続にする必要があります。デバイスの近くに配置します。これらのコンデンサは、PCM の底面に配置することができます
26	モード	モード	AVDD への短絡 - Soundwire モード GND への短絡 - I2C モード 470 から GND - SPI モード	重要ではありません。モード ピンの接続が AVDD の配線に影響を与えないようにしてください。
23	ADDR	ADDR	GND へ短絡 - SNDW UID 0x08 または I2C アドレス 0x70 470Ω から GND - SNDW UID 0x09 または I2C アドレス 0x72 470Ω から AVDD - SNDW UID 0x0A または I2C アドレス 0x74 2.2kΩ から GND - SNDW UID 0x0B または I2C アドレス 0x76 2.2kΩ から AVDD - SNDW UID 0x0C または I2C アドレス 0x78 10kΩ から GND - SNDW UID 0x0D または I2C アドレス 0x7A 10kΩ から AVDD - SNDW UID 0x0E または I2C アドレス 0x7C 短絡から AVDD - SNDW UID 0x0F または I2C アドレス 0x7E	重要ではありません。ADDR ピンの接続が AVDD の配線に影響を与えないようにしてください。
11	PWM_CTRL	PWM_CTRL	LC フィルタに接続し、昇圧フィードバック ピンに接続します。Class-H 昇圧の設計ガイダンスについては、{link to sloa326} を参照してください。未使用の場合は、フローティングのままにします	重要ではありません
21	IRQz	IRQz	I2C または SPI モード: 20kΩ で IOVDD にプルアップします。 SoC GPIO に接続してデバイスの割り込みを監視します SNDW モード: 未使用の場合でも、20kΩ で IOVDD にプルアップします。	重要ではありません
22	SDz	SDz	SoC GPIO に接続します	重要ではありません

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 設計ガイドラインのまとめ (続き)

ピン番号	ピン名		回路図に関する考慮事項	レイアウトに関する考慮事項
	TAS2783A/TAS2785	TAS2781		
25、2、7	DGND、PGND、GND	DGND、PGND、GND	基板のグランドに短絡します	最上層のデバイス パッケージの下にグランド ポリゴンを配置します。ピン 2、7、25 をこのポリゴンに短絡し、複数のビアを使用して、そのポリゴンを第 2 層の GND プレーンに短絡します最上層の直下にある層は、グランド専用とする必要があります。
16	NC	NC	基板のグランドに短絡します	重要ではありません
6	SWDATA1	ICC	I2C/SPI モード: 2 つの L チャネル デバイスと R チャネル デバイスの間の ICC を短絡します 未使用の場合はフローティングにします Soundwire モード (TAS2783A/TAS2785): ホスト データ レーン 1 に接続します 未使用の場合は GND に短絡します	Soundwire モード: インピーダンスを 50Ω に制御します ホストとデバイス間、およびデバイス相互間で、クロックとデータのパターン セグメントの長さを一致させます PVDDH、PVDDL、OUTP、OUTN、BSTP、BSTN、VSNSP、VSNSN などの大電流信号やスイッチング信号の近くには配線しないでください
8	SWDATA0	NC_SDO	SPI モード Soundwire モードでホスト SPI データに接続します ホスト データ レーン 0 に接続します。未使用の場合はグランドに短絡します	
9	SWCLK	NC_SCLK	SPI モード: ホスト SPI クロック出力に接続します Soundwire モード: ホストの Soundwire クロック出力に接続します	
18	SCL	SCL_nSCS	I2C モード: 抵抗で IOVDD にプルアップします SPI モード: ホスト SPI チップ セレクトに接続します Soundwire モード: 未使用の場合でも IOVDD にプルアップします	PVDDH、PVDDL、OUTP、OUTN、BSTP、BSTN、VSNSP、VSNSN などの大電流信号やスイッチング信号の近くには配線しないでください
19	SDA	SDA_SDI	I2C モード: 抵抗で IOVDD にプルアップします SPI モード: ホスト SPI データ出力に接続します Soundwire モード: 未使用の場合でも、IOVDD にプルアップします	
12	SDOUT	SDOUT	ホストに接続します 未使用の場合はフローティングのままにします	
13、14、15	SDIN、FSYNC、SBCLK	SDIN、FSYNC、SBCLK	ホストに接続します 未使用の場合はグランドに接続します	

Copyright © 2026 Texas Instruments Incorporated

5 参考資料

1. テキサス インスツルメンツ、『TAS278x Class-D アンプの Y ブリッジで効率の向上に寄与』アプリケーション ノート。
2. テキサス インスツルメンツ、『TAS2781 および TAS2783 Hybrid-Pro 昇圧コントローラ』アプリケーション ノート。

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月