

Application Note

TX73L64 を 32 チャンネル、2A 駆動超音波トランスミッタに構成

Roshan Divakar, Shabbir Amjhera Wala

概要

TX73L64 は、テキサス インストルメンツの最新世代超音波製品の 1 つです。このデバイスは、合計 64 個の 3 レベル パルス回路を内蔵しており、チャンネルごとに 1A の駆動電流を供給します。このデバイスには、送信側からレシーバへの 2:1 マルチプレクシング機能を備えた 32 個の LNA も内蔵されています。TX73L64 は、AFE5932/AFE59D32 と組み合わせて使用されます。主に、受信チャンネルに対する送信対 2:1 の比率を必要とするポータブル超音波システムを対象としています。

しかし、特定のシステムおよびアプリケーションでは、チャンネルごとに 1A を超える電流駆動が必要で、また受信チャンネル接続に 1:1 送信が必要である場合は、その両方になることもあります。このようなシステムでは、TX73L64 はデフォルト構成では Tx 設計の適切な選択肢ではありません。本アプリケーション ノートでは、TX73L64 を 32 チャンネル、2A 駆動設計に構成する方法、および 2A の高電流駆動の下で、Tx と Rx の間で 1:1 マルチプレクシングを必要とする超音波システムで使用するために必要なレジスタ設定とシステム レベルの接続についてご説明します。

目次

1 概要.....	2
2 32 チャンネル、2A 駆動モードのレジスタ設定.....	3
3 新しい構成でのシステム レベルの接続.....	3
4 新しい構成のメモリ マップ.....	5
5 新しい構成でのレジスタ マップ.....	7
6 新しい構成での出力波形.....	8
7 まとめ.....	9
8 参考資料.....	9

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

TX73L64 は、T/R スイッチを内蔵した高集積 64 チャンネル 3 レベル パルサです。このデバイスは、チャンネルごとに 1A の電流駆動をサポートしています。図 1-1 に、TX73L64 パルサの出力段を示します。この図に示されているように、TX73L64 は、AVDDP_HV および AVDDM_HV という 1 組の HV 電源を持つ 3 レベル パルサを備えています。各トランジスタ/レベルの最大電流駆動能力は 1A で、デバイスは 1.5V ~ 100V の範囲の HV 電源で動作するように設計されています。

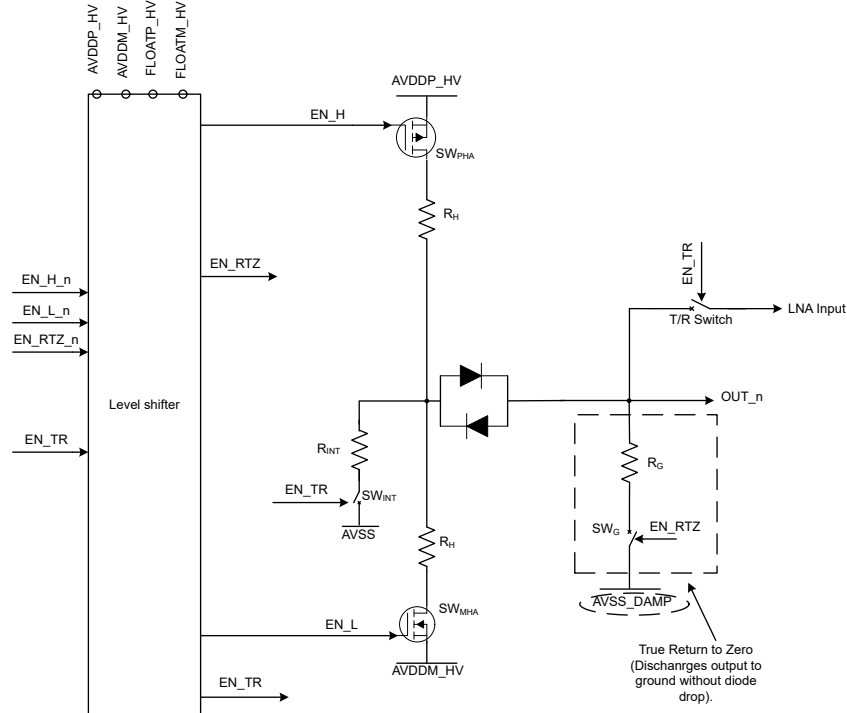


図 1-1. パルサの出力段

レシーバ側には、各チャンネルに 1 つずつ 64 個の T/R スイッチと 32 個の LNA が内蔵されています。図 1-2 に示されているように、T/R スイッチは 2:1 マルチプレクシング モードに構成されており、2 つの TX チャンネルを 1 つの LNA に接続します。2 つのチャンネルのうち、いつでも 1 つの TX チャンネルのみを LNA に接続できます。

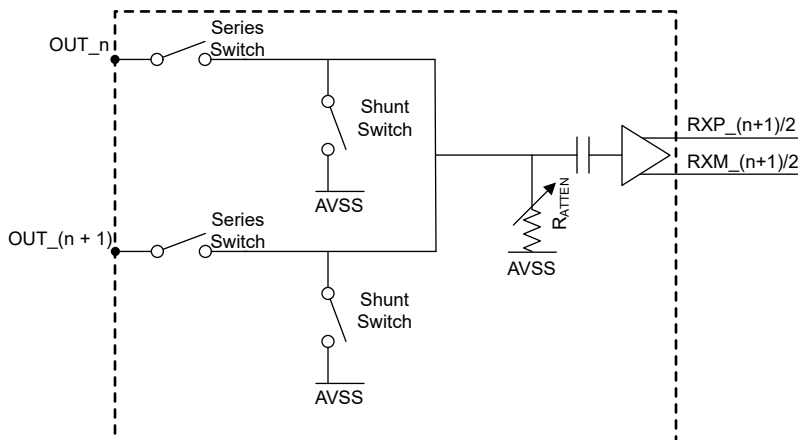


図 1-2. レシーバ側 2:1 マルチプレクシング

2 32 チャネル、2A 駆動モードのレジスタ設定

表 2-1 に、チャネルごとに 2A の電流駆動能力を備えた 32 チャネルトランスミッタにデバイスを構成するためのレジスタ設定を示します。

表 2-1. 32 チャネル、2A 駆動モードのレジスタ構成

アドレス (10 進)	データ (Hex)	コメント
2	0x8000_0000	ページ選択操作
148	0xC	内部レジスタ設定
2	0x0	ページ選択操作

表 2-1 のレジスタ設定は、ハードウェア リセットのアサート後にデバイスに書き込む初期化シーケンスの一部にできます。

3 新しい構成でのシステム レベルの接続

セクション 2 に示されているレジスタ設定が書き込まれた後、デバイスは送信側に実質的に 32 チャネル、受信側に 32 個の LNA があり、Tx と Rx の間に 1:1 接続を形成します。

この新しい構成では、送信チャネル $2n-1$ と $2n$ ($n = 1 \sim 32$) は同じように動作し、1 つのチャネルとして扱われます。これらのチャネルのパルサおよび T/R スイッチ回路は、新しい構成では共通の制御を持ち、両方のチャネルが PCB 上で短絡されて 1 つのチャネルとして動作するため、個別に制御することはできません。セクション 5 に、レジスタ制御に関する詳細を示します。したがって、これらのチャネルはデバイスに近づけて短絡し、1 つのトランスデューサ素子に接続できます。表 3-1 新しい構成で、トランスデューサ TX73L64 と AFE の間にシステムレベルの接続を提供します。

表 3-1. トランスデューサ、Tx、AFE 間のシステムレベルの接続

トランスデューサ素子	TXL64 チャネル番号	新しい TX チャネル番号	LNA チャネル番号	AFE チャネル番号	コメント
1	1.2	1	RXP/M_1	AFE チャネル 1	古い Tx チャネル 1 と 2 を短くして、ch 1 という名前を付けます
2	3.4	2	RXP/M_2	AFE チャネル 2	古い Tx チャネル 3 と 4 を短くして、ch 2 という名前を付けます
3	5.6	3	RXP/M_3	AFE チャネル 3	古い Tx チャネル 5 と 6 を短くして、ch 3 という名前を付けます
4	7.8	4	RXP/M_4	AFE チャネル 4	古い Tx チャネル 7 と 8 を短くして、ch 4 という名前を付けます
5	9.10	5	RXP/M_5	AFE チャネル 5	古い Tx チャネル 9 と 10 を短くして、ch 5 という名前を付けます
6	11.12	6	RXP/M_6	AFE チャネル 6	古い Tx チャネル 11 と 12 を短くして、ch 6 という名前を付けます
7	13.14	7	RXP/M_7	AFE チャネル 7	古い Tx チャネル 13 と 14 を短くして、ch 7 という名前を付けます
8	15.16	8	RXP/M_8	AFE チャネル 8	古い Tx チャネル 15 と 16 を短くして、ch 8 という名前を付けます
9	17.18	9	RXP/M_9	AFE チャネル 9	古い Tx チャネル 17 と 18 を短くして、ch 9 という名前を付けます
10	19.20	10	RXP/M_10	AFE チャネル 10	古い Tx チャネル 19 と 20 を短くして、ch 10 という名前を付けます
11	21.22	11	RXP/M_11	AFE チャネル 11	古い Tx チャネル 21 と 22 を短くして、ch 11 という名前を付けます
12	23.24	12	RXP/M_12	AFE チャネル 12	古い Tx チャネル 23 と 24 を短くして、ch 12 という名前を付けます
13	25.26	13	RXP/M_13	AFE チャネル 13	古い Tx チャネル 25 と 26 を短くして、ch 13 という名前を付けます
14	27.28	14	RXP/M_14	AFE チャネル 14	古い Tx チャネル 27 と 28 を短くして、ch 14 という名前を付けます

表 3-1. トランスデューサ、Tx、AFE 間のシステムレベルの接続 (続き)

トランスデューサ素子	TXL64 チャンネル番号	新しい TX チャンネル番号	LNA チャンネル番号	AFE チャンネル番号	コメント
15	29.30	15	RXP/M_15	AFE チャンネル 15	古い Tx チャンネル 29 と 30 を短くして、ch 15 という名前を付けます
16	31.32	16	RXP/M_16	AFE チャンネル 16	古い Tx チャンネル 31 と 32 を短くして、ch 16 という名前を付けます
17	33.34	17	RXP/M_17	AFE チャンネル 17	古い Tx チャンネル 33 と 34 を短くして、ch 17 という名前を付けます
18	35.36	18	RXP/M_18	AFE チャンネル 18	古い Tx チャンネル 35 と 36 を短くして、ch 18 という名前を付けます
19	37.38	19	RXP/M_19	AFE チャンネル 19	古い Tx チャンネル 37 と 38 を短くして、ch 19 という名前を付けます
20	39.40	20	RXP/M_20	AFE チャンネル 20	古い Tx チャンネル 39 と 40 を短くして、ch 20 という名前を付けます
21	41.42	21	RXP/M_21	AFE チャンネル 21	古い Tx チャンネル 41 と 42 を短くして、ch 21 という名前を付けます
22	43.44	22	RXP/M_22	AFE チャンネル 22	古い Tx チャンネル 43 と 44 を短くして、ch 22 という名前を付けます
23	45.46	23	RXP/M_23	AFE チャンネル 23	古い Tx チャンネル 45 と 46 を短くして、ch 23 という名前を付けます
24	47.48	24	RXP/M_24	AFE チャンネル 24	古い Tx チャンネル 47 と 48 を短くして、ch 24 という名前を付けます
25	49.50	25	RXP/M_25	AFE チャンネル 25	古い Tx チャンネル 49 と 50 を短くして、ch 25 という名前を付けます
26	51.52	26	RXP/M_26	AFE チャンネル 26	古い Tx チャンネル 51 と 52 を短くして、ch 26 という名前を付けます
27	53.54	27	RXP/M_27	AFE チャンネル 27	古い Tx チャンネル 53 と 54 を短くして、ch 27 という名前を付けます
28	55.56	28	RXP/M_28	AFE チャンネル 28	古い Tx チャンネル 55 と 56 を短くして、ch 28 という名前を付けます
29	57.58	29	RXP/M_29	AFE チャンネル 29	古い Tx チャンネル 57 と 58 を短くして、ch 29 という名前を付けます
30	59.60	30	RXP/M_30	AFE チャンネル 30	古い Tx チャンネル 59 と 60 を短くして、ch 30 という名前を付けます
31	61.62	31	RXP/M_31	AFE チャンネル 31	古い Tx チャンネル 61 と 62 を短くして、ch 31 という名前を付けます
32	63.64	32	RXP/M_32	AFE チャンネル 32	古い Tx チャンネル 63 と 64 を短くして、ch 32 という名前を付けます

4 新しい構成のメモリ マップ

デバイスには、合計 16 個のメモリブロックがあります。表 4-1 に、メモリブロック「N」(N = 1 ~ 16) のデバイスのデフォルトのメモリ構成を示します。

表 4-1. メモリブロック N (N は 1 ~ 16 の任意の値を指定可能)

アドレス <8:0>	データ[31:24]	データ[23:16]	データ[15:8]	データ[7:0]	注記
0	チャンネル 2N + 31 の TR_SW_ON_DEL	チャンネル 2N + 31 の TR_SW_OFF_DEL	チャンネル 2N - 1 の TR_SW_ON_DEL	チャンネル 2N - 1 の TR_SW_OFF_DEL	メモリの最初のアドレスには、チャンネル 2N + 31 と 2N - 1 の T/R スイッチ オフおよびオン遅延情報があります。このアドレスはハードコードされているため、そのアドレスに関連付けられるメモリ ポインタはありません
1	チャンネル 2N + 32 の TR_SW_ON_DEL	チャンネル 2N + 32 の TR_SW_OFF_DEL	チャンネル 2N の TR_SW_ON_DEL	チャンネル 2N の TR_SW_OFF_DEL	メモリの 2 番目のアドレスには、チャンネル 2N と 2N + 32 の T/R スイッチ オフおよびオン遅延情報があります。このアドレスはハードコードされているため、そのアドレスに関連付けられるメモリ ポインタはありません
アドレス <8:0>	データ <31:16>		データ <15:0>		注記
...					
K	チャンネル 2N + 31 のチャンネル遅延		チャンネル 2N - 1 のチャンネル遅延		遅延プロファイル 0。(この遅延情報を使用するには、BF_PROF_SEL_n を K にプログラムします。K は 2 ~ 510 で偶数にすることができます)
K+1	チャンネル 2N + 32 のチャンネル遅延		チャンネル 2N のチャンネル遅延		
K+2	チャンネル 2N + 31 のチャンネル遅延		チャンネル 2N - 1 のチャンネル遅延		遅延プロファイル 1。(この遅延情報を使用するには、BF_PROF_SEL_n を K にプログラムします。K は 2 ~ 510 で偶数にします)
K+3	チャンネル 2N + 32 のチャンネル遅延		チャンネル 2N のチャンネル遅延		
...					
パターン開始アドレス (M0)	パターン プロファイル 0 はここから開始				パターン プロファイル 0 (レジスタ MEM_START_WORD にプログラムされた 9 ビット番号で、その数値が奇数であるという制約付き)
M0+1					
...					
パターン終了アドレス (M0+L0)	パターン プロファイル 0 はここで終了				
...					
パターン開始アドレス (M1)	パターン プロファイル 1 はここから開始				パターン プロファイル 1 (レジスタ MEM_START_WORD にプログラムされた 9 ビット番号で、その数値が奇数であるという制約付き)
M1+1					
...					
パターン終了アドレス (M1+L1)	パターン プロファイル 1 はここで終了				
...					
511					

表からわかるように、各メモリブロックには 4 チャンネルのグループに関する情報が含まれています。しかし、新しい構成では、デバイスは実質的に 32 チャンネルを持っているため、各メモリブロックには 2 チャンネルのグループの情報が含まれています。表 4-2 に、新しい構成でのデバイスのメモリ マップを示します。

表 4-2. メモリブロック N (N は 1 ~ 16 の任意の値を指定可能)

アドレス <8:0>	データ[31:24]	データ[23:16]	データ[15:8]	データ[7:0]	注記
0	チャンネル N+16 の TR_SW_ON_DEL	チャンネル N+16 の TR_SW_OFF_DEL	チャンネル N の TR_SW_ON_DEL	チャンネル N の TR_SW_OFF_DEL	メモリの最初のアドレスは、常にチャンネル N と N+16 の T/R スイッチ オフおよびオン遅延情報を持っている必要があります。このアドレスはハードコードされており、それに関連付けられるメモリ ポインタはありません。

表 4-2. メモリブロック N (N は 1 ~ 16 の任意の値を指定可能) (続き)

アドレス <8:0>	データ[31:24]	データ[23:16]	データ[15:8]	データ[7:0]	注記
アドレス <8:0>	データ <31:16>		データ <15:0>		注記
...					
K	チャンネル N+16 のチャンネル遅延		チャンネル N のチャンネル遅延		遅延プロファイル 0。(この遅延情報を使用するには、BF_PROF_SEL_n を K にプログラムします。K は 1 ~ 511 が可能)
K+1	チャンネル N+16 のチャンネル遅延		チャンネル N のチャンネル遅延		遅延プロファイル 1。(この遅延情報を使用するには、BF_PROF_SEL_n を K にプログラムします。K は 1 ~ 511 が可能)
K+2	チャンネル N+16 のチャンネル遅延		チャンネル N のチャンネル遅延		遅延プロファイル 2。(この遅延情報を使用するには、BF_PROF_SEL_n を K にプログラムします。K は 1 ~ 511 が可能)
K+3	チャンネル N+16 のチャンネル遅延		チャンネル N のチャンネル遅延		遅延プロファイル 3。(この遅延情報を使用するには、BF_PROF_SEL_n を K にプログラムします。K は 1 ~ 511 が可能)
...					
パターン開始アドレス (M0)	パターン プロファイル 0 はここから開始				パターン プロファイル 0 (レジスタ MEM_START_WORD にプログラムされた 9 ビット番号で、その数値が奇数であるという制約付き)
M0+1					
...					
パターン終了アドレス (M0+L0)	パターン プロファイル 0 はここで終了				
...					
パターン開始アドレス (M1)	パターン プロファイル 1 はここから開始				パターン プロファイル 1 (レジスタ MEM_START_WORD にプログラムされた 9 ビット番号で、その数値が奇数であるという制約付き)
M1+1					
...					
PatternEnd アドレス (M1+L1)	パターン プロファイル 1 はここで終了				
...					
511					

5 新しい構成でのレジスタ マップ

新しい構成では、レジスタ制御の挙動は、デフォルト構成の元の機能と多少動作が異なります。表 5-1 に、新しい構成では使用できない TX73L64 のレジスタ フィールドを示します。表 5-2 に、新しい構成で機能が変更されるレジスタ フィールドを示します。

表 5-1. 新しい構成ではレジスタは不要

レジスタ アドレス (Hex)	レジスタ フィールド名	コメント
0x16	TR_SW_EN_n (n = 2, 4, 6...64)	これらは、デバイスの偶数チャンネルの TR_SW_EN ビットであり、新しい構成では使用する必要はありません
0x1B	EN_AUTO_DIS_RX、 TR_SW_MUX_EN_1、 TR_SW_MUX_EN_2	これらは、TX73L64 の T/R スイッチ マルチプレクシングを制御します。これは、新しい構成で使用する必要はありません。
0x2D	PDN_PUL_n (n = 2, 4, 6...64)	これらは、デバイスの偶数チャンネルの PDN_PUL ビットであり、新しい構成で使用する必要はありません
0x2F	PAT_INV_CH_n (n = 2, 4, 6...64)	これらは、デバイスの偶数チャンネルの PAT_INV_CH ビットであり、新しい構成では使用する必要はありません

表 5-2. 機能が新しい構成で変更されるレジスタ

レジスタ アドレス (Hex)	レジスタ フィールド名	コメント
0x17	TR_SW_EN_n (n = 1, 3, 5...63)	これらは、デバイスの奇数チャンネルの TR_SW_EN ビットです。TR_SW_EN_n ビットは、チャンネル「n」と「n+1」(n = 1, 3, 5...63) の両方を制御します。
0x18	TR_SW_DIS_n (n = 2, 4, 6...64)	レジスタ 0x18 および 0x19 に書き込む値は、互いに一致している必要があります。値が異なると、デバイスが不適切な機能を引き起こす可能性があります。
0x19	TR_SW_DIS_n (n = 1, 3, 5...63)	レジスタ 0x18 および 0x19 に書き込む値は、互いに一致している必要があります。値が異なると、デバイスが不適切な機能を引き起こす可能性があります。
0x2E	PDN_PUL_n (n = 1, 3, 5...63)	これらは、デバイスの奇数チャンネルの PDN_PUL ビットです。PDN_PUL_n ビットは、チャンネル「n」と「n+1」(n = 1, 3, 5...63) の両方を制御します。
0x30	PAT_INV_CH_n (n = 1, 3, 5...63)	これらは、デバイスの奇数チャンネルの PAT_INV_CH ビットです。PAT_INV_CH_n ビットは、チャンネル「n」と「n+1」(n = 1, 3, 5...63) の両方を制御します。

新しい構成でデバイスを使用するときは、使用しないフィールド (表 5-1 で説明) を 0 に保持する必要があります。

6 新しい構成での出力波形

図 6-1 に、デフォルト構成および新しい構成での 5MHz、5 サイクル波形のパルサ出力を示します。使用する負荷は 220 Ω || 220pF です。

デフォルト構成では、1 つのチャンネルが負荷に接続され、新しい構成では、2 つのパルサ チャンネルが短絡し、負荷に接続されています。

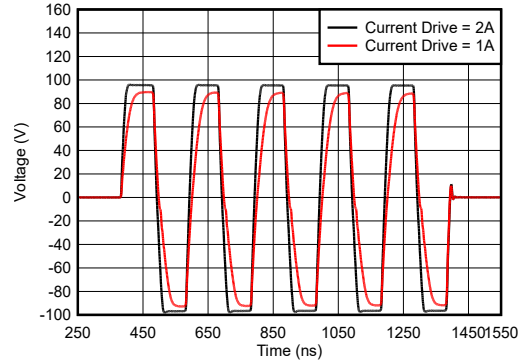


図 6-1. 1A 駆動および 2A 駆動モードでの 5MHz 信号の時間ドメイン波形

注

セクション 2 のレジスタ設定の書き込みを怠ると、デバイスが 64 チャンネル部品として動作してしまいます。その結果、32 チャンネル構成で 2 チャンネルがハードウェアで短絡した場合、予期しない動作やデバイスの損傷の原因となる可能性があります。

7 まとめ

本アプリケーション ノートでは、2:1 T/R スイッチ マルチプレクシング機能搭載の 64 チャンネル、3 レベル、1A 駆動トランスミッタである TX73L64 をご紹介しています。本アプリケーション ノートでは、より大きな電流駆動や、送信側から受信側への 1:1 マルチプレクシングを必要とするアプリケーションのために、デバイスを 32 チャンネル、2A 駆動トランスミッタに構成する方法を示しています。本アプリケーション ノートでは、32 チャンネル、2A 駆動構成に必要なレジスタ設定について、および新しい構成で動作するために必要なシステム レベルの接続についてもご説明しています。最後に、本アプリケーション ノートでは、デフォルト構成と新しい構成との間で、ユーザー制御の違いをまとめて、Tx 側から Rx 側への 1:1 マルチプレクシングを備えた 32 チャンネル、2A 駆動トランスミッタとしてデバイスを動作させています。

8 参考資料

- テキサス インストルメンツ、『[TX73L64 3 レベル、64 チャンネルトランスミッタ \(オンチップ ビームフォーマ、T/R スイッチ、32 チャンネル マルチプレクスレシーバ \(LNA 付き\) 搭載\)](#)』、データシート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月