

## Application Note

## 疑似差動動作モードでの ADC168M102R-SEP とのインターフェイス



Taiwo Arojoye

## 概要

このアプリケーション ノートでは、ADC168M102R-SEP とのインターフェイス方法をいくつか説明します。これはデュアル、16 ビット、2x2 または 4x2 チャンネル、耐放射線性、同時サンプリング A/D コンバータ (ADC) です。このアプリケーション ノートでは、インターフェイスの互換性を強調するために、C2000 DSP にマルチチャンネル バッファ付きシリアル ポート (McBSP) ポートと、シリアル ペリフェラル インターフェイス (SPI) およびパルス幅変調器 (PWM) ペリフェラルの両方を採用した、疑似差動動作モード ADC168M102R-SEP との接続を確立します。このアプリケーション ノートでは、F28377D-SEP 実験キットを使用してソースコードを提供します。

## 目次

1 概要.....	2
2 ハードウェア プラットフォーム.....	2
3 ハードウェア インターフェイス.....	3
3.1 McBSP を介した通信.....	3
3.2 SPI と ePWM を介した通信.....	5
4 ソフトウェア インターフェイス.....	8
4.1 McBSP の設定.....	8
4.2 SPI と ePWM の設定.....	9
4.3 ソフトウェアの流れ図.....	10
5 まとめ.....	11
6 参考資料.....	11

## 図の一覧

図 3-1. McBSP を介したハードウェア接続.....	3
図 3-2. McBSP を使用したモード II 波形.....	4
図 3-3. 拡張モード II 波形.....	4
図 3-4. 連続変換モード II.....	5
図 3-5. SPI と ePWM を介したモード II のハードウェア接続.....	6
図 3-6. SPI と ePWM を使用するモード II 波形.....	6
図 3-7. 最初の変換サイクルを拡張.....	6
図 3-8. バッファなしの 8 ビット SPI を使用した ADC168M102R-SEP へのインターフェイス.....	7
図 4-1. ソフトウェアのフローチャート.....	10

## 表の一覧

表 1-1. チャンネルの選択.....	2
表 4-1. McBSP の主なレジスタ設定.....	8
表 4-2. SPI の主要レジスタ設定.....	9
表 4-3. ePWM の主要レジスタ設定.....	9

## 1 概要

ADC168M102R-SEP はデュアル、16 ビット、1MSPS、耐放射線特性の SAR ADC で、8 つの疑似差動入力 (4x2) または 4 つの完全差動入力 (2x2) に構成できます。8 つの入力チャンネルは、2 つのペアにグループ化され、その後に 2 つの独立したサンプル / ホールド回路が続き、同時に信号を収集できます。MODE ピン M0/M1 の構成に基づいて、このデバイスは、表 1-1 に示すように、2 つのシリアル データ出力または 1 つのシリアル データ出力による、手動または自動のシーケンシング チャンネル選択の任意の組み合わせとして構成できます。

表 1-1. チャンネルの選択

M0	M1	チャンネルの選択	使用される出力ピン
0	0	手動 (SDI 経由)	SDOA と SDOB
0	1	手動 (SDI 経由)	SDOA のみ
1	0	自動	SDOA と SDOB
1	1	自動	SDOA のみ

チャンネル情報ビット (チャンネル インジケータ 1 ビット、変換結果の最上位ビットより前に ADC インジケータ 1 ビットが続く) は、完全差動動作モードでのみ使用できます。チャンネル識別を考慮する際は、ADC168M102R-SEP が疑似差動動作モードで動作する際に手動チャンネル選択モードを使用する必要があります。さらに、ほとんどのプロセッサとの互換性を確保するため、このアプリケーション ノートではシングル シリアル データ出力モードが選択されているため、モード II については主に以下のセクションで説明します。

## 2 ハードウェア プラットフォーム

ADC168M102REVM-PDK は、ADC168M102R-SEP ADC の性能を評価するためのプラットフォームです。この評価基板を使用して、TI のさまざまな DSP またはマイコンに接続すると同時に、カスタマイズ済みのエンド ユーザー アプリケーションでアナログ信号とデジタル信号両方にアクセスできます。この評価基板の詳細については、『[ADC168M102REVM-PDK ユーザー ガイド](#)』を参照してください。

テキサス インストルメンツ の C2000 検証用キットは、初期のデバイス検証とテストに最適な製品です。DelfinoF28377D 検証用キットには、オンボード USB JTAG エミュレーションと、すべての制御 CARD 信号、ブレッドボード領域、および RS-232 コネクタと JTAG コネクタにアクセスする機能を備えたドッキング ステーションが含まれます。このキットの詳細については、<http://www.ti.com/tool/tmdxdock28377d> を参照してください。

DelfinoF28377D 検証用キットと ADC168M102REVM-PDK を組み合わせると、F28377D-SEP DSP から ADC168M102R-SEP へのインターフェイス実験を容易に行うことができます。

### 3 ハードウェア インターフェイス

F28377D-SEP は、ADC168M102R-SEP などのシリアル デバイスとの通信用の、McBSP および SPI が搭載されています。さらに、柔軟な同期機能を備えたマルチチャネルの拡張パルス幅変調器 (ePWM) ペリフェラルも内蔵されています。ADC168M102R-SEP とのインターフェイスを確立する 2 つの方法を以下のセクションで説明します。

ハードウェア接続に示す DSP と ADC168M102R-SEP の間の抵抗 (図 3-1 を参照) は、高速デジタル信号によってデジタル システムに不要なリングングが発生し、最終的にシステム性能が低下する可能性があることを知らせるものです。抵抗の要件は、最終設計のクロック速度、パターン長、物理的な PCB レイアウトに依存します。

#### 3.1 McBSP を介した通信

McBSP は、データパスと、外部デバイスへの制御パスで構成されます。送信用と受信用に分離されたピンを使用して、これは、幅広いデータ サイズの選択が可能な全二重バッファ データ通信をサポートします。8、12、16、20、24、32 ビットです。McBSP には、独立したクロックおよびフレーム同期専用の 4 つのピンもあり、受信と送信のために使用されます。さらに重要な点として、これはクロック信号とフレーム同期信号の内部生成と制御のためのプログラム可能なサンプルレートジェネレータを統合します。これらの特長があるため、McBSP は単純にさまざまな種類のデバイスと通信するだけです。

##### 3.1.1 McBSP1 を使用

ADC168M102R-SEP は 3.3V 互換のデジタル インターフェイスを搭載しているので、F28377D-SEP 検証用キットと ADC168M102REVM-PDK の間をシームレスに接続できます。図 3-1 にイーサネット インターフェイス接続を示します。チップ セレクト (CS) ピンは、F28377D DSP の GPIO ピンによって制御され、動作前に ADC168M102R-SEP が有効になるため、複数のデバイスが McBSP ペリフェラルを共有できます。送信クロック信号 (CLKX) を生成するために、McBSP の内部サンプルレートジェネレータ (SRG) を構成します。フレーム同期送信 (FSX) パルスは、データ読み取り (RD) 信号として使用できます。これは、CLKX 信号に同期しており、その幅を 1 CLKX サイクルに設定できるためです。McBSP の CLKR と FSR は、受信用のクロックおよびフレーム同期信号として定義されます。受信データ (DR) と受信クロック (CLKR) との間の位相シフトを最小化するため、CLKR は ADC168M102R-SEP に非常に近いポイントで CLKX に接続されています。FSR は同じ方法で接続されています。

モード II では、ADC168M102R-SEP は両方の ADC から変換結果を出力するために 40 クロック サイクルを必要とします。モード I のように、変換開始 (CONVST) 信号が 20 クロックサイクルごとに発行される場合 (その時点で RD 信号に必要)、パルスは 2 回ごとに自動的に無視され、CONVST 信号も FSX に接続できます。正常な機能を検証し、出力データの破損を防止するために、FSX 信号を 1 クロック サイクルより長くしないようにする必要があります。

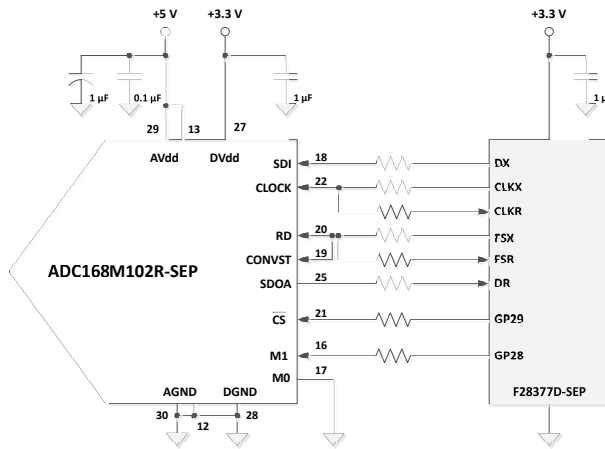


図 3-1. McBSP を介したハードウェア接続

図 3-1 に示すように、構成コマンドは McBSP の DX ピンを経由して ADC168M102R-SEP SDI ピンに送信され、リファレンス電圧構成、電力モード構成、入力モード構成、入力チャンネル選択などが含まれます。両方の ADC の変換結果は、SDOA を経由して DR ピンに送信されます。モード II では、SDOB ピンはこの特定の動作モードでは使用されません。

モード II 動作の場合、M0 をグランドに接続しながら M1 を GPIO で制御します。これにより、動作モードをモード I からモード II に変更する時間がプロセッサによって正確に制御されるようになります。この方法を使用すると、シリアル出力のチャンネル情報を予測できるため、変換結果のチャンネル情報を識別するソフトウェアのオーバーヘッドを最小限に抑えられます。

図 3-2 に、前述のハードウェア設定を使用したモード II の初期化プロセスを示します。1 変換サイクルへの倍率を、図 3-3 に示します。RD および CONVST 信号の立ち上がりエッジは、変換クロックの立ち上がりエッジに同期され、幅は 1 クロック周期に設定されます。サイクル全体は 27 クロック周期ごとに繰り返されます。

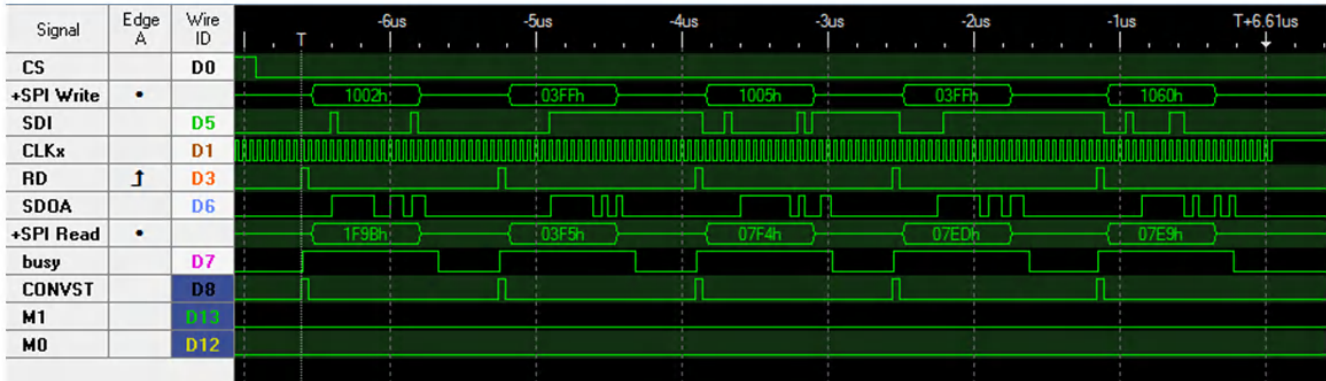


図 3-2. McBSP を使用したモード II 波形

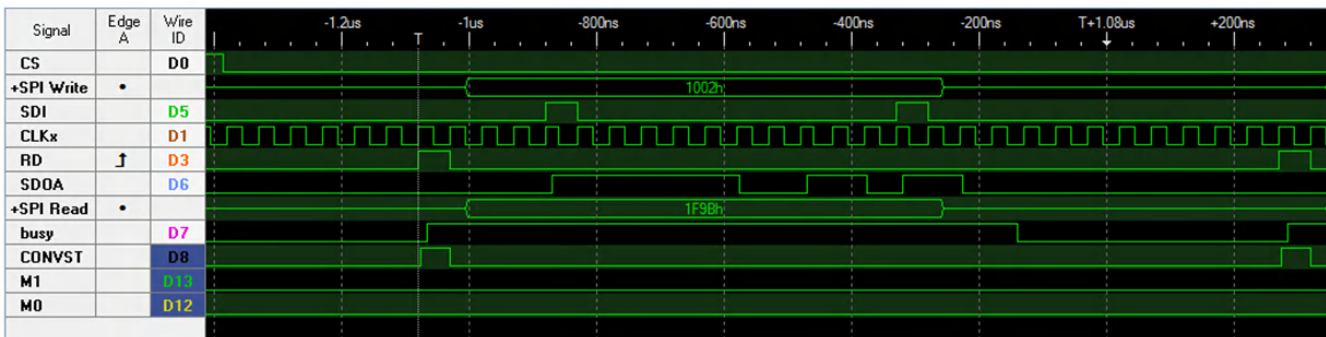


図 3-3. 拡張モード II 波形

前述のインターフェイス方式は完全差動入力モードでも使用できます。変更する必要があるのは、CONFIG レジスタでクリアする必要がある PDE ビットのみです。

### 3.1.2 チャネル識別

シリアル ポートの固定出力シーケンスを使用して、変換結果のチャネル情報を識別できます。モード II 動作では、最初に SDI で変換チャネルを選択した後、選択済みチャネルを変換するために、別の変換サイクルが必要になります。変換結果を出力するには、以下の 2 つの変換サイクルが使用されます。この動作モードでチャネル スイープを使用して連続的に変換を行うには、ビジー信号が **Low** のときに読み取りサイクルでチャネル選択コマンドを送信する必要があります。この場合、CONVST 信号は無視されます。

動作効率を最大化するには、[図 3-4](#) に示す最初の 2 つの RD/CONVST 信号の間で M1 を High に設定することを推奨します。これにより、最初の変換サイクルを使用して、2 番目の変換サイクルで変換されるチャネルを設定し、実際のモード II 動作が開始されます。有効な変換結果出力は、3 番目の変換サイクルの最初の変換サイクルのチャネル構成、A0 のチャネル構成によって異なります (「x」は、[図 3-4](#) のチャネル構成によって異なります)。

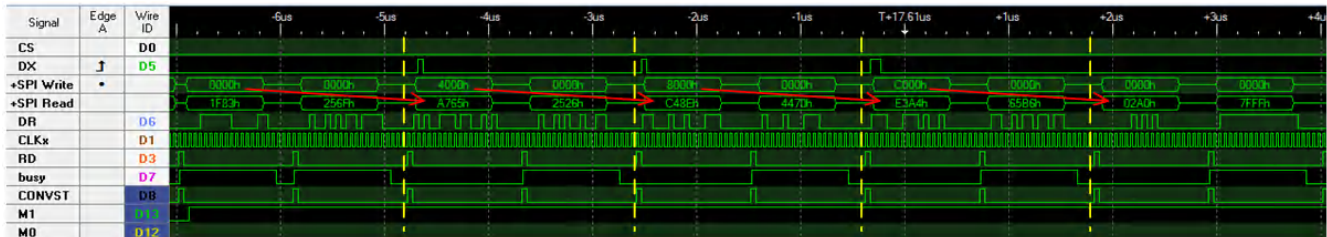


図 3-4. 連続変換モード II

## 3.2 SPI と ePWM を介した通信

McBSP ペリフェラルを利用できないプロセッサでは、SPI と ePWM ペリフェラルを一緒に使用して、ADC168M102R-SEP とインターフェイスすることができます。ここで使用される ePWM ペリフェラルには、少なくとも 2 つのモジュールが内蔵されており、互いに同期できる機能を備えている必要があります。

### 3.2.1 SPI と EPWM の使用

[図 3-5](#) に示すように、このインターフェイス方式では、1 つの SPI ポートと 2 つの ePWM モジュールが組み合わされて、ADC168M102R-SEP と接続されます。SPI ポートはスレーブ デバイスとして構成されており、1 つの ePWM モジュールからクロック信号を供給し、もう 1 つの ePWM モジュールを使用して RD および CONVST 信号を制御します。これら 2 つの ePWM モジュールは、時間ベース カウンタ同期方式を使用して互いに同期します。

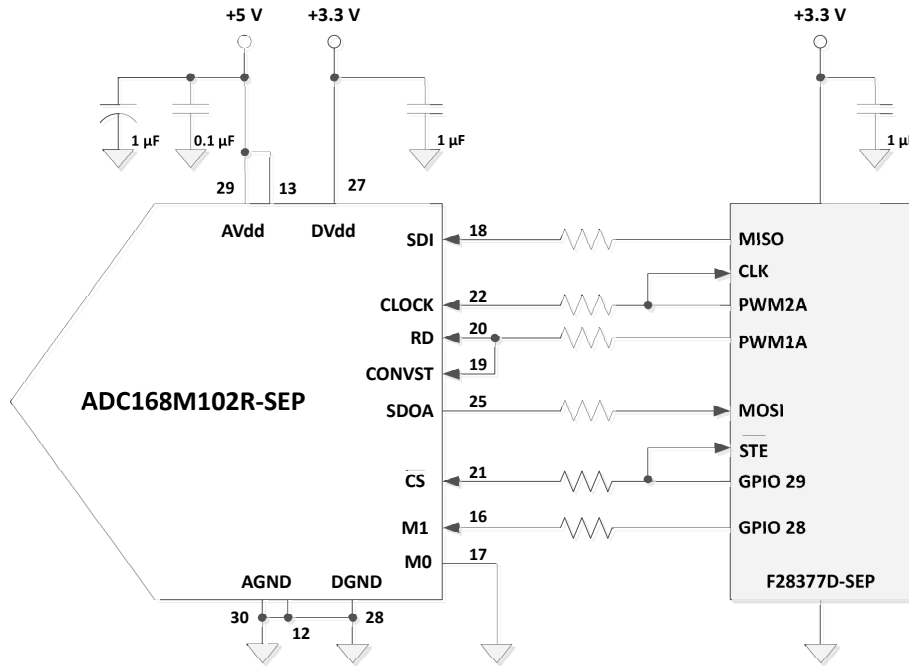


図 3-5. SPI と EPWM を介したモード II のハードウェア接続

図 3-5 に示すように、ADC168M102R-SEP の SDI 信号と SDOA 信号は、それぞれ SPI ポートの MISO と MOSI に接続されています。RD 信号は検証するには立ち下がりがクロック エッジが必要なため、SPI ポートの送信データは 1 ビット右シフトする必要があります。ソフトウェア実装の詳細については、セクション 4 で説明しています。図 3-6 に、1 つのバースト変換が 8 つの変換サイクルでシリーズ化され、それに対応する 6 つの有効な変換結果を示します。拡張された最初の変換サイクルを 図 3-7 に示します。

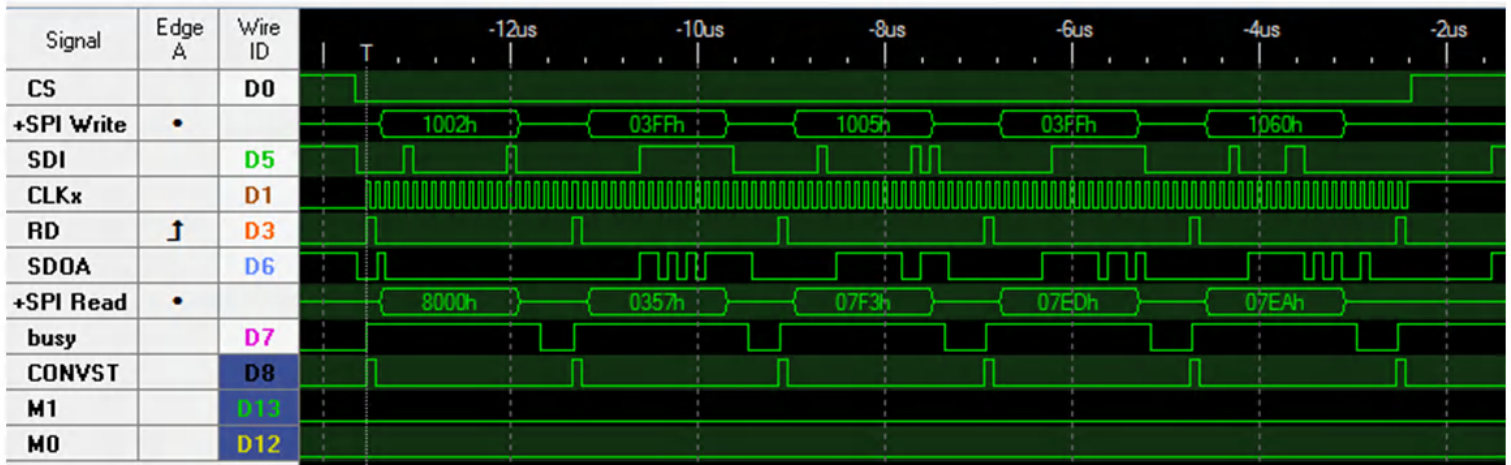


図 3-6. SPI と ePWM を使用するモード II 波形

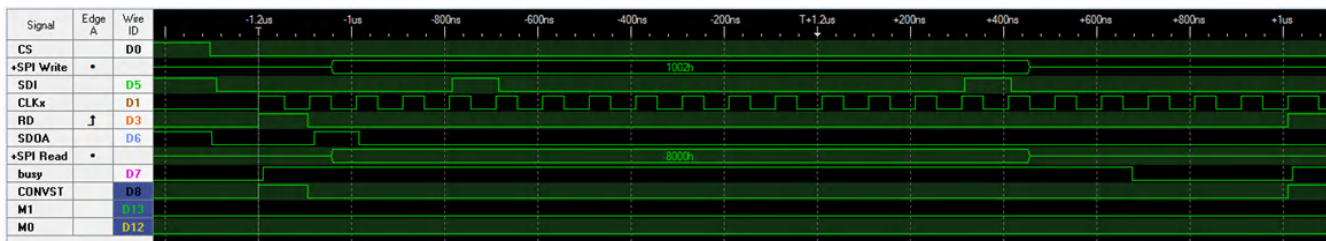


図 3-7. 最初の変換サイクルを拡張

アプリケーションで 2 つのシリアル ポート (McBSP+ SPI または 2 つの SPI) を使用できる場合は、SDOA と SDOB の両方のシリアル出力を使って、ADC168M102R-SEP と通信できます。詳細は、SLAA167 の 3.2 章を参照してください。

### 3.2.2 SPI ペリフェラルの要件

ADC168M102R-SEP は、1 つの変換サイクルを完了するために少なくとも 20 クロック サイクルが必要です。変換精度を確保したり、一定の変換速度を維持したりするには、ここで使用している SPI ペリフェラルが少なくとも 20 ビットのデータサイズを処理する機能を備えているか、送信バッファと受信バッファと統合している場合が役に立ちます。それ以外の場合、ソフトウェアの実装では、2 つの変換部分間のアイドル時間  $t_{IDLE}$  が最大クロック周期 (半周期クロック モードで動作している ADC168M102R-SEP の 2 $\mu$ s) よりも小さいことを指定する必要があります。図 3-8 は、ADC168M102R-SEP と接続された、送受信バッファなしの 8 ビット SPI を用いた波形を示しています。

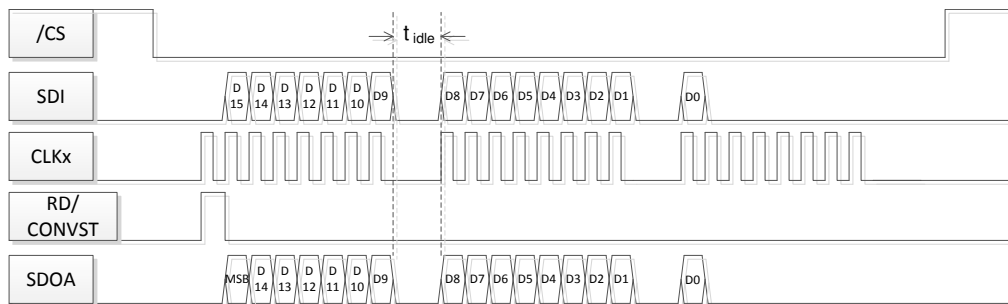


図 3-8. バッファなしの 8 ビット SPI を使用した ADC168M102R-SEP へのインターフェイス

## 4 ソフトウェア インターフェイス

すべてのソフトウェアは C 言語で記述され、Code Composer Studio バージョン 5.5 でコンパイルされています。以下のセクションでは、McBSP ポートのセットアップと、ADC168M102R-SEP のモード II 動作とインターフェイスするための SPI および ePWM ペリフェラルの設定について説明します。McBSP 受信データ プロセスのポーリング方法と割り込み方法の両方が、ソースコードで使用されます。

### 4.1 McBSP の設定

McBSP はシリアル ポートとしてプログラムされ、内部送信クロック (CLKX) として使用される内部データ クロック (CLKG) を生成するように内部サンプル レート ジェネレータ (SRG) を備えています。トランスミッタとレシーバは、フレームの同期後、およびフレームの最初のビットの送受信前の 1 ビットの遅延によって 16 ビット動作として設定されます。

送信フレーム同期パルス (FSX) は SRG によって生成され、FSX の幅は、1 CLKX クロック サイクルに設定する必要があります。送受信データを処理するためにポーリングまたは割り込みメカニズムを使用するかどうかに応じて、FSX を次のように設定する必要があります。SRGR2 レジスタの FPER ビットの設定に基づいて、(1) 送信レジスタへの書き込み時、または (2) 定期的に生成される。表 4-1 に、ポーリングまたは割り込み手法を使用した ADC168M102R-SEP との McBSP インターフェイスの主要なレジスタ設定を示します。

表 4-1. McBSP の主なレジスタ設定

登録	ポーリング動作の設定	割り込み動作の設定	コメント
SRGR2.bit.CLKSM	1	1	SRG は、LSPCLK を入力クロックとして使用します
PCR.bit.SCLKME	0	0	
SRGR1.bit.CLKGDV	9	9	クロック デバイダ
PCR.bit.CLKXM	1	1	CLKX は CLKG によって駆動されます
RCR1.bit.RWDLEN1	2	2	16 ビット動作として設定します
XCR1.bit.XWDLEN1	2	2	
RCR2.bit.RDATDLY	1	1	データ受信および送信時の 1 ビット遅延
XCR2.bit.XDATDLY	1	1	
PCR.bit.FSXM	1	1	FSX は CLKG によって駆動されます
SRGR1.bit.FWID	0	0	FSX は 1 CLKX サイクル幅です
SRGR2.bit.FSGM	0	0	FSX を生成するさまざまな方法
SRGR2.bit.FPER	-	21	2 つの FSX 信号間の周期
MFFINT.bit.XINT	-	1	Tx/Rx 割り込みを有効にします。
MFFINT.bit.RINT	-	1	

サンプル コードでは、ADC168M102R-SEP は 20MHz のシリアル クロックで動作します。これは、低速ペリフェラル クロック (LSPCLK) から 10 分周することにより達成されます。ADC168M102R-SEP の固定データ レート連続変換は、割り込みメカニズムを使用して McBSP でデータを処理することにより実現され、ADC168M102R-SEP は、以下に示すコード行に示すように、McBSP でデータを処理するポーリング メカニズムを使用して構成されます。

```

for(loopcount = 0; loopcount<5; loopcount ++ )
{
    mcbbsp_xmit(Txdata[Txcounter++],0);
    while(McbspaRegs.SPCR1.bit.RRDY == 0 ) { ; } // Check for receive available?
    Rxdata[Rxcounter++] = McbspaRegs.DRR1.a[1]; // read out result.
    while(McbspaRegs.SPCR2.bit.XRDY == 0){ ; } // Check for transmit ready?
}

```

## 4.2 SPI と ePWM の設定

F28377D-SEP は、設定された長さ (1 ~ 16 ビット) のシリアル ビット ストリームをデバイスにシフト インまたはシフト アウト できる高速同期 SPI と統合されているほか、16 レベルの受信および送信 FIFO をサポートしています。

このインターフェイス方式では、SPI ポートは 4 線式モード動作のスレーブ デバイスとして構成されます。

ADC168M102R-SEP タイミング図との互換性を確保するため、SPI ポートは立ち上がりエッジでデータを出力し、非遅延クロックの立ち下がりエッジでデータを入力するように設定されています。

ソースコードでは、SPI ポートの文字長を 11 ビットに設定し、送受信にバッファを使用し、前のワードの送信が完了するとすぐにバッファ内の次のワードが転送されます。これにより、2 つの SPI 送信を組み合わせると 1 つの ADC168M102R-SEP 変換サイクルに変換します。以下のいくつかのコード行は、それらの間の変換を示しています。表 4-2 に、前述の SPI ポートの主要なレジスタ設定を示します。

```
1. One ADC168M102R-SEP configure command split into two SPI transmission cycles:
    for(Cnt=0; Cnt < number; Cnt++)
    {
        SpiaRegs.SPITXBUF = (*(data+Cnt) >> 1) & 0x7FE0 ;
        SpiaRegs.SPITXBUF = (*(data+Cnt) << 10) & 0xFC00;
    }

2. Two SPI reception cycles combine together to be one ADC168M102R-SEP conversion result:
    for(Counteri = 0; Counteri < Rxcounter/2; Counteri ++ )
    {
        RxInterpreter[Counteri] = ( Rxdata[Counteri * 2] << 6 )
        | ( Rxdata[Counteri * 2 +1] >> 5 );
    }
```

表 4-2. SPI の主要レジスタ設定

登録	設定	コメント
SPICTL.all	0x0002	スレーブとして、遅延なしの通常の SPI クロック供給方式
SPIPRI.bit.TRIWIRE	0	4 線式 SPI モード (通常値)
SPIFFCT	0x0000	バッファ内の次のワードは、前のワードの送信が完了すると直ちに転送されます
SPICCR.all	0x008A	11 ビット、立ち上がりエッジでデータ出力、立ち下がりエッジで入力

使用する 2 つの ePWM モジュールは、同じレートとカウンタ モードでクロックを供給するように設定され、異なるカウンタ周期で RD/CONVST 信号またはクロック信号として使用できます。ePWM1 モジュールのカウンタ値がゼロに達すると、ePWM2 モジュールのカウンタ値はゼロに同期されます。表 4-3 に、ePWM モジュールの主要なレジスタ設定を示します。

表 4-3. ePWM の主要レジスタ設定

登録	ePWM1 の設定	PWM2 の設定	コメント
TBCTL.bit.HSPCLKDIV	1	1	時間ベース クロック レートを設定します
TBCTL.bit.CLKDIV	1	1	
TBCTL.bit.CTRMODE	0	0	カウンタ モードをアップカウント モードに設定します
TBPRD	219	9	時間ベース カウンタの期間を設定します
AQCTLA.bit.ZRO	2	2	ePWM モジュールの出力動作を設定します
AQCTLA.bit.CAU	1	1	
CMPA.half.CMPA	10	5	デューティ サイクルを制御するために比較レジスタを設定します
TBCTL.bit.PHSEN	0	1	同期制御。ePWM1 がマスタ、ePWM2 がスレーブ
TBCTL.bit.SYNCOSEL	1	0	
TBPHS.half.TBPHS	0	0	同期後にカウンタ値を設定します

### 4.3 ソフトウェアの流れ図

このアプリケーション レポートで提示しているサンプル コードは、McBSP ポートを使用するか、または SPI ポートと ADC168M102R-SEP との ePWM ペリフェラルとのインターフェイスに対応する 2 つのプロジェクト ファイルと 2 つのワークスペースで提供されます。

McBSP ポートを使用して ADC168M102R-SEP とのインターフェイスを行うプログラムでは、メイン機能に入ると、McBSP やその他のペリフェラルが適切に構成されます。ADC168M102R-SEP の構成コマンドが送信された後、McBSP ポートがリセットされ、送受信データを処理するためにポーリングの代わりに割り込みを使用します。この時点で、チャンネル構成コマンドが送信され、対応する変換結果が割り込みルーチンによって取得されます。プログラムは、受信された 1026 データ (チャンネルごとに 128 データ、および先頭に 2 つの無効なデータ) で終了します。図 4-1 に、サンプルのフローチャートを示します。

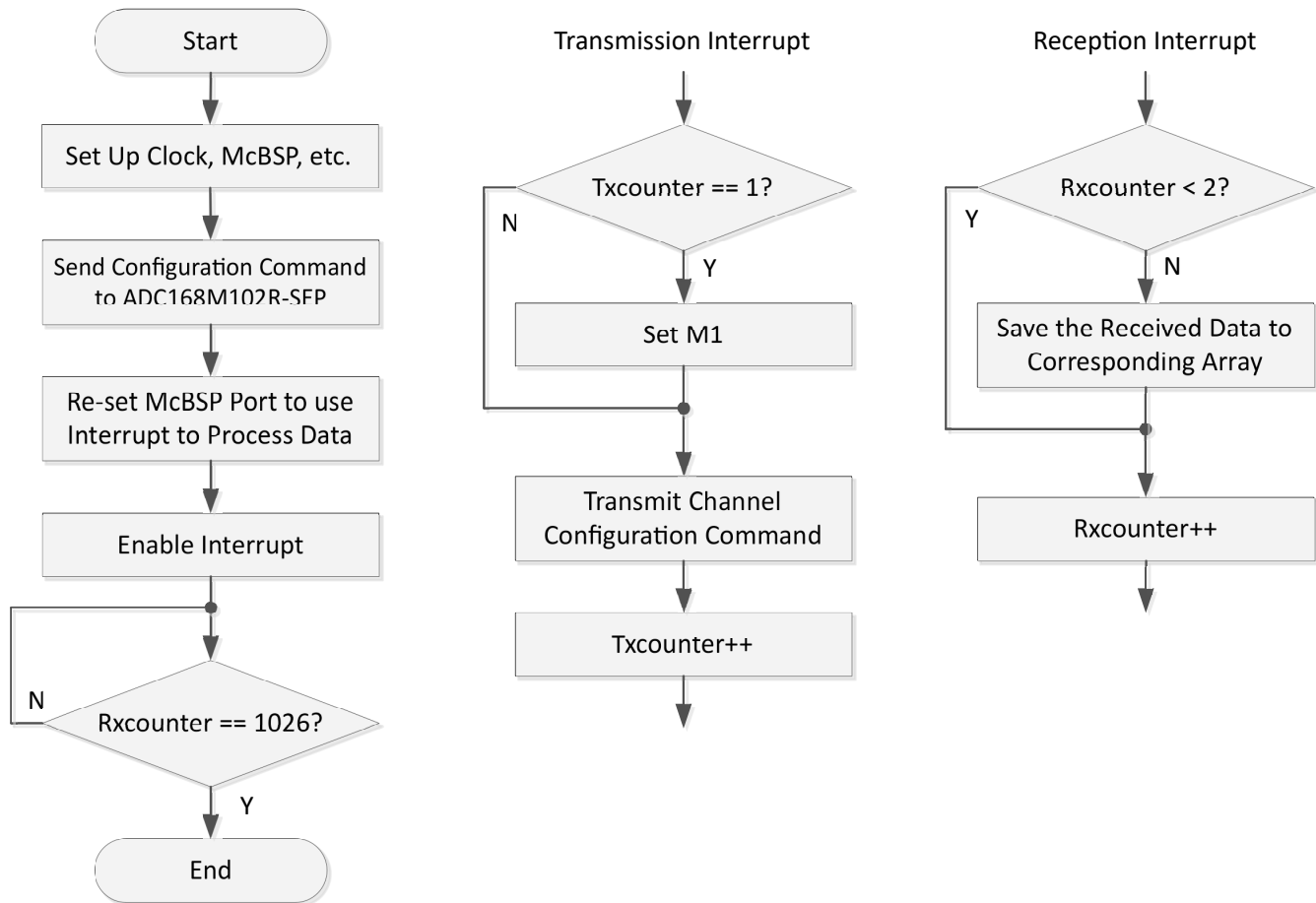


図 4-1. ソフトウェアのフローチャート

## 5 まとめ

このアプリケーション ノートでは、ADC168M102R-SEP の複数のインターフェイス方式の概要を説明します。特に、このドキュメントでは、疑似差動動作モードを調べて、McBSP ポートと SPI/PWM ペリフェラルの組み合わせを通じて、C2000 DSP とのインターフェイス互換性を実証します。

## 6 参考資料

1. テキサス インストルメンツ、『[ADC168M102R-SEP 放射線耐性、8 チャンネル、1MSPS、16 ビット ADC](#)』データシート。
2. テキサス インストルメンツ、『[TMS320F2837xD デュアルコア リアルタイム マイコン](#)』テクニカル リファレンス マニュアル。
3. テキサス インストルメンツ、『[TMS320x281x DSP マルチチャンネル バッファ付きシリアル ポート \(McBSP\) リファレンスガイド](#)』リファレンスガイド。
4. テキサス インストルメンツ、『[F2837xD ファームウェア開発パッケージ ユーザー ガイド \(F2837xD-FRM-EX-UG-100\)](#)』ユーザー ガイド。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月