

Application Brief

ボトルネックからブレークスルーへ: データセンターにおける QSPI を TXB0604/TXB0606 で最適化



Jack Guan

概要

TI の **TXB0604 / TXB0606** は、シリアル クワッド SPI 通信を使用したコントローラ / フラッシュ アプリケーションにおいて、リドライブに関する課題と動作電圧のミスマッチを効果的に解決します。設計者は強力な AC 駆動能力を活用して、マージンを改善すると同時に、クロック速度を犠牲にせずに、プロセッサとフラッシュの間で信頼性の高い通信を維持することができます。これらのデバイスは、**50MHz** および **100Mbps** を超えるデータレートをサポートし、チャンネルあたり最大 **100pF** の容量性負荷に耐えることで、伝送ラインに関連するシグナル インテグリティの問題を軽減し、より安定した高性能なシステム設計を実現します。

今日のデータセンター インフラストラクチャでは、最大限の処理効率を実現するために、高速通信が可能なサーバーと高度なコンピューティング システムを使用しています。データ処理側でのボトルネックを防ぐために、ホスト デバイスは多くの場合、例えば **NOR** フラッシュとベースバンド管理コントローラ (**BMC**) の組み合わせのように、外部の不揮発性メモリを利用してオンボード メモリの容量不足を克服しています。

このようなメモリ集約型のデータ転送では、パワー サイクル / リセットなどの特定のコマンド中に、両者間のシリアル通信インターフェイスとしてクワッド SPI (**QSPI**) が使用されます。一般的に、このインターフェイスは **FPGA** ファームウェア、システム **BIOS** イメージ、およびその他のシステム構成パラメータを格納するために使用され、システムの起動時間の短縮と起動の高速化を可能にします。標準的な **SPI** が **4** つのチャンネルを使用し、そのうち **2** つが固定の全二重データレーンしか持たないのに対し、**QSPI** は **6** つのチャンネルを使用し、最大 **4** つの半二重双方向データレーンを使用するため、スループットが大幅に向上します。

Intel が開発した同様のインターフェイスである拡張 **SPI (eSPI)** では、ホストとフラッシュとの間のメモリベースのインターフェイス上で、ホストとペリフェラルとの間のシステムレベルの通信にこのシリアル バスを利用します。**eSPI** は、サーバー側とクライアント側の異なるプラットフォーム間のインターフェイスとして頻繁に使用される従来の **SPI** やその他のサイドバンド信号に代わる、高速かつピン数の少ないバス インターフェイスとして機能します。

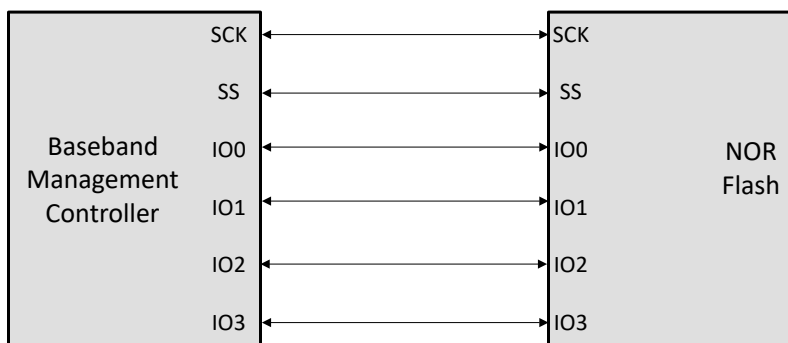


図 1. クワッド SPI アプリケーション例のブロック図

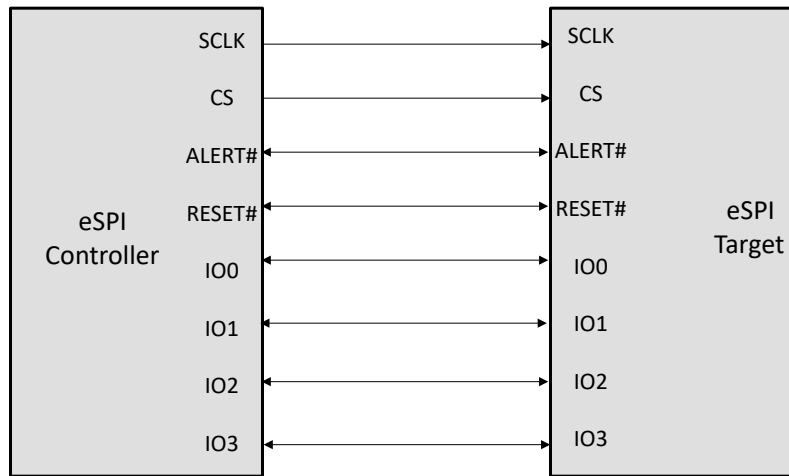


図 2. eSPI アプリケーション例のブロック図

設計者は、基板設計上の制約により、プロセッサと PHY を隣接して配置できないという課題にしばしば直面します。そのため、マザーボードとドーターボードの間に長いコネクタが挟まり、両者が離れてしまうケースが生じます。その結果、伝送ラインに起因する寄生容量により、目標の速度で QSPI バスが動作しなくなる可能性があります。これがオペレーティングシステムのボトルネックとなる恐れがあります。ほとんどの場合、コントローラとフラッシュの間にポイントツーポイント接続を使用しますが、その間に複数のマルチプレクサデバイスと長いコネクタを使用する場合があります。この状況では、QSPI バス上の個々の C_{IO} 容量が合計されることで、バスに過負荷がかかり、シグナルインテグリティが大幅に低下します。このようなエッジレートの低下は、ノイズマージンの減少を引き起こし、シグナルインテグリティに関する深刻な課題につながります。その結果、設計者はインターフェイスを安定させるためだけに終端調整や配線最適化を繰り返し行わなければならない場合や、場合によってはコストのかかる基板の再設計を余儀なくされたりしています。

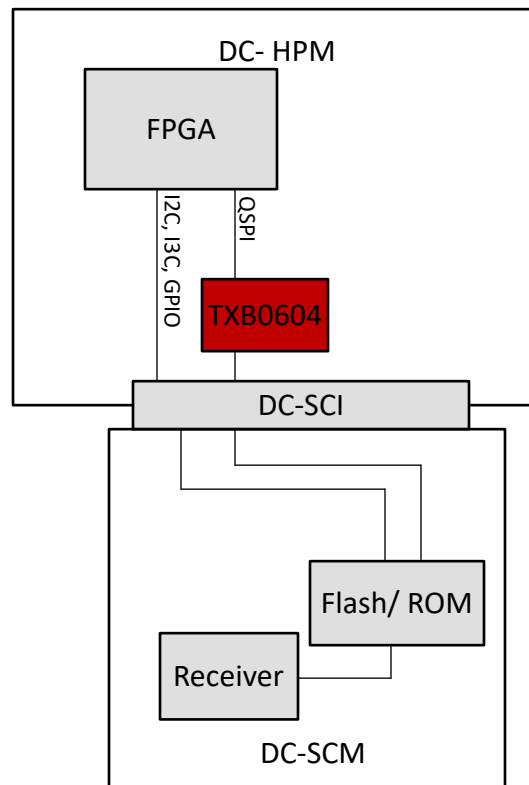


図 3. FPGA とフラッシュメモリの間で使用されている TXB0604

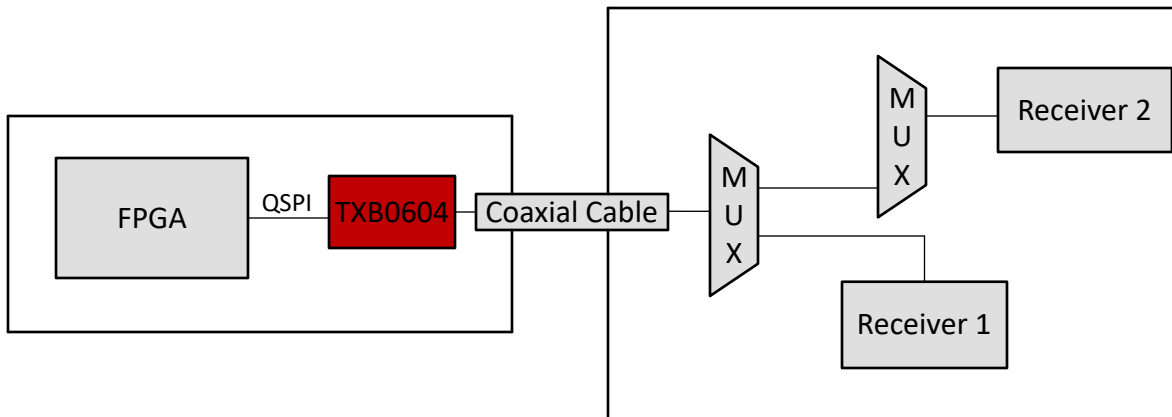


図 4. 下流の複数レシーバへの FPGA 接続

データセンター モジュールが CPU を使用して、BIOS 設定を格納する ROM からの読み取りを試み、その間に長いトレースが使用されている場合、伝送ラインにおけるシグナル インテグリティの問題により、データ処理速度が低下することがあります。ダウンタイムが長くなり、起動時間が遅くなると、転送レイテンシが長くなり、デバッグと検証のオーバーヘッドが増加します。

これまでエンジニアには 2 つの方法しかありませんでした。1 つ目は基板レイアウトを再設計してパターン長を短くすること、2 つ目はシリアルバス帯域幅を低減することです。TXB0604 と TXB0606 では、このシステムの制限を克服できる機能を備えた第 3 の選択肢が提供されるようになりました。

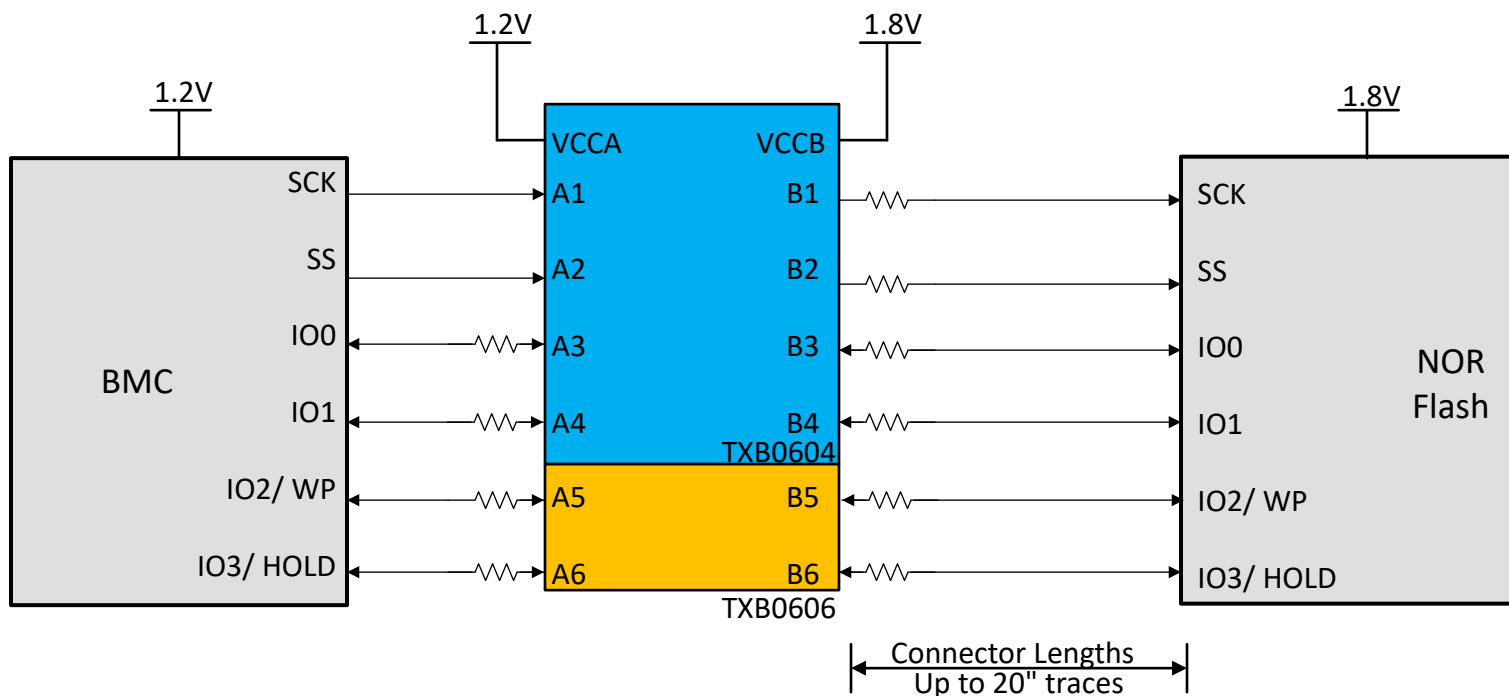


図 5. TXB0604 と TXB0606 のダイアグラム

表 1.

仕様	デバイス		
	TXB0104	TXB0604	TXB0606
チャンネル数	4	4	6
動作電圧 (V_{CCA} 、 V_{CCB})	1.2V ~ 3.6V 1.65V ~ 5.5V	0.9V ~ 2V 1.65V ~ 3.6V	
最大データレート (1.8V ~ 3.3V、 $C_{load} = 15pF$)	30MHz / 60Mbps	87.5MHz / 175Mbps	
最大データレート (1.8V ~ 3.3V、 $C_{load} = 100pF$)	該当なし / 対象外	57.5MHz / 115Mbps	
設計上の考慮事項	<ul style="list-style-type: none"> 出力負荷に対する感度 > 70pF 長いケーブルと組み合わせる場合は外付け直列抵抗を推奨 入力ドライブ要件: +/- 2mA $V_{CCA} \leq V_{CCB}$ 	<ul style="list-style-type: none"> 高いデータレートを維持しながら、100pF の出力負荷をサポート 長いケーブルと組み合わせる場合は外付け直列抵抗を推奨 入力ドライブ要件: +/- 3mA $V_{CCA} \leq, =, \geq V_{CCB}$ 方向変更の待機時間 (T_{dcw}) を考慮する必要があります。 	

まとめ

エンタープライズアプリケーションでメモリ集約量が増加するにつれて、QSPI スループットの向上とシグナル インテグリティの維持が設計の重要な課題になっています。信号路における電圧のミスマッチやバッファの不足は、帯域幅を落とすかシステムを再設計する以外に有効な対策が限られており、長年の課題となってきました。このアプリケーション ブリーフでは、TXB0604 と TXB0606 でこうした課題をどのように克服できるかを解説し、性能を低下させずにリドライブとレベルシフトのニーズに応える実用的な設計をシステム設計者に提示します。

参考資料

- テキサス インストルメンツ、『TXB 型トランスレータ設計における課題の克服』、アプリケーション ノート
- テキサス インストルメンツ、『TXB0604 高速インターフェイス用自動双方向レベルトランスレータ』、データシート
- テキサス インストルメンツ、『マルチプレクサを使用して SPI ベースのフラッシュ メモリ拡張を実現する方法』、アプリケーション ブリーフ

商標

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月