

Application Note

ハイサイドスイッチのゲートリングングの最適化



Alan Xia

概要

このホワイトペーパーは、一般的な昇圧コンバータ設計で一般的に発生するハイサイドスイッチゲートのリングング問題を詳細に分析し、最適化ソリューションを提示しています。ローサイド FET が閉じられると、過剰な dv/dt によってハイサイド MOSFET のゲートにゲートリングング電圧スパイクが発生します。リングング電圧が MOSFET の V_{gsth} より高くなると、MOSFET がオンになります。実験結果に基づき、ゲートリングングを最適化するソリューションを提示しました。効率と安全性を考慮して、このホワイトペーパーでは、HO ゲートの並列 1.5nF ソリューションと HO ゲートの並列 PNP ソリューションを推奨します。

目次

1 概要.....	2
2 LM5125/6A-Q1 ゲートリングング問題.....	3
3 ゲートリングング問題の根本原因.....	4
4 ゲートリングングの設計に関する問題.....	8
5 まとめ.....	11
6 参考資料.....	12

商標

すべての商標は、それぞれの所有者に帰属します。

2 LM5125/6A-Q1 ゲートリングング問題

車載対応外部アンプ アプリケーションのスイッチング波形テストでは、ハイサイド MOSFET がオン、ローサイド MOSFET がオフになる過程で、次のことが分かりました。ハイサイド MOSFET のゲートによって、1.2V を超える大きいパルス電圧が検出されます。

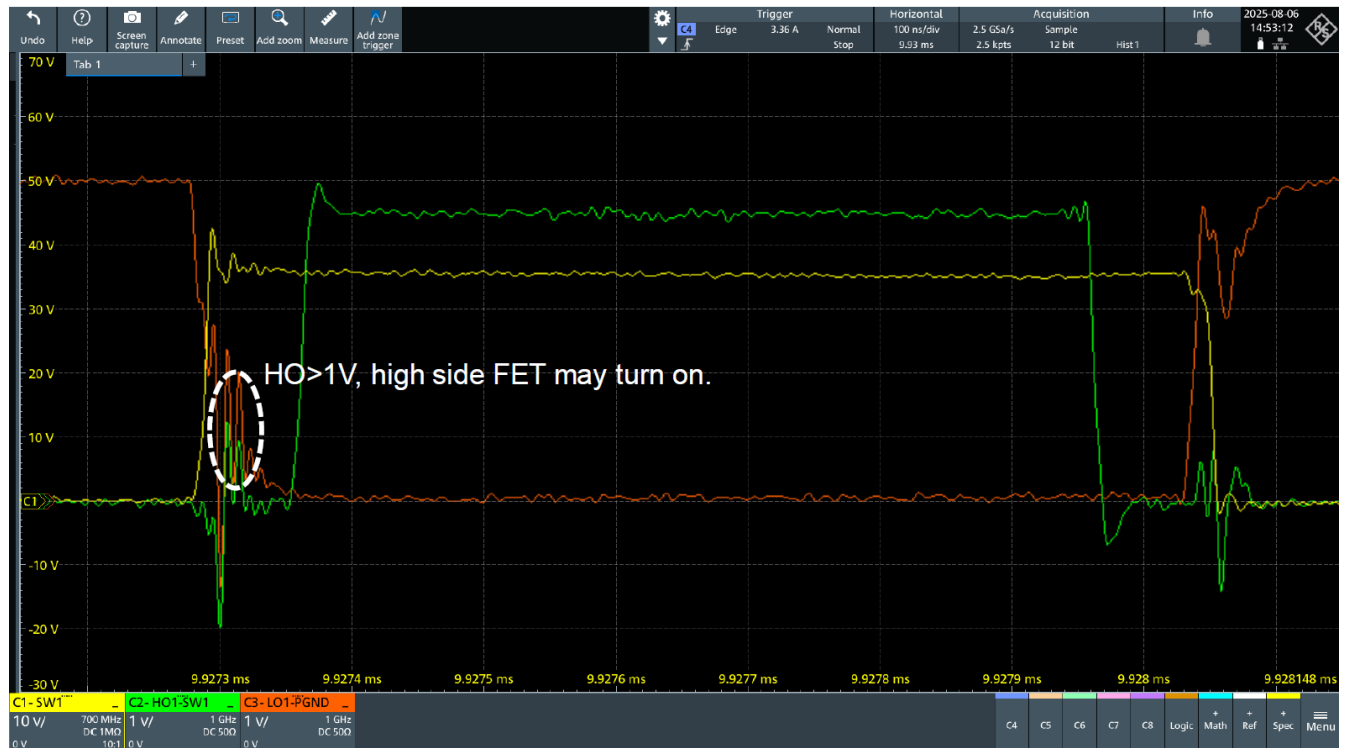


図 2-1. ゲートリングング テスト波形

図 2-2 に示すように、テストで使用した MOSFET は NVMFS5C670NL で、VGSTH は 1.2 ~ 2V なので、VGSTH が 1.2V を超えると、MOSFET が誤ってオンになるリスクがあります。波形からわかるように、この時点ではローサイドは完全にシャット オフされていないため、ショット スルーを形成し、ハイサイドとローサイドの MOS を同時に接続します。短絡が発生する可能性があり、MOSFET に大きな電流が流れ、MOSFET を損傷するリスクがあります。

Gate-to-Source Leakage Current	IGSS	VDS = 0 V, VGS = 20 V	100	nA
ON CHARACTERISTICS (Note 4)				
Gate Threshold Voltage	VGS(TH)	VGS = VDS, ID = 53 μA	1.2	2.0 V

図 2-2. NVMFS5C670NL のパラメータ

3 ゲート リングング問題の根本原因

図 3-1 に示すように、LS MOS がオフで、HS MOS がオンになると、昇圧スイッチングが行われます。この時点で、SW ポイントに顕著な dv/dt があります (赤い点線)。

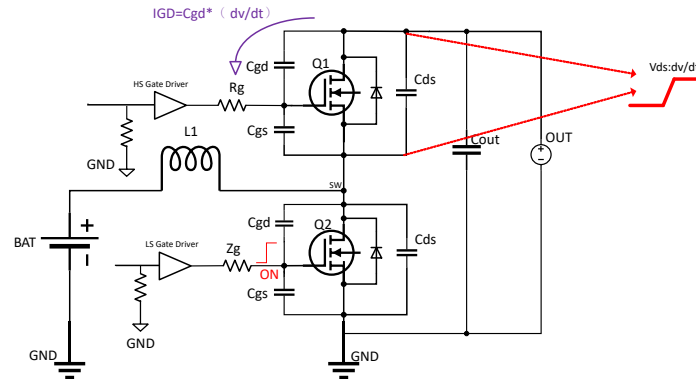


図 3-1. ゲート リングング電圧の根本原因分析

この電圧変化 dv/dt は、HS MOS のボディ ダイオードと Q1 の寄生容量 Cgd に大電流を生じさせます。これは、式 1 で計算できます。

$$I = Cgd \left(\frac{dv}{dt} \right) \quad \# (1)$$

この電流により、Q1 のゲートと Rg に異なる電圧スパイクが発生します。式 2 を参照してください。

$$Ugs = IRg \quad \# (2)$$

HS MOS は、オンになると Q1 ゲートで常に充電されるため、この電流によって最初に HS MOS の充電が遅くなり、電圧が逆になることもあります。青い破線波形からわかるように、 Vgs がまず反転し、その後に大きな電圧スパイクが形成されます。この電圧スパイクが MOSFET のスレッシュホールド電圧 $Vgsth$ を超えると、Q2 が完全にオフになっていない場合に Q1 が意図せず早期にオンになってしまいます。大きな電流は MOSFET を直接通過します。

式 1 と 式 2 からわかるように、このリスクを低減する方法は I を低減することです。したがって、MOSFET 上のこのリングングは、 Cgd と dv/dt を下げるか、 Rg を適切に下げることによって低減できます。

これは通常、次の方法で、設計と MOSFET の選択により回避できます。

1. レイアウト設計に関しては、図 3-2 の LM5125A-Q1 評価基板レイアウト設計に示すように、ゲート - ソース間ループでケルビン接続を利用できます

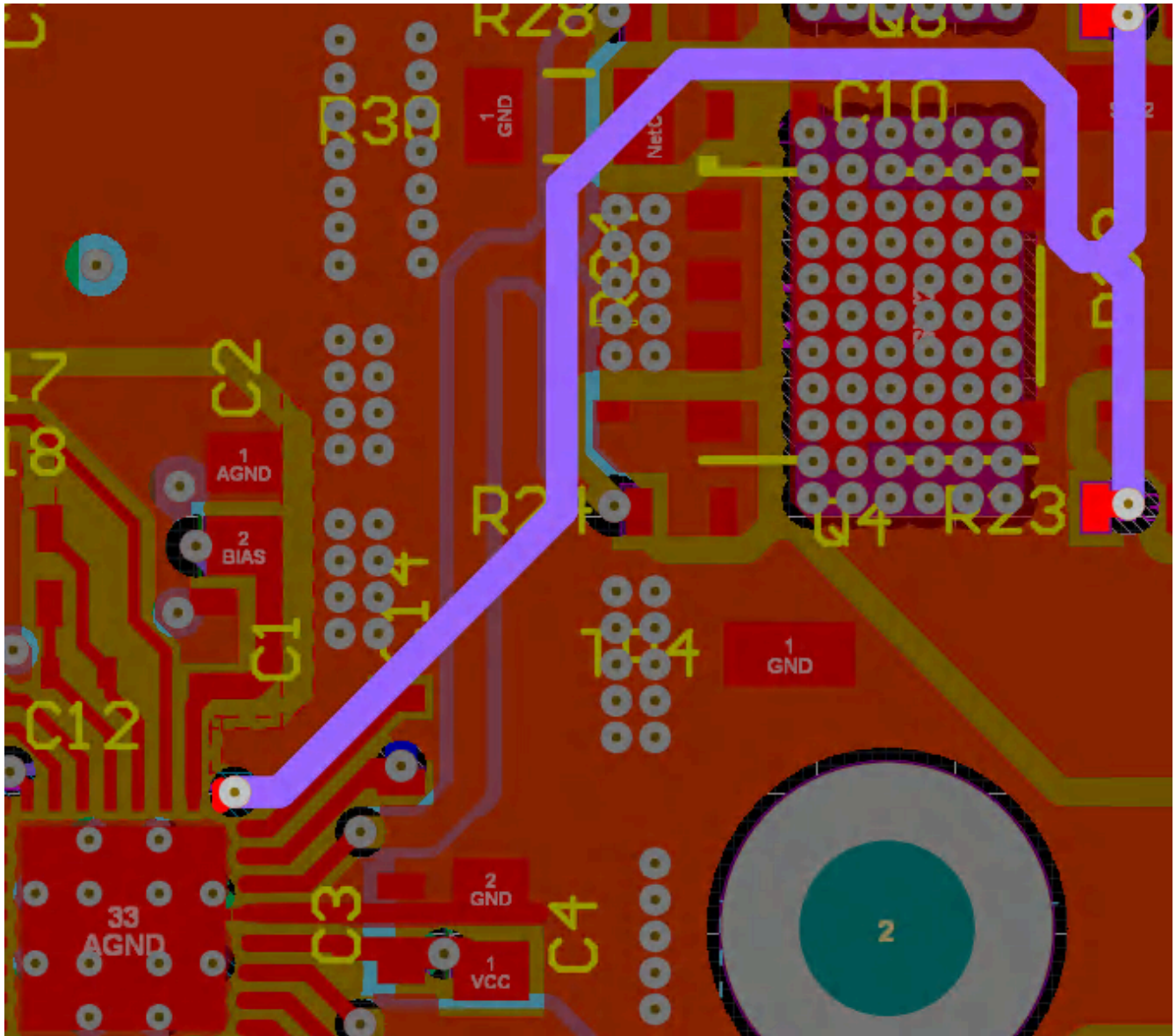


図 3-2. LM5125A-Q1 EVM HO-GND ケルビン接続設計 (レイヤ 5)

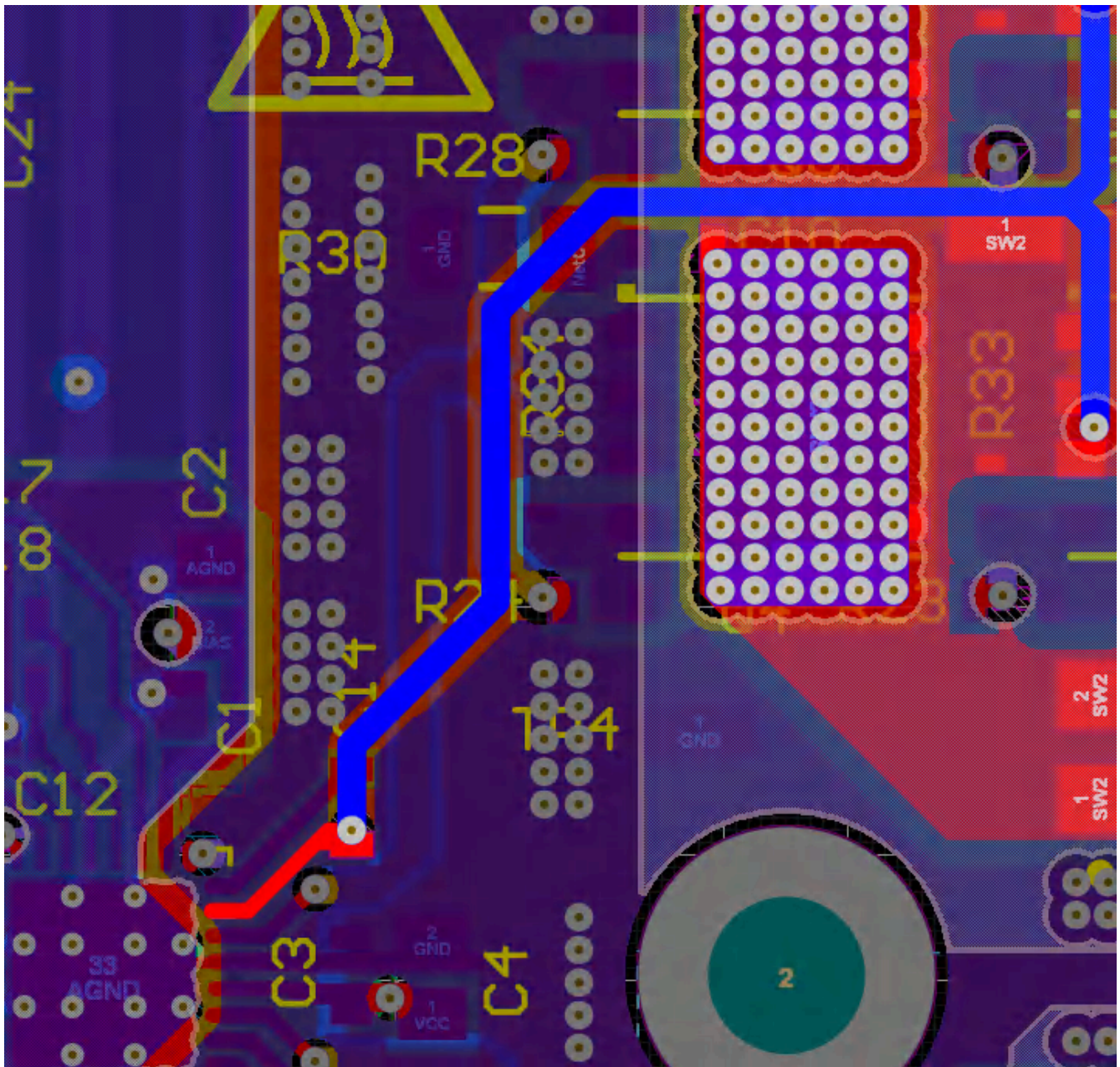


図 3-3. LM5125A-Q1 EVM ソース - SW ケルビン接続設計 (レイヤ 6)

図 3-3 に示すように、ゲートから SW へのループ設計は隣接する層を利用し、同一のパターンレイアウトを採用しています。この手法により、ループ面積が最小化され、誘起される寄生インダクタンスが低減されます。

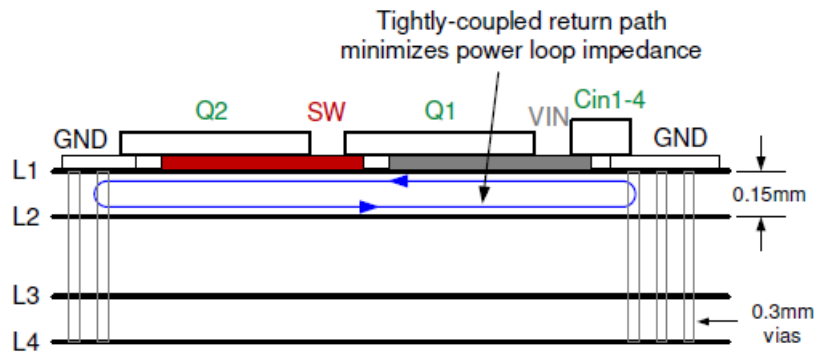


図 3-4. レイヤ L1 と L2 を使用した低面積のスイッチング ループを示す PCB スタックアップ

図 3-4 に、マルチレイヤ PCB 構造で低プロファイル、自己キャンセル ループを作成する考え方を表す側面図を示します。L2 の GND プレーン層により、MOSFET の真下に Q2 ソース端子への密結合電流のリターンパスが作られます。

2. リンギング電圧を開スレッシュホールドまで上げてリスクを低減するように MOSFET を選択すると、Vgsth に高いデバイスを選択します。
3. Cgd/Cgs 比が小さい MOSFET を選択します。
4. Rg を適切に下げます。
5. ゲートとソース間の並列静電容量。Cgs を人工的に増加。さらに、連続性損失を考慮する必要があります。

上記にいくつか挙げた方法の多くには、設計における MOSFET の制限事項がいくつか含まれています。そのため、最も簡単で最も効果的な方法は、5 で提示されている並列静電容量のソリューションです。この資料では、結果に基づく LM5125A-Q1 と LM5126A-Q1 のゲートリングングの設計に関する推奨事項について説明します。

4 ゲートリングングの設計に関する問題

LM5125A-Q1 と LM5126A-Q1 は車載対応外部アンプで広く使用されています。このテストは、表 4-1 の主なテスト構成として、アプリケーションの設計シナリオに従っています

表 4-1. テスト設定

パラメータ	値
入力電圧	14.4V
出力電圧	35V
スイッチング周波数	400kHz
インダクタ L_M	3.3 μ H
HS Rg	2.2 Ω
LS Rg	10 Ω
MOSFET	NVMFS5C670NL

元の設計に基づいて、1nF、1.5nF、2.2nF、3.3nF のコンデンサを Q1 と並列に接続してテストし、ハイサイド MOSFET のターンオン/ターンオフ プロセスでゲートリングングテストを実施しました。

1. 元の設計テスト:

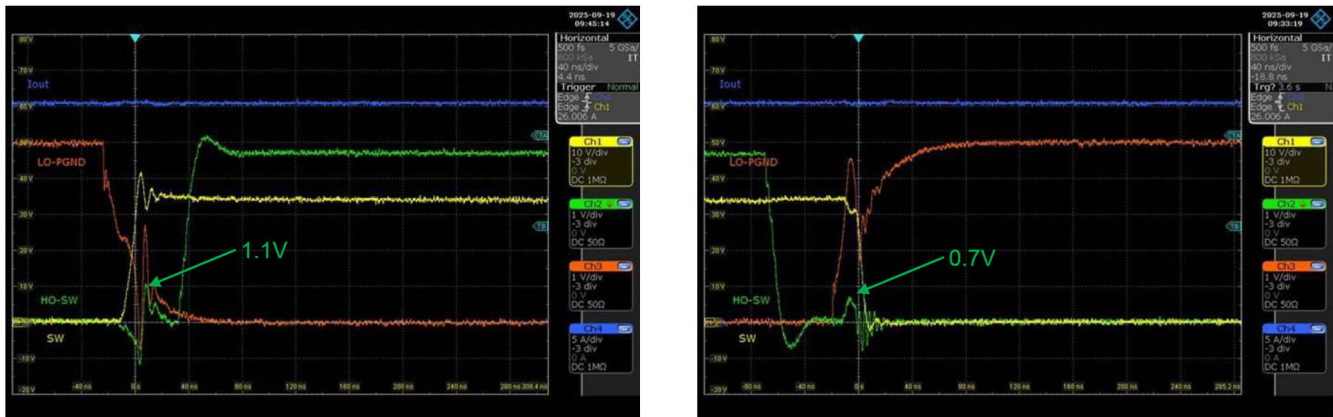


図 4-1. 元の設計のテスト結果 (HS オン / LS オフ (左)、HS オフ / LS オン (右))

2. HO + 1nf:

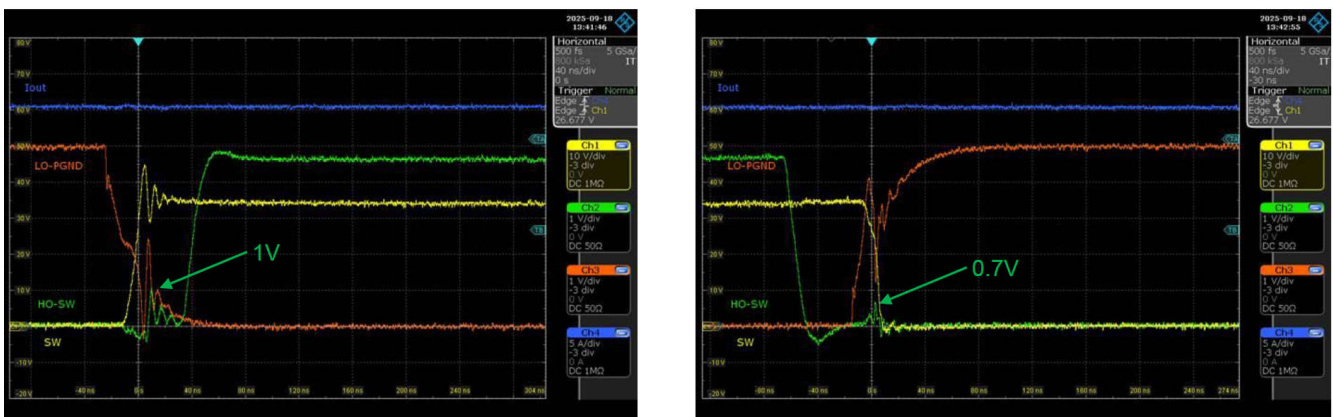


図 4-2. HO+1nf テスト結果: HS オン / LS オフ (左)、HS オフ / LS オン (右)

3. HO+1.5nf:

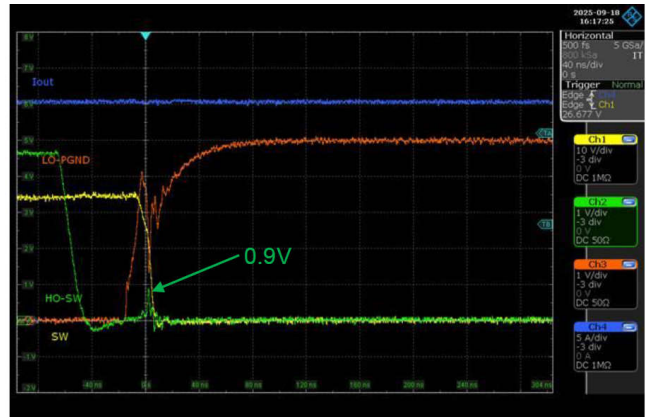
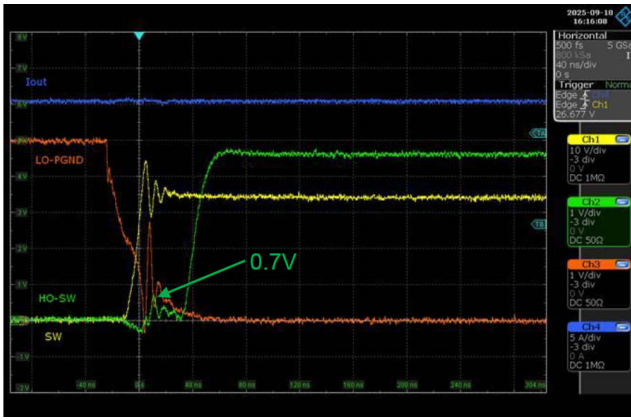


図 4-3. HO+1.5nf テスト結果:HS オン / LS オフ (左)、HS オフ / LS オン (右)

4. HO+2.2nf:

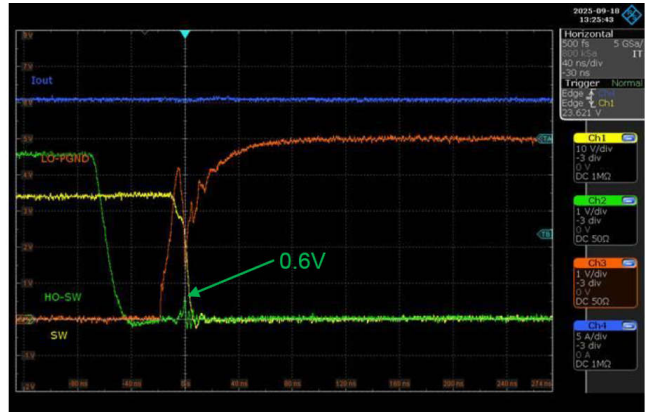
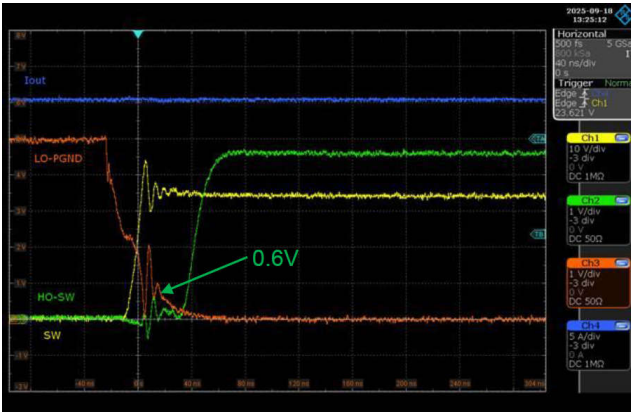


図 4-4. HO+2.2nf テスト結果:HS オン / LS オフ (左)、HS オフ / LS オン (右)

5. HO+3.3nf:

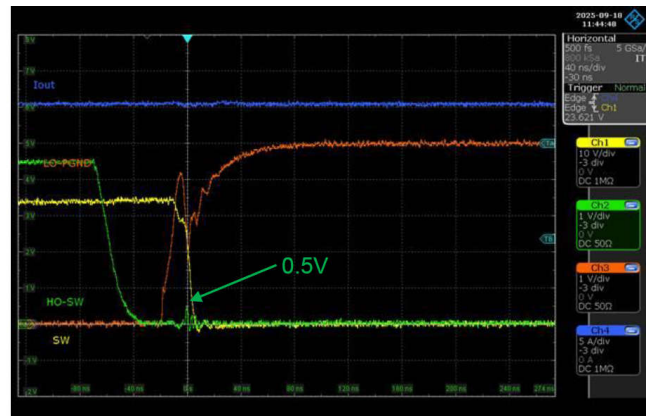
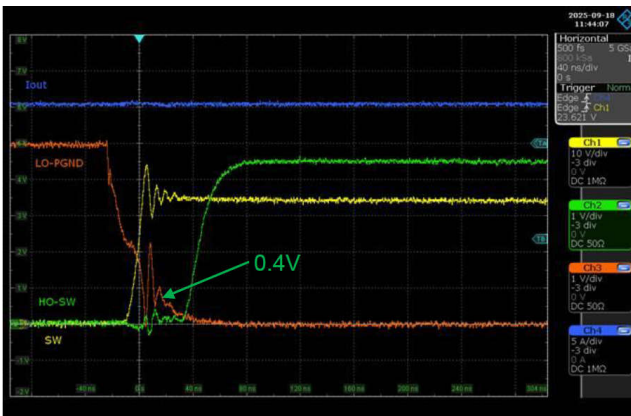


図 4-5. HO+3.3nf テスト結果:HS オン / LS オフ (左)、HS オフ / LS オン (右)

表 4-2 にテスト結果をまとめています

表 4-2. テスト結果のまとめ

HO ステータス設計	ON	OFF
元の回路	1.1V	0.7V
HO+1nF	1V	0.7V
HO+1.5nF	0.7V	0.9V
HO+2.2nF	0.6V	0.6V
HO+3.3nF	0.4V	0.5V

したがって、追加損失とスイッチング速度への影響を考慮すると、次の方法で計算可能
外付け 1.5nF は、HO ゲートドライバの損失のみを増加させます。

$$P = 14V \times 1.5nF \times 5V \times 400kHz = 42mW \quad (3)$$

設計フェーズ中に、このコンデンサのための設備を組み込むことを推奨します。これにより、デバッグが容易になり、ゲートリングングなどの問題が発生した場合のリスクを排除できます。(図 4-6 の HO+1.5nF を参照)

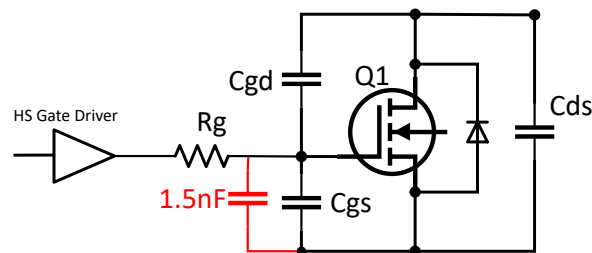


図 4-6. HS MOS 並列 1.5nF の設計

TI は別の設計を推奨します。

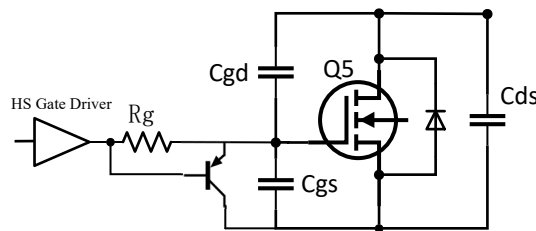


図 4-7. HO の設計および PNP 設計

図 4-7 に示すように、別の設計手法では、ハイサイドスイッチの駆動側に PNP トランジスタを組み込むことが含まれます。この設計は、ノイズ耐性の向上とスプリアス ターンオンの防止に役立ちます。HO 出力がオフ状態のとき、電流は PNP トランジスタを経由して GND に結合され、ゲート - ソース間電圧 (U_{gs}) の蓄積を防止します。この共通ベース PNP プルダウン構成は、結合干渉を効果的に抑制し、HO 出力が誤ってアクティブになることを防止します。

5 まとめ

このホワイトペーパーは、LM5125A-Q1/LM5126A-Q1 の実際の例と組み合わせ、ゲートのリングングの問題を測定した後、実際のテスト結果に基づいた理論的分析を実施し、全体的な効率と安全性を実現する最適な設計を提示しています。エンジニアは、実際の開発において設計を直接参照することにより、安全で効率的なシステムを設計できます。

6 参考資料

1. テキサス インスツルメンツ、『[LM5125A-Q1](#)、広入力電圧範囲、2 相、車載対応、VOUT トラッキング機能付き昇圧コントローラ』、データシート。
2. テキサス インスツルメンツ、『[LM5126A-Q1](#)、広 VIN、単相、VOUT トラッキング搭載、昇圧コントローラ』、データシート。
3. 記事「[Class-H オーディオ アンプ システムにおける 2 相インターリーブ昇圧コンバータの設計上の検討事項](#)」
4. テキサス インスツルメンツ、『[自适应死区在 DCDC 中对效率的提升](#)』、技術記事。
5. テキサス インスツルメンツ、『[汽车音频功放系统升压电路功能介绍](#)』アプリケーション ノート。
6. テキサス インスツルメンツ、『[最適化された出力段レイアウトによる大電流 DC/DC レギュレータの EMI 性能向上](#)』、アプリケーション ブリーフ。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月