

Application Note

データコンバータ設計のための TI クロック ツールの活用



Andrea Vallenilla

概要

サンプル クロックの性能は、高速コンバータの性能を最大化する最も重要な要因の 1 つです。このアプリケーション ノートでは、TI のクロック供給ツールを使用してアプリケーションに関して決定された要件に基づいて最適なクロックを選択する方法を段階的に説明します。

目次

1 概要.....	2
2 クロックの位相ノイズ曲線がコンバータの性能に及ぼす影響.....	2
3 選択したデータ コンバータのクロック性能の目標値を決定する.....	3
4 指定された要件に基づいて、どの TI クロックを選択するかを絞り込みます.....	3
5 提案されたクロックのジッタがコンバータの性能に与える影響を分析する.....	6
6 コンバータの信号対雑音比に対するクロック性能の影響を理解する.....	8
6.1 TI の高速コンバータと組み合わせた場合の TI クロック部品の制限事項.....	13
7 まとめ.....	15
8 参考資料.....	15
9 付録 A: Clock Tree Architect (CTA) の詳細なステップバイステップ ガイド.....	16
10 付録 B: PLLatinum Sim を使用した、アプリケーションの積分帯域幅のクロック ジッタの表現.....	22
11 付録 C: PLLatinum Sim 位相ノイズ曲線の比較ステップバイステップ ガイド.....	24
12 付録 D: PLLatinum Sim の位相ノイズ曲線シミュレーションと測定データの比較.....	26

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

TI は、指定した要件と選択したコンバータに基づいてクロックを選択できるように、複数のツールを提供しています。このアプリケーション ノートの残りの部分は、以下の事項に基づいています。

1. [ADC12DJ5200RF](#) が使用され、JMODE 3 (デュアル チャネル) に設定され、5200MSPS でサンプリングされています。
2. アナログ入力周波数は $f_{in} = 900\text{MHz}$ です。
3. 目標は、コンバータのダイナミック性能、つまり SNR (信号対雑音比) を最大化することです。

この大まかなステップバイステップのサンプル ガイドは、上記の前提に基づいて最適なクロックを選択するのに役立ちます。

1. [選択したデータ コンバータのクロック性能の目標値を決定する](#)
 - a. コンバータのアーチャ ジッタを半分にします。これは、位相ノイズ曲線を 6dBc/Hz 下げることに相当し、クロックのジッタ目標値を設定します。
 - b. サンプル周波数でのコンバータのノイズフロアから 6dBc/Hz を減算します。これにより、クロックのノイズフロアの目標値が設定されます。
2. [アプリケーションの要件に基づいて、どの TI クロックを選択するかを絞り込む](#)
 - a. **Clock Tree Architect (CTA)** は、ステップ 1 の性能目標値だけでなく、全体の消費電力、コスト、面積、その他のクロック機能も考慮します。
 - b. [セクション 9](#) に CTA の使用方法の詳細な手順が記載されています。

注

CTA で使用されるジッタ帯域幅は 20MHz に対して 12kHz に制限されており、この範囲外のジッタは考慮されていません。この範囲外のジッタまたはノイズは、ホワイトノイズまたはガウスノイズと見なすことができます。

3. [提案されたクロックのジッタがコンバータの性能に与える影響を分析する](#)
 - a. CTA が提示したクロックのジッタ値を Excel の SNR2Jitter_Curve 比較ツールに入力し、提案されたクロックで達成される性能が指定された要件を満たすのに十分かどうかを判断します。

2 クロックの位相ノイズ曲線がコンバータの性能に及ぼす影響

位相ノイズ曲線は、信号の短期的な位相変動の電力スペクトル密度を周波数ドメインで表したもので、理想的なキャリア周波数からサイドバンドにどれだけのエネルギーが漏れているかを示しています。位相ノイズ曲線が正の値に近づくほど、理想的なキャリア周波数からサイドバンドに漏れているエネルギーが多くなります。コンバータの性能を最大化するには、コンバータの位相ノイズよりも 6dBc/Hz 低い位相ノイズを実現するクロックを選択するだけで十分です。ただし、一部のアプリケーションでは、要件によっては、クロック性能の悪化に耐えられる場合もあります。『[次世代の高速コンバータ設計に優位性をもたらす実用的なクロッキングに関する考慮事項](#)』では、位相ノイズ、ジッタ、その他のクロック特性がコンバータの性能にどのように影響するかを、具体的な例を用いて解説しています。クロック劣化を診断する前に、このアプリケーション ノートをご覧ください。スルーレート違反、不適切なフィルタリング、互換性のない出力インターフェイスが原因で問題が発生する可能性があります。

3 選択したデータコンバータのクロック性能の目標値を決定する

すでに説明したように、コンバータの性能を十分に最大化するには、クロックの位相ノイズがコンバータの位相ノイズよりも 6dBc/Hz 以上良好である必要があります。これは、コンバータのアパーチャジッタの半分に相当します。

ADC12DJ5200RF をリファレンスコンバータとして使用する場合、クロックのジッタは 25fs 以上 (ADC12DJ5200RF のアパーチャジッタは 50fs) である必要があります。クロックの目標ノイズフロアを決定するには、コンバータのノイズフロアから 6dBc/Hz を減算します。ADC12DJ5200RF のノイズフロアは -151.8dBFS/Hz であるため、目標クロックのノイズフロアは -157.8dBc/Hz です。

位相ノイズとジッタの関係の詳細については、『[ジッタと位相ノイズの定義](#)』および『[BAW 発振器のジッタと位相ノイズの測定技法](#)』を参照してください。

4 指定された要件に基づいて、どの TI クロックを選択するかを絞り込みます

TI の [Clock Tree Architect \(CTA\)](#) は、システム要件に基づいてクロックツリーを提案する合成ツールです。このツールを使用すると、TI の主要クロック製品の膨大なデータベースを検索し、システムレベルのクロックツリーを生成できます。

注

CTA は 12kHz から 20MHz までの積分帯域幅を使用するため、提案されたクロックの 12kHz 未満のオフセットにおける位相ノイズは考慮されません。クロックの近接位相ノイズを考慮する必要がある場合は、[セクション 10](#) を参照してください。

CTA が必要とするすべての入力を行い、可能な限り具体的に入力してください。『出力』セクションのジッタとノイズフロアの欄には、[セクション 3](#) で計算したジッタとノイズフロアの値を入力してください (これらの欄はオプションです。表示するには、「+ Add requirements」(+ 要件を追加) をクリックします)。ジッタは 12kHz から 20MHz への積分ノイズ電力を表し、ノイズフロアは 20MHz オフセットを超える位相ノイズを表します。

これら 2 つの入力項目以外に、CTA ではアプリケーションやクロッキングに関するニーズについて、他の特性を入力することができます。[図 4-1](#) に示すように、特定の出力要件、入力特性、システム全体の要件を入力できます。これらすべての情報により、CTA はより全体的なクロッキングの提案を行うことができます。CTA の詳細な手順については、[セクション 9](#) を参照してください。

図 4-1. Clock Tree Architect ツリー

必要なジッタ、ノイズフロア、出力周波数を CTA に入力すると、このツールは有効なクロッキングに関する提案を含む一覧、または設計が見つからないことを示すポップアップ メッセージを表示します。後者の場合、CTA は依然としてすべての要件をほぼ満たすクロックの一覧を提供し、代替設計を提案します。

CTA は、アプリケーションに適したクロックを誤って拒否する場合があります。クロックのジッタがコンバータのジッタの性能と同等である場合、アナログ入力周波数を考慮する必要があります。ADC12DJ5200RF の場合、CTA ではアナログ入力周波数は考慮されていません。図 4-2 に、CTA への入力を示し、図 4-3 に、ADC12DJ5200RF の性能を最大化した場合の CTA の結果を示します。CTA の結果に基づく、指定されたアプリケーション要件を満たす設計はありません。ただし、900MHz のアナログ入力周波数を考慮する場合、これは当てはまりません。アナログ入力周波数を考慮する必要がある場合のクロックの選択方法については、[セクション 5](#) の手順に従ってください。アナログ入力周波数が全体的な性能にどのような影響を及ぼすかについての詳細は、『[次世代の高速コンバータ設計に優位性をもたらす実用的なクロッキングに関する考慮事項](#)』をご覧ください。

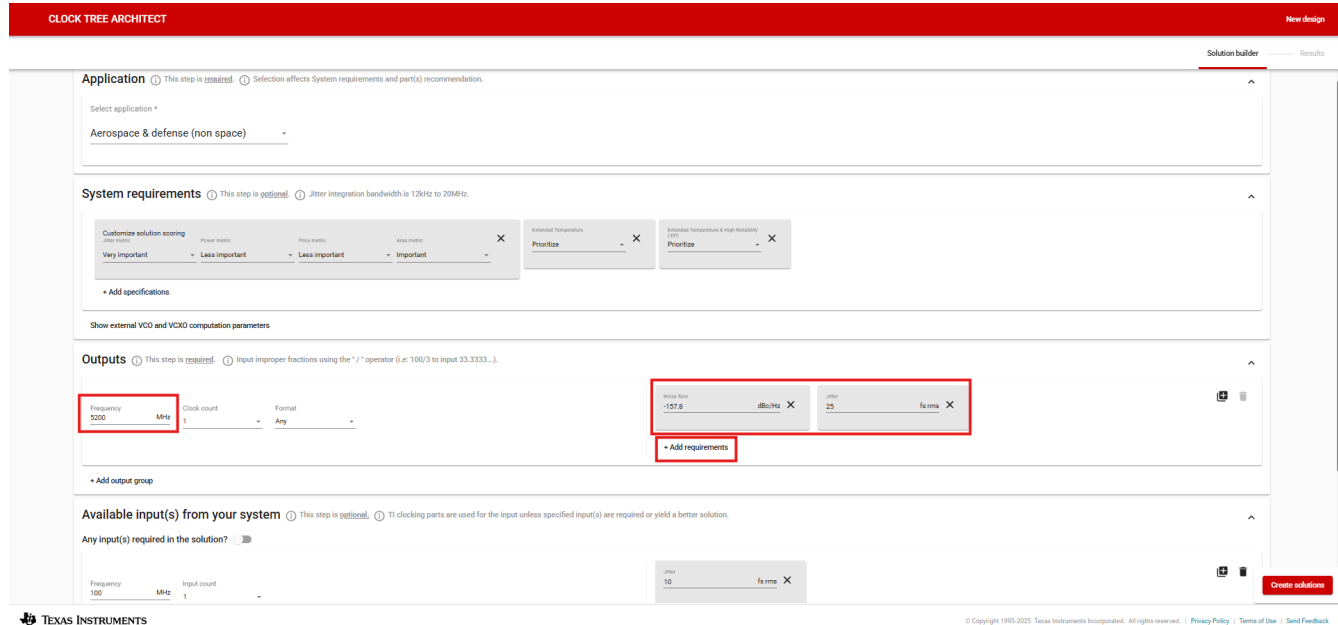


図 4-2. 5200MSPS で動作する ADC12DJ5200RF において性能を最大化するクロックの提案を得るための Clock Tree Architect の入力

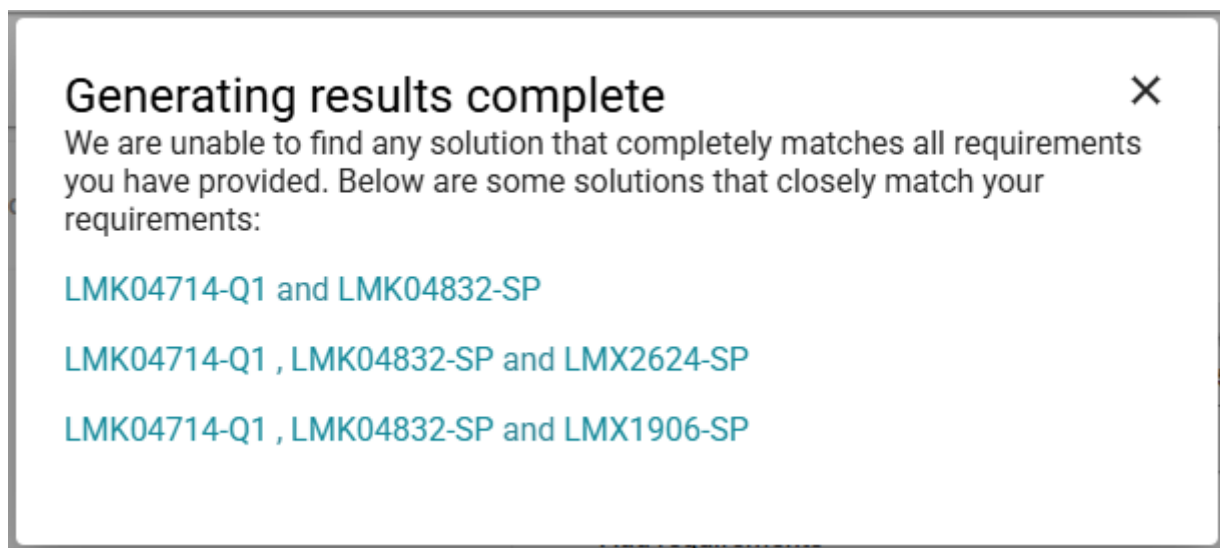


図 4-3. ADC12DJ5200RF の性能を最大化する Clock Tree Architect のソリューション

クロック性能の目標値が緩和されていると仮定します。クロックのジッタは 55fs 未満、ノイズフロアは -155dBc/Hz 未満である必要があります。図 4-4 にクロックの提案の一覧を示します

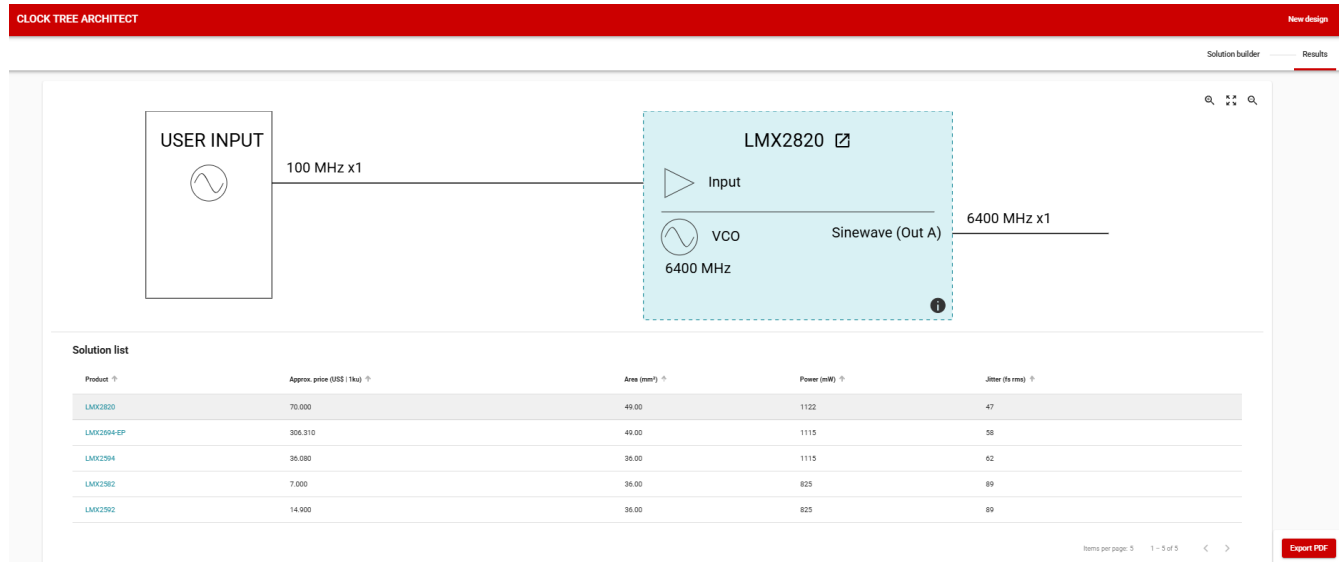


図 4-4. 要件が緩和された場合のクロックの提案

5 提案されたクロックのジッタがコンバータの性能に与える影響を分析する

式 1 は、クロック (c_j) とアナログ入力周波数 (f_{in}) の追加ジッタに対するコンバータ ($SNR_{converter}$) の信号対雑音比の影響を示しています。 V_{in} はアナログ入力のフルスケール (FS) 振幅を表し、 N は他のソースからのノイズを表します。

$$SNR_{converter} = 20 \times \log_{10} \left[\frac{V_{in}}{2\pi \times f_{in} \times \sqrt{\left(\frac{V_{in} \times 2\pi \times f_{in} \times 10^{-6} \times C_j}{2\sqrt{2}} \right)^2 + N^2}} \right] \quad (1)$$

$$N = \frac{V_{in}}{10^{\frac{SNR_{DC}}{20}} \times 2\sqrt{2}} \quad (2)$$

図 5-1 に示した SNR2Jitter_Curves Excel ツール (こちらからダウンロード可能) は、式 1 をシミュレートしています。この Excel ツールは例として ADC12DJ5200RF を使用しています。これらの手順に従って、このツールを使用して、指定したアナログ入力周波数で希望の性能を達成するために使用できる最大クロックジッタを決定します。

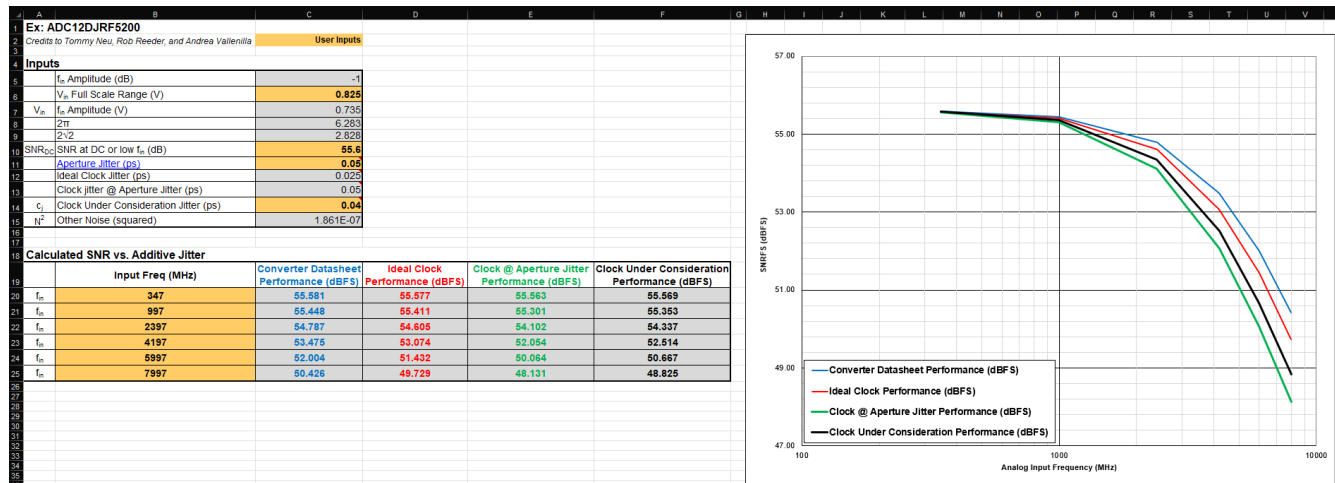


図 5-1. SNR2Jitter_Curves Excel ツール

- コンバータのデータシートでアナログ入力のフルスケールレンジの仕様を特定し、セル C6 に入力します。ADC12DJ5200RF の場合、 $V_{in} = 0.825V$ です。
 - ほとんどの場合、ADC のアナログ入力のクリッピングを避けるため、 V_{in} はフルスケール (-1dBFS) より 1dB 低い値に駆動されます。そのアプリケーションでフルスケールよりも 1dB 低い値が使用されない場合は、シートのロックを解除し、アナログ入力がセル C5 のフルスケールからどれだけ駆動されるかを指定します。結果として得られるアナログ入力振幅は C7 で計算されます。
- データシートから、-1dBFS で駆動した場合のコンバータの DC における信号対雑音比 (SNR_{DC}) を求めます (SNR_{DC} が記載されていない場合は、最小 f_{in} における信号対雑音比)。セル C10 にこの値を入力します。ADC12DJ5200RF の場合、 $SNR_{DC} = 55.6dBFS$ です ($f_{in} = 347MHz$ の場合)。
 - この値を入力すると、他のノイズの寄与がセル C13 で計算されます。この式は式 2 で表されます。
- コンバータのアーチャジッタを求めます。セル C11 に値を入力します。
- コンバータの SNR をデータシートで探します。セル B18 ~ B23 に、信号対雑音比値に使用するアナログ入力周波数を入力します。ADC12DJ5200RF の場合、これらの周波数は 347MHz、997MHz、2397MHz、4197MHz、5997MHz、および 7997MHz です。このツールは、コンバータのアナログ入力周波数全体での信号対雑音比をシミュレーションします。
- セル C18 から C23 までの信号対雑音比値を、コンバータのデータシートに記載されている信号対雑音比値と比較します。値がデータシートの値から約 0.3dBFS である場合、これはコンバータの性能を適切に表現したものです。そうでない場合は、各 f_{in} での各信号対雑音比値がデータシートの値に近くなるまで、アーチャジッタ値を使って推定します。
- セル C14 に、CTA からの最初のクロックの提案に示されているクロックのジッタ値 (c_j) を入力します。

- a. CTA は 12kHz から 20MHz までのジッタのみを考慮することに注意してください。より広い帯域幅でのジッタの詳細については、[セクション 10](#) を参照してください。LMX2820 を例として使用する場合、5200MHz 時に 100Hz から 100MHz までのジッタは 40fs になります。これがツールで使用されるクロックです。
7. SNR2Jitter_Curves ツールのグラフを使用して、目的の f_{in} で推奨されるクロックで達成される信号対雑音比を推定します。この例では、 $f_{in} = 900\text{MHz}$ で LMX2820 を使用しました。このグラフは、 $f_{in} = 900\text{MHz}$ の場合、LMX2820 は ADC12DJ5200RF の性能を最大化することを示しています (データシート上の性能は LMX2820 と比較して 55.448dBFS で、ADC12DJ5200RF の性能は 55.353dBFS です)。アナログ入力周波数が低い場合、クロックではなくコンバータの位相ノイズが全体の信号対雑音比の性能を支配するため、LMX2820 はこの f_{in} でのコンバータの性能を低下させることはありません。ADC12DJ5200RF にクロックを供給する LMX2820 の測定値については、[セクション 6](#) を参照してください。

一般に、 SNR_{ADC} よりも 1dBFS 低い値が得られても許容範囲内であり、コンバータの性能が著しく低下するわけではありません。コンバータが影響を受け始めるのは、およそ 3dBFS 付近からです。このツールを使用すると、セル C14 の値を変更することで、指定されたアプリケーション要件を満たす許容クロック ジッタを特定できます。そのジッタを持つクロックを特定するには、逆算して、それを CTA への入力として入力します。

クロックのジッタがコンバータの性能に及ぼす影響を判断するもう一つの方法は、クロックの位相ノイズ曲線とコンバータの位相ノイズ曲線を重ね合わせて比較することです。コンバータの位相ノイズ曲線が存在する場合は、[TI の PLLatinum Sim](#) ツールを使用して、TI のクロック部品の位相ノイズ曲線をシミュレーションし、コンバータの位相ノイズ曲線をアップロードします。これにより、クロックの位相ノイズがコンバータの位相ノイズよりも目的の帯域幅全体で 6dBc/Hz 低いかどうかを、並べて比較して確認することができます。最適な性能が求められない場合、約 4dBc/Hz 低くても、それほど大きな性能の低下は生じません。[セクション 11](#) では、外部位相ノイズ曲線を PLLatinum Sim にアップロードする手順をステップバイステップで解説しており、[セクション 12](#) では PLLatinum Sim による TI クロックの位相ノイズ曲線シミュレーションの精度を示しています。

6 コンバータの信号対雑音比に対するクロック性能の影響を理解する

高性能クロック設計では、面積、コスト、消費電力のトレードオフが生じる場合が多く、ディスクリート部品実装が必要となる場合もあります。特定のアプリケーションにおいて、信号対雑音比の最大化とサイズ、消費電力、コストの最小化のどちらを優先すべきかを判断してください。

このセクションでは、性能が異なるクロックで ADC12DJ5200RF にクロックを供給する場合の影響を提示します。図 6-1 に、5200MHz での LMX2820、LMX2594、LMX2572 の 3 種類の性能を持つクロックの 3 つの位相ノイズ曲線を示します。

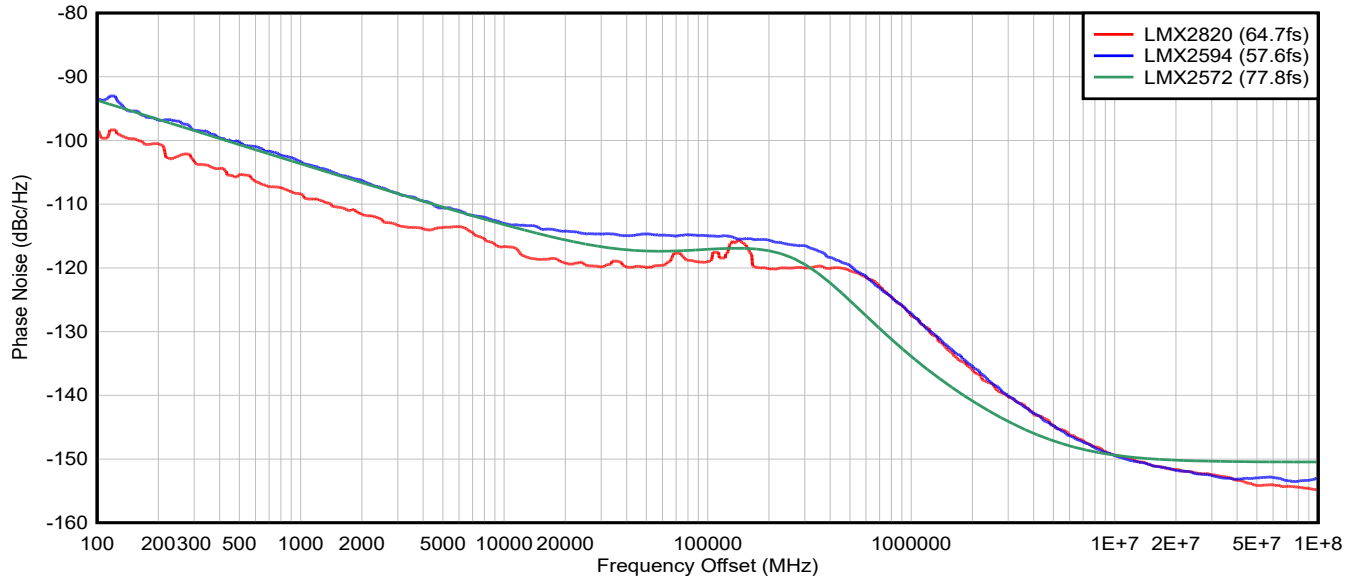


図 6-1. 5200MHz における LMX2820、LMX2594、LMX2572 の位相ノイズ曲線の重ね合わせ

ADC12DJ5200RF は、JMODE 3 を使用して 5200MSPS のサンプルレートで構成され、 $f_{in} = 900\text{MHz}$ が、以下のすべての測定においてフルスケールで駆動されます。図 6-2 に、フィルタ付き Rhode & Schwartz SMA100B 5200MHz 信号ジェネレータでコンバータをクロック駆動した場合の、これらの条件下での ADC12DJ5200RF のデータシート上の性能を示します。

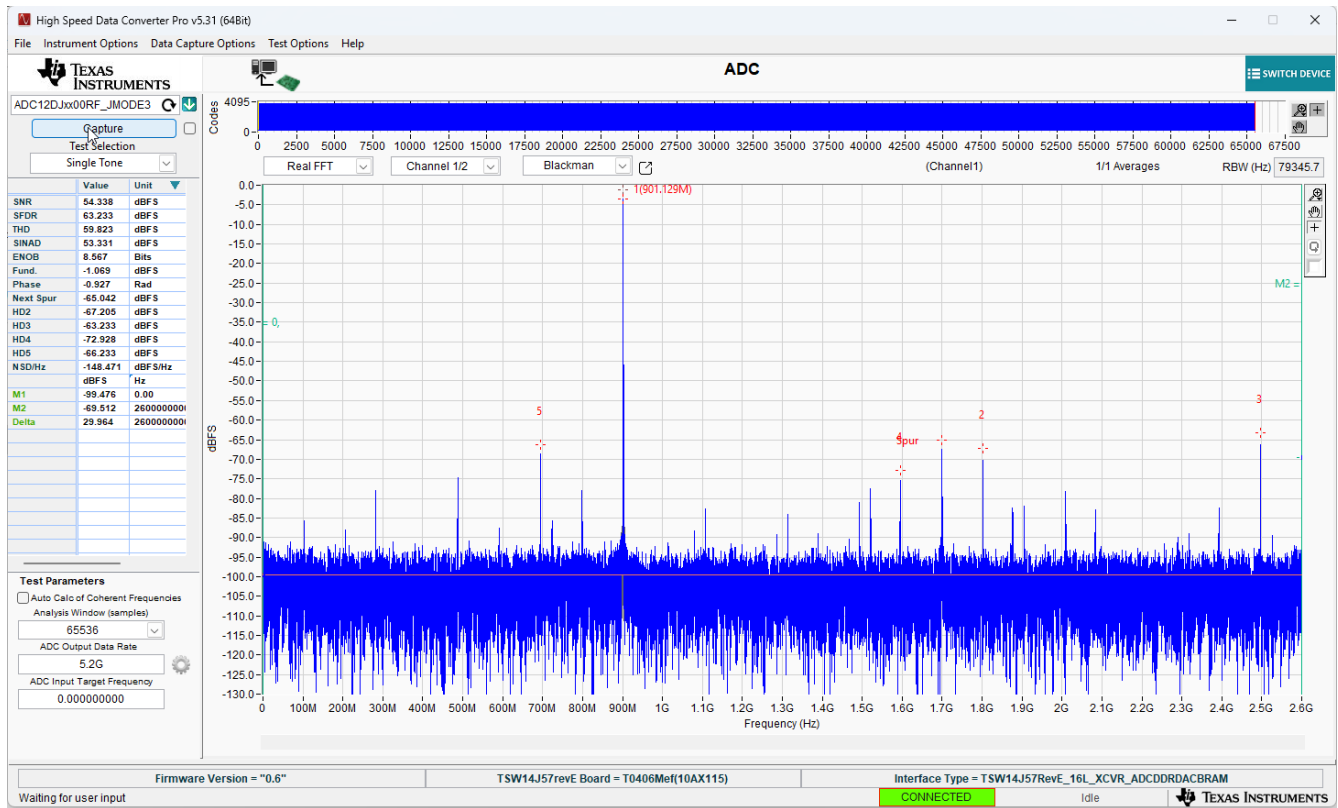


図 6-2. Rhode & Schwarz SMA100B とバンドパス フィルタを基準クロックとして使用した場合の 5200MSPS、 $f_{in} = 900\text{MHz}$ 、JMODE 3 での ADC12DJ5200RF ベースライン FFT プロット

LMX2820 を使用した ADC12DJ5200RF の性能を図 6-3 に示します。その結果得られる信号対雑音比は 54.161dBFS であり、ADC12DJ5200RF データシート上の性能と一致しています。つまり、LMX2820 は $f_{in} = 900\text{MHz}$ の場合、ADC の信号対雑音比を低下させることはありません。

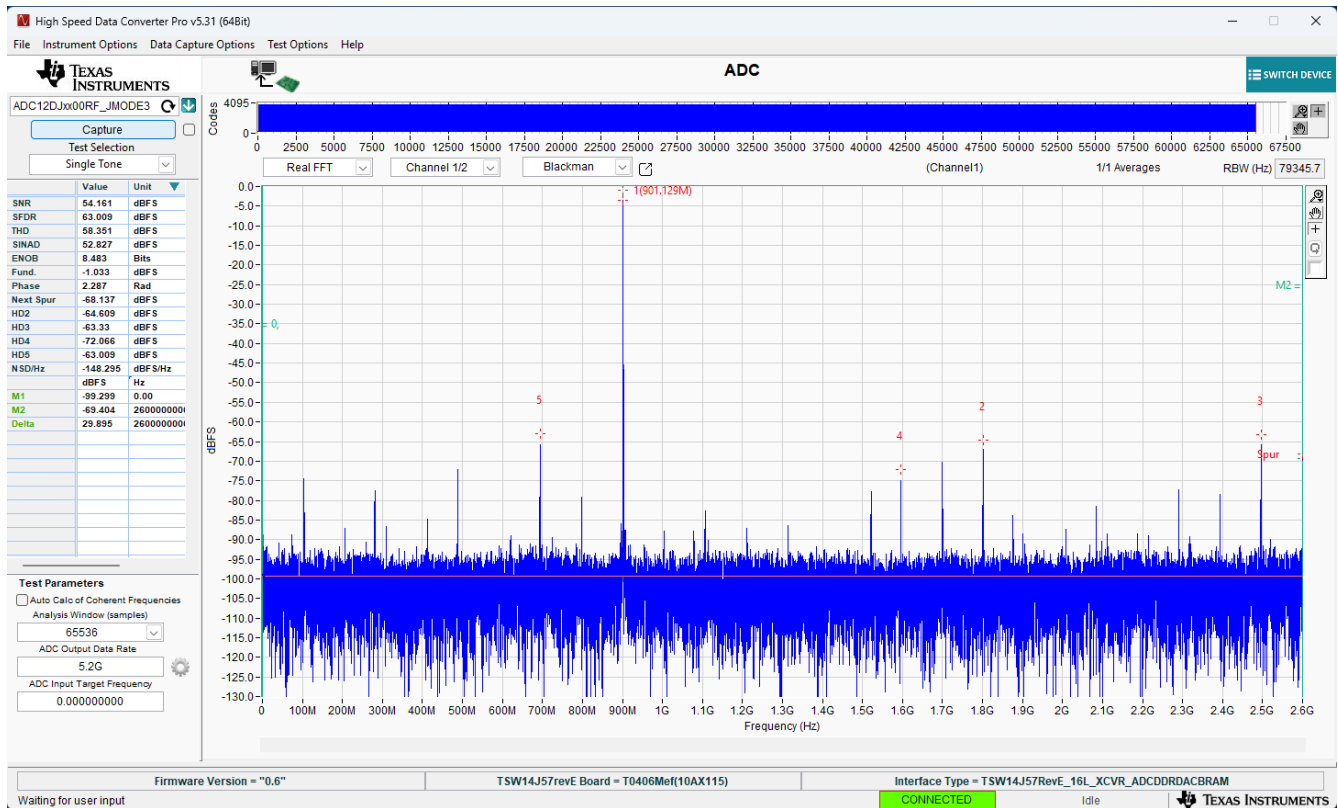


図 6-3. 5200MSPS、 $f_{in} = 900\text{MHz}$ 、JMODE 3 における LMX2820 および ADC12DJ5200RF の FFT

図 6-4 では、ADC12DJ5200RF は LMX2594 と組み合わせています。LMX2594 は LMX2820 の旧世代で性能は劣りますが、安価で、消費電力が少なく、サイズも小さいです。ADC12DJ5200RF は依然として 54.073dBFS を達成しており、LMX2594 が LMX2820 よりも 15.3fs 高い周波数であるにもかかわらず、ADC12DJ5200RF の性能は $f_{in} = 900\text{MHz}$ で最大化されていることがわかります。

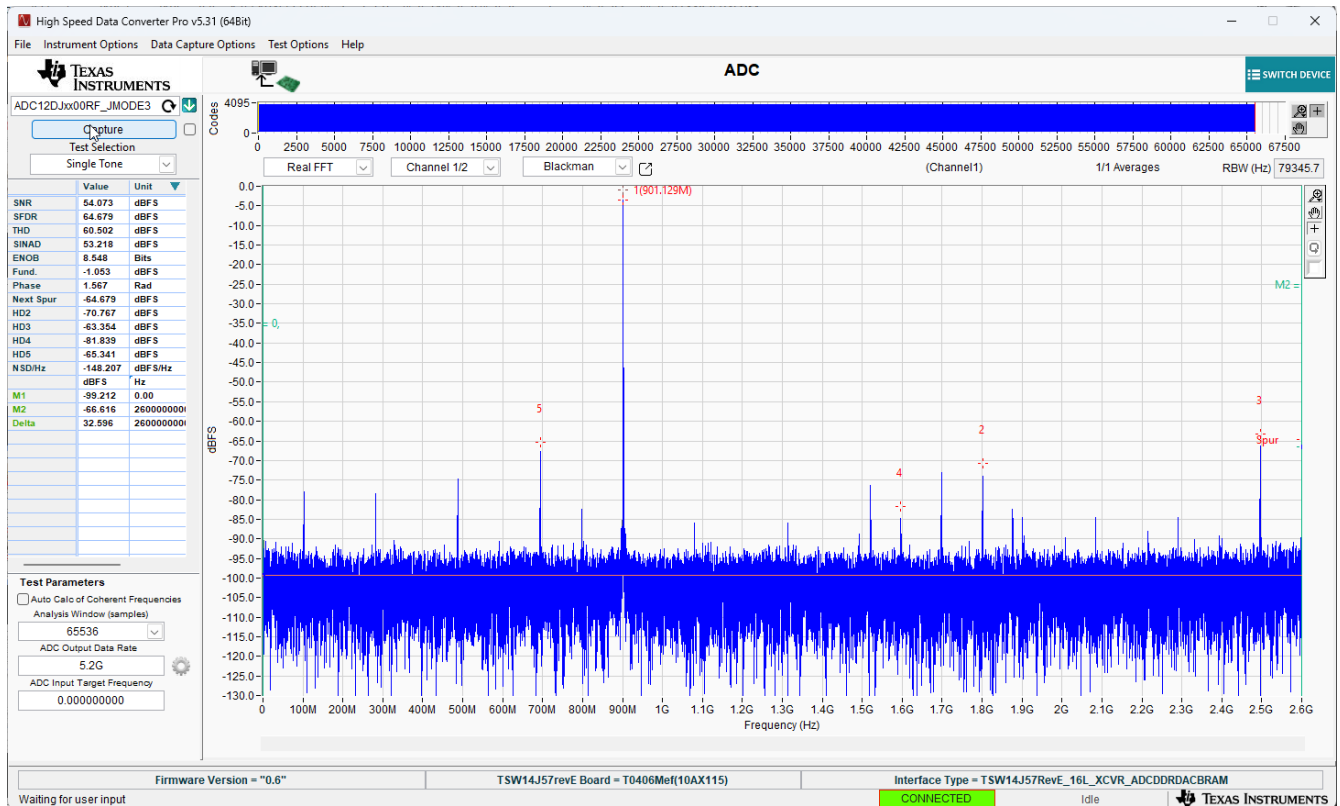


図 6-4. 5200MSPS、 $f_{in} = 900\text{MHz}$ 、JMODE 3 における LMX2594 および ADC12DJ5200RF の FFT

図 6-5 は、LMX2594 よりも性能は低いものの、より安価で低消費電力のクロックである LMX2572 と ADC12DJ5200RF を組み合わせた場合の影響を示しています。LMX2820 と LMX2572 のジッタの劣化は 35.5fs ですが、ベースラインに比べて信号対雑音比の低下はわずか 0.529dBFS です (LMX2572 と ADC12DJ5200RF のペアリングによる結果は 53.809dBFS)。この性能差は、依然として大きなものではなく、ADC12DJ5200RF の性能を低下させることもありません。

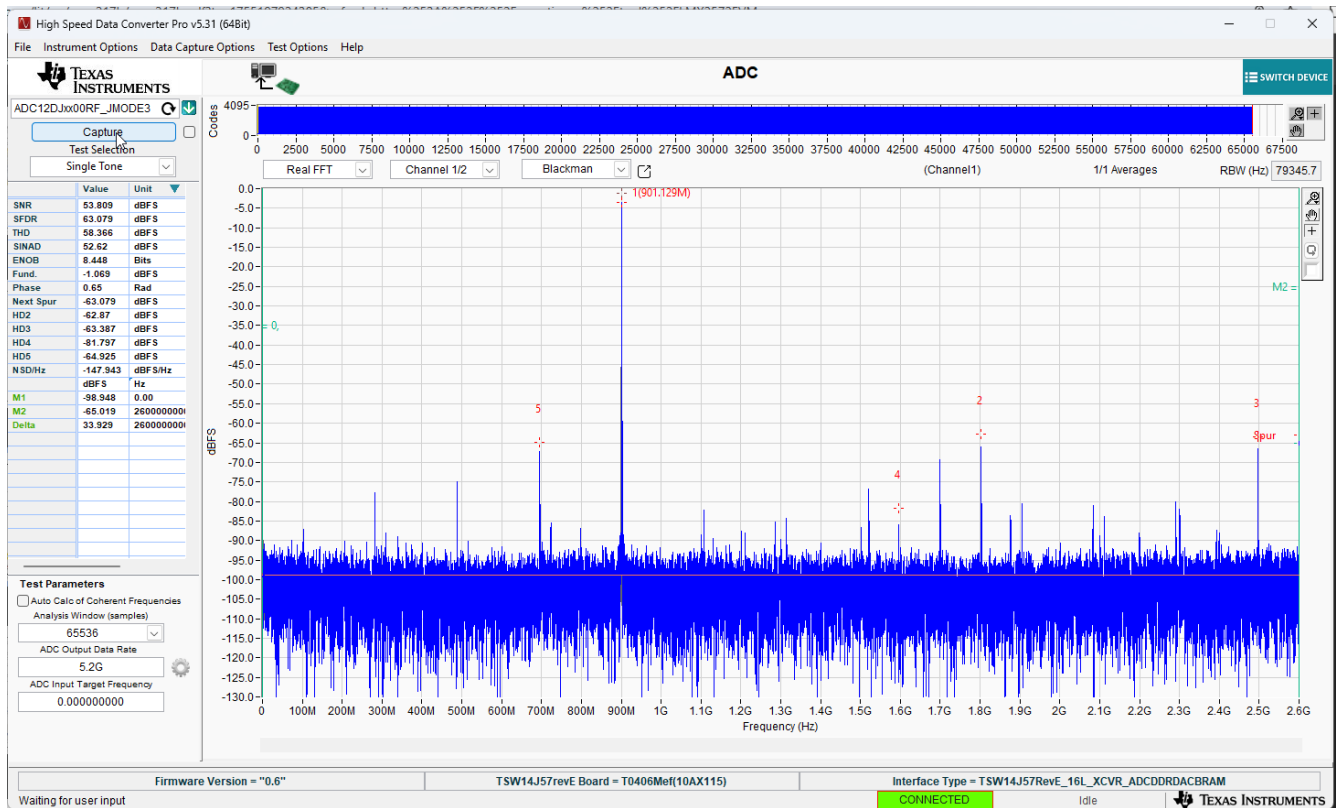


図 6-5. 5200MSPS、 $f_{in} = 900\text{MHz}$ 、JMODE 3 における LMX2572 および ADC12DJ5200RF の FFT

この例では、3つの異なるクロックを使用したときに発生する性能低下はそれほど大きくなく、このアプリケーションにおいては LMX2572 が明らかに最良の選択肢です。これは、コンバータの性能を最大化しても、クロックの電力、コスト、およびサイズに比べて必ずしも大きな影響を与えるわけではないことを示しています。表 6-1 は、これら 3つのクロックを比較したものです。

表 6-1. TI の LMX2820、LMX2594、LMX2572 の比較

仕様	LMX2820	LMX2594	LMX2572
5200MHz でのジッタ (BW: 100Hz ~100MHz)	42.3fs	57.6fs	77.8fs
5200MHz でのノイズフロア	-155.0dBc/Hz	-152.8dBc/Hz	-150.5dBc/Hz
SNRFS ($f_{in} = 900\text{MHz}$, 1dBFS)	54.1dBFS	54.07dBFS	53.8dBFS
電源	500mA	340mA	75mA
サイズ	49mm ² (7mm x 7mm)	36mm ² (6mm x 6mm)	36mm ² (6mm x 6mm)
1ku 個発注時の単価	\$84.000	\$46.970	\$19.404
周波数範囲	25MHz ~ 22.6GHz	10MHz ~ 15GHz	28MHz ~ 6.4GHz

これらの例すべては、さまざまなクロックがコンバータの性能にどのような影響を及ぼすかを示しています。ただし、クロックの性能も構成に依存することに注意してください。

6.1 TI の高速コンバータと組み合わせた場合の TI クロック部品の制限事項

TI の高速コンバータの中には、TI の電流クロックポートフォリオすべてを凌駕する性能を持つものがあります。たとえば、ADC32RF55 はデュアルチャネル、14 ビット、3GSPS の RF サンプリング ADC で、超低ノイズスペクトル密度 (NSD)、65.5dBFS の信号対雑音比、75dBFS の SFDR を備えています。図 6-6 は、ADC32RF55 のデータシートに記載されている性能を示しています。ADC32RF55 は、このセクションのすべての図において、フィルタ付きクロックを使用し、 $f_{in} = 500\text{MHz}$ をフルスケールで駆動して、2600MSPS のサンプルレートで 4 倍の平均化を行うように構成されています。

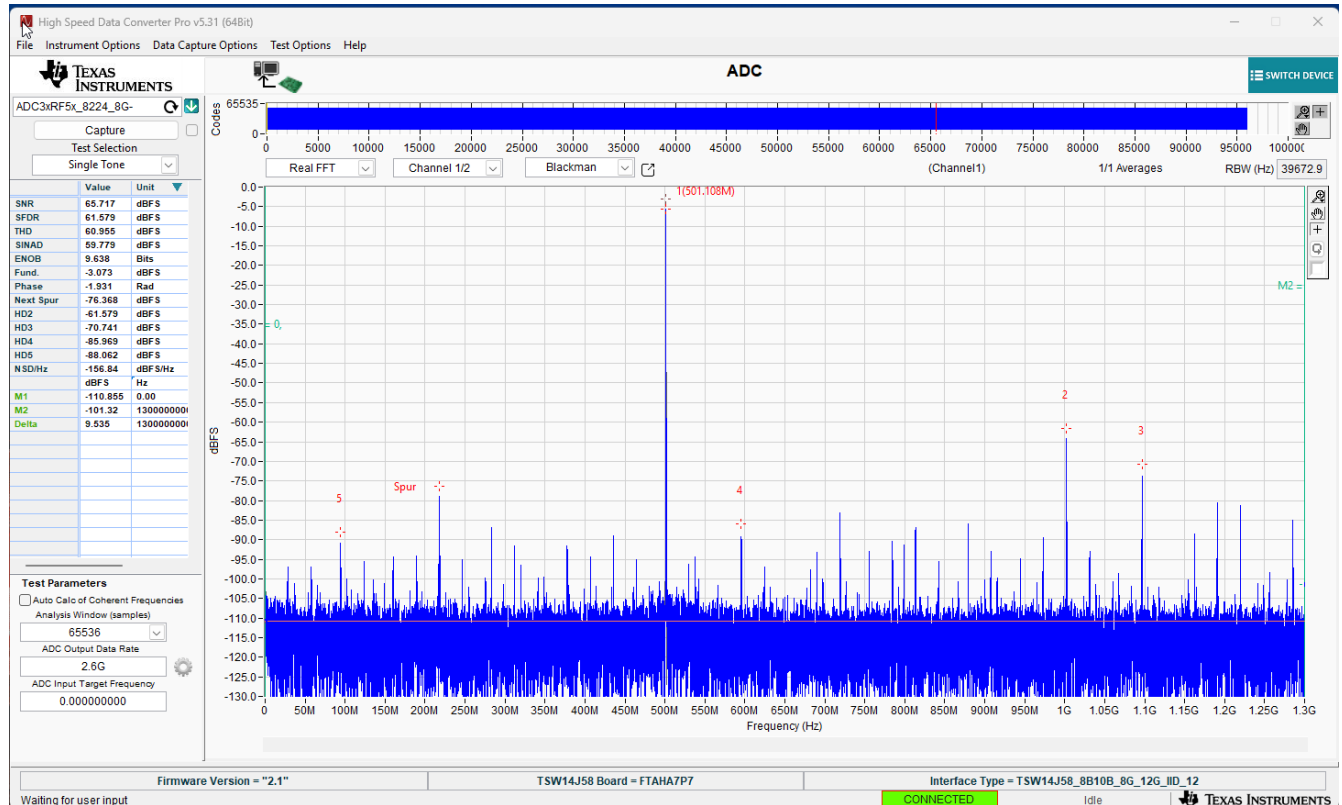


図 6-6. フィルタ付き Rohde & Schwarz SMA100B 信号ジェネレータを使用し、 $f_{in} = 500\text{MHz}$ 、2600MSPS でサンプリングした際の ADC32RF55 データシート性能上の FFT

ADC32RF55 は、ADC12DJ5200RF で使用されていたのと同じ 3 つのクロックである LMX2820 (TI の最高性能クロック)、LMX2594、LMX2572 で駆動します。しかし、ADC32RF55 は ADC12DJ5200RF よりも性能が高いため、図 6-7、図 6-8、図 6-8 に示すように、いずれのクロックも ADC32RF55 の性能を最大限に引き出すことはできません。ADC32RF55 の性能を最大化するには、ディスクリートのパッシブクロックが必要ですが、このアプローチにより設計面積とコストが増加します。

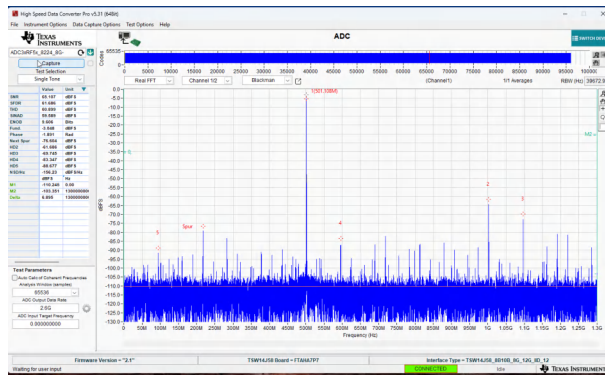


図 6-7. フィルタ付き LMX2820 と $f_{in} = 500\text{MHz}$ を使用して、2600MSPS でサンプリングされた ADC32RF55 の性能 FFT

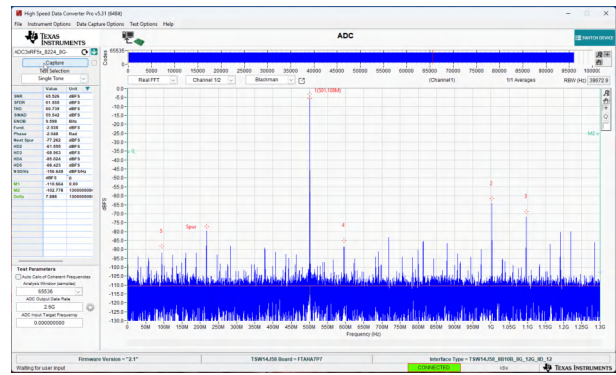


図 6-8. フィルタ付き LMX2594 と $f_{in} = 500\text{MHz}$ を使用して、2600MSPS でサンプリングされた ADC32RF55 の性能 FFT

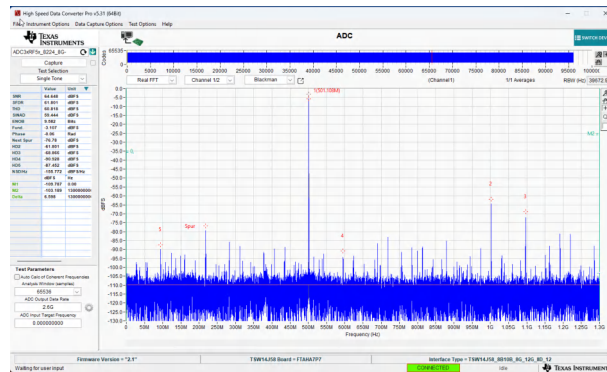


図 6-9. フィルタ付き LMX2572 と $f_{in} = 500\text{MHz}$ を使用して、2600MSPS でサンプリングされた ADC32RF55 の性能 FFT

LMX2820 (図 6-7 を参照) よりも優れた性能が必要な場合は、外部 DRO を使用することを検討してください。通常、DRO は LMX2820 の内蔵 VCO よりも性能が優れています。それでも十分でない場合は、[セクション 5](#) に進み、目的の性能を実現するために、クロックが許容する最大ジッタの大きさを決定します。

7 まとめ

クロックの位相ノイズが不十分な場合、コンバータの性能が低下します。性能の劣化を回避するために、コンバータの位相ノイズよりも位相ノイズが **6dBc/Hz** 優れているクロックを目標にします。システム要件を満たすクロック オプションのリストを表示するには、**Clock Tree Architect** を使用し、付属の **SNR2Jitter_Curves Excel** ツールを使用して、性能の異なるクロックがコンバータの信号対雑音比に対して及ぼす影響を確認します。より高性能なクロックを使用することが、必ずしもコスト、面積、ジッタといった他の要素よりも重要であるとは限りません。使用するコンバータ、アプリケーションの要件、およびアナログ入力周波数に応じて、ジッタの性能、コスト、面積のバランスを考慮して、特定のアプリケーションに最適な選択肢を決定する必要があります。**Clock Tree Architect**、**SNR2Jitter_Curves Excel** ツール、**PLLatinum Sim** を使用して、性能、コスト、面積、消費電力のバランスを確保し、特定の高速コンバータ アプリケーションに最適な **TI** のクロックを選択します。

8 参考資料

1. テキサス インストルメンツ、『[次世代の高速コンバータ設計に優位性をもたらす実用的なクロッキングに関する考慮事項](#)』、アプリケーション ノート。
2. テキサス インストルメンツ、『[TI プレシジョン ラボ – クロックとタイミング](#)』、ビデオ。
3. テキサス インストルメンツ、『[BAW 発振器のジッタと位相ノイズの測定技法](#)』、アプリケーション ノート。
4. テキサス インストルメンツ、『[Clock-Tree-Architect: Clock Tree Architect Programming Software](#)』、製品ページ。
5. テキサス インストルメンツ、『[PLLATINUMSIM-SW テキサス インストルメンツ PLLatinum シミュレータ ツール](#)』、ツール。

9 付録 A: Clock Tree Architect (CTA) の詳細なステップバイステップガイド

CTA の使用方法を示すために、以下の例を考えてみましょう。

- ユーザーは航空宇宙・防衛分野の顧客です。
- ユーザーは、広い動作温度範囲または高信頼性 (–EP) 定格のクロックを希望しています。
- ユーザーは非常にクリーンな 10fs 100MHz リファレンスを使っています。
- ユーザーは、CML 5200MHz IC クロック (スタンドアロンの受動部品ではない) を使用して ADC12DJ5200RF にクロックを供給することを希望しています。
- マルチコンバータ同期のための SYSREF 信号をクロックで生成する必要があります。

アプリケーションの要件を定義したら、以下の手順に従います。

1. ブラウザで **Clock Tree Architect** を開き、「Application」(アプリケーション) の最初のドロップダウンでアプリケーションを選択します。この例では、「Aerospace & defense (non space)」(航空宇宙 / 防衛 (宇宙以外)) を選択します。CTA は、選択内容に基づいて、「System configuration」(システム構成) セクションと「Available input(s) from your system」(システムからの利用可能な入力) セクションにデフォルト値を自動的に入力します。
2. 「System requirements」(システム要件) でアプリケーション要件を設定します。この例では、コンバータの信号対雑音比を最大化することを目的としています。したがって、[図 9-1](#) に示すように、「Jitter metric」(ジッタ メトリック) を「Very Important」(非常に重要) にし、他のすべてのパラメータを「Less important」(重要度が低い) に設定します。

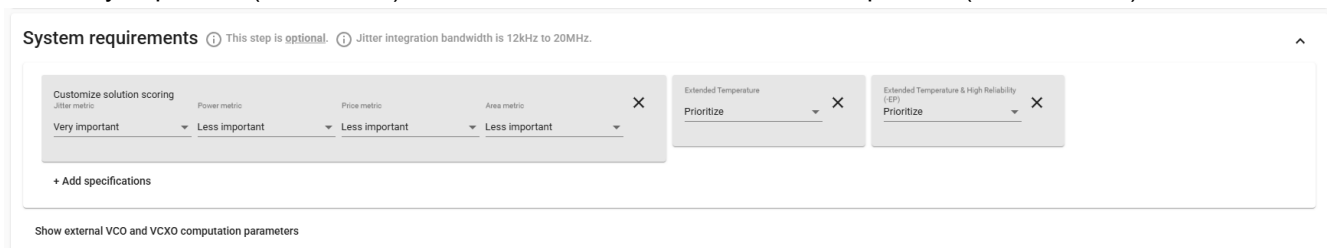


図 9-1. システム要件セクション

- a. 「+Add specifications」(+仕様を追加) ボタンをクリックして、システム要件を絞り込みます。この例では、[図 9-1](#) に示すように、「Extended Temperature & High Reliability (–EP)」(拡張温度と高信頼性 (–EP)) と「Extended Temperature」(拡張温度) を選択し、両方を「Prioritize」(優先) に設定します。「Require」(必須)、「Deprioritize」(優先順位を下げる)、「Exclude」(除外) を選択します。「Require」(必須) と「Exclude」(除外) は、クロック データベースの特定の部品を考慮しないのに対し、「Prioritize」(優先) と「Deprioritize」(優先度を下げる) は、データベース内のすべての部品を考慮し、特定の部品に重み付けを行います。その他のシステムの仕様には、[図 9-2](#) に示す通り、プログラミング方法、規格準拠、およびシステム全体の消費電力、面積、ジッタ、価格の予算が含まれます。

Add system specifications

Programing method

- No serial programming required**
Device programmed via pins or no programming required
- Production pre-programmable**
Device settings can be pre-programmed before PCB implementation (i.e EEPROM, OTP, etc)

Standard compliance

- AEC-Q100 Qualified (-Q1)**
Automotive grade devices
- Extended Temperature**
Device works at a wider temperature range than -40°C to +85°C.
- Extended Temperature & High Reliability (-EP)**
Device works at a wider temperature range than -40°C to +85°C & it has high-reliability.
- Extended Temperature & Radiation Tolerant (-SEP)**
Device works at a wider temperature range than -40°C to +85°C, TID ≥ 20krad, & SEL > 43MeV.
- Extended Temperature & Radiation Hardened (-SP)**
Device works at a wider temperature range than -40°C to +85°C, TID > 100krad & SEFI > 75MeV

Cancel Update selection

Target values

- Components occupied area**
This metric is calculated by adding the areas of all devices recommended by the Clock tree architect tool, including the area for the package of the clocking ICs and any external VCOs/VCXOs that are used. It does not include the area for routing or any other components that are used.
- Price of components**
This metric is calculated by adding the 1k web prices of all the devices recommended by the Clock tree architect. If any VCOs or VCXOs are used, the price is assumed to be the value specified by the user. The true price may vary from the price metric as price can be impacted by volume.
- Jitter**
This metric is a coarse indicator of jitter based on the jitter of the worst output.
- Total power**
The total power is the sum of power consumed by all devices recommended by the Clock tree architect tool. The power consumed by a device is calculated based on a fixed core current, supply voltage, dividers used and number of outputs enabled.

Cancel Update selection

図 9-2. システム要件の完全なリスト

3. 「Outputs」(出力) に出力仕様を入力します。図 9-3 に示すように、「Frequency」(周波数) を「5200MHz」に設定し、「Clock」(クロック) 数を「1」に維持し、「Format」(フォーマット) を「CML」に設定します。

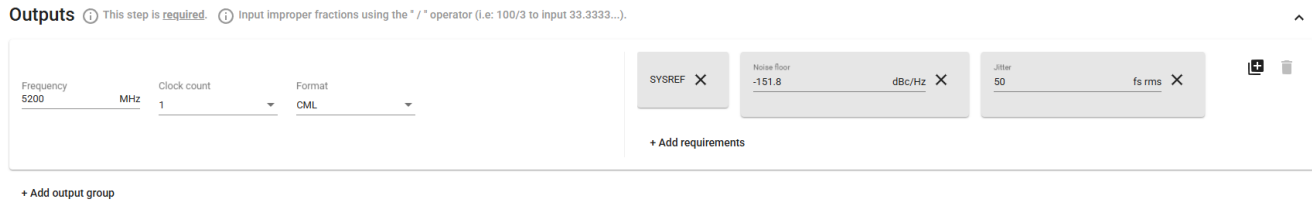


図 9-3. 出力セクション

- a. 「+Add Requirements」(+要件を追加) を選択して、出力に要件を追加します。この例では、ジッタとノイズフロアを設定し、SYSREF を選択する必要があります。
 - i. 図 9-4 に示すように、「Jitter」(ジッタ)、「Noise Floor」(ノイズフロア)、「SYSREF」のオプションを選択します
 - ii. 「Update selection」(選択内容を更新) ボタンをクリックします。
 - iii. ジッタおよびノイズフロアの欄で、ジッタとノイズフロアを ADC12DJ5200RF の値に設定します。これは、図 9-3 に示すように、50fs および -151.8dBc/Hz です。これらの目標値は、クロックの性能要件を緩和し、CTA が設計を確実に提供するようにするために選択されました。これは、これらの例では IC を使用することを希望しているためです。設計が提供されたら、セクション 5 を使用して分析できます
- b. 図 9-4 に示すように、出力遅延の調整、出力フォーマットの選択、決定論的位相など、他の出力要件を設定します。

Add requirements

Tunable frequency

This enables the tunable frequency input fields and disables the fixed frequency field.

Jitter

The maximum allowable jitter for this frequency group. Jitter integration bandwidth is specified in the system configuration options and defaults to 12 kHz to 20 MHz.

Noise floor

The maximum allowable noise floor for this frequency group.

Required output features

Deterministic phase

Total delay from user input to this output.

Selectable output format

Capability to select output format with pin control or programming.

Adjustable delays

Delay from input to output, or delay between outputs can be adjusted.

SYSREF

SYSREF is also required in addition to this.

External VCO

Cancel

Update selection

Add requirements

- Total delay from user input to this output.
- Selectable output format**
Capability to select output format with pin control or programming.
- Adjustable delays**
Delay from input to output, or delay between outputs can be adjusted.
- SYSREF**
SYSREF is also required in addition to this.
- External VCO**
Frequency is produced by an external VCO.
- External VCXO**
Frequency is produced by an external VCXO.
- Internal VCO**
Frequency is produced by a device that has the VCO integrated.
- SSC**
Frequency is produced by a device that has Spread Spectrum Clocking(SSC) capability.
- BAW**
Frequency is produced by BAW (Bulk Acoustic Wave) oscillator.

Cancel Update selection

図 9-4. 出力要件の完全なリスト

- CTA にシステム内にすでに存在するリファレンス / クロックを考慮させたい場合は、「Available input(s) from your system」(システムからの利用可能な入力) セクションの「+ Add available input from your system」(+ システムから利用可能な入力を追加) をクリックします。この例では、「Aerospace & defense (non space)」(航空宇宙 / 防衛 (宇宙以外)) のデフォルト設定では、すでに入力が 100MHz、ジッタが 10fs に設定されており、この例と一致しています。これは、図 9-5 に示すとおりです。

Available input(s) from your system ⓘ This step is optional. ⓘ TI clocking parts are used for the input unless specified input(s) are required or yield a better solution. ^

Any input(s) required in the solution?

Frequency	Input count	Jitter
100 MHz	1	10 fs rms

+ Add input characteristics

+ Add available input from your system

図 9-5. システム セクションから利用可能な入力

- CTA にこの入力を強制的に使用させるには、「Any input(s) required in the design?」(設計に必要な入力がありますか?) をオンに切り替えます。
- 入力特性を定義するには、図 9-6 に示すように「+Add input characteristics」(+入力特性を追加) をクリックし、アプリケーションに応じてフィールドを更新し、「Update selection」(選択内容を更新) をクリックします。

Add input characteristics

- Jitter**
The jitter of this input.
- Noise floor**
The noise floor of this input.

Required input features

- Holdover/Hitless switching**
Whatever device connects to this input must have holdover/hitless switching. Hitless switching allows the input clocks of a PLL to be switched during system operation with minimal impact to the system.
- Jitter cleaning**
Whatever device that is driven by this input must have jitter cleaning.
- Crystal**
Whatever device that is directly driven by this input must be capable of supporting a crystal.

Cancel

Update selection

図 9-6. すでに選択されているリファレンスの入力特性の完全なリスト

c.

5. アプリケーションに関連するすべてのセクションを入力したら、右下の「Create designs」(設計を作成) ボタンをクリックします。図 9-7 は、CTA が実行可能なクロックの提案を行うための最終的なシステム設定を示しています。

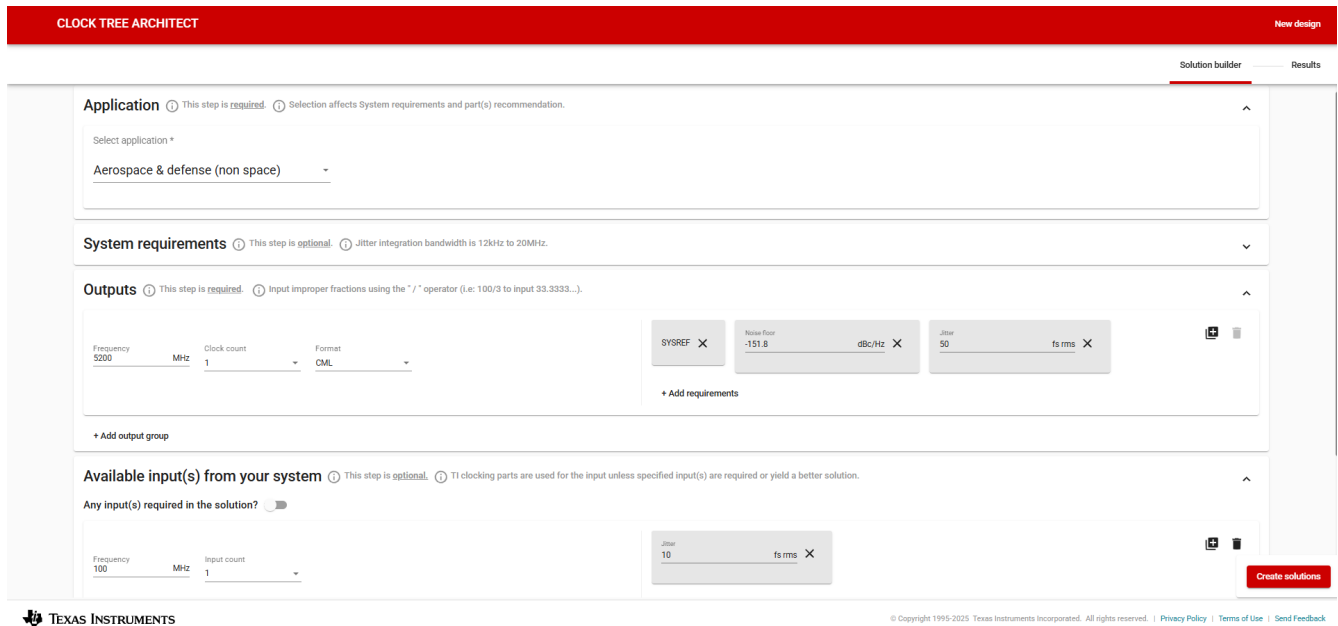


図 9-7. CTA のセットアップ完了

6. 数分後 (場合によっては数分以上) に、CTA はシステム要件を満たすクロック方式のリストを生成します。結果は、TI の推奨度が高い順から低い順に並べられています。図 9-8 は、この例における結果を示しており、LMX2820 を明確に推奨しています。
 - a. 提案された設計の詳細については、右下隅にある「Export PDF」(PDF をエクスポート) ボタンをクリックしてください。

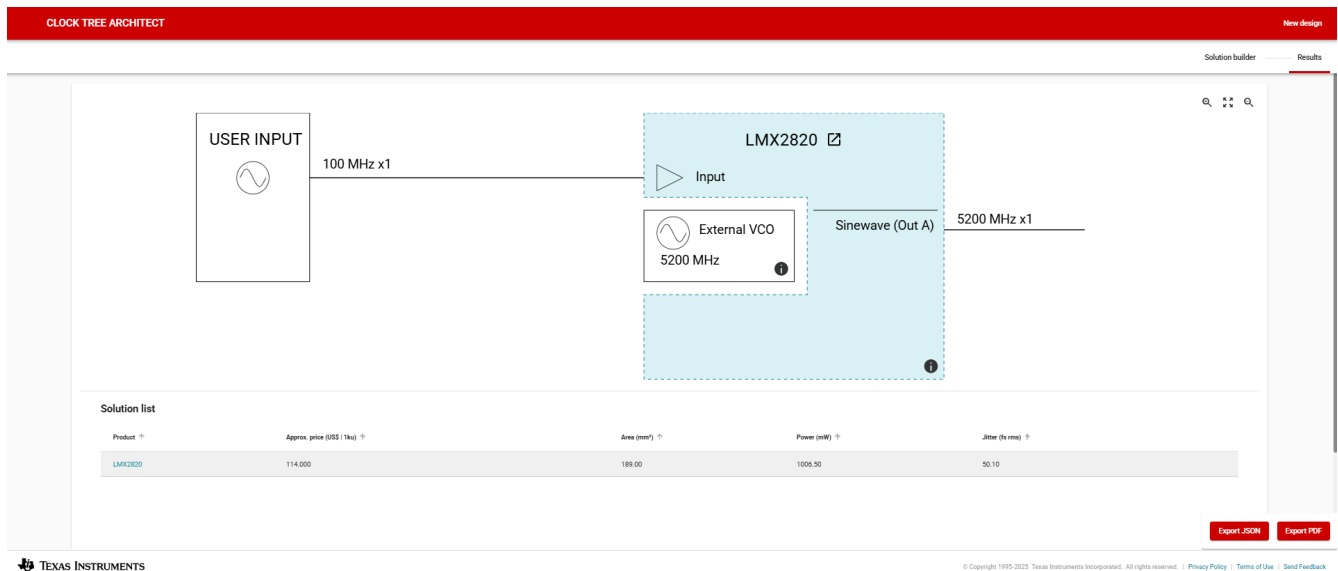


図 9-8. アプリケーションの要件と一致する最もお勧めのクロックを表示する結果ページ

- b. 時には、すべての要件を満たすクロック設計が存在しないことがあります。その場合、CTA は可能な限り最も近い一致を推奨します。

10 付録 B: PLLatinum Sim を使用した、アプリケーションの積分帯域幅のクロック ジッタの表現

すでに説明したように、CTA は 12kHz 未満のジッタを示すことはできません。また、より遠方のノイズに対するジッタも、非常に厳密な再現ではなく推定値となります。代わりに、TI の PLLatinum Sim を使用して、アプリケーションの積分帯域幅に対するクロックの位相ノイズ曲線を適切に表現することもできます。セクション 9 の例を使用し、100Hz ~ 100MHz の積分帯域幅が必要であることを指定します。

1. 図 10-1 に示すように、「Select a Device」(デバイスを選択) 欄で目的のクロックを選択し、「Load Device」(デバイスを読み込む) ボタンをクリックして、対象のクロックを読み込みます。この例では、LMX2820 を使用します。

図 10-1. LMX2820 の選択と PLLatinum Sim への読み込み

2. システム要件に基づいて F_{osc} と F_{out} を入力します。セクション 9 のシステムでは、 F_{osc} は 100MHz、 F_{out} は 5200MHz です。図 10-2 に手順を示します。
 - a. 「Feature Level」(機能レベル) 欄の「Advanced」(詳細) オプションをクリックします。
 - b. F_{out} 、次に F_{osc} を入力します。
 - c. 「Filter Parameters」(フィルタ パラメータ) 欄にある「Loop Bandwidth」(ループ帯域幅) の横にあるボックスにチェックを入れ、「Calculate Loop Filter」(ループ フィルタの計算) ボタンをクリックします。これにより、選択したクロックのジッタが最大化されます。

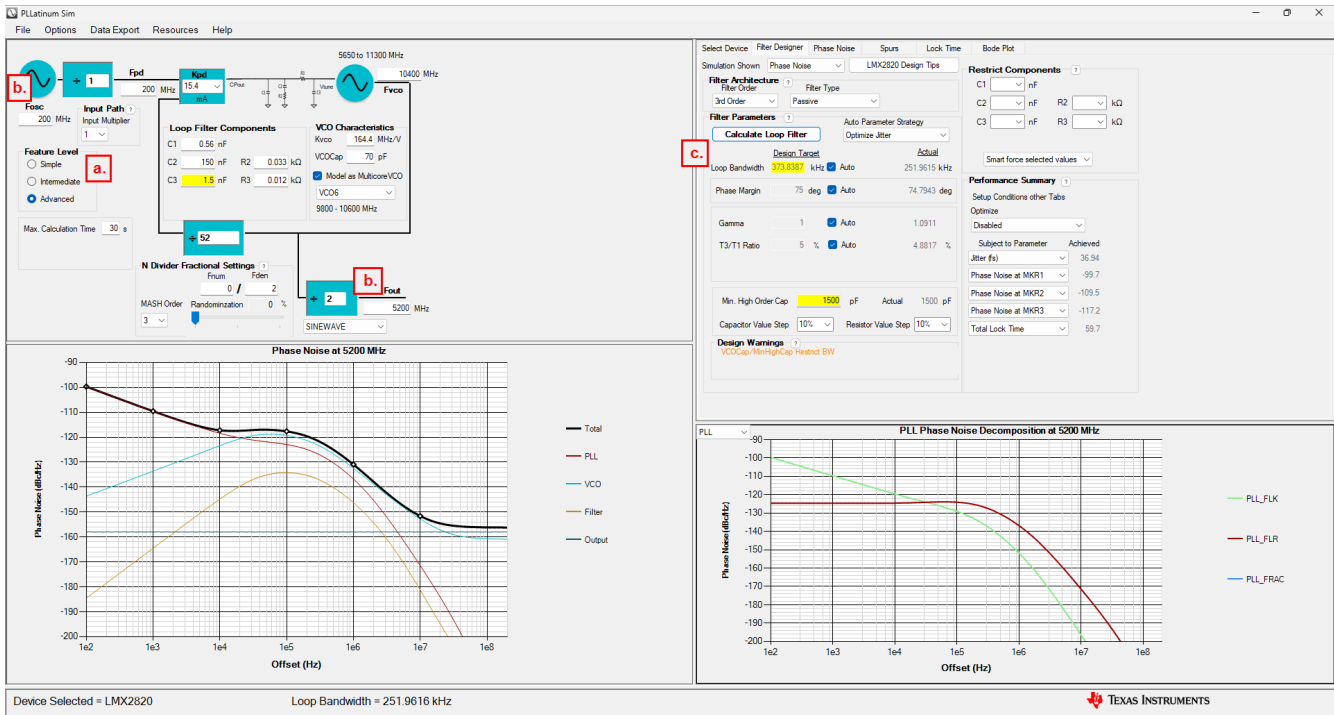


図 10-2. PLLatinum Sim でのアプリケーションのシステム要件の設定

3. 「Phase Noise」(位相ノイズ) タブをクリックし、「Integrated Noise」(積分ノイズ) 欄のループ帯域幅を指定します。これにより、指定された出力周波数における、指定されたクロックのクロック ジッタ値が得られます。この例では、LMX2820 の 5200MHz 出力時のジッタは 38.15fs です (図 10-3 にも図示)。このジッタ値を使用して、選択したデータコンバータのクロックを選択する際の分析性能を向上できます。

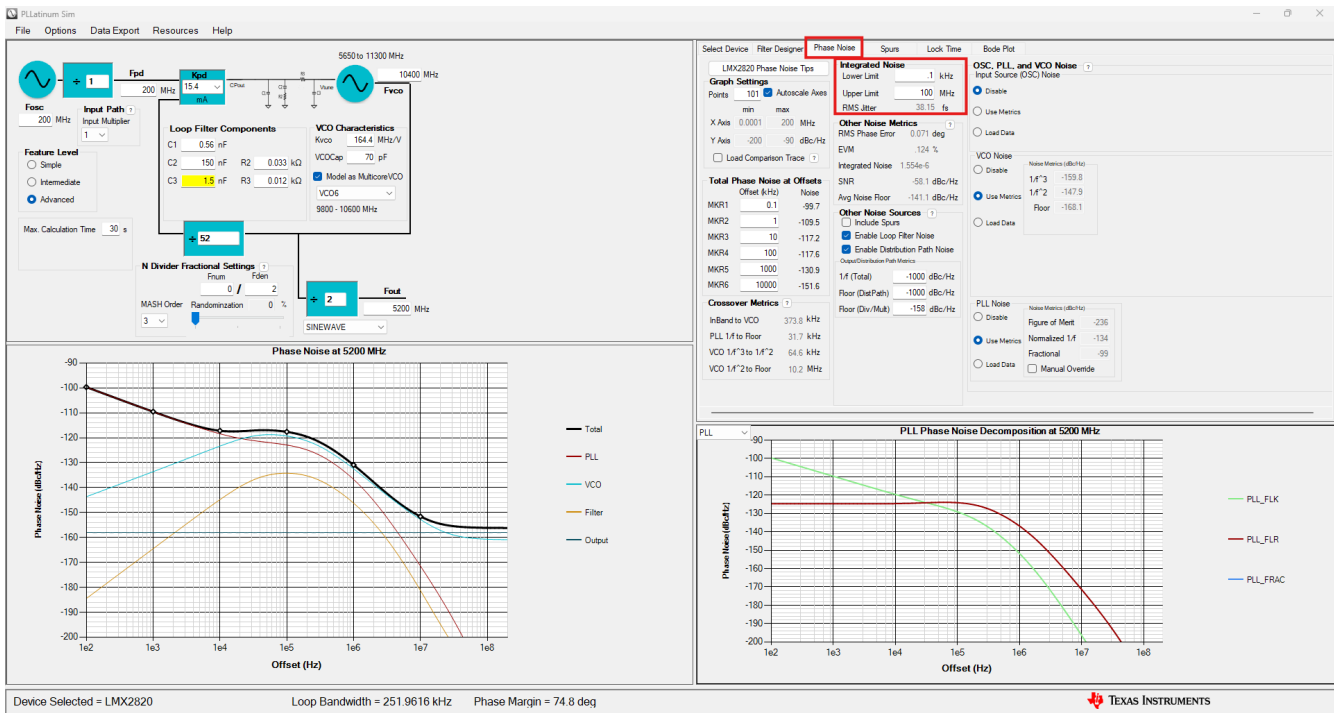


図 10-3. PLLatinum Sim を使用した、アプリケーションの積分帯域幅全体にわたるクロック ジッタの決定

11 付録 C: PLLatinum Sim 位相ノイズ曲線の比較ステップバイステップガイド

このアプリケーション ノートで説明したように、コンバータの性能を完全に最大化するには、クロックの位相ノイズをコンバータの位相ノイズよりも 6dBc/Hz 低くする必要があります。この分析は、TI の PLLatinum Sim を使用して、クロックとコンバータの両方の位相ノイズを重ね合わせて行うことができます。以下の手順は、PLLatinum Sim に位相ノイズ曲線をアップロードし、2 つの位相ノイズ曲線を比較する方法を示しています。

1. セクション 10 の手順に従って、LMX2820 をアップロードします。
2. 図 11-1 に示すように、「Phase Noise」(位相ノイズ) タブで、「Graph Settings」(グラフの設定) セクションの「Load Comparison trace」(比較パターンを読み込む) チェック ボックスを選択します。

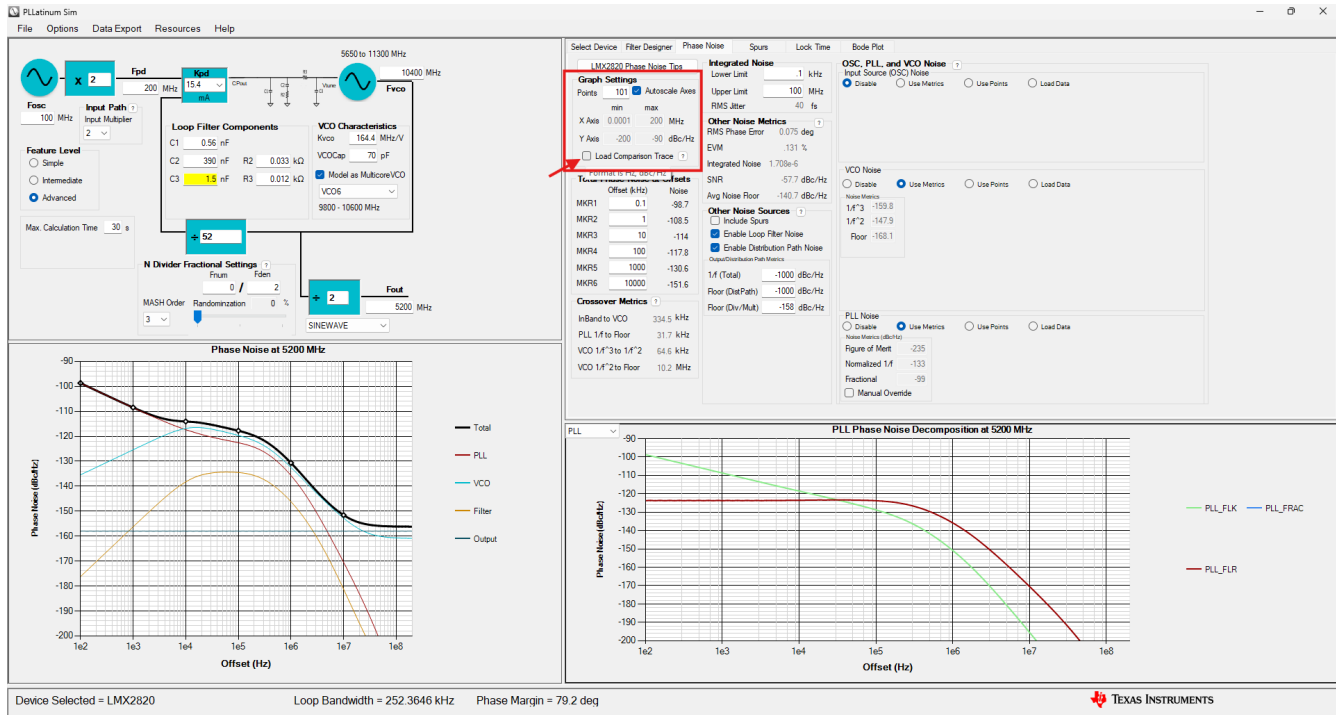


図 11-1. パターンの PLLatinum Sim への読み込み

3. ポップアップが表示されたら、コンバータの位相ノイズ曲線があるファイル フォルダに移動し、そのファイルを選択します。図 11-2 に示すように、コンバータの位相ノイズ曲線は、PLLatinum Sim の左下プロットに表示され、「Comparison」(比較) とラベル付けされており、赤色の破線で表示されています。

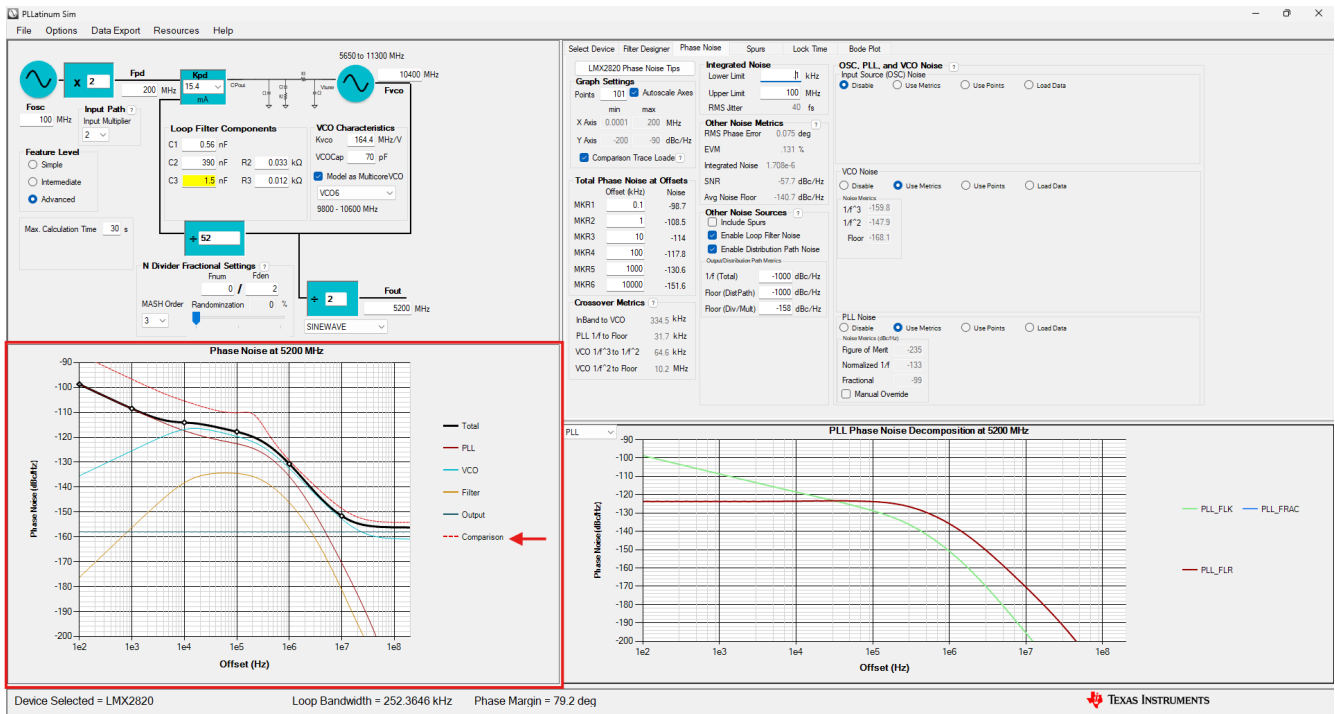


図 11-2. PLLatinum Sim パターンの比較

注

正確な比較を行うため、コンバータの位相ノイズ曲線がクロックの出力周波数と同じ周波数であることを確認してください。

12 付録 D: PLLatinum Sim の位相ノイズ曲線シミュレーションと測定データの比較

この付録では、PLLatinum Sim のシミュレーション精度を示します。TI LMX2820 と LMX2594 のクロックの未加工の位相ノイズ曲線を見つけるには、[CLOCK-PERFDATA-DESIGN](#) ページにアクセスし、「LMX2820_Phase_Noise_Curves.zip」または「LMX2594_Phase_Noise_Curves.xlsx」を検索してください。

- LMX2820 の場合、比較対象の部品の .zip ファイルをダウンロードし、次に、特定の周波数における特定のクロック位相ノイズ曲線を「txt_」フォルダからダウンロードして比較を完了します。TI では、位相ノイズ プロファイル全体を示す位相ノイズ データを使用するため、常に「txt_pow」フォルダを使用することを推奨しています。RBW = 3%、XCORR = 100、スレッショルド 10dB で XCORR 最適化オン、2 の掃引 / 平均数、100Hz から 100MHz の積分帯域幅を備えた Rhode & Schwartz FSWP を使用して位相ノイズ データを取得しました。LMX2594 の場合は、Excel ファイルをダウンロードし、オフセット周波数とオフセットの位相ノイズをテキスト ファイルにコピーします。
 - PLLatinum Sim の積分帯域幅を変更するには、[セクション 10](#) を参照してください。
- LMX2820 の場合、ファイルの名前に基づいて F_{osc} 、 F_{pd} 、 K_{pd} 、 F_{out} の値を入力します。LMX2594 については、「Setup」(Setup) シートに記載されている値を使用します。LMX2820 を例として使用し、 $F_{osc} = 200\text{MHz}$ 、 $F_{pd} = 200\text{MHz}$ 、 $K_{pd} = 15.4\text{mA}$ 、 $F_{out} = 5200\text{MHz}$ で構成しました
- 「Feature Level」(機能レベル) を「Advanced」(詳細) に変更します。
- 「Filter Parameters」(フィルタ パラメータ) にある「Loop Bandwidth」(ループ帯域幅) の横にあるチェック ボックスを選択し、「Calculate Loop Filter」(ループフィルタの計算) ボタンをクリックします。これにより、測定された位相ノイズ曲線をシミュレーションします。

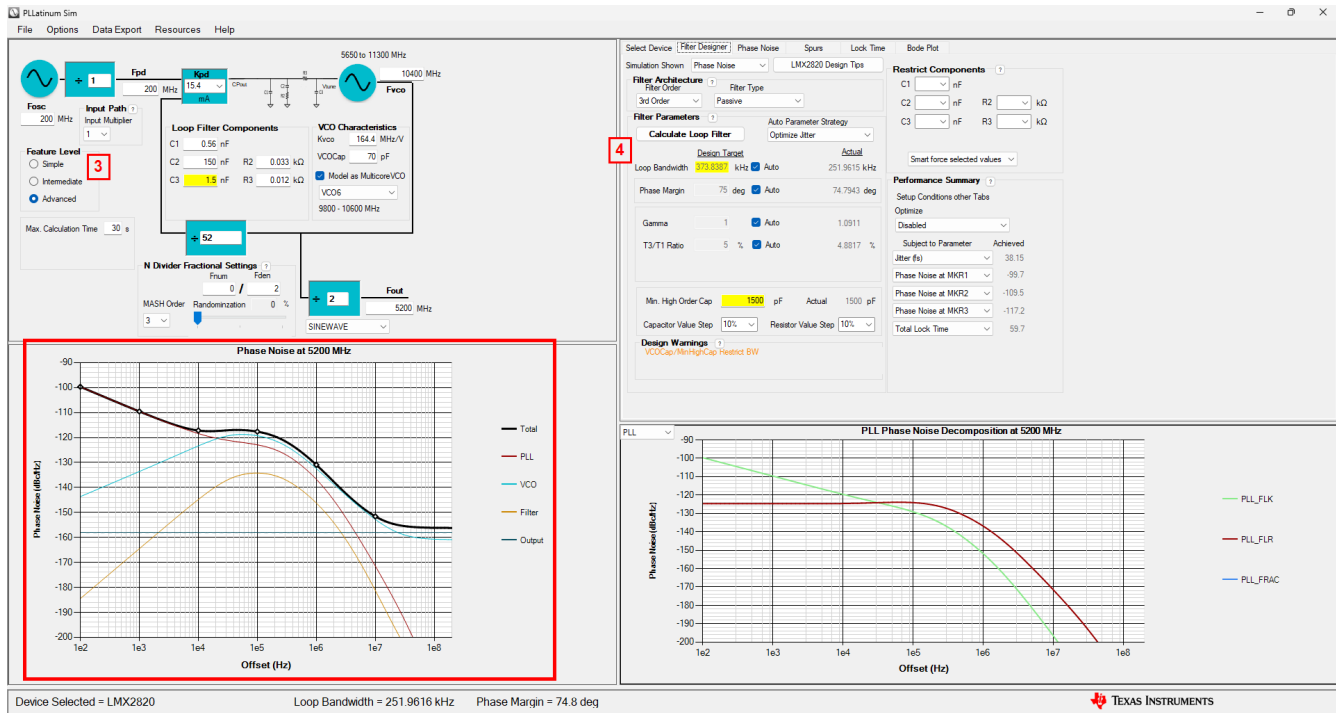


図 12-1. LMX2820 TICS の設定を PLLatinum Sim に読み込み、位相ノイズ曲線をシミュレート

- 次のいくつかの手順では、LMX2820 を使用します。[セクション 11](#) の手順に従って、手順 1 でダウンロードした LMX2820 ファイルの位相ノイズ曲線を PLLatinum Sim にアップロードします。
- シミュレーションした位相ノイズ曲線 (黒) を、測定した位相ノイズ曲線 (赤、破線) と比較します。[図 12-2](#) に示すように、黒の破線と赤の破線は同じ位相ノイズです。

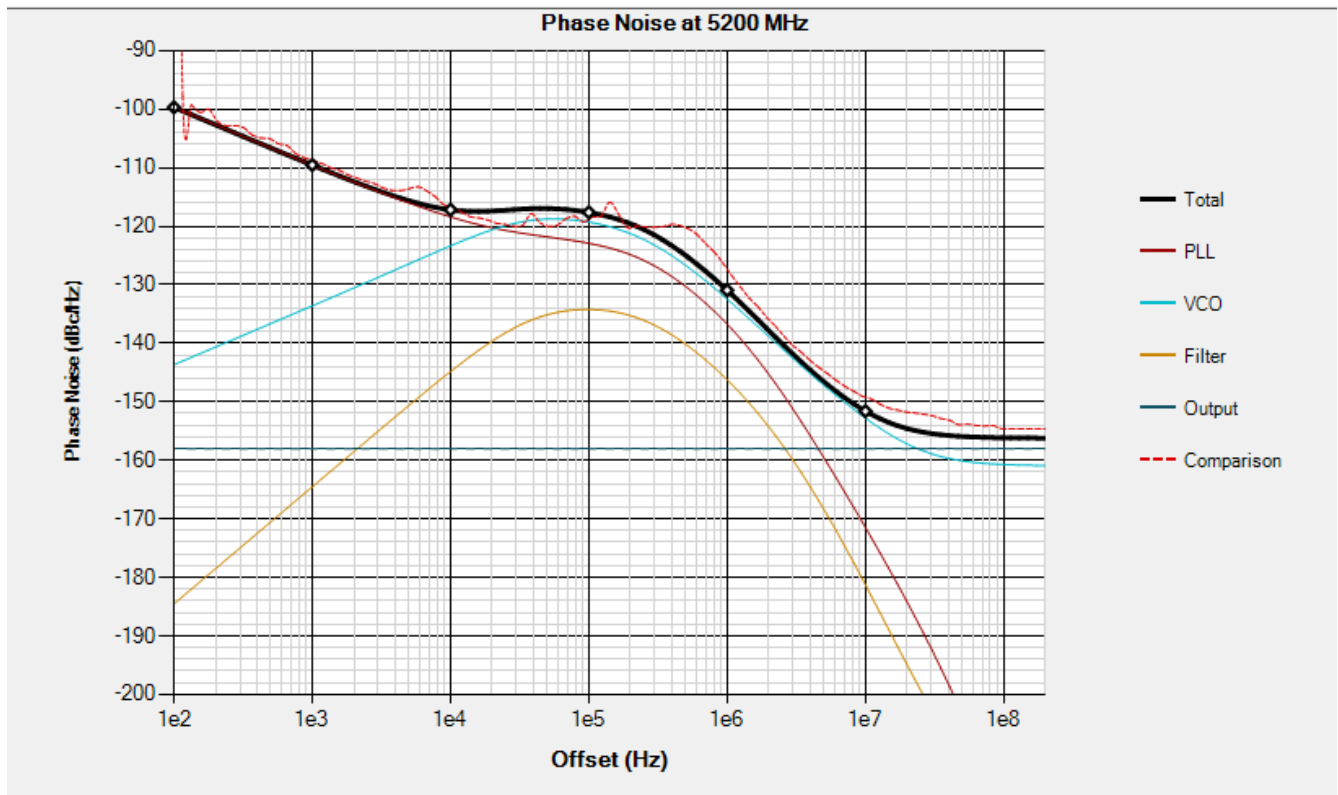


図 12-2. シミュレーションと測定データの比較を行うために PLLatinum Sim に読み込んだ比較パターン

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月