

Application Note

TAx5x1x / TAx5x1x-Q1 インクリメンタル ADC (IADC) - 動作と応用

Lakshmi Narasimhan Badrinarayanan, Aman Agrawal

概要

このアプリケーション ノートでは、TAx5x1x / TAx5x1x-Q1 デバイスのインクリメンタル ADC (IADC) モードにおける動作について説明します。これは、センシングなどのアプリケーションにおいて、緩やかに変動する信号または DC 信号を平均化を用いてデジタル化するために使用できます。このアプリケーション ノートは、以下のデバイスに関連しています。

- TAC5212、TAC5112
- TAA5212
- TAC5212-Q1、TAC5112-Q1

目次

1 概要	2
2 詳細説明	2
2.1 インクリメンタル ADC (IADC) とは？.....	2
2.2 IADC 動作.....	2
2.3 IADC 動作モード.....	5
2.4 TAC5212EVM-K を使用したテスト例.....	5
3 まとめ	16
4 参考資料	16

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

オーディオ アプリケーションでは、ダイナミック アナログ信号は通常、デルタシグマ A/D コンバータ (ADC) により連続的にデジタル化され、その後デシメーションフィルタが続きます。これにより、変動する信号が、その帯域幅をカバーするサンプリング レートで確実にキャプチャされます。

ただし、センシングなどのオーディオ以外のアプリケーションでは、デルタシグマ ADC は主に、DC または緩やかに変動する信号に対して、低ノイズの測定を実現するために使用されます。

このようなアプリケーションに対し、本アプリケーション ノートでは、TAx5x1x / TAx5x1x-Q1 デバイスの ADC を「インクリメンタル ADC」(IADC) として構成するさまざまな方法について説明します。

2 詳細説明

2.1 インクリメンタル ADC (IADC) とは？

一般的なオーディオ ADC では、アナログ オーディオ入力信号はデルタシグマ変調器によってデジタルに変換されます。その後、変調器の出力は、必要なサンプリング レートにデシメーションされてから、オーディオ シリアル インターフェイス (ASI) バスに送信されます。ADC は、ここで入力されているオーディオ信号を、以前のサンプルのメモリをリセットしたりフラッシュしたりせずに、連続的にデジタル化します。

センシングなどのアプリケーションでは、非常に緩やかに変動する電圧やノイズの多い DC 電圧を、個別にサンプリングして測定します。このようなアプリケーションでは、デルタシグマ変調器は電圧を個別のサンプルにデジタル化し、デバイスは特定の数のキャプチャ済みサンプルを平均化して出力コードを生成します。平均化されるサンプル数が、ADC のオーバーサンプリング比 (OSR) となります。ここでインクリメンタル ADC (IADC) と呼ぶこの動作モードでは、変換が開始されるたびに内部メモリが毎回リセットされ、ADC は新たにキャプチャしたサンプル群を平均化して出力デジタルコードを生成します。

2.2 IADC 動作

表 2-1、表 2-2 および表 2-3 では、IADC 構成用の各種レジスタを示し、各ビット フィールドとその機能を説明しています。

IADC モードは、B0_P0_R81 レジスタの IADC_EN ビットを設定することで有効になります。ユーザーは、次の 2 つの方法で変換開始を行います。

1. ワンショット変換の場合、IADC_CONVST_ONESHOT ビット (B0_P0_R81[4]) を設定することで、変換が開始されます。
2. CONVST (CONversion STart) 信号は、GPIO ピン経由で供給することもできます。IADC の CONVST 信号として GPIO1 を使用する場合は、以下を実施します。
 - a. GPIO1_CFG[3:0] フィールドを 1 (B0_P0_R10[7:4]) に設定し、GPIO1 ピンを汎用入力 (GPI) またはその他の入力機能として構成します。
 - b. IADC_CONVST_GPIO[1:0] フィールドを 1 (B0_P0_R21[5:4]) に設定し、GPIO1 を用いた IADC の変換開始を有効にします。

IADC_ONESHOT_CONV_DONE_STS ビット (B0_P0_R81[2]) は、IADC 変換完了のステータスを示します。

IADC は次の 3 つの異なるフェーズで動作します。それぞれについて、以降のセクションで説明します。

1. リセット フェーズ
2. スキップ フェーズ
3. 変換 フェーズ

表 2-1. IADC_CFG レジスタ (Book 0、Page 0、Register 76)

ビット	フィールド	タイプ	リセット	説明
7-5	IADC_NSkip_SEL[1:0]	R/W	001b	IADC N _{SKIP} 構成
				0d = 384 mod clks
				1d = 576 mod clks
				2d = 896 mod clks
				3d = 1024 mod clks
				4d = 2048 mod clks
				5d = 4096 mod clks
				6d~7d = 予約済み
4-3	IADC_NRESET_SEL[1:0]	R/W	01b	IADC N _{RESET} 構成
				0d = 50 mod clks
				1d = 75 mod clks
				2d = 100 mod clks
				3d = 150 mod clks
2-1	IADC_OSR_SEL[1:0]	R/W	11b	IADC OSR 選択設定。
				0d = 32
				1d = 64
				2d = 96
				3d = 128
0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 2-2. IADC_CH_CFG レジスタ (Book 0、Page 0、Register 81)

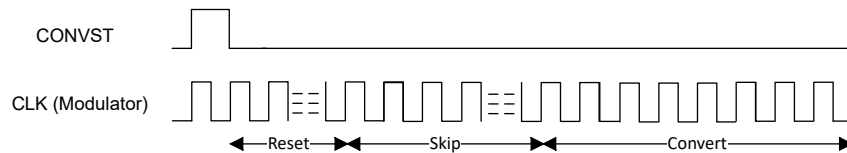
ビット	フィールド	タイプ	リセット	説明
7	IADC_EN	R/W	0b	IADC イネーブル構成。
				0d = IADC ディセーブル
				1d = IADC イネーブル
6-5	IADC_MODE[1:0]	R/W	00b	IADC モード構成。(シングル チャネル モードでは、チャネル選択は ADC_INSRC_SE_MUX の構成によって制御されます)
				0d = ワンショット シングル チャネル
				1d = ワンショット マルチチャネル
				2d = シーケンシャル シングル チャネル
				3d = シーケンシャル マルチチャネル
4	IADC_CONVST_ONESHOT	R/W	0b	IADC 変換から 1 つの短い構成が開始されます。
				0d = 変換なし
				1d = ワンショット変換を開始
3	IADC_STOP_SEQ_CONV	R/W	0b	IADC 停止シーケンシャル変換構成。
				0d = シーケンシャル変換を実行中
				1d = シーケンシャル変換を停止
2	IADC_ONESHOT_CONV_DONE_STS	R/W	0b	IADC ワンショット変換完了構成。
				0d = 変換未完了
				1d = ワンショット変換完了
1-0	予約済み	R	0b	予約済みビット。リセット値を書き込むのみ

表 2-3. IADC 用 INTF_CFG6 レジスタ フィールド (Book 0, Page 0, Register 21)

ビット	フィールド	タイプ	リセット	説明
5-4	IADC_CONVST_GPIO[1:0]	R/W	00b	IADC 変換は、GPIO 選択構成を使用して開始します。
				0d = GPIO を用いた IADC の変換開始は無効
				1d = GPIO1 を用いた IADC の変換開始は有効
				2d = GPIO2 を用いた IADC の変換開始は有効
				3d = GPI1 を用いた IADC の変換開始は有効

単一の IADC 変換サイクルは、IADC 変換が開始されたときの一連の動作を表します。各フェーズは、特定の変調器クロック サイクル数にわたって動作します。したがって、IADC の合計変換時間は次のようになります。

$$T_{CONV_IADC} = \frac{N_{RESET} + N_{SKIP} + N_{CONV}}{\text{ModulatorClockFrequency}} \quad (1)$$


図 2-1. 単一の IADC 変換サイクル

2.2.1 リセット

「IADC 動作」に記載されているいずれかの方法で変換が開始されると、IADC はまず「リセット」フェーズに入ります。このフェーズでは、デバイスはデジタル フィルタおよびデルタ シグマ変調器の内部メモリ要素をリセットします。デバイスは、 N_{RESET} 回の変調器クロック サイクルの間、このリセット モードにとどまります。

N_{RESET} は、表 2-1 に示すレジスタ フィールド B0_P0_R76[4:3] に入力値として与えることができます。

2.2.2 スキップ

変調器およびデジタル フィルタ メモリがリセットされると、デルタ シグマ変調器は入力電圧の変換を開始します。ただし、IADC のデジタル フィルタは、コード計算のために最初の N_{SKIP} サンプルをスキップします。これは、コード計算のためのサンプリング時に、DC 入力定常状態に安定するようにするためです。スキップするサンプル数は、表 2-1 に示す IADC_NSKIP_SEL[2:0] フィールド (B0_P0_R76[7:5]) でプログラムできます。

2.2.3 変換

最初の N_{SKIP} サンプルをスキップした後、IADC はさらに N_{OSR} 回の変調器クロック サイクル分、入力を変換します。ここで、OSR はオーバーサンプリング比を表します。これらの個別のサンプルは内部メモリに格納され、その後平均化されて結果が得られます。 N_{OSR} は、表 2-1 に示すレジスタ フィールド B0_P0_R76[2:1] に入力値として与えることができます。

「変換」フェーズの終了時に、デジタル出力コードがリードバック可能になります。IADC_DATA_IN_DIAG_REGS ビット (B0_P1_R85[3]) を設定すると、24 ビット デジタル コードを以下のレジスタに格納できます。

- B0_P1_R98 ~ 100 には、IADC CH1 の 24 ビット デジタル コードが格納されています。
- B0_P1_R101 ~ 103 には、IADC CH2 の 24 ビット デジタル コードが格納されています。
- B0_P1_R104 ~ 106 には、IADC CH3 の 24 ビット デジタル コードが格納されています。
- B0_P1_R107 ~ 109 には、IADC CH4 の 24 ビット デジタル コードが格納されています。

24 ビット符号付き整数 x を使用して、次の式で入力電圧を計算できます。

$$v = \left(\frac{x * 0.925}{2^{22}} * 2 * 5.6569 \right) + 1.375 \text{ V} \quad (2)$$

IADC への入力範囲は、各ピンにつき 0V ~ 5.6V です。

2.3 IADC 動作モード

IADC は 4 種類の動作モードで動作でき、各モードは、表 2-2 に示す IADC_MODE フィールド (B0_P0_R81[6:5]) で選択できます。

1. **ワンショット シングル チャネル モード:** この動作モードでは、デバイスは ADC ごとに 1 つのチャネルに対して 1 回の変換を実行します。したがって、ステレオ ADC の場合、2 つのチャネルが同時に変換されます。「IADC 動作」で説明されているように変換が開始され、変換のステータスは IADC_ONESHOT_CONV_DONE_STS ビットを読み取ることで監視できます。この結果は、「変換」で説明されているレジスタからリードバックできます。変換対象のチャネルは、SE_MUX モード (INxP/INxM) の ADC_CHx_INSRC によって選択されます。
2. **ワンショット マルチチャネル モード:** この動作モードでは、デバイスはすべての入力チャネルに対して 1 回ずつ変換を実行します。ステレオ ADC の場合、4 つの入力 (IN1P, IN1M, IN2P, IN2M) がデジタル化されます。「IADC 動作」で説明されているように変換が開始され、変換のステータスは IADC_ONESHOT_CONV_DONE_STS ビットを読み取ることで監視できます。この結果は、「変換」で説明されているレジスタからリードバックできます。
3. **シーケンシャル シングル チャネル変換:** この動作モードでは、デバイスは選択されたチャネルからの入力電圧を連続的に変換します。IADC_STOP_SEQ_CONV ビット (B0_P0_R81[3]) を設定することで、この変換は停止します。このビットを再びクリアすると、変換が再開されます。シーケンシャル モードでは、IADC は RESET-SKIP-CONVERT-RESET-SKIP... というサイクルを自動的に繰り返します。
4. **シーケンシャル マルチチャネル変換:** この動作モードでは、デバイスはすべての入力チャネルからの入力電圧を連続的に変換します。IADC_STOP_SEQ_CONV ビット (B0_P0_R81[3]) を設定することで、この変換は停止します。このビットを再びクリアすると、変換が再開されます。

HOLD_IADC_DATA (B0_P1_R85[2]) を設定することで、前回の変換データがレジスタに保持されます。これらの値をリードバックした後、このビットをクリアすることで、新しく変換された値でレジスタを更新できるようになります。このビットがクリアされるまで、レジスタは新しい変換データでは更新されません。

2.4 TAC5212EVM-K を使用したテスト例

このセクションでは、さまざまな動作モードにおける IADC の構成スクリプト例と、TAC5212EVM-K によるサンプル テストの結果を示します。

これらの例は、図 2-2 に示す入力でテストされています。

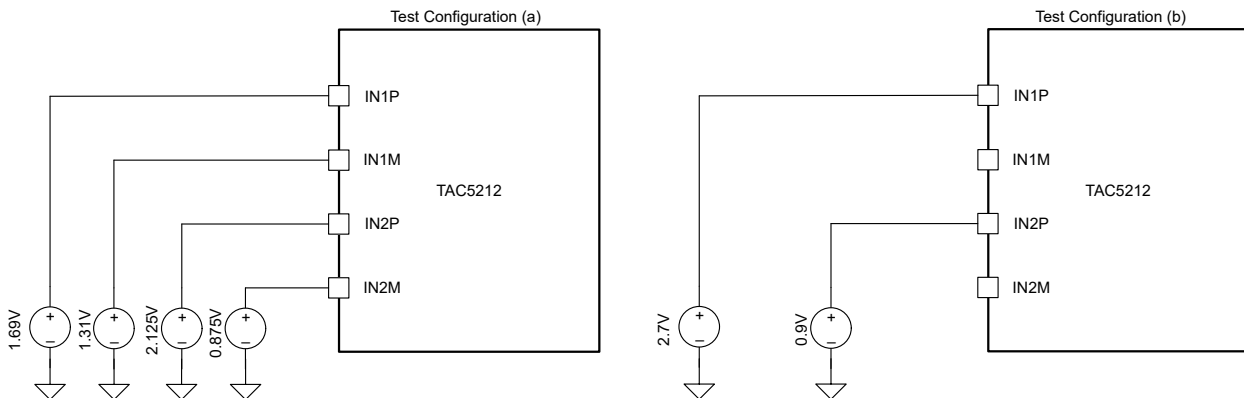


図 2-2. 各例のテスト設定

一般的な DC 測定システムと同様に、IADC もオフセット誤差とゲイン誤差の影響を受けます。したがって、ユーザーは、システムの一部である IADC についても、これらの誤差を校正する必要があります。

図 2-3 は、各チャネルの IADC の出力に対する入力電圧のプロットです。

IADC Input vs Output

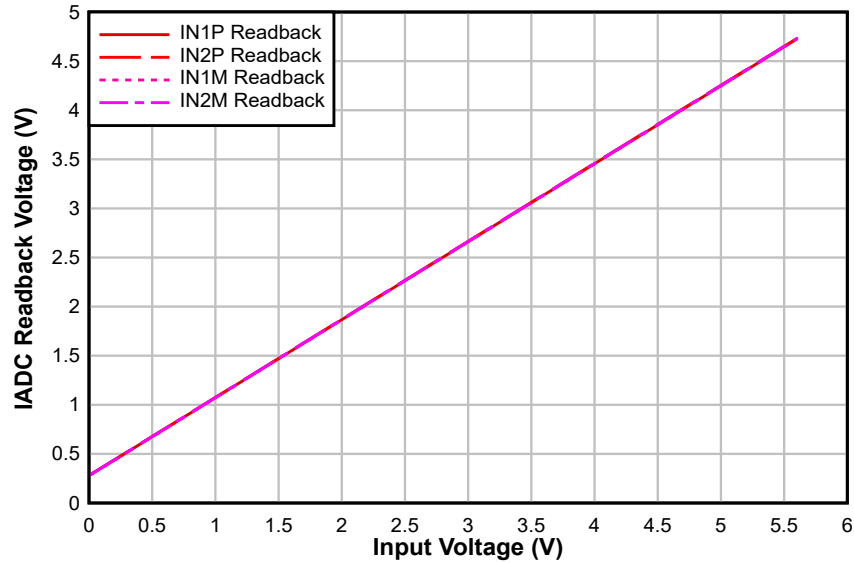


図 2-3. IADC の入力と出力との関係曲線

入力 x と出力 y の関係は線形傾向に従い、グラフは次の式で近似されます。

$$y = mx + c \text{ V} \quad (3)$$

m と c を得るには

1. 入力電圧 x_1 (ほぼ 0V だが 0V ではない) を設定し、IADC 電圧「 y_1 」をキャプチャします。
2. 入力電圧 x_2 (ほぼ最大電圧だが最大電圧ではない) を設定し、IADC 電圧「 y_2 」をキャプチャします。
3. その後:

$$m = \frac{y_2 - y_1}{x_2 - x_1}, \text{ and} \quad (4)$$

$$c = y_1 - mx_1 \text{ or} \quad (5)$$

$$c = y_2 - mx_2 . \quad (6)$$

したがって、任意の測定値 y に対する校正済み IADC 出力 y_{cal} は、次の式から計算できます。

$$y_{cal} = \frac{y - c}{m} \text{ V(cal)} \quad (7)$$

上のグラフにおいて、全チャンネルの平均 m および c は、それぞれ 0.794V/V と 0.28V です。

2.4.1 ワンショット、シングルチャネル変換

このテストでは、IADC は単一のワンショット変換を実行するように構成されており、TAC5212 の 2 つの ADC が、[図 2-2\(a\)](#) に示すように設定された 2 つの入力チャンネルの DC 入力電圧を変換します。

この例に対応する結果を、[表 2-4](#) に示します。

```
#####
#### IADC configured in One-Shot Single Channel Mode
w a0 00 00
w a0 01 01
w a0 02 09
d 10

#Configuration 1
w a0 50 88 #Channel 1 - DC-coupled, Single-ended MUX INP1 input
w a0 55 88 #Channel 1 - DC-coupled, Single-ended MUX INP2 input

#Configuration 2
#w a0 50 c8 #Channel 1 - DC-coupled, Single-ended MUX INM1 input
#w a0 55 c8 #Channel 1 - DC-coupled, Single-ended MUX INM2 input

#Configuration 3
#w a0 50 88 #Channel 1 - DC-coupled, Single-ended MUX INP1 input
#w a0 55 c8 #Channel 1 - DC-coupled, Single-ended MUX INM2 input

#Configuration 4
#w a0 50 c8 #Channel 1 - DC-coupled, Single-ended MUX INM1 input
#w a0 55 88 #Channel 1 - DC-coupled, Single-ended MUX INP2 input

#IADC Configurations
w a0 51 80 #Enable IADC in one-shot single channel mode
w a0 4c 2e #NSKIP = 576, NRESET = 75, OSR = 128

w a0 00 01 #Page 1
w a0 55 08 #Get IADC data in diags register
w a0 00 00
w a0 51 90 #Start one-shot conversion
w a0 76 f0
w a0 78 80 #Power up ADC

d 64
r a0 51 01 #Read conversion status
#Read IADC Locations
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

d 64
r a0 51 01 #Read conversion status
#Read IADC Locations (will read same value since the conversion is one-shot)
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

w a0 78 00 #Power down ADC
w a0 51 80 #Disable one-shot conversion
```

表 2-4. ワンショット、シングル チャネル変換における IADC のリードバック値

スクリプト内の構成	リードバック反復	CH1 リードバック	CH2 リードバック
構成 1 {CH1 = IN1P、CH2 = IN2P}	1	1.620452V 1.689777V(cal) (0x03008C)	0.973501V 0.871903V(cal) (0xFB16D9)
	2	1.620452V 1.689777V(cal) (0x03008C)	0.973501V 0.871903V(cal) (0xFB16D9)
構成 2 {CH1 = IN1M、CH2 = IN2M}	1	1.316629V 1.307177V(cal) (0xFF493B)	1.968419V 2.123844V(cal) (0x074215)
	2	1.316629V 1.307177V(cal) (0xFF493B)	1.968419V 2.123844V(cal) (0x074215)
構成 3 {CH1 = IN1P、CH2 = IN2M}	1	1.618905V 1.687829V(cal) (0x02FBB4)	1.967531V 2.122727 V(cal) (0x073F4D)
	2	1.618905V 1.687829V(cal) (0x02FBB4)	1.967531V 2.122727V(cal) (0x073F4D)
構成 4 {CH1 = IN1M、CH2 = IN2P}	1	1.315406V 1.305637V(cal) (0xFF4567)	0.972039V 0.870063V(cal) (0xFB1245)
	2	1.315406V 1.305637V(cal) (0xFF4567)	0.972039V 0.870063V(cal) (0xFB1245)

2.4.2 ワンショット、マルチチャネル変換

このテストでは、IADC は単一のワンショット変換を実行するように構成されており、TAC5212 の 2 つの ADC が、[図 2-2\(a\)](#) に示すように設定された 4 つすべての入力チャネルの DC 入力電圧を変換します。

この例に対応する結果を、[表 2-5](#) に示します。

```
#####
#### IADC Configured in One-Shot Multi Channel Mode
w a0 00 00
w a0 01 01
w a0 02 09
d 10

#Configure ADC channels
w a0 50 88 #Channel 1 - DC-coupled, Single-ended MUX INP1 input
w a0 55 88 #Channel 1 - DC-coupled, Single-ended MUX INM1 input

#IADC Configurations
w a0 51 a0 #Enable IADC in one-shot multi channel mode
w a0 4c 6e #NSKIP = 1024, NRESET = 75, OSR = 128

w a0 00 01 #Page 1
w a0 55 08 #Get IADC data in diags register, hold IADC data till readback
w a0 00 00
w a0 76 f0
w a0 78 80 #Power up ADC

w a0 51 b0 #Start one-shot conversion
d 64
r a0 51 01 #Read conversion status
#Read IADC Locations
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

d 64
```

```

r a0 51 01 #Read conversion status
#Read IADC Locations (will read same value since the conversion is one-shot)
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

w a0 78 00 #Power down ADC
w a0 51 00 #Disable IADC
    
```

表 2-5. ワンショット、マルチチャネル変換における IADC のリードバック値

リードバック反復	CH1 リードバック (IN1P)	CH2 リードバック (IN2P)	CH3 リードバック (IN1M)	CH4 リードバック (IN2M)
1	1.615151V 1.683102V(cal) (0x02EFF3)	0.970523V 0.868155V(cal) (0xFB0D86)	1.313223V 1.303254V(cal) (0xFF3E91)	1.962638V 2.116962V(cal) (0x072FFB)
2	1.615151V 1.683102V(cal) (0x02EFF3)	0.970523V 0.868155V(cal) (0xFB0D86)	1.313223V 1.303254V(cal) (0xFF3E91)	1.962638V 2.116962V(cal) (0x072FFB)

2.4.3 GPIO2 を使用したワンショット変換

このテストでは、IADC はワンショットのシングル チャネル変換に構成されています。この例では、I²C 書き込みによって変換を開始するのではなく、GPIO2 ピンを HI にすることで変換を開始します。TAC5212 の 2 つの ADC は、[図 2-2\(a\)](#) に示すように設定された 4 つすべての入力チャネルの DC 入力電圧を変換します。

この例に対応する結果を、[表 2-6](#) に示します。

```

#####
#### IADC Configured in One-Shot Mode using GPIO2
w a0 00 00
w a0 01 01
w a0 02 09
d 10

#Configure ADC channels
w a0 50 88 #Channel 1 - DC-coupled, Single-ended MUX INP1 input
w a0 55 88 #Channel 1 - DC-coupled, Single-ended MUX INP2 input

w a0 0b 10 #Configure GPIO2 as GPI
w a0 15 20 #Use GPIO2 to initiate conversion on IADC

#IADC Configurations
w a0 51 80 #Enable IADC in one-shot single channel mode
w a0 4c 6e #NSKIP = 1024, NRESET = 75, OSR = 128

w a0 00 01 #Page 1
w a0 55 08 #Get IADC data in diags register
w a0 00 00

w a0 76 f0
w a0 78 80 #Power up ADC

b #Breakpoint, Set GPIO2 to 1 here

r a0 51 01 #Read conversion status
#Read IADC Locations
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
w a0 00 00

b #Breakpoint, Set GPIO2 to 0 here
d 64

r a0 51 01 #Read conversion status
#Read IADC Locations (will read same value as above)
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
    
```

```

w a0 00 00

b #Breakpoint, Set GPIO2 to 1 here
d 64

r a0 51 01 #Read conversion status
#Read IADC Locations
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
w a0 00 00

b #Breakpoint, Set GPIO2 to 0 here
d 64

r a0 51 01 #Read conversion status
#Read IADC Locations (will read same value as above)
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
w a0 00 00

w a0 78 00 #Power down ADC
w a0 51 00 #Disable IADC
  
```

表 2-6. GPIO2 を使用したワンショット シングル チャネル変換における IADC のリードバック値

リードバック反復	CH1 リードバック	CH2 リードバック
1 (GPIO2 = 1)	1.610549V 1.677306V(cal) (0x02E18A)	0.966599V 0.863218V(cal) (0xFB013D)
2 (GPIO2 = 0)	1.610549V 1.677306V(cal) (0x02E18A)	0.966599V 0.863218V(cal) (0xFB013D)
3 (GPIO2 = 1)	1.606439V 1.672131V(cal) (0x02D4AB)	0.962487V 0.858043V(cal) (0xFAF45D)
4 (GPIO2 = 0)	1.606439V 1.672131V(cal) (0x02D4AB)	0.962487V 0.858043V(cal) (0xFAF45D)

2.4.4 シーケンシャル、シングル チャネル変換

このテストでは、IADC は、変換が停止されるまで連続変換を実行するように構成されています。TAC5212 の 2 つの ADC は、[図 2-2\(a\)](#) に示すように設定された 2 つの入力チャンネルの DC 入力電圧を変換します。

この例に対応する結果を、[表 2-7](#) に示します。

```

#####
#### IADC Configured in Sequential Single Channel Mode
w a0 00 00
w a0 01 01
w a0 02 09
d 10

#Configure ADC channels
w a0 50 88 #Channel 1 - DC-coupled, single-ended MUX INP1 input
w a0 55 88 #Channel 1 - DC-coupled, single-ended MUX INP2 input

#IADC Configurations
w a0 51 c0 #Enable IADC in sequential single channel mode
w a0 4c 6e #NSKIP = 1024, NRESET = 75, OSR = 128

w a0 00 01 #Page 1
w a0 55 08 #Get IADC data in diags register
w a0 00 00
w a0 76 f0
w a0 78 80 #Power up ADC
d 64

#Read IADC Locations
w a0 00 01 #Page 1
  
```

```

r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

d 64

#Halt Sequential Conversion
w a0 00 00
w a0 51 c8
d 64

#Read IADC Locations
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

d 64

#Read IADC Locations (will read same value since the conversion is stopped)
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

w a0 78 00 #Power down ADC
w a0 51 00 #Disable IADC

```

表 2-7. シーケンシャル シングル チャネル変換における IADC のリードバック値

リードバック反復	CH1 リードバック	CH2 リードバック
1	1.611557V 1.678662V(cal) (0x02E4B2)	0.96794V 0.864857V(cal) (0xFB0570)
2 (ここで変換が停止)	1.611194V 1.678205V(cal) (0x02E38F)	0.967111V 0.863814V(cal) (0xFB02D7)
3	1.611194V 1.678205V(cal) (0x02E38F)	0.967111V 0.863814V(cal) (0xFB02D7)

2.4.5 シーケンシャル、マルチチャネル変換

このテストでは、IADC は、変換が停止されるまで連続変換を実行するように構成されています。TAC5212 の 2 つの ADC は、図 2-2(a) に示すように設定された 4 つすべての入力チャネルの DC 入力電圧を変換します。

この例に対応する結果を、表 2-8 に示します。

```

#####
##### IADC Configured in Sequential Multi Channel Mode
w a0 00 00
w a0 01 01
w a0 02 09
d 10

#Configure ADC channels
w a0 50 88 #Channel 1 - DC-coupled, Single-ended MUX INP1 input
w a0 55 88 #Channel 1 - DC-coupled, Single-ended MUX INP2 input

#IADC Configurations
w a0 51 e0 #Enable IADC in sequential multi-channel mode
w a0 4c 6e #NSKIP = 1024, NRESET = 75, OSR = 128

w a0 00 01 #Page 1
w a0 55 08 #Get IADC data in diags register
w a0 00 00

```

```

w a0 76 f0
w a0 78 80 #Power up ADC
d 64

#Read IADC Locations
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

d 64

#Read IADC Locations
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

d 64

#Read IADC Locations
w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00

w a0 78 00 #Power down ADC
w a0 51 00 #Disable IADC
  
```

表 2-8. シーケンシャル、マルチチャネル変換における IADC のリードバック値

リードバック反復	CH1 リードバック (IN1P)	CH2 リードバック (IN2P)	CH3 リードバック (IN1M)	CH4 リードバック (IN2M)
1	1.612474V 1.679731V(cal) (0x02E791)	0.969072V 0.866329V(cal) (0xFB08FB)	1.310879V 1.300301V(cal) (0xFF373A)	1.959433V 2.112929V(cal) (0x0725F2)
2	1.612131V 1.679299V(cal) (0x02E67E)	0.967906V 0.864862V(cal) (0xFB0554)	1.310251V 1.299510V(cal) (0xFF3543)	1.959676V 2.113234V(cal) (0x0726B5)
3	1.612001V 1.679135V(cal) (0x02E616)	0.968047V 0.865040V(cal) (0xFB05C5)	1.310327V 1.299606V(cal) (0xFF3580)	1.959466V 2.112970V(cal) (0x07260C)

2.4.6 OSR が IADC 出力に及ぼす影響

以下のコードを使用して、IADC パラメータの 1 つ (この場合は OSR 値) を変更した際の影響を確認します。電圧は [図 2-2](#) に従って設定され、IADC 出力は 100 回測定されます。[図 2-4](#) は時間ドメインにおける測定値への影響を示し、[図 2-5](#) は同じ結果をヒストグラムで示しています。

```

#####
##### IADC Configured to show the impact of OSR
w a0 00 00
w a0 01 01
w a0 02 09
d 10

#Configure ADC channels
w a0 50 88 #Channel 1 - DC-coupled, Single-ended MUX INP1 input
w a0 55 88 #Channel 1 - DC-coupled, Single-ended MUX INP2 input

#IADC Configurations
w a0 4c be #NSKIP = 4096, NRESET = 150, OSR = 128 - CHANGE OSR

w a0 51 c0 #Enable IADC in sequential single channel mode
w a0 00 01 #Page 1
w a0 55 08 #Get IADC data in diags register
  
```

```

w a0 00 00
w a0 76 f0
w a0 78 80 #Power up ADC

#Read IADC Locations (copy-paste below code snippet 100 times and capture the readback value)
#####Copy from
here#####
d 64

w a0 00 01 #Page 1
r a0 62 03 #IADC Channel 1
r a0 65 03 #IADC Channel 2
r a0 68 03 #IADC Channel 3
r a0 6b 03 #IADC Channel 4
w a0 00 00
#####Till
here#####

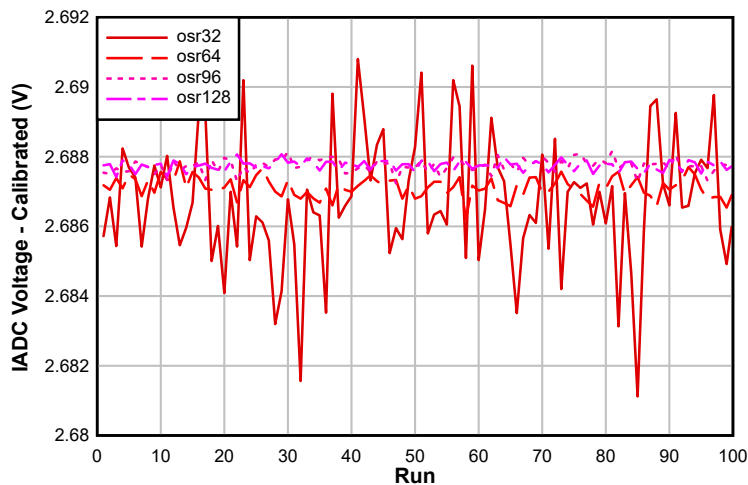
w a0 78 00 #Power Down ADC
w a0 51 00 #Disable IADC
    
```

図 2-4 および 図 2-5 に示す結果は、[セクション 2.4](#) で説明されているように、IADC 出力から計算された較正值であることに注意してください。

(a) CH1 Voltage

IADC Output vs OSR

CH1



(b) CH2 Voltage

IADC Output vs OSR

CH2

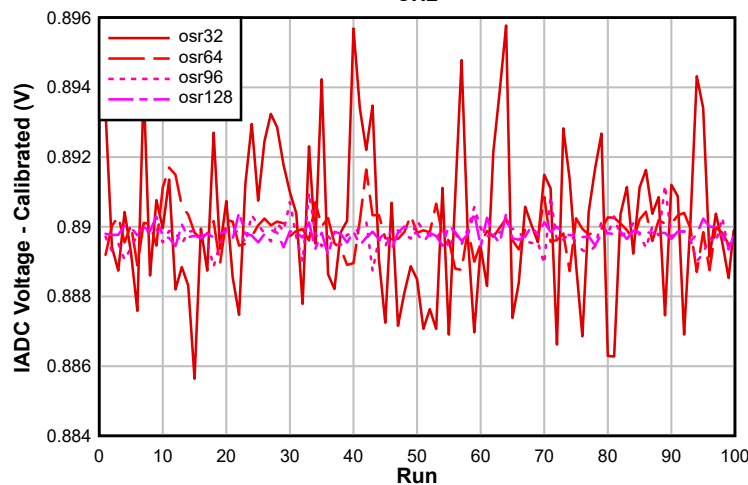


図 2-4. OSR 別の IADC 測定値

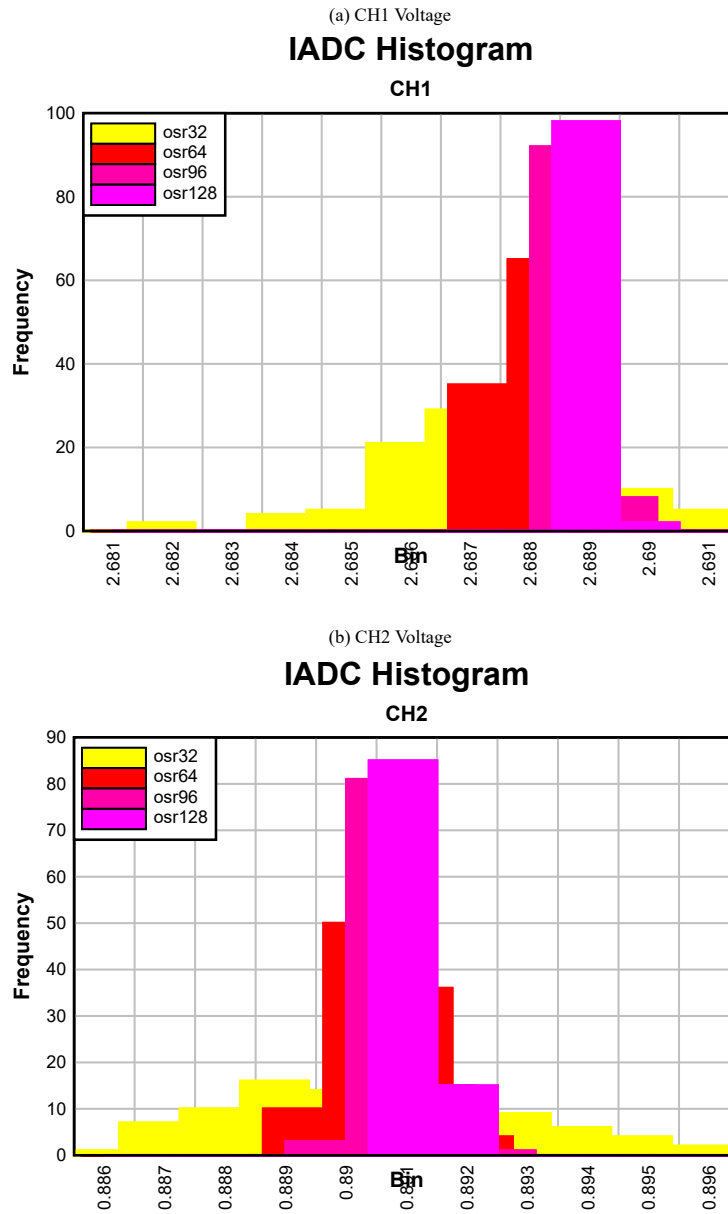


図 2-5. OSR 別の IADC 測定値の分布

3 まとめ

このアプリケーション ノートでは、TAx5x1x / TAx5x1x-Q1 ファミリのデバイスを、インクリメンタル ADC として構成する方法を説明しています。また、シングル チャネルおよびマルチチャネルの DC 測定アプリケーションにおける、このデバイスの使用方法を示すことを目的としています。これは、さまざまな動作モードでの構成例と、各構成から得られた観測結果を通して示されています。

4 参考資料

1. テキサス インストルメンツ、『[TAC5212 ダイナミックレンジ 119dB ADC および 120dB ダイナミックレンジ DAC 搭載の高性能ステレオ オーディオ コーデック](#)』、データシート

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月