

## Application Note

## TAX5x1x/TAX5x1x-Q1 デバイスの入力同相許容モード



Lakshmi Narasimhan Badrinarayanan, Aman Agrawal, Jeff McPherson

## 概要

TAX5x1x/TAX5x1x-Q1 デバイスファミリには、オーディオ用途向けのデュアルチャネル高性能アナログ・デジタル変換器 (A/D コンバータ) を備えています。このデバイスファミリは高度に構成可能な入力をサポートしており、大きな同相モード信号が存在する場合でも高い性能を実現できます。

同相除去比 (CMRR) は、信号ラインに同相干渉を含む可能性のあるシステムにおいて、オーディオ ADC の性能を評価する上で重要な指標です。その一例が、50~60Hz の電源ライン干渉です。このアプリケーションノートでは、TAC5x1x/TAC5x1x-Q1 デバイスの入力同相レベルの許容範囲を構成する方法と、SNR、THD+N などの特定の性能パラメータへの影響について説明します。

このアプリケーション ノートは、以下のデバイスに適用されます。

- TAC5212、TAC5112
- TAC5111
- TAA5212
- TAC5112-Q1、TAC5111-Q1
- TAC5242、TAC5142
- TAA5242

## 目次

1 概要.....	2
2 詳細説明.....	3
2.1 同相モード許容モード.....	4
2.2 同相信号除去.....	5
2.3 CM_TOL モードにわたるデバイス性能.....	9
3 まとめ.....	10
4 参考資料.....	10

## 商標

すべての商標は、それぞれの所有者に帰属します。

## 1 概要

図 1-1(a) は、(+) 端子および (-) 端子にそれぞれ入力信号  $V_{IN+}$  および  $V_{IN-}$  が印加された差動入力アンプを示します。

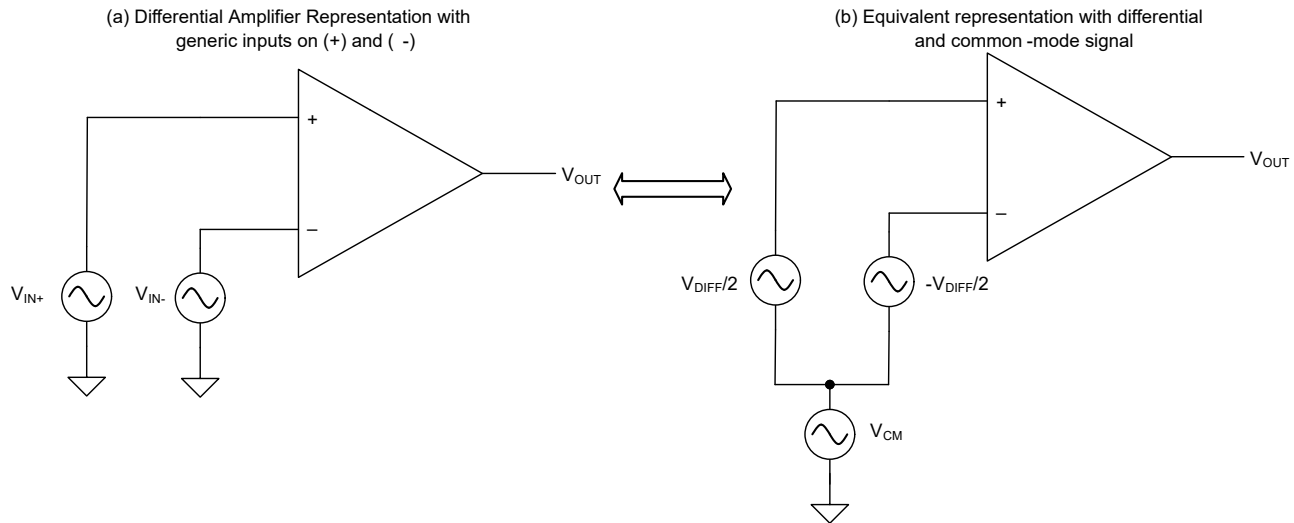


図 1-1. 差動入力アンプ

理想的なアンプの場合、出力  $V_{OUT}$  は次のようになります。

$$V_{OUT} = A_d * (V_{IN+} + V_{IN-}) \quad (1)$$

ここで、 $A_d$  はアンプの差動ゲインです。

ただし、実用的なアンプでは、(+) 信号パスと (-) 信号パス間の不一致により、出力信号に追加成分が生じることがあります。これを考慮するため、図 1-1(b) の回路は、図 1-1(b) に示すように、「差動信号」 $V_{DIFF}$  と「同相信号」 $V_{CM}$  を用いて等価に表すことができます。このようなアンプの場合、出力は次の式で与えられます。

$$V_{OUT} = A_d * V_{DIFF} + A_c * V_{CM} \quad (2)$$

ここで、 $a_d$  は差動ゲイン、 $a_c$  はアンプの同相ゲインと呼ばれます。これらの信号は、次の式で与えられます。

$$V_{DIFF} = V_{IN+} - V_{IN-} \quad (3)$$

$$V_{CM} = \frac{V_{IN+} + V_{IN-}}{2} \quad (4)$$

差動入力システムの重要な性能パラメータの 1 つは、このような同相信号を「除去」する能力です。これは「同相除去比 (CMRR)」と呼ばれ、CMRR の dB 値は次の式で与えられます。

$$CMRR(dB) = 20 * \log\left(\frac{1}{A_c}\right) \quad (5)$$

理想的な差動アンプの場合、CMRR は  $\infty$  dB です。

理想的でないアンプの CMRR は、両入力端子に同一の信号  $V_{CM}$  を印加し、出力  $V_{OUT}$  を観測することで測定できます。CMRR は次のように計算できます。

$$CMRR(dB) = 20 * \log\left(\frac{V_{CM}}{V_{OUT}}\right) \quad (6)$$

ただし、このような回路には、許容可能な同相スイングの規定範囲があります。このドキュメントでは、TAC5x1x/TAC5x1x-Q1 デバイスの同相スイング許容誤差と、この許容誤差をプログラムする方法と、それがデバイス性能に及ぼす影響について説明します。

## 2 詳細説明

TAC5x1x/TAC5x1x-Q1 ファミリーは、差動信号およびシングルエンド信号を処理可能なモノラル/ステレオ ADC で構成されています。これらの信号は、INxP/M ピンに AC 結合または DC 結合できます。

オーディオシステムでは、これらの差動信号はデバイスのピンに到達する前に、同相干渉信号と不可避免的に重畳されます。ADC には 3 つの異なる動作モードがあり、各モードは INxP/M ピンで許容される最大の同相スイングを規定します。各モードにおいて、デバイスの CMRR はそれぞれの同相許容スイングに対して規定されています。これらのモードの詳細は [同相モード許容モード](#) に記載されています。

同相スイングを用いたデバイス動作の評価では、[図 2-1](#) に示すように、AC 信号源をコーデックの INP および INM ピンの両方に接続します。このアプリケーションノートに記載されているすべての結果は、それぞれの評価基板で測定されています。

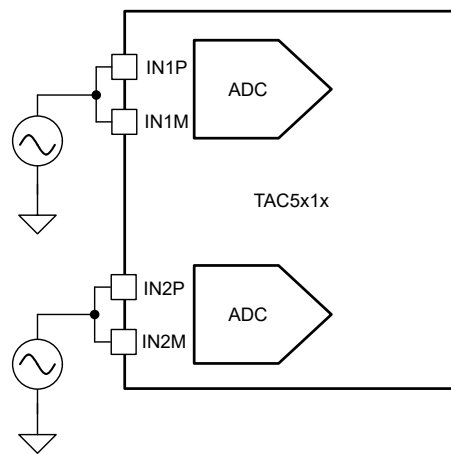


図 2-1. 同相モード機能の確認のための接続

## 2.1 同相モード許容モード

TAC5x1x/TAC5x1x-Q1 ファミリのデバイスは、入力 ADC 向けに 3 つの同相動作モードをサポートしています。このモードは、ADC\_CHx\_CFG0 レジスタ内の ADC\_CHx\_CM\_TOL フィールド(x はチャンネル番号)を設定することで選択されます(IN1P/IN1M の場合は B0\_P0\_R80[3:2]、IN2P/IN2M の場合は B0\_P0\_R85[3:2])。これらのレジスタフィールドについては表 2-1 で説明します。

**表 2-1. ADC 同相モード許容範囲のレジスタ設定**

レジスタフィールドの位置 (Book_Page_Register[MSB:LSB])	レジスタ フィールド名	レジスタフィールドの説明
B0_P0_R80[3:2]	ADC_CH1_CM_TOL[1:0]	ADC チャンネル 1 入力同相モード許容範囲(アナログ入力に適用可能)。 0d = AC 結合入力(同相変動許容範囲あり): 差動構成で 100mV <sub>pp</sub> をサポート 1d = AC 結合 / DC 結合入力(同相変動許容範囲あり): 差動構成で 1V <sub>pp</sub> をサポート 2d = AC 結合 / DC 結合入力(同相変動許容範囲あり): レールツーレール(電源〜グランド)をサポート(高 CMRR 許容モード) 3d = 予約済み
B0_P0_R85[3:2]	ADC_CH2_CM_TOL[1:0]	ADC チャンネル 2 入力同相モード許容範囲(アナログ入力に適用可能)。 0d = AC 結合入力(同相変動許容範囲あり): 差動構成で 100mV <sub>pp</sub> をサポート 1d = AC 結合 / DC 結合入力(同相変動許容範囲あり): 差動構成で 1V <sub>pp</sub> をサポート 2d = AC 結合 / DC 結合入力(同相変動許容範囲あり): レールツーレール(電源〜グランド)をサポート(高 CMRR 許容モード) 3d = 予約済み

同様に、概要に記載の TAx5x42 ハードウェア制御デバイスでは、表 2-2 に従ってデバイスの MD5～MD4 ピンを設定することで同相モード許容範囲を設定できます。

**表 2-2. TAx5x42 デバイスのアナログ入力構成**

MD5	MD4	アナログ入力構成
Low (0)	Low (0)	差動入力、AC 結合のみ
Low (0)	High (1)	差動入力、AC または DC 結合(高同相モード許容範囲)
High (1)	Low (0)	INxP のシングルエンド入力、AC 結合のみ
High (1)	High (1)	INxP のシングルエンド入力、AC または DC 結合(高同相モード許容範囲)

## 2.2 同相信号除去

各同相許容範囲モードは、そのモードの制限範囲内で良好な同相除去性能を実現します。図 2-2 のグラフは、TAC5212EVM-K 上の ADC 出力の FFT を示しており、入力には 1kHz の AC 同相信号と同相 DC バイアス電圧が印加されています。図 2-2(a) は、同相スイングが 50mV<sub>pp</sub> である場合の FFT であり、これは許容範囲である 100mV<sub>pp</sub> (35.36mV<sub>rms</sub>、2V<sub>rms</sub> のフルスケールスイングの -35.05dBFS に相当) 内です。図 2-2(b) は、同相スイングが許容範囲である 100mV<sub>pp</sub> である場合の FFT です。図 2-2(c) は、同相スイングが許容範囲である 100mV<sub>pp</sub> を超えた場合の FFT です。

同様に、図 2-3 および 図 2-4 は、それぞれデバイスが CM\_TOL = 1 および 2 に設定されている場合の TAC5212EVM-K 上の TAC5212 出力の FFT を示します。

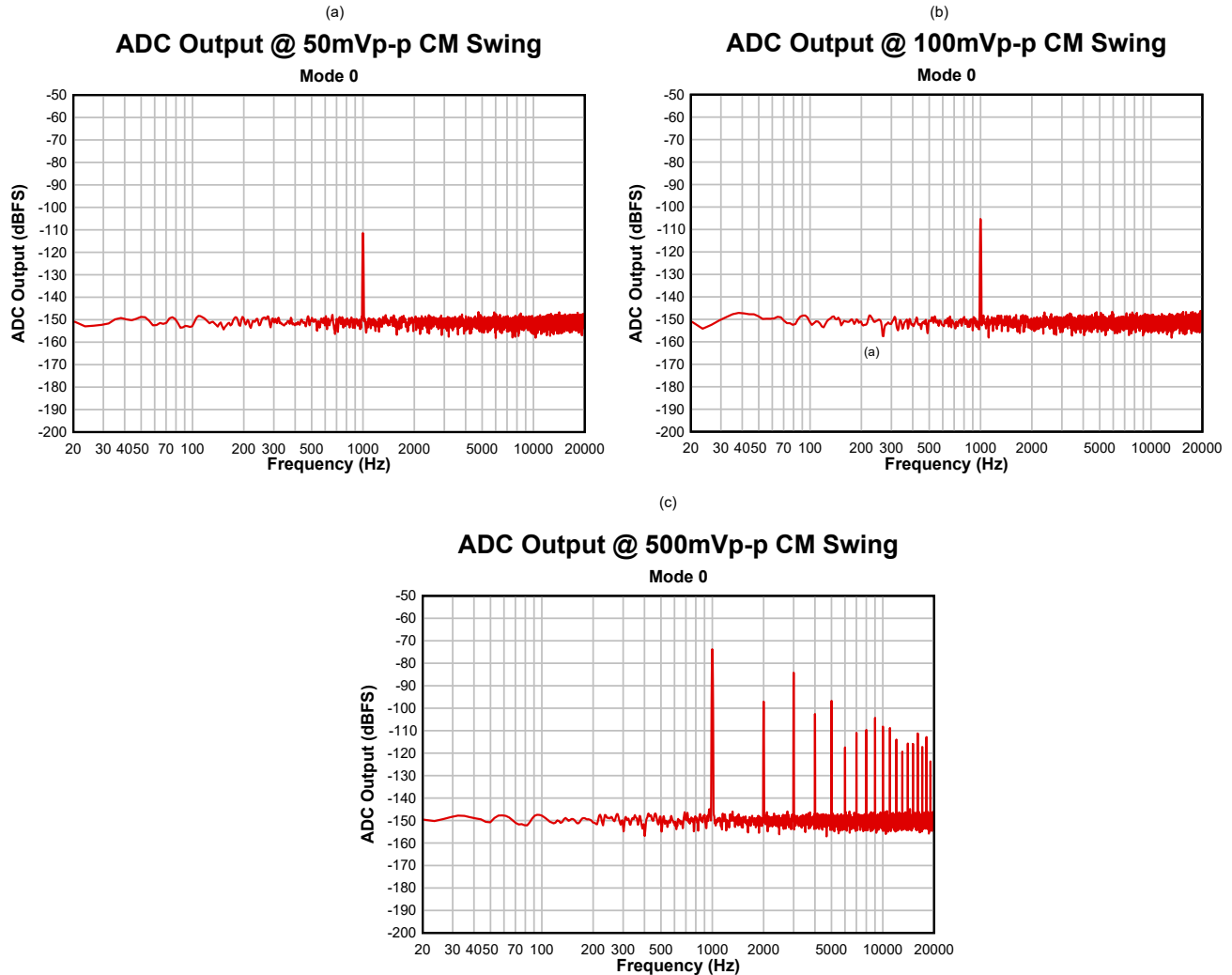


図 2-2. CM\_TOL モード 0 での ADC 出力スペクトル

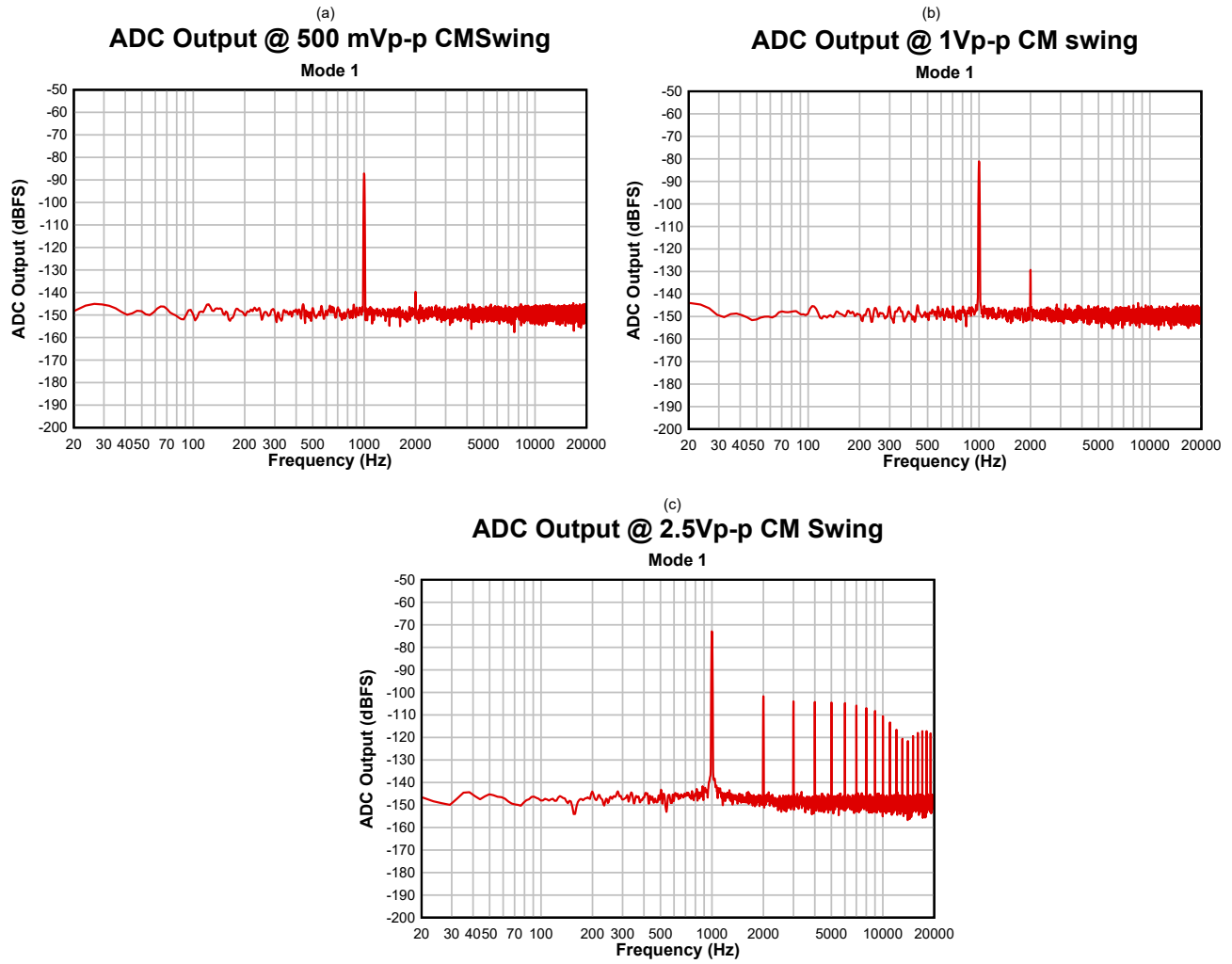


図 2-3. CM\_TOL モード 1 での ADC 出力スペクトル

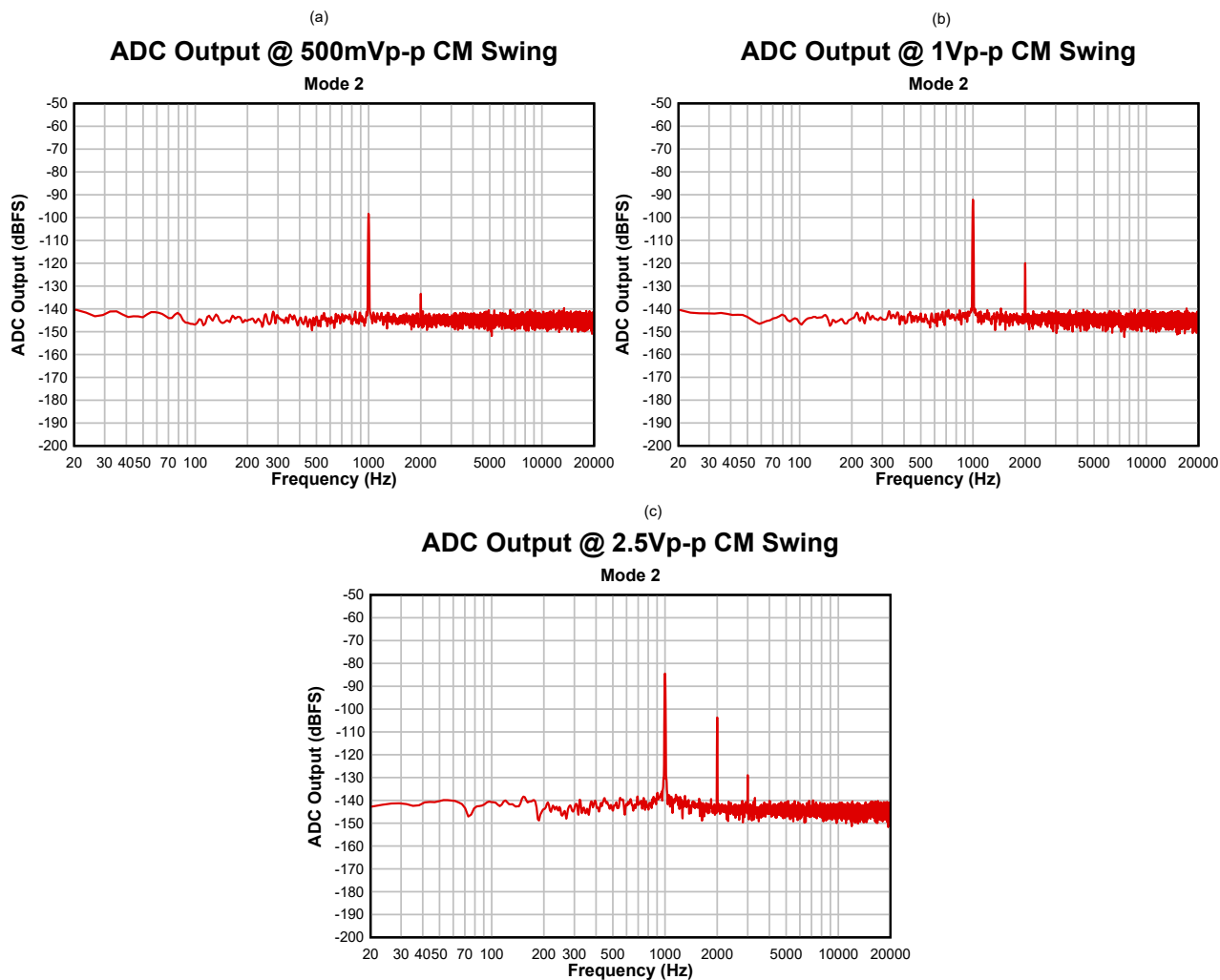


図 2-4. CM\_TOL モード 2 での ADC 出力スペクトル

TA511x/TA511x-Q1 デバイスのモード 0 における CMRR は 60dB (標準値) であり、同一信号振幅においてモード 1 および 2 では数 dB 程度変化します。より高性能な TA521x および TA521x-Q1 は、モード 2 において 80dB (標準値) に近い CMRR を達成でき、高い同相許容範囲を必要とするアプリケーションで最高の性能を求めるシステムに適しています。入力同相シングレベルの違いによる CMRR の変動は、1kHz の同相信号に対して 図 2-5 に示されています。AC 信号レベルは、同相 DC バイアス電圧を伴い、50mVpp から 2.75Vpp の範囲で変化させています。図 2-5 における CMRR は、TAC5212EVM-K の両入力チャンネルで平均化されています。

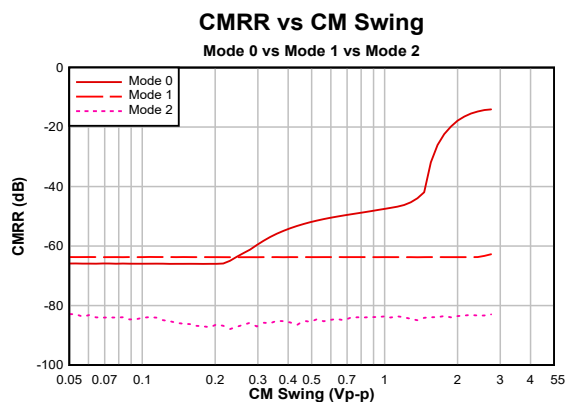


図 2-5. CMRR とスイングとの関係

外部差動信号経路のミスマッチ (トレースインピーダンス、AC 結合コンデンサの許容差など) も、ADC 出力で観測される CMRR に寄与することに注意してください。図 2-6 は、入力が許容差  $\pm 20\%$  の  $10\mu\text{F}$  コンデンサで AC 結合されている場合、および入力が DC 結合されている場合の TAC5212EVM-K における周波数に対する CMRR の変動を示します。測定は、 $100\text{mV}_{\text{p-p}}$  の同相信号レベルで実施しました。図 2-6 における CMRR は、両入力チャンネルで平均化されています。

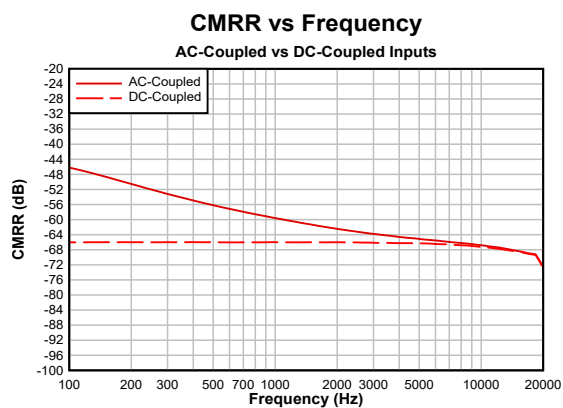


図 2-6. AC 結合入力と DC 結合入力 CMRR の比較

## 2.3 CM\_TOL モードにわたるデバイス性能

また、他の性能パラメータ (SNR など) の一部は、設定された CM\_TOL モードの影響を受けます。表 2-3 に、TAC5112EVM-K および TAC5212EVM-K デバイスで測定された各モードの SNR (A-weighted)、ダイナミックレンジ (A-weighted)、および CMRR を示します。これらの結果は、同相 DC バイアス電圧を伴う 1kHz、100mV<sub>pp</sub> の信号で測定され、両入力チャンネルで平均化されています。

これらの結果は、入力でより高い同相許容範囲が必要な場合 (TAC5212 の場合は CMRR 性能の向上を伴う)、性能低下を伴うことを示しています。たとえば、TAC5212 デバイスを CM\_TOL モード 2 で動作させるように構成すると、CMRR は 80dB (標準値) となりますが、SNR は約 6~7dB (標準値) 低下します。

表 2-3. CM\_TOL モードにおける TA511x/TA521x の性能

デバイス	CM_TOL モード	インピーダンス設定 (kΩ)	100mV <sub>pp</sub> 時の CMRR (dB)	SNR (dBFS) A 重み付け	ダイナミックレンジ (dBFS) A-weighted	THD+N (dB)
TAC5212	0	5	66	119	119	-95
		10	61	114	114	-101
		40	48	103	103	-98
	1	5	64	117	117	-95
		10	61	113	113	-101
		40	48	102	102	-97
	2	5	84	112	112	-945
		10	73	109	109	-100
		40	78	100	100	-94
TAC5112	0	5	61	104	104	-98
		10	58	103	103	-101
		40	47	102	102	-97
	1	5	61	104	104	-98
		10	58	103	103	-100
		40	47	101	101	-97
	2	5	63	103	103	-97
		10	58	102	102	-100
		40	47	100	100	-96

### 3 まとめ

TAx5x1x/TAx5x1x-Q1 ファミリーには複数の同相許容モードが用意されており、大きな同相ノイズが存在する場合でもシステムが良好に動作するようになっています。ただし、同相許容誤差を高くすると性能が低下することに注意してください。このため、TI はシステムの要件を満たしながら、可能な限り低い同相許容誤差設定を推奨します。

### 4 参考資料

1. テキサス インスツルメンツ、『[TAC5212 High-performance stereo audio codec with 119dB dynamic range ADC and 120dB dynamic range DAC](#)』、データシート
2. テキサス インスツルメンツ、『[TAC5112 Low-Power, Stereo Audio Codec with 102dB Dynamic Range ADC and 106dB](#)』、データシート
3. テキサス インスツルメンツ、『[Input Common-Mode Tolerance and High CMRR Modes for TLV320ADCx120 and PCMx120-Q1 Devices](#)』、アプリケーションノート。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月